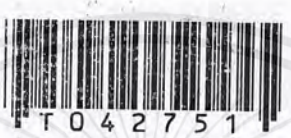
สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

โมเด็มไร้สาย

WIRELESS MODEM



โดย

นายพิพัฒน์ เป้ามา

นายวิศิษฏ์ เจียรนัย

นายสุรศักดิ์ ภูจันหา

เลขหมู่.....
เลขทะเบียน 42751
วัน, เดือน, ปี 7 มิ.ย. 2545

.b.....
.i.....

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาอิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2543

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โมเด็มไร้สาย

WIRELESS MODEM

โดย

นายพิพัฒน์	เป้ามา	41013182
นายวิศิษฏ์	เจียรนัย	41013191
นายสุรศักดิ์	ภูจันหา	41013199

อาจารย์ที่ปรึกษา

ผศ. ประภากร สุวรรณะ

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาอิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2543

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ปีการศึกษา 2543

ภาควิชาอิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง โมเด็มไร้สาย (Wireless Modem)

ผู้จัดทำ

1. นายพิพัฒน์ เป้ามา 41013182
2. นายวิศิษฏ์ เจียรนัย 41013191
3. นายสุรศักดิ์ ภูจันหา 41013199

.....อาจารย์ที่ปรึกษา

(ผศ. ประภากร สุวรรณะ)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

I

โมเด็มไร้สาย

นายพิพัฒน์ เป้ามา
นายวิศิษฏ์ เจียรนัย
นายสุรศักดิ์ ภูจันหา
ผศ. ประภากร สุวรรณะ(อาจารย์ที่ปรึกษา)
ปีการศึกษา 2543

บทคัดย่อ

ปริญญานิพนธ์ฉบับนี้รายงานการศึกษา โมเด็มไร้สาย (wireless modem) แบบ Half Duplex ซึ่งมีอัตราเร็วในการส่งข้อมูล 9600 บิทต่อวินาที ทางด้านเครื่องส่ง สัญญาณข่าวสารจะผ่านการมอดดูเลทดิจิตอลทางความถี่ (Frequency Shift Keying : FSK) และทำการส่งออกอากาศแบบ Half Duplex ไปยังเครื่องรับ และทางด้านเครื่องรับ สัญญาณที่เข้ามาจะผ่านการดีมอดดูเลทแบบ FSK ได้เป็นสัญญาณข่าวสาร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

II

WIRELESS MODEM

Mr. Pipat	Paoma
Mr. Wisit	Jearanai
Mr. Surasak	Poochanha
Assist. Prof. Prapakorn	Suwanna (Advisor)

Abstract

This thesis describes a wireless modem for half duplex with baud rate of 9600 bit per second. The information signal of transmitter is frequency shift keying (FSK) modulated and send out as half duplex. The modulated signal at receiving end will be FSK demodulated and get information signals.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ผู้จัดทำรายงานขอขอบคุณอาจารย์ที่ปรึกษา ท่าน ผศ.ประภากร สุวรรณะ ที่ได้ให้คำปรึกษาแนะนำ การทำโครงงานชิ้นนี้ ตลอดจนแนะนำแนวทางแก้ไขปัญหาต่างๆ อย่างใกล้ชิดและเอาใจใส่จนโครงงานสำเร็จลุล่วงมาได้ด้วยดี ขอขอบพระคุณรุ่นพี่ปริญญาโทในห้องโปรเจ็คงานชิ้นนี้ และสุดท้ายนี้ขอขอบคุณ เพื่อนๆในห้องโปรเจ็คทุกคน ที่คอยแลกเปลี่ยนความรู้ด้วยกันตลอดเวลา

หากขาดซึ่งบุคคลดังกล่าว ผู้จัดทำรายงานคงประสบปัญหาที่ยุ่งยากในการทำรายงานจนมิอาจทำงานให้สำเร็จลุล่วงมาได้

ผู้จัดทำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

	หน้า
บทคัดย่อ	I
Abstract	II
กิตติกรรมประกาศ	III
สารบัญ	IV
สารบัญรูป	VI
สารบัญตาราง	IX
บทที่ 1 บทนำ	
บทที่ 2 ความรู้พื้นฐานของระบบการสื่อสารข้อมูล	
2.1 จุดประสงค์ของการสื่อสาร	2
2.2 องค์ประกอบของระบบการสื่อสาร	2
2.3 นิยามของการส่งข้อมูล	4
2.4 ระบบการสื่อสารข้อมูลและเครื่อข่ายคอมพิวเตอร์	8
2.5 ระบบสื่อสารวิทยุ	8
บทที่ 3 หลักการสื่อสาร	
3.1 การมอดดูเลท หรือ การดีมอดดูเลท	12
3.2 ชนิดของวิธีการมอดดูเลท	13
3.3 การมอดดูเลทข้อมูลทางดิจิตอล	18
บทที่ 4 ทฤษฎีวงจร	
4.1 Phase – Lock Loops (PLL)	27
4.2 การดีมอดดูเลทสัญญาณเอฟเอ็มด้วย phase lock loops	28
4.3 มิกเซอร์ (MIXER)	41
4.4 วงจรดีเทกเตอร์เอฟเอ็มแบบควอเดรเจอร์	45

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

	หน้า
บทที่ 5 หลักการทำงานของโครงงาน	
5.1 บทนำ	48
5.2 ภาค FREQUENCY SYNTHESIZER	49
5.3 วงจรผลิตความถี่ 49.670 MHz และ 38.975 MHz	50
5.4 วงจร PLL เลือกช่องสัญญาณความถี่ 58.53 – 66.03 MHz	51
5.5 วงจรภาคเครื่องรับ FM	52
5.6 วงจรภาค FSK MODULATOR	56
5.7 วงจรภาค FSK DEMODULATOR	57
5.8 วงจรมิกเซอร์ (MIXER)	59
5.9 วงจร RF AMPLIFIER	60
5.10 วงจรBand pass filter สำหรับ Local Osilator	61
บทที่ 6 ผลการวัดสัญญาณ	
6.1 บทนำ	62
6.2 ผลของสัญญาณภาค FREQUENCY SYNTHESIZER	63
6.3 ผลของสัญญาณภาคเครื่องรับ	64
6.4 ผลของการวัดสัญญาณของภาค FSK MODULATOR	65
6.5 ผลการวัดสัญญาณภาค MIXER	66
บทที่ 7 บทสรุปและวิจารณ์	68
หนังสืออ้างอิง	
ภาคผนวก	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป

หน้า

บทที่ 2

รูปที่ 2.1 แสดงองค์ประกอบของระบบการสื่อสาร 2
รูปที่ 2.2 แสดงการรบกวนในระบบการสื่อสาร 3
รูปที่ 2.3 แสดงระบบสื่อสารแบบซิมเพล็กซ์ 4
รูปที่ 2.4 แสดงตัวอย่างการส่งข้อมูลแบบซิมเพล็กซ์ 5
รูปที่ 2.5 แสดงระบบการสื่อสารแบบฮาล์ฟดูเพล็กซ์ 6
รูปที่ 2.6 แสดงตัวอย่างของการส่งข้อมูลแบบฮาล์ฟดูเพล็กซ์ 6
รูปที่ 2.7 แสดงระบบการสื่อสารแบบฟูลดูเพล็กซ์ 7
รูปที่ 2.8 แสดงตัวอย่างของการส่งข้อมูลแบบฟูลดูเพล็กซ์ 8
รูปที่ 2.9 แสดงองค์ประกอบของระบบสื่อสารวิทยุ 9

บทที่ 3

รูปที่ 3.1 บล็อกไดอะแกรมหลักการส่งวิทยุ 11
รูปที่ 3.2 บล็อกไดอะแกรมหลักการรับวิทยุ 12
รูปที่ 3.3 แสดงรูปสัญญาณในการมอดดูเลททั้ง 3 แบบ 14
รูปที่ 3.4 แสดงผลลัพธ์จากการมอดดูเลทเชิงความถี่ระหว่าง คลื่นพาหะ (fc) กับคลื่นรูปซายน์ (fm) 16
รูปที่ 3.5 แสดงสเปคตรัมจากการมอดดูเลทของ คลื่นพาหะ (10,000 Hz) และ คลื่นรูปซายน์ (1000 Hz) 16
รูปที่ 3.6 แสดงภาพสัญญาณในการมอดดูเลทเชิงความถี่ 17
รูปที่ 3.7 แสดงขั้นตอนการทำงานในภาคดีมอดเลท (FM) 18
รูปที่ 3.8 แสดงสัญญาณในแต่ละแบบ 19
รูปที่ 3.9 แสดงการประมาณค่าความกว้างของแบบ FSK 20
รูปที่ 3.10 แสดงสัญญาณในแบบ BPSK 23
รูปที่ 3.11 แสดงการแบ่งเฟสของ PSK 24
รูปที่ 3.12 แสดงค่าสถานะต่างๆ ในวิธี QAM 25

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หน้า

บทที่ 4

รูปที่ 4.1 Block Diagram ของ Phase-Lock Loop (PLL) 27
รูปที่ 4.2 Block Diagram การทำงานของวงจรสังเคราะห์ความถี่ 28
รูปที่ 4.3 phase locked loop ทั่วไปเมื่อใช้จุดต่างๆเป็นขั้วออก 29
รูปที่ 4.4 ลักษณะสมบัติของ phase comparator ชนิดอนาลอก 30
รูปที่ 4.5 ลักษณะสมบัติของ phase comparator ชนิดดิจิตอล 30
รูปที่ 4.6 ลักษณะสมบัติของ VCO 30
รูปที่ 4.7 วงจร PLL 32
รูปที่ 4.8 พารามิเตอร์ของวงจร phase locked loop 34
รูปที่ 4.9 แรงดันไฟฟ้าขาเข้าเทียบกับความถี่ขาออกของ 35
MC4324 ใช้ 100 pF ตัวประจุป้อนกลับ
รูปที่ 4.10 การออกแบบ active filter 36
รูปที่ 4.11 แผนผังวงจรของ PLL ชนิดที่ 2 37
รูปที่ 4.12 แผนผังของการแสดงลาปลาซ์ของ PLL 37
รูปที่ 4.13 step response ของ second order PLL ชนิดที่สอง 39
รูปที่ 4.14 การเปลี่ยนแปลงของ root locus 40
รูปที่ 4.15 วงจรเลื่อนความถี่ และความถี่เอาท์พุทที่ได้ 41
รูปที่ 4.16 วงจรดีเทกเตอร์แบบควอเดรเจอร์ 45
รูปที่ 4.17 ดีเทกเตอร์แบบควอเดรเจอร์โดยใช้เกตที่เหมือนกัน 46
รูปที่ 4.18 สัญญาณเกตที่เหมือนกันที่ $\omega = \omega_r$ 47

บทที่ 5

รูปที่ 5.1 บล็อกไดอะแกรมของโครงงาน Wireless Modem 48
รูปที่ 5.2 บล็อกไดอะแกรมของภาค FREQUENCY SYNTHESIZER 49
รูปที่ 5.3 วงจรผลิตความถี่ 49.670 MHz และ วงจรผลิตความถี่ 38.975 MHz 50

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หน้า

รูปที่ 5.4 วงจร PLL เลือกช่องสัญญาณความถี่ 58.53 – 66.03 MHz 52
รูปที่ 5.5 แสดงบล็อกไดอะแกรมของ IC NE/SA602A 53
รูปที่ 5.6 แสดงบล็อกไดอะแกรมของ IC NE/SA614A 54
รูปที่ 5.7 เป็นวงจรสมมูลย์ของ IC NE/SA614A 54
รูปที่ 5.8 แสดงบล็อคไดอะแกรมของวงจรสมมูลย์สำหรับ 55
ดีเทกเตอร์แบบควอเดรเจอร์
รูปที่ 5.9วงจรภาครับ FM 56
รูปที่ 5.10 วงจรภาค FSK MODULATOR 57
รูปที่ 5.11 วงจรภาค FSK DEMODULATOR 58
รูปที่ 5.12 แสดงวงจรภายในของ XR 2211 59
รูปที่ 5.13 วงจรมิกเซอร์ในกรณีที่ต้องการส่งสัญญาณ 59
รูปที่ 5.14 วงจรมิกเซอร์สำหรับผลิตความถี่เพื่อป้อนให้เป็น Local Osc 60
ในกรณีที่ต้องการรับสัญญาณ
รูปที่ 5.15 วงจร RF AMPLIFIER 61
รูปที่ 5.16 วงจร Band pass filter 61

บทที่ 6

รูปที่ 6.1 เอาท์พุทของวงจรผลิตความถี่ 49.670 MHz 62
รูปที่ 6.2 เอาท์พุทของวงจรผลิตความถี่ 38.975 MHz 63
รูปที่ 6.3 เอาท์พุทของวงจรผลิตความถี่ 58.53 – 66.03 MHz 63
รูปที่ 6.4 สัญญาณเอาท์พุทของ Limiter ความถี่ 10.7 MHz 64
รูปที่ 6.5 สัญญาณเอาท์พุทของข้อมูลความถี่ 1 KHz 65
รูปที่ 6.6 ความถี่ Space ของวงจรภาค FSK MODULATOR 65
รูปที่ 6.7 ความถี่ Mark ของวงจร FSK MODULATOR 66
รูปที่ 6.8 เอาท์พุทMIXERของเครื่องรับที่ความถี่ 102.5 MHz 66
รูปที่ 6.9 เอาท์พุทของเครื่องส่งที่ความถี่ 115.2 MHz 67

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญตาราง

หน้า

บทที่ 6

ตารางที่ 6.1 ตารางผลการทดลองของ IC MC145152 64

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

การสื่อสารไร้สาย คาดว่าจะเป็นเทคโนโลยีหลักและสำคัญของการติดต่อในระบบเครือข่ายสื่อสารในอนาคตต่อไป นอกจากการบริการสื่อสารทางด้านวิทยุ AM(amplitude modulation) และ FM(frequency modulation) แล้ว บริการใหม่ๆ อย่างอื่นเช่น การบริการมัลติมีเดีย การสื่อสารข้อมูลอัตราเร็วสูง จะมีการให้บริการบนเครือข่ายสื่อสารไร้สายด้วยด้วย และโครงงานโมเด็มไร้สาย (wireless modem)นี้ก็เช่นเดียวกันจะเป็นการติดต่อคอมพิวเตอร์ที่ใช้โมเด็มไร้สายหรือใช้คลื่นวิทยุแทนสายเพราะว่าการติดต่อผ่านสายโทรศัพท์มีข้อจำกัดในเรื่องสถานที่ แต่คลื่นสามารถเดินทางไปได้ทุกที่อีกยังไม่แกะกะในการติดตั้งง่ายต่อการพกพาไปในที่ต่าง เนื้อหาที่เกี่ยวข้องจะแบ่งเป็นบทๆ ดังต่อไปนี้

บทที่ 2 ความรู้พื้นฐานของระบบการสื่อสารข้อมูล
บทที่ 3 หลักการการสื่อสาร
บทที่ 4 ทฤษฎีวงจร
บทที่ 5 หลักการทำงานของวงจร
บทที่ 6 ผลการทดลอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
ความรู้พื้นฐานของระบบการสื่อสารข้อมูล

2.1 จุดประสงค์ของการสื่อสาร

จะเห็นได้ว่ารูปแบบของการสื่อสารมีลักษณะต่าง ๆ กันไป แต่ไม่ว่าจะเป็นรูปแบบใดก็ตาม จุดประสงค์ของการสื่อสารจะเหมือนกันคือ การส่งข่าวสาร (Information) จากที่หนึ่งไปยังอีกที่หนึ่ง สำหรับข่าวสารที่ถูกส่งไปอาจจะเป็นเรื่องที่กำลังพูดคุยกัน เป็นข้อความในจดหมาย หรือเป็นเสียงดนตรีก็ได้ สำหรับในการสื่อสารข้อมูล จุดประสงค์ก็คือ การส่งข้อมูล (Data or Encoded information) เช่น ตัวอักษรซึ่งอยู่ในลักษณะของข้อมูลฐานสองที่ถูกเข้ารหัส เช่น รหัสแอสกี (ASCII Code) เป็นต้น

2.2 องค์ประกอบของระบบการสื่อสาร

โดยปกติ ในการส่งข่าวสารจากที่แห่งหนึ่งไปยังอีกแห่งหนึ่ง จะต้องมีองค์ประกอบของระบบอย่างน้อย 3 ประการ คือ

1. ผู้ส่ง (Source) : สร้างข้อมูลและส่งข้อมูลไป
2. ผู้รับ (Receiver) : ปลายทางของการส่งข่าวสาร
3. ตัวกลางในการส่ง (Transmission Medium) : นำข้อมูลจากผู้ส่งไปให้ผู้รับ

รูปที่ 2.1 แสดงองค์ประกอบของระบบการสื่อสาร

ตัวอย่างเช่น ในการอ่านหนังสือ ผู้ส่งก็คือผู้เขียน ผู้รับก็คือผู้อ่าน และตัวกลางก็คือหนังสือ ในการสนทนาระหว่างบุคคล ผู้ส่งคือผู้ที่กำลังพูด ผู้รับก็คือผู้ที่กำลังฟัง และตัวกลางในการสื่อสารก็คือ อากาศหรือคลื่นเสียง

นอกจากจะทราบถึงองค์ประกอบของการสื่อสารแล้ว คุณควรจะทราบถึงสิ่งซึ่งสัมพันธ์กับการทำงานของระบบการสื่อสารด้วย ซึ่งจะทำให้ระบบการสื่อสารนั้นดีหรือเลวอย่างไร ได้แก่

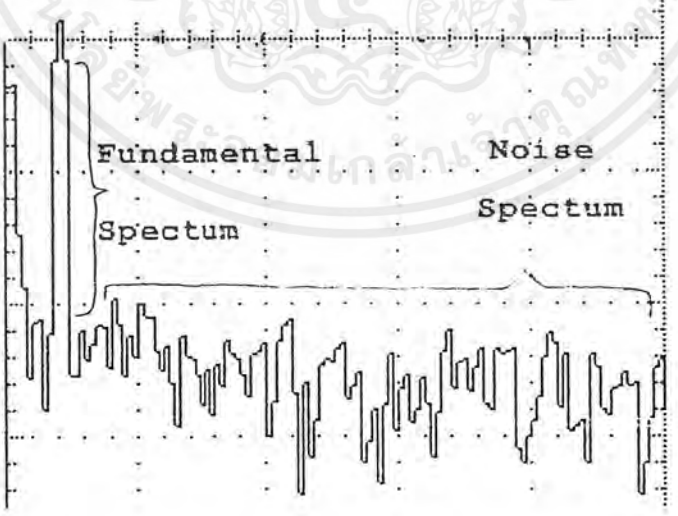
1. การสื่อสารจะมีประสิทธิผลก็ต่อเมื่อข่าวสารสามารถเข้าใจได้ดี เช่น ในการพูดคุยกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จะประสบผลก็ต่อเมื่อใช้ภาษาที่ทั้งสองฝ่ายเข้าใจ หรือในกรณีของการส่งข้อมูลระหว่างอุปกรณ์คอมพิวเตอร์ 2 เครื่องนั้น หากฝ่ายส่ง ๆ ข้อมูลด้วยอัตราเร็ว 1,200 bps (bit per second : บิตต่อวินาที) แต่ฝ่ายรับถูกตั้งให้รับข้อมูลด้วยอัตราเร็ว 9,600 pbs การรับข้อมูลนั้นก็จะไม่ประสบผลสำเร็จ

2. คุณลักษณะเฉพาะตัว (Individual Characteristics) ขององค์ประกอบแต่ละอย่าง ไม่ว่าผู้ส่ง ผู้รับ หรือตัวกลาง จะเป็นตัวกำหนดและจำกัดคุณลักษณะทั้งหมด (Overall Characteristics) ของระบบสื่อสารได้ เช่น การพูดคุยกันทางโทรศัพท์นั้น จะไม่สามารถมองเห็นหน้าตาท่าทางของผู้พูดได้ หรือในการส่งข้อมูลนั้น หากฝ่ายส่งสามารถส่งข้อมูลได้ถึง 9,600 bps และฝ่ายรับสามารถรับข้อมูลได้ถึง 19,200 bps แต่ตัวกลางยอมให้ข้อมูลผ่านได้แค่ 2,400 bps ดังนั้นทั้งระบบจะถูกจำกัดให้ส่งข้อมูลได้แค่ 2,400 bps หรือในกรณีที่เป็นการส่งข้อมูลระหว่างเครือข่าย (Internetwork) อัตราการส่งข้อมูลของระบบนั้นจะถูกจำกัดด้วยการส่งของเครือข่ายที่ยอมให้ข้อมูลผ่านด้วยอัตราที่ต่ำสุด คล้ายกับการไหลของน้ำผ่านท่อขนาดต่าง ๆ กัน อัตราการไหลของน้ำจะถูกจำกัดด้วยขนาดของท่อที่เล็กที่สุดเช่นเดียวกัน

3. การรบกวน เกิดขึ้นได้เสมอในระบบการสื่อสารใด ๆ ซึ่งหากการรบกวนมีมากก็จะส่งผลให้เกิดความผิดพลาดของการส่งข้อมูลได้มาก และทำให้ข้อมูลที่ส่งผ่านระบบการสื่อสารนั้นถูกส่งด้วยอัตราที่ต่ำลง



รูปที่ 2.2 แสดงการรบกวนในระบบการสื่อสาร

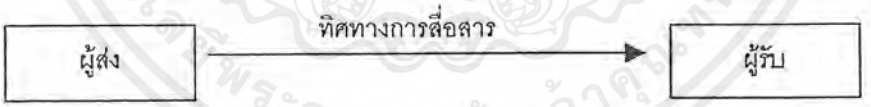
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.3 นิยามของการส่งข้อมูล

ในตอนต้นคงได้ทราบแล้วว่า องค์ประกอบของการสื่อสารอย่างน้อยต้องประกอบด้วย ผู้ส่ง ผู้รับ และตัวกลาง ซึ่งในการตดต่อสื่อสารเพื่อส่งข้อมูลระหว่างผู้ส่งและผู้รับโดยผ่านตัวกลางนั้น ปกติทำได้ 3 ลักษณะคือ การสื่อสารแบบซิมเพล็กซ์ (Simplex) ฮาล์ฟดูเพล็กซ์ (Halfduplex) และฟูลดูเพล็กซ์ (Full-duplex)

2.3.1 การสื่อสารแบบซิมเพล็กซ์ หรือการสื่อสารแบบทางเดียว (One-way communication)

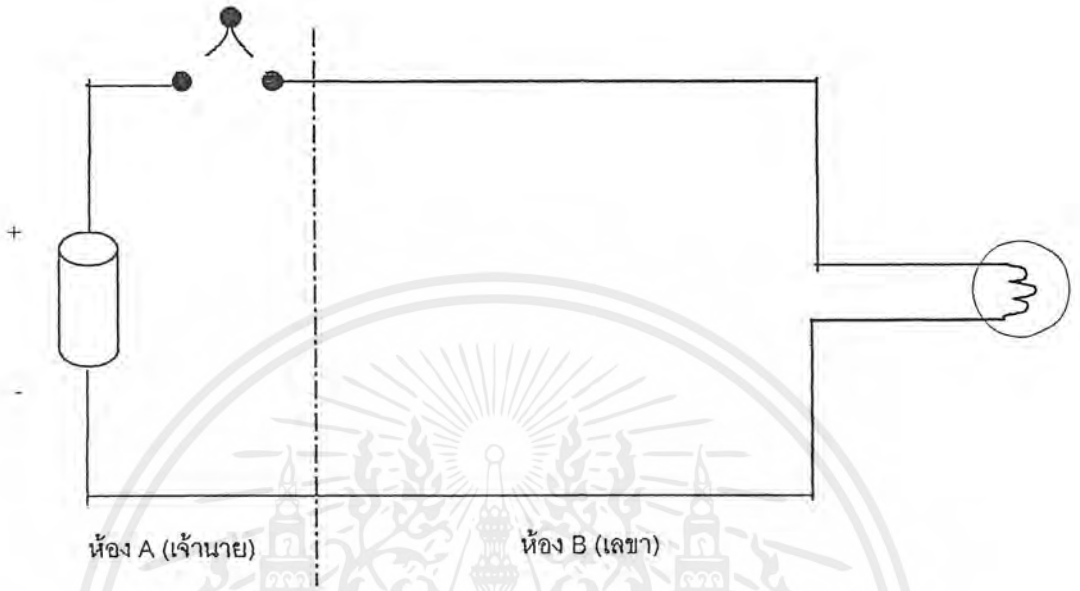
ตัวกลางในการส่งข้อมูล อาจจะพูดได้ว่าประกอบด้วยช่องสัญญาณ (channel) ซึ่งอนุญาตให้ข้อมูลผ่านได้ช่องเดียวหรือหลายช่อง ช่องสัญญาณนี้คล้ายกับท่อน้ำ โดยจะไหลผ่านจากแหล่งกำเนิดน้ำไปยังแหล่งรับน้ำ ทำนองเดียวกับการส่งข้อมูลดังแสดงในรูปที่ 2.3 ซึ่งประกอบด้วยช่องสัญญาณเพียงช่องเดียว และปลายทางด้านหนึ่งเป็นผู้รับ การส่งข้อมูลจะเป็นลักษณะที่ข้อมูลถูกส่งไปทางเดียวหรือ One-way communication ตัวอย่างเช่น การกระจายเสียงของสถานีวิทยุต่าง ๆ การแพร่ภาพทางโทรทัศน์ การส่งน้ำตามท่อหรือการจราจรระบบทางเดียว เป็นต้น



รูปที่ 2.3 แสดงระบบสื่อสารแบบซิมเพล็กซ์

ในรูปที่ 2.4 เป็นการสื่อสารแบบซิมเพล็กซ์อย่างง่าย ๆ โดยใช้หลอดไฟหรือกระดิ่งไฟฟ้า ข่าวสารจะถูกส่งจากห้อง A เสมอ สังเกตว่าในระบบซิมเพล็กซ์เราจะใช้สายไฟ 2 เส้นในการเชื่อมโยงระหว่างผู้ส่งและผู้รับ ดังนั้นบางครั้งเรียกว่า two-wire lines

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.4 แสดงตัวอย่างการส่งข้อมูลแบบซิมเพล็กซ์

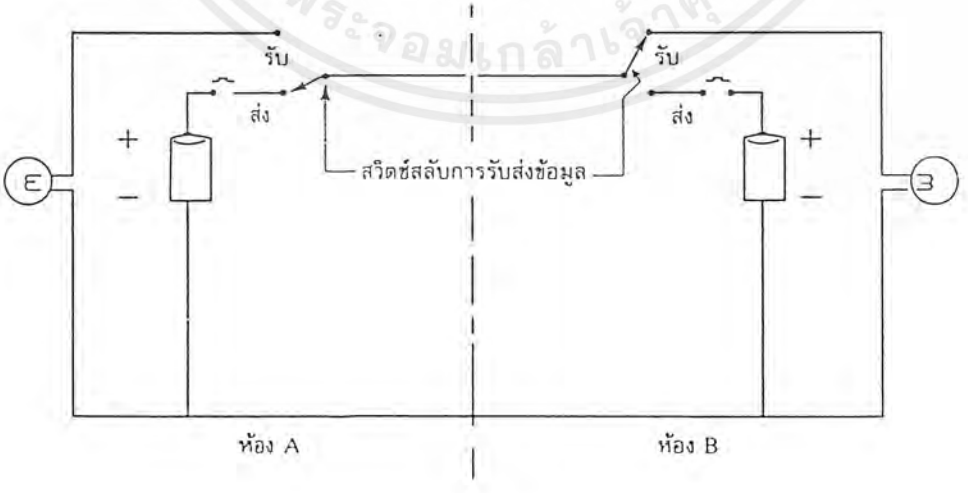
2.3.2 การสื่อสารแบบฮาล์ฟดูเพล็กซ์หรือการสื่อสารแบบทางใดทางหนึ่ง (Either-way communication)

จากรูปที่ 2.5 จะเห็นได้ว่าถ้าหากอุปกรณ์ปลายทางทั้งสองสามารถส่งหรือรับข้อมูลได้แล้ว การส่งข้อมูลผ่านช่องสัญญาณเดียวนั้นจะสามารถส่งไปได้ทั้งสองทาง แต่ต้องสลับกัน จะส่งในเวลาเดียวกันไม่ได้ การส่งข้อมูลแบบนี้เรียกว่า "การสื่อสารแบบฮาล์ฟดูเพล็กซ์" ตัวอย่างเช่น วิทยุสื่อสารในรถตำรวจ ซึ่งเมื่อเวลาผู้พูดพูดจบ มักจะต่อท้ายด้วยคำว่า "เปลี่ยน" ทั้งนี้เพื่อให้ผู้รับสามารถทราบได้อย่างรวดเร็วว่าข้อมูลที่ส่งมานั้นหมดแล้ว สามารถส่งข้อมูลตอบกลับไปได้ นั่นคือเมื่อผู้รับได้รับข้อมูลแล้ว ผู้รับจะใช้ระยะเวลาหนึ่งในการตีความและทราบว่าข้อมูลจากผู้ส่งหมดแล้ว และพร้อมที่จะตอบกลับไป ซึ่งช่วงเวลานี้เรียกว่า reaction time และเมื่อผู้รับต้องการส่งข้อมูลตอบกลับไปจะมีการกดสวิตช์ (switch) ซึ่งต้องใช้เวลาในการที่จะเปลี่ยนสภาวะจากผู้รับเป็นผู้ส่ง ช่วงเวลาที่กดสวิตช์ที่เรียกว่า line turnatound time ดังนั้นจะเห็นได้ว่าในระบบฮาล์ฟดูเพล็กซ์นั้นการเปลี่ยนแปลงการส่งข้อมูลจากด้านหนึ่งจะต้องเสียเวลาไป ซึ่งเวลานี้ประกอบด้วย reaction time และ line turnatound time รวมกันเรียกว่า system turnaround time

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 2.5 แสดงระบบการสื่อสารแบบฮาล์ฟดูเพล็กซ์

รูปที่ 2.6 แสดงถึงระบบฮาล์ฟดูเพล็กซ์อย่างง่าย ๆ ซึ่งจะเห็นว่าขณะนี้เป็นการส่งข้อมูลจากห้อง A ไปยังห้อง B และเมื่อคนในห้อง B พร้อมที่จะตอบกลับ จะต้องสับสวิตช์จากภาวะของการรับข้อมูล เป็นการส่งข้อมูล นอกจากนั้นจะเห็นว่ายังคงใช้สายไฟ 2 เส้นในการเชื่อมโยงระหว่างผู้ใช้ทั้งสอง



รูปที่ 2.6 แสดงตัวอย่างของการส่งข้อมูลแบบฮาล์ฟดูเพล็กซ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.3.3 การสื่อสารแบบฟูลดูเพล็กซ์ หรือการสื่อสารแบบสองทาง

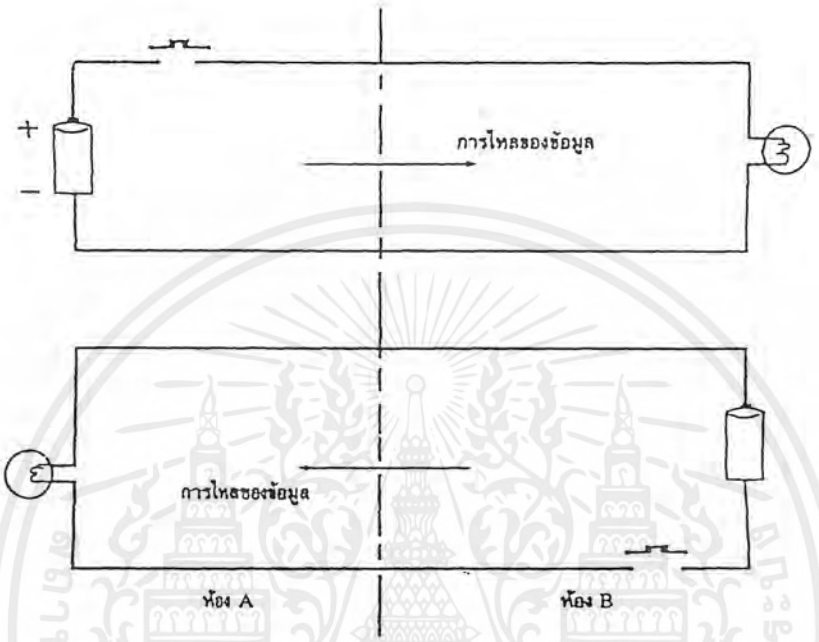
(Both-way communication)

ในรูปที่ 2.7 จะเห็นว่าหากตัวกลางมีช่องสัญญาณ 2 ช่อง และอุปกรณ์ปลายทางสามารถส่งและรับข้อมูลได้พร้อม ๆ กันแล้ว การส่งข้อมูลจะสามารถส่งได้ทั้งสองทิศทางพร้อมกัน การติดต่อส่งข้อมูลแบบนี้เรียกว่า "ฟูลดูเพล็กซ์" หรือ "การสื่อสารแบบสองทาง"

ตัวอย่างเช่น ระบบการจราจร 2 ทาง ระบบโทรศัพท์ทั่ว ๆ ไป สำหรับรูปที่ 2.8 แสดงถึง ตัวอย่างระบบไฟฟ้า ของการส่งข้อมูลชนิดนี้ จะเห็นได้ว่าในการส่งข้อมูลทั้งสองทางไม่ต้องเสียเวลาในการสับสวิตช์ไปมา นั่นคือไม่ต้องเสีย line turnaround time ซึ่งต้องมีในระบบฮาล์ฟดูเพล็กซ์ แต่ระบบนี้ยังคงต้องเสีย reaction time ในการที่ผู้ใช้ปลายทางด้านหนึ่งสังเกตว่าอีกปลายด้านหนึ่งส่งข้อมูลมาหมดแล้ว และพร้อมที่จะตอบกลับต่อข้อมูลที่ได้รับนั้น ดังนั้นในระบบฟูลดูเพล็กซ์นี้ system turnaround time จะสั้นกว่าระบบฮาล์ฟดูเพล็กซ์ นั้นตัวกลางจะต้องมีช่องสัญญาณ 2 ช่อง ฉะนั้นในบางกรณีสายไฟ 2 เส้นอาจถูกแบ่งเป็น 2 ช่องสัญญาณ ทำให้สามารถส่งข้อมูลแบบฟูลดูเพล็กซ์ได้ ซึ่งจะอธิบายโดยละเอียดในบทที่ 2) ข้อสังเกตอีกอย่างหนึ่งสำหรับระบบฟูลดูเพล็กซ์ก็คือ ถึงแม้ว่าตัวกลางตลอดจนอุปกรณ์ปลายทางทั้งสองข้างมีความสามารถในการรับส่งพร้อมกันได้ แต่ในการใช้งานจริงนั้น ผู้ใช้ปลายทางอาจส่งข้อมูลมาแบบฮาล์ฟดูเพล็กซ์ ซึ่งอาจเนื่องมาจากการทำงานของโอเปอเรเตอร์ (operater) ซึ่งปกติแล้วจะไม่สามารถแปลความหมายของข่าวสารที่เข้ามาและส่งข่าวสารออกไปในเวลาเดียวกันได้ แต่จะทำงานแต่อย่างใดอย่างหนึ่ง เช่นเดียวกันกับโปรแกรมประยุกต์ที่ทำงานบนคอมพิวเตอร์ ที่อาจจะเป็นตัวกำหนดให้การใช้งานของระบบการสื่อสารเป็นแบบฮาล์ฟดูเพล็กซ์ ซึ่งโปรแกรมประยุกต์เหล่านี้จะรอข้อมูลที่ส่งมาจากปลายทางอีกด้านหนึ่ง แล้วจึงประมวลผลข้อมูลและตอบกลับข้อมูลนั้น ซึ่งในการตอบกลับนี้จะสามารถทำได้เร็วกว่าการใช้ระบบสื่อสารแบบฮาลีฟดูเพล็กซ์ เนื่องจากไม่ต้องเสีย line turnaround time

รูปที่ 2.7 แสดงระบบการสื่อสารแบบฟูลดูเพล็กซ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.8 แสดงตัวอย่างของการส่งข้อมูลแบบฟูลดูเพล็กซ์

นอกจากนั้นในบางระบบ ช่องสัญญาณหนึ่งของระบบฟูลดูเพล็กซ์จะถูกใช้ในการส่งตัวอักษรที่ถูกพิมพ์ (key) จากเทอร์มินัล (terminal) ไปสู่คอมพิวเตอร์ ส่วนอีกช่องสัญญาณหนึ่งถูกใช้ในการสะท้อน (echoback) ตัวอักษรจากคอมพิวเตอร์กลับไปแสดงบนหน้าจอของเทอร์มินัล ซึ่งระบบนี้จะช่วยตรวจสอบความถูกต้องของการส่งข้อมูลได้ โดยพิจารณาว่าข้อมูลที่ถูกพิมพ์ตรงกับข้อมูลที่ปรากฏบนหน้าจอหรือไม่

2.4 ระบบการสื่อสารข้อมูลและเครือข่ายคอมพิวเตอร์

การสื่อสารข้อมูลเป็นระบบหนึ่งของระบบการสื่อสาร ซึ่งอาจจะพูดได้ว่าการสื่อสารข้อมูลคือการส่งข้อมูล (data) จากที่หนึ่งไปยังอีกที่หนึ่ง โดยผ่านวงจรสื่อสารซึ่งอาจจะเป็นระบบการส่งทางคลื่นไฟฟ้าหรือคลื่นแสงก็ได้

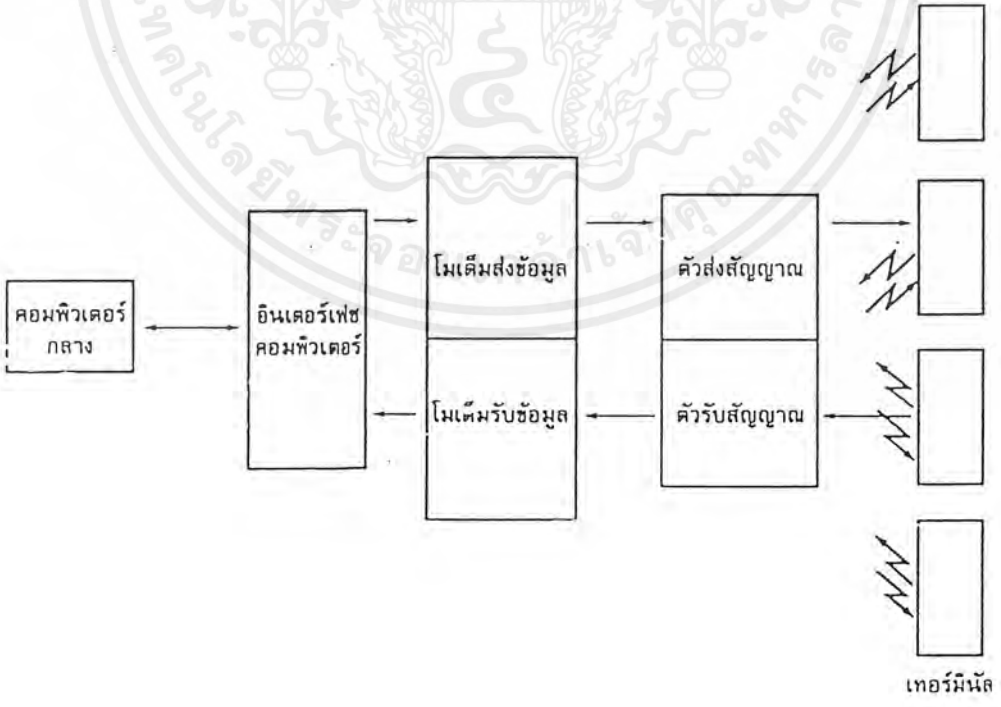
2.5 ระบบสื่อสารวิทยุ (Radio Link)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 2.9 แสดงถึงองค์ประกอบของระบบสื่อสารวิทยุ ซึ่งจะมีอินเตอร์เฟซคอมพิวเตอร์ (Interface Computer) ทำหน้าที่รวบรวมข้อมูลจากคอมพิวเตอร์กลางมาทำเป็นแพ็กเกต และส่งข้อมูลติดต่อกันระหว่างสถานีด้วยกฎเกณฑ์ที่แน่นอน ดังตัวอย่างแสดงในรูปที่ 2.10 สำหรับโมเด็มรับส่งข้อมูล (transmit / receive data modem) เป็นเครื่องมือที่แปลงสัญญาณดิจิตอลให้เป็นสัญญาณไฟฟ้าแอนะล็อก เพื่อส่งผ่านเครื่องรับส่งเป็นคลื่นวิทยุ (คลื่นแม่เหล็กไฟฟ้า) แพร่ออกไป คุณสมบัติของสัญญาณวิทยุมีดังต่อไปนี้

1. ไม่เสียค่าใช้จ่าย หรือเสียค่าใช้จ่ายสำหรับตัวกลางไม่มากนัก ซึ่งแตกต่างกับระบบโทรศัพท์ที่จะต้องเสียค่าโทรศัพท์หรือค่าเช่าสาย

2. สามารถส่งข้อมูลกับสถานีเคลื่อนที่ได้เนื่องจากไม่ใช่สาย และสามารถสร้างเครือข่ายซึ่งมีขอบเขตการสื่อสารกว้างไกล โดยอาจจะส่งสัญญาณต่อทอดกันออกไปเพื่อส่งข้อมูลระยะไกล ดังแสดงในรูปที่ 2.11



รูปที่ 2.9 แสดงองค์ประกอบของระบบสื่อสารวิทยุ

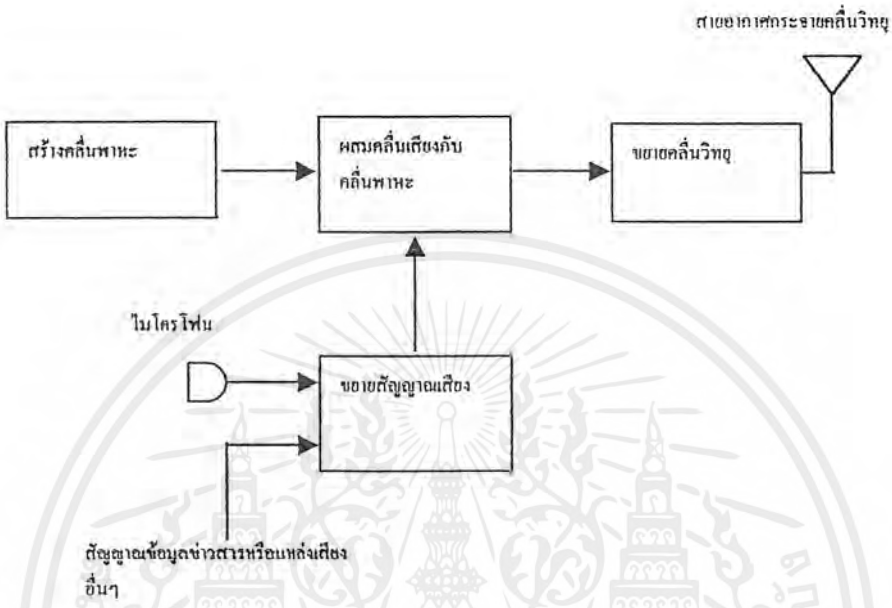
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3
หลักการการสื่อสาร

เมื่อเราสื่อสารกันเสียงจะเดินทางผ่านตัวกลางคือ อากาศไปยังหูของผู้รับฟัง ซึ่งรับได้ในระยะใกล้ๆ ถ้าอยู่ห่างกันการพูดจะต้องตะโกนให้เสียงดังขึ้น และถ้าอยู่ห่างกันมากก็ต้องใช้เครื่องขยายเสียงและลำโพงฮอร์น (Horn speaker) ช่วย แต่เสียงก็จะเดินทางไปไม่ไกลเท่าใดนัก ประมาณ 4-5 km. ถ้าไกลกว่านี้ก็จะอ่อนกำลังซึ่งจะรับฟังไม่ได้ ทั้งนี้เพราะเสียงเดินทางผ่านตัวกลางจะไปได้ใกล้หรือไกลขึ้นอยู่กับความแรงของแหล่งพลังงานต้นเสียง การส่งเสียงหรือข่าวสารวิธีนี้ผู้คนที่อยู่ในรัศมีของเสียงก็จะได้ยินทุกคน คนที่อยู่ใกล้จะได้ยินเสียงดังแรงและได้ยินก่อน คนที่อยู่ไกลจะได้ยินเสียงเบาและได้ยินทีหลัง การส่งข่าวสารแบบดังกล่าวจึงเหมาะสำหรับชุมชนหรือหมู่บ้านที่มีบริเวณแคบ เมื่อมนุษย์ในโลกนี้อยู่กันห่างไกลหลายร้อยหลายพันกิโลเมตร การสื่อสารควรส่งข่าวสารได้เป็นระยะทางไกลๆ โดยไม่ต้องอาศัยตัวกลางและสามารถเข้าถึงผู้ฟังได้ทุกหนทุกแห่ง ด้วยความเร็ว และรับฟังได้พร้อมกันไม่ว่าอยู่ใกล้หรือไกล ข่าวสารที่ได้เหมือนกัน ดังเบาหรือแรงได้จะรับฟังหรือไม่รับฟังก็ได้ตามความประสงค์ของผู้รับ วิธีที่จะส่งเสียงไปในระยะทางไกลๆ นั้นลำพังคลื่นเสียงเองไม่สามารถไปได้ เมื่อนักวิทยาศาสตร์พบว่าคลื่นแม่เหล็กไฟฟ้าความถี่สูงซึ่งเรียกกันว่า คลื่นวิทยุความถี่ตั้งแต่ 10 kHz ขึ้นไปนั้นสามารถแพร่กระจายไปไกลๆ ได้ด้วยความรวดเร็วและไม่ต้องอาศัยตัวกลาง แต่คลื่นวิทยุนี้หูมนุษย์ไม่อาจจะรับฟังได้ เพราะโดยปกติหูมนุษย์จะได้ยินเฉพาะคลื่นเสียงความถี่ประมาณ 20 - 20,000 Hz เท่านั้น ดังนั้นวิธีที่จะทำคลื่นเสียงให้ไปได้ไกลๆ จะต้องนำคลื่นวิทยุและคลื่นเสียงผสมกันให้ได้คลื่นวิทยุที่เป็นตัวพาหะนำคลื่นเสียงไปอย่างรวดเร็ว โดยคลื่นเสียงนั้นไม่เสียรูปร่าง ซึ่งหลักการนี้เรียกกันว่า การส่งวิทยุนั่นเอง

จากแนวคิดข้างต้นเราเขียนเป็นบล็อกไดอะแกรม ดังรูปที่ 3.1 เริ่มด้วยวงจรออสซิลเลเตอร์ (oscillator) จะสร้างคลื่นวิทยุที่เป็นพาหะที่มีความถี่ตามที่ต้องการจะส่ง ป้อนเข้าไปยังวงจรมอดูเลเตอร์ (modulator) ไมโครฟอนรับคลื่นเสียงจากอากาศมาแปลงเป็นคลื่นสัญญาณไฟฟ้า ความถี่ประมาณ 20 - 20,000 Hz ผ่านวงจรขยายสัญญาณเสียง ส่งเข้าไปผสมกับคลื่นพาหะในวงจรมอดูเลเตอร์ เมื่อผสมแล้วส่งสัญญาณคลื่นวิทยุเข้าไปขยายให้มีกำลังแรงขึ้นในวงจรขยายคลื่นวิทยุ แล้วจึงส่งคลื่นวิทยุขึ้นสายอากาศเพื่อกระจายคลื่นวิทยุออกไป ดังนั้นเมื่อคลื่นวิทยุเดินทางไกลถึงที่ใดๆ ก็ตามจะมีคลื่นเสียงไปด้วยเสมอ คลื่นเสียงนั้นนอกจากจะได้จากไมโครโฟนแล้วยังสามารถนำมาจากแหล่งเสียงอื่นๆ เช่น จากเทป จากแผ่นเสียง หรือจากสัญญาณข้อมูลข่าวสารอื่นๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

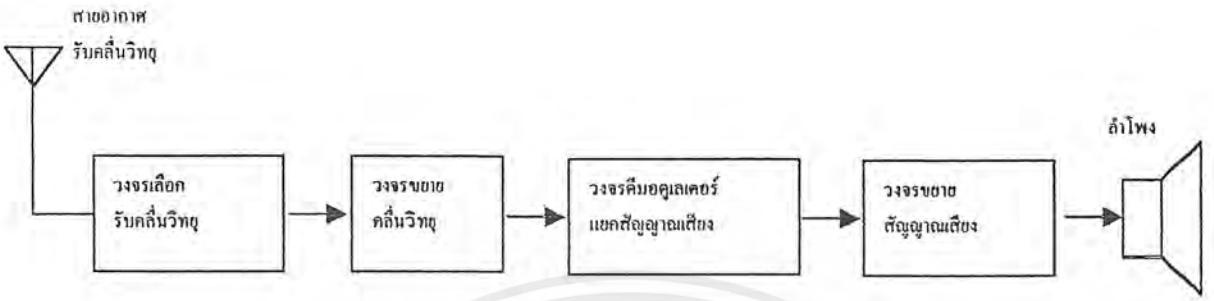


รูปที่ 3.1 บล๊อกไดอะแกรมหลักการส่งวิทยุ

คลื่นวิทยุที่ผสมกับคลื่นเสียงแล้วจะแพร่กระจายออกไปรอบๆ เสาอากาศนั้นยังไม่สามารถรับฟังได้ ดังนั้นผู้ที่ต้องการรับฟังข่าวสารจากคลื่นเสียงจะต้องมีเครื่องรับที่มีความสามารถรับคลื่นวิทยุนี้ได้ แล้วแยกสัญญาณเสียงออกมาจากพาหะจึงจะได้รับฟังข่าวสารนั้นได้

จากรูปที่ 3.2 สายอากาศจะรับคลื่นวิทยุที่ถูกผสมคลื่นเสียงหรือข้อมูลข่าวสารจากสถานีส่งแล้วส่งเข้าวงจรเลือกรับคลื่นวิทยุ เพื่อเลือกเอาสถานีที่ต้องการส่งเข้าวงจรขยายคลื่นวิทยุ เพื่อให้สัญญาณแรงขึ้นส่งเข้าวงจรดีมอดูเลเตอร์ (demodulator) เพื่อแยกเอาเฉพาะสัญญาณเสียงหรือข้องมูลข่าวสารออกมาจากพาหะส่งเข้าวงจรขยายเสียง เปล่งเสียงออกมาทางลำโพง ผู้ฟังจึงได้รับฟังข่าวสารได้ หากไม่ต้องการฟังก็ปิดเครื่องรับ เมื่อจะฟังก็สามารถปรับความดังของเสียงได้ เครื่องรับนี้สามารถนำไปรับฟังในที่ใดๆ ก็ได้ที่คลื่นวิทยุเดินทางไปถึง เช่น บนเกาะ บนภูเขา ในเมืองหรือชนบท ก็จะรับฟังข่าวสารได้เหมือนกันและพร้อมกัน จึงเป็นอันว่าเราสามารถส่งสัญญาณเสียงไปได้ไกลๆ ด้วยวิธีใช้คลื่นวิทยุช่วย โดยสามารถเลือกรับคลื่นได้ตามต้องการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.2 บล็อกไดอะแกรมหลักการรับวิทยุ

3.1 การมอดดูเลท หรือการดีมอดดูเลท (Modulation / Demodulation)

กรณีที่เราต้องการส่งสัญญาณเสียงดนตรี หรือเสียงคนพูด หรือสัญญาณข้อมูลคอมพิวเตอร์ จะพบว่าสเปคตรัมของความถี่ของสัญญาณพวกนี้ไม่เข้ากันกับตัวกลางที่ใช้

อย่างเช่น กรณีของการกระจายคลื่นวิทยุ สมมติว่าเราต้องการฟังดนตรีของสถานีวิทยุที่ความถี่ 96.3 MHz ซึ่งคลื่นของสถานีจะส่งออกไปที่ความถี่เท่านี้ และกระทบกับบรรยากาศของโลกกลับลงมายังพื้นดินอีก ที่นี้ปัญหาอย่างหนึ่งที่เกิดขึ้น คือ "เสียงดนตรีมีค่าอยู่ในช่วงความถี่ 30 - 20,000 Hz เท่านั้น ทำอย่างไรจึงจะส่งเสียงดนตรีในย่านความถี่ 96.3 MHz ได้?"

มีการคิดค้นวิธีขึ้นมาเพื่อนแก้ปัญหานี้ โดยพอจะอธิบายในความง่ายๆ ได้ดังนี้

ใช้คลื่นที่มีความถี่มากพอที่จะส่งผ่านในตัวกลางไปได้ (ในที่นี้ตัวกลางคือ อากาศ ซึ่งจัดว่าเป็นตัวกลางประเภทหนึ่งที่มีความกว้างแถบค่อนข้างมาก)

นำคลื่นที่มีความถี่สูงมารวมกับคลื่นของเสียงดนตรีในทางคณิตศาสตร์ เราจะได้คลื่นใหม่ที่พร้อมส่งผ่านอากาศไป

- คลื่นที่มีความถี่สูงมาก เรียกว่า คลื่นพาหะ
- วิธีการนำมารวมทางคณิตศาสตร์ เรียกว่า มอดดูเลท

นี้แสดงให้ประโยชน์อย่างหนึ่งที่ได้จาก การมอดดูเลท เพราะยังมีการประยุกต์ใช้งานอีกมากในทางมอดดูเลท เช่น

- การมอดดูเลท เพื่อนำไปมัลติเพล็กซ์
- การมอดดูเลท เพื่อลดสัญญาณรบกวน เป็นต้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในทำนองเดียวกัน เมื่อสัญญาณวิทยุส่งมายังเครื่องรับวิทยุ จะต้องมีกรรมวิธีในการแยกคลื่นพาหะออกจากคลื่นเสียงดนตรี ซึ่งเราเรียกว่า "ดีมอดดูเลท"

3.2 ชนิดของวิธีมอดดูเลท

ในที่นี้เราใช้คลื่นพาหะรูปชายน์ (sine - wave carrier)

ซึ่งเราจะนำไปมอดดูเลทกับตัวแปร 3 ตัว คือ ขนาด , ความถี่ , และเฟส ทำให้เราสามารถแบ่งประเภทของวิธีมอดดูเลทได้ 3 ประเภท คือ

- การมอดดูเลทเชิงขนาน (Amplitude Modulation : AM)
- การมอดดูเลทเชิงความถี่ (Frequency Modulation : FM)
- การมอดดูเลทเชิงเฟส (Phase Modulation : PM)

สำหรับคลื่นพาหะ แทนสมการได้ว่า

$$a_c = A_c \sin (2\pi f_c t + \theta_c)$$

ซึ่ง a_c แทน ค่าศักดาไฟฟ้าของคลื่นพาหะที่เวลา t

A_c แทน ขนาดที่มากที่สุดของคลื่นพาหะ (โวลต์)

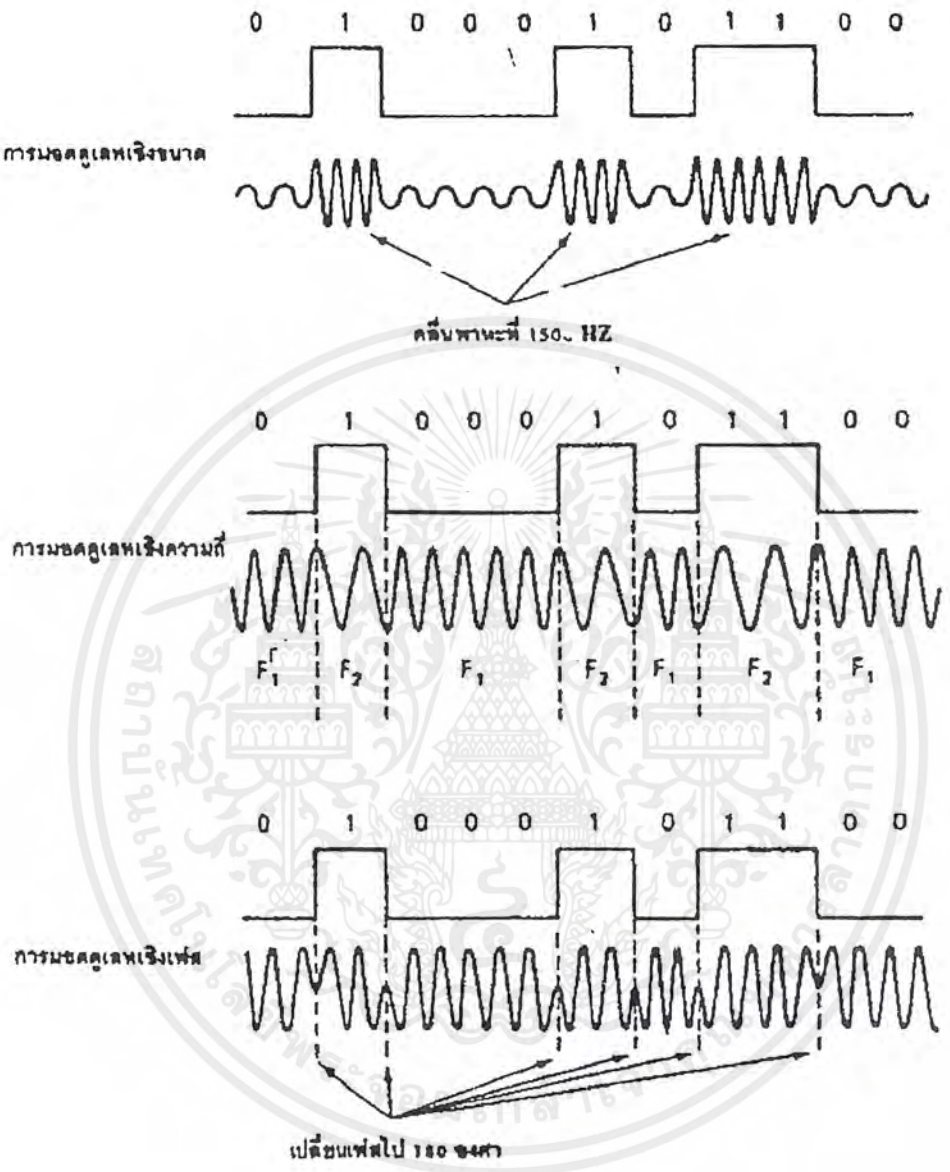
f_c แทน ความถี่ของคลื่นพาหะ

θ_c แทน เฟส

ค่า A_c , f_c , θ_c เป็นค่าที่สามารถเปลี่ยนค่าได้ ไม่ใช่ค่าคงที่

ขอให้พิจารณาในรูป 3.3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.3 แสดงรูปสัญญาณในการมอดดูเลททั้ง 3 แบบ

ซึ่งในที่นี้เราจะกล่าวเฉพาะการมอดดูเลทเชิงความถี่เท่านั้น

3.2.1 การมอดดูเลทเชิงความถี่ (Frequency Modulation : FM)

สำหรับแบบนี้ ความถี่ของคลื่นพาหะเปลี่ยนแปลงตามสัญญาณที่มอดดูเลทมา เห็นได้ชัดจากรูป 3.1 ซึ่งความถี่ของคลื่นพาหะมีค่าต่างกัน สำหรับการแทนค่าในบิท "1" หรือบิท "0"

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ข้อดีของแบบ FM ที่เหนือกว่าแบบ AM มีดังนี้

- สามารถนำมาใช้งานกระจายสัญญาณ ย่าน VHF
- ใช้เป็นสัญญาณเสียงระบบทีวีชนิด 625 เส้น
- ใช้ในระบบสื่อสารเคลื่อนที่ (Mobile System)
- และใช้กับโทรศัพท์ชนิดต่อหลายช่องสัญญาณในย่าน UHF

เรากำหนดให้คลื่นพาหะก่อนการมอดดูเลท แทนด้วยสมการ ดังนี้

$$a_c = A_c \sin 2\pi f_c t \qquad \ldots. (3.2)$$

และมีความถี่ของสัญญาณข้อมูลเท่ากับ fm เราจะได้รูปสมการหลังจากการมอดดูเลทเป็น

$$a_c = A_c \sin 2\pi(f_c + \Delta f_c \sin 2\pi f_m t)t \qquad \ldots.(3.3)$$

เมื่อ Δ fc แทนค่าความถี่ที่เปลี่ยนแปลงได้มากที่สุด และอัตราส่วน Δ fc / fm แทนดัชนีการมอดูเลท (modulation index)

ส่วนผลลัพธ์ที่ได้จากการมอดดูเลทเชิงความถี่ จะซับซ้อนกว่าแบบเชิงขนาดนั้น คือ แถบความถี่ข้าง (sideband) มีได้ดังนี้ fc + fm และ fc - fm รวมทั้ง fc + 2fm , fc - 2fm , fc + 3fm , fc - 3fm , fc - 4fm , fc + 4fm และยังมีต่อๆ ไป ซึ่งหมายความถึงจำนวนแถบความถี่ข้างมีได้ไม่จำกัด แสดงให้เห็นในรูปสมการเป็น

$$a_{cm} = A_C J_o(\Delta f_c / f_m)\sin 2\pi$$

$$+ A_C J_1(\Delta f_c / f_m)[\sin 2\pi(f_c + f_m)t - \sin 2\pi(f_c - f_m)t]$$

$$+ A_C J_2(\Delta f_c / f_m)[\sin 2\pi(f_c + 2f_m)t - \sin 2\pi(f_c - 2f_m)t]$$

$$+ A_C J_3(\Delta f_c / f_m)[\sin 2\pi(f_c + 3f_m)t - \sin 2\pi(f_c - 3f_m)t]$$

$$+ A_C J_4(\Delta f_c / f_m)[\sin 2\pi(f_c + 4f_m)t - \sin 2\pi(f_c - 4f_m)t]$$

+..... มีต่อไปเรื่อยๆ

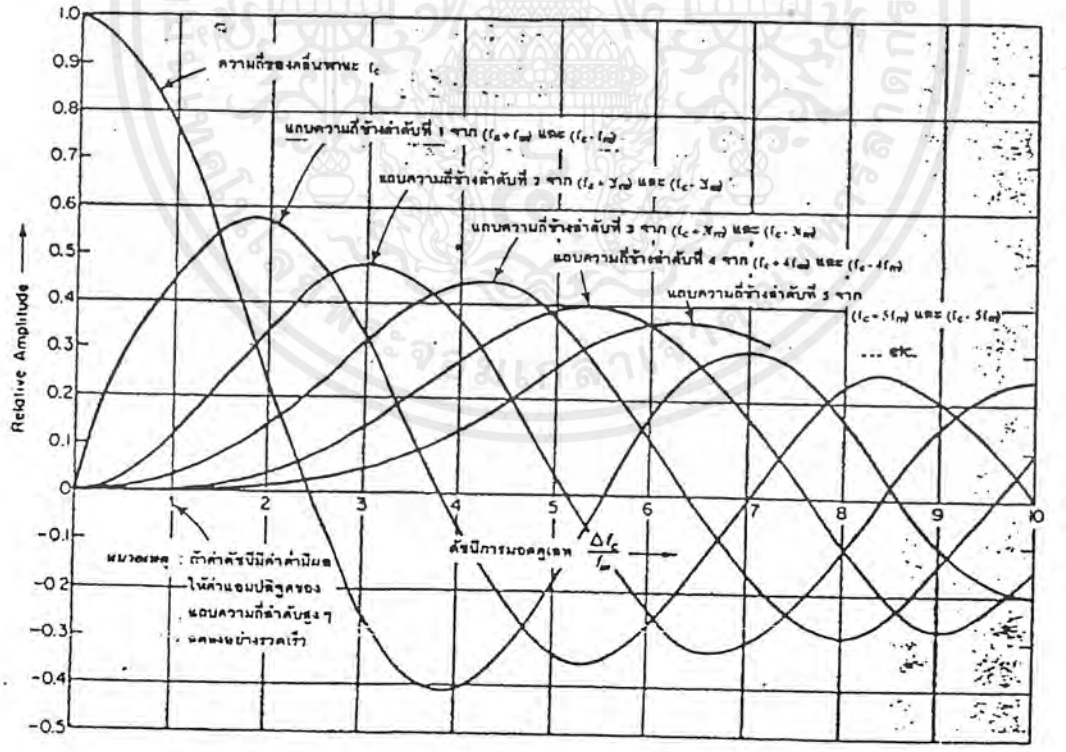
สำหรับค่า $J_o(\Delta f_c / f_m)$ คือ ค่าเบสเซล (Bessel) เป็นค่าที่มีส่วนกำหนดแอมปลิจูดของผลจากการมอดดูเลทแต่ละส่วน ดังรูป 3.4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยใช้ค่าแอมปลิจูดจากรูป 3.11 เป็นการอ้างอิง เราจะพิจารณารูปที่ 3.5 ซึ่งเป็นกรณีของคลื่นพาหะความถี่ 10,000 Hz และคลื่นรูปชายน์ความถี่ 1,000 Hz

จากรูปแสดงการเปรียบเทียบสเปคตรัมระหว่างการมอดดูเลทแบบ AM กับแบบ FM ที่มีค่าดัชนีเท่ากับ 1, 2, และ 5

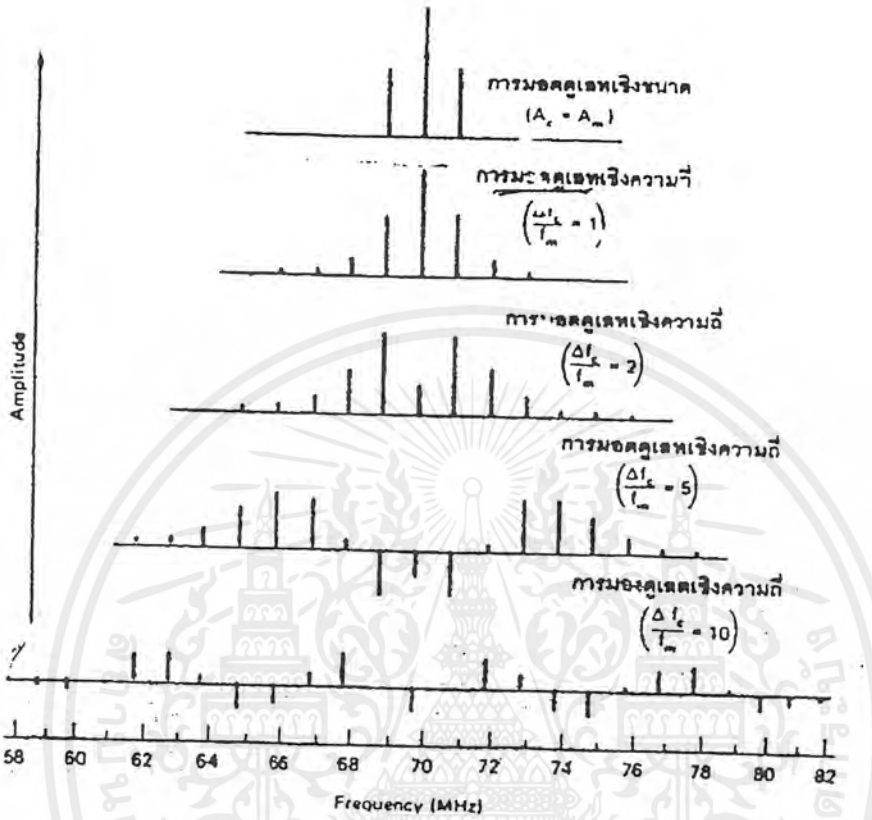
เห็นได้ว่าเส้นสเปคตรัมที่นำข้อมูลจะอยู่รวมกันในช่วงที่แคบลงถ้าค่า $\Delta fc / fm$ มีค่าต่ำ ขอให้พิจารณาแถวล่าสุด (ค่า $\Delta fc / fm = 10$) พบว่าสัญญาณที่ได้นั้น เราสามารถส่งออกจากระบบโดยใช้พลังงานต่ำ แต่มีบริเวณความกว้างแคบ (bandwidth) สูง ในขณะที่ตัวอย่างแถวบนสุดค่า ($\Delta fc / fm = 1$) ต้องใช้ค่าพลังงานสูง แต่บริเวณความกว้างแคบต่ำ ซึ่งในระบบสื่อสารบางประเภทค่าพลังงานในการส่งสัญญาณมีได้มาก ทำให้สัญญาณมีค่าความกว้างแถบน้อย เป็นการเพิ่มความจุของข้อมูลทั้งหมดด้วย ในขณะที่บางประเภทมีพลังงานน้อย จึงเป็นการบังคับให้ค่าความกว้างมากตามไป อย่างเช่น ในการสื่อสารโดยใช้ดาวเทียม จำนวนพลังงานในดาวเทียมมีจำกัด จึงต้องมีความกว้างแถบมากกว่าระบบอื่นๆ



รูปที่ 3.4 แสดงผลลัพธ์จากการมอดดูเลทเชิงความถี่ระหว่างคลื่นพาหะ (fc) กับคลื่นรูปชายน์ (fm)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

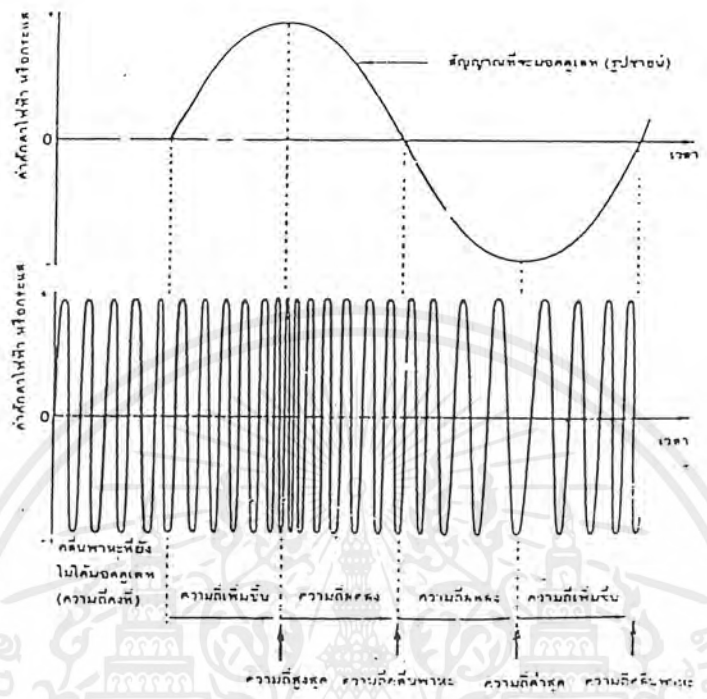


รูปที่ 3.5 แสดงสเปคตรัมจากการมอดดูเลทของคลื่นพาหะ (10,000 Hz)
และ คลื่นรูปซายน์ (1,000 Hz)

ทั่วไปแล้วในการมอดดุเลทเชิงความถี่มักกำหนดใช้ค่าดัชนีที่สูงพอควรโดยเฉพาะค่ามาตราฐานของช่องสัญญาณเสียงที่ 4 kHz ภายหลังการมอดดูเลทแบบ FM มีค่าความกว้างแถบเท่ากับ 36 kHz

เราแสดงภาพแผนสัญญาณในการมอดดูเลทให้เห็นชัดได้ดังรูป 3.6

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
42751



รูปที่ 3.6 แสดงภาพสัญญาณในการมอดดูเลทเชิงความถี่

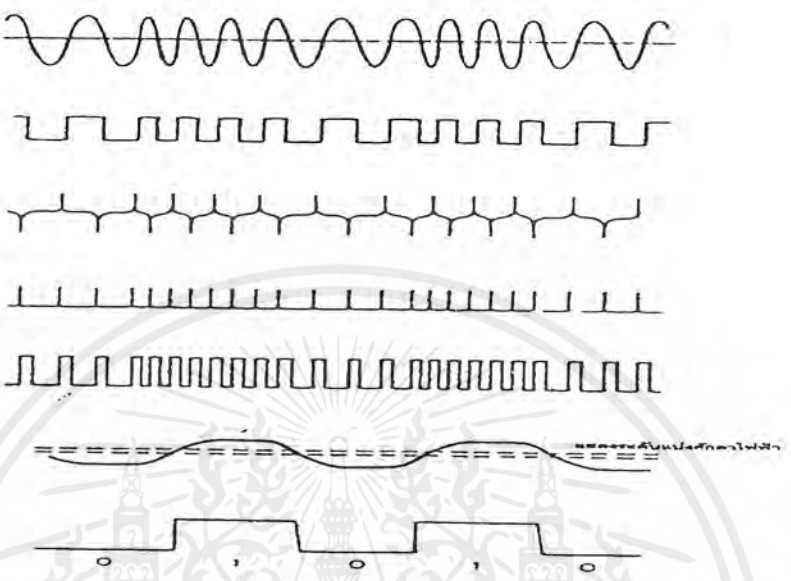
เห็นได้ว่า การเปลี่ยนแปลงค่าความถี่ขึ้นอยู่กับแอมปลิจูดของคลื่นที่จะมอดดูเลทด้วย

3.2.2 การดีมอดดูเลท (FM)

สัญญาณจากการมอดดูเลทเชิงความถี่ถูกส่งออกมาด้วยค่าแอมปลิจูดคงที่สัญญาณรบกวนมีโอกาสเกิดขึ้นเวลาที่เปลี่ยนความถี่ (แต่มีค่าน้อยมาก)

ในการดีมอดดูเลท มีใช้อุปกรณ์ที่เรียกว่า "ลิมิตเตอร์" (Limiter) ที่มีค่ามากกว่าแอมปลิจูดเท่ากับศูนย์ (สัญญาณเหนือเส้นระดับ) ให้เป็นรูปสามเหลี่ยม พิจารณาได้ดังรูป 3.7 เอาท์พุตจากวงจรลิมิตเตอร์จะถูกแยกความแตกต่างโดยทริกที่ขอบขาขึ้นและขอบขาลงของสัญญาณ จากนั้นใช้วงจรกลับรูปสัญญาณเพื่อเป็นพื้นที่ในการสร้างสัญญาณบิทขึ้นมา โดยใช้วงจรสร้างพัลซ์ตามรูปสัญญาณที่รับเข้ามา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.7 แสดงขั้นตอนการทำงานในภาคดีมอดดูเลท (FM)

จากที่กล่าวมาแล้วทั้งหมดของวิธีการมอดดูเลท เรามักจะใช้เกี่ยวกับข้อมูลแบบอนาลอกเท่านั้น ถ้าจะใช้กับข้อมูลแบบดิจิตอลแล้ว จะมีวิธีการต่างไปบ้าง แต่ก็ยังมีพื้นฐานหลักการเหมือนกัน

3.3 การมอดดูเลทข้อมูลทางดิจิตอล

ในการมอดดูเลท เมื่อข้อมูลเป็นดิจิตอลมี 3 วิธีดังนี้

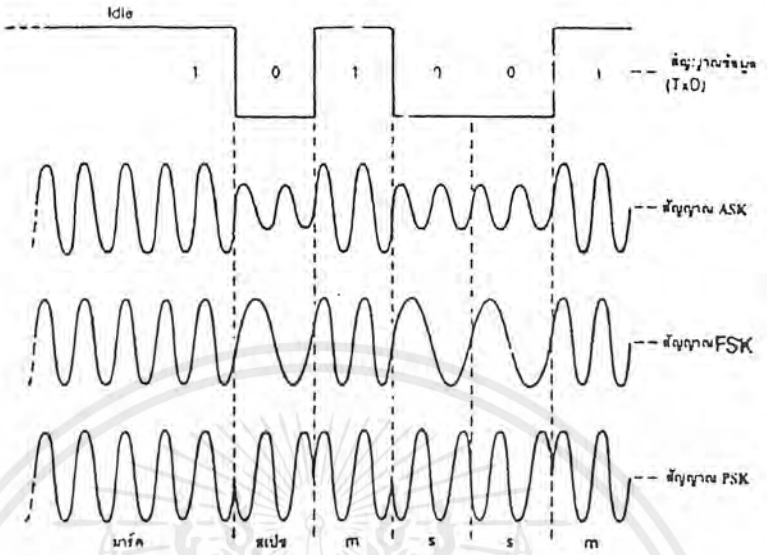
1. การมอดดูเลทดิจิตอลทางขนาด (Amplitude Shift Keying : ASK)เทียบได้กับการมอดดูเลทเชิงขนาด (AM) ในทางอนาลอก

2.การมอดดูเลทดิจิตอลทางความถี่ (Frequency Shift Keying : FSK) เทียบได้กับการมอดดูเลทเชิงความถี่ (FM) ในทางอนาลอก

3.การมอดดูเลทดิจิตอลทางเฟส (Phase Shift Keying : PSK)เทียบได้กับการมอดดูเลทเชิงเฟส (PM) ในทางอนาลอก

ขอให้พิจารณาจากรูป 3.8 จะเข้าใจถึงความหมายของแต่ละวิธีมากขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.8 แสดงสัญญาณในแต่ละแบบ

เราแทนสถานะมาร์คกับค่าลอจิก "1" และสถานะสเปซกับค่าลอจิก "0"

ในช่วงอัตราเร็วข้อมูลจากต่ำไปปานกลาง นิยมใช้แบบ FSK และการส่งแบบไม่สัมพันธ์ที่ใช้ได้ถึง 1,200 บิท/วินาที ส่วนแบบ PSK (ชนิดหลายเฟส - multiphase) และใช้โปรโตคอลแบบสัมพันธ์ เราใช้แบบ 2,400 บิท/วินาที และ 4,800 บิท/วินาที ทั้งนี้เพราะแบบ PSK ใช้ช่วงความกว้างแถบน้อยกว่าแบบ PSK

แบบ ASK จัดว่ามีประสิทธิภาพต่ำสุด และใช้ในสายสื่อสารที่ต้องการความเร็วของข้อมูลต่ำ (น้อยกว่า 100 บิท/วินาที)

ส่วนที่อัตราเร็วข้อมูลเท่ากับ 9,600 บิท/วินาที เราใช้เทคนิคใหม่ที่เกิดจากการรวมหลักของแบบ PSK และแบบ ASK เข้าด้วยกัน เรียกว่า การมอดดูเลททางเฟสและขนาด Quadrature Amplitude Modulation (QAM)

เราอธิบายรายละเอียดแต่ละวิธีได้ดังนี้

3.3.1 การมอดดูเลทดิจิตอลทางขนาด (ASK)

กำหนดรูปสมการได้ตามสถานะของบิท คือ

(คลื่นพาหะ) $a_c = A_c \sin 2\pi f_c t$ เมื่อสถานะของบิทเป็นหนึ่ง .... (3.4)

$= 0$ เมื่อสถานะของบิทเป็นศูนย์ ....(3.5)

ส่วนหลักการอื่นๆ ของแบบ ASK เหมือนกับแบบ AM

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3.2 การมอดดูเลทดิจิตอลทางความถี่ (FSK)

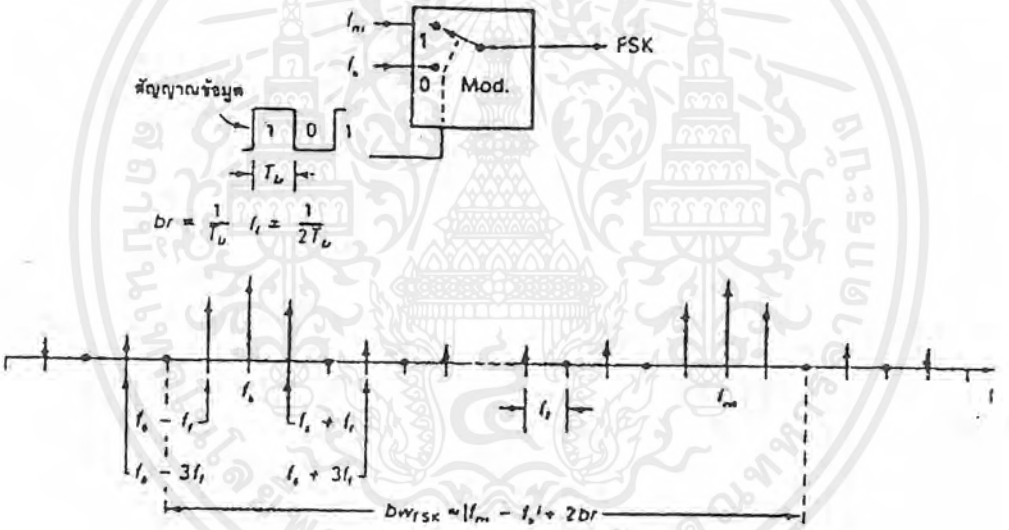
กำหนดรูปสมการไดตามสถานะของบิท คือ

(คลื่นพาหะ) $a_c = A_c \sin 2\pi f_1 t$ เมื่อสถานะของบิทเป็นหนึ่ง ....(3.6)

$= A_c \sin 2\pi f_2 t\, t$ เมื่อสถานะของบิทเป็นศูนย์ ....(3.7)

เห็นได้ว่ามีการใช้คลื่นพาหะ 2 ความถี่ เพื่อมอดดูเลทแล้วจะได้ค่าความถี่ใหม่ 2 ค่า ใช้แทนข้อมูลมาร์ค (1) และสเปซ (0)

เราอธิบายความหมายของความกว้างแถบ (bandwidth) ในแบบ FSK โดยพิจารณาจากรูป 3.9



รูปที่ 3.9 แสดงการประมาณค่าความกว้างของแบบ FSK

จากรูป กำหนดให้ br = อัตราเร็วบิท (บิท/วินาที)

Tb = ช่วงเวลาใน 1 บิท

จะได้ Tb = 1/br วินาที

สมมติให้สัญญาณข้อมูลมีสถานะ "1" และ "0" สลับกันเป็นคลื่นสี่เหลี่ยม (square wave) ให้มีค่าความถี่พื้นฐานเท่ากับ ff

จะได้ $f_f = 1/(2Tb) = br/2$ HZ .... (3.8)

หมายถึงค่าความถี่พื้นฐานที่มากที่สุดของสัญญาณข้อมูล มีค่าเท่ากับครึ่งหนึ่งของอัตราเร็วบิท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำหรับรูปสมการของสัญญาณที่ได้จากการมอดดูเลทแบบ FSK แล้ว มีว่า

$$V_{FSK} = V_b \sin(2\pi f_m t) + \overline{V}_b \sin(2\pi f_s t) \quad \ldots. (3.9)$$

โดยค่า Vb ค่าของบิทมีค่าหนึ่งและศูนย์ ขึ้นอยู่กับสถานะของข้อมูลขณะนั้น

f_m คือ ค่าความถี่ของสถานะมาร์ค (1)

f_s คือ ค่าความถี่ของสถานะสเปซ (0)

รูปสเปคตรัมของสมการ V_{FSK} ประกอบด้วยคลื่นพาหะและแถบความถี่ข้างจำนวนหลายคู่ ซึ่งในการคิดค่าความกว้างแถบของแบบ FSK กำหนดจากความถี่ 2 ตัว ที่อยู่ระหว่างตรงกลางของแถบความถี่ฮาร์โมนิกลำดับที่ 1 และ 3 แสดงในรูปสมการได้ว่า

$$BW_{FSK} = (f_m + 2f_f) - (f_s - 2f_f) = f_m - f_s + 4f_f \text{ Hz} \quad \ldots.(3.10)$$

หรือ $$BW_{FSK} = |f_m - f_s| + 2br \text{ HZ} \quad \textbf{(BW = Bandwidth)} \quad \ldots.(3.11)$$

สรุปความหมายจากสมการข้างต้นได้ว่า ค่าโดยประมาณของความกว้างแถบเท่ากับค่าแตกต่างระหว่าง ความถี่ของมาร์คกับสเปซ บวกด้วยสองเท่าของอัตราเร็วบิท

สำหรับการออกแบบภาคดีมอดดูเลท มีข้อแนะนำในการหาค่าความถี่กลางของ FSK และค่าแตกต่างระหว่างความถี่ของมาร์คกับสเปซไว้ว่า (เป็นข้อแนะนำที่ยอมรับกันทั่ว)

$$f_{FSK} = (f_m + f_s)/2 \geqq 3br$$

$$|f_m - f_s| > 2br/3 \quad \ldots. (3.12)$$

f_{FSK} = ความถี่กลางของ FSK (ระหว่าง f_m และ f_s)

ตัวอย่าง : การใช้สูตร

กำหนดให้โมเด็มชนิดมีอัตราเร็ว 600 บิท/วินาที

ต้องการใช้ความถี่มาร์ค เท่ากับ 1,500 Hz

และความถี่สเปซเท่ากับ เท่ากับ 2,000 Hz

ให้คำนวณค่า f_{FSK} และความกว้างแถบ ZBWX ของช่องสัญญาณ FSK

จะได้ $f_{FSK} = (1,500+2,000)/2 = 1,750$ Hz

ส่วนค่า BW คิดจาก

$$BW_{FSK} = (2,000 - 1,500) + 2(600) = 1,700 \text{ Hz}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อย่างไรก็ตาม ถ้าพิจารณาข้อแนะนำในการออกแบบภาคดีมอดดูเลทพบว่า จากที่ระบุว่า $f_{FSK} \geq 3$ (br) ก็ยังไม่ได้ดีเท่าที่ควร เพราะว่าค่าที่คกำนวณได้ 1750 Hz น้อยกว่า 1800 Hz

ส่วนที่ระบุว่า (fs - fm) > 2 br / 3 พบว่าใช้ได้ดี เพราะว่าค่า 500 Hz ที่คำนวณได้มากกว่าค่าสองในสามของ 600 Hz (400 Hz)

ขอให้รับรู้ว่าข้อแนะนำในการออกแบบที่ให้มานั้นเป็นแนวทางในการหาภาคมอดดูเลทที่มีประสิทธิภาพลงตัวกับค่าความกว้างแถบ

3.3.3 การมอดดูเลทดิจิตอลทางเฟส (PSK)

กำหนดรูปสมการแทนสถานะบิท (ในกรณีที่ส่งครั้งละ 1 บิท) ได้เป็น

คลื่นพาหะ $a_c = A_c \sin 2\pi f_c t$ เมื่อสถานะของบิทเป็นหนึ่ง ....(3.13)

$= A_c \sin (2\pi f_c t + \pi)$ เมื่อสถานะของบิทเป็นศูนย์ ....(3.14)

ถ้าคิดให้อัตราเร็วบิทเท่ากับแบบ PSK มีค่ากว้างแถบน้อยกว่าแบบ FSK (แต่ราคาของวงจร PSK สูงกว่า)

เราใช้วิธีแบบ PSK ในโมเด็มที่มีอัตราเร็วบิทเท่ากับ 2,400 บิท/วินาที และ 4,800 บิท/วินาที เพราะว่าแบบ FSK ไม่สามารถทำได้โดยผ่านเครือข่ายโทรศัพท์

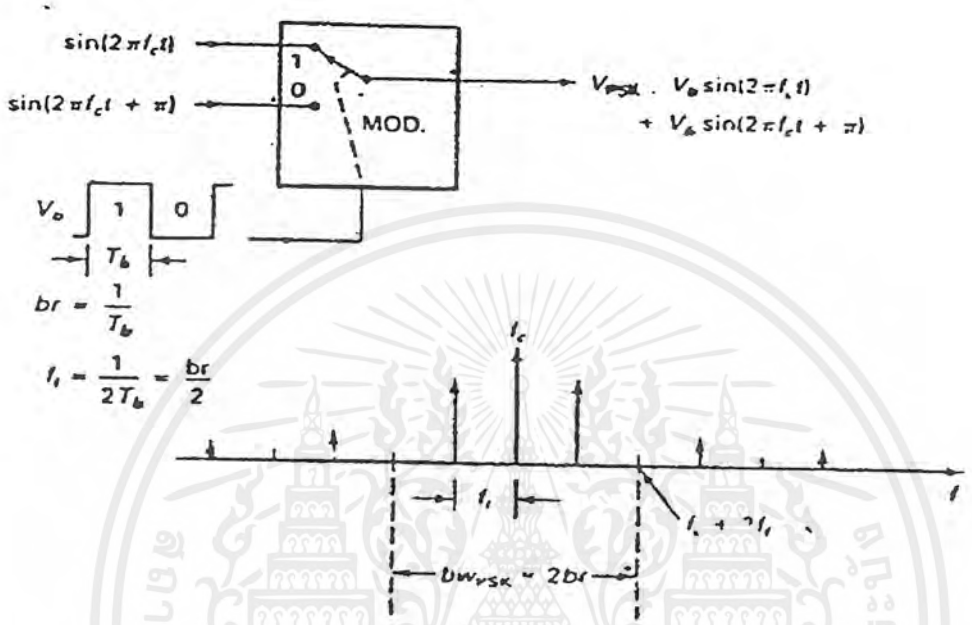
รูปแบบที่ง่ายที่สุดของ PSK คือ Binary PSK (BPSK) ดังรูปที่ 3.10 ที่ค่าเฟสของสัญญาณมี 2 ค่า คือ 0 องศา และ 180 (ถ) องศา

สมการของสัญญาณที่ได้จากการมอดดูเลทแล้วได้เป็น

$$V_{PSK} = V_b \sin (2\pi f_c t) + \overline{V}_b \sin (2\pi F_c t + 180^\circ) \quad \ldots (3.15)$$

เมื่อ V_b แทนค่าสถานะของบิท คือ "1" และ "0"

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.10 แสดงสัญญาณในแบบ BPSK

3.3.3.1 BPSK คือ PSK 2 - เฟส

จากสมการของ V_{PSK} นั้นมีส่วนเหมือนกับสมการของ V_{FSK} ต่างกันตรงที่ ในแบบ FSK ค่าความถี่เป็น fm และ fs ส่วนแบบ PSK ค่าความถี่ คือ fC ดังนั้นการหาค่า ความกว้างแถบของแบบ PSK สามาถใช้วิธีเดียวกับแบบ FSK ได้ดังนี้

$$BW_{PSK} = (f_C + 2f_f) - (f_C - 2f_f) = 4ff \text{ HZ} \quad \ldots. (3.16)$$

โดยค่า ff คือ ความถี่พื้นฐานของสัญญาณข้อมูลที่จะมอดดูเลท และมีค่าเท่ากับครึ่งหนึ่งของอัตราเร็วบิท (ff = br/2)

จะได้ว่า $BW_{PSK} = 2br \text{ Hz}$ .... (3.17)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

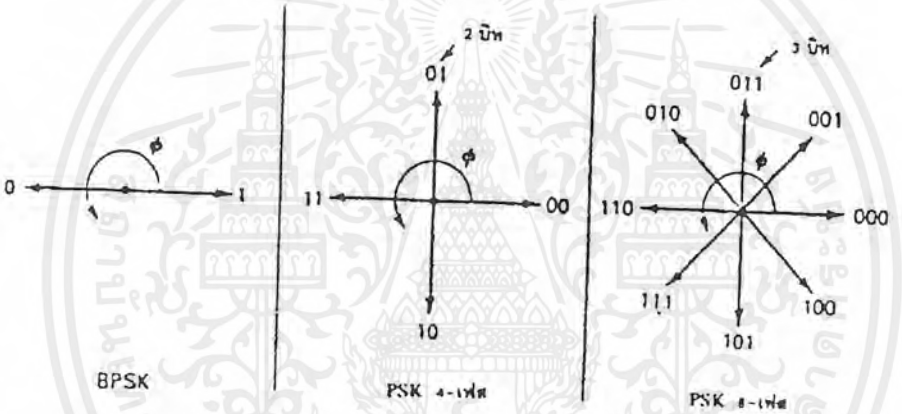
3.3.3.2 วิธี PSK ชนิดหลายเฟส (Multiphase PSK)

โดยทั่วไป โมเด็มชนิด 2,400 บิท/วินาที ใช้แบบ PSK 4 - เฟส

และ โมเด็มชนิด 2,400 บิท/วินาที ใช้แบบ PSK 8 - เฟส

อธิบายได้ดังรูป 3.11

ในกรณีคลื่นพาหะมีค่าใดค่าหนึ่งจากสี่สถานะ (เฟส) ในแบบ PSK 4-เฟส ข้อมูลที่อยู่กันเป็นคู่ (2 บิท) ถูกคิดเป็นเฟสค่าหนึ่งของการมอดดูเลท บางครั้งเราเรียกว่า PSK 4-เฟส ว่าเป็น Quadrature PSK (QPSK) ซึ่งสามารถส่งข้อมูลได้ครั้งละ 2 บิท เช่นเดียวกับแบบ PSK 8-เฟส ที่ส่งข้อมูลครั้งละ 3 บิท



รูปที่ 3.11 แสดงการแบ่งเฟสของ PSK

สังเกตจากรูป 3.11 เราพบว่าการเรียงลำดับของเฟสแบบ 2 บิท หรือ 3 บิท มีลักษณะจากรหัสแบบเกรย์ (Gray Code) ที่มีการเปลี่ยนทีละ 1 บิท สำหรับข้อมูลที่อยู่ลำดับติดกัน

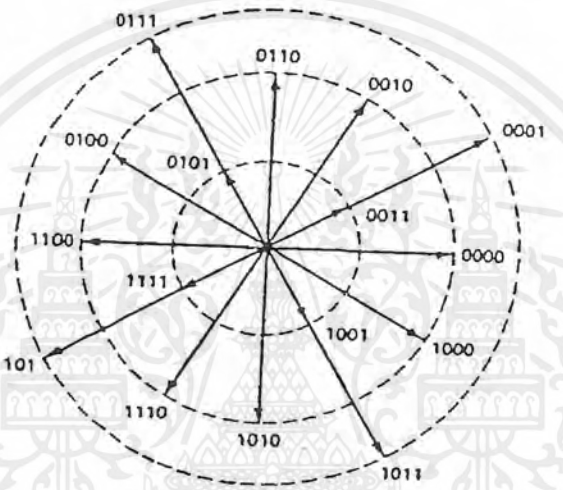
ในส่วนต่อไปนี้เราจะแสดงรายละเอียดของโมเด็มที่ใช้วิธีแบบ PSK อยู่

ชนิดโมเด็ม	สายส่ง	วิธีมอดดูเลท	อัตราเร็วบิท	ลักษณะการทำงาน
201 C	2 - เส้น	PSK 4 - เฟส	2,400	Half - duplex/syn
	4 - เส้น	PSK 4 - เฟส	2,400	Full - duplex/syn
208 A	4 - เส้น	PSK 8 - เฟส	4,800	Full - duplex/syn
208 B	2 - เส้น	PSK 8 - เฟส	4,800	Half - duplex/syn
212 A	2 - เส้น	PSK 4 - เฟส	1,200	Full - duplex/syn
		FSK	300	Full - duplex/syn

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3.4 การมอดดูเลทดิจิตอลทางขนาดและเฟส (QAM)

วิธี QAM เกิดจากการใช้เทคนิคแบบ PSK และ ASK รวมกัน (หมายถึง มีการเปลี่ยนแปลงทั้งค่าฟสและแอมปลิจูดพร้อมกัน) ซึ่งสามารถทำให้เกิดคลื่นพาหะได้ 16 สถานะ ดังแสดงในรูป 3.12



รูปที่ 3.12 แสดงค่าสถานะต่างๆ ในวิธี QAM

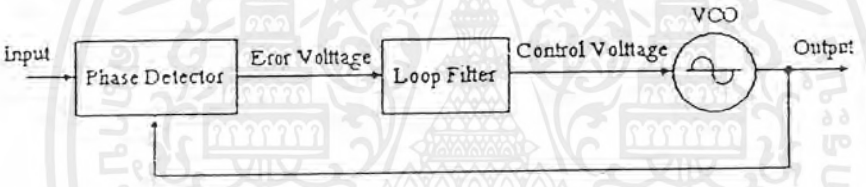
เห็นได้ว่า 1 ขนาด และ 1 เฟสของสัญญาณใช้แทนข้อมูล 4 บิท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4
ทฤษฎีวงจร

4.1Phase – Lock Loops (PLL)

เป็นระบบป้อนกลับที่บังคับให้วงจรออสซิเลเตอร์มีความถี่หรือเฟสเปลี่ยนแปลงไปตามความถี่หรือเฟสของสัญญาณอ้างอิงภายนอก เฟสล็อคลูบประกอบด้วยวงจรสำคัญ 3 วงจรคือวงจรเทียบเฟสหรือเฟสดีเทคเตอร์ (phase detector) , วงจรลูปฟิลเตอร์ (loop filter) และวงจร VCO ดังรูปที่ 4.1



รูปที่ 4.1 Block Diagram ของ Phase – Lock Loops (PLL)

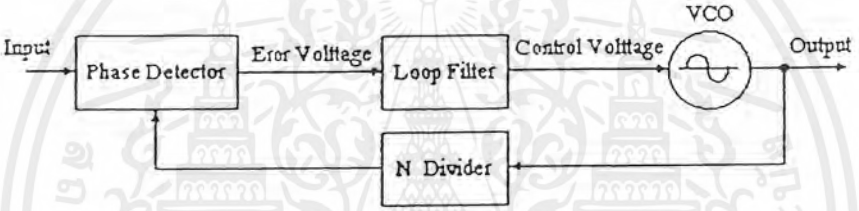
สมมติว่าสัญญาณความถี่อ้างอิงภายนอกเป็นสัญญาณรายคาบ (perriodic) เข้ามาที่อินพุทวงจรเฟสดีเทคเตอร์จะทำหน้าที่เปรียบเทียบเฟสระหว่างสัญญาณอ้างอิงกับสัญญาณ VCO เอาท์พุทที่ได้จากวงจรเฟสดีเทคเตอร์จะเป็นแรงดันที่มีแอมพลิจูดเป็นสัดส่วนกับผลต่างในเฟสของสัญญาณทั้งสองที่ทำการเปรียบเทียบ แรงดันผลต่างนี้ป้อนไปให้วงจรลูปฟิลเตอร์ซึ่งเป็นฟิลเตอร์ชนิดโลพาส กรองเอาแต่เฉพาะความถี่ต่างๆ ที่ต้องการ เพื่อส่งไปควบคุมการออสซิเลทของ VCO ต่อไป เมื่อลูปอยู่ในสภาวะล็อค ความถี่ VCO จะเท่ากับความถี่ของสัญญาณอินพุทพอดี อาจจะมีเฟสแตกต่างกันไป แต่ค่าเฟสที่แตกต่างนั้นจะมีค่าคงที่ (constant phase difference) ในกรณีที่มีเฟสไม่ตรงกันวงจรเฟสดีเทคเตอร์จะจ่ายแรงดันคลาดเคลื่อน (error voltage) ไปควบคุมการทำงานของ VCO เพื่อมิให้เฟสคลาดเคลื่อนจนกว่าจะเข้าสู่สภาวะล็อค เอาท์พุทของ VCO จึงมีแอมพลิจูดคงที่เสมอ แต่ความถี่จะเปลี่ยนแปลงตามความถี่ของสัญญาณอินพุท

เราสามารถนำเฟสล็อคลูปไปใช้ในงานได้หลายอย่างด้วยกัน เช่น ในการดีมอดสัญญาณ FM หรือใช้ในการสังเคราะห์ (ผลิต) ความถี่ที่มีความเที่ยงตรงเทียบเท่ากับสัญญาณอ้างอิง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.1.1การนำ PLL ไปใช้ในการสังเคราะห์ความถี่

ความหมายของการสังเคราะห์ความถี่คือ วงจรที่ทำหน้าที่ผลิตสัญญาณความถี่และให้ มีความถี่ตามที่เรากำหนดคือสั่งหรือโปรแกรมได้ โดยหลักการทำงานเหมือนกับ PLL เพียงแต่เพิ่มวงจร N Divider เข้าไป วงจร N Divider หรือหาร N ทำหน้าที่หารความถี่แบบตั้งโปรแกรมให้หารด้วยตัวเลขตามที่ต้องการได้ (Programmable Divider) สัญญาณอ้างอิงจะมาจากวงจรกำเนิดความถี่โดยใช้คริสตอลออสซิเลเตอร์หรือเป็นสัญญาณอื่นๆ (Reference Generator)



รูปที่ 4.2 Block Diagrame การทำงานของวงจรสังเคราะห์ความถี่

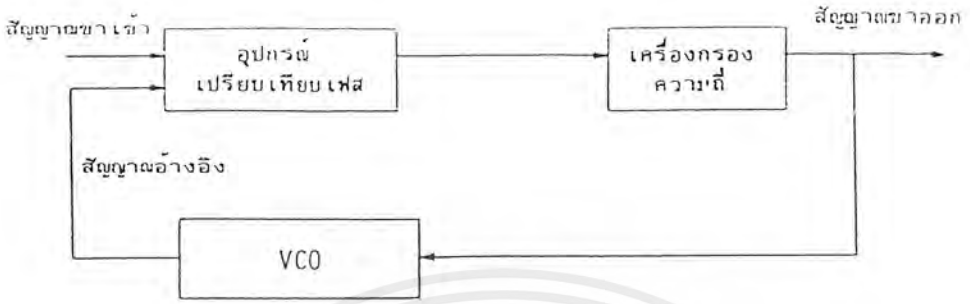
จากรูปที่ 4.1 สัญญาณที่อินพุทของวงจรเฟสดีเทคเตอร์จะมีด้วยกัน 2 สัญญาณ ก็คือสัญญาณจากวงจร VCO ที่มีความถี่เท่ากับ F_OIN และจากสัญญาณอ้างอิงกำหนดให้มีความถี่เท่ากับ F_R เอาท์พุทจากวงจรเฟสดีเทคเตอร์ก็คือผลต่างระหว่างสัญญาณ F_OIN กับ F_R ซึ่งกรองเฉพาะความถี่ต่ำเท่านั้น เพื่อบังคับการออสซิเลทของวงจร VCO ให้ทำการปรับแก้ความถี่ (เฟส) ให้ตรงจนกว่าความถี่ของสัญญาณทั้งสองจะเท่ากัน

ในสภาวะล็อค ความถี่ของวงจร VCO เมื่อผ่านวงจรหาร N จะมีค่าเท่ากับ $F_O = NF_R$ หรือเอาท์พุทจะมีความถี่เป็น N เท่าของความถี่อ้างอิง วงจรสังเคราะห์ความถี่จะสามารถผลิตความถี่ได้แต่เฉพาะในช่วงความถี่ที่วงจร VCO และวงจรหาร N ทำงานได้เท่านั้น

4.2การดีโมดูเลทสัญญาณเอฟเอ็มด้วย **phase lockrd loop**

phase locked loop เป็นระบบป้อนกลับ (feedback system) ซึ่งประกอบด้วยเครื่องกำเนิดสัญญาณที่มีความถี่เปลี่ยนแปลงตามระดับแรงดันเข้า (VCO) และอุปกรณ์เปรียบเทียบเฟส (Phase comparator) ดังรูปที่ 5.3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.3 phase locked loop ทั่วไปเมื่อใช้จุดต่างๆ เป็นขั้วออก

สัญญาณเข้าจะเปรียบเทียบเฟสกับสัญยาณอ้างอิง (reference signal) ที่กำเนิดจาก VCO (Voltage Controlled Oscillator) อุปกรณ์เปรียบเทียบเฟสจะแรงดันขาออกที่มีระดับขึ้นกับความแตกต่างระหว่างเฟสของสัญญาณเข้าทั้งสอง เมื่อผ่านเครื่องกรองความถี่ผ่านต่ำสัญญาณออกบางส่วนจะถูกป้อนกลับ เพื่อควบคุมการกำเนิดความถี่ของ VCO จนกระทั่งความถี่ของทั้งสองสัญญาณเท่ากัน แรงดันที่ป้อนกลับจะคงที่และทำให้ความถี่ทั้งสองเกาะกันไปโดยมีเฟสต่างกันที่ค่าคงที่ค่าหนึ่ง ในกรณีไม่มีสัญญาณขาเข้า VCO จะได้รับค่าแรงดันคงที่หนึ่งที่ทำให้ VCO กำเนิดสัญญาณที่มีความถี่กลาง (center frequency หรือ free – running frequency)

ต่อไปนี้จะอธิบายส่วนประกอบที่สำคัญของ phase locked loop

อุปกรณ์เปรียบเทียบเฟส มีอยู่ 2 ชนิด คือ ชนิดอะนาล็อก (analog) และชนิดดิจิตัล (digital) phase comparator ที่เป็นอะนาล็อกสร้างขึ้นโดยใช้ตัวผสม (mixer) หรือตัวคูณ (multiplier) ดังนี้

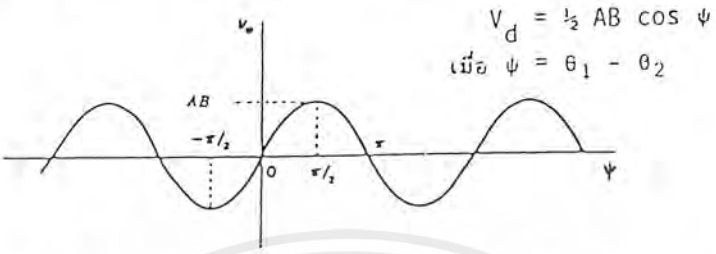
$$V_1(t) = A \sin(\omega_1 t + \theta_1)$$
$$V_2(t) = B \sin(\omega_2 t + \theta_2) \quad \ldots (4.1)$$

โดยที่ $V_1(t)$ และ $V_2(t)$ เป็นสัญญาณขาเข้า ซึ่งจะได้สัญญาณขาออก $V_d(t)$ ของการคูณดังนี้

$$V_d(t) = \tfrac{1}{2} AB \cos[(\omega_1 + \omega_2)t + (\theta_1 + \theta_2)]$$
$$= + \tfrac{1}{2} AB \cos[(\omega_1 - \omega_2)t + (\theta_1 - \theta_2)] \quad \ldots (4.2)$$

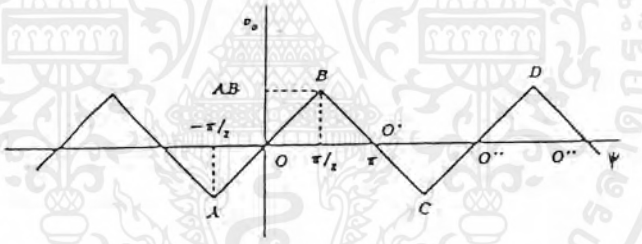
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อผ่านเครื่องกรองความถี่ผ่านต่ำก็จะได้สัญญาณขาออกที่ขึ้นอยู่กับความแตกต่างของเฟส ซึ่งมีลักษณะสมบัติดังในรูปที่ 4.4 เมื่อสัญญาณขาเข้าเป็นคลื่นไซน์



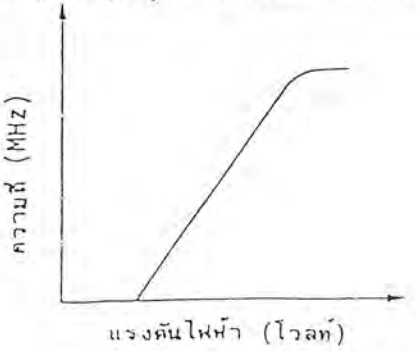
รูปที่ 4.4 ลักษณะสมบัติของ phase comparator ชนิดอะนาล็อก

สำหรับอุปกรณ์เปรียบเทียบเฟสชนิดดิจิตัลนั้นสร้างขึ้นได้หลายวิธี เช่น ใช้ Exclusiveor หรืออุปกรณ์ชนิดที่มีความจำ เช่น ใช้ flip flop ซึ่งมีลักษณะสมบัติเช่นเดียวกับแบบอะนาล็อกแต่จะต่างกันที่เป็นเส้นตรงดังในรูปที่ 4.5



รูปที่ 4.5 ลักษณะสมบัติของ phase comparator ชนิดดิจิตัล

VCO สามารถสร้างขึ้นได้หลายวิธี เช่น อาจจะใช้ Voltage – variable capacitance diode (VVC) ซึ่งรู้จักกันดีในนาม "Varactor" หรือ มัลติไวเบรเตอร์ (Multivibrator) ชนิดต่างๆ ที่สามารถควบคุมความถี่ได้ด้วยแรงดัน (Voltage) รูปที่ 4.6 เป็นลักษณะสมบัติทั่วไปของ VCO



รูปที่ 4.6 ลักษณะสมบัติของ VCO

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สมมติให้สัญญาณเอฟเอ็มเข้าที่ phase comparator คือ

$$A \cos [\omega_c t + \psi(t)] \qquad \ldots (4.3)$$

ให้ความไวทางความถี่ (frequency sensitivity) ของ VCO คือ K_o rad/(sec) K_o คือ ค่าของความแตกต่างหรือการเปลี่ยนแปลงของความถี่เชิงมุมขณะใดขณะหนึ่ง ที่เกิด ω_i ที่เกิดจากการเปลี่ยนแปลงแรงดัน V ที่ขาเข้าของ VCO นั่นคือ

$$K_o = \frac{d\omega_i}{dv}$$

สัญญาณนี้จะกระตุ้นให้เกิดสัญญาณจากเครื่องที่สั่นสะเทือนความถี่ (Oscillator) ใน VCO ดังนี้

$$B \cos \left[\omega_c t + K_o \int_{-\infty}^{t} v_o(\lambda)\, d\lambda \right] \qquad \ldots (4.4)$$

ถ้าให้สัญญาณขาเขาและความถี่ของ VCO มีค่าสมดุลหรือเท่ากัน

$$\frac{d\psi(t)}{dt} = \frac{d}{dt} K_o \int_{-\infty}^{t} v_o(\lambda)\, d\lambda \qquad \ldots (4.5)$$

ให้ $\frac{d\psi(t)}{dt} = \omega$

$$v_o(t) = \frac{\omega}{K_o}$$

จะเห็นได้ว่าสัญญาณขาออกของ VCO จะผันแปรเป็นสัดส่วนโดยตรงกับการเปลี่ยนแปลงความถี่ที่ต้องการในเครื่องดีโมดูเลทเอฟเอ็ม ถ้าความถี่ของสัญญาณขาเข้าเปลี่ยนแปลงอย่างต่อเนื่องที่อัตราช้าพอสมควรที่ให้ PLL ทำงานในสภาพสมดุลได้ สัญญาณออกของ PLL ก็จะผันแปรเป็นสัดส่วนโดยตรงอย่างต่อเนื่องกับการเปลี่ยนแปลงของตัวพา นั่นคือสัญญาณเอฟเอ็มสามารถดีโมดูเลทด้วย phase locked loop ตามที่ต้องการได้

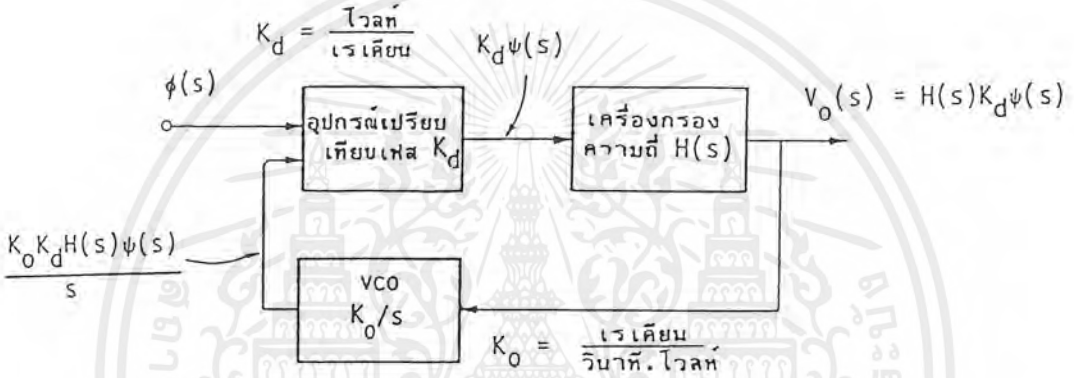
จากลักษณะสมบัติของ VCO และ phase comparator จะพบว่าทั้ง VCO และ phase comparator มีขอบเขตจำกัดในการทำงาน กล่าวคือ VCO จะมีความสามารถในการกำเนิดความถี่ในช่วงจำกัดช่วงหนึ่ง และ phase comparator จะให้ระดับแรงดันที่แตกต่างกันได้ เฉพาะช่วงการทำงานที่มีค่าของมุมแตกต่างกันอยู่ระหว่าง 0 – 180 องศา ดังนี้ความสามารถที่จะเกาะกันได้นั้นจึงอยู่ในขอบเขตจำกัด ช่วงความถี่ของสัญญาณขาขาเข้าซึ่ง phase locked loop จึงสามารถเกาะตาม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณได้นับจากเวลาเริ่มต้นที่เกาะอยู่แล้วเรียกว่า locked range ส่วนของความถี่ของสัญญาณขาเข้า ซึ่ง phase locked loop สามารถเกาะ (Locked) ได้จากขณะที่เริ่มต้นความถี่ยังไม่เกาะกันเรียกว่า capture range ฉะนั้น capture range จึงมีช่วงกว้างกว่า locked range

4.2.1ทรานซ์เฟอร์ฟังก์ชั่นของลูป (Loop transfer function)

สมมติให้กรณีที่ขั้วออกของ Loop อยู่ที่ขั้วออกของเครื่องกรองความถี่



รูปที่ 4.7 วงจร PLL

จากรูป 4.7 ได้แทนคุณลักษณะของส่วนประกอบต่างๆ ในรูปที่ 4.3 ด้วยทรานซ์เฟอร์ฟังก์ชั่น (Transfer function) ของแต่ละหน่วย ดังนั้นความสัมพันธ์ระหว่างสัญญาณขาเข้าและขาออกเป็นดังนี้

$$\frac{V_o(s)}{\phi(s)} = \frac{K_d\ K_f(s)}{s+K_dK_oK_f(s)} \qquad \ldots(4.6)$$

จากสมการ 4.6 Order ของ PLL จะขึ้นอยู่กับ order ของเครื่องกรองความถี่ ดังนั้นเสถียรภาพ (stability) ของ loop จะขึ้นอยู่กับการพิจารณาเลือกใช้ลักษณะสมบัติของเครื่องกรองความถี่ กรณีที่เครื่องกรองความถี่เป็น First order ซึ่งเขียนไว้ในรูปทั่วไปได้ง่าย ดังนี้

$$K_f(s) = 1 + \frac{a}{s} \qquad \ldots(4.7)$$

จะได้ทรานซ์เฟอร์ฟังก์ชั่นของระบบที่เป็น Second – order PLL ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\frac{V_0(s)}{\phi(s)} = \frac{K_d(s+a)}{s^2+K_dK_0s+K_dK_0a} \qquad \ldots(4.8)$$

และเขียนเป็นรูปแบบทั่วไป ตามหลักวิชาวิศวกรรมควบคุม ได้ดังนี้

$$\frac{V_0(s)}{\phi(s)} = \frac{2\zeta\omega_n s + \omega^2 n}{s^2+2\zeta\omega_n s + \omega_n^2} \qquad \ldots(4.9)$$

ในที่นี้ ζ คือ damping factor และ ω_N คือ ความถี่ธรรมชาติ (natural frequency)

ตัวอย่างที่ 4.1 ตัวอย่างการออกแบบ phase locked loop

การออกแบบ phase – locked loop โดยทั่วไปจะเกี่ยวข้องกับการคำนวณหาชนิดของลูบที่ต้องการ การเลือกแถบความถี่ที่เหมาะสม และการได้มาซึ่งความเสถียรภาพตามต้องการต่อไปนี้ จะแสดงตัวอย่างการออกแบบ

ข้อกำหนดรายละเอียดของระบบ phase – locked loop ที่ออกแบบมีดังนี้

Output frequency	2.0 MHz ถึง 3.0 MHz
Frequency steps	100 kHz
Phase coherent frequency output	-
Locked – up time between channels	1 ms
Overshoot	< 20%

พึงสังเกตว่าข้อกำหนดรายละเอียดเหล่านี้ใช้กับระบบที่มีหน้าที่การทำงานคล้ายกับเครื่องกำเนิดฐานเวลาที่ผันแปรได้ได้ (variable time base generator) หรือเครื่องสังเคราะห์ความถี่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากข้อกำหนดรายละเอียดที่ให้ ทำให้สามารถหาพารามิเตอร์ของวงจรที่แสดงในรูปที่ 4.8 ในที่นี้ จะใช้อุปกรณ์ข้างล่างในการสร้าง PLL ดังนี้

Frequency – Phase Detector	MC4044/4344
Voltage Controlled Multivibrator (VCM)	MC4024/4324
Programmable Counter	MC4016/4316

รูปที่ 4.8 พารามิเตอร์ของวงจร phase locked loop

ทรานซ์เฟอร์ฟังก์ชั่นชนิด forward คือ

$$G(s) = K_d K_f \frac{K_o}{s} \qquad \text{....(4.10)}$$

และทรานซ์เฟอร์ฟังก์ชั่นชนิดป้อนกลับ feedback คือ

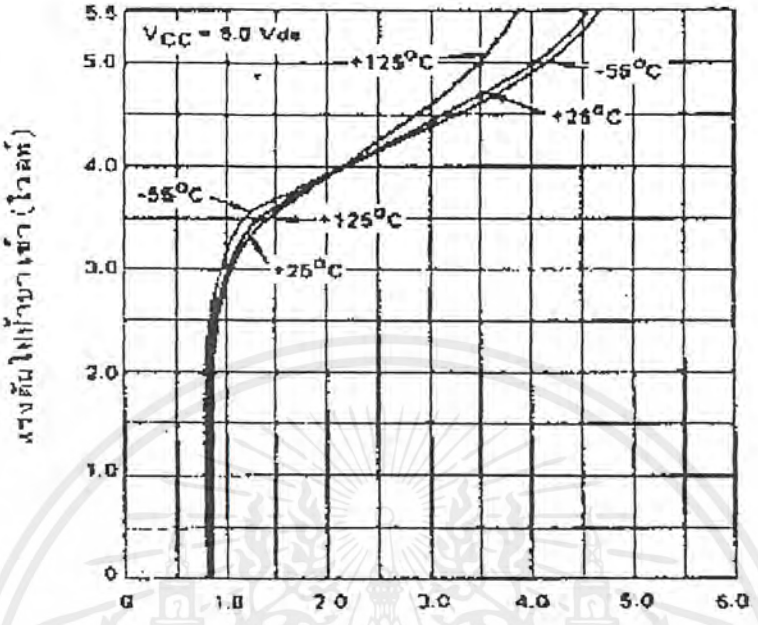
$$H(s) = K_n \qquad \text{....(4.11)}$$

ในที่นี้ $K_n = 1/N$ ....(4.12)

อัตราส่วนตัวหาร K_n ของเครื่องนับเลขแบบโปรแกรมได้ (programmable counter) หาได้จากสูตรที่ให้ไว้ในคู่มือการใช้ AN-535 ของบริษัทมอโตโรล่า ดังนี้

$$N_{min} = \frac{f_o \min}{f_i} = \frac{f_o \min}{fstep} = \frac{2MHz}{100kHz} = 20 \qquad \text{....(4.13)}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.9 แรงดันไฟฟ้าขาเข้าเทียบกับความถี่ขาออกของ MC4324 ใช้ 100 pF ตัวอุปป้อนกลับ

ทรานซ์เฟอร์ฟังก์ชั่นของ VCM คือ K_o/s

ในที่นี้ K_o คือความไวของ VCM มีหน่วยเป็นเรเดียนต่อวินาทีต่อโวล์ต จากรูปที่ 4.9 K_o หาได้โดยเป็นส่วนกลับของความชัน (slope)

$$KO = \frac{4\ \text{MHz} - 1.5\ \text{MHz}}{5V}$$

$$K_o = 11.2 \times 10^6 \quad \text{เรเดียน / วินาที / โวล์ต}$$

ดังนั้นทรานซ์เฟอร์ฟังก์ชั่นของ VCM คือ $\frac{11.2 \times 106}{s}$ เรเดียน / วินาที / โวล์ต .... (4.16)

ตัวหารที่เป็น S นั่นคือการแปลความถี่ของ VCM เป็นเฟส นั่นคือเฟสเกิดจากการอินติเกรทความถี่ ค่าคงที่ของกำลังขยายของ MC4044/4344 phase detector นั่นคือ

$$Kd = \frac{\text{UF High} - \text{UF Low}}{2(2\pi)} = \frac{2.3V - 0.9V}{4\pi} = 0.111 \quad \text{โวลท์/เรเดียน} \quad \ldots. (4.17)$$

เนื่องจากระบบชนิดที่ 2 นี้เป็นชนิด second order PILL ทรานซ์เฟอร์ฟังก์ชั่นของลูปคือ

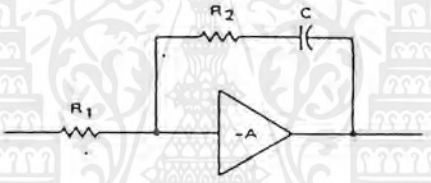
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$G(s)\quad H(s)\quad =\quad K_d K_i \frac{K_o}{s} K_a \quad =\quad \frac{K(s\quad +\quad a)}{s^2} \qquad \ldots.(4.18)$$

ฉะนั้น ทรานเฟอร์ฟังก์ชั่นของเครื่องกรองความถี่จะมีรูปแบบดังนี้

$$Kf \quad = \quad \frac{s \quad + \quad a}{s} \qquad \ldots.(4.19)$$

เพื่อให้ได้ poles และ zeroes เพื่อให้ได้ G(s) H(s) ตามต้องการวงจรแสดงในรูปที่ 4.10 จะให้ผลตามต้องการ



รูปที่ 4.10 การออกแบบ active filter

$$Kf \quad = \quad \frac{R_2 \quad CS+1}{R_1 \quad CS} \text{ สำหรับ A ที่มีค่ามาก} \qquad \ldots.(4.20)$$

ในที่นี้ A คือกำลังขยายแรงดันของเครื่องขยายแบบ operational amplifler R_1, R_2 และ C เป็นตัวแปรที่ให้ลักษณะสมบัติของลูปตามต้องการ

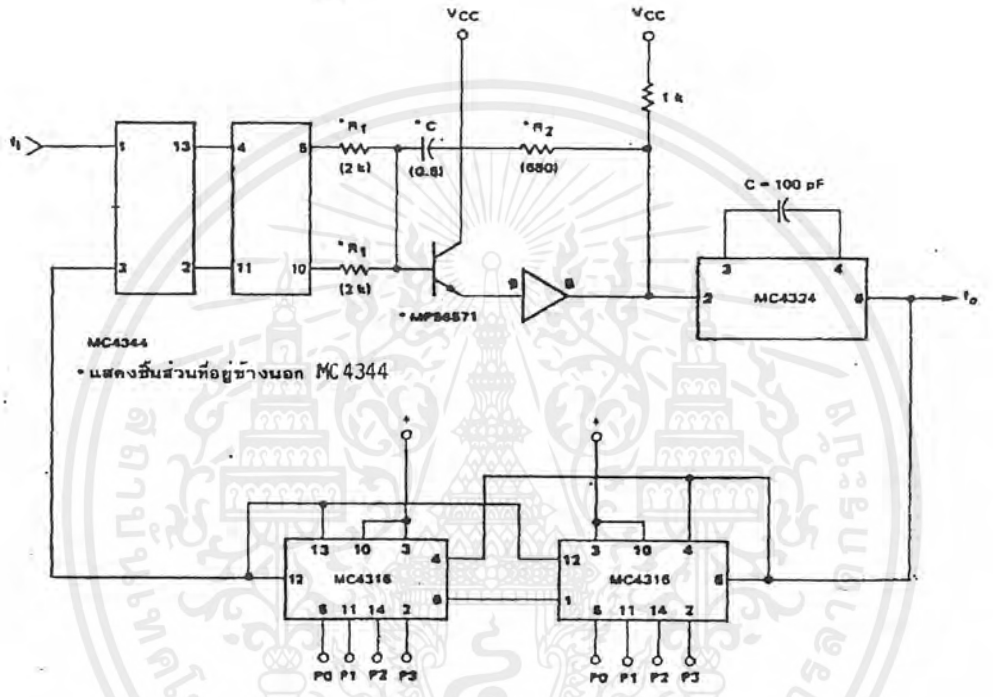
เนื่องจากกำลังขยายของวงจรเครื่องกรองความถี่แอคตีฟใน MC/4044/4344 มีค่าจำกัดจึงจำเป็นต้องใช้องค์ประกอบการแก้ไขกำลังขยาย K_C เพื่อให้ค่า K_F ด้วย ทั้งนี้เพื่อให้ได้ลักษณะสมบัติตามต้องการ K_C หาค่าได้จากการทดลองเท่ากับ 0.5

$$Kfc \quad = \quad Kf \quad Kc \quad = \quad 0.5(\frac{R_2 CS+1}{R1CS}) \qquad \ldots.(4.21)$$

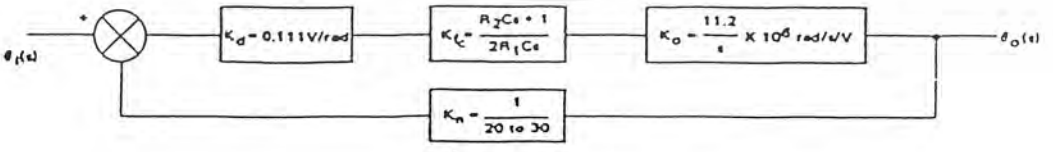
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในกรณีที่กำลังขยายมีค่ามาก สมการ (4.20) ใช้ได้ทันทีโดยไม่ต้องมีองค์ประกอบการแก้ไขกำลังขยาย

วงจรของ PLL แสดงในรูปที่ 4.11 และลาปลาซ์ทรานฟอร์ม (Laplace transform) อยู่ในรูปที่ 4.12



รูปที่ 4.11 แผนผังวงจรของ PLL ชนิดที่ 2



รูปที่ 4.12 แผนผังของการแสดงลาปลาซ์ของ PLL

ทรานเฟอร์ฟังก์ชั่นของลูปคือ

$$G(s)\ H(s) \quad = \quad K_d\, K_{fc}\, K_o\, K_n \qquad \ldots(4.22)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$G(s)\ H(s) = Kd(0.5)\left(\frac{R2CS+1}{R1CS}\right)\left(\frac{Ko}{s}\right)\left(\frac{1}{N}\right) \quad \ldots.(4.23)$$

สมการลักษณะสมบัติ (Characteristic equation) จะมีรูปแบบดังนี้

$$C.E. = 1 + G(s)\ H(s) = 0$$

$$= S^2 + \frac{0.5KdKoR2}{R1N}s + \frac{0.5KdKo}{R1CN} \quad \ldots.(4.24)$$

เทียบสมการ (4.24) กับสมการ (4.9) จะได้

$$S^2 + \frac{0.5KdKoR2}{R1N}s + \frac{0.5KdKo}{R1CN} = S^2 + 2\omega_n\varsigma s + \omega_n^2 \quad \ldots.(4.25)$$

เทียบสัมประสิทธิ์เทอมต่อเทอมในสมการ (4.25) จะได้

$$\frac{0.5KdKoR2}{R1N}s = 2\omega_n\varsigma \quad \ldots.(4.26)$$

และ

$$\frac{0.5KdKo}{R1CN} = \omega_n^2 \quad \ldots.(4.27)$$

ในกรณีใช้วงจรเครื่องกรองความถี่แอคตีฟที่มีกำลังขยาย (A) มีค่ามาก (Kc =1) สมการ (4.26) และสมการ (4.27) จะได้

$$\frac{KdKoR2}{R1N}s = 2\omega_n\varsigma \quad \ldots.(4.28)$$

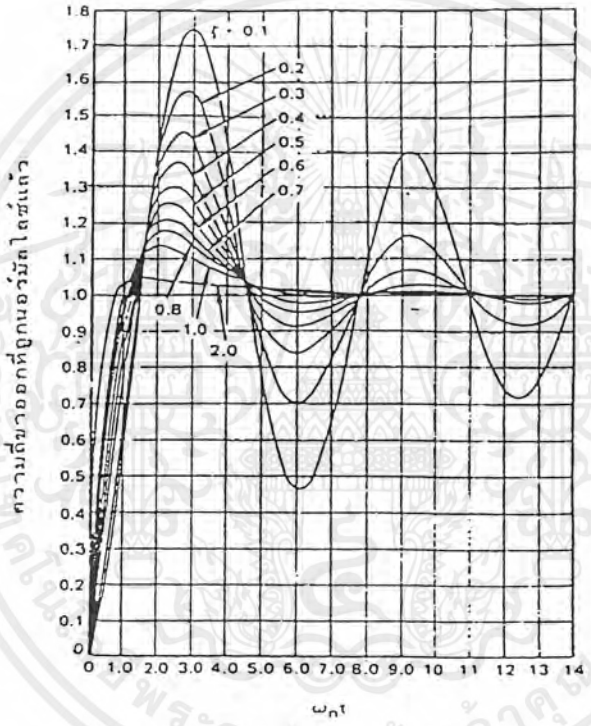
$$\frac{KdKo}{R1CN} = \omega_n^2 \quad \ldots.(4.29)$$

ค่าความถี่ธรรมชาติ ω_n สามารถหาได้จากเปอร์เซ็นต์ความโด่ง (percent overshoot) เวลาการอยู่ตัว (setting time) รูปที่ 4.11 แสดงการตอบสนองของ PLL ชนิดกำลังสอง (Second order)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูป 4.13 damping ratio $\zeta = 0.8$ จะให้เปอร์เซ็นต์ความโค่ง (overshoot) น้อยกว่า 20% และจะอยู่รอด (settle) ภายใน 5% ที่ $\omega_n = 4.5$ lock up time ที่ต้องการเท่ากับ 1 ms

$$\omega_n = \frac{4.5}{t} = \frac{4.5}{0.001} = 4.5\times10^{3} \text{ เรเดียน / วินาที} \quad \ldots.(4.30)$$



รูปที่ 4.13 step response ของ second order PLL ชนิดที่สอง

จัดรูปสมการ (4.27) จะได้

$$R_1C = \frac{0.5KdKo}{\omega_n^{2} N} \quad \ldots.(4.31)$$

$$= \frac{(0.5)(0.111)(11.2\times10^{6})}{(4500)^{2}(30)}$$

$$R_1C = 0.00102$$

ความโค่งมากที่สุด (maximum overshoot) เกิดที่ N_{max} ซึ่งเป็นค่าที่ให้กำลังขยายของลูปน้อยที่สุด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ให้ $C = 0.5\ \mu F$

$$R = \frac{0.00102}{0.5\times10^{-6}} = 2.04\ K\Omega$$

ใช้ค่า $R1 = 2\ K\Omega$

โดยทั่วไป ควรเลือกค่า R1 มากกว่า 1 $K\Omega$

แก้สมการ (4.26) จะได้

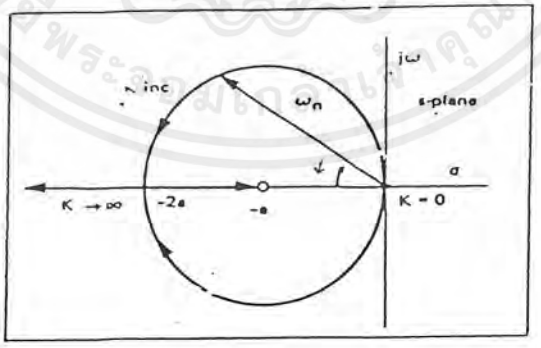
$$R2 = \frac{2\omega_n\zeta R_1 N}{KdKo(0.5)} = \frac{2\zeta}{C\omega_n} \quad \text{.... (4.32)}$$

$$= \frac{2(0.8)}{(0.5\times10^{-6})(4500)}$$

$$= 711\ \Omega$$

ใช้ค่า $R2 = 680\ \Omega$

เราหาพารามิเตอร์ของวงจรได้ทั้งหมดแล้ว และสามารถสร้าง PLL ได้เนื่องจากกำลังขยายของรูปลูปฟังก์ชั่นของอัตราส่วนการหาร (divide ratio) K_n closed loop poles จะเปลี่ยนตำแหน่งตาม K_n ถ้า K_n เปลี่ยน root locus ในรูปที่ 4.14 แสดงการเปลี่ยนแปลงของ closed loop pole จะเห็นได้เลยว่า PLL นี้ออกแบบใช้กับ programmable counter N = 30 การตอบสนองของระบบ (system response) สำหรับ N = 20 จะให้แถบความถี่ (band width) กว้างขึ้น และ damping factor มีค่ามากขึ้น



รูปที่ 4.14 การเปลี่ยนแปลงของ root locus

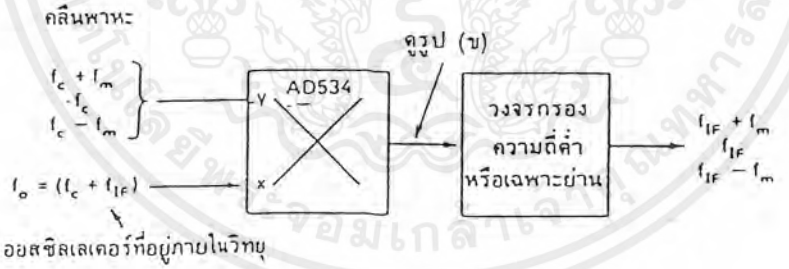
หมายเหตุ : เราได้แสดงการออกแบบ second order PLL ชนิด 2 เพราะ PLL ชนิดนี้มีวิสัยความสามารถในการทำงานดีเยี่ยม ถึงแม้ในระบบที่ไม่ต้องการการที่มีเฟสตรงกัน (phase coherency) PLL ชนิด 2 นี้ ก็ยังให้การออกแบบที่ดีอยู่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.3 มิกเซอร์ (Mixer)

วงจรที่ใช้ในการสื่อสานวิทยุปัจจุบันมักมีความจำเป็นที่จะต้องเลื่อนหรือเปลี่ยนแปลงความถี่พาหะเพื่อความเหมาะสมในการใช้งาน ตัวอย่างเช่น กรณีของการส่งสัญญาณกระจายใดๆ จากสถานีวิทยุ จำเป็นต้องใช้ f_c ที่มีความถี่สูง เพื่อให้สายส่งและตัวรับมีขนาดเล็ก และสามารถส่งสัญญาณไปได้ไกลๆ ซึ่งเมื่อผู้รับรับสัญญาณนั้นๆ จากเสาอากาศวิทยุแล้ว (ซึ่งมักจะมีค่าน้อยมาก ซึ่งถ้าทำการแยกสัญญาณแบบวิธีธรรมดาจะต้องใช้วงจรพิเศษมากขึ้นและแพงขึ้น) ก็ต้องนำสัญญาณนั้นมาขยายเสียก่อน การทำวงจรขยายที่มีความถี่สูงนั้นทำได้ยาก และมักมีราคาแพง ดังนั้นเมื่อรับความถี่ใดๆ เข้ามาแล้ว จึงต้องมีการเปลี่ยนแปลงความถี่นั้นให้อยู่ในความถี่ที่เหมาะสม เรียกว่า ความถี่กลาง (intermediate frequency หรือ f_{IF}) ซึ่งจะทำให้ง่ายแก่การสร้างวงจรขยาย และได้คุณภาพที่ดีกว่า

การเลื่อนความถี่ (frequency shifting) อาจทำได้โดยใช้วงจรคูณสัญญาณกับวงจรกรองความถี่ต่ำเท่านั้น ดังในรูปที่ 4.15 (ก) สัญญาณผสมที่พาหะใดๆ ป้อนเข้าอินพุต Y ออสซิเลเตอร์ที่อยู่ในวิทยุจะสร้างสัญญาณความถี่ fo ซึ่งมีความถี่เท่ากับผลบวกระหว่างความถี่พาหะ (fc) และความถี่กลางใหม่ที่ต้องการ f_{IF} เข้าที่อินพุต X ผลการคูณจะได้ความถี่ออกมาถึง 6 ความถี่ ดังในรูป 4.15 (ข) หลังจากก็กรองเอาเฉพาะช่วงความถี่ f_{IF} ออกมาโดยกำหนดให้ Gain = 1/20



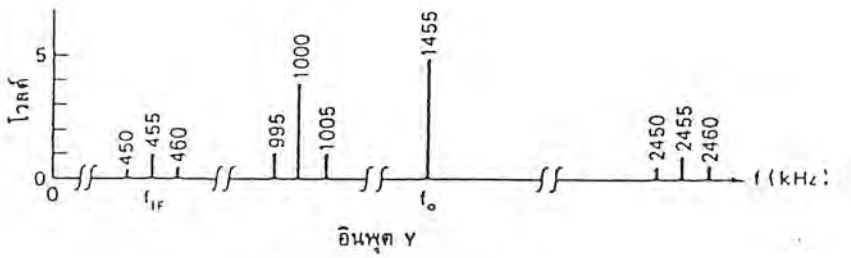
ก) วงจรเลื่อนความถี่

ความถี่ที่ ขา Y (kHz)	เอาต์พุตของวงจรคูณ	
	แรงดันยอด (ข)	ความถี่ (kHz)
1005	$\frac{1 \times 5}{20} = 0.25$	1455 + 1005 = 2460 1455 − 1005 = 450
1000	$\frac{1 \times 5}{20} = 1.0$	1455 + 1000 = 2455 1455 − 1000 = 455
995	$\frac{1 \times 5}{20} = 0.25$	1455 + 995 = 2450 1455 − 995 = 460

ข) ความถี่เอาท์พุตที่ได้จากวงจรคูณความถี่ในรูป

รูปที่ 4.15

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.15 ต่อ

ข้อสังเกต จากรูปที่ 4.15 (ก) ความถี่จากออสซิลเลเตอร์จะมีค่าเท่ากับ $F_o + f_{IF}$ ในขณะที่ความถี่ผสมที่รับเข้ามาประกอบด้วยความถี่ 3 ความถี่ด้วยกัน ส่วนในรูปที่ 4.15 (ก) หมายความว่าเวลาส่งสัญญาณผสมดังกล่าวผู้ส่งไม่จำเป็นต้องส่งความถี่ต่ำ ทำให้สามารถใช้สายส่งและตัวรับมีขนาดเล็ก และสามารถส่งสัญญาณไปได้ไกล ๆ เพิ่มมากขึ้น

ตัวอย่างที่ 4.2

จากรูปที่ 4.13 ถ้ากำหนดให้ขนาดและความถี่ของสัญญาณ AM เป็นดังต่อไปนี้ที่อินพุต y ของวงจรประกอบด้วย

f_c f_c คือความถี่ของสัญญาณพาหะเท่ากับ 1,000 กิโลเฮิร์ต มีขนาด 4 โวลต์

$(f_c + f_m)$ และ $(f_c - f_m)$ คือความถี่ด้านบนและความถี่ด้านล่างมีค่าเป็น 1005 และ 995 กิโลเฮิร์ต ตามลำดับ และมีขนาด 1 โวลต์เท่ากัน จากสัญญาณทั้งสามแสดงให้เห็นตามตาราง

ขนาดสูงสุด (V)	ความถี่ (kH)
1	$(f_c + f_m) = 1,005$
4	$f_c = 1,000$
1	$(f_c - f_m) = 995$

ที่อินพุต X ของวงจรประกอบด้วยสัญญาณจากออสซิลเลเตอร์รูปไซน์จาก local oscillator ที่มีขนาด 5 โวลต์ ความถี่ 1,445 กิโลเฮิร์ต ที่กำหนดความถี่เท่านี้เนื่องจากต้องการเลื่อนความถี่ให้ได้เป็นความถี่ 455 กิโลเฮิร์ต ซึ่งเป็นความถี่มาตรฐานที่ใช้กันอยู่โดยทั่วไป จากค่าของสัญญาณที่กำหนดให้นี้ จงคำนวณหาขนาดและความถี่ของแต่ละสัญญาณที่ปรากฏขึ้นที่เอาต์พุต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วิธีทำ

ขนาดของแต่ละสัญญาณจะมีค่าเท่ากับขนาดของแต่ละสัญญาณที่คูณกันคูรกับ 1/20

ส่วนในเรื่องของความถี่จะเกิดความถี่ขึ้น 3 ชุด คือ ความถี่กลาง ความถี่ด้านล่าง ซึ่งประกอบด้วยความถี่ 450, 455, 460 และความถี่ด้านบนซึ่งประกอบด้วย 2,450, 2,455, 2,460 เมื่อผ่านวงจรกรองความถี่ต่ำผ่านจะเหลือความถี่ด้านล่างเท่านั้น รูปที่ 4.15 (ข) แสดงถึงค่าต่างๆที่เกิดขึ้นที่เอาต์พุต สำหรับรูปที่ 4.15 (ค) แสดงถึงสเปกตรัมของความถี่ที่เกิดขึ้นทั้งหมด

4.3.1 คณิตศาสตร์ของสัญญาณผสมแบบสมดุล

ก่อนที่จะทำการวิเคราะห์หาสมการของสัญญาณผสมแบบสมดุล เพื่อให้ง่ายแก่การคำนวณจะสมมติให้สัญญาณที่ป้อนแก่วงจรทุกตัวเป็นคลื่นรูปไซน์ทั้งหมด

ขั้นแรกของการวิเคราะห์ กำหนดให้สัญญาณความถี่สูงที่มีขนาดคงที่ตลอดว่าเป็นคลื่นพาหะ E_c โดยมีสมการเป็น

$$E_c = E_{cp} \sin 2\pi f_c t \qquad \ldots\ldots (4.33)$$

เมื่อ E_{cp} คือค่าแรงดันยอดของคลื่นที่มีความถี่เป็น f_c

สัญญาณอีกตัวที่ใช้คือ สัญญาณสำหรับนำมาผสม (E_m) โดยปกติคือสัญญาณที่ต้องการนำไปใช้งาน มักมีความถี่ต่ำ เขียนแทนได้ด้วยสมการ

$$E_m = E_{mp} \sin 2\pi f_m t \qquad \ldots\ldots (4.34)$$

เมื่อ E_{mp} คือค่าแรงดันยอดของคลื่นที่มีความถี่เป็น f_m

ทั้ง E_c และ E_m ที่กำหนดไว้นี้นำไปป้อนเป็นอินพุตของวงจรคูณสัญญาณ โดยป้อน E_c ที่อินพุต X และป้อน E_m ที่อินพุต Y จะได้แรงดันเอาต์พุต V_0 มีค่าเป็น

$$V_0 = \frac{E_m E_c}{1} = \frac{E_{mp} E_{cp}}{1}(\sin 2\pi f_m t)(\sin 2\pi f_c t) \qquad \ldots\ldots (4.35)$$

ต่อไปก็จะเป็นการจัดรูปสมการที่ (4.35) ใหม่ให้อยู่รูปที่สามารถอธิบายถึงผลของสัญญาณที่ได้ชัดเจนยิ่งขึ้น จากคณิตศาสตร์ในเรื่องของตรีโกณมิติ มีอยู่สูตรหนึ่งที่จะนำมาใช้คือ

$$(\sin A)(\sin B) = \frac{1}{2}[\cos(A-B) - \cos(A+B)] \qquad \ldots\ldots (4.36)$$

แทนสมการที่ (4.36) ลงในสมการที่ (4.35) โดยที่ $A = \sin 2\pi f_c t$ และ $B = \sin 2\pi f_m t$ จะได้

$$V_0 = \frac{E_{mp} E_{cp}}{2} \cos 2\pi(f_c - f_m)t - \frac{E_{mp} E_{cp}}{2} \cos 2\pi(f_c + f_m)t \qquad \ldots\ldots (4.37)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สมการที่ (4.37) ที่ได้นี้ถือว่าเป็นสมการที่สามารถจะแสดงให้เห็นถึงผลต่างๆ ที่เกิดขึ้นขณะที่ได้ทำการรวมสัญญาณแล้ว ดังจะได้วิเคราะห์ในหัวข้อต่อไป

ผลรวมและผลต่างของความถี่

หัวข้อนี้ต่อเนื่องมาจากหัวข้อที่แล้วคือ จะเป็นการวิเคราะห์ถึงสมการที่ (4.37) ที่คำนวณได้ในหัวข้อที่แล้ว โดยสมการที่ได้นี้ได้มาจากการคูณของ E_c และ E_m ซึ่งเป็นคลื่นรูปไซน์ด้วยกันทั้งคู่ คือ

$$V_0 = \frac{E_{mp} E_{cp}}{2} \cos 2\pi(f_c - f_m)t - \frac{E_{mp} E_{cp}}{2} \cos 2\pi(f_c + f_m)t$$

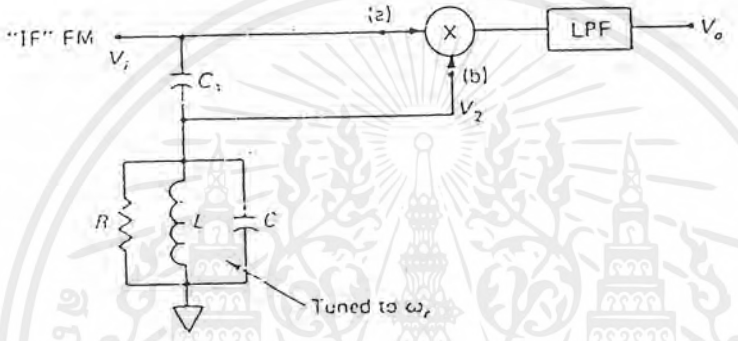
ผลที่ได้จากสมการที่ (4.37) นี้แสดงถึงว่า V_0 ที่ได้ประกอบไปด้วยสัญญาณไซน์สองสัญญาณที่มีความถี่แตกต่างกันขึ้นอยู่กับความถี่ของ E_c และ E_m ที่ป้อนให้แก่วงจร (ทั้งฟังก์ชั่นไซน์และโคไซน์ต่างก็เรียกว่าเป็นสัญญาณรูปไซน์เหมือนกัน) สัญญาณรูปไซน์แรกจะมีความถี่เป็น fc+fm คือ มีการบวกกันของความถี่ และอีกสัญญาณมีความถี่เป็น $f_c - f_m$ คือ เกิดการหักลบกันของความถี่

ถ้าพิจารณาจากลักษณะรูปสัญญาณของ V_0 ถ้าเราลองลากเส้นเฉพาะโครงร่างภายนอกสัญญาณ โดยวาดเฉพาะจุดยอดของ V_0 ในแต่ละจุดทั้งทางด้านบวกและด้านลบ จะได้รูปที่มีลักษณะคล้ายรูปไซน์ โดยมีแรงดันยอดเป็น 2.5 โวลต์ (ในขณะที่ E_m และ E_c มีค่าเท่ากับ 5 โวลต์) อย่างไรก็ตาม รูปที่ได้ดังกล่าวจะมีลักษณะไม่เหมือนกับ E_m ซึ่งทำให้เราไม่สามารถนำวิธีการถอดสัญญาณแบบง่ายๆ เช่น ฟิลเตอร์หรือตัวเรกติไฟใดๆ มากรองความถี่ของวงจรนี้ให้ได้ V_0 ที่มีรูปร่างที่สอดคล้องกับ E_m ซึ่งจุดนี้เองที่เป็นคุณสมบัติพิเศษของวงจรผสมสัญญาณแบบสมดุล (balance modulator)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.4 ดีเทกเตอร์เอฟเอ็มแบบควอเดรเจอร์

ดีเทกเตอร์เอฟเอ็มแบบควอเดรเจอร์อาศัยรีแอกแตนซ์ (reactance) ขนาดใหญ่ อนุกรมกับวงจร tuned parallel resonant เพื่อผลิตควอเดรเจอร์ที่มีสัญญาณทั้งสองเฟสเดียวกัน การเปลี่ยนแปลงความถี่ในสัญญาณเอฟเอ็มทำให้การเลื่อนเฟสนำหน้าหรือล้าหลังเพิ่มเกิดขึ้นที่วงจร LC tuned ซึ่งถูกตรวจจับด้วยตัวดีเทกเตอร์ทางเฟสเชิงอุปมาน การพิจารณาดีเทกเตอร์แบบควอเดรเจอร์ของรูปที่ สัญญาณที่จุด (b) จะถูกเลื่อนให้มีเฟสเดียวกันเมื่อเทียบกับสัญญาณที่จุด (a) จำนวนของการเลื่อนเฟสขึ้นอยู่กับ เวามถี่



รูปที่ 4.16 วงจรดีเทกเตอร์แบบควอเดรเจอร์

ที่เรโซแนนซ์ วงจร parallel tuned จะปรากฏตัวต้านทาน R และภายใต้เงื่อนไข $1/(\omega_c C_1) >> R$ เฟสของ V_2 เทียบกับ V_i เท่ากับ $\pi/2$ ดังสมการ

$$\frac{V_2}{V_i} = \frac{R}{R+1/j\omega_r C_1} = j\omega_r C_1 R = \omega_r C_1 R \angle \pi/2$$

V_2 นำหน้า V_i ประมาณ 90° และสัญญาณทั้งสองเป็นควอเดรเจอร์แบบเฟสเดียวกัน

เมื่อเรโซแนนซ์หมดไป V_2 จะนำหน้า V_i โดยมีมุมมากกว่าหรือน้อยกว่า 90° เล็กน้อย ขึ้นอยู่กับ ความถี่ว่าน้อยกว่าหรือมากกว่าความถี่เรโซแนนซ์ของวงจร LC ขนาน สำหรับความถี่เล็กน้อยประมาณ ω_r จะแสดงให้เห็นถึงการเลื่อนเฟสระหว่าง V_2 และ V_i

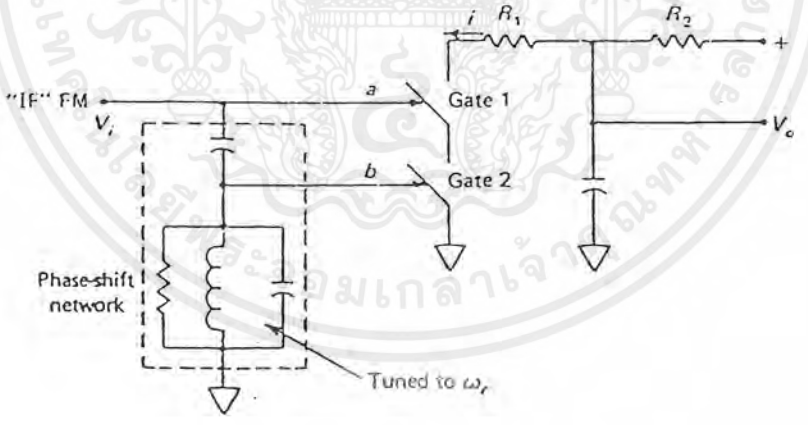
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แสดงถึงแรงดันเอาท์พุตซึ่งเป็นสัดส่วนกับความแตกต่างระหว่างความถี่ขาเข้ากับความถี่เรโซแนนซ์ของวงจร tuned สำหรับสัญญาณเอฟเอ็ม ประกอบด้วยการเปลี่ยนแปลงความถี่ขณะหนึ่งวงจรจะทำตัวเป็นดีมอดดูเลเตอร์

อีกทางเลือกหนึ่งของดีเทกเตอร์แบบควอเดรเจอร์คือใช้เกตที่เหมือนกันมากกว่าวงจรคูณแบบเชิงอุปมาน เทคนิคนี้แสดงดังรูปที่ สัญญาณที่จุด (b) มีเฟสเดียวกัน ที่แตกต่างกันกับสัญญาณที่จุด (a) โดยจำนวนขึ้นอยู่กับค่าความคลาดเคลื่อนของความถี่เรโซแนนซ์ของวงจร tuned LC tank สัญญาณ(a) และ (b) จะควบคุมการเปิดและการปิดของสวิตช์

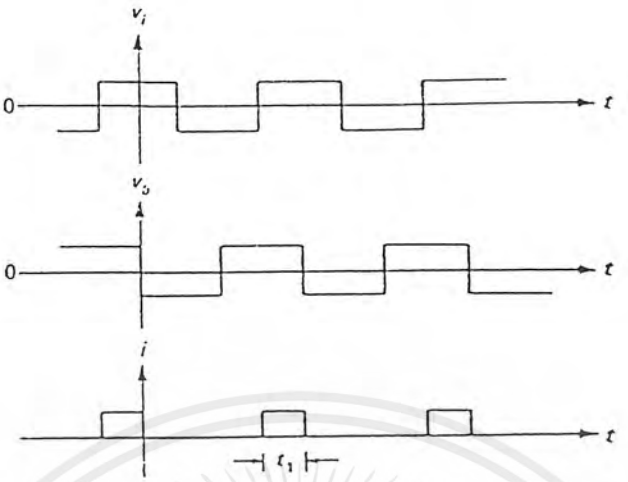
สมมุติให้สัญญาณไอเอฟ FM ถูกจำกัดอย่างมาก ดังนั้นจึงปรากฏเป็นคลื่นจัตุรัส สัญญาณที่จุด (a) และ (b) จะลักษณะคล้ายกันดังรูปที่

ความถี่ขาเข้าเปลี่ยนแปลงจากความถี่เรโซแนนซ์ของวงจร LC เฟสของ Vb จะเปลี่ยนแปลงทำให้ช่วงเวลาซึ่ง i1 ไหลเพิ่มขึ้นหรือลดลง จำนวน t1 จะแตกต่างจากค่าของมันเองที่ ωr ซึ่งจะเป็นสัดส่วนกับความถี่ที่แตกต่างกันระหว่างสัญญาณขาเข้ากับความถี่เรโซแนนซ์ของวงจร tuned ค่าที่แตกต่างกันของ t1 จะเป็นผลลัพธ์ของความแตกต่างกันของแรงดันที่ตกคร่อม C1 วงจรนี้อาจใช้สำหรับการดีมอดูเลตเอฟเอ็มได้



รูปที่4.17 ดีเทคเตอร์แบบควอเดรเจอร์โดยใช้เกตที่เหมือนกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



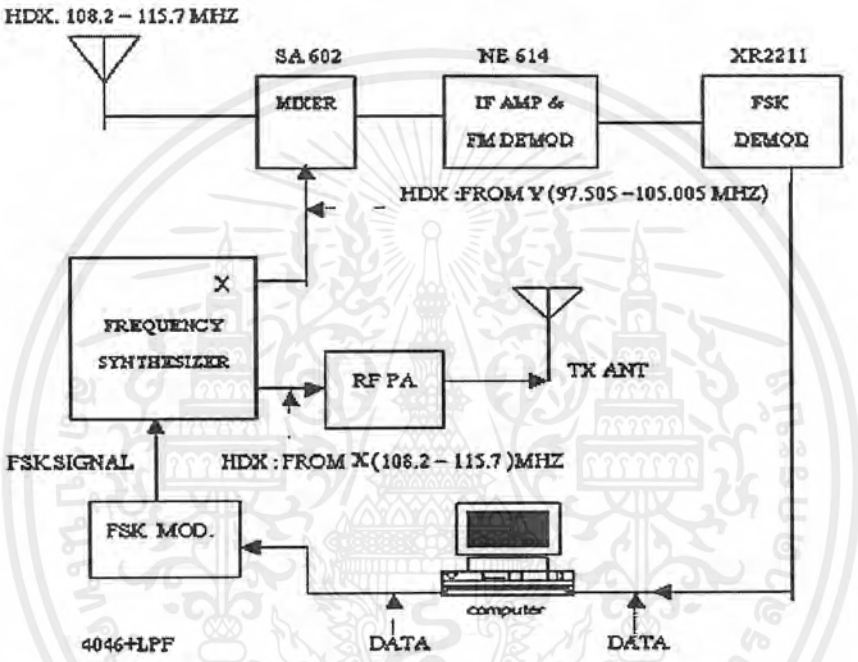
รูปที่4 .18สัญญาณเกตที่เหมือนกันที่ $\omega = \omega_r$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5
หลักการทำงานของโครงงาน

5.1 บทนำ

ในบทนี้จะกล่าวถึงหลักการทำงานของวงจร ซึ่งแสดงได้ตามบล็อกไดอะแกรมข้างล่าง



รูปที่ 5.1 บล็อกไดอะแกรมของโครงงาน Wireless Modem

จากรูปที่ 5.1 Wireless Modem จะประกอบไปด้วยภาคต่างๆ คือ FSK MOD, FSK DEMOD, FREQUENCY SYNTHESIZER, MIXER, IF AMP & FM DEMOD, RF PA

เมื่อต้องการส่งสัญญาณ จะทำการกดสวิทช์ ไปที่ Tx สัญญาณจาก Computer จะผ่านภาค FSK MOD เพื่อเปลี่ยนสัญญาณจาก ดิจิตอลให้เป็นสัญญาณ อนาลอก จากนั้นจะเข้าสู่ภาค FREQUENCY SYNTHESIZER ซึ่งจะทำหน้าที่ผลิตความถี่ 108.2 – 115.7 MHz ส่งไปที่ RF PA เพื่อขยายสัญญาณ และ ส่งออกอากาศออกทาง ANT

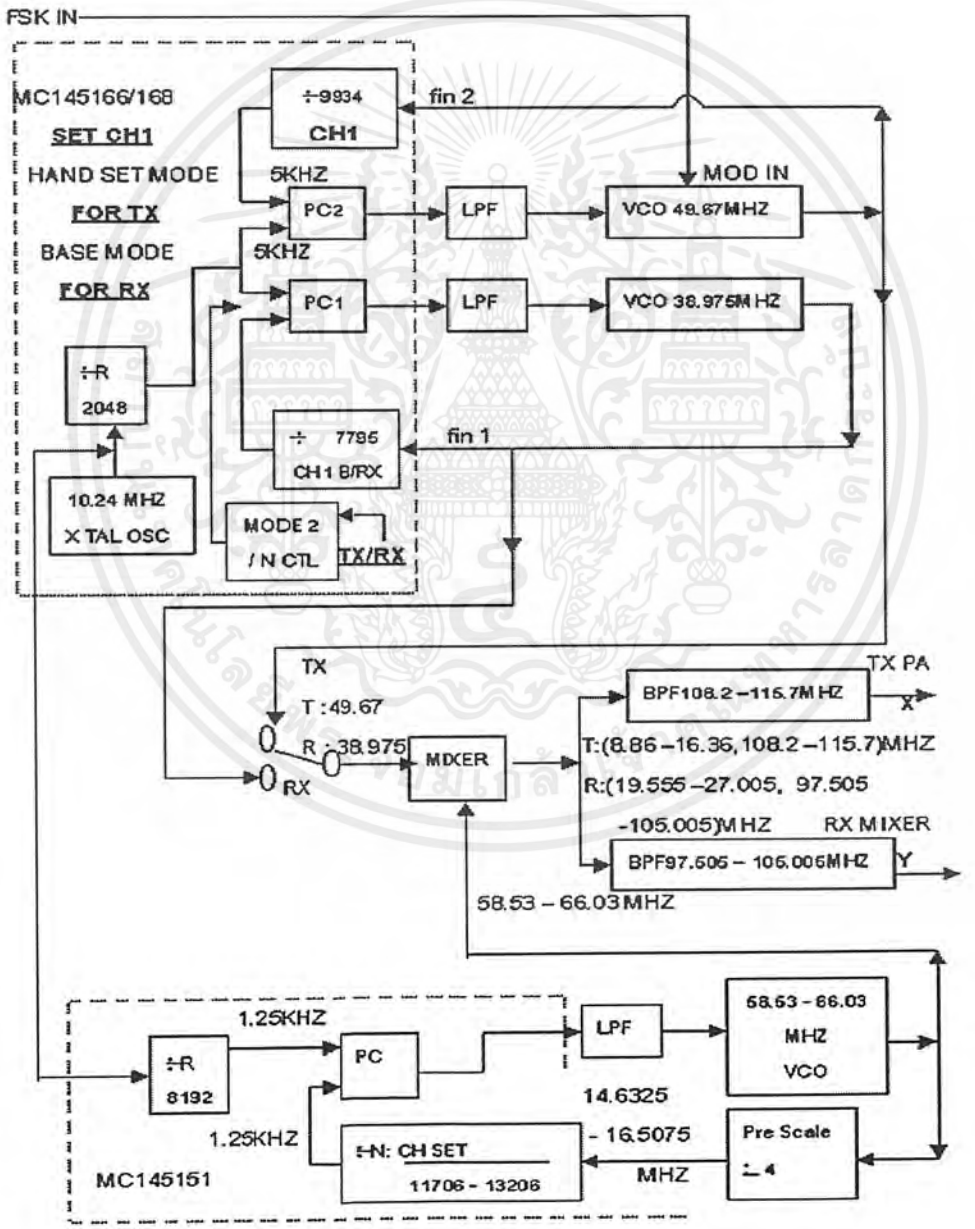
เมื่อต้องการรับสัญญาณ จะทำการกดสวิทช์ไปที่ Rx สัญญาณที่ส่งมา จะผ่าน ANT เข้าสู่ภาค MIXER ซึ่งจะ generate ความถี่ 97.505 – 105.005 MHz ขึ้นมา เพื่อหักล้างกับสัญญาณความถี่ 108.2 – 115.7 MHz เพื่อให้ได้ความถี่ IF = 10.7 MHz ซึ่งจะถูกส่งเข้าสู่ภาค IF AMP เพื่อขยาย สัญญาณ และ ผ่านภาค FM DEMOD เพื่อให้ได้สัญญาณข้อมูล 1 KHz จากนั้น ก็เข้าสู่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาค FSK DEMOD เพื่อเปลี่ยนสัญญาณ อนาลอก ให้กลับเป็นสัญญาณ ดิจิตอล ดังเดิมแล้วจึงจะเข้าสู่ เครื่อง Computer

5.2 ภาค FREQUENCY SYNTHESIZER

เป็นวงจรสังเคราะห์ความถี่ชนิดโปรแกรมได้ ทำหน้าที่ผลิตสัญญาณความถี่ขนาดพอเหมาะ และให้มีความถี่ตามที่เราต้องการกำหนด โดยการประยุกต์ใช้งานของเฟสล็อคลูป



รูปที่ 5.2 บล็อกไดอะแกรมของภาค FREQUENCY SYNTHESIZER

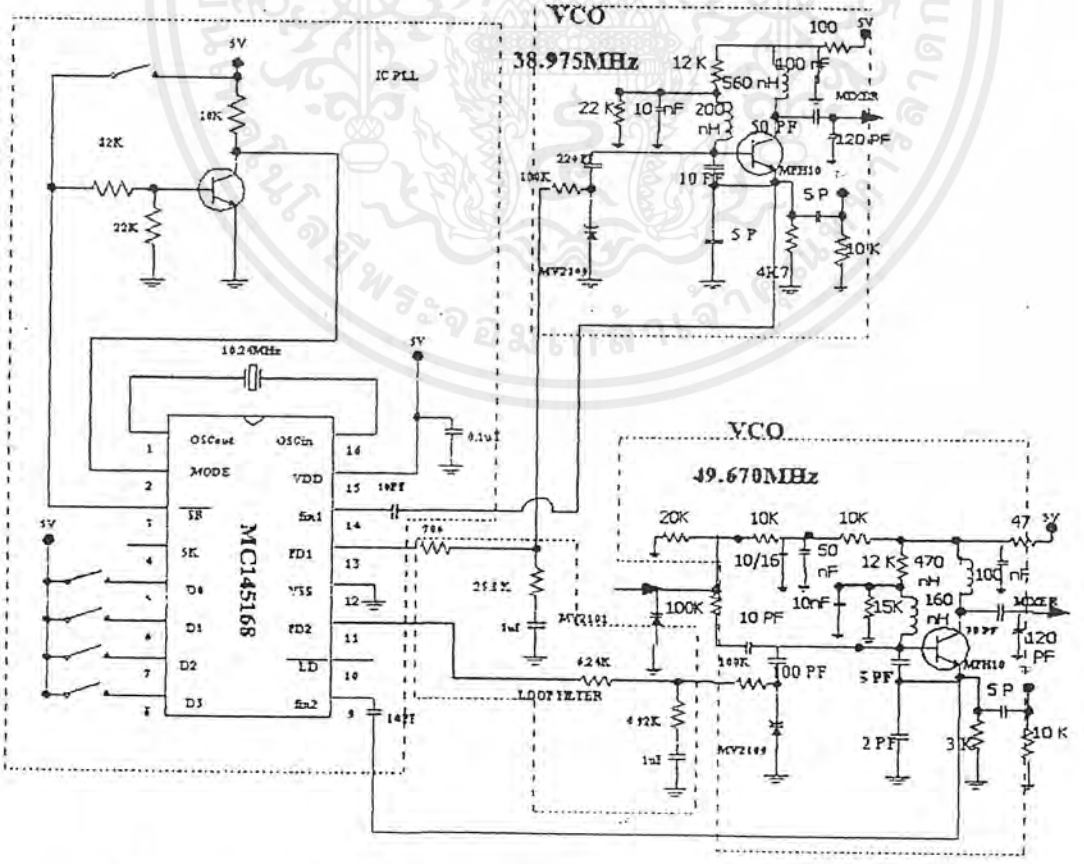
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูป เป็นบล็อกไดอะแกรมของภาค FREQUENCY SYNTHESIZER ซึ่งจะใช้ IC 2 ตัว คือเบอร์ MC145168 กับ MC145152 โดยที่ MC145168 จะใช้ต่อเป็น PLL 2 ชุด คือ ชุดแรกจะผลิตความถี่ 49.670 MHz และ ชุดที่สอง จะผลิตความถี่ 38.975 MHz ส่วน IC เบอร์ MC145152 ก็ใช้เป็น PLL เช่นกัน ซึ่งจะผลิตความถี่ในช่วง 58.53 – 66.03 MHz

ในกรณีที่ต้องการส่งสัญญาณ เมื่อสับสวิทช์ไปที่ Tx วงจร PLL จะผลิตความถี่ 49.670 MHz ออกมาและส่งเข้าสู่ภาค MIXER ในขณะเดียวกันก็จะมีสัญญาณความถี่ 58.53 – 66.03 MHz เข้ามาที่ภาค MIXER ด้วย สัญญาณทั้งสองจะรวมกันได้ สัญญาณความถี่ Output เป็น 108.2 – 115.7 MHz

ในกรณีที่ต้องการรับสัญญาณ เมื่อสับสวิทช์ไปที่ Rx วงจร PLL จะผลิตความถี่ 38.975 MHz ออกมาและส่งเข้าสู่ภาค MIXER เพื่อหักล้างกับสัญญาณความถี่ 58.53 – 66.03 MHz ได้เป็นสัญญาณความต่าง 97.505 – 105.005 MHz

5.3 วงจรผลิตความถี่ 49.670 MHz และ วงจรผลิตความถี่ 38.975 MHz



รูปที่ 5.3 วงจรผลิตความถี่ 49.670 MHz และ วงจรผลิตความถี่ 38.975 MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 5.3 เป็นวงจรผลิตความถี่ 39.975 MHz และ 49.670 MHz โดยใช้วงจร PLL เป็นตัวล็อคความถี่ให้คงที่หลักการทำงานของวงจรมีดังนี้

1) วงจร VCO จะทำหน้าที่ผลิตความถี่ออสซิลเลเตอร์ ซึ่งสามารถปรับเปลี่ยนความถี่จากการป้อนไบอัสกลับ ให้ไดโอดวาริแคป MV2109 ค่าต่างๆ ซึ่งก็คือการปรับค่าคาปาซิแตนซ์นั่นเอง

2) วงจรหารความถี่สามารถโปรแกรมได้ และ วงจรเปรียบเทียบเฟส ซึ่งอยู่ในตัว IC MC145168 การโปรแกรมค่าหาร N สามารถทำได้โดยการเซตค่าขา D0, D1, D2 และ D3, ของ IC โดยป้อน VDD จะมีสถานะเป็น "1" การปล่อยลอยจะมีสถานะเป็น "0" รายละเอียดช่องสัญญาณความถี่ค่าต่างๆ ดูได้ จาก Data Sheet ในส่วนเอกสารอ้างอิง ส่วนความถี่อ้างอิงมีค่าเท่ากับ 5 KHz ได้จากคริสตรอล 10.24 MHz หารด้วย R ซึ่งมีค่าเท่ากับ 2048 ความถี่อินพุทเข้าที่ขา Fin1 แรงดัน Error ออกที่ PD1 ส่วนขา MODE เซตค่าเป็น "0" ขา Stanby เซตค่าเป็น 1

3) วงจร Loop Filter ทำหน้าที่กรองสัญญาณความถี่สูง(ตัดสัญญาณรบกวนทิ้ง)อินติเกรตสัญญาณเอาท์พุทส่งไปควบคุมการผลิตความถี่วงจร VCO ทำให้วงจรสามารถแคปเจอร์สัญญาณได้และช่วยให้ระบบคงสภาวะล็อคไว้ได้ วงจร Loop Filter ประกอบด้วย R 706 Ω , 25.8 KΩ และ C 1 uF สำหรับ VCO 38.975 MHz และ R 6.24 KΩ, 6.92 KΩ, C 1uF สำหรับ VCO 49.670 MHz

5.4วงจร PLL เลือกช่องสัญญาณความถี่ 58.53 - 66.03 MHz

ประกอบไปด้วย วงจร VCO วงจรหารความถี่ วงจร IC PLL และ วงจร Loop Filter ดังในรูปที่ 6.4 มีหลักการทำงานดังนี้

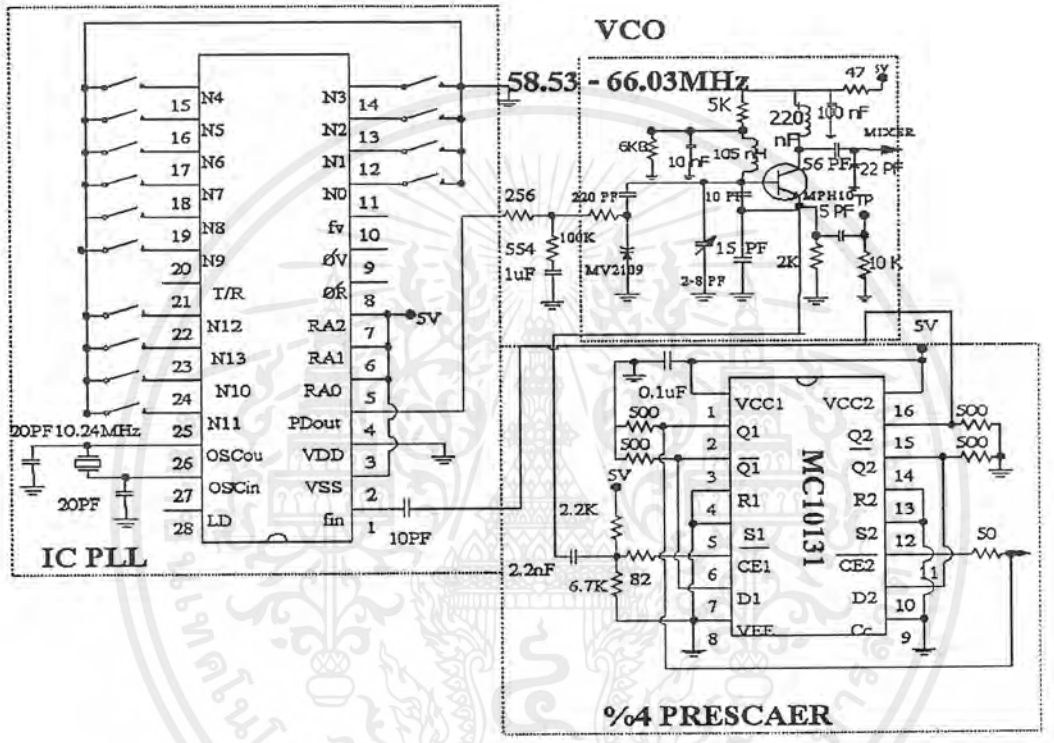
1) วงจร VCO ทำหนาที่ผลิตความถี่ในช่วงประมาณ 58.53 – 66.03 MHz ซึ่งใช้ไดโอดวาริแคป MV2109 ใช้เป็นคาปาซิเตอร์ปรับเปลี่ยนตามแรงดัน ทำให้วงจร VCO ผลิตความถี่ค่าต่างๆ ตามแรงดันที่ป้อนให้เอาท์พุทส่งเข้าวงจรหารความถี่ และ วงจรมิกเซอร์ต่อไป

2) วงจรหารความถี่ Output จากวงจร VCO 58.53 – 66.03 MHz จะเข้าที่ขา CE1 ของ IC MC10131 ซึ่งเป็นวงจรหาร 4 และ Output ที่ได้จะออกทางขา Q2 ส่งต่อไปยังวงจร PLL

3) วงจร IC PLL ประกอบไปด้วยส่วนโปรแกรมหารความถี่ ส่วนผลิตความถี่และเซตความถี่อ้างอิง และส่วนเอาท์พุทเป็นแรงดัน Error การโปรแกรมความถี่หาร N สามารถทำได้โดยการเซตค่าที่ขา N0 – N13 ของ IC MC145152 ถ้าขาดังกล่าวถูกต่อลงกราวด์จะถือเป็นสถานะ "0" และเมื่อปล่อยลอยจะถือเป็นสถานะ "1" และค่าที่เซตได้นี้จะเป็นเลขไบนารี่ต้องทำการแปลงเป็นเลขฐานสิบอีกทีนึง เพื่อนำค่าที่ที่ได้นี้ไปหารกับความถี่อินพุท ซึ่งก็คือสัญญาณเอาท์พุทของ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรหารนั่นเอง การผลิตความถี่ใช้คริสตรอล 10.24 MHz และทำการเซตขา RA0 – RA2 เป็น "1" หมดหรือก็คือต่อเข้ากับ VDD นั่นเอง ซึ่งจะทำให้ได้สัญญาณความถี่อ้างอิงเท่ากับ 1.25KHz นั่นเอง แรงดัน Error ความต่างเฟสของสัญญาณความถี่อ้างอิง สัญญาณอินพุท จะปรากฏที่ขา PD out ต่อไปยังวงจร Loop filter ต่อไป



รูปที่ 5.4 วงจร PLL เลือกช่องสัญญาณความถี่ 58.53 – 66.03 MHz

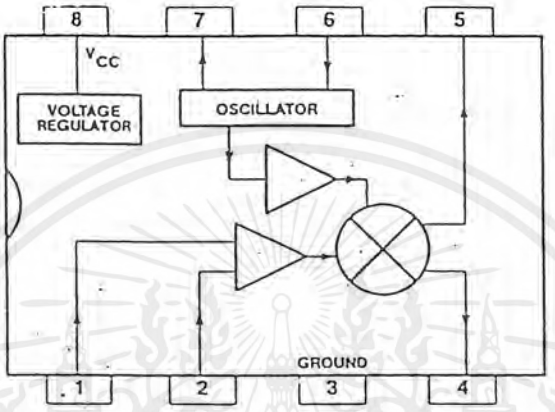
4) วงจร Loop filter ทำหน้าที่ให้วงจร PLL ยังคงสภาวะล็อคอยู่ได้ และเอาท์พุทของวงจรจะจ่ายแรงดันไปเพื่อควบคุมการทำงานของวงจร VCO เพื่อให้ผลิตความถี่ตามต้องการ เอาท์พุทวงจร PLL จะต่อไปยังมิกเซอร์เพื่อผสมกับ สัญญาณความถี่ 38.975 MHz เพื่อใช้เป็นสัญญาณออสซิลเลเตอร์ของภาครับต่อไป

5.5วงจรภาคเครื่องรับ FM

รูปที่ 5.5 แสดงบล็อกไดอะแกรมของซิกเนติก NE/SA 602A เป็นแบบ Double Balanced และออสซิลเลเตอร์ NE/SA 602A คือ มิกเซอร์แบบ VHF Monolithic Double Balanced กับวงจรภาคขยายอินพุต มีออสซิลเลเตอร์ภายในและวงจรรักษาระดับแรงดัน มิกเซอร์มีโครงสร้างเป็นวงจร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

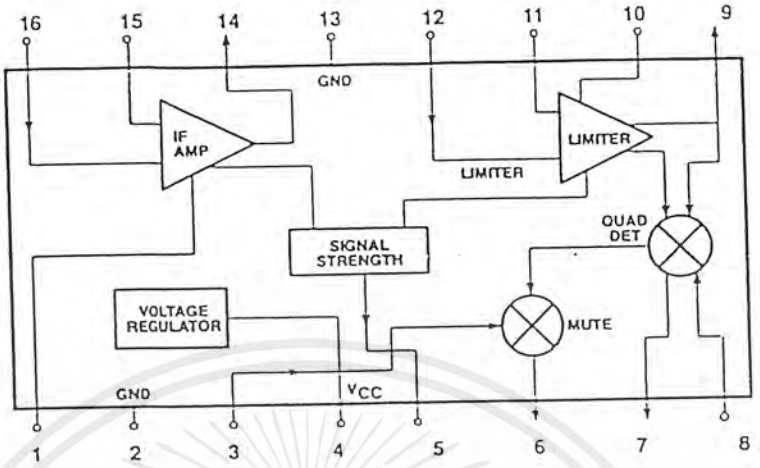
คูณ Gilbert Cell คือ วงจรขยายผลต่างซึ่งขับ Balanced Switching Cell ภาคอินพุตผลต่างให้อัตราขยายและกำหนดตัวเลขสัญญาณรบกวน (Niose Figure) และสมรรถนะ Signal Handing ของระบบ และ ออสซิลเลเตอร์ทำงานถึง 200 MHz



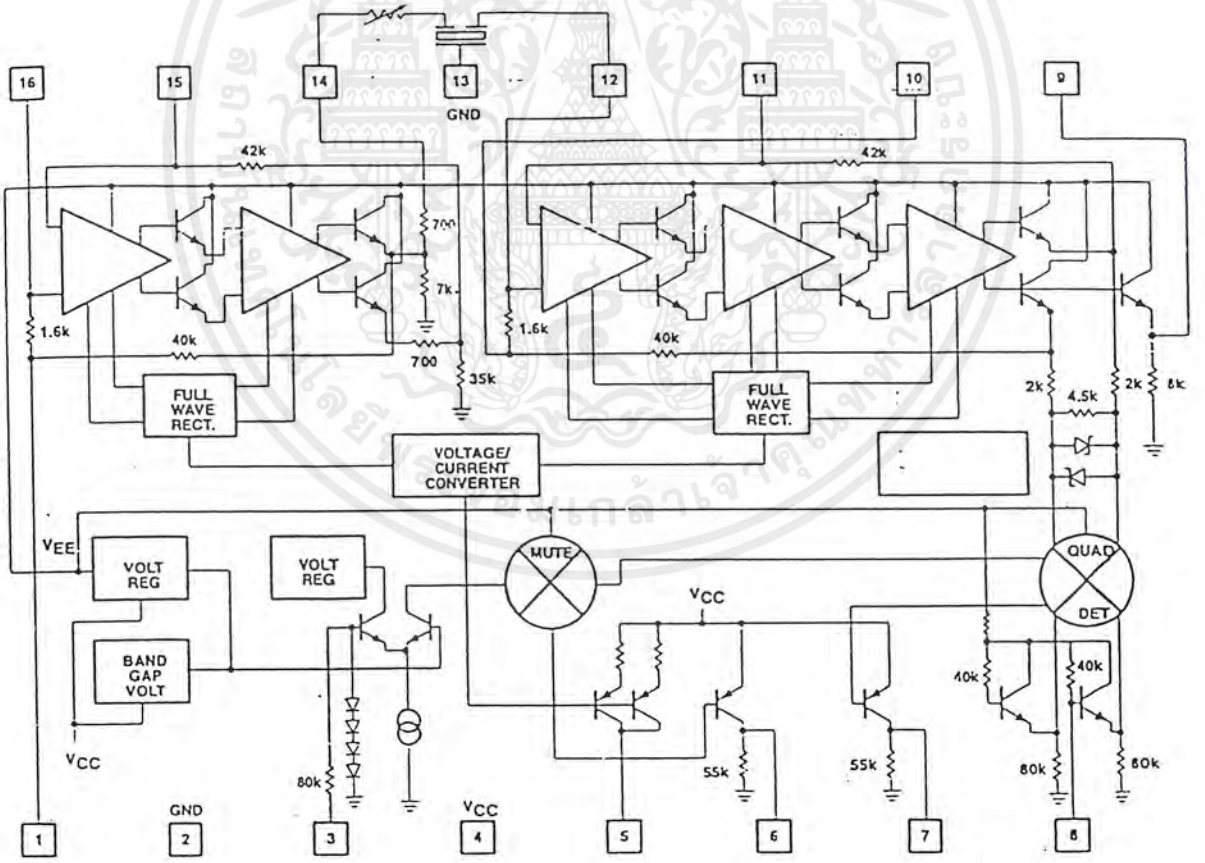
รูปที่ 5.5 แสดงบล็อกไดอะแกรมของIC NE/SA 602A

รูปที่ 5.7 เป็นวงจรสมมูลย์ของ NE/SA614A วงจรขยายลอกลิมิตติ้ง(Log Limiting) 2 ภาค ภาคแรกมีวงจรขยายผลต่าง (Differential amplifiers) ที่มีอัตราขยาย 39 ดีบี 2 ชุด และมีแถบความถี่ของสัญญาณเอซีขนาดเล็ก 41 เมกะเฮิรตซ์ เมื่อต่อกับแหล่งกำเนิด 50 โอห์ม เอาต์พุตของลิมิตเตอร์ตัวแรกมีอิมพีแดนซ์ของวงจรขยายอีมิตเตอร์ตามต่ำ โดยมีตัวต้านทานอนุกรมสมมูลย์ 1 KΩ ต่ออยู่ ภาคลิมิตติ้งที่สองประกอบด้วยวงจรขยายผลต่างที่มีอัตราการขยาย ผลต่างตัวสุดท้ายเป็นบัฟเฟอร์กับดีเทกเตอร์แบบควอเดรเจอร์ที่อยู่ภายใน IC เอาท์พุตอันหนึ่งใช้ขับควอเดรเจอร์คาปาซิเตอร์ (Quadrature Capacitor) ภายนอก และ แอลซีควอเดรเจอร์แทงก์ (L/C Quadrature Tank) ภายในลิมิตติ้งทั้งสองเป็นดีซีไบอัส โดยการป้อนกลับ เอาท์พุตบัฟเฟอร์ของวงจรขยายผลต่างตัวสุดท้ายในแต่ละภาคจะป้อนกลับไปที่ อินพุตของภาคผ่านตัวต้านทาน 42 KΩ เสถียรภาพถูกทำให้ดีขึ้นโดยการลดทอนอัตราการขยายโดยการลดทอน (Attenuators) ระหว่างภาควงจรขยาย ภาคขยาย ไอเอฟมีลักษณะเด่น คือ มีการเลื่อนเฟสต่ำ (ปกติเลื่อนเฟสไม่กี่องศาเท่านั้น ซึ่งครอบคลุมย่านความถี่อินพุทที่กว้าง)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



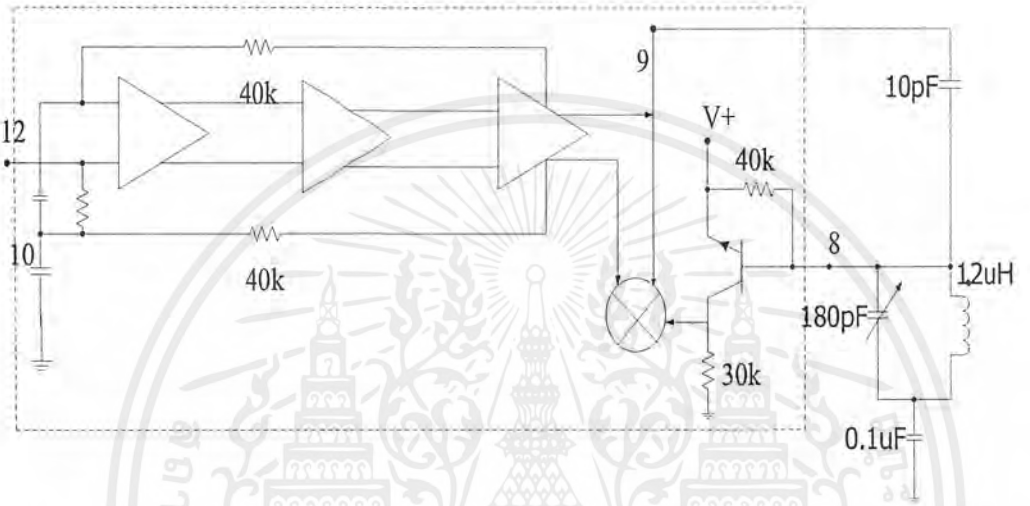
รูปที่ 5.6 แสดงบล็อกไดอะแกรมของIC NE/SA614A



รูปที่ 5.7 เป็นวงจรสมมูลย์ของIC NE/SA614A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 5.8 แสดงบล็อคไดอะแกรมของวงจรสมมูลย์สำหรับดีเทกเตอร์แบบควอเดรเจอร์ ใน NE/SA614A ดีเทคเตอร์แบบควอเดรเจอร์คือเซลวงจรคูณ (multiplier cell) คล้ายกับภาคมิกเซอร์ แต่แทนที่ด้วยการผสมความถี่ที่แตกต่างกันสองความถี่ ดีเทคเตอร์แบบควอเดรเจอร์ผสมสัญญาณทั้งสองด้วยความถี่เดียวกันแต่เฟสแตกต่างกัน

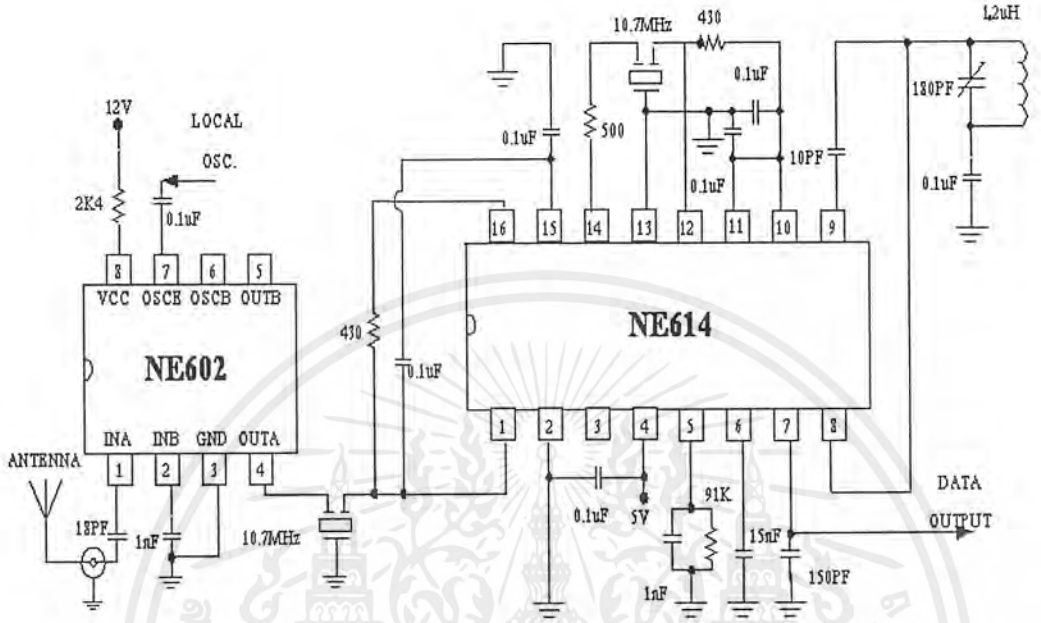


รูปที่ 5.8 แสดงบล็อคไดอะแกรมของวงจรสมมูลย์สำหรับดีเทกเตอร์แบบควอเดรเจอร์

สัญญาณแอมปลิจูดคงที่ (amplitude-limited)ใช้ประยุกต์กับส่วนวงจรคูณที่ต่ำกว่า สัญญาณเดียวกันใช้ประยุกต์กับซิงเกิลเอ็น (single-ended) โดยต่อตัวเก็บประจุภายนอกที่ขา 9 มีการเลื่อนเฟส 90° ตกคร่อมเพลตของตัวเก็บประจุ สัญญาณที่ถูกเลื่อนเฟสจะประยุกต์ใช้กับส่วนของวงจรคูณด้านบนที่ขา 8 ควอเดนเจอร์แทงก์ (LC network แบบขนาน) ยอมให้มีการเลื่อนเฟสซึ่งเลือกความถี่ได้ที่สัญญาณ IF ดีเทคเตอร์แบบควอเดรเจอร์จะกำเนิดสัญญาณเอาต์พุตซึ่งเป็นแอมปลิจูดที่เป็นสัดส่วนกับขนาดของการเบี่ยงเบนความถี่ของสัญญาณอินพุตเอฟเอ็ม

จากรูปที่ 5.9 เป็นวงจรของภาคเครื่องรับ FM เมื่อมีสัญญาณความถี่ 108.2 – 115.7MHzข้ามาทาง ANT สัญญาณจะผ่าน C 18 PF เข้าสู่ขา 1 ของ IC SA602 ซึ่งใช้เป็นภาค MIXER ในขณะเดียวกัน ภาค FERQUENCY SYNTHESIZER ก็จะส่งสัญญาณความถี่ 97.505 – 105.005 MHz เข้าที่ขา 7 ของ SA602 ซึ่งจะหักล้างกัน ได้สัญญาณ IF 10.7 MHz จากนั้นสัญญาณจะผ่าน เซรามิกฟิลเตอร์ 10.7 MHz เพื่อกรองความถี่อื่นทิ้ง แล้วส่งต่อไปยัง IC NE614 ซึ่งใช้เป็น ภาค IF AMP และ FM DEMOD

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.9 วงจรภาครับ FM

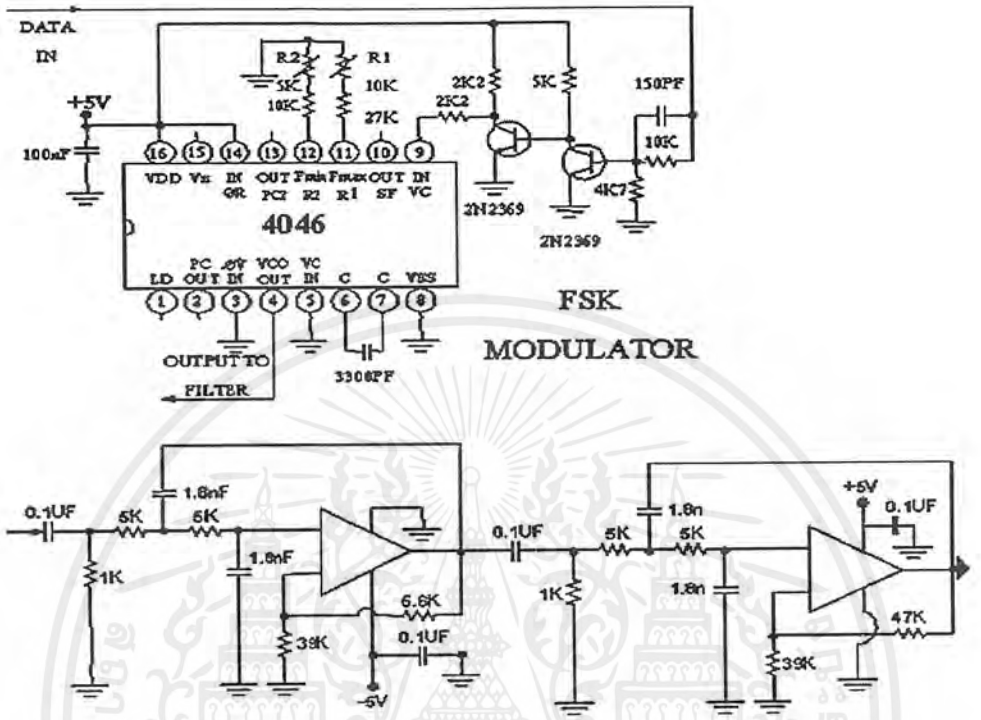
ความถี่ IF 10.7 MHz จะเข้าที่ 16 ของ NE614 ซึ่งจะทำการขยายสัญญาณออกมาทางขา 14 ผ่านเซรามิกฟิลเตอร์ ครั้งที่สอง เพื่อให้ได้สัญญาณที่ดีขึ้น และจากนั้นก็จะส่งเข้าที่ขา 12 ซึ่งเป็นภาค Limiter ทำหน้าที่กำจัด สัญญาณรบกวนทิ้ง จากนั้นก็เข้าสู่ ภาค Quadrature Detector และวงจร Phase Shiftor ทำหน้าที่ Mix ความถี่ 2 ที่เหมือนกันแต่เฟสต่างกัน สัญญาณที่ดีเทคแล้วจะได้เป็นสัญญาณความถี่ Base Band

5.6วงจรภาค FSK MODULATOR

จากรูปที่ 5.10 เมื่อมีสัญญาณข้อมูลดิจิตอล ของเครื่อง Computer เข้ามา ทรานซิสเตอร์ 2N2369 ทั้ง 2 ตัวจะทำงานเป็นสวิทช์ เลือกลอจิก “0” หรือ “1” และส่งเข้าสู่ IC 4046 ซึ่งจะ Modulate ได้เป็นสัญญาณ FSK ออกมา แต่สัญญาณที่ได้ยังไม่เป็น อนาลอก ดังนั้นจึง ส่งเข้าไปที่

วงจร Filter แบบ second order ซึ่งจะมี 2 ชุด ทำให้ได้สัญญาณ อนาลอก ตามที่ต้องการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

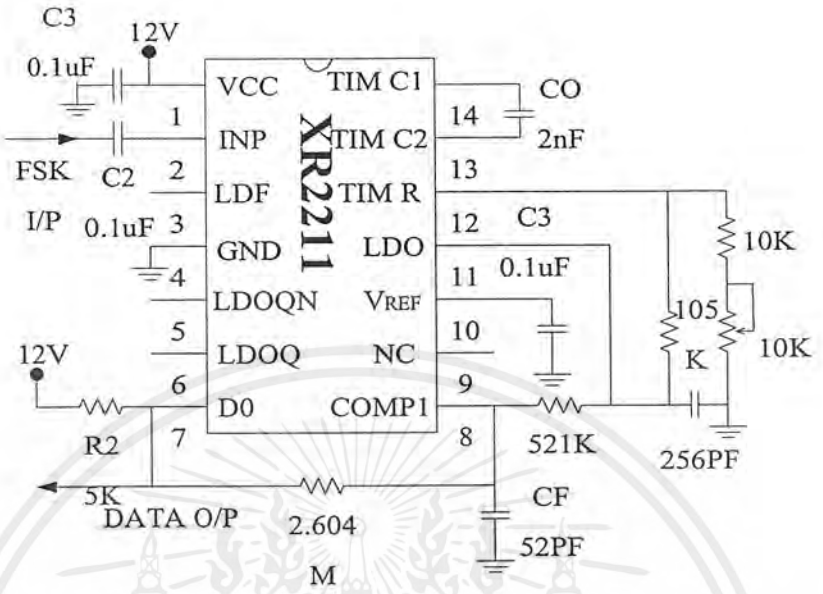


รูปที่ 5.10 วงจรภาค FSK MODULATOR

5.7 วงจรภาค FSK DEMODULATOR

ภาค FSK DEMODULATOR จะใช้ IC XR 2211 เป็นตัว Demodulate เปลี่ยนสัญญาณข้อมูลที่อยู่ในรูป FSK ให้เป็นสัญญาณดิจิตอล 9600 bps ซึ่งโครงสร้างภายใน XR 2211 จะถูกออกแบบเป็นระบบ เฟสล็อคลูป (PLL) เพื่อสำหรับใช้งานด้านสื่อสารโดยเฉพาะจะใช้ในส่วนของ FSK ซึ่งจะทำงานในช่วงกว้างของไฟเลี้ยง 4.5 V – 20 V และมีช่วงความถี่กว้างโดยอยู่ในช่วง 0.01 Hz - 300 KHz สามารถใช้สัญญาณอนาลอกได้ในช่วง 2 mV – 3 mV โดยวงจรจะประกอบด้วยพื้นฐานของ เฟสล็อคลูป (PLL) เพื่อให้สัญญาณอินพุทเข้าไปในช่วงที่ผ่านไปได้มุมเฟสจะถูกตรวจสอบได้ ก็ต่อเมื่อให้ตัวพาหะเป็นตัวตรวจสอบ และ แรงดัน FSK จะถูกเปรียบเทียบ โดยที่ FSK ดัมอรูเลต เป็นตัวกำหนด อุปกรณ์ภายนอกจะขึ้นเป็นอสระต่อกันในการหาค่าความถี่ศูนย์ (Frequency center) ช่วงแคบความถี่ (Band width) และ เอาท์พุท (Output) แรงดันอ้างอิงภายในจะเป็นสัดส่วนกับแหล่งจ่ายไฟที่กำหนดที่ขา O/P

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

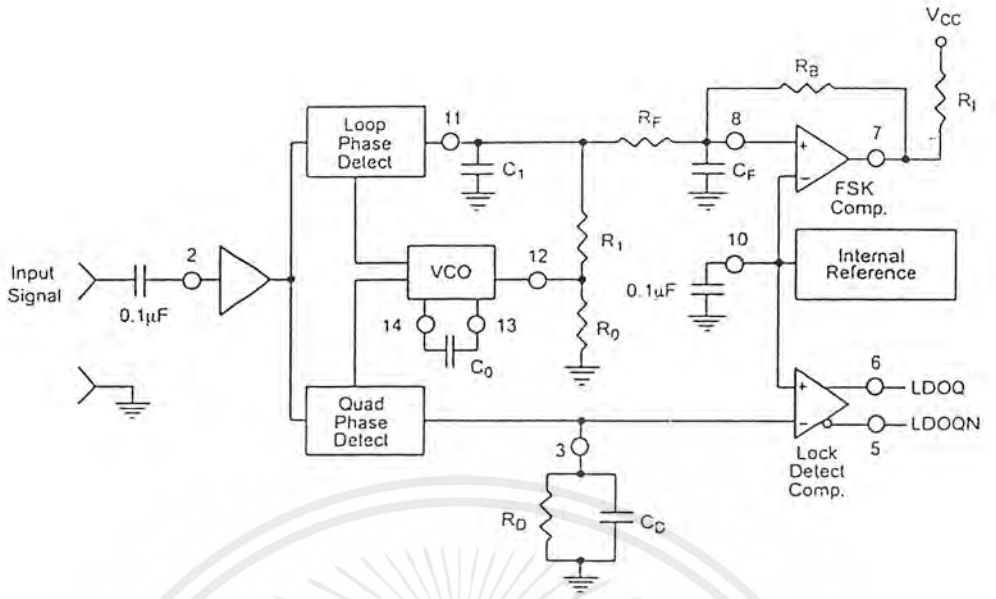


รูปที่ 5.11 วงจรภาค FSK DEMODULATOR

ในรูปที่ 5.11 VR 10 KΩ และ C0 2 nF เป็นตัวกำหนด ความถี่ศูนย์กลาง ของเฟสล็อคลูป , R 102 KΩ กำหนดแถบความถี่ของระบบ (Band width), C 256 pF กำหนดค่าเวลาคงตัวในวงจรกรองของวงรอบ (loop damping factor) , CF 50 pF และ R 515 KΩ กำหนด one-pole post-detection filter สัญญาณข้อมูล sin wave 1 KHz จะเข้าที่ขา 2 และเอาท์พุทซึ่งกลายเป็นสัญญาณดิจิตอล จะออกทางขา 8

วงจรภายในของ XR 2211 แสดงดังรูปที่ 6.8 โดยมีการทำงานดังต่อไปนี้เอาท์พุทของเฟสดีเทคเตอร์ให้สัญญาณผลบวกและผลต่างความถี่ของสัญญาณอินพุท กับสัญญาณจาก VCO นั่นก็คือ ความถี่เอาท์พุทจะเป็น $f_{in} + f_{VCO}$ และ $f_{in} - f_{VCO}$ ดังนั้นในขณะล็อคความถี่สัญญาณเอาท์พุทจะเป็น $2f_{in}$ และ 0 Hz โดยการต่อตัวเก็บประจุคร่อมสัญญาณเอาท์พุทของเฟสดีเทคเตอร์ ก็คือใส่วงจรกรองความถี่ต่ำนั่นเอง จะทำให้สัญญาณความถี่สูง ($f_{in} + f_{VCO}$) ถูกลดทอนหายไป ทำให้เหลือเพียงศักดากระแสตรงที่เกิดจากความต่างเฟสของความถี่ทั้งสอง จะเกิดเช่นนี้ไปเรื่อยๆ ทำให้ VCO ติดตามความถี่ของสัญญาณอินพุทได้ ในส่วนที่เหลือของ XR 2211 ทำงานดังนี้ คือ หาก VCO ถูกขับด้วยความถี่ที่เหนือกว่าหรือต่ำกว่าความถี่ศูนย์กลางแล้ววงจรเปรียบเทียบแรงดันจะสร้างสัญญาณเอาท์พุทลอจิกสูง และสัญญาณเอาท์พุทลอจิกต่ำ เมื่อเฟสล็อคลูปหลักอยู่ในช่วงล็อค

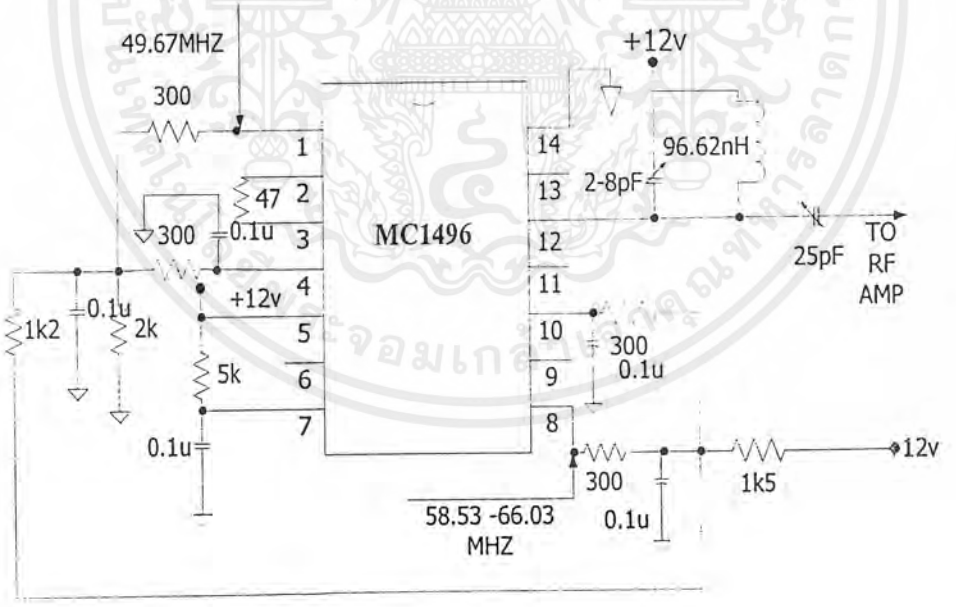
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5. 12 แสดงวงจรภายในของ XR 2211

5.8 วงจรมิกเซอร์ (MIXER)

ในภาค FREQUENCY SYNTHESIZER จะมีภาค MIXER ที่อีกชุดหนึ่ง ต่ออยู่เพื่อให้ได้ความถี่ที่ต้องการในการส่งหรือ การรับที่ต้องการ

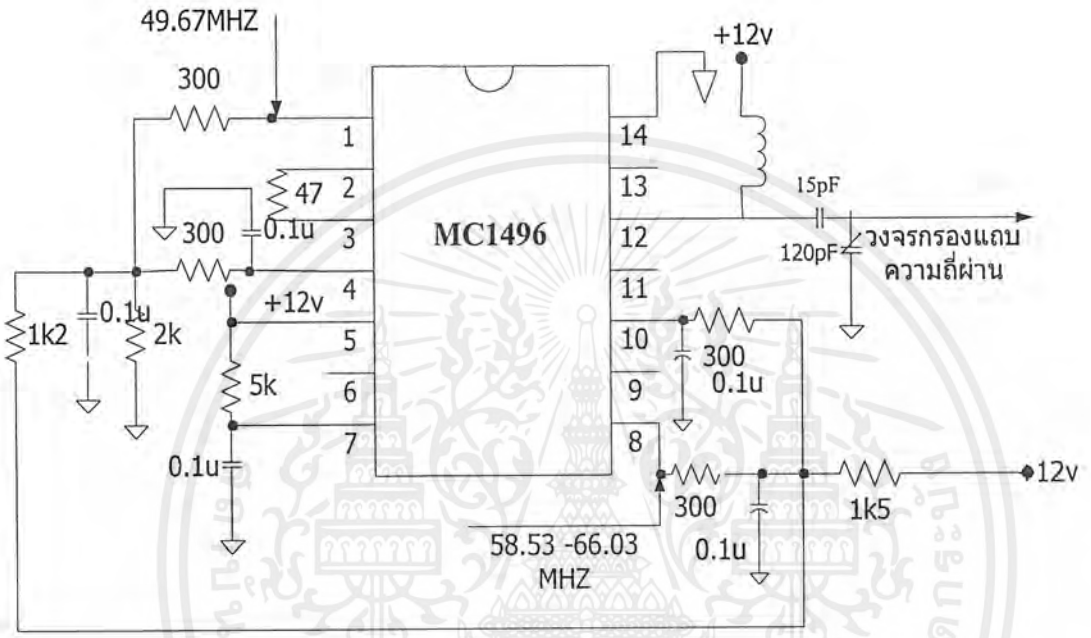


รูปที่ 5.13 วงจรมิกเซอร์ในกรณีที่ต้องการส่งสัญญาณ

จากรูปที่ 5. 13 ในกรณีที่ต้องการส่ง เมื่อสับสวิทช์ไปที่ Tx ความถี่ 49.670 MHz จะออกมาแล้วเข้าที่ขา 1 ของ IC MC1496 เพื่อ MIXER กับสัญญาณความถี่ 58.53 – 66.03 MHz ที่เข้ามาทาง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ขา 8 ซึ่งจะทำให้ได้ความถี่ BPF ในช่วง 10.2 – 115.7 MHz และส่งต่อไปยังวงจร RF PAรูปที่ 5.10 วงจรมิกเซอร์ในกรณีที่ต้องการรับสัญญาณ



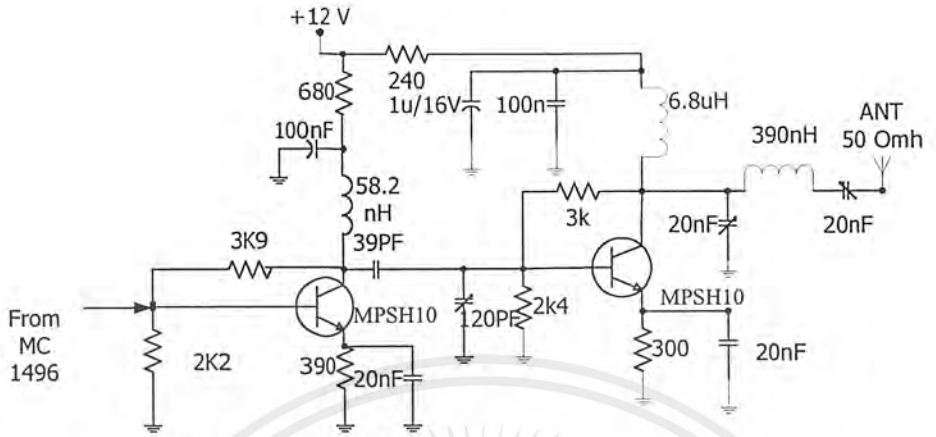
รูปที่ 5.14 วงจรมิกเซอร์สำหรับผลิตความถี่เพื่อให้เป็น Local Osc.ในกรณีที่ต้องการรับสัญญาณ

จากรูปที่ 5.14 ในกรณีที่ต้องการรับ เมื่อสับสวิทช์ไปที่ Rx ความถี่ 38.975 MHz จะออกมาแล้วเข้าที่ขา 1 ของ IC MC1496 เพื่อ MIXER กับสัญญาณความถี่ 58.53 – 66.03 MHz ที่เข้ามาทางขา 8 ซึ่งจะทำให้ได้ความถี่ BPF ในช่วง 97.505 – 105.005 MHz และเข้าสู่ภาค MIXER ของเครื่องรับอีกที่หนึ่ง

5.9 วงจร RF AMPLIFIER

วงจรนี้จะทำหน้าที่ ขยายสัญญาณที่ต้องการจะส่งให้มีขนาดของสัญญาณแรงขึ้นก่อนส่งออกอากาศ

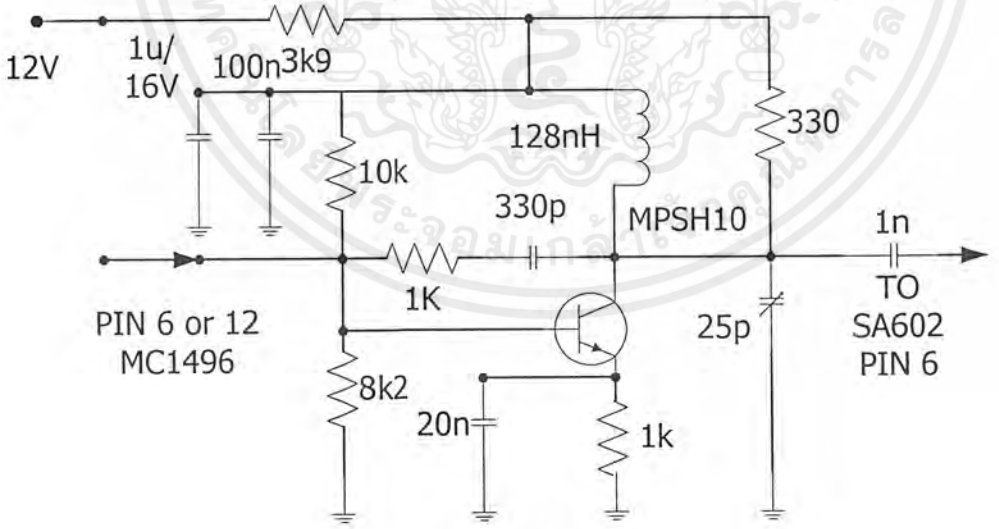
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.15 วงจร RF AMPLIFIER

5.10 วงจร Band pass filter สำหรับ Local Osc.

ในรูปที่ 5.16 แสดงวงจรขยายสัญญาณ OSC ซึ่งทำหน้าที่ขยายสัญญาณความถี่ในช่วง 97.505 – 105.005 MHz ที่ได้จากภาค FREQUENCY SYNTHESIZER ให้มีขนาดแรงขึ้นก่อนส่งต่อไปยังภาค MIXER เครื่องรับ



รูปที่ 5.16 วงจร Band pass filter

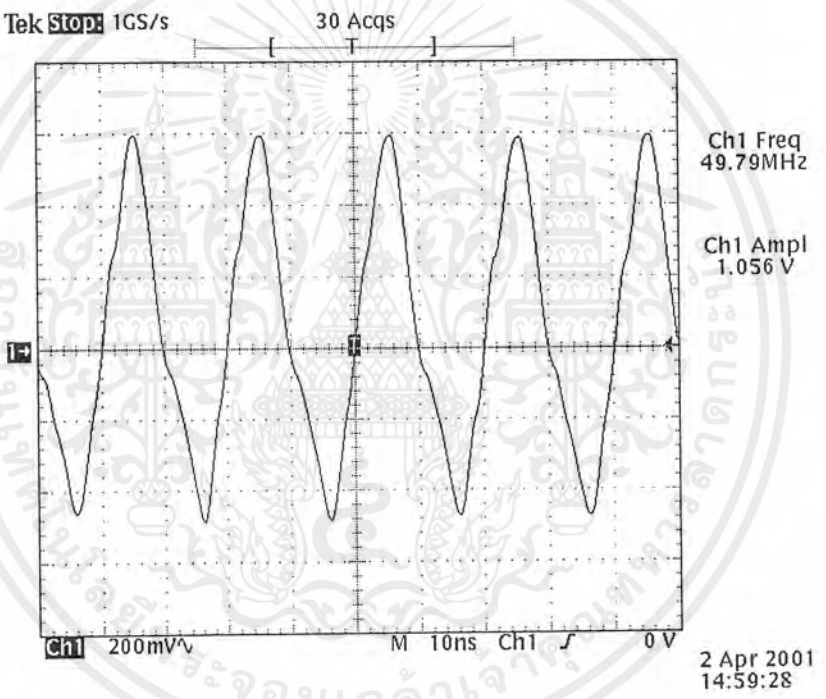
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 6
ผลการวัดสัญญาณ

6.1 บทนำ

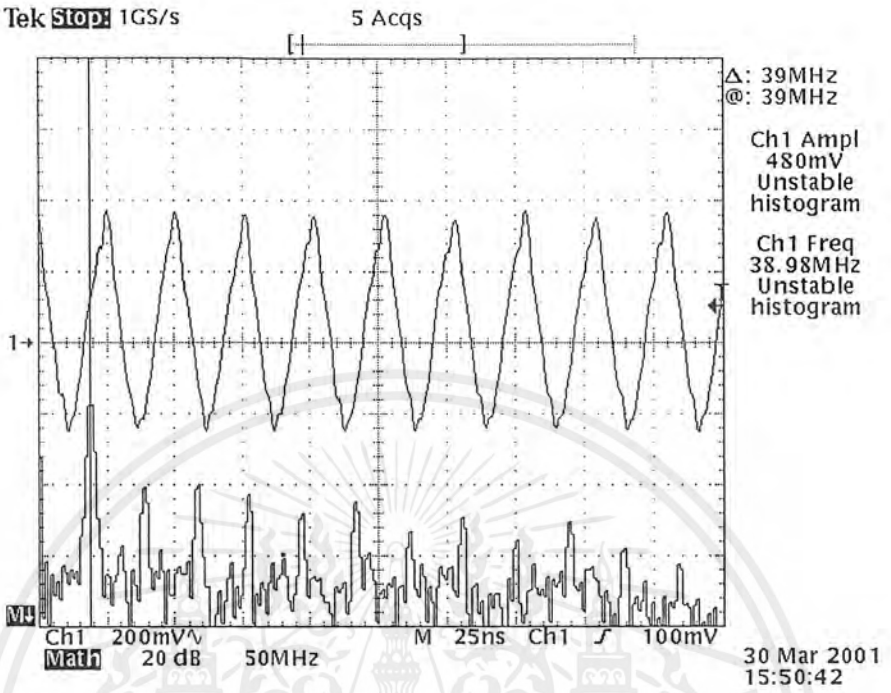
ในบทนี้จะแสดงผลของการวัดสัญญาณที่ภาคต่างๆ

6.2 ผลของสัญญาณภาค FREQUENCY SYNTHESIZER

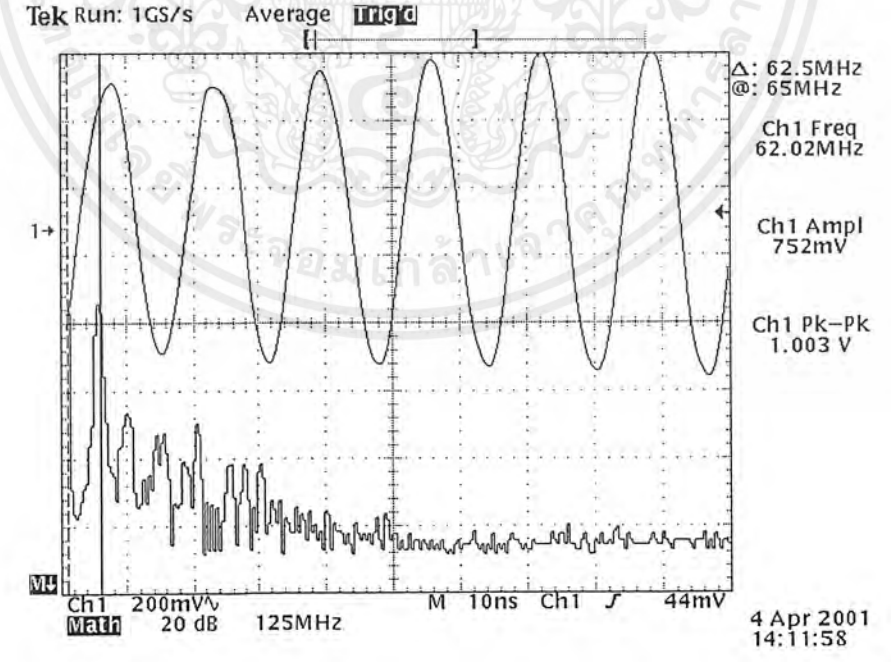


รูปที่ 6.1 เอาท์พุทของวงจรผลิตความถี่ 49.670 MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 6.2 เอาท์พุทของวงจรผลิตความถี่ 38.975 MHz



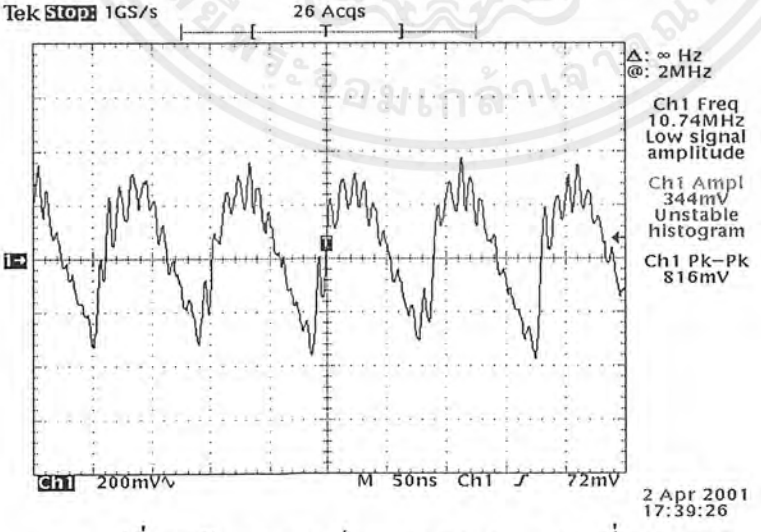
รูปที่ 6.3 เอาท์พุทของวงจรผลิตความถี่ 58.53 – 66.03 MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CH	ค่าหารN(Binary)											คำนวณ (MHz)	ค่าวัด (MHz)
	N12	N11	N10	N9	N8	N7	N6	N5	N4	N3	N2		
1	0	1	1	0	1	1	0	1	1	1	0	58.53	58.53
2	0	1	1	1	0	0	0	0	1	1	1	59.03	59.03
3	0	1	1	1	0	1	0	0	0	0	0	59.53	59.53
4	0	1	1	1	0	1	1	1	0	0	1	60.03	60.03
5	0	1	1	1	1	0	1	0	0	1	0	60.53	60.53
6	0	1	1	1	1	1	0	1	0	1	1	61.03	61.03
7	1	0	0	0	0	0	0	0	1	0	0	61.53	61.53
8	1	0	0	0	0	0	1	1	1	0	1	62.03	62.03
9	1	0	0	0	0	1	1	0	1	1	0	62.53	62.53
10	1	0	0	0	1	0	0	1	1	1	1	63.03	63.03
11	1	0	0	0	1	1	0	1	0	0	0	63.53	63.53
12	1	0	0	1	0	0	0	0	0	0	1	64.03	64.03
13	1	0	0	1	0	0	1	1	0	1	0	64.53	64.53
14	1	0	0	1	0	1	1	0	0	1	1	65.03	65.03
15	1	0	0	1	1	0	0	1	1	0	0	65.53	65.53
16	1	0	0	1	1	1	0	0	1	0	1	66.03	66.03

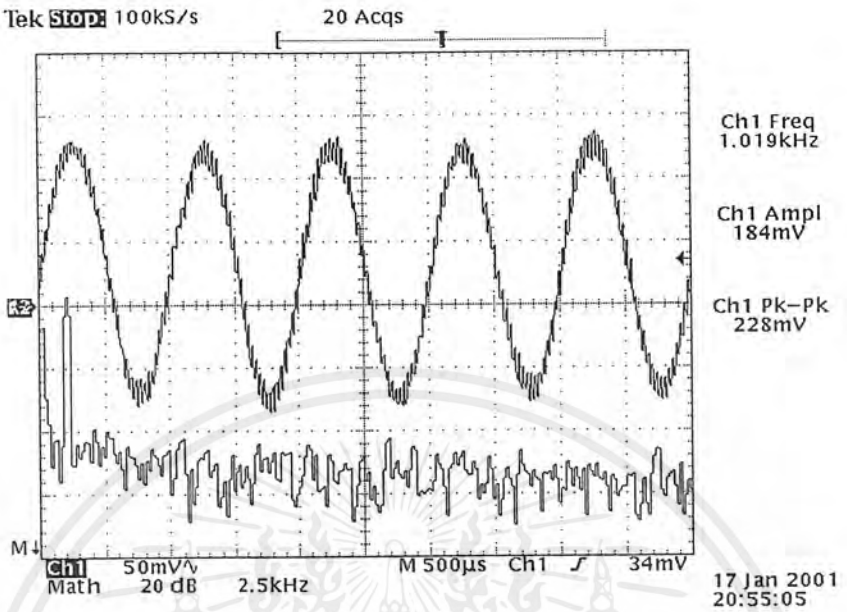
ตารางที่ 6.1 ตารางผลการทดลองของ IC MC145152

6.3 ผลของสัญญาณภาคเครื่องรับ FM



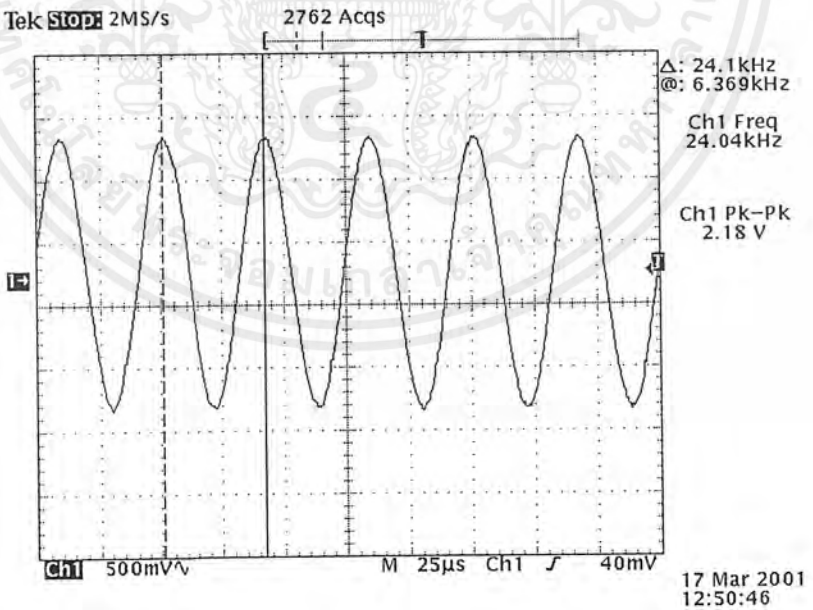
รูปที่ 6.4 สัญญาณเอาท์พุทของ Limiter ความถี่ 10.7 MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



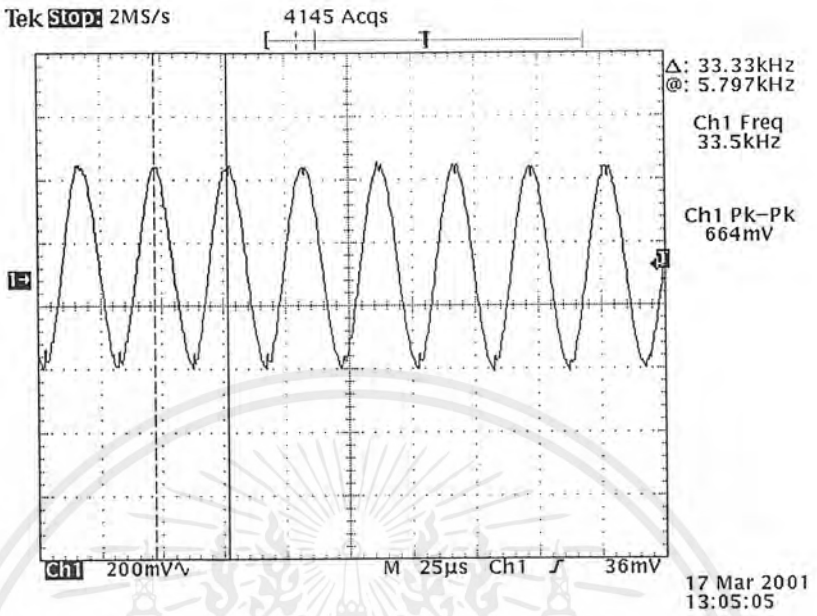
รูปที่ 6.5 สัญญาณเอาท์พุทของข้อมูลความถี่ 1 KHz

6.4 ผลการวัดสัญญาณของภาค FSK MODULATOR



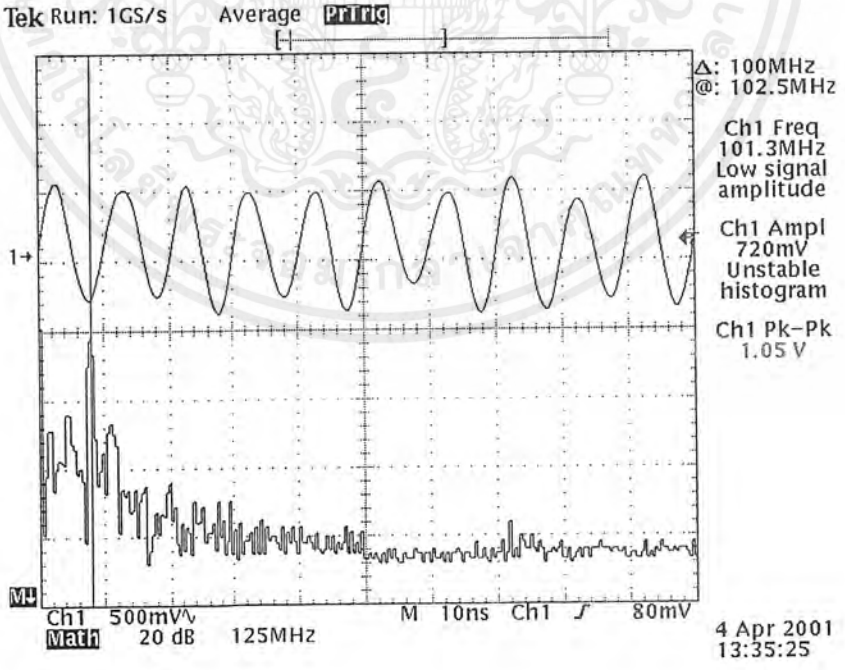
รูปที่ 6.6 ความถี่ Space ของวงจรภาค FSK MODULATOR

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



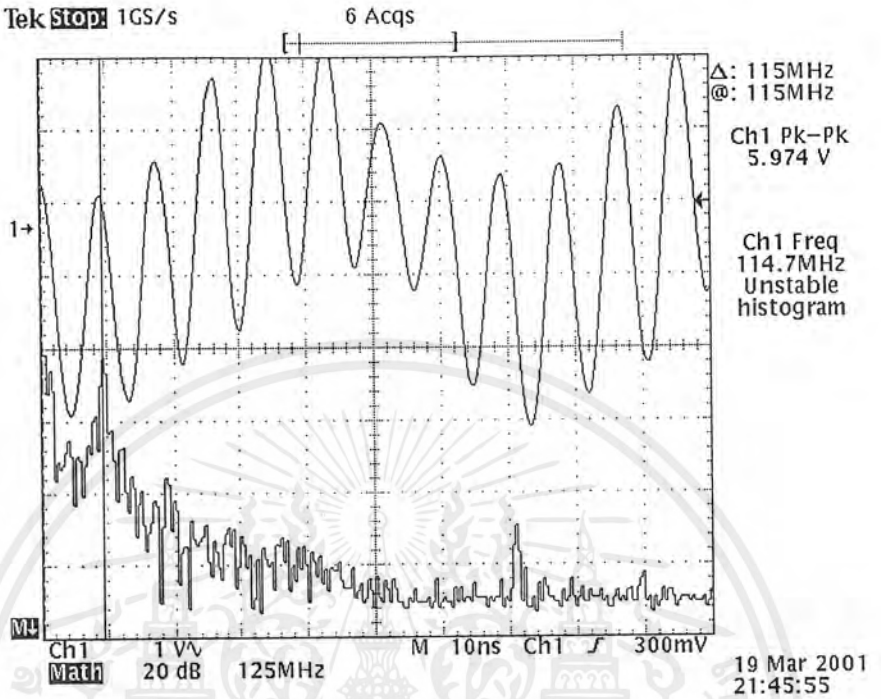
รูปที่ 6.7 ความถี่ Mark ของวงจร FSK MODULATOR

6.5 ผลการวัดสัญญาณภาค MIXER



รูปที่ 6.8 เอาท์พุท MIXER ของเครื่องรับที่ความถี่ 102.5 MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 6.9 เอาท์พุตของเครื่องส่งที่ความถี่ 115.2 MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 7
บทสรุปและวิจารณ์

โครงงานนี้ได้ทำในส่วนของภาค Frequency Synthesizer และ ภาค FSK Modulator และ Demodulator ซึ่งภาค Frequency Synthesizer จะเป็นภาคที่ผลิตความถี่ขึ้นมา 2 ช่วง คือ ช่วง 108.2-115.7 MHz และช่วง 97.505-105.005 MHz และภายในภาค Frequency Synthesizer นี้จะมีวงจร PLL อยู่ 3 ชุด ที่ความถี่ 49.67 MHz, 38.975 MHz และ 58.53-66.03 MHz ส่วนในภาค FSK Modulator และ Demodulator จะทำการเปลี่ยนจากสัญญาณดิจิตอลเป็นอนาลอก และเปลี่ยนจากอนาลอกเป็นดิจิตอล ตามลำดับ

ปัญหาที่พบในการปฏิบัติโครงงานนี้มีค่อนข้างมาก เนื่องจากเป็นโครงงานความถี่สูงซึ่งการออกแบบค่อนข้างยุ่งยาก เพราะการออกแบบต้องพิจารณาความไว (Sensivity) และความเที่ยงตรง (Accuracy) สูง ซึ่งเมื่อเทียบกับการออกแบบวงจรความถี่ต่ำปัญหาที่พบจึงมากกว่า เช่น เกิดการออสซิเลทในวงจร หรือสัญญาณรบกวนจากแหล่งจ่าย และสัญญาณรบกวนต่างๆนี้หากมากเกินไปอาจจะทำให้ระบบล้มเหลวได้ ปัญหาที่เกิดขึ้นสามารถสรุปได้ดังนี้

1) วงจรภาคส่วน VCO OSC เนื่องจากการคำนวณได้ค่าอุปกรณ์บางค่าซึ่งไม่อาจจะหาได้ เนื่องจากเป็นวงจรมีความถี่สูง ค่าเพียงเล็กน้อยก็มีผลอย่างมากต่อวงจร และการต่อวงจรเกิดค่าคาปาซิแตนซ์แฝงในวงจร ดังนั้นเอาท์พุทที่ได้จึงไม่ตรงกับความต้องการ ทางเลือกของการแก้ปัญหานี้ คือ ใช้คาปาซิเตอร์ปรับค่าได้ ซึ่งทำให้ปรับเปลี่ยนความถี่เอาท์พุทได้ตามต้องการ

2) วงจร Prescale ÷4 ปัญหาที่พบ คือ วงจรไม่ตรงตามความต้องการเนื่องจากที่หา CE1 มีแรงดันมากเกินไปซึ่งจาก Data Sheet ต้องการแรงดันประมาณ 3.6 V จึงทำการปรับแต่งวงจรในส่วนดังกล่าว โดยการเพิ่มรีซีสเตอร์และคาปาซิเตอร์ต่อร่วมกับแหล่งจ่าย ทำให้แรงดันที่ขา CE1 มีค่าตามต้องการ

3) วงจรภาค Mixer มีปัญหาค่อนข้างมากเนื่องจากสัญญาณที่ออกมาจากภาคนี้ที่ต้องการมีค่าสัญญาณที่มีความแรงไม่เพียงพอ(ภาครับ)และถูกรบกวนจากสัญญาณอื่นๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หนังสืออ้างอิง

1. ดร.วิวัฒน์ กิรานนท์ ," พื้นฐานการสื่อสาร ",ภาควิชาวิศวกรรมโทรคมนาคม คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีเจ้าคุณทหารลาดกระบัง,กรุงเทพฯ,2530

2. ดร.ประสิทธิ์ ประพิณมงคลการ ," หลักการระบบสื่อสาร " ,ซีเอ็ดยูเคชั่น , กรุงเทพฯ,2521

3. สุรชัย เพิ่มสินทวี," นำทางสู่การใช้งาน การสื่อสารข้อมูลด้วยระบบ MODEM ", ซีเอ็ดยูเคชั่น ,กรุงเทพฯ,2538

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

APPLICATION NOTE

AN1982
Applying the oscillator of the SA602 in low-power mixer applications

Donald Anderson

1997 Oct 23

PHILIPS

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Applying the oscillator of the SA602 in low-power mixer applications

AN1982

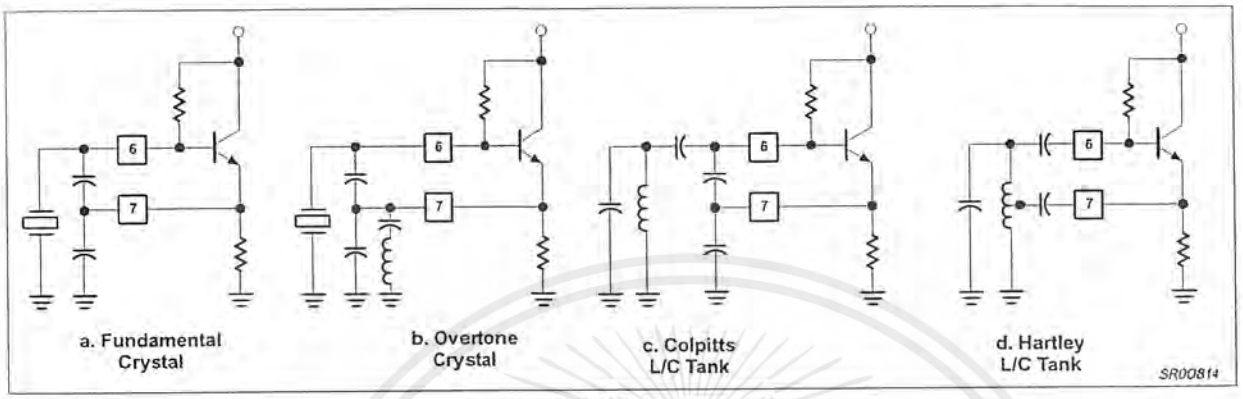


Figure 2.

Crystal Circuit Considerations

Crystal oscillators are relatively easy to implement since crystals exhibit higher Q's than LC tanks. Figure 3 shows a complete implementation of the SA602 (extended temperature version) for cellular radio with a 45MHz first IF and 455kHz second IF.

The crystal is a third overtone parallel mode with 5pF of shunt capacitance and a trap to suppress the fundamental.

LC Tank Circuits

LC tanks present a little greater challenge for the designer. If the Q is too low, the oscillator won't start. A trick which will help if all else fails is to shunt Pin 7 to ground with a 22k resistor. In actual applications this has been effective to 200MHz with high Q ceramic capacitors and a tank inductor of 0.08mH and a Q of 90. Smaller resistor value will upset DC bias because of inadequate base bias at the input of the oscillator. An external bias resistor could be added from VCC to Pin 6, but this will introduce power supply noise to the frequency spectrum.

The Hartley configuration (Figure 2D) offers simplicity. With a variable capacitor tuning the tank, the Hartley will tune a very large range since all of the capacitance is variable. Please note that the inductor must be coupled to Pin 7 with a low impedance capacitor. The Colpitts oscillator will exhibit a smaller tuning range since the fixed feedback capacitors limit variable capacitance range; however, the Colpitts has good frequency stability with proper components.

Synthesized Frequency Control

The SA602 can be very effective with a synthesizer if proper precautions are taken to minimize loading of the tank and the introduction of digital switching transients into the spectrum. Figure 4 shows a circuit suitable for aircraft navigation frequencies (108–118MHz) with 10.7MHz IF.

The dual gate MOSFET provides a high degree of isolation from prescaler switching spikes. As shown in Figure 4, the total current consumption of the SA602 and 3SK126 is typically 3mA. The MOSFET input is from the emitter of the oscillator transistor to avoid loading the tank. The Gate 1 capacitance of the MOSFET in series with the 2pF coupling capacitor adds slightly to the feedback capacitance ratio. Use of the 22k resistor at Pin 7 helps assure oscillation without upsetting DC bias.

For applications where optimum buffering of the tank, or minimum current are not mandatory, or where circuit complexity must be minimized, the buffers shown in Figure 5 can be considered.

The effectiveness of the MRF931 (or other VHF bipolar transistors) will depend on frequency and required input level to the prescaler. A bipolar transistor will generally provide the least isolation. At low frequencies the transistor can be used as an emitter follower, but by VHF the base emitter junction will start to become a bidirectional capacitor and the buffer is lost.

The 2N5484 has an IDSS of 5mA max. and the 2SK126 has IDSS of 6mA max. making them suitable for low parts count, modest current buffers. The isolation is good.

Injected LO

If the application calls for a separate local oscillator, it is acceptable to capacitively-couple 200 to 300mV at Pin 6.

Summary

The SA602 can be an effective low power mixer at frequencies to 500MHz with oscillator operation to 200MHz. All DC bias is provided internal to the device so very compact designs are possible. The internal bias sets the oscillator DC current at a relatively low level so the designer must choose frequency selective components which will not load the transistor. If the guidelines mentioned are followed, excellent results will be achieved.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Applying the oscillator of the SA602 in low-power mixer applications

AN1982

Author: Donald Anderson

INTRODUCTION

For the designer of low power RF systems, the Philips Semiconductors SA602 mixer/oscillator provides mixer operation beyond 500MHz, a versatile oscillator capable of operation to 200MHz, and conversion gain, with only 2.5mA total current consumption. With a proper understanding of the oscillator design considerations, the SA602 can be put to work quickly in many applications.

DESCRIPTION

Figure 1 shows the equivalent circuit of the device. The chip is actually three subsystems: A Gilbert cell mixer (which provides differential input gain), a buffered emitter follower oscillator, and RF current and voltage regulation. Complete integration of the DC bias permits simple and compact application. The simplicity of the oscillator permits many configurations.

While the oscillator is simple, oscillator design isn't. This article will not address the rigors of oscillator design, but some practical guidelines will permit the designer to accomplish good performance with minimum difficulty.

Either crystal or LC tank circuitry can be employed effectively. Figure 2 shows the four most commonly used configurations in their most basic form.

In each case the Q of the tank will affect the upper frequency limits of oscillation: the higher the Q the higher the frequency. The SA602 is fabricated with a 6GHz process, but the emitter resistor from Pin 7 to ground is nominally 20k. With 0.25mA typical bias current, 200MHz oscillation can be achieved with high Q and appropriate feedback.

The feedback, of course, depends on the Q of the tank. It is generally accepted that a minimum amount of feedback should be used, so even if the choice is entirely empirical, a good trade-off between starting characteristics, distortion, and frequency stability can be quickly determined.

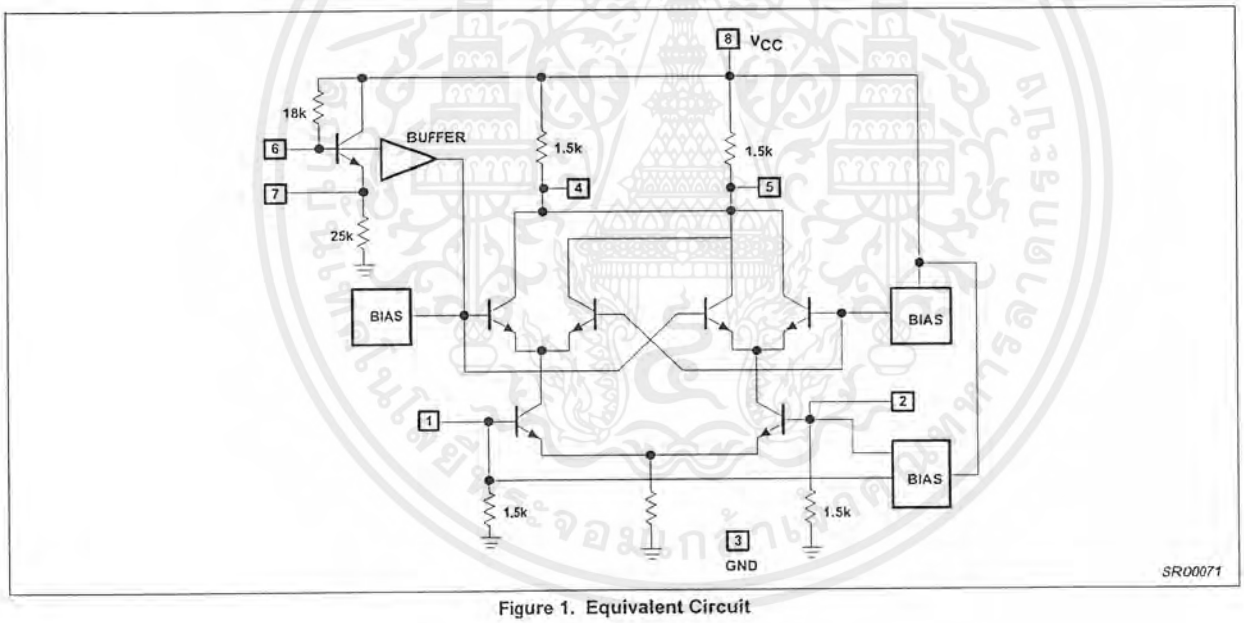


Figure 1. Equivalent Circuit

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Applying the oscillator of the SA602 in low-power mixer applications

AN1982

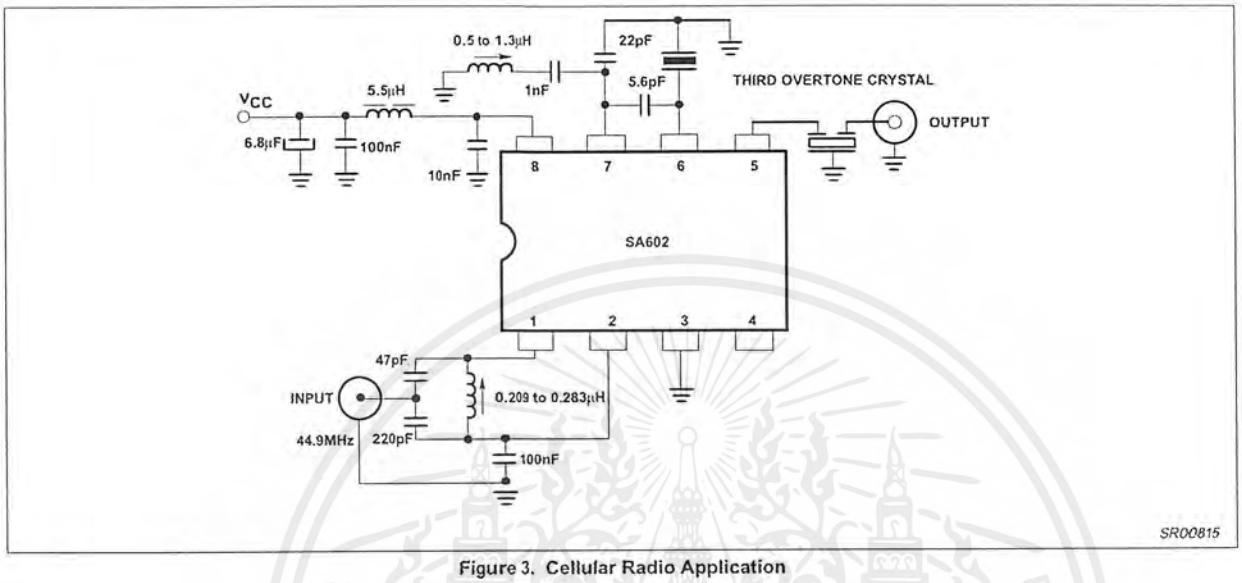


Figure 3. Cellular Radio Application

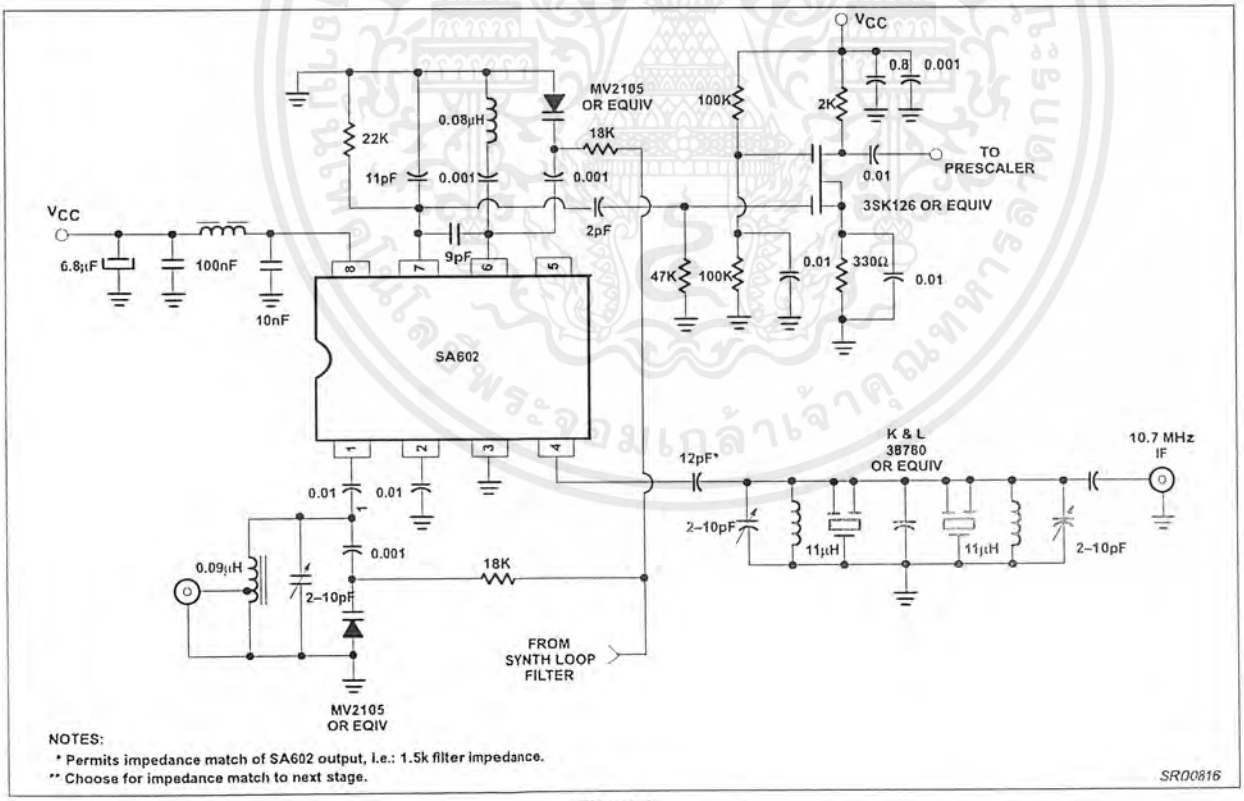


Figure 4.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

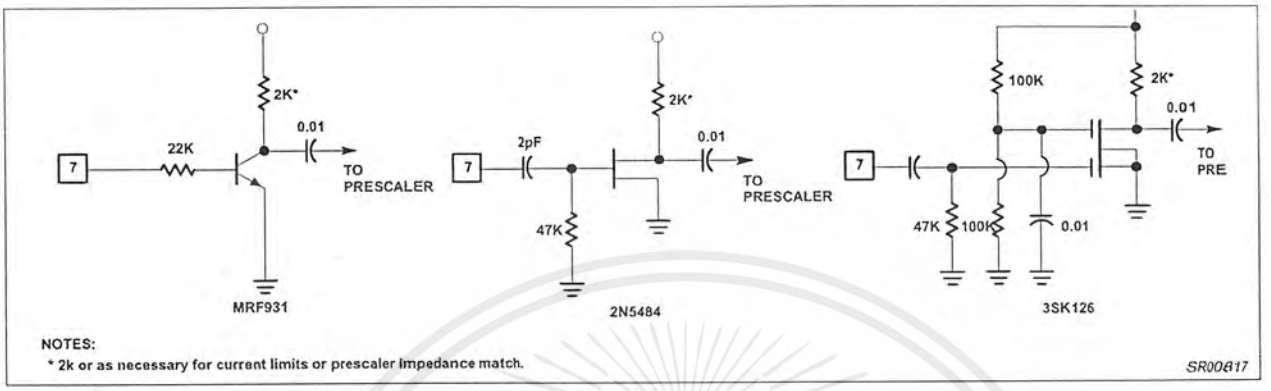


Figure 5.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TL081, TL081A, TL081B, TL082, TL082A, TL082B
TL082Y, TL084, TL084A, TL084B, TL084Y
JFET-INPUT OPERATIONAL AMPLIFIERS

SLOS081E – FEBRUARY 1977 – REVISED FEBRUARY 1999

- Low Power Consumption
- Wide Common-Mode and Differential Voltage Ranges
- Low Input Bias and Offset Currents
- Output Short-Circuit Protection
- Low Total Harmonic Distortion . . . 0.003% Typ
- High Input Impedance . . . JFET-Input Stage
- Latch-Up-Free Operation
- High Slew Rate . . . 13 V/μs Typ
- Common-Mode Input Voltage Range Includes V_{CC+}

description

The TL08x JFET-input operational amplifier family is designed to offer a wider selection than any previously developed operational amplifier family. Each of these JFET-input operational amplifiers incorporates well-matched, high-voltage JFET and bipolar transistors in a monolithic integrated circuit. The devices feature high slew rates, low input bias and offset currents, and low offset voltage temperature coefficient. Offset adjustment and external compensation options are available within the TL08x family.

The C-suffix devices are characterized for operation from 0°C to 70°C. The I-suffix devices are characterized for operation from –40°C to 85°C. The Q-suffix devices are characterized for operation from –40°C to 125°C. The M-suffix devices are characterized for operation over the full military temperature range of –55°C to 125°C.

symbols

Please be aware that an important notice concerning availability, standard warranty, and use in critical applications of Texas Instruments semiconductor products and disclaimers thereto appears at the end of this data sheet.

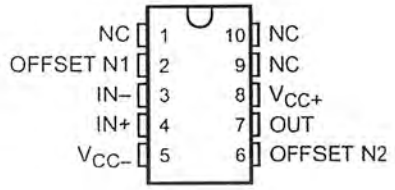
PRODUCTION DATA information is current as of publication date. Products conform to specifications per the terms of Texas Instruments standard warranty. Production processing does not necessarily include testing of all parameters.

Copyright © 1999, Texas Instruments Incorporated

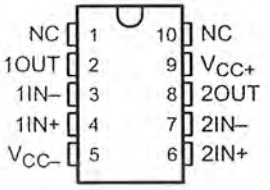
On products compliant to MIL-PRF-38535, all parameters are tested unless otherwise noted. On all other products, production processing does not necessarily include testing of all parameters.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

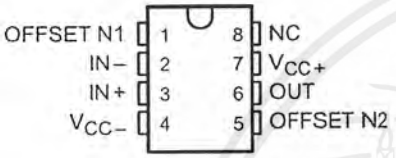
TL081M
U PACKAGE
(TOP VIEW)



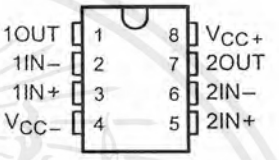
TL082M
U PACKAGE
(TOP VIEW)



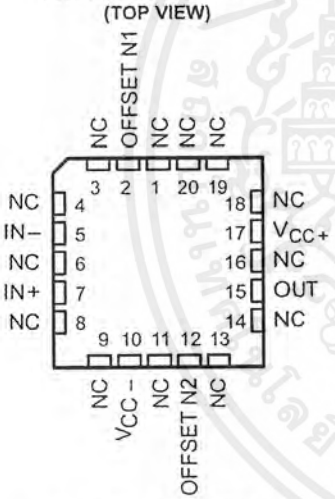
TL081, TL081A, TL081B
D, JG, P, OR PW PACKAGE
(TOP VIEW)



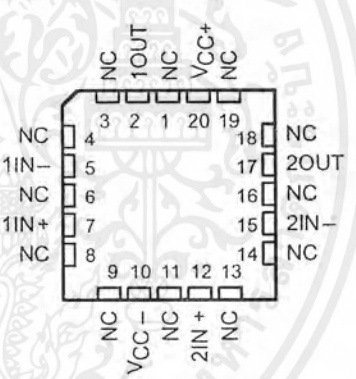
TL082, TL082A, TL082B
D, JG, P, OR PW PACKAGE
(TOP VIEW)



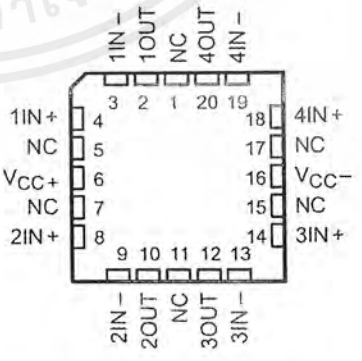
TL081M . . . FK PACKAGE
(TOP VIEW)



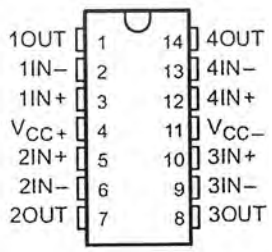
TL082M . . . FK PACKAGE
(TOP VIEW)



TL084M . . . FK PACKAGE
(TOP VIEW)



TL084, TL084A, TL084B
D, J, N, PW, OR W PACKAGE
(TOP VIEW)



NC – No internal connection

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

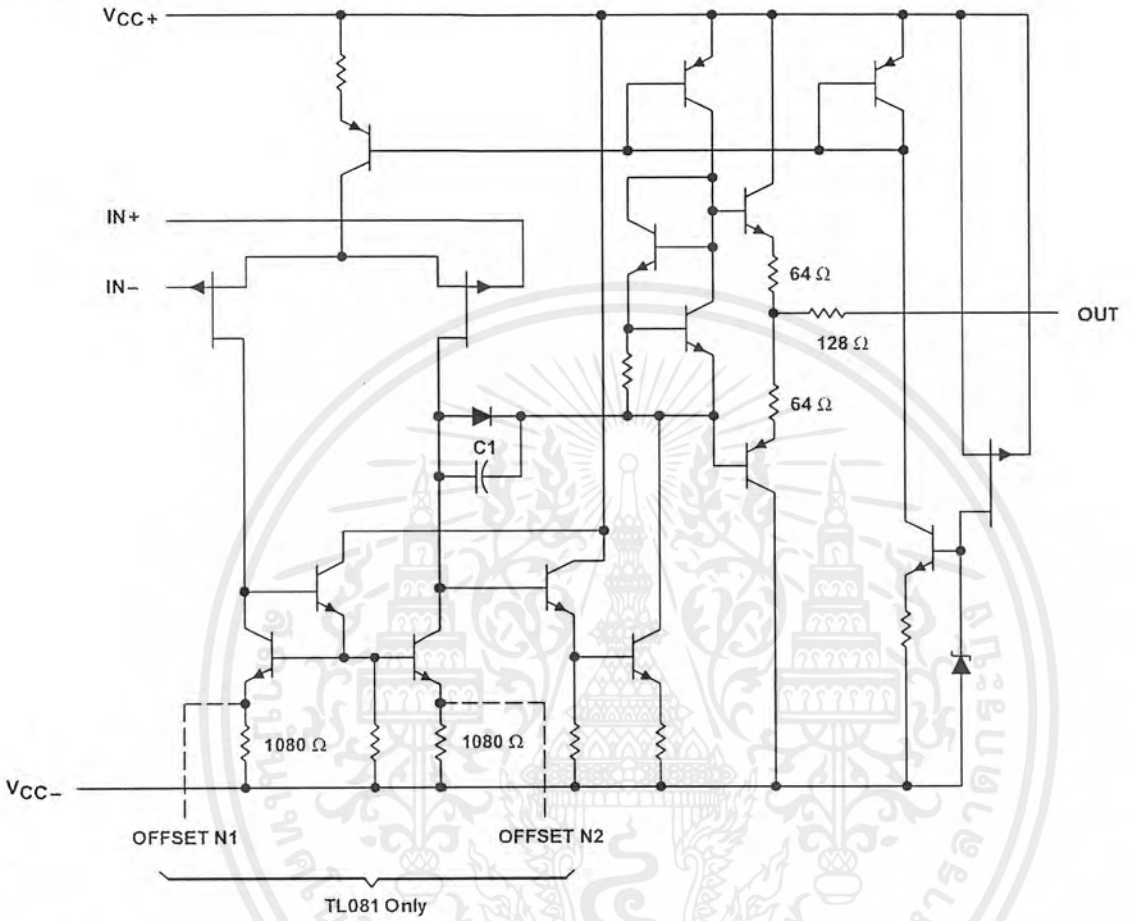
AVAILABLE OPTIONS

T_A	V_{IO}max AT 25°C	PACKAGED DEVICES										CHIP FORM (Y)
		SMALL OUTLINE (D008)	SMALL OUTLINE (D014)	CHIP CARRIER (FK)	CERAMIC DIP (J)	CERAMIC DIP (JG)	PLASTIC DIP (N)	PLASTIC DIP (P)	TSSOP (PW)	FLAT PACK (U)	FLAT PACK (W)	
0°C to 70°C	15 mV	TL081CD	—	—	—	—	—	TL081CP	TL081CPW	—	—	—
	6 mV	TL081ACD						TL081ACP				
	3 mV	TL081BCD						TL081BCP				
	15 mV	TL082CD	—	—	—	—	—	TL082CP	TL082CPW	—	—	TL082Y
	6 mV	TL082ACD						TL082ACP				
	3 mV	TL082BCD						TL082BCP				
	15 mV	—	TL084CD	—	—	—	TL084CN	—	TL084CPW	—	—	TL084Y
	6 mV		TL084ACD				TL084ACN					
	3 mV		TL084BCD				TL084BCN					
–40°C to 85°C	6 mV	TL081ID	—	—	—	—	—	TL081IP	—	—	—	—
	6 mV	TL082ID						TL082IP				
	6 mV	TL084ID	TL084ID				TL084IN					
–40°C to 125°C	9 mV	—	TL084QD	—	—	—	—	—	—	—	—	—
–55°C to 125°C	6 mV	—	—	TL081MFK		TL081MJG	—	—	—	TL081MU	TL084MW	—
	6 mV			TL082MFK		TL082MJG				TL082MU		
	9 mV			TL084MFK	TL084MJ							

The D package is available taped and reeled. Add R suffix to the device type (e.g., TL081CDR).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

schematic (each amplifier)

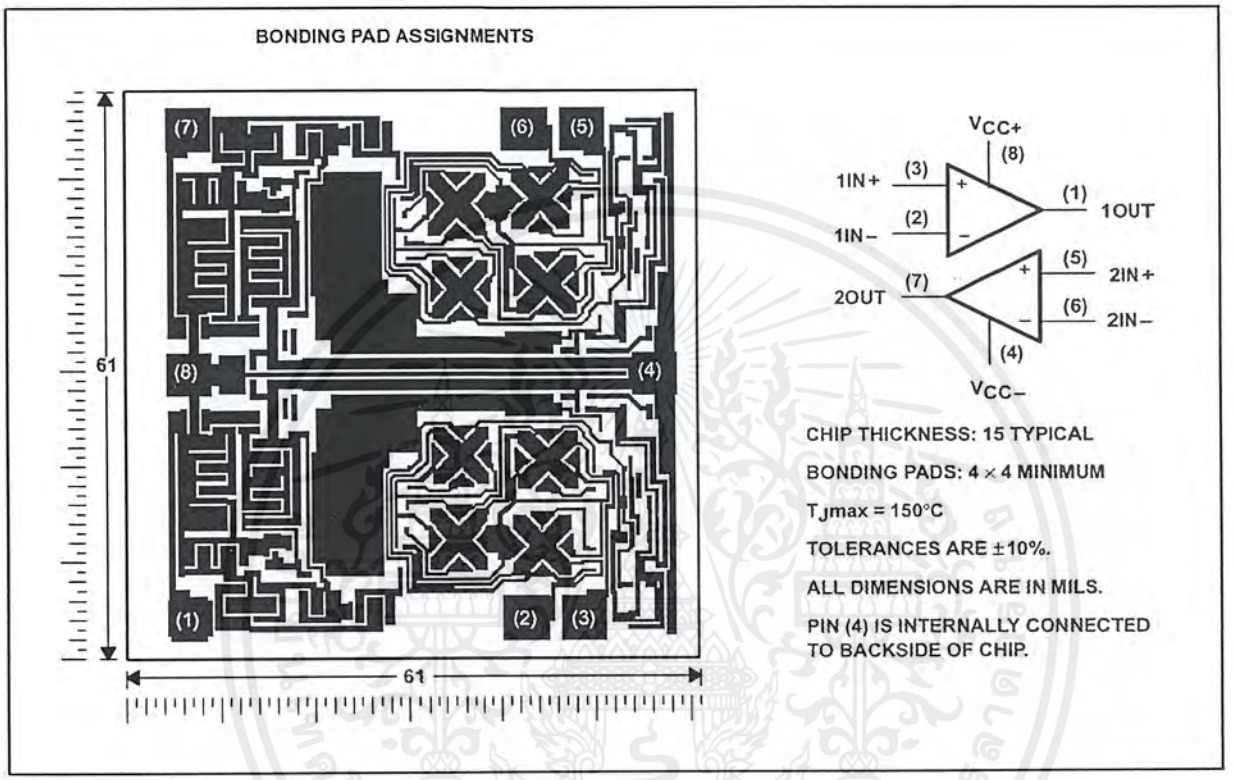


Component values shown are nominal.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TL082Y chip information

These chips, when properly assembled, display characteristics similar to the TL082. Thermal compression or ultrasonic bonding may be used on the doped-aluminum bonding pads. Chips may be mounted with conductive epoxy or a gold-silicon preform.



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

absolute maximum ratings over operating free-air temperature range (unless otherwise noted)†

		TL08_C TL08_AC TL08_BC	TL08_I	TL084Q	TL08_M	UNIT
Supply voltage, V_{CC+} (see Note 1)		18	18	18	18	V
Supply voltage V_{CC-} (see Note 1)		−18	−18	−18	−18	V
Differential input voltage, V_{ID} (see Note 2)		±30	±30	±30	±30	V
Input voltage, V_I (see Notes 1 and 3)		±15	±15	±15	±15	V
Duration of output short circuit (see Note 4)		unlimited	unlimited	unlimited	unlimited	
Continuous total power dissipation		See Dissipation Rating Table				
Operating free-air temperature range, T_A		0 to 70	– 40 to 85	– 40 to 125	– 55 to 125	°C
Storage temperature range, T_{stg}		– 65 to 150	– 65 to 150	– 65 to 150	– 65 to 150	°C
Case temperature for 60 seconds, T_C	FK package				260	°C
Lead temperature 1,6 mm (1/16 inch) from case for 60 seconds	J or JG package				300	°C
Lead temperature 1,6 mm (1/16 inch) from case for 10 seconds	D, N, P, or PW package	260	260	260		°C

† Stresses beyond those listed under "absolute maximum ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated under "recommended operating conditions" is not implied. Exposure to absolute-maximum-rated conditions for extended periods may affect device reliability.

NOTES: 1. All voltage values, except differential voltages, are with respect to the midpoint between V_{CC+} and V_{CC-}.
2. Differential voltages are at IN+ with respect to IN−.
3. The magnitude of the input voltage must never exceed the magnitude of the supply voltage or 15 V, whichever is less.
4. The output may be shorted to ground or to either supply. Temperature and/or supply voltages must be limited to ensure that the dissipation rating is not exceeded.

DISSIPATION RATING TABLE

PACKAGE	$T_A \le 25°C$ POWER RATING	DERATING FACTOR	DERATE ABOVE T_A	$T_A = 70°C$ POWER RATING	$T_A = 85°C$ POWER RATING	$T_A = 125°C$ POWER RATING
D (8 pin)	680 mW	5.8 mW/°C	32°C	460 mW	373 mW	N/A
D (14 pin)	680 mW	7.6 mW/°C	60°C	604 mW	490 mW	186 mW
FK	680 mW	11.0 mW/°C	88°C	680 mW	680 mW	273 mW
J	680 mW	11.0 mW/°C	88°C	680 mW	680 mW	273 mW
JG	680 mW	8.4 mW/°C	69°C	672 mW	546 mW	210 mW
N	680 mW	9.2 mW/°C	76°C	680 mW	597 mW	N/A
P	680 mW	8.0 mW/°C	65°C	640 mW	520 mW	N/A
PW (8 pin)	525 mW	4.2 mW/°C	25°C	336 mW	N/A	N/A
PW (14 pin)	700 mW	5.6 mW/°C	25°C	448 mW	N/A	N/A
U	675 mW	5.4 mW/°C	25°C	432 mW	351 mW	135 mW
W	680 mW	8.0 mW/°C	65°C	640 mW	520 mW	200 mW

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FAIRCHILD
SEMICONDUCTOR™

October 1987
Revised January 1999

CD4046BC
Micropower Phase-Locked Loop

General Description

The CD4046BC micropower phase-locked loop (PLL) consists of a low power, linear, voltage-controlled oscillator (VCO), a source follower, a zener diode, and two phase comparators. The two phase comparators have a common signal input and a common comparator input. The signal input can be directly coupled for a large voltage signal, or capacitively coupled to the self-biasing amplifier at the signal input for a small voltage signal.

Phase comparator I, an exclusive OR gate, provides a digital error signal (phase comp. I Out) and maintains 90° phase shifts at the VCO center frequency. Between signal input and comparator input (both at 50% duty cycle), it may lock onto the signal input frequencies that are close to harmonics of the VCO center frequency.

Phase comparator II is an edge-controlled digital memory network. It provides a digital error signal (phase comp. II Out) and lock-in signal (phase pulses) to indicate a locked condition and maintains a 0° phase shift between signal input and comparator input.

The linear voltage-controlled oscillator (VCO) produces an output signal (VCO Out) whose frequency is determined by the voltage at the VCO_{IN} input, and the capacitor and resistors connected to pin $C1_A$, $C1_B$, R1 and R2.

The source follower output of the VCO_{IN} (demodulator Out) is used with an external resistor of 10 kΩ or more.

The INHIBIT input, when high, disables the VCO and source follower to minimize standby power consumption. The zener diode is provided for power supply regulation, if necessary.

Features

- Wide supply voltage range: 3.0V to 18V
- Low dynamic power consumption: 70 μW (typ.) at f_o = 10 kHz, V_{DD} = 5V
- VCO frequency: 1.3 MHz (typ.) at V_{DD} = 10V
- Low frequency drift: 0.06%/°C at V_{DD} = 10V with temperature
- High VCO linearity: 1% (typ.)

Applications

- FM demodulator and modulator
- Frequency synthesis and multiplication
- Frequency discrimination
- Data synchronization and conditioning
- Voltage-to-frequency conversion
- Tone decoding
- FSK modulation
- Motor speed control

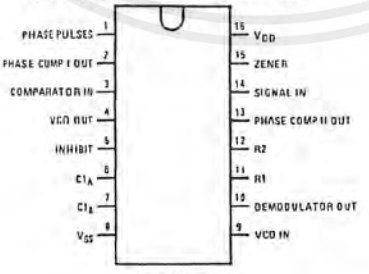
Ordering Code:

Order Number	Package Number	Package Description
CD4046BCM	M16A	16-Lead Small Outline Integrated Circuit (SOIC), JEDEC MS-012, 0.150" Narrow Body
CD4046BCN	N16E	16-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300" Wide

Devices also available in Tape and Reel. Specify by appending the suffix letter "X" to the ordering code.

Connection Diagram

Pin Assignments for SOIC and DIP



Top View

© 1999 Fairchild Semiconductor Corporation

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Block Diagram

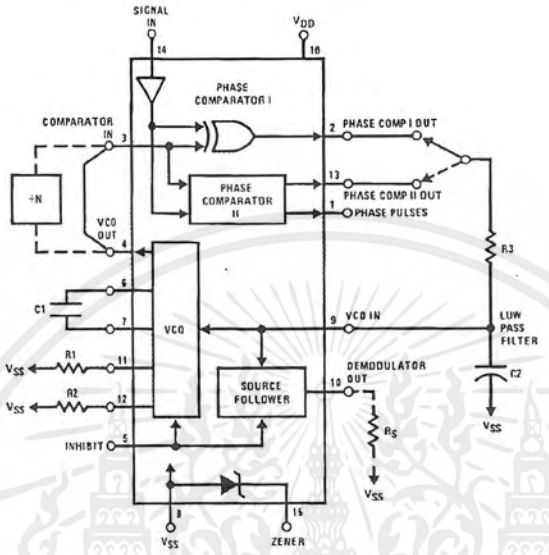


FIGURE 1.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings (Note 1)

(Note 2)

DC Supply Voltage (V_{DD})	−0.5 to +18 V_{DC}
Input Voltage (V_{IN})	−0.5 to V_{DD} +0.5 V_{DC}
Storage Temperature Range (T_S)	−65°C to +150°C
Power Dissipation (P_D)	
Dual-In-Line	700 mW
Small Outline	500 mW
Lead Temperature (T_L)	
(Soldering, 10 seconds)	260°C

Recommended Operating Conditions (Note 2)

DC Supply Voltage (V_{DD})	3 to 15 V_{DC}
Input Voltage (V_{IN})	0 to V_{DD} V_{DC}
Operating Temperature Range (T_A)	−40°C to +85°C

Note 1: "Absolute Maximum Ratings" are those values beyond which the safety of the device cannot be guaranteed. They are not meant to imply that the devices should be operated at these limits. The table of "Recommended Operating Conditions" and "Electrical Characteristics" provides conditions for actual device operation.

Note 2: V_{SS} = 0V unless otherwise specified.

DC Electrical Characteristics (Note 2)

Symbol	Parameter	Conditions	−40°C		+25°C			+85°C		Units
			Min	Max	Min	Typ	Max	Min	Max	
I_{DD}	Quiescent Device Current	Pin 5 = V_{DD}, Pin 14 = V_{DD}, Pin 3, 9 = V_{SS}								
		V_{DD} = 5V		20		0.005	20		150	µA
		V_{DD} = 10V		40		0.01	40		300	µA
		V_{DD} = 15V		80		0.015	80		600	µA
		Pin 5 = V_{DD}, Pin 14 = Open, Pin 3, 9 = V_{SS}								
		V_{DD} = 5V		70		5	55		205	µA
		V_{DD} = 10V		530		20	410		710	µA
		V_{DD} = 15V		1500		50	1200		1800	µA
V_{OL}	LOW Level Output Voltage	V_{DD} = 5V		0.05		0	0.05		0.05	V
		V_{DD} = 10V		0.05		0	0.05		0.05	V
		V_{DD} = 15V		0.05		0	0.05		0.05	V
V_{OH}	HIGH Level Output Voltage	V_{DD} = 5V	4.95		4.95	5		4.95		V
		V_{DD} = 10V	9.95		9.95	10		9.95		V
		V_{DD} = 15V	14.95		14.95	15		14.95		V
V_{IL}	LOW Level Input Voltage Comparator and Signal In	V_{DD} = 5V, V_O = 0.5V or 4.5V		1.5		2.25	1.5		1.5	V
		V_{DD} = 10V, V_O = 1V or 9V		3.0		4.5	3.0		3.0	V
		V_{DD} = 15V, V_O = 1.5V or 13.5V		4.0		6.25	4.0		4.0	V
V_{IH}	HIGH Level Input Voltage Comparator and Signal In	V_{DD} = 5V, V_O = 0.5V or 4.5V	3.5		3.5	2.75		3.5		V
		V_{DD} = 10V, V_O = 1V or 9V	7.0		7.0	5.5		7.0		V
		V_{DD} = 15V, V_O = 1.5V or 13.5V	11.0		11.0	8.25		11.0		V
I_{OL}	LOW Level Output Current (Note 4)	V_{DD} = 5V, V_O = 0.4V	0.52		0.44	0.88		0.36		mA
		V_{DD} = 10V, V_O = 0.5V	1.3		1.1	2.25		0.9		mA
		V_{DD} = 15V, V_O = 1.5V	3.6		3.0	8.8		2.4		mA
I_{OH}	HIGH Level Output Current (Note 4)	V_{DD} = 5V, V_O = 4.6V	−0.52		−0.44	−0.88		−0.36		mA
		V_{DD} = 10V, V_O = 9.5V	−1.3		−1.1	−2.25		−0.9		mA
		V_{DD} = 15V, V_O = 13.5V	−3.6		−3.0	−8.8		−2.4		mA
I_{IN}	Input Current	All Inputs Except Signal Input								
		V_{DD} = 15V, V_{IN} = 0V		−0.3		-10^{-5}	−0.3		−1.0	µA
		V_{DD} = 15V, V_{IN} = 15V		0.3		10^{-5}	0.3		1.0	µA
C_{IN}	Input Capacitance	Any Input (Note 3)					7.5			pF
P_T	Total Power Dissipation	f_o = 10 kHz, R1 = 1 MΩ, R2 = ∞, $C_{XO_{IN}} = C_{AA}/2$								
		V_{DD} = 5V				0.07				mW
		V_{DD} = 10V				0.6				mW
		V_{DD} = 15V				2.4				mW

Note 3: Capacitance is guaranteed by periodic testing.

Note 4: I_{OH} and I_{OL} are tested one output at a time.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC Electrical Characteristics (Note 5)

$T_A = 25°C$, $C_L = 50$ pF

Symbol	Parameter	Conditions	Min	Typ	Max	Units
VCO SECTION						
I_{DD}	Operating Current	f_o = 10 kHz, R1 = 1 MΩ,				
		R2 = ∞, $V_{CO_{IN}} = V_{DD}/2$				
		V_{DD} = 5V		20		μA
		V_{DD} = 10V		90		μA
		V_{DD} = 15V		200		μA
f_{MAX}	Maximum Operating Frequency	C1 = 50 pF, R1 = 10 kΩ,				
		R2 = ∞, $V_{CO_{IN}} = V_{DD}$				
		V_{DD} = 5V	0.4	0.8		MHz
		V_{DD} = 10V	0.6	1.2		MHz
		V_{DD} = 15V	1.0	1.6		MHz
	Linearity	VCO_{IN} = 2.5V ±0.3V,				
		R1 ≥ 10 kΩ, V_{DD} = 5V		1		%
		VCO_{IN} = 5V ±2.5V,				
		R1 ≥ 400 kΩ, V_{DD} = 10V		1		%
		VCO_{IN} = 7.5V ±5V,				
		R1 ≥ 1 MΩ, V_{DD} = 15V		1		%
	Temperature-Frequency Stability	%/°C = 1/δ, V_{DD}				
	No Frequency Offset, $f_{MIN} = 0$	R2 = ∞				
		V_{DD} = 5V		0.12–0.24		%/°C
		V_{DD} = 10V		0.04–0.08		%/°C
		V_{DD} = 15V		0.015–0.03		%/°C
	Frequency Offset, $f_{MIN} \neq 0$	V_{DD} = 5V		0.06–0.12		%/°C
		V_{DD} = 10V		0.05–0.1		%/°C
		V_{DD} = 15V		0.03–0.06		%/°C
VCO_{IN}	Input Resistance	V_{DD} = 5V		10^5		MΩ
		V_{DD} = 10V		10^6		MΩ
		V_{DD} = 15V		10^6		MΩ
VCO	Output Duty Cycle	V_{DD} = 5V		50		%
		V_{DD} = 10V		50		%
		V_{DD} = 15V		50		%
t_{THL}	VCO Output Transition Time	V_{DD} = 5V		90	200	ns
t_{TLH}		V_{DD} = 10V		50	100	ns
		V_{DD} = 15V		45	80	ns
PHASE COMPARATORS SECTION						
R_{IN}	Input Resistance					
	Signal Input	V_{DD} = 5V	1	3		MΩ
		V_{DD} = 10V	0.2	0.7		MΩ
		V_{DD} = 15V	0.1	0.3		MΩ
	Comparator Input	V_{DD} = 5V		10^6		MΩ
		V_{DD} = 10V		10^6		MΩ
		V_{DD} = 15V		10^6		MΩ
	AC-Coupled Signal Input Voltage Sensitivity	C_{SERIES} = 1000 pF				
		f = 50 kHz				
		V_{DD} = 5V		200	400	mV
		V_{DD} = 10V		400	800	mV
		V_{DD} = 15V		700	1400	mV

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC Electrical Characteristics (Continued)

Symbol	Parameter	Conditions	Min	Typ	Max	Units
DEMODULATOR OUTPUT						
VCO_{IN} - V_{DEM}	Offset Voltage	RS ≥ 10 kΩ, V_{DD} = 5V		1.50	2.2	V
		RS ≥ 10 kΩ, V_{DD} = 10V		1.50	2.2	V
		RS ≥ 50 kΩ, V_{DD} = 15V		1.50	2.2	V
	Linearity	RS ≥ 50 kΩ				
		VCO_{IN} = 2.5V ±0.3V, V_{DD} = 5V		0.1		%
		VCO_{IN} = 5V ±2.5V, V_{DD} = 10V		0.6		%
		VCO_{IN} = 7.5V ±5V, V_{DD} = 15V		0.8		%
ZENER DIODE						
V_Z	Zener Diode Voltage	I_Z = 50 µA	6.3	7.0	7.7	V
R_Z	Zener Dynamic Resistance	I_Z = 1 mA		100		Ω

Note 5: AC Parameters are guaranteed by DC correlated testing.

Phase Comparator State Diagrams

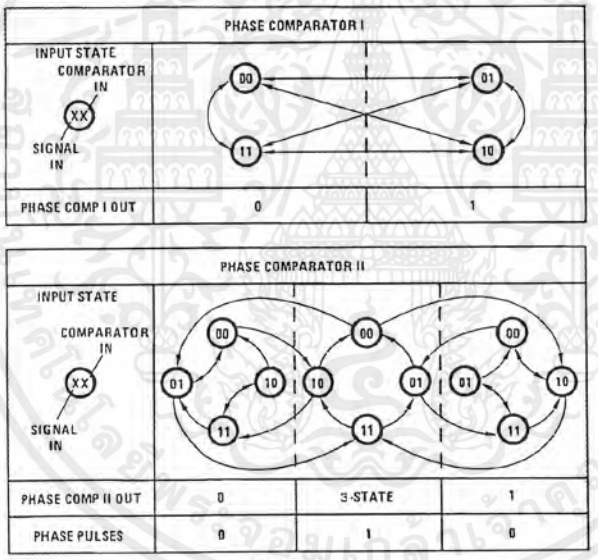


FIGURE 2.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Waveforms

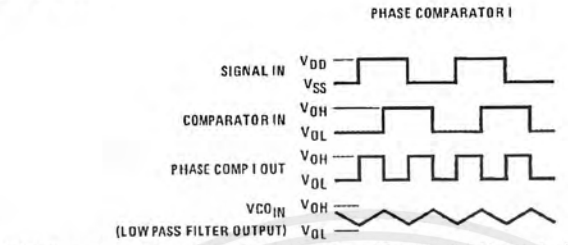


FIGURE 3. Typical Waveform Employing Phase Comparator I in Locked Condition

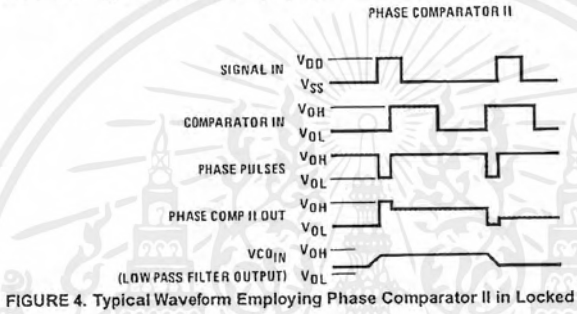


FIGURE 4. Typical Waveform Employing Phase Comparator II in Locked Condition

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

XR-2211

FSK Demodulator/ Tone Decoder

EXAR ...the analog plus company™

June 1997-3

FEATURES

- Wide Frequency Range, 0.01Hz to 300kHz
- Wide Supply Voltage Range, 4.5V to 20V
- HCMOS/TTL/Logic Compatibility
- FSK Demodulation, with Carrier Detection
- Wide Dynamic Range, 10mV to 3V rms
- Adjustable Tracking Range, ±1% to 80%
- Excellent Temp. Stability, ±50ppm/°C, max.

APPLICATIONS

- Caller Identification Delivery
- FSK Demodulation
- Data Synchronization
- Tone Decoding
- FM Detection
- Carrier Detection

GENERAL DESCRIPTION

The XR-2211 is a monolithic phase-locked loop (PLL) system especially designed for data communications applications. It is particularly suited for FSK modem applications. It operates over a wide supply voltage range of 4.5 to 20V and a wide frequency range of 0.01Hz to 300kHz. It can accommodate analog signals between 10mV and 3V, and can interface with conventional DTL, TTL, and ECL logic families. The circuit consists of a basic PLL for tracking an input signal within the pass band, a quadrature phase detector which provides carrier detection, and an FSK voltage comparator which provides FSK demodulation. External components are used to independently set center frequency, bandwidth, and output delay. An internal voltage reference proportional to the power supply is provided at an output pin.

The XR-2211 is available in 14 pin packages specified for military and industrial temperature ranges.

ORDERING INFORMATION

Part No.	Package	Operating Temperature Range
XR-2211M	14 Pin CDIP (0.300")	-55°C to +125°C
XR-2211N	14 Pin CDIP (0.300")	-40°C to +85°C
XR-2211P	14 Pin PDIP (0.300")	-40°C to +85°C
XR-2211ID	14 Lead SOIC (Jedec, 0.150")	-40°C to +85°C

©1992

EXAR Corporation, 48720 Kato Road, Fremont, CA 94538 ◆ (510) 668-7000 ◆ FAX (510) 668-7017

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

BLOCK DIAGRAM

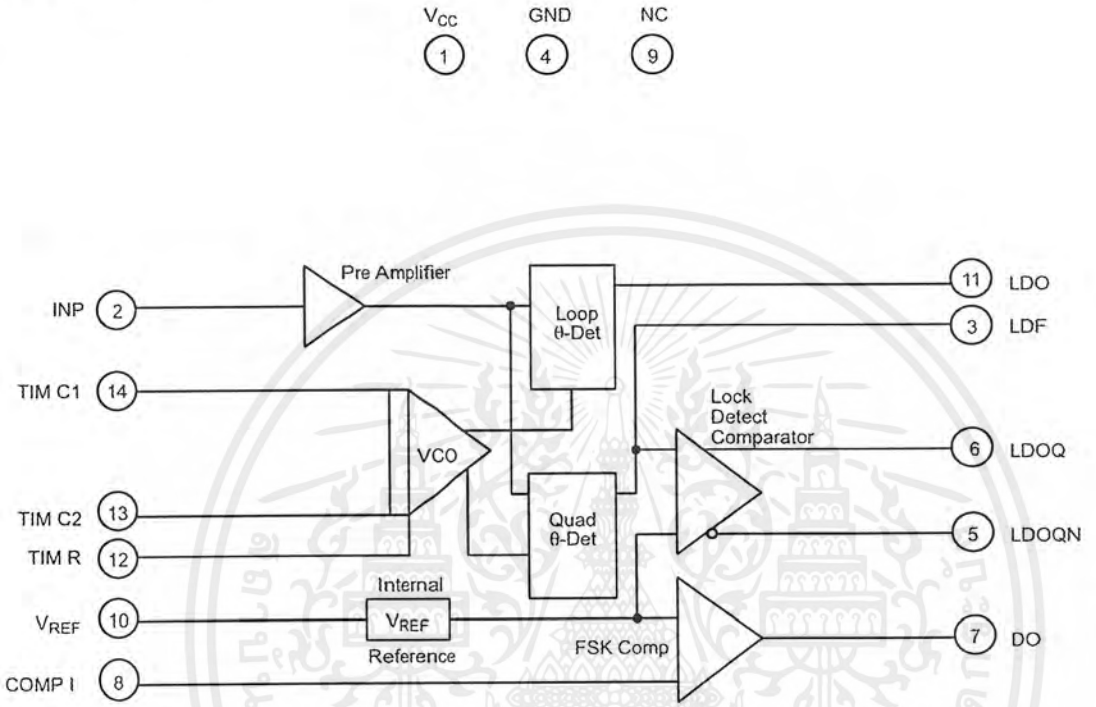
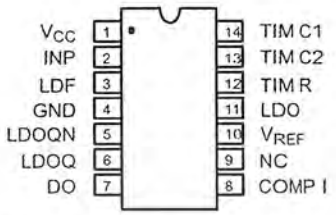


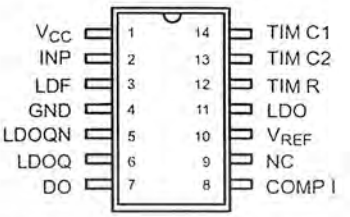
Figure 1. XR-2211 Block Diagram

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PIN CONFIGURATION



14 Lead CDIP, PDIP (0.300")



14 Lead SOIC (Jedec, 0.150")

PIN DESCRIPTION

Pin #	Symbol	Type	Description
1	V_{CC}		**Positive Power Supply.**
2	INP	I	**Receive Analog Input.**
3	LDF	O	**Lock Detect Filter.**
4	GND		**Ground Pin.**
5	LDOQN	O	**Lock Detect Output Not.** This output will be low if the VCO is in the capture range.
6	LDOQ	O	**Lock Detect Output.** This output will be high if the VCO is in the capture range.
7	DO	O	**Data Output.** Decoded FSK output.
8	COMP I	I	**FSK Comparator Input.**
9	NC		**Not Connected.**
10	V_{REF}	O	**Internal Voltage Reference.** The value of V_{REF} is $V_{CC}/2$ - 650mV.
11	LDO	O	**Loop Detect Output.** This output provides the result of the quadrature phase detection.
12	TIM R	I	**Timing Resistor Input.** This pin connects to the timing resistor of the VCO.
13	TIM C2	I	**Timing Capacitor Input.** The timing capacitor connects between this pin and pin 14.
14	TIM C1	I	**Timing Capacitor Input.** The timing capacitor connects between this pin and pin 13.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS

Test Conditions: V_{CC} = 12V, T_A = +25°C, R_O = 30KΩ, C_O = 0.033μF, unless otherwise specified.

Parameter	Min.	Typ.	Max.	Unit	Conditions
General					
Supply Voltage	**4.5**		**20**	V	
Supply Current		4	**7**	mA	$R_0 \geq$ 10KΩ. See *Figure 4.*
Oscillator Section					
Frequency Accuracy		±1	**±3**	%	Deviation from $f_O = 1/R_0 C_0$
Frequency Stability					
Temperature		±20	±50	ppm/°C	See *Figure 8.*
Power Supply		0.05	**0.5**	%/V	V_{CC} = 12 ±1V. See *Figure 7.*
		0.2		%/V	V_{CC} = ± 5V. See *Figure 7.*
Upper Frequency Limit	**100**	300		kHz	R_0 = 8.2KΩ, C_0 = 400pF
Lowest Practical Operating Frequency			0.01	Hz	R_0 = 2MΩ, C_0 = 50μF
Timing Resistor, R_0 - See *Figure 5*					
Operating Range	**5**		2000	KΩ	
Recommended Range	5			KΩ	See *Figure 7* and *Figure 8.*
Loop Phase Dectector Section					
Peak Output Current	**±150**	±200	**±300**	μA	Measured at Pin 11
Output Offset Current		1		μA	
Output Impedance		1		MΩ	
Maximum Swing	±4	± 5		V	Referenced to Pin 10
Quadrature Phase Detector					Measured at Pin 3
Peak Output Current	**100**	300		μA	
Output Impedance		1		MΩ	
Maximum Swing		11		V_{PP}	
Input Preampt Section					Measured at Pin 2
Input Impedance		20		KΩ	
Input Signal					
Voltage Required to Cause Limiting		2	10	mV rms	

Notes
Parameters are guaranteed over the recommended operating conditions, but are not 100% tested in production.
***Bold face parameters** are covered by production test and guaranteed over operating temperature range.*

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DC ELECTRICAL CHARACTERISTICS (CONT'D)

Test Conditions: V_{CC} = 12V, T_A = +25°C, R_O = 30KΩ, C_O = 0.033μF, unless otherwise specified.

Parameter	Min.	Typ.	Max.	Unit	Conditions
Voltage Comparator Section					
Input Impedance		2		MΩ	Measured at Pins 3 and 8
Input Bias Current		100		nA	
Voltage Gain	55	70		dB	R_L = 5.1KΩ
Output Voltage Low		300	**500**	mV	I_C = 3mA
Output Leakage Current		0.01	**10**	μA	V_O = 20V
Internal Reference					
Voltage Level	**4.9**	5.3	**5.7**	V	Measured at Pin 10
Output Impedance		100		Ω	AC Small Signal
Maximum Source Current		80		μA	

Notes
Parameters are guaranteed over the recommended operating conditions, but are not 100% tested in production.
***Bold face parameters** are covered by production test and guaranteed over operating temperature range.*

Specifications are subject to change without notice

ABSOLUTE MAXIMUM RATINGS

Power Supply 20V
Input Signal Level ..... 3V rms
Power Dissipation 900mW

Package Power Dissipation Ratings
CDIP 750mW
Derate Above T_A = 25°C ..... 8mW/°C
PDIP 800mW
Derate Above T_A = 25°C ..... 60mW/°C
SOIC 390mW
Derate Above T_A = 25°C ..... 5mW/°C

SYSTEM DESCRIPTION

The main PLL within the XR-2211 is constructed from an input preamplifier, analog multiplier used as a phase detector and a precision voltage controlled oscillator (VCO). The preamplifier is used as a limiter such that input signals above typically 10mV rms are amplified to a constant high level signal. The multiplying-type phase detector acts as a digital exclusive or gate. Its output (unfiltered) produces sum and difference frequencies of the input and the VCO output. The VCO is actually a current controlled oscillator with its normal input current (f_O) set by a resistor (R_0) to ground and its driving current with a resistor (R_1) from the phase detector.

The output of the phase detector produces sum and difference of the input and the VCO frequencies (internally connected). When in lock, these frequencies are f_{IN}+ f_{VCO} (2 times f_{IN} when in lock) and f_{IN} - f_{VCO} (0Hz when lock). By adding a capacitor to the phase detector output, the 2 times f_{IN} component is reduced, leaving a DC voltage that represents the phase difference between the two frequencies. This closes the loop and allows the VCO to track the input frequency.

The FSK comparator is used to determine if the VCO is driven above or below the center frequency (FSK comparator). This will produce both active high and active low outputs to indicate when the main PLL is in lock (quadrature phase detector and lock detector comparator).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DATA SHEET

SA614A
Low power FM IF system

Product specification
Replaces data of December 15, 1994
IC17 Data Handbook

1997 Nov 07

Philips Semiconductors

PHILIPS

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Low power FM IF system SA614A

DESCRIPTION

The SA614A is an improved monolithic low-power FM IF system incorporating two limiting intermediate frequency amplifiers, quadrature detector, muting, logarithmic received signal strength indicator, and voltage regulator. The SA614A features higher IF bandwidth (25MHz) and temperature compensated RSSI and limiters permitting higher performance application compared with the SA604. The SA614A is available in a 16-lead dual-in-line plastic and 16-lead SO (surface-mounted miniature) package.

FEATURES

- Low power consumption: 3.3mA typical
- Temperature compensated logarithmic Received Signal Strength Indicator (RSSI) with a dynamic range in excess of 90dB
- Two audio outputs - muted and unmuted
- Low external component count; suitable for crystal/ceramic filters
- Excellent sensitivity: 1.5µV across input pins (0.22µV into 50Ω matching network) for 12dB SINAD (Signal to Noise and Distortion ratio) at 455kHz
- SA614A meets cellular radio specifications

PIN CONFIGURATION

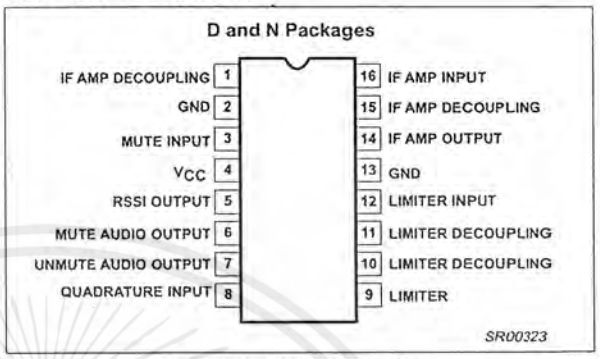


Figure 1. Pin Configuration

APPLICATIONS

- Cellular radio FM IF
- High performance communications receivers
- Intermediate frequency amplification and detection up to 25MHz
- RF level meter
- Spectrum analyzer
- Instrumentation
- FSK and ASK data receivers

ORDERING INFORMATION

DESCRIPTION	TEMPERATURE RANGE	ORDER CODE	DWG #
16-Pin Plastic Dual In-Line Package (DIP)	-40 to +85°C	SA614AN	SOT38-4
16-Pin Plastic Small Outline (SO) package (Surface-mount)	-40 to +85°C	SA614AD	SOT109-1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC ELECTRICAL CHARACTERISTICS

Typical reading at $T_A = 25^{\circ}C$; $V_{CC} = \pm 6V$, unless otherwise stated. IF frequency = 455kHz; IF level = -47dBm; FM modulation = 1kHz with ±8kHz peak deviation. Audio output with C-message weighted filter and de-emphasis capacitor. Test circuit Figure 3. The parameters listed below are tested using automatic test equipment to assure consistent electrical characteristics. The limits do not represent the ultimate performance limits of the device. Use of an optimized RF layout will improve many of the listed parameters.

SYMBOL	PARAMETER	TEST CONDITIONS	LIMITS			UNITS
			SA614A			
			MIN	TYP	MAX	
	Input limiting -3dB	Test at Pin 16		-92		dBm/50Ω
	AM rejection	80% AM 1kHz	25	33		dB
	Recovered audio level	15nF de-emphasis	60	175	260	mV_{RMS}
	Recovered audio level	150pF de-emphasis		530		mV_{RMS}
THD	Total harmonic distortion		-30	-42		dB
S/N	Signal-to-noise ratio	No modulation for noise		68		dB
	RSSI output[1]	RF level = -118dBm	0	160	800	mV
		RF level = -68dBm	1.7	2.50	3.3	V
		RF level = -18dBm	3.6	4.80	5.8	V
	RSSI range	R_4 = 100k (Pin 5)		80		dB
	RSSI accuracy	R_4 = 100k (Pin 5)		±2.0		dB
	IF input impedance		1.4	1.6		kΩ
	IF output impedance		0.85	1.0		kΩ
	Limiter input impedance		1.4	1.6		kΩ
	Unmuted audio output resistance			58		kΩ
	Muted audio output resistance			58		kΩ

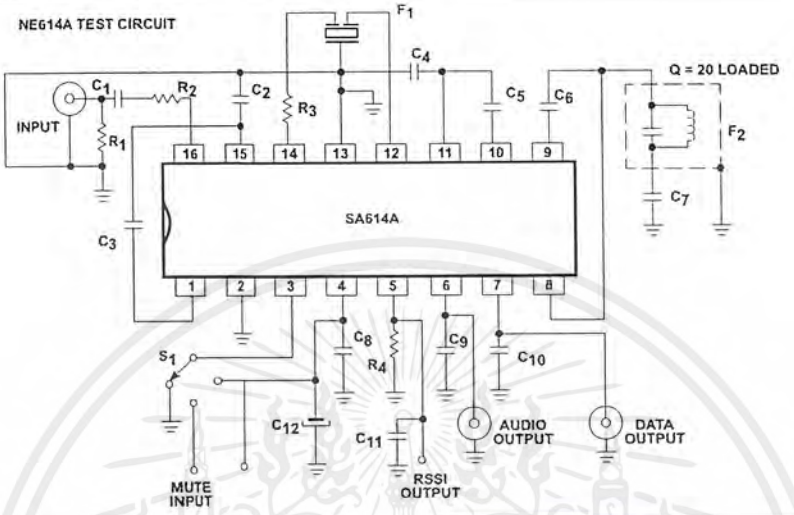
NOTE:

1. SA614A data sheets refer to power at 50Ω input termination; about 21dB less power actually enters the internal 1.5k input.

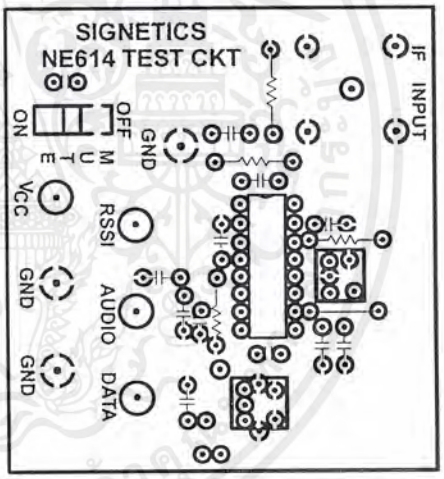
SA614A (50)	SA614A (1.5k)/SA615 (1.5k)
-97dBm	-118dBm
-47dBm	-68dBm
+3dBm	-18dBm

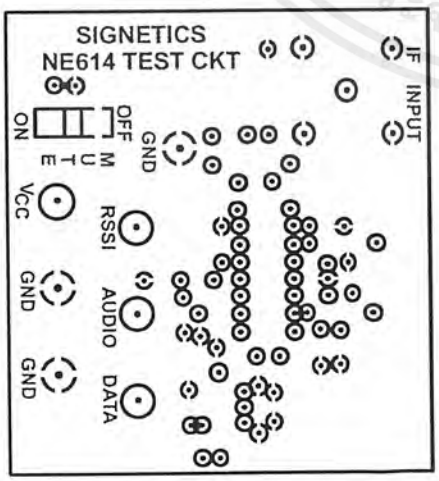
The SA615 and SA614A are both derived from the same basic die. The SA615 performance plots are directly applicable to the SA614A.

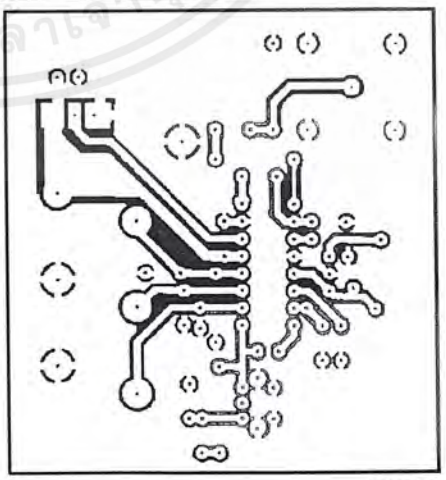
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



C1 100nF + 80 – 20% 63V K10000–25V Ceramic
C2 100nF +10% 50V
C3 100nF ±10% 50V
C4 100nF +10% 50V
C5 100nF ±10% 50V
C6 10pF ±2% 100V NPO Ceramic
C7 100nF ±10% 50V
C8 100nF ±10% 50V
C9 15nF ±10% 50V
C10 150pF ±2% 100V N1500 Ceramic
C11 1nF ±10% 100V K2000-Y5P Ceramic
C12 6.8µF ±20% 25V Tantalum
F1 455kHz Ceramic Filter Murata SFG455A3
F2 455kHz (Ce = 180pF) TOKO RMC 2A6597H
R1 51Ω ±1% 1/4W Metal Film
R2 1500Ω ±1% 1/4W Metal Film
R3 1500Ω ±5% 1/8W Carbon Composition
R4 100kΩ ±1% 1/4W Metal Film







SR00325

Figure 3. SA614A Test Circuit

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

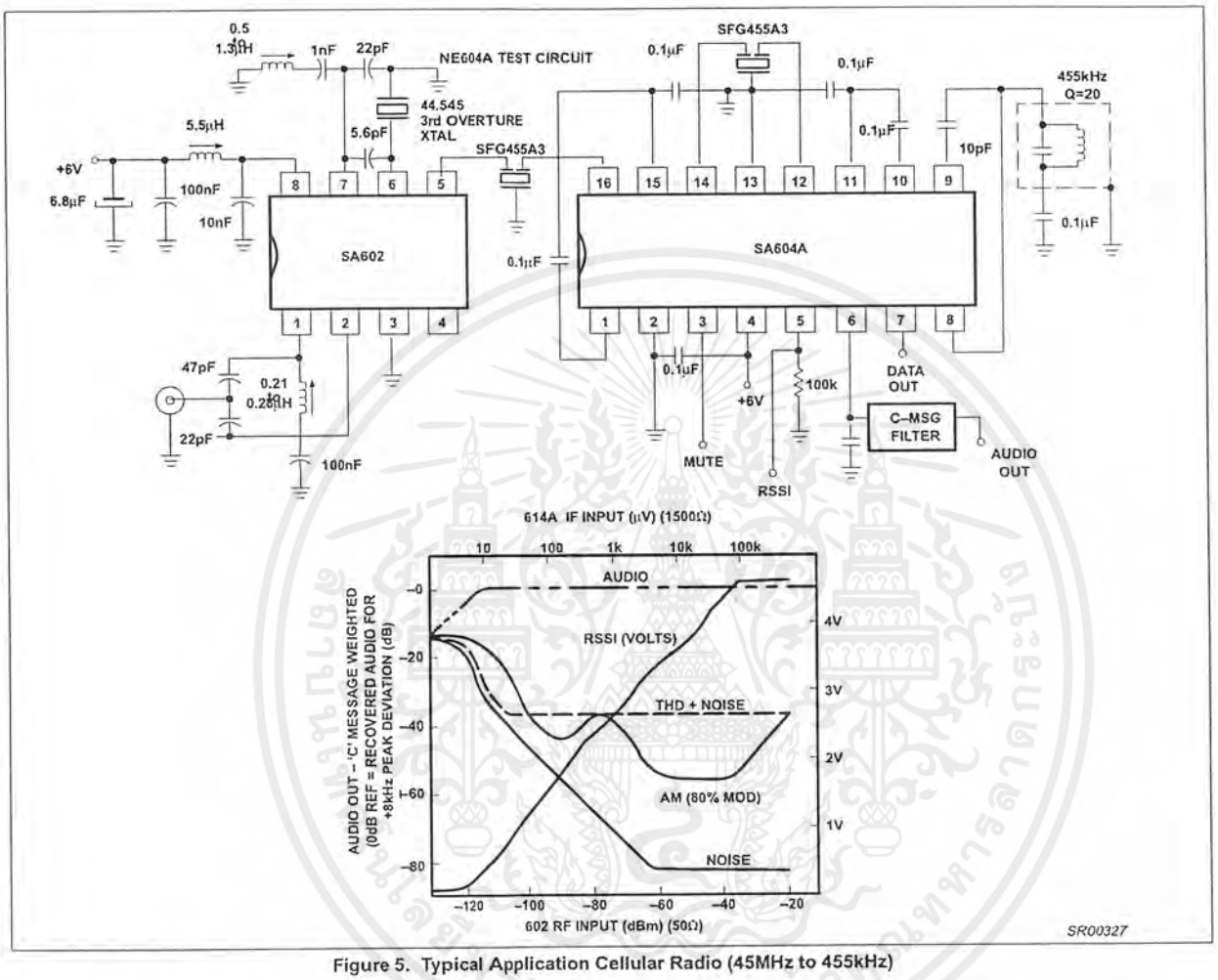


Figure 5. Typical Application Cellular Radio (45MHz to 455kHz)

CIRCUIT DESCRIPTION

The SA614A is a very high gain, high frequency device. Correct operation is not possible if good RF layout and gain stage practices are not used. The SA614A cannot be evaluated independent of circuit, components, and board layout. A physical layout which correlates to the electrical limits is shown in Figure 3. This configuration can be used as the basis for production layout.

The SA614A is an IF signal processing system suitable for IF frequencies as high as 21.4MHz. The device consists of two limiting amplifiers, quadrature detector, direct audio output, muted audio output, and signal strength indicator (with log output characteristic). The sub-systems are shown in Figure 4. A typical application with 45MHz input and 455kHz IF is shown in Figure 5.

IF Amplifiers

The IF amplifier section consists of two log-limiting stages. The first consists of two differential amplifiers with 39dB of gain and a small signal bandwidth of 41MHz (when driven from a 50Ω source). The output of the first limiter is a low impedance emitter follower with 1kΩ of equivalent series resistance. The second limiting stage consists of three differential amplifiers with a gain of 62dB and a small signal AC bandwidth of 28MHz. The outputs of the final differential stage are buffered to the internal quadrature detector. One of the outputs is available at Pin 9 to drive an external quadrature capacitor and L/C quadrature tank.

Both of the limiting amplifier stages are DC biased using feedback. The buffered output of the final differential amplifier is fed back to the input through 42kΩ resistors. As shown in Figure 4, the input impedance is established for each stage by tapping one of the feedback resistors 1.6kΩ from the input. This requires one additional decoupling capacitor from the tap point to ground.

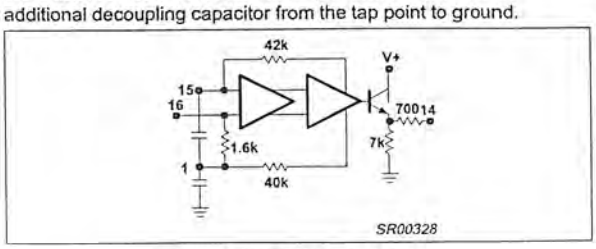


Figure 6. First Limiter Bias

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

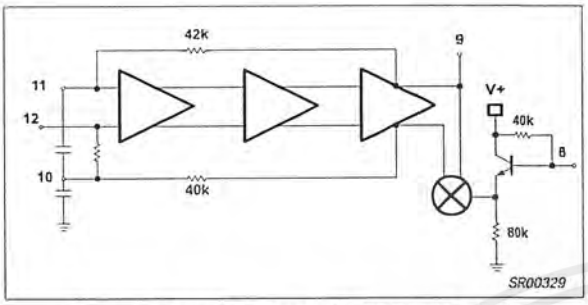


Figure 7. Second Limiter and Quadrature Detector

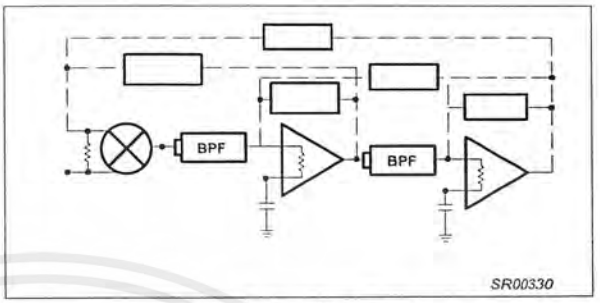


Figure 8. Feedback Paths

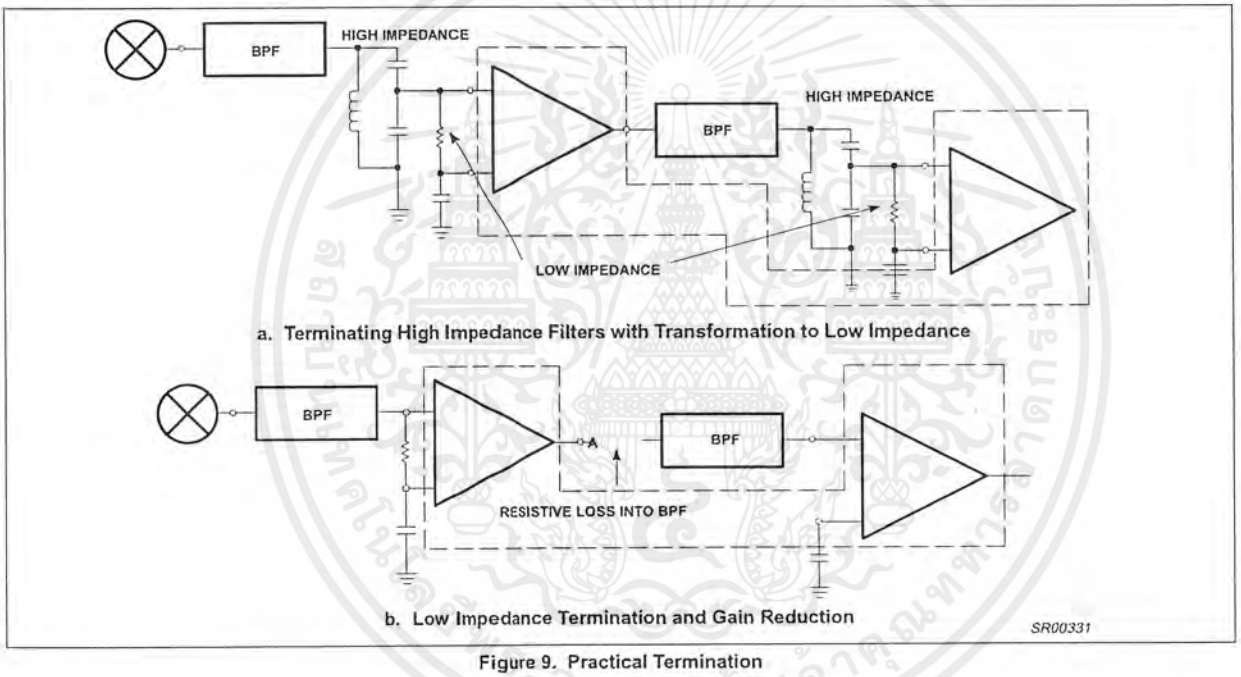


Figure 9. Practical Termination

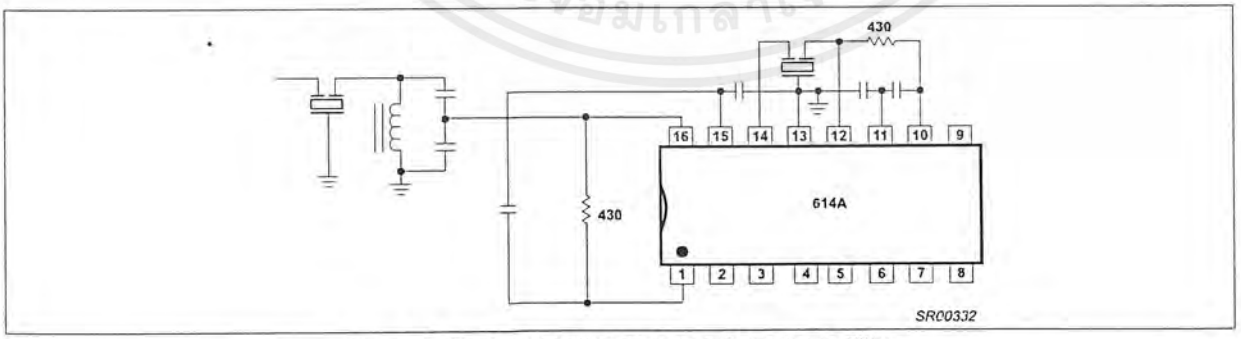


Figure 10. Crystal Input Filter with Ceramic Interstage Filter

Because of the very high gain, bandwidth and input impedance of the limiters, there is a very real potential for instability at IF frequencies above 455kHz. The basic phenomenon is shown in Figure 8. Distributed feedback (capacitance, inductance and radiated fields) forms a divider from the output of the limiters back to the inputs (including RF input). If this feedback divider does not cause attenuation greater than the gain of the forward path, then oscillation or low level regeneration is likely. If regeneration occurs, two symptoms may be present: (1)The RSSI output will be high with no signal input (should nominally be 250mV or lower), and (2) the demodulated output will demonstrate a threshold. Above a certain

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Silicon Tuning Diodes

MMBV2101LT1
MMBV2103LT1
MMBV2105LT1
MMBV2107LT1
MMBV2108LT1
MMBV2109LT1
MV2101 MV2104
MV2105 MV2108
MV2109 MV2111
MV2115

These devices are designed in the popular PLASTIC PACKAGE for high volume requirements of FM Radio and TV tuning and AFC, general frequency control and tuning applications. They provide solid-state reliability in replacement of mechanical tuning methods. Also available in Surface Mount Package up to 33pF.

- High Q
- Controlled and Uniform Tuning Ratio
- Standard Capacitance Tolerance — 10%
- Complete Typical Design Curves

SOT–23

TO–92

6.8–100 pF
30 VOLTS
VOLTAGE VARIABLE
CAPACITANCE DIODES

CASE 318–08, STYLE 8
SOT–23 (TO–236AB)

CASE 182–06, STYLE 1
TO–92 (TO–226AC)

MAXIMUM RATINGS

Rating	Symbol	MV21xx	MMBV21xxLT1	Unit
Reverse Voltage	V_R	30		Vdc
Forward Current	I_F	200		mAdc
Forward Power Dissipation @ T_A = 25°C Derate above 25°C	P_D	280 2.8	225 1.8	mW mW/°C
Junction Temperature	T_J	+150		°C
Storage Temperature Range	T_{stg}	–55 to +150		°C

DEVICE MARKING

MMBV2101LT1 = M4G	MMBV2107LT1 = 4W
MMBV2103LT1 = 4H	MMBV2108LT1 = 4X
MMBV2105LT1 = 4U	MMBV2109LT1 = 4J

ELECTRICAL CHARACTERISTICS (T_A = 25°C unless otherwise noted)

Characteristic	Symbol	Min	Typ	Max	Unit
Reverse Breakdown Voltage (I_R = 10 μAdc)	$V_{(BR)R}$	30	—	—	Vdc
Reverse Voltage Leakage Current (V_R = 25 Vdc, T_A = 25°C)	I_R	—	—	0.1	μAdc
Diode Capacitance Temperature Coefficient (V_R = 4.0 Vdc, f = 1.0 MHz)	TC_C	—	280	—	ppm/°C

© Semiconductor Components Industries, LLC, 2001

March, 2001 – Rev. 2
Publication Order Number:
MMBV2101LT1/D

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Device	C_T, Diode Capacitance V_R = 4.0 Vdc, f = 1.0 MHz pF			Q, Figure of Merit V_R = 4.0 Vdc, f = 50 MHz	TR, Tuning Ratio C_2/C_{30} f = 1.0 MHz		
	Min	Nom	Max	Typ	Min	Typ	Max
MMBV2101LT1/MV2101	6.1	6.8	7.5	450	2.5	2.7	3.2
MMBV2103LT1	9.0	10	11	400	2.5	2.9	3.2
MV2104	10.8	12	13.2	400	2.5	2.9	3.2
MMBV2105LT1/MV2105	13.5	15	16.5	400	2.5	2.9	3.2
MMBV2107LT1	19.8	22	24.2	350	2.5	2.9	3.2
MMBV2108LT1/MV2108	24.3	27	29.7	300	2.5	3.0	3.2
MMBV2109LT1/MV2109	29.7	33	36.3	200	2.5	3.0	3.2
MV2111	42.3	47	51.7	150	2.5	3.0	3.2
MV2115	90	100	110	100	2.6	3.0	3.3

MMBV2101LT1, MMBV2103LT1, MMBV2105LT1, MMBV2107LT1 thru MMBV2109LT1, are also available in bulk. Use the device title and drop the "T1" suffix when ordering any of these devices in bulk.

PARAMETER TEST METHODS

1. C_T, DIODE CAPACITANCE

($C_T = C_C + C_J$). C_T is measured at 1.0 MHz using a capacitance bridge (Boonton Electronics Model 75A or equivalent).

2. TR, TUNING RATIO

TR is the ratio of C_T measured at 2.0 Vdc divided by C_T measured at 30 Vdc.

3. Q, FIGURE OF MERIT

Q is calculated by taking the G and C readings of an admittance bridge at the specified frequency and substituting in the following equations:

$$Q = \frac{2\pi fC}{G}$$

(Boonton Electronics Model 33AS8 or equivalent). Use Lead Length ≈ 1/16".

4. TC_C, DIODE CAPACITANCE TEMPERATURE COEFFICIENT

TC_C is guaranteed by comparing C_T at V_R = 4.0 Vdc, f = 1.0 MHz, T_A = −65°C with C_T at V_R = 4.0 Vdc, f = 1.0 MHz, T_A = +85°C in the following equation, which defines TC_C:

$$TC_C = \frac{|C_T(+85°C) - C_T(-65°C)|}{85 + 65} \cdot \frac{10^6}{C_T(25°C)}$$

Accuracy limited by measurement of C_T to ±0.1 pF.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPICAL DEVICE CHARACTERISTICS

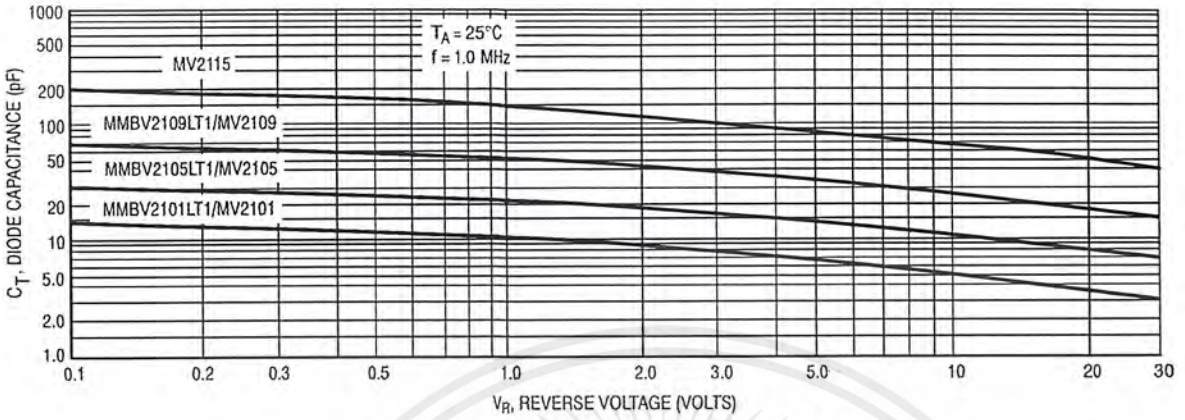


Figure 1. Diode Capacitance versus Reverse Voltage

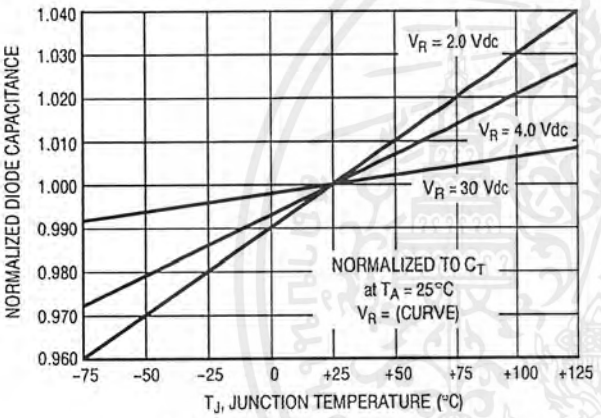


Figure 2. Normalized Diode Capacitance versus Junction Temperature

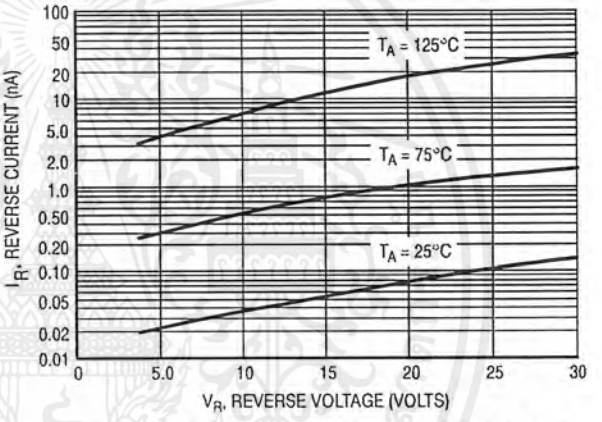


Figure 3. Reverse Current versus Reverse Bias Voltage

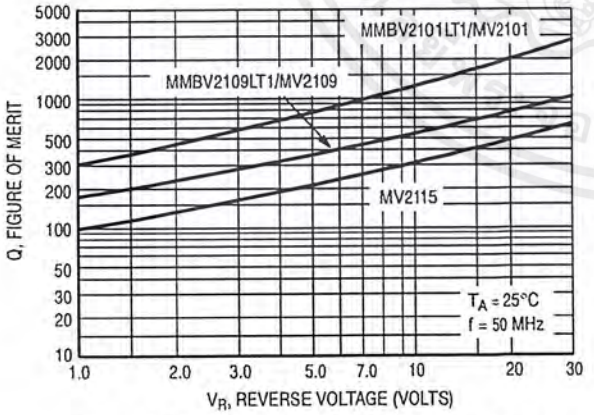


Figure 4. Figure of Merit versus Reverse Voltage

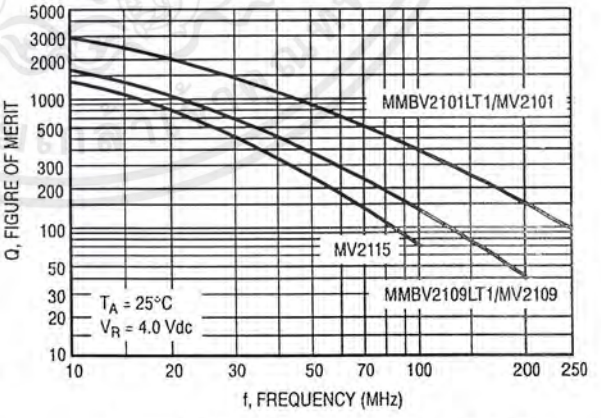


Figure 5. Figure of Merit versus Frequency

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MOTOROLA
SEMICONDUCTOR TECHNICAL DATA

Order this document
by MC145151–2/D

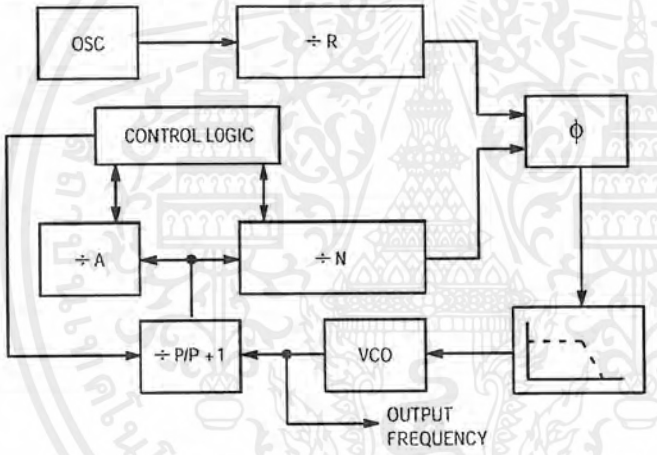
MC145151-2
MC145152-2
MC145155-2
MC145156-2
MC145157-2
MC145158-2

PLL Frequency Synthesizer Family
CMOS

The devices described in this document are typically used as low–power, phase–locked loop frequency synthesizers. When combined with an external low–pass filter and voltage–controlled oscillator, these devices can provide all the remaining functions for a PLL frequency synthesizer operating up to the device's frequency limit. For higher VCO frequency operation, a down mixer or a prescaler can be used between the VCO and the synthesizer IC.

These frequency synthesizer chips can be found in the following and other applications:

CATV
AM/FM Radios
Two–Way Radios
TV Tuning
Scanning Receivers
Amateur Radio



CONTENTS

Page

DEVICE DETAIL SHEETS
MC145151–2 Parallel–Input, Single–Modulus 2
MC145152–2 Parallel–Input, Dual–Modulus 5
MC145157–2 Serial–Input, Single–Modulus 9
MC145158–2 Serial–Input, Dual–Modulus 12

FAMILY CHARACTERISTICS
Maximum Ratings 15
DC Electrical Characteristics 15
AC Electrical Characteristics 17
Timing Requirements 18
Frequency Characteristics 19
Phase Detector/Lock Detector Output Waveforms 19

DESIGN CONSIDERATIONS
Phase–Locked Loop — Low–Pass Filter Design 20
Crystal Oscillator Considerations 21
Dual–Modulus Prescaling 22

REV 4
12/99

MOTOROLA

© Motorola, Inc. 1999

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC145151-2

Parallel-Input PLL Frequency Synthesizer

Interfaces with Single–Modulus Prescalers

The MC145151–2 is programmed by 14 parallel–input data lines for the N counter and three input lines for the R counter. The device features consist of a reference oscillator, selectable–reference divider, digital–phase detector, and 14–bit programmable divide–by–N counter.

The MC145151–2 is an improved–performance drop–in replacement for the MC145151–1. The power consumption has decreased and ESD and latch–up performance have improved.

- Operating Temperature Range: – 40 to 85°C
- Low Power Consumption Through Use of CMOS Technology
- 3.0 to 9.0 V Supply Range
- On– or Off–Chip Reference Oscillator Operation
- Lock Detect Signal
- ÷ N Counter Output Available
- Single Modulus/Parallel Programming
- 8 User–Selectable ÷ R Values: 8, 128, 256, 512, 1024, 2048, 2410, 8192
- ÷ N Range = 3 to 16383
- "Linearized" Digital Phase Detector Enhances Transfer Function Linearity
- Two Error Signal Options: Single–Ended (Three–State) or Double–Ended
- Chip Complexity: 8000 FETs or 2000 Equivalent Gates

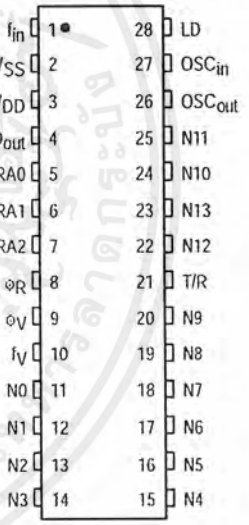
P SUFFIX
PLASTIC DIP
CASE 710

DW SUFFIX
SOG PACKAGE
CASE 751F

ORDERING INFORMATION

MC145151P2	Plastic DIP
MC145151DW2	SOG Package

PIN ASSIGNMENT



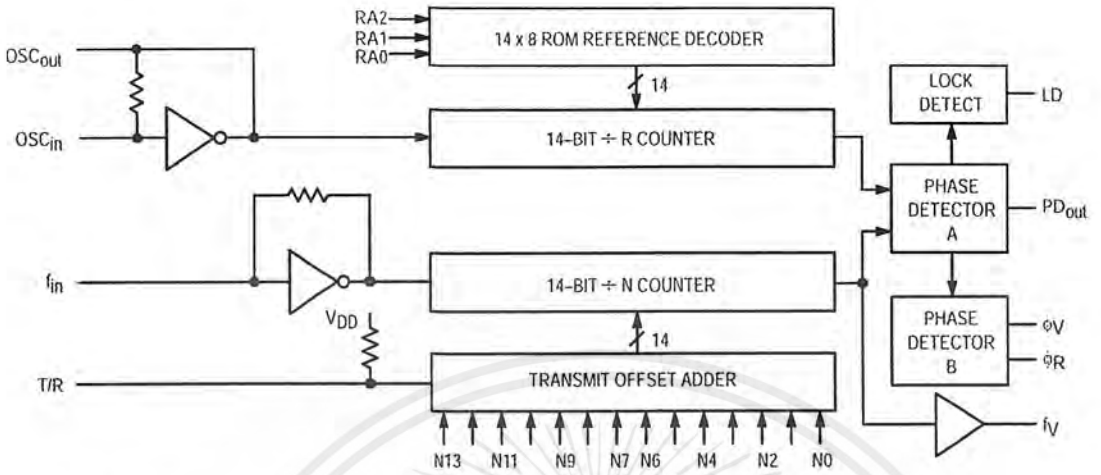
REV 1
8/95

MOTOROLA

© Motorola, Inc. 1995

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC145151–2 BLOCK DIAGRAM



NOTE: N0 – N13 inputs and inputs RA0, RA1, and RA2 have pull–up resistors that are not shown.

PIN DESCRIPTIONS

INPUT PINS

f_{in}
Frequency Input (Pin 1)

Input to the ÷ N portion of the synthesizer. f_{in} is typically derived from loop VCO and is ac coupled into the device. For larger amplitude signals (standard CMOS logic levels) dc coupling may be used.

RA0 – RA2
Reference Address Inputs (Pins 5, 6, 7)

These three inputs establish a code defining one of eight possible divide values for the total reference divider, as defined by the table below.

Pull–up resistors ensure that inputs left open remain at a logic 1 and require only a SPST switch to alter data to the zero state.

Reference Address Code			Total Divide Value
RA2	RA1	RA0	
0	0	0	8
0	0	1	128
0	1	0	256
0	1	1	512
1	0	0	1024
1	0	1	2048
1	1	0	2410
1	1	1	8192

N0 – N11
N Counter Programming Inputs (Pins 11 – 20, 22 – 25)

These inputs provide the data that is preset into the ÷ N counter when it reaches the count of zero. N0 is the least significant and N13 is the most significant. Pull–up resistors ensure that inputs left open remain at a logic 1 and require only an SPST switch to alter data to the zero state.

T/R
Transmit/Receive Offset Adder Input (Pin 21)

This input controls the offset added to the data provided at the N inputs. This is normally used for offsetting the VCO frequency by an amount equal to the IF frequency of the transceiver. This offset is fixed at 856 when T/R is low and gives no offset when T/R is high. A pull–up resistor ensures that no connection will appear as a logic 1 causing no offset addition.

OSC_{in}, OSC_{out}
Reference Oscillator Input/Output (Pins 27, 26)

These pins form an on–chip reference oscillator when connected to terminals of an external parallel resonant crystal. Frequency setting capacitors of appropriate value must be connected from OSC_{in} to ground and OSC_{out} to ground. OSC_{in} may also serve as the input for an externally–generated reference signal. This signal is typically ac coupled to OSC_{in}, but for larger amplitude signals (standard CMOS logic levels) dc coupling may also be used. In the external reference mode, no connection is required to OSC_{out}.

OUTPUT PINS

PD_{out}
Phase Detector A Output (Pin 4)

Three–state output of phase detector for use as loop–error signal. Double–ended outputs are also available for this purpose (see ϕ_V and ϕ_R).

Frequency $f_V > f_R$ or f_V Leading: Negative Pulses
Frequency $f_V < f_R$ or f_V Lagging: Positive Pulses
Frequency $f_V = f_R$ and Phase Coincidence: High–Impedance State

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ϕR, ϕV
Phase Detector B Outputs (Pins 8, 9)

These phase detector outputs can be combined externally for a loop–error signal. A single–ended output is also available for this purpose (see PD_{out}).

If frequency f_V is greater than f_R or if the phase of f_V is leading, then error information is provided by ϕV pulsing low. ϕR remains essentially high.

If the frequency f_V is less than f_R or if the phase of f_V is lagging, then error information is provided by ϕR pulsing low. ϕV remains essentially high.

If the frequency of $f_V = f_R$ and both are in phase, then both ϕV and ϕR remain high except for a small minimum time period when both pulse low in phase.

f_V
N Counter Output (Pin 10)

This is the buffered output of the ÷ N counter that is internally connected to the phase detector input. With this output available, the ÷ N counter can be used independently.

LD
Lock Detector Output (Pin 28)

Essentially a high level when loop is locked (f_R, f_V of same phase and frequency). Pulses low when loop is out of lock.

POWER SUPPLY

V_{DD}
Positive Power Supply (Pin 3)

The positive power supply potential. This pin may range from + 3 to + 9 V with respect to V_{SS}.

V_{SS}
Negative Power Supply (Pin 2)

The most negative supply potential. This pin is usually ground.

TYPICAL APPLICATIONS

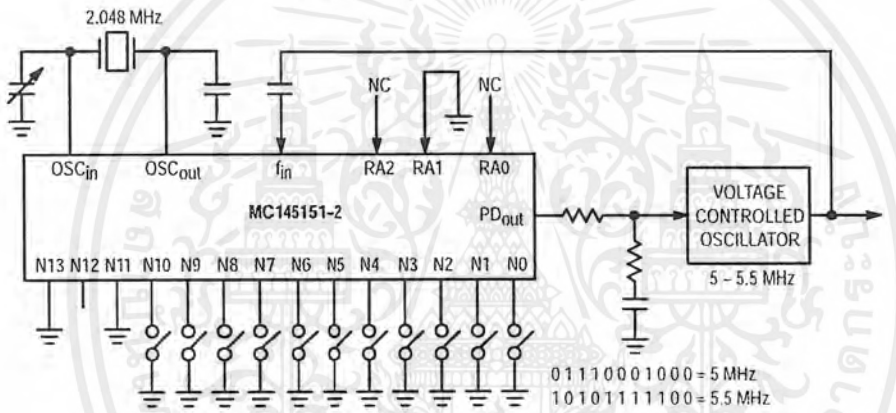
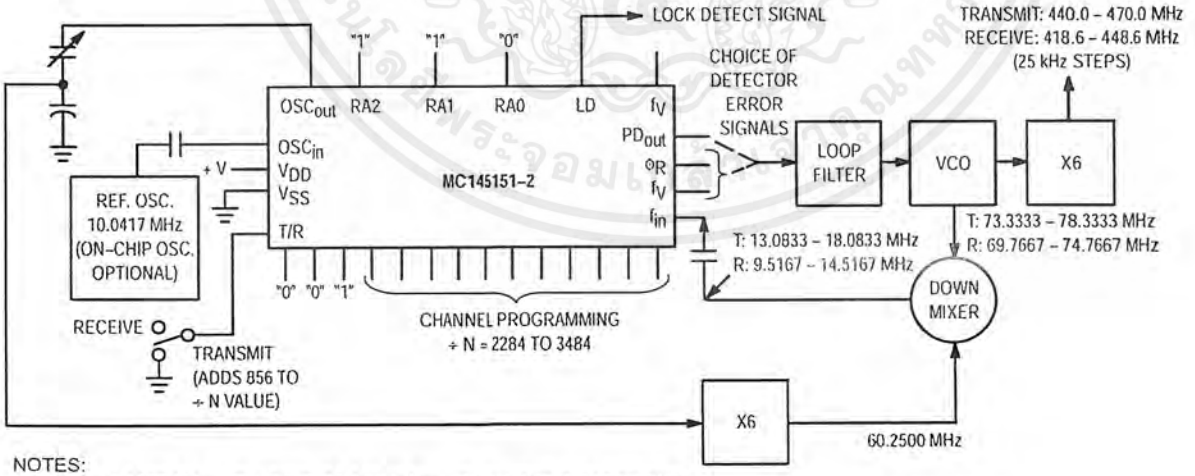


Figure 1. 5 MHz to 5.5 MHz Local Oscillator Channel Spacing = 1 kHz



NOTES:
1. f_R = 4.1667 kHz; ÷ R = 2410; 21.4 MHz low side injection during receive.
2. Frequency values shown are for the 440 – 470 MHz band. Similar implementation applies to the 406 – 440 MHz band. For 470 – 512 MHz, consider reference oscillator frequency X9 for mixer injection signal (90.3750 MHz).

Figure 2. Synthesizer for Land Mobile Radio UHF Bands

MC145151–2 Data Sheet Continued on Page 15

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Order this document by MC1496/D

MOTOROLA

MC1496, B

Balanced Modulators/ Demodulators

These devices were designed for use where the output voltage is a product of an input voltage (signal) and a switching function (carrier). Typical applications include suppressed carrier and amplitude modulation, synchronous detection, FM detection, phase detection, and chopper applications. See Motorola Application Note AN531 for additional design information.

- Excellent Carrier Suppression –65 dB typ @ 0.5 MHz
  –50 dB typ @ 10 MHz
- Adjustable Gain and Signal Handling
- Balanced Inputs and Outputs
- High Common Mode Rejection –85 dB typical

This device contains 8 active transistors.

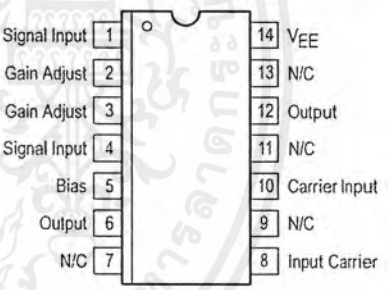
BALANCED MODULATORS/DEMODULATORS

SEMICONDUCTOR TECHNICAL DATA

D SUFFIX
PLASTIC PACKAGE
CASE 751A
(SO–14)

P SUFFIX
PLASTIC PACKAGE
CASE 646

PIN CONNECTIONS



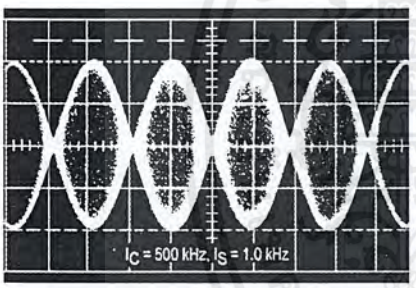


Figure 1. Suppressed Carrier Output Waveform

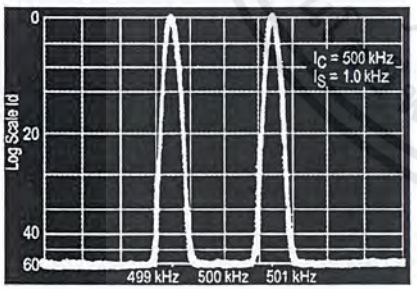


Figure 2. Suppressed Carrier Spectrum

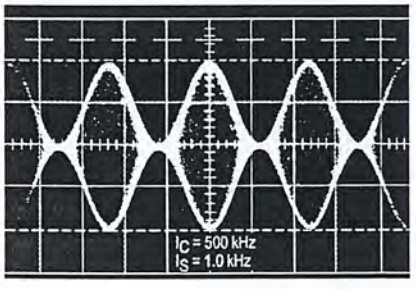
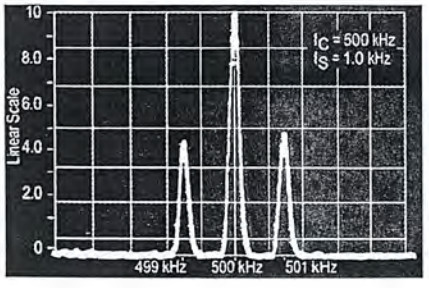


Figure 3. Amplitude Modulation Output Waveform

ORDERING INFORMATION

Device	Operating Temperature Range	Package
MC1496D	T_A = 0°C to +70°C	SO–14
MC1496P		Plastic DIP
MC1496BP	T_A = –40°C to +125°C	Plastic DIP

Figure 4. Amplitude–Modulation Spectrum



© Motorola, Inc. 1996

Rev 4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MAXIMUM RATINGS (T_A = 25°C, unless otherwise noted.)

Rating	Symbol	Value	Unit
Applied Voltage (V6 – V8, V10 – V1, V12 – V8, V12 – V10, V8 – V4, V8 – V1, V10 – V4, V6 – V10, V2 – V5, V3 – V5)	ΔV	30	Vdc
Differential Input Signal	V8 – V10 V4 – V1	+5.0 ±(5+I5R_e)	Vdc
Maximum Bias Current	I_5	10	mA
Thermal Resistance, Junction–to–Air Plastic Dual In–Line Package	$R_{\theta JA}$	100	°C/W
Operating Temperature Range	T_A	0 to +70	°C
Storage Temperature Range	T_{stg}	–65 to +150	°C

NOTE: ESD data available upon request.

ELECTRICAL CHARACTERISTICS (V_{CC} = 12 Vdc, V_{EE} = –8.0 Vdc, I5 = 1.0 mAdc, R_L = 3.9 kΩ, R_e = 1.0 kΩ, T_A = T_{low} to T_{high}, all input and output characteristics are single–ended, unless otherwise noted.)

Characteristic	Fig.	Note	Symbol	Min	Typ	Max	Unit
Carrier Feedthrough	5	1	V_{CFT}				μVrms
V_C = 60 mVrms sine wave and f_C = 1.0 kHz				–	40	–	
offset adjusted to zero f_C = 10 MHz				–	140	–	
V_C = 300 mVpp square wave:							mVrms
offset adjusted to zero f_C = 1.0 kHz				–	0.04	0.4	
offset not adjusted f_C = 1.0 kHz				–	20	200	
Carrier Suppression	5	2	V_{CS}				dB
f_S = 10 kHz, 300 mVrms							
f_C = 500 kHz, 60 mVrms sine wave				40	65	–	
f_C = 10 MHz, 60 mVrms sine wave				–	50	–	k
Transadmittance Bandwidth (Magnitude) (R_L = 50 Ω)	8	8	BW_{3dB}				MHz
Carrier Input Port, V_C = 60 mVrms sine wave				–	300	–	
f_S = 1.0 kHz, 300 mVrms sine wave							
Signal Input Port, V_S = 300 mVrms sine wave				–	80	–	
$\|V_C\|$ = 0.5 Vdc							
Signal Gain (V_S = 100 mVrms, f = 1.0 kHz; $\|V_C\|$= 0.5 Vdc)	10	3	A_{VS}	2.5	3.5	–	V/V
Single–Ended Input Impedance, Signal Port, f = 5.0 MHz	6	–					
Parallel Input Resistance			r_{ip}	–	200	–	kΩ
Parallel Input Capacitance			c_{ip}	–	2.0	–	pF
Single–Ended Output Impedance, f = 10 MHz	6	–					
Parallel Output Resistance			r_{op}	–	40	–	kΩ
Parallel Output Capacitance			c_{oo}	–	5.0	–	pF
Input Bias Current	7	–					μA
$I_{bS} = \frac{I1 + I4}{2}$; $I_{bC} = \frac{I8 + I10}{2}$			I_{bS} I_{bC}	– –	12 12	30 30	
Input Offset Current	7	–					μA
I_{ioS} = I1–I4; I_{ioC} = I8–I10			$\|I_{ioS}\|$ $I_{ioC}\|$	– –	0.7 0.7	7.0 7.0	
Average Temperature Coefficient of Input Offset Current (T_A = –55°C to +125°C)	7	–	$\|TC_{Iio}\|$	–	2.0	–	nA/°C
Output Offset Current (I6–I9)	7	–	$\|I_{oo}\|$	–	14	80	μA
Average Temperature Coefficient of Output Offset Current (T_A = –55°C to +125°C)	7	–	$\|TC_{Ioo}\|$	–	90	–	nA/°C
Common–Mode Input Swing, Signal Port, f_S = 1.0 kHz	9	4	CMV	–	5.0	–	Vpp
Common–Mode Gain, Signal Port, f_S = 1.0 kHz, $\|V_C\|$= 0.5 Vdc	9	–	ACM	–	–85	–	dB
Common–Mode Quiescent Output Voltage (Pin 6 or Pin 9)	10	–	V_{out}	–	8.0	–	Vpp
Differential Output Voltage Swing Capability	10	–	V_{out}	–	8.0	–	Vpp
Power Supply Current I6 +I12	7	6	I_{CC}	–	2.0	4.0	mAdc
I14			I_{EE}	–	3.0	5.0	
DC Power Dissipation	7	5	P_D	–	33	–	mW

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

GENERAL OPERATING INFORMATION

Carrier Feedthrough

Carrier feedthrough is defined as the output voltage at carrier frequency with only the carrier applied (signal voltage = 0).

Carrier null is achieved by balancing the currents in the differential amplifier by means of a bias trim potentiometer (R1 of Figure 5).

Carrier Suppression

Carrier suppression is defined as the ratio of each sideband output to carrier output for the carrier and signal voltage levels specified.

Carrier suppression is very dependent on carrier input level, as shown in Figure 22. A low value of the carrier does not fully switch the upper switching devices, and results in lower signal gain, hence lower carrier suppression. A higher than optimum carrier level results in unnecessary device and circuit carrier feedthrough, which again degenerates the suppression figure. The MC1496 has been characterized with a 60 mVrms sinewave carrier input signal. This level provides optimum carrier suppression at carrier frequencies in the vicinity of 500 kHz, and is generally recommended for balanced modulator applications.

Carrier feedthrough is independent of signal level, V_S. Thus carrier suppression can be maximized by operating with large signal levels. However, a linear operating mode must be maintained in the signal–input transistor pair – or harmonics of the modulating signal will be generated and appear in the device output as spurious sidebands of the suppressed carrier. This requirement places an upper limit on input–signal amplitude (see Figure 20). Note also that an optimum carrier level is recommended in Figure 22 for good carrier suppression and minimum spurious sideband generation.

At higher frequencies circuit layout is very important in order to minimize carrier feedthrough. Shielding may be necessary in order to prevent capacitive coupling between the carrier input leads and the output leads.

Signal Gain and Maximum Input Level

Signal gain (single–ended) at low frequencies is defined as the voltage gain,

$$A_{VS} = \frac{V_o}{V_S} = \frac{R_L}{R_e + 2r_e} \text{ where } r_e = \frac{26\ mV}{I5(mA)}$$

A constant dc potential is applied to the carrier input terminals to fully switch two of the upper transistors "on" and two transistors "off" (V_C = 0.5 Vdc). This in effect forms a cascode differential amplifier.

Linear operation requires that the signal input be below a critical value determined by R_E and the bias current I5.

$$V_S \leq I5\ R_E \text{ (Volts peak)}$$

Note that in the test circuit of Figure 10, V_S corresponds to a maximum value of 1.0 V peak.

Common Mode Swing

The common–mode swing is the voltage which may be applied to both bases of the signal differential amplifier, without saturating the current sources or without saturating the differential amplifier itself by swinging it into the upper switching devices. This swing is variable depending on the particular circuit and biasing conditions chosen.

Power Dissipation

Power dissipation, P_D, within the integrated circuit package should be calculated as the summation of the voltage–current products at each port, i.e. assuming V12 = V6, I5 = I6 = I12 and ignoring base current, $P_D = 2\ I5\ (V6 - V14) + I5)\ V5 - V14$ where subscripts refer to pin numbers.

Design Equations

The following is a partial list of design equations needed to operate the circuit with other supply voltages and input conditions.

A. Operating Current

The internal bias currents are set by the conditions at Pin 5. Assume:

$$I5 = I6 = I12,$$
$$I_B << I_C \text{ for all transistors}$$

then :

$$R5 = \frac{V - -\phi}{I5} - 500\ \Omega$$

where: R5 is the resistor between Pin 5 and ground
ϕ = 0.75 at T_A = +25°C

The MC1496 has been characterized for the condition I_5 = 1.0 mA and is the generally recommended value.

B. Common–Mode Quiescent Output Voltage

$$V6 = V12 = V+ - I5\ R_L$$

Biasing

The MC1496 requires three dc bias voltage levels which must be set externally. Guidelines for setting up these three levels include maintaining at least 2.0 V collector–base bias on all transistors while not exceeding the voltages given in the absolute maximum rating table;

$$30\ Vdc \geq [(V6, V12) - (V8, V10)] \geq 2\ Vdc$$
$$30\ Vdc \geq [(V8, V10) - (V1, V4)] \geq 2.7\ Vdc$$
$$30\ Vdc \geq [(V1, V4) - (V5)] \geq 2.7\ Vdc$$

The foregoing conditions are based on the following approximations:

$$V6 = V12,\ V8 = V10,\ V1 = V4$$

Bias currents flowing into Pins 1, 4, 8 and 10 are transistor base currents and can normally be neglected if external bias dividers are designed to carry 1.0 mA or more.

Transadmittance Bandwidth

Carrier transadmittance bandwidth is the 3.0 dB bandwidth of the device forward transadmittance as defined by:

$$Y21C = \frac{i_o\ (\text{each sideband})}{v_s\ (\text{signal})} \Big|\ V_o = 0$$

Signal transadmittance bandwidth is the 3.0 dB bandwidth of the device forward transadmittance as defined by:

$$Y21S = \frac{i_o\ (\text{signal})}{v_s\ (\text{signal})} \Big|\ V_c = 0.5\ Vdc,\ V_o = 0$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Coupling and Bypass Capacitors

Capacitors C1 and C2 (Figure 5) should be selected for a reactance of less than 5.0 Ω at the carrier frequency.

Output Signal

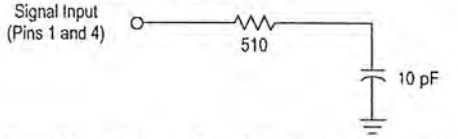
The output signal is taken from Pins 6 and 12 either balanced or single–ended. Figure 11 shows the output levels of each of the two output sidebands resulting from variations in both the carrier and modulating signal inputs with a single–ended output connection.

Negative Supply

V_{EE} should be dc only. The insertion of an RF choke in series with V_{EE} can enhance the stability of the internal current sources.

Signal Port Stability

Under certain values of driving source impedance, oscillation may occur. In this event, an RC suppression network should be connected directly to each input using short leads. This will reduce the Q of the source–tuned circuits that cause the oscillation.



An alternate method for low–frequency applications is to insert a 1.0 kΩ resistor in series with the input (Pins 1, 4). In this case input current drift may cause serious degradation of carrier suppression.

TEST CIRCUITS

Figure 5. Carrier Rejection and Suppression

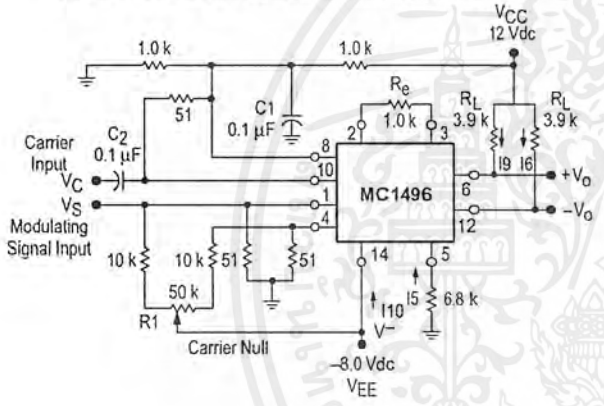
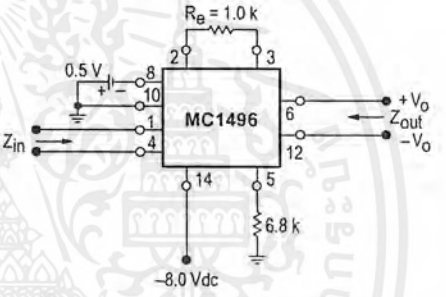


Figure 6. Input–Output Impedance



NOTE: Shielding of input and output leads may be needed to properly perform these tests.

Figure 7. Bias and Offset Currents

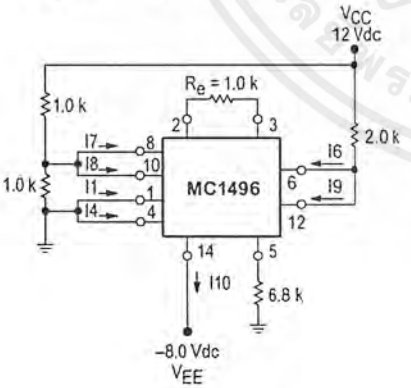
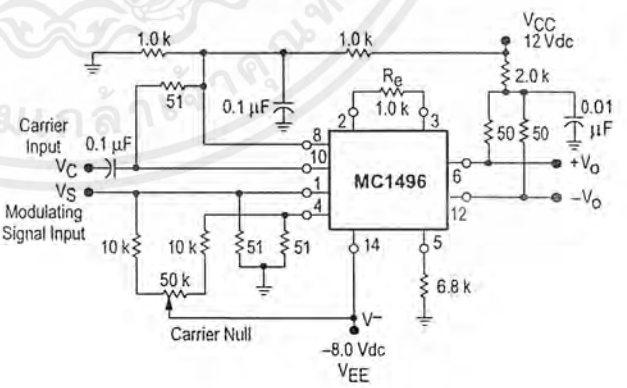


Figure 8. Transconductance Bandwidth



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Figure 9. Common Mode Gain

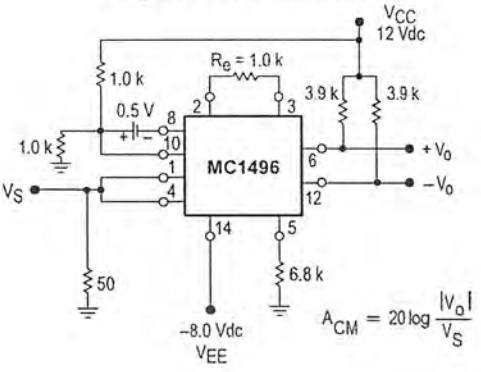
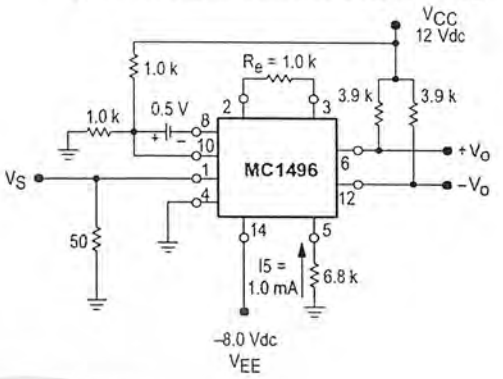


Figure 10. Signal Gain and Output Swing



TYPICAL CHARACTERISTICS

Typical characteristics were obtained with circuit shown in Figure 5, f_C = 500 kHz (sine wave), V_C = 60 mVrms, f_S = 1.0 kHz, V_S = 300 mVrms, T_A = 25°C, unless otherwise noted.

Figure 11. Sideband Output versus Carrier Levels

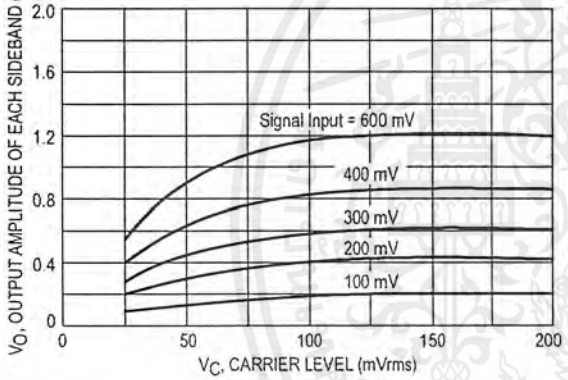


Figure 12. Signal–Port Parallel–Equivalent Input Resistance versus Frequency

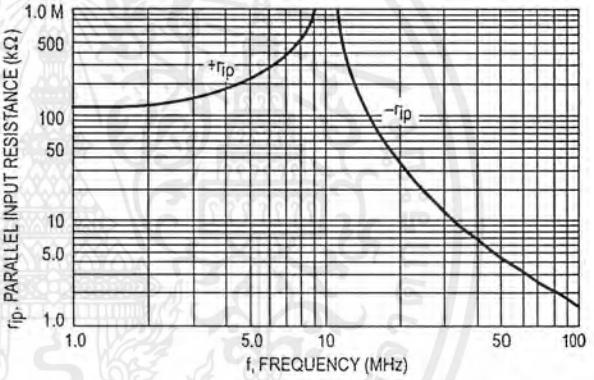


Figure 13. Signal–Port Parallel–Equivalent Input Capacitance versus Frequency

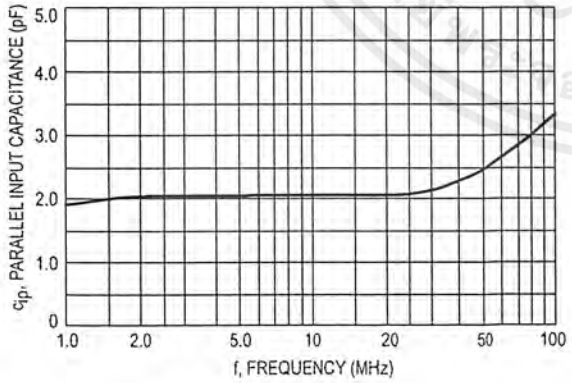
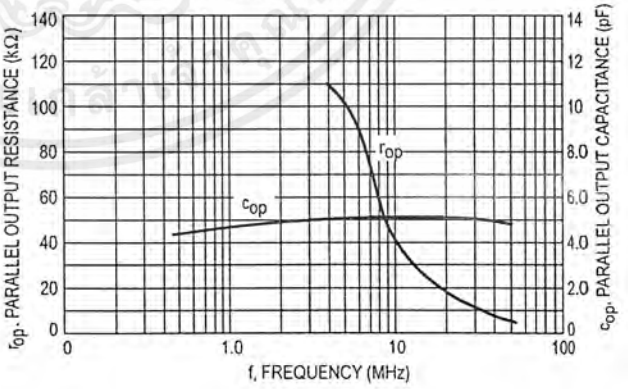


Figure 14. Single–Ended Output Impedance versus Frequency



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้