สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

ระบบป้องกันการลักลอบดักฟังสัญญาณเสียงทางโทรศัพท์

TELEPHONE SCRAMBLING SYSTEM

T042351

โดย

นาย ชัยยศ บุญเลี้ยง

นาย โชคชัย อภิเดช

เลขหมู่ TK5105 .B85 2544

เลขทะเบียน 42351

วัน, เดือน, ปี 17 พ.ค. 2545

.b.....

.i.....

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาอุตสาหกรรมศาสตรบัณฑิต

ภาควิชาเทคนิคอุตสาหกรรม

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2544

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อปริญญานิพนธ์ ระบบป้องกันการลักลอบดักฟังสัญญาณทางโทรศัพท์
TELEPHONE SCRAMBLING SYSTEM

ชื่อนักศึกษา นายชัยยศ บุญเลี้ยง เลขประจำตัว 42015633
นายโชคชัย อภิเดช เลขประจำตัว 42015636

อาจารย์ที่ปรึกษา ผศ. วิชัย สุรพัฒน์
ภาควิชา เทคนิคอุตสาหกรรม

ปีการศึกษา 2544

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง อนุมัติให้นับปริญญานิพนธ์ฉบับนี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาอุตสาหกรรมศาสตรบัณฑิต

คณะกรรมการสอบปริญญานิพนธ์

.....ประธานกรรมการ
( )
.....กรรมการ
( )
.....กรรมการ
( )
.....กรรมการ
( )
.....กรรมการ
( )

ลิขสิทธิ์ของคณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อปริญญานิพนธ์ ระบบป้องกันการลักลอบดักฟังสัญญาณทางโทรศัพท์
TELEPHONE SCRAMBLING SYSTEM

ชื่อนักศึกษา นายชัยยศ บุญเลี้ยง เลขประจำตัว 42015633
นายโชคชัย อภิเดช เลขประจำตัว 42015636

อาจารย์ที่ปรึกษา ผศ. วิชัย สุรพัฒน์

ระดับการศึกษา ปริญญาตรีอุตสาหกรรมศาสตรบัณฑิต

ปีการศึกษา 2544

บทคัดย่อ

ในการติดต่อสื่อสารนั้น เราต้องการความเป็นส่วนตัวหรือความปลอดภัยของข่าวสารข้อมูลที่สนทนา โครงงานนี้จึงถูกจัดทำขึ้นเพื่อใช้ป้องกันการลอบดักฟังสัญญาณเสียงซึ่งเป็นแบบดิจิตอล การทำงานของระบบใช้การผสมสัญญาณแบบพัลส์โค๊ดมอดูเลชั่น จะได้สัญญาณเสียงที่อยู่ในรูปแบบดิจิตอล สัญญาณดิจิตอลที่ได้จะนำไปทำการสแกรมบลิ่ง และแปลงเป็นสัญญาณอนาลอกที่มีแถบความถี่กลับกับสัญญาณเสียงที่เข้ามา ส่วนการดีสแกรมบลิ่งจะนำสัญญาณเสียงที่รับมาแปลงเป็นสัญญาณดิจิตอล และทำการดีสแกรมบลิ่งกลับเป็นสัญญาณเสียงเดิม โดยการทำงานทั้งสองขบวนการจะใช้ไอซีชนิดเดียวกัน ซึ่งเป็นหัวใจของระบบคือ CODEC/FILTER PCM จึงทำให้มีอุปกรณ์น้อยกว่าระบบอนาลอก ระบบจึงมีขนาดเล็ก ราคาไม่แพง ระบบการปกปิดข้อมูลนี้จะมีสองช่องสัญญาณเพื่อการทำงานแบบฟูลดูเพล็กซ์ ทำให้ติดต่อสื่อสารได้สองทิศทางพร้อมกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

THESIS TITLE TELEPHONE SCRAMBLING SYSTEM

STUDENT MR. CHATYOS BOONLIENG ID.NO. 42015633
MR. CHOKCHAI APIDEAH ID.NO. 42015636

ADVISER VICHAT SURAPAT
LEVEL OF STUDY BACHELOR'S DEGREE IN INDUSTRIAL
(TELECOMMUNICATION TECHNOLOGY)
ACADEMIC YEAR YEAR 2001

ABSTRACT

Telephone conversation, some form of speech encryption is needed for privacy or scurity. This project is made for digital audio scrambling system. This system is accomplished by mixing the audio input with pulse code modulation. The digitized audio is produced. It is scrambled and converted to analog signal which inverts the input frequency spectrum. Analog voice scrampling is converted to digital signal and reinverted by descrambling process. The final audio signal that corresponds to the input signal. Both processes operate by the same device which is the heart of system (CODEC/FILTER PCM). A digital voice scrambling requires fewer parts than analog system. It is small size and less expensive. The encryption system has two channels for full-duplex operation which allows easy two-way communication.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

โครงงานระบบป้องกันการลักลอบดักฟังทางโทรศัพท์ที่จัดทำขึ้นนี้ จะไม่สามารถเกิดขึ้นได้เลย หากไม่ได้รับความร่วมมือจากอาจารย์เจ้าของโครงงานเดิม ซึ่งเป็นแนวคิดให้นำกลับมาพัฒนาการทำงานให้ดีขึ้นและเพื่อนร่วมงานโดยเฉพาะ ผศ.วิชัย สุรพัฒน์ ซึ่งได้ช่วยอำนวยความสะดวกในการทำงาน นำเสนอและให้คำปรึกษาแนะนำจนโครงงานเสร็จลุล่วงตามเป้าหมายในเวลาที่กำหนด

ในการทำงานนอกจากจะใช้ความอดทนความ มุ่งมั่น ตั้งใจทำงานแล้ว ยังต้องมีผู้ให้คำปรึกษาที่ดีเพื่อนร่วมงานที่ช่วยกันปฏิบัติงานเพื่อให้งานเสร็จลุล่วงไปได้แม้จะมีอุปสรรคบ้างก็สามารถแก้ไขปัญหาได้

จึงขอขอบคุณท่านอาจารย์ที่ปรึกษาเจ้าของโครงงานเดิม ผู้ร่วมงาน ตลอดจนผู้เกี่ยวข้องทุกคนที่มีส่วนช่วยให้โครงงานนี้สำเร็จลุล่วงไปได้ด้วยดี

ผู้จัดทำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

หน้า

บทคัดย่อภาษาไทย ก

บทคัดย่อภาษาอังกฤษ ข

กิตติกรรมประกาศ ค

สารบัญภาพ

สารบัญตาราง

บทที่ 1 ระบบการเข้ารหัสสัญญาณเสียง (Audio Encryption System) 1

- การเข้ารหัสเสียงพูดด้วยวิธีทางอนาลอก 1
- การเข้ารหัสเสียงพูดด้วยวิธีทางดิจิตอล 5
- การสแกรมเบลอและดีสแกรมเบลอ 6
- การส่งสัญญาแบบสวนทิศทางกันได้ 8

บทที่ 2 พัลส์โค๊ดมอดูเลชั่น (Pulse Code Modulation) 11

- การแซมปลิง (Sampling) 13
- การจัดระดับ (Quantizing) 15
- คอมแพนดิ้ง (Companding) 16
- การเข้ารหัส (Coding) 21

บทที่ 3 วงจรกรองความถี่ (Filter) 30

- วงจรกรองความถี่ต่ำผ่าน 30
- วงจรกรองความถี่สูงผ่าน 30
- วงจรกรองแถบความถี่ผ่าน 31
- วงจรกรองตัดแถบความถี่ 31
- สวิทคาปาซิเตอร์ฟิลเตอร์ 34

บทที่ 4 วงจรแปลงสัญญาณ (Converters) 38

- วงจรแปลงสัญญาณดิจิตอลเป็นอนาลอก 38
- วงจรแปลงสัญญาณอนาลอกเป็นดิจิตอล 42

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หน้า

บทที่ 5 High-Speed CMOS 47

- ชนิดของ HCMOS 47
- HCMOS กับ CMOS มาตรฐาน 48
- วงจรเชื่อมต่อ 51

บทที่ 6 **โครงสร้างของ IC TP 3057** 53

- รายละเอียดของขา IC 54
- รายละเอียดของการใช้งาน 56
- ข้อมูลในการประยุกต์ใช้งานของไอซี TP 3057 58
- เทคนิคการออกแบบ CODEC/FILTER เบอร์ TP 3057 61

บทที่ 7 **ระบบป้องกันการลอบดักฟังสัญญาณเสียง** 65
(Audio Scrambling System)

- หลักการทำงานของระบบป้องกันการลอบดักฟังสัญญาณเสียง 66
- วงจรกำเนิดสัญญาณ (Oscillator) 68
- วงจรหารสอง 69
- วงจรหาร 256 70
- วงจร Timing Generator 71
- วงจรเข้ารหัสสัญญาณเสียง 72
- วงจรถอดรหัสสัญญาณเสียง 73
- วงจรแหล่งจ่ายไฟ 74

บทที่ 8 **การสร้างโครงงานและการทดลอง** 76

- การทดสอบเครื่อง 79

บทที่ 9 **บทสรุป** 83

เอกสารอ้างอิง 84

ภาคผนวก 85

- ไอซี เบอร์ TP3057
- ไอซี เบอร์ 74HC74A
- ไอซี เบอร์ 74HC86
- ไอซี เบอร์ 74HC161

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญภาพ

หน้า

บทที่ 1

รูปที่ 1.1	Power Spectrum Density ของสัญญาณเสียงก่อนการสแกรมบลิ่ง	1
รูปที่ 1.2	Power Spectrum Density ของสัญญาณเสียงหลังการสแกรมบลิ่ง	2
รูปที่ 1.3	หลักการเข้ารหัสเสียงพูดด้วยวิธี Band Shift Inversion	2
รูปที่ 1.4	หลักการเข้ารหัสเสียงพูดด้วยวิธี Band Scrambler	4
รูปที่ 1.5	Time-Element Scrambler	4
รูปที่ 1.6	การเข้ารหัสเสียงพูดด้วยวิธีทางดิจิตอล	5
รูปที่ 1.7	การดัดแปลงการเข้ารหัสเสียงพูดด้วยวิธีทางดิจิตอลให้ดีขึ้น	5
รูปที่ 1.8	ชิพรีจิสเตอร์ 3 ภาคต่อให้มีการป้อนกลับ	6
รูปที่ 1.9	การสแกรมเบลอและดีสแกรมเบลอ	7
รูปที่ 1.10	การเกิดลูปย้อนกลับเมื่อไม่มีวงจรไฮบริด	8
รูปที่ 1.11	การแก้การเกิดสภาพออสซิลเลตโดยเพิ่มวงจรไฮบริด	9
รูปที่ 1.12	วงจรบริดเนทเวิร์ค	9

บทที่ 2

รูปที่ 2.1	กระบวนการเข้ารหัสและถอดรหัสของระบบ PCM	11
รูปที่ 2.2	กระบวนการเข้ารหัสและถอดรหัส (โดเมนเวลาและโดเมนความถี่)	12
รูปที่ 2.3	การพร่าเพี้ยนเกิดจากแถบคลื่นซ้อนกัน	14
รูปที่ 2.4	การพร่าเพี้ยนเกิดจากการสอดแทรก	14
รูปที่ 2.5	การจัดระดับ	15
รูปที่ 2.6	การควอนไตซ์และควอนไตซิ่งนอยส์	16
รูปที่ 2.7	คุณลักษณะการจัดระดับด้วยคอมเพรสเซอร์และเอกซ์แพนเดอร์	17
รูปที่ 2.8	คุณลักษณะคอมเพรสชั่นของไดโอด	17
รูปที่ 2.9	แบบอย่างคุณลักษณะของคอมเพรสชั่น	18
รูปที่ 2.10	คุณลักษณะของคอมแพนดิ้งเมื่อ A = 87.6	19
รูปที่ 2.11	ความสัมพันธ์ระหว่างระดับอินพุทต่อ S/NQ เมื่อใช้คอมแพนดิ้งวิธีต่าง ๆ	20
รูปที่ 2.12	หลักการของการเข้ารหัส	22
รูปที่ 2.13	โครงร่างของระบบ ADPCM	25
รูปที่ 2.14	โครงร่างของระบบ ADM	26
รูปที่ 2.15	หลักการของการเปลี่ยนสเต็บในการจัดระดับของระบบ ADM	27
รูปที่ 2.16	โครงร่างของการเข้ารหัส-ถอดรหัสของ APC-AB	28

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หน้า

บทที่ 3

รูปที่ 3.1 วงจรกรองความถี่ต่ำผ่าน 30
รูปที่ 3.2 วงจรกรองความถี่สูงผ่าน 30
รูปที่ 3.3 วงจรกรองแถบความถี่ผ่าน 31
รูปที่ 3.4 วงจรกรองตัดแถบความถี่ 31
รูปที่ 3.5 วงจรกรองแบบพาสซีฟ 32
รูปที่ 3.6 วงจรกรองแบบแอกทีฟ 33
รูปที่ 3.7 โครงสร้างภายในของ MOSFET 34
รูปที่ 3.8 การต่อ MOSFET ร่วมกับตัวเก็บประจุ 35
รูปที่ 3.9 การทำงานของสวิทคาปาซิเตอร์ 35
รูปที่ 3.10 แบบการทำงานของสวิทคาปาซิเตอร์ด้วยตัวต้านทาน 35
รูปที่ 3.11 ความต้านทานสมมูลย์ของสวิทคาปาซิเตอร์ 36
รูปที่ 3.12 การใช้สวิทคาปาซิเตอร์กับวงจรกรองความถี่ประเภทพาสซีฟ 37
รูปที่ 3.13 การใช้สวิทคาปาซิเตอร์กับวงจรกรองความถี่ประเภทแอกทีฟ 37

บทที่ 4

รูปที่ 4.1 วงจรแปลงสัญญาณดิจิตอลเป็นอนาลอกแบบ Weight-resistor 38
รูปที่ 4.2 วงจร D/A แบบ R-2R Ladder 40
รูปที่ 4.3 โครงสร้างสำเร็จรูปของ R-2R Ladder 40
รูปที่ 4.4 วงจรเมื่อ LSB = 1 และการ MSB = 1 40
รูปที่ 4.5 ความสัมพันธ์ระหว่างสัญญาดิจิตอลกับสัญญาณอนาลอก 41
รูปที่ 4.6 วงจรแปลงสัญญาณดิจิตอลเป็นสัญญาณอนาลอกด้วย FET สวิท 42
รูปที่ 4.7 Counter-Controlled A/D Converter 42
รูปที่ 4.8 รูปคลื่นของ Counter-Controlled A/D Converter 43
รูปที่ 4.9 วงจร Successive-Approximation A/D Converter 44
รูปที่ 4.10 วงจรแปลงสัญญาณ A/D Flash 45

บทที่ 5

รูปที่ 5.1 วงจรป้องกันอินพุทของ HCMOS 49
รูปที่ 5.2 แหล่งจ่ายไฟเลี้ยง 5 โวลท์ สำหรับ HCMOS โดยใช้แบตเตอรี่ 50
รูปที่ 5.3 แหล่งจ่ายไฟสำหรับ HCMOS โดยใช้กระแสสลับ 50
รูปที่ 5.4 วิธีการเชื่อมต่อระหว่าง HC/HCT กับ TTL และ TTL กับ HCT 51

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หน้า

รูปที่ 5.5 วิธีการเชื่อมต่อ TTL กับ HC 51
รูปที่ 5.6 การเชื่อมต่อ CMOS แรงดันสูงกับ CMOS แรงดันต่ำ 52
รูปที่ 5.7 การเชื่อมต่อ TTL กับ HCMOS แรงดันต่ำ 52

บทที่ 6

รูปที่ 6.1 Block diagram ของ TP 3054 54
รูปที่ 6.2 Synchronous Application 59
รูปที่ 6.3 การออกแบบวงจรโดยใช้ไอซี TP 3057 60
รูปที่ 6.4 การเดินสายกราวนด์เพื่อลดสัญญาณรบกวน 62

บทที่ 7

รูปที่ 7.1 การสแกรมเบิลโดยใช้การผสมสัญญาณเสียงกับสัญญาณคลื่นพาห์ 65
รูปที่ 7.2 บล็อกไดอะแกรมของระบบป้องกันการลอบดักฟังสัญญาณเสียง 67
รูปที่ 7.3 (a) วงจรกำเนิดสัญญาณ 68
รูปที่ 7.3 (b) แสดงสัญญาณที่วัดได้จากวงจรกำเนิดสัญญาณ 68
รูปที่ 7.4 (a) วงจรหารสอง 69
รูปที่ 7.4 (b) เอาท์พุทที่วัดได้จาก Oscilloscope 69
รูปที่ 7.5 (a) วงจรหาร 256 70
รูปที่ 7.5 (b) เอาท์พุทที่วัดได้จาก Oscilloscope 70
รูปที่ 7.6 (a) วงจร Timing Generator 71
รูปที่ 7.6 (b) เอาท์พุทที่วัดได้จาก Oscilloscope 71
รูปที่ 7.7 วงจรเข้ารหัสสัญญาณเสียง (Voice Scrambler) 72
รูปที่ 7.8 วงจรถอดรหัสสัญญาณเสียง (Voice Descrambler) 73
รูปที่ 7.9 วงจรแหล่งจ่ายไฟ 74
รูปที่ 7.10 วงจรสมบูรณ์ของระบบป้องกันการดักฟังทางโทรศัพท์ 75

บทที่ 8

รูปที่ 8.1 ลายวงจร 76
รูปที่ 8.2 การวางอุปกรณ์ และตำแหน่งของอุปกรณ์บนแผ่นวงจร 77
รูปที่ 8.3 เครื่องป้องกันการลักลอบดักฟังที่ประกอบเสร็จสมบูรณ์แล้ว 78
รูปที่ 8.4 การวางอุปกรณ์ด้านหน้าของกล่อง 78
รูปที่ 8.5 แสดงการเปรียบเทียบสัญญาณ Data Inverse pulse กับสัญญาณ Sampling 79

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หน้า

รูปที่ 8.6	แสดงการเปรียบเทียบสัญญาณ Data Inverse pulse กับ PCM ที่ขาอินพุทของ EX-OR	79
รูปที่ 8.7	แสดงการเปรียบเทียบสัญญาณ Data Inverse pulse เมื่อขยายให้ใหญ่ขึ้น	80
รูปที่ 8.8	แสดงการเปรียบเทียบสัญญาณ Data Inverse pulse ในกรณีที่สัญญาณผ่าน EX-OR แล้วเกิด Inverse สัญญาณ	80
รูปที่ 8.9	แสดงการเปรียบเทียบสัญญาณ Data Inverse pulse กรณี PCM มีการกลับเฟส	81
รูปที่ 8.10	แสดงการเปรียบเทียบสัญญาณอินพุทความถี่ 1 KHz เมื่อ Scramble แล้ว	81
รูปที่ 8.11	แสดงการต่อเครื่องป้องกันการลักลอบดักฟัง	82

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญตาราง

หน้า

บทที่ 1

ตารางที่ 1 ความยาวสูงสุดของ Pseudo-Random Squence 7

บทที่ 2

ตารางที่ 1 รหัสไบนารีแบบต่าง ๆ 21

ตารางที่ 2 การเปรียบเทียบระบบการเข้ารหัสแบบต่าง ๆ 29

บทที่ 4

ตารางที่ 1 ตารางเปรียบเทียบแรงดันของวงจร
Successive-Approximation D/A Converter 44

ตารางที่ 2 ตารางเปรียบเทียบแรงดันของวงจรแปลงสัญญาณ A/D flash 46

บทที่ 6

ตารางที่ 1 การเลือกความถี่มาสเตอร์คล็อก 57

ตารางที่ 2 ตารางค่าความต้านทาน Attenuator 60

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
ระบบการเข้ารหัสสัญญาณเสียง
(Audio Encryption System)

การเข้ารหัสเสียงพูด (Encrypting Speech) แบ่งตามเทคนิคการสร้างได้ 2 วิธี คือ ทางด้านอนาลอก (Analog) และทางด้านดิจิตอล (Digital)

การเข้ารหัสเสียงพูดด้วยวิธีทางอนาลอก (Analog Encrypting Speech) มีหลายระบบด้วยกัน

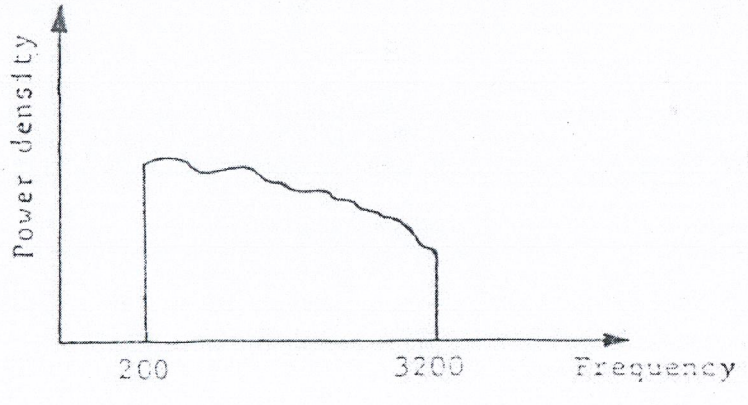
- Speech Inversion
- Band Shift Inversion
- Band Scramber or Band Splitter
- Time Element Scrambler

การเข้ารหัสเสียงพูดด้วยวิธี Speech Inversion

Speech Inversion เป็นการสแกรมบลิ่ง (Scrambling) โดยใช้การเปลี่ยน (Invert) ย่านความถี่ทั้งหมดจากย่านความถี่สูงให้กลายเป็นความถี่ต่ำ และจากย่านความถี่ต่ำให้กลายเป็นความถี่สูง

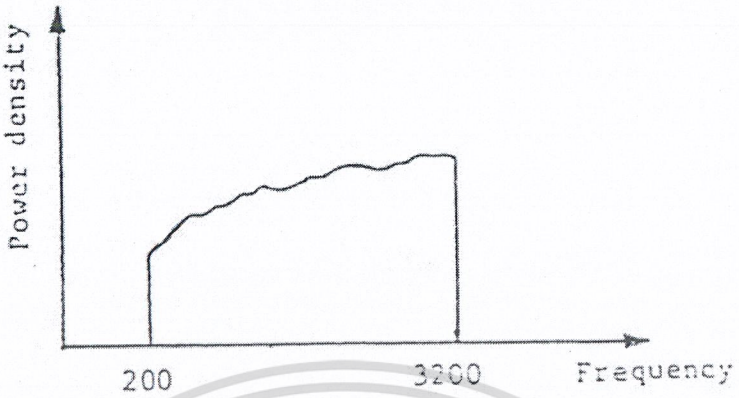
การสแกรมบลิ่งแบบนี้เป็นวิธีที่ง่าย แต่ไม่ปลอดภัยมากนัก เพราะสามารถที่จะดีสแกรมบลิ่ง (Descram bing) ได้ง่ายเช่นกัน โดยการรีอินเวิร์ท (Reinvert) แบบลองผิดลองถูก (Trial and Error) ก็จะได้สัญญาณเดิมกลับมา

การเพิ่ม Conbitional ของการสแกรมบลิ่ง ทำได้โดยการใช้ความถี่พาหะ (Carrier Frequency) ในการ Invert ต่างกัน



รูปที่ 1.1 แสดง Power Spectrum Density ของสัญญาณเสียงก่อนการสแกรมบลิ่ง

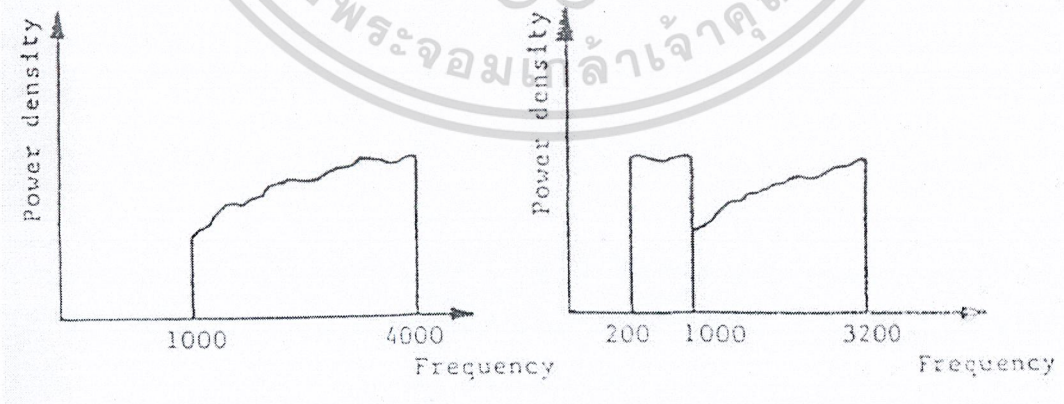
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 1.2 แสดง Power Spectrum Density ของสัญญาณเสียงหลังการสแกรมบลิ่ง

<u>การเข้ารหัสเสียงพูดด้วยวิธี Band-Shift Inversion</u>

วิธีนี้เป็นการปรับปรุง Speech Inversion โดยการเปลี่ยน (Invert) ย่านความถี่ทั้งหมด จากความถี่สูงให้กลายเป็นความถี่ต่ำ และจากความถี่ต่ำให้กลายเป็นความถี่สูง จากนั้นก็จะเลื่อน (Shift) ย่านความถี่บางช่วงจากตำแหน่งเดิมที่หลายด้านหนึ่ง ไปไว้ที่ตำแหน่งใหม่ที่ปลายอีกด้านหนึ่ง โดย Bandwidth ทั้งหมดของสัญญาณจะยังคงเท่าเดิม



รูปที่ 1.3 แสดงหลักการเข้ารหัสเสียงพูดด้วยวิธี Band Shift Inversion

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เนื่องจากวิธีนี้ปรับปรุงมาจาก Speech Inversion ดังนั้น Combitional ที่เป็นไปได้ยังมีจำนวนจำกัด วิธีที่จะเพิ่ม Combitional อาจทำได้โดยใช้ Pseudo Random Generator เป็นตัวเลือกตำแหน่งการเลื่อนที่แตกต่างกัน และแต่ละแบบให้มีช่วงเวลา (Time Interval) ประมาณ 10-20 ms. หลังจัดลำดับให้สลับเปลี่ยนกันไปในลักษณะเป็นวงกลม (Cyclical) หลักการนี้เราเรียกว่า Cyclical Band Shift Inversion ทำให้ Combitional ที่เป็นไปได้มากขึ้น

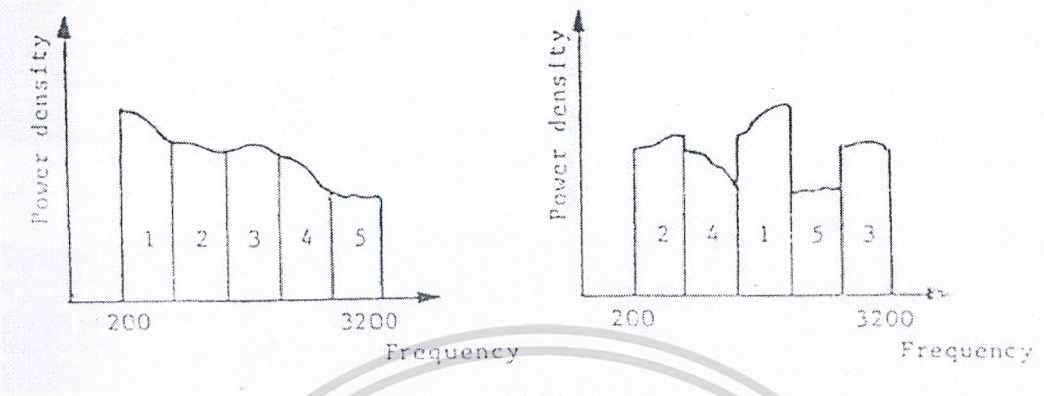
ข้อเสียของระบบเข้ารหัสเสียงพูดด้วยวิธี Band-Shift Invension มีอยู่ 2 ข้อ คือ ข้อแรกเนื่องจาก Combitional ที่เป็นไปได้ยังไม่มากพอ ทำให้การดีสแกรมบลิ่งยังทำได้โดยง่ายด้วยวิธีแบบลองผิดลองถูก (Trial and Error) ข้อที่สองคือ จะยังมีบางส่วนของสัญญาณที่ถูกสแกรมบลิ่งแล้ว แต่จะถูกเปลี่ยนแปลงไปไม่มากนักทำให้ผู้ที่ชำนาญและคุ้นเคยกับเสียงที่ถูกสแกรมบลิ่งแล้ว สามารถที่จะเอาข้อมูลออกได้

<u>การเข้ารหัสเสียงพูดด้วยวิธี</u> <u>Band Scrambler or Band Spitter</u>

วิธีการนี้แบนด์วิดธ์ของสัญญาณเสียงพูด (Speech Bandwidth) จะถูกแบ่งออกเป็นส่วน ๆ เท่ากัน ซึ่งแต่ละส่วนเรียกว่า แบนด์ย่อย (Sub Band) แต่ละแบนด์ย่อยจะถูกสแกรมบลิ่ง โดยการสลับลำดับ (Permutation) แบนด์ย่อยเสียงใหม่ ในบางระบบอาจมีการ Invert แบนด์ย่อยด้วย

รูปที่ 1.4 แสดงตัวอย่างของ Band Scrambler แบบง่าย โดยแบ่งออกเป็น 5 แบนด์ย่อย จากรูปแบนด์ย่อยที่ 1, 2 และ 5 ถูก Invert และถูกสลับตำแหน่ง สำหรับตัวอย่างดังกล่าวมีการจัดลำดับที่เป็นไปได้ (Possible Reordering) เท่ากับ 5! และมี Combitional สำหรับการ Reinvert เท่ากับ 2^5 นั่นหมายถึงว่าสามารถจะมี Combitional ได้มากถึง 5! x 2^5 เท่ากับ 3840 แบบ แต่ไม่ใช่ทั้งหมดที่สามารถนำไปใช้ได้ มีบางส่วนที่สัญญาณหลังจากการสแกรมบลิ่งแล้วที่มีการเปลี่ยนแปลงสมบูรณ์ (คือไม่สามารถเข้าใจรายละเอียดได้) ส่วนที่เหลือซึ่งเป็นส่วนใหญ่ ไม่สามารถนำมาใช้งานได้ เพราะยังสามารถที่จะเข้าใจความหมายได้แบบคลุมเครือ สาเหตุที่เป็นเช่นนั้นก็เพราะว่า 40% ของ Power Spectrum Density ส่วนใหญ่ของเสียงพูดของคนเราจะอยู่ที่ 2 แบนด์ย่อยแรก (200-170 Hz) นั่นหมายความว่ามีเพียง 2 แบนด์ย่อยแรกก็สามารถพอที่จะเข้าใจความหมายได้ วิธีแก้ก็คือต้องแบ่ง 2 แบนด์ย่อยแรกให้มากขึ้น แล้วใช้ Pseudo Random Generator เป็นตัวกำหนดการจัดลำดับที่แตกต่างกันทุก ๆ 100-200 ms. โดยการเรียกใช้จากการ Addressing ที่ตำแหน่งใดตำแหน่งหนึ่ง แต่การทำวิธีนี้จะมีข้อจำกัดคือ การเพิ่มจำนวนแบนด์ย่อยมาก ๆ อาจจะดูเหมือนเป็นการเพิ่มจำนวนการจัดลำดับและความปลอดภัยของข่าวสาร แต่ถ้ามากเกินไปจะทำให้ยุ่งยากในทางปฏิบัติ เพราะการเพิ่มจำนวนแบนด์ย่อยจะต้องใช้ฟิลเตอร์และส่วนประกอบอื่น ๆ เพิ่มเติม ทำให้สัญญาณรบกวนในระบบมีมากขึ้น ทำให้การปรับปรุงแก้ไข (Modification) การสแกรมบลิ่งมากเกินไปไม่ได้ทำให้คุณภาพของเสียงดีขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

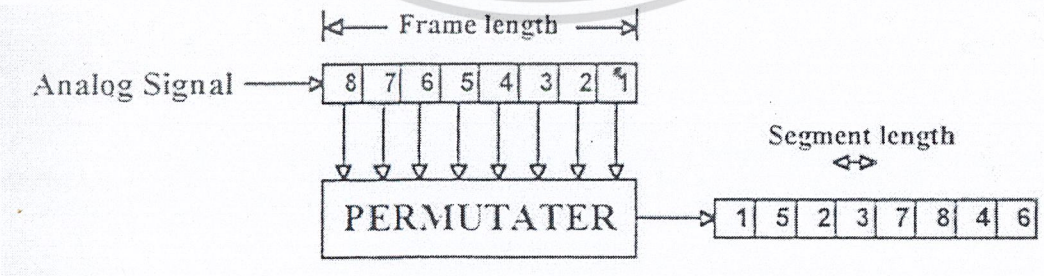


รูปที่ 1.4 แสดงถึงหลักการเข้ารหัสเสียงพูดด้วยวิธี Band Scrambler

การเข้ารหัสสัญญาณเสียงแบบ Time Element Scramblers (T.E.S.)

การทำงานของ Time Element Scramblers (T.E.S.) อาศัยหลักการพื้นฐาน โดยขั้นแรกแบ่งสัญญาณอนาลอกเป็นคาบเวลา (Time period) เท่า ๆ กัน โดยแต่ละส่วนเรียกว่า เฟรม แล้วแต่ละเฟรมจะถูกแบ่งย่อยออกเป็นคาบเวลาเล็ก ๆ เรียกว่า เซ็กเม้นท์ (Segment) และในทุก ๆ เฟรมของอินพุทจะสแกรมบลิ่งเซ็กเม้นท์เหล่านั้นด้วยวิธี การสลับลำดับ (Permutation)

วิธีการดังกล่าวอธิบายด้วยแผนภาพการทำงาน (Block diagram) ดังแสดงในรูปที่ 1.5 ซึ่งในที่นี้แต่ละเฟรมจะถูกแบ่งออกเป็น 8 เซ็กเม้นท์

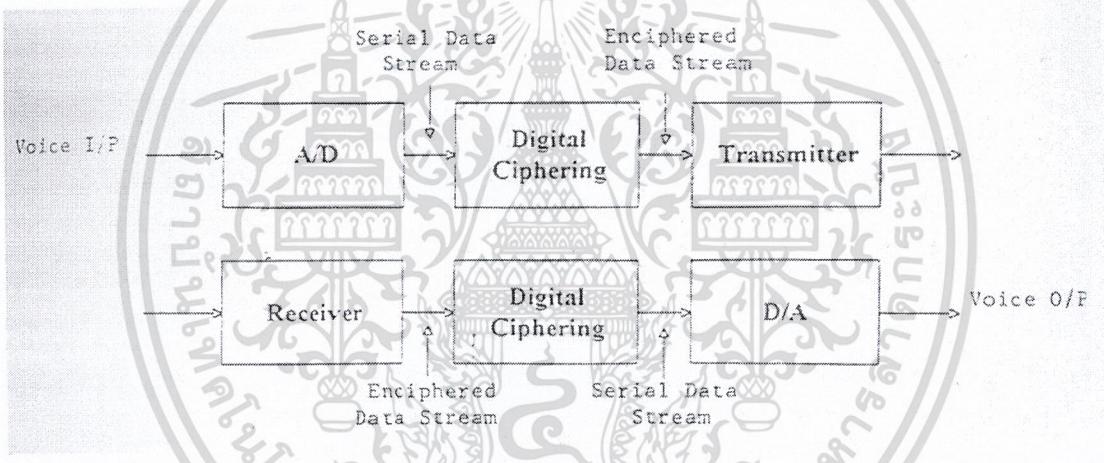


รูปที่ 1.5 Time Element Scrambler

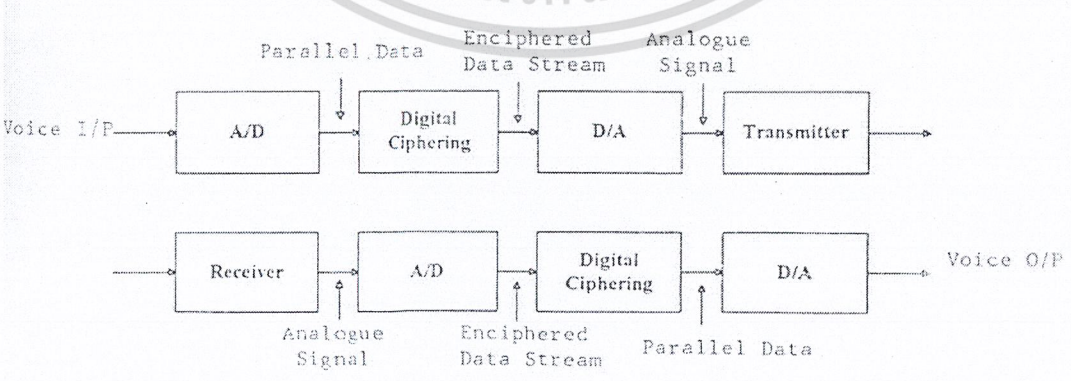
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

<u>การเข้ารหัสเสียงพูดด้วยวิธีทางดิจิตอล (Digital Encrypting Speech)</u>

การเข้ารหัสเสียงพูดด้วยวิธีทางดิจิตอล เป็นอีกวิธีหนึ่งที่ได้ประสิทธิภาพในการป้องกันข้อมูลอย่างสูงแบบหนึ่ง จากรูปที่ 1.6 เสียงที่ถูกเปลี่ยน (Convert) เป็นสัญญาณดิจิตอล จะอยู่ในรูปของ Serial Data Stream ซึ่งอาจจะเป็น 64 Kbps, 32 Kbps, 16 Kbps, 9.6 Kbps, 4.8 Kbps หรือ 2.4 Kbps ของอัตราความเร็วของบิท (bit rate) ขนาด 9.6 Kbps และที่สูงกว่าจะเป็นการเพิ่มแบนด์วิดธ์ของสัญญาณ ทำให้เพิ่มความยุ่งยากในการนำไปใช้งาน โดยจะต้องพิจารณาถึงระบบเชื่อมโยงการส่งผ่าน (Transmission link) ที่สามารถตอบสนองต่อสัญญาณที่ได้ใช้สำหรับอัตราความเร็วของบิทที่ต่ำกว่า 9.6 Kbps สามารถที่จะนำไปใช้ได้ก็จริง แต่ทั้งนี้ประสิทธิภาพสัมพันธ์กับการลดรูปของการจำรูปแบบของเสียง (Reduction in Voice Recognition) ซึ่งมีขบวนการที่ยุ่งยากและซับซ้อน ต้องใช้อุปกรณ์จำนวนมากและมีราคาแพง



รูปที่ 1.6 แสดงการเข้ารหัสเสียงพูดด้วยวิธีทางดิจิตอล



รูปที่ 1.7 แสดงการดัดแปลงการเข้ารหัสเสียงพูดด้วยวิธีทางดิจิตอลให้ดีขึ้น

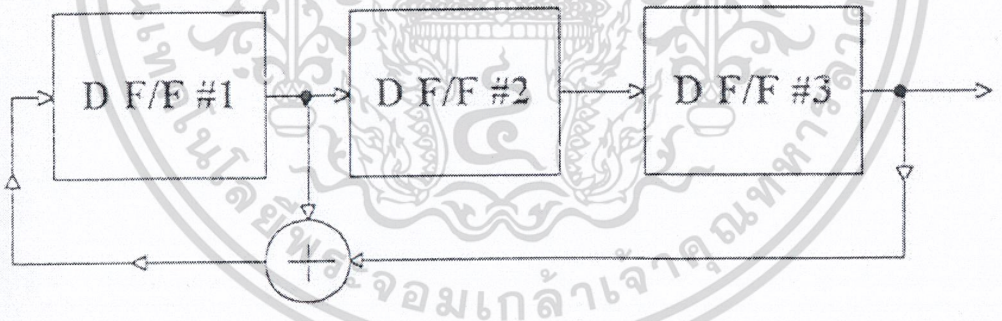
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การสแกรมเบลอและดีสแกรมเบลอ (Scrambler and Descrambler)

หลักการสแกรมเบลอและการดีสแกรมเบลอ

จากหลักการทำงานของข้อมูลสำหรับลำดับแบบกึ่งสุ่ม (Pseudo Random Sequences) ซึ่งสามารถสร้างได้โดยใช้ชิฟรีจิสเตอร์ (Shift register) ต่อให้มีการป้อนกลับ (feedback) แบบ Modulo 2 adder ชิฟรีจิสเตอร์นี้ประกอบขึ้นจากฟลิบฟลอบต่ออนุกรมกัน เมื่อชิฟรีจิสเตอร์ได้รับ clock สภาวะของฟลิบฟลอบแต่ละตัวจะถูกส่งไปที่ฟลิบฟลอบตัวถัดไป สัญญาณที่ถูก tap ออกมาจะผ่าน Modulo 2 adder และป้อนกลับไปที่ฟลิบฟลอบตัวแรก

จากรูปที่ 1.8 พิจารณาที่ตัวกำเนิด 3 Sequence สมมุติให้สภาวะเริ่มแรกของฟลิบฟลอบเป็น “1” ทั้งหมด เมื่อมี clock เข้ามา ข้อมูลของฟลิบฟลอบตัวที่ 1 และ 3 จะถูกรวมกัน ข้อมูลของฟลิบฟลอบตัวที่ 1 และ 2 จะถูกเลื่อนไปที่ตัวที่ 2 และ 3 เอาท์พุทที่ Mod 2 จะถูกส่งกลับไปที่ฟลิบฟลอบตัวที่ 1 ข้อมูลของชิฟรีจิสเตอร์จะวนเป็นรอบ มีสภาวะต่างกัน 7 สภาวะ แล้วจึงจะวนกลับไปซ้ำที่เดิม เอาท์พุทของ three state sequence นี้จะเริ่มจากฟลิบฟลอบตัวสุดท้ายของชิฟรีจิสเตอร์จะผลิตลำดับ 110100 ลำดับ 7 บิทนี้จะเป็นแบบสุ่ม



รูปที่ 1.8 ชิพรีจิสเตอร์ 3 ภาค ต่อให้มีการป้อนกลับ

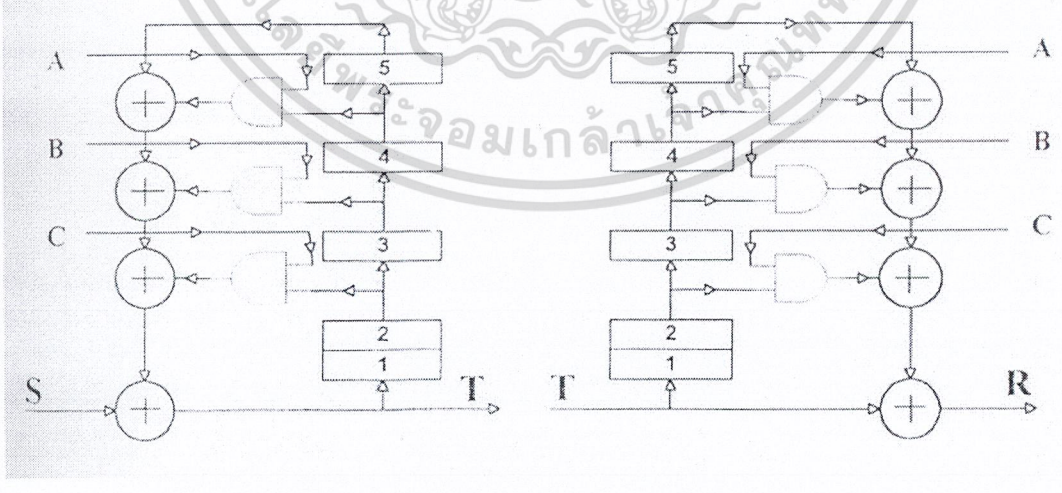
ความยาวของ Pseudo random นี้จะคำนวณได้จากจำนวนของชิฟรีจิสเตอร์ feedback tap และสภาพเริ่มแรกของฟลิบฟลอบ สังเกตจากรูปที่ 1.9 สภาวะเริ่มแรกที่เป็น “0” ทั้งหมดจะไม่ใช้ในการกำเนิดลำดับนี้ ค่าความยาวของลำดับสูงสุดหาได้จาก n-state shift register คือ 2 x n-1 ตัวอย่างของค่าลำดับสูงสุดตามตารางที่ 1 สำหรับจำนวนชิพรีจิสเตอร์ต่าง ๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 1 **ความยาวสูงสุดของ Pseudo Random Sequence**

จำนวน shift reg	Feed back TAP	Period of sequence
3	1,3	7
4	1,4	15
5	2,5	31
6	1,6	63
7	1,7	127
8	1,6,7,8	255
9	4,9	511
10	3,10	1023
11	2,11	2047

Pseudo random จะนำมาใช้เป็นสแกรมเบลอข้อมูล โดย Modulo 2 adders ของข้อมูลกับลำดับ Pseudo random ตามรูปที่ 1.8 เป็น block diagram ของสแกรมเบลอและดิสแกรมเบลอ ซึ่งจะใช้ prescribed pseudo random (PR) sequence สังเกตว่า PR sequence generator ที่ใช้จะเหมือนกันทั้งสแกรมเบลอและดีสแกรมเบลอ ซึ่งสแกรมเบลอจะใช้ป้อนกลับ ส่วนดีสแกรมเบลอจะใช้ป้อนตาม (feed forward)



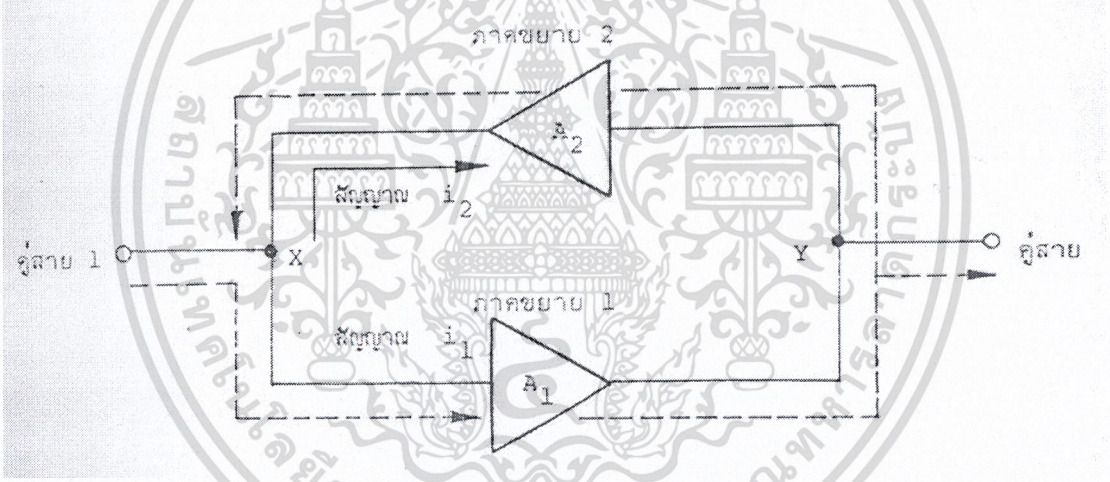
รูปที่ 1.9 แสดงให้เห็นสแกรมเบลอและดีสแกรมเบลอ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การส่งสัญญาณแบบสวนทิศทางกันได้

ปัจจุบันการติดต่อสื่อสาร โดยเฉพาะระบบโทรศัพท์มีความสำคัญมาก นอกจากเราจะใช้พูดคุยกันแล้ว ยังช่วยในการเชื่อมต่อข้อมูลในระบบคอมพิวเตอร์ เนื่องจากระบบ Scramble ของเราต้องการออกแบบให้ใช้กับระบบการสื่อสารแบบ Full duplex ดังนั้นในบทนี้ เราจะมีการศึกษาถึงการส่งสัญญาณแบบสวนทิศทางกันในคู่สาย 2 เส้น

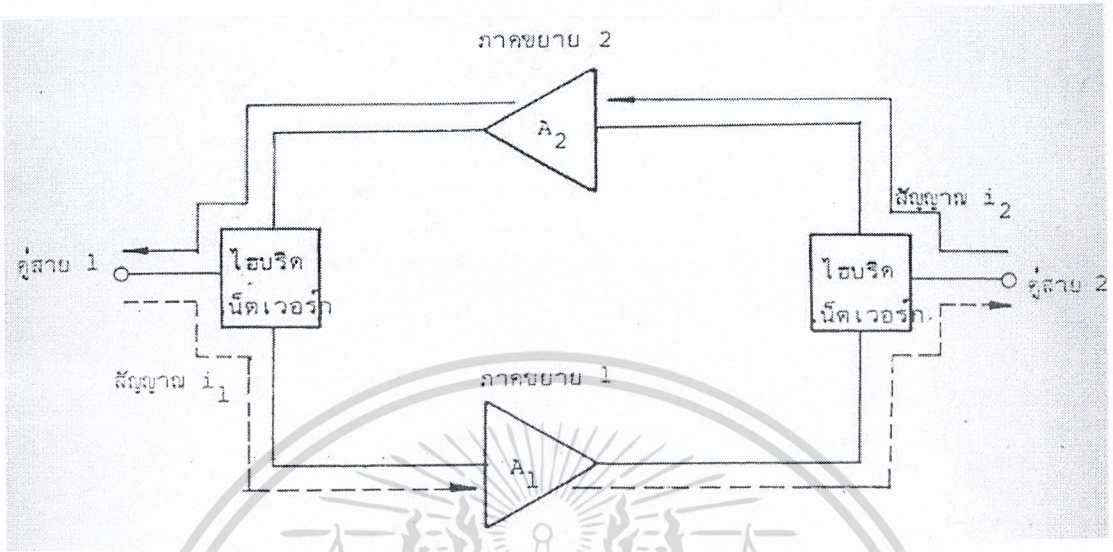
ในระบบโทรศัพท์ที่ใช้ 2 สายอย่างในประเทศไทยเรา สายสัญญาณ 2 เส้นนี้จะเป็นตัวผ่านสัญญาณทั้ง 2 ทิศทางในขณะเดียวกัน ปัญหาก็คือ ทำอย่างไรจึงจะส่งสัญญาณสวนทางกันได้บนสายสัญญาณ 2 เส้น และหากมีการขยายสัญญาณด้วย จะใช้ด้านใดเป็นอินพุท ด้านใดเป็นเอาท์พุท



รูปที่ 1.10 การเกิดลูปย้อนกลับเมื่อไม่มีวงจรไฮบริค

จากรูปที่ 1.10 เป็นการแก้ปัญหาลักษณะหนึ่ง โดยใช้ภาคขยายสัญญาณวางสลับทิศทางกัน มี A1 และ A2 เป็นอุปกรณ์ทวนสัญญาณ โดยมีการขยายในทิศทางตรงกันข้าม ถ้าสมมุติว่า คู่สาย 1 มีการส่งสัญญาณขึ้น ก็จะมีสัญญาณ i วิ่งเข้าที่จุด X แล้วแยกเป็น i1 และ i2 สัญญาณ i2 ไม่สามารถผ่านวงจรขยาย A2 ได้ เพราะผิดทิศทาง แต่สัญญาณ i1 จะถูกขยายโดยวงจรขยาย A1 แล้วไหลเข้าที่จุด Y สัญญาณ i1 บางส่วนจะถูกขยายโดยวงจรขยาย A2 อีกครั้ง ทำให้สัญญาณ i1 เดินทางครบ loop เกิดการป้อนกลับแบบบวก ทำให้เกิดการ Oscillate ขึ้น การแก้ปัญหานี้ก็ต้องนำวงจรที่สามารถกันสัญญาณ i1 ไม่ให้ไหลย้อนกลับเข้าไปในวงจรขยาย A2 ได้ ซึ่งวงจรนั้นก็คือ วงจร Hi bridge ซึ่งจะเป็นดังรูปที่ 1.11

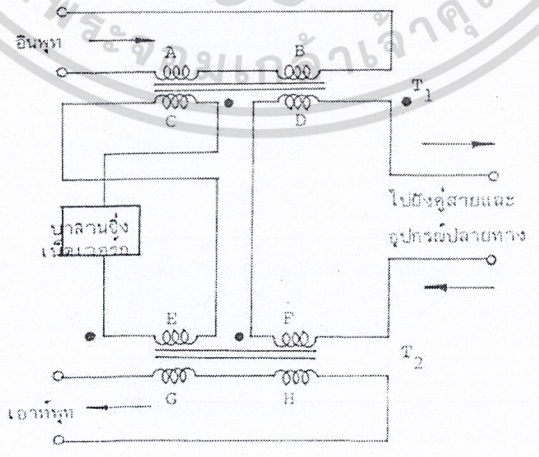
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 1.11 การแก้การเกิดสภาพออสซิลเลตโดยเพิ่มวงจรไฮบริด

<u>การทำงานของวงจร Hi-bridge</u>

วงจร Hi bridge แสดงไว้ในรูปที่ 1.12 ประกอบด้วย Balancing network และหม้อแปลง T1 และ T2 จุด (dot) ที่เห็นในวงจร เป็นตัวชี้ถึงเฟสของขดลวด ถ้าไม่ถูกต้องแล้ววงจรก็จะไม่สามารถทำงานได้



รูปที่ 1.12 วงจรไฮบริดเนทเวิร์ด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เริ่มต้นเมื่อมีสัญญาณเข้ามาทาง Input ที่ขดลวด A และ B ทางด้านปฐมภูมิ ทำให้เกิดการ coupling ไปยังขดลวด C และ D ทางด้านทุติยภูมิตามลำดับ เนื่องจากการ coupling ของขดลวด B จะทำให้มีสัญญาณปรากฏที่ขดลวด D, F และโหลด ดังนั้น สัญญาณจะไปปรากฏที่คู่สาย ขณะเดียวกันขดลวด F ก็จะเหนี่ยวนำให้เกิดสัญญาณที่ขดลวด H ด้วย

ทางด้านขดลวด C เกิดมีสัญญาณ coupling จากขดลวด A เช่นกัน ไหลผ่าน balancing network และขดลวด E ซึ่งขดลวด E ก็จะ coupling ไปยังขดลวด G อีก โดยมีค่าเท่ากับสัญญาณที่ขดลวด H แต่มีทิศทางตรงกันข้าม หรือต่างเฟสกัน 180 องศา จึงเกิดการหักล้างกัน เป็นผลทำให้ไม่มีสัญญาณจาก Input ไปปรากฏที่ Output

วงจร Hi-bridge จะกันไม่ให้สัญญาณที่ Input ไปปรากฏที่ Output ได้อย่าง 100% ก็ต่อเมื่อ Balancing network มีอิมพีแดนซ์แมตซ์กับอิมพีแดนซ์รวมของคู่สาย ซึ่งมีทั้งค่าความต้านทานและค่ารีแอกแตนซ์รวมอยู่ด้วย

คราวนี้ถ้าเกิดมีการส่งสัญญาณมาจากคู่สายบ้าง สัญญาณก็จะไหลผ่าน D และ F เกิดการ coupling ไปยังขดลวด B และ H ตามลำดับ ที่ขดลวด H จึงมีสัญญาณปรากฏผ่านขดลวด G ด้วย จึงเกิดการ coupling ที่ขดลวด E ซึ่งจะไหลผ่าน Balancing network และขดลวด C ด้วย และจะเหนี่ยวนำให้เกิดสัญญาณที่ขดลวด A อีก ซึ่งมีค่าเท่ากับสัญญาณเหนี่ยวนำที่ขด B อันเนื่องมาจากขดลวด D แต่ต่างเฟส 180 องศา ฉะนั้นจึงไม่มีสัญญาณออกไปทาง Input ของวงจร Hi-Bridge

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

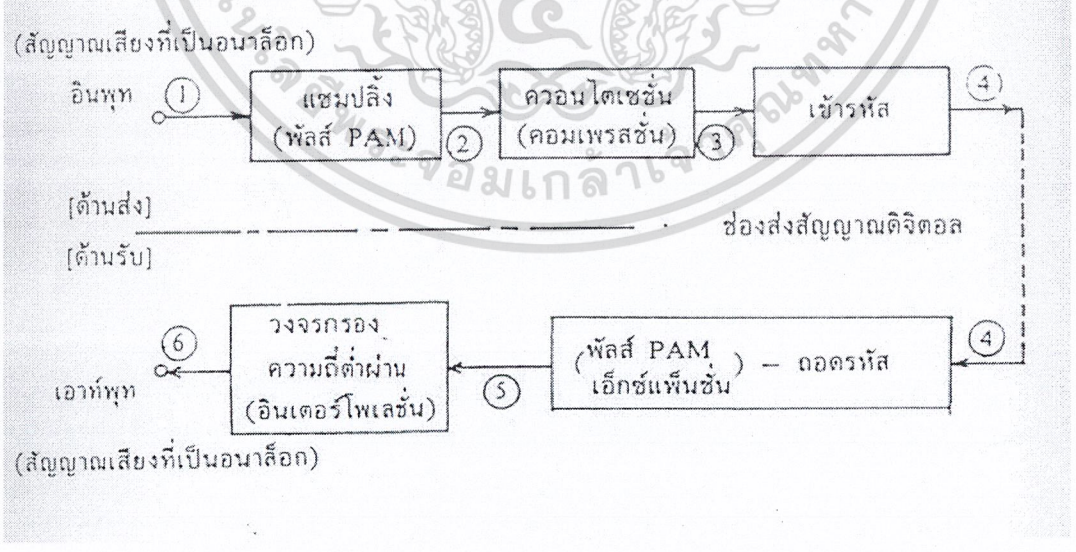
บทที่ 2
พัลส์โค๊ดมอดูเลชั่น
(Pulse Code Modulation)

การเข้ารหัสของสัญญาเสียง

ในปัจจุบันระบบ PCM ถูกนำไปใช้อย่างกว้างขวาง โดยเฉพาะสำหรับสัญญาณเสียง และในระยะหลังๆ นี้ การพัฒนาระบบนี้เพื่อนำไปใช้กับสัญญาณภาพก็มีบทบาทขึ้นด้วย ดังนั้น ในบทนี้ในตอนแรกจะกล่าวถึงการนำระบบ PCM ไปใช้กับสัญญาณเสียงก่อน ในตอนท้ายจึงจะกล่าวถึงการพัฒนาระบบ PCM ในรูปแบบต่าง ๆ เพื่อนำไปใช้ทั้งสัญญาณเสียงและสัญญาณภาพ

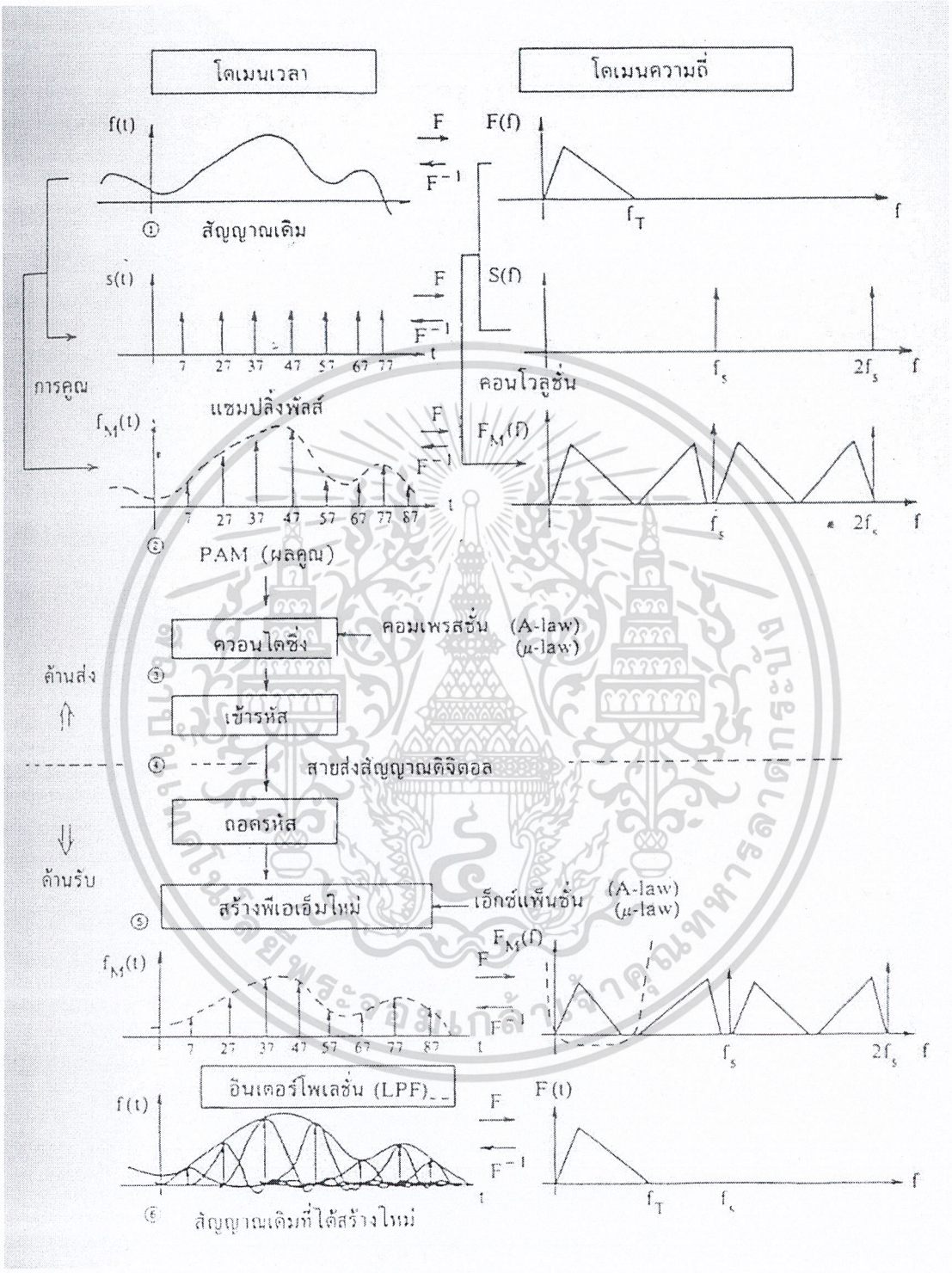
กระบวนการเข้ารหัสและถอดรหัสของพีซีเอ็ม

รูปที่ 2.1 แสดงขั้นตอนการประมวลสัญญาณเพื่อให้ได้รับ PCM กล่าวอย่างกว้าง ๆ ก็คือ การเข้ารหัส (Coding) และการนำสัญญาณไปแปลงกลับ ซึ่งเรียกว่า การถอดรหัส (Decoding) เพื่อให้ได้สัญญาณเดิม สำหรับรูปที่ 2.2 แสดงลักษณะคลื่นในโดเมนเวลาและสเปคตรัมในโดเมนความถี่ของแต่ละขั้นตอนในกระบวนการนี้ ซึ่งหลักการของแต่ละขั้นตอนจะกล่าวให้ละเอียดดังต่อไปนี้



รูปที่ 2.1 กระบวนการเข้ารหัสและถอดรหัสของระบบ PCM

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.2 กระบวนการเข้ารหัสและถอดรหัส (โดเมนเวลาและโดเมนความถี่)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การแซมปลิ้ง (Sampling)

ตามที่ทราบกันดีแล้วว่า แซมปลิ้ง คือการทำสัญญาณซึ่งมีค่าต่อเนื่องให้เป็นแบบดิสครีทในช่วงเวลาที่เท่า ๆ กัน และตามที่ได้กล่าวมาแล้วข้างต้นว่า ทฤษฎีการแซมปลิ้งนั้น ถ้าเก็บแซมปลิ้งด้วยอัตรา 2 เท่าหรือมากกว่า ความถี่สูงสุดของสัญญาณอนาล็อกแล้ว จะสามารถทำให้สัญญาเดิมกลับคืนมาได้ เนื่องจากสัญญาณเสียงที่ใช้ในระบบโทรศัพท์นั้นถูกจำกัดให้มีความถี่ระหว่าง 0.3-3.4 KHz ดังนั้น อัตราการแซมปลิ้งต่ำสุดจะต้องเท่ากับ 6.8 KHz สำหรับในทางปฏิบัติจะใช้ 8 KHz คือแซมปลิ้งทุก ๆ 125 μsec ($1/8 \times 10^3$)

การแซมปลิ้งนี้ จะแปลงสัญญาณอนาล็อกให้เป็นขบวนพัลส์ ซึ่งเรียกว่า PAM และจะมีผลดีได้จะต้องมีเงื่อนไขดังต่อไปนี้

ก) สัญญาณอินพุทต้องไม่มีองค์ประกอบเกินความถี่สูงสุด f_0

ข) ขบวนพัลส์ที่ใช้สำหรับแซมปลิ้งจะต้องเป็นอิมพัลส์ ซึ่งมีความกว้าง 0 และมีแอมปลิจูดเป็นอนันต์

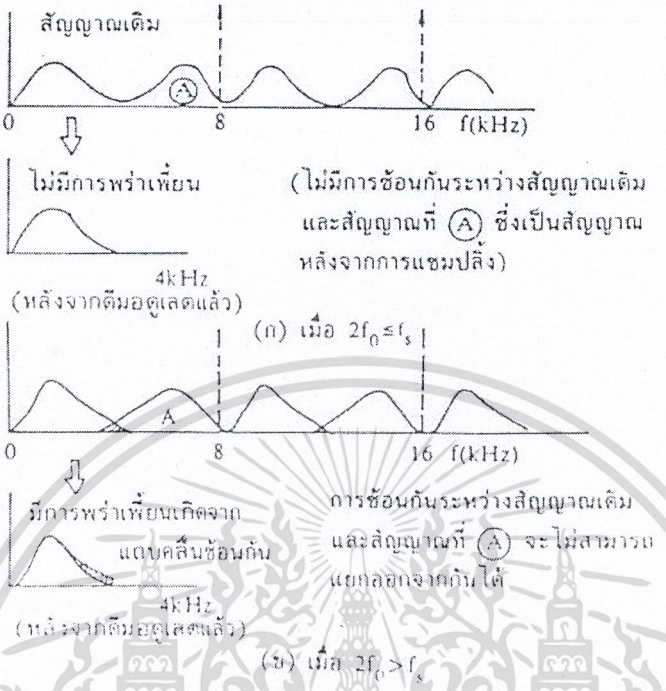
ค) ทางด้านรับต้องใช้วงจรกรองความถี่ต่ำตามอุดมคติ (ideal low pass filter) ซึ่งยอมให้ความถี่ต่ำกว่า f_0 ผ่านได้ทั้งหมด

แต่อย่างไรก็ตาม ในทางปฏิบัตินั้นจะไม่สามารถทำให้เป็นไปตามเงื่อนไขดังกล่าวข้างต้นได้อย่างสมบูรณ์ เมื่อเป็นเช่นนี้จะเกิดการพร่าเพี้ยน (distortion) ต่าง ๆ ขึ้น คือ

การพร่าเพี้ยนเกิดจากแถบคลื่นซ้อนกัน (Aliasing distortion)

ถ้าความถี่สูงสุดของสัญญาณอินพุทเป็น f_0 และความถี่ที่ใช้แซมปลิ้งเป็น f_S เมื่อ $f_S \geq 2 f_0$ วงจรกรองความถี่ต่ำทางด้านรับจะขจัดองค์ประกอบความถี่ที่มากกว่า f_0 ออก ทำให้ง่ายต่อการทำสัญญาณเดิมให้กลับคืนมาได้ ตามรูปที่ 2.3 (ก) แต่ถ้าสัญญาณอินพุทมีองค์ประกอบความถี่สูงดว่า $f_S/2$ รวมอยู่ด้วย ขบวนพัลส์ PAM ที่ได้รับจะมีสเปคตรัมเกิดขึ้น ดังแสดงไว้ในรูปที่ 2.3 (ข) จะเห็นได้ว่ามีความถี่สเปคตรัมซ้อนกันระหว่างสัญญาณเดิมกับ LSB จึงเป็นการลำบากที่จะทำให้สัญญาณเดิมกลับคืนมาได้อย่างสมบูรณ์ แม้ว่าวงจรกรองความถี่จะกรองความถี่ที่สูงกว่า f_0 ออกแล้วก็ตาม ก็ยังคงเหลือนอยส์ปนอยู่กับสัญญาณที่ได้ดีมอดูเลตแล้ว ปรากฏการณ์เช่นนี้เรียกว่า Aliasing distortion

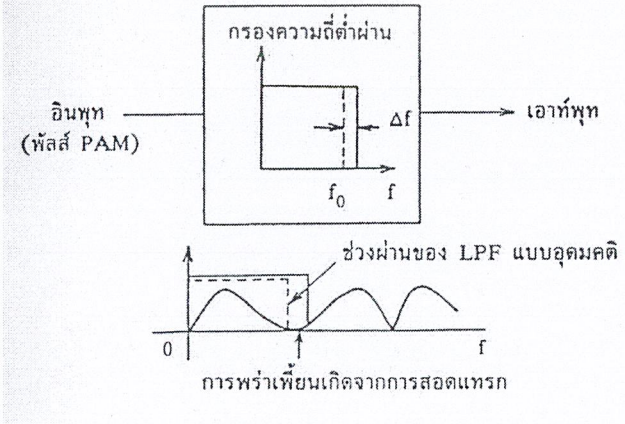
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.3 การพร่าเพี้ยนเกิดจากแถบคลื่นซ้อนกัน

<u>การพร่าเพี้ยนเกิดจากการสอดแทรก</u> (Interpolation distortion)

การดีมอดูเลตพัลส์ PAM ทางด้านรับนั้นจะได้ LPF ตามอุดมคติ ดังที่ได้กล่าวมาแล้วข้างต้นว่า ในทางปฏิบัติไม่สามารถที่จะสร้างวงจรแบบนี้ได้ จึงเพียงแต่สร้างให้มีคุณลักษณะใกล้เคียงกันเท่านั้น ดังนั้นจึงไม่สามารถจะกำจัดความถี่ซึ่งสูงกว่า f_0 และฮาร์โมนิกส์ต่าง ๆ ออกไปได้ตามที่แสดงไว้ในรูปที่ 2.4 สิ่งดังกล่าวเหล่านี้จะสอดแทรกเข้าไปปนกับสัญญาณที่ได้จากการดีมอดูเลต จึงเป็นผลทำให้เกิดการพร่าเพี้ยน ซึ่งเรียกว่า Interpolat-ing distortion

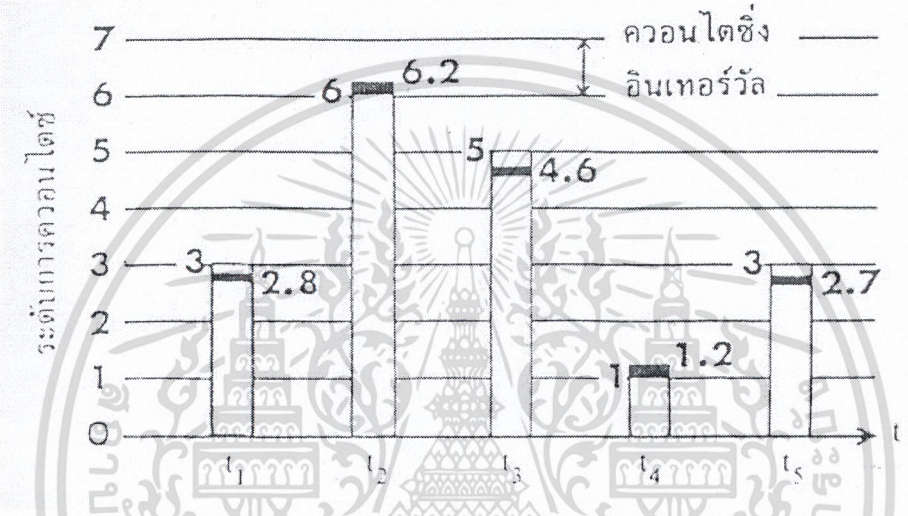


รูปที่ 2.4 การพร่าเพี้ยนเกิดจากการสอดแทรก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

<u>การจัดระดับ</u> (Quantizing)

ขบวนพัลส์ PAM ที่ผ่านการแซมปลิ้งมาแล้ว ยังถือว่าเป็นชนิดอนาล็อกอยู่ คือมันจะมีแอมปลิจูดที่เปลี่ยนแปลงอย่างต่อเนื่องไปกับเวลาที่เป็นช่วง ๆ การจัดระดับคือ กระบวนการที่เปลี่ยนแอมปลิจูดของ PAM เหล่านั้นให้เป็นค่าตัวเลขแบบดิสครีท ตามที่แสดงไว้ในรูปที่ 2.5



รูปที่ 2.5 การจัดระดับ

จากรูปที่ 2.5 แอมปลิจูดของแซมเปิ้ลทุกตัวของ PAM จะถูกจัดให้เป็นระดับซึ่งเรียกว่า ระดับควอนไตซ์ (Quantizing level) โดยมีระยะห่างระหว่างระดับข้างเคียง เรียกว่า ควอนไตซิ่งอินเทอร์วัล (Quantizing interval) หรือควอนไตซิ่งสเต็พนั้นเท่ากัน กรณีนี้เรียกว่า การจัดระดับแบบยูนิฟอร์มหรือแบบลิเนียร์ (Uniform Quantizing) ขนาดของแซมเปิ้ลทุกตัวจะแสดงด้วยค่าระดับควอนไตซ์ที่ใกล้เคียงที่สุด เช่น ขนาดของแซมเปิ้ลที่ t = t1 คือ 2.8 จะจัดให้เป็นระดับ 3 หรือค่าแซมเปิ้ลที่ t = t2 มีขนาด 6.2 จะจัดให้เป็น 6 เป็นต้น จะเห็นได้ว่าสัญญาณ PAM ที่ถูกจัดระดับแล้วนี้จะเป็นเพียงค่าโดยประมาณของสัญญาณอนาล็อกเท่านั้น ดังนั้น ส่วนเกินและส่วนขาดจากการจัดระดับจึงเป็นค่าผิดพลาดระหว่างสัญญาณเดิมและค่าที่ได้จัดระดับ ซึ่งค่าผิดพลาดนี้เรียกว่า ควอนไตซิ่งนอยส์ (Quantizing noise) หรือความพร่าเพี้ยนจากการควอนไตซ์ (Quantizing Distortion)

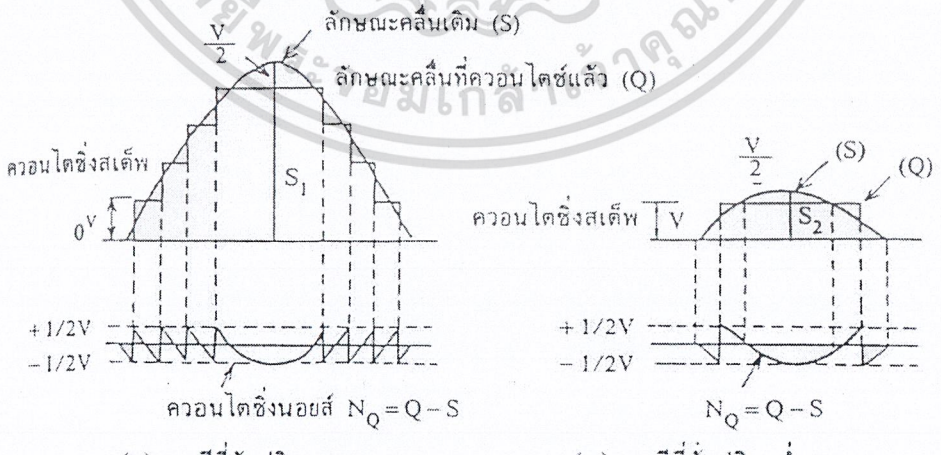
อนึ่ง จากหลักการที่กล่าวมานี้ ทางปฏิบัติจะไม่สามารถหลีกเลี่ยงควอนไตซิ่งนอยส์ได้ แต่เพื่อรักษาคุณภาพของเสียงในการสนทนาให้ดี จึงจำเป็นต้องทำให้นอยส์นี้ลดลง ในเบื้องต้นคือการลดควอนไตซิ่งอินเทอร์วัลให้แคบลงอย่างพอเพียง ก็สามารถจะลดควอนไตซิ่งนอยส์ได้ในระดับหนึ่ง อย่างเช่น ถ้าลดอินเตอร์เทอร์วัลลงครึ่งหนึ่ง ปริมาณของควอนไตซิ่งนอยส์จะลดลงเป็น ¼ และการลดอินเทอร์วัลให้เหลือครึ่งหนึ่งนั้น จะสอดคล้องกับการเพิ่มจำนวนบิทอีก 1 บิท นั่นคือ พาวเวอร์ของควอนไตซิ่งนอยส์จะลดลง 6 dB ทุก ๆ การเพิ่ม 1 บิท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

<u>คอมแพนดิ้ง</u> (Companding)

ตามที่ได้กล่าวมาแล้วว่า เราไม่สามารถจะหลีกเลี่ยงควอนไตซิ่งนอยส์ที่เกิดขึ้นได้ แต่จะต้องทำให้ลดลงโดยการลดควอนไตซิ่งอินเทอร์วัล หรือการเพิ่มจำนวนระดับนั่นเอง แต่เมื่อเพิ่มจำนวนระดับขึ้นแล้ว จำนวนบิทที่ใช้จะเพิ่มขึ้น จึงจำเป็นต้องใช้ความเร็วในการส่งสัญญาณดิจิตอลให้สูงขึ้น ตามปกติควอนไตซิ่งนอยส์จะเกิดขึ้นอย่างสม่ำเสมอในทุกอินเทอร์วัล โดยไม่เกี่ยวข้องกับแอมปลิจูดของสัญญาณเดิม หรือกล่าวอีกนัยหนึ่งคือ พาวเวอร์ของควอนไตซิ่งนอยส์เกือบจะคงที่โดยไม่ขึ้นอยู่กับสัญญาณ และในการวัดคุณภาพของการเข้ารหัสของสัญญาณเสียงจะใช้อัตราส่วนของสัญญาณ S ต่อควอนไตซิ่งนอยส์ N_Q เมื่อเป็นเช่นนี้จะเข้าใจได้ว่าในกรณีที่สัญญาณมีระดับสูง S/N_Q จะดีกว่า กรณีของสัญญาณซึ่งมีระดับต่ำ ดังนั้น จึงจำเป็นต้องพิจารณาควอนไตซิ่งนอยส์ในบริเวณที่สัญญาณมีระดับต่ำ อย่างเช่นตามรูปที่ 2.6 กรณีที่เป็นการจัดระดับแบบยูนิฟอร์มจะเห็นได้ว่าเมื่อสัญญาณมีพาวเวอร์ต่ำ นอยส์จะมีระดับสูงเมื่อเทียบกับระดับของสัญญาณ จึงทำให้ S/N_Q เลวลง ด้วยเหตุนี้จึงใช้การจัดระดับโดยวิธีอื่น กล่าวคือ แบบน็อนยูนิฟอร์ม (Non-Uniform Quantizing) คือบริเวณที่สัญญาณมีแอมปลิจูดต่ำจะใช้ควอนไตซิ่งสเต็พแคบ ๆ และในทางตรงกันข้ามบริเวณที่สัญญาณมีแอมปลิจูดสูงจะใช้ควอนไตซิ่งสเต็พกว้าง ๆ ซึ่งการทำให้เป็นแบบน็อนยูนิฟอร์มนั้น จะใช้หลักการของ Companding เข้าช่วย

คอมแพ็นดิ้งเป็นชื่อรวมของวงจรคอมเพรสเซอร์ (Compressor) ซึ่งใช้สำหรับด้านส่ง และวงจรเอกซ์แพนเดอร์ (Expander) ซึ่งใช้สำหรับด้านรับ คุณสมบัติของวงจรนี้จะกล่าวในภายหลัง อย่างไรก็ตาม ตัวอย่างการจัดระดับควอนไตซ์แบบน็อนยูนิฟอร์มได้แสดงไว้ในรูปที่ 2.7 ซึ่งมีขั้นตอนคือ ก่อนที่จะทำการจัดระดับจะผ่านสัญญาณไปยังวงจรคอมเพรสเซอร์ ซึ่งมีคุณลักษณะของอินพุท/เอาท์พุทตามรูปที่ 2.7 (ก) แล้วทำการจัดระดับแบบยูนิฟอร์มตามรูปที่ 2.7 (ข) ก็จะได้การจัดระดับแบบน็อนยูนิฟอร์มตามรูปที่ 2.7 (ค) สำหรับทางด้านรับนั้นเมื่อสัญญาณ PCM ผ่านขั้นตอนการถอดรหัส แล้วก็จะผ่านไปยังวงจรเอกซ์แพนเดอร์ ซึ่งมีคุณลักษณะตรงกันข้ามกับคอมเพรสเซอร์ตามรูปที่ 2.7 (ง)



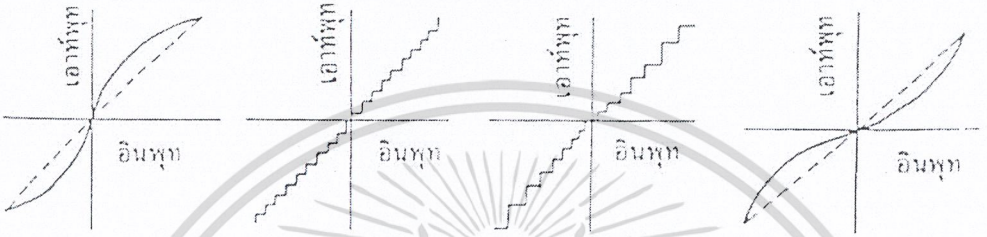
$$\frac{\frac{V}{2}}{S_1} < \frac{\frac{V}{2}}{S_2}$$

รูปที่ 2.6 การควอนไตซ์และควอนไตซิ่งนอยส์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

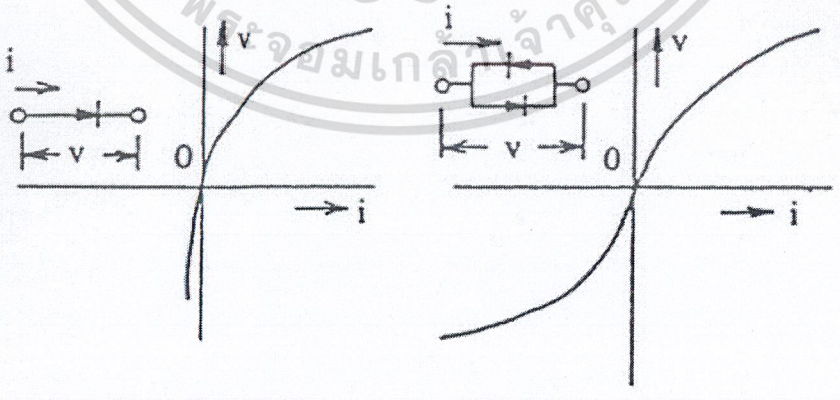
อนึ่ง กรณีที่จัดระดับแบบยูนิฟอร์มนั้น จะใช้ประมาณ 2,000 ระดับ จึงจะรักษาคุณภาพของเสียงให้ดี ในการเข้ารหัสจะต้องใช้ถึง 11 บิทต่อแซมเปิ้ล 1 ตัว แต่ถ้าใช้แบบน็อนยูนิฟอร์มแล้วจะใช้เพียง 7 บิท ซึ่งมีระดับเพียง 128 เท่านั้น ก็เพียงพอที่จะทำให้ S/N_Q ใกล้เคียงกับการจัดระดับแบบยูนิฟอร์ม CCITT กำหนดว่าให้ใช้ 8 บิทต่อแซมเปิ้ล 1 ตัว และระดับการควอนไตซ์ 256 ก็จะเป็นการรับรองว่าเสียงพูดจะมีคุณภาพที่ดี



(ก) คอมเพรสชั่น (ข) ยูนิฟอร์มควอนไตซิ่ง (ค) น็อนยูนิฟอร์มควอนไตซิ่ง (ง) เอ็กซ์แพ็นชั่น

รูปที่ 2.7 คุณลักษณะการจัดระดับด้วยคอมเพรสเซอร์และเอกซ์แพนเดอร์

สำหรับคุณลักษณะของคอมเพรสเซอร์นั้นจะเป็นแบบลอการิทึม รูปแบบโดยทั่วไปจะใช้คุณสมบัติของ V-I ของไดโอด ตามรูปที่ 2.8 กรณีที่ใช้เป็นคอมเพรสเซอร์จะมีกระแส i เป็นอินพุทโวลเตจ v เป็นเอาท์พุท สำหรับกรณีที่ใช้เป็นเอกซ์แพนเดอร์จะมีโวลเตจเป็นอินพุท และกระแส i เป็นเอาท์พุท



(ก) ไดโอดตัวเดียว (ข) ไดโอดหลายตัว

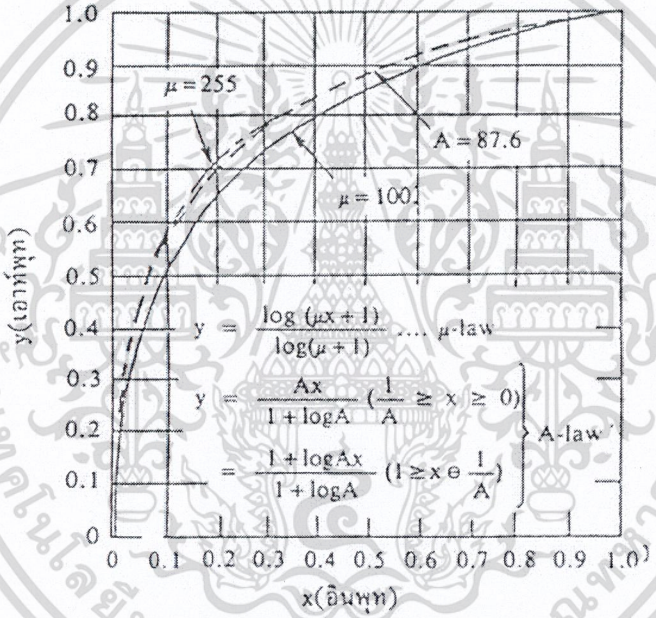
รูปที่ 2.8 คุณลักษณะคอมเพรสชั่นของไดโอด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับใช้ในการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

42351

คุณลักษณะของคอมเพรสเซอร์ที่ใช้สำหรับประกอบการเข้ารหัสสัญญาณเสียงในปัจจุบันคือ μ-law ซึ่งใช้ใน Hierarchy ของระบบ 1.5 Mb/s และ A-law ใช้ใน Hierarchy ของระบบ 2 Mb/s คุณลักษณะทั้ง 2 แบบนี้แสดงไว้ในรูปที่ 2.9 เฉพาะกรณีของ μ = 100 , μ = 255 และ A = 87.6

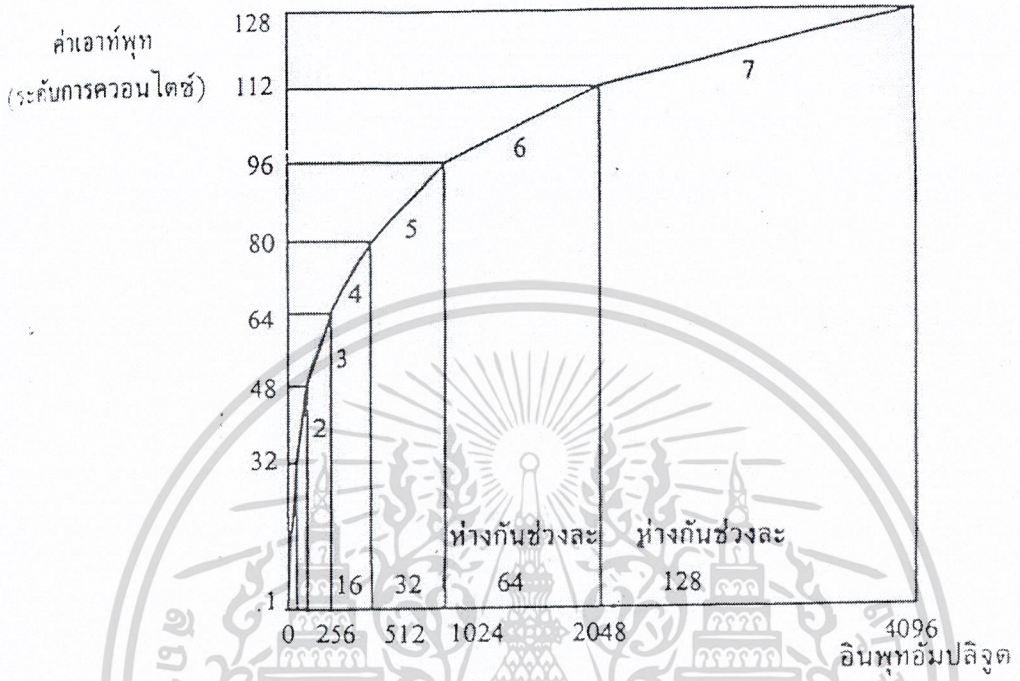
กรณีที่ μ = 100 จะใช้วงจรคอมเพรสเซอร์ตามรูปที่ 8 แต่กรณี μ = 255 และ A = 87.6 จะใช้วงจรคอมเพรสเซอร์ที่มีคุณลักษณะเป็นเส้นตรง โดยแยกเป็นส่วน ๆ ซึ่งมีคุณลักษณะใกล้เคียงกับในรูปที่ 2.9 ตามปกติในวงจรเข้ารหัสจะมีหน้าที่นี้ร่วมอยู่ด้วย แล้วนำการกด (Compress) และเข้ารหัสไปพร้อม ๆ กัน วงจรเข้ารหัสนี้ถูกเรียกว่า Broken line encoder



รูปที่ 2.9 แบบอย่างคุณลักษณะของคอมเพรสชั่น

อนึ่ง กรณีที่ใช้ μ = 255 จะประมาณด้วยเส้นตรง 15 เส้น สำหรับกรณีที่ใช้ A = 87.6 จะแบ่งเป็นเส้นตรง 13 ส่วน โดยส่วนที่ 1 จะเป็นเส้นตรงผ่านจุดเริ่มต้นไปทั้งทางบวกและทางลบ สำหรับคุณลักษณะของ A-law นี้แสดงไว้ในรูปที่ 2.10 ซึ่งแสดงคุณลักษณะเฉพาะด้านบวกเท่านั้น อินพุทแอมปลิจูด 4096 จะสอดคล้องกับสัญญาณซึ่งมีพาวเวอร์ 3.14 dBm0 สำหรับเอาท์พุทนั้นจะถูกจัดให้เป็น 256 ระดับ (ทั้งด้านบวกและลบ) คือใช้ 8 บิทต่อแซมเปิ้ล 1 ตัว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

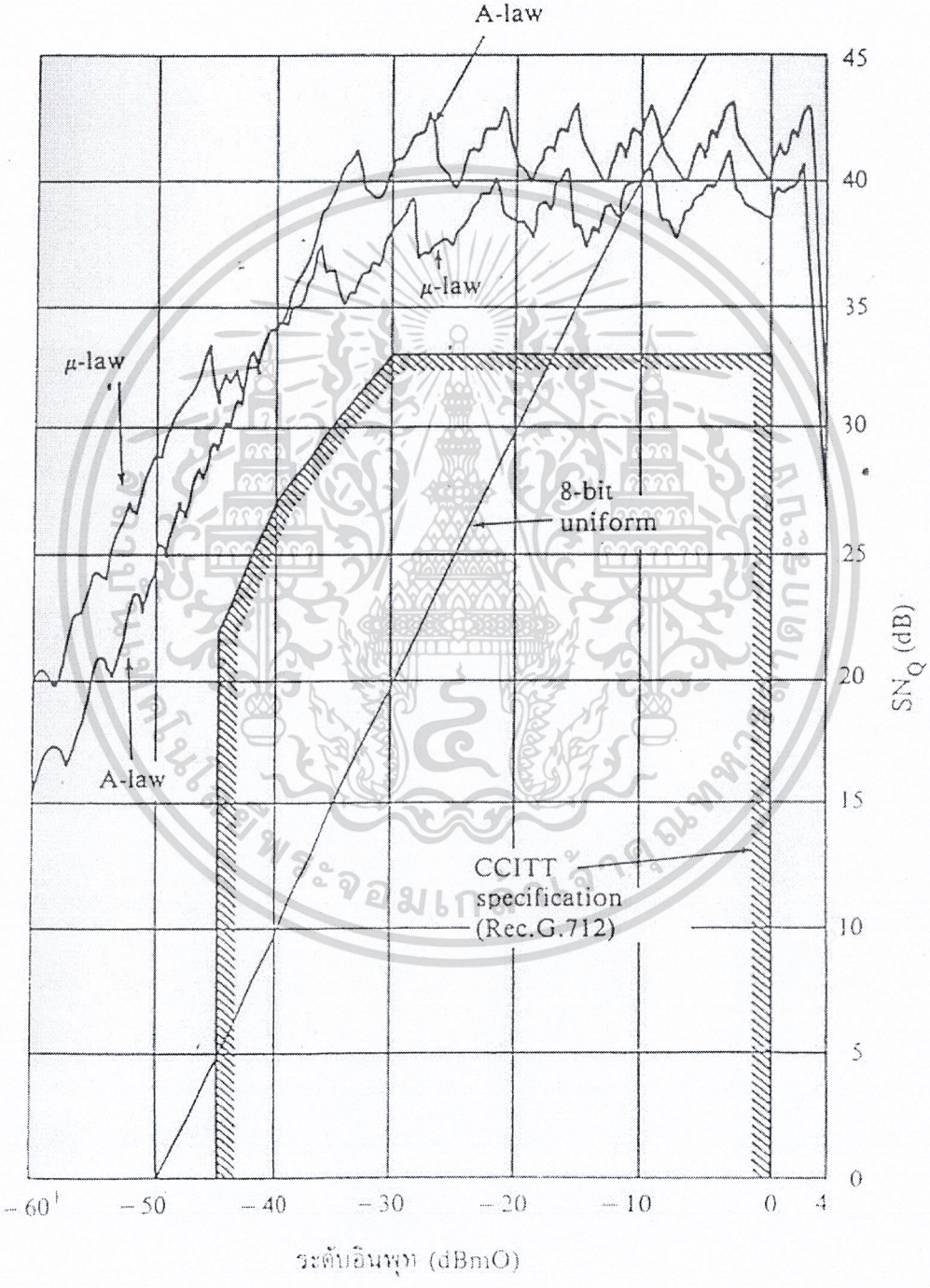


รูปที่ 2.10 คุณลักษณะของคอมแพนดิ้งเมื่อ A = 87.6

เมื่อเปรียบเทียบคุณลักษณะของคอมเพรสเซอร์ระหว่าง A-law และ μ-law ที่เกี่ยวข้องกับ S/N_Q แล้ว ตามรูปที่ 2.11 จะเห็นได้ว่า คุณลักษณะของทั้ง A-law และ μ-law จะเป็นแบบฟันเลื่อย เนื่องจากส่วนโค้งของคอมแพนเดอร์ถูกประมาณค่าให้เป็นเส้นตรงส่วนย่อย ๆ และจะเห็นได้ว่าส่วนที่สัญญาณมีพาวเวอร์สูง A-law จะมี S/N_Q ดีกว่า ในทางตรงกันข้าม ส่วนที่สัญญาณมีพาวเวอร์ต่ำจะมี S/N_Q ด้อยกว่า ทั้งนี้เนื่องจากกรณีแรกควอนไตซิ่งอินเทอร์วัลของ A-law มีขนาดแคบกว่าของ μ-law สำหรับกรณีหลังของ A-law จะกว้างกว่า แต่อย่างไรก็ตาม ทั้ง A-law และ μ-law นั้น พิจารณาได้ว่าจะมี S/N_Q สูง และเกือบคงที่แม้ว่าสัญญาณจะมีพาวเวอร์ต่ำ

จากหลักการที่ได้กล่าวมาแล้วนี้จะเข้าใจได้ว่า การปรับปรุง S/N_Q ในบริเวณสัญญาณซึ่งมีพาวเวอร์ต่ำ โดยใช้วิธีจัดระดับแบบน็อนยูนิฟอร์มจะมีผลดีกว่าแบบยูนิฟอร์มเป็นอย่างมาก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.11 ความสัมพันธ์ระหว่างระดับอินพุทต่อ S/N_Q เมื่อใช้คอมแพนดิ้งวิธีต่าง ๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การเข้ารหัส (Coding)

หลังจากขบวนพัลส์ PAM ได้ผ่านขั้นตอนการจัดระดับมาแล้ว จะต้องเปลี่ยนขนาดเหล่านั้นให้เป็นรหัสไบนารี (binary codes) กรณีที่เป็นสัญญาณเสียงสำหรับการส่งทางโทรศัพท์ จะถูกเปลี่ยนเป็นรหัส 8 บิท ซึ่งสามารถแสดงค่าแอมปลิจูดได้ 2^8 (256) ระบบการเข้ารหัสจะมีหลาย ๆ แบบ แต่ส่วนมากจะใช้กัน 3 แบบ ดังแสดงไว้ในตารางที่ 1 ซึ่งแสดงไว้เพียง 3 บิท เพื่อง่ายต่อการเข้าใจ

ตารางที่ 1 รหัสไบนารีแบบต่าง ๆ

ระดับการควอนไตซ์	รหัสไบนารี แบบธรรมดา	รหัสไบนารี แบบเกรย์	รหัสไบนารี แบบสมมาตร
0	000	000	011
1	001	001	010
2	010	011	001
3	011	010	000
4	100	110	100
5	101	111	101
6	110	101	110
7	111	100	111

รหัสไบนารีแบบธรรมดา (Natural binary code) จะใช้สัมประสิทธิ์ $a_1, a_2, \ldots a_n$ จากสมการแสดงขนาดของแอมปลิจูดของสัญญาณ m เป็นรหัสโดยตรง คือ

$$m = a_1 \cdot 2^{n-1} + a_2 \cdot 2^{n-2} + \ldots\ldots + a_n \cdot 2^0$$

รหัสไบนารีแบบเกรย์ (Gray code) เป็นการเข้ารหัสโดยที่รหัสข้างเคียงซึ่งสอดคล้องกับระดับข้างเคียงจะมีบิทซึ่งแตกต่างกันเพียงตำแหน่งเดียวเท่านั้น

รหัสไบนารีแบบสมมาตร (Symmetrical binary code) ในรหัสนี้ บิทแรกจะชี้ว่าสัญญาณจะเป็นบวกหรือลบ บิทที่ 2 จนถึงบิทสุดท้ายจะแสดงค่าสมบูรณ์ของสัญญาณ แล้วนำมาจัดเรียงใหม่อย่างสมมาตรจากกึ่งกลางของระดับควอนไตซ์ไปถึงระดับสูงสุดหรือระดับต่ำสุด ดังนั้น การเข้ารหัสแบบนี้จึงเหมาะสมที่จะใช้แสดงสัญญาณที่อยู่ในรูปของไบโพลาร์

ตามที่ได้กล่าวมาแล้วข้างต้น ไม่ว่าจะเป็นการเข้ารหัสแบบใดก็ตาม เมื่อบิทใด ๆ เกิดการผิดพลาดเนื่องจากนอยส์ในช่องสัญญาณแล้ว เมื่อสัญญาณอนาล็อกถูกสร้างกลับมาใหม่ที่ด้านรับ S/N ซึ่งเลวลงอยู่แล้วจะมีค่าแตกต่างกันเป็นอย่างมาก เมื่อบิทที่ผิดพลาดมีตำแหน่งต่างกัน

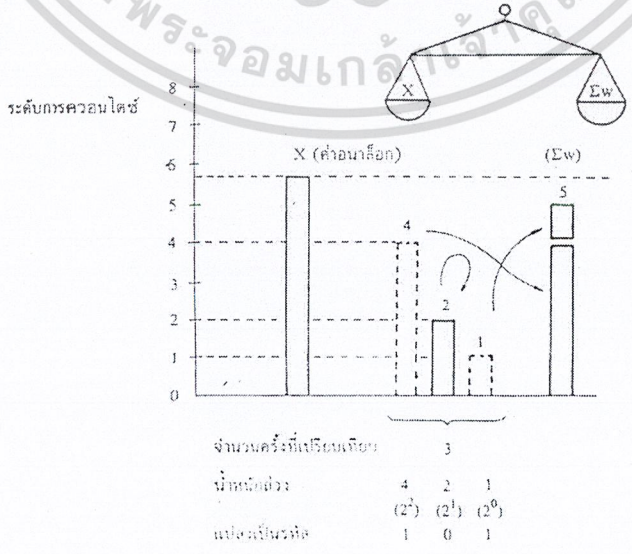
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อนึ่ง ความสัมพันธ์ระหว่างอัตราการผิดพลาด (error rate) และ S/N จะแตกต่างกัน เมื่อโครงสร้างของสัญญาณต่างกัน และโดยทั่วไปแล้ว การผิดพลาดของรหัสจะมีน้อยอย่างพอเพียง และผลที่เกิดจากควอนไตซิ่งนอยส์จะมีมากกว่าผลที่เกิดจากบิทเออเรอร์

<u>กระบวนการเข้ารหัส</u>

ตามที่ได้กล่าวมาแล้วข้างต้นว่า สัญญาณที่ผ่านการจัดระดับมาแล้วจะถูกเปลี่ยนให้เป็นรหัสไบนารีแบบสมมาตร การทำงานของวงจรเข้ารหัสในเบื้องต้นจะคล้ายกับการชั่งน้ำหนักด้วยเครื่องชั่ง ซึ่งจะทราบขนาดของแซมเปิ้ลจากการอ่านค่าของน้ำหนักถ่วง หลักการของการเข้ารหัสแสดงไว้ในรูปที่ 2.12 ซึ่งการจัดระดับและการเข้ารหัสถูกกระทำไปพร้อม ๆ กัน

ตามรูปที่ 12 สมมุติว่าต้องการชั่งของซึ่งมีน้ำหนักไม่เกิน 8 กรัม โดยมีน้ำหนักจริง 5.7 กรัม ในขณะนี้จะมีสเกลจาก 0-8 กรัม ซึ่งเป็นเสมือนระดับการควอนไตซ์ และสมมุติว่าเครื่องชั่งมีน้ำหนักถ่วงเป็น 1, 2 และ 4 กรัม ซึ่งเป็นเสมือนจำนวนบิทคือ 3 บิทในระบบไบนารี ในการวัดน้ำหนักที่ต้องการทราบว่าจะมีค่าเป็นอย่างไรนั้น ตอนแรกลองนำน้ำหนักถ่วง 4 กรัมใส่ลงไปก่อน เนื่องจากน้ำหนักที่ต้องการทราบยังคงหนักกว่า จึงต้องใส่น้ำหนักถ่วง 2 กรัมเพิ่มเข้าไปอีก (ถ้าเป็นไปในลักษณะตรงกันข้าม ต้องเอาน้ำหนักถ่วง 4 กรัมออก แล้วเริ่มต้นใหม่ด้วยการใส่น้ำหนักถ่วง 2 กรัมลงไป) ขณะนี้จะทราบว่าน้ำหนักรวมจะหนักกว่าของที่นำมาชั่ง ดังนั้นจึงต้องเอาน้ำหนักถ่วง 2 กรัมออก แล้วนำ 1 กรัมใส่ลงไป ก็เป็นอันสิ้นสุดการชั่ง จะเห็นได้ว่าน้ำหนักถ่วงที่ใช้อยู่ขณะนี้คือ 4 กรัม และ 1 กรัม จึงกำหนดให้เป็นลอจิก “1” สำหรับน้ำหนักถ่วง 2 กรัมนั้นไม่ได้ใช้ จึงกำหนดให้เป็นลอจิก “0” เมื่อเรียงลำดับของการใส่น้ำหนักถ่วงแต่ละตัวแล้ว จึงมีรหัสเป็น “101” แต่ก็ทราบกันดีว่ารหัส “101” คือหมายเลข 5 ซึ่งบอกให้ทราบว่าของที่นำมาชั่งจะมีน้ำหนักอย่างน้อยที่สุด 5 กรัม แต่น้อยกว่า 6 กรัม ผลต่างระหว่างน้ำหนักจริงและน้ำหนักที่ชั่งได้คือ 0.7 กรัมนั้น ในทางปฏิบัติจริง ๆ สิ่งนี้คือควอนไตซิ่งนอยส์นั่นเอง



รูปที่ 2.12 หลักการของการเข้ารหัส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การเข้ารหัสของเสียงอย่างมีประสิทธิภาพสูง (High-Efficiency Voice Coding)

หลักการของ High-Efficiency Voice Coding (HEVC)

ระบบการเข้ารหัสของ PCM นั้น โดยทั่วไปจะนำไปใช้กับโครงข่ายสื่อสารที่เกี่ยวกับการเข้ารหัสของสัญญาณเสียง ซึ่งสัญญาณเสียงในขั้นแรกจะถูกแปลงไปในรูปของข่าวสารทางดิจิตอลด้วยความเร็ว 64 Kb/s และเมื่อสัญญาณอนาล็อกถูกเปลี่ยนให้เป็นดิจิตอลนั้นจะเกิดควอนไตซิ่งนอยส์เสมอ เมื่อเป็นเช่นนี้ การเปลี่ยนสัญญาณเสียงซึ่งมีแบนด์วิดธ์ 4 KHz จากอนาล็อกให้เป็นดิจิตอลต้องใช้ความเร็วประมาณ 100 Kb/s จึงจะทำให้ควอนไตซิ่งนอยส์ลดลง และเป็นผลทำให้คุณภาพของสัญญาณดีขึ้นมาได้ แต่อย่างไรก็ตามก็จำเป็นต้องทำให้อัตราการส่งนั้นต่ำพอที่จะรักษาคุณภาพที่ต้องการไว้ได้ ดังนั้น ตามที่ทราบมาแล้วว่าระบบการเข้ารหัสของ PCM ซึ่งใช้ในทางปฏิบัตินั้นได้นำคอมแพนเดอร์มาใช้ เพื่อรักษาคุณภาพของสัญญาณให้เหมือนกับการจัดระดับแบบยูนิฟอร์ม สิ่งนี้ก็เป็นหลักการหนึ่งในความคิดอย่างกว้าง ๆ ของ HEVC ซึ่งถูกนำมาใช้เป็นระบบมาตรฐานสากล

คุณสมบัติของสัญญาณเสียงและการกดส่วนเกิน

เนื่องจากมนุษย์เป็นแหล่งกำเนิดในการส่งและรับข่าวสารด้วยเสียง จึงพิจารณาได้ว่าสัญญาณเสียงจะมีส่วนเกิน (redundancy) ของปริมาณข่าวสารอยู่บ้าง ในการส่งหรือเก็บสัญญาณเสียงนั้น ถ้าเป็นไปได้ก็ไม่จำเป็นต้องเก็บข้อมูลให้หมดอย่างสมบูรณ์ แต่ว่าในขณะเดียวกันต้องสามารถรับได้อย่างมีประสิทธิภาพสูงด้วย ถ้าข่าวสารที่เกินความจำเป็นถูกกดไว้ แม้ว่าจะใช้อัตราการส่งซึ่งต่ำกว่า อย่างเช่น 32 Kb/s หรือ 16 Kb/s ก็สามารถรักษาคุณภาพในการส่งสัญญาณได้ดีเท่ากับที่ส่งด้วยความเร็ว 64 Kb/s หรือไม่อาจจะมีคุณภาพที่สูงกว่าความเร็ว 64 Kb/s ก็ได้ ถ้าการพัฒนาเป็นไปอย่างจริงจังแล้ว อาจเป็นไปได้ที่จะใช้เส้นทางการส่งสัญญาณและหน่วยความจำให้มีประสิทธิภาพยิ่งขึ้นได้ ดังนั้น การวิจัยและพัฒนากระทำต่อเนื่องไปถึงการพัฒนาระบบ HEVC ให้เป็นมาตรฐาน ซึ่งจะลดส่วนเกินของเสียงมนุษย์และกดสัญญาณเสียงอย่างมีประสิทธิภาพ

ต่อไปนี้จะกล่าวถึงคุณลักษณะของสัญญาณเสียงและการได้ยินเสียงของมนุษย์ ตลอดจนถึงเทคนิคการลดส่วนเกินของสัญญาณเสียง ซึ่งได้พัฒนาขึ้นจากการใช้คุณลักษณะดังกล่าว

คุณลักษณะของสัญญาณเสียง

1) ระดับแอมปลิจูดของสัญญาณที่มีขนาดต่ำจะเกิดขึ้นบ่อย
2) ระดับของสัญญาณจะเปลี่ยนแปลงอย่างมากไปกับเวลา
3) สเปคตรัมความถี่จะไม่เป็นแบบยูนิฟอร์ม และแนวโน้มของพาวเวอร์ของเสียงส่วนใหญ่อยู่ในบริเวณความถี่ต่ำ
4) เมื่อแซมปลิ้งสัญญาณเสียงเพื่อทำให้เป็นดิจิตอลนั้น แซมเปิ้ลระหว่างตัวข้างเคียงจะมีความคล้ายคลึงกันอย่างมาก
5) สัญญาณเสียงในขณะที่สนทนากันจะมีคาบเวลา (pitch)

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

คุณลักษณะของการได้ยินเสียงของมนุษย์

1) เมื่อสัญญาณมีพาวเวอร์สูง (เสียงดัง) ควอนไตซิ่งนอยส์จะถูกกดโดยสัญญาณไว้ ซึ่งตามความเป็นจริงแล้วจะไม่ได้ยินนอยส์นี้เลย
2) โดยการสังเกตอย่างแน่ชัดว่าจะได้ยินเสียงแตกต่างกันในแต่ละความถี่ แต่จะได้ยินชัดที่สุดในบริเวณใกล้กับความถี่ 0.8 KHz ส่วนความถี่ที่อยู่นอกเหนือจากนี้จะมีผลการได้ยินน้อย
3) ถ้าข่าวสารที่ มี หรือ ขาด คาบเวลาของเสียงก็ดี หรือ pitch ของสัญญาณเสียงและสเปคตรัมของเสียงก็ดี ถูกรักษาไว้อย่างแน่ชัดแล้ว เสียงที่ได้ยินนั้นจะมีลักษณะใกล้เคียงกับสัญญาณเดิม

เทคนิคการกดส่วนเกินของเสียง โดยอาศัยคุณลักษณะของสัญญาณเสียงและการได้ยินดังกล่าวข้างต้นมีดังนี้

การจัดระดับแบบอแดพทิฟว์ (Adaptive Quantizing)

กระทำโดยการเปลี่ยนขนาดของควอนไตซิ่งสเต็พให้เป็นไปตามระดับของสัญญาณ อย่างเช่น ทำให้ขนาดของสเต็พห่างขึ้นเมื่อมีระดับสัญญาณสูง วิธีนี้จะหลีกเลี่ยงการเพิ่มของควอนไตซิ่งนอยส์อย่างมีประสิทธิภาพ และในขณะเดียวกันก็สามารถลดบิทเรทด้วย แต่ยังใช้ได้ผลดีและจะไม่ทำให้ S/N_Q เพิ่มขึ้นแต่อย่างใด ดังนั้น วิธีนี้จึงนำไปใช้กับระบบ HEVC เกือบทุกชนิด

การเข้ารหัสโดยการคาดคะเน (Predictive Coding)

วิธีนี้เป็นการคาดคะเนสัญญาณอินพุทปัจจุบัน จากสัญญาอินพุทตัวก่อน โดยการใช้ความคล้ายคลึง (correlation) ระหว่างระยะห่างของแซมเปิ้ลข้างเคียงหรือ pitch เมื่อมีสัญญาณจริงเข้ามา จึงหาผลต่างระหว่างสัญญาณจริงนี้กับสัญญาณที่คาดคะเนได้ แล้วทำรหัสส่งออกไปโดยอาศัยวิธีนี้ จะทำให้แอมปลิจูดของสัญญาณที่คาดคะแนได้ มีขนาดน้อยกว่าแอมปลิจูดของสัญญาณอินพุท จึงสามารถกดปริมาณข่าวสารได้

การแบ่งตามแถบความถี่ (Band Division)

สัญญาณอินพุทจะถูกแบ่งให้เป็นหลายแถบความถี่ ขั้นตอนการเข้ารหัสและการจัดบิทต่าง ๆ ของส่วนที่มีความสำคัญของทุกแถบความถี่ จะถูกกำหนดไว้เป็นอิสระกัน จึงสามารถกดปริมาณข่าวสารทั้งหมดได้

การแบ่งตามเวลา (Time Division)

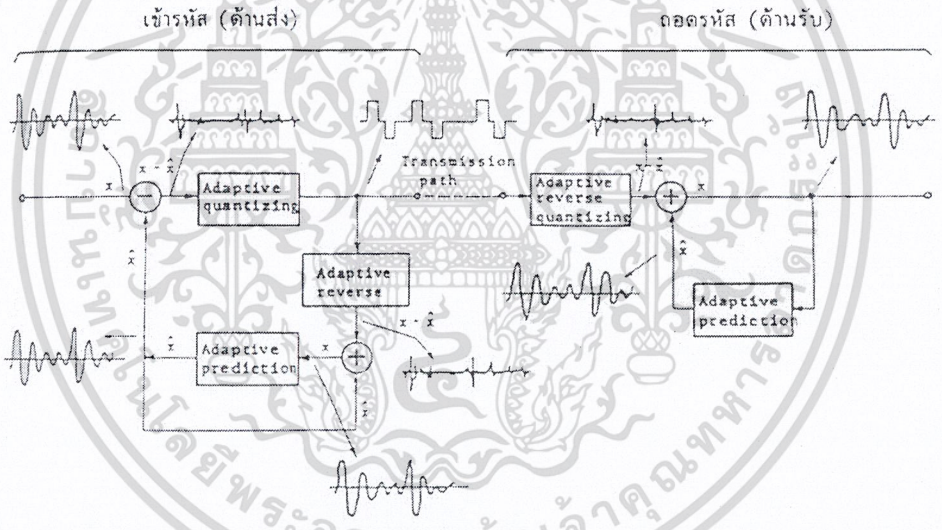
สัญญาณอินพุทจะถูกแบ่งเป็นช่วง ๆ ตามแกนเวลา และทำการจัดบิทตามพาวเวอร์ของสัญญาณในแต่ละช่วงเหล่านั้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ชนิดของระบบ HEVC

การเข้ารหัสแบบอแดพทิฟว์ดิฟเฟอร์เรนเชียลพีซีเอ็ม
(Adaptive Differential Pulse Code Modulation)

ในระบบ PCM ที่กล่าวมาแล้วนั้น จะจัดระดับของสัญญาณเสียงจากแซมเปิ้ลโดยตรง แต่สำหรับในระบบ ADPCM จะจัดระดับโดยใช้ผลต่างระหว่างค่าแซมเปิ้ล เนื่องจากค่าแซมเปิ้ลซึ่งอยู่ใกล้เคียงกันจะมีลักษณะคล้ายคลึงกัน ดังนั้นจึงคาดคะแนสัญญาณอินพุทปัจจุบันด้วยสัญญาณอินพุทที่เข้ามาก่อน แล้วจัดระดับโดยใช้ผลต่างระหว่างสัญญาณที่คาดคะเนและสัญญาณปัจจุบัน เพื่อทำรหัสส่งออกไป และผลต่างนี้มีค่าน้อยจึงทำให้จำนวนบิทในการเข้ารหัสลดลงได้ โครงสร้างเบื้องต้นของ ADPCM แสดงไว้ในรูปที่ 2.13



รูปที่ 2.13 โครงร่างของระบบ ADPCM

จากรูปที่ 2.13 ขั้นแรกที่วงจรเข้ารหัส (ด้านส่ง) จะสร้างผลต่าง ($x-\hat{x}$) ระหว่างสัญญาณอินพุท x และสัญญาณที่คาดคะเน $\hat{x}$ จากอินพุทตัวก่อน ๆ โดยวงจรดิฟเฟอเรนดิเอเตอร์ (Differentiator) ต่อจากนั้นจะนำผลต่าง $x-\hat{x}$ ของสัญญาณไปจัดระดับ การที่จะทำให้สัญญาณซึ่งผิดพลาดนี้มีการเปลี่ยนแปลงของระบบอย่างรวดเร็วนั้น จะไม่ใช้การจัดระดับแบบยูนิฟอร์ม แต่จะใช้วิธีจัดระดับเพื่อให้เพิ่มขึ้นหรือลดลง โดยอาศัยแซมเปิ้ลตัวก่อน (Adaptive Quantizing) วิธีนี้จะปรับปรุงคุณภาพให้ดีขึ้น

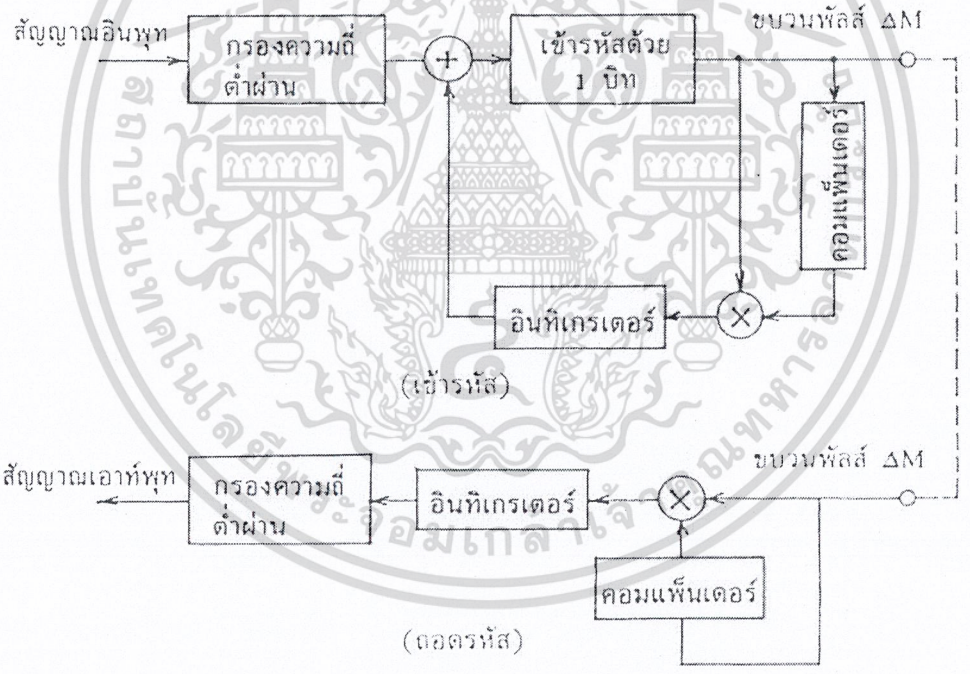
โดยอาศัยวิธีการเข้ารหัสแบบ ADPCM นี้จะใช้เพียง 32 Kb/s ซึ่งมีคุณภาพใกล้เคียงกับระบบ PCM ซึ่งใช้ 7 บิท (56 Kb/s) ซึ่งเป็นที่คาดหวังว่าในระยะหลัง ๆ นี้ จะสามารถใช้ LSI สำหรับระบบนี้ได้อย่างกว้างขวาง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

<u>การเข้ารหัสแบบอแดพทิฟว์เดลต้ามอดูเลชั่น</u> (Adaptive Delta Modulation)

ในขณะที่ความถี่ในการแซมปลิ้งสูงขึ้น ผลต่างระหว่างค่าแซมเปิ้ลข้างเคียงจะน้อยลง ระบบการเข้ารหัสแบบ ADM จะพิจารณาจากจุดนี้คือ ใช้ความถี่ในการแซมปลิ้งให้สูงขึ้นและเข้ารหัสของผลต่างของสัญญาณเพื่อส่งออกไปด้วย 1 บิท ตามรูปที่ 2.14 ซึ่งแสดงโครงสร้างของการเข้ารหัส/ถอดรหัสแบบ ADM ประกอบด้วย คอมแพเรเตอร์ (Comparator) อินทิเกรเตอร์ (Integrator) D/A คอนเวอร์เตอร์ และวงจรลอจิกที่จำเป็นบางวงจร เนื่องจากมีขนาดเล็ก และการสูญเสียพลังงานน้อย จึงสามารถสร้างได้โดยง่าย

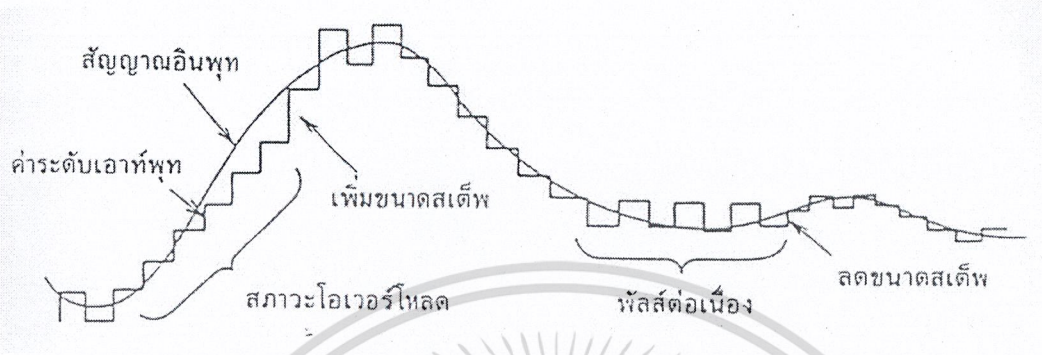
กรณีที่เข้ารหัสโดยใช้เพียง 4 บิท จะกำหนดขนาดของสเต็พ (step) จากขบวนพัลส์ที่เข้ามาก่อน (ขบวนพัลส์ M) กล่าวคือ ตามรูปที่ 2.15 กรณีที่พัลส์ซึ่งมีขั้วเหมือนกันเกิดขึ้นอย่างต่อเนื่อง จะกำหนดว่าเป็นโอเวอร์โหลด ในขณะนี้จะเพิ่มขนาดของ step ให้กว้างขึ้น ในทางตรงกันข้าม ถ้าพัลส์ซึ่งมีขั้วสลับกันเกิดขึ้นอย่างต่อเนื่องแล้ว ในการลดควอนไตซิ่งนอยส์จะต้องลดขนาดของ step ให้แคบลง



รูปที่ 2.14 โครงร่างของระบบ ADM

วงจรเข้ารหัส/ถอดรหัสแบบ ADM สามารถสร้างได้ด้วย LSI ชิพ เมื่อเปรียบเทียบคุณภาพที่ใช้บิทเรท 32 Kb/s แล้วจะด้อยกว่าระบบการเข้ารหัสแบบ ADPCM หรือ APC-AB (ที่จะกล่าวในตอนต่อไป) แต่อย่างไรก็ตาม ADM ก็มีข้อดีหลายประการ เช่น ผลที่เกิดจากการผิดพลาดของรหัสในการส่งน้อย ไม่จำเป็นต้องใช้เฟรมซิงค์ มีขนาดเล็ก ทำงานที่โวลเตจต่ำ และมีการสูญเสียพลังงานน้อย คาดว่าระบบนี้เหมาะสมที่จะนำไปใช้กับการสื่อสารระบบวิทยุเคลื่อนที่ (Mobile system)

เอกสารนี้สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.15 หลักการของการเปลี่ยนสเต็พในการจัดระดับของระบบ ADM

ระบบการเข้ารหัสแบบ APC-AB (Adaptive Predictive Coding with Adaptive Bit allocation)

รูปที่ 2.16 แสดงโครงสร้างของการเข้ารหัสแบบ APC-AB ซึ่งจะใช้ทั้งการแบ่งแถบความถี่และการแบ่งช่วงเวลา รวมกับเทคนิคเบื้องต้นของการเข้ารหัสโดยการคาดคะเน การจัดระดับแบบอแดพทิฟว์และการจัดเรียงบิท เพื่อทำให้คุณภาพการเข้ารหัสดียิ่งขึ้น

ระบบ ADM และ ADPCM ที่กล่าวมาแล้วนั้น ถูกประดิษฐ์ขึ้นที่ห้องทดลองเบลล์ของสหรัฐอเมริกา ส่วนระบบนี้ได้พัฒนาที่ห้องทดลองของบริษัท NTT ณ ประเทศญี่ปุ่น

ขั้นตอนในการเข้ารหัสคือ ก่อนอื่นจะแบ่งสัญญาณเสียงออกเป็นหลาย ๆ ช่วงความถี่ แล้วเคลื่อนย้ายแต่ละแถบความถี่เหล่านั้นไปถึงกระแสตรง (DC) เพื่อเป็นสัญญาณให้เป็นความถี่ต่ำ ในขณะนี้คุณลักษณะของพาวเวอร์และสเปคตรัมของสัญญาณเสียงจะแยกกันออกมา โดยอาศัยพื้นฐานของคุณลักษณะดังกล่าว ในการเข้ารหัสจะกำจัดสัญญาณแถบความถี่ต่ำ ซึ่งมีพาวเวอร์สเปคตรัมน้อย และสัญญาณที่มีคาบเวลาออกไป โดยจะจัดระดับเฉพาะสัญญาณที่เหลือจากการถูกกดส่วนเกินไว้แล้วเท่านั้น และจะไม่จัดระดับแบบยูนิฟอร์ม แต่จะกำหนดจำนวนบิทให้สอดคล้องกับขนาดของพาวเวอร์ของสัญญาณ

อนึ่ง คุณลักษณะของสัญญาณเสียงที่ได้แยกออกมานั้น ในขณะเดียวกันจะถูกส่งไปยังด้านรับเพื่อใช้เป็นส่วนหนึ่งในการสร้างสัญญาณให้กลับรูปเดิม

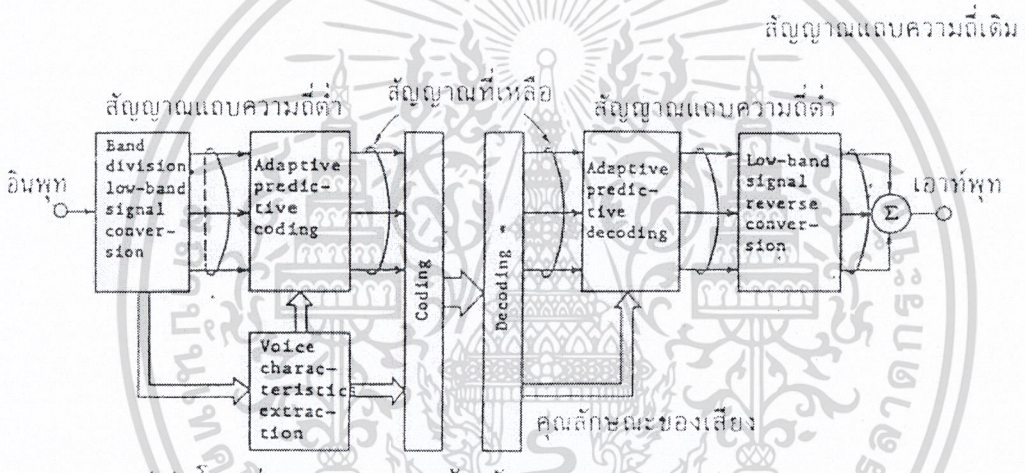
การกำหนดจำนวนบิทขณะที่จัดระดับนั้น จะกำหนดให้เป็นสัดส่วนทางลอการิทึมของพาวเวอร์ในช่วงเวลาและความถี่ ถ้าในช่วงเวลาหนึ่งมีพาวเวอร์สูง และในช่วงเวลานั้นมีพาวเวอร์สเปคตรัมมากแล้ว จะใช้จำนวนบิทมาก โดยวิธีนี้จะได้รับสัญญาณเสียงที่มีคุณภาพสูงจากข่าวสารที่มีปริมาณน้อย

การถอดรหัสที่ด้านรับก็จะกระทำในทางตรงกันข้าม และจะรวมสัญญาณส่วนเกินที่ไม่ได้เข้ารหัสจากด้านส่งเข้าไปด้วยกัน เพื่อสร้างสัญญาณแถบความถี่ต่ำ จากนั้นก็จะเคลื่อนย้ายให้กลับไปสู่แถบความถี่เดิม และเมื่อรวมแถบความถี่ทั้งหลายเข้าด้วยกันแล้ว ก็จะได้สัญญาณเสียงเดิมกลับคืนมา

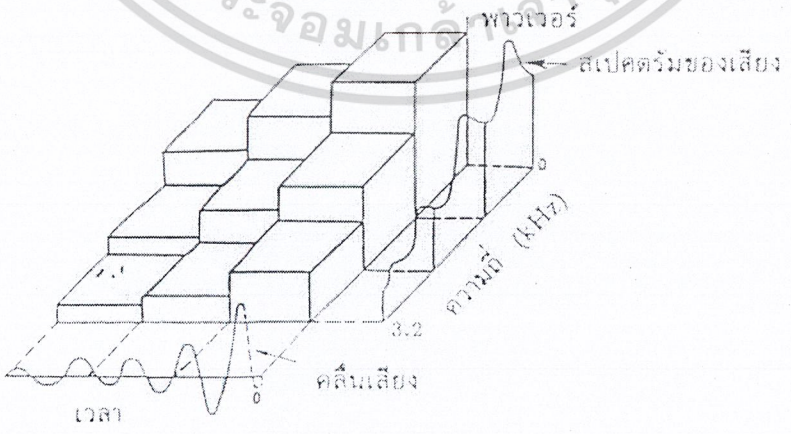
เอกสารนี้มีลิขสิทธิ์ ห้ามมิให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตามที่ได้กล่าวมาแล้วข้างต้น เนื่องจากระบบการเข้ารหัสแบบ APC-AB จะรวมเทคโนโลยีการเข้ารหัสอย่างมีประสิทธิภาพสูงหลาย ๆ ชนิดเข้าด้วยกัน ดังนั้น ปริมาณการคำนวณในการประมวลข้อมูลจะมีมาก แต่อย่างไรก็ตาม สามารถจะเข้ารหัสของสัญญาณเสียงให้มีคุณภาพดีได้ โดยเฉพาะที่บิทเรท 16 Kb/s จะให้ผลเป็นอย่างดี และเป็นที่คาดหวังว่า จะทำให้ปัญหาของปริมาณการคำนวณหมดไปเมื่อเทคโนโลยีของ VLSI และการประมวลสัญญาณดิจิตอลก้าวหน้ายิ่งขึ้น ถ้าทำให้วงจรมีขนาดเล็กลงได้ระบบนี้จะถูกนำไปใช้กันอย่างกว้างขวาง

อนึ่ง โครงสร้างของ HEVC ทั้ง 3 แบบจะใช้ส่งด้วยบิทเรทที่เหมาะสม และวงจรจะมีขนาดแตกต่างกันไป จึงขอสรุปโดยการเปรียบเทียบพารามิเตอร์ต่าง ๆ ของระบบเหล่านั้นตามตารางที่ 2 และการที่จะนำระบบใดๆ ไปใช้ในโครงข่ายโทรคมนาคมนั้นจำเป็นต้องเลือกระบบที่เหมาะสม โดยพิจารณาอย่างรอบคอบเกี่ยวกับการใช้งานและมีสภาวะความจำเป็นด้วย



(ก) โครงร่างของระบบการเข้ารหัสแบบ APC-AB



(ข) ขนาดของพาวเวอร์ของสัญญาณเสียงต่อเวลาและความถี่

รูปที่ 2.16 โครงร่างของการเข้ารหัส – ถอดรหัสแบบ APC-AB

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 2 การเปรียบเทียบระบบการเข้ารหัสแบบต่าง ๆ

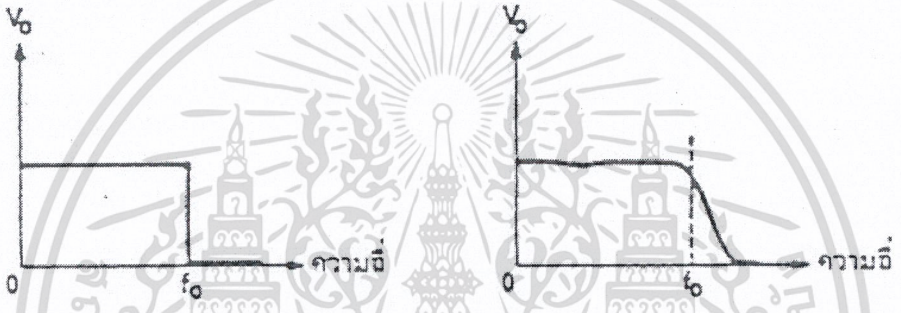
ระบบการเข้ารหัส	PCM	ADPCM	ADM	APC-AB
บิทเรท (Kb/s)	64	32	32	16
ความถี่ที่แซมปลิ้ง (KHz)	8	8	32	8
เวลาที่ดีเลย์ (ไม่รวมดีเลย์ของฟิลเตอร์)	ประมาณ 200 μS	ประมาณ 200 μS	ประมาณ 50 μS	ประมาณ 50 mS
สัญญาณซิงโครไนซ์	เฟรมอะไลน์เมนท์	เฟรมอะไลน์เมนท์	บิทซิงโครไนซิ่ง	เฟรมอะไลน์เมนท์
ควอนไตซิ่งนอยส์ $(S/N)_{SEG}$	ประมาณ 38 dB	ประมาณ 30 dB	ประมาณ 25 dB	28 dB
การเลวลงเนื่องจากการผิดพลาดในเส้นทางการส่ง	การเลวลงจะสังเกตเห็นไม่ชัดจนถึง BER 10^{-5}	การเลวลงจะสังเกตเห็นไม่ชัดจนถึง BER 10^{-4}-10^{-3}	เลวลงเล็กน้อยจนถึง BER 10^{-3}	เลวลงอย่างมากถ้าพารามิเตอร์ของข่าวสารไม่ถูกต้อง
อัตราการส่งสูงสุดของ MODEM	9,600 b/s	4,800 b/s	2,400 b/s	ส่ง MODEM ไม่ได้
ขนาดของฮาร์ดแวร์	1	10	1	100

หมายเหตุ : (S/N) SEG คือ ค่าเฉลี่ยของ (S/N_Q) ซึ่งได้จากการแบ่งสัญญาณเสียงที่ปรากฏที่อินพุทของวงจรเข้ารหัสเป็นช่วง ช่วงละ 10-20 ms ค่านี้จะใกล้เคียงกับค่าที่ประเมินว่าจะได้มากกว่าค่า S/N_Q ตามปกติ

บทที่ 3
วงจรกรองความถี่ (Filter)

<u>วงจรกรองความถี่ต่ำผ่าน</u> (Low pass filter)

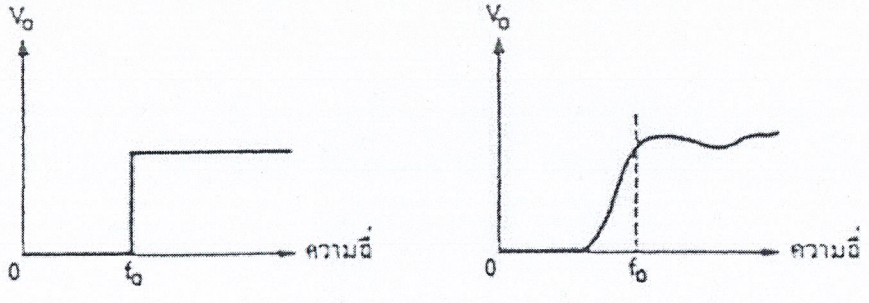
วงจรกรองความถี่ชนิดนี้จะยอมให้ความถี่ตั้งแต่ 0 Hz จนถึงความถี่ที่เรากำหนด (f_0) ผ่านวงจรกรองไปได้ ส่วนความถี่ตั้งแต่ความถี่ที่เรากำหนดขึ้นไป ไม่สามารถผ่านไปได้จะถูกตัดทิ้งทั้งหมด ดังรูปที่ 3.1



รูปที่ 3.1 วงจรกรองความถี่ต่ำผ่าน

<u>วงจรกรองความถี่สูงผ่าน</u> (High pass filter)

วงจรกรองความถี่ชนิดนี้จะยอมให้ความถี่ตั้งแต่ความถี่ที่เรากำหนด (f_0) ผ่านไปได้จนถึงความถี่อนันต์ ส่วนความถี่ต่ำกว่าความถี่ที่กำหนดไม่สามารถผ่านไปได้ ดังแสดงในรูปที่ 3.2

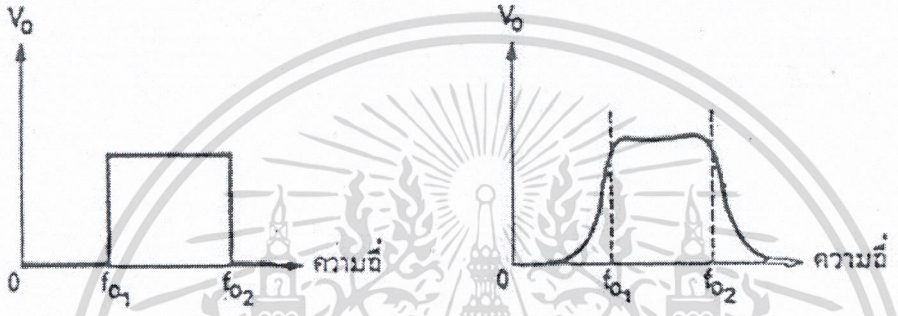


รูปที่ 3.2 วงจรกรองความถี่สูงผ่าน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

<u>วงจรกรองแถบความถี่ผ่าน</u> (Band pass filter)

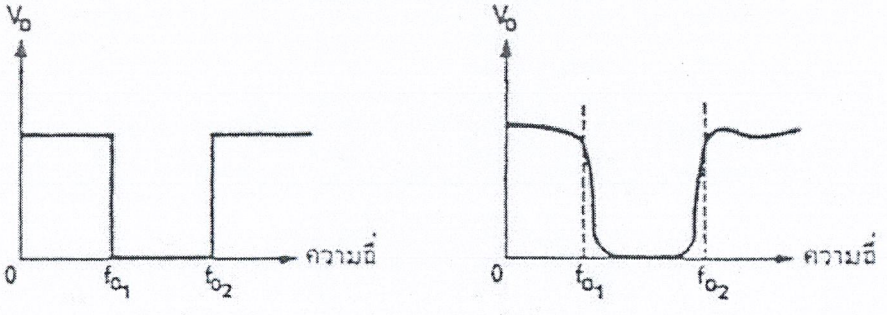
วงจรกรองแถบความถี่ชนิดนี้จะยอมให้ความถี่ผ่านไปได้เป็นย่านความถี่ โดยความถี่ที่จะผ่านไปได้นั้นจะอยู่ในย่านความถี่ที่เรากำหนด 2 จุด คือ f_{01} และ f_{02} คือความถี่ที่ต่ำกว่า f_{01} และสูงกว่าความถี่ f_{02} จะไม่สามารถผ่านไปได้ ดังแสดงในรูปที่ 3.3



รูปที่ 3.3 วงจรกรองแถบความถี่ผ่าน

<u>วงจรกรองตัดแถบความถี่</u> (Band stop filter)

วงจรกรองความถี่ชนิดนี้จะตรงกันข้ามกับวงจรกรองแถบความถี่ผ่าน คือหากความถี่ที่ไม่อยู่ในช่วงความถี่ที่กำหนดจะสามารถผ่านไปได้ แต่หากอยู่ในช่วงที่กำหนดจะไม่สามารถผ่านไปได้ ดังแสดงในรูปที่ 3.4



รูปที่ 3.4 วงจรกรองตัดแถบความถี่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรกรองความถี่ทั้งหมดที่กล่าวมานั้น เป็นวงจรกรองในอุดมคติ แต่หากนำไปใช้งานจริงจะเกิดปัญหาจะมีช่วงการกระเพื่อมของรูปคลื่น (Ripple) ดังนั้น ในทางปฏิบัตินั้นเราต้องพยายามทำให้ช่วงการกรองความถี่นั้นมีความชันมากที่สุด เพื่อจะได้ใกล้เคียงกับอุดมคติจริง ๆ

ปัจจัยที่จะทำให้วงจรกรองความถี่มีประสิทธิภาพที่ดี ใกล้เคียงอุดมคติมากที่สุดก็คือ ค่าโรลออฟ (Roll off) ซึ่งคืออัตราลดทอนของสัญญาณต่อจำนวนความถี่ที่เปลี่ยนไป หรืออีกนัยหนึ่งก็คือ ความชันของการส่งผ่านนั่นเอง มีหน่วยเป็น dB/decade และ dB/octare

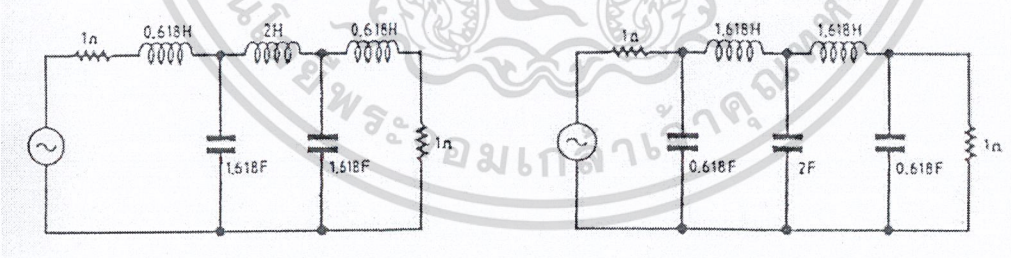
สิ่งที่เราควรรู้อีกอย่างก็คือ Cut off frequency (fc) ซึ่งจะเป็นตัวที่แบ่งแถบความถี่และแถบตัดความถี่ออกจากกัน โดยเราจะกำหนดไว้ที่จุดที่มีค่าการทดสอบของสัญญาณเท่ากับ –3 dB

เราสามารถแบ่งวงจรกรองขั้นพื้นฐานตามอุปกรณ์ที่นำมาประกอบเป็นวงจรกรอง โดยแบ่งได้ 2 แบบด้วยกันคือ

- วงจรกรองแบบพาสซีฟ (Passive filter)
- วงจรกรองแบบแอกทีฟ (Active filter)

<u>วงจรกรองแบบพาสซีฟ</u> (Passive filter)

วงจรกรองแบบนี้จะประกอบด้วยอุปกรณ์พาสซีฟเป็นหลัก เช่น ตัวเก็บประจุและตัวเหนี่ยวนำ และอาจจะมีตัวต้านทานประกอบร่วมอยู่ด้วย ดังแสดงในรูปที่ 3.5



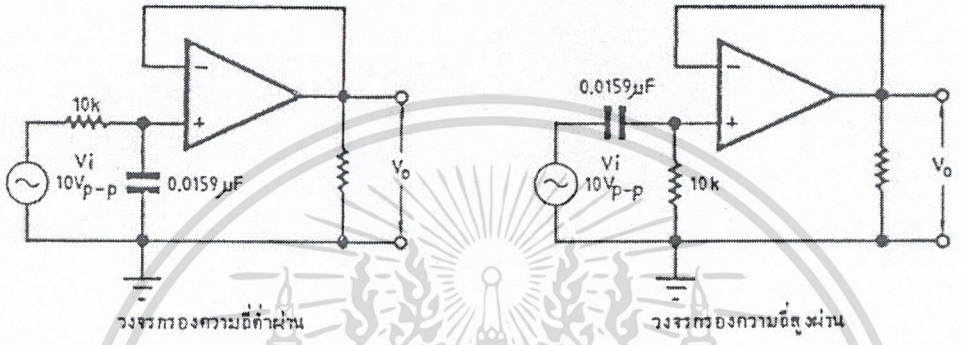
รูปที่ 3.5 แสดงวงจรกรองแบบพาสซีฟ

วงจรกรองแบบนี้จะมีราคาแพง และยากแก่การออกแบบ แต่สามารถตอบสนองความถี่ได้สูง และสามารถใช้งานได้โดยไม่ต้องมีแหล่งจ่ายไฟใด ๆ ทั้งสิ้น แต่ในทางปฏิบัตินั้นเราไม่ค่อยนิยมใช้เท่าไร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

<u>วงจรกรองแบบแอกทีฟ</u> (Active filter)

วงจรกรองแบบนี้จะใช้อุปกรณ์ active เช่น พวกทรานซิสเตอร์, ไดโอด หรือออฟแอมป์ ทำงานร่วมกับตัวเก็บประจุและตัวต้านทาน ซึ่งจะช่วยให้ประสิทธิภาพของวงจรกรองดีขึ้น ดังแสดงในรูปที่ 3.6



รูปที่ 3.6 แสดงวงจรกรองแบบแอกทีฟ

ข้อดีของวงจรกรองแบบนี้คือ ปรับแต่งและออกแบบง่าย ไม่ยุ่งยากซับซ้อน มีเสถียรภาพในการทำงานสูง ขนาดเล็ก และราคาถูก แต่จะตอบสนองทางความถี่ได้ต่ำกว่าแบบพาสซีฟ และยังต้องใช้ไฟเลี้ยวในการทำงานด้วย แต่โดยส่วนรวมแล้วจะเห็นได้ว่า วงจรกรองแบบแอกทีฟจะดีกว่าวงจรกรองแบบพาสซีฟ ดังนั้น เราจึงนิยมใช้วงจรกรองชนิดนี้มากกว่า

<u>การเลือกใช้ชนิดของวงจรกรอง</u>

ในการเลือกใช้งานวงจรกรองนั้น เราจะต้องคำนึงถึงปัญหาต่าง ๆ ที่เกิดขึ้น และต้องให้เหมาะสม เช่น บางประเภทเราต้องการความราบเรียบของแถบความถี่มาก บางประเภทต้องการการส่งผ่านของแถบความถี่ที่ใช้เวลาสั้น เราก็จะใช้วงจรกรองแต่ละชนิดแตกต่างกันไป ดังนั้น เราจะกล่าวถึงวงจรกรองแต่ละชนิดที่เราจะเลือกใช้ให้เหมาะสมกับความต้องการของเราได้ โดยพิจารณาจากวงจรกรองเหล่านี้

<u>วงจรกรองชนิดบัตเตอร์เวิร์ธ</u> (Butter worth filter)

ลักษณะพิเศษของวงจรกรองชนิดนี้คือ ให้อัตราการขยายสัญญาณเท่ากันทุกความถี่ที่ผ่านได้ ดังนั้นช่วงกระเพื่อมที่เกิดขึ้นจะมีค่าน้อยมาก ถือได้ว่าวงจรกรองชนิดนี้มีความราบเรียบของแถบความถี่สูงที่สุดในบรรดาวงจรกรองชนิดต่าง ๆ แต่ข้อเสียของวงจรชนิดนี้ก็คือ การส่งผ่านแถบความถี่ทำได้ไม่ดีนัก แต่แก้ไขได้โดยเพิ่มจำนวนอุปกรณ์เข้าไป แต่ก็จะทำให้การออกแบบยุ่งยากและซับซ้อนขึ้นไปอีก

เอกสารนี้สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

<u>วงจรกรองชนิดซีบีชีฟ</u> (Chebyshev filter)

ลักษณะของวงจรกรองชนิดนี้ จะมีข้อดีตรงที่มีการส่งผ่านของแถบความถี่ความชันมาก หรือมีค่า Roll off สูง แต่จะมีระดับของช่วงกระเพื่อมสูงกว่าวงจรกรองชนิดใด ๆ

<u>วงจรกรองชนิดเบสเซล</u> (Bessel filter)

วงจรกรองชนิดนี้ถูกนำมาใช้แก้ปัญหาการผิดเพี้ยนของสัญญาณเนื่องจากการหน่วง (deby distortion) ทำให้เฟสเลื่อนไป ทำให้ข้อมูลเกิดการผิดพลาดได้ วงจรกรองชนิดนี้จะมีช่วงเวลาหน่วงอย่างสม่ำเสมอ จึงทำให้การผิดเพี้ยนไม่เกิดขึ้น

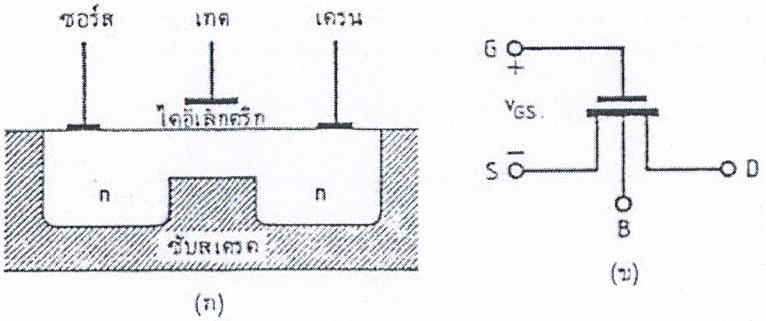
<u>สวิทคาปาซิเตอร์ฟิลเตอร์</u> (Switch capacitor filter)

ในปัจจุบันวงจรกรองความถี่ที่เรานิยมใช้มาก คือวงจรกรองความถี่ที่ใช้ Switch capacitor filter ซึ่งถือว่าเป็นวงจรกรองความถี่แบบแอกทีฟ โดยจะผลิตอยู่ในรูปของไอซี ทำให้ง่ายแก่การใช้งาน

ก่อนที่เราจะนำสวิทคาปาซิเตอร์ไปใช้งานเป็นวงจรกรองความถี่ เราจะมาทำความเข้าใจเกี่ยวกับสวิทคาปาซิเตอร์ก่อนว่าเป็นมาอย่างไร

สวิทคาปาซิเตอร์ใช้เทคโนโลยีของ MOS (Metal Oxide Semiconductor) โดยใช้ความสัมพันธ์ของตัวเก็บประจุกับสวิท เพื่อสร้างตัวต้านทานให้มีค่าตามที่ต้องการ ซึ่งอุปกรณ์ทั้งสองตัวนี้จะเป็นส่วนสำคัญของวงจรชนิดนี้

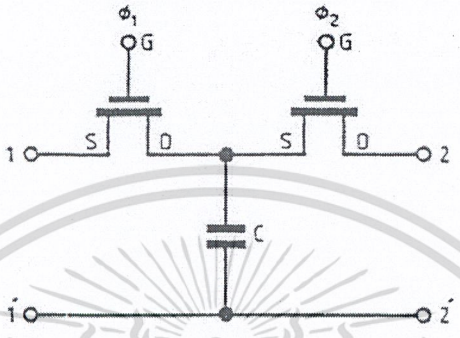
ในที่นี้ เราจะใช้ MOSFET มาทำหน้าที่เป็นสวิท ซึ่งโครงสร้างของ MOSFET แสดงในรูปที่ 3.7 ทรานซิสเตอร์ชนิดนี้จะมีขาดังนี้คือ เกต (Gate), ซอร์ส (Source) และเดรน (Drain) จากรูปที่ 3.7 V_{GS} คือแรงดันระหว่างเกตและซอร์ส แรงดันนี้จะเป็นตัวควบคุมให้ FET ตัวนี้ปิดหรือเปิด โดยส่วนที่เป็นสวิทคือ ซอร์สและเดรน ซึ่งมีค่าความต้านทานเป็น R_{DS} เมื่อ MOS SW. อยู่ในสภาวะจาก (OFF mode) ความต้านทาน R_{DS} จะมีค่าสูงมากราว ๆ 100-1,000 เมกกะโอห์ม ในขณะที่อยู่ในสภาวะต่อ (ON mode) ค่าความต้านทาน R_{DS} จะลดลงมามีค่าประมาณ 10 กิโลโอห์ม อัตราส่วนของความต้านทานทั้งสองสภาวะมีค่าประมาณ 10^5 เท่า



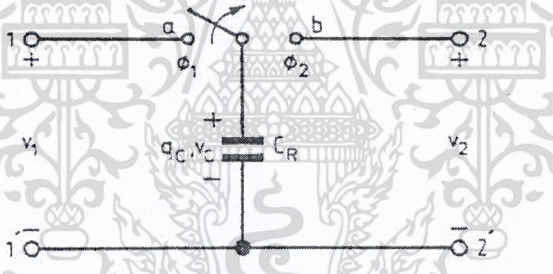
รูปที่ 3.7 แสดงโครงสร้างภายในของ MOSFET

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากหลักการนี้ เราจะนำตัวเก็บประจุมาต่อร่วม ดังรูปที่ 3.8 โดยเราจะใช้ MOSFET ทำหน้าที่แทนสวิท ในที่นี้ใช้ MOSFET 2 ตัวต่อกัน ทำหน้าที่เป็นสวิทขั้วเดียวสองทาง โดยควบคุมการสวิทด้วยสัญญาณนาฬิกา 2 สัญญาณ คือ Ø1 และ Ø2 โดยมีความถี่เท่ากัน แต่มีรูปคลื่นล้าหลังกันอยู่ครึ่งคาบ และไม่มีส่วนที่เหลื่อมล้ำกัน เมื่อ Ø1 อยู่ในสภาวะเปิด Ø2 จะอยู่ในสภาวะปิด สลับกันไปตลอด

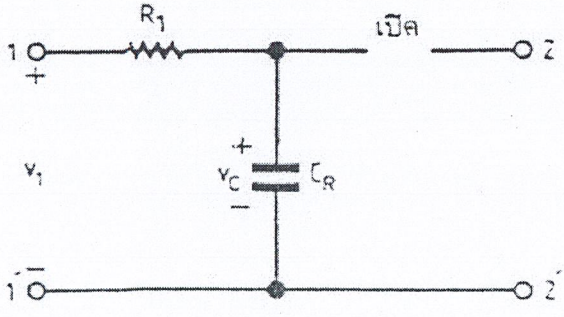


รูปที่ 3.8 การต่อ MOSFET ร่วมกับตัวเก็บประจุ



รูปที่ 3.9 แสดงการทำงานของสวิทคาปาซิเตอร์

จากรูปที่ 3.9 ให้แรงดัน V_1 เปลี่ยนแปลงไปตามเวลาหรือเป็นไฟสลับ เริ่มต้นให้สวิทโยกไปที่ตำแหน่ง a เราสามารถแทนสภาวะนี้ดังรูปที่ 3.10



รูปที่ 3.10 เราสามารถแทนการทำงานของสวิทคาปาซิเตอร์ด้วยตัวต้านทาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

R_1 คือความต้านทานของ MOSFET ตัวที่ 1 ขณะอยู่ในสภาวะต่อ MOSFET ตัวที่ 2 อยู่ในสภาวะจาก ทำให้ความต้านทานสูงมาก เสมือนกับเปิดวงจร ถ้า V_1 เปลี่ยนแปลงช้ามาก ถือว่าคงที่ ตัวเก็บประจุ C_R จะประจุไฟตามสูตรคาบเวลา $T = R_1C_R$ ค่าความต้านทาน R_1 ประมาณ 10 กิโลโอห์ม ตัวเก็บประจุ C_R มีค่าประมาณ 10 PF ค่าแรงดันประจุได้ที่ 63% ดังนั้น ใช้เวลา

$$T = R_1 C_R = 10^4 \times 10^{-12} = 10^{-8} \quad \text{วินาที}$$

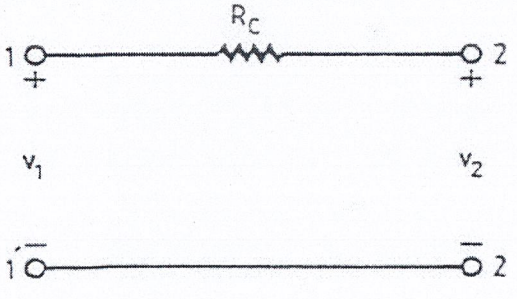
ขณะที่ตัวเก็บประจุไฟอยู่นั้น ให้ค่า V_1 เปลี่ยนแปลง ขณะเดียวกันเมื่อสวิทโยกไปตำแหน่ง b แรงดันคายประจุเป็น $\Delta qc = C_R (V_1 - V_2)$ คาบเวลาที่คายประจุเป็น TC จะได้กระแสเฉลี่ยเป็น

$$i(t) = \Delta q / \Delta t$$
$$= C_R (V_1 - V_2) / T_C$$

ขณะเดียวกันเราสามารถจะแทนด้วยค่าความต้านทานสมมูลย์ $R = V / I$ จะได้

$$R_C = (V_1 - V_2) / i(t)$$
$$= T_C / C_R$$
$$= 1 / f_C R_C$$

จากค่า R_C ที่ได้เราสามารถแทนได้ด้วยรูปที่ 3.11 หรือจะกล่าวได้ว่าสวิทคาปาซิเตอร์จากรูปที่ 3.9 สามารถประมาณค่าด้วยความต้านทานสมมูลย์ รูปที่ 3.11 สำหรับการประมาณค่า R_C จำเป็นที่จะต้องให้ค่าของความถี่นาฬิกามีค่าสูงกว่าความถี่ V_1 และ V_2 มาก ๆ แต่ค่าจะต้องอยู่ในช่วงที่ยอมรับได้คือ C_R มีค่าประมาณ 10^{-12} ฟาร์รัด และค่า R_C จะอยู่ในช่วง 10 เมกกะโอห์ม



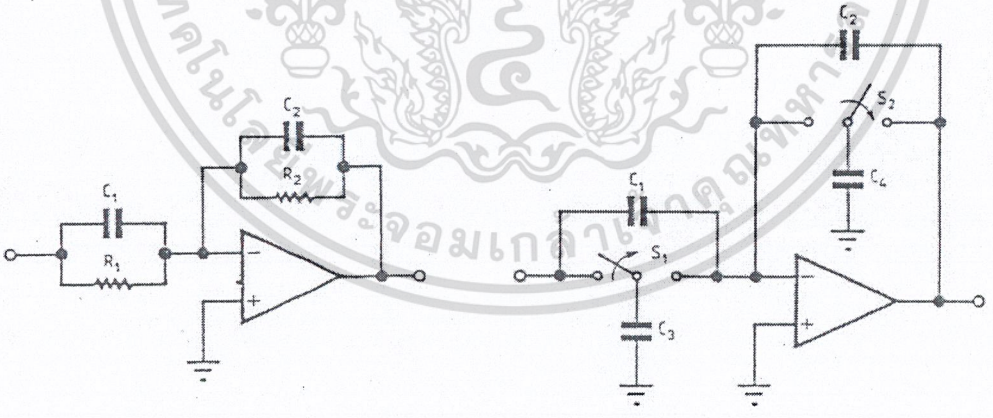
รูปที่ 3.11 ความต้านทานสมมูลย์ของสวิทคาปาซิเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

<u>วงจรกรองความถี่ที่ใช้สวิทคาปาซิเตอร์</u>

จากหลักการข้างต้น เราสามารถสร้างความต้านทาน ซึ่งจะนำไปใช้ในวงจรกรองความถี่ด้วยสวิทคาปาซิเตอร์ โดยที่ค่าความต้านทานนี้จะเปลี่ยนแปลงตามค่าความถี่นาฬิกา จากรูปที่ 3.12 และ 3.13 แสดงให้เห็นตัวอย่างในการใช้สวิทคาปาซิเตอร์แทนความต้านทาน R_1

รูปที่ 3.12 การใช้สวิทคาปาซิเตอร์กับวงจรกรองความถี่ประเภทพาสซีฟ



รูปที่ 3.13 การใช้สวิทคาปาซิเตอร์กับวงจรกรองความถี่ประเภทแอกทีฟ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4
วงจรแปลงสัญญาณดิจิตอลเป็นสัญญาณอนาล็อก
(Digital to Analog Converters)

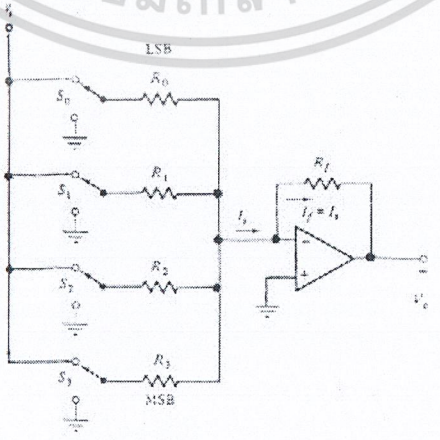
ในปัจจุบันนี้ วงจรแปลงสัญญาณดิจิตอลเป็นสัญญาณอนาล็อก มีอยู่หลายรูปแบบที่ใช้งานกัน ซึ่งมีความจำเป็นมากในระบบโทรคมนาคมในปัจจุบัน ที่เกี่ยวข้องกับการเปลี่ยนรูปแบบของสัญญาณแต่ละชนิด มีข้อมูลหลาย ๆ รูปแบบที่แตกต่างกันจะต้องใช้การเชื่อมต่อระหว่างอุปกรณ์ที่เป็นแบบอนาล็อกกับอุปกรณ์ที่เป็นดิจิตอล อย่างเช่นการตรวจสอบการสื่อสารข้อมูลระยะไกล การสื่อสารด้วยสัญญาณเสียงและภาพ ซึ่งในที่นี้จะพิจารณาวงจรแปลงสัญญาณดิจิตอลเป็นสัญญาณอนาล็อกที่ใช้กันทั่ว ๆ ไป

วงจรแปลงสัญญาณดิจิตอลเป็นสัญญาณอนาล็อกแบบ Weighted-Resistor

วงจร D/A Converter แบบนี้แสดงได้ในรูปที่ 4.1 ซึ่งเราจะใช้ความต้านทานนำมาต่อร่วมกับออปแอมป์ โดยในที่นี้จะแปลงจากจำนวนดิจิตอล 4 บิท ไปเป็นแรงดันแบบอนาล็อก ในทางปฏิบัติเราสามารถแปลงสัญญาณดิจิตอลเป็นอนาล็อกได้มากกว่า 4 บิท แรงดันของลอจิกแต่ละบิทแทนด้วย A_3, A_2, A_1, A_0 ตามลำดับ โดยจะใช้อิเล็กทรอนิกส์สวิท S_3, S_2, S_1 และ S_0 ทำหน้าที่ตัดต่อวงจร เมื่อ A มีสภาวะของลอจิกเป็น 1 สวิท S จะต่อกับแรงดันอ้างอิง V_R แต่ถ้า A มีสภาวะของโลจิกเป็น 0 สวิท S จะต่อกับกราวน์ ความต้านทาน R_0 - R_3 ทำหน้าที่ชั่งน้ำหนักของเลขไบนารี่แต่ละบิท ดังแสดงได้ดังนี้

LSB.	R_0	=	$R/2^0$	=	R	
	R_1	=	$R/2^1$	=	R/2	(1)
	R_2	=	$R/2^2$	=	R/4	
MSB.	R_3	=	$R/2^3$	=	R/8	

เมื่อ R คือ ความต้านทานซึ่งสามารถเลือกเพื่อกำหนดระดับอิมพีแดนซ์ของวงจร



รูปที่ 4.1 วงจรแปลงสัญญาณดิจิตอลเป็นอนาล็อกแบบ Weight-resistor

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในการหาความสัมพันธ์เอาท์พุทของสัญญาณอนาล็อก V_0 ที่เอาท์พุทของออปแอมป์ กับสัญญาณดิจิตอลที่เป็นอินพุท จะสามารถหาได้จากสมการที่ 2

$$I_S = V_R (A_3/R_3 + A_2/R_2 + A_1/R_1 + A_0/R_0) \quad (2)$$

จากสมการที่ (1) แทนในสมการที่ (2) จะได้

$$I_S = V_R R (2^3A_3 + 2^2A_2 + 2^1A_1 + 2^0A_0) \quad (3)$$

เมื่อ $A_i = 1$ ทำให้ S_i ถูกต้องกับ V_R และถ้า $A_i = 0$ สวิท S_i จะต่อกับกราวนด์ สมการ (3) จะแสดงให้เห็นว่าค่าที่ได้ของ I_S จะเป็นอัตราส่วนโดยตรงกับจำนวนเลขไบนารี่ $A_3A_2A_1A_0$
ตัวอย่างเช่น ถ้าอินพุท $A_3A_2A_1A_0 = 1\ 1\ 1\ 1$ จะได้ $I_S = 15\ V_R/R$ ขณะที่ ถ้า $A_3A_2A_1A_0 = 0\ 1\ 1\ 0$ จะได้ $I_S = 6\ V_R/R$ ดังนั้น แรงดันเอาท์พุท V_0 จะได้

$$V_0 = I_f R_f = -I_f R_f = R_f V_R/R (2^3A_3 + 2^2A_2 + 2^1A_1 + 2^0A_0) \quad (4)$$

ดังนั้น จะเห็นว่าแรงดันเอาท์พุทจะเป็นอัตราส่วนโดยตรงกับค่าตัวเลขของอินพุทที่เป็นเลขไบนารี่

วงจรแปลงสัญญาณ D/A แบบ R-2R Ladder

วงจรแปลงสัญญาณ D/A แบบ R-2R Ladder แสดงในรูปที่ 4.2 ซึ่งไม่ต้องการความกว้างของย่านความต้านทานมากนัก วงจรนี้จะใช้ค่าความต้านทานเพียง 2 ค่าเท่านั้น คือ R กับ 2R ซึ่งเป็นข้อดีของวงจรแบบนี้ทำให้สามารถสร้างความต้านทานให้อยู่ในโครงสร้างสำเร็จได้ดังรูปที่ 4.3

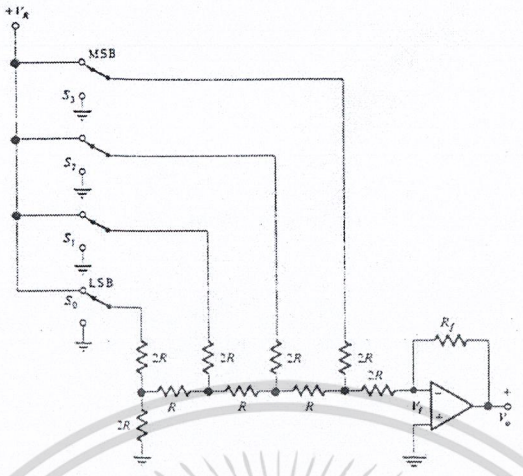
เราสามารถอธิบายการทำงานของวงจรได้ดังนี้คือ ในรูปที่ 4.2 ถ้าให้สวิททั้งหมดต่อกับกราวนด์ ยกเว้น สวิท S_0 จากทฤษฎีของเทวินิน จะได้วงจรดังแสดงในรูปที่ 4.4 ซึ่งความต้านทานเทวินินที่ได้จะมีค่า 3R ส่วนแรงดันเทวินินจะได้ $V_R/16$ แต่หากเราให้สวิท S_1 ต่อกับ V_R ส่วนสวิทอื่นต่อลงกราวนด์ เราก็จะได้ความต้านทานเทวินินมีค่า 3R เช่นกัน ส่วนแรงดันเทวินินจะได้ $V_R/8$ และเมื่อเปลี่ยนเป็นสวิท S_2 หรือ S_2 ต่อกับ V_R บ้าง ก็จะได้ความต้านทานเทวินอนเท่ากับ 3R ส่วนแรงดันเทวินินจะมีค่า $V_R/4$ และ $V_R/2$ ตามลำดับ ดังนี้เราสามารถสรุปได้ว่า V_0 ของวงจรรูปที่ 4.2 จะมีค่าดังสมการ (5)

$$V_0 = -R_f V_R/3R (S_3/2^1 + S_2/2^2 + S_1/2^3 + S_0/2^4) \quad (5)$$

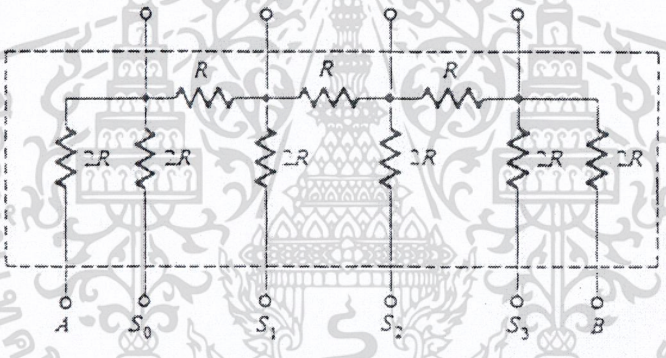
หรือ

$$V_0 = \frac{-R_f V_R}{48R} (2^3S_3 + 2^2S_2 + 2^1S_1 + 2^0S_0) \quad (6)$$

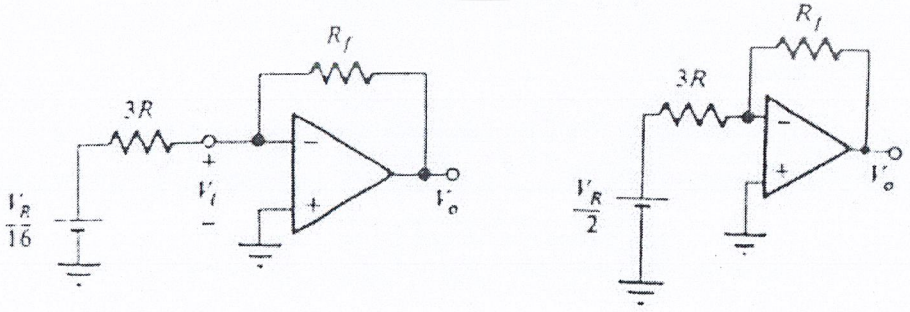
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.2 วงจร D/A แบบ R-2R Ladder



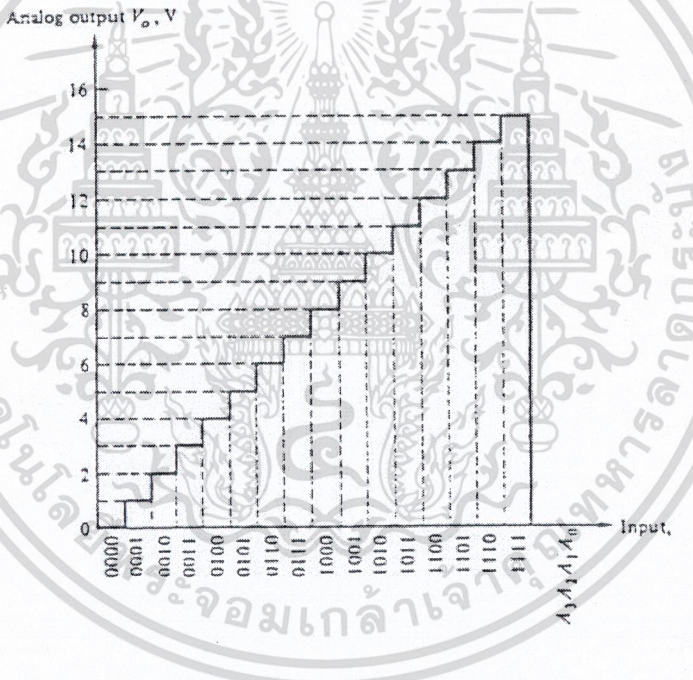
รูปที่ 4.3 โครงสร้างสำเร็จรูปของ R-2R Ladder



รูปที่ 4.4 วงจรเมื่อ LSB = 1 และ MSB = 1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ความละเอียดและความเที่ยงตรงของวงจรกำหนดโดยการเปลี่ยนแปลงที่น้อยที่สุดของแรงดัน เมื่อจำนวนบิทของเลขไบนารี่เปลี่ยนไป ตัวอย่างเช่น เมื่อใช้สัญญาณดิจิตอล 4 บิท จะได้ LSB มีค่า 1/16 หมายความว่า ค่าที่เพิ่มขึ้นน้อยที่สุด คือ 1/16 ของแรงดันอ้างอิง V_R สมมติว่าให้ V_R = 16V และ V_f = 3R LSB จะมีค่า 1/16 ซึ่งหนึ่งหน่วยจะทำให้แรงดันเอาท์พุทเปลี่ยนไปทีละ 1V ถ้าสวิทต่อกับตัวนับ 4 บิท นับตั้งแต่ 0 – 15 (0000 – 1111) เอาท์พุทของวงจรแปลงสัญญาณจะเปลี่ยนไป ดังรูปที่ 4.5 ซึ่งสามารถคำนวณเปอร์เซนต์ของความละเอียดได้ดังนี้คือ (1/16)(100) = 6.25 เปอร์เซ็นต์ ถ้าหากเราต้องการความละเอียดมากขึ้นจะต้องเพิ่มจำนวนบิทให้มากขึ้น เช่น เราใช้จำนวนสัญญาณดิจิตอลเท่ากับ 10 บิท จะทำให้ความละเอียดดีขึ้น โดยเปอร์เซนต์ของความละเอียดเท่ากับ (1/1024)(100) ประมาณ 0.1 เปอร์เซ็นต์ ถ้าวงจรแปลงชนิดนี้ให้ V_R = 16V ความละเอียดของแรงดันจะมีค่าประมาณ 16 mV.

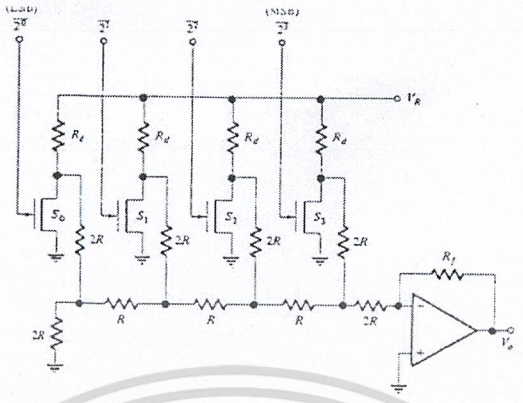


รูปที่ 4.5 แสดงความสัมพันธ์ระหว่างสัญญาณดิจิตอลกับสัญญาณอนาล็อก

สำหรับคุณสมบัติอีกอย่างหนึ่งของวงจร D/A Converter คือความแน่นอนของการแปลงสัญญาณ ซึ่งขึ้นอยู่กับความแตกต่างระหว่างแรงดันอนาล็อกจริงกับเอาท์พุทที่ได้กล่าวมาแล้ว โดยเกิดขึ้นเนื่องจากความแน่นอนของค่าความต้านทานใน ladder และแรงดันอ้างอิง

ในทางปฏิบัติเราใช้ BJT หรือ FET มาทำหน้าที่เป็นสวิทอิเล็กทรอนิกส์ ดังแสดงไว้ในรูปที่ 4.6 ซึ่งเป็นวงจรแปลงสัญญาณดิจิตอลเป็นสัญญาณอนาล็อกที่ใช้ FET ทำหน้าที่เป็นสวิทอิเล็กทรอนิกส์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



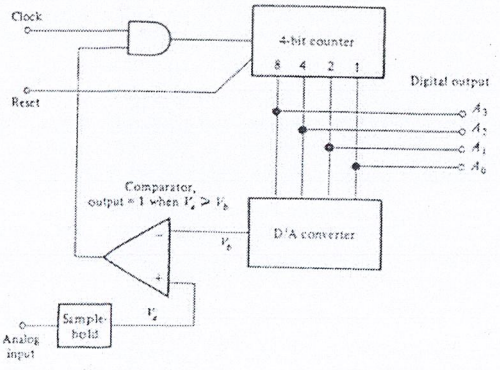
รูปที่ 4.6 วงจรแปลงสัญญาณดิจิตอลเป็นสัญญาณอนาล็อกด้วย FET สวิท

วงจรแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิตอล
(Analog to Digital Converters)

วงจรแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิตอลใช้งานในหลาย ๆ งานที่ต้องการแปลงรูปแบบของสัญญาณอนาล็อกให้เป็นสัญญาณดิจิตอล เพื่อให้เหมาะสมในการประมวลโดยระบบดิจิตอล วิธีการที่นิยมใช้กันทั่ว ๆ ไป มีอยู่ด้วยกัน 2 วิธีคือ

วงจรแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิตอลแบบควบคุมตัวนับ
(Counter-Controlled A/D Converter)

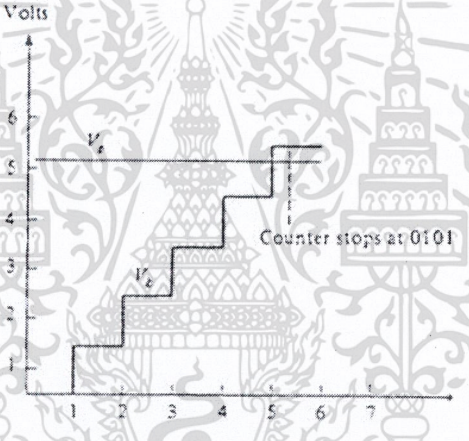
วิธีแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิตอล แบบควบคุมตัวนับ แสดงดังรูปที่ 4.7 ซึ่งประกอบด้วย 3 ส่วนคือ วงจรนับ วงจรแปลงสัญญาณดิจิตอลเป็นอนาล็อก และวงจรเปรียบเทียบสัญญาณอนาล็อก (Analog Comparator)



รูปที่ 4.7 Counter-Controlled A./D Converter

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

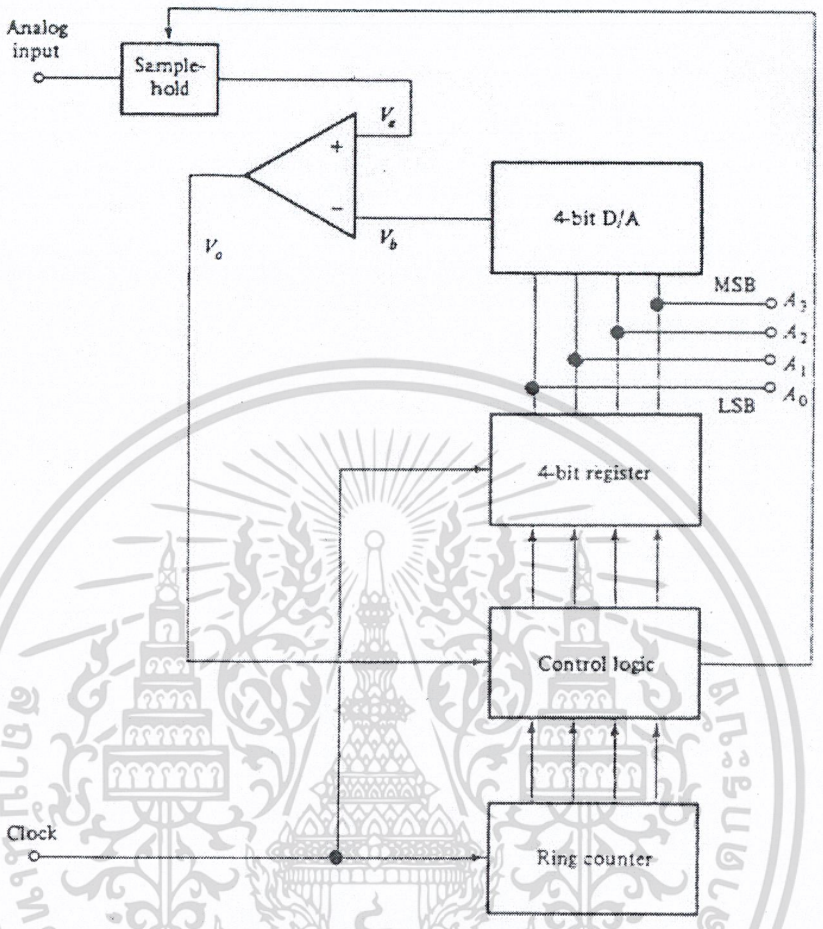
การทำงานของวงจรแปลงชนิดนี้ จะเริ่มเมื่อวงรอบของวงจรนับถูกรีเซทเป็นศูนย์ ทำให้แรงดันเอาท์พุทของวงจร D/A Vb = 0 ซึ่งจะเป็นอินพุทหนึ่งของ Comparator ส่วนอีกอินพุทหนึ่งจะได้จากสัญญาณอนาล็อก ซึ่งป้อนผ่านวงจรแซมปลิ้งแอนด์โฮล (Sampling-Hold) คือ Va ทำให้ Va มีค่ามากกว่า Vb จึงทำให้ได้เอาท์พุทของ Comparator เป็น 1 และจะไปกระตุ้นให้ AND เกททำงาน ตามสัญญาณนาฬิกาเข้าสู่วงจรนับ จะทำให้วงจรนับทำการนับขึ้น โดยเริ่มนับตั้งแต่ศูนย์ ซึ่งการนับแต่ละครั้งจะทำให้แรงดัน Vb จะเพิ่มขึ้นครั้งละ 1 โวลท์ ดังแสดงในรูปที่ 4.8 การนับจะต่อเนื่องไปจนกระทั่งแรงดันที่เกิดจากการนับนั้นมีค่าเกินสัญญาณอนาล็อก Va ซึ่งจะทำให้เอาท์พุทของ Comparator ตกลงเป็นศูนย์ จะทำให้ AND มีเอาท์พุทเป็นศูนย์ วงจรนับก็จะหยุดการนับ เอาท์พุทที่ได้จากการนับคือ 0101 คือ มีค่า 5V ดังนั้น จะทำให้เราสามารถแปลงสัญญาณอนาล็อกที่เข้ามาเป็นสัญญาณดิจิตอลได้



รูปที่ 4.8 รูปคลื่นของ Counter – Controlled A/D Converter

ในวงจรแปลงสัญญาณแบบควบคุมตัวนับนั้น สัญญาณอนาล็อกจะเป็นไปอย่างช้า ๆ เราสามารถเพิ่มความเร็วของขบวนการทำงาน โดยใช้วิธีการของวงจร Successive-Approximation D/A Converter ดังแสดงในรูปที่ 4.9 ซึ่งวิธีการนี้จะใช้วิธีการเปรียบเทียบแรงดัน Va ที่เข้ามากับแรงดัน Vb เหมือนกัน แต่เป็นการประมาณค่า หาก Va มีค่ามากกว่า Vb จะได้ output เป็น 1 ถ้าน้อยกว่าจะเป็น 0 ก็จะได้ค่าตามตัวอย่างในตารางที่ 1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.9 วงจร Successive – Approximation A/D Converter

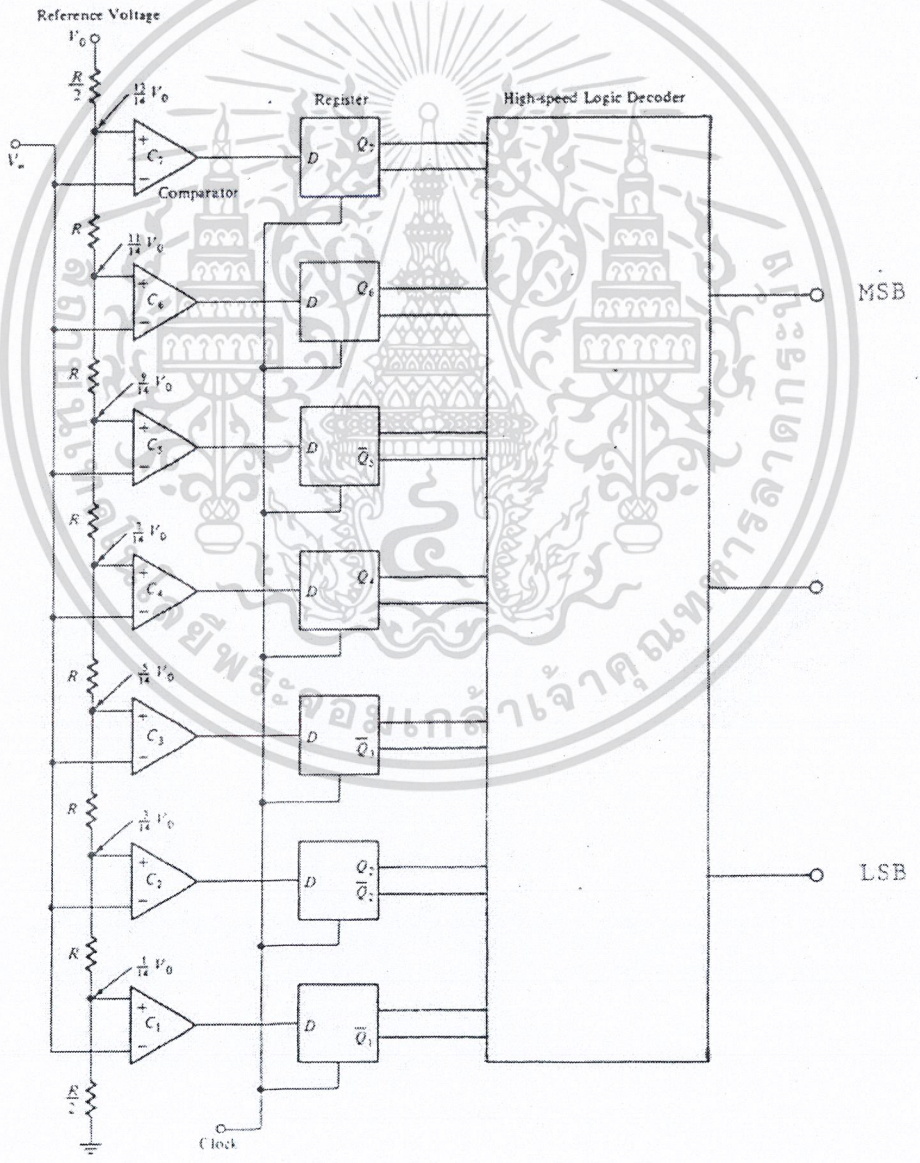
ตารางที่ 1

Step	Vb	Comparison	Answer	$A_3A_2A_1A_0$
1	8	Va ≥ 8 V ?	Yes	1000
2	12	Va ≥ 12 V ?	No	1100
3	10	Va ≥ 10 V ?	Yes	1010
4	11	Va ≥ 11 V	No	1011
	10	Read output		1010

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิตอลแบบ Flash

วงจรแปลงสัญญาณชนิดนี้จะเป็นที่นิยมใช้กันมาก ดังแสดงในรูปที่ 4.10 การทำงานของวงจรสามารถอธิบายได้ โดยใช้วงจร 3 bit A/D ซึ่งใช้ความต้านทานต่อกันเป็นแบบ Divider network ซึ่งจะทำให้แรงดันอ้างอิงของ Comparator C1 – C7 มีค่าแตกต่างกันไป Comparator C1 – C7 จะใช้เป็นตัวเปรียบเทียบกับสัญญาณอินพุทที่เข้ามา ซึ่งเป็นสัญญาณอนาล็อก ในที่นี้ Va ซึ่งเป็นสัญญาณอนาล็อกจะอยู่ระหว่าง –V0/14V และ 15V0/14V การเปรียบเทียบสัญญาณอนาล็อกแสดงได้ในตารางที่ 2 เอาท์พุทของวงจร Comparator จะส่งต่อไปยัง D Flip Flop ซึ่งทำหน้าที่เป็น Register แล้วจึงส่งผ่านไปยังวงจร Decoder เพื่อทำให้เป็นสัญญาณดิจิตอล



รูปที่ 4.10 วงจรแปลงสัญญาณ A/D Flash

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับ[illegible]ญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 2

Input Analog Voltage		Comparator Outputs							Output Logic		
Va>	Va<	C1	C2	C3	C4	C5	C6	C7	MSB		LSB
-V0/14	V0/14	1	1	1	1	1	1	1	1	1	1
V0/14	3V0/14	0	1	1	1	1	1	1	1	1	0
3V0/14	5V0/14	0	0	1	1	1	1	1	1	0	1
5V0/14	7V0/14	0	0	0	1	1	1	1	1	0	0
7V0/14	9V0/14	0	0	0	0	1	1	1	0	1	1
9V0/14	11V0/14	0	0	0	0	0	1	1	0	1	0
11V0/14	13V0/14	0	0	0	0	0	0	1	0	0	1
13V0/14	15V0/14	0	0	0	0	0	0	0	0	0	0

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5
High – Speed CMOS

ข้อดีของ HCMOS เมื่อเปรียบเทียบกับ CMOS หรือ TTL สามารถกล่าวได้ดังนี้คือ

- สิ้นเปลืองพลังงานน้อยกว่า TTL
- ป้องกันสัญญาณรบกวนได้ดีกว่า
- ใช้งานในย่านแรงดันที่กว้างกว่า TTL
- เอาท์พุทสามารถเชื่อมต่อได้โดยตรงกับ CMOS หรือ TTL
- ใช้งานได้ในย่านอุณหภูมิที่กว้างกว่า
- กระแสอินพุทต่ำกว่า
- มีความเชื่อถือสูงกว่า
- สามารถเชื่อมต่อกับอุปกรณ์อื่น ๆ ได้ดีกว่า

<u>ชนิดของ HCMOS</u>

HCMOS เป็นอุปกรณ์ที่มีอักษรนำหน้า HC, HCT หรือ HCU ซึ่งอุปกรณ์เหล่านี้จะเริ่มต้นด้วยตัวเลข 74 หรือ 54/74 ตัวเลขเหล่านี้ใน HCMOS จะใช้เป็นพื้นฐานเช่นเดียวกับ TTL หรือ CMOS อย่างเช่น เบอร์ 74HC00 ซึ่งเป็น HCMOS ก็จะเหมือนกับ TTL เบอร์ 7400 ซึ่งจะประกอบด้วย NAND gate 2 อินพุท 4 ตัว และเช่นเดียวกัน HCMOS เบอร์ 74 HC 4046 A ก็จะเหมือนกับ CMOS เบอร์ 4046 ซึ่งเป็น PLL IC CMOS HC, HCT, HCU จะบ่งชี้ให้รู้ว่าเป็น HCMOS เฉพาะอย่างคือ

HC ถือได้ว่าเป็นมาตรฐานของ HCMOS สามารถใช้งานได้ในแหล่งจ่ายไฟตั้งแต่ 2-6 VDC HC จะมีอินพุทเป็น CMOS และเอาท์พุทก็เป็น CMOS เช่นกัน ดังนั้นจึงสามารถเชื่อมต่อกับ CMOS และสามารถขับเอาท์พุทที่เป็น CMOS, TTL หรือ NMOS ได้โดยตรง

HCT ถูกออกแบบเป็น HCMOS ที่ใช้งานกับ TTL และ CMOS ซึ่งอินพุทสามารถต่อใช้งานได้โดยตรงกับอินพุทของ TTL HCT ต่างกับ HC คือต้องใช้แหล่งจ่ายไฟ +5 VDC เท่านั้น จึงเหมือนกับ TTL ในบางครั้งเราสามารถนำเอา HCT แทน TTL และ LS/TTL ได้ในวงจรเดิม ซึ่งเอาท์พุทสามารถจะขับ HCMOS หรือ TTL ได้โดยตรง

HCU ถูกออกแบบให้ใช้กับอุปกรณ์จำพวกลิเนียร์ เนื่องจากไม่มีบัฟเฟอร์ระดับอินพุทและเอาท์พุทจะแตกต่างกับอุปกรณ์บัฟเฟอร์ทั่ว ๆ ไป เอาท์พุทสามารถขับ CMOS, TTL หรือ NMOS ได้โดยตรง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อเปรียบเทียบระหว่าง HC กับ HCT จะเห็นว่า HCT จะสิ้นเปลืองพลังงานมากกว่า แต่มีสัญญาณรบกวนน้อยกว่า ใช้งานที่แรงดัน +5V ส่วนมากเราจะใช้ HCT กับ LS TTL มากกว่า HC เพราะว่า HCT สามารถใช้แทน TTL ได้โดยตรง อย่างไรก็ตาม เราจะใช้ HC หรือ HCT ในวงจรหรือใช้ทั้งสองชนิดผสมกันก็ได้ แต่เราจะต้องคำนึงถึงแหล่งจ่ายไฟด้วย โดยทั่วไปแล้วเราจะใช้เป็นชนิด HC ทั้งหมด จะได้เปรียบกว่า ไม่ว่าจะเป็นเรื่องกำลังงาน หรือสัญญาณรบกวน เป็นต้น ไอซี HCT ควรจะใช้เป็นตัวเชื่อมตัวระหว่าง TTL กับ CMOS

จะสังเกตว่า ไอซี HCMOS จะใช้แหล่งจ่ายไฟได้ตั้งแต่ 2-6 V ดังนั้น ในมาตรฐานของแรงดันนั้น โดยทั่วไปจะใช้ +3 V ซึ่งสามารถได้จากแบตเตอรี่แห้ง 2 ก้อน ทำให้วงจรที่ใช้ HCMOS สามารถออกแบบให้ใช้กับอุปกรณ์ที่สามารถพกพาได้

HCMOS กับ CMOS มาตรฐาน

ความแตกต่างระหว่าง CMOS มาตรฐานและ HCMOS เริ่มจากขบวนการผลิตเนื้อสารที่ใช้ผลิตนั้น CMOS มาตรฐานจะใช้เกทเป็นโลหะ หมายความว่า ทรานซิสเตอร์ที่ทำขึ้นบนแผ่นซิลิคอนที่มีเกทเป็นโลหะ ขณะที่ HCMOS จะใช้เกทเป็นซิลิคอน ซึ่งจะทำให้ HCMOS จะมีขนาดเล็กกว่าเกทที่เป็นโลหะ ขนาดความกว้างของเกทที่เล็กกว่าจะทำให้พื้นที่ของชิปมีประสิทธิภาพเพิ่มขึ้น ทำให้สามารถขจัดการเหลื่อมล้ำของเกทได้ ทำให้ลดความจุของเกทและเพิ่มความเร็วในการใช้งานขึ้น

ความแตกต่างระหว่างเกทที่เป็นโลหะกับเกทที่เป็นซิลิคอน ซึ่งเป็นขบวนเฉพาะในการผลิต CMOS มาตรฐาน และ HCMOS ทำให้คุณสมบัติในการใช้งานแตกต่างกัน คือ

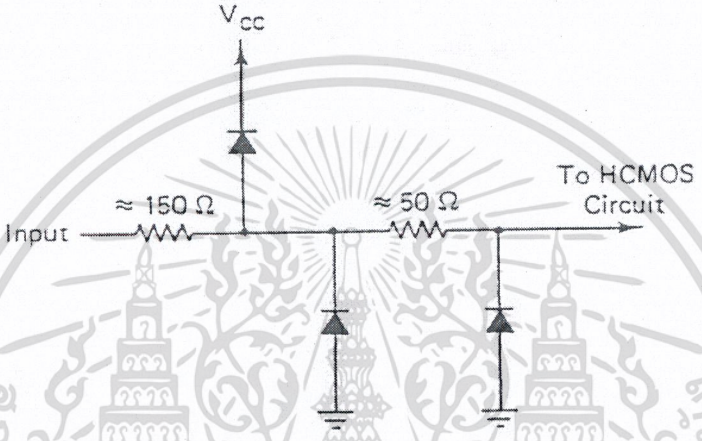
	HCMOS	STANDARD CMOS
❑ ย่านแรงดันใช้งาน	2-6 VDC	3-18 VDC
❑ การสิ้นเปลืองพลังงานที่ความถี่ 1 KHz	5 μA/gate	1 μA/gate
❑ ความถี่ใช้งาน (D F/F)	40 MHz	4 MHz
❑ การหน่วงของการเดินทางของสัญญาณ	8 ns.	125 ns.
❑ การเชื่อมต่อกับ TTL	สามารถขับ TTL ได้โดยตรงถึง 10 ตัว	ต้องการการเชื่อมต่อเมื่อโหลดเป็น TTL

ความคล้ายคลึงกันของ CMOS และ HCMOS คือเรื่องความเสียหายที่จะเกิดขึ้นเนื่องจากไฟฟ้าสถิตย์ ดังนั้นจึงต้องใช้วงจรเพื่อป้องกันการเสียหายที่จะเกิดขึ้น ดังแสดงในรูปที่ 5.1 เพื่อความปลอดภัยของอุปกรณ์จะต้องปฏิบัติดังนี้คือ

- ไอซี HCMOS ควรจะเก็บในวัสดุที่เป็นตัวนำ หรือที่ไม่ทำให้เกิดไฟฟ้าสถิตย์ อย่างเช่น แผ่นโฟมตัวนำ เป็นต้น
- ควรจะวางอุปกรณ์โดยให้ขาของอุปกรณ์เสียบลงบนแผ่นอลูมิเนียมฟอยล์ เมื่อไม่ได้ใช้งาน
- ควรใช้เครื่องบัดกรีที่ใช้กำลังงานจากแบตเตอรี่ เชื่อมขาของ HCMOS

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- ก่อนที่จะทำการต่อแหล่งกำเนิดสัญญาณเข้า HCMOS จะต้องแน่ใจว่าได้จ่ายไฟเลี้ยงให้แก่ HCMOS แล้ว
- ก่อนที่จะจับถือ HCMOS ต้องแน่ใจว่า ร่างกายของผู้ที่จะจับถือ HCMOS ต้องทำการลงกราวนด์แล้ว



รูปที่ 5.1 วงจรป้องกันอินพุทของ HCMOS

<u>สิ่งที่ควรทราบในการใช้งาน HCMOS</u>

การใช้งานเบื้องต้นสำหรับ HCMOS นั้นก็เหมือนกับ CMOS คือ

- ใช้แหล่งจ่ายไฟ (V_{dd}) แทนสภาวะลอจิกสูง และ 0V (ground) แทนสภาวะลอจิกต่ำ
- แรงดันอินพุทต้องไม่เกินแรงดัน V_{dd}
- ขาอินพุททั้งหมดที่ไม่ใช้จะต้องต่อกับ V_{dd} หรือกราวนด์เพื่อป้องกันการทำงานผิดพลาดของอุปกรณ์
- อย่าต่อสัญญาณอินพุทเข้าอุปกรณ์ที่ไม่ได้จ่ายไฟเลี้ยง เพราะจะทำให้อุปกรณ์เสียหายได้

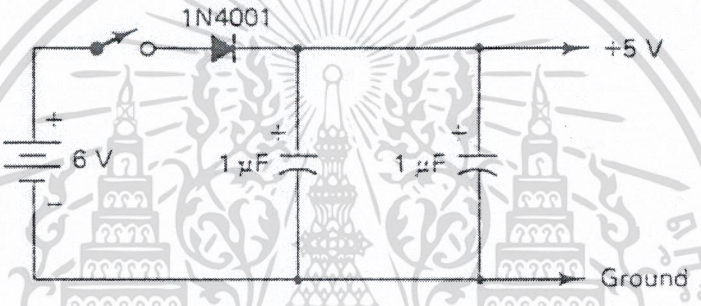
ความเร็วในการสวิทของเกทและการสิ้นเปลืองพลังงานของ HCMOS นั้น ขึ้นอยู่กับตัวเก็บประจุที่ทำหน้าที่ decoupling โดยเฉพาะในกรณีที่ใช้งานในความถี่สูง ๆ ค่านี้ควรจะใช้อยู่ระหว่าง 0.022-0.1 ไมโครฟารัด ในกรณีที่วงจรประกอบด้วย HCMOS หลาย ๆ ตัว แต่ละตัวจะต้องต่อตัวเก็บประจุซึ่งทำหน้าที่ bypass ด้วย และในกรณีเดียวกันควรจะต่อตัวเก็บประจุ bypass คร่อมวงจรนับ (Counters), อุปกรณ์ที่ทำหน้าที่เป็นแหล่งกำเนิดสัญญาณ และอุปกรณ์ซมิตท์ทริกเกอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

<u>แหล่งจ่ายไฟเลี้ยง</u> (Power Supplies)

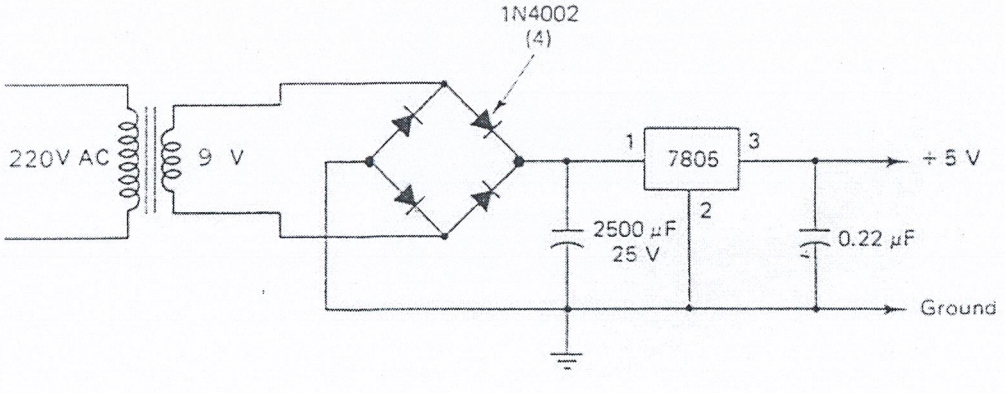
ขณะที่ HCMOS สามารถใช้งานด้วยแหล่งจ่ายไฟตั้งแต่ 2-6 โวลท์ ทำให้สามารถใช้แหล่งจ่ายไฟที่เป็นมาตรฐานได้คือ +5 โวลท์ ซึ่งระดับแรงดันนี้จะใช้กับ TTL ซึ่งจะใช้แรงดันขนาดนี้ จึงทำให้สามารถใช้กับ HC, HCT และ HCU ได้ดีเช่นกัน

เนื่องจาก HCMOS สิ้นเปลืองพลังงานน้อย เราสามารถใช้พลังงานจากแบตเตอรี่ได้ โดยแสดงดังรูปที่ 5.2 เป็นวงจรที่ใช้แบตเตอรี่ 6 โวลท์ เป็นแหล่งจ่าย แล้วมาลดให้เหลือ 5 โวลท์ โดยใช้ร่วมกับตัวเก็บประจุ 1 ไมโครฟารัด 2 ตัว



รูปที่ 5.2 แหล่งจ่ายไฟเลี้ยง 5 โวลท์ สำหรับ HCMOS โดยใช้แบตเตอรี่

แหล่งจ่ายไฟที่ใช้กับ HCMOS สามารถสร้างได้โดยใช้แหล่งจ่ายไฟกระแสสลับ ดังแสดงในรูปที่ 5.3 หม้อแปลงที่ใช้เป็นแบบ Step down คือ แปลงจาก 220 โวลท์ เป็น 9 โวลท์ เอาท์พุทจากหม้อแปลงจะถูกเรคติไฟย์ โดยวงจรบริดจ์ ซึ่งประกอบด้วยไดโอด IN4002 จำนวน 4 ตัว ไอซี 7805 เป็นโวลท์เตจเรคกูเลเตอร์ไอซี



รูปที่ 5.3 แหล่งจ่ายไฟสำหรับ HCMOS โดยใช้กระแสสลับ

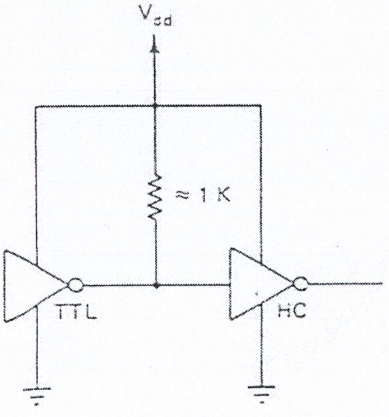
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

<u>วงจรเชื่อมต่อ</u> (Interface circuits)

ดังที่ได้กล่าวมาแล้วว่า ข้อดีของ HCMOS คือ สามารถใช้งานแทนไอซี TTL ได้โดยตรง แต่อย่างไรก็ตาม บางครั้งเราต้องใช้การเชื่อมต่อ กรณีที่เราใช้แผ่นวงจรที่ใช้ HCMOS เชื่อมต่อกับแผ่นวงจรอื่น ๆ ที่ใช้ TTL หรือ CMOS มาตรฐาน HCMOS จะมีกระแสเอาท์พุทที่สามารถขับ TTL หรือ CMOS มาตรฐานได้โดยตรง ซึ่งใช้แหล่งจ่ายแหล่งเดียวกัน อย่างไรก็ตาม HCT ซึ่งเป็นชนิดหนึ่งของ HCMOS สามารถขับ TTL ได้โดยตรง แม้ว่าในส่วนแรกเราจะบอกว่าให้ใช้ HCT ในกรณีที่จะทำการเชื่อมต่อที่เป็นการเปลี่ยนแปลงระดับก็ตาม ในรูปที่ 5.4 แสดงให้เห็นวงจรเชื่อมต่อข้างต้น

รูปที่ 5.4 วิธีการเชื่อมต่อระหว่าง HC/HCT กับ TTL และ TTL กับ HCT

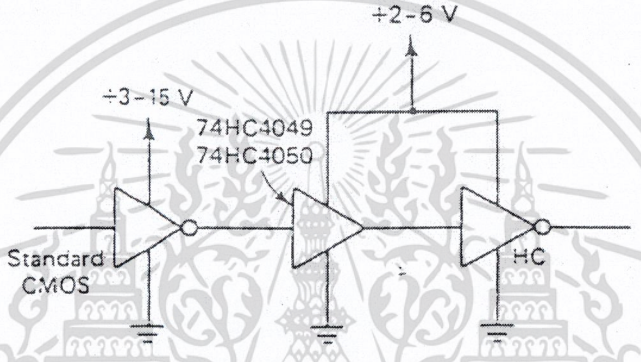
เอาท์พุทของ TTL สามารถที่จะขับอินพุทของ HC ถ้าใช้ความต้านทานพูล-อัพ ในรูปที่ 5.5 ค่าของความต้านทานพูล-อัพ จะขึ้นอยู่กับกระแสเอาท์พุทของ TTL เราจะใช้ค่าประมาณ 1 กิโลโอห์ม ซึ่งวิธีการนี้เราจะไม่ใช้กับกรณีที่เชื่อมต่อ TTL กับ HCT การเชื่อมต่อ TTL กับ HCT เราจะใช้วิธีการดังรูปที่ 5.4



รูปที่ 5.5 วิธีการเชื่อมตัว TTL กับ HC

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

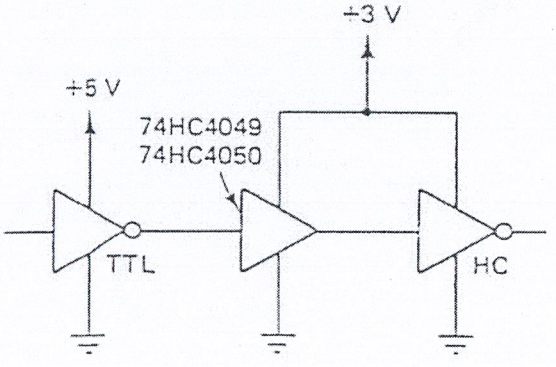
บางครั้ง อาจจำเป็นที่จะต้องเชื่อมต่อ HCMOS กับ TTL หรือ CMOS มาตรฐาน ซึ่งใช้ระดับแรงดันของแหล่งจ่ายไฟต่างกัน ในรูปที่ 5.6 แสดงให้เห็นวิธีการเชื่อมต่อ CMOS มาตรฐาน ซึ่งทำงานที่ระดับแรงดันที่สูงกว่าระดับแรงดันของ HCMOS ดังนั้น รูปแบบที่เหมาะสมในการเชื่อมต่อจะให้ CMOS มาตรฐานทำงานที่ระดับแรงดัน +15 V เชื่อมต่อกับ HCMOS ที่ทำงานที่แรงดัน +5 V ส่วนที่จำเป็นสำหรับการเชื่อมต่อนี้คือ ส่วนการแปลงระดับแรงดัน โดยใช้ส่วนหนึ่งของไอซี 74 HC 4049 ทำหน้าที่เป็นบัฟเฟอร์แบบอินเวอร์ติ้ง หรือใช้ไอซี 74 HC 4050 ซึ่งทำหน้าที่เป็นบัฟเฟอร์แบบนอนอินเวอร์ติ้ง โดยที่ HCMOS ที่ทำหน้าที่เป็นกันชน (Buffer) นี้จะใช้แหล่งจ่ายไฟแหล่งเดียวกันกับ HCMOS ที่เชื่อมต่อกับ CMOS มาตรฐาน



รูปที่ 5.6 การเชื่อมต่อ CMOS แรงดันสูงกับ HCMOS แรงดันต่ำ

ในบางกรณี HCMOS อาจจะใช้ในระดับแรงดันต่ำกว่า TTL ที่ใช้เป็นตัวจ่ายสัญญาณอินพุท ดังแสดงในรูปที่ 5.7 ดังนั้น การเชื่อมต่อก็จะเหมือนกับกรณีการเชื่อมต่อในรูปที่ 5.6 คือ ใช้ไอซี 74 HC 4049 หรือ 74 HC 4050 ซึ่งเป็น HCMOS ที่ทำหน้าที่แปลงระดับแรงดันเป็นไอซีบัฟเฟอร์ ซึ่งทั้งไอซี HC และไอซีบัฟเฟอร์จะใช้แหล่งจ่ายไฟเดียวกัน ในที่นี้คือ +3V ขณะที่ TTL ใช้แรงดัน +5V

ในทางปฏิบัตินั้น ควรจะหลีกเลี่ยงการใช้งานที่จะต้องใช้ไอซี ซึ่งต่างชนิดกันในวงจรเดียวกัน ซึ่งจะทำให้เกิดความยุ่งยากในเรื่องของแหล่งจ่ายไฟ ดังนั้นในโครงงานที่จะกล่าวถึงจึงใช้ไอซี HCMOS เท่านั้น



รูปที่ 5.7 การเชื่อมต่อ TTL กับ HCMOS แรงดันต่ำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 6
โครงสร้างภายในและการทำงานของ ไอซี TP3057

ในบทนี้จะได้กล่าวถึงรายละเอียดของ ไอซีเบอร์ TP3057 ซึ่งนำมาใช้เป็นส่วนสำคัญ ในโครงงานนี้

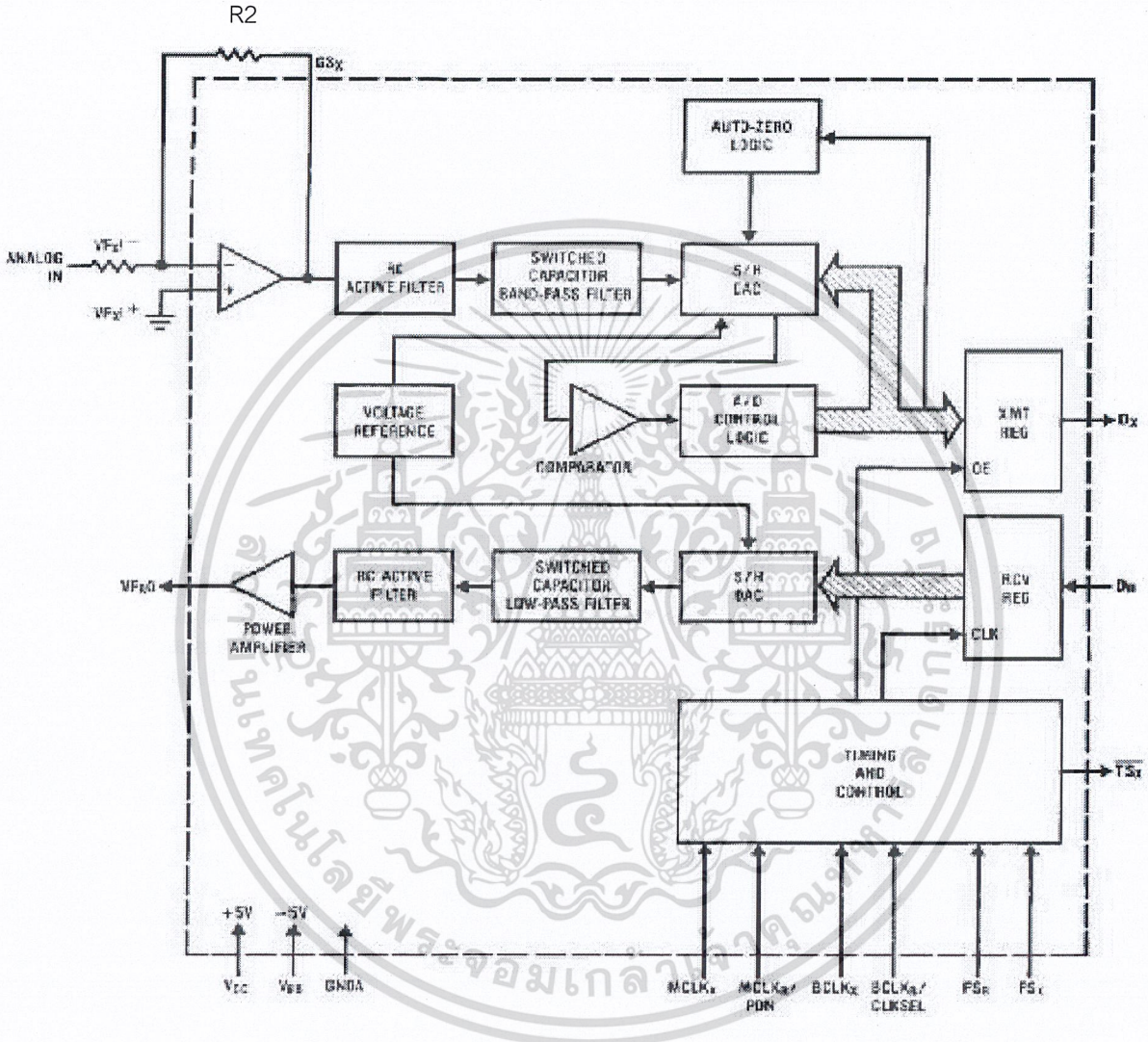
TP3057 ประกอบด้วย Monolithic PCM CODEC/FILTER ซึ่งเป็นแบบ A-Law ซึ่งไม่ต้องการสัญญาณควบคุม และมีวงจร A/D และ D/A และ Serial PCM Interface อยู่ภายใน ในส่วนของการเข้ารหัส (Encode) ของไอซีเบอร์นี้ประกอบด้วยวงจรขยายโดยใช้ Op-Amp ซึ่งสามารถปรับอัตราการขยายได้โดยการเปลี่ยนค่าความต้านทานซึ่งต่อเพิ่มเข้าไปภายนอกตัวไอซี ถัดมาก็เป็นวงจร ฟิลเตอร์ ชนิด RC Active Filter ซึ่งมีไว้เพื่อกำจัดสัญญาณรบกวนความถี่สูงออกแล้วส่งต่อไปยัง Switch Capacitor Bandpass Filter เพื่อกรองเอาเฉพาะความถี่ที่ต้องการเท่านั้น ซึ่งในที่นี้ก็คือความถี่เสียงที่อยู่ในย่าน 200-3,400 Hz โดยที่ความถี่นอกเหนือจากนี้จะถูกกำจัดทิ้งไป ภายในไอซีมีวงจร Auto zero และ Companding ซึ่งจะทำให้การเข้ารหัสและถอดรหัสมีความสมบูรณ์ยิ่งขึ้น โดยใน TP3057 นี้จะใช้ การ Companding เป็นแบบ A-low

สำหรับ Clock ที่ป้อนให้กับไอซี เพื่อเป็น Master Clocks นั้นจะสามารถเลือกความถี่ได้ 2 ความถี่คือ 1.536,1.544 หรือ 2.048 MHz ซึ่งการเลือกใช้ Clock ดังกล่าวนี้ จะทำให้ ไอซี ทำงานในโหมด Asynchronous ไอซีเบอร์นี้ถูกออกแบบให้ใช้กับแหล่งจ่ายไฟ ±5V โดยสิ้นเปลืองกำลังงานเพียง 60 mW. และหากอยู่ในสภาวะ Power down ก็จะใช้กำลังงานเพียง 3 mW. เท่านั้น สามารถที่จะต่อเชื่อมกับ IC TTL หรือ CMOS ได้โดยไม่ต้องต่อวงจรเพิ่มเติม

รายละเอียดเกี่ยวกับขาต่าง ๆ ของ TP3057

สัญลักษณ์	หน้าที่
V_{BB}	ต่อเข้ากับแหล่งจ่ายไฟลบ โดยที่ V_{BB} = -5V ±5%
GNDA	อนาลอกกราวนด์ สัญญาณทั้งหมดเทียบกับขานี้
VF_RO	เป็นขา เอาท์พุทของสัญญาณอนาลอก
V_{cc}	ต่อกับแหล่งจ่ายไฟขั้วบวก โดยที่ Vcc = +5V ±5%
FS_R	ขาอินพุทสัญญาณแบบ Frame sync pulse ซึ่งทำงานร่วมกับขา $BCLK_R$ เพื่อเลื่อนข้อมูล PCM เข้าสู่ขา D_R โดยใช้ความถี่ Pulse 8 KHz
D_R	ขารับสัญญาณ อินพุท ข้อมูล PCM จะถูกเลื่อนเข้าสู่ D_R ที่ขอบขาขึ้นของ FS_R

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 6.1 Block diagram TP3057

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$BCLK_R$/CLKSEL	เป็นขาต่อกับ bit clock ซึ่งใช้เลื่อนข้อมูลเข้าสู่ D_R อาจจะเปลี่ยนแปลงได้จาก 64 KHz ถึง 2.048 MHz ซึ่งขานี้จะเป็นตัวเลือกความถี่ Master clock ในโหมด Synchronous ซึ่งอาจจะเป็น 1.536 , 1.544 หรือ 2.048 MHz
$MCLK_R$/PDN	เป็นขา Master clock ในการรับ ใช้ความถี่ 1.536 ,1.544 หรือ2.048 MHz ในโหมด asynchronous เพื่อให้ใช้งานมีประสิทธิภาพควรให้ Synchronous กับ กับ $MCLK_X$ เมื่อขานี้ถูกต่อกับลอจิก low ขา $MCLK_X$ ถูกเลือกเมื่อคาบเวลาภายในทั้งหมด เมื่อ $MCLK_R$ ถูกต่อกับ ลอจิก High IC ตัวนี้จะอยู่เข้าสู่สภาวะประหยัดพลังงาน
SF_R	เมื่อมีสภาวะเป็นลอจิก High ระหว่างที่มีสัญญาณเข้าที่ขา SF_R จะทำให้รู้ว่ากำลังรับสัญญาณเข้ามา (IC TP3057 ไม่ใช้ขานี้ในการออกแบบ)
SIG_R	บิทที่ 8 ของข้อมูล PCM จะปรากฏที่ขานี้ หลังจากรับเฟรมของสัญญาณที่ส่งมา (ไม่ใช้ขานี้ในการออกแบบ)
SIG_X	เป็นสัญญาณข้อมูลที่เข้ามา ซึ่งข้อมูลนี้จะถูกแทรกไปในบิทที่ 8 ของ PCM word ระหว่างเฟรมสัญญาณที่ส่ง (ไม่ใช้ขานี้ในการออกแบบ)
SF_X	เมื่อมีสภาวะ High ระหว่างที่มีสัญญาณเข้าขา SF_X จะทำให้ทราบว่าเฟรมของสัญญาณกำลังถูกส่ง (ไม่ใช้ขานี้ในการออกแบบ)
$MCLK_X$	ขามาสเตอร์คล็อกในการส่งใช้ความถี่1.536/1.544MHz หรือ 2.048MHz อาจจะทำเป็นแบบ Asynchronous ด้วย $MCLK_R$ ในทางปฏิบัติควรสร้างจากการใช้งานแบบ Synchronous
FS_X	เป็นขาอินพุทของไอซี ซึ่งใช้งานร่วมกับขา BCLKX เพื่อเลื่อนข้อมูล PCM ออกที่ขา D_X FS_X เป็น สัญญาณ Pulse ความถี่ 8 KHz
$BCLK_X$	เป็นขาบิทคล็อกซึ่งเลื่อนข้อมูล PCM ออกที่ขา D_X อาจจะเปลี่ยนแปลงจาก 64 KHz ถึง 2.048 MHz แต่ต้องให้สัมพันธ์กับขา $MCLK_X$
D_X	เป็นขาเอาท์พุทของข้อมูล PCM ซึ่งถูกใช้งานโดยขา FS_X ทำงานแบบ Tri-state
TS_X	Open drain output ซึ่งรูปคลื่นอยู่ในสภาวะลอจิกต่ำระหว่างการเข้ารหัสในไทม์สล็อต (ในการออกแบบไม่ใช้ขานี้)
GS_X	เป็นขาอนาลอกเอาท์พุทของภาคขยายออปแอมป์ ภาคส่งภายในไอซี ซึ่งใช้สำหรับต่อความต้านทานภายนอกเพื่อกำหนดเกนการขยาย
VF_X| -	เป็นขา input inverting ของออปแอมป์ภาคส่ง
VF_X|+	เป็นขา input non-inverting ของออปแอมป์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รายละเอียดการใช้งาน ไอซี TP3057

Power –up

เมื่อจ่ายไฟให้กับไอซีในสภาวะแรกมันจะทำการรีเซทเพื่อให้วงจรภายในทำการเซทค่าต่าง ๆ แล้วจะเข้าสู่สภาวะประหยัดพลังงาน วงจรที่ไม่จำเป็นทั้งหมดจะยังไม่ทำงานและ D_X , VF_RO จะอยู่ในสภาวะอิมพีแดนซ์สูง ไอซีจะเริ่มทำงานเมื่อได้รับสัญญาณ Power-up คือได้รับลอจิกต่ำหรือต้องป้อนสัญญาณคล็อก เข้าที่ขา $MCLK_R$/PDN และหรือ FS_R ต้องมีลูกคลื่นป้อน ดังนั้นหากจะควบคุมให้มีการทำงานในสภาวะประหยัดพลังงานจะต้องให้ขา $MCLK_R$/PDN อยู่ในเป็นลอจิก สูง และให้ขา FS_X และ FS_R มีลอจิกต่ำอย่างต่อเนื่องไอซีนี้ก็จะอยู่ ในสภาวะประหยัดพลังงานโดยจะใช้กระแสประมาณ 2 mA. หลังจากที่รูปคลื่นสุดท้ายที่ขา FS_X หรือ FS_R เอาท์พุทของข้อมูล PCM ที่ขา D_X จะยังคงอยู่ในสภาวะอิมพีแดนซ์สูง จนกระทั่งคลื่นลูกที่ 2 เข้ามาที่ขา FS_X

การใช้งานในแบบ Asynchronous

สำหรับการทำงานในแบบ Asynchronous จะแยกคล็อกในการส่งและรับ $MCLK_X$ และ $MCLK_R$ ซึ่ง TP3057 จะต้องใช้ความถี่ 2.048 MHz โดยไม่จำเป็นต้องให้ Synchronous กันแต่ถ้าต้องการให้เกิดประสิทธิภาพดีที่สุดนั้น $MCLK_R$ ควรสัมพันธ์กับ $MCLK_X$ ซึ่งจะทำได้ง่าย ๆ โดยให้ขา $MCLK_R$/PDN ต่อกับสแตติกลอจิก ซึ่งจะทำให้ $MCLK_X$ ต่อกับ $MCLK_R$ โดยอัตโนมัติภายในไอซี ในขณะที่ FS_X เริ่มเข้ารหัสในแต่ละวงรอบ และต้องสัมพันธ์กับ $MCLK_X$ และ $BCLK_R$ และ ขณะที่ FS_R เริ่มถอดรหัสในแต่ละวงรอบก็จะต้องสัมพันธ์กับ $BCLK_R$ โดยที่ $BCLK_R$ ต้องเป็นสัญญาณคล็อก มีระดับลอจิกแสดงดังตารางที่ 1 ซึ่งจะไม่ใช้สภาวะ Asynchronous $BCLK_X$ และ $BCLK_R$ อาจจะใช้งานจาก 64 KHz จนถึง 2.048 MHz

การใช้งานในแบบ Synchronous

สำหรับการทำงานแบบ Synchronous มาสเตอร์คล็อกและบิทคล็อกควรจะใช้เหมือนกันทั้งในการส่งและรับ ในโหมดนี้คล็อกต้องถูกป้อนเข้าที่ขา $MCLK_X$ และขา $MCLK_X$/PDN สามารถถูกใช้ควบคุมสภาวะการประหยัดพลังงาน ถ้าขา $MCLK_R$/PDN มีสภาวะเป็นลอจิกต่ำ จะทำให้ไอซีอยู่ในสภาวะใช้กำลังงานสูง ในทางกลับกันถ้าเป็นสภาวะลอจิกสูง จะทำให้ไอซีอยู่ในสภาวะประหยัดกำลังงาน ในกรณีนี้ $MCLK_X$ จะถูกเลือกโดยมาสเตอร์คล็อก เพื่อให้อยู่ในสภาวะส่งและรับ บิทคล็อกต้องถูกป้อนเข้าขา $BCLK_X$ และ $BCLK_R$/CLKSEL สามารถที่จะถูกเลือกอยู่ภายใน สำหรับมาสเตอร์คล็อก 1.536 ,1.544 หรือ 2.048 MHz สำหรับการใช้งานด้วยความถี่ 1.544 MHz ไอซี จะถูกชดเชยโดยอัตโนมัติ สำหรับคล็อกที่ 193 ของแต่ละเฟรม
ด้วยการทำให้ระดับสัญญาณที่ขา $BCLK_R$/CLKSEL คงที่ $BCLK_X$ จะถูกเลือกโดยบิทคล็อก สำหรับเลือกทิศทางในการรับ-ส่ง ตารางที่ 1 แสดงให้เห็นความถี่ของการใช้งานซึ่งสามารถเลือกได้โดยขึ้นอยู่กับสภาวะที่ $BCLK_R$/CLKSEL ใน Synchronous mode บิทคล็อก $BCLK_X$ อาจจะเริ่มจาก 64 KHz ถึง 2.048 MHz แต่ต้องสัมพันธ์กับ $MCLK_X$

แต่ละรูปคลื่นที่ขา FS_X จะเริ่มวงรอบในการเข้ารหัส และข้อมูล PCM จากวงจรของการเข้ารหัสอันเก่าจะถูกเลื่อนออกที่ขา D_X ที่ขอบขาขึ้นของ $BCLK_X$ หลังจากคาบเวลาของสัญญาณนาฬิกาผ่านไป 8 บิท D_X จะกลับสู่สภาวะอิมพีแดนซ์สูง ด้วยรูปคลื่นที่ FSR ข้อมูล PCM จะถูกป้อนผ่าน D_R ที่ขอบขาลงของรูปคลื่นที่ $BCLK_X$ (หรือ $BCLK_R$ ถ้ากำลังทำงาน) FS_X และ FS_R ต้องทำงานสัมพันธ์กันกับ $MCLK_X$/R

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

BCLKR/CLKSEL	Master clock IC TP 3057
CLOCK 0 1	2.048 MHz 1.536 MHz หรือ1.544 MHz 2.048 MHz

ตารางที่ 1 การเลือกความถี่ Master clock ขึ้นอยู่กับสภาวะที่ขา $BCLK_R$/CLKSEL

การทำงานในแบบ Short Frame Sync

การทำงานแบบ Short Frame Sync หรือ Long Frame sync ขึ้นอยู่กับกำลังงานเริ่มแรก หากเป็นแบบ Short Frame Sync ขา FS_R ต้องมีความยาว 1 บิทต่อคล็อก ซึ่งต้องสัมพันธ์กับไทม์มิ่ง FS_X ต้องมีสภาวะเป็นลอจิกสูง ระหว่างที่ลูกคลื่นที่ ขอบขาลงของ $BCLK_X$ เข้ามา ต่อจากนั้นลูกคลื่นขอบขาขึ้นของ $BCLK_X$ ก็จะทำให้ขา D_X อยู่ในสภาวะเป็นกันชน (Buffer) ซึ่งเอาท์พุทที่ได้จะเป็นบิทเครื่องหมาย ขอบขาขึ้นของคล็อก 7 ลูก ที่ตามมาจะยังคงเป็น 7 บิท และขอบขาลงของลูกคลื่นต่อไปจะ disable ขา D_X ขา FS_R ต้องอยู่ในสภาวะลอจิกสูงระหว่างที่มีลูกคลื่นขอบขาลงของ $BCLK_R$ เข้ามาค้างในบิทเครื่องหมาย ลูกคลื่นขอบขาลงต่อมา 7 ลูกจะมาค้างอยู่ ใน 7 บิทเดิม TP3057นี้สามารถใช้งานแบบ Short Frame Sync ทั้งแบบ synchronous และ asynchronous

การทำงานแบบ Long Frame Sync

ในการทำงานแบบนี้ Frame Sync Pulse ที่ขา FS_X และ FS_R ต้องมีความยาวของคาบเวลา 3 บิทคล็อก หรือมากกว่า ความสัมพันธ์ทางไทม์มิ่ง ดูรายละเอียดในภาคผนวก สำหรับการทำงานแบบ 64 KHz Frame Sync Pulse ต้องอยู่ในสภาวะต่ำอย่างน้อยเป็นเวลา 160 ns. D_X ซึ่งเป็นเอาท์พุทบัฟเฟอร์ จะถูก enable ด้วยขอบขาขึ้นของ $BCLK_X$ จะยังคงเป็น 7 บิทเดิม D_X จะถูก disable โดยขอบขาลงของบิทที่ 8 ที่ตามมาหรือโดยให้ขา FS_X มีสภาวะต่ำ ขอบขาขึ้นบนลูกคลื่นบน Frame Sync Pulse ของการรับ FS_R จะทำให้ข้อมูล PCM ที่ขา D_R ยังคงค้างอยู่ บนขอบขาลงของบิทที่ 8 ของลูกคลื่นต่อไปของขา $BCLK_R$ อุปกรณ์นี้สามารถใช้งานแบบ Long Frame Sync ทั้งในการใช้งานแบบ synchronous และ asynchronous

สัญญาณควบคุม (Signalling)

ไอซี TP 3057 ที่ใช้นี้ เป็นแบบ A-low ที่ไม่ต้องใช้สัญญาณควบคุมในส่วนนี้ ฉะนั้นการออกแบบจริง ๆ เราไม่ต้องใช้ขานี้คือ SF_X , SF_R , SIG_X และ SIG_R

ส่วนของภาคส่ง (Transmit Section)

ในส่วนของการส่ง ทางด้านอินพุทจะเป็นออปแอมป์ เกนการขยายสามารถกำหนดได้ด้วยความต้านทานที่ต่อภายนอก 2 ตัว ซึ่งเกนการขยายที่เราต้องการจะสัมพันธ์กับค่าของความต้านทาน R1 , R2 ในรูปที่ 6.2 การออกแบบให้มีสัญญาณรบกวนต่ำและมีแบนด์วิธกว้างต้องให้มีเกนการขยายไม่เกิน 20 dB.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ออปแอมป์จะไปขับวงจร band pass filter แบบสวิทคาปาซิเตอร์ ซึ่งใช้คล็อกความถี่ 256 KHz เอาท์พุทของวงจร filter จะต่อโดยตรงเพื่อขับวงจรเข้ารหัสและแซมปลิ้งและโฮล วงจร A/D ซึ่งใช้ในการ companding จะเป็นแบบ A-low ซึ่งไอซีที่เราใช้นี้ไม่ต้องการสัญญาณควบคุม ส่วนวงจรพีซิสชั่นโวลท์เตจเรฟเฟอร์เรนซ์ จะถูกปรับโดยทางโรงงาน โดยมีอินพุทโอเวอร์โหลด (t_{MAX}) ปกติ 2.5 VP

FS_X ใช้ควบคุมเอาท์พุท การแซมปลิ้งของฟิลเตอร์และวงรอบของการเข้ารหัสเริ่มต้น รหัส 8 บิทจะถูกป้อนเข้าสู่บัฟเฟอร์และเลื่อนออกที่ขา D_X ที่พัลซ์ต่อไปของ FS_X การเข้ารหัสทั้งหมดจะถูกหน่วงประมาณ 165 μs. เอาท์พุทตัวถอดรหัส DAC จะเปลี่ยนไปตาม การถอดรหัสทั้งหมดจะถูกหน่วงเวลาประมาณ 10 μs. บวกกับ 110 μs. (การหน่วงของฟิลเตอร์) บวกกับ 62.5 μs. ซึ่งรวมทั้งหมดประมาณ 180 μs.

ข้อมูลในการประยุกต์ใช้งานของไอซี TP3057

Power Supplies

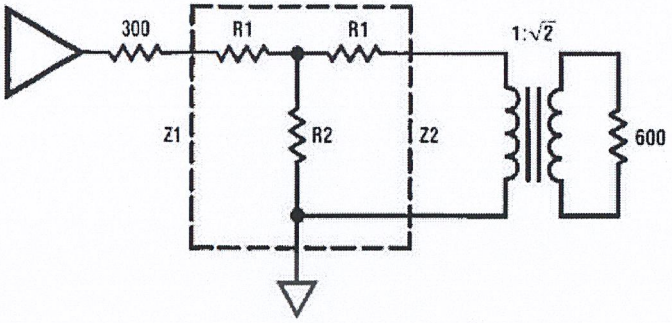
ก่อนจะใช้งานไอซีเบอร์นี้จะต้องตรวจสอบว่า ขากราวนด์ต่อก่อนขาอื่น ๆ ทั้งหมด เพื่อความปลอดภัยและป้องกันความเสียหายของไอซี ขากราวนด์ทั้งหมดของไอซีควรจะต่อที่จุดร่วมกันถ้าเป็นไปได้ควรจะต่อใกล้กับขา GNDA มากที่สุด เพื่อหลีกเลี่ยงการไหลของกระแสที่ไหลผ่านความต้านทานที่เกิดขึ้นจากเส้นทางเดินควรจะต่อคาปาซิเตอร์ความจะ 0.1 ไมโครฟารัด คร่อมที่ขา VCC และ V_{BB} กับจุดกราวนด์
ในทางปฏิบัติ จุดร่วมของ CODEC แต่ละตัว ควรจะต่อกับจุดร่วมของแผ่น PCB จุดร่วมนี้ควรจะต่อคาปาซิเตอร์ความจุ 10 ไมโครฟารัดกับ VCC และ V_{BB}

การปรับแต่งเกนการขยายของการรับ

สำหรับการใช้งานไอซีเบอร์นี้เอาท์พุทของภาครับต้องใช้ขับโหลด 600 โอห์มสัญญาณสูงสุดต้องไม่เกิน ±2.5 V อัตราการขยายของการรับสามารถปรับแต่งได้โดยการแทรกวงจร T-pad หรือ π-pad attenuator โดยที่ตารางที่ 2 จะเป็นค่าของความต้านทานที่จะออกแบบ T-pad หรือ π-pad attenuator สำหรับการเทอร์มิเนท 600 โอห์ม จะเห็นว่าค่าความต้านทานในตารางที่ 2 จะเป็นค่าที่ไม่มาตรฐาน ดังนั้นเราจะใช้สมการในการหาค่าซึ่งจะมีค่าใกล้เคียงที่สุด ในทางปฏิบัติ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

T-Pad Attenuator



$$R1 = Z1\left(\frac{N^2+1}{N^2-1}\right) - 2\sqrt{Z1.Z2}\left(\frac{N}{N^2-1}\right)$$

$$R2 = 2\sqrt{Z1.Z2}\left(\frac{N}{N^2-1}\right)$$

Where: $N = \sqrt{\frac{\text{POWER IN}}{\text{POWER OUT}}}$

and

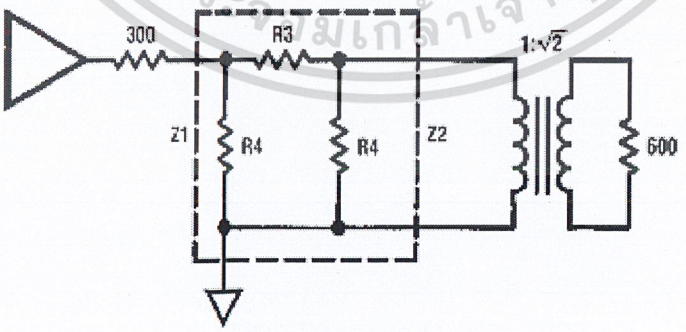
$$S = \frac{\sqrt{Z1}}{\sqrt{Z2}}$$

Also: $Z = \sqrt{Z_{SC} * Z_{OC}}$

Where Z_{SC} = impedance with short circuit termination

and Z_{OC} = impedance with open circuit termination

π-Pad Attenunator



$$R3 = \sqrt{\frac{Z1.Z2}{2}}\left(\frac{N^2-1}{N}\right)$$

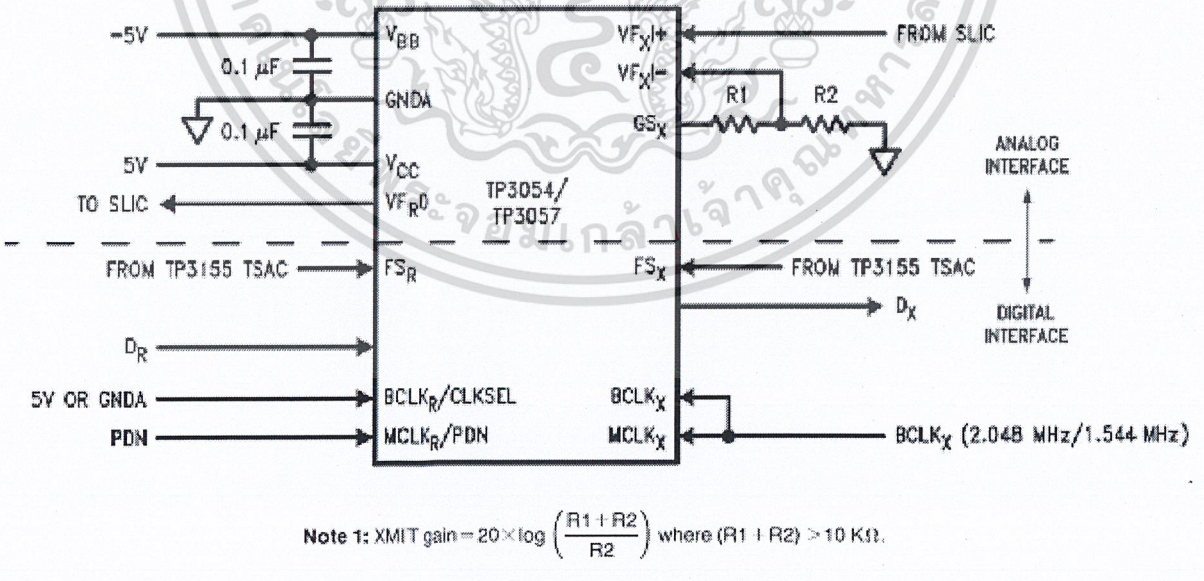
$$R3 = Z1\left(\frac{N^2-1}{N^2-2NS+1}\right)$$

รูปที่ 6.2 วงจร T-Pad และ π-Pad Attenunator

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

dB	R1	R2	R3	R4
0.1	1.7	26k	3.5	52k
0.2	3.5	13k	6.9	26k
0.3	5.2	8.7k	10.4	17.4k
0.4	6.9	6.5k	13.8	13k
0.5	8.5	5.2k	17.3	10.5k
0.6	10.4	4.4k	21.3	8.7k
0.7	12.1	3.7k	24.2	7.5k
0.8	13.8	3.3k	27.7	6.5k
0.9	15.5	2.9k	31.1	5.8k
1.0	17.3	2.6l	34.6	5.2k
2	34.4	1.3k	70	2.6k
3	51.3	850	107	1.8k
4	68	650	144	1.3k
5	84	494	183	1.1k
6	100	402	224	900
7	115	380	269	785
8	379	284	317	698
9	143	244	370	630
10	156	211	427	527
11	168	184	490	535
12	180	161	550	500
13	190	142	635	473
14	200	125	720	450
15	210	110	816	430
16	218	98	924	413
18	233	77	1.17k	386
20	246	61	1.5k	366

ตารางที่ 2 การเลือกค่า ความต้านทานเพื่อให้ได้อัตราการขยายตามต้องการ



Note 1: XMIT gain $= 20 \times \log\left(\frac{R1 + R2}{R2}\right)$ where $(R1 + R2) > 10\ K\Omega$.

รูปที่ 6.3 ตัวอย่างการออกแบบวงจร โดยใช้ ไอซี TP3057

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เทคนิคการออกแบบด้วย ไอซี CODEC/FILTER เบอร์ TP3057

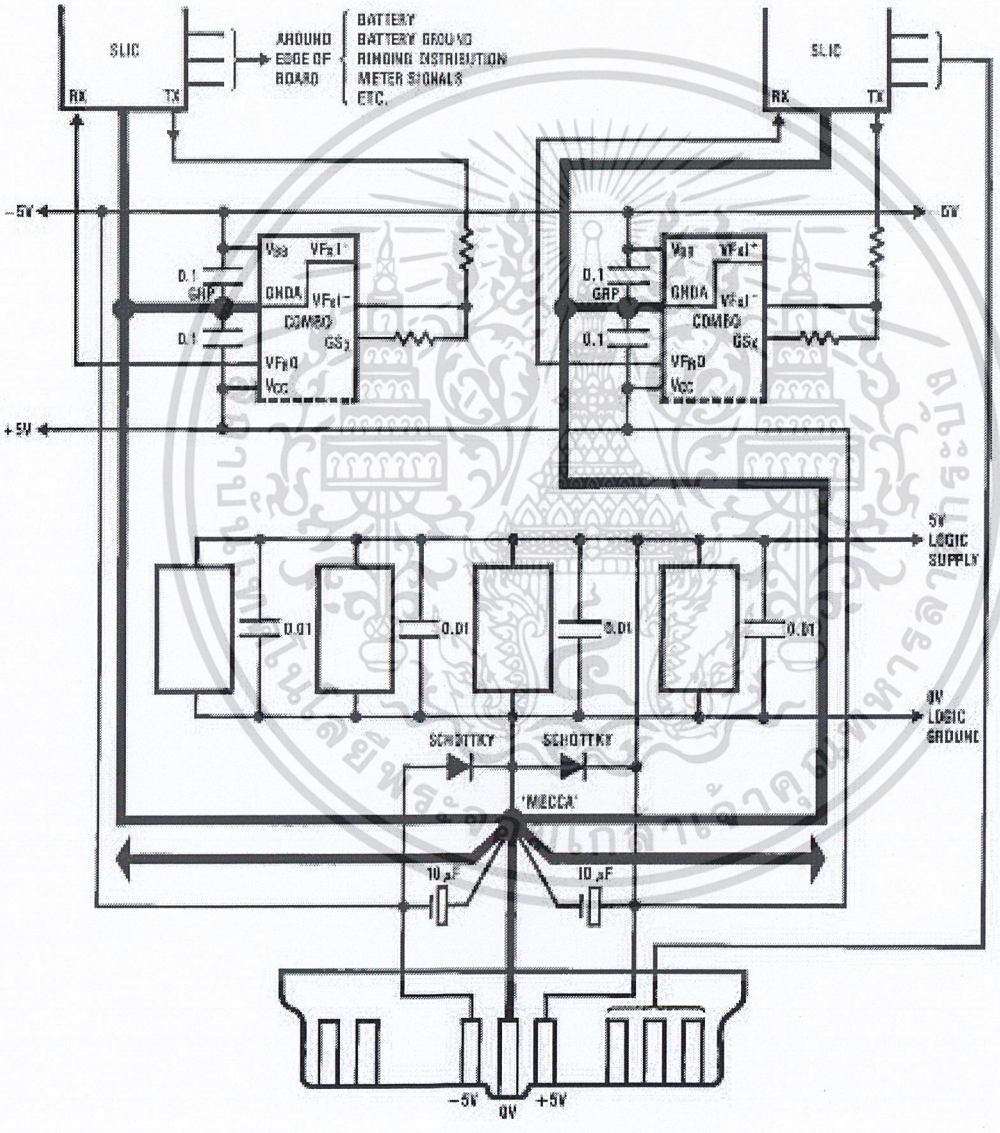
TP3057 เป็น PCM CODEC/FILTER ที่รวมอยู่ ในไอซีเพียงตัวเดียวภายในประกอบด้วย วงจร A/D และ D/A ในการออกแบบจะต้องคำนึงถึงการรวมกันของส่วนประกอบต่าง ๆ ของอุปกรณ์ในระบบโดยมีปัจจัยที่ต้องคำนึงถึง 2 ปัจจัยคือ แหล่งจ่ายไฟ เนื่องจากวงจรทำงานที่ความถี่สูงดังนั้นแหล่งจ่ายไฟต้องมี รีเจคชั่นเรโช ที่ดีที่ความถี่สูง และอีกปัจจัยคือการต่อระหว่าง Transmit filter และตัวเข้ารหัส ต้องทำการชีลด์ภายในตัวอุปกรณ์

การออกแบบลายวงจร , กราวนด์ และ แหล่งจ่ายไฟ

1. เทคนิคที่จำเป็นสำหรับการออกแบบลายวงจรอนาลอก และส่วนควบคุมทางดิจิตอลและวงจรสวิทชิ่งจะใช้ขา GNDA ของ CODEC แต่ละตัว ซึ่งทำหน้าที่เป็นจุดกราวนด์อ้างอิงเท่าที่จะทำได้รวมทั้งกรณีเหล่านี้ด้วยคือ
   - อนาลอกกาวนด์จากวงจร 4 – wire ทางด้านของวงจร SLIC
   - กราวนด์สำหรับจุดต่อออกของออปแอมป์ภาคส่ง
   - กราวนด์ด้านของตัวเก็บประจุ 0.1 ไมโครฟารัดที่ต่อกับ ±5 V. ของแหล่งจ่ายไฟ
   - อนาลอกกราวนด์สำหรับอัตราการขยายภายนอกไอซี หรือการปรับแต่งสัญญาณการลดทอน
2. กราวนด์ที่ให้กระแสไหลย้อนกลับจากวงจรลอจิก รีเลย์ และช่องสัญญาณเสียงอื่น ๆ ต้องไม่ไหลเข้าหรือออกจาก GRP ของช่องสัญญาณ เพื่อหลีกเลี่ยงการเกิดสัญญาณรบกวน เพราะฉะนั้น กราวนด์ที่แยกนี้ควรเรียกว่า MECCA ดังแสดงในรูปที่ 6.4 เพราะฉะนั้นจะมีรูปแบบเป็นรูปดาวจาก MECCA ไปจุด GRP ของแต่ละช่องสัญญาณเราจะไม่แนะนำให้ลากกราวนด์ของอนาลอกและดิจิตอลแยกกันแล้วป้อนกลับไปที่แหล่งจ่ายไฟรีเลย์ และวงจรอื่น ๆ ควรจะแยกทางเดินนี้กับกราวนด์ของแบตเตอรี่
3. แหล่งจ่ายไฟ ±5V กับจุด MECCA ควรจะอยู่ใกล้กับจุดต่อออกของแผ่นวงจร ควรใช้ตัวเก็บประจุค่าอย่างน้อย 10 ไมโครฟารัด ต่อคร่อมแหล่งจ่ายไฟทั้ง 2 แหล่ง ตัวเก็บประจุและตัวต้านทานควรใช้ชนิดที่มีคุณภาพดี กระแสที่ประจุตัวเก็บประจุเหล่านี้จะไหลผ่านสายไฟ แลุแถบขดลวดจะทำให้เกิดการกระชากของแรงดันซึ่งจะทำให้เกินค่าสูงสุดของอุปกรณ์ที่สามารถทนได้ ก็จะทำให้เกิดการเสียหายได้ ดังนั้นแถบความยาวจากตัวต่อกับตัวเก็บประจุควรจะมีระยะทางสั้นที่สุด และไม่ควรใช้ตัวเก็บประจุที่มีค่าสูงเกินไป
4. ทางเดินของแหล่งจ่ายไฟ ±5V ของวงจร CODEC/FILTER ควรจะให้อยู่ ประชิดกับทางเดินของกราวนด์ เพื่อช่วยไม่ให้เกิดสัญญาณรบกวน แหล่งจ่ายไฟแต่ละตัวควรใช้ตัวเก็บประจุค่า 0.1 ไมโครฟารัดต่อให้ใกล้กับ GRP ของ CODEC/FILTER มากที่สุด ในที่นี้แนะนำให้ใช้ตัวเก็บประจุแบบเซรามิกซึ่งจะมีคุณสมบัติในการส่งถ่ายความถี่สูงได้ดี
5. ทางเดินของแหล่งจ่ายไฟ ±5V สำหรับสวิทชิ่ง และวงจรควบคุมลอจิก ควรจะต่อแยกจากจุดส่งถ่ายที่ใกล้กับตัวต่อ ไม่ควรแยกทางเดินทั่ว ๆ ไปกับจุดต่อแหล่งจ่ายไฟ +5V ที่ต่อเข้าวงจร CODEC/FILTER วงจรลอจิกแต่ละวงจรควรจะต่อตัวเก็บประจุ แบบเซรามิกค่า 0.01 ไมโครฟารัดคร่อมจุดต่อแหล่งจ่ายไฟ +5V กับกราวนด์ โดยให้ระยะทางสั้นที่สุด
6. การต่อกราวนด์สำหรับวงจรลอจิกและรีเลย์ที่ใช้แรงดันต่ำ อาจจะใช้เป็นขอบกราวนด์บัส หรือกราวนด์ที่เป็นแบบตาราง ซึ่งจะช่วยให้การลดทอนสัญญาณรบกวนในสัญญาณดิจิตอล กราวนด์ของระบบลอจิกควรจะต่อโดยตรงกับจุด MECCA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

7. ไอซีตระกูล TTL และ LSTTL จะใช้กระแสต่างกัน เมื่อเอาท์พุทของไอซีเหล่านี้อยู่ ในสภาวะสูงและต่ำจะเป็นเหตุให้เกิดกระแสเป็นจำนวนมากในการสวิทซ์ และจะไหลผ่านทางเดินและตัวเก็บประจุที่ทำหน้าที่ decoupling ในทางกลับกันไอซีแบบ CMOS จะไม่มีผลในเรื่องเหล่านี้ และยังมีผลทางด้านสัญญาณรบกวนน้อยกว่า TTL ดังนั้นในการออกแบบเราจะแนะนำให้ใช้ไอซีตระกูล 74HC , CMOS เราจะใช้ตัวเก็บประจุที่ทำหน้าที่ decoupling เสมอ เมื่อใช้ไอซีตระกูล HC CMOS



รูปที่ 6.4 การเดินสายกราวนด์เพื่อลดสัญญาณรบกวน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ข้อควรพิจารณาเกี่ยวกับสัญญาณรบกวน

1. สัญญาณลอจิกควรจะมีทางเดินของสัญญาณที่ดีจากวงจรอนาลอก และการต่อแหล่งจ่ายไฟเพื่อที่จะทำให้เกิดสัญญาณรบกวนทางด้านความถี่สูงน้อยที่สุด
2. สัญญาณทั้งหมดและวงจรสามารถที่จะทำให้เกิดการเหนี่ยวนำแรงแคลื่อนเข้าสู่สัญญาณเสียง ดังนั้นควรจะถูกออกแบบให้อยู่ บริเวณขอบของแผ่นลายวงจร เท่าที่จะเป็นไปได้ รวมทั้ง
   - รีเลย์ และสัญญาณเอาท์พุท
   - จุดแยกสัญญาณกระดิ่ง
   - ด้าน 2 wire ของวงจรประจำเครื่อง
   - แบตเตอรี่ – 48V
   - วงจรแปลง DC เป็น AC
3. ใช้กราวนด์เพลนเพื่อป้องกันการรบกวนสัญญาณเสียง จากสัญญาณรบกวน เช่น สัญญาณนาฬิกา และสัญญาณข้อมูลและแรงดันสูง
4. ออปแอมป์ที่ใช้ที่ภาคส่งภายในไอซี จะทำให้เกิดสัญญาณรบกวนได้ ถ้าออกแบบให้มีอัตราการขยายสูงจนเกินไป ดังนั้นค่าความต้านทานที่ต่อป้อนกลับควรมีค่าไม่เกิน 50 กิโลโอห์ม และตัวต้านทานนี้ควรจะอยู่ใกล้กับออปแอมป์มากที่สุด เพื่อทำให้ค่าความจุเกิดขึ้นน้อยที่สุด

ข้อควรระวังในการป้องกันวงจร

CODEC/FILTER สามารถที่จะจัดให้ทำงานอย่างปลอดภัยและมีอายุการใช้งานที่ยาวนานโดยมีข้อที่ควรระมัดระวังดังนี้คือ

- ตามปกติแล้ว CMOS ที่ใช้งานร่วมกับ CODEC/FILTER จะต้องระมัดระวังในการจับถือ เพราะอาจจะทำให้เกิดการเสียหายได้ เนื่องจากไฟฟ้าสถิตย์ ดังนั้นควรจะบรรจุอยู่บนวัสดุที่ช่วยป้องกันในเรื่องไฟฟ้าสถิตย์ได้แล้วควรจุทำการลงกราวนด์บุคคลขณะทำการจับถืออุปกรณ์เหล่านี้ด้วย
- ต้องมั่นใจว่ากราวนด์ถูกต่อกับอุปกรณ์แต่ละตัวเสมอ เมื่อจะต่อแหล่งจ่ายไฟหรือแหล่งจ่ายสัญญาณอื่น ๆ
- ต้องแยกอินพุทและเอาท์พุทของสัญญาณดิจิตอล ระหว่างวงจร CODEC/FILTER กับลายเส้นของแผ่นวงจร blackplane เพื่อป้องกันอุปกรณ์นี้เสียหาย เนื่องจากเกิดการกระชากของแรงดันเนื่องจาก blackplane
- ควรจะใช้ Shottky diode ต่อคร่อมแหล่งจ่ายไฟ +5V กับกราวนด์ และ กราวนด์ กับ –5V เพื่อป้องกัน CMOS เสียหายเนื่องจากการสับเปลี่ยนขั้วของแหล่งจ่ายไฟ ควรใช้ไดโอดเบอร์ 1N5820 ถ้าแหล่งจ่ายไฟอนุกรมที่จ่ายวงจร filter ควรใช้ Schottky diode เบอร์ 1N 5817 ต่อคร่อมขาแหล่งจ่ายไฟ
- ถ้าวงจร CODEC/FILTER ถูกต่อกับหม้อแปลงของวงจรประจำเครื่องจะช่วยต่อต้านการกระชากของแรงดันได้ ความต้านทาน 5 กิโลโอห์ม หรือมากกว่าจะช่วยปกป้องอินพุทของวงจรขยายทางภาคส่งได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

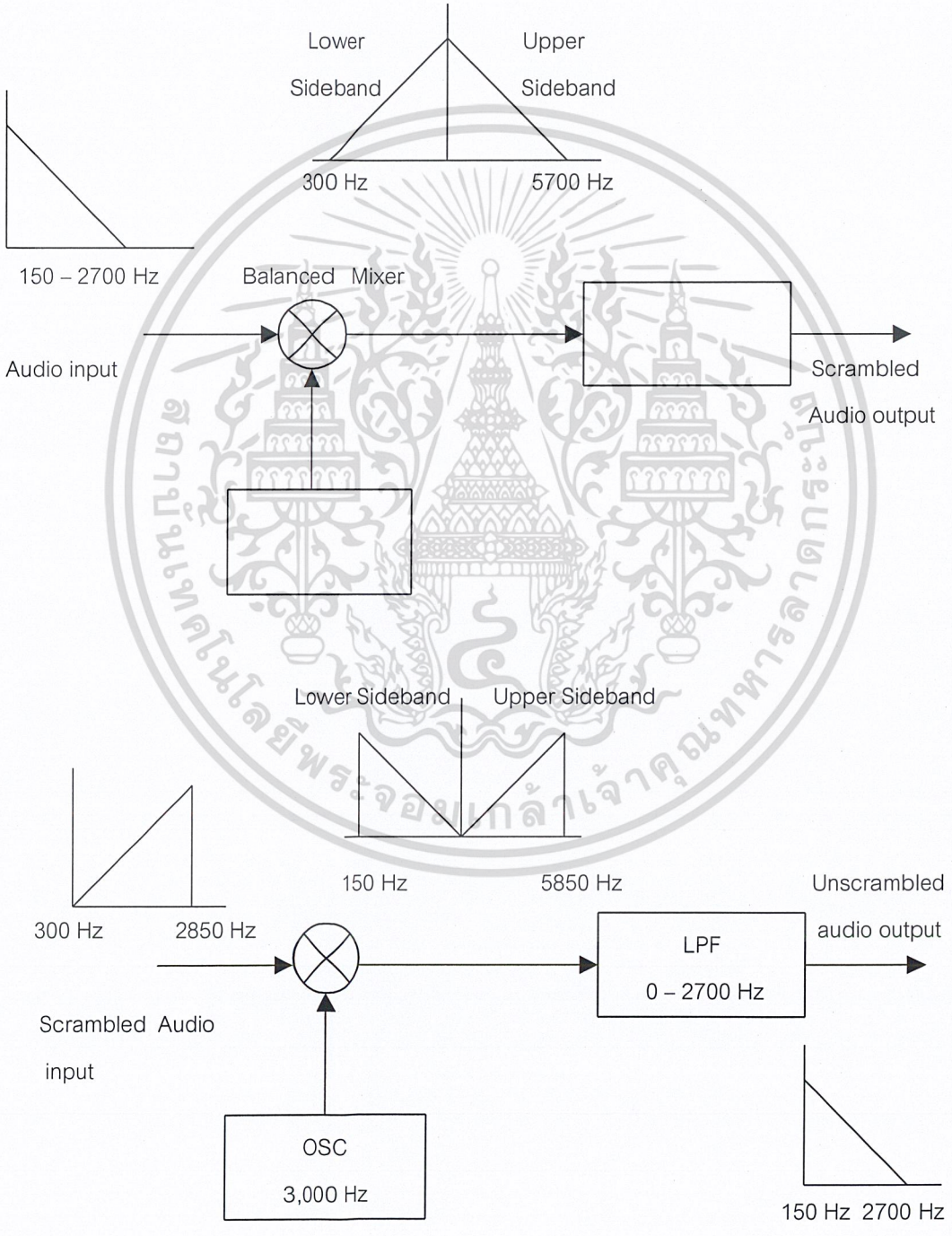
คือขา VFX| + และ VFX| - หรือใช้ซิลิกอนไดโอด หรือซีเนอร์ไดโอด ค่า 3.9 V สองตัวต่อหันหลังชนกัน แล้วต่อไว้ระหว่างอินพุทกับกราวนด์

- ซีเนอร์ไดโอด 3.9 V. สองตัวต่อหันหลังชนกันช่วยป้องกันเอาท์พุทของวงจรขยายกำลังของภาครับ ควรเลือกซีเนอร์ไดโอดที่มีคุณสมบัติที่ดีและมีการรั่วไหลของกระแสต่ำที่แรงดันต่ำกว่าจุดที่เรียกว่า “knee” เพื่อหลีกเลี่ยง gain-tracking ของช่วงสัญญาณทางภาครับที่ระดับสัญญาณที่สูง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 7
ระบบป้องกันการลักลอบดักฟังทางโทรศัพท์
(Telephone Scrambling System)

จากทฤษฎีต่าง ๆ ที่ได้ศึกษามาแล้วนั้น ต่อไปจะมาศึกษาการทำงานและการออกแบบวงจรป้องกันการลักลอบดักฟังสัญญาณเสียงที่ใช้งานจริง เพื่อให้เข้าใจการเปลี่ยนแปลงสัญญาณเสียงที่ทำให้ไม่สามารถรับฟังได้ จะเริ่มจากวิธีการอย่างง่าย ๆ ก่อน



รูปที่ 7.1 แสดงการสแกรมเบิลโดยใช้การผสมสัญญาณเสียงเข้ากับความถี่อ้างอิง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วิธีการคือนำสัญญาณเสียงเข้ามาทำการ modulated กับความถี่อ้างอิงที่สร้างขึ้น ดังแสดงในรูปที่ 7.1 ด้วยการ Modulation แบบ Balance modulation ทำให้เอาท์พุทที่ได้ประกอบด้วย sideband สองอันซึ่งเกิดจากผลบวก และผลต่างของความถี่ทั้งสอง ซึ่งได้แก่แถบความถี่ด้านสูง (Upper sideband) และแถบความถี่ทางด้านความถี่ต่ำ (Lower sideband) โดยแถบความถี่สูงจะอยู่ในช่วงความถี่ประมาณ 3,000-7,000 Hz และแถบความถี่ต่ำก็จะอยู่ในช่วง 150 – 3,000 Hz จากหลักการของ Balance modulator เราจะเห็นว่า Lower sideband ที่ ผ่านวงจร filter ได้จะมีสัญญาณคล้ายกับสัญญาณอินพุท แต่สเปคตรัมจะกลับกันคือ ความถี่ทางด้านต่ำเมื่อ Modmulated แล้ว จะไปอยู่ ทางด้านสูงแทนอย่างเช่นเมื่อสัญญาณที่เข้ามาเท่ากับ 500 Hz ในที่นี้เราใช้ความถี่อ้างอิงเท่ากับ 3,000 Hz เราจะได้สัญญาณเอาท์พุทเท่ากับ 2,500 Hz หากอินพุทที่เข้ามาเท่ากับ 1 KHz สัญญาณเอาท์พุทนี้ จะได้เท่ากับ 2 KHz เป็นต้น

โดยทั่ว ๆ ไปช่วงความถี่เสียงของคนเราจะอยู่ในช่วง 300 – 1,000 Hz และ 2,000 – 2,500 Hz จะเห็นได้ว่าความถี่ด้านต่ำนี้ยังอยู่ในย่านความถี่เสียงที่สามารถส่งเข้าไปในสายโทรศัพท์ได้และเนื่องจากแถบความถี่ต่ำที่ได้นี้มีสเปคตรัมความถี่ที่กลับกันกับสัญญาณเสียงเดิมทำให้ที่ด้านรับฟังเสียงไม่รู้เรื่องถ้าหากยังไม่มีการ descrambling สัญญาณนี้ก่อน

ในกระบวนการ descrambling ก็จะใช้วิธีการเดียวกันกับ การ scrambling ที่กระทำทางด้านส่งการนำสัญญาณมาผ่าน Balance modulation อีกครั้ง ทำให้สเปกตรัมของสัญญาณที่ผ่านการ descrambling มีการกลับอีกครั้งหนึ่ง เมื่อผ่านวงจรกรองความถี่แล้วก็จะได้เป็น ความถี่เสียงเดิมก่อนการทำการ modulate ทางด้านส่ง

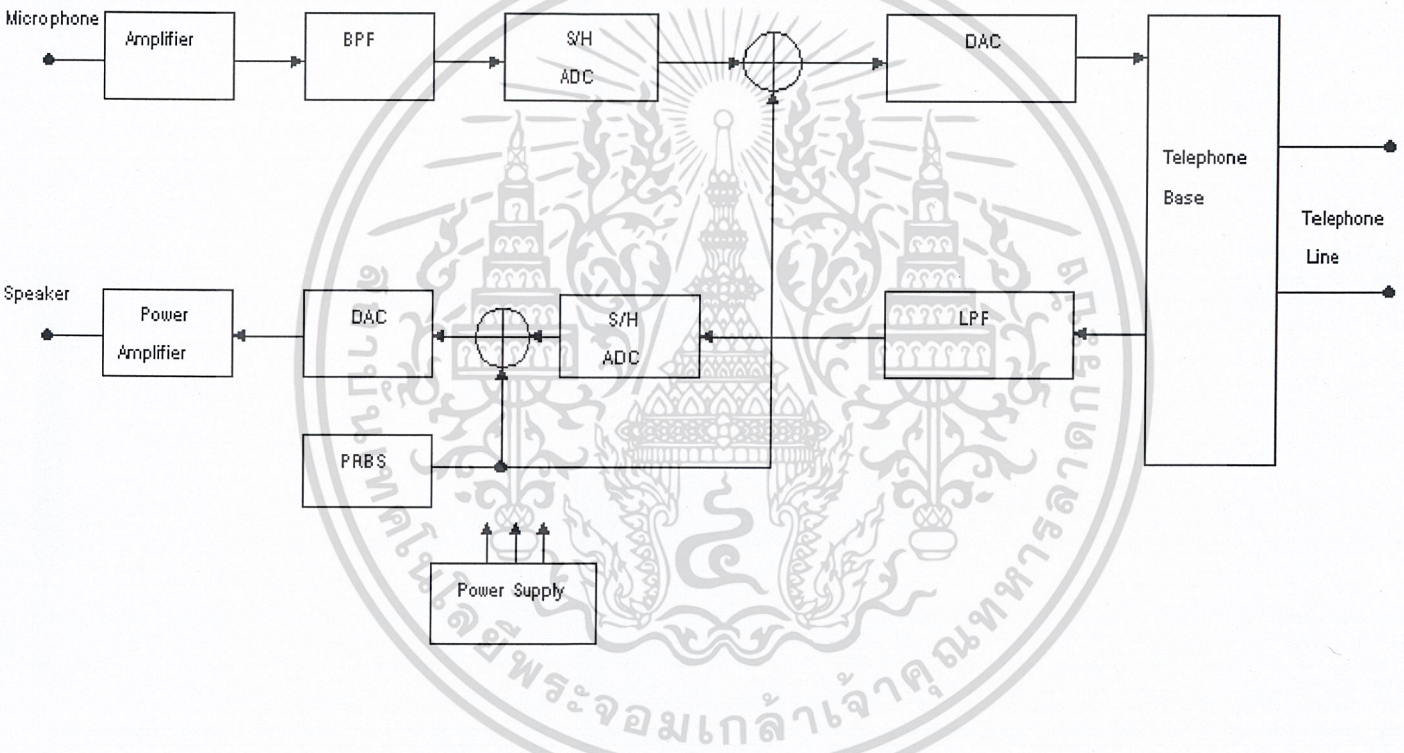
<u>หลักการทำงานของระบบป้องกันการลักลอบดักฟังสัญญาณเสียง</u>

จากหลักการทำงานแสดงในรูปที่ 7.2 ซึ่งเป็นบล็อกไดอะแกรมของวงจรที่ใช้งานจริง โดยการทำงานจะเริ่มตั้งแต่สัญญาณเสียงพูดจาก Microphone จะถูกป้อนผ่านภาคขยายสัญญาณ (Amplifier) เพื่อทำให้สัญญาณมีขนาดสูงขึ้นแล้วส่งไปยังภาค Sampling and hold (S/H) และแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลด้วย ADCสัญญาณดิจิตอลที่ได้จะนำไป EX-OR กับ PRBS (Pseudo Random Binary Sequences) ซึ่งทำให้ได้สัญญาณที่เข้ารหัสแล้ว (Scrambling Signal) ส่งต่อไปยังภาคแปลงสัญญาณดิจิตอลเป็นอนาลอก (DAC) เพื่อให้สามารถส่งไปในสายโทรศัพท์ได้ แล้วส่งต่อไปยัง Base ซึ่งเป็นเครื่องโทรศัพท์ที่ต่ออยู่ กับสายโทรศัพท์จากที่กล่าวมาทั้งหมดเป็นส่วนของภาคส่ง

ส่วนของภาคส่งสัญญาณเสียงที่ถูกเข้ารหัสแล้ว (Scrambling Signal) จะถูกส่งผ่านสายโทรศัพท์มายังเครื่องรับ จากนั้นสัญญาณที่รับได้จะนำมากรองความถี่เฉพาะความถี่ต่ำให้ผ่านไปได้เท่านั้นด้วยภาคกรองความถี่ต่ำผ่าน (LPF) จากนั้นส่งต่อไปยังภาคแซมปลิ้งและ โฮล (S/H) เพื่อทำการสุ่มตัวอย่างและแปลงจากสัญญาณอนาลอกเป็นสัญญาณดิจิตอลด้วย ADC สัญญาณ PCM ที่ได้จะส่งไป EX-OR กับ PRBS เพื่อทำการถอดรหัสสัญญาณ (Descrambling) จะได้สัญญาณดิจิตอลส่งไปภาคแปลงสัญญาณดิจิตอลเป็นสัญญาณอนาลอก (DAC) ทำให้ได้สัญญาณเสียงเดิมกลับมา สัญญาณเสียงที่จะได้ยังมีขนาดเล็ก เราจะส่งต่อไปยังภาคขยายสัญญาณ (Power Amplifier) เพื่อขยาย ให้มีขนาดสัญญาณแรงขึ้น พอที่จะขับลำโพง ได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากหลักการข้างต้น เราสามารถนำไปสร้างเป็นวงจรที่ใช้งานจริงได้โดยระบบการทำงานทั้งหมดเราจะใช้ ไอซีชนิดเดียวกันทำงานทั้งภาครับ และภาคส่ง คือ ไอซี CODEC/FILTER เบอร์ TP3057 ซึ่งได้กล่าวถึงรายละเอียดแล้ว ในบทที่ 6 โดยในส่วนของการเข้ารหัสจะใช้ร่วมกับ EX-OR เบอร์ 74HC86 ส่วนวงจรเพิ่มเติมเพื่อใช้



รูปที่ 7.2 บล็อคไดอะแกรมของระบบป้องกันการดักฟังทางโทรศัพท์

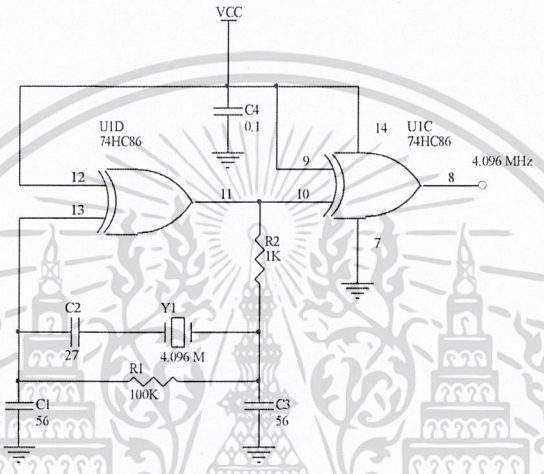
ประกอบกับไอซี TP3057 ก็คือ วงจรกำเนิดสัญญาณ วงจรหารสอง วงจรหาร 256 และวงจร Timing generator ซึ่งจะได้กล่าวถึงการทำงานโดยละเอียดต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

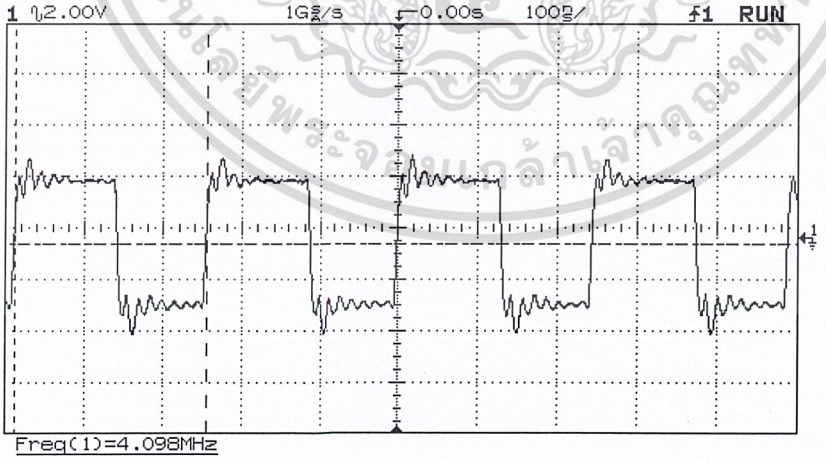
วงจรการใช้งาน

วงจรกำเนิดความถี่ (Oscillator)

จากคุณสมบัติของไอซี TP3057 นั้น ผู้ผลิต แนะนำให้ใช้งานร่วมกับไอซี HCMOS ซึ่งเป็นไอซีชนิดความเร็วสูง ดังนั้นวงจรกำเนิดสัญญาณที่ใช้นี้จึงได้ใช้ไอซี HCMOS เบอร์ 74HC86 ซึ่งโครงสร้างภายในเป็น EX-OR เกท ทำงานร่วมกับคริสตอล ผลิตความถี่ 4.096 MHz กับตัวเก็บประจุ C1 , C3 มีค่า 56 พิโคฟารัดต่อเป็นวงจรกำเนิดสัญญาณแบบเพียรส์ออสซิลเลเตอร์ (Pierce Oscillator) แต่ใช้แร่คริสตอลแทนในส่วนที่เป็นตัวเหนี่ยวนำ เนื่องจากเอาท์พุทอิมพีแดนซ์ของ HCMOS มีค่าต่ำจึงต้องใช้ R1 ต่อคร่อม X-TAL เพื่อให้แมทซ์กับ HCMOS วงจรที่ใช้งานแสดงในรูปที่ 7.3



รูปที่ 7.3 a) วงจรออสซิลเลเตอร์



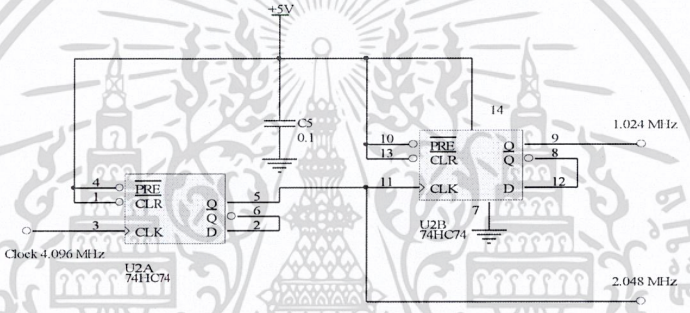
รูปที่ 7.3 b) แสดงสัญญาณที่วัดได้จากวงจร ออสซิลเลเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

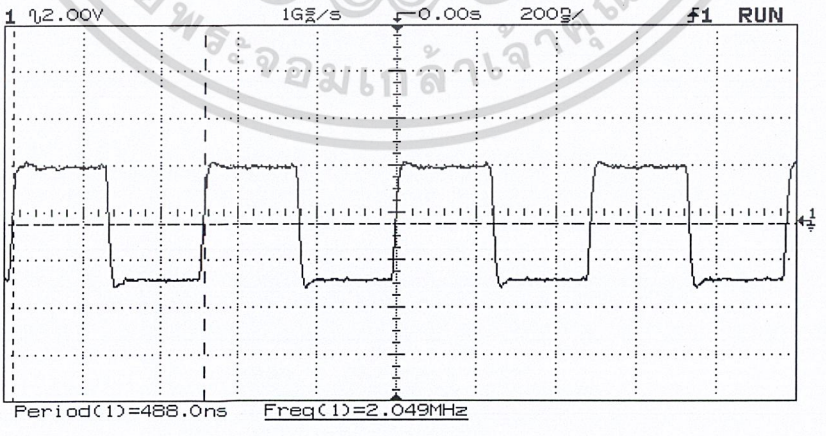
วงจรกำเนิดสัญญาณจะผลิตความถี่เป็นสัญญาณนาฬิกา 4.096 เมกกะเฮิรตซ์ ส่งต่อไปยังวงจรหาร เพื่อทำความถี่ให้เหลือ 2.048 เมกกะเฮิรตซ์ สำหรับใช้เป็นมาสเตอร์คล็อก (Master Clock)และแซมปลิ้งพัลส์ (Sampling Pluse)

<u>วงจรหารสอง</u>

จากวงจรกำเนิดสัญญาณที่ได้จะนำความถี่ที่ได้มาทำการหารให้เหลือประมาณ 2.048 เมกกะเฮิรตซ์ เพื่อใช้เป็นมาสเตอร์คล็อกให้กับไอซี TP 3057 และสัญญาณนาฬิกา 1.024 เมกกะเฮิรตซ์ เพื่อเป็นความถี่ให้เลือกอีกความถี่หนึ่งในการสแกรมเบิล ในโครงงานนี้เราใช้ไอซี HCMOS เบอร์ 74HC74 ซึ่งเป็น D Type Flip Flop ที่มีขาเซทและรีเซทโดยประกอบอยู่ภายใน 2 ชุด มาต่อกันเป็นวงจรหารสอง ดังแสดงในรูปที่ 7.4 U2a ต่อเป็นวงจรหารสองให้เหลือความถี่ 2.048 เมกกะเฮิรตซ์เพื่อเป็นมาสเตอร์คล็อก U2b ต่อเป็นวงจรหารสอง เช่นกัน ทำการหารความถี่ 2.048 เมกกะเฮิรตซ์ ให้เหลือ 1.024 เมกกะเฮิรตซ์ เพื่อเป็นความถี่ให้เลือกในการสแกรมเบิลอีกความถี่หนึ่ง



รูปที่ 7.4 (a)



รูปที่ 7.4 (b)

รูปที่ 7.4 a) แสดงวงจรหารสอง b) แสดงเอาท์พุทที่วัดได้จาก Oscilloscope

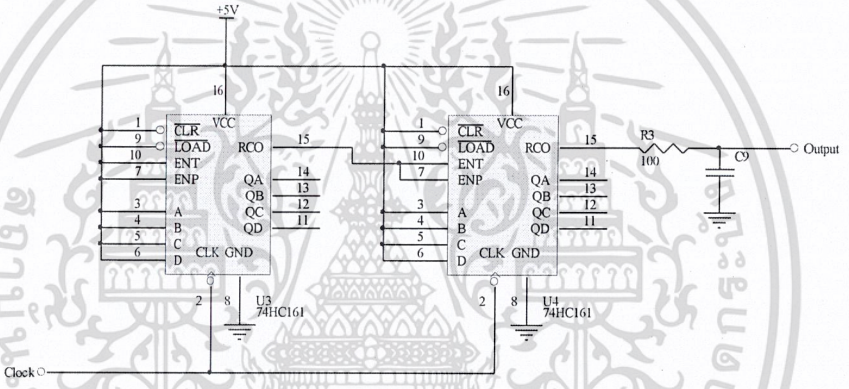
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณนาฬิกา 2.048 เมกกะเฮิรตซ์ที่ได้จากวงจรหารสองจะส่งต่อไปยังวงจรหาร 256 (Divide by 256 Counter) เพื่อสร้างสัญญาณแซมปลิ้งต่อไป

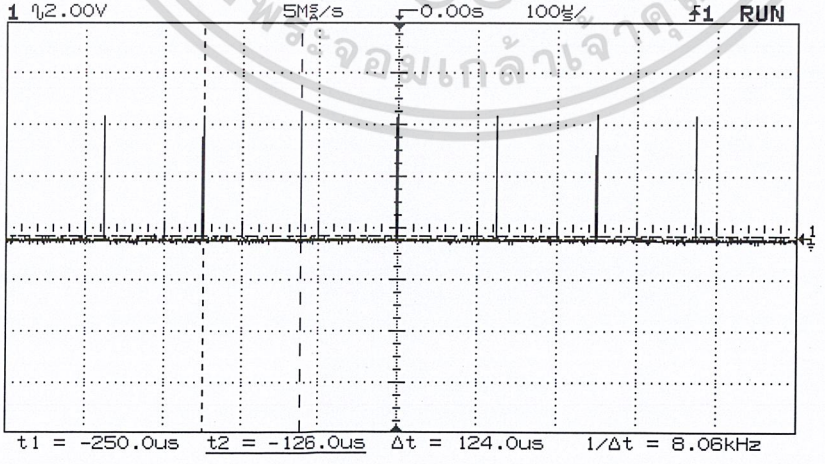
วงจรหาร 256 (Devide 256 Counter)

สัญญาณนาฬิกา 2.048 เมกกะเฮิรตซ์ที่ได้จากวงจรหารสองจะนำมาเข้าวงจรหาร 256 เพื่อให้ได้ความถี่ 8 กิโลเฮิรตซ์ เพื่อใช้เป็นสัญญาณแซมปลิ้งให้กับไอซี TP3057 ซึ่งในที่นี้แนะนำให้ใช้ความถี่ 8 กิโลเฮิรตซ์ ดังรายละเอียดที่ได้กล่าวมาแล้ว ในโครงงานนี้ใช้ไอซี HCMOS เบอร์ 74HC161 ซึ่งเป็น Presettable Counters มาต่อเป็นวงจรหาร 256 โดยใช้ U3 และ U4 ต่อเป็นวงจรหาร 16 สองภาคต่อเรียงกันแบบ Cascade จะได้วงจรหาร 256 เพื่อใช้เป็น Sampling Pulse สำหรับไอซี TP3057 และส่งต่อไปยังภาค Timing Generator ต่อไปเพื่อสร้าง Data inverse pulse ความถี่ 4 กิโลเฮิรตซ์ ดังในรูปที่ 7.5

รูปที่ 7.5 (a)



รูปที่ 7.5 (b)



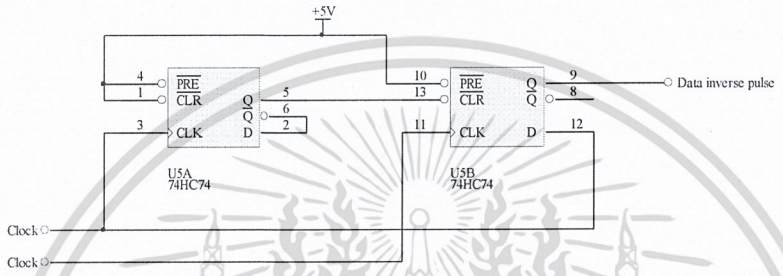
รูปที่ 7.5 a)วงจรหารความถี่ด้วย 256 b) เอาท์พุทที่วัดได้จากออสซิลโลสโคป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

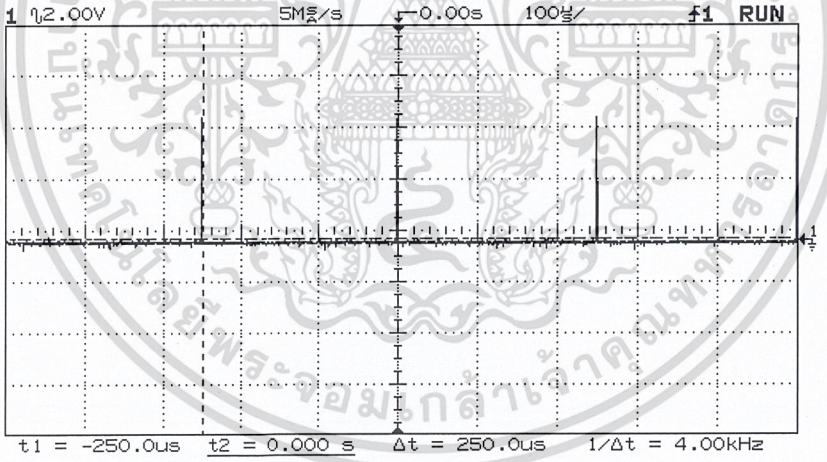
วงจร Timing generator

สัญญาณแซมปลิ้ง 8 กิโลเฮิรตซ์ส่วนหนึ่งจะส่งมายังวงจร Timing Generator เพื่อสร้างเป็นขบวนสัญญาณ ให้เหลือความถี่ 4 กิโลเฮิรตซ์ในโครงงานนี้ใช้ไอซี เบอร์ 74HC74 ซึ่งภายในเป็น D- Flip Flop 2 ตัวต่อเป็นวงจร Timing Generator โดย U5a เป็นวงจรหารสองให้เหลือความถี่ 4 กิโลเฮิรตซ์ส่งต่อไปยังขา CLR ของ IC7b เพื่อสร้างเป็นวงจร Timing Generator เพื่อได้ สัญญาณ Data Inverse Pulse 4 กิโลเฮิรตซ์นำไปเป็นพัลส์สำหรับการกลับข้อมูลต่อไป ดังแสดงในรูปที่ 7.6

รูปที่ 7.6 (a)



รูปที่ 7.6 (b)



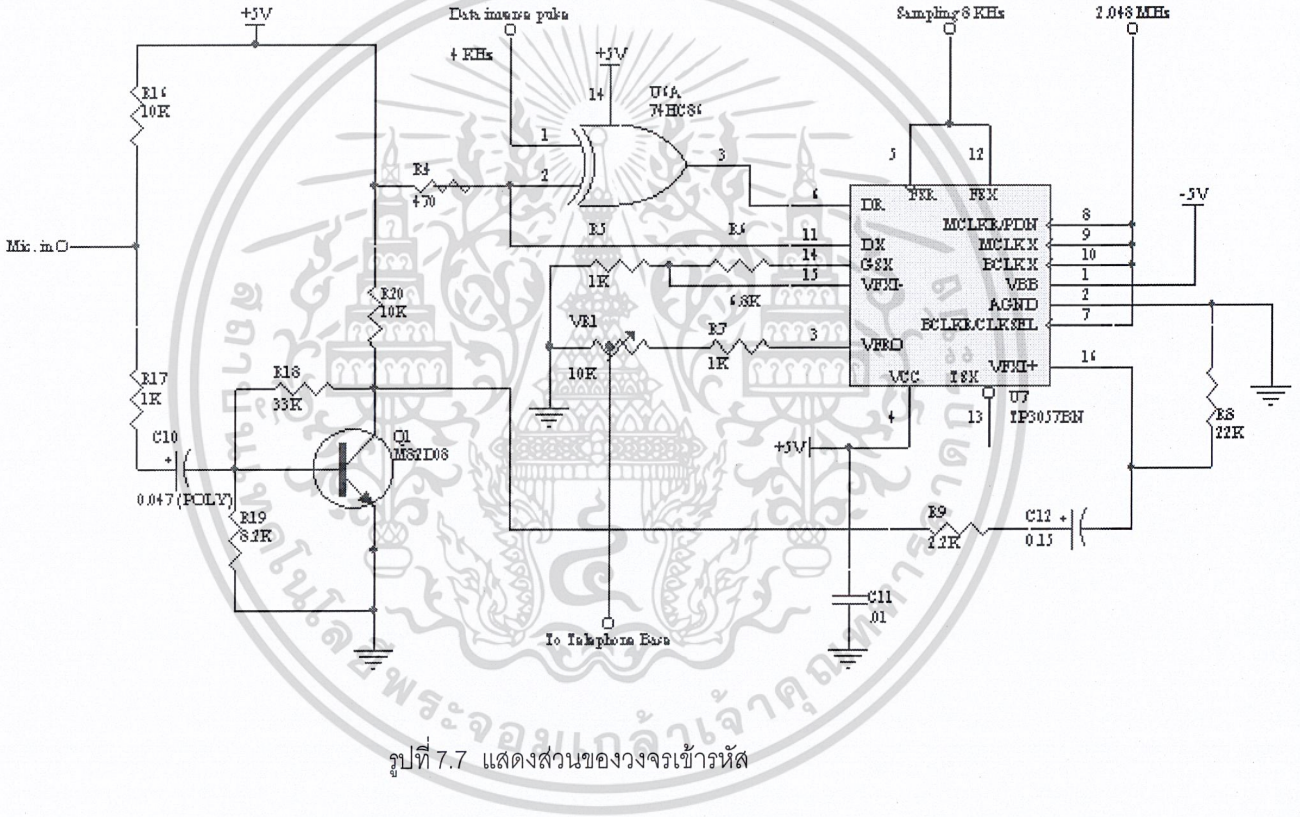
รูปที่ 7.6 a)วงจรสร้างฐานเวลา (Timing) b) แสดงเอาท์พุทที่วัดได้จากออสซิลโลสโคป

สัญญาณพัลซ์ 4 กิโลเฮิรตซ์ที่ได้จากวงจร Timing Generator จะส่งไปยังภาค Voice Scrambler/Descrambler เพื่อใช้ในการเข้ารหัส และถอดรหัสข้อมูลต่อไปซึ่งจะกล่าวถึงภายหลัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

<u>วงจรเข้ารหัสสัญญาณเสียง (Voice Scrambler)</u>

วงจรเข้ารหัสสัญญาณเสียงซึ่งเป็นหัวใจของโครงงานนี้จะใช้ไอซีเบอร์ TP3057 ซึ่งเป็นไอซี PCM CODEC/FILTER ซึ่งรายละเอียดของไอซีเบอร์นี้ ได้กล่าว ไว้แล้วในบทที่ 6 ในรูปที่ 7.7 แสดงรายละเอียดของวงจรเข้ารหัสสัญญาณเสียงที่ใช้ ในที่นี้ทำงานในย่านสัญญาณเสียงพูด คือความถี่ 300-3,400 Hz จากโครงสร้างภายในซึ่งประกอบด้วย PCM CODEC/FILTER และ OP-AMP เราจะนำมาใช้เป็นวงจรสำหรับการเข้ารหัสสัญญาณเสียงโดยใช้ U7 ทำหน้าที่นี้โดยจะใช้ความถี่ 2.048 เมกกะเฮิรตซ์ ป้อนเข้าที่ขา 7,8,9,10 ของ U7 เพื่อเป็นมาสเตอร์คล็อกซึ่งขา 7,8,9,10 คือขา $BCLK_R$/CLKSEL , $MCLK_R$/PDN , $MCLK_X$ และ $BCLK_X$ ตามลำดับ ในที่นี้ออกแบบให้ใช้ความถี่ 2.048 MHz เป็นมาสเตอร์คล็อก ดังรายละเอียดและหน้าที่ของไอซีได้กล่าวไปแล้ว



รูปที่ 7.7 แสดงส่วนของวงจรเข้ารหัส

สัญญาณความถี่ 8 KHz ซึ่งได้จากวงจรหาร 256 Counter จะป้อนเข้าที่ขา 5 และ 12 ของ U7 เพื่อใช้เป็น Sampling pulse สัญญาณเสียงที่เข้ามาเพื่อให้เป็นสัญญาณดิจิตอลโดย A/D ภายในไอซีแล้วส่งออกที่ขา 11 ซึ่งเป็นเอาท์พุทของวงจรภาครับในไอซี จากขานี้จะป้อนเข้าสู่ขา 2 ของ U6a ซึ่งเป็นอินพุทหนึ่งของ EX-OR โดยอินพุทอีกขาหนึ่งของ U6a คือขา 1 จะต่ออยู่ กับ Data Inverse Pulse 4 KHz หากขา 2 มีสภาวะลอจิกต่ำ EX-OR ก็จะทำหน้าที่เป็นบัฟเฟอร์ คือให้สัญญาณผ่านไปโดยตรง แต่หากขา 2 มีสภาวะลอจิกสูง EX-OR ก็จะทำให้เกิดการกลับกันของขบวนสัญญาณข้อมูลตามหลักการที่กล่าวมาแล้วข้างต้น จึงทำให้ EX-OR ทำหน้าที่เป็นตัวกลับสัญญาณนั่นเองเอาท์พุทของสัญญาณจะออกที่ขา 3 ของ U6A ทำให้เกิดการกลับกันทุก ๆ สัญญาณ Sampling แล้วส่งกลับเข้าขา 6 ของ U7 ซึ่งเป็นขาอินพุทของวงจรภาครับในไอซี CODEC ผ่านเข้าสู่วงจรแปลงสัญญาณดิจิตอลเป็นสัญญาณอนาลอกและวงจร LOW-PASS Filter แบบสวิทคาปาซิเตอร์ผ่านวงจรขยายออก

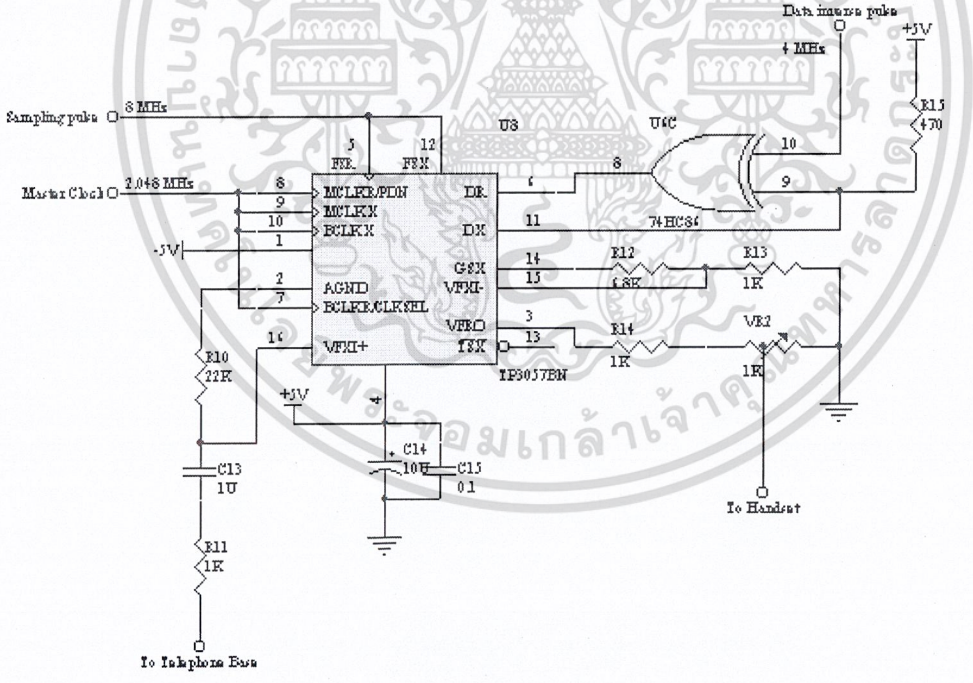
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ที่ขา 3 ซึ่งเป็นขาเอาท์พุทของ U7 จะได้สัญญาณเสียงที่ผ่านการเข้ารหัสแล้วความต้านทาน R5, R6 เป็นความต้านทานของวงจรภาคขยายด้วยออปแอมป์ภาคส่งของ U7 ซึ่งได้ใช้กำหนดเกนการขยายของออปแอมป์ในที่นี้ ต่อแบบอินเวอร์ติ้งความต้านทาน VR1 ทำหน้าที่ปรับระดับความแรงของสัญญาณที่จะส่งออกไป

ทรานซิสเตอร์ Q1 ในที่นี้ใช้เบอร์ 82M08 ต่อร่วมกับความต้านทาน R16, R17 , R18 ,R19, R20 และ C6 ทำงานเป็นวงจรขยายสัญญาณเสียงที่รับเข้ามาเพื่อส่งถ่ายไปยังอินพุทของ U7 ขา 16 โดยผ่าน R9 และ C12 โดยออกแบบให้มีเกนการขยายประมาณ 10 dB เพื่อให้สามารถขับ U7 ได้

<u>วงจรถอดรหัสสัญญาณเสียง</u> (Voice Descrambler)

วงจรถอดรหัสสัญญาณเสียงแสดงในรูปที่ 7.8 ในโครงงานนี้ออกแบบให้ใช้การสื่อสารเป็นแบบ Full Duplex คือสามารถส่งสัญญาณสวนทางกันได้ดังนั้น ในการออกแบบจึงใช้ไอซีเบอร์เดียวกันกับวงจรเข้ารหัสสัญญาณเสียง ทำหน้าที่เป็นวงจรถอดรหัสสัญญาณเสียง คือ ไอซี เบอร์ TP3057 การทำงานของวงจรถอดรหัสในรูปที่ 7.8 การออกแบบจะเป็นเช่นเดียวกันกับการออกแบบของวงจรเข้ารหัสคือ ขา 5 ,12 ของ U8 ต่อกับสัญญาณ Sampling 8 กิโลเฮิรตซ์ ส่วนขา7, 8, 9,10 จะต่อกับมาสเตอร์คลอก 2.048 เมกกะเฮิรตซ์ ขา 6 ต่อกับขา8 ของ U6C ซึ่งขา 10 ต่อกับสัญญาณนาฬิกา 4 กิโลเฮิรตซ์ และขา 9 ต่อขา 11 ของ U8 และไฟ +5V ซึ่งจะทำให้สัญญาณที่รับเข้ามาที่ขา 16 ของ U8 ที่ถูกเข้ารหัสแล้วกลับเป็นสัญญาณเสียงเดิมไปออกที่เอาท์พุทของ U8 คือขา 3 ความต้านทาน VR2 จะทำหน้าที่ปรับระดับของสัญญาณเสียงที่ส่งออกมา

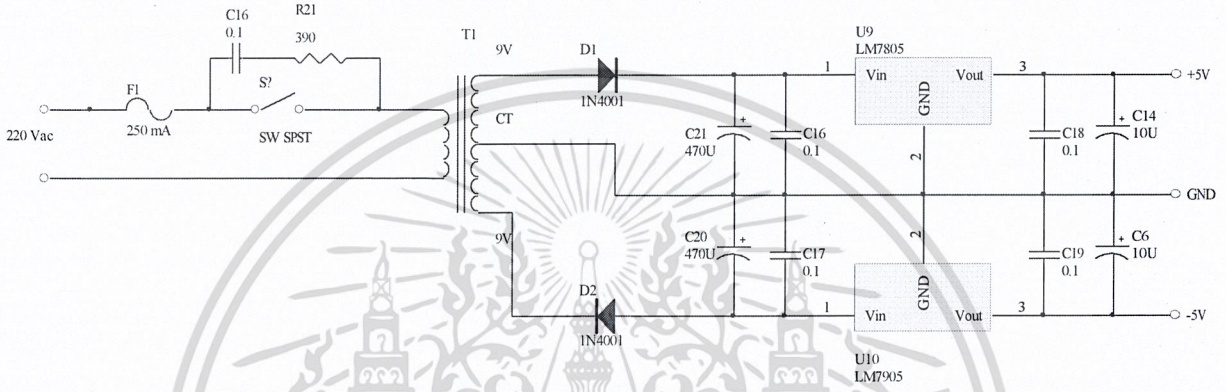


รูปที่ 7.8 แสดงวงจร ถอดรหัสสัญญาณเสียง (Voice Descrambler)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรภาคจ่ายไฟ (Power Supply)

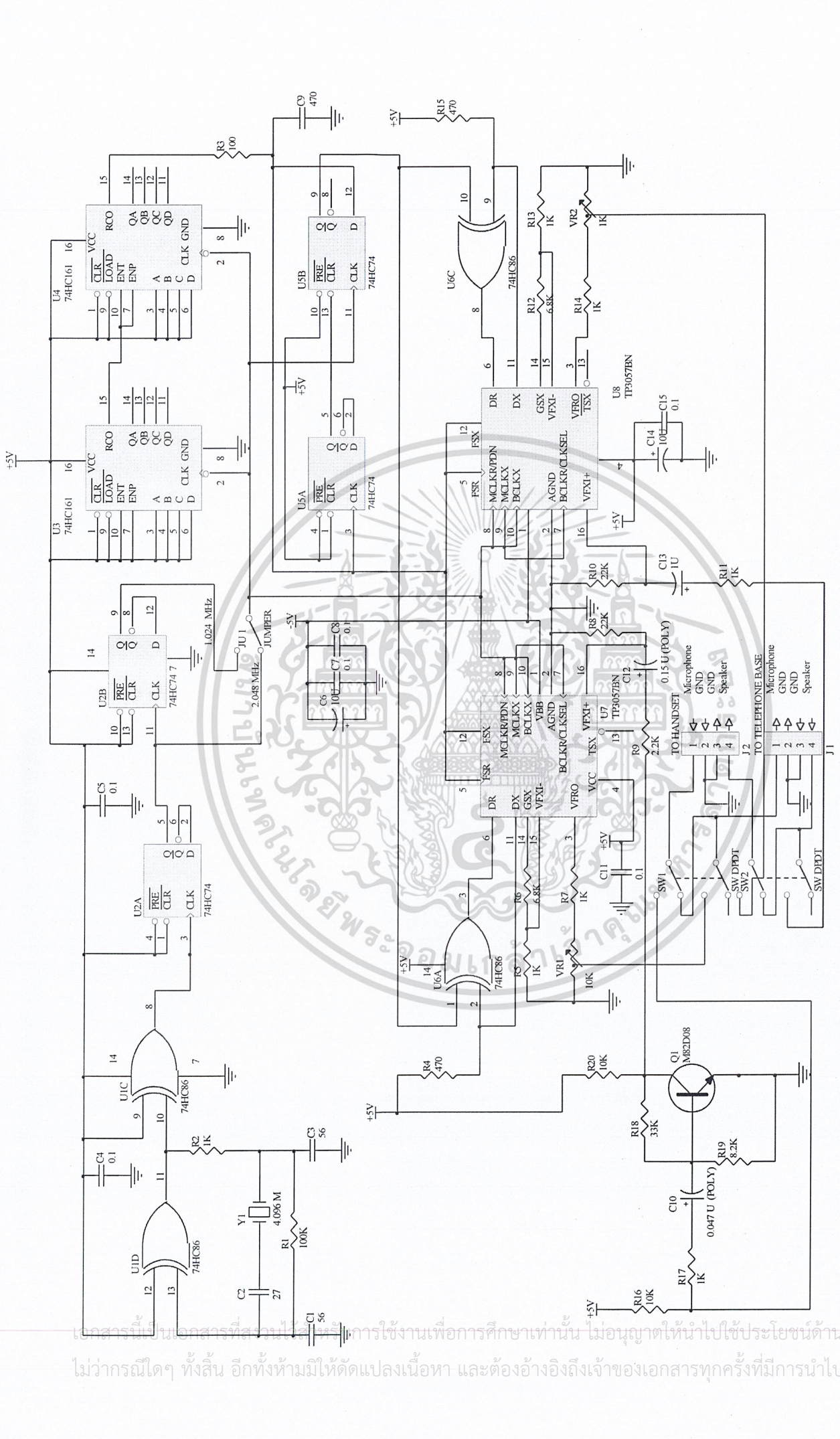
ในโครงงานนี้เนื่องจากอุปกรณ์ที่ใช้เป็นไอซี HCMOS และ CODEC/FILTER ซึ่งเป็นแหล่งจ่ายไฟ +5 V และ -5V ตามลำดับดังนั้นในการออกแบบ จึงใช้วงจรแหล่งจ่ายไฟซึ่งแสดงในรูปที่ 7.10 ซึ่งใช้วงจรแรคติไฟเออร์แบบบริดจ์ ร่วมกับไอซีเรกกูเรเตอร์ ซึ่งจะทำหน้าที่ปรับแรงไฟให้อยู่ในระดับคงที่ ในที่นี้ใช้ ไอซีเบอร์ LM7805 สำหรับแหล่งจ่ายไฟบวก และ ใช้ LM7905 สำหรับแหล่งจ่ายไฟลบ



รูปที่ 7.9 วงจรส่วนของ Power supply

สำหรับในรูปที่ 7.10 เป็น วงจร ที่นำทุกส่วนมารวมกันเป็นวงจรที่สมบูรณ์ ที่สามารถนำไปใช้งานได้จริง ส่วนในตอนท้าย จะเป็นผลจากทดลองทำการวัดสัญญาณต่าง ๆ ด้วยออสซิลโลสโคป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



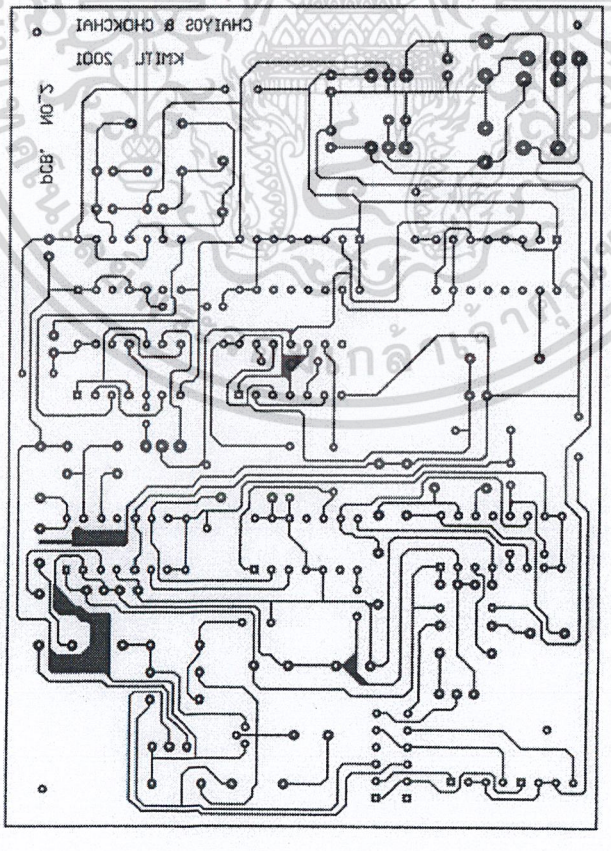
ฐูปที่ 7.10 วงจรที่สมบูรณ์ของระบบป้องกันการดักฟังทางโทรศัพท์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 8
การสร้างโครงงานและการทดลอง

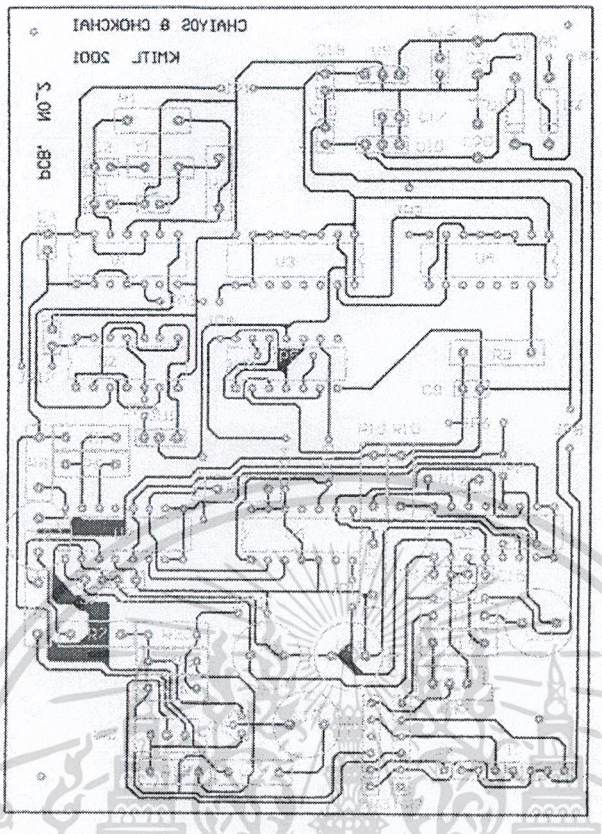
โครงงานนี้ได้ทำการออกแบบวงจรลงบนแผ่นวงจรเพียงแผ่นเดียว โดยรวมวงจรทุกส่วนเข้าไว้ด้วยกัน รวมทั้งชุด เร็กกูเรเตอร์ ด้วยในการใช้งานจะต้องติดตั้งเครื่องป้องกันไว้ทั้งต้นทางและปลายทาง จึงต้องทำการสร้างเครื่องที่เหมือนกันสองชุด การออกแบบจะเน้นการเดินลายวงจรระหว่างตัวอุปกรณ์ให้สั้นที่สุด โดยเฉพาะอย่างยิ่งส่วนของวงจร ออสซิลเลเตอร์ เนื่องจากวงจรทำงานที่ความถี่สูง จึงอาจเกิดการแพร่กระจายของคลื่นวิทยุออกไปรบกวนอุปกรณ์ไฟฟ้าอื่น ๆ ได้ สำหรับสวิทช์ Scramble ON/OFF ที่ยึดติดกับตัวกล่องควรต่อสายไฟลงแผ่นวงจรให้สั้นที่สุดทั้งนี้เนื่องจากได้ใช้เป็นทางเดินของสัญญาณจากคอนเดนเซอร์ไมโครโฟน ซึ่งเป็นสัญญาณที่มีแอมปลิจูดต่ำ จึงอาจเกิดการรบกวนได้ง่าย

ในรูปที่ 8.1 เป็นลายวงจรขนาดเท่าของจริง การลงอุปกรณ์บนแผ่นวงจรควรเริ่มจาก การเชื่อมจุด Jumper ใส่ตัวต้านทาน ไดโอด ตัวเก็บประจุ 0.1 ไมโครฟารัด แล้วจึงใส่ที่เหลือในลำดับถัดไป ส่วนไอซีควรใส่ลำดับสุดท้าย ถ้าจะให้ดีก็ควรใส่ซ็อคเก็ตด้วย เพื่อเป็นการป้องกันความเสียหายที่อาจเกิดขึ้นได้จากการบัดกรี โดยเฉพาะอย่างยิ่งไอซีเบอร์ TP3057 ไม่ควรใช้มือจับขาไอซีโดยตรงเนื่องจากไฟฟ้าสถิตย์อาจทำให้ไอซีเสียหายได้ ในรูปที่ 8.2 เป็นการลงอุปกรณ์บนแผ่นวงจรและตำแหน่งของอุปกรณ์บนแผ่นวงจร ตามลำดับ รูปที่ 8.3 เป็นเครื่องป้องกันการลักลอบดักฟัง ที่ประกอบเสร็จสมบูรณ์แล้ว ส่วนรูปที่ 8.4 แสดงให้เห็นการวางอุปกรณ์ด้านหน้าตัวกล่อง

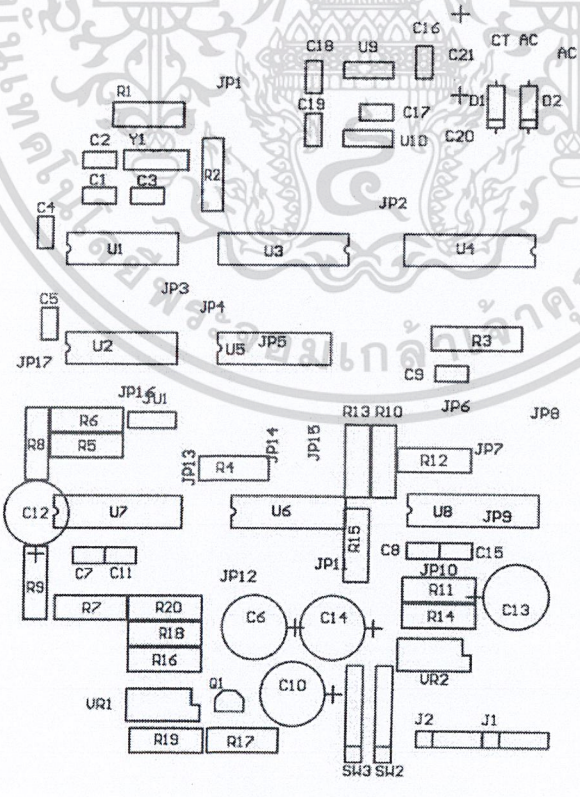


รูปที่ 8.1 ลายวงจรขนาดเท่าของจริง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



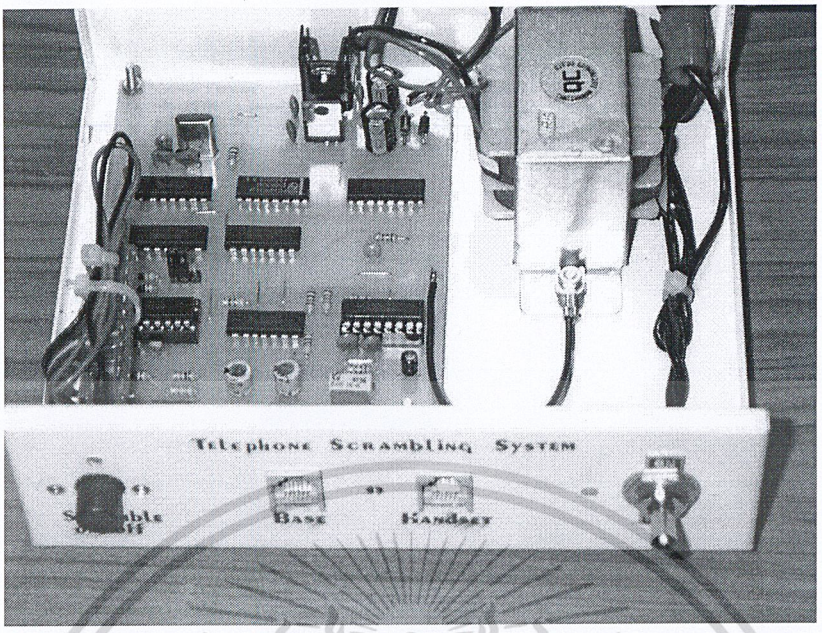
(a)



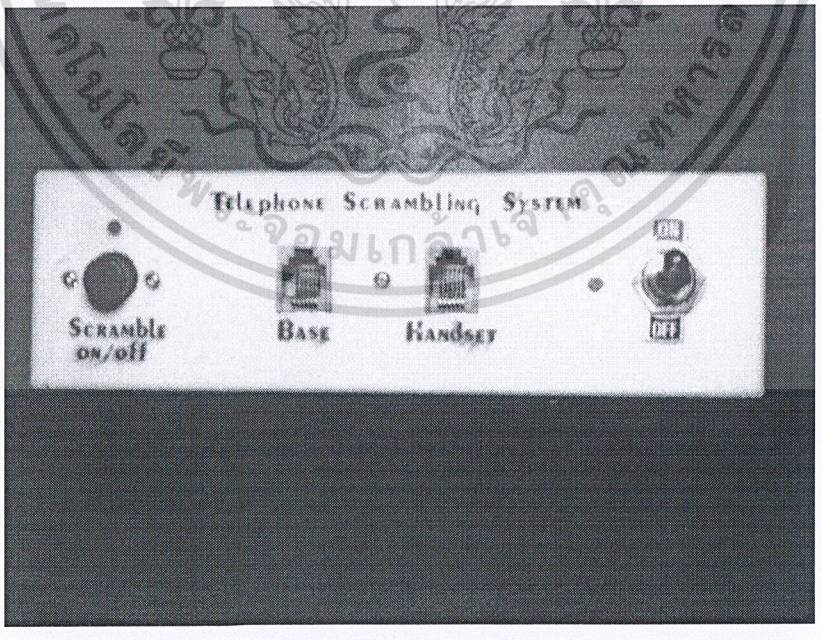
(b)

รูปที่ 8.2 a) และ b) การวางอุปกรณ์บนแผ่นวงจร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 8.3 เครื่องป้องกันการลักลอบดักฟัง ที่ประกอบเสร็จสมบูรณ์แล้ว



รูปที่ 8.4 การวางอุปกรณ์ด้านหน้าของกล่อง

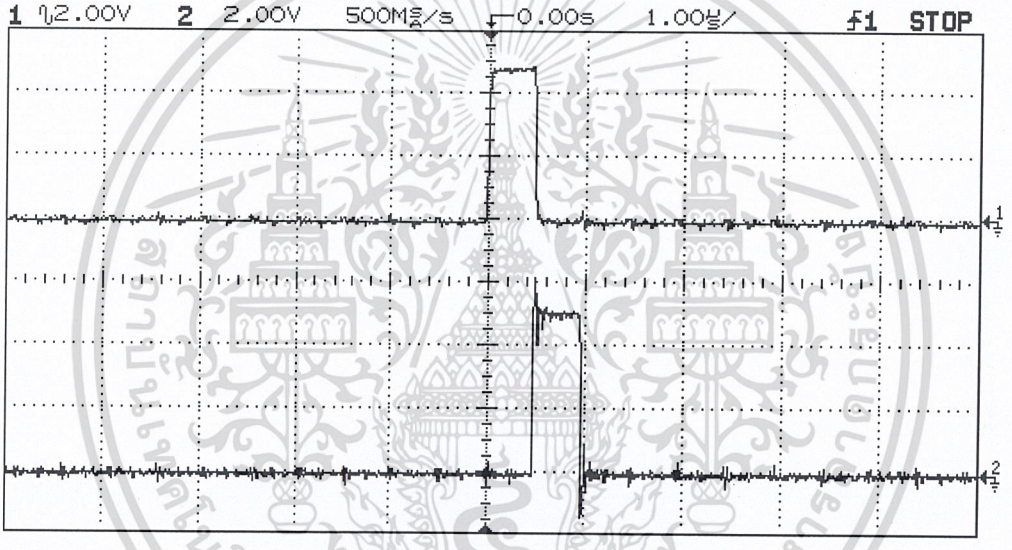
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การทดสอบเครื่อง

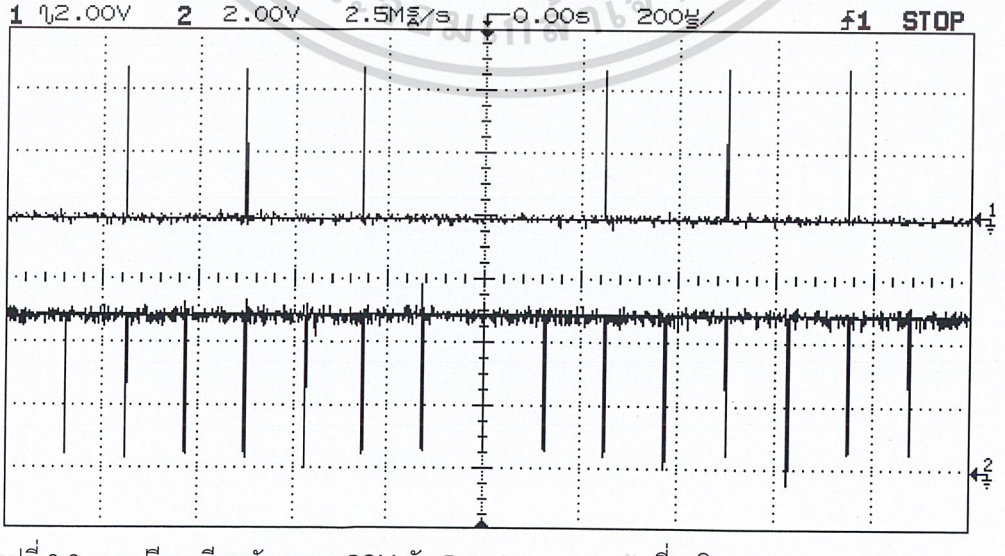
ในการทดสอบเครื่องที่ประกอบเสร็จเรียบร้อยแล้วมีขั้นตอนดังนี้

1. วัดสัญญาณที่ขา 8 ของไอซี U1c ด้วยออสซิลโลสโคป จะได้สัญญาณเป็นดังรูป 7.3b ความถี่ 4.096 เมกกะเฮิรตซ์
2. วัดสัญญาณที่ขา 5 ของ U2a จะได้สัญญาณ Clock ความถี่ 2.048 เมกะเฮิรตซ์ สัญญาณเป็นดังรูป 7.4b
3. วัดสัญญาณที่ขา 15 ของ U4 จะได้สัญญาณ Sampling Pulse ตามรูปที่ 7.5b ความถี่ 8 กิโลเฮิรตซ์
4. วัดสัญญาณที่ขา 9 ของ U5b จะได้สัญญาณ Data Inverse Pulse ความถี่ 4 กิโลเฮิรตซ์ ดังรูป 7.5b

สำหรับในรูปที่ 8.5 ถึง รูปที่ 8.9 เป็นการเปรียบเทียบให้เห็นสัญญาณตามจุดต่าง ๆ เมื่อเครื่องทำงานและในรูปที่ 8.10 จะเป็นการทดสอบป้อนสัญญาณ Sine wave ความถี่ 1 KHz เข้าที่จุดต่อ คอนเดนเซอร์ไมโครโฟน แล้วจะได้สัญญาณ เอาท์พุทของวงจร เข้ารหัสมีความถี่เปลี่ยนแปลงไปจากเดิมนั่นคือได้สัญญาณที่ผ่านการเข้ารหัสแล้ว

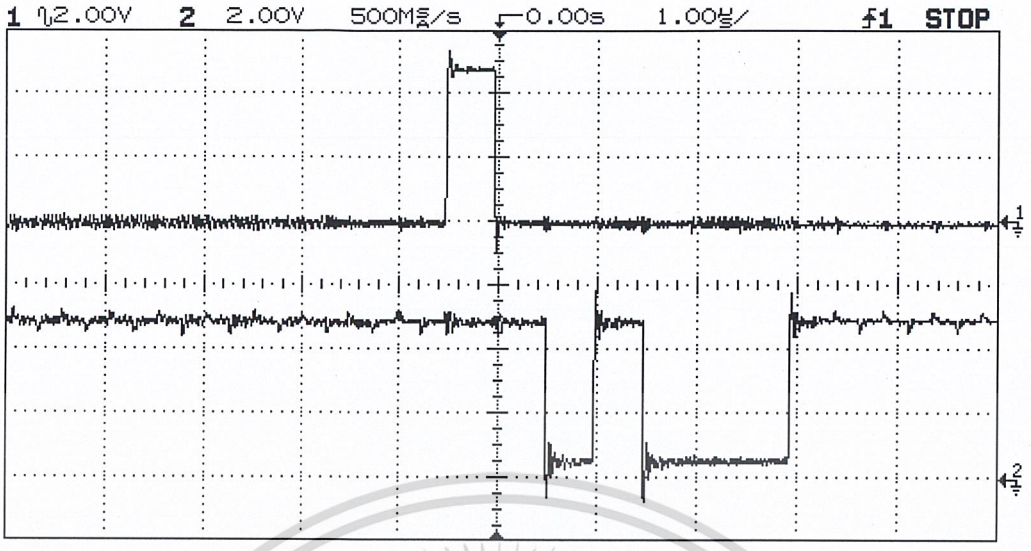


รูปที่ 8.5 การเปรียบเทียบสัญญาณ Data inverse pulse 4 KHzกับสัญญาณ Sampling 8 KHz

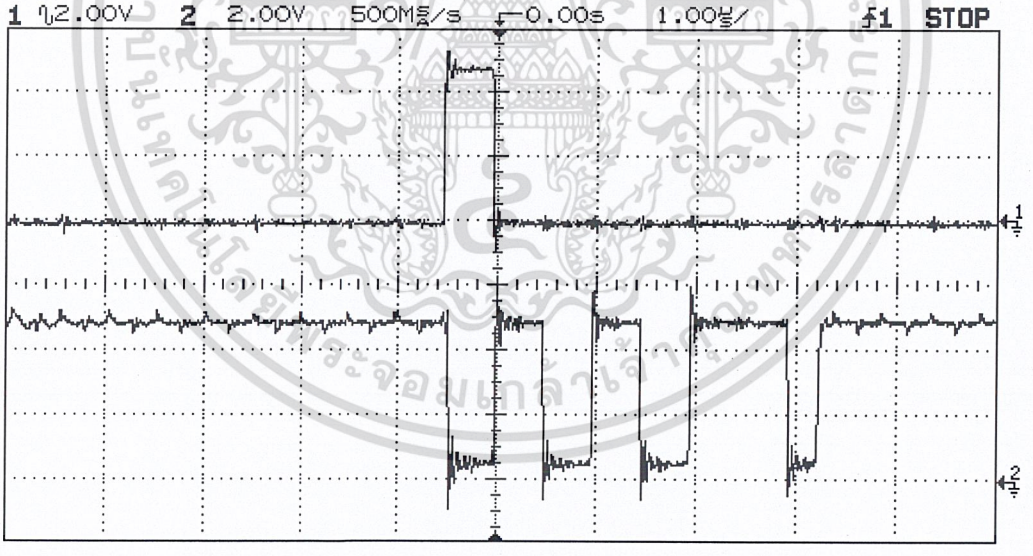


รูปที่ 8.6 การเปรียบเทียบสัญญาณ PCM กับ Data Inverse Pulse ที่ขาอินพุทของ EX-OR (U6a)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

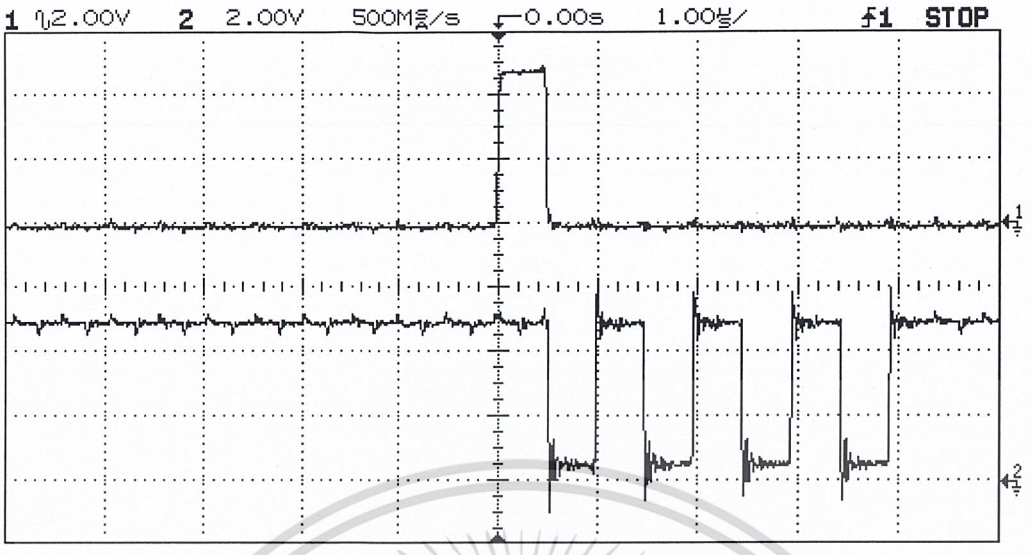


รูปที่ 8.7 การเปรียบเทียบ สัญญาณ Data Inverse Pulse กับ PCM เมื่อทำการขยายให้ใหญ่ขึ้น

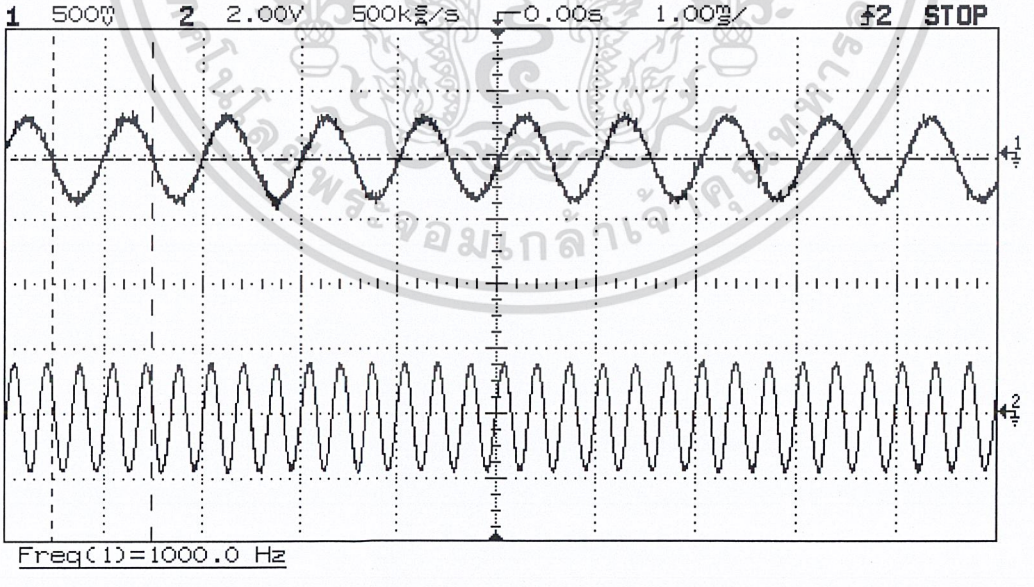


รูปที่ 8.8 การเปรียบเทียบสัญญาณ Data Inverse Pulse กับ PCM ในกรณีที่สัญญาณผ่าน EX-OR แล้วเกิดการ Inverse สัญญาณ เนื่องจาก สัญญาณลอจิก 0 และลอจิก 1 ที่ขาอินพุทของ EX-OR(U6a)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



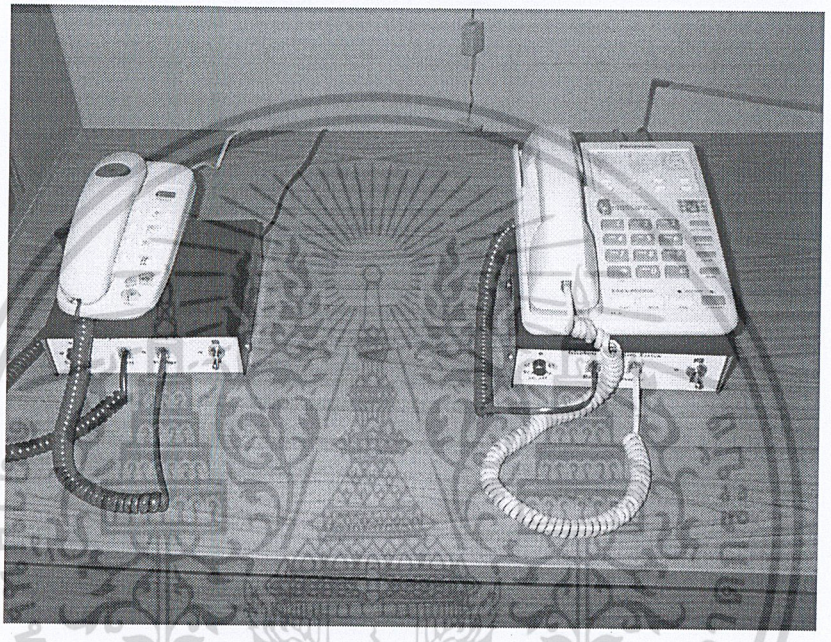
รูปที่ 8.9 แสดงสัญญาณ Data Inverse Pulse เปรียบเทียบกับ PCM กรณีนี้ สัญญาณ PCM ก็จะมีการกลับจากลอจิก 1 เป็น ลอจิก 0 ณ ตำแหน่งที่ปรากฏสัญญาณ Data Inverse Pulse เมื่อ ผ่าน EX-OR (U6a)



รูปที่ 8.10 แสดงการเปรียบเทียบสัญญาณ อินพุท ความถี่ 1 KHz เมื่อผ่าน การ Scramble แล้ว ทำให้สัญญาณเอาท์พุท ที่ได้ มีความถี่เปลี่ยน ไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในการทดสอบการใช้งานจริงโดยการต่อเครื่องป้องกันการลักลอบดักฟัง สองเครื่องเข้ากับ Telephone Line สองเบอร์แล้วทำการกดหมายเลขเพื่อเรียกเข้าหากัน ถ้าหากทั้งสองเครื่องยังไม่ได้เปิดเครื่องและ ยังไม่กดสวิทช์ Scramble ON/OFF โทรศัพท์ทั้ง สองเครื่องจะใช้งานได้ปกติ เมื่อต้องการทดสอบการ Scrambling และ Descrambling หลังจากกด สวิทช์ Power ON แล้ว กดสวิทช์ Scramble ON/OFF ไปที่ตำแหน่ง ON โทรศัพท์ทั้งสองเครื่องก็จะติดต่อกันได้ในลักษณะที่มีการเข้ารหัสสัญญาณ (Scramble) ตอนนี้หากมีการนำเครื่องโทรศัพท์มาต่อพ่วง เครื่องที่นำมาพ่วงนั้นก็จะรับฟังสัญญาณได้ไม่รู้เรื่องการต่อโทรศัพท์เพื่อทดสอบการใช้งานเป็นดังรูปที่ 8.11



รูปที่ 8.11 แสดงการต่อเครื่องป้องกันการลักลอบดักฟัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 9
บทสรุป

โครงงานระบบป้องกันการลักลอบดักฟังทางโทรศัพท์นี้ ได้ทำการทดลองใช้งานกับโครงข่ายโทรศัพท์สาธารณะ (PSTN) แล้วให้ผลการใช้งานที่ดีพอสมควร ปัญหาที่เกิดจากสัญญาณรบกวนมีน้อยมาก ความละเอียดของสัญญาณที่ผ่านการ Descramble แล้วนั้นจะผิดไปจากเดิมเล็กน้อย ทั้งนี้ก็เนื่องมาจากว่า ระบบมีการเปลี่ยนแปลงสัญญาณกลับไปกลับมาถึง 4 ครั้งด้วยกันคือที่ด้านส่ง 2 ครั้งและที่ด้านรับอีก 2 ครั้ง สำหรับเรื่องรูปแบบของการเข้ารหัส ที่มีไม่หลากหลายนั้น จะสามารถที่จะนำไปพัฒนาต่อได้เนื่องจากว่า สัญญาณที่ได้จากการแปลงอนาล็อกเป็นดิจิตอล แบบ PCM แล้วนั้น ก็ง่ายที่จะนำไป เข้ากระบวนการทางดิจิตอล ซึ่งอาจนำเทคนิคการเข้ารหัสแบบอื่น ๆ มาใช้ ก็ได้ ขึ้นอยู่กับความเหมาะสม ปัญหาที่พบอีกอย่างคือ การต่อเครื่องป้องกันเข้ากับเครื่องโทรศัพท์ทั่ว ๆ ไป ก็ยังไม่ง่ายนัก ทั้งนี้ก็เพราะว่า เครื่องโทรศัพท์ที่มีขายตามท้องตลาดนั้นการต่อวงจร ส่วน ปากพูด และหูฟังนั้นไม่ได้เหมือนกันทั้งหมด โดยเฉพาะอย่างยิ่ง ระบบกราวนด์ ในโครงงานที่ทำขึ้นนี้จะออกแบบให้ กราวนด์ของปากพูด และหูฟังต่อร่วมกัน แต่ในความเป็นจริงนั้นเครื่องโทรศัพท์บางเครื่องไม่ได้ใช้กราวนด์ ของปากพูดและหูฟังร่วมกัน ทำให้ต้องดัดแปลงเครื่องให้ระบบกราวนด์ต่อถึงกันได้ก่อน แล้วจึงนำเครื่องป้องกันเข้าไปเชื่อมต่อ สำหรับการประยุกต์ใช้งานด้านอื่น ๆ ก็สามารถทำได้เช่นกัน เนื่องจากสัญญาณที่ผ่านเครื่องป้องกันแล้ว ยังอยู่ในย่านความถี่เสียงจึงสามารถนำไปใช้ป้องกันการดักฟังในวิทยุสื่อสาร ได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอกสารอ้างอิง

- **Donald L Schilling & Charles Bebve** : Electronic Circuits Discretes and intergrated. Third Edition , Mcgraw – Hill.

- **Leon W. Couch II** : Digital and Analog Communication , Second Edition , Macmillan Publishing Company , London.

- **Motorola**: High-Speed CMOS Logic Data.

- **National Semiconductor**: Telecommunication Data Book.

-**Wai-kai Chen** : Passive and Active Filters. John Wiley & Sons, Singapore,

- **ถวิล กิ่งทอง** : เทคโนโลยีการส่งสัญญาณดิจิตอล , สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง กรุงเทพมหานคร , พ.ศ. 2534

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

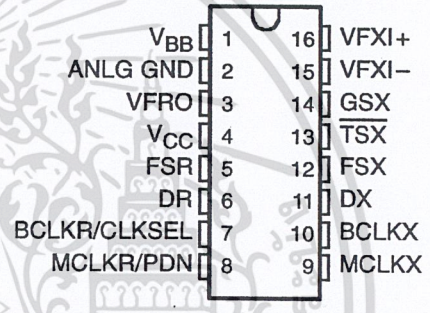
- **Complete PCM Codec and Filtering Systems Includes:**
  - **Transmit High-Pass and Low-Pass Filtering**
  - **Receive Low-Pass Filter With (sin x)/x Correction**
  - **Active RC Noise Filters**
  - **μ-Law or A-Law Compatible Coder and Decoder**
  - **Internal Precision Voltage Reference**
  - **Serial I/O Interface**
  - **Internal Autozero Circuitry**
- **μ-Law – TP3054B and TP13054B**
- **A-Law – TP3057B and TP13057B**
- **±5-V Operation**
- **Low Operating Power . . . 50 mW Typ**
- **Power-Down Standby Mode . . . 3 mW Typ**
- **Automatic Power Down**
- **TTL- or CMOS-Compatible Digital Interface**
- **Maximizes Line Interface Card Circuit Density**
- **Improved Versions of National Semiconductor TP3054, TP3057, TP3054-X, TP3057-X**

description

The TP3054B, TP3057B, TP13054B, and TP13057B are comprised of a single-chip PCM codec (pulse-code-modulated encoder and decoder) and PCM line filter. These devices provide all the functions required to interface a full-duplex (2-wire) voice telephone circuit with a TDM (time-division-multiplexed) system. These devices are pin-for-pin compatible with the National Semiconductor TP3054B and TP3057B, respectively. Primary applications include:

- Line interface for digital transmission and switching of T1 carrier, PABX, and central office telephone systems
- Subscriber line concentrators
- Digital-encryption systems
- Digital voice-band data-storage systems
- Digital signal processing

DW OR N PACKAGE
(TOP VIEW)



These devices are designed to perform the transmit encoding (A/D conversion) and receive decoding (D/A conversion) as well as the transmit and receive filtering functions in a PCM system. They are intended to be used at the analog termination of a PCM line or trunk. The devices require two transmit and receive master clocks that may be asynchronous (1.536 MHz, 1.544 MHz, or 2.048 MHz), transmit and receive data clocks that are synchronous with the master clock (but can vary from 64 kHz to 2.048 MHz), and transmit and receive frame-sync pulses. The TP3054B, TP3057B, TP13054B, and TP13057B provide the band-pass filtering of the analog signals prior to encoding and after decoding of voice and call progress tones. The TP3054B and TP13054B contain patented circuitry to achieve low transmit channel idle noise and are not recommended for applications in which the composite signals on the transmit side are below –55 dBm0.

The TP3054B and TP3057B are characterized for operation from 0°C to 70°C. The TP13054B and TP13057B are characterized for operation from –40°C to 85°C.

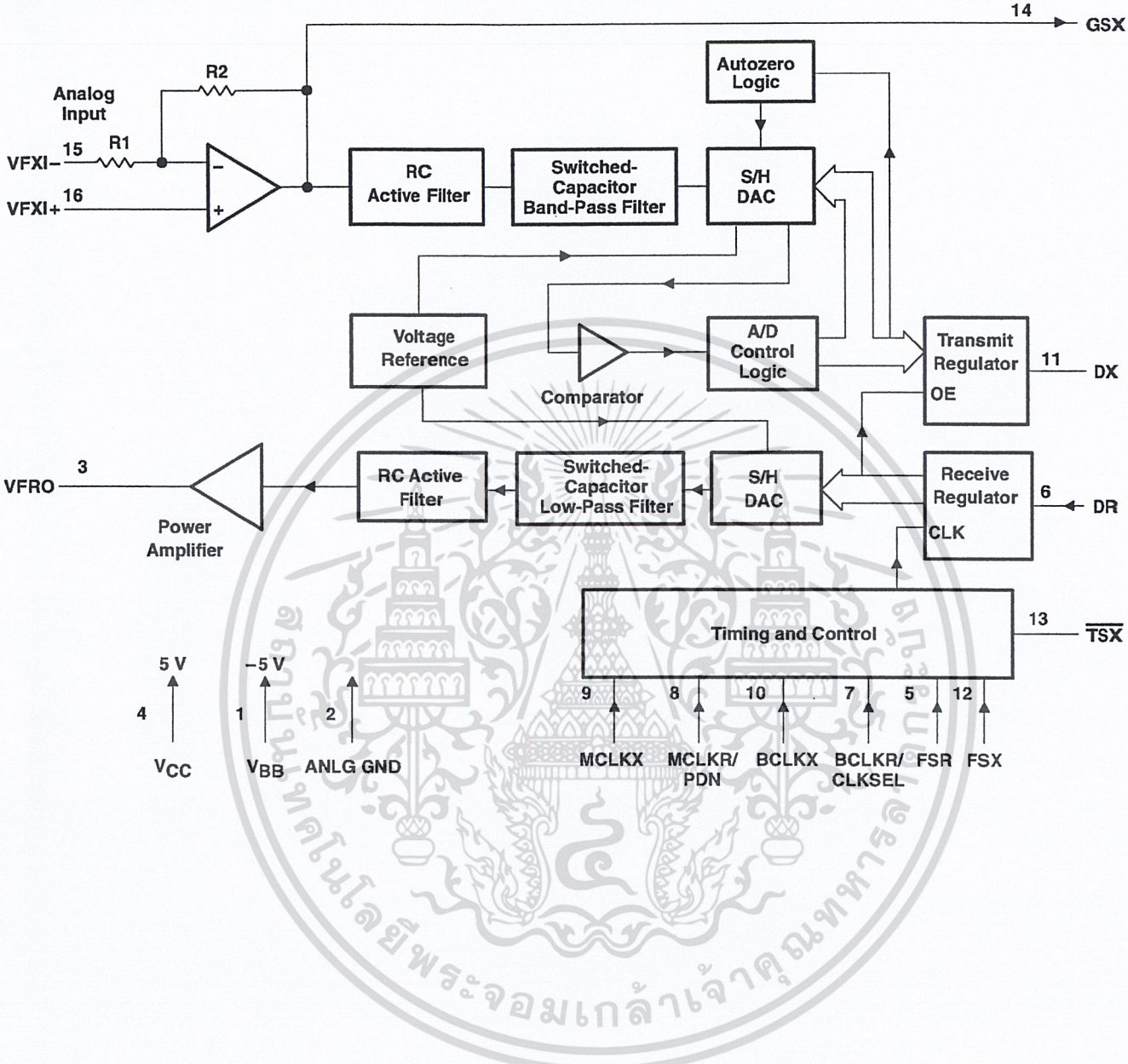
These devices have limited built-in ESD protection. The leads should be shorted together or the device placed in conductive foam during storage or handling to prevent electrostatic damage to the CMOS gates.

PRODUCTION DATA information is current as of publication date. Products conform to specifications per the terms of Texas Instruments standard warranty. Production processing does not necessarily include testing of all parameters.

Copyright © 1996, Texas Instruments Incorporated

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

functional block diagram



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Terminal Functions

TERMINAL NAME	TERMINAL NO.	DESCRIPTION
ANLG GND	2	Analog ground. All signals are referenced to ANLG GND.
BCLKR/CLKSEL	7	The bit clock that shifts data into DR after the FSR leading edge. May vary from 64 kHz to 2.048 MHz. Alternately, BCLKR/CLKSEL can be a logic input that selects either 1.536 MHz/1.544 MHz or 2.048 MHz for the master clock in the synchronous mode. BCLKX is used for both transmit and receive directions (see Table 1).
BCLKX	10	The bit clock that shifts out the PCM data on DX. BCLKX can vary from 64 kHz to 2.048 MHz, but must be synchronous with MCLKX.
DR	6	Receive data input. PCM data is shifted into DR following the FSR leading edge.
DX	11	The 3-state PCM data output that in enabled by FSX
FSR	5	Receive frame-sync pulse input that enables BCLKR to shift PCM data in DR. FSR is an 8-kHz pulse train (see Figures 1 and 2 for timing details).
FSX	12	Transmit frame-sync pulse that enables BCLKX to shift out the PCM data on DX. FSX is an 8-kHz pulse train (see Figures 1 and 2 for timing details).
GSX	14	Analog output of the transmit input amplifier. GSX is used to externally set gain.
MCLKR/PDN	8	Receive master clock (must be 1.536 MHz, 1.544 MHz, or 2.048 MHz). May be synchronous with MCLKX, but should be synchronous with MCLKX for best performance. When MCLKR is connected continuously low, MCLKX is selected for all internal timing. When MCLKR is connected continuously high, the device is powered down.
MCLKX	9	Transmit master clock (must be 1.536 MHz, 1.544 MHz, or 2.048 MHz). May be asynchronous with MCLKR.
$\overline{TSX}$	13	Open-drain output that pulses low during the encoder time slot
V_{BB}	1	Negative power supply pin. $V_{BB} = -5$ V ±5%
V_{CC}	4	Positive power supply pin. $V_{CC} = 5$ V ±5%
VFRO	3	Analog output of the receive filter
VFXI+	16	Noninverting input of the transmit input amplifier
VFXI−	15	Inverting input of the transmit input amplifier

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

absolute maximum ratings over operating free-air temperature range (unless otherwise noted)†

Supply voltage, V_{CC} (see Note 1) ..... 7 V
Supply voltage, V_{BB} (see Note 1) ..... −7 V
Voltage range at any analog input or output ..... V_{CC} +0.3 V to V_{BB} −0.3 V
Voltage range at any digital input or output ..... V_{CC} +0.3 V to ANLG GND −0.3 V
Continuous total dissipation ..... See Dissipation Rating Table
Operating free-air temperature range, T_A: TP3054B, TP3057B ..... 0°C to 70°C
TP13054B, TP13057B ..... −40°C to 85°C
Storage temperature range, T_{stg} ..... −65°C to 150°C
Lead temperature 1,6 mm (1/16 inch) from case for 10 seconds: DW or N package ..... 260°C

† Stresses beyond those listed under "absolute maximum ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated under "recommended operating conditions" is not implied. Exposure to absolute-maximum-rated conditions for extended periods may affect device reliability.

NOTE 1: All voltages are with respect to GND.

DISSIPATION RATING TABLE

PACKAGE	$T_A \le 25°C$ POWER RATING	DERATING FACTOR ABOVE $T_A = 25°C$	$T_A = 70°C$ POWER RATING	$T_A = 85°C$ POWER RATING
DW	1025 mW	8.2 mW/°C	656 mW	533 mW
N	1150 mW	9.2 mW/°C	736 mW	598 mW

recommended operating conditions (see Note 2)

		MIN	NOM	MAX	UNIT
Supply voltage, V_{CC}		4.75	5	5.25	V
Supply voltage, V_{BB}		−4.75	−5	−5.25	V
High-level input voltage, V_{IH}		2.2			V
Low-level input voltage, V_{IL}				0.6	V
Common-mode input voltage range, V_{ICR}‡				±2.5	V
Load resistance, GSX, R_L		10			kΩ
Load capacitance, GSX, C_L				50	pF
Operating free-air temperature, T_A	TP3054B, TP3057B	0		70	°C
	TP13054B, TP13057B	−40		85	

‡ Measured with CMRR > 60 dB.

NOTE 2: To avoid possible damage to these CMOS devices and resulting reliability problems, the power-up procedure described in the device power-up sequence paragraphs later in this document should be followed.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

electrical characteristics over recommended ranges of supply voltage and operating free-air temperature (unless otherwise noted)

supply current

PARAMETER			TEST CONDITIONS	TP305xB			TP1305xB			UNIT
				MIN	TYP	MAX	MIN	TYP	MAX	
I_{CC}	Supply current from V_{CC}	Power down	No load		0.5	1		0.5	1.2	mA
		Active			6	9		6	10	
I_{BB}	Supply current from V_{BB}	Power down	No load		0.5	1		0.5	1.2	mA
		Active			6	9		6	10	

electrical characteristics at V_{CC} = 5 V ±5%, V_{BB} = −5 V ±5%, GND at 0 V, T_A = 25°C (unless otherwise noted)

digital interface

PARAMETER			TEST CONDITIONS	MIN	MAX	UNIT
V_{OH}	High-level output voltage	DX	I_H = −3.2 mA	2.4		V
V_{OL}	Low-level output voltage	DX	I_L = 3.2 mA		0.4	V
		$\overline{TSX}$	I_L = 3.2 mA, Drain open		0.4	
I_{IH}	High-level input current		$V_I = V_{IH}$ to V_{CC}		±10	µA
I_{IL}	Low-level input current	All digital inputs	V_I = GND to V_{IL}		±10	µA
V_{OL}	Output current in high-impedance state	DX	V_O = GND to V_{CC}		±10	µA

analog interface with transmit amplifier input

PARAMETER			TEST CONDITIONS	MIN	TYP†	MAX	UNIT
I_I	Input current	VFXI+ or VFXI −	V_I = −2.5 V to 2.5 V			±200	nA
r_i	Input resistance	VFXI+ or VFXI −	V_I = −2.5 V to 2.5 V	10			MΩ
r_o	Output resistance		Closed loop, Unity gain		1	3	Ω
	Output dynamic range	GSX	R_L ≥ 10 kΩ			±2.8	V
A_V	Open-loop voltage amplification	VFXI+ to GSX		5000			
B_I	Unity-gain bandwidth	GSX		1	2		MHz
V_{IO}	Input offset voltage	VFXI+ or VFXI −				±20	mV
CMRR	Common-mode rejection ratio			60			dB
K_{SVR}	Supply-voltage rejection ratio			60			dB

† All typical values are at V_{CC} = 5 V, V_{BB} = −5 V, and T_A = 25°C.

analog interface with receive filter

PARAMETER		TEST CONDITIONS	MIN	TYP†	MAX	UNIT
Output resistance	VFRO			1	3	Ω
Load resistance		VFRO = ±2.5 V	600			Ω
Load capacitance	VFRO to GND				500	pF
Output dc offset voltage	VFRO to GND				±200	mV

† All typical values are at V_{CC} = 5 V, V_{BB} = −5 V, and T_A = 25°C.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

operating characteristics, over operating free-air temperature range, V_{CC} = 5 V ±5%, V_{BB} = −5 V ±5%, GND at 0 V, V_I = 1.2276 V, f = 1.02 kHz, transmit input amplifier connected for unity gain, noninverting (unless otherwise noted)

timing requirements

PARAMETER			TEST CONDITIONS	MIN	TYP†	MAX	UNIT
$f_{clock(M)}$	Frequency of master clock	MCLKX and MCLKR	Depends on the device used and BCLKX/CLKSEL		1.536 1.544 2.048		MHz
$f_{clock(B)}$	Frequency of bit clock, transmit	BCLKX		64		2.048	kHz
t_{w1}	Pulse duration, MCLKX and MCLKR high			160			ns
t_{w2}	Pulse duration, MCLKX and MCLKR low			160			ns
t_{r1}	Rise time of master clock	MCLKX and MCLKR	Measured from 20% to 80%			50	ns
t_{f1}	Fall time of master clock	MCLKX and MCLKR	Measured from 20% to 80%			50	ns
t_{r2}	Rise time of bit clock, transmit	BCLKX	Measured from 20% to 80%			50	ns
t_{f2}	Fall time of bit clock, transmit	BCLKX	Measured from 20% to 80%			50	ns
t_{su1}	Setup time, BCLKX high (and FSX in long-frame sync mode) before MCLKX↓		First bit clock after the leading edge of FSX	100			ns
t_{w3}	Pulse duration, BCLKX and BCLKR high		V_{IH} = 2.2 V	160			ns
t_{w4}	Pulse duration, BCLKX and BCLKR low		V_{IL} = 0.6 V	160			ns
t_{h1}	Hold time, frame sync low after bit clock low (long frame only)			0			ns
t_{h2}	Hold time, BCLKX high after frame sync↑ (short frame only)			0			ns
t_{su2}	Setup time, frame sync high before bit clock↓ (long frame only)			80			ns
t_{d1}	Delay time, BCLKX high to data valid		Load = 150 pF plus 2 LSTTL loads‡	0		140	ns
t_{d2}	Delay time, BCLKX high to $\overline{TSX}$ low		Load = 150 pF plus 2 LSTTL loads‡			140	ns
t_{d3}	Delay time, BCLKX (or 8 clock FSX in long frame only) low to data output disabled			50		165	ns
t_{d4}	Delay time, FSX or BCLKX high to data valid (long frame only)		C_L = 0 pF to 150 pF	20		165	ns
t_{su3}	Setup time, DR valid before BCLKR↓			50			ns
t_{h3}	Hold time, DR valid after BCLKR or BCLKX↓			50			ns
t_{su4}	Setup time, FSR or FSX high before BCLKR or BCLKR↓		Short-frame sync pulse (1 or 2 bit clock periods long) (see Note 3)	50			ns
t_{h4}	Hold time, FSX or FSR high after BCLKX or BCLKR↓		Short-frame sync pulse (1 or 2 bit clock periods long) (see Note 3)	100			ns
t_{h5}	Hold time, frame sync high after bit clock↓		Long-frame sync pulse (from 3 to 8 bit clock periods long)	100			ns
t_{w5}	Minimum pulse duration of the frame sync pulse (low level)		64 kbps operating mode	160			ns

† All typical values are at V_{CC} = 5 V, V_{BB} = −5 V, and T_A = 25°C.
‡ Nominal input value for an LSTTL lead is 18 kΩ.
NOTE 3: For short-frame sync timing, FSR and FSX must go high while their respective bit clocks are high.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

filter gains and tracking errors

PARAMETER		TEST CONDITIONS‡	MIN	TYP†	MAX	UNIT
Maximum peak transmit overload level	TP3054B, TP13054B	3.17 dBm0		2.501		V
	TP3057B, TP13057B	3.14 dBm0		2.492		
Transmit filter gain, absolute (at 0 dBm0)		T_A = 25°C	−0.15		0.15	dB
Transmit filter gain, relative to absolute		f = 16 Hz			−40	dB
		f = 50 Hz			−30	
		f = 60 Hz			−26	
		f = 200 Hz	−1.8		−0.1	
		f = 300 Hz to 3000 Hz	−0.15		0.15	
		f = 3300 Hz	−0.35		0.05	
		f = 3400 Hz	−0.8		0	
		f = 4000 Hz			−14	
		f ≥ 4600 Hz (measure response from 0 Hz to 4000 Hz)			−32	
Absolute transmit gain variation with temperature and supply voltage		Relative to absolute transmit gain See Note 4	−0.1		0.1	dB
Transmit gain tracking error with level		Sinusoidal test method, Reference level = −10 dBm0				dB
		3 dBm0 ≥ input level ≥ −40 dBm0			±0.2	
		−40 dBm0 > input level ≥ −50 dBm0			±0.4	
		−50 dBm0 > input level ≥ −55 dBm0			±0.8	
Receive filter gain, absolute (at 0 dBm0)		Input is digital code sequence for 0 dBm0 signal, T_A = 25°C	−0.15		0.15	dB
Receive filter gain, relative to absolute		f = 0 Hz to 3000 Hz, T_A = 25°C	−0.15		0.15	dB
		f = 3300 Hz	−0.35		0.05	
		f = 3400 Hz	−0.8		0	
		f = 4000 Hz			−14	
Absolute receive gain variation with temperature and supply voltage		T_A = full range, See Note 4	−0.1		0.1	dB
Receive gain tracking error with level		Sinusoidal test method; reference input PCM code corresponds to an ideally encoded −10 dBm0 signal				dB
		3 dBm0 ≥ input level ≥ −40 dBm0			±0.2	
		−40 dBm0 > input level ≥ −50 dBm0			±0.4	
		−50 dBm0 > input level ≥ −55 dBm0			±0.8	
Receive output drive voltage		R_L = 10 kΩ			±2.5	V
Transmit and receive gain tracking error with level (A-law, CCITT C 712)		Pseudo noise test method; reference input PCM code corresponds to an ideally encoded −10 dBm0 signal				dB
		3 dBm0 ≥ input level ≥ −40 dBm0			±0.25	
		−40 dBm0 > input level ≥ −50 dBm0			±0.3	
		−50 dBm0 > input level ≥ −55 dBm0			±0.45	

† All typical values are at V_{CC} = 5 V, V_{BB} = −5 V, and T_A = 25°C.
‡ Absolute rms signal levels are defined as follows: V_I = 1.2276 V = 0 dBm0 = 4 dBm at f = 1.02 kHz with R_L = 600 Ω
NOTE 4: Full range for the TP3054B and TP3057B is 0°C to 70°C. Full range for the TP13054B and TP13057B is −40°C to 85°C.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

envelope delay distortion with frequency

PARAMETER	TEST CONDITIONS	MIN	TYP†	MAX	UNIT
Transmit delay, absolute (at 0 dBm0)	f = 1600 Hz		290	315	µs
Transmit delay, relative to absolute	f = 500 Hz to 600 Hz		195	220	µs
	f = 600 Hz to 800 Hz		120	145	
	f = 800 Hz to 1000 Hz		50	75	
	f = 1000 Hz to 1600 Hz		20	40	
	f = 1600 Hz to 2600 Hz		55	75	
	f = 2600 Hz to 2800 Hz		80	105	
	f = 2800 Hz to 3000 Hz		130	155	
Receive delay, absolute (at 0 dBm0)	f = 1600 Hz		180	200	µs
Receive delay, relative to absolute	f = 500 Hz to 1000 Hz	–40	–25		µs
	f = 1000 Hz to 1600 Hz	–30	–20		
	f = 1600 Hz to 2600 Hz		70	90	
	f = 2600 Hz to 2800 Hz		100	125	
	f = 2800 Hz to 3000 Hz		140	175	

† All typical values are at V_{CC} = 5 V, V_{BB} = –5 V, and T_A = 25°C.

noise

PARAMETER		TEST CONDITIONS	MIN	TYP†	MAX	UNIT
Transmit noise, C-message weighted‡	TP3054B, TP13054B	VFXI = 0 V		5	9	dBrnC0
Transmit noise, psophometric weighted (see Note 5)	TP3057B, TP13057B	VFXI = 0 V		–74	–69	dBm0p
Receive noise, C-message weighted	TP3054B, TP13054B	PCM code equals alternating positive and negative zero		2	4	dBrnC0
Receive noise, psophometric weighted	TP3057B, TP13057B	PCM code equals positive zero		–86	–83	dBm0p
Noise, single frequency		VFXI+ = 0 V, f = 0 kHz to 100 kHz, Loop-around measurement			–53	dBm0

† All typical values are at V_{CC} = 5 V, V_{BB} = –5 V, and T_A = 25°C.
‡ This parameter is achieved through use of patented circuitry and is not recommended for applications in which the composite signals on the transmit side are below –55 dBm0.
NOTE 5: Measured by extrapolation from the distortion test result.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

power supply rejection

PARAMETER	TEST CONDITIONS			MIN	MAX	UNIT
Positive power-supply rejection, transmit	V_{CC} = 5 V + 100 mVrms, VFXI+ = −50 dBm0	f = 0 Hz to 4 kHz	A-law	38		dB
			μ-law	38		dBC†
		f = 4 kHz to 50 kHz		40		dB
Negative power-supply rejection, transmit	V_{BB} = −5 V + 100 mVrms, VFXI+ = −50 dBm0	f = 0 Hz to 4 kHz	A-law	35		dB
			μ-law	35		dBC†
		f = 4 kHz to 50 kHz		40		dB
Positive power-supply rejection, receive	PCM code equals positive zero, V_{CC} = 5 V + 100 mVrms	f = 0 Hz to 4 kHz	A-law	40		dB
			μ-law	40		dBC†
		f = 4 kHz to 50 kHz		40		dB
Negative power-supply rejection, receive	PCM code equals positive zero, V_{BB} = −5 V + 100 mVrms	f = 0 Hz to 4 kHz	A-law	38		dB
			μ-law	38		dBC†
		f = 4 kHz to 50 kHz		40		dB
Spurious out-of-band signals at the channel output (VFRO)	0 dBm0, 300-Hz to 3400-Hz input applied to DR (measure individual image signals at VFRO)				−30	dB
	f = 4600 Hz to 7600 Hz				−33	dB
	f = 7600 Hz to 100 kHz				−40	

† The unit dBC applies to C-message weighting.

distortion

PARAMETER	TEST CONDITIONS		MIN	MAX	UNIT
Signal-to-distortion ratio, transmit or receive half-channel‡	Level = 3 dBm0		33		dBC†
	Level = 0 dBm0 to −30 dBm0		36		
	Level = −40 dBm0	Transmit	29		
		Receive	30		
	Level = −55 dBm0	Transmit	14		
		Receive	15		
Single-frequency distortion products, transmit				−46	dB
Single-frequency distortion products, receive				−46	dB
Intermodulation distortion	Loop-around measurement, VFXI+ = −4 dBm0 to −21 dBm0, Two frequencies in the range of 300 Hz to 3400 Hz			−41	dB
Signal-to-distortion ratio, transmit half-channel (A-law) (CCITT G.714)§	Level = −3 dBm0		33		dB
	Level = −6 dBm0 to −27 dBm0		36		
	Level = −34 dBm0		33.5		
	Level = −40 dBm0		28.5		
	Level = −55 dBm0		13.5		
Signal-to-distortion ratio, receive half-channel (A-law) (CCITT G.714)§	Level = −3 dBm0		33		dB
	Level = −6 dBm0 to −27 dBm0		36		
	Level = −34 dBm0		34.2		
	Level = −40 dBm0		30		
	Level = −55 dBm0		15		

† The unit dBC applies to C-message weighting.
‡ Sinusoidal test method (see Note 6)
§ Pseudo-noise test method

NOTE 6: The TP3054B and TP13054B are measured using a C-message filter. The TP3057B and the TP13057B are measured using a psophometric weighted filter.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

crosstalk

PARAMETER	TEST CONDITIONS		MIN	TYP†	MAX	UNIT
Crosstalk, transmit-to-receive	f = 300 Hz to 3000 Hz,	DR at steady PCM code		−90	−75	dB
Crosstalk, receive-to-transmit (see Note 7)	VFXI = 0 V,	f = 300 Hz to 3000 Hz		−90	−75	dB

† All typical values are at V_{CC} = 5 V, V_{BB} = −5 V, and T_A = 25°C.
NOTE 7: Receive-to-transmit crosstalk is measured with a −50 dBm0 activation signal applied at VFXI+.

PARAMETER MEASUREMENT INFORMATION

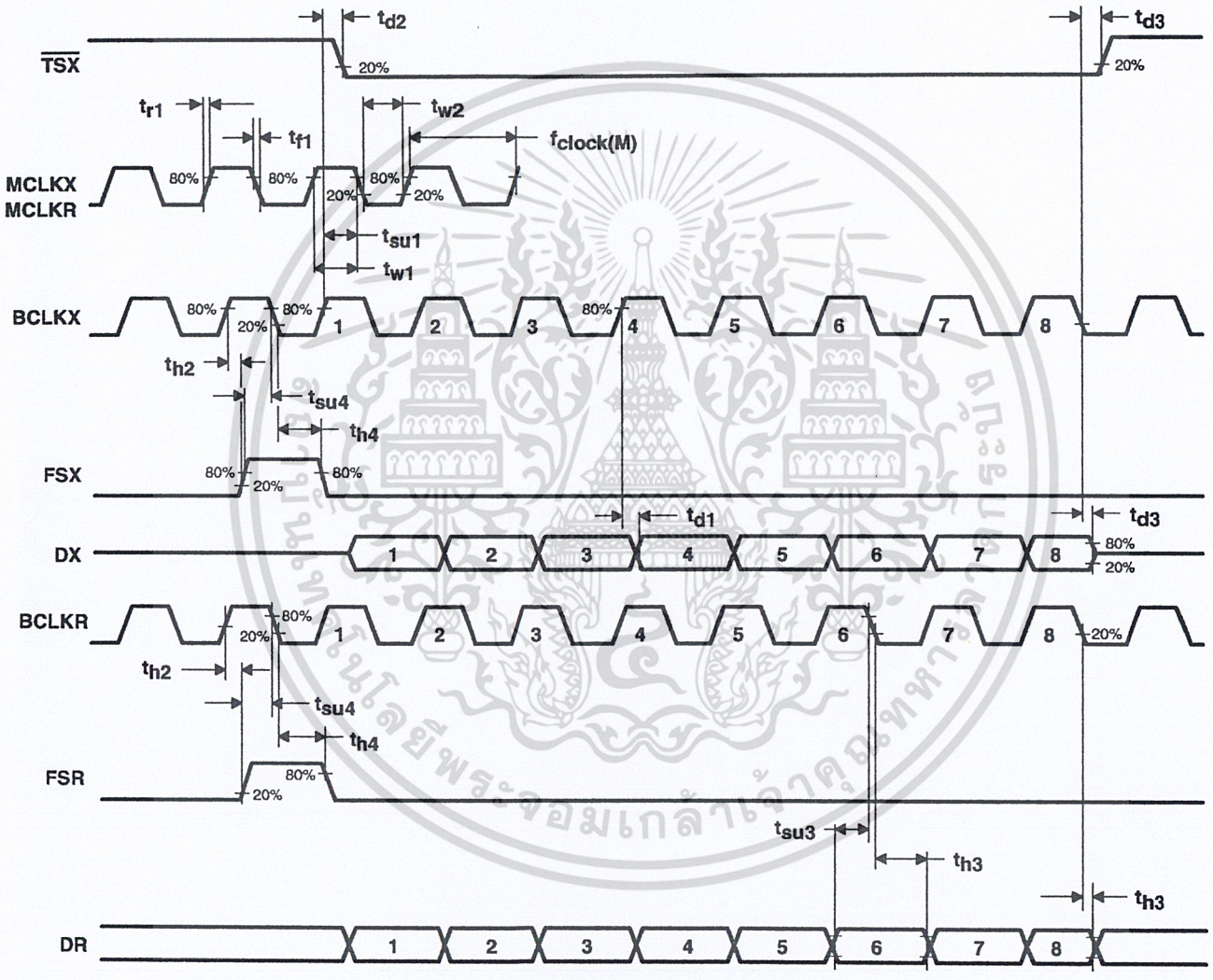


Figure 1. Short-Frame Sync Timing

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PARAMETER MEASUREMENT INFORMATION

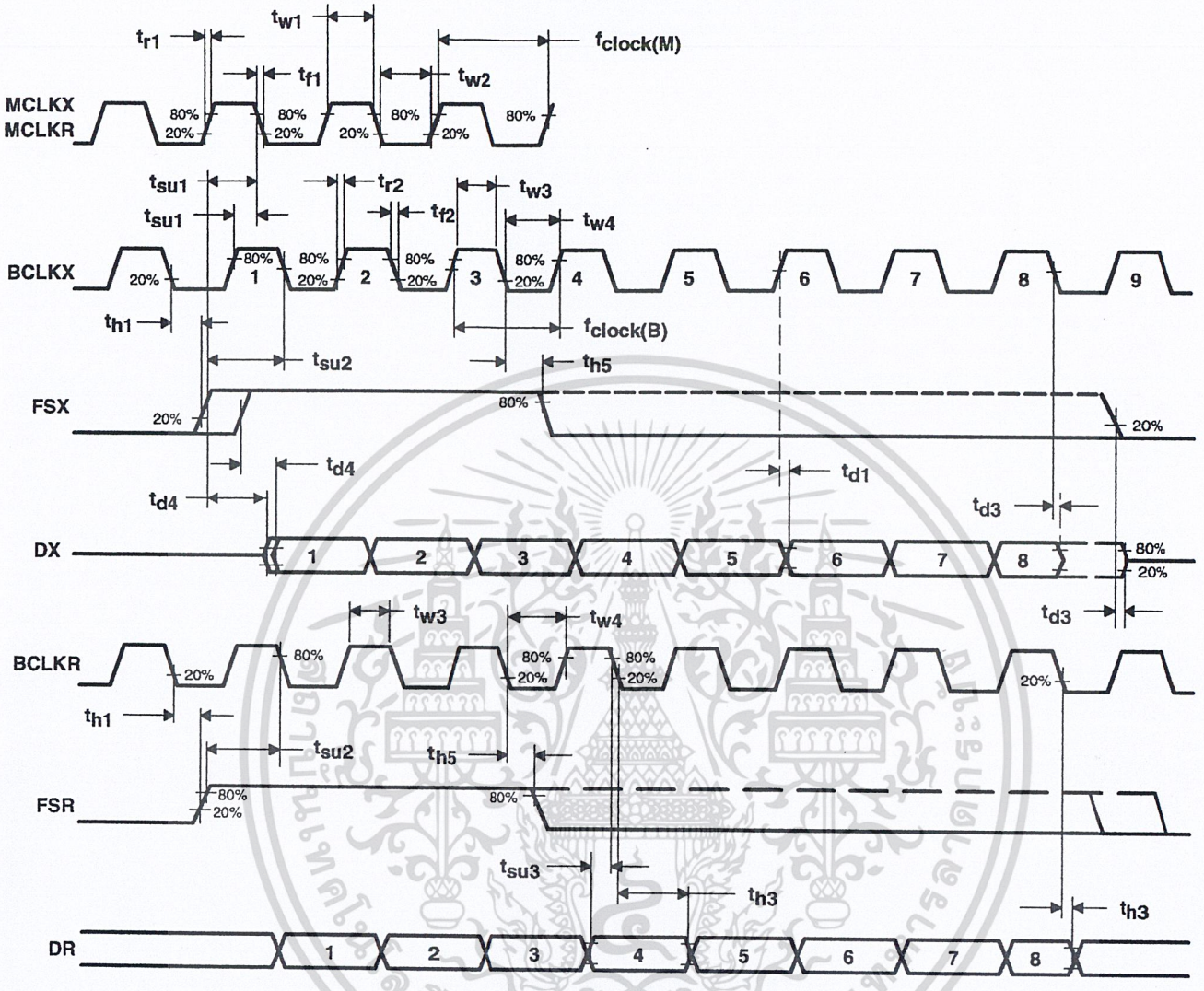


Figure 2. Long-Frame Sync Timing

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PRINCIPLES OF OPERATION

system reliability and design considerations

TP305xB, TP1305xB system reliability and design considerations are described in the following paragraphs.

latch-up

Latch-up is possible in all CMOS devices. It is caused by the firing of a parasitic SCR that is present due to the inherent nature of CMOS. When a latch-up occurs, the device draws excessive amounts of current and will continue to draw heavy current until power is removed. Latch-up can result in permanent damage to the device if supply current to the device is not limited.

Even though the TP305xB and TP1305xB devices are heavily protected against latch-up, it is still possible to cause latch-up under certain conditions in which excess current is forced into or out of one or more terminals. Latch-up can occur when the positive supply voltage drops momentarily below ground, when the negative supply voltage rises momentarily above ground, or possibly if a signal is applied to a terminal after power has been applied but before the ground is connected. This can happen if the device is hot-inserted into a card with the power applied, or if the device is mounted on a card that has an edge connector and the card is hot-inserted into a system with the power on.

To help ensure that latch-up does not occur, it is considered good design practice to connect a reverse-biased Schottky diode (with a forward voltage drop of less than or equal to 0.4 V – 1N5711 or equivalent) between the power supply and GND (see Figure 3). If it is possible that a TP305xB- or TP1305xB-equipped card that has an edge connector could be hot-inserted into a powered-up system, it is also important to ensure that the ground edge connector traces are longer than the power and signal traces so that the card ground is always the first to make contact.

device power-up sequence

Latch-up can also occur if a signal source is connected without the device being properly grounded. A signal applied to one terminal could then find a ground through another signal terminal on the device. To ensure proper operation of the device and as a safeguard against this sort of latch-up, it is recommended that the following power-up sequence always be used:

1. Ensure that no signals are applied to the device before the power-up sequence is complete.
2. Connect GND.
3. Apply V_{BB} (most negative voltage).
4. Apply V_{CC} (most positive voltage).
5. Force a power down condition in the device.
6. Connect clocks.
7. Release the power down condition.
8. Apply FS synchronization pulses.
9. Apply the signal inputs.

When powering down the device, this procedure should be followed in the reverse order.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PRINCIPLES OF OPERATION

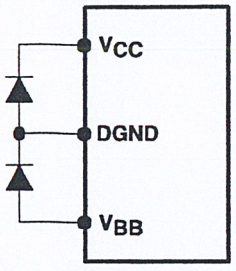


Figure 3. Latch-Up Protection Diode Connection

internal sequencing

Power-on reset circuitry initializes the TP3054B, TP3057B, TP13054B, and TP13057B devices when power is first applied, placing it into the power-down mode. DX and VFRO outputs go into high-impedance states and all nonessential circuitry is disabled. A low level or clock applied to MCLKR/PDN powers up the device and activates all circuits. DX, a 3-state PCM data output, remains in the high-impedance state until the arrival of the second FSX pulse.

synchronous operation

For synchronous operation, a clock is applied to MCLKX. MCLKR/PDN is used as a power-down control. A low level on MCLKR powers up the device and a high level powers it down. In either case, MCLKX is selected as the master clock for both receive and transmit direction. BCLKX must also have a bit clock applied to it. The selection of the proper internal divider for a master-clock frequency of 1.536 MHz, 1.544 MHz, or 2.048 MHz can be done via BCLKR/CLKSEL. The device automatically compensates for the 193rd clock pulse of each frame.

A fixed level on BCLKR/CLKSEL selects BCLKX as the bit clock for both the transmit and receive directions. Table 1 indicates the frequencies of operation that can be selected depending on the state of BCLKR/CLKSEL. In the synchronous mode, BCLKX may be in the range from 64 kHz to 2.048 MHz but must be synchronous with MCLKX.

Table 1. Selection of Master-Clock Frequencies

BCLKR/CLKSEL	MASTER-CLOCK FREQUENCY SELECTED	
	TP13054B, TP3054B	TP13057B, TP3057B
Clock Input	1.536 MHz or 1.544 MHz	2.048 MHz
Logic Input L (sync mode only)	2.048 MHz	1.536 MHz or 1.544 MHz
Logic Input H (open) (sync mode only)	1.536 MHz or 1.544 MHz	2.048 MHz

The encoding cycle begins with each FSX pulse, and the PCM data from the previous cycle is shifted out of the enabled DX output on the rising edge of BCLKX. After eight bit-clock periods, the 3-state DX output is returned to the high-impedance state. With an FSR pulse, PCM data is latched via DR on the falling edge of BCLKX (or BCLKR, if running). FSX and FSR must be synchronous with MCLKX and MCLKR.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PRINCIPLES OF OPERATION

asynchronous operation

For asynchronous operation, separate transmit and receive clocks can be applied. MCLKX and MCLKR must be 2.048 MHz for the TP3057B and TP13057B, 1.536 MHz or 1.544 MHz for the TP3054B and TP13054B and need not be synchronous. However, for best performance, MCLKR should be synchronous with MCLKX. This is easily achieved by applying only static logic levels to MCLKR/PDN. This connects MCLKX to all internal MCLKR functions. For 1.544-MHz operation, the device compensates for the 193rd clock pulse of each frame. Each encoding cycle is started with FSX and FSX must be synchronous with MCLKX and BCLKX. Each decoding cycle is started with FSR and FSR must be synchronous with BCLKR. The logic levels shown in Table 1 are not valid in the asynchronous mode. BCLKX and BCLKR can operate from 64 kHz to 2.048 MHz.

short-frame sync operation

The device can operate with either a short- or a long-frame sync pulse. On power up, the device automatically goes into the short-frame mode where both FSX and FSR must be one bit-clock period long with timing relationships specified in Figure 1. With FSX high during a falling edge of BCLKX, the next rising edge of BCLKX enables the 3-state output buffer, DX, which outputs the sign bits. The remaining seven bits are clocked out on the following seven rising edges and the next falling edge disables DX. With FSR high during a falling edge of BCLKR (BCLKX in synchronous mode), the next falling edge of BCLKR latches in the sign bit. The following seven falling edges latch in the seven remaining bits. The short-frame sync pulse may be utilized in either the synchronous or asynchronous mode.

long-frame sync operation

Both FSX and FSR must be three or more bit-clock periods long to use the long-frame sync mode with timing relationships as shown in Figure 2. Using the transmit frame sync (FSX), the device detects whether a short- or long-frame sync pulse is being used. For 64-kHz operation, the frame-sync pulse must be kept low for a minimum of 160 ns. The rising edge of FSX or BCLKX, which ever occurs later, enables the DX 3-state output buffer. The first bit clocked out is the sign bit. The next seven rising edges of BCLKX edges clock out the remaining seven bits. The falling edge of BCLKX following the eighth rising edge or FSX going low, whichever occurs later, disables DX. A rising edge on FSR, the receive-frame sync pulse, causes the PCM data at DR to be latched in on the next eight falling edges of BCLKR (BCLKX in synchronous mode). The long-frame sync pulse can be utilized in either the synchronous or asynchronous mode.

transmit section

The transmit section input is an operational amplifier with provision for gain adjustment using two external resistors. The low noise and wide bandwidth characteristics of these devices provide gains in excess of 20 dB across the audio passband. The operational amplifier drives a unity-gain filter consisting of an RC active prefilter followed by an eighth-order switched-capacitor band-pass filter clocked at 256 kHz. The output of this filter directly drives the encoder sample-and-hold circuit. As per μ-law (TP3054B and TP13054B) or A-law (TP3057B and TP13057B) coding conventions, the ADC is a companding type. A precision voltage reference provides a nominal input overload of 2.5 V peak. The sampling of the filter output is controlled by the FSX frame-sync pulse. Then the successive-approximation encoding cycle begins. The 8-bit code is loaded into a buffer and shifted out through DX at the next FSX pulse. The total encoding delay is approximately 290 μs. Any offset voltage due to the filters or comparator is cancelled by sign-bit integration.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PRINCIPLES OF OPERATION

receive section

The receive section consists of an expanding DAC that drives a fifth-order low-pass filter clocked at 256 kHz. The decoder is μ-law (TP3054B and TP13054B) or A-law (TP3057B and TP13057B) and the fifth-order low-pass filter corrects for the (sin x)/x attenuation caused by the 8-kHz sample/hold. The filter is followed by a second-order RC active post-filter/power amplifier capable of driving a 600-Ω load to a level of 7.2 dBm. The receive section is unity gain. At FSR, the data at DR is clocked in on the falling edge of the next eight BCLKR (BCLKX) periods. At the end of the decoder time slot, the decoding cycle begins and 10 μs later, the decoder DAC output is updated. The decoder delay is about 10 μs (decoder update) plus 110 μs (filter delay) plus 62.5 μs (1/2 frame), or a total of approximately 180 μs.

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

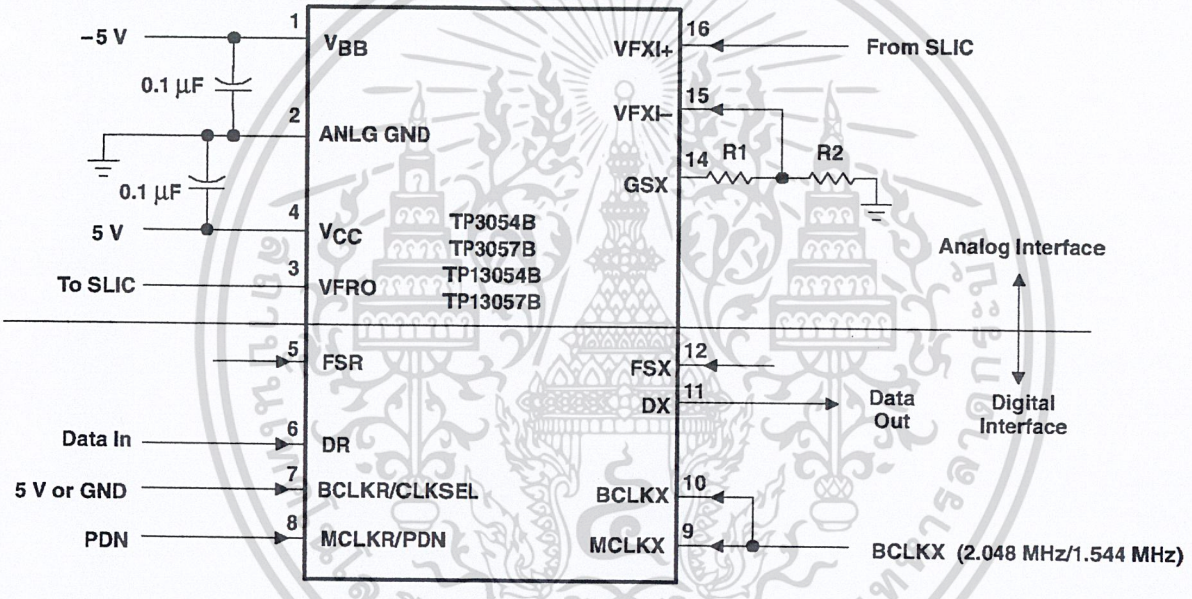
APPLICATION INFORMATION

power supplies

While the pins of the TP1305xB and TP305xB families are well protected against electrical misuse, it is recommended that the standard CMOS practice be followed, ensuring that ground is connected to the device before any other connections are made. In applications where the printed-circuit board can be plugged into a hot socket with power and clocks already present, an extra long ground pin in the connector should be used.

All ground connections to each device should meet at a common point as close as possible to ANLG GND. This minimizes the interaction of ground return currents flowing through a common bus impedance. V_{CC} and V_{BB} supplies should be decoupled by connecting 0.1-µF decoupling capacitors to this common point. These bypass capacitors must be connected as close as possible to V_{CC} and V_{BB}.

For best performance, the ground point of each codec/filter on a card should be connected to a common card ground in star formation, rather than via a ground bus. This common ground point should be decoupled to V_{CC} and V_{BB} with 10-µF capacitors.



NOTE A: Transmit gain = 20 log $\left(\frac{R1 + R2}{R2}\right)$, (R1 + R2) ≥ 10 kΩ

Figure 4. Typical Synchronous Application

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

IMPORTANT NOTICE

Texas Instruments and its subsidiaries (TI) reserve the right to make changes to their products or to discontinue any product or service without notice, and advise customers to obtain the latest version of relevant information to verify, before placing orders, that information being relied on is current and complete. All products are sold subject to the terms and conditions of sale supplied at the time of order acknowledgement, including those pertaining to warranty, patent infringement, and limitation of liability.

TI warrants performance of its semiconductor products to the specifications applicable at the time of sale in accordance with TI's standard warranty. Testing and other quality control techniques are utilized to the extent TI deems necessary to support this warranty. Specific testing of all parameters of each device is not necessarily performed, except those mandated by government requirements.

CERTAIN APPLICATIONS USING SEMICONDUCTOR PRODUCTS MAY INVOLVE POTENTIAL RISKS OF DEATH, PERSONAL INJURY, OR SEVERE PROPERTY OR ENVIRONMENTAL DAMAGE ("CRITICAL APPLICATIONS"). TI SEMICONDUCTOR PRODUCTS ARE NOT DESIGNED, AUTHORIZED, OR WARRANTED TO BE SUITABLE FOR USE IN LIFE-SUPPORT DEVICES OR SYSTEMS OR OTHER CRITICAL APPLICATIONS. INCLUSION OF TI PRODUCTS IN SUCH APPLICATIONS IS UNDERSTOOD TO BE FULLY AT THE CUSTOMER'S RISK.

In order to minimize risks associated with the customer's applications, adequate design and operating safeguards must be provided by the customer to minimize inherent or procedural hazards.

TI assumes no liability for applications assistance or customer product design. TI does not warrant or represent that any license, either express or implied, is granted under any patent right, copyright, mask work right, or other intellectual property right of TI covering or relating to any combination, machine, or process in which such semiconductor products or services might be or are used. TI's publication of information regarding any third party's products or services does not constitute TI's approval, warranty or endorsement thereof.

Copyright © 1998, Texas Instruments Incorporated

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC54/74HC74A

Advance Information

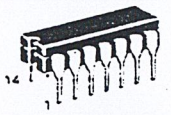
Dual D Flip-Flop with Set and Reset

High-Performance Silicon-Gate CMOS

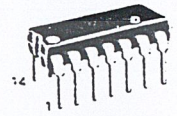
The MC54/74HC74A is identical in pinout to the LS74. The device inputs are compatible with standard CMOS outputs; with pullup resistors, they are compatible with LSTTL outputs.

This device consists of two D flip-flops with individual Set, Reset, and Clock inputs. Information at a D-input is transferred to the corresponding Q output on the next positive going edge of the clock input. Both Q and $\overline{Q}$ outputs are available from each flip-flop. The Set and Reset inputs are asynchronous.

- Output Drive Capability: 10 LSTTL Loads
- Outputs Directly Interface to CMOS, NMOS, and TTL
- Operating Voltage Range: 2.0 to 6.0 V
- Low Input Current: 1.0 μA
- High Noise Immunity Characteristic of CMOS Devices
- In Compliance with the Requirements Defined by JEDEC Standard No. 7A
- Chip Complexity: 128 FETs or 32 Equivalent Gates
- Improvements over HC74
  - Improved Propagation Delays
  - 50% Lower Quiescent Power
  - Improved Input Noise and Latchup Immunity



J SUFFIX
CERAMIC
CASE 632-08



N SUFFIX
PLASTIC
CASE 646-06

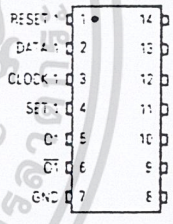
D SUFFIX
SOIC
CASE 751A-02

ORDERING INFORMATION

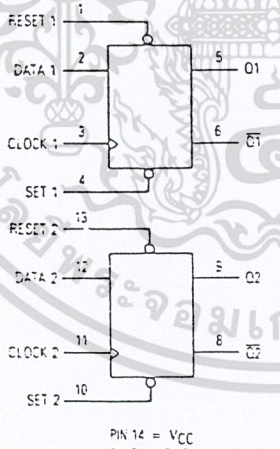
MC74HCXXAN	Plastic
MC54HCXXAJ	Ceramic
MC74HCXXAD	SOIC

T_A = −55° to 125°C for all packages.
Dimensions in Chapter 6.

PIN ASSIGNMENT



LOGIC DIAGRAM



PIN 14 = V_{CC}
PIN 7 = GND

FUNCTION TABLE

Inputs				Outputs	
Set	Reset	Clock	Data	Q	$\overline{Q}$
L	H	X	X	H	L
H	L	X	X	L	H
L	L	X	X	H*	H*
H	H	↑	H	H	L
H	H	↑	L	L	H
H	H	L	X	No Change	
H	H	H	X	No Change	
H	H	↓	X	No Change	

*Both outputs will remain high as long as Set and Reset are low, but the output states are unpredictable if Set and Reset go high simultaneously.

This document contains information on a new product.
Specifications and information herein are subject to change without notice.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MAXIMUM RATINGS*

Symbol	Parameter	Value	Unit
V_{CC}	DC Supply Voltage (Referenced to GND)	− 0.5 to + 7.0	V
V_{in}	DC Input Voltage (Referenced to GND)	− 1.5 to V_{CC} + 1.5	V
V_{out}	DC Output Voltage (Referenced to GND)	− 0.5 to V_{CC} + 0.5	V
I_{in}	DC Input Current, per Pin	± 20	mA
I_{out}	DC Output Current, per Pin	± 25	mA
I_{CC}	DC Supply Current, V_{CC} and GND Pins	± 50	mA
P_D	Power Dissipation in Still Air, Plastic or Ceramic DIP SOIC Package	750 500	mW
T_{stg}	Storage Temperature	− 65 to + 150	°C
T_L	Lead Temperature, 1 mm from Case for 10 Seconds (Plastic DIP or SOIC Package) (Ceramic DIP)	 260 300	°C

*Maximum Ratings are those values beyond which damage to the device may occur. Functional operation should be restricted to the Recommended Operating Conditions.

This device contains protection circuitry to guard against damage due to high static voltages or electric fields. However, precautions must be taken to avoid applications of any voltage higher than maximum rated voltages to this high-impedance circuit. For proper operation, V_{in} and V_{out} should be constrained to the range GND ≤ (V_{in} or V_{out}) ≤ V_{CC}.

Unused inputs must always be tied to an appropriate logic voltage level (e.g., either GND or V_{CC}). Unused outputs must be left open.

RECOMMENDED OPERATING CONDITIONS

Symbol	Parameter		Min	Max	Unit
V_{CC}	DC Supply Voltage (Referenced to GND)		2.0	6.0	V
V_{in}, V_{out}	DC Input Voltage, Output Voltage (Referenced to GND)		0	V_{CC}	V
T_A	Operating Temperature, All Package Types		− 55	+ 125	°C
t_r, t_f	Input Rise and Fall Time (Figure 1)	V_{CC} = 2.0 V	0	1000	ns
		V_{CC} = 4.5 V	0	500	
		V_{CC} = 6.0 V	0	400	

DC ELECTRICAL CHARACTERISTICS (Voltages Referenced to GND)

Symbol	Parameter	Test Conditions	V_{CC} V	Guaranteed Limit			Unit
				25°C to − 55°C	≤ 85°C	≤ 125°C	
V_{IH}	Minimum High-Level Input Voltage	V_{out} = 0.1 V or V_{CC} − 0.1 V $\|I_{out}\|$ ≤ 20 μA	2.0 4.5 6.0	1.5 3.15 4.2	1.5 3.15 4.2	1.5 3.15 4.2	V
V_{IL}	Maximum Low-Level Input Voltage	V_{out} = 0.1 V or V_{CC} − 0.1 V $\|I_{out}\|$ ≤ 20 μA	2.0 4.5 6.0	0.5 1.35 1.8	0.5 1.35 1.8	0.5 1.35 1.8	V
V_{OH}	Minimum High-Level Output Voltage	V_{in} = V_{IH} or V_{IL} $\|I_{out}\|$ ≤ 20 μA	2.0 4.5 6.0	1.9 4.4 5.9	1.9 4.4 5.9	1.9 4.4 5.9	V
		V_{in} = V_{IH} or V_{IL} $\|I_{out}\|$ ≤ 4.0 mA $\|I_{out}\|$ ≤ 5.2 mA	4.5 6.0	3.98 5.48	3.84 5.34	3.7 5.2	
V_{OL}	Maximum Low-Level Output Voltage	V_{in} = V_{IH} or V_{IL} $\|I_{out}\|$ ≤ 20 μA	2.0 4.5 6.0	0.1 0.1 0.1	0.1 0.1 0.1	0.1 0.1 0.1	V
		V_{in} = V_{IH} or V_{IL} $\|I_{out}\|$ ≤ 4.0 mA $\|I_{out}\|$ ≤ 5.2 mA	4.5 6.0	0.26 0.26	0.33 0.33	0.4 0.4	
I_{in}	Maximum Input Leakage Current	V_{in} = V_{CC} or GND	6.0	± 0.1	± 1.0	± 1.0	μA
I_{CC}	Maximum Quiescent Supply Current (per Package)	V_{in} = V_{CC} = GND I_{out} = 0 μA	6.0	2.0	20	80	μA

5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC ELECTRICAL CHARACTERISTICS (C_L = 50 pF, Input $t_r = t_f$ = 6.0 ns)

Symbol	Parameter	V_{CC} V	Guaranteed Limit			Unit
			25°C to −55°C	≤85°C	≤125°C	
f_{max}	Maximum Clock Frequency (50% Duty Cycle) (Figures 1 and 4)	2.0 4.5 6.0	6.0 30 35	4.8 24 28	4.0 20 24	MHz
t_{PLH}, t_{PHL}	Maximum Propagation Delay, Clock to C or $\overline{Q}$ (Figures 1 and 4)	2.0 4.5 6.0	100 20 17	125 25 21	150 30 26	ns
t_{PLH}, t_{PHL}	Maximum Propagation Delay, Set or Reset to Q or $\overline{Q}$ (Figures 2 and 4)	2.0 4.5 6.0	105 21 18	130 26 22	160 32 27	ns
t_{TLH}, t_{THL}	Maximum Output Transition Time, Any Output (Figures 1 and 4)	2.0 4.5 6.0	75 15 13	95 19 16	110 22 19	ns
C_{in}	Maximum Input Capacitance	—	10	10	10	pF

C_{PD}	Power Dissipation Capacitance (Per Flip-Flop) Used to determine the no-load dynamic power consumption: $P_D = C_{PD} V_{CC}^2 f + I_{CC} V_{CC}$	Typical @ 25°C, V_{CC} = 5.0 V 39	pF

TIMING REQUIREMENTS (Input $t_r = t_f$ = 6.0 ns)

Symbol	Parameter	V_{CC} V	Guaranteed Limit			Unit
			25°C to −55°C	≤85°C	≤125°C	
t_{su}	Minimum Setup Time, Data to Clock (Figure 3)	2.0 4.5 6.0	80 16 14	100 20 17	120 24 20	ns
t_h	Minimum Hold Time, Clock to Data (Figure 3)	2.0 4.5 6.0	3.0 3.0 3.0	3.0 3.0 3.0	3.0 3.0 3.0	ns
t_{rec}	Minimum Recovery Time, Set or Reset Inactive to Clock (Figure 2)	2.0 4.5 6.0	8.0 8.0 8.0	8.0 8.0 8.0	8.0 8.0 8.0	ns
t_w	Minimum Pulse Width, Clock (Figure 1)	2.0 4.5 6.0	60 12 10	75 15 13	90 18 15	ns
t_w	Minimum Pulse Width, Set or Reset (Figure 2)	2.0 4.5 6.0	60 12 10	75 15 13	90 18 15	ns
t_r, t_f	Maximum Input Rise and Fall Times (Figure 1)	2.0 4.5 6.0	1000 500 400	1000 500 400	1000 500 400	ns

5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SWITCHING WAVEFORMS

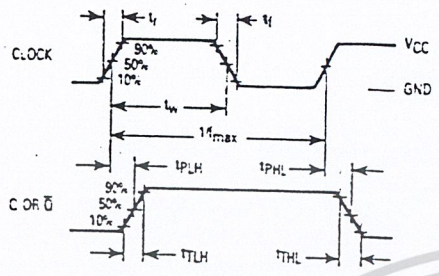


Figure 1.

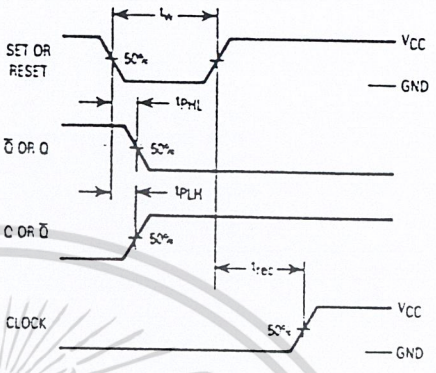


Figure 2.

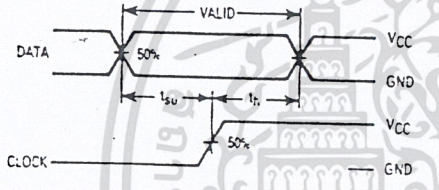
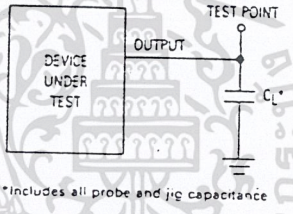


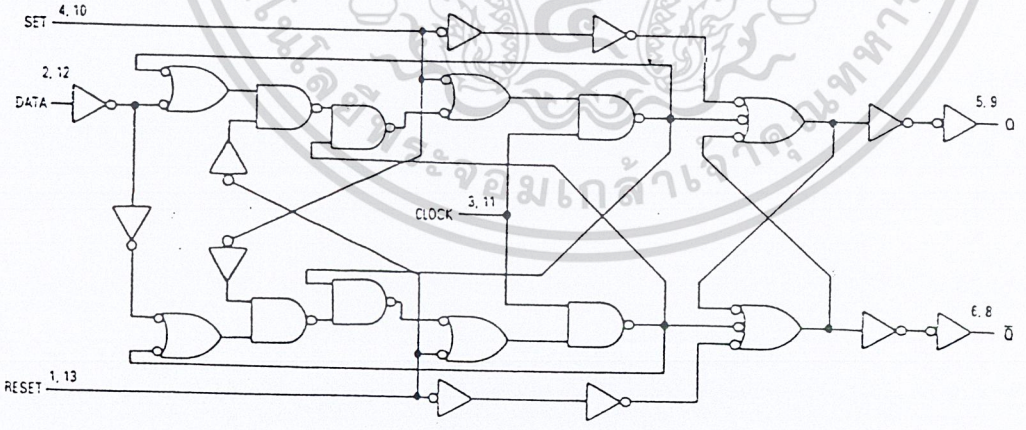
Figure 3.



*Includes all probe and jig capacitance

Figure 4.

EXPANDED LOGIC DIAGRAM



5

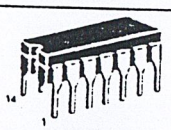
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC54/74HC86

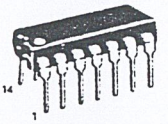
Quad 2-Input Exclusive OR Gate
High-Performance Silicon-Gate CMOS

The MC54/74HC86 is identical in pinout to the LS86; this device is similar in function to the MM74C86 and L86, but has a different pinout. The device inputs are compatible with standard CMOS outputs; with pullup resistors, they are compatible with LSTTL outputs.

- Output Drive Capability: 10 LSTTL Loads
- Outputs Directly Interface to CMOS, NMOS, and TTL
- Operating Voltage Range: 2 to 6 V
- Low Input Current: 1 μA
- High Noise Immunity Characteristic of CMOS Devices
- In Compliance with the Requirements Defined by JEDEC Standard No. 7A
- Chip Complexity: 56 FETs or 14 Equivalent Gates



J SUFFIX
CERAMIC
CASE 632-08



N SUFFIX
PLASTIC
CASE 646-06

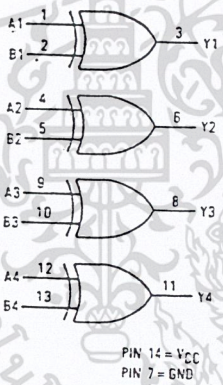
D SUFFIX
SOIC
CASE 751A-02

ORDERING INFORMATION

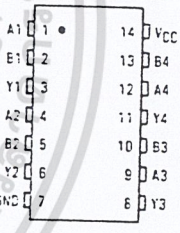
MC74HCXXN	Plastic
MC54HCXXJ	Ceramic
MC74HCXXD	SOIC

T_A = −55° to 125°C for all packages.
Dimensions in Chapter 6.

LOGIC DIAGRAM



PIN ASSIGNMENT



FUNCTION TABLE

Inputs		Output
A	B	Y
L	L	L
L	H	H
H	L	H
H	H	L

5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MAXIMUM RATINGS*

Symbol	Parameter	Value	Unit
V_{CC}	DC Supply Voltage (Referenced to GND)	−0.5 to +7.0	V
V_{in}	DC Input Voltage (Referenced to GND)	−1.5 to V_{CC} +1.5	V
V_{out}	DC Output Voltage (Referenced to GND)	−0.5 to V_{CC} +0.5	V
I_{in}	DC Input Current, per Pin	±20	mA
I_{out}	DC Output Current, per Pin	±25	mA
I_{CC}	DC Supply Current, V_{CC} and GND Pins	±50	mA
P_D	Power Dissipation in Still Air, Plastic or Ceramic DIP† SOIC Package†	750 500	mW
T_{stg}	Storage Temperature	−65 to +150	°C
T_L	Lead Temperature, 1 mm from Case for 10 Seconds (Plastic DIP or SOIC Package) (Ceramic DIP)	260 300	°C

This device contains protection circuitry to guard against damage due to high static voltages or electric fields. However, precautions must be taken to avoid applications of any voltage higher than maximum rated voltages to this high-impedance circuit. For proper operation, V_{in} and V_{out} should be constrained to the range GND ≤ (V_{in} or V_{out}) ≤ V_{CC}.

Unused inputs must always be tied to an appropriate logic voltage level (e.g., either GND or V_{CC}). Unused outputs must be left open.

* Maximum Ratings are those values beyond which damage to the device may occur. Functional operation should be restricted to the Recommended Operating Conditions.

† Derating — Plastic DIP: −10 mW/°C from 65° to 125°C
Ceramic DIP: −10 mW/°C from 100° to 125°C
SOIC Package: −7 mW/°C from 65° to 125°C
For high frequency or heavy load considerations, see Chapter 4.

RECOMMENDED OPERATING CONDITIONS

Symbol	Parameter		Min	Max	Unit
V_{CC}	DC Supply Voltage (Referenced to GND)		2.0	6.0	V
V_{in}, V_{out}	DC Input Voltage, Output Voltage (Referenced to GND)		0	V_{CC}	V
T_A	Operating Temperature, All Package Types		−55	+125	°C
t_r, t_f	Input Rise and Fall Time (Figure 1)	V_{CC} = 2.0 V	0	1000	ns
		V_{CC} = 4.5 V	0	500	
		V_{CC} = 6.0 V	0	400	

DC ELECTRICAL CHARACTERISTICS (Voltages Referenced to GND)

Symbol	Parameter	Test Conditions		V_{CC} V	Guaranteed Limit 25°C to −55°C	Guaranteed Limit ≤85°C	Guaranteed Limit ≤125°C	Unit
V_{IH}	Minimum High-Level Input Voltage	V_{out} = 0.1 V or V_{CC} − 0.1 V |I_{out}| ≤ 20 μA		2.0	1.5	1.5	1.5	V
				4.5	3.15	3.15	3.15	
				6.0	4.2	4.2	4.2	
V_{IL}	Maximum Low-Level Input Voltage	V_{out} = 0.1 V or V_{CC} − 0.1 V |I_{out}| ≤ 20 μA		2.0	0.3	0.3	0.3	V
				4.5	0.9	0.9	0.9	
				6.0	1.2	1.2	1.2	
V_{OH}	Minimum High-Level Output Voltage	V_{in} = V_{IH} or V_{IL} |I_{out}| ≤ 20 μA		2.0	1.9	1.9	1.9	V
				4.5	4.4	4.4	4.4	
				6.0	5.9	5.9	5.9	
		V_{in} = V_{IH} or V_{IL}	|I_{out}| ≤ 4.0 mA	4.5	3.98	3.84	3.70	
			|I_{out}| ≤ 5.2 mA	6.0	5.48	5.34	5.20	
V_{OL}	Maximum Low-Level Output Voltage	V_{in} = V_{IH} or V_{IL} |I_{out}| ≤ 20 μA		2.0	0.1	0.1	0.1	V
				4.5	0.1	0.1	0.1	
				6.0	0.1	0.1	0.1	
		V_{in} = V_{IH} or V_{IL}	|I_{out}| ≤ 4.0 mA	4.5	0.26	0.33	0.40	
			|I_{out}| ≤ 5.2 mA	6.0	0.26	0.33	0.40	
I_{in}	Maximum Input Leakage Current	V_{in} = V_{CC} or GND		6.0	±0.1	±1.0	±1.0	μA
I_{CC}	Maximum Quiescent Supply Current (per Package)	V_{in} = V_{CC} or GND I_{out} = 0 μA		6.0	2	20	40	μA

NOTE: Information on typical parametric values can be found in Chapter 4.

5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC ELECTRICAL CHARACTERISTICS (C_L = 50 pF, Input $t_r = t_f$ = 6 ns)

Symbol	Parameter	V_{CC} V	Guaranteed Limit			Unit
			25°C to −55°C	≤85°C	≤125°C	
t_{PLH}, t_{PHL}	Maximum Propagation Delay, Input A or B to Output Y (Figures 1 and 2)	2.0	120	150	180	ns
		4.5	24	30	36	
		6.0	20	26	31	
t_{TLH}, t_{THL}	Maximum Output Transition Time, Any Output (Figures 1 and 2)	2.0	75	95	110	ns
		4.5	15	19	22	
		6.0	13	16	19	
C_{in}	Maximum Input Capacitance	—	10	10	10	pF

NOTES:
1. For propagation delays with loads other than 50 pF, see Chapter 4.
2. Information on typical parametric values can be found in Chapter 4.

C_{PD}	Power Dissipation Capacitance (Per Gate) Used to determine the no-load dynamic power consumption: $P_D = C_{PD} V_{CC}^2 f + I_{CC} V_{CC}$ For load considerations, see Chapter 4.	Typical @ 25°C, V_{CC} = 5.0 V	pF
		33	

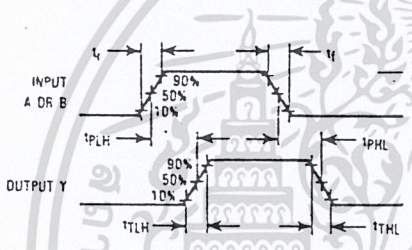


Figure 1. Switching Waveforms

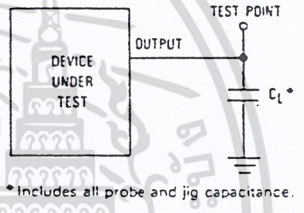
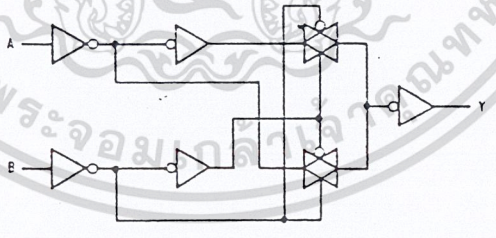


Figure 2. Test Circuit

5

EXPANDED LOGIC DIAGRAM
(¼ of Device)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

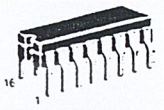
MC54/74HC160
MC54/74HC161
MC54/74HC162
MC54/74HC163

Presettable Counters
High-Performance Silicon-Gate CMOS

The MC54/74HC160 through HC163 are identical in pinout to the LS160 through LS163, respectively. The device inputs are compatible with standard CMOS outputs; with pullup resistors, they are compatible with LSTTL outputs.

The HC160 and HC162 are programmable BCD counters with asynchronous and synchronous Reset inputs, respectively. The HC161 and HC163 are programmable 4-bit binary counters with asynchronous and synchronous reset, respectively.

- Output Drive Capability: 10 LSTTL Loads
- Outputs Directly Interface to CMOS, NMOS, and TTL
- Operating Voltage Range: 2 to 6 V
- Low Input Current: 1 μA
- High Noise Immunity Characteristic of CMOS Devices
- In Compliance with the Requirements Defined by JEDEC Standard No. 7A
- Chip Complexity: 234 FETs or 58.5 Equivalent Gates



J SUFFIX
CERAMIC
CASE 620-09

N SUFFIX
PLASTIC
CASE 648-06

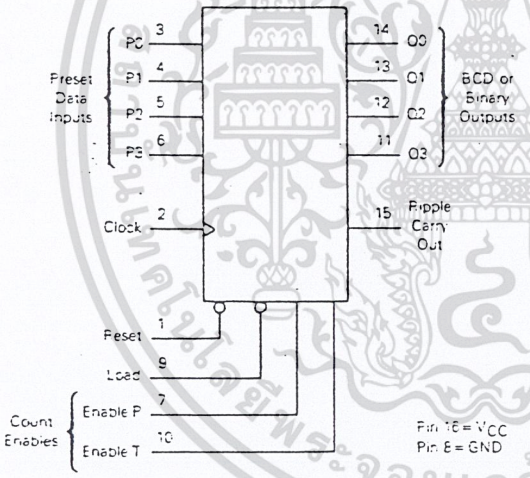
D SUFFIX
SOIC
CASE 751B-03

ORDERING INFORMATION

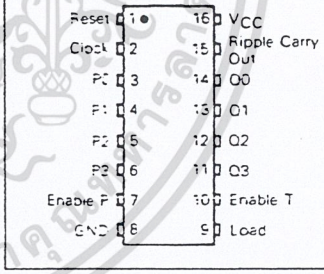
MC74HCXXXN	Plastic
MC54HCXXXJ	Ceramic
MC74HCXXXD	SOIC

T_A = −55° to 125°C for all packages.
Dimensions in Chapter 6.

LOGIC DIAGRAM



PIN ASSIGNMENT



Device	Count Mode	Reset Mode
HC160	BCD	Asynchronous
HC161	Binary	Asynchronous
HC162	BCD	Synchronous
HC163	Binary	Synchronous

FUNCTION TABLE

Inputs					Output
Clock	Reset*	Load	Enable P	Enable T	Q
⎍	L	X	X	X	Reset
⎍	H	L	X	X	Load Preset Data
⎍	H	H	H	H	Count
⎍	H	H	L	X	No Count
⎍	H	H	X	L	No Count

* HC162 and HC163 only. HC160 and HC161 are Asynchronous-Reset Devices

H = high level
L = low level
X = don't care

5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MAXIMUM RATINGS*

Symbol	Parameter	Value	Unit
V_{CC}	DC Supply Voltage (Referenced to GND)	−0.5 to +7.0	V
V_{in}	DC Input Voltage (Referenced to GND)	−1.5 to V_{CC} +1.5	V
V_{out}	DC Output Voltage (Referenced to GND)	−0.5 to V_{CC} −0.5	V
I_{in}	DC Input Current, per Pin	±20	mA
I_{out}	DC Output Current, per Pin	±25	mA
I_{CC}	DC Supply Current, V_{CC} and GND Pins	±50	mA
P_D	Power Dissipation in Still Air, Plastic or Ceramic DIP†	750	mW
	SOIC Package†	500	
T_{stg}	Storage Temperature	−65 to +150	°C
T_L	Lead Temperature, 1 mm from Case for 10 Seconds		°C
	(Plastic DIP or SOIC Package)	260	
	(Ceramic DIP)	300	

*Maximum Ratings are those values beyond which damage to the device may occur. Functional operation should be restricted to the Recommended Operating Conditions.

†Derating — Plastic DIP: −10 mW/°C from 65° to 125°C
Ceramic DIP: −10 mW/°C from 100° to 125°C
SOIC Package: −7 mW/°C from 65° to 125°C

For high frequency or heavy load considerations, see Chapter 4.

This device contains protection circuitry to guard against damage due to high static voltages or electric fields. However, precautions must be taken to avoid applications of any voltage higher than maximum rated voltages to this high-impedance circuit. For proper operation, V_{in} and V_{out} should be constrained to the range $GND \le (V_{in} \text{ or } V_{out}) \le V_{CC}$.

Unused inputs must always be tied to an appropriate logic voltage level (e.g., either GND or V_{CC}). Unused outputs must be left open.

RECOMMENDED OPERATING CONDITIONS

Symbol	Parameter		Min	Max	Unit
V_{CC}	DC Supply Voltage (Referenced to GND)		2.0	6.0	V
V_{in}, V_{out}	DC Input Voltage, Output Voltage (Referenced to GND)		0	V_{CC}	V
T_A	Operating Temperature, All Package Types		−55	+125	°C
t_r, t_f	Input Rise and Fall Time	V_{CC} = 2.0 V	0	1000	ns
	(Figure 1)	V_{CC} = 4.5 V	0	500	
		V_{CC} = 6.0 V	0	400	

DC ELECTRICAL CHARACTERISTICS (Voltages Referenced to GND)

Symbol	Parameter	Test Conditions	V_{CC} V	Guaranteed Limit 25°C to −55°C	Guaranteed Limit ≤85°C	Guaranteed Limit ≤125°C	Unit
V_{IH}	Minimum High-Level Input Voltage	V_{out} = 0.1 V or V_{CC} − 0.1 V; $\|I_{out}\| \le 20\ \mu A$	2.0	1.5	1.5	1.5	V
			4.5	3.15	3.15	3.15	
			6.0	4.2	4.2	4.2	
V_{IL}	Maximum Low-Level Input Voltage	V_{out} = 0.1 V or V_{CC} − 0.1 V; $\|I_{out}\| \le 20\ \mu A$	2.0	0.3	0.3	0.3	V
			4.5	0.9	0.9	0.9	
			6.0	1.2	1.2	1.2	
V_{OH}	Minimum High-Level Output Voltage	$V_{in} = V_{IH}$ or V_{IL}; $\|I_{out}\| \le 20\ \mu A$	2.0	1.9	1.9	1.9	V
			4.5	4.4	4.4	4.4	
			6.0	5.9	5.9	5.9	
		$V_{in} = V_{IH}$ or V_{IL}; $\|I_{out}\| \le 4.0$ mA	4.5	3.98	3.84	3.70	
		$\|I_{out}\| \le 5.2$ mA	6.0	5.48	5.34	5.20	
V_{OL}	Maximum Low-Level Output Voltage	$V_{in} = V_{IH}$ or V_{IL}; $\|I_{out}\| \le 20\ \mu A$	2.0	0.1	0.1	0.1	V
			4.5	0.1	0.1	0.1	
			6.0	0.1	0.1	0.1	
		$V_{in} = V_{IH}$ or V_{IL}; $\|I_{out}\| \le 4.0$ mA	4.5	0.26	0.33	0.40	
		$\|I_{out}\| \le 5.2$ mA	6.0	0.26	0.33	0.40	
I_{in}	Maximum Input Leakage Current	$V_{in} = V_{CC}$ or GND	6.0	±0.1	±1.0	±1.0	μA
I_{CC}	Maximum Quiescent Supply Current (per Package)	$V_{in} = V_{CC}$ or GND; $I_{out} = 0\ \mu A$	6.0	8	80	160	μA

NOTE: Information on typical parametric values can be found in Chapter 4.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC ELECTRICAL CHARACTERISTICS (C_L = 50 pF, Input $t_r = t_f$ = 6 ns)

Symbol	Parameter	V_{CC} V	Guaranteed Limit			Unit
			25°C to −55°C	≤ 85°C	≤ 125°C	
f_{max}	Maximum Clock Frequency (50% Duty Cycle)* (Figures 1 and 7)	2.0	6.0	4.8	4.0	MHz
		4.5	30	24	20	
		6.0	35	28	24	
t_{PLH}	Maximum Propagation Delay, Clock to Q (Figures 1 and 7)	2.0	170	215	255	ns
		4.5	34	43	51	
		6.0	29	37	43	
t_{PHL}		2.0	205	255	310	
		4.5	41	51	62	
		6.0	35	43	53	
t_{PHL}	Maximum Propagation Delay, Reset to Q (HC160 and HC161 Only) (Figures 2 and 7)	2.0	210	265	315	ns
		4.5	42	53	63	
		6.0	36	45	54	
t_{PLH}	Maximum Propagation Delay, Enable T to Ripple Carry Out (Figures 3 and 7)	2.0	160	200	240	ns
		4.5	32	40	48	
		6.0	27	34	41	
t_{PHL}		2.0	195	245	295	
		4.5	39	49	59	
		6.0	33	42	50	
t_{PLH}	Maximum Propagation Delay, Clock to Ripple Carry Out (Figures 1 and 7)	2.0	175	220	265	ns
		4.5	35	44	53	
		6.0	30	37	45	
t_{PHL}		2.0	215	270	325	
		4.5	43	54	65	
		6.0	37	46	55	
t_{PHL}	Maximum Propagation Delay, Reset to Ripple Carry Out (HC160 and HC161 Only) (Figures 2 and 7)	2.0	220	275	330	ns
		4.5	44	55	66	
		6.0	37	47	56	
t_{TLH}, t_{THL}	Maximum Output Transition Time, Any Output (Figures 1 and 7)	2.0	75	95	110	ns
		4.5	15	19	22	
		6.0	13	16	19	
C_{in}	Maximum Input Capacitance	—	10	10	10	pF

*Applies to noncascaded/nonsynchronously clocked configurations only. With synchronously cascaded counters, (1) Clock to Ripple Carry Out propagation delays, (2) Enable T or Enable P to Clock setup times, and (3) Clock to Enable T or Enable P hold times determine f_{max}. However, if Ripple Carry Out of each stage is tied to the Clock of the next stage (nonsynchronously clocked), the f_{max} in the table above is applicable. See Applications Information in this data sheet.

NOTES:
1. For propagation delays with loads other than 50 pF, see Chapter 4.
2. Information on typical parametric values can be found in Chapter 4.

C_{PD}	Power Dissipation Capacitance (Per Package) Used to determine the no-load dynamic power consumption: $P_D = C_{PD} V_{CC}^2 f + I_{CC} V_{CC}$ For load considerations, see Chapter 4.	Typical @ 25°C, V_{CC} = 5.0 V	
		60	pF

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SWITCHING WAVEFORMS

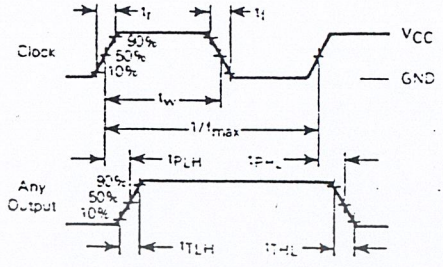


Figure 1.

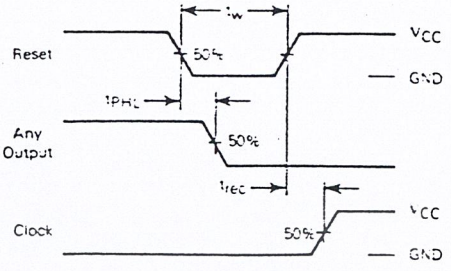


Figure 2.

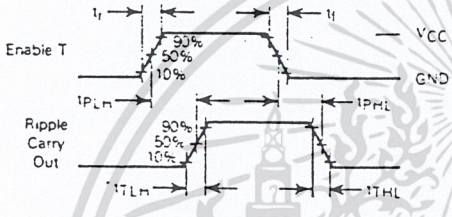


Figure 3.

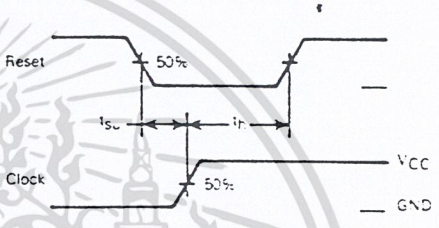


Figure 4. HC162 and HC163 Only.

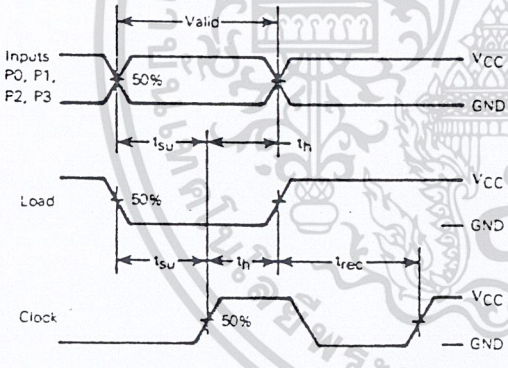


Figure 5.

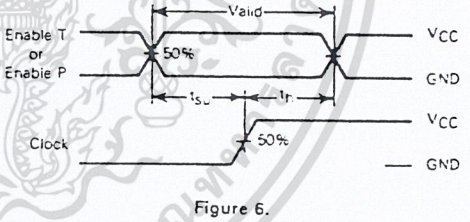
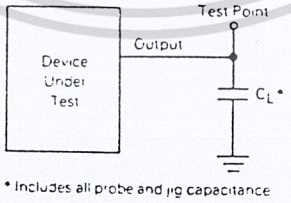


Figure 6.

TEST CIRCUIT

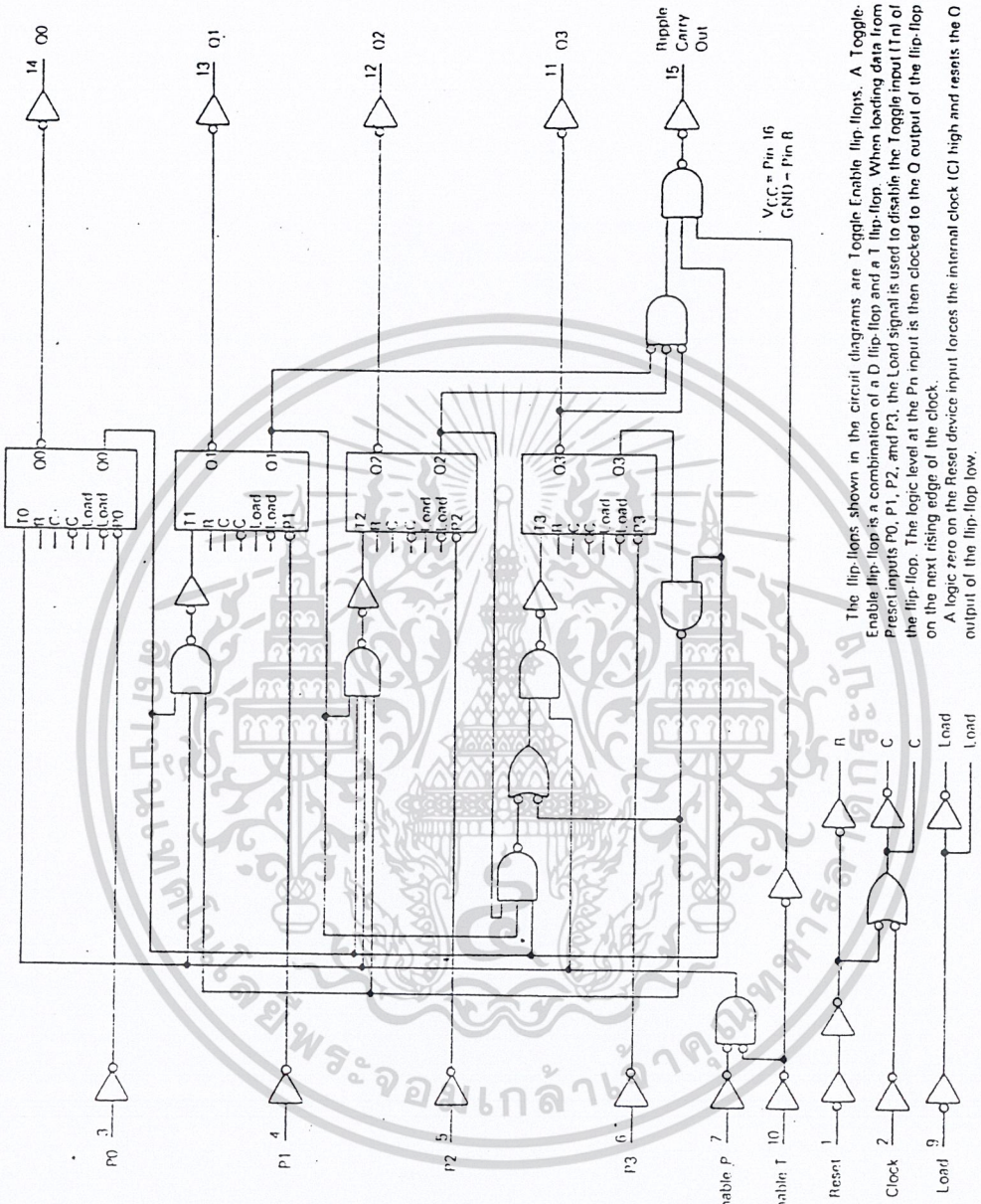


* Includes all probe and jig capacitance

Figure 7.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC54HC160 • MC74HC160
BCD Counter with Asynchronous Reset



The flip-flops shown in the circuit diagrams are Toggle Enable flip-flops. A Toggle-Enable flip-flop is a combination of a D flip-flop and a T flip-flop. When loading data from Preset inputs P0, P1, P2, and P3, the Load signal is used to disable the Toggle input (Tn) of the flip-flop. The logic level at the Pn input is then clocked to the Q output of the flip-flop on the next rising edge of the clock.

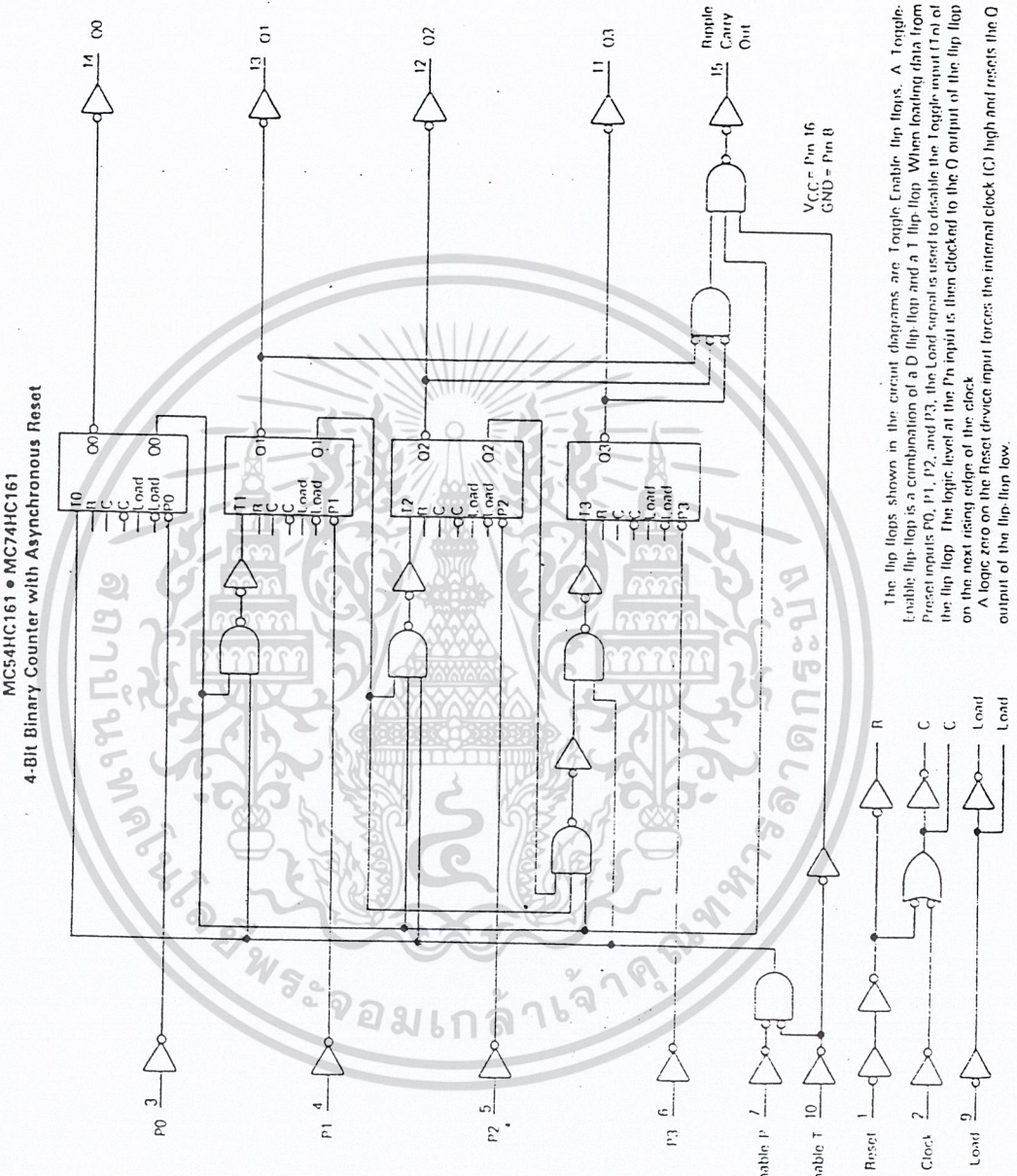
A logic zero on the Reset device input forces the internal clock (C) high and resets the Q output of the flip-flop low.

5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5

MC54HC161 • MC74HC161
4-Bit Binary Counter with Asynchronous Reset



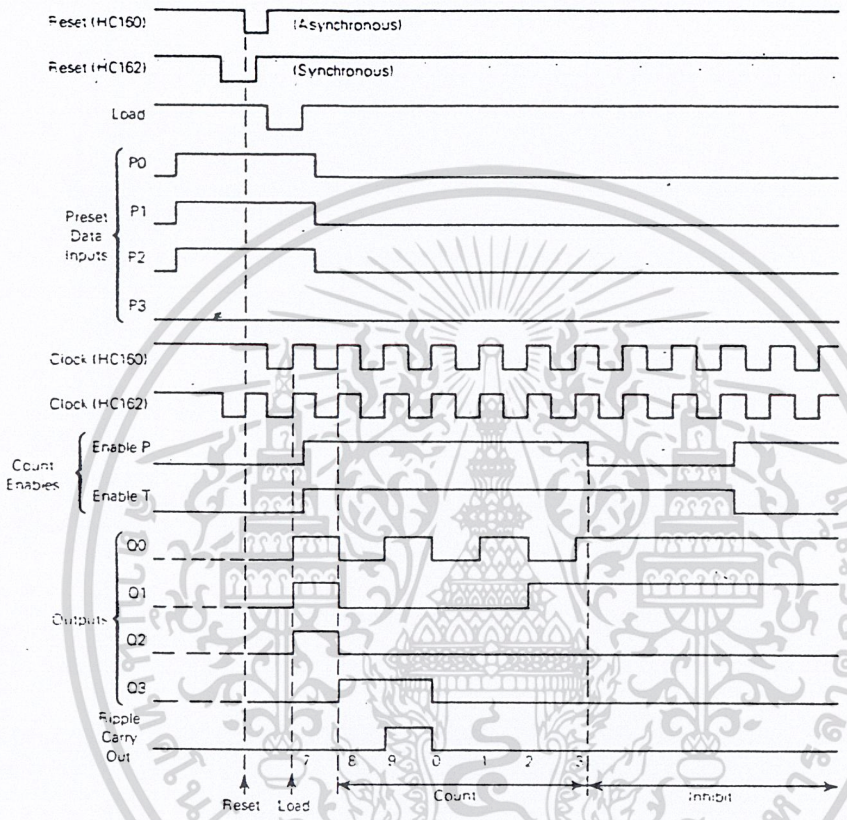
The flip flops shown in the circuit diagrams are Toggle Enable flip flops. A Toggle-Enable flip-flop is a combination of a D flip flop and a T flip flop. When loading data from Preset inputs P0, P1, P2, and P3, the Load signal is used to disable the Toggle input (T) of the flip flop. The logic level at the Pn input is then clocked to the Q output of the flip flop on the next rising edge of the clock.

A logic zero on the Reset device input forces the internal clock (C) high and resets the Q output of the flip flop low.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

HC160, HC162 TIMING DIAGRAM

Sequence illustrated in waveforms:
1. Reset outputs to zero.
2. Preset to BCD seven
3. Count to eight, nine, zero, one, two, and three.
4. Inhibit

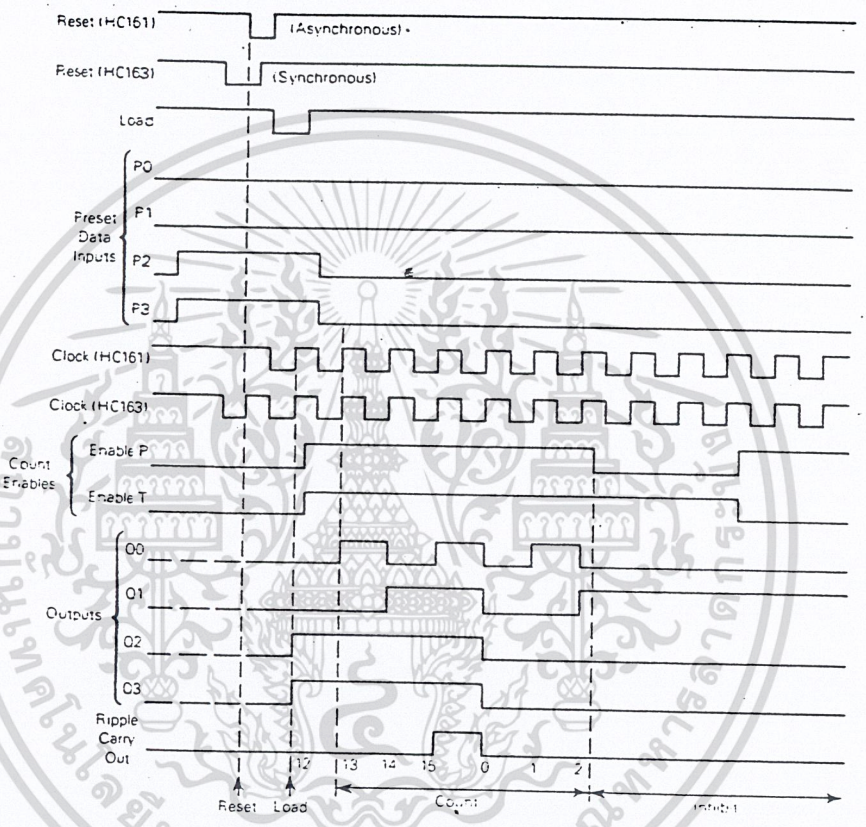


5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

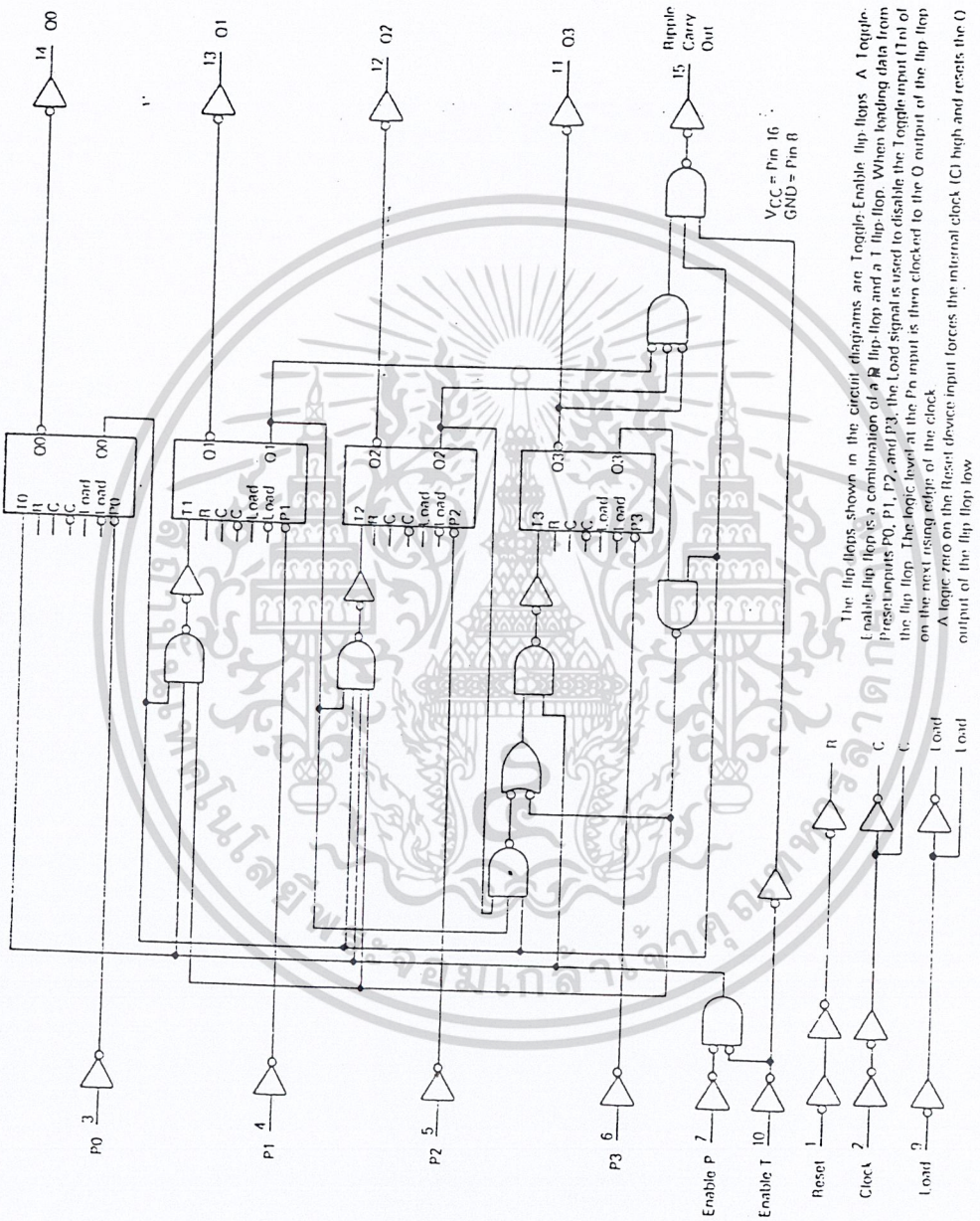
HC161, HC163 TIMING DIAGRAM

Sequence illustrated in waveforms
1. Reset outputs to zero
2. Preset to binary twelve
3. Count to thirteen, fourteen, fifteen, zero, one, and two.
4. Inhibit.



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC54HC162 • MC74HC162
BCD Counter with Synchronous Reset



The flip flops shown in the circuit diagrams are Toggle Enable flip flops. A Toggle Enable flip flop is a combination of a D flip-flop and a T flip-flop. When loading data from Preset inputs P0, P1, P2, and P3, the Load signal is used to disable the Toggle input (T) of the flip flop. The logic level at the Pn input is then clocked to the Q output of the flip flop on the next rising edge of the clock.

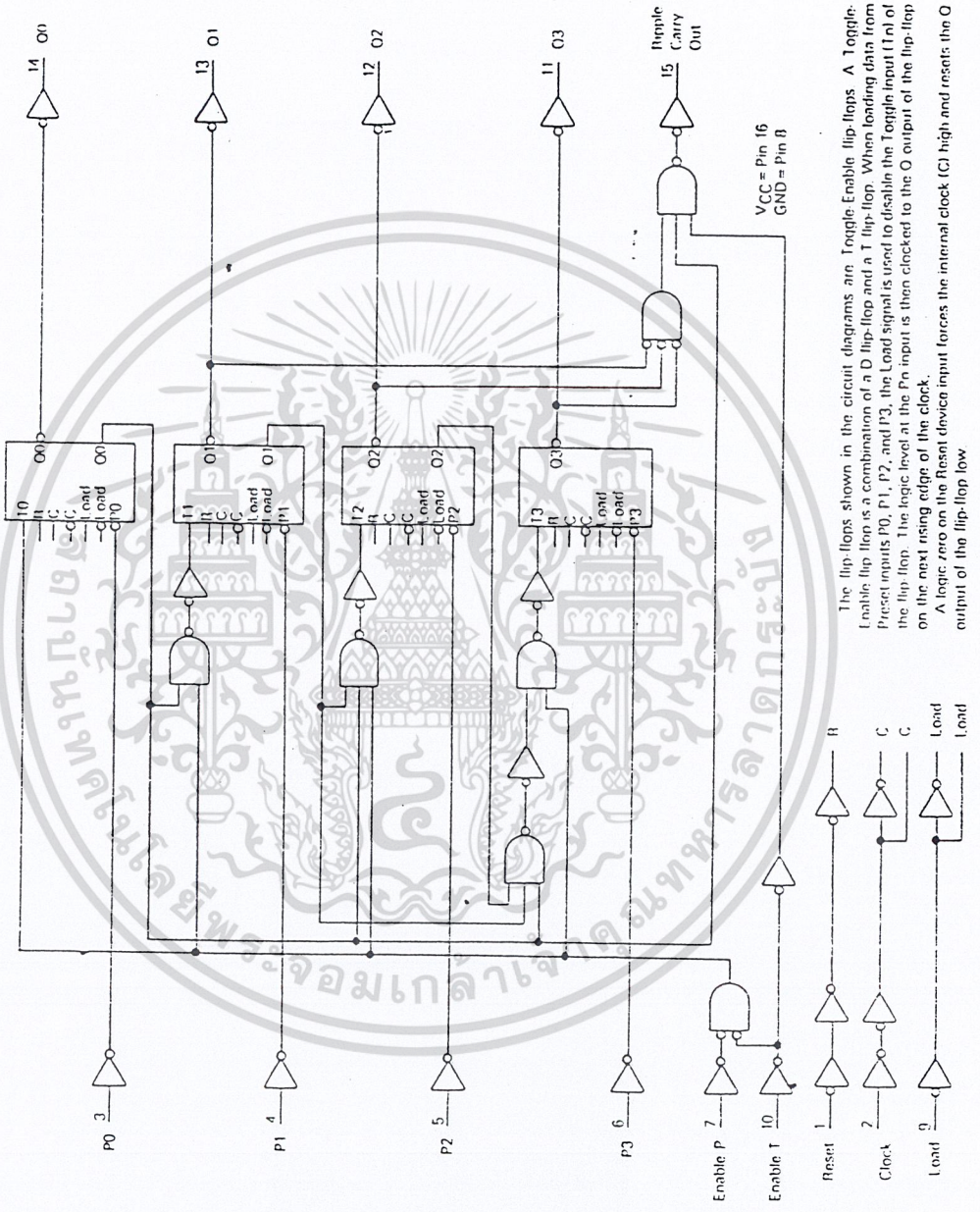
A logic zero on the Reset device input forces the internal clock (C) high and resets the Q output of the flip flop low.

5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5

MC54HC163 • MC74HC163
4-Bit Binary Counter with Synchronous Reset



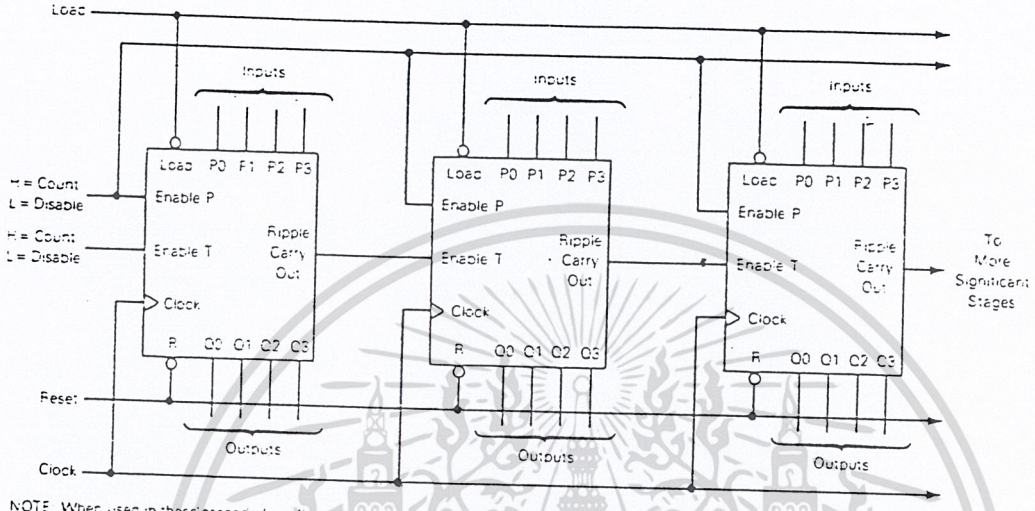
The flip-flops shown in the circuit diagrams are Toggle-Enable flip-flops. A Toggle-Enable flip-flop is a combination of a D flip-flop and a T flip-flop. When loading data from Preset inputs P0, P1, P2, and P3, the Load signal is used to disable the Toggle input (T) of the flip-flop. The logic level at the Pn input is then clocked to the Q output of the flip-flop on the next rising edge of the clock.

A logic zero on the Reset device input forces the internal clock (C) high and resets the Q output of the flip-flop low.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

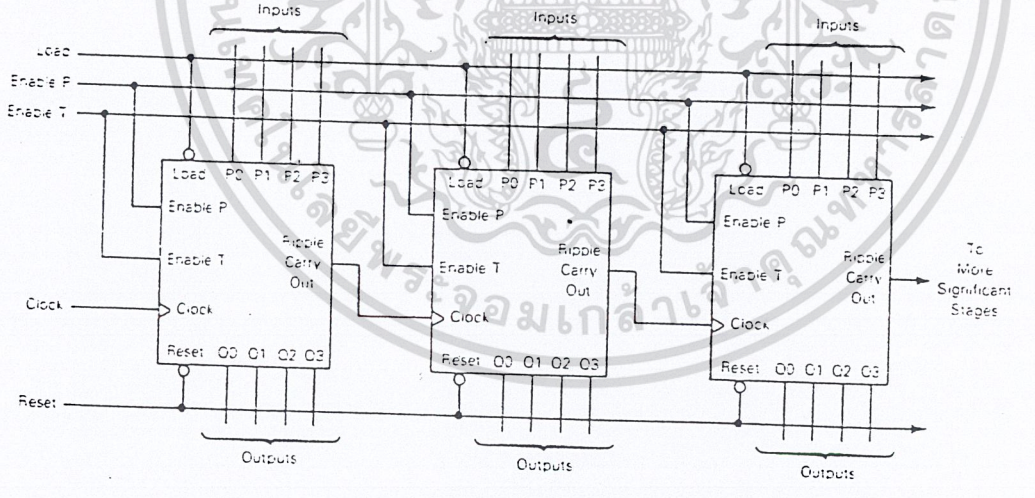
TYPICAL APPLICATIONS
CASCADING

N-Bit Synchronous Counters



NOTE: When used in these cascaded configurations the clock f_{max} guaranteed limits may not apply. Actual performance will depend on number of stages. This limitation is due to set up times between Enable (Port) and Clock.

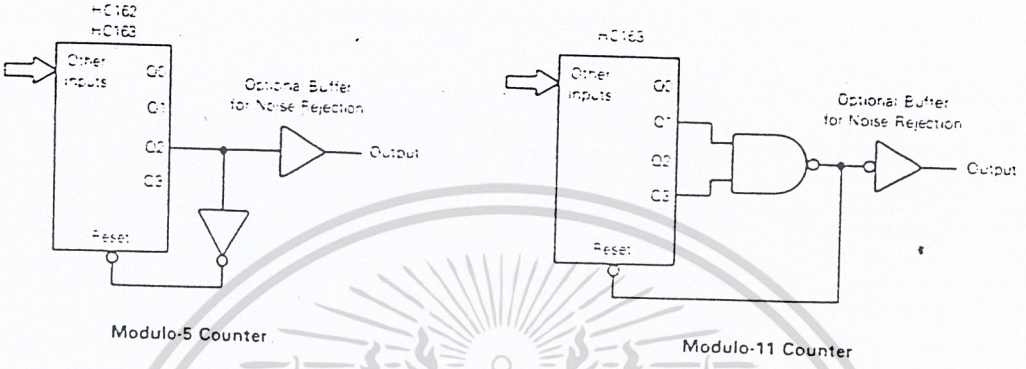
Nibble Ripple Counter



5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPICAL APPLICATIONS
VARYING THE MODULUS



Modulo-5 Counter

Modulo-11 Counter

The HC162 and HC163 facilitate designing counters of any modulus with minimal external logic. The output is glitch-free due to the synchronous Reset.

5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้