ปีการศึกษา 2531

การออกแบบวงจรรวมขนาดใหญ่มาก

(Very Large Scale Integreted Circuit Design)

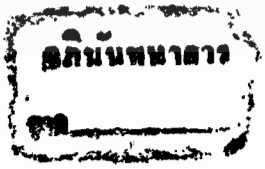
โดย

1 นาย ภาคภูมิ เสตะรัต

2 นาย ยรรยงยุทธ ศรีวิวรรธนกุล

อาจารย์ที่ปรึกษา

ดร. บุญวัฒน์ อัตชู



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

023245 11. ส.ค. 2532

ปริญญานิพนธ์ปีการศึกษา 2531

ภาควิชา วิศวกรรมคอมพิวเตอร์

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง การออกแบบวงจรรวมขนาดใหญ่มาก

ผู้จัดทำ

1. ภาคภูมิ เสตะรัต

2. ยรรยงยุทธ ศรีวิวรรธนกุล

อาจารย์ที่ปรึกษา

(ดร. บุญวัฒน์ อัตชู)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของผลงานทุกครั้งที่มีการนำไปใช้

023245

การออกแบบวงจรรวมขนาดใหญ่มาก

VLSI Design

โดย

นาย ภาคภูมิ เสตะรัต

นาย ยรรยงยุทธ ศรีวิวรรธนกุล

อาจารย์ที่ปรึกษา

ดร.บุญวัฒน์ อัตชู

วิทยานิพนธ์สำหรับปริญญาวิศวกรรมศาสตร์บัณฑิต

สาขาวิชาวิศวกรรมคอมพิวเตอร์

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้า เจ้าคุณทหาร ลาดกระบัง

ปีการศึกษา 2531

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

เนื้อเรื่อง — หน้า

บทคัดย่อ

ABSTRACT

บทที่ 1 เป็นบทนำ.....1

บทที่ 2 ทฤษฎีที่เกี่ยวข้อง.....3

2.1 เทคโนโลยีของมอส วีแอลเอสไอ(MOS VLSI).....6

2.2 การทำงานและคุณสมบัติของทรานซิสเตอร์แบบมอส.....7

2.3 เทคโนโลยีของส่วนประดิษฐ์ของสารกึ่งตัวนำ.....14

บทที่ 3 การออกแบบวงจรรวมขนาดใหญ่.....24

3.1 ขั้นตอนในการออกแบบวงจรรวมขนาดใหญ่.....24

3.2 ขั้นตอนการออกแบบโดยใช้ซอฟแวร์.....25

บทที่ 4 ผลการทดลอง.....29

4.1 การออกแบบวงจรนับ 104.....29

4.2 การออกแบบวงจร Z-80 อินเทอร์เฟต.....33

4.3 ผลของการออกแบบวงจรนับ 104.....47

4.4 ผลการออกแบบวงจร Z-80 อินเทอร์เฟต.....48

4.5 ผลการเจือสาร.....48

บทที่ 5 บทวิจารณ์และสรุป.....65

5.1 ปัญหาที่เกิดขึ้นระหว่างการทำงาน.....65

5.2 สรุป.....66

5.3 แนวทางในการพัฒนาต่อไป.....66

ภาคผนวก.....67

เอกสารอ้างอิง.....71

กิตติกรรมประกาศ.....72

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูปภาพ

หน้า

รูป 2.1 โครงสร้างมอสทรานซิสเตอร์.....5

รูป 2.2 โครงสร้างไบโพล่าร์ทรานซิสเตอร์.....5

รูป 2.3 แสดงโครงสร้างของเอ็นมอส (NMOS).....6

รูป 2.4 แสดงโครงสร้างของพีมอส (PMOS).....7

รูป 2.4 แสดงโครงสร้างของพีมอส (PMOS).....7

รูป 2.5 แสดงโครงสร้างของซีมอส (CMOS).....7

รูป 2.6 แสดงโครงสร้างของทรานซิสเตอร์แบบมอสชนิดเอ็นแชนแนล.....9

รูป 2.7 แสดงโครงสร้างของทรานซิสเตอร์แบบมอสชนิดพีแชนแนล.....9

รูป 2.8 แสดงสัญญลักษณ์ของทรานซิสเตอร์แบบมอสทั้ง 2 ชนิด.....10

รูป 2.9 แสดงการทำงานของทรานซิสเตอร์แบบเอ็นฮานซ์เมนท์โหมด.....11

รูป 2.10 กราฟแสดงความสัมพันธ์ระหว่าง I_D กับ V_{DD}.....12

รูป 2.11 แสดงการทำงานของทรานซิสเตอร์แบบดีพลีทชั่นโหมด.....13

รูป 2.12 กราฟแสดงความสัมพันธ์ระหว่าง I_{DD} กับ V_{DD}.....13

รูป 2.13 แสดงขั้นตอนในการสร้างสิ่งประดิษฐ์สารกึ่งตัวนำ.....14

รูป 2.14 แสดงขบวนการสร้างผลึกซิลิกอนด้วยขบวนการโซคราวสกี้.....16

รูป 2.15 แสดงขั้นตอนการเปิดช่องออกไซด์.....18

รูป 2.16 แสดงการแพร่อะตอมสารเจือด้วยความร้อน.....19

รูป 2.17 แสดงการแพร่อะตอมสารเจือด้วยการอิมพลานเตชั่น.....19

รูป 2.18 แสดงขั้นตอนกระบวนการสร้างซีมอสแบบเกทที่เป็นโลหะ.....21

รูป 2.19 แสดงขั้นตอนกระบวนการสร้างซีมอสแบบซิลิกอนเกท.....23

รูป 3.1 ไดอะแกรม แสดงถึงขั้นตอนในการออกแบบ.....24

รูป 3.2 แสดงลำดับขั้นตอนในการออกแบบ.....26

รูป 3.3 แสดงหน้าจอการทำงานของซอฟแวร์.....28

รูป 4.1 บล็อกไดอะแกรมของวงจรนับ 104.....30

รูป 4.2 โลจิกไดอะแกรมของวงจรนับ 104.....30

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูป 4.3 การนำแนนเกทมาต่อเป็น ที-ฟลิปฟลอป.....31
รูป 4.4 ตัวอย่างสติกไดอะแกรม.....31
รูป 4.5 อินเวอทร์เตอร์ สติกไดอะแกรม.....32
รูป 4.6 แสดงการวางตำแหน่งของบล็อกต่างๆภายในไอซี.....35
รูป 4.7 DECODE CHIP บล็อก 36
รูป 4.8 SIGNAL CHECKING บล็อก.....36
รูป 4.9 Decode and generate set signal บล็อก 37
รูป 4.10 B1-B4 บล็อก.....38
รูป 4.11 Control and generate signal for buffer บล็อก.....39
รูป 4.12 Buffer บล็อก.....40
รูป 4.13 วงจรโลจิกของ signal checking block.....41
รูป 4.14 วงจรโลจิกของ decode chip select block.....42
รูป 4.15 วงจรโลจิกของ decode data and generate set signal.....43
รูป 4.16 วงจรโลจิกของ set block(B1-B4).....44
รูป 4.17 วงจรโลจิกของ generate signal for buffer.....45
รูป 4.18 วงจรโลจิกของ port and buffer.....46
รูป 4.19 แสดงความหมายของแต่ละบิทของข้อมูล.....47
รูป 4.20 แสดงวงจรนับ 104.....49
รูป 4.21 แสดงการจำลองการทำงานของวงจรนับ 104.....50
รูป 4.22 ซีไอเอฟของ signal checking block.....51
รูป 4.23 ไทม์มิ่งไดอะแกรมของ signal checking block.....52
รูป 4.24 ซีไอเอฟของ decode chip select block.....53
รูป 4.25 ไทม์มิ่งไดอะแกรมของ decode chip select block.....54
รูป 4.26 ซีไอเอฟของ decode data and generate set signal.....55
รูป 4.27 ไทม์มิ่งไดอะแกรมของdecode data and generate set signal.56
รูป 4.28 ซีไอเอฟของ set block(B1-B4).....57
รูป 4.29 ไทม์มิ่งไดอะแกรมของ set block(B1-B4).....58

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูป 4.30 ซีไอเอฟของ generate signal for buffer.....59
รูป 4.31 ไทม์มิ่งไดอะแกรมของ generate signal for buffer.....60
รูป 4.32 ซีไอเอฟของ port and buffer.....61
รูป 4.33 ไทม์มิ่งไดอะแกรมของ port and buffer.....62
รูป 4.34 แสดงการต่อในวงจรมาที่ขาของตัวถัง.....63
รูป 4.35 แสดงตัวถังจริงของวงจรนับ 104 เมื่อเจือสารแล้ว.....64

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การออกแบบวงจรรวมขนาดใหญ่มาก

บุญวัฒน์ อัตชู อาจารย์ที่ปรึกษา
ภาคภูมิ เสตะวัต
ยรรยงยุทธ ศรีวิวรรธนกุล
ปีการศึกษา 2531

บทคัดย่อ

วิทยานิพนธ์นี้ขอนำเสนอการประยุกต์ใช้เทคโนโลยีการออกแบบวงจรรวมขนาดใหญ่(VLSI) นำมาออกแบบชิพไอซี โดยตัวแรกที่ทำการออกแบบเป็นวงจรนับ104 ให้อยู่ในชิพไอซี เพียงตัวเดียว วงจรนับ104เป็นวงจรทำหน้าที่นับจาก 0-103 เมื่อนับถึง 103 ก็จะให้สัญญาณพัลท์(pulse)ออกมาหนึ่งลูก ในวงจรนี้ประกอบด้วยฟลิปฟล่อป นำมาต่อรวมกันเป็นวงจรนับ และเกทต่างๆที่นำมาต่อกันเป็นส่วนของการถอดรหัส 104 โดยวงจรที่ออกแบบแล้วนี้ได้ใช้ทรานซิสเตอร์ทั้งหมด 368 ตัว ใช้เนื้อที่บนแผ่นเวเฟอร์ทั้งหมด 2011.25 * 2733.75 ไมครอน ชิพไอซีตัวที่สอง เป็นวงจรเชื่อมต่อกับหน่วยประมวลผลกลาง Z-80 การใช้งานจะทำหน้าที่เป็นพอร์ทติดต่อกับอุปกรณ์ภายนอก ที่สามารถตั้งค่าแอดเดรสได้จากซอฟแวร์

การออกแบบวงจรได้กระทำบนเครื่องคอมพิวเตอร์ SUN 3/110 และใช้ ซอฟแวร์ CIRCAD II ซึ่งเป็นซอฟแวร์ ที่ใช้สำหรับการออกแบบวงจรรวมขนาดใหญ่โดยเฉพาะ และได้ส่งชิพไอซี วงจรนับ104 ทำการเจือสารเรียบร้อยแล้ว ได้การทำงานตามที่ออกแบบไว้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

VLSI DEDIGN

Dr.Boonwat Attachoo Advisor

Phakpoom Setarath

Yunyongyuthh Sriwiwattanakul

1988

ABSTRACT

This project proposes the application of VLSI Design Technology to design the IC chips.The first circuit is counter 104 IC. The circuit counts input pulse from 0 to 103. There is a pulse output when it counts to 103.The circuit consists of 7 flip-flops in asynchronous counter and many gates in 104 decoder . The number of transistors which is used in this circuit are 368 transistors.The size of wafer of the chip is 2011.25*2733.75 micron and the technology is CMOS technology.The second IC chip is Interface-Z80 CPU . The circuit connects between CPU Z-80 and Input-Output unit and it's address ports is set by software.

The designed circuit was done on SUN 3/110 workstation with CIRCADII which is the software package for VLSI design. The first IC chip counter 104 was already fabricated and it works as designed.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่1

บทนำ

ในปัจจุบันอุปกรณ์ทางอิเลคทรอนิคส์ที่เรียกว่า ไอซี ได้เข้ามามีบทบาทมาก จะเห็นว่าในเครื่องมือหรือเครื่องใช้ไฟฟ้าได้มีแนวโน้มที่จะมีการใช้ ไอซี ในวงจรมากขึ้น ทั้งนี้เนื่องมาจากเทคโนโลยีที่ก้าวหน้าขึ้นทำให้การผลิต ไอซี กระทำได้ง่ายขึ้นและยังมีราคาถูกลงด้วย นอกจากนี้การใช้ ไอซี ในวงจรยังมีประโยชน์อย่างมากกล่าวคือทำให้ขนาดวงจรเล็กลงและมีการทำงานที่แน่นอนขึ้น ดังนั้นการศึกษาการผลิตวงจรรวมจึงเป็นสิ่งที่น่าสนใจและน่าริเริ่มให้มีการส่งเสริมเทคโนโลยีทางด้านนี้

ขั้นตอนการผลิต ไอซี นั้นประกอบด้วย 2 ขั้นตอนใหญ่ๆคือ การออกแบบ และ การเจือสารขณะนี้ในประเทศไทยโรงงานส่วนมากจะเป็นลักษณะที่ทำการประกอบตัวถังเท่านั้นไม่มีการออกแบบและเจือสารอย่างจริงจังถึงขั้นผลิตเป็นอุตสาหกรรม ดังนั้นในบทความนี้ขอนำเสนอขั้นตอนของการออกแบบไอซี โดยทำการออกแบบไอซี 2 ตัว โดยชิ้นตัวแรกที่ทำคือ ไอซีที่ทำหน้าที่เป็นวงจรนับ 104 ซึ่งถือได้ว่าเป็นการริเริ่มและส่งเสริมขั้นตอนการผลิต ไอซี ให้เกิดขึ้นในประเทศไทยต่อไปในอนาคต อย่างไรก็ตามการทำวงจรนับ104 ไอซีที่กล่าวถึงในที่นี้จะอยู่ในขั้นตอนของการออกแบบเท่านั้น หลังจากออกแบบเรียบร้อยจึงจะส่งไปทำขั้นตอนเจือสารที่ประเทศออสเตรเลียและได้การทำงานตามที่ได้ออกแบบ การออกแบบวง จรรวมขนาดใหญ่นี้อาจทำได้ 2 วิธีคือ โดยมือ(Manual) และโดยซอฟแวร์ช่วยออกแบบ(CAD) ในการทำการออกแบบครั้งนี้ได้กระทำโดยใช้ซอฟแวร์ที่ชื่อ CIRCAD II ซึ่งเป็นการนำเอาคอมพิวเตอร์มาช่วยในการออกแบบ

ดังได้กล่าวมาแล้วว่าวงจรนี้จะทำการนับโดยเริ่มจาก 0 ถึง 103 เมื่อนับถึง 103 จะให้สัญญาณพัลท์ออกมาหนึ่งลูกนั้น หากเราเอาสัญญาณนาฬิกา(clock) ความถี่ 1 MHz ไปป้อนให้กับไอซี ตัวนี้ผลที่ได้ก็คือจะได้สัญญาณพัลท์ที่มีความถี่เท่ากับ $1*10^{6}/104 = 9615.4$ ซึ่งใกล้เคียงกับค่าของบอร์ทเรต ที่ใช้ในโมเด็ม และนี่ก็คือวัตถุประสงค์ของ ไอซี ตัวนี้นั่นเอง

ชิพไอซีตัวที่สอง เป็นวงจรเชื่อมต่อกับหน่วยประมวลผลกลาง Z-80 การใช้งานจะทำหน้าที่เป็นพอร์ทติดต่อกับอุปกรณ์ภายนอก โดยไม่ต้องต่อฮาร์ดแวร์เพิ่มในการดีโคดพอร์ท และยังสามารถตั้งค่าแอดเดรสได้จากซอฟแวร์ทำให้สามารถที่จะใช้เป็น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อุปกรณ์การสอนเกี่ยวกับไมโครโปรเซสเซอร์ ได้เป็นอย่างดี

วิทยานิพนธ์ฉบับนี้ จะกล่าวถึงขั้นตอนการออกแบบวงจรรวมขนาดใหญ่ โดยได้ทำการออกแบบวงจรตามหลักการแล้วส่งไปเจือสาร นำมาใช้งานจริง โดยมีรายละเอียดของแต่ละบทดังนี้

บทที่ 1 เป็นบทนำ กล่าวถึงความเป็นมาและวัตถุประสงค์ของโครงงานนี้

บทที่ 2 จะกล่าวถึงทฤษฎีที่เกี่ยวข้องซึ่งใช้ในโครงงานนี้

บทที่ 3 จะกล่าวถึงหลักการในการออกแบบวงจรรวมขนาดใหญ่ และการใช้ซอฟแวร์เข้าช่วยในการออกแบบ

บทที่ 4 จะกล่าวถึงการออกแบบวงจรจริงคือ วงจรนับ104 และวงจรอินเทอร์เฟสกับหน่วยประมวลผลกลาง Z-80 ตามขั้นตอนการออกแบบ

บทที่ 5 เป็นบทวิจารณ์และสรุป ข้อผิดพลาดตลอดจนแนวทางการพัฒนาโครงงานต่อ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2

ทฤษฎีที่เกี่ยวข้อง

เป็นที่ทราบกันดีว่าเทคโนโลยีวิศวกรรมอิเลคทรอนิคส์ ได้เข้ามามีบทบาทต่อชีวิตความเป็นอยู่ของมนุษย์เป็นอย่างมากโดยเฉพาะอย่างยิ่งในปัจจุบันและอนาคต ในระบบไฟฟ้าอิเลคทรอนิคส์ ส่วนประกอบที่สำคัญคือ ชิ้นส่วนอิเลคทรอนิคส์ ซึ่งได้รับการพัฒนามาอย่างต่อเนื่อง โดยเฉพาะชิ้นส่วนอิเลคทรอนิคส์แบบแอคทีฟ (Electronic active devices) เริ่มตั้งแต่หลอดสูญญากาศ (Vacuum Tube) ซึ่งใช้เป็นชิ้นส่วนอิเลคทรอนิคส์พื้นฐานในงานระบบอิเลคทรอนิคส์ในยุคแรก ต่อมาจึงมีการนำเอาทรานซิสเตอร์มาใช้แทนหลอดสูญญากาศ เนื่องจากทรานซิสเตอร์มีประสิทธิภาพการทำงานที่ดีกว่ากินกำลังไฟน้อยกว่า น้ำหนักเบากว่า ขนาดเล็กและราคาถูกกว่า แต่เทคโนโลยีการสร้างก็มิได้หยุดอยู่เพียงแค่นั้น จนกระทั่งราวปี ค.ศ. 1960 มนุษย์ก็ได้ค้นพบเทคโนโลยีการสร้างวงจรรวม (Integrated Circuits Technology) หรือไอซี กล่าวคือสามารถสร้างทรานซิสเตอร์จำนวนเป็นหมื่นเป็นแสนตัวรวมทั้งชิ้นส่วนพาสซิฟ (passive devices) เช่น ตัวความต้านทานและตัวเก็บประจุไฟฟ้าลงบนชิ้นผลึกสารกึ่งตัวนำเล็ก ๆ โดยต่อร่วมกันภายในเป็นวงจรอิเลคทรอนิคส์ที่สมบูรณ์ ชิ้นส่วนสารกึ่งตัวนำดังกล่าวนี้มักถูกเรียกสั้นๆว่า ชิพ (IC chip) เทคโนโลยีใช้ในการสร้างไอซี นับว่าเป็นเทคโนโลยีระดับสูง ซึ่งต้องอาศัยความรู้ความสามารถและความชำนาญจากวิศวกรหลายสาขาร่วมกัน เป็นเทคโนโลยีที่ละเอียดอ่อนและสลับซับซ้อน แต่ในโครงงานนี้จะเน้นถึงส่วนของการออกแบบวงจรทรานซิสเตอร์ตัวแรกซึ่งทำมาจากสารกึ่งตัวนำ นับเป็นต้นกำเนิดของศักราชอุปกรณ์สารกึ่งตัวนำ ซึ่งเริ่มจากธาตุเยอรมันเนียม และต่อมาไม่นานนักซิลิกอนก็เข้ามาแทนที่เยอรมันเนียม ซึ่งช่วงนี้เองทำให้เกิดเทคโนโลยีของไอซีขึ้นได้ โดยที่ชิ้นส่วนอิเลคทรอนิคส์ต่าง ๆ เช่น ตัวความต้านทาน, ตัวเก็บประจุไฟฟ้า, ไดโอด และทรานซิสเตอร์จำนวนมากมายจะถูกสร้างขึ้นบนขึ้นของผลึกซิลิกอนชิ้นเล็ก ๆ และต่อภายในร่วมกันเป็นวงจรอิเลคทรอนิคส์ ซึ่งเราเรียกชิ้นสารนี้ว่า ชิพ (chip) หรือไอซี (IC) โดยย่อมาจากคำว่า Intergrated Circuits หรือที่เราเรียกในภาษาไทยว่า "วงจรรวม" เราอาจจำแนกไอซีหรือวงจรรวมออกเป็นกลุ่มตามขนาดความจุของจำนวนชิ้นส่วนที่รวมอยู่ในชิพได้ดังนี้คือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1) วงจรรวมขนาดเล็ก (Small Scale Integrations) หรือเขียนย่อ ๆ ว่า SSI ได้แก่ ไอซีที่มีจำนวนทรานซิสเตอร์ประมาณไม่เกิน 100 ตัว เช่น พวกไอซีประเภทเกทต่าง ๆ

2) วงจรรวมขนาดกลาง (Medium Scale Integrations) หรือเขียนย่อ ๆว่า MSI ได้แก่ ไอซีที่มีจำนวนทรานซิสเตอร์ประมาณ 100-1.000 ตัว เช่น พวกไอซีเคาน์เตอร์, มัลติเพลกเซอร์ และแอดเดอร์ เป็นต้น

3) วงจรรวมขนาดใหญ่มาก (Very Large Scale Integrations) หรือเขียนย่อว่า ๆ ว่า VLSI ได้แก่ ไอซีที่มีจำนวนทรานซิสเตอร์ประมาณ 20.000-50.000 ตัว เช่น พวกไมโครโปรเซสเซอร์ขนาด 16 และ 32 บิท เป็นต้น วงจรรวมแบบนี้นิยมเรียกว่า วีแอลเอสไอชิพ (VLSI chip)

นอกจากนี้ยังมีการคาดว่าในอีกไม่กี่ปีข้างหน้านี้ ตัวโปรเซสเซอร์ชนิดพิเศษจะประกอบด้วยทรานซิสเตอร์มากกว่า 500.000 ตัว และเราอาจเรียกไอซีนี้ว่า ไอซีขนาดใหญ่ยิ่ง (Ultra Large Scale Intergrations) หรือเขียนย่อ ๆ ว่า ULSI และสำหรับไอซีที่มีจำนวนทรานซิสเตอร์มากกว่า 1 ล้านตัวขึ้นไป อาจถูกเรียกว่า "ไอซีขนาดยักษ์ (Giant Scale Integrations) หรือเขียนย่อ ๆ ว่า GSI

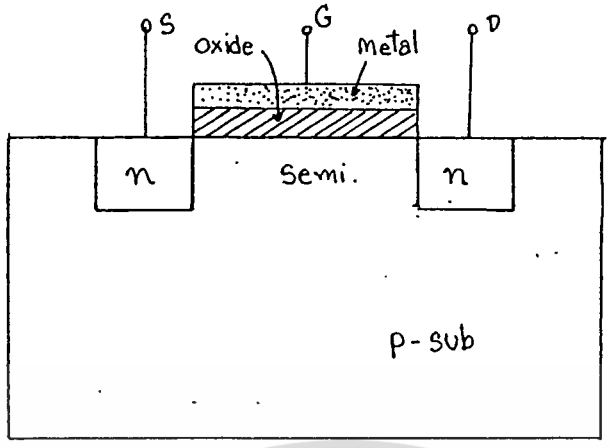
<u>สำหรับเทคโนโลยีของการสร้างไอซีอาจจัดแบ่งได้ 2 แบบ คือ</u>

1. เทคโนโลยีของมอส (MOS Technology)

2. เทคโนโลยีของไบโพลา (Bipolar Technology)

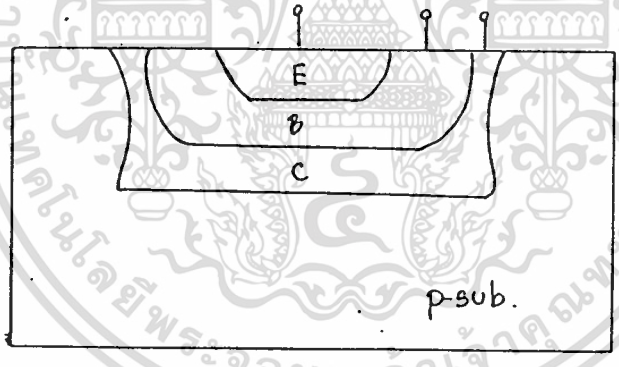
เทคโนโลยีของมอสได้แก่ เทคโนโลยีซึ่งใช้สำหรับกระบวนการสร้างชิ้นส่วนประเภทมอส (Metal Oxide Semiconducter) ซึ่งหมายถึงทรานซิสเตอร์แบบมอสจะมีโครงสร้างดังรูป 2.1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 2.1 โครงสร้างมอสทรานซิสเตอร์

ส่วนเทคโนโลยีของไบโพลาร์(Bipolar) ได้แก่เทคโนโลยีซึ่งใช้สำหรับกระบวนการสร้างชิ้นส่วนประเภทไบโพล่าร์ ซึ่งหมายถึงไบโพล่าร์ทรานซิสเตอร์นั่นเอง จะมีโครงสร้างดังรูป 2.2



รูป 2.2 โครงสร้างไบโพล่าร์ทรานซิสเตอร์

การพัฒนาไอซีถูกกระทำทั้งเทคโนโลยีของมอส และแบบของไบโพลาร์ ซึ่งต่างก็มีข้อดีข้อเสียที่แตกต่างกัน เช่น เทคโนโลยีของไบโพล่าร์ จะทำให้ได้วงจรรวมที่มีความเร็วสูงแต่มีขนาดใหญ่ ส่วนเทคโนโลยีของมอส เหมาะสำหรับการสร้างวงจรรวมที่มีจำนวนชิ้นส่วนมาก ๆ เช่น พวกวงจรรวมขนาดใหญ่(LSI) และ วงจรรวมขนาดใหญ่มาก (VLSI) อย่างไรก็ดีสำหรับวงจรของมอส ก็สามารถให้อัตราเร็วของการทำงานที่สูงเป็นที่น่าพอใจ ดังนั้นสำหรับวงจรรวมขนาดใหญ่ (LSI) และขนาดใหญ่มาก (VLSI) เทคโนโลยีของมอส จึงมีความเหมาะสมมากที่สุด

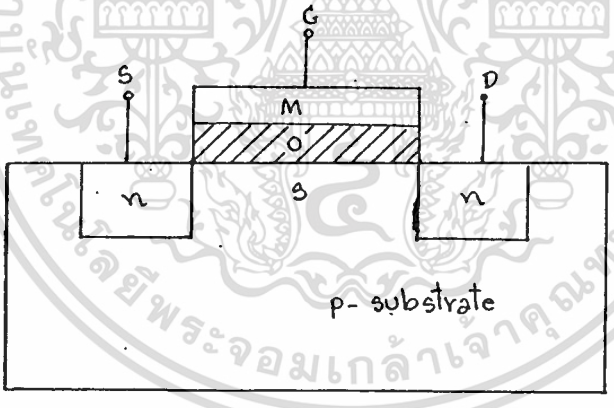
เอกสารนี้ใช้เพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.1 เทคโนโลยีของมอส วีแอลเอสไอ(MOS VLSI)

เทคโนโลยีของวีแอลเอสไอ หมายถึง เทคโนโลยีที่ใช้สำหรับกระบวนการออกแบบและสร้างวงจรรวมขนาดใหญ่มาก หรือ วีแอลเอสไอ ซึ่งก็คือ เทคโนโลยีของมอสนั่นเอง ชิ้นส่วนอิเลคทรอนิคส์หลัก ที่อยู่ในชิพของวงจรรวมของวงจรรวมแบบนี้ ได้แก่ ทรานซิสเตอร์แบบมอส ซึ่งอาจจะเป็นทรานซิสเตอร์แบบมอส ชนิด เอ็นแชนแนล, พีแชนแนล หรือมีทั้ง 2 ชนิดรวมกันก็ได้ ดังนั้น เราจึงอาจแบ่งเทคโนโลยีของมอสวีแอลเอสไอออกได้เป็น 3 แบบ คือ

2.1.1) เทคโนโลยีแบบ เอ็นมอส (NMOS)

หมายถึง เทคโนโลยีที่ใช้ทรานซิสเตอร์แบบมอส ชนิดเอ็นแชนแนล (n-ch. MOS FET) เป็นชิ้นส่วนหลักสำหรับกระบวนการออกแบบและสร้างวงจรรวม เทคโนโลยีนี้มีข้อดีตรงที่สามารถสร้างวงจรรวมที่มีความเร็วในการทำงานสูง

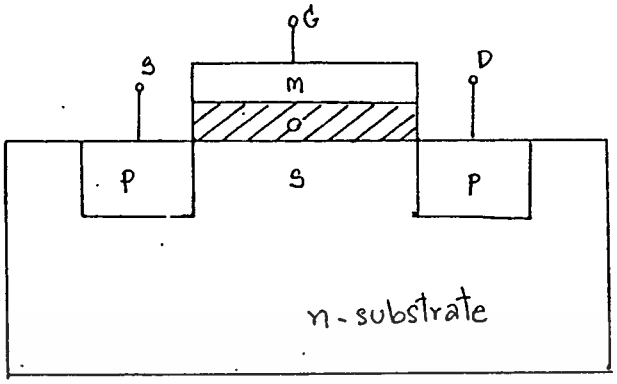


รูป 2.3 แสดงโครงสร้างของเอ็นมอส (NMOS)

2.1.2) เทคโนโลยีแบบ พีมอส (PMOS)

หมายถึง เทคโนโลยีที่ใช้ทรานซิสเตอร์แบบมอส ชนิดพีแชนแนล (P-ch. MOS FET) เป็นชิ้นส่วนหลักสำหรับกระบวนการออกแบบและสร้างวงจรรวม เทคโนโลยีแบบนี้มีข้อดีตรงที่สามารถสร้างได้ง่าย

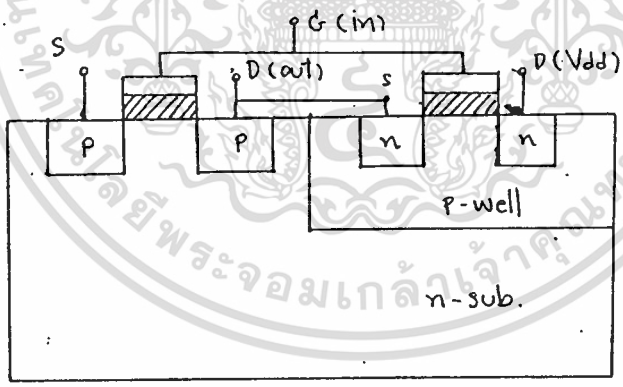
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 2.4 แสดงโครงสร้างของพีมอส (PMOS)

2.1.3) <u>เทคโนโลยีแบบ ซีมอส (CMOS)</u>

CMOS ย่อมาจาก Complementary MOS หมายถึงเทคโนโลยีที่ใช้ทรานซิสเตอร์แบบมอส ชนิด ผสม (Complementary) ซึ่งมีทั้งชนิดเอ็นและพีแชนแนลต่อร่วมกัน เป็นชิ้นส่วนหลักสำหรับกระบวนการออกแบบและสร้างวงจรรวม เทคโนโลยีแบบนี้มีข้อดีก็คือ ทำให้ได้วงจรรวมที่กินกำลังไฟฟ้าน้อยมาก ทำให้ประหยัด



รูป 2.5 แสดงโครงสร้างของซีมอส (CMOS)

2.2 <u>การทำงานและคุณสมบัติของทรานซิสเตอร์แบบมอส</u>

การทำงานของทรานซิสเตอร์ ถ้าแบ่งตามชนิดของกระแสที่ไหลในทรานซิสเตอร์ จะเห็นว่า เราสามารถแบ่งได้ 2 ชนิดคือ

2.2.1) <u>ไบโพลา ทรานซิสเตอร์</u> (Bipolar Transistor) จะมีการไหลของกระแสทั้ง 2 ประเภท คือ มีทั้งกระแสอิเลคตรอน และกระแสการไหลของโฮล กระแสรวมคือ ผลรวมของกระแสทั้งสอง ทรานซิสเตอร์ชนิดนี้จะมีความเร็วสูง แต่มีขนาด

เอกสารนี้เป็นสิ่งที่ผู้ใช้สามารถใช้เพื่อการศึกษาเท่านั้น ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ใหญ่ไม่สามารถลดขนาดได้ เพราะจะทำให้เกิดการพังทลายได้ (Break Down)

2.2.2) มอส ทรานซิสเตอร์ (MOS Transistor) จะมีกระแสที่ไหลในทรานซิสเตอร์เพียงชนิดใดชนิดหนึ่งเพียงกระแสเดียว ตามแต่ชนิดของทรานซิสเตอร์ ถ้าเป็นทรานซิสเตอร์เอ็น ก็จะมีกระแสอิเลคตรอนไหล แต่ถ้าเป็นทรานซิสเตอร์ชนิดพี ก็จะมีกระแสโฮลไหล ทรานซิสเตอร์ประเภทนี้เราสามารถย่อขนาดได้ ซึ่งการย่อขนาดจะทำให้คุณสมบัติโดยทั่วไปยังคงเดิม จึงเหมาะกับการมาใช้ในการออกแบบวงจรรวมขนาดใหญ่ได้

แต่ในที่นี้เราจะสนใจแต่เฉพาะมอสทรานซิสเตอร์ เพราะเป็นทรานซิสเตอร์ในชนิดที่เราใช้ในการออกแบบวงจรรวมขนาดใหญ่ โดยเราสามารถที่จะแบ่งตามชนิดของกระแสที่ไหลในทรานซิสเตอร์ได้เป็น 2 ชนิด คือ

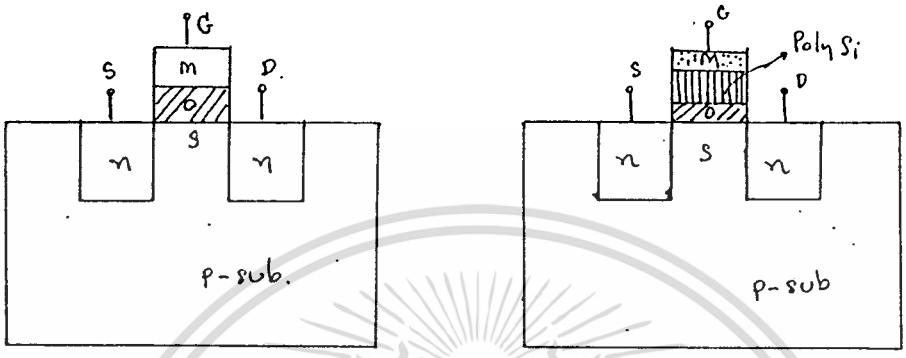
1) ทรานซิสเตอร์แบบมอสชนิดเอ็นแชนแนล (n-ch. MOS FET)

มักนิยมเขียนย่อ ๆ ว่า nMOS FET หรือ nMOS T มีลักษณะโครงสร้างดังแสดงในรูปที่ 2.6 โดยที่ส่วนซอส (Source) และเดรน (Drain) เป็นสารกึ่งตัวนำชนิดเอ็น (n-type) ซึ่งถูกสร้างขึ้นบนฐานของ (substrate) ของสารกึ่งตัวนำชนิดพี (p-type) ระหว่างส่วนซอสและเดรนจะมีโครงสร้างของ MOS ย่อมาจาก (Metal Oxide Semiconductor) กั้นอยู่ ซึ่งโดยทั่วไปชั้นโลหะอาจเป็นอะลูมิเนียม ซึ่งอยู่บนชั้นของซิลิกอนไดออกไซด์ จะทำหน้าที่เป็นส่วนเกท (gate) หรือบางครั้งส่วนเกทอาจเป็นชั้นผลึกหลายรูป (Poly crystal) ของซิลิกอนก็ได้ ได้โดยเฉพาะโครงสร้างของวงจรรวมขนาดใหญ่ มักจะเป็นแบบที่มีเกทเป็นชั้นโพลีซิลิกอน (Poly silicon) กระแสที่ไหลในทรานซิสเตอร์แบบนี้ เป็นกระแสของอิเลคตรอนอิสระ ซึ่งเป็นประจุไฟฟ้าลบ

2) ทรานซิสเตอร์แบบมอสชนิดพีแชนแนล (p-ch. MOS FET)

มักนิยมเขียนย่อ ๆ ว่า pMOS FET หรือ pMOS T มีลักษณะโครงสร้างดังแสดงในรูปที่ 2.7 โดยที่ส่วนของซอสและเดรนเป็นสารกึ่งตัวนำชนิดพี (p-type) ซึ่งถูกสร้างขึ้นบนฐานรอง (substrate) ของสารกึ่งตัวนำชนิดเอ็น (n-type) และมีโครงสร้างของมอส เป็นส่วนที่อยู่ระหว่างซอสกับเดรน กระแสที่ไหลในทรานซิสเตอร์แบบนี้เป็นกระแสของโฮล ซึ่งเป็นประจุไฟฟ้าบวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

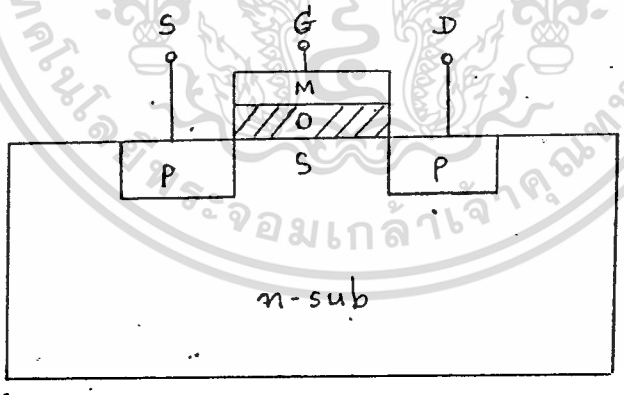


ก ข

รูป 2.6 แสดงโครงสร้างของทรานซิสเตอร์แบบมอสชนิดเอ็นแชนแนล

2.6 ก เอ็นแชนแนลแบบเมททัลเกท

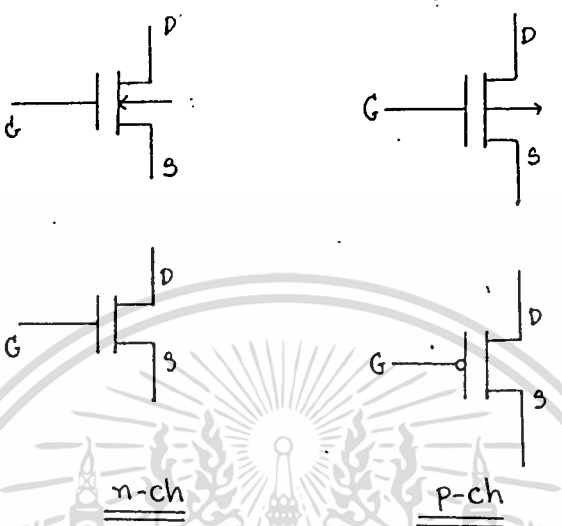
2.6 ข เอ็นแชนแนลแบบซิลิกอนเกท



รูป 2.7 แสดงโครงสร้างของทรานซิสเตอร์แบบมอสชนิดพีแชนแนล

สัญญลักษณ์ที่ใช้แสดงทรานซิสเตอร์แบบมอส ชนิดเอ็นแชนแนลและพีแชนแนล สามารถเขียนได้หลายลักษณะดังแสดงในรูปที่ 2.8

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
023245



รูป 2.8 แสดงสัญญลักษณ์ของทรานซิสเตอร์แบบมอสทั้ง 2 ชนิด

การทำงานของทรานซิสเตอร์แบบมอส เราสามารถจำแนกได้เป็น 2 แบบ คือ

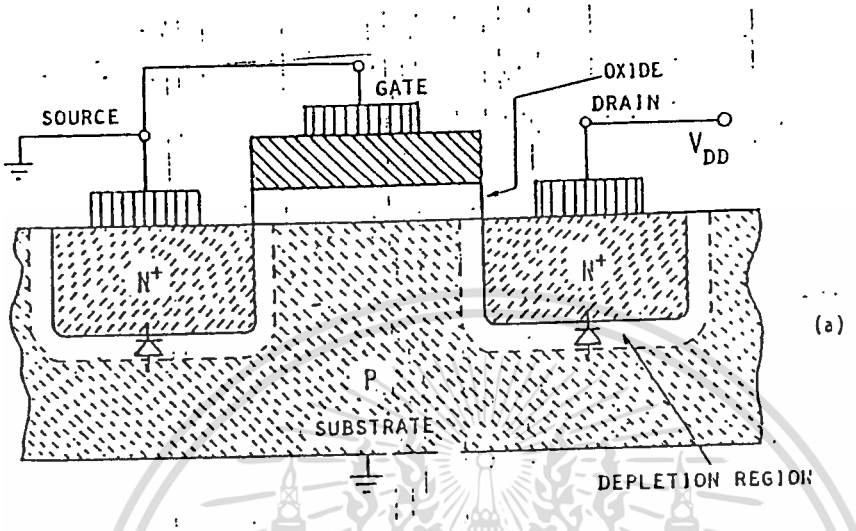
1) ทรานซิสเตอร์แบบเอ็นฮานซ์เมนท์โหมด (Enhancement Mode Transistor)

2) ทรานซิสเตอร์แบบดีพลีชั่นโหมด (Depletion Mode Transistor)

2.2.2.1) <u>ทรานซิสเตอร์แบบเอ็นฮานซ์เมนท์โหมด</u>

ทรานซิสเตอร์แบบเอ็นฮานซ์โหมด ซึ่งเป็นเอ็นเชนแนล จะมีลักษณะโครงสร้าง ดังแสดงในรูปที่ 2.9 กล่าวคือ ส่วนซอสและเดรนจะถูกสร้างขึ้น โดยการแพร่อะตอมสารเจือชนิดเอ็น (n-type) ซึ่งมีความหนาแน่นสูง เข้าไปในแผ่นผลึกฐานรองของสารกึ่งตัวนำชนิดพี (p-type) รอบ ๆ ส่วนของซอสและเดรน จะมีลักษณะเป็นรอยต่อพี-เอ็น (p-n junction) ซึ่งในย่านดังกล่าวนี้เรียกว่า ย่านปลอดพาหะ (Depletion region) ส่วนเกทประกอบด้วยชั้นของโพลีซิลิกอน ซึ่งซ้อนอยู่เหนือชั้นออกไซด์ โดยมีโลหะอะลูมิเนียมเป็นขั้วต่อไฟฟ้าของส่วนเกทจากโพลีซิลิกอน และเป็นขั้วไฟฟ้าของทั้งซอสกับเดรนด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 2.9 แสดงการทำงานของทรานซิสเตอร์แบบเอ็นฮานซ์เมนท์โหมด

จากโครงสร้างดังกล่าว ส่วนซอสและเดรนจะถูกแยกจากกันด้วยไดโอดสองตัว ดังแสดงในรูป และในขณะที่ไม่มีแรงดันไบอัสระหว่างเกทและซอส ช่องทางเดินกระแสจะไม่ถูกเหนี่ยวนำให้เกิดขึ้น ทรานซิสเตอร์จะไม่ยอมให้กระแสไหลผ่าน ซึ่งเงื่อนไขนี้ก็คือ

$V_D = V_S = V_{GS} = 0$

V_D : แรงดันที่เดรน

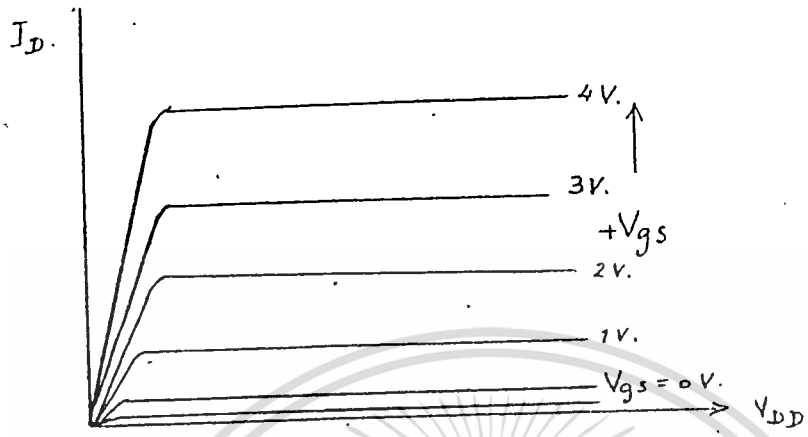
V_S : แรงดันที่ซอส

V_{GS} : แรงดันระหว่างเกทและซอส

และถ้าเกทถูกต่อด้วยแรงดันไบอัสบวกที่เหมาะสม จะทำให้มีสนามไฟฟ้าเกิดขึ้นระหว่างเกทและฐานรอง และจะก่อให้เกิดการเหนี่ยวนำประจุลบ (อิเลคตรอน) ชั้นที่บริเวณผิวสัมผัสระหว่างสารกึ่งตัวนำกับฉนวนออกไซด์ ประจุลบดังกล่าวจะสะสมอยู่ในส่วนของสารกึ่งตัวนำและกระจายจากซอสไปถึงเดรน ทำให้บริเวณดังกล่าวมีสภาพเปลี่ยนจากสารกึ่งตัวนำชนิดพี เช่น สารกึ่งตัวนำชนิดเอ็น และทำหน้าที่เป็นช่องทางเดินกระแสระหว่างซอสและเดรน ซึ่งเรียกว่า "เอ็นแชนแนล" กระแสนี้เองเมื่อเกิดขึ้นจะทำให้ทรานซิสเตอร์สามารถนำไฟฟ้าได้ ทรานซิสเตอร์แบบนี้บางครั้งถูกเรียกว่า induced channel MOS FET เนื่องจากแชนแนลเกิดจากการเหนี่ยวนำด้วยสนามไฟฟ้าที่เกท นอกจากนี้ ถ้าแรงดันไบอัส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ระหว่างเกทและซอส V_{GS} มีค่ามากขึ้นก็จะมีการเหนี่ยวนำประจุมากขึ้น มีผลทำให้ขนาดของแชนแนลกว้างขึ้น กระแสก็จะไหลได้มากขึ้น ดังแสดงในรูปที่ 2.10

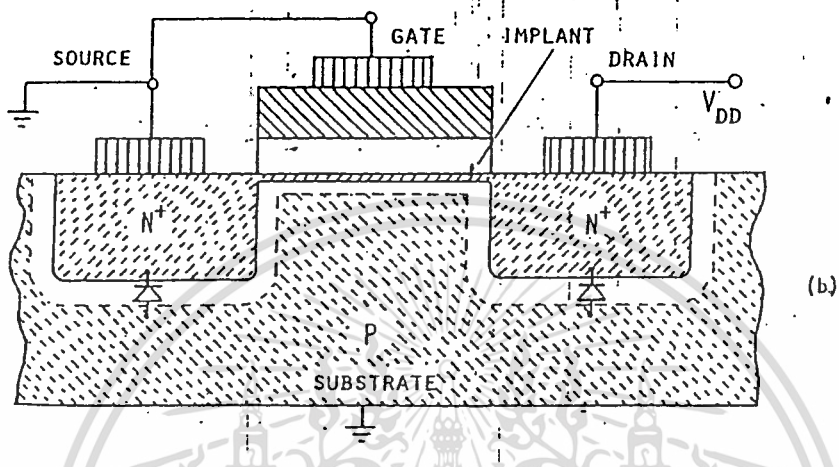


รูป 2.10 กราฟแสดงความสัมพันธ์ระหว่าง I_D กับ V_{DD}

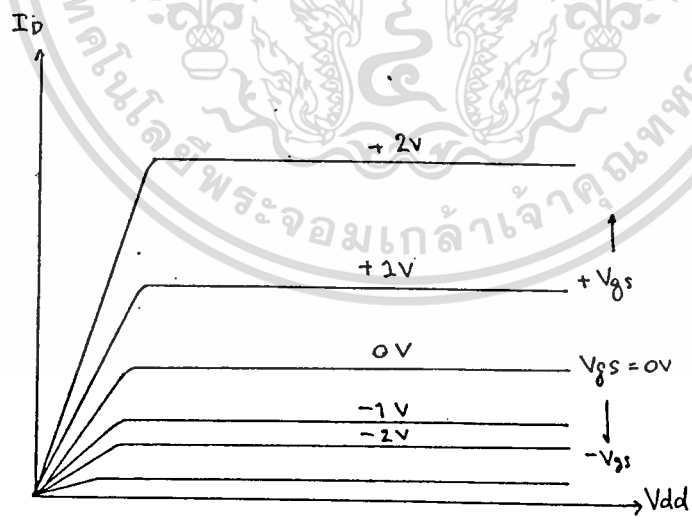
2.2.2.2) ทรานซิสเตอร์แบบดีพลีทชั่นโหมด (Depletion mode Transistor) ทรานซิสเตอร์แบบดีพลีชั่นโหมดชนิดเอ็นแชนแนลมีลักษณะโครงสร้าง ดังแสดงในรูปที่ 2.11 โดยที่ส่วนของซอสและเดรนจะถูกสร้างขึ้นโดยการแพร่อะตอมสารเจือชนิดเอ็น ซึ่งมีความหนาแน่นสูงเข้าไปในแผ่นผลึกฐานรองของซิลิกอนชนิดพี หลังจากนั้นส่วนของแชนแนลจะถูกสร้างขึ้นด้วยวิธีการอิมพลานเตชั่น (implantation) ซึ่งเป็นวิธีการยิงอะตอมสารเจือเข้าไปในเนื้อสารกึ่งตัวนำ ลักษณะและโครงสร้างอื่น ๆ ของทรานซิสเตอร์แบบนี้จะเหมือนกับแบบเอ็นฮานซ์เมนท์โหมดทุกประการ

จากลักษณะโครงสร้างดังในรูปที่ 2.11 จะเห็นว่าขณะที่แรงดันเกท $V_G = 0$ โวลท์ และเมื่อแรงดันซอส-เดรน V_{DS} มีค่า ค่าหนึ่งกระแสเดรนก็จะเริ่มไหล นั่นก็คือ แม้ว่าไม่มีแรงดันที่เกท กระแสก็สามารถไหลผ่านแชนแนลได้ เนื่องจากแชนแนลถูกสร้างขึ้นมาแล้ว และในขณะที่แรงดันเกทถูกให้มีศักย์เป็นลบมากขึ้น จะมีผลทำให้เกิดการเหนี่ยวนำประจุไฟฟ้าบวกเข้ามายังบริเวณแชนแนล ทำให้แชนแนลมีขนาดลดลง หรือก็คือ ทางเดินของกระแสจะแคบลง ดังนั้นขนาดของกระแสอิ่มตัวในกรณีนี้จะมีค่าลดลง และในทางตรงกันข้าม ถ้าเกทได้รับแรงดันไบอัสเป็นบวกมากขึ้น สนามไฟฟ้าที่เกิดขึ้นบริเวณโครงสร้างของมอส จะก่อให้เกิดการเหนี่ยวนำประจุลบเข้ามาสะสมบริเวณแชนแนลมากยิ่งขึ้น ดังนั้นขนาดของแชนแนลจึงขยายกว้างขึ้นกว่าเดิม และมีผลทำให้ขนาดของกระแสอิ่มตัวในกรณีนี้มีค่าเพิ่มมากขึ้น ดังแสดงในรูปที่ 2.11

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 2.11 แสดงการทำงานของทรานซิสเตอร์แบบดีพลีทชั่นโหมด



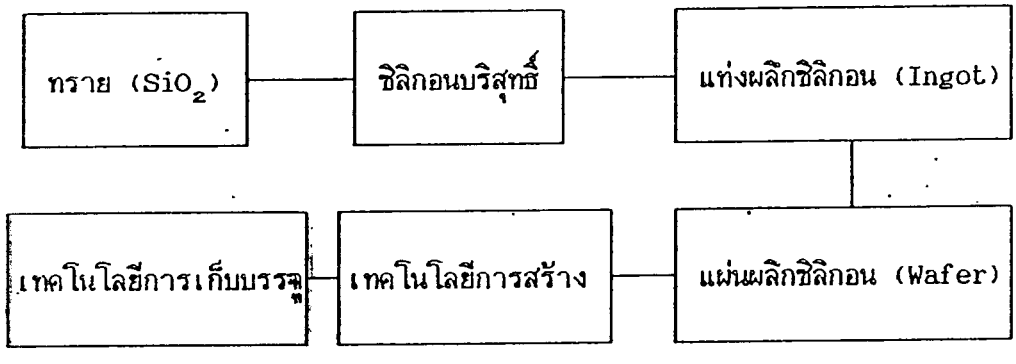
รูป 2.12 กราฟแสดงความสัมพันธ์ระหว่าง I_{DD} กับ V_{DD}

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.3 เทคโนโลยีของส่วนประดิษฐ์ของสารกึ่งตัวนำ

ส่วนประดิษฐ์สารกึ่งตัวนำ หรือ Semiconductor device หมายถึง อุปกรณ์หรือชิ้นส่วนอิเลคทรอนิกส์ที่สร้างขึ้นจากวัสดุสารกึ่งตัวนำ กระบวนการสร้างสิ่งประดิษฐ์ถูกเรียกว่า "เทคโนโลยีการสร้างสิ่งประดิษฐ์สารกึ่งตัวนำ" สิ่งประดิษฐ์สารกึ่งตัวนำในปัจจุบันมีมากมาย เช่น ไดโอด, ทรานซิสเตอร์ และไอซีต่าง ๆ ในการออกแบบวงจรรวมขนาดใหญ่มาก เราจะเน้นถึงการสร้างทรานซิสเตอร์แบบมอสที่เป็น ซีมอส กระบวนการสร้างสิ่งประดิษฐ์ต่าง ๆ เหล่านี้ จะมีลักษณะคล้ายกัน

วัสดุสารกึ่งตัวนำมีอยู่หลายชนิด เช่น เยอรมันเนียม, ซิลิกอน, แคดเมียมซัลไฟล์ และแกลเลียมฟอสไฟด์ เป็นต้น สำหรับสิ่งประดิษฐ์ประเภทวงจรรวมโดยทั่วไปใช้ซิลิกอน ด้วยเหตุผลที่ว่า ธาตุชนิดนี้มีอยู่มากมายบนผิวโลก ก็คือ ทรายทั่วไป โดยจะอยู่ในลักษณะของสารประกอบ ซิลิกอนไดออกไซด์ (SiO_2) โดยเราจะแยกซิลิกอนบริสุทธิ์ออกมาจากทราย ไปผ่านขบวนการปลูกผลึก (Crystal Growth) ซึ่งจะได้แท่งผลึก (Crystal ingot) แท่งผลึกจะถูกตัดเป็นชิ้นบาง ๆ ขนาด 200-300 ไมครอน เรียกว่า เวเฟอร์ (Wafer) แผ่นผลึกที่ได้นี้ อาจจะเป็นสารกึ่งตัวนำชนิดเอ็น (n-type) หรือชนิดพี (p-type) ที่ขึ้นอยู่กับการเจืออะตอมสารเจือ (Impurity atom) ที่เติมลงไปในสารซิลิกอนขณะทำการปลูกผลึก แผ่นผลึกสารกึ่งตัวนำจะถูกนำมาใช้เป็นวัสดุเริ่มต้น สำหรับการสร้างสิ่งประดิษฐ์สารกึ่งตัวนำ ซึ่งเทคนิคที่สำคัญก็คือ เทคนิคของการสร้างรอยต่อ พี-เอ็น (P-N junction technique) ด้วยเทคนิคนี้เราจึงได้สิ่งประดิษฐ์สารกึ่งตัวนำที่มีคุณสมบัติต่างกันไป ตามเทคโนโลยีที่ใช้



รูป 2.13 แสดงขั้นตอนในการสร้างสิ่งประดิษฐ์สารกึ่งตัวนำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.3.1) เทคนิคที่สำคัญสำหรับกระบวนการสร้าง

2.3.1.1) เทคนิคการสร้างแผ่นผลึกซิลิกอน (Wafer Processing)

สำหรับขั้นตอนนี้เราใช้ทรายเป็นวัตถุดิบ จากนั้นจะผ่านขบวนการทางเคมี เพื่อจะแยกธาตุซิลิกอนบริสุทธิ์ โดยซิลิกอนบริสุทธิ์นี้ จะเป็นผลึกที่เรียงตัวไม่สมบูรณ์ (Polycrystalline Silicon) โดยเราจะนำเอาผลึกที่เรียงตัวไม่สมบูรณ์มาผ่านขบวนการโซคราลสกี้ (Czochralski Process) ซึ่งเป็นวิธีปัจจุบันที่ใช้กันอยู่ในการปลูกผลึกซิลิกอน (Ingot) ในขบวนการนี้ เราสามารถที่จะเติมสารเจือเข้าไปในผลึกที่หลอมละลายอยู่ โดยผลึกที่หลอมละลายจะถูกบรรจุ ในหม้อหลอมโลหะที่ทำด้วยควอทซ์ (Quartz Crucible) ซึ่งล้อมรอบด้วยแท่งแผ่ความร้อนกราไฟท์ (Graphite Radiator) ซึ่งสามารถให้ความร้อนโดยการใช้คลื่นความถี่ในการเหนี่ยวนำ โดยจะควบคุมให้เหนือจุดหลอมเหลวของซิลิกอนเล็กน้อย จะมีอุณหภูมิประมาณ 1425 องศาเซลเซียส (จุดหลอมเหลวของซิลิกอน = 1410 องศาเซลเซียส) บรรยากาศหลังผลึกหลอมละลายจะต้องเป็น ฮีเรียม (Hilium) หรือ อาร์กอน (Argon) เพื่อป้องกันสารแปลกปลอมเข้ามาในซิลิกอน เช่น พวกออกไซด์ ในการดึงผลึกขึ้นมา แท่งแก้วจะต้องมีตัวก่อ (Seed) โดยจะจุ่มลงไปในสารหลอมละลาย แล้วค่อย ๆ หมุนขึ้นในแนวตั้ง โดยอัตราเร็วในการหมุน มีค่าระหว่าง 30-180 มิลลิเมตรต่อชั่วโมง แล้วทำให้สารหลอมละลายเย็นตัวลง ก็จะทำให้ได้ผลึกที่เรียงตัวแบบสมบูรณ์ (Single Crystal)

เมื่อได้แท่งผลึกก็จะมาทำการตัด (Slid) โดยปกติแผ่นผลึกเวเฟอร์ จะมีความหนาอยู่ในช่วงระหว่าง 0.25-1.00 มิลลิเมตร ขึ้นอยู่กับขนาดของเส้นผ่าศูนย์กลาง จากนั้นจะนำมาขัดด้วยผงขัด ทำให้เกิดเป็นมันเงาเหมือนกระจก

2.3.1.2) เทคนิคการสร้างชั้นออกไซด์ (Oxidation)

สำหรับชั้นของซิลิกอนไดออกไซด์ ซึ่งจะมีคุณสมบัติที่เป็นฉนวนไฟฟ้าและโปร่งแสง ถูกนำมาใช้เป็นชั้นป้องกันผิวหน้าของสิ่งประดิษฐ์ นอกจากนี้ ยังใช้ป้องกันการแพร่ของสารเจือไม่ให้เข้าไปในส่วนที่ไม่ต้องการ ชั้นของออกไซด์สามารถสร้างได้หลายวิธี แต่ที่ใช้กันโดยทั่วไปได้แก่ กระบวนการออกซิเดชั่นโดยความร้อน (Thermal

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

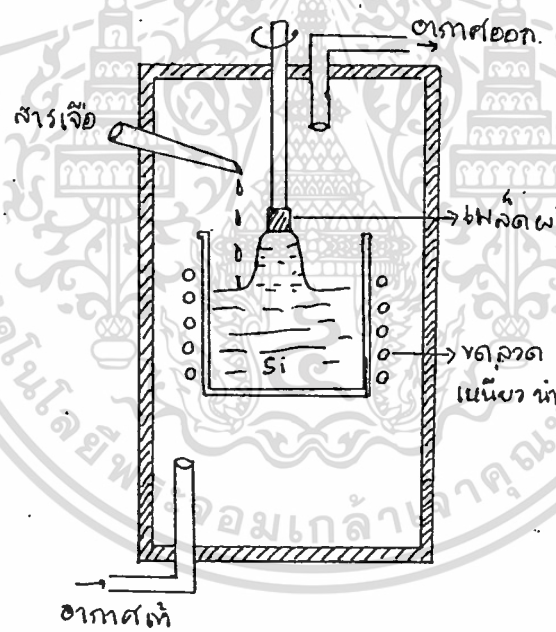
Oxidation) โดยจะนำเอาแผ่นเหล็กซิลิกอนไปไว้ในเตาอุณหภูมิสูง และทำให้ทำปฏิกิริยากับออกซิเจนดังสมการเคมี

$$Si + O_2 \longrightarrow SiO_2$$

การออกซิเดชั่นแบบนี้ได้แบ่งออกเป็น 2 วิธี

-การออกซิเดชั่นแบบเปียก (Wet Oxidation) โดยทำให้เกิดการออกซิเดชั่นที่บรรยากาศของไอน้ำ(O_2) โดยจะมีอุณหภูมิอยู่ระหว่าง 900 องศา ถึง 1000 องศา ขบวนการนี้เกิดขึ้นได้อย่างรวดเร็ว

-การออกซิเดชั่นแบบแห้ง (Dry Oxidation) จะมีการออกซิไดซ์ที่บรรยากาศของออกซิเจนบริสุทธิ์ (O_2) โดยจะมีอุณหภูมิอยู่ในช่วง 1200 องศา



รูป 2.14 แสดงขบวนการสร้างผลึกซิลิกอนด้วยขบวนการโชคราวสกี้

2.3.1.3) <u>เทคนิคการเปิดช่องออกไซด์</u>

ภายหลังจากการออกซิเดชั่นแผ่นผลึกแล้ว ชั้นของออกไซด์จะเคลือบผิวของแผ่นซิลิกอนทั้งหมด การสร้างสิ่งประดิษฐ์สารกึ่งตัวนำชนิดต่างๆ จำเป็นที่จะต้องเปิดช่องออกไซด์ออก เพื่อที่จะเติมอะตอมสารเจือชนิดตรงกันข้ามไปในเนื้อซิลิกอน กระบวนการที่นิยมใช้สำหรับการเปิดช่องออกไซด์ออกนี้ก็คือ "กระบวนการโฟโตลิโธกราฟี"

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

(Photolithography process) บางครั้งเรียกสั้น ๆ ว่า โฟโตเอชชิ่งค์ (Photo etching) วัสดุและอุปกรณ์ที่จำเป็นสำหรับกระบวนการนี้ก็คือ กระจกต้นแบบ, น้ำยาไวแสง, น้ำยาล้าง (Developer), น้ำยาละลายออกไซด์ เป็นต้น

กระจกต้นแบบหรือ Mask มีหลายแบบ มีลักษณะคล้ายฟิมล์กระจก ภาพต้นแบบของตัวทรานซิสเตอร์หรือสิ่งประดิษฐ์อื่น ๆ จะถูกนำมาถ่ายย่อลงบนกระจกต้นแบบ ให้มีขนาดเท่ากับขนาดจริงที่ต้องการ ซึ่งในระดับของวงจรรวมขนาดใหญ่ขนาดที่เล็กที่สุดประมาณ 1 ไมครอน

น้ำยาไวแสง (Photoresist) เป็นสารไวแสงซึ่งมีอยู่2 ชนิดคือ แบบชนิดลบ(Negative type) และชนิดบวก (Positive type) สามารถเลือกใช้ได้ตามความเหมาะสม

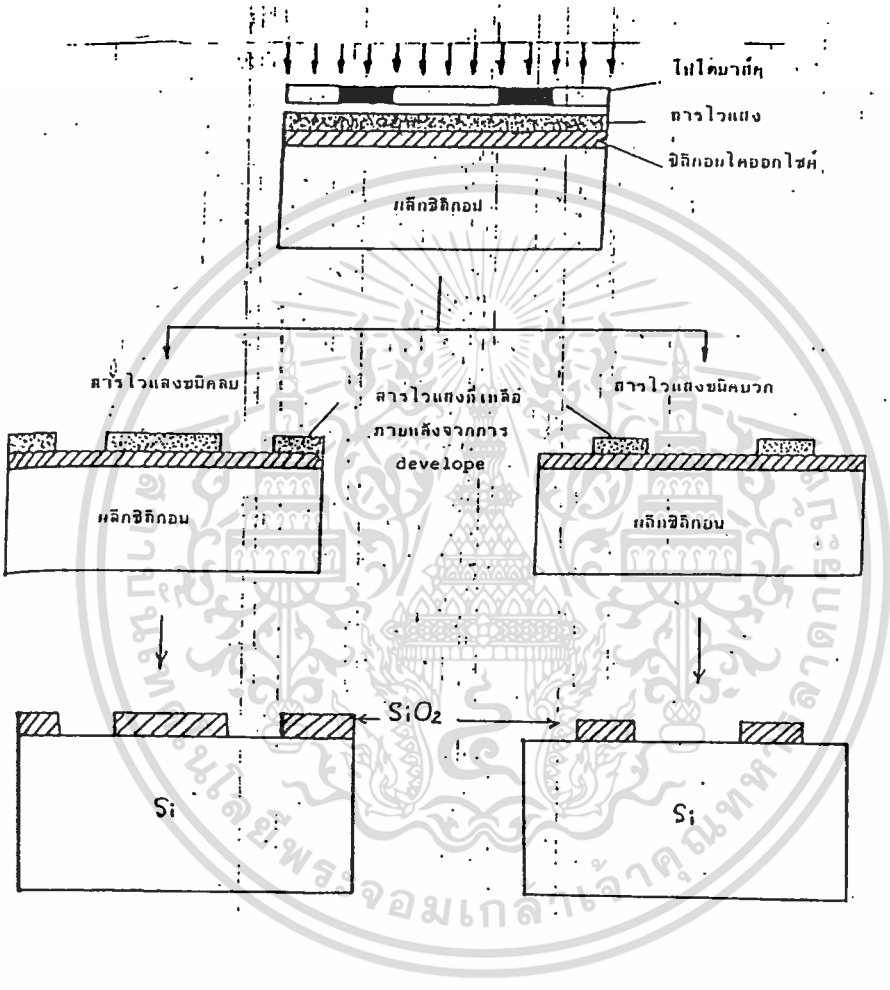
ขั้นตอนง่าย ๆ ของกระบวนการเปิดช่องออกไซด์ลำดับได้ดังนี้คือ นำแผ่นผลึกซิลิกอนที่มีชั้นออกไซด์อยู่ที่ผิวหน้า ไปเคลือบด้วยน้ำยาไวแสง จากนั้นนำกระจกต้นแบบที่มีลวดลายปรากฏอยู่ ทาบกับแผ่นผลึกซิลิกอน แล้วฉายด้วยแสงอุลตร้าไวโอเลต จากนั้นนำแผ่นผลึกไปล้างน้ำยาล้าง (Developer) บริเวณของสารไวแสงที่ถูกแสงและไม่ถูกแสง จะมีปฏิกิริยากับน้ำยาล้างแตกต่างกัน ดังนั้น จึงทำให้เกิดภาพลวดลายเหมือนต้นแบบบนแผ่นผลึก นำแผ่นผลึกที่ได้ไปจุ่มลงในน้ำยาละลายออกไซด์ ชั้นของออกไซด์บริเวณที่ไม่มีสารไวแสงเคลือบอยู่ และถูกละลายออกไปกลายเป็นช่อเปิดออก และมีลักษณะลวดลายเหมือนกระจกต้นแบบทุกประการ ดูในรูปที่ 2.15

2.3.1.4) <u>เทคนิคการเติมอะตอมสารเจือ</u>

เมื่อแผ่นซิลิกอนที่ถูกเปิดช่องของออกไซด์แล้ว จะถูกนำไปเติมอะตอมสารเจือ เพื่อสร้างเป็นรอยต่อพี-เอ็น (P-N junction) มีอยู่ 2 วิธี ที่นิยมใช้กันในปัจจุบัน

1 <u>การแพร่อะตอมสารเจือด้วยความร้อน</u> (Thermal Diffusion) โดยจะให้แผ่นซิลิกอนอยู่ในท่อที่มีความร้อนสูง โดยอยู่ในบรรยากาศของสารเจือที่แพร่เข้าไปวิธีการนี้สามารถทำได้ง่ายมีราคาต่ำ แต่ประสิทธิภาพจะไม่ค่อยดี เพราะจะมีการแพร่ออกด้านข้าง อาจทำให้มีการเชื่อมติดต่อถึงกันได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

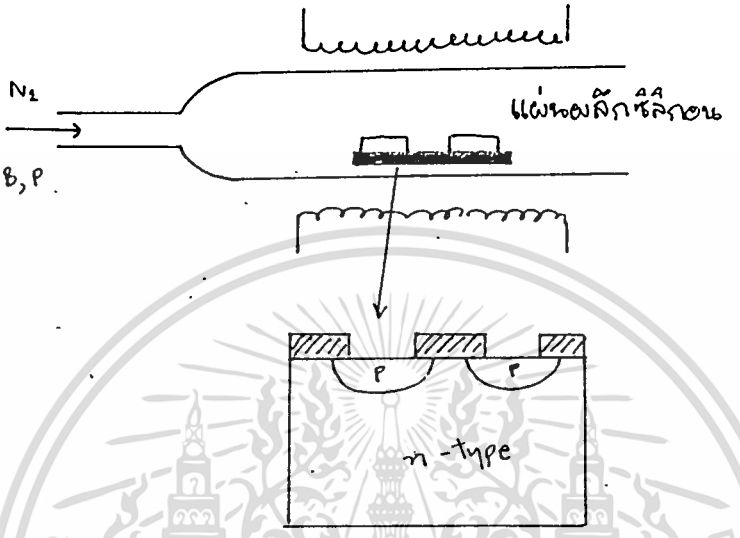


รูป 2.15 แสดงขั้นตอนการเปิดช่องออกไซด์

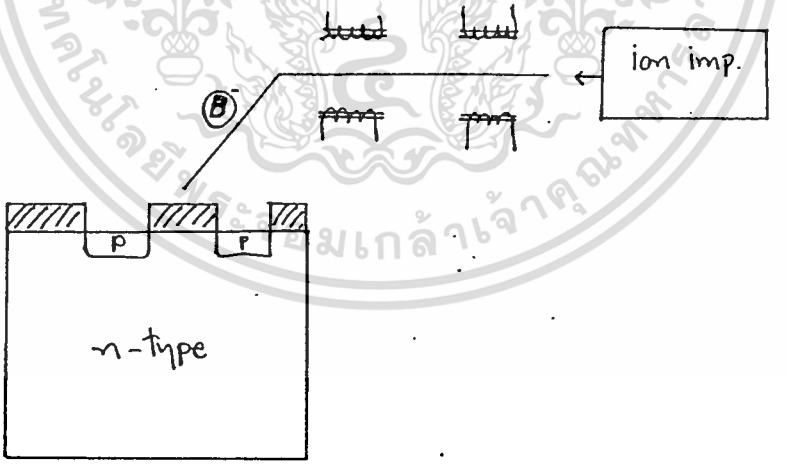
2 <u>การแพร่ยะดอมสารเจือด้วยกระบวนการไอออนอิมพลานเตชั่น</u>

(Implantation) ขบวนการนี้จะใช้ลำแสงอิเลคตรอน ยิงลำอิเลคตรอนไปยังเป้าหมายสามารถที่จะควบคุมความแม่นยำในการแพร่สารได้สูง เหมาะสำหรับการแพร่สารของเทคโนโลยี่วงจรรวมขนาดใหญ่ ขบวนการนี้จะมีต้นทุนในการผลิตสูงมาก และจะต้องใช้เวลาในการทำนาน เพราะจะต้องทำไปยังทุกจุดบนแผ่นผลึกซิลิกอนที่ต้องการแพร่สาร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 2.16 แสดงการแพร่อะตอมสารเจือด้วยความร้อน



รูป 2.17 แสดงการแพร่อะตอมสารเจือด้วยการอิมพลานเตชั่น

2.3.2) <u>กระบวนการสร้างอุปกรณ์โดยใช้มอสเทคโนโลยี่</u>

สามารถแบ่งได้เป็น 3 ลักษณะ คือ

- กระบวนการ เอ็นมอส
- กระบวนการ พีมอส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- กระบวนการ ซีมอส

ส่วนเกทนั้นอาจใช้เป็น อลูมิเนียม หรือจะเป็นโพลิซิลิกอนก็ได้ ในเทคโนโลยีการออกแบบวงจรรวมขนาดใหญ่ จะใช้แบบโพลีซิลิกอนเกท

ในการสร้างอุปกรณ์วงจรรวมขนาดใหญ่ ได้ใช้เฉพาะเทคโนโลยีของเอ็นมอส กับ ซีมอส เท่านั้น และในปัจจุบันการผลิตวงจรรวมขนาดใหญ่มาก จะมีเฉพาะเทคโนโลยีของ ซีมอส เพราะมีข้อได้เปรียบเทคโนโลยีของเอ็นมอส อยู่หลายประการเช่น

- มีการกระแสที่ต่ำกว่า คือ จะกินกระแสเฉพาะช่วงที่มีการเปลี่ยนแปลงโลจิก (Transition) เท่านั้น

- มีไรส์ไทม์ (Rise time) กับฟอลไทม์ (Fall time) อยู่ในอันดับเดียวกัน

- สามารถนำเอาเอาท์พุท ไปเป็นอินพุทของอุปกรณ์ตัวอื่นได้หลายตัว คือ มีกำลังขับ (Fan out) สูง

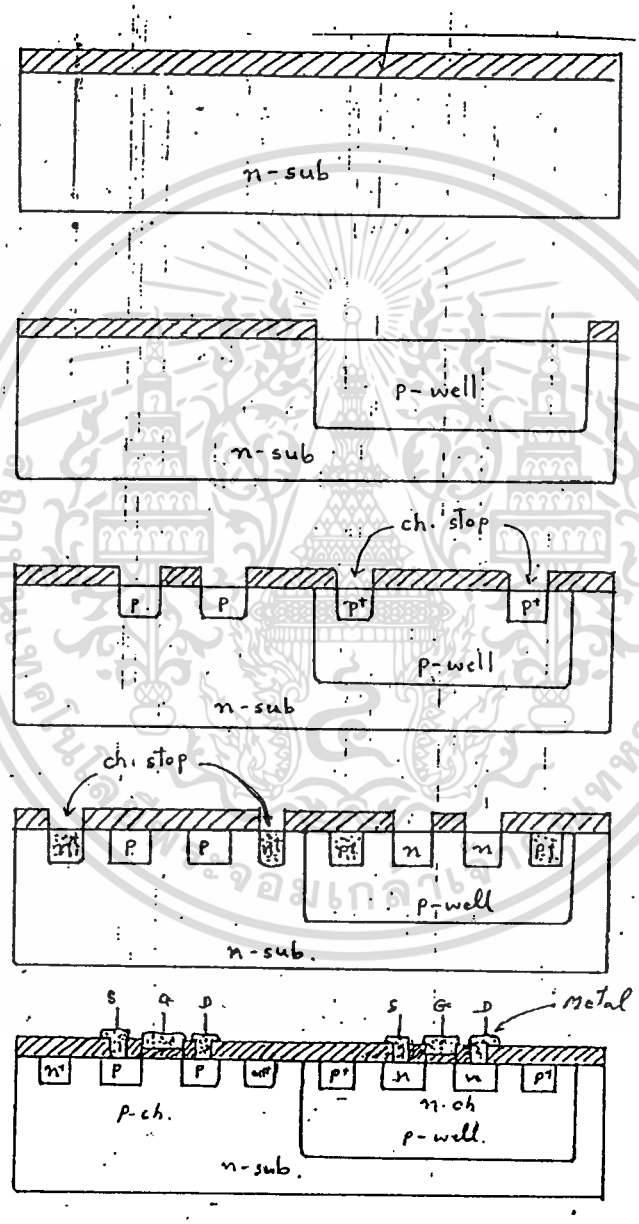
- จะมีค่าของโลจิกที่เป็น "1" กับเป็น "0" ที่สมบูรณ์

- มีช่วงการทำงานของเพาเวอร์ซัพพลาย ซึ่งสามารถเปลี่ยนแปลงได้ คือ อยู่ในช่วง 1.5-15 V

2.3.2.1) <u>กระบวนการสร้างซีมอสแบบเกทที่เป็นโลหะ</u>

เริ่มจากแผ่นผลึกซิลิกอนชนิดเอ็น ถูกนำไปออกซิเดชั่น จากนั้นก็เปิดชั้นของออกไซด์ในส่วนที่จะทำเป็นบ่อชนิดพี (Pwell) แล้วจึงทำการแพร่สารโดยเจืออะตอมสารชนิดพี ซึ่งบริเวณนี้จะเป็นส่วนฐานรองของทรานซิสเตอร์ชนิดเอ็น เมื่อได้ดังนี้จึงทำการสร้างทรานซิสเตอร์ชนิดพีบนฐานรองชนิดเอ็น โดยการแพร่สารเจือชนิดพี และต่อมาทรานซิสเตอร์ชนิดเอ็นก็ถูกสร้างขึ้น ในส่วนของบ่อชนิดพี จากนั้นชั้นออกไซด์บาง (Thin oxide) บริเวณเกทจะถูกสร้างขึ้น แล้วจึงสร้างชั้นสัมผัสอะลูมิเนียมและอะลูมิเนียมเกท ที่ตัวทรานซิสเตอร์ทั้งสอง ในบางครั้งเพื่อเพิ่มประสิทธิภาพการทำงาน อาจมีการสร้าง "แชลนัล สต๊อบ" (Channel stop) เพื่อป้องกันการลัดถึงกันของซอสกับเดรน หรือที่เรียกว่า ปรากฏการณ์เลทอัพ (Latch up) เราจะเห็นขั้นตอนการสร้างเป็นไปตามลำดับของรูป 2.18

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 2.18 แสดงขั้นตอนกระบวนการสร้างซีมอสแบบเกทที่เป็นโลหะ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.3.2.2) <u>กระบวนการสร้างซีมอสแบบซิลิกอนเกท</u>

กระบวนการนี้จะใช้ซิลิกอนเป็นเกท ซึ่งจะสามารถเป็นตัวกำหนดอัตราส่วนความกว้างและความยาว ที่มีผลต่อการทำงานของทรานซิสเตอร์ เราเรียกวิธีการแบบนี้ว่า "self-aligned" ส่วนกระบวนการอื่นก็ใช้เหมือนกระบวนการที่ผ่านมา ดังมีขั้นตอนตามรูป 2.19

รูป A จะนำชั้นของแผ่นซิลิกอนที่เคลือบด้วยซิลิกอนไดออกไซด์ (SiO_2) แล้วมาเปิดช่องส่วนที่จะเป็นทรานซิสเตอร์ออก

รูป B ทำการเคลือบทินออกไซด์ (Thin oxide) ซึ่งเป็นการทำเกทออกซิเดชั่น โดยส่วนนี้มีความหนาประมาณ 200 ~ 800 อังสตอม

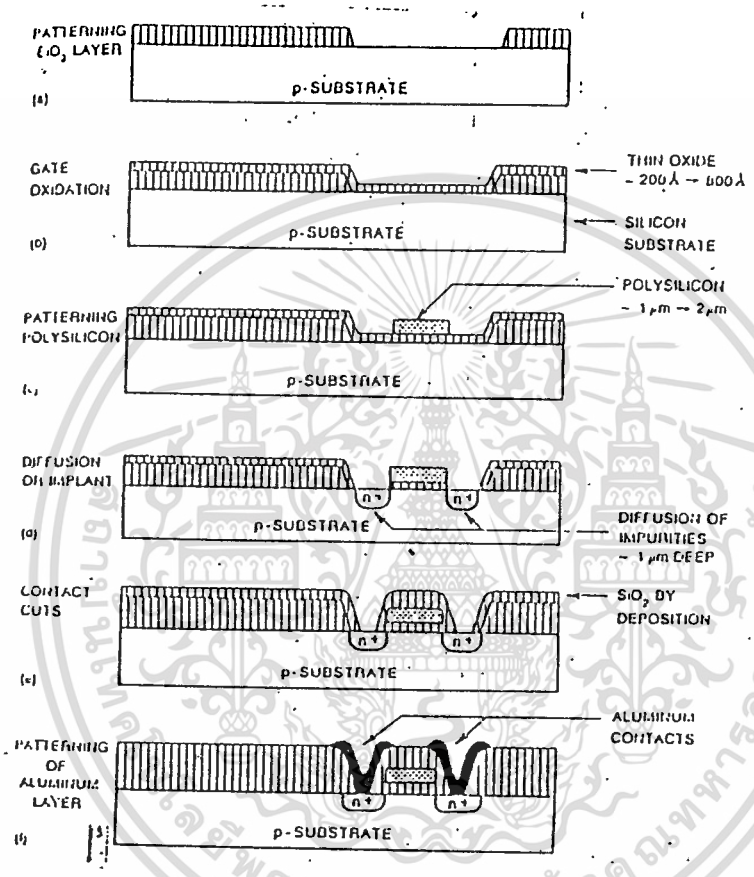
รูป C นำแผ่นหน้ากากที่ใช้สำหรับกัดลายของโพลิซิลิกอนมาทำการวาดลวดลายซิลิกอนลงบนชิ้นงาน

รูป D ทำการเปิดช่อง n-type ส่วนที่จะแพร่สาร แล้วทำการแพร่สาร n ลงไปในช่องออกไซด์ที่เปิดไว้

รูป E ทำการเคลือบออกไซด์ทั้งหมดอีกหน โดยเน้นส่วนที่จะเชื่อมโลหะ (Contact cut) ออกไปส่วนภายนอก

รูป F ทำการวางส่วนที่เป็นโลหะคือ อลูมิเนียม ลงไปในส่วนของ (Contact cut) และลวดลายโลหะที่ใช้เชื่อมติดต่อกันทั้งหมด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



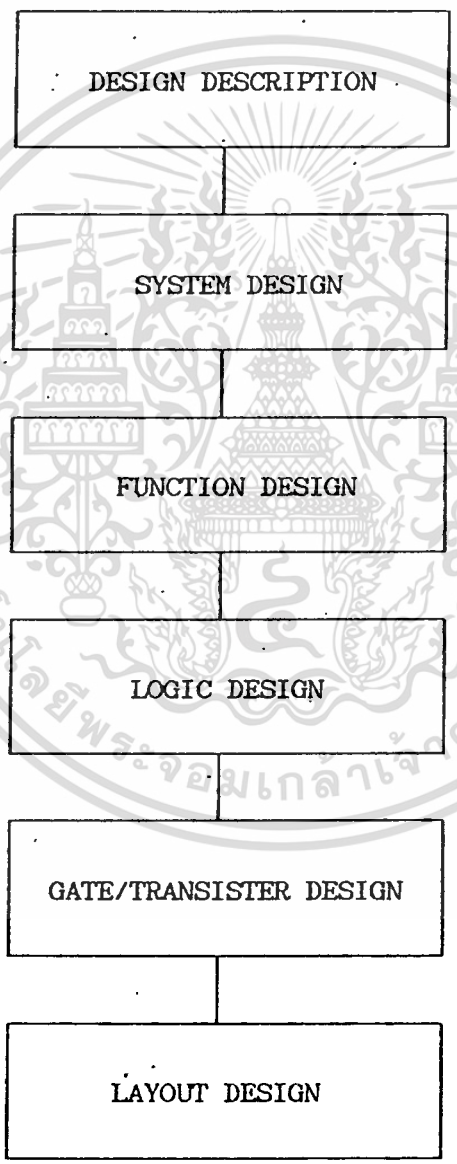
รูป 2.19 แสดงขั้นตอนกระบวนการสร้างซีมอสแบบซิลิกอนเกท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3

หลักการออกแบบวงจรรวมขนาดใหญ่

3.1 ขั้นตอนในการออกแบบวงจรรวมขนาดใหญ่ เราสามารถจะแบ่งวิธีการออกแบบได้ตามไดอะแกรมได้ดังรูป 3.1



รูป 3.1 ไดอะแกรม แสดงถึงขั้นตอนในการออกแบบ

3.1.1 ดีไซน์ เดสคริปชั่น (Design description) เป็นขั้นตอนที่ทำการกำหนด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ลักษณะของวงจรทั้งหมด ถึงลักษณะการทำงานโดยบอกถึงอินพุทที่ต้องการเอาท์พุทที่ได้ ตลอดจนความสามารถในการตอบสนองความถี่ของวงจร

3.1.2 การออกแบบซิสเต็ม (System design) ในขั้นตอนนี้จะทำการแบ่งบล็อกการทำงานที่ประกอบกันเป็นวงจรอย่างคร่าว ๆ รวมทั้งกำหนดตำแหน่งของแต่ละบล็อกในวงจรซึ่งเรียกว่าฟลอร์แพลน(Floor plan) โดยจะต้องคำนึงถึงความสะดวกในการเชื่อมต่อระหว่างบล็อก และการเชื่อมต่อระหว่างตัววงจรกับขาของชิปที่จะต่อนำไปใช้งาน ตลอดจนการใช้สายต่าง ๆ ร่วมกัน

3.1.3 การออกแบบฟังก์ชัน (Function) เป็นการอธิบายถึงรายละเอียดในการทำงานของแต่ละบล็อก

3.1.4 การออกแบบระดับโลจิก (LOGIC DESIGN) จะทำการเปลี่ยนการทำงานของฟังก์ชันที่ได้จากขั้นตอนที่แล้ว เป็นวงจรทางโลจิกทั้งหมด

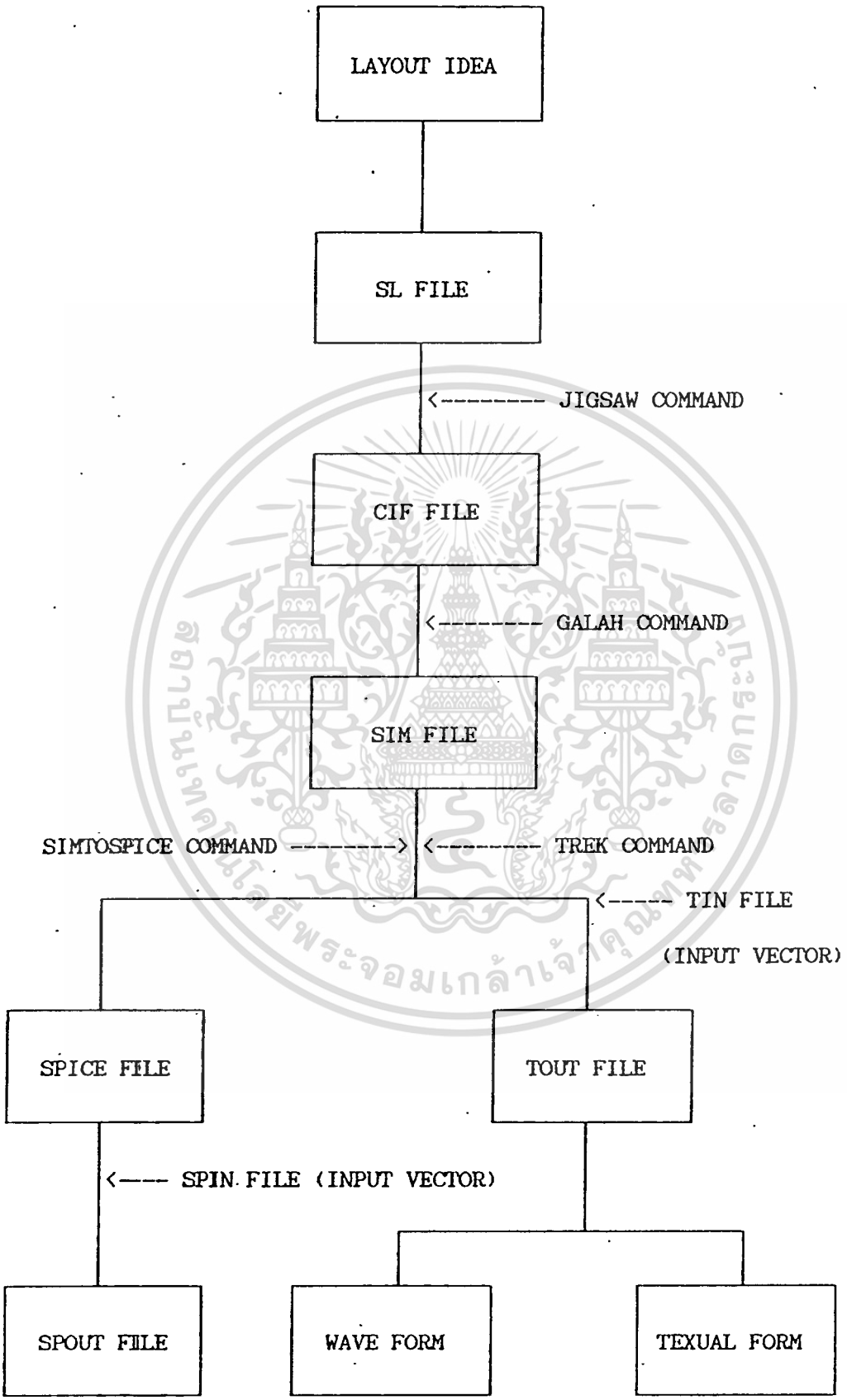
3.1.5 การออกแบบในระดับเกตและทรานซิสเตอร์ (GATE/TRANSISTER DESIGN) เป็นการเปลี่ยนวงจรโลจิก ที่ได้จากขั้นตอนที่แล้ว มาเป็นวงจรที่ประกอบไปด้วยการทำงานในระดับเกท และเปลี่ยนให้อยู่ในระดับการทำงานของทรานซิสเตอร์ ในที่สุด

3.1.6 การออกแบบในระดับเลย์เอาท์ (LAYOUT DESIGN) เป็นขั้นตอนสุดท้ายในการออกแบบ คือ ทำการจัดวางทรานซิสเตอร์ ลงไปในระดับชั้น(Layer) โดยขั้นตอนนี้ต้องคำนึงถึงข้อกำหนดของกฎการออกแบบ (Design rules) ตลอดจนทำการซิมมูเลต (simulate) วงจร ให้ได้การทำงานตามเวลา(Timing Diagram) เพื่อตรวจสอบความถูกต้องของการทำงานเบื้องต้นของวงจร ในขั้นตอนนี้ เราสามารถใช้ซอฟแวร์ เข้ามาช่วย โดยใช้ซอฟแวร์ที่ชื่อเซอร์แคด ทู(CIRCAD II) ในการออกแบบ

3.2 ขั้นตอนการออกแบบโดยใช้ซอฟแวร์

ในอดีตการออกแบบวงจรจะใช้มือทำ(manual) โดยกำหนดเป็นอัตราส่วนขยายออกมา เมื่อออกแบบเสร็จแล้วจึงนำไปถ่ายย่อส่วนลงมา ทำให้การออกแบบเป็นไปได้อย่างลำบาก จึงพัฒนาการออกแบบโดยใช้ซอฟแวร์เข้าช่วย ซึ่งเป็นโปรแกรมสำหรับการออกแบบวงจรรวมขนาดใหญ่โดยเฉพาะ ซึ่งมีขั้นตอนการใช้งานดังรูปที่ 3.2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.2 แสดงลำดับขั้นตอนในการออกแบบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 3.2 สามารถอธิบายได้ดังนี้คือ

1 การออกแบบขั้นแรกจะเป็นการออกแบบจากแนวความคิด(LAYOUT IDEA) เป็นเลย์เอาท์ของวงจรที่จะออกแบบ โดยจะออกมาในรูปของสติกไดอะแกรม(stick diagram) เป็นการออกแบบอย่างคร่าวตามแนวความคิดของผู้ออกแบบ ช่วยให้การออกแบบในระดับต่อไปง่ายขึ้น

2 จากนั้นจึงนำเอาเลย์เอาท์ ดังกล่าวมาออกแบบโดยผ่านซอฟแวร์ เซอร์แคด ทู โดยทำการวางอุปกรณ์ทรานซิสเตอร์ และเชื่อมต่อทางเดินไฟฟ้าต่างๆเข้าด้วยกัน การออกแบบจะเป็นแบบระดับขั้น(hierarchical)โดยแบ่งเป็นระดับๆ จากระดับโมดูล ซึ่งเป็นบล็อกของวงจรย่อย จนไปถึงระดับลีฟเซล ซึ่งเป็นระดับที่ประกอบไปด้วย อุปกรณ์ (transistors) และการวางสายต่างๆ ผลของการออกแบบจะอยู่ใน เอสแอล ไฟล์ (Symbolic Layout File)

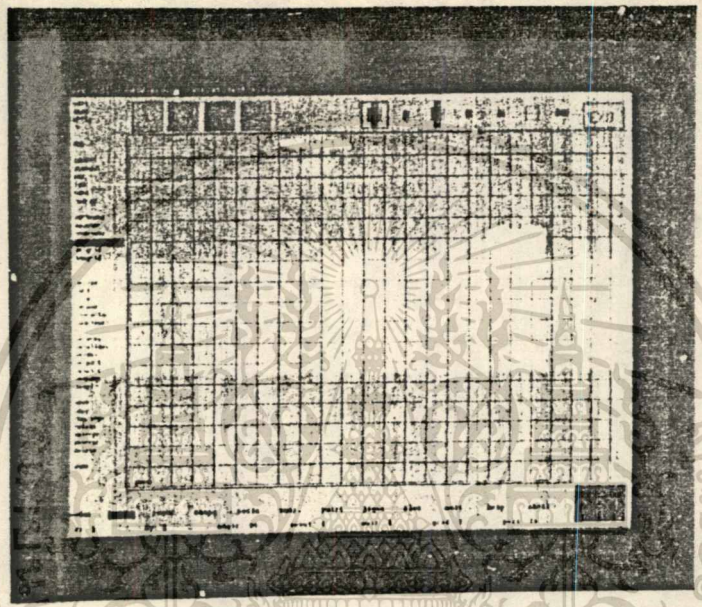
3 เมื่อได้ เอสแอล ไฟล์ เป็นผลลัพธ์จากการออกแบบ จะต้องทำการเปลี่ยนให้อยู่ในรูปแบบมาตรฐาน ที่ใช้กันอยู่ทั่วไป โดยจะเปลี่ยนให้อยู่ในรูปซีไอเอฟ ไฟล์ (Caltech Intermediate Form) ซึ่ง โคทของซีไอเอฟเป็นสัญลักษณ์ทางด้านกราฟฟิค ซึ่งกำหนดรูปร่างทางเรขาคณิตของวงจรรวมที่ออกแบบ หน้าที่ของซีไอเอฟ ก็คือใช้เป็นภาษาที่เชื่อมโยงระหว่างผู้ออกแบบและการผลิตหน้ากากในการแพร่สารของทางโรงงานผู้ผลิต ในการเปลี่ยนจากเอสแอล ไฟล์ไปยัง ซีไอเอฟ ไฟล์ สามารถจะใช้คำสั่ง จิกซอว์ โดยตรงจากโปรแกรมเซอร์แคด ทู

4 เมื่อได้ ซีไอเอฟ ไฟล์ ก็อาจถือว่าเป็นการสิ้นสุดการออกแบบแล้ว ทางผู้ผลิตจะสนใจแต่ เอสแอล ไฟล์และ ซีไอเอฟ ไฟล์ ขั้นตอนต่อไปจะเป็นการทดสอบการทำงานของวงจรว่าเป็นดังที่ออกแบบหรือไม่และทดสอบถึงความผิดพลาดต่างๆ ตลอดจนสภาวะการทำงาน โดยจะนำ ซีไอเอฟ ไฟล์ มาสร้างซิมไฟล์(SIMULATE FILE) โดยใช้คำสั่งการ์ลาท์(galah) ซึ่งในซิมไฟล์ จะเก็บค่าความเก็บประจุ ตลอดจนขนาดพื้นที่ของชั้นต่างๆ ที่จะใช้ในการคำนวณ และทดสอบต่างๆ

5 ทำการทดสอบ โดยป้อนสภาวะโลจิก เข้าไปเพื่อดูผลการเปลี่ยนแปลงของวงจร โดยจะใช้ซิมไฟล์กับไทม์มิ่ง-อินพุทไฟล์ (TIN FILE) ซึ่งเป็นไฟล์ข้อมูลที่ประกอบไปด้วย สภาวะโลจิก และขาเอาท์พุทที่ต้องการติดตาม มาสร้างไทม์มิ่ง-อินพุทไฟล์(TOUT FILE)

เอกสารนี้เป็นสาธารณะ ได้รับการสนับสนุนให้เผยแพร่ ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยใช้คำสั่งเทรค(trek) โดยไทม์มิ่ง-เอาท์พุทไฟล์ ที่ได้จะเป็นตัวบอกถึงการเปลี่ยนแปลงการทำงานของวงจร ในขณะที่มีอินพุทตามที่ป้อนในไทม์มิ่ง-อินพุทไฟล์และเราสามารถที่จะนำมาวาดเป็นสภาวะการทำงาน (wave form)โดยใช้คำสั่ง ซิมพลอต(simplot) ที่ ไทม์มิ่ง-เอาท์พุทไฟล์



รูป 3.3 แสดงหน้าจอการทำงานของซอฟแวร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่4

การออกแบบวงจร

4.1 การออกแบบวงจรนับ 104

เป็นขั้นตอนแรกในการออกแบบ โดยจะมองวงจรแล้วแบ่งเป็นบล็อก ต่างๆ แต่ละบล็อก จะมีการทำงานเฉพาะอย่างแตกต่างกันไป จากวงจรนับ 104 จะประกอบไปด้วย 2 บล็อก คือ

1) ไบนารี่เคาท์เตอร์ บล็อก

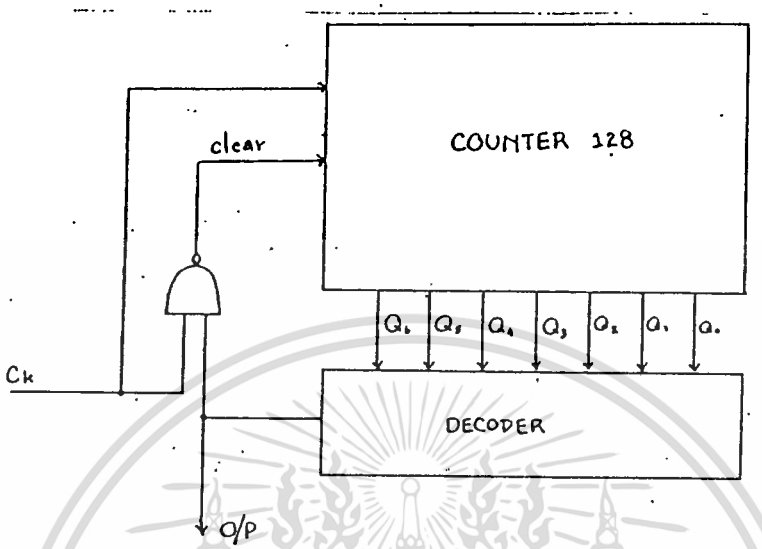
2) ดีโคดเดอร์ บล็อก

ดังแสดงในรูปที่ 4.1 ซึ่งเป็นบล็อกไดอะแกรม อย่างคร่าวๆ และเป็นขั้นตอนแรกในการออกแบบ ขั้นตอนต่อมาก็คือทำการวิเคราะห์แต่ละบล็อกว่าจะประกอบด้วยวงจรอย่างไรบ้าง ซึ่งเช่นเดียวกับวงจรนับทั่วไปที่ประกอบด้วย ฟลิปฟลอป และ เกทต่างๆ ฉนั้นในบล็อกที่ทำหน้าที่นับจึงประกอบด้วยฟลิปฟลอปทั้งหมด 7 ตัว ซึ่งเป็นที ฟลิปฟลอป และเกทในบล็อกที่ทำหน้าที่เป็นวงจรถอดรหัส เพื่อทำให้นับแค่ 0-103 เท่านั้นวงจรที่สมบูรณ์ของวงจรนับ104 ได้แสดงไว้ในรูปที่ 4.2 จากรูปที่ 4.2 จะเห็นว่าในขณะนี้เราได้วงจรที่เกือบจะประกอบด้วยเกททั้งหมด โดยยังมีอุปกรณ์ที่ไม่ใช่เกทคือ ฟลิปฟลอป ปนอยู่ ขั้นต่อไปที่จะต้องทำก็คือเปลี่ยนฟลิปฟลอป ให้เป็นเกทให้หมดเพื่อให้ได้วงจรในระดับเกท ในรูปที่ 4.3 แสดงให้เห็นการนำเอา แนนเกท(nand gate) มาต่อกันเป็น ฟลิปฟลอป ฉนั้นเราจะได้วงจรนับ104 ที่ประกอบด้วยเกททั้งหมดซึ่งพร้อมที่จะเปลี่ยนเป็นทรานซิสเตอร์ได้ต่อไป

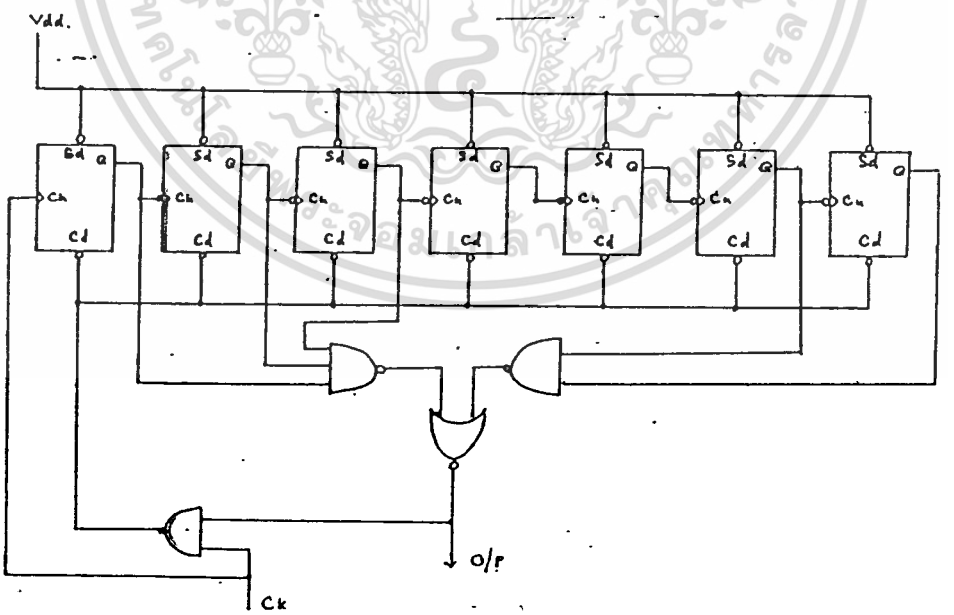
เมื่อแปลี่ยนวงจรให้อยู่ในระดับเกท แล้ว จึงทำการเขียน สติกไดอะแกรม ซึ่งเป็นแผนภาพชนิดหนึ่ง ที่จะใช้เป็นเครื่องมือช่วยทำให้การออกแบบง่ายขึ้น โดยสติกไดอะแกรมจะแสดงให้เห็นถึงการวางตำแหน่งต่างๆของทรานซิสเตอร์และสายเชื่อมต่างๆซึ่งจะเกิดขึ้นจริงเมื่อนำวงจรนั้นไปเจือสาร โดยสติกไดอะแกรมจะแสดงได้ถึงชั้นของสารแต่ละชนิด ในการแสดงนั้นจะแสดงออกมาเป็นลักษณะของสัญลักษณ์ที่แทนสารแต่ละชั้นดังแสดงในรูปที่4.4ก โดยมีหลักอยู่ง่ายๆดังนี้คือ

1 เมื่อใดที่สายเชื่อมที่เป็นชนิดเดียวกันหรืออยู่ชั้นเดียวกันมาชนกันหรือตัดกันเมื่อใด จุดที่ชนกันนั้นจะเชื่อมกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่4.1 บล็อกไดอะแกรมของวงจรนับ 104

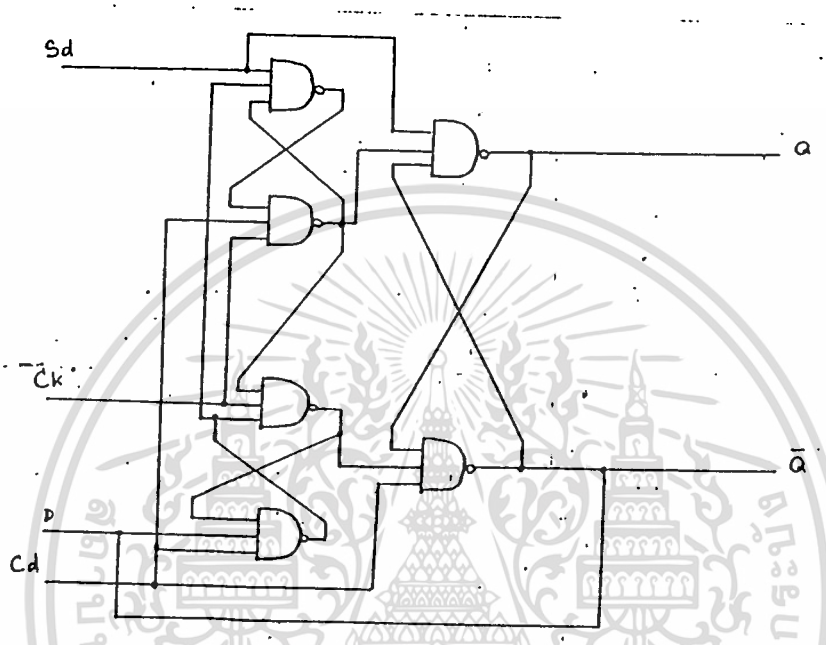


รูปที่ 4.2 โลจิกไดอะแกรมของวงจรนับ 104

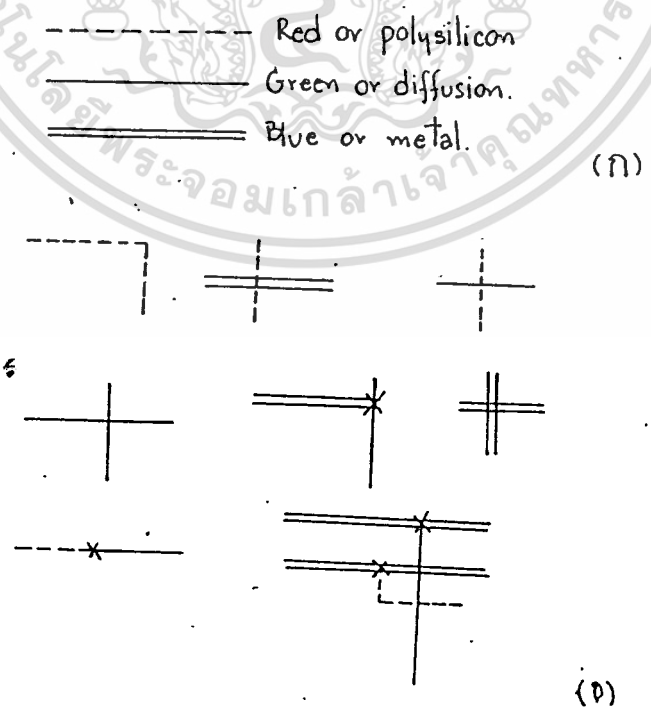
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2 จุดเชื่อมหรือจุดตัดระหว่างชั้นโพลีซิลิกอนกับโลหะหรือกับดิฟฟิวชั่น แสดงด้วยเครื่องหมายกากบาท

3 เมื่อใดก็ตามที่โพลีซิลิกอนลากผ่านดิฟฟิวชั่นจะเกิดทรานซิสเตอร์ขึ้นมาหนึ่งตัว



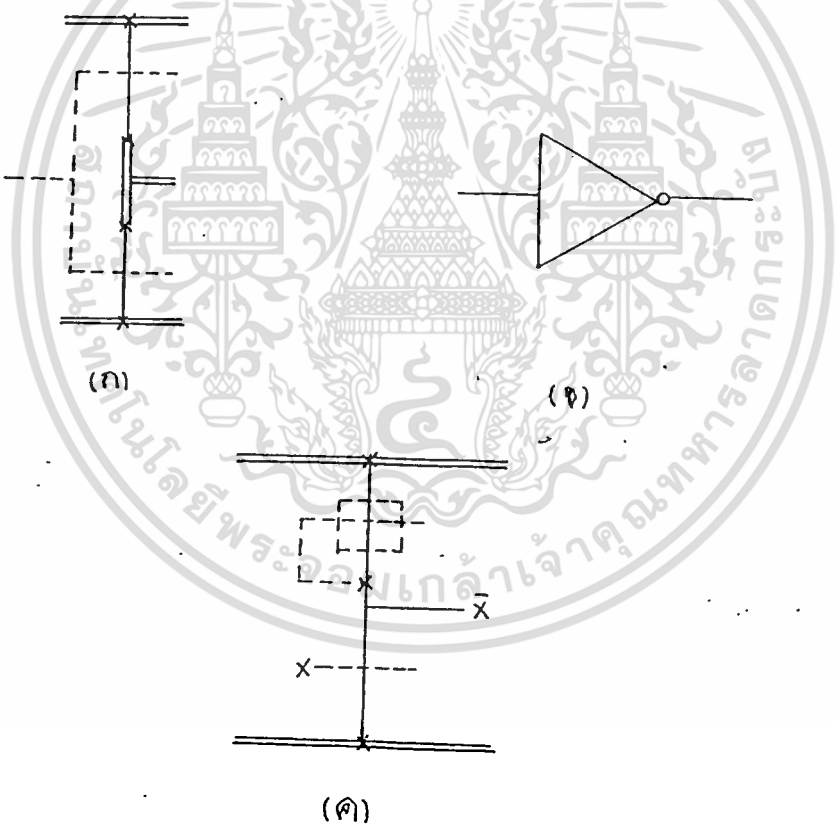
รูปที่ 4.3 การนำแนนเกทมาต่อเป็น ที-ฟลิปฟลอป



รูปที่ 4.4 ตัวอย่างสติคไดอะแกรม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ส่วนในรูปที่ 4.4ข แสดงลักษณะของสติคไดอะแกรมในลักษณะต่างๆ รูปที่ 4.5ก แสดงสติคไดอะแกรมของวงจรอินเวอร์ทเตอร์โดยสามารถเปรียบได้กับวงจรในรูปของทรานซิสเตอร์ในรูป 4.5ข ส่วน 4.5ค แสดงสติคไดอะแกรมของอินเวอร์ทเตอร์ในกรณีที่เป็นเอ็นมอส อย่างไรก็ตามสำหรับวงจรขนาดใหญ่ เมื่อเปรียบเทียบระหว่างการใช้ซอฟแวร์ออกแบบกับการเขียนสติคไดอะแกรม จะพบว่าสติคไดอะแกรมไม่สามารถช่วยอะไรได้มาก อย่างเช่น วงจรนับ104 การเขียนสติคไดอะแกรมของวงจรทั้งหมดจะยุ่งยากและเสียเวลามาก ดังนั้นจะไม่แสดงสติคไดอะแกรมของวงจรทั้งหมดในที่นี้



รูปที่ 4.5 อินเวอทร์เตอร์ สติกไดอะแกรม

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ ห้ามมิให้ทำซ้ำ ดัดแปลง เผยแพร่ หรือกระทำการใดๆ โดยไม่ได้รับอนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2 การออกแบบวงจร Z-80 อินเทอร์เฟส

วงจร Z-80 อินเทอร์เฟส นี้ได้ถูกออกแบบขึ้นโดยมีจุดประสงค์เพื่อให้ผู้ที่ใช้งาน Z-80 ซีพียูและต้องทำการติดต่อกับอุปกรณ์ภายนอกได้รับความสะดวกในการทำงาน คือเพียงแต่ทำการต่อสายต่างๆจาก Z-80 มาเข้าไอซี นี้แล้วเขียนโปรแกรมควบคุมโดยไม่ต้องทำการสร้างวงจรถอดรหัสเอง ทั้งนี้กลุ่มผู้ใช้เป้าหมายที่คณะผู้วิจัยตั้งไว้ได้แก่นักศึกษาที่ฝึกภาคปฏิบัติในห้องทดลองของภาควิชาวิศวกรรมคอมพิวเตอร์ โดยผลการออกแบบได้คุณสมบัติของไอซี ดังต่อไปนี้

- มีพอร์ทที่สามารถใช้ต่อกับอุปกรณ์ภายนอกได้ 2 พอร์ท คือ พอร์ท A และ พอร์ท B
- แต่ละพอร์ท สามารถเป็นได้ทั้ง อินพุทพอร์ท และ เอาท์พอร์ท
- แต่ละพอร์ท จะมีหมายเลขแอดเดรส ใดก็ได้ขึ้นอยู่กับที่ผู้ใช้กำหนดโดยโปรแกรม
- เบอร์พอร์ท ของตัวไอซี เองสามารถเลือกได้ 4 เบอร์ คือ FF,FE,FD,FC

ภายในไอซี ประกอบด้วยบล็อกการทำงาน 12 บล็อก โดยแบ่งออกเป็นกลุ่มๆได้ดังนี้

1 Decode chip

2 Signal checking

3 Decode data and generate set signal

4 Control and generate signal for buffer

5 Detect port address 4 blocks (B1-B4)

6 I/O port 4 blocks (C1-C4)

ในรูปที่ 4.6 แสดงการวางตำแหน่งของบล็อกต่างๆภายในไอซี โดยรายละเอียดของการทำงานของแต่ละบล็อก สามารถอธิบายได้ดังนี้

1) Decode chip จะทำหน้าที่ตรวจสอบแอดเดรสพอร์ท ของไอซีแต่ละตัวที่ผู้ใช้ทำการกำหนดแอดเดรส กับ แอดเดรสที่ Z-80 ซีพียู ส่งมาว่าตรงกันหรือไม่ถ้าตรงกันก็จะให้สัญญาณ cs เป็น "0" การให้ไอซีแต่ละตัวมีค่าแอดเดรสเท่าใด ทำได้โดยเซ็ทที่ขา C0 และ C1 ฉนั้นจึงทำให้การกำหนดพอร์ทไอซีทำได้ 4 ค่า นั่นหมายความว่าเราสามารถใช้ไอซีตัวนี้ต่อร่วมกันได้ไม่เกิน 4 ตัว ความสัมพันธ์ของค่า C0,C1 แสดงได้ดังตารางข้างล่าง ส่วนในรูปที่ 4.7 เป็นวงจรภายในบล็อก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

C1	C0	ADDRESS NO.
0	0	FC
0	1	FD
1	0	FE
1	1	FF

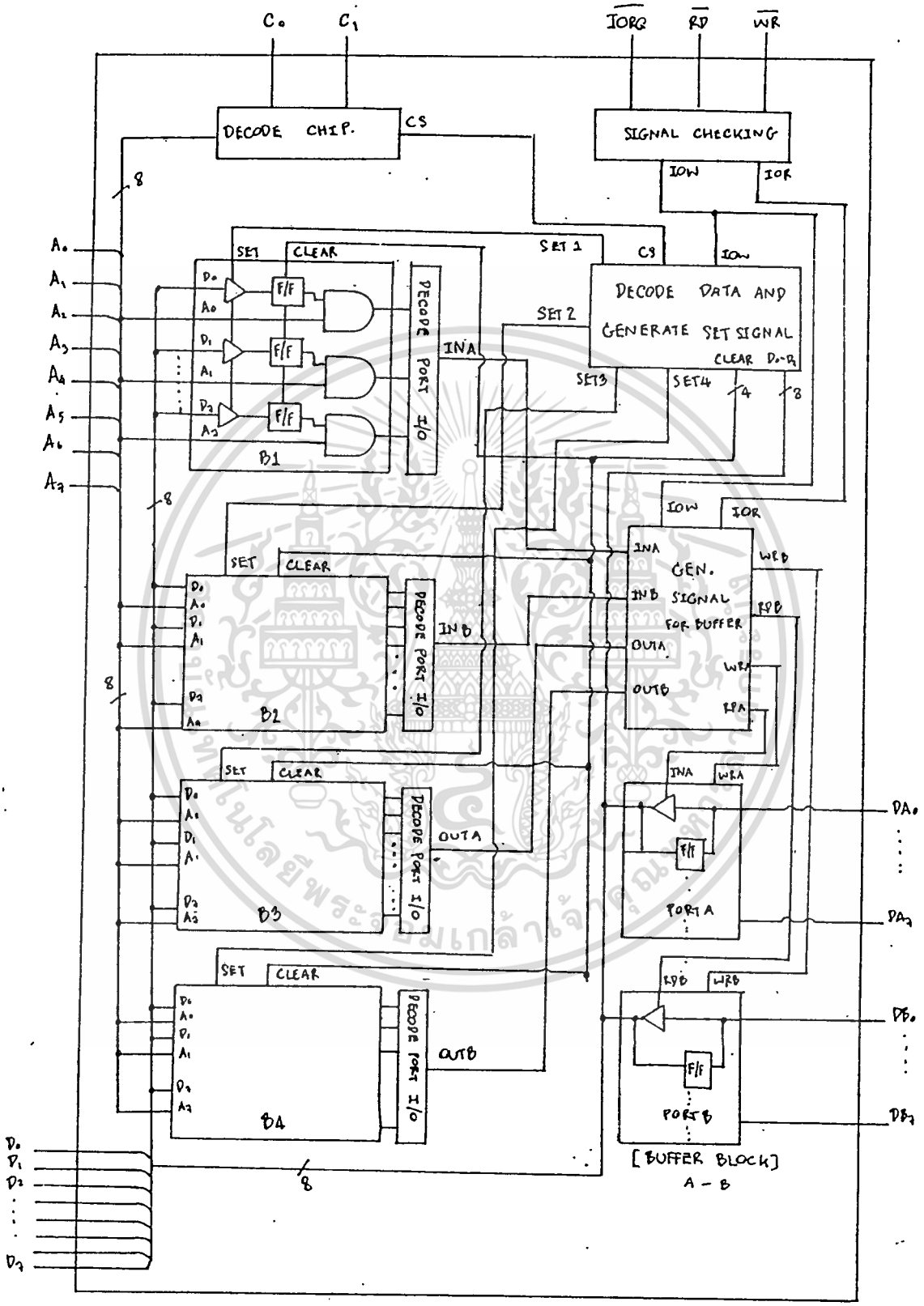
ตารางแสดงความสัมพันธ์ของ C0,C1 กับ หมายเลขแอดเดรส

2) Signal checking ในบล็อกนี้จะทำหน้าที่สร้างสัญญาณที่จำเป็นสำหรับการอิน และ เอาท์ พอร์ท ซึ่งได้แก่ IOR (I/O Read) และ IOW (I/O Write) โดยนำสัญญาณ RD,WR และ IORQ จากซีพียูมาใช้ในรูปที่ 4.8 แสดงรายละเอียดภายใน

3) Decode data and generate set signal สำหรับบล็อก นี้จะมีหน้าที่ในการสร้างสัญญาณเซ็ทและเคลียร์ สำหรับใช้ในการตั้งแอดเดรสพอร์ท โดยจะรับสัญญาณ CS จาก Decode Chip บล็อก และ สัญญาณ IOW จาก Signal Checking บล็อก มาเป็นสัญญาณอีนาเบิล แล้วทำการตรวจสอบสัญญาณขาดาตา ได้แก่ D0,D1,D2 ซึ่งใช้เป็นบิทควบคุมว่าขณะนี้ผู้ใช้ต้องการจะเซ็ทหรือเคลียร์แอดเดรสของพอร์ทใดเช่น แอดเดรสของพอร์ท A อินพุท หรือพอร์ท B เอาท์พุท ในรูปที่ 4.9 แสดงรายละเอียดภายใน

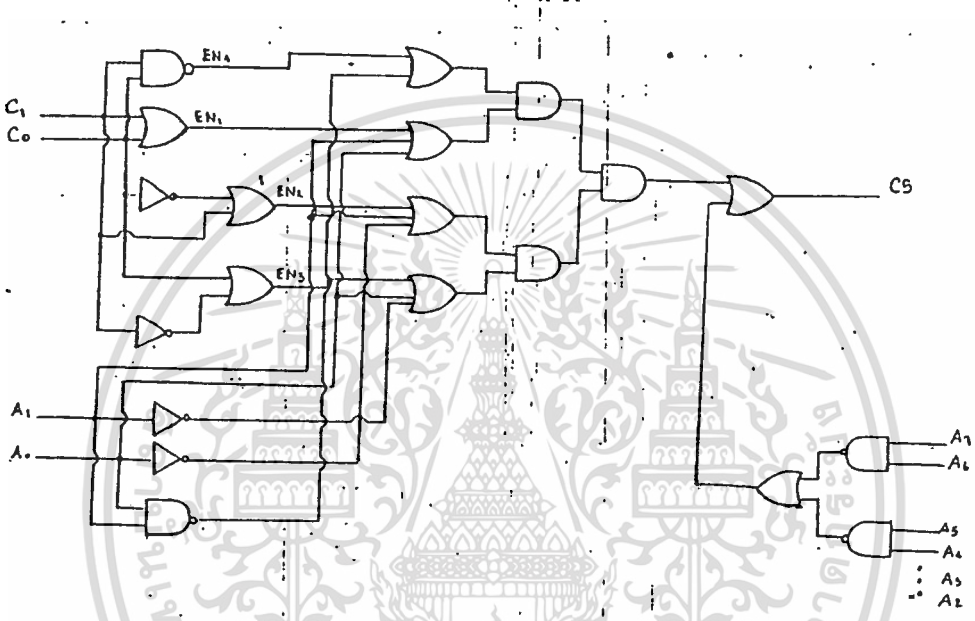
4) บล็อก B1,B2,B3,B4 ทั้ง 4 บล็อก นี้มีโครงสร้างภายในที่เหมือนกันซึ่งแต่ละบล็อก จะทำหน้าที่เก็บค่าแอดเดรสพอร์ท ที่ผู้ใช้ส่งค่ามาเซ็ทโดยสัญญาณเซ็ท จากในข้อ 3 ซึ่งจะเห็นว่ามี 4 เส้น แต่ละเส้นจะมาแยกเข้า B1-B4 บล็อก แต่ละเส้นจะทำหน้าที่เป็นตัวอีนาเบิล ให้แต่ละบล็อกหรับข้อมูลเข้าไปเป็นแอดเดรสพอร์ท สำหรับพอร์ท A I/P,พอร์ท A O/P,พอร์ท B I/P,พอร์ท B O/P และเมื่อผู้ใช้เซ็ท แอดเดรสเรียบร้อยแล้วบล็อกนี้ก็จะทำหน้าที่ตรวจสอบขาแอดเดรส ระหว่างการใช้งานว่าข้อมูลต้อง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

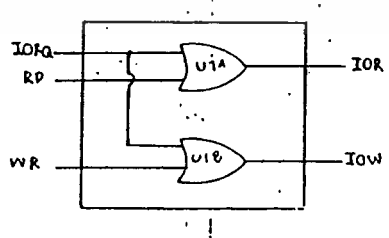


รูป4.6 แสดงการวางตำแหน่งของบล็อกต่างๆภายในไอซี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

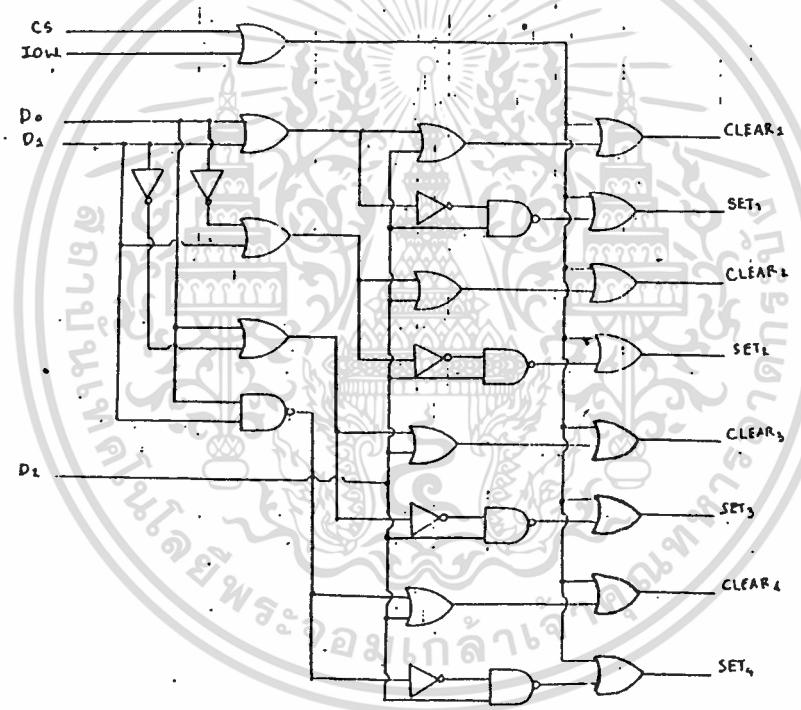


รูปที่ 4.7 DECODE CHIP บล็อก



รูปที่ 4.8 SIGNAL CHECKING บล็อก

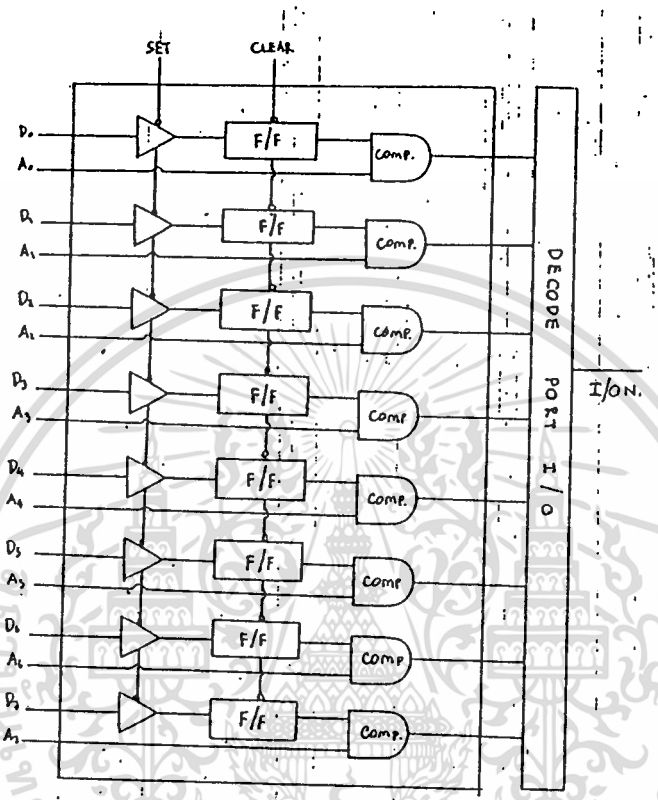
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.9 Decode and generate set signal บล็อก

ผ่านไปทางใด หากมีแอดเดรส ตรงกับที่เก็บไว้ก็จะสร้างสัญญาณ INA, INB, OUTA, OUTB ตามลำดับ เพื่อไปทริกบล็อกอื่นต่อไป ในรูปที่ 4.10 แสดงรายละเอียดภายในบล็อก

เอกสารนี้สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



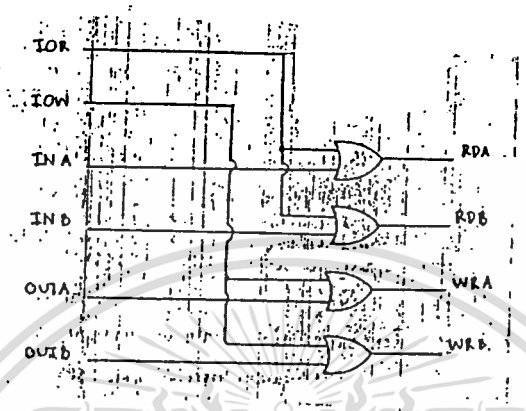
รูปที่4.10 B1-B4 บล็อก

5) Control and generate signal for buffer หน้าที่ของบล็อก นี้ก็คือ นำเอาสัญญาณ IOW, IOR มาทำการรวม กันกับสัญญาณ INA, INB, OUTA, OUTB เพื่อตรวจดูในขณะใช้งานว่าจะเป็นการอ่านหรือเขียนที่ พอร์ท ใด แล้วสร้างสัญญาณอันได้แก่ RDA, WRA, RDB, WRB เพื่อไปทริกบัฟเฟอร์ ให้ยอมให้ข้อมูลผ่านไปได้ รูปที่ 4.11 แสดงรายละเอียดของบล็อก ดังกล่าว

6) บัฟเฟอร์ บล็อก เป็นบล็อกที่ทำหน้าที่เป็นบัฟเฟอร์ในการส่งผ่านข้อมูลเข้าและออกตามพอร์ทต่างๆ โดยจะได้รับสัญญาณอินาเบิลจากบล็อกรูปที่ 4.10 โดยในกรณีที่เป็นบัฟเฟอร์ของข้อมูลออกจะต้องมีความสามารถในการแลทดาตาเอาไว้ด้วย รายละเอียดแสดงในรูปที่ 4.12

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หลังจากทำการวิเคราะห์ไอซีของเราว่าประกอบด้วยบล็อกอะไรและฟังก์ชั่นใดบ้างแล้ว ต่อไปก็คือการเปลี่ยนฟังก์ชั่นเหล่านั้นเป็นวงจรจริงทางด้านโลจิก ซึ่งผลที่ได้แสดงไว้ในรูปที่ 4.13-4.4.18



รูปที่ 4.11 Control and generate signal for buffer

<u>การใช้งานไอซี Z-80 อินเทอร์เฟส</u>

การใช้งานไอซี Z-80 อินเทอร์เฟส มีขั้นตอนพอสรุปได้ 2 ขั้นตอนคือ

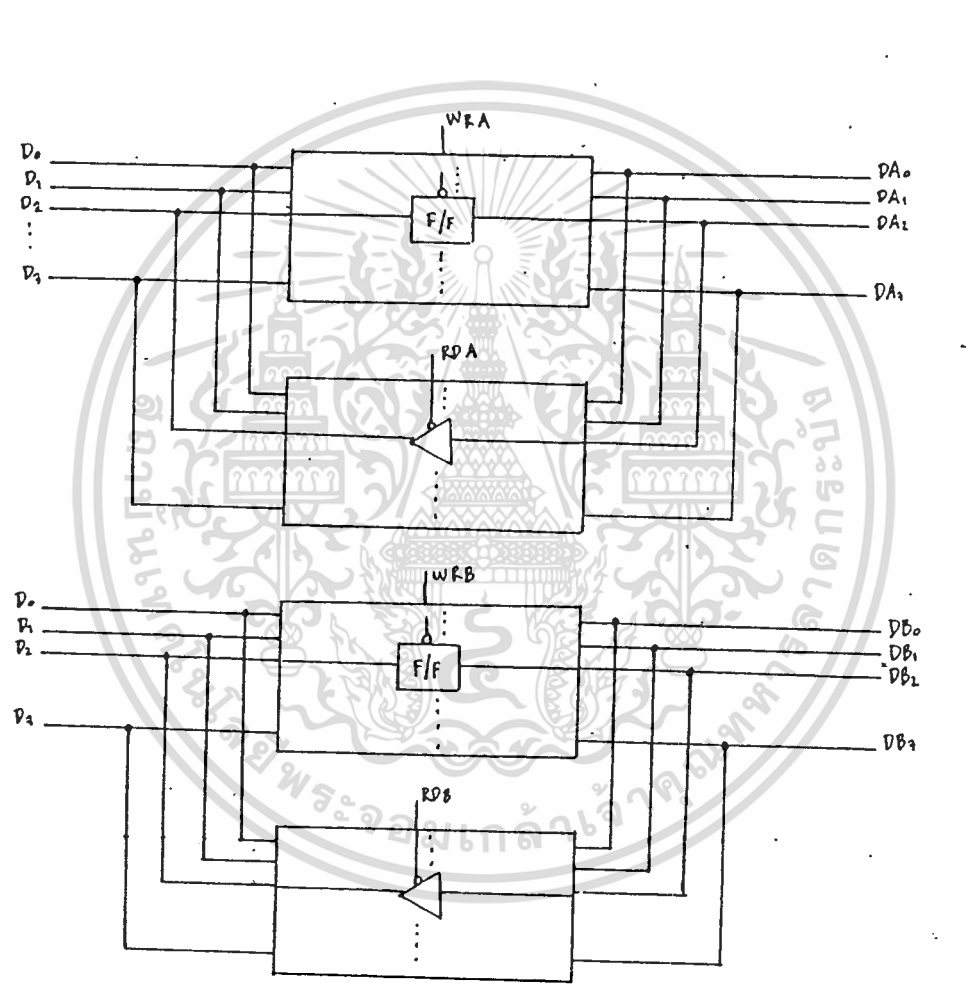
1) การอินิทเชียล ค่าต่างๆ ประกอบไปด้วยการอินิทเชียล ค่า 2 ค่าได้แก่

1.1) ทำการกำหนดหมายเลขพอร์ทสำหรับไอซีแต่ละตัว ทำได้โดยการ ตั้งค่าโลจิกที่ C0,C1 ดังแสดงไว้แล้วในตารางข้างต้น

1.2) ทำการโปรแกรมกำหนดหมายเลขพอร์ท สำหรับพอร์ท A หรือ พอร์ท B ทำได้โดยการส่งข้อมูลออกมาที่พอร์ทที่เป็นไอซี แล้วใช้บิทควบคุมเป็นตัวเลือกดังแสดงในรูปที่ 4.19

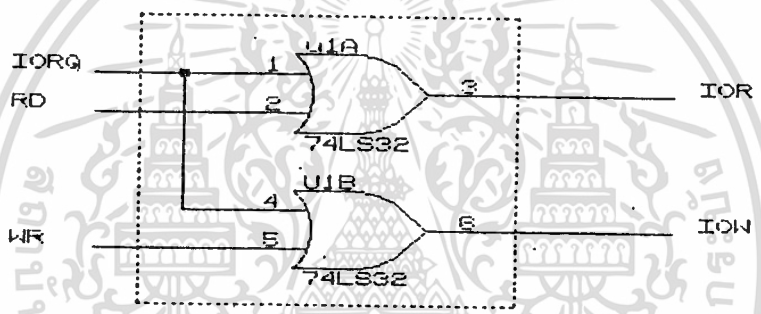
2) การใช้งาน สำหรับการใช้งานนั้นเมื่อทำการอินิทเชียล ค่าต่างๆเรียบร้อยแล้วก็สามารถใช้งานได้เหมือนกับที่ทำการต่อวงจรประเภทวงจรถอดรหัสภายนอกได้ทุกประการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



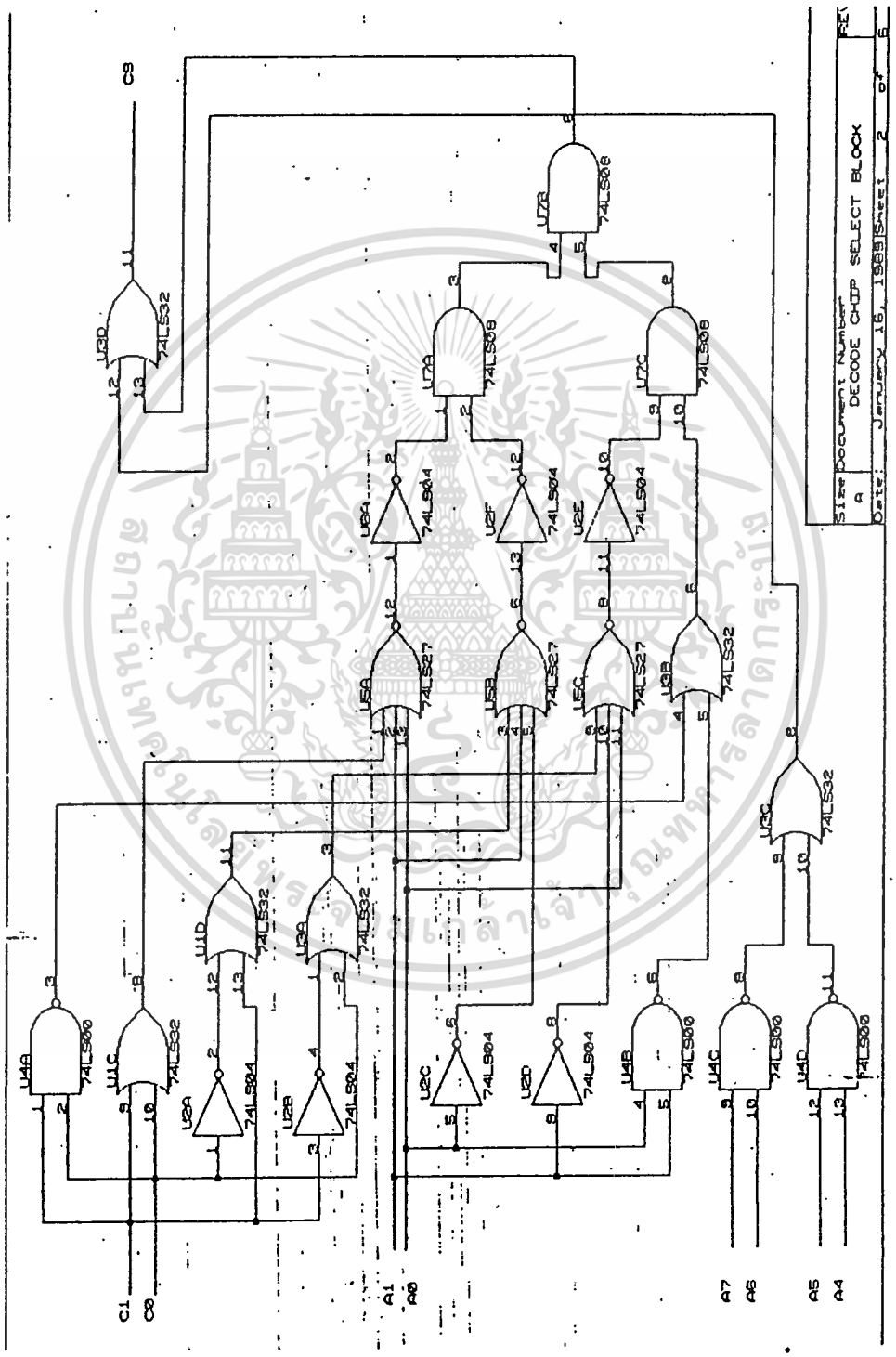
รูปที่ 4.12 บัฟเฟอร์บล็อก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



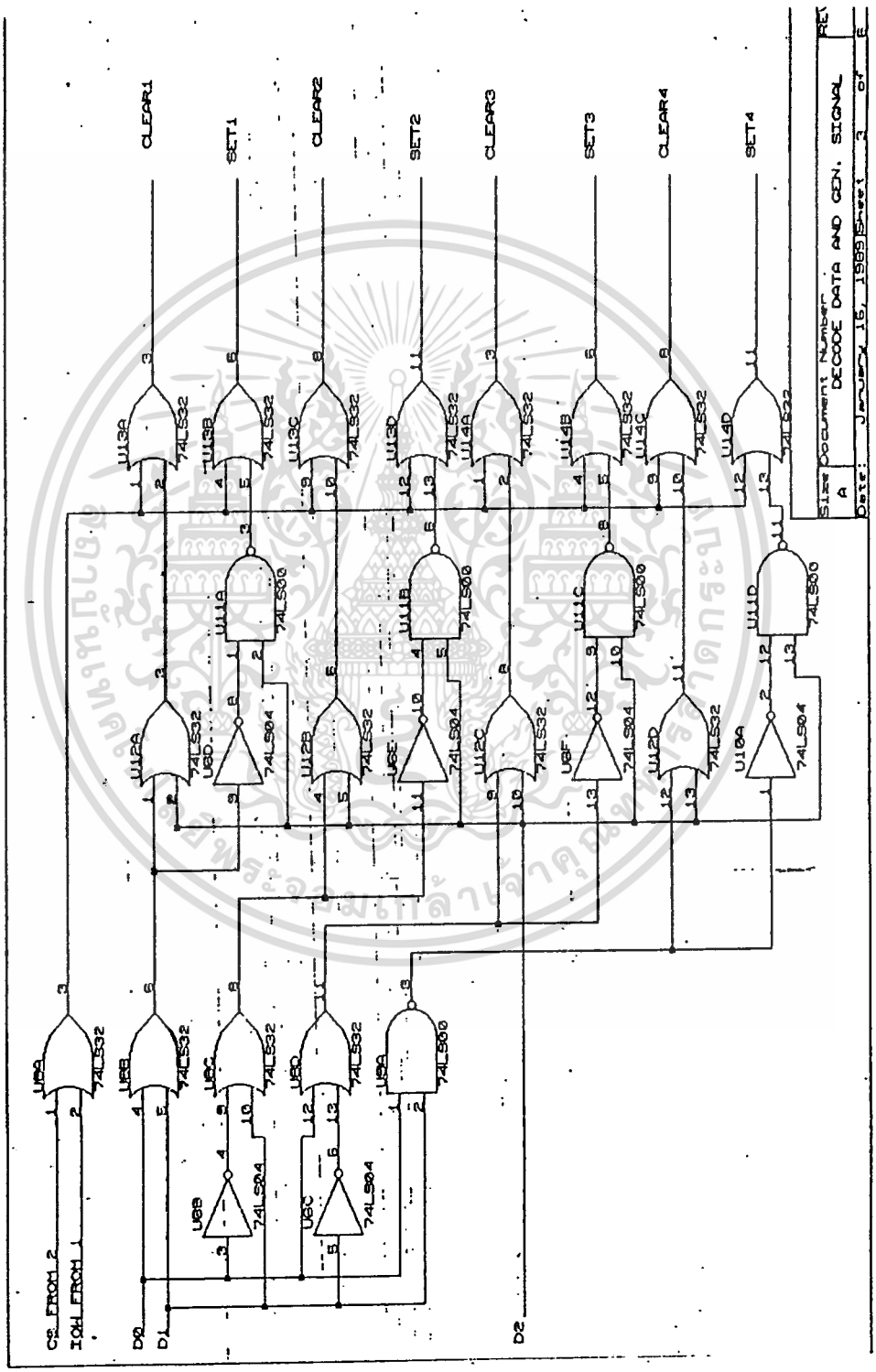
รูป 4.13 วงจรโลจิกของ signal checking block

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



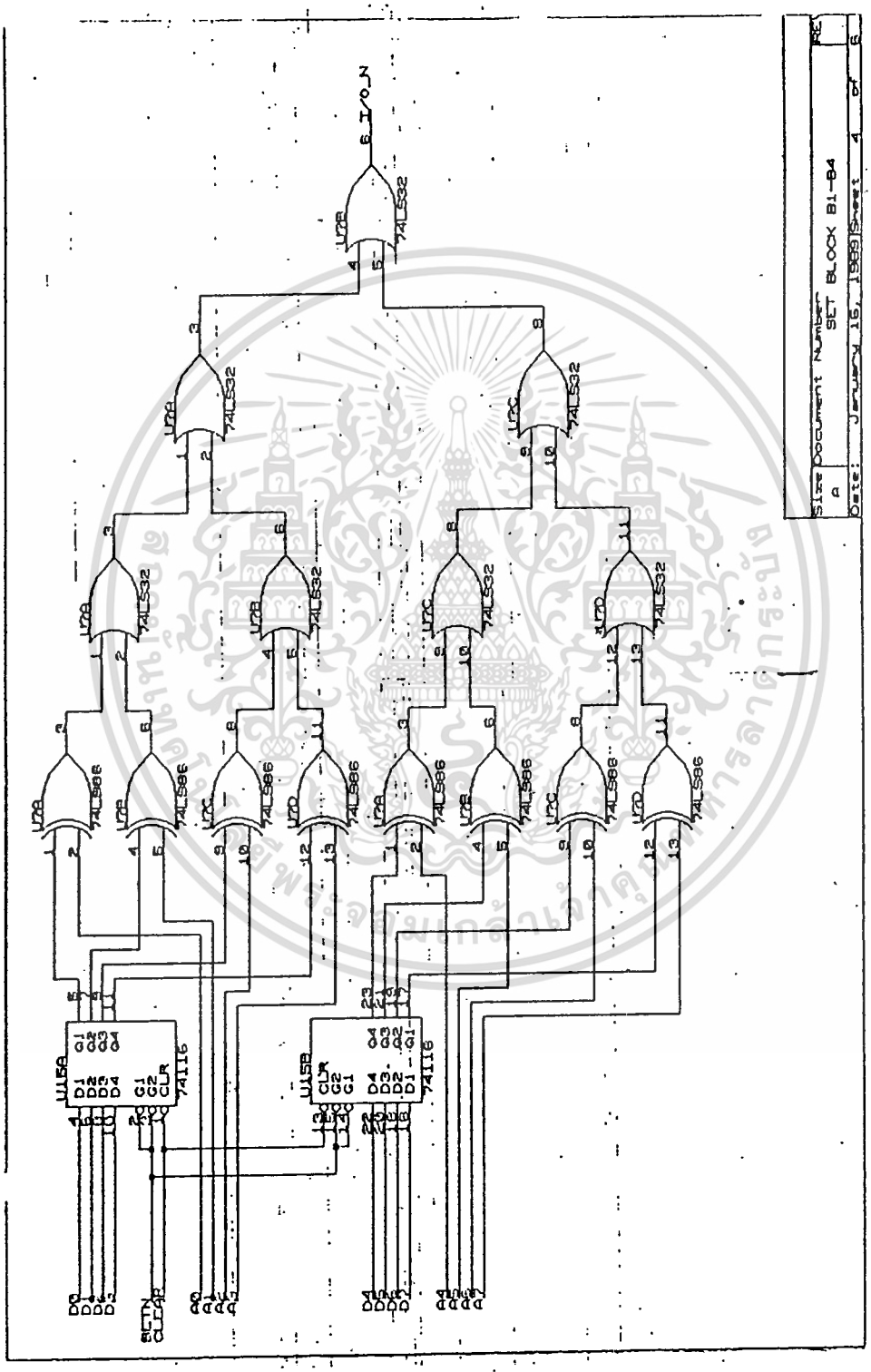
รูป 4.14 วงจรโลจิกของ decode chip select block

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



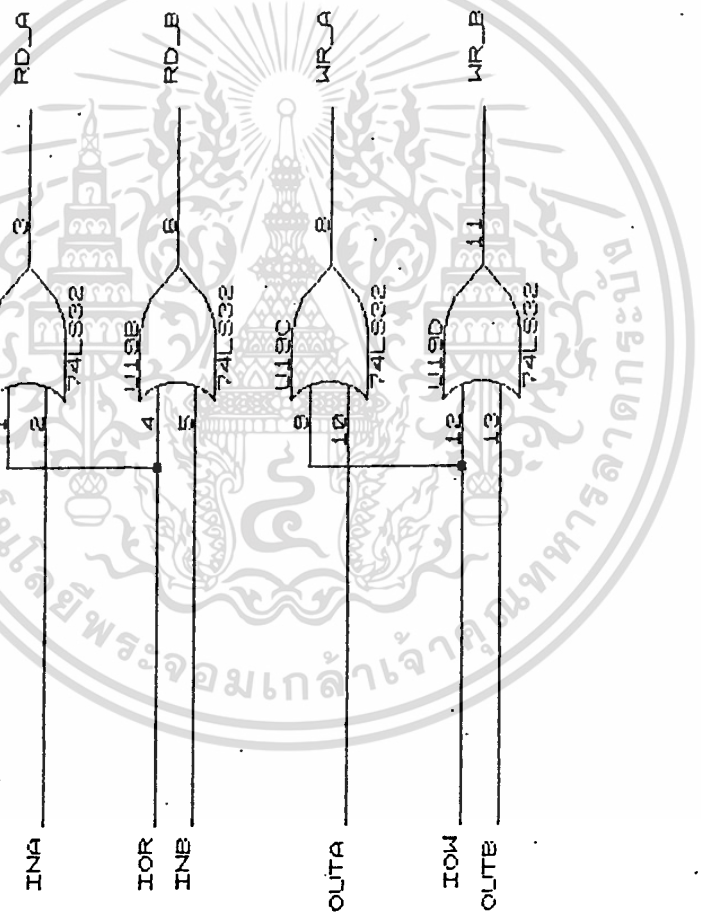
รูป 4.15 วงจรโลจิกของ decode data and generate set signal

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



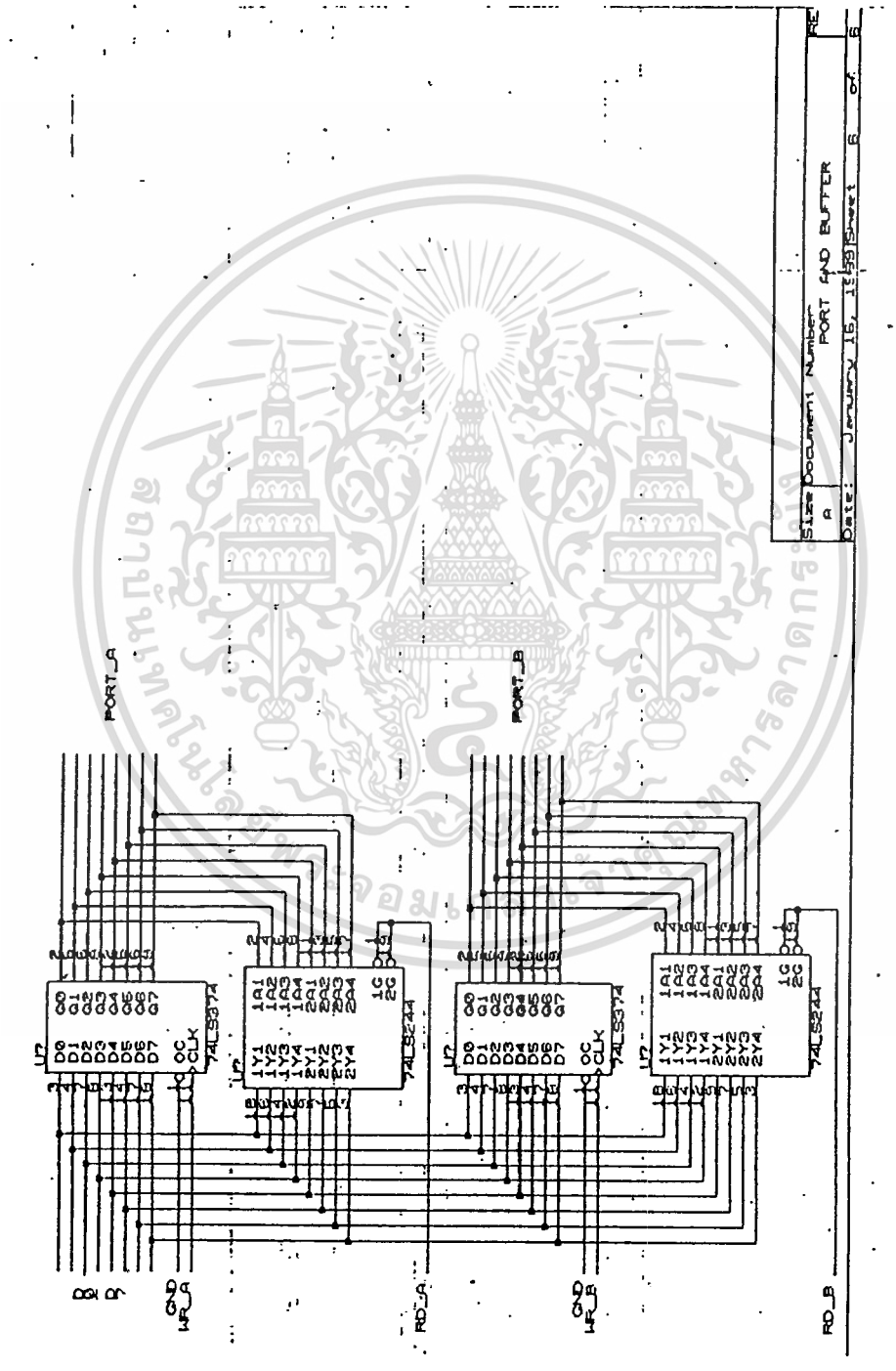
รูป 4.16 วงจรโลจิกของ set block (b1-b4)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



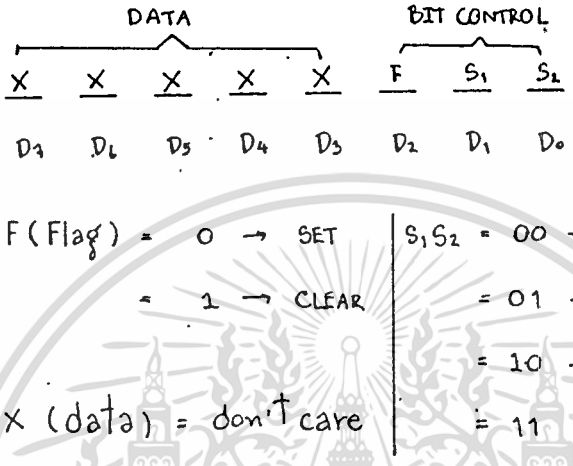
รูป 4.17 วงจรโลจิกของ generate signal for buffer

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 4.18 วงจรโลจิกของ port and buffer

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.19 แสดงความหมายของแต่ละบิทของข้อมูล

4.3 ผลของการออกแบบวงจรนับ 104

ได้ทำการออกแบบบนเครื่อง SUN 3/110C โดยใช้โปรแกรมเซอร์แคด ทู วงจรที่ออกแบบนี้ใช้เทคโนโลยีซีมอส วงจรที่ได้ใช้ทรานซิสเตอร์ทั้งหมด 368 ตัว และมีขนาดเนื้อที่บนชิ้นซิลิกอนเท่ากับ 2011.25 X 2533.75 ตารางไมครอน ผลที่ได้จากการออกแบบจะเป็น ซีไอเอฟไฟล์ ซึ่งเป็น เท็กส์ไฟล์ ที่มีความยาวมาก แต่เราสามารถใช้คำสั่งซิฟพลอท(cifplot) ในโปรแกรม ให้ทำการอ่าน ซีไอเอฟ ไฟล์ออกมาแล้ววาดรูปวงจรแสดงแต่ละชั้น(layer) ของ ซีมอสเทคโนโลยีออกมาตรวจสอบดูได้ ดังแสดงในรูปที่ 4.20

จากรูปที่ 4.20 จะเห็นว่า ชิปที่ออกแบบไว้ มีทั้งหมด 11 ขา ซึ่งประกอบด้วย Vcc , GND , I/P , O/P โดยเฉพาะตรงส่วนของขาต่อ I/P และ O/P จะมีวงจรสำหรับป้องกันอันตรายกับทรานซิสเตอร์อยู่ด้วย ซึ่งวงจรส่วนนี้ถูกออกแบบสำเร็จไว้แล้วอยู่ในโปรแกรม ผู้ใช้เพียงแต่เรียกออกมาเท่านั้น

นอกจากการออกแบบแล้ว ในโปรแกรมเซอร์แคด ทู ยังมีส่วนของการตรวจสอบการทำงานของวงจรด้วย ซึ่งตรวจสอบสัญญาณเวลาของอินพุทและเอาท์พุท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ผลของการใช้โปรแกรมเซอร์แคด ทู ตรวจสอบวงจรแสดงในรูปที่ 4.21

จากรูปที่ 4.21 จะเห็นได้ว่า การทำงานของวงจรเป็นไปตามที่ออกแบบไว้ คือมีการนับสัญญาณนาฬิกา (Input event) จำนวน 104 ลูก(0 - 103) แล้วจะให้สัญญาณนาฬิกาเอาท์พุทออกมา 1 ลูก และ แสดงให้เห็นถึงเอาท์พุทของฟลิบฟลอปแต่ละสเตท (Q0 - Q6) ด้วย

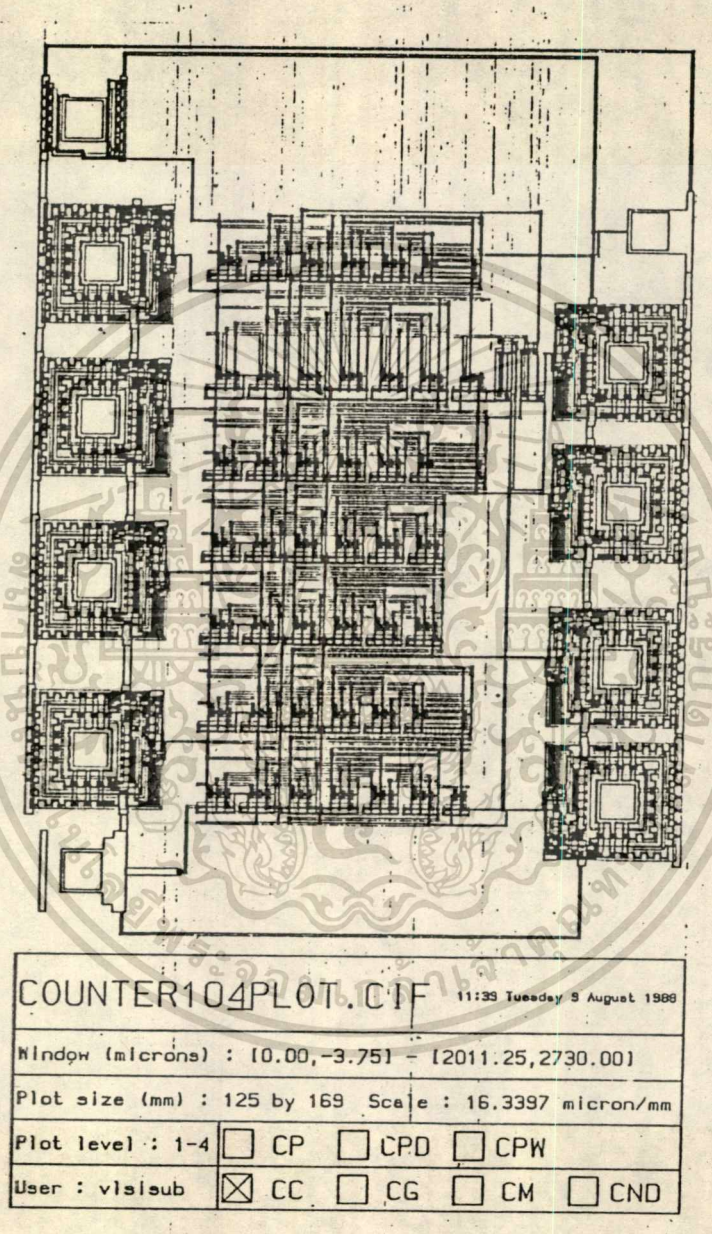
4.4 ผลการออกแบบวงจร Z-80 อินเทอร์เฟส

จากการออกแบบโมดูลต่างๆ ในวงจรได้ทำงานตามที่ได้ออกแบบเอาไว้ แต่วงจรรวมเนื่องจาก มีขนาดใหญ่จึงเกิดปัญหาในการรวมวงจรทางซอฟแวร์ อย่างไรก็ตามได้ทดสอบความถูกต้อง ของการออกแบบ โดยได้ทำการต่อฮาร์ดแวร์ทดสอบกับชิงเกิลบอร์ด ผลปรากฏว่าวงจรสามารถ ทำงานได้ตามต้องการ ส่วนในรูปที่ 4.22-4.33 แสดงผลของการออกแบบซึ่งเป็นซีไอเอฟและไทม์มิ่งไดอะแกรมของแต่ละบล็อก

4.5 ผลการเจือสาร

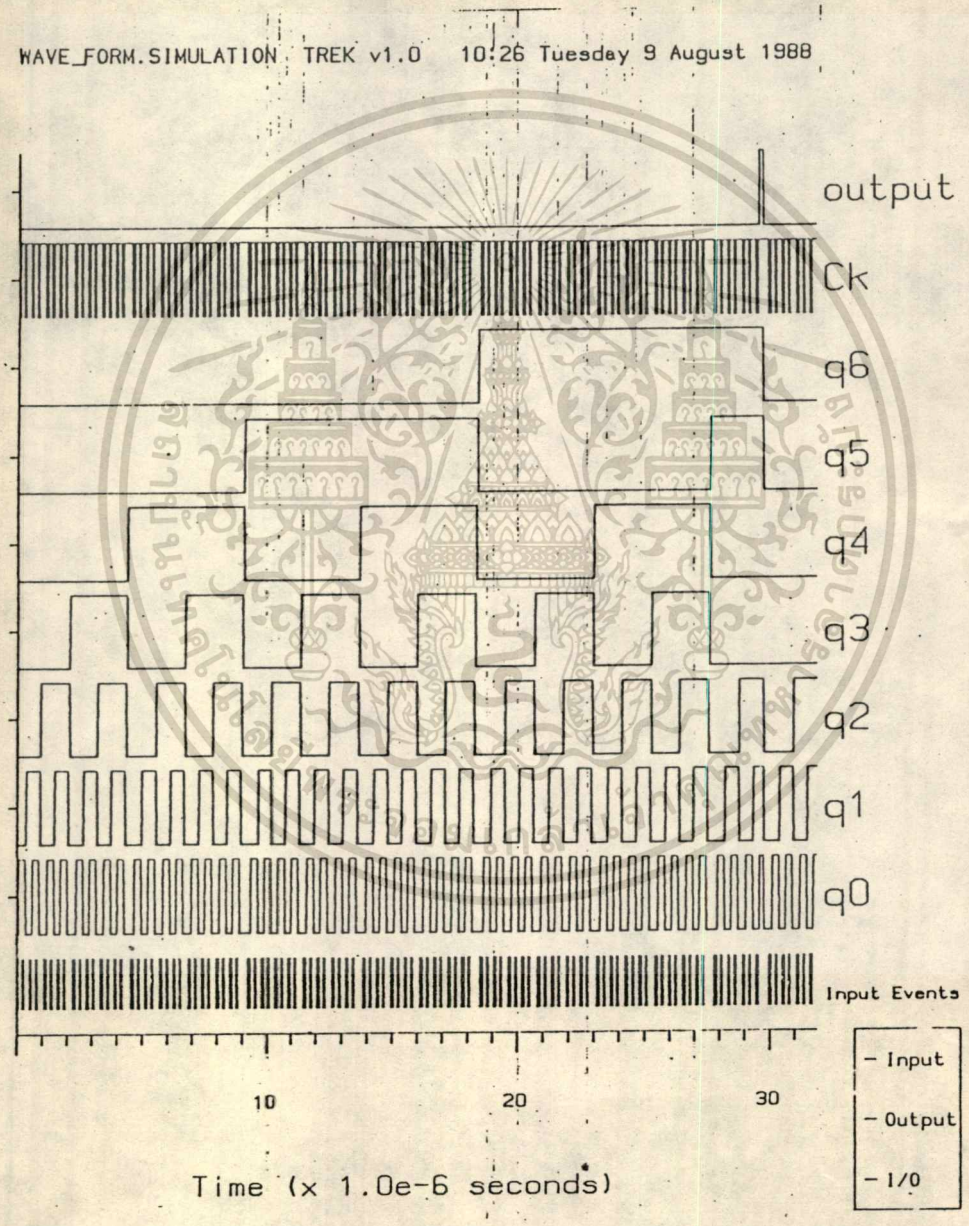
เราได้ส่งการออกแบบวงจรนับ 104 คือส่งเอสแอลไฟล์ และ ซีไอเอฟไฟล์ ของวงจร ไปเจือสารยังประเทศออสเตรเลีย โดยทางนั้นได้เจือสารด้วยเทคโนโลยี่ 5 ไมครอน ชิงเกิลเมททัลโพลีซิลิกอนเกท (5 MICRON SINGLE METAL POLYSILICON GATE) โดยทำแบบ มัลติโปรเจคชิพ (MULTI PROJECT CHIP) ดังรูป 4.34 ซึ่งแสดงการต่อจากชิพในวงจร มาที่ตัวถัง โดยจะต่อมาเฉพาะชิพที่ต้องการใช้งานเท่านั้น วิธีนี้จะทำให้ประหยัดต้นทุนการผลิตลงได้มาก จากการตรวจสอบการเจือสาร จะเห็นว่าช่วงสัญญานนาฬิกามาทริก ไม่มีการแสทเอาไว้ จึงไม่สามารถจะจับสัญญานได้ แต่การทำงานของ Q1-Q6 ยังทำงานได้ตามที่ออกแบบไว้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



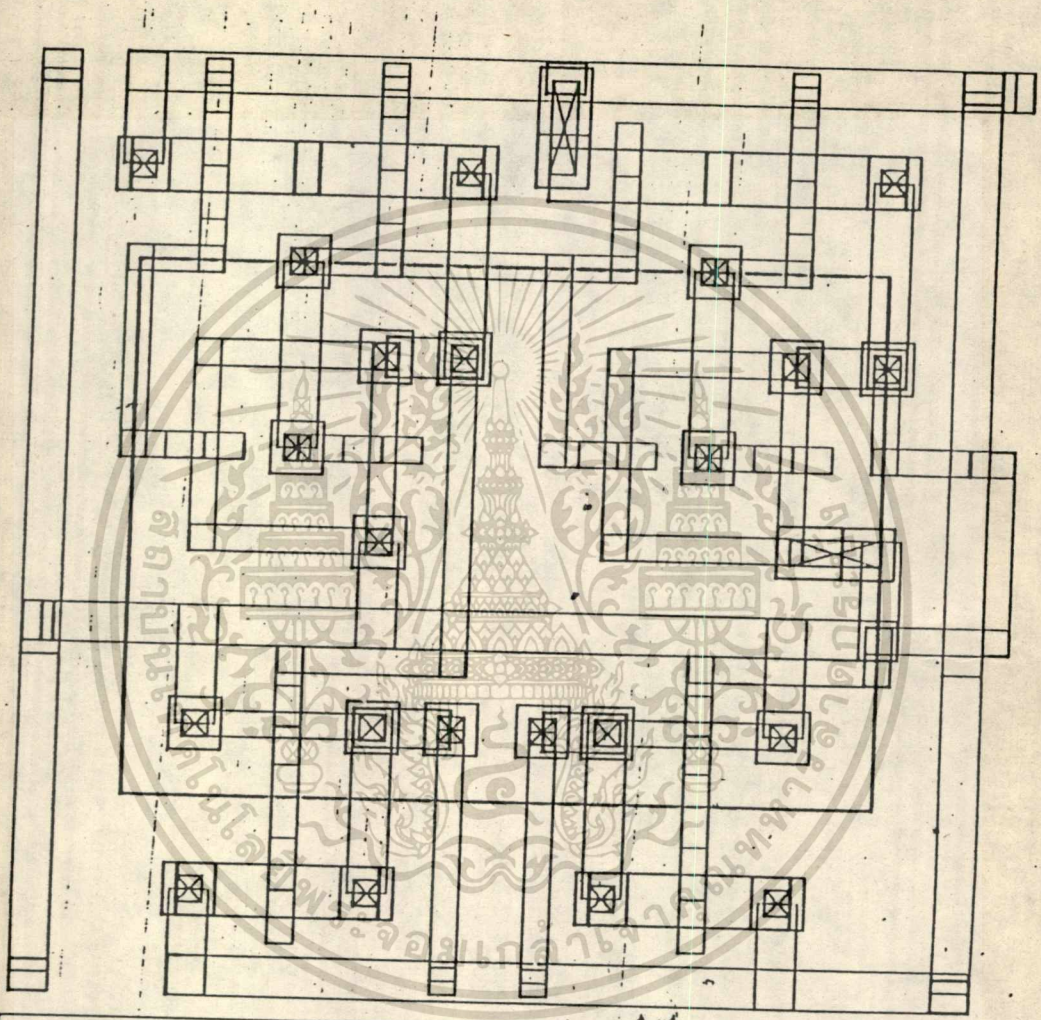
รูปที่ 4.20 แสดงวงจรนับ 104

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.21 แสดงการจำลองการทำงานของวงจรนับ 104

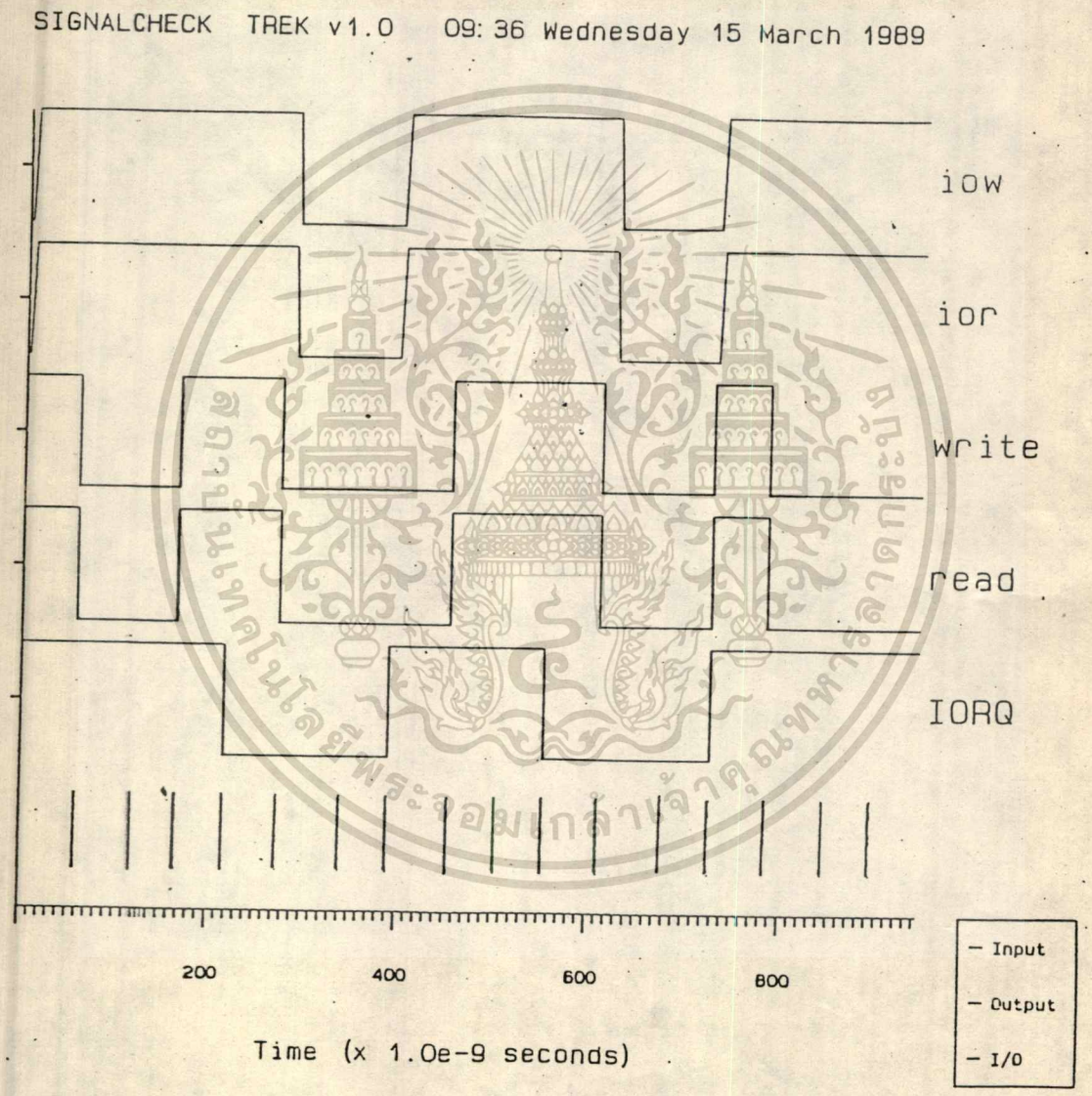
เอกสารนี้เป็นเอกสาร[illegible]ที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



SIGNALCHECK	09: 04 Wednesday 15 March 1989
Window (microns) : [-3.75, -3.75] - [186.25, 173.75]	
Plot size (mm) : 135 by 126 Scale : 1.4305 micron/mm	
Plot level : 1-2	☐ CPW
User : vlsisub	☒ CC ☐ CM ☐ CND ☐ CP ☐ CPD

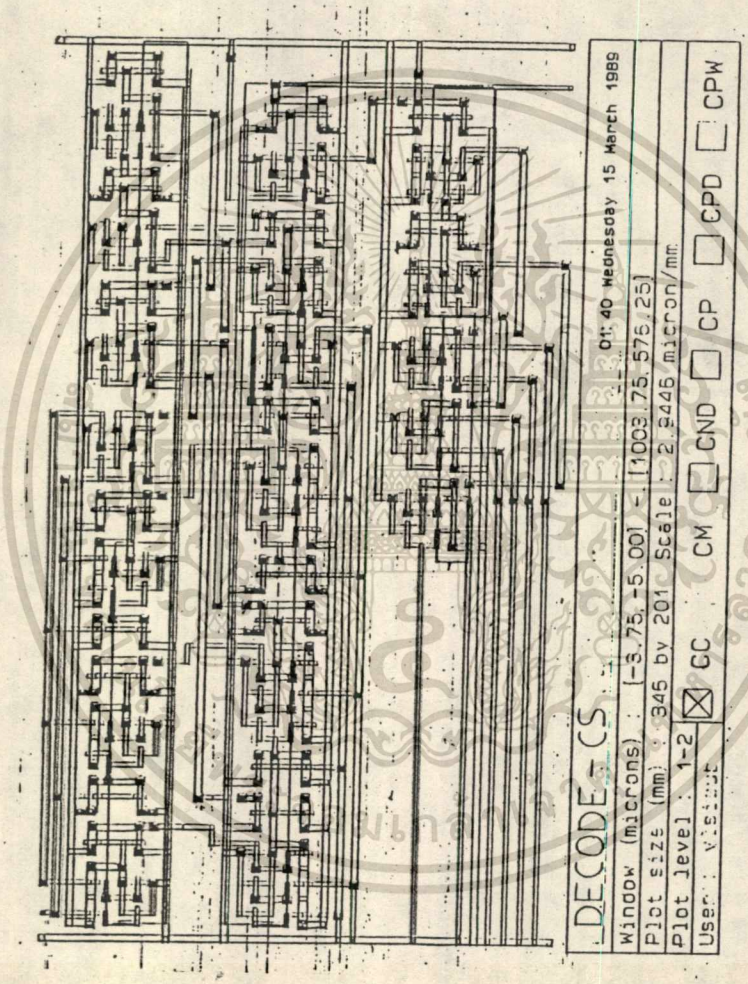
รูป 4.22 ซีไอเอฟของ signal checking block

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



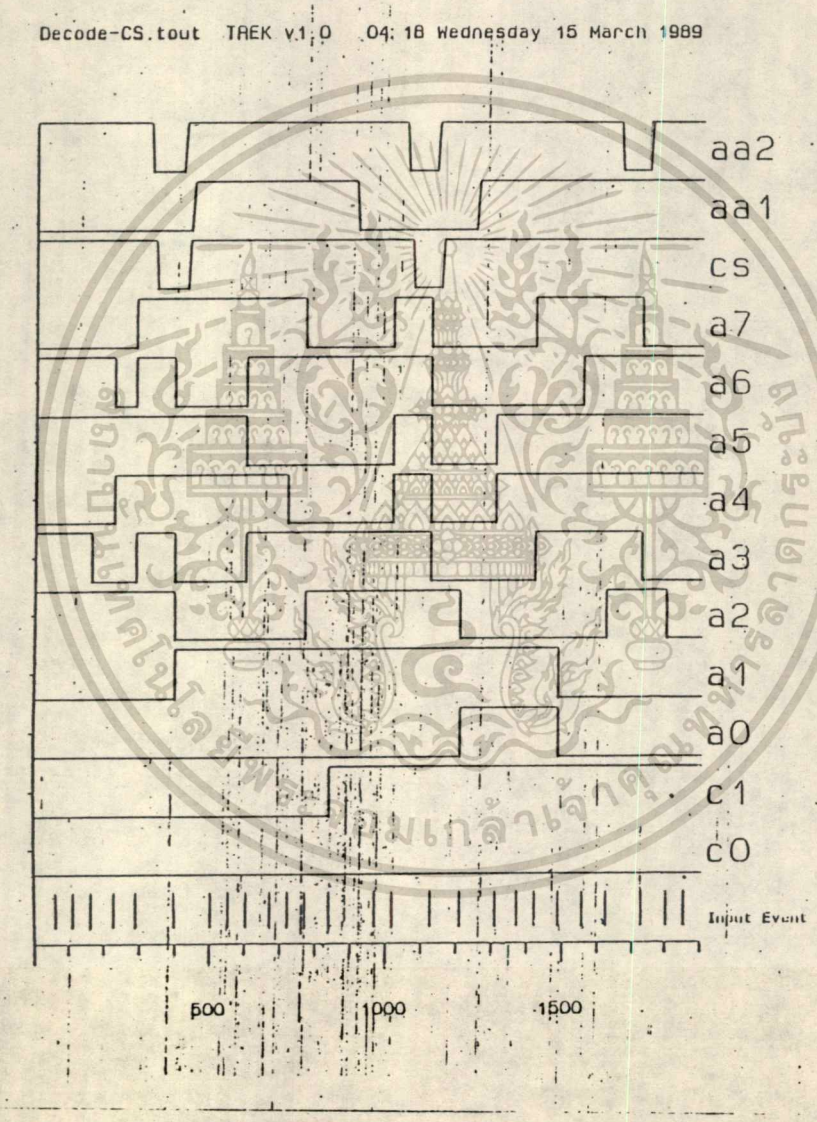
รูป 4.23 ไทมมิ่งไดอะแกรมของ signal checking block

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



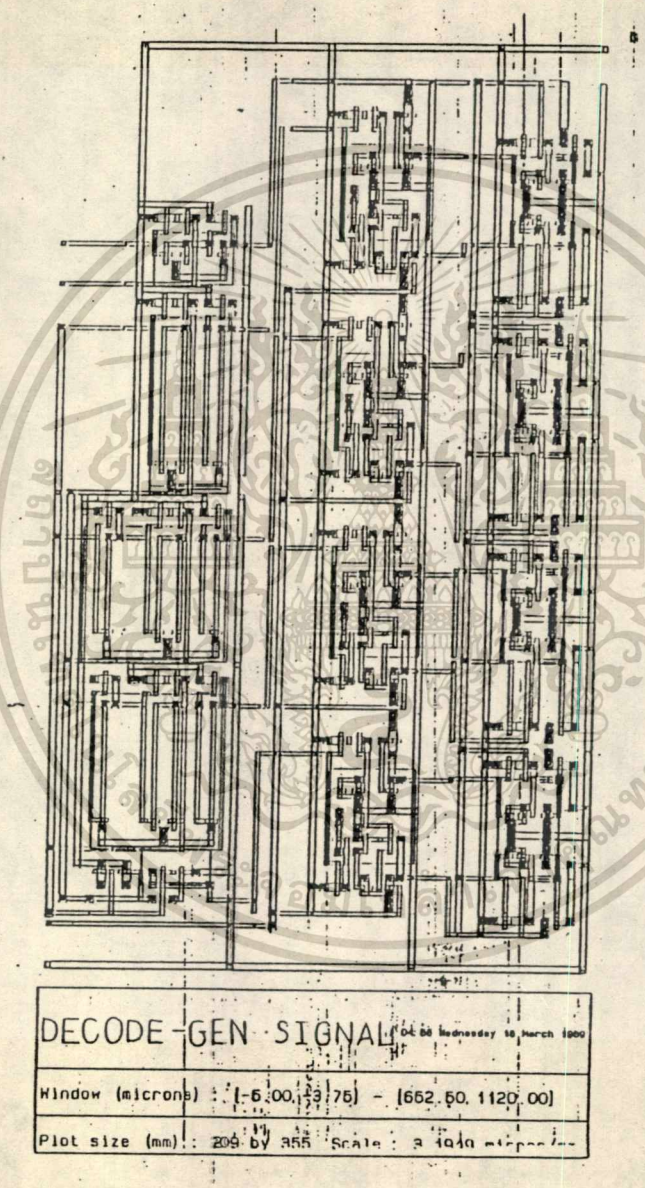
รูป 4.24 ซีไอเอฟของ decode chipselect block

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



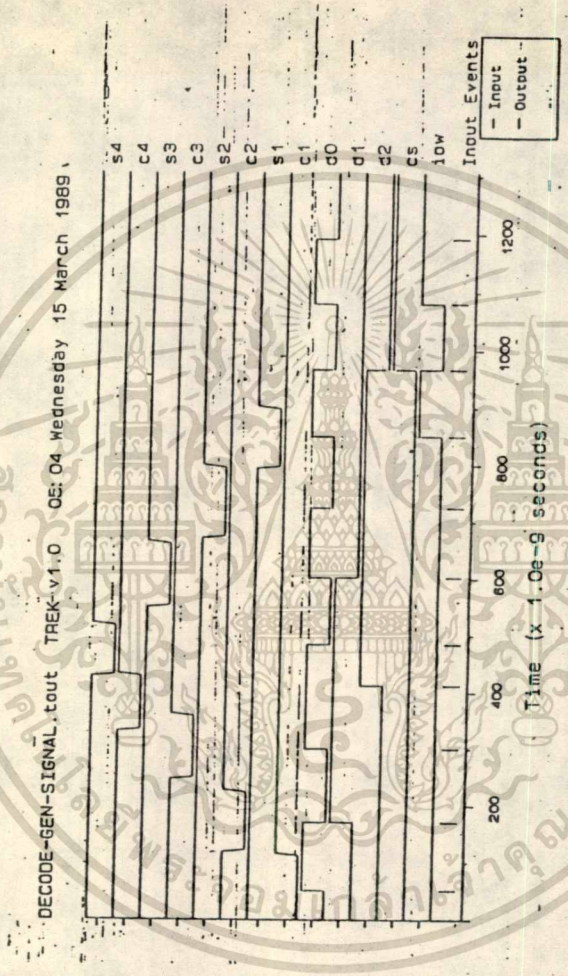
รูป 4.25 ไทม์มิ่งของ decode chipselect block

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



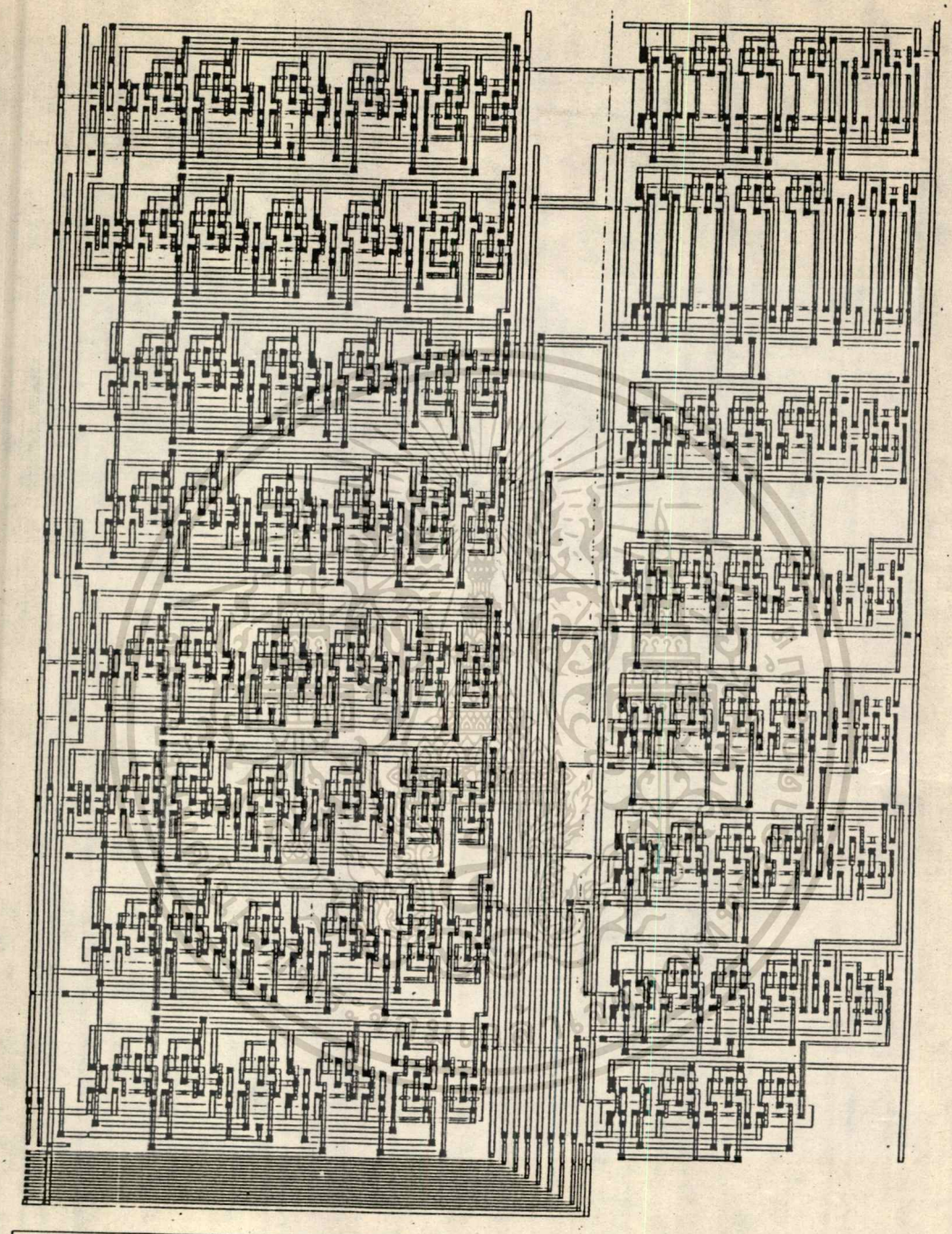
รูป 4.26 ซีไอเอฟของ decode data and gen. signal block

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



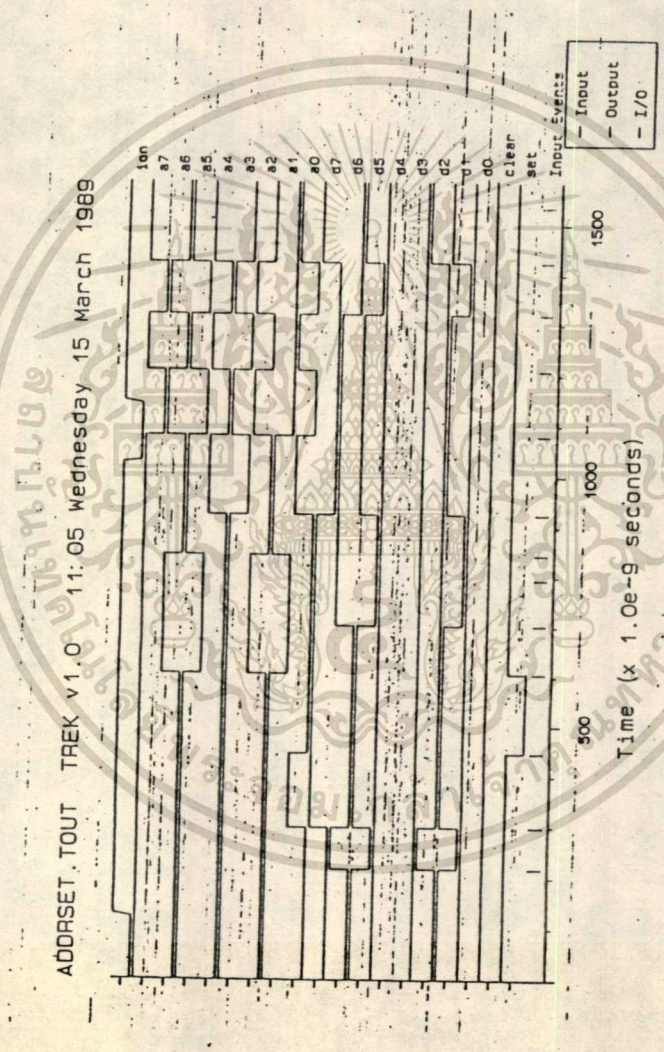
รูป 4.27 ไทม์มิ่งของ decode data and gen. signal block

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



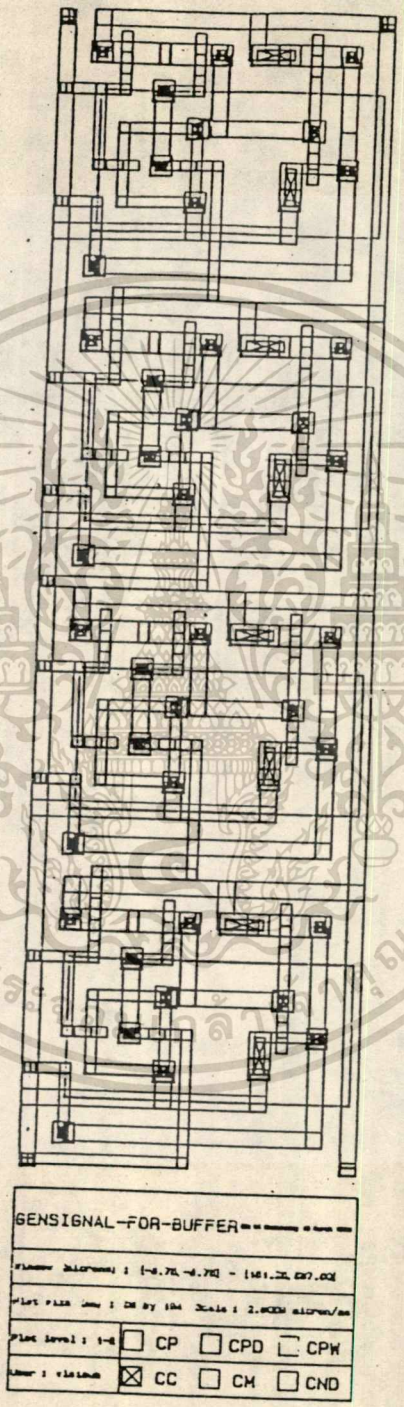
รูป 4.28 ซีไอเอฟของ set block(b1-b4)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



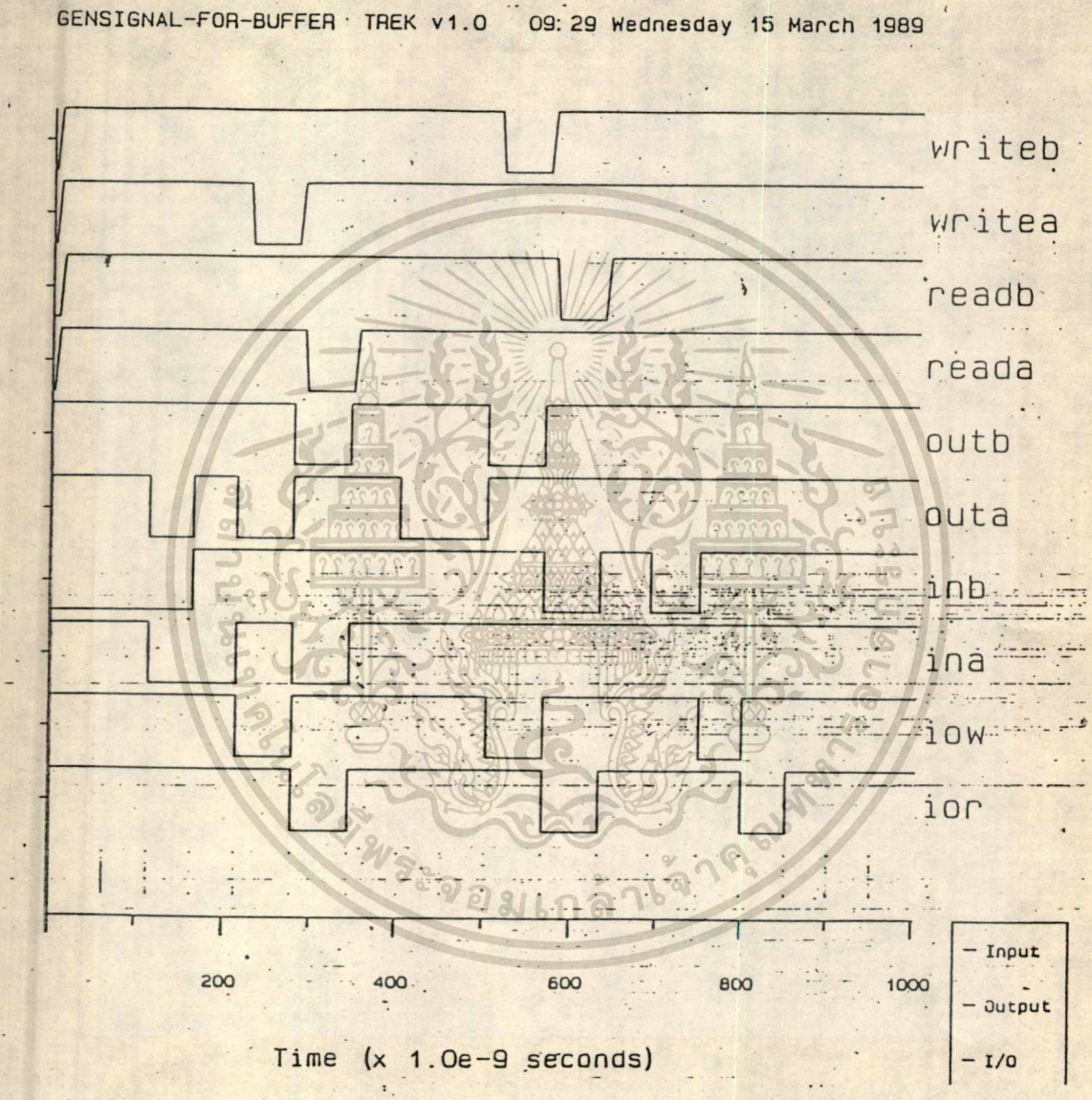
รูป 4.29 ไทมิ่งของ set block(b1-b4)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



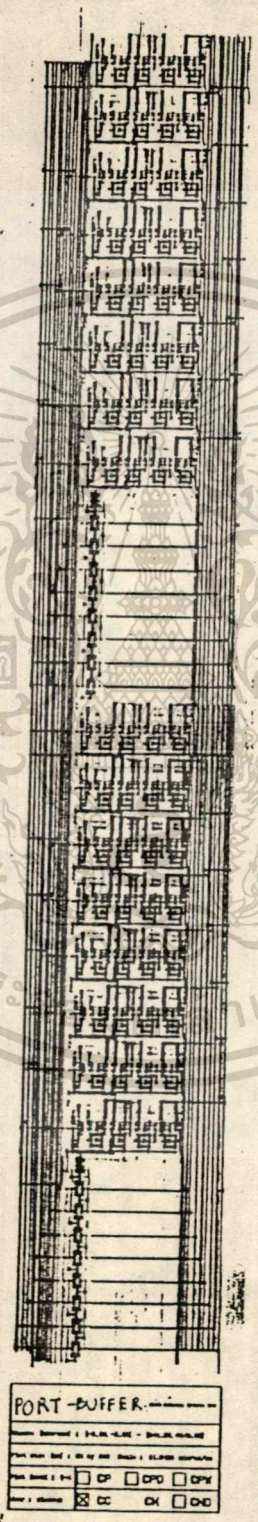
รูป 4.30 ซีไอเอฟของ gen.signal for buffer block

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



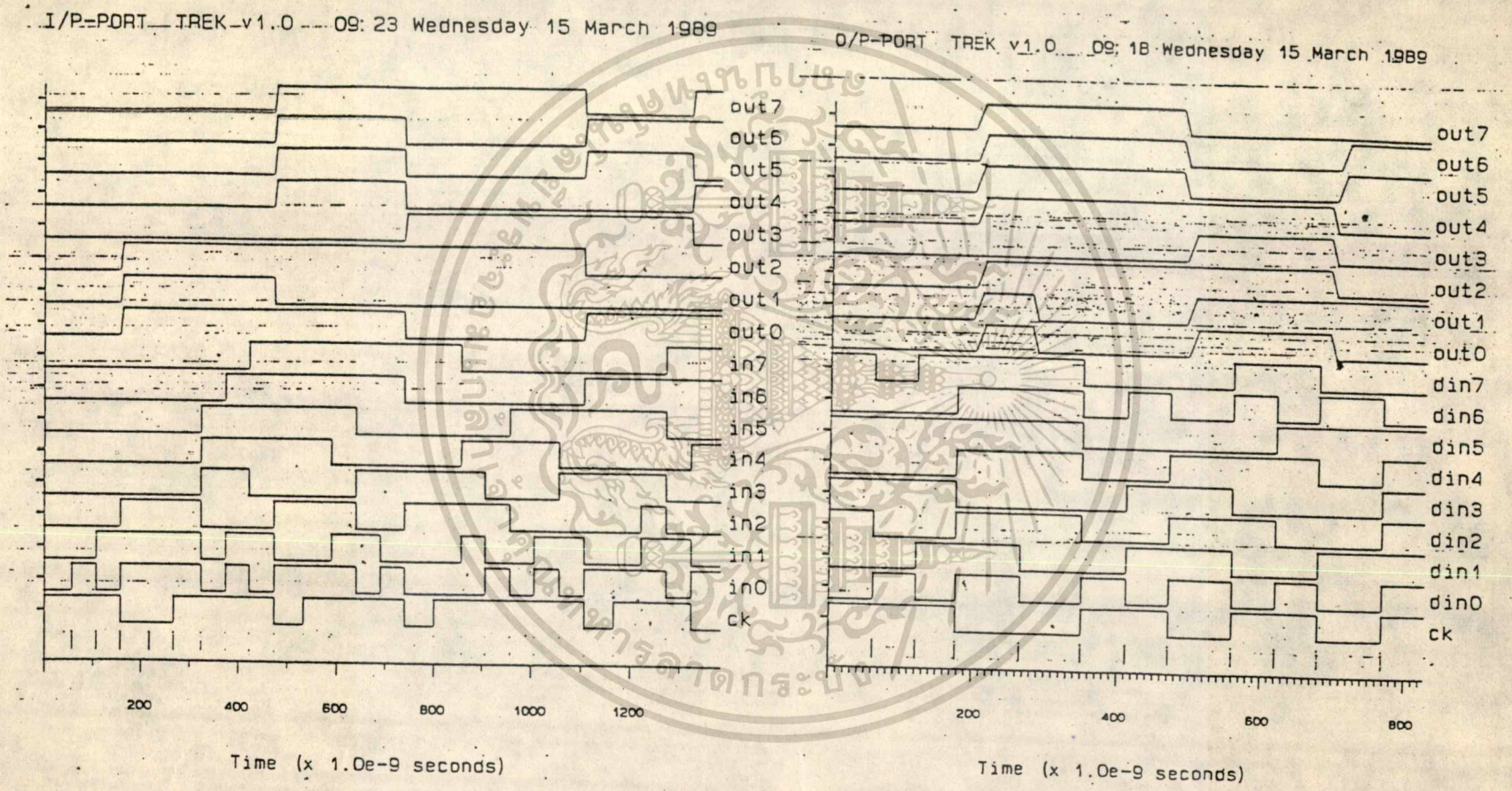
รูป 4.31 ไทม์มิ่งของ gen.signal for buffer block

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



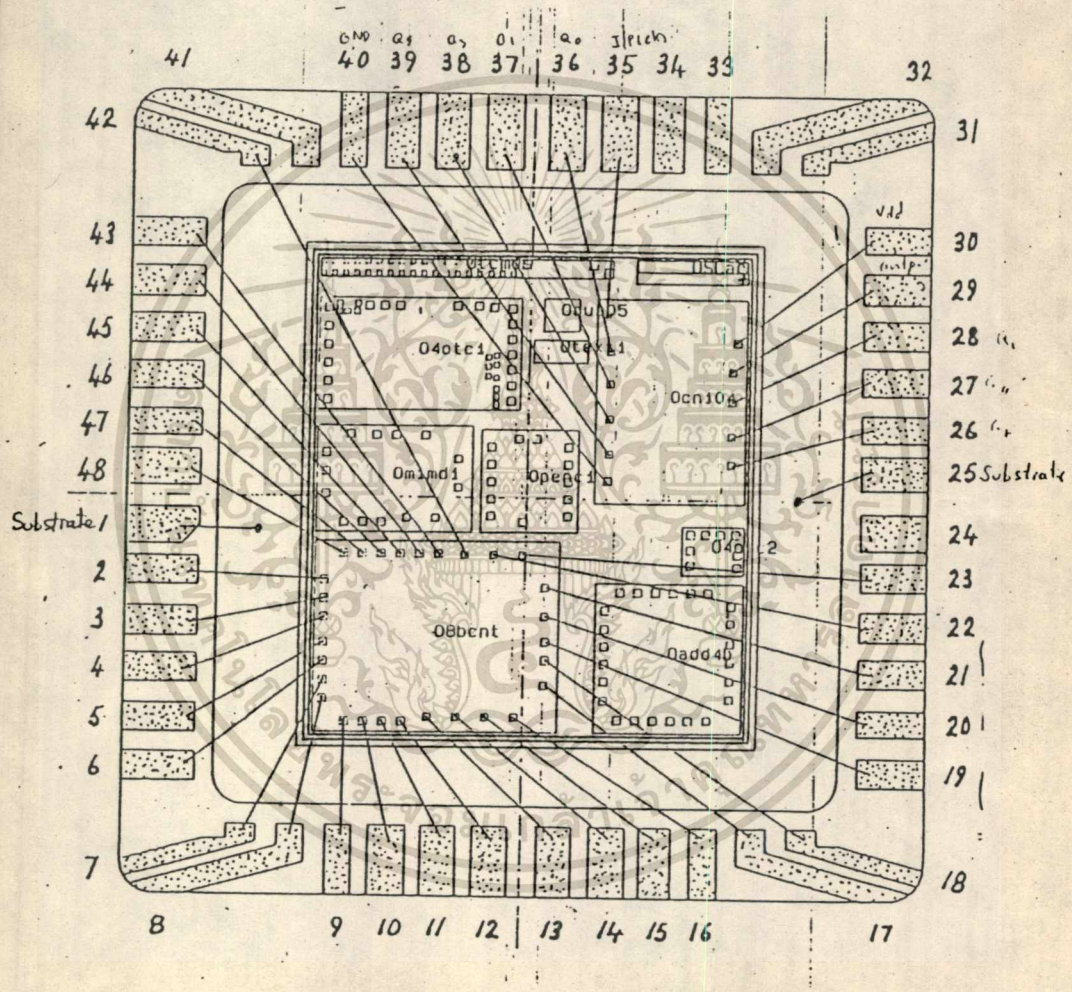
รูป 4.32 ซีไอเลฟของ port and buffer block

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



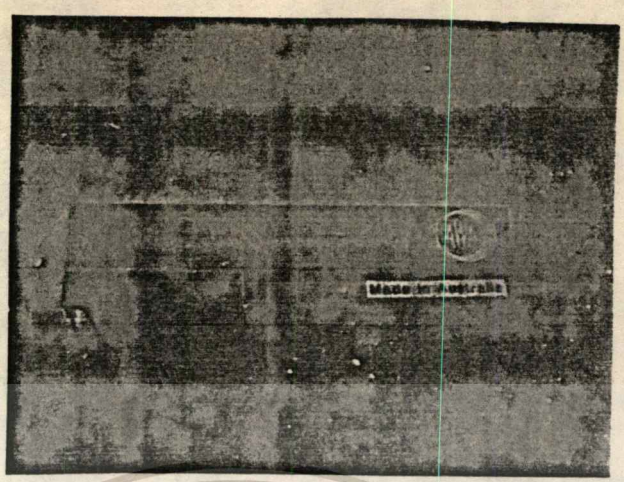
รูป 4.33 ไทม์มิ่งของ port and buffer block

ศูนย์วิทยทรัพยากร
จุฬาลงกรณ์มหาวิทยาลัย



รูป 4.34 แสดงการต่อในวงจรมาที่ขาของตัวถัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 4.35 แสดงตัวถังจริงของวงจรนับ 104 เมื่อเจือสารแล้ว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่5

บทวิจารณ์และสรุป

5.1 ปัญหาที่เกิดขึ้นระหว่างการทำงาน

ปัญหาต่าง ๆ ที่เกิดขึ้นในระหว่างการปฏิบัติงาน พอจะสรุปได้ดังนี้

5.1.1 ปัญหาอันเนื่องมาจากข้อบกพร่องของซอฟแวร์ที่ใช้

- ทำการแก้ไขพอร์ทที่วางลงไปแล้วไม่ได้
- การทำงานล่าช้าอย่างเห็นได้ชัด เมื่อวงจรมีขนาดใหญ่
- บางครั้งการทำงานของซอฟแวร์ จะออกมาสู่ชิสเต็ม โดยไม่สามารถควบคุมได้ ทำให้วงจรที่ออกแบบอยู่เสียหาย
- เกิด คอร์ดัมพ์(core dump) ขึ้นเมื่อเกิดการข้อผิดพลาดทำให้สิ้นเปลืองเนื้อที่ในหน่วยความจำของ ฮาร์ดดิสก์
- การแจ้งจุดผิดพลาดไม่ชัดเจน ทำให้หาจุดผิดพลาดในวงจรได้ลำบาก
- ซอฟแวร์ ที่ใช้ยังทำการจัดช่องว่างระหว่างวงจรได้ไม่ดี คือ หลังจากทำการจิกซอว์ (jigsaw) แล้วช่องว่างยังไม่มีขนาดเล็กที่สุด (minimize) ทำให้สิ้นเปลืองเนื้อที่ เป็นผลให้ต้นทุนการผลิตสูงขึ้น เพราะต้องใช้เนื้อที่ของเวเฟอร์เพิ่มขึ้นไม่เหมาะในการนำไปออกแบบเพื่อการค้า
- ขาต่อ(PAD) ที่ให้มาพร้อมซอฟแวร์ มีปัญหาในการเชื่อมต่อกัน เพราะมีช่องว่างไม่ตรงกัน

5.1.2 ปัญหาอันเกิดมาจากลักษณะทางกายภาพ (Physical characteristic)

ปัญหาของทรานซิสเตอร์ ในเทคโนโลยีของซีมอส ได้แก่

- ปรากฏการณ์แลทอัพ (Latch Up Effect) ได้แก่ การลัดวงจรระหว่างซีพพลาย กับ กราวด์ ซึ่งเกิดจากค่าความต้านทานของเนื้อสารมาก ได้แก้ไขโดยใช้ซีพสเตรทคอนแทค(Substrate Contact) เพื่อลดความต้านทานในเนื้อสารลง
- บอดี้เอฟเฟ็ค (Body Effect) ได้แก่ การที่แรงดันขีดเริ่ม (Threshold Voltage)มีค่าสูงขึ้น เมื่อนำทรานซิสเตอร์มาต่ออนุกรมกัน ดังนั้น ในวงจรจึงไม่ใช้ทรานซิสเตอร์มาต่ออนุกรมกันเกิน 4 ตัว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.1.3 ปัญหาเนื่องมาจากเทคโนโลยีการผลิตไม่สามารถทำได้ภายในประเทศ จึงต้องส่งไปผลิตยังประเทศอื่น ทำให้ต้องเสียเวลารอฟังผลในการผลิตนาน

5.2 สรุป

ตลอดโครงงานการศึกษา ได้ศึกษาการใช้เทคโนโลยี การออกแบบวงจรรวมขนาดใหญ่(VLSI) แบบซีมอสสาเหตุที่เปลี่ยนจากเทคโนโลยีเอ็นมอส มาเป็นแบบซีมอสเพราะเนื่องจากเทคโนโลยีแบบ ซีมอส มีคุณสมบัติที่ดีกว่าเอ็นมอส หลายประการ เช่น ใช้กระแสไฟน้อยกว่ามีคุณสมบัติตอบสนองทรานเซียนท์ดีกว่า ทำให้การตอบสนองความถี่ดีกว่า และข้อสำคัญ ในปัจจุบันโรงงานผู้ผลิตส่วนใหญ่จะใช้เทคโนโลยีแบบซีมอส และกำลังเลิกใช้เทคโนโลยีแบบ เอ็นมอส จากนั้นได้ทำการออกแบบวงจรตัวอย่าง ได้แก่ วงจรนับ 104 ในการทำงานทำให้ทราบแนวทางข้อผิดพลาด และวิธีการในการที่จะนำไปใช้ในการออกแบบวงจรใหม่ ได้อย่างมีประสิทธิภาพ วงจรที่ออกแบบไปแล้วได้ส่งไปเจือสารยังประเทศออสเตรเลีย และได้รับตัวชิพไอซีกลับมาแล้ว จากการตรวจสอบไอซีสามารถทำงานได้ตามที่ออกแบบไว้ นับเป็นชิพไอซีตัวแรกในประเทศไทย ที่ได้รับการออกแบบ และสร้างด้วยเทคโนโลยีของวงจรรวมขนาดใหญ่

5.3 แนวทางในการพัฒนาต่อไป

เทคโนโลยีทางด้านนี้ยังเป็นเทคโนโลยีที่ใหม่มากในประเทศเรา ควรจะต้องมีการวิจัยทางด้านนี้กันอย่างลึกซึ้งต่อไป จากจุดบกพร่องในการทำงานที่เกิดส่วนมาก จะเกิดจากความสามารถของซอฟแวร์ที่ใช้ยังมีความสามารถไม่พอ ควรจะนำเอาซอฟแวร์ที่ต่างประเทศใช้ในการออกแบบในงานจริง ซึ่งซอฟแวร์นี้จะมีความสามารถในการวิเคราะห์คุณสมบัติและการทำงานของวงจรที่ดีและให้รายละเอียดที่มากกว่า ทำให้การออกแบบเป็นไปได้อย่างสมบูรณ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ส่วนนี้เป็นการรวบรวมคำสั่ง การใช้งานของคอมมานด์ในซอฟแวร์ INGRED ซึ่งเป็นฟังก์ชั่นที่ใช้ช่วยในการออกแบบ

abutport เป็นคำสั่งที่ใช้เชื่อมต่อระหว่างพอร์ทของแต่ละลีฟเซล (leaf cell) เข้าด้วยกันเพื่อเชื่อมการทำงานเข้าเป็นโมดูล(module) การทำคำสั่งนี้ พอร์ทที่จะเชื่อมต่อกัน จะต้องอยู่ในชั้น (layer) เดียวกัน

abutside เป็นคำสั่งที่คล้ายคลึงกับ abutport แต่จะนำเอาด้านทั้งสองของเซลที่อยู่ติดกัน มาเชื่อมติดกัน

cellname เป็นคำสั่งที่สั่งให้มีการแสดงชื่อเซล (cellname)ปรากฏขึ้นบนจอ โดยจะต้องใช้คู่กับคำสั่ง redraw

character คำสั่งที่ใช้ในการเปลี่ยนอัตราส่วนของทรานซิสเตอร์ ในระดับลีฟเซล โดยจะต้องป้อนค่าอัตราส่วนเข้าทางคีย์บอร์ด

chgwidth เป็นการเปลี่ยนขนาดของสายที่ใช้ในการวางสาย ถ้าต้องการเปลี่ยนขนาดของสายใด ต้องใช้คำสั่ง selwire เลือกก่อน

jigsaw เป็นคำสั่งที่ทำการจัดการรวบรวมวงจร และจัดการให้มีขนาดที่เหมาะสม ในการทำคำสั่งนี้บน INGRED จะต้องทำการ SAVE วงจรเสียก่อน มิฉะนั้น การทำงานจะเป็นการ jigsaw วงจรเก่า

copy เป็นคำสั่งที่ใช้ในการเลียนแบบอุปกรณ์ ตลอดจนสิ่งต่าง ๆ ที่ได้เลือกไว้จากคำสั่ง SELECT โดยจะต้องกำหนด 2 จุด ที่เป็นความสัมพันธ์กันกับสิ่งที่จะเลียนแบบกับที่ใหม่ที่จะนำมาไว้

creat เป็นคำสั่งที่ใช้ในการสร้างเซลใหม่ขึ้นมา โดยจะต้องมีการป้อนชื่อเซลเข้าทางคีย์บอร์ดด้วย

delete เป็นการลบสิ่งต่าง ๆ ที่ทำการเลือกไว้จาก select command

desel เป็นคำสั่งที่ใช้ในการละทิ้งสิ่งที่เลือกไว้ทั้งหมด

delgrid ใช้ในการลบ กริด ซึ่งมีขนาดเกินจากความต้องการ โดยจะต้องกำหนด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จุด 2 จุดคือ กริด เริ่มต้นที่จะลบไปถึง กริด สุดท้ายที่ต้องการลบสายที่อยู่ในนั้นจะถูกทำการลบออกด้วยทั้งหมด

devchar เป็นคำสั่งที่สั่งให้มีการแสดงอัตราส่วนของอุปกรณ์ต่าง ปรากฏขึ้นบนจอ จะต้องใช้คู่กับคำสั่ง REDRAW

device เป็นคำสั่งที่ใช้ในการเลือกอุปกรณ์ต่าง เพื่อนำมาใช้ในการออกแบบ จะสามารถใช้ได้ เมื่อทำการออกแบบในระดับ ลีฟเซล

edit เป็นคำสั่งในการนำเซลที่ทำการเรียกมาออกแบบ โดยโปรแกรมจะสามารถตรวจสอบเองว่าเป็นเซลเก่าหรือ เซลใหม่ ถ้าเป็นเซลใหม่จะทำการสร้างไฟล์มาให้ใหม่

grid เป็นคำสั่งที่ให้มีการแสดงกริด ขึ้นมาหน้าจอ

insgrid เป็นคำสั่งที่ใช้ในการแทรกกริดเข้าไป จะใช้ในการออกแบบที่มีที่ว่างไม่พอ ในการวางอุปกรณ์หรือวางสาย ทำให้ไม่ต้องลบแล้วสร้างใหม่ จะมีประสิทธิภาพมากกว่าคำสั่ง move เพราะสายต่าง ๆ จะทำการยืดได้เอง ตาม grid ที่แทรกเข้ามา

instance เป็นการนำเซลที่ออกแบบไว้แล้ว เข้ามาในเซลระดับโมดูล โดยจะต้องไปกำหนดจุดที่จะทำการดึงขึ้นมาในเซลนั้นที่มุมล่างด้านซ้ายของเซลในระดับ โมดูล

help เป็นคำสั่งที่ใช้ช่วยในการใช้คำสั่งต่าง ๆ ใน ingred

home เป็นคำสั่งที่ใช้ในการให้กลับมาแสดงที่ขนาดของจอภาพเก่า และตำแหน่งเดิม

last เป็นคำสั่งที่ใช้ในการให้กลับมาแสดงที่ขนาดของจอภาพเก่า และตำแหน่งก่อนหน้านี้

leafcell เป็นคำสั่งที่ให้อยู่ในการทำงานระดับลีฟเซล ทำให้มีการวางอุปกรณ์และเดินสายเกี่ยวกับวงจรภายในเซลได้

maskport ใช้ในการป้องกันไม่ให้พอร์ทนั้นถูกเชื่อมติดกัน อันเป็นผลมาจากคำสั่ง abutside

module เป็นคำสั่งที่ให้อยู่ในการทำงานระดับโมดูล ซึ่งจะมีเมนูคนละแบบกับการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ทำงานในระดับลีฟเซล

move เป็นคำสั่งที่ใช้ในการเคลื่อนย้ายสิ่งต่าง ๆ ที่ได้เลือกกำหนดจุด 2 จุด ซึ่งเป็นความสัมพันธ์กันระหว่างจุดเดิมกับจุดที่จะย้ายมา

pan เป็นคำสั่งที่ใช้ในการเลื่อนตำแหน่งการมองของจอ โดยจะมีขนาดของกริดเท่าเดิม จะใช้ในกรณีที่ภาพมีขนาดใหญ่กว่าจอ

pop เป็นคำสั่งที่สั่งให้เปลี่ยนระดับการออกแบบ โดยจะขึ้นมาข้างบนอีกระดับ จะใช้ในการ design ที่เป็นระดับ (hierachical design)

port เป็นคำสั่งที่ใช้ในการใส่พอร์ทของเซลต่างๆ โดยจะต้องมีการไฮซ์ไลพอร์ทลงไปทางคีย์บอร์ดและไปทำเครื่องหมาย (mark) ตรงจุดที่ต้องการนำพอร์ทไปวาง โดยจะต้องเลือกชั้น (layer) ของพอร์ทให้ถูกด้วย

portname เป็นคำสั่งที่สั่งให้มีการแสดงชื่อพอร์ททางจอภาพ

push เป็นคำสั่งที่ใช้คู่กับคำสั่ง pop โดยจะลงไปในระดับล่างกว่าที่อยู่อีกระดับ

redraw เป็นคำสั่งที่ให้จอภาพมีการแสดงใหม่ หลังจากได้สั่งให้มีการเพิ่มการแสดงหลังจากคำสั่ง เช่น portname, cellname

reinstan เป็นคำสั่งในระดับโมดูล เพื่อใช้สำหรับการเปลี่ยนแปลงลีฟเซล ในโมดูลนั้น เพื่อให้เซลในโมดูลนำค่าใหม่เข้ามาเก็บเอาไว้

resize เป็นคำสั่งที่ใช้ในการกำหนดขนาดของเซลใหม่

rename เป็นคำสั่งที่ใช้ในการเปลี่ยนเชื่อพอร์ท

rotate เป็นคำสั่งที่ใช้ในการหมุนตำแหน่งของการวางอุปกรณ์ และการหมุนเซลต่าง ๆ

save เป็นการเก็บเซล ลงในไฟล์โดยจะมีชื่อเป็น name.sl

selalldev เป็นการเลือกอุปกรณ์ทุกชนิด โดยกำหนดจุดที่ครอบคลุม เพื่อทำการเปลี่ยนแปลง

selarea เป็นการเลือกอุปกรณ์ และ การวางสาย โดยกำหนดเป็นพื้นที่ 2 จุด เพื่อทำการเปลี่ยนแปลง

selcell เป็นการเลือกเซล เพื่อทำการเปลี่ยนแปลง

selconn เป็นการเลือกจุดต่อเพื่อทำการเปลี่ยนแปลง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

seldev	เป็นการเลือกอุปกรณ์ เพื่อทำการเปลี่ยนแปลง
selport	เป็นการเลือกพอร์ท เพื่อทำการเปลี่ยนแปลง
selwire	เป็นการเลือกสาย เพื่อทำการเปลี่ยนแปลง
undo	เป็นคำสั่งที่ใช้ในการปฏิเสธการทำคำสั่งก่อนหน้านี้
wait	เป็นคำสั่งที่ใช้ในรอการทำงานของ jigsaw
wire	เป็นการเลือกคำสั่งที่ใช้ในการวางสาย
xmirror	เป็นคำสั่งที่ใช้ในการกอปปี้สิ่งที่เลือกเอาไว้ โดยภาพที่ได้จะมีลักษณะเหมือนกับต้นแบบในลักษณะขนานกับแกน x
ymirror	เช่นเดียวกับคำสั่ง xmirror และภาพที่เกิดจะเป็นในลักษณะขนานกับแกน y
zoomin	เป็นคำสั่งที่ใช้ในการขยายจอภาพในจุดที่ต้องการให้มีขนาดใหญ่ขึ้น โดยสามารถกำหนดได้จากกำหนดจุด(mark)ที่เป็นความสัมพันธ์กับจอภาพเดิม
zoomout	เช่นเดียวกับ zoomin และเป็นการมองภาพให้เล็กลงคือ สามารถมองได้กว้างขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอกสารอ้างอิง

[1] รศ.ดร. สมเกียรติ ศุภเดช, รศ.มนัส สังวรศิลป์, ดร.บุญวัฒน์ อัตชู, อ.สมศักดิ์ ชุ่มช่วย, อ.วิสุทธิ์ ธิติรุ่งเรือง "การฝึกอบรมเชิงปฏิบัติการ เรื่อง VLSI DESIGN TECHNOLOGY" ณ สำนักวิจัยและบริการคอมพิวเตอร์ สถาบันเทคโนโลยีพระจอมเกล้า เจ้าคุณทหารลาดกระบัง เมื่อวันที่ 22-24 มิถุนายน พ.ศ. 2531 .

[2] Weste Neil and Eshraghian Kamran ,Principle of CMOS VLSI Design,
Addison-Wesley,Reading-Massachusetts,1985.

[3] Mead C. and Conway L.,Introduction to VLSI Systems, Addison-Wesley,Reading-Massschusatts,1980.

[4] User Manaul CIRCAD II.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

คณะผู้จัดทำโครงงานและวิทยานิพนธ์ฉบับนี้ ต้องขอขอบพระคุณเป็นอย่างสูง สำหรับ ดร.บุญวัฒน์ อัตชู และ อาจารย์ทุกท่าน ผู้ซึ่งให้คำแนะนำและสนับสนุนเป็นอย่างดี มาตลอด จนกระทั่งโครงงานและวิทยานิพนธ์ฉบับนี้สำเร็จลุล่วงลงด้วยดีไว้ ณ ที่นี้ด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้