ปีการศึกษา 2532

DIGITAL TRAINER BOARD

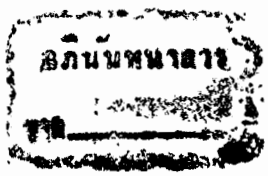
โดย

นิพนธ์ โพธิ์ถิรเลิศ 28.6709

สายยน อ้อนสูงเนิน 28.6721

อาจารย์ที่ปรึกษา

อาจารย์ วิริยะ กองรัตน์



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการ

ปริญญานิพนธ์ปีการศึกษา

ภาควิชา เทคโนโลยี่วัดคุมทางอุตสาหกรรม

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยี่พระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง DIGITAL BOARD TRAINER

ผู้จัดทำ

1.	นิพนธ์	โพธิ์ถิรเลิศ	28.6709
2.	สายยน	อ้อนสูงเนิน	28.6721

..... อาจารย์ที่ปรึกษา

(วิริยะ กองรัตน์)

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

INTRODUCTION

Electronics is the effects to human success in variow fields , whether in Space Technology, Production and Inductrial or Commercial Science etc. Electronic is the rapidly progression Science and can be changed all the time within last ten years. It may be hard to predict what will happen in the futher since the Electronices ability rang in present is very high Gspecially in the parts concerns with Computer or Microprocessor

Basic or Principle of microprocessor or Computer comes form the over-all Digital circuit.

Therefore, to study the priciple, it need to have equipment or instructional support material in Digital. Correct understanding is the main purpose is making this Digital Training Set.the vocational education students can be trained from this training set. It is easy to understand and can be produced more economically in the college compere with the set produced form abroad.

The Organizing comittee lope that this training set may be useful in developing to the utilization according to the purpose in Digital priciple study.

023219

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

หน้า

คำนำ		1
1.ส่วนประกอบและวงจรต่างๆ		2
	1.1 COLCK PULSE GENERATOR	3
	1.2 HEXA DECIMAL 7 - SEGMENT DISPLAY WITH BLANKING	5
	1.3 วงจรตรวจสอบสภาวะโลจิก (LOGIC PROBE)	12
	1.4 วงจรแสดงสภาวะโลจิกเสียง (LOGIC TONE)	14
	1.5 INPUT LOGIC SWITCH AND DISPLAY	16
	1.6 INPUT PULSE (DUAL PULSE)	18
2.	การออกแบบและการสร้าง	20
3.	ใบงานการทดลอง	22
	3.1 BASIC LOGIC SWITCH	23
	3.2 BASIC LOGIC SWITCH 2	28
	3.3 DIODE LOGIC CIRCUIT	31
	3.4 TWO STATE DIODE GATE	36
	3.5 TRANSISTOR LOGIC GATE	39
	3.6 TRANSISTOR LOGIC GATE 2	43
	3.7 วงจรพื้นฐานของไอซีโลจิกเกท	47
	3.8 T.T.L IC LOGIC GATE	51
	3.9 T.T.L IC GATE 2	56
	3.10 LOGIC CIRCUIT COMBINATION	61
	3.11 BOOLEAN LAWS AND THEOREM	64
	3.12 NAND & NOR OPERATION	73
	3.13 ADDER CIRCUIT	78
	3.14 SUBTRACTOR	84
	3.15 BINARY ADDITION / SUBTRACTION CIRCUIT	89
	3.16 ENCODER CIRCUIT	98
	3.17 DECODER CIRCUIT	103
	3.18 วงจรเปลี่ยนรหัส (CODE CONVERTER)	111
	3.19 วงจรกำเนิดพัลซ์ (PULSE GENERATOR)	116

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.20 SCHMITT TRIGGER CIRCUIT 122
3.21 DIGITAL MULTIPLEXER / DATA SELECTOR 126
3.22 DEMUTIPLEXER / DATA SELECTOR CIRCUIT 133
3.23 แบบและการใช้ ฟลิบ - ฟลอบ (TYPE AND USING FLIP/FLOP) 142
3.24 การใช้งานของไอซี ฟลิบ - ฟลอบ 151
3.25 วงจรนับที่ใช้ ฟลิบ - ฟลอบ (COUNTER CIRCUIT USING F/F) 161
3.26 การทำงาน ไอซี COUNTER (TTL MSI COUNTER) 170
4. ภาคผนวก 178
5. หนังสืออ้างอิง 182

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

คำนำ

อิเล็กทรอนิกส์ เป็นผลให้มนุษย์ประสบความสำเร็จในด้านต่างๆ ไม่ว่าจะเป็นเทคโนโลยี่ทางด้านอวกาศ ทางด้านการผลิตและอุตสาหกรรม การพาณิชยกรรม ฯลฯ อิเล็กทรอนิกส์เป็นศาสตร์ ที่เจริญก้าวหน้าอย่างรวดเร็ว และเป็นศาสตรที่เปลี่ยนแปลงตลอดเวลาในระยะสิบปีหลังนี้ นอนาคตอาจจะยากที่จะเดา ว่าอะไรจะเกิดขึ้นมาอีกบ้าง เพราะขีดความสามารถของ อิเล็ก-ทรอนิกส์ ในปัจจุบันสูงมาก โดยเฉพาะอย่างยิ่งในส่วนที่เกี่ยวกับ คอมพิวเตอร์ หรือ ไมโครโปรเซสเซอร์

แต่พื้นฐานหรือความรู้ความสามารถเบื้องต้นของ ไมโครโปรเซสเซอร์ หรือ คอมพิวเตอร์ ก็จะมาจาก วงจรทาง ดิจิตอล ทั้งหมด

ดังนั้นเพื่อศึกษาขั้นพื้นฐาน ต้องมีอุปกรณ์หรือเครื่องที่ช่วยสอนทางด้าน ดิจิตอล และการทำความเข้าใจอย่างถูกต้อง นั่นคือจุดที่ได้ทำชุดฝึก ดิจิตอล ชุดนี้ขึ้นมาเพื่อใช้ในการสอน นักศึกษาในระดับ ปวช.เพื่อนักศึกษาจะได้ฝึกจากชุดฝึกที่จะทำความเข้าใจได้ง่ายซึ่งในสถานศึกษา สามารถที่จะจัดทำขึ้นได้ โดยประหยัด เมื่อเทียบกับชุดฝึกที่ผลิตจากต่างประเทศ

คณะผู้จัดทำหวังอย่างยิ่งว่าชุดฝึก นี้คงจะมีประโยชน์ ในการพัฒนาเพื่อให้ได้ประโยชน์ สูงสุดตามจุดมุ่งหมายในการศึกษาพื้นฐานทาง ดิจิตอลและตามจุดประสงค์ของคณะผู้จัดทำต่อๆไป

คณะผู้จัดทำ
นิพนธ์ โพธิ์ถิรเลิศ
สายยน อ้อนสูงเนิน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ส่วนประกอบและวงจรต่าง ๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1. CLOCK PULSE GENERATOR

ชุดฝึกดิจิตอลที่มีใช้ทั่วไป ไม่ว่าจะมีขนาดใหญ่สักเพียงใด จะมีวงจรช่วยงานหรือคอยอำนวยความสดวกให้ ที่ถูกสร้างไว้เสมอและจะขาดเสียไม่ได้ คือวงจร Clock pulse generator ทั้งนี้ก็เนื่องจากว่า วงจรดิจิตอลทั่วไปจะขาดสัญญาณ Clock เสียไม่ได้ เพราะว่าการทำงานของวงจรมักจะใช้สัญญาณ Clock เป็นตัวกระตุ้นให้เกิดการทำงาน และที่เห็นได้ง่ายก็อย่างเช่น

- วงจรนาฬิกา
- วงจร Counter,Shift register ต่างๆ
- วงจร Timer
- อื่นๆ

ในชุด ดิจิตอลบอร์ดเทรนเนอร์ และ แลบนี้ก็เช่นเดียวกัน ได้สร้างวงจรผลิตสัญญาณนาฬิกาแบบเลือกความถี่ไว้ให้ ซึ่งจะมีย่านความถี่ให้เลือกคือ

สัญญาณนาฬิกา 1 Hz, 10 Hz, 100 Hz, 1 Kz, 10 KHz, 100 Khz

วงจรและส่วนประกอบ

ได้แสดงไว้ตามรูปที่ 1.1 จะเห็นได้ว่าใช้ไอซี เบอร์ M4l4046B ซึ่งเป็น CMOS phase lock loop และจากคุณสมบัติของ ไอซี เบอร์นี้ สามารถที่จะนำมาทำเป็นตัว VFC (Voltage to Frequency Convertor ได้ จากคุณสมบัติดังกล่าวเราก็ได้นำมาใช้ เพื่อที่จะสร้างให้เป็น Clock pulse generator ไว้ใช้ได้

การทำงานของวงจร

เพื่อให้เข้าใจการทำงานเป็นอย่างดี จะยกเอาโครงสร้างภายในของไอซี เบื้องต้นดังนี้

จากรูปใน Data Sheet 1 จะเห็นส่วนประกอบภายในและตำแหน่งของขาไอซี เบอร์ 4046B ซึ่งประกอบด้วยวงจรเปรียบเทียบ (Phase Comparator) 1 คู่ มี Zener ลอยไว้อีกตัว และภาคกำเนิดความถี่ที่ถูกควบคุมด้วยแรงดันหรือ VCO (Voltage Control Oscillator) ส่วนประกอบเหล่านี้จะแยกออกจากกัน จุดประสงค์ก็อยู่ที่ส่วนของ VCO นั่นเองที่จะนำมาดัดแปลงหรือออกแบบให้เป็น Clock pulse generator ได้ และที่เลือกใช้ VCO เบอร์นี้ก็เนื่องจากว่า มีราคาถูกกว่า หาซื้อง่าย และมีคู่มือ (Data Sheet) ประกอบที่หาดู ค้นคว้าได้ง่าย

ภาค VCO นี้มีส่าวนควบคุมที่สำคัญจะอยู่ที่ ขา 9 (VC (IN)) และ ขา 6,7 (External Capacitance) ซึ่งที่ขา 9 หากเราทำการเปลี่ยนแปลงระดับแรงดันที่ขานี้แล้วจะทำให้ขา VCO OUT (ขา4) มีสัญญาณรูปสี่เหลี่ยม (Square wave) ปรากฏ ซึ่งความถี่ของสัญญาณจะถูกกำหนดโดยชุดของ R_T และ C_T โดยเฉพาะ R_2 (ขา 11 กับ Ground) และ C_T (ระหว่างขา 6 กับขา 7) จาก Graph 1 แสดงความสัมพันธ์ บอกได้ว่าที่ไฟเลี้ยง V_{DD} = 5 V (ขา 16) R_2 = 10 K ohms และ C_T = 1 micro Farad ที่ VCO (out) จะมีสัญญาณประมาณ 100 z ปรากฏ(ในขณะที่ VCO(in) ขา 9 = V_{DD}) และการทดลองพบว่าหากเราลด Voltage ที่ขา = 9 ลงจะทำให้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Frequncy ที่ Oscillated ถูกทำให้ลดลงด้วย ซึ่งเป็นไปตาม Graph 2

จากคุสมบัติและการทดลองดังกล่าว จึงนำมาใช้เป็นแนวทางในการสร้างสัญญาณ Clock โดยกำหนด R2 ให้ค่าคงที่ 100 K ohms , Rl = 5 M ohms (จะทำให้เกิด Oscillate ตลอดย่าน 1 Hz ถึง 100 KHz) แล้วใช้ VCO(in) ขา (9) และ Capacitor External(CT) ขา 6,7 เป็นค่าที่เปลี่ยนแปลงเข้าช่วยเพื่อให้ได้ความถี่ตามที่กำหนด ในกลุ่มของ C_T จะกำหนดให้มีค่าคงที่ไว้ (เพราะค่า Capacitance จะเปลี่ยนแปลงได้ยาก) และเมื่อ R_T และ C_T มีค่าคงที่ ดังนั้นตัวที่จะทำให้ได้ความถี่ที่ถูกต้องก็อยู่ที่ VCO(in) ขา 9 เพราะเหตุนี้ จึงใช้กลุ่มของ R_T (ex) ที่ปรับค่าได้ (R เกือกม้า 10 K แบบ B) ทำ Voltage Divider ร่วมกับ R3 (2.2 K) สร้างระดับที่ขา 9 เป็นตัวปรับแต่งให้ได้ความถี่ที่ต้องการ

หน้าที่ของอุปกรณ์อื่นๆ

Cl , C2 : ช่วยเป็นตัว Filter เมื่อมีการกระชากของกระแสที่จ่ายให้ในวงจร

Ql , Q2 และ RO : เป็นวงจร Push pull amp (แบบ Switching) เพื่อเป็น Driver ขับ OUTPUT ให้มีกระแสสูงขึ้น ทำให้มีประสิทธิภาพในการขับ Load มากขึ้น

R_C , C_C : เป็น R-C Blocking และ Coupling สัญญาณ (VCO (out)) และ R_C จะยังเป็นตัวทำ ไบอัสให้ Ql , Q2 ได้อีกด้วย

สรุปการทำงานของวงจร

เริ่มจาก R_T และ C_T เป็นตัวทำ ออสซิเลท ความถี่ โดยมีแรงดันที่ขา 9 (R_T(ex) และ R3 เป็นตัวแบ่งแรงดันให้) เป็นตัวกำหนดความถี่ที่แน่นอนให้แก่ IC_1 (4046B) และความถี่ที่ได้จะผ่าน R_C., C_C ไปทำการขยายโดย Ql และ Q2 เพื่อรักษาประสิทธิภาพการทำงานของ Ql และ Q2. Cl ก็จะเป็น Filter เมื่อเราเลือกผ่านความถี่เพราะแต่ละย่านเลือก (ใช้ Selector switch หรือ Rotary switch) จะมีระดับแรงดันไฟดีซี ไม่เท่ากันและเพื่อช่วย Protected ให้แก่ IC_1 ด้วย

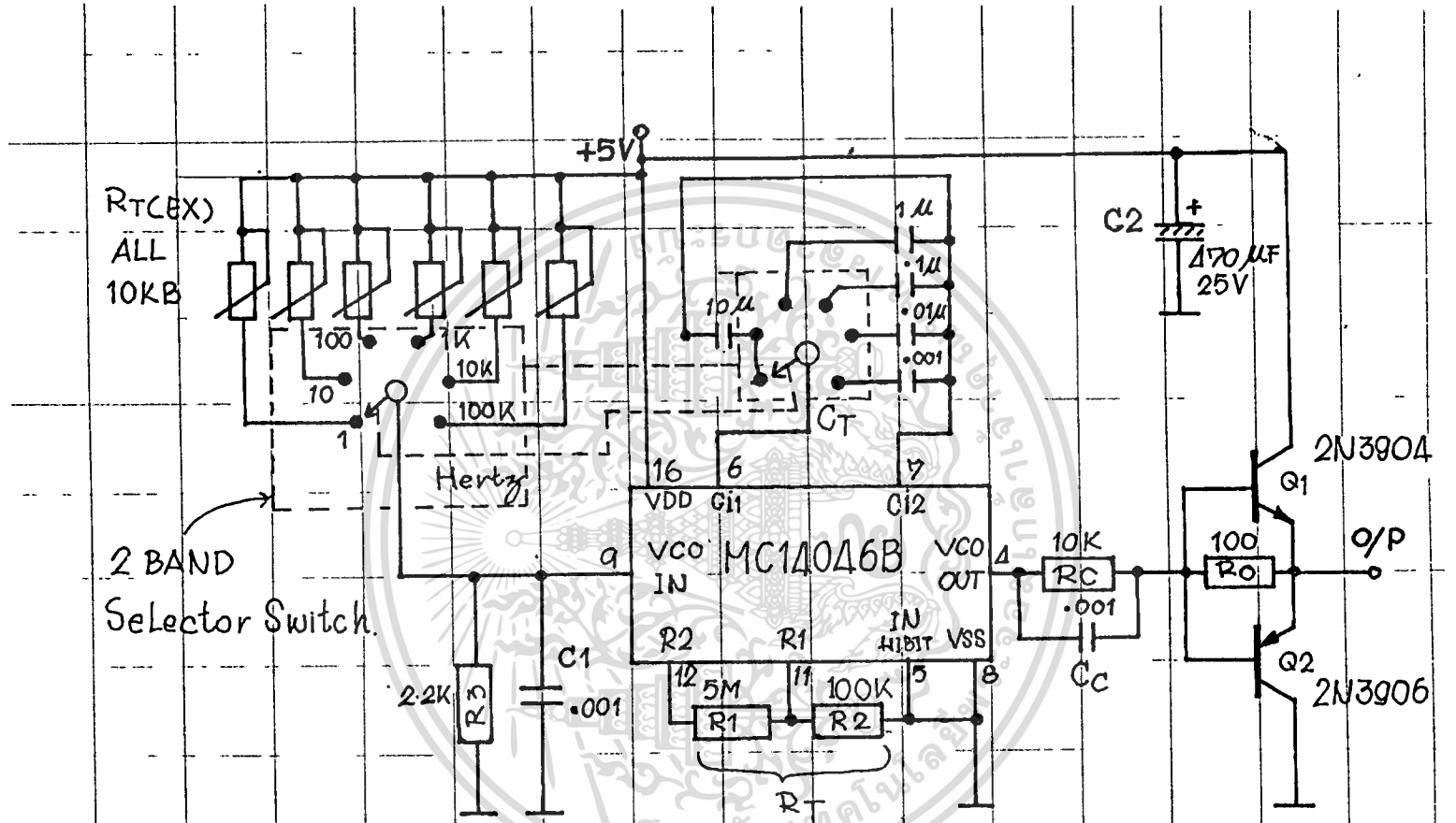
ข้อควรระวัง

1. การติดตั้ง IC_1 จะต้องถูกต้อง ตรงตำแหน่งของขาและ ไฟฟ้าสถิต จากการจับด้วยมือหรือความร้อนขณะที่ทำการบัดกรีอาจเป็นเหตุให้ ICl เสียหายได้(เพราะ ICl เป็น CMOS)

2. การติดตั้ง Ql , Q2 จะต้องถูกต้องตรงเบอร์และตรงขาต้องคำนึงถึงความร้อนในขณะทำการบัดกรีด้วย

3. การต่อ Output ไปใช้งานจะต้องไม่ให้ Q2 ได้รับกระแส Sink มากเกินไปจนทนไม่ได้ (วงจรที่มีแรงดันไฟเลี้ยงสูงกว่า)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

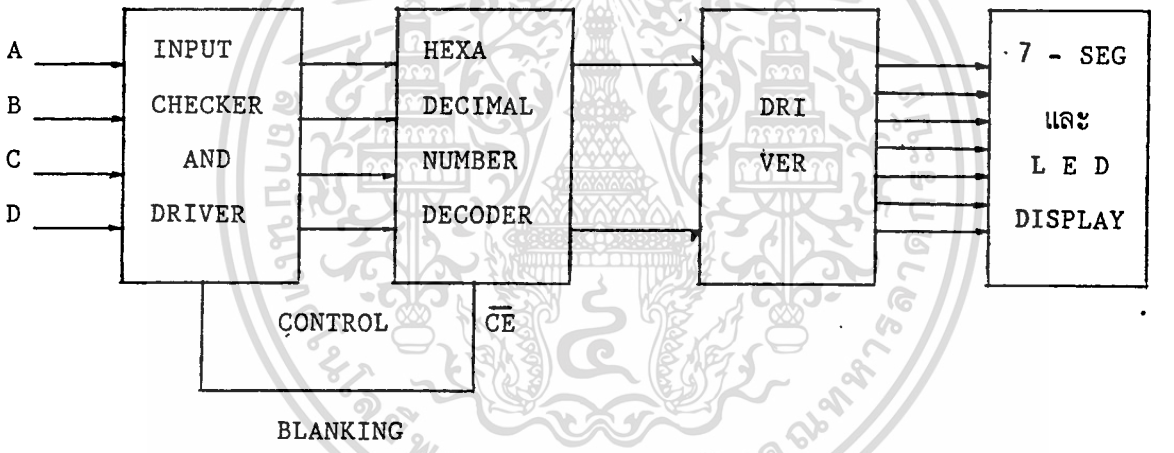


1: CLOCK PULSE CIRCUIT

2. วงจร HEXA DECIMAL 7 - SEGMENT DISPLAY WITH BLANKING

ในส่วนของวงจรนี้นับว่าสำคัญที่สุดวงจรหนึ่งที่ชุดฝึกดิจิตอลทั่วไปจะขาดเสียไม่ได้ ทั้งนี้ก็เนื่องจาก การที่จะตรวจสอบการทำงานของวงจรนับ (Counter), วงจรนาฬิกา(Clock), วงจรตั้งเวลา (Timer) หรืออื่น จะต้องมี 7 - Segment Display ไว้คอยแสดงผลให้ทราบ ถึงจะใช้ LED ไว้คอยแสดงผลหรือตัวการอื่นๆแสดงผลแทนก็ได้แต่ถ้าเรามองเห็นด้วยตาและเข้าใจได้เลยด้วยตัวเอง โดยไม่ต้องไปตีความหมายหรือแปล โค้ต ให้เสียเวลาหรือเพิ่มความยุ่งยากกับตัวแสดงผลอย่างอื่นก็นับได้ว่ามันอยู่ในลำดับที่สำคัญกว่า กล่าวคือเมื่อเราให้อินพุทเข้าไปแล้ว 7 - Segment แสดงออกมาเป็น 0 , 1 , 2 , 3 , ... 9 และ A , B ,...F ให้เห็นโดยตรงเราก็จะบอกได้ว่าวงจรดิจิตอลที่เราออกแบบ ต่อประกอบ หรือที่ใช้ทดลองอยู่นั้นถูกต้องหรือเปล่า

ส่วนประกอบและการทำงานของวงจรนี้ จะแยกกล่าวเป็นส่วนๆ (Block) เพื่อจะได้เข้าใจง่าย เมื่ออธิบายถึงการทำงานและระบบการทำงานของมัน รูปที่ 1 แสดงการทำงานของ Block ต่างๆ 1 2 3 4



รูปที่ 1 BLOCK DIAGRAM OF HEXADECIMAL DISPLAY STAGE

ตารางที่ 1

INPUT D C B A	OUTPUT	INPUT D C B A	OUTPUT	INPUT D C B A	OUTPUT
X X X X	BLANK	5 0 1 0 1		11 1 0 1 1	
0 0 0 0 0		6 0 1 1 0		12 1 1 0 0	
1 0 0 0 1		7 0 1 1 1		13 1 1 0 1	
2 0 0 1 0		8 1 0 0 0		14 1 1 1 0	
3 0 0 1 1		9 1 0 0 1		15 1 1 1 1	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

D C B A	D C B A	D C B A
4 0 1 0 0	10 1 0 1 0	

X : หมายถึงสภาวะของ HALF LOGIC หรือสภาวะที่อินพุทลอยไว้

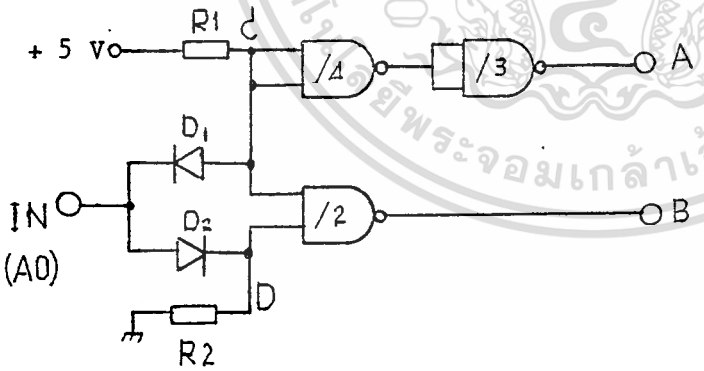
ส่วนประกอบการทำงานของแต่ละส่วน(BLOCK):

ใน Block ที่ 1 คือ INPUT CHECKER AND DRIVER ที่ทำหน้าที่คอยตรวจเช็คสัญญาณ อินพุท (nput Logic) ที่เข้ามาทาง IN (A_o,B_o,C_o,D_o) ซึ่งให้เงื่อนไขในการตรวจเช็ค ดังนี้

อินพุท	เอ้าทพุท และ ส่วนขยาย
IN	B A : สร้างเอ้าท์พุทขึ้นไว้เพื่อให้เป็นตัวบอกสภาวะของอินพุท
X	1 1 : แสดงว่าอินพุทลอยหรือเกิดสภาวะกึ่งโลจิก (Half)
0	1 0 : แสดงว่าอินพุทอยู่ในระดับต่ำ (Low Level)
1	0 1 : แสดงว่าอินพุทอยู่ในระดับสูง (High Level)

ตารางแสดงที่ 2.2

วงจรที่ใช้



R1 = 150 Kohms
R2 = 1 Kohms
D1,D2 = 1N4001
74LS00N = TTL NAND GATE

ส่วน Check(in) ส่วน Generated out

การทำงาน พอจะสรุปเพื่อให้เข้าใจง่ายจึงขอแสดงเป็นตารางที่ 2.3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อินพุท	เอ้าทพุท				
IN	C	D	B	A	
X	1	0	1	1	: ไม่มีอินพุทเข้ามา >0.8 แต่ <2 V
0	0	0	1	0	: แรงดันที่น้อยกว่า 0.8 V
1	1	1	0	1	: แรงดันที่มากกว่า 2 V

ตารางที่ 2.3

จุดสำคัญของวงจรนี้ที่ทำงานได้ตามตารางที่ 2.3 จะแยกได้เป็น 2 ส่วนคือ

1. ส่วน Check input เข้า

ในส่วนนี้จะประกอบด้วย R1,D1,D2 และ R1 ที่ต่อกันในลักษณะอนุกรม ทั้งนี้เพื่อให้ทำหน้าที่แบ่งแรงดัน หรือแยกระดับความแตกต่างของ IN ไว้นั่นเอง กล่าวคือ ที่จุดการทำงานของวงจรอย่างปรกติในขณะอินพุทยังไม่ต่ออะไร จุด C จะถูกตั้งระดับไว้ที่ 2 V(Logic High) ต่ำสุดเมื่อวัดเทียบกับ Ground และจุด D จะมีระดับแรงดันไม่เกิน 0.8 V (max) ซึ่งเป็นระดับของ Logic low เพื่อทำให้ส่วนต่อไป (ส่วน Generated out) ได้มีระดับอินพุทอย่างถูกต้องตามคุณสมบัติที่กำหนด (จากการทดลองพบว่าที่จุด C อาจลดต่ำลงถึง 1.5 V และที่จุด D อาจเพิ่มขึ้นเป็น 1.2 V เนื่องจากการ Sink ของ IC 74LS00 แต่ปรากฏว่าในส่วนของ Generate out ก็ยังทำงานได้เป็นปรกติอยู่คือ A = 1 และ B = 1

หมายเหตุ หากอินพุทเข้าที่ มากกว่า 1.2 V แต่น้อยกว่า 1.5 V วงจรก็จะทำงานเหมือนว่าไม่มีอินพุท (A = 1, B = 1) เช่นกัน ซึ่งเราใช้การนี้ไว้คอยตรวจสอบสภาวะของกึ่งโลจิก (Half Logic) ได้ด้วย

เมื่อเราต่อ INPUT IN เข้ากับ OUTPUT ของวงจรโลจิกใดๆ (ไม่รวมวงจร CMOS ที่ใช้ไฟเลี้ยงสูงกว่า) หากเอ้าท์พุทของวงจรนั้นมีระดับแรงดันมากกว่า 2 Volt ก็แสดงว่าเป็นสภาวะโลจิก "1" ซึ่งจุด C และ D จะเท่ากับ "1" (ประมาณ 3.5 โวลท์ต่ำสุด) ดังนั้นส่วนของวงจร Generate out ก็จะปรากฏ B = "0", A = "1" (โลจิก High > 2 V ;โลจิก Low < 0.8 V) แต่ถ้า (IN) ปรากฏแรงดันที่ต่ำกว่า 1.2 โวลท์ มันจะทำให้จุด C และ D เป็นโลจิก "0" ทำให้เกิด A = "1" , B = "0" ดังตารางที่ 2.3

จุด A และ B ที่เรากำหนดไว้มีความสำคัญมาก เพราะจะใช้เงื่อนไขที่เกิดขึ้นที่ สองจุดนี้ไปควบคุมวงจรอย่างอื่นต่อไป อย่างเช่น

- นำไปผ่าน Driver เพื่อขับ LED แสดงผลได้ (ใน Block Display)
- นำไป NAND ทั้งคู่เพื่อให้ได้ Output ออกไปเพื่อนำไปใช้ในการ Blanking (ลบการแสดงผล) ซึ่งกล่าวใน Block Decoder)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- นำไปควบคุม Monostable multivibrator (74123) เพื่อให้แสดงความแตกต่างของ Pulse (Positive , Negative Trigering pulse) ดังจะกล่าวในหัวข้อ โลจิกโพ้รบ (Logic probe)

- อื่น ๆ

2. ส่วน Generated out

คือส่วนที่จะแยกเอาระดับทาง โลจิก 3 ระดับออกจากกันตามเงื่อนไข เพราะถ้าไม่ทำเช่นนี้ก็ไม่สามารถทราบได้ว่า อินพุทกำลังปรากฏในสภาวะใดในขณะนั้น จากวงจรใช้ IC เบอร์ 74LS00N เป็นเบอร์ที่หาง่าย ราคาถูก ทนทานต่อการใช้งาน มาเป็นตัวจัดการ ซึ่งมองแล้วก็เป็นวงจร Combination ธรรมดานั่งเอง ซึ่ง

B : จะเลือกเฉพาะ อินพุท 0 กับ X (ให้ผลเป็น "1")

A : จะเลือกเฉพาะ อินพุท 1 กับ X (ให้ผลเป็น "1")

ดังตารางที่ 2.3

ในส่วนของ Block Hexa decimal numberic decoder (ตัวถอดรหัสเลขฐาน 16) จะประกอบด้วย ไอซีเบอร์ 7417 2 ตัว (Buffer and driver with open collector) ที่จะทำหน้าที่คอยเป็นตัวขยาย (Buffer) สำหรับสัญญาณอินพุท เพื่อให้มีระดับเป็น High หรือ Low ปรากฏแก่ไอซี เบอร์ HM462716B (Output Eraseable programable read only memory) เป็น EPROM ขนาด 8 X 1 k ที่หาซื้อได้ง่าย ราคาถูก และง่ายต่อการโปรแกรม ซึ่งจะใช้ได้กับ EPROM PROGRAMABLE CARD เกือบทุก CARD เช่นจากชุด ET Board หรือ ชุด MPF - 1 ก็ได้

การโปรแกรม EPROM

ความต้องการที่จะให้ ไอซีตัวนี้เป็น Decode ระหัส BINARY ที่เข้ามาทางอินพุทให้แสดง 7 - Segment display ตามระหัสเลขฐาน 16 หนึ่งหลักจะใช้อินพุท ไบนารี่ 4 บิท เป็นตัวเลือก โดีต ตารางการโปรแกรมสามาถแสดงได้ ตามตารางที่ 2.4

ตารางที่ 2.4

ลำดับเลข	ADDRESS					DATA	X	g	f	e	d	c	b	a
	A_4	A_3	A_2	A_1	A_0		D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0
0	1	0	0	0	0	C_0	X	1	0	0	0	0	0	0
1		0	0	0	1	F_9	1	1	1	1	1	0	0	1
2		0	0	1	0	A_4	1	0	1	0	0	1	0	0
3		0	0	1	1	B_0	1	0	1	1	0	0	0	0
4		0	1	0	0	99	1	0	0	1	0	0	1	0
5		0	1	0	1	92	1	0	0	1	0	0	1	0

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6	0	1	1	0	86	1	0	0	0	0	0	1	0
7	0	1	1	1	8E	1	1	1	1	1	0	0	0
8	1	0	0	0	80	1	0	0	0	0	0	0	0
9	1	0	0	1	90	1	0	0	1	0	0	0	0
A	1	0	1	0	88	1	0	0	0	1	0	0	0
B	1	0	1	1	83	1	0	0	0	0	0	1	1
C	1	1	0	0	C6	1	1	0	0	0	1	1	0
D	1	1	0	1	A1	1	0	1	0	0	0	0	1
E	1	1	1	0	86	1	0	0	0	0	1	1	0
F	1	1	1	1	8E	1	0	0	0	1	1	1	0
X	X	X	X	X	-	X	1	1	1	1	1	1	1

* : จะทำให้ D7 - D0 เป็น High ทำให้ Display off (Command anode) โดยการควบคุม Chip Select (CE) ขา (18)

: A10 - A4 จะถูกต่อลง Ground ไม่มีการใช้ Address

: ตารางแสดงเป็นตัวเลข แสดงไว้ในตารางที่ 2.1

การทำงาน

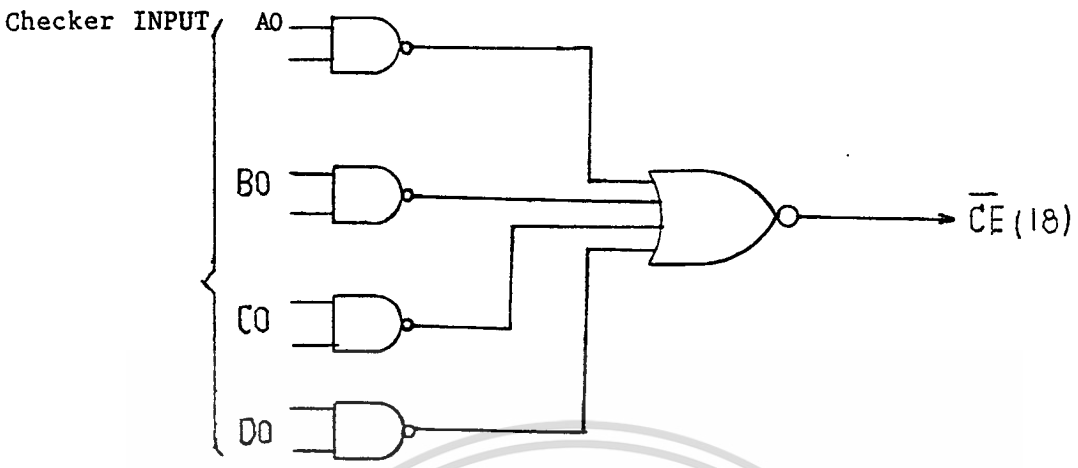
เมื่อมีอินพุทที่อินพุท A0, B0, C0, และ D0 เข้ามา 7417/1 จะปรับระดับ High - low ให้ถูกต้องให้แก่ A0 - A3 ซึ่งเป็น อินพุท(Address) ของ 2716/1 โดยมี R 22 k X 4 คอย Pull up (เพราะไอซี7417 เป็น Open collector) ให้ไอซี 2716B/1 จะตีความหมายที่อินพุทบอกตามตารางที่ 2.4 แล้วส่ง data (D6 - D0) ออกไป ซึ่งโปรแกรมไว้ให้ D6 = segment g, D5 = f , D4 = e , D3 = d , D2 = b , D1 = a ดังนั้นเมื่อ Data เหล่านี้ถูกส่งผ่าน ไอซี 7417/2 ก็จะทำให้ 7 - segment display แสดงเป็น Numberic ตาม โค๊ตที่อ่านได้

ในขณะที่อินพุท (A0,B0,C0,D0) ทั้งหมดเป็น Half logic หรือ ลอยอินพุทเอาไว้ เมื่อนั้น เอ้าท์พุท ของ NOR 4 input เบอร์ 74260N/1 จะเป็น High ซึ่งเป็นเหตุให้เกิด Chip Disable (CE) ทำให้ D7 - D0 กลายเป็น High impedance ทั้งหมด ไม่มี Data ออกไป ผลก็คือ 7 - Segment display จะดับ ในลักษณะเช่นนี้เรียกว่าเกิด Blanking

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

023219

วงจรที่สร้าง CHIP ENABLE



= DISABLE (ไม่ทำ)

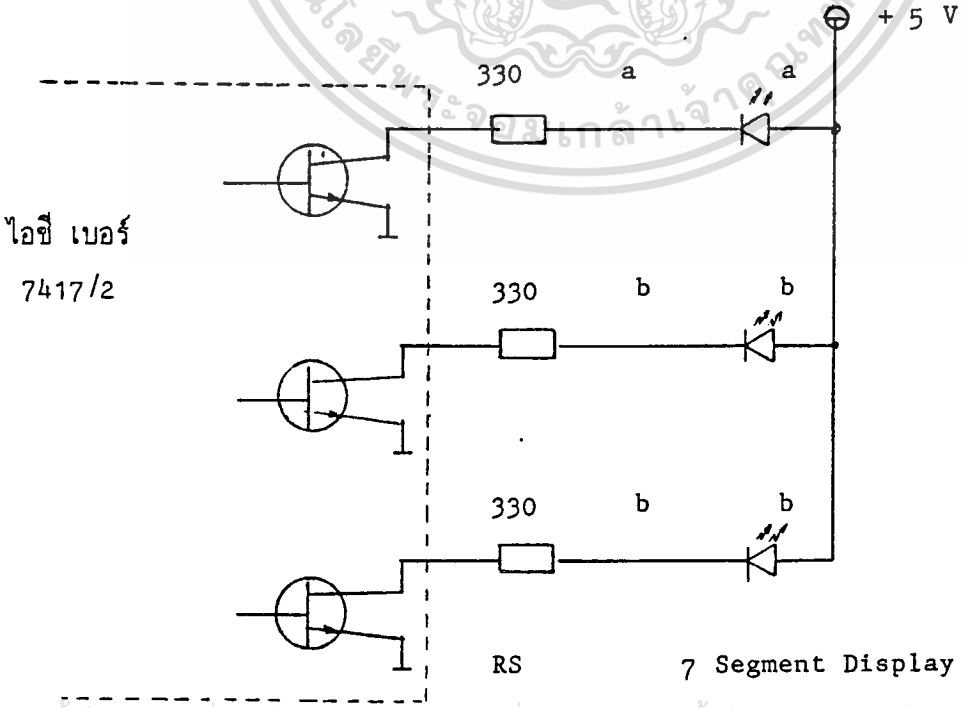
= ENABLE (ทำให้)

BLOCK ที่ 3 และ 4

Block ทั้ง 2 นี้จะอยู่คู่กัน ทั้งนี้ก็เนื่องจากว่า Driver จะมีให้สำหรับขับตัว Display เท่านั้น ซึ่งสำหรับ Block ที่ 4 เป็น Block Display ซึ่งจะมีอยู่ 2 ลักษณะ Display ด้วยกัน คือ

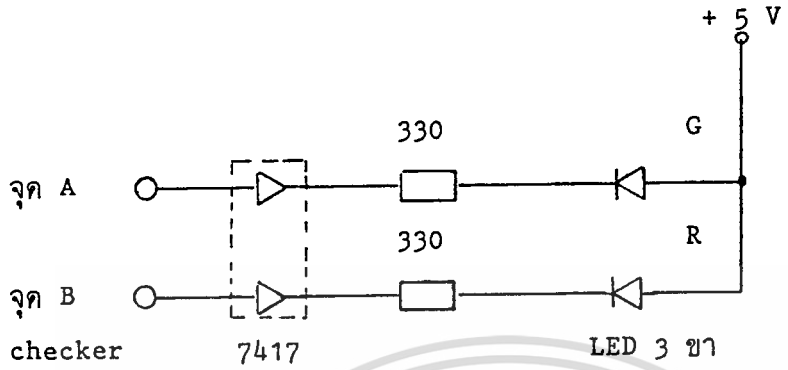
1. LED DISPLAY (GREEN = LO ; RED = HI ; X = ดับ)
2. 7 - Segment Display

วงจร



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูป ได้แสดงส่วนขยายให้เห็นถึงการใช้ ไอซีเบอร์ 7417/2 ขับ ใน 7 - segment display ซึ่งให้ R 330 เป็นตัว Limited กระแสให้ Segment ทำงานอยู่ในช่วงปลอดภัย และให้ความสว่างที่ชัดเจนพอดี และในลักษณะเดียวกันนี้ ก็นำไปทำเป็น LED display ด้วยดังรูป



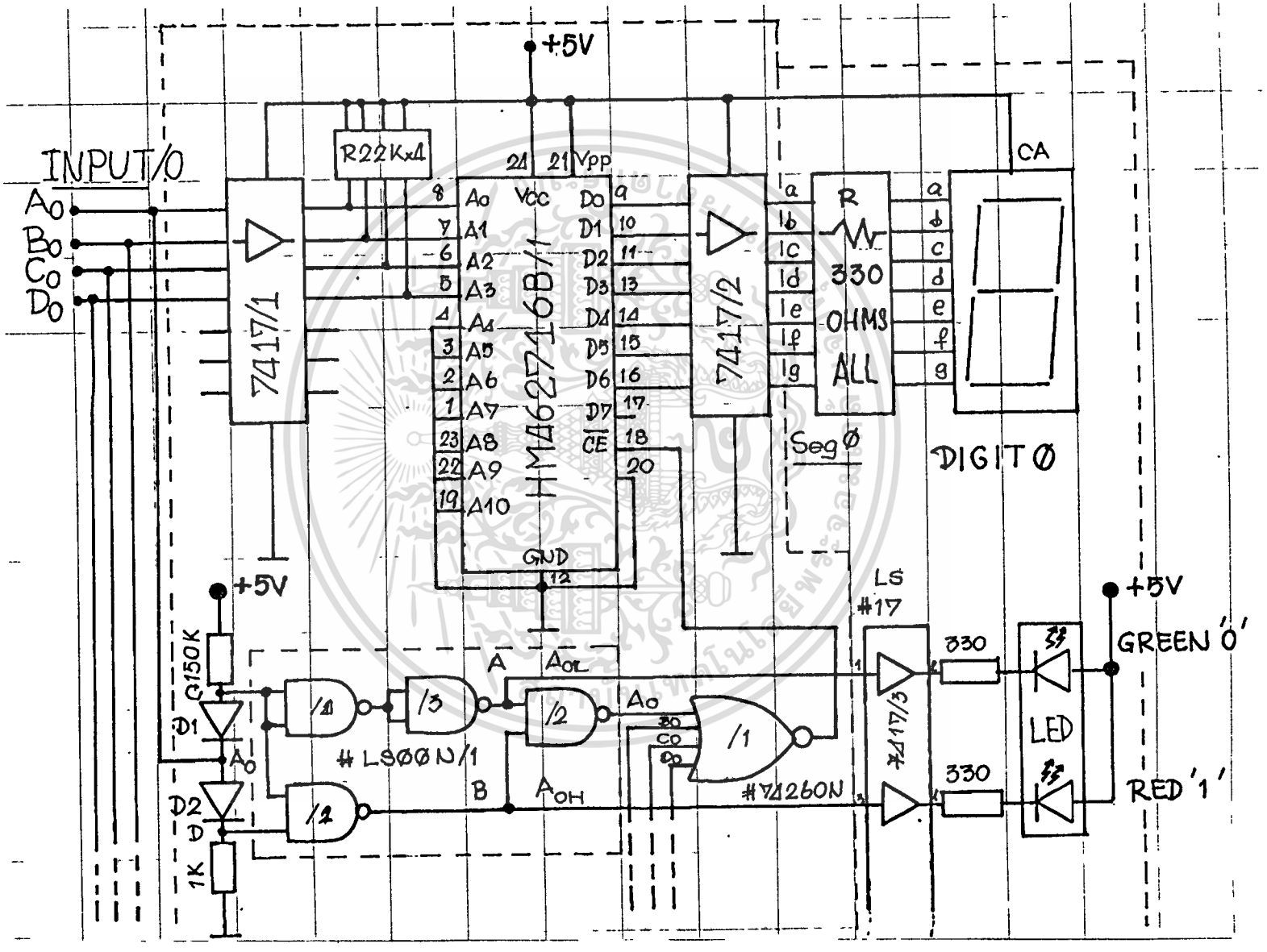
ในลักษณะนี้ LED จะบอกเป็นแสงสีเขียวเมื่อ INPUT เป็น Logic "LOW" และจะเป็นสีแดงเมื่อ INPUT เป็น "HIGH" และจะไม่แสดง (ดับ) เมื่อเกิดสภาวะอินพุทลอย หรือ OUT OFF INPUT

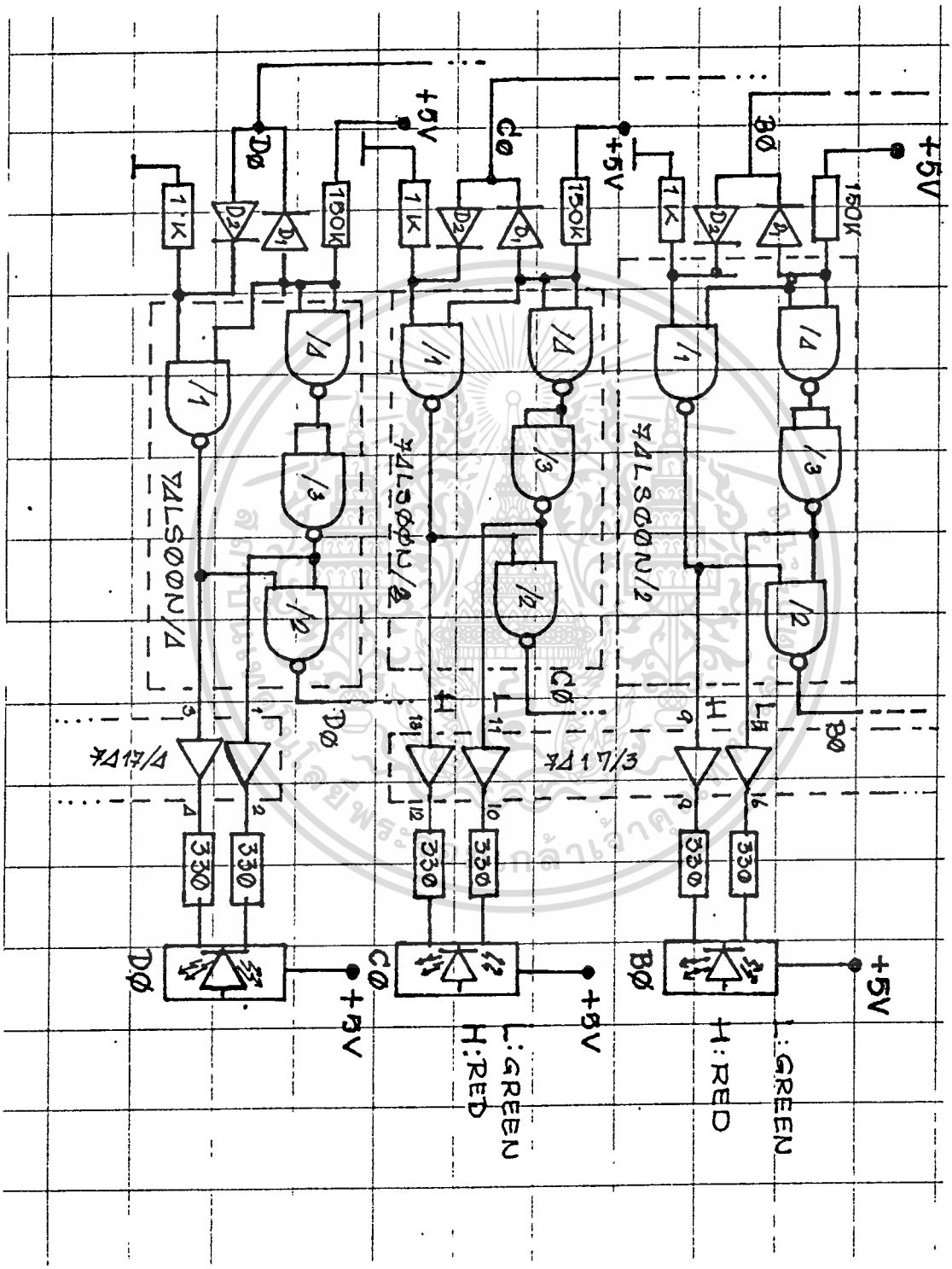
หมายเหตุ

: วงจรแสดงผลเป็นตัวเลข 0 - 7 จะมีทั้งหมด 4 หลัก (4 digit) ซึ่งแต่ละหลักจะใช้วงจรที่เหมือนกันทุกอย่างรวม 4 ชุด

: แต่ละหลักจะมี LED 2 สี 4 ตัว ร่วมแสดงผลด้วยสำหรับอินพุทที่เข้ามา 4 ตัว (A,B,C,D)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้


INPUT/O
A0
B0
C0
D0
+5V
R22KxA
7417/1
HM462716B/1
7417/2
R
330
OHMS
ALL
Seg Ø
CA
DIGIT Ø
+5V
150K
D1
A0
D2
D
1K
#LSØØN/1
#74260N
LS
#17
#7417/3
330
330
LED
+5V
GREEN '0'
RED '1'



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3. วงจรตรวจสอบสภาวะโลจิก (LOGIC PROBE)

วงจรที่ใช้มี 2 วงจรคือ

1. วงจรที่บอกผลด้วย LED 3 ตัวที่บอกสถานะ

H : ติด = Input high logic

L : ติด = Input low logic

Cp : ติด = เกิดการเปลี่ยนแปลง H <----> L

X : ดับหมด = Input ลอย หรือ Half logic

วงจรแสดงไว้ ดังรูปที่ 3.1

2. วงจรที่บอกผลด้วย 7 Segment Display 1 ตัวที่จะแสดงเป็นตัวเลขบอกสถานะ

1 : High logic input

0 : Low logic input

X : Blank half logic or unconnected

วงจรแสดงไว้ ดังรูปที่ 3.2

การทำงานของวงจร

ทั้งสองวงจรคือ รูปที่ 3.1 และ 3.2 จะเห็นว่ามีวงจรส่วนแรกที่เหมือนกัน และวงจรที่ 2 ด้วย ทั้งนี้เพราะส่วนนี้คือ Input checker คอยตรวจสอบสภาวะของ อินพุท (ตามเงื่อนไขที่กล่าวไว้ในเรื่องของวงจร Hexa - display) ในส่วนที่ 2 จะเป็นวงจร Monostable ที่ใช้ IC เบอร์ 74121 เป็นตัวสร้าง Colck pulse เพื่อให้ LED (cp) แสดงซึ่งขยายส่วนนี้เพื่ออธิบายได้ดังนี้

FUNCTION TABLE ('121)

	INPUT			OUTPUT	
	A_2	A_1	B	Q	$\bar{Q}$
1	L	X	H	L	H
2	X	L	H	L	H
3	X	X	L	L	H
4	H	H	X	L	H
5	H	↓	H	⌐¯¯_	_¯¯⌐
6	↓	H	H	⌐¯¯_	_¯¯⌐
7	↓	↓	H	⌐¯¯_	_¯¯⌐
8	L	X	⊤	⌐¯¯_	_¯¯⌐
9	X	L	⊤	⌐¯¯_	_¯¯⌐

จาก Function table ของ IC 74121 มันจะมีเงื่อนไขให้เลือกใช้ในลำดับที่ 5, 6 .... 9 โดยเราให้จุด A และ B (จาก Output ของ Ckecker) ต่อเข้าที่ขา A_2 , A_1 ตามลำดับ จะทำให้เกิด Pulse ที่ Q , $\bar{Q}$ ตามเวลาที่เรากำหนดให้ (อาศัยคุณสมบัติ '121)

$T = 0.7\ R_T \cdot C_T$

$= 0.7 \times 10\ K \times 10$ micro F

$= 70$ milli SEC

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดังนั้นวงจรที่ 3-1 จะมีการทำงานที่พอสรุปได้ดังนี้

- ในขณะที่ อินพุทลอย : ขา A1 , A2 , B มีสภาวะ H และ Q = H ด้วยยังไม่มีการติดของ LED
- ในสภาวะอินพุท Low : จุด A เป็น Low หลอด L ติด และทำให้ ขา A2 เป็น Low ด้วยทำให้ Q = Low ด้วยหลอด Cp กระพริบ 1 ครั้ง
- ในสภาวะอินพุท High : จุด B เป็น Low หลอด H ติด และขา A2 เป็น Low ด้วยทำให้ Q = low หลอด H กระพริบ 1 ครั้ง

สำหรับวงจรที่ 3-2 ก็จะมีส่วนที่เป็น Driver เพื่อใช้ขับ 7 - segment ให้ติดเป็นเลข "1" และ "0" ซึ่งเราจะได้ ไอซีเบอร์ 74LS32 และ 74LS00 อย่างละตัวทำงานร่วมกันดูตารางการออกแบบ

IN	จุด A	จุด B	SEG	a	b	c	d	e	f	g	
X	1	1		1	1	1	1	1	1	1	
1	1	0		1	0	0	1	1	1	1	
0	0	1		0	0	0	0	0	0	1	
***	0	0		1	1	1	1	1	1	1	:ไม่มี

จะได้ Logic Function ของแต่ละ Segment เป็น

b = c = A + B (7432 และ 7400)

a = b = c = f = A . B (ใช้ 7432 และ 7400)

เมื่อเราต่อเป็นวงจรก็จะให้การทำงานดังนี้

1. อินพุทลอย : ทุก segment จะดับ เนื่องจาก จุด a b c d e f g เป็น HIGH
2. อินพุท HIGH : จะมี b = c = LOW จะทำให้ Segment b และ c ติด ซึ่งจะแสดงเป็นเลข 1 นอกนั้นดับหมด
3. อินพุท LOW : จะมี a d e f = LOW จะทำให้ Segment a,b,c,d e,f ติด ส่วน g ดับ ซึ่งแสดงเป็นเลข 0

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4. วงจรแสดงสภาวะโลจิกเป็นเสียง (LOGIC TONE)

วงจรนี้จะทำหน้าที่าปลี่ยนระดับของ Logic ให้เป็นเสียง โดยการออกแบบวงจรให้มีการทำงานตามเงื่อนไขดังนี้

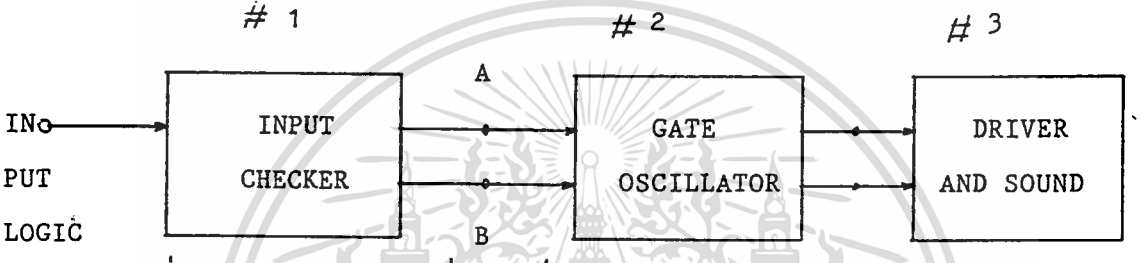
อินพุท : ปรากฏการณ์

IN X : ไม่มีเสียง , เงียบ (ใช้บอกสภาวะลอยและเกิด Half logic)

HIGH : มีเสียงดัง ความถี่สูง ประมาณ 10 KHz

LOW : มีเสียงดัง ความถี่ต่ำประมาณ 100 Hz

ส่วนประกอบและการทำงานของวงจร แบ่งอธิบายได้ 3 ส่วนคือ



ในส่วนที่ 1 เป็นชุดวงจรโลจิกที่ทำหน้าที่คอยตรวจเช็คอินพุทโลจิกว่ามีสถานะเป็นอย่างไร (ดูวงจรที่ 3) R_1 , D_1 จะเป็นตัวปรับระดับสูง (High level) D_2 , R_2 จะเป็นตัวปรับระดับต่ำ (Low level) ซึ่งถ้า IN ไม่ถูกต่อกับอะไร ในส่วนนี้ก็จะบอกให้วงจร Combination (7400/1,3,4) สร้างระดับที่จุด <A> และ <B> ให้คง State "1" ส่งไปยังส่วนที่ 2 (วงจร Gate scillator) บังคับให้ไม่มีการเกิด Oscillate ไม่มีเสียงออกจากลำโพง เมื่อ IN เป็น Low level จะทำให้จุด A เป็น low จุด B เป็น High ที่จุด A = Low นี้ จะไปเปิด Gate 01/4 เพื่อให้ชุดของวงจร Oscillator เกิดการ Oscillate เพื่อผลิตความถี่ต่ำประมาณ 100 Hz ออกที่ output ของมัน และจะถูกส่งและขับด้วย Gata 00/2 และ Q_2 ทำให้เกิดเสียงออกทาง ลำโพง และเมื่อ IN เป็น High จะทำให้อินพุทของ Gate 00/4 และ 00/1 เป็น High ด้วยทำให้ที่จุด A เป็น High จุด B เป็น Low ก็จะไปเปิด Gate 01/2 ให้วงจร Gate Oscillator ชุดนี้ทำการ Oscillate แล้วส่งผลไปยัง ลำโพง ดังกล่าว สังเกตุว่า วงจร Oscillator ในส่วนนี้ จะมีค่า Cf = 2.2 micro Farad ซึ่งก็แสดงว่า ความถี่ที่ Oscillate ในส่วนนี้จะต้องเป็นความถี่ สูง ที่สูงกว่า Oscillator ชุดแรก แน่นอน

ในส่วนที่ 2 จะเป็นวงจร Gate oscillator ที่ใช้ ไอซีเบอร์ 7401 (Quadruble 2 input nand gate with open collector) ซึ่งจะทำหน้าที่เปิดประตูให้วงจร Oscillator เกิดการ Oscillate หรือไม่ กล่าวคือ เมื่อได้รับอินพุทเป็น "1" "1" สำหรับ NAND gate ก็จะให้ output เป็น 0 ก็เป็นเหตุให้ C_T ไม่สามารถ Charge ประจุได้จึงไม่ได้เกิดการ Oscillate แต่ถ้า NAND gate (00/1 หรือ 00/4 ได้รับอินพุทที่สองขาเป็น "1" ,"0" หรือ "0" , "0" แล้ว output ของมันจะเป็น 1 ซึ่งหมายถึงเกิด High Impedance เกิดขึ้น สำหรับ gate ที่มี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

output เป็น Open collector ก็จะทำให้ C_T สามารถประจุ (Charge) เกิดขึ้นได้ จน ประจุถึงจุดที่ VC = V_T (Positive - going threshold) ของ gate schmitt (7413 : DUAL 4 Input nand with schmitt trigger > gate (13/1 หรือ 13/2) ก็จะเปลี่ยน stage ทาง output เป็น Low ทำให้ VC ตกลง(ผ่าน R 390 ohm) ทำให้เกิดการ discharge ผ่าน R 330 อีกเข้า output ลง common ทำให้ VC ที่ตกคร่อมตัวมันลดลงอย่างรวดเร็วจนเท่ากับ แรงดัน VT (negative - going threshold voltage) ของ schmitt ซึ่งจะทำให้ output ของ schmitt เกิดเปลี่ยน stage อีกและจะเป็นเช่นนี้ไปจนกว่า อินพุทของมันจะเป็น "1" วงจร oscillator จึงจะหยุดทำงาน

การทำงานของวงจร Gate oscillator อย่างละเอียด แสดงได้ดังรูปที่ 3 จะเห็นว่า R 390 ohms จะเป็นตัวคงที่แล้วให้ Capacitor เปลี่ยนแปลงค่าไป ทั้งนี้ก็เนื่องจากว่า กระแสที่จะทำให้ CT เกิดการ Charge จะต้องมีค่ามากพอที่จะสามารถ Charge ตามค่าของ Capacitance ที่กำหนดได้ ดังนั้นจึงเห็น R = 390 ohms แต่เราจะกำหนดให้น้อยกว่าได้

รูปที่ 3 แสดงการเกิดการ Oscillate ของวงจร โดยมี R_T และ C_T เป็นตัวกำหนดความถี่ที่จะ Oscillate ขึ้น เมื่อให้ R ค่าคงที่ ดังนั้น Frequency จึงเปลี่ยนแปลงไปตามเมื่อ Capacitance ของ C_T เปลี่ยนแปลงไป ดังรูปที่ 3.1 C จะได้จากการทดลองหาคุณสมบัติของวงจรนี้ที่ Vcc = 5 V , R_T = 390 ohms หากทำการเปลี่ยนแปลงค่าของ Capacitance จะทำให้ Frequency เปลี่ยนแปลงตาม ดังนั้นถ้าให้ C = 22 micro Farad ก็จะได้ T = 10 milli Sec หรือประมาณ 20 milli Sec / cycle ซึ่งจะได้ Frequency 1 = 50 z หรือไม่เกิน 100 Hz (ใช้เป็นส่วนของ Level high) แต่ถ้าให้ C_T = 2.2 micro Farad จะทำให้ T = 50 micro Sec หรือ ความถี่ = 1 milli Sec / cycle = 1000 Hz = 1 KHz (จากการทดลองปรากฏว่า T จะได้ประมาณ 30 % duty) เป็นเหตุให้ได้ Freq = 8 KHz

ในส่วนที่ 3 เป็นส่วนขับความถี่ที่เกิดจาก Oscillator โดยมี 00/2 เป็นตัวเปิดให้มี output ออกไปยัง Q1 ซึ่งใช้ R5 เป็นตัว Limitted กระแส Base และ Biasing แก่ Q1 และ Transistor Q1 จะทำหน้าที่เป็น Switch ซึ่งจะ Conduct เมื่อมี Positive pulse เข้ามาเท่านั้น ดังนั้นถ้ามีความถี่หรือ pulse signal ป้อนให้ ก็จะทำให้ ลำโพง ปรากฏเสียงออกมา โดยมี R10 ohms เป็นตัว Limitted กระแสไม่ให้ Q1 ดึงกระแสมากเกินไปจนเกิดเสียหายทั้งลำโพงและตัวมัน

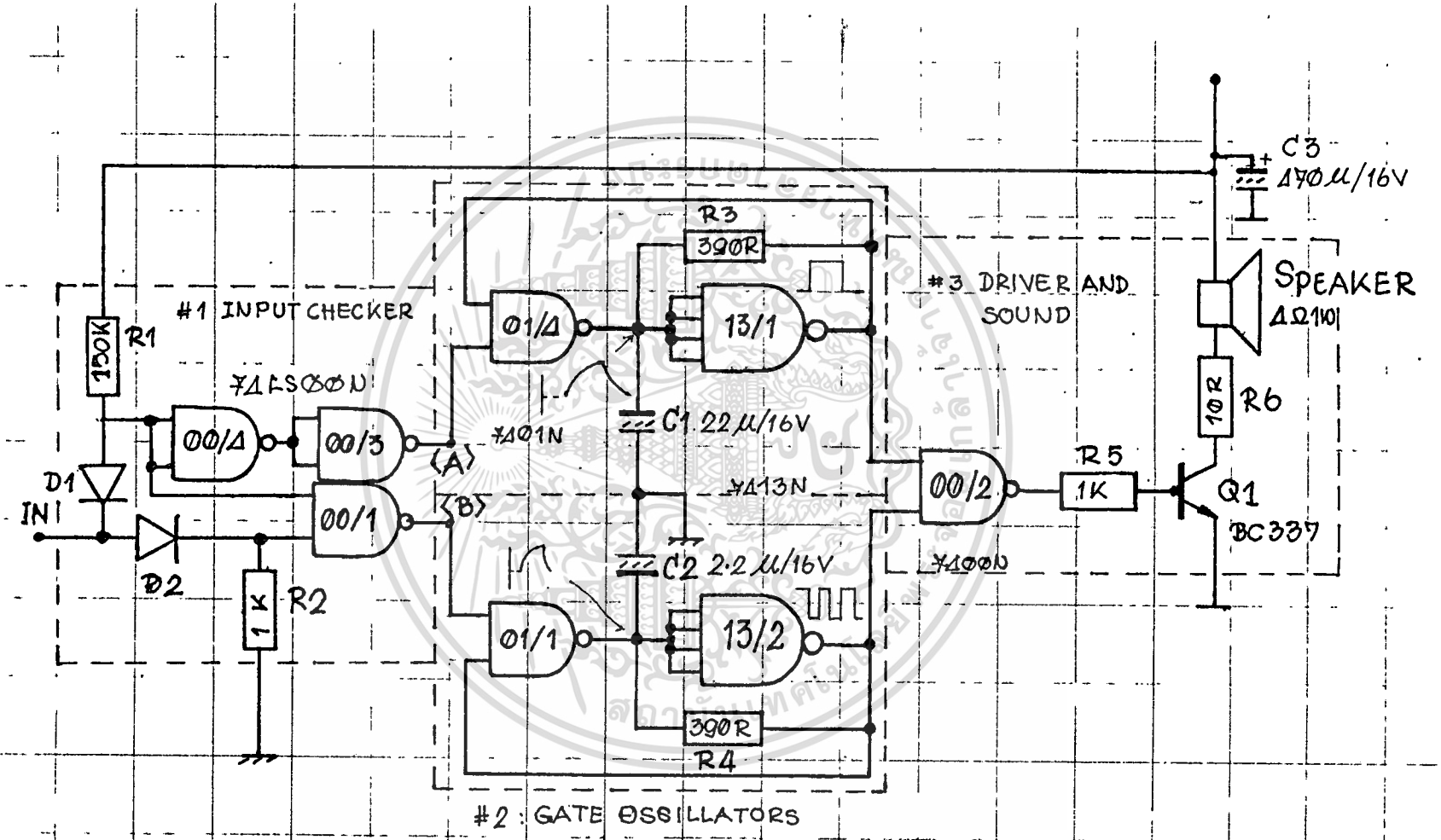
ส่วน C3 = 470 micro Farad / 16 V ใส่ไว้เพื่อเป็น Back up supply ให้แก่วงจร ช่วยลดการกระชากกระแส ในขณะ Off supply หรือ การทำงานของส่วนต่างๆ

ข้อควรปฏิบัติ

ให้ C1 , C2 ควรเป็น Tantalum capacitor

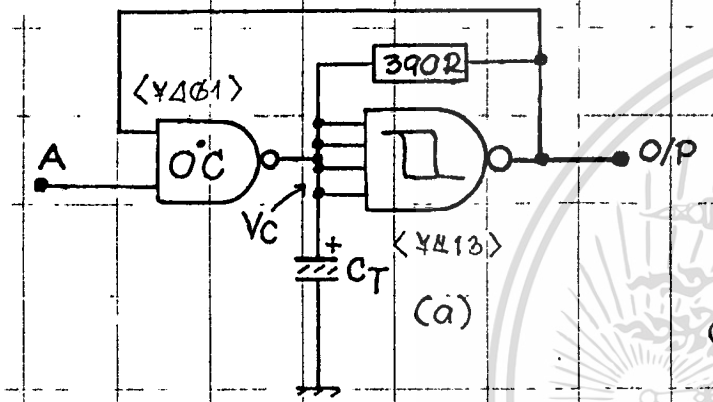
R 390 ohms + 1 % และ ลำโพงประมาณ 4 ohms 1 watt

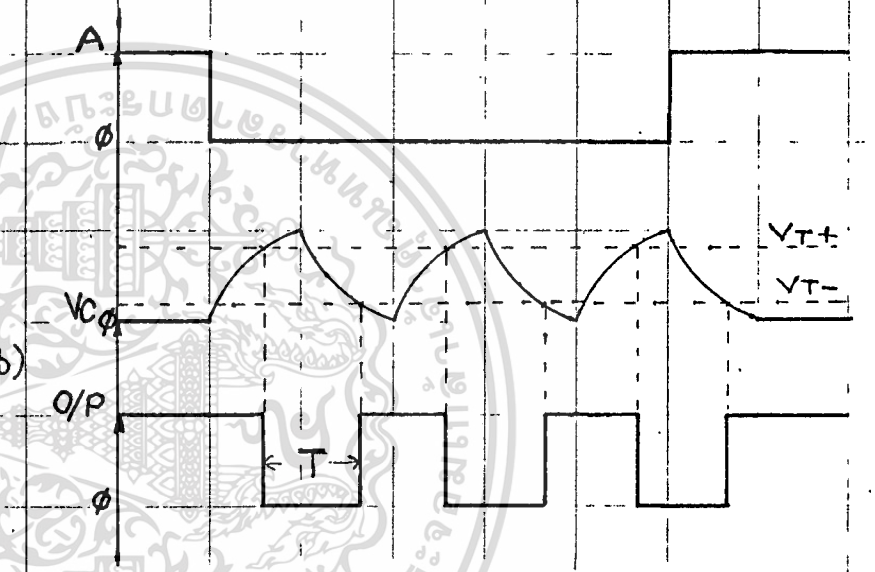
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3: LOGIC TONE CIRCUIT

รูปที่ 3

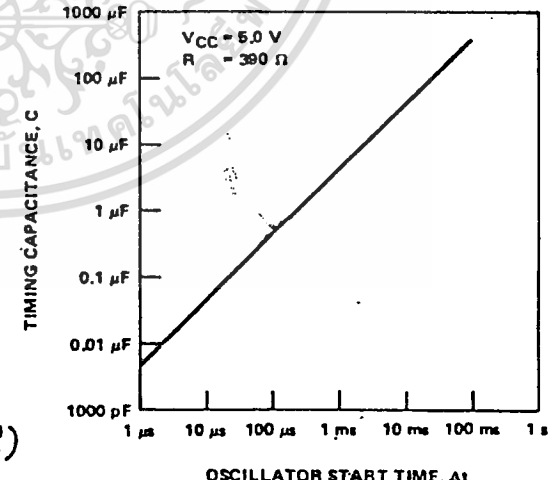




(a) : Gate Oscillator circuit

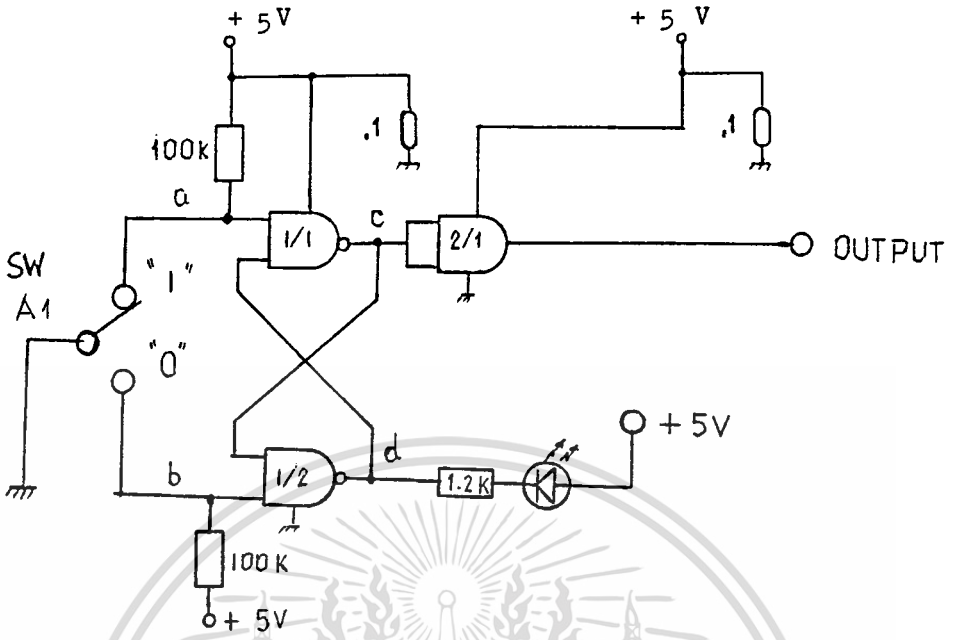
(b) : Timing Diagram and Operation

(c) : Graph of Oscillator Start Time
& Timing Capacitance



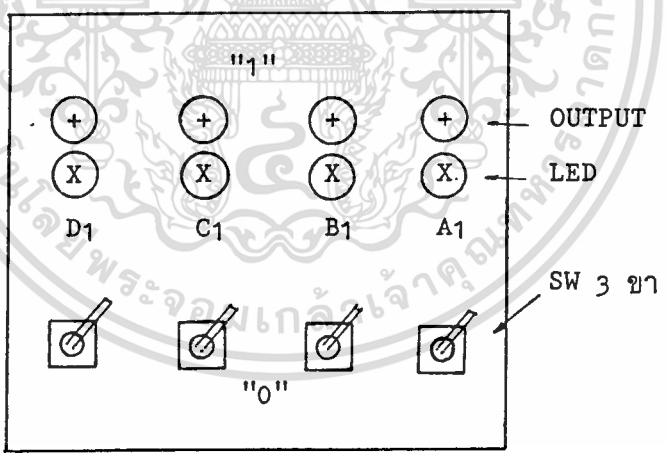
(C)

5. INPUT LOGIC SWITCHS AND DISPLAY



IC 1 = 7400N

IC 2 = 7408N



รูปภาพ ของชุดอิพุท โลจิกสวิทช์ชุดที่ 1 (จะมีลักษณะเหมือนกันหมดทั้ง สี่ชุด)

การทำงาน

	A	B	C	D	O/P	หลอด LED
1	0	1	1	0	1	ติด
2	1	0	0	1	0	ดับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อธิบาย

การทำงานของวงจร Latch คือ การนำเอา NAND gate 2 input 2 ตัว (IC เบอร์ 7400N หรือ 7400N) ต่อเข้าตามรูป ซึ่งจะให้การทำงานที่เป็นไปตามตารางข้างบน โดยถ้าเราให้ขา a ต่อลง Ground (SW A1 จะเป็นสวิทช์ 3 ขา ซึ่งมีขากลางเป็นตัวเชื่อมระหว่างจุดและสภาวะปรกติขากลางจะต้องต่ออยู่กับขาใดขาหนึ่งอยู่แล้วตามการทำงานของ สวิทช์แบบสามขา) ก็จะทำให้เกิดสภาวะทางอินพุทของ Latch คังลำดับที่ 1 ซึ่งก็จะทำ c = 1, d = 0 และที่จุด d เราจะต่อ Display (LED) ไว้โดยใช้ R 1.2 K เป็นตัวจำกัดกระแส และในสภาวะ d เป็น "0" จะทำให้เกิดกระแสไหลผ่าน LED จะทำให้ LED ติด นั่นก็แสดงว่า การต่อสวิทช์จะต้องให้การสับสวิทช์มาที่จุด a นั้นเป็น โลจิก "1" และถ้าสับสวิทช์ มาที่จุด b ก็ให้เป็น โลจิก "0" (บนหน้าปัทม์ของอินพุทโลจิกดังรูป)

แต่ถ้าเราสับสวิทช์มาที่จุด b ทำให้ b เป็น "0" ซึ่งเป็นผลทำให้หลอดดับนั้นก็เนื่องจากว่าที่จุด d จะมีสภาวะโลจิก "1" (แรงดัน V_{OH} ประมาณ 3.4 โวลท์) จะทำให้ LED ไม่นำกระแส เพราะ Bias ไม่ถึงจุดทำงาน (ตามคุณสมบัติของ LED) จึงทำให้หลอดดับ และก็ตรงกับ O/P ที่เป็น โลจิก "0" กันพอดี

ส่วน ไอซี AND gate นั้นใส่ไว้เพื่อเป็น Buffer เพื่อให้มี Fan - in และ Fan - out มากที่สุด และที่ใช้ เบอร์นี้ก็เพื่อมิให้สิ้นเปลือง กล่าวคือ ไอซี 7408 จะเป็น Quardrable AND gate ซึ่งจะครบพอดีกับ SW ตัวหนึ่งชุด แต่ถ้าจะคิด รวมอุปกรณ์ต่อชุด แล้วก็จะเป็นดังนี้

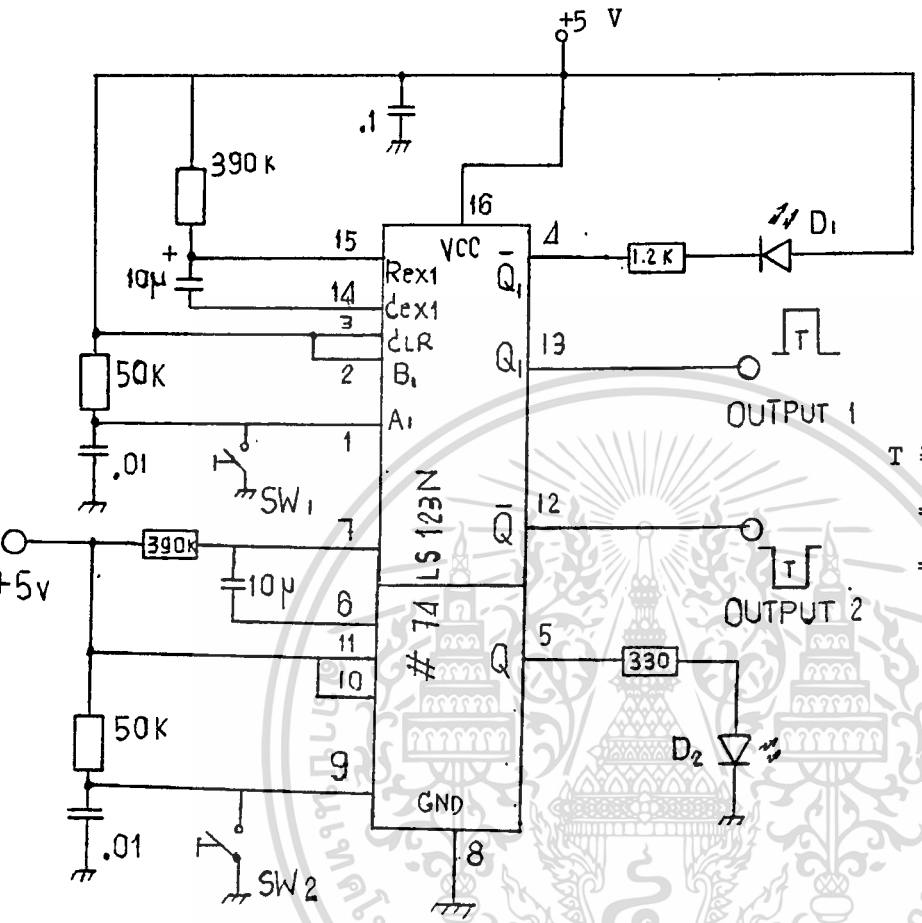
1	สวิทช์ 3 ขา (Toggle switch)	4	ตัว
2	Resistor 100 K 1/4 watt 5%	8	ตัว
3	Resistor 1.2 K 1/4 watt 5%	4	ตัว
4	IC TTL เบอร์ 7400N	2	ตัว
5	IC TTL เบอร์ 7408N	1	ตัว
6	Capacitor filter 0.1 micro 25 Volt	3	ตัว (ต่อที่ขา Vcc ไอซีทุกตัว
7	LED สีแดงกลมแบบทั่วไป	4	ตัว กับ Ground)

อนึ่ง สำหรับชุดฝึก Digital Broad Trainer ชุดนี้ จะใช้ INPUT SWITCH ทั้งหมด 16 ตัว (สี่ชุด) ดังนั้นรวมอุปกรณ์ทั้งหมดจะเป็นเท่าใดก็ให้คูณ สี่เข้าไปอีก

หมายเหตุ เวลาต่อสายกับสวิทช์ควรตรวจดูให้แน่ใจว่าจุด a และ b นั้นตรงกับ โลจิก "1","0" บนหน้าปัทม์แล้วจึงทำการต่อได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6. INPUT PULSE (DUAL PULSER)

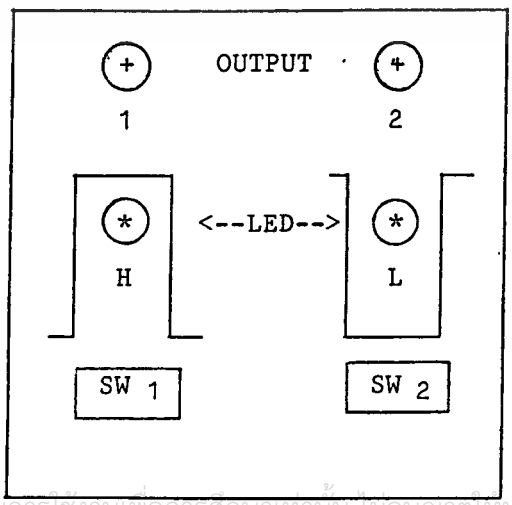


$T \cong 0.7 \; R \cdot C$

$= 0.7 \times 390 \; K \times 10 \text{micro}$

$= 2.73 \; SEC$

รูปร่างบนแผงใช้งาน



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การทำงาน

A	CLR	B	Q	Q
↓	1	1	⊓	⊔
1	1	1	0	1

สำหรับ Monostable Multivibrator IC ตัวนี้เบอร์ 74123N(TTL) มันจะทำให้ได้ O/P pulse ก็ต่อเมื่อขา Clear และขา B เป็น H แล้วได้การ Reset จากขา (A เปลี่ยนจาก 1 ไปเป็น ศูนย์) ซึ่ง IC เบอร์นี้จะเป็น DUAL Monostable) จึงสามารถนำมาทำเป็น O/P ภายในเวลา 2.73 วินาที ซึ่งทำให้มองเห็นได้พอดี สำหรับ Display จะถูกกำหนดให้ติดเมื่อเกิด O/P pulse เช่นเมื่อกด SW1 แล้วปล่อย LED D_1 ก็จะติด ซึ่งหมายถึงได้ Positive output pulse ออกไปหนึ่งลูกแล้วและสำหรับ SW2 ก็จะมีอาการแบบเดียวกันคือ หลอดจะติด เมื่อได้ Negative Output pulse ออกไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การออกแบบ และ การสร้าง

จากชุดฝึกทั่วไปนั้น จะเน้นที่ความสดวก ต่อการต่อวงจรหรือประกอบวงจรทดลอง แต่ถ้าเป็นนักศึกษาที่ไม่เคยมี ประสบการณ์ หรือ ไม่เคยพบกับอุปกรณ์ ไอซีต่าง ๆ นั้นจะทำให้ เกิดความผิดพลาดได้ง่าย และอาจทำให้อุปกรณ์เสียหายได้ ทั้งยังต้องเสียเวลามาก ในการทดลอง จากข้อเสียต่าง ๆ ก็นำมาประยุกต์ใช้กับ ชุดฝึก DigitaL Trainer Board

โดยการออกแบบ ให้มีชุดอุปกรณ์ที่จำเป็นต้องใช้ในการทดลอง ทั้งหมดในที่เดียวกัน และตัวไอซีที่ใช้ทดลองก็จะอยู่ใน Board ซึ่งจะต่อขาต่าง ๆ ไว้ตามสัญญลักษณ์ของ Gate ชนิดต่างๆ โดยบอกไว้อย่างชัดเจน ให้ง่ายในการต่อ และการทดลอง

ดังนั้นในการทดลองของนักศึกษาในแต่ละใบงานจะเป็นไปด้วยความรวดเร็ว ทำให้ประหยัดเวลาในการต่อวงจรทดลอง จะได้มีเวลาไปทำความเข้าใจในการทดลองนั้นอย่างแท้จริง

การออกแบบ แบ่งได้เป็น 2 ส่วน

1. ส่วนประกอบของชุดฝึก
2. ส่วนประกอบการทดลอง

ส่วนประกอบของชุดฝึก คือส่วนที่จะคอยอำนวยความสดวกต่างๆ ในการทดลองซึ่งจะประกอบด้วยวงจรต่างๆ ดังนี้

- CLOCK PULSE GENERATOR
- HEXA DECIMAL
- วงจรตรวจสอบสภาวะโลจิก (Logic probe)
  มี 2 แบบคือ 1 Logic probe แสดงสถานะ 1 และ 0
  2 แสดงสถานะ โดยใช้ LED LO , HI และ Pulse
- วงจรแสดงสภาวะ โลจิกเสียง
- INPUT LOGIC SWITCH AND DISPLAY
- DUAL PULSE

ส่วนที่ประกอบการทดลอง ได้แก่ ส่วนที่เป็น Board IC ต่างๆ และแบบรวมวงจรใน Board เดียวกัน

การประกอบและการสร้าง

ในส่วนของชุดฝึก จะแบ่งแผ่นวงจรได้เป็น 3 ส่วนใหญ่ ๆ ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1. ส่วนจ่ายไฟต่างๆ
2. ส่วนหน้าปัทม์และแสดงผล
3. ส่วน Input switch

ส่วนภาคจ่ายไฟ

การออกแบบต้องการให้สามารถตรวจซ่อมได้ สดวกและสามารถถอดเปลี่ยนได้อย่างรวดเร็วเพราะแผ่นวงจรนั้นออกแบบไว้เสียบกับ Slot ดังนั้นถ้ามี เหตุขัดข้องก็สามารถถอดเปลี่ยนแผ่นใหม่ได้ในเวลาอันรวดเร็วทำให้ไม่เสียเวลาในการทดลอง

รายละเอียดของวงจรจ่ายไฟ

ประกอบด้วยกระแสไฟตรงต่างๆดังนี้

- + 5 VOLT 2 Amp สามารถปรับกระแสได้และมี LED แสดงสถานะถ้า LOAD ที่ใช้งานเกินกว่าที่ตั้งไว้ ซึ่งจะแสดงที่หน้าปัทม์
- - 5 VOLT 1 Amp
- + 12 VOLT 1 Amp
- - 12 VOLT 1 Amp

ส่วนหน้าปัทม์และแสดงผล

การออกแบบทำจากแผ่น ปรินซ์เพียงแผ่นเดียวโดยการต่ออุปกรณ์ ส่วนแสดงผล และจุดต่อออกต่อเข้า ลงบนแผ่นปรินซ์ได้โดยตรง

ส่วน INPUT และ SWITCH

การออกแบบทำจากแผ่น ปรินซ์เพียงแผ่นเดียวเช่นกัน โดยต่ออุปกรณ์สวิทซ์ต่างๆและจุดต่อต่างๆไว้ที่แผ่นปรินซ์นั้นด้วยเช่นกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ใบงานการทดลอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ใบงานที่ 1

BASIC LOGIC SWITCH

จุดมุ่งหมาย เพื่อให้นักศึกษา

1.ให้เข้าใจในความหมายของ LOGIC SWITCHES

2.ทราบถึงคุณสมบัติเบื้องต้นของ ตัวกระทำขั้นมูลฐาน

3.ศึกษาการทำงานของวงจรโลจิกสวิทช์เบื้องต้น

จุดประสงค์เชิงพฤติกรรม

1.ให้นักศึกษาสามารถประกอบวงจรโลจิกสวิทช์ทดลองได้

2.ให้นักศึกษาสามารถเขียนตารางแสดงการทำงาน (Truth table) ของวงจรโลจิกนั้นได้

3. ให้สามารถนำวงจรไปใช้งานและเกิดประโยชน์ได้

คำแนะนำ

วงจรโลจิก (Logic Circuit) เริ่มจากการนำสวิทช์มาใช้เป็นตัวทำงานของวงจร ทั้งนี้ก็อาศัยคุณสมบัติของการตัด-ต่อ (On-Off) ของสวิทช์มาใช้ ซึ่งก็ตรงกันกับการทำงานในระบบดิจิตอล (Digital System) กล่าวคือ ระบบดิจิตอลจะมีการทำงานเพียงสองระดับเท่านั้น คือ 1.ระดับต่ำ (Low Level) = L

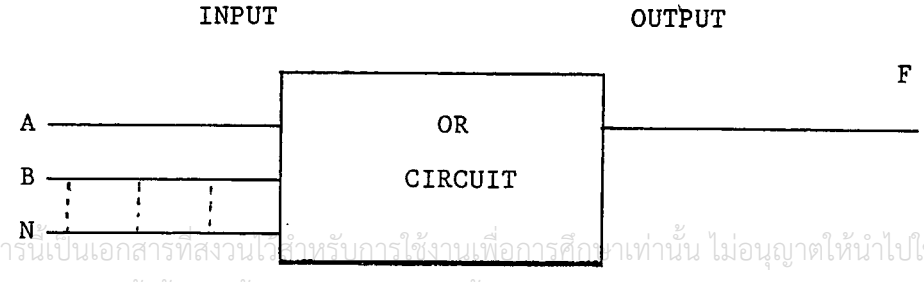
2.ระดับสูง (High Level) = H

และถ้าจะเปรียบเทียบสภาวะทางโลจิกของระบบดิจิตอลกับสวิทช์แล้ว ก็สามารถแสดงได้ดังนี้

สภาวะ (Logical)	ระดับ (Level)	สวิทช์ (Switching)
Logic "0"	ต่ำ (Low)	เปิด (Off,Open)
Logic "1"	สูง (High)	ปิด (On,Close)

ตัวกระทำทางโลจิก (Logic Operater) เบื้องต้นที่เราสร้างด้วยสวิทช์จะมีอยู่ 3 ตัวกระทำด้วยกัน (ถ้าตัวกระทำทางโลจิกถูกทำมาจากอุปกรณ์พวกเซมิจะถูกเรียกว่า เกท เช่น IC OR Gate, IC AND Gate เป็นต้น) และตัวกระทำทางโลจิกดังกล่าวคือ

1.ออร์ โลจิก (LOGIC OR OPERATER) คือ ตัวกระทำทางโลจิกที่ให้การกระทำ (Logic Operation) เป็นไปตามฟังก์ชั่นออร์ (OR Function) ซึ่งแสดงได้ดังรูปที่ 1



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Input		Output
A	B	F
0	0	0
0	1	1
1	0	1
1	1	1

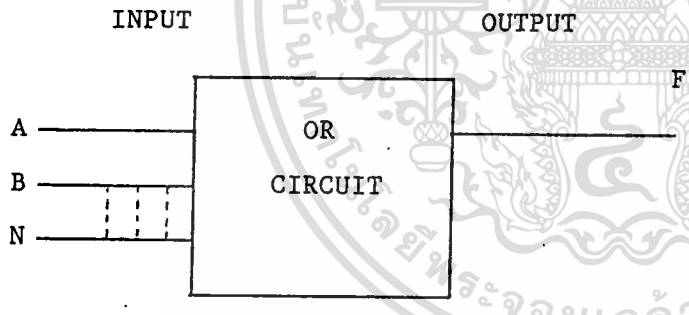
รูปที่ 1 ก.Block Diagram ของตัวกระทำโลจิก OR

ข.Truth Table (ตารางแสดงการทำงานของวงจร)

และฟังก์ชั่นของออร์คือ $F = A + B$

อ่านว่า เอ๊าท์พุท F เท่ากับ เอ ออร์ บี

2.แอนด์ โลจิก (Logic AND Operator) คือตัวกระทำที่ให้การทำงานทางโลจิกเป็นไปตามฟังก์ชั่น แอนด์ (AND Function) ดังแสดงในรูปที่ 2.



Input		Output
A	B	F
0	0	0
0	1	0
0	1	0
1	0	0
1	1	1

รูปที่ 2 ก. Block Diagram ของตัวกระทำโลจิก AND

ข.Truth Table (ตารางแสดงการทำงานของวงจร)

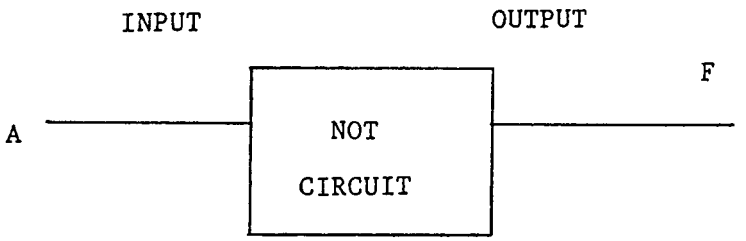
และฟังก์ชั่นแอนด์คือ $F = A \cdot B$

อ่านว่า เอ๊าท์พุท F เท่ากับ A AND B

หมายเหตุ ตัวกระทำ OR และ AND จะต้องมี Input Logic ตั้งแต่สองตัวขึ้นไป

3.น็อท โลจิก (NOT Logic Operator) คือตัวกระทำที่ให้ Output Logic เป็นตรงกันข้ามกับ Input Logic ดังแสดงในรูปที่ 3.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



Input	Output
A	F
0	1
1	0

รูปที่ 3. ก Diagram ของตัวกระทำ NOT

ข Truth Table ของ NOT Operator

หมายเหตุ ตัวกระทำ NOT จะมี Input และ Output เดียวเท่านั้น

เพิ่มเติม ให้นักศึกษาไปอ่านและค้นคว้าเพิ่มเติม เพื่อให้เข้าใจในเรื่องต่าง ๆ ดังกล่าวดียิ่งขึ้น

อุปกรณ์การทดลอง

1. DC Supply 5 Volts
2. DC Voltmeter 1 ตัว
3. BOARD LB1

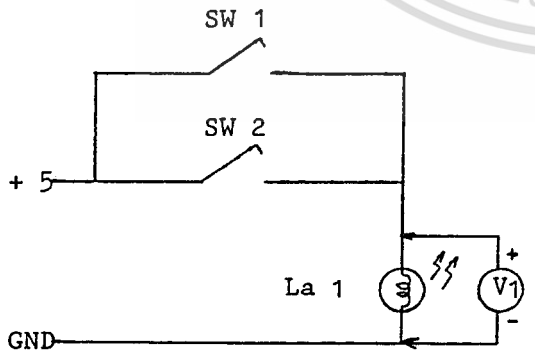
ลำดับขั้นการทดลอง

(A) ศึกษาคุณสมบัติของ 2 Input Switches Logic OR Operator

A.1 ประกอบวงจรตามรูปที่ 1.1 และทำการตรวจเช็ควงจรให้ถูกต้อง

A.2 ทำการ ON-OFF Switch Sw1,Sw2 แล้วบันทึกผลของการติด-ดับ ของ La1 ตามเงื่อนไขใน Truth Table ที่ 1.1 และบันทึกผล

A.3 DC Voltmeter วัดแรงเคลื่อนคร่อม La1 แล้วทำตามข้อ A.2 โดยบันทึก V_1



รูปที่ 1.1

Input		Output	
Sw1	Sw2	La1	V_1
Off	Off		
Off	On		
On	Off		
On	On		

Table 1.1

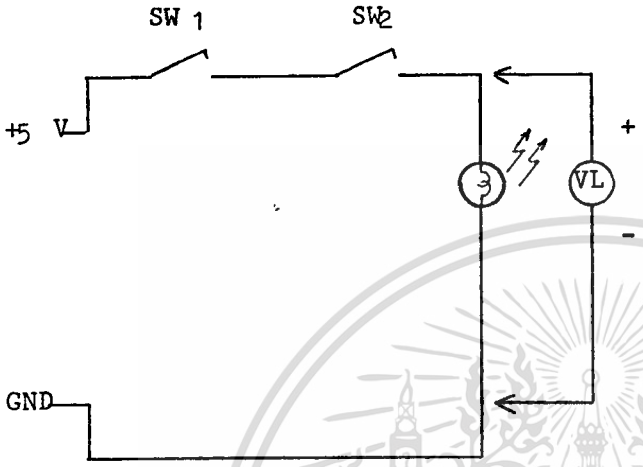
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

(B) ศึกษาคุณสมบัติของ 2 Input Switches Logic AND Operator

B.1 ประกอบวงจรตามรูปที่ 1.2 และทำการตรวจเช็ควงจรให้ถูกต้อง

B.2 ทำการ ON-OFF Switch Sw1 ,Sw2 แล้วบันทึกผลของการติด-ดับของ La1 ตามเงื่อนไขใน Truth Table ที่ 1.2 และบันทึกผล

B.3 DC Voltmeter วัดแรงเคลื่อนคร่อม La1 แล้วทำตามข้อ B.2 โดยบันทึก V1



รูปที่ 1.2

INPUT		OUTPUT	
Sw1	Sw2	La1	V1
Off	Off		
Off	On		
On	Off		
On	On		

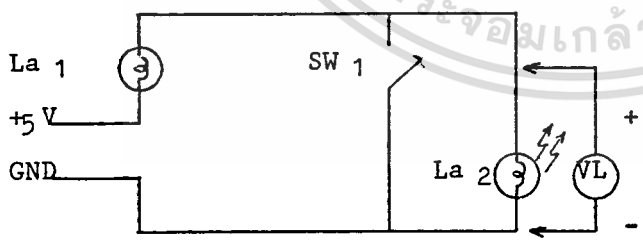
Table 1.2

C ศึกษาคุณสมบัติของ 2 Input Switches Logic NOT Operator

C.1 ประกอบวงจรตามรูปที่ 1.3 และทำการตรวจเช็ควงจรให้ถูกต้อง

C.2 ทำการ ON-OFF Switch Sw1 ,Sw2 แล้วบันทึกผลของการติด-ดับ ของ La1 ตามเงื่อนไขใน Truth Table ที่ 1.3 และบันทึกผล

C.3 DC Voltmeter วัดแรงเคลื่อนคร่อม La1 แล้วทำตามข้อ 1.3 โดยบันทึก V1



รูปที่ 1.3

Input	Output	
A	LA2	V1
Off		
On		

Table 1.3

คำถามท้ายบท

1. จากการทดลองในหัวข้อ A จงอธิบายการทำงานของ OR Operator และมีเงื่อนไขเช่นไร จึงเป็นไปตาม OR Operation

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2. จงให้คำจำกัดความของการกระทำ OR Logic

3. เราสามารถที่จะสร้างวงจร OR 4 Input โดยใช้สวิทช์ 4 ตัวได้หรือไม่ ถ้าได้จงเขียนวงจรแสดง

4. จากการทดลองในหัวข้อ B จงอธิบายการเกิก AND Function และให้คำจำกัดความของ AND Logic

5. จาก Table 1.2 หากต้องการสร้างเป็นระดับ H (High),L (Low) แทน ให้เขียน Table

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ใบงานที่ 2

เรื่อง : BASIC LOGIC SWITCHES.2

จุดมุ่งหมาย : เพื่อให้

1. เข้าใจถึงคุณสมบัติของตัวกระทำ NOR และ NAND
2. ทราบถึงการนำตัวกระทำพื้นฐาน มาสร้างเป็นตัวกระทำใหม่ได้

จุดประสงค์เชิงพฤติกรรม : เพื่อให้

1. สามารถประกอบวงจรโลจิกสวิทช์ทดลองได้
2. สามารถเขียน Truth Table ของวงจรโลจิกนั้นได้
3. นำวงจรไปใช้งานให้เกิดประโยชน์ได้

ทฤษฎีย่อ :

- คุณสมบัติของ OR คือ " จะให้ Output เป็นโลจิก "1" ได้ก็ต่อเมื่อ ตัวแปรทาง Input ใด ๆ หรือทั้งหมด มีโลจิกเป็น "1" เท่านั้น "
- คุณสมบัติของ AND คือ " จะให้ Output เป็นโลจิก "1" ได้ก็ต่อเมื่อ ตัวแปรทาง Input ทั้งหมดมีโลจิกเป็น "1" เท่านั้น "
- คุณสมบัติของ NOT คือ "จะให้ Output Logic เป็นตรงกันข้ามกับ Input Logic เสมอ"

จากคุณสมบัติทั้งสามดังที่กล่าวข้างต้น หากเรานำเอาตัวกระทำทางโลจิกออร์รวม เข้ากับตัวกระทำ โลจิก น็อท ก็จะได้ตัวกระทำพิเศษขึ้นมาเราเรียกว่า ตัวกระทำนอร์ (NOR = NOT+OR) ซึ่งคุณสมบัติของ นอร์ ก็จะเป็นตรงกันข้ามของ ออร์ , ในทำนองเดียวกัน หากเรานำเอาตัวกระทำ แอนด์รวมเข้ากับตัวกระทำน็อทเราก็จะได้ตัวกระทำใหม่ มีชื่อว่า แนนด์ (NOT + AND = NAND) และคุณสมบัติของ แนนด์ ก็จะตรงกันข้ามกับคุณสมบัติของแอนด์เช่นกัน

จากใบงานที่ 1 ได้กำหนดสภาวะการทำงานของสวิทช์ไว้คือ

Switching	Logical	หลอดไฟ
On, Close	1	ติด
Off,Open	0	ดับ

หมายเหตุ :

ในวงจรทดลองต่อไปนี้ ที่เราต้องใส่ La1 ไว้เพื่อป้องกันการ Short Load ของ Supply เมื่อเราทำการ On Switches

อุปกรณ์ที่ใช้ในการทดลอง :

1. DC Supply 5 Volt
2. DC Voltmeter 1 ตัว
3. BOARD LB01

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อ

และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

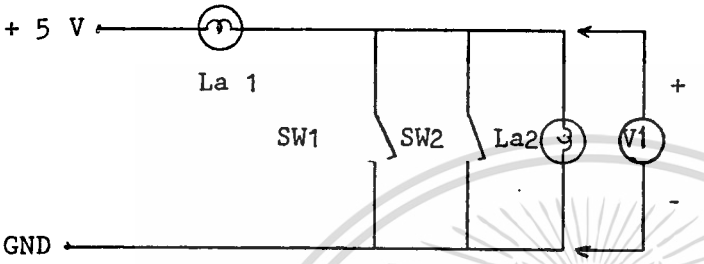
ลำดับขั้นการทดลอง :

(A) ศึกษาคุณสมบัติของ 2 Input Switches Logic NOR Operator

A.1 ประกอบวงจรตามรูปที่ 2.1 และทำการตรวจเช็ควงจรให้ถูกต้อง

A.2 ทำการ ON-OFF Switch Sw1, Sw2 แล้วบันทึกผลของการติด-ดับ ของ La2 ตามเงื่อนไข ใน Truth table ที่ 2.1 บันทึกผล

A.3 DC Voltmeter วัดแรงเคลื่อนคร่อม La2 แล้วทำตามข้อ A.2 โดยบันทึก V1



รูปที่ 2.1

Input		Output	
Sw1	Sw2	La1	V1
Off	Off		
Off	On		
On	Off		
On	On		

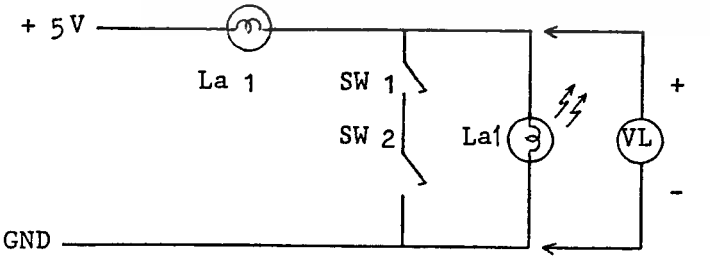
Table 2.1

(B) ศึกษาคุณสมบัติของ 2 Input Switches Logic NAND Operator

B.1 ประกอบวงจรตามรูปที่ 2.2 และทำการตรวจเช็ควงจรให้ถูกต้อง

B.2 ทำการ ON-OFF Switch Sw1, Sw2 แล้วบันทึกผลของการติด-ดับ ของ La2 ตามเงื่อนไข ใน Truth table ที่ 2.2 บันทึกผล

B.3 DC Voltmeter วัดแรงเคลื่อนคร่อม La2 แล้วทำตามข้อ A.2 โดยบันทึก V1



รูปที่ 2.2

Input		Output	
Sw1	Sw2	La1	V1
Off	Off		
Off	On		
On	Off		
On	On		

Table 2.2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 2.2 Table 2.2

คำถามท้ายบท :

1. จากการทดลองในหัวข้อ A จงอธิบายการทำงานของ NOR Logic และให้เขียน NOR Function
2. จงให้คำจำกัดความของการกระทำ NOR Logic
3. จากการทกลองในหัวขอ้ B จงอธิบายการทำงานของ NAND Logic และให้เขียน NAND Function
4. จงให้คำจำกัดความของการกระทำ NAND Logic
5. จากการทำงานของวงจร NOR Switches จงเขียนวงจร NOR Switches โดยใช้สวิทช์ 4 ตัว
6. จาก Table 2.2 หากต้องการสร้างเป็นระดับ H (High), L (Low) แทนให้เขียน Table ที่ 2.2 ใหม่ ให้อยู่ในตัวแปร H และ L
7. จากการทดลองใบงานนี้แล้ว เราสามารถนำดอาวงจรไปใช้ทำประโยชน์อะไรได้บ้าง ยกตัวอย่างมาสักสองตัวอย่าง

สรุปผลการทดลอง :

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ใบงานที่ 3

เรื่อง : DIODE LOGIC CIRCUIT

จุดมุ่งหมาย :

1. เพื่อให้เข้าใจถึงลักษณะการทำงานของวงจร ไดโอด โลจิก
2. เพื่อให้ทราบถึงวิธีการนำเอาอุปกรณ์อีเล็กทรอนิกส์มาทำเป็นวงจรโลจิก

จุดประสงคเชิงพฤติกรรม :

1. ให้นักศึกษาสามารถต่อ - ประกอบวงจรไดโอดโลจิกได้
2. ให้นักศึกษาสามารถเขียน Truth Table ของวงจรโลจิกนั้นได้
3. ให้สามารถอธิบายการทำงานของวงจรโลจิกไดโอดได้
4. ให้สามารถนำวงจรไปใช้งานให้เกิดประโยชน์ได้

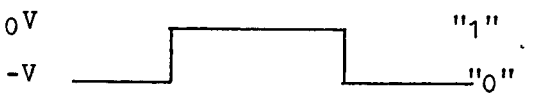
ทฤษฎีเบื้องต้น :

จากการนำเอาสวิทช์มาสร้างเป็นวงจรโลจิกทำให้เกิดปัญหามากมาย เช่น ไม่สามารถสร้างเป็นวงจรเล็กๆ ได้ การสัมผัสของหน้าคอนแทคท์ไม่แน่นอน และปัญหากับการเดินสาย (Wiring) ภายในวงจร และอื่น ๆ ดังนั้นเมื่อการพัฒนาทางเทคโนโลยีในด้านต่าง ๆ มากขึ้น วงจรโลจิกก็ถูกพัฒนาตามไปด้วย โดยมีการนำเอาอุปกรณ์อิเล็กทรอนิกส์มาแทนสวิทช์ ทั้งนี้ก็เหตุผลหลายประการเช่น มีการทำงานที่เร็วกว่า มีวงจรกระทัดรัดกว่า ซึ่งเกิดปัญหาการเดินสายน้อยมากและยังมีราคาหรือต้นทุนต่ำกว่าด้วย จึงทำให้อุปกรณ์อิเล็กทรอนิกส์นิยมมากจนถึงปัจจุบัน

อุปกรณ์ชนิดแรกที่นำมาใช้แทนสวิทช์คือ ไดโอด เพราะไดโอดมีคุณสมบัติสามารถ ตัด-ต่อ วงจรไฟฟ้าได้โดยอาศัยการนำกระแสหรือไม่นำกระแสของไดโอดนั่นเองซึ่ง Diode จะนำกระแสกรือไม่นั้นก็ขึ้นอยู่กับการให้ไบอัส (Biasing) แก่ตัวมัน คือถ้าให้ศักย์บวกเข้าที่ อาโนด (Anode +) และศักย์ลบเข้าที่ คาโธด (Cathode) จนเกิดแรงดันตกคร่อมตัวมันมากกว่า 0.7 โวลท์ (สำหรับ Si) มากกว่า 0.3 โวลท์ สำหรับ (Ge) แล้วก็จะทำให้ไดโอดนำกระแสได้ ซึ่งก็เข้ากับลักษณะต่อวงจรของสวิทช์ (On Switch) นั่นเอง โดยทั่วไปแล้ว วงจรโลจิกที่ถูกสร้างด้วยอุปกรณ์อิเล็กทรอนิกส์ จะเรียกกันว่า GATE เช่น ไดโอดโลจิกเกท (Diode Logic Gate) (ใช้ไดโอดสร้างวงจร) เป็นต้น

วงจรไดโอดโลจิกเกทสามารถสร้างให้ได้ระดับแรงดันทาง Output เป็นบวกหรือลบได้นั่นคือให้โลจิกบวก (Positive Logic) หรือลบ (Negative Logic) ได้ตามที่เราต้องการ และ Output Logic ดังกล่าว แสดงได้ดังรูปที่ 1.

Positive Logic



Negative Logic

อุปกณ์ที่ใช้ในการทดลอง

1. DC Supply 0-5 Volt 1 เครื่อง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2. LED 1 ตัว

3. Resister R1=5 k ,R2=560 1 ตัว

4. Diodes 1N4001 1 ตัว

5. DC Volt meter 1 ตัว

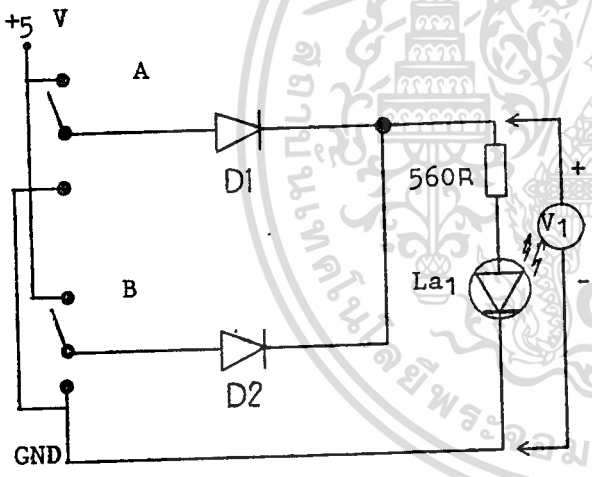
ลำดับขั้นการทดลอง :

(A) ศึกษาคุณสมบัติของ 2 Input Diode Positive Logic OR Gate

A.1 ประกอบวงจรตามรูปที่ 3.1 และทำการตรวจเช็ควงจรให้ถูกต้อง

A.2 ทำการสับสวิทช์ A,B ไปที่ตำแหน่ง 0,5 แล้วบันทึกผลการติดดับของ La1 และแรงดันตกคร่อม La1 ลงใน Table ที่ 3.1

A.3 ใช้ DC Voltmeter วัดแรงเคลื่อนตกคร่อม La1 แล้วทำตามข้อ A.2



รูปที่ 3.1

Input		Output	
A	B	La1	V1
0 V	0 V		
0 V	5 V		
5 V	0 V		
5 V	5 V		

Table 3.1

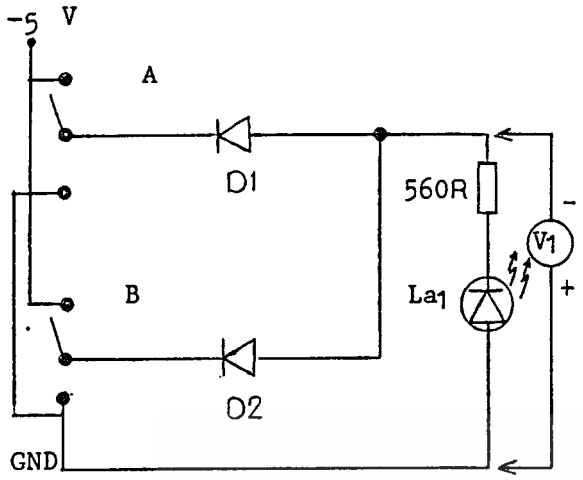
(B) ศึกษาคุณสมบัติของ 2 Input Diode Negative Logic OR Gate

B.1 ประกอบวงจรตามรูปที่ 3.2 และทำการตรวจเช็ควงจรให้ถูกต้อง

B.2 ทำการสับสวิทช์ A,B ไปที่ตำแหน่ง 0,5 แล้วบันทึกผลการติดดับของ La1 ตามเงื่อนไขใน Truth Table ที่ 3.2 และบันทึกผล

B.3 ใช้ DC Voltmeter วัดแรงเคลื่อนตกคร่อม La1 แล้วทำตามข้อ B.2 โดยบันทึก V1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.2

Input		Output	
A	B	La1	V1
0 V	0 V		
0 V	-5 V		
-5 V	0 V		
-5 V	-5 V		

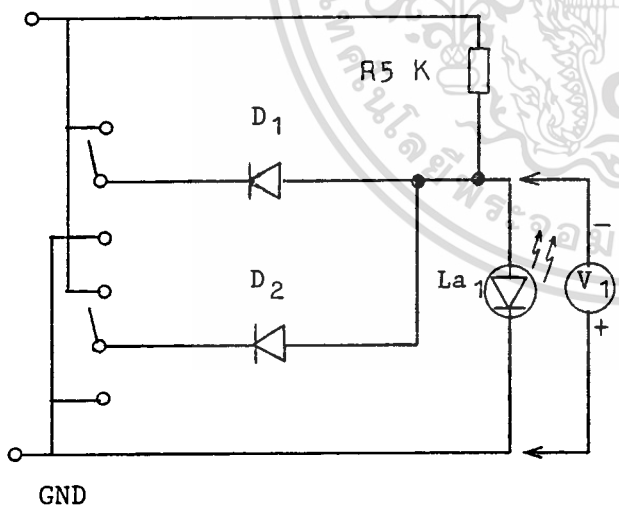
Table 3.2

(C) ศึกษาคุณสมบัติของ 2 Input Diode Positive Logic AND Gate

C.1 ประกอบวงจรตามรูปที่ 3.3 และทำการตรวจเช็ควงจรให้ถูกต้อง

C.2 ทำการสับสวิทช์ A,B ไปที่ตำแหน่ง 0,5 แล้วบันทึกผลการติดดับของ La_1 และแรงดันตกคร่อม La ลงใน Table ที่ 3.3 และบันทึกผล

C.3 ใช้ DC Voltmeter วัดแรงเคลื่อนตกคร่อม La_1 แล้วทำตามข้อ C.2 โดยบันทึก V_1



Input		Output	
A	B	La_1	V_1
0 V	0 V		
0 V	5 V		
5 V	0 V		
5 V	5 V		

รูปที่ 3.3

Table 3.3

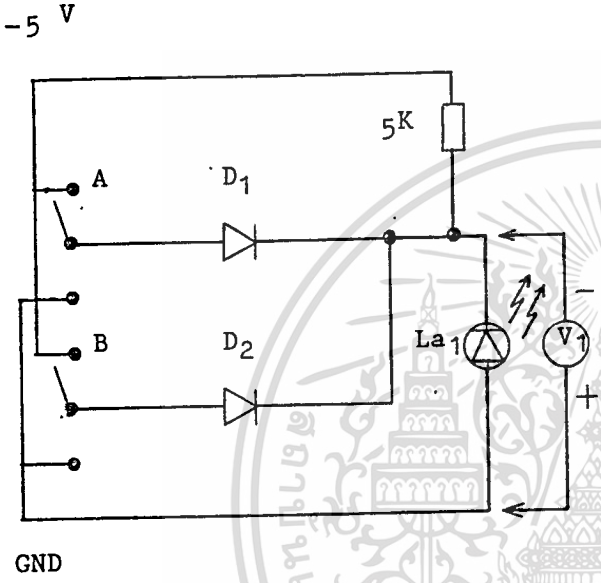
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

D ศึกษาคุณสมบัติของ 2 Input Diode Negative Logic AND Gate

D.1 ประกอบวงจรตามรูปที่ 3.4 และทำการตรวจเช็ควงจรให้ถูกต้อง

D.2 ทำการสับสวิทช์ A,B ไปที่ตำแหน่ง 0,-5 แล้วบันทึกผลการติดดับของ La1 ตามเงื่อนไขใน Truth Table ที่ 3.4 และบันทึกผล

D.3 ใช้ DC Voltmeter วัดแรงเคลื่อนตกคร่อม La1 แล้วทำตามข้อ D.2 โดยบันทึก V1



รูปที่ 3.4

Input		Output	
A	B	La1	V1
0 V	0 V		
0 V	5 V		
5 V	0 V		
5 V	5 V		

Table 3.4

คำถามท้ายบท

1. จากการทดลองในหัวข้อ A จงอธิบายการทำงานของ OR Logic และให้เขียน OR Function
2. ให้ +5V =Logic "1" 0V = Logic "0" จงเขียน Truth table ที่ 3.1 ใหม่
3. จงออกแบบวงจรไดโอดโลจิกที่มี 4 Inputs ที่ให้ Output เป็น Positive Logic
4. จากการทดลองในหัวข้อ C จงอธิบายการทำงานของ วงจรโลจิก และให้เขียน AND Function
5. จากการทำงานของวงจร Diode Logic AND Gate จงเขียนวงจรใหม่ดดยใช้ไดโอด 4 ตัว
6. จาก Table 3.4 หากต้องการสร้างเป็นระดับ H (High) ,Low (Low) แทนให้เขียน Table ที่ 3.4 ใหม่ ให้อยู่ในตัวแปร H และ L

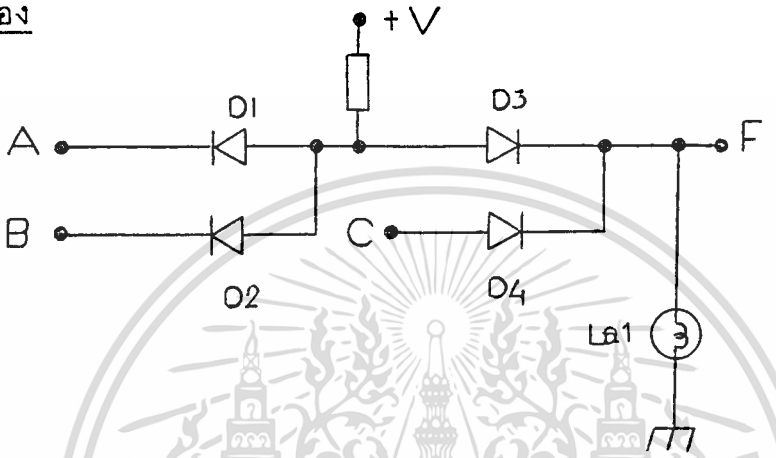
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

7. จากการทดลองใบงานนี้แล้ว เราสามารถนำเอาวงจรไปใช้ประโยชน์อะไรได้บ้าง ยกตัวอย่างมาสอง

8. ให้นักศึกษาทดลองเขียนวงจร Diode NOR และ NAND Gate 4 อินพุท หากมีปัญหาปรึกษาอาจารย์ผู้สอน

9. จงสร้าง Truth Table จากวงจรต่อไปนี้ เมื่ออินพุทคือ 0V และ 5V

สรุปผลการทดลอง



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ใบงานที่ 4

เรื่อง : TWO STAGE DIODE LOGIC GATE

จุดมุ่งหมาย : เพื่อให้นักศึกษา

1. เข้าใจวงจร DL (Diode Logic) ได้ดียิ่งขึ้น
2. เข้าใจวิธีการต่อวงจรไดโอดสองภาค (Two Stage Diode Circuit)
3. ศึกษาการทำงานของวงจรไดโอดสองภาค

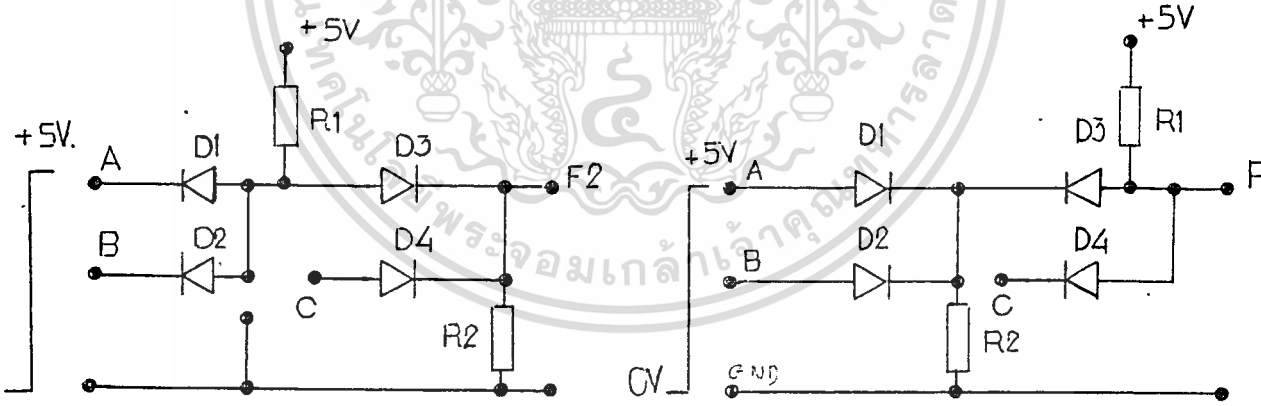
จุดประสงค์เชิงพฤติกรรม :

1. ให้นักศึกษาสามารถประกอบวงจรโลจิกเกทได้
2. ให้นักศึกษาสามารถเขียน Truth table ของวงจรโลจิกนั้นได้
3. ให้สามารถอธิบายการทำงานและไล่วงจรได้

ทฤษฎีย่อ :

Two Stage Diode Logic gate Circuit เป็นวงจรไดโอดโลจิก ที่ได้จากการนำเอา วงจรไดโอดโลจิกหลายวงจรมาต่อร่วมกัน ทำให้ได้เอ๊าท์พุทรวม (Combination Output) หรือฟังก์ชั่นรวม (Combination Function) เช่น F = (A +B).C, F = A.B + C เป็นต้น

ในการสร้างวงจรควรคำนึงถึงเอ๊าท์พุทของสเตจแรกเพื่อนำไปเป็นอินพุทของสเตจต่อไป ทั้งนี้ก็เพราะการไบอัสตัวไดโอด จะต้องอยู่ในย่าน Saturated และ Out to off เพื่อให้เกิดการ ON หรือ Off ได้ทันที ดังวงจรที่ 4.1 และวงจรที่ 4.2



R 1 = 5 K , R2 = 50 K

วงจรที่ 4.1

R1 = 50 K , R2 = 5 K

วงจรที่ 4.2

จากวงจรที่ 4.1 เราจำเป็นมากที่จะให้ R1 << R2 ทั้งนี้ก็เพราะ เมื่อ A,B เป็น "1" มีกระแสไหลผ่าน R1 ,R2, D3 ทำให้ F2 ปรากฏคือ VR2 ซึ่งจะต้องออกแบบให้มีค่ามาก ๆไว้ เพื่อให้ได้แรงดันเป็นระดับโลจิก "1" วงจรออกแบบไว้ R1=1K ,R2=10K แต่จะให้มากน้อยกว่านี้ก็ได้ตาม Load ของวงจรต้องการ ส่วนวงจรที่ 4.2 จะตรงกันข้ามเพราะให้ R1>>R2 (10K , 1K ตามลำดับ) และในขณะที่ A,B เป็น "0"จะมีกระแสไหลผ่าน R1 ,D3 และ R2 ทำให้เกิด Voltage Dropped ที่ R2 ซึ่งการออกแบบวงจรจะให้ได้ Output ที่ F1 ต่ำที่สุดประมาณ 0 โวลท์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เพราะเป็นโลจิก "0"

อุปกรณ์ที่ใช้ในการทดลอง :

1. ชุดฝึกดิจิตอล (BOARD LB02) 1 ชุด
2. DC Voltmeter 1 ตัว
3. สายต่อวงจรและอื่นๆ

ลำดับขั้นการทดลอง :

1. ประกอบวงจรตามรูปที่ 4.1 และทำการตรวจเช็ควงจรให้ถูกต้อง
2. ให้ A, B, C เปลี่ยนแปลงอยู่ระหว่าง 0,+5 V ใช้ดีซีโวลท์มิเตอร์วัดที่จุด F1 และ F2 สังเกตุผลของมิเตอร์ที่เป็นไปตามเงื่อนไขใน Truth Table ที่ 4.1 และบันทึกผล
3. ประกอบวงจรตามรูปที่ 4.2 และทำการตรวจเช็ควงจรให้ถูกต้อง
4. ให้ทำตามลำดับขั้นการทดลองข้อ 2 และบันทึกผลลงใน Table ที่ 4.2

INPUT			OUTPUT	
A	B	C	F1(V)	F2(V)
0	0	0		
0	0	+5		
0	+5	0		
0	+5	+5		
+5	0	0		
+5	0	+5		
+5	+5	0		
+5	+5	+5		

Truth Table 4.1

INPUT			OUTPUT	
A	B	C	F1(V)	F2(V)
0	0	0		
0	0	+5		
0	+5	0		
0	+5	+5		
+5	0	0		
+5	0	+5		
+5	0	+5		
+5	+5	+5		

Truth Table 4.2

คำถามท้ายบท :

1. จาก Truth table 4.1 จงอธิบายการทำงานของวงจรที่ 4.1 ตามเงื่อนไขต่าง ๆ ทางอินพุทที่ให้เอ๊าท์พุทออกมาเช่นนั้นอย่างละเอียดและให้เขียน Logic Function F1,F2 ด้วย
2. จาก Truth table 4.2 จงอธิบายการทำงานของวงจรที่ 4.2 ตามเงื่อนไขต่าง ๆ ทางอินพุทที่ให้เอ๊าท์พุทออกมาเช่นนั้นอย่างละเอียดและให้เขียน Logic Function F1,F2 ด้วย
3. จงสร้างวงจรไดโอดสองภาคที่ให้การกระทำเป็นไปตามฟังก์ชั่น $F_2=(A+B+C).D.E$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ได้เอ๊าท์พุทเป็น Negative (0...-5 V) , F1=(A+B+C)

4. จากการทดลองใบงานนี้ เราสามารถสร้างวงจร Three Stage Diode Logic Gate ได้หรือไม่อย่างไร

6. จาก Truth Table 4.1 และ 4.2 หากต้องการสร้างเป็นระดับ H (High) , L (Low) แทนให้เขียน Truth Table ที่ 4.1 และ 4.2 ใหม่ให้อยู่ในตัวแปร H และ L

7. จากการทดลองในงานนี้แล้ว เราสามารนำเอาวงจรไปใช้ทำประโยชน์อะไรได้บ้าง ยกตัวอย่างมาสักสองตัวอย่าง

<u>สรุปผลการทดลอง</u> :

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ใบงานที่ 5

เรื่อง : TRANSISTER LOGIC GATE

จุดมุ่งหมาย : เพื่อให้นักศึกษา

1. เข้าใจถึงลักษณะของการสวิทช์ (Switching) ของทรานซิสเตอร์
2. ศึกษาการทำงานของวงจร Transister Logic Gate ชนิดต่าง ๆ

จุดประสงค์เชิงพฤติกรรม :

1. ให้นักศึกษาสามารถประกอบวงจรทรานซิสเตอร์โลจิกได้
2. ให้นักศึกษาสามารถเขียน Truth Table และ Logic function ของวงจรโลจิกนั้นได้
3. ให้สามารถอธิบายการทำงานและวิเคราะห์ผลการทดลองได้
4. ให้สามารภสร้างวงจรทรานซิสเตอร์โลจิกเกทใช้งานบางอย่างได้

ทฤษฎีเบื้องต้น :

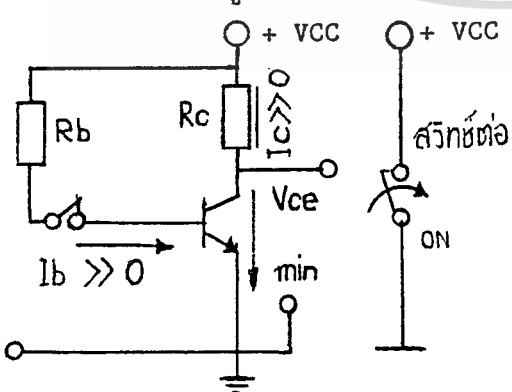
Transister ไม่เพียงแต่ขยายสัญญาณได้เท่านั้น ยังสามารถนำเอามาสร้างเป็นวงจรสวิทช์ได้อีกทั้งนี้เพราะ Transister ถึงจุดอิ่มตัว (Saturated) จะทำให้ตัวมันนำกระแสได้มาก VCE จะประมาณ 0 V จึงเสมือนว่าเป็นการต่อ (ON) ของสวิทช์ในวงจร และหากถึง จุดคัทออฟ (Cut off) Transister ทรานซิสเตอร์จะมีกระแสไหลผ่านน้อยมากซึ่งจะเป็นเพียงกระแสรั่วไหลเท่านั้น VCE จะประมาณ VCC นั่นก็เสมือนว่าสวิทช์ที่ตัด (OFF) วงจรออกนั่นเอง

วงจร Transister ที่ออกแบบมาใช้งานเป็นสวิทช์ ทั่วไปจะเป็น Common Emitter และเงื่อนไขที่จะให้วงจรเกิด Saturating หรืออิ่มตัว มีอยู่สองประการคือ

1. การออกแบบให้วงจรมี Ib>Ic/hfe
2. เมื่อให้ Bias Vbe เป็น bias ตรง

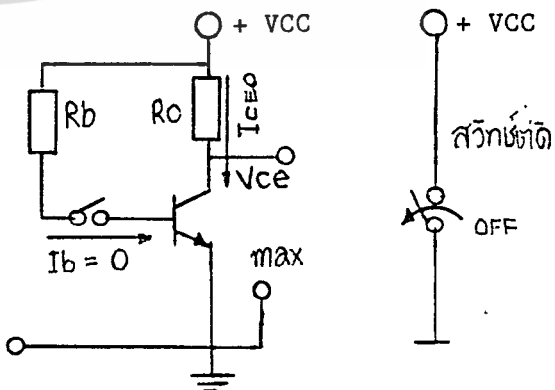
ส่วนเงื่อนไขที่ทำให้ทรานซิสเตอร์ Cut Off มีอยู่สองประการด้วยกันคือ

1. ให้ Reverse bias ระหว่าง Base กับ Emitter หรือให้ bias เป็นศูนย์
2. ให้ Ib มีค่าเป็นศูนย์ (Ib = 0)



(a)

รูป (a) สภาวะอิ่มตัวเปรียบสวิทช์ต่อ



(b)

รูป (b) สภาวะคัทออฟเปรียบสวิทช์ตัด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากคุณสมบัติของ transister as Switch ดังกล่าวเราสามารถที่จะนำ transister มาสร้างเป็นวงจรโลจิกต่าง ๆ ได้ เช่น Transistor ORgate, Transister AND gate ,Transister Not gate หรืออื่น ๆ ได้

อุปกรณ์ที่ใช้ในการทดลอง :

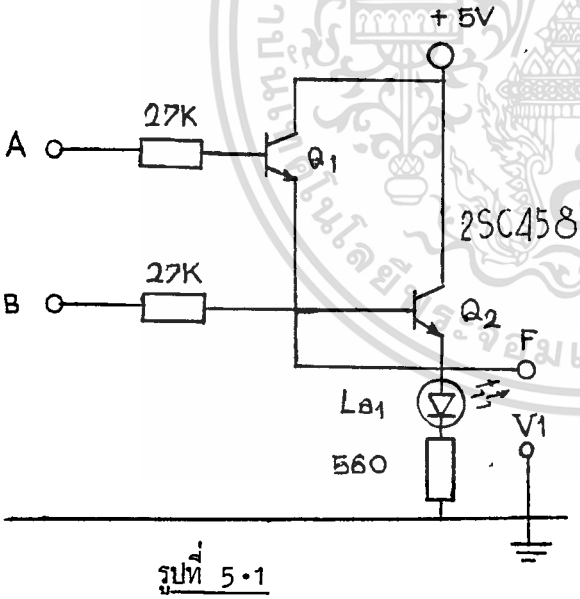
1. ชุดฝึกดิจิตอล < LB02 ,LB03 > 1 ชุด
2. DC Voltmeter 1 ตัว

ลำดับขั้นการทดลอง :

1. ประกอบวงจรตามรูปที่ 5.1 ให้อินพุท A และ B "1" จะเป็น +5 และ "0" จะเป็น 0 V แล้วทำการตรวจเช็คการต่อวงจรให้ถูกต้อง

2. เปลี่ยนตำแหน่ง A และ B ไปที่ตำแหน่ง "0","1" สังเกตุการติดดับของ La1 และเข็มของโวลท์มิเตอร์จนเข้าใจการทำงานของวงจรแล้วบันทึกผลของ La1 และ Meter ลงใน ตารางที่ 5.1

3. ให้โลจิก "1" แทนหลอดไฟติด โลจิก "0" แทนหลอดไฟดับ จงเขียนสภาวะทางโลจิก ลงในช่อง F ของ ตารางที่ 5.1



รูปที่ 5.1

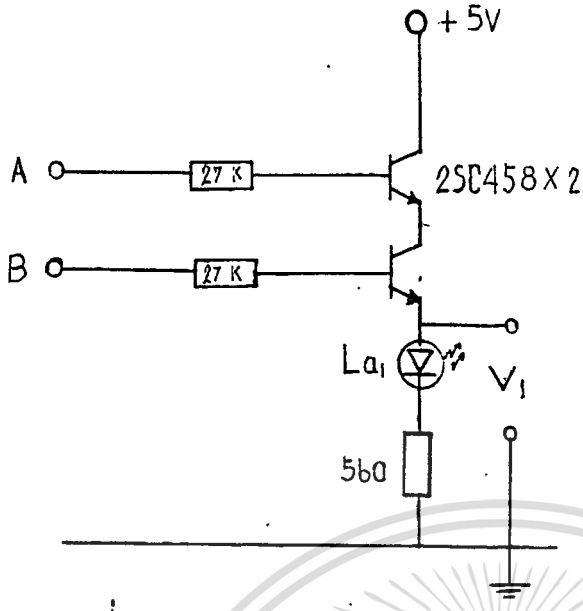
INPUT		OUTPUT		
A	B	La 1	V1	F
0	0			
0	+ 5			
+ 5	0			
+ 5	+ 5			

TRUTH TABLE

4. จากผลการบันทึกในตารางที่ 5.1 แสดงว่าวงจรที่ 5.1 คือ.....
และมีโลจิกฟังก์ชั่น F =.....

5. ประกอบวงจรตามรูปที่ 5.2 ทำตามลำดับขั้นการทดลองข้อ 2.3 และบันทึกผลใน Table 5.2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

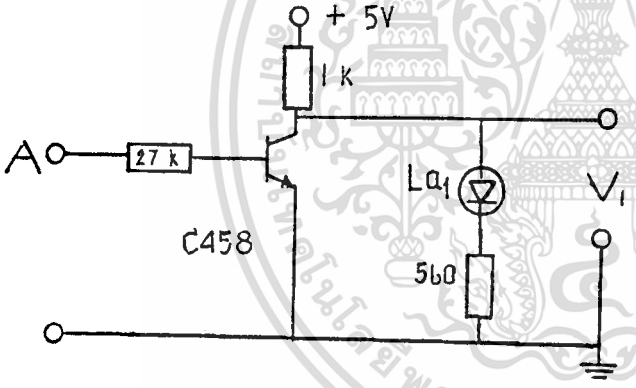


INPUT		OUTPUT		
A	B	La 1	V1	F
0	0			
0	+ 5			
+ 5	0			
+ 5	+ 5			

รูปที่ 5•1

TRUTH TABLE

6• ประกอบวงจรตามรูปที่ 5•3 ให้อินพุท A ต่อเข้ากับ Input Switch และทำการทดลองตามข้อ 2 บันทึกผลลงในตารางที่ 5•3



INPUT	OUTPUT		
A	La 1	V1	F
0 +5			

วงจรที่ 5•3

ตารางที่ 5•3

คำถามท้ายบท :

1• จากผลการทดลองวงจรที่ 5•2 แสดงว่าเป็นวงจรโลจิกชนิดใด อธิบายการทำงานและเขียน Logic Function

2• จงสร้างวงจรทรานซิสเตอร์แอนด์เกท 3 อินพุทที่ให้เอ้าท์พุทเป็นไปตาม F =A.B.C ชนิด Negative Logic

3• วงจรที่ 5•3 เรียกว่าอะไร หากเรานำวงจรนี้มาต่อกันเป็นสองสเตท (Two Stage)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แล้ว จงอธิบายการทำงานของวงจร และ Output ตรงกับทฤษฎีที่ว่า F = A หรือไม่

4. เราจะสร้างวงจร Transister NOR,และ NAND Gate จากวงจรที่ 5.1,5.2 และ5.3 ได้อย่างไร อธิบายวิธีสร้างและเขียนวงจรแสดงด้วย

5. จากการทดลองใบงานนี้แล้ว เราสามารถนำเอาวงจรไปใช้ทำประโยชน์อะไรได้บ้าง

6. TTL คืออะไร จงอธิบายพอเข้าใจและยกตัวอย่างประกอบด้วย

สรุปผลการทดลอง :

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ใบงานที่ 6

เรื่อง : TRANSISTER LOGIC GATE 2

จุดมุ่งหมาย : เพื่อให้นักศึกษา

1.ศึกษาวิธีการนำเอา Transistor AND,OR และ NOT Gate มาสร้างเป็น Trasistor NAND,NOR Gate

2.ศึกษาการทำงานของวงจร Transistor logic NAND,NOR Gate

จุดประสงค์เชิงพฤติกรรม :

1.ให้นักศึกษาสามารถประกอบวงจรทรานซิสเตอร์โลจิกเกทได้

2.ให้นักศึกษาสามารถเขียน Truth Table ของวงจรโลจิกนั้นได้

3.ให้สามารถอธิบายการทำงานของวงจรได้

4.ให้สามารถสร้างวงจรทรานซิสเตอร์โลจิกเกทหลาย ๆ อินพุทได้

คำแนะนำ :

เป็นที่ทราบกันแล้วว่า NAND = NOT + AND และ NOR = NOT + OR จากใบงานที่ 5 ได้กล่าวถึงและทดลองวงจรทรานซิสเตอร์ แอนด์,ออร์ และ นอร์ทเกทไปแล้วซึ่งเราจะเห็นได้ว่า วงจรทรนซิสเตออร์แอนด์และออร์จะให้เอ๊าท์พุทออกที่ ขา Emitter โดยใช้ Re เป็นตัวกำหนดแต่วงจร NOT นั้นจะเป็นการให้เอ๊าท์พุทออกที่ Collecter โดยการกำหนด Re ดังนั้นหากเราต้องการสร้างวงจร NAND และ NOR Gate แล้วจะต้องนำวงจร AND OR มาเปลี่ยน Output ให้อยู่ในรูปของ NOT ให้ได้โดยการใส่ Rc เข้าไปนั่นเองแล้ว Short ขา Emitter ลง Ground ต่อ Output ออกที่ขา Collecter แล้วก็จะได้ NAND,NOR Gate ที่ใช้ทรานซิสเตอร์ ตามต้องการ

อุปกรณ์ที่ใช้ในการทดลอง :

1. ชุดฝึกดิจิตอล (LB_{02}, LB_{03}) 1 ชุด
2. DC Voltmetter 1 ตัว

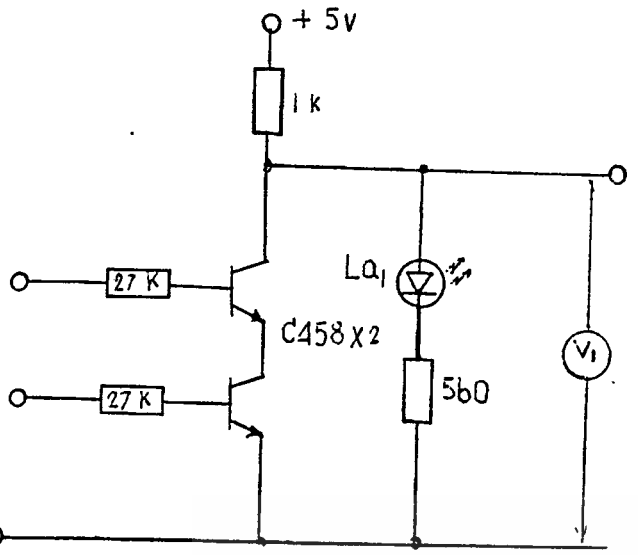
ลำดับขั้นการทดลอง :

1. ประกอบวงจรตามรูปที่ 6-1 ให้ อินพุท A และ B ต่ออยู่กับอินพุทสวิทช์ชุดฝึก ซึ่ง "1" จะเป็น +5 และ "0" จะเป็น 0 โวลท์ แล้วทำการตรวจการต่อวงจรให้ถูกต้อง

2. สับสวิทช A และ B ไปที่ตำแหน่ง "0","1" สังเกตุการติดดับของ La_1 และเข็มของมิเตอร์จนเข้าใจการทำงานของวงจรแล้วบันทึกผลของ La_1 และ Meter ลงในตารางที่ 6-1

3. ให้โลจิก "1" แทนหลอดไฟติด โลจิก "0" แทนหลอดไฟดับ จงเขียนสภาวะทางโลจิก ลงในช่อง F ของ ตารางที่ 6-1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



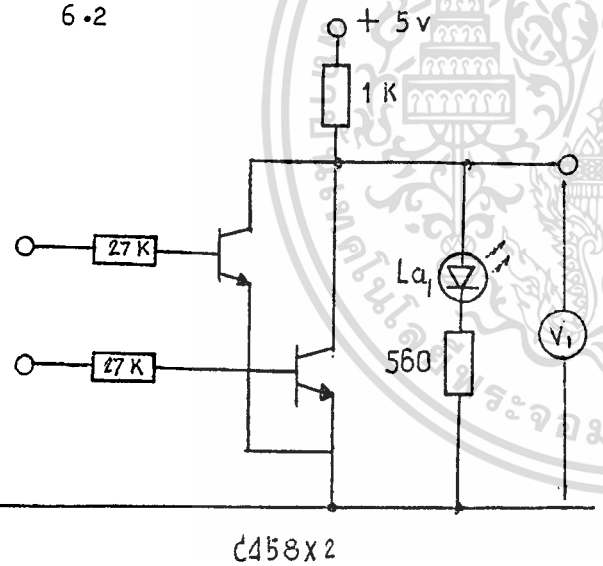
nput		Output		
A	B	LA1	V1	F
0	0			
0	+5			
+5	0			
+5	+5			

รูปที่ 6.1

Truth Table 6.1

4. จากผลการบันทึกในตารางที่ 6.1 แสดงว่าวงจรที่ 6.1 คือ.....
และมีโลจิกฟังก์ชั่น F =.....

5. ประกอบวงจรตามรูปที่ 6.2 ทำตามลำดับขั้นการทดลองข้อ 2,3 และบันทึกผลใน Table 6.2



INPUT		OUTPUT		
A	B	LA1	V1	F
0	0			
0	+5			
+5	0			
+5	+5			

รูปที่ 6.2

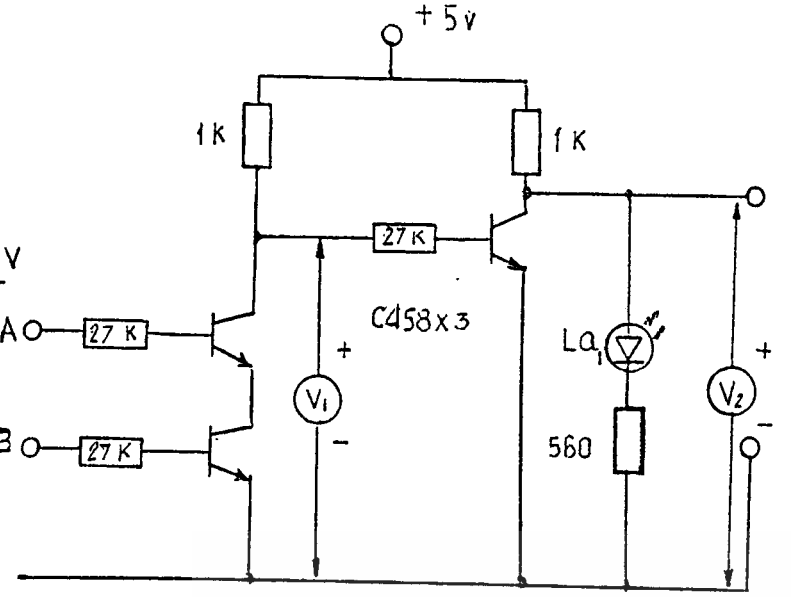
Truth Table 6.2

6. จากรูปที่ 6.2 แสดงว่าวงจรที่ 6.3 คือ.....

Output F=.....

7. ประกอบวงจรตามรูปที่ 6.3 ให้อินพุท A และ B ต่อเข้ากับ Input Switch และทำการทดลองตามตารางที่ 6.3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



INPUT		OUTPUT			
A	B	LA1	V1	F1	F2
0	0				
0	1				
1	0				
1	1				

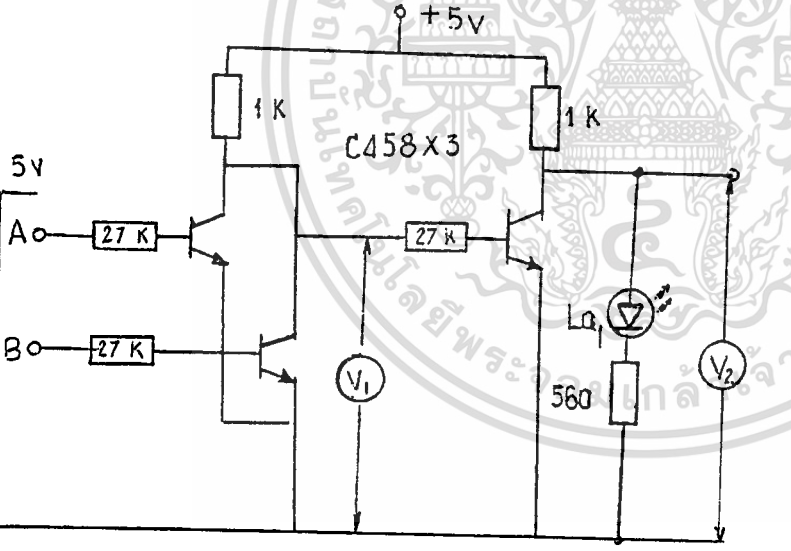
รูปที่ 6.3

Truth Table 6.3

8. จากรูปที่ 6.3 คือ .....

Logic Function F_2 = ...

9. ประกอบวงจรตามรูปที่ 6.4 และทำการทดลองวัด V_1 V_2 และสังเกตุ ผลของการติดดับ La1 แล้วบันทึกผลลงในตารางที่ 6.4



INPUT		OUTPUT				
A	B	LA1	V1	F1	F2	V2
0	0					
0	1					
1	0					
1	1					

วงจรที่ 6.4

ตารางที่ 6.4

10. วงจรที่ 6.4 คือ .....

Logic Function F_2 = ...

คำถามท้ายบท :

1. ให้อธิบายการทำงานของวงจรที่ 6.1 ว่าเป็นไปตาม Truth Table ที่ 6.1 ได้อย่างไร

2. ให้อธิบายการทำงานของวงจรที่ 6.2 ที่ทำให้ได้ผลตาม Truth Table ที่ 6.2 อย่างไร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3. จากผลการทดลองวงจรที่ 6.2 และ วงจรที่ 6.4 จงเปรียบเทียบการทำงานของวงจรทั้งสองนี้

5. จากวงจรที่ 6.3 จงเขียนวงจรที่คล้ายกัน ให้มีการทำงานเป็นไปตาม F = A . B . C

6. จากวงจรที่ 6.3 จงเขียนวงจรที่คล้ายกัน ให้มีการทำงานเป็นไปตาม F = A + B + C

7. วงจรไอซีแบบ RTL ,DTL ,และ TTL เป็นอย่างไร ต่างกันอย่างไรอธิบาย

8. จากการทดลองวงจรในใบงานนี้ นักศึกษาจะพัฒนาวงจรเพื่อนำไปใช้งาน อย่างไร อธิบายและยกตัวอย่าง 1 ตัวอย่าง

สรุปผลการทดลอง :

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ใบงานที่ 7

เรื่อง : วงจรพื้นฐานของไอซีโลจิกเกท (General Integrate ect Logic gate)

จุดมุ่งหมาย :

1. เพื่อศึกษาการทำงานของวงจร RTL, TTL และ ECL
2. เพื่อศึกษาคุณสมบัติเบื้องต้นของไอซีแต่ละแบบ (IC Unit)

จุดประสงค์เชิงพฤติกรรม : เพื่อให้นักศึกษาสามารถ

1. อธิบายการทำงานของวงจรพื้นฐานของไอซีโลจิกต่าง ๆ ได้
2. ประกอบวงจรโลจิกทดลองได้
3. บันทึกผลการทดลองและสร้าง Truth Table เองได้
4. เขียน Logic function จากวงจรได้

ทฤษฎีย่อ :

ไอซีดิจิตอลถูกนำมาใช้ในวงจรดิจิตอล มีหลาย ๆ แบบที่แพร่หลายและเป็นที่นิยมอยู่ในปัจจุบันนับวันที่จะมีลักษณะโครงสร้างเล็กลง แต่ให้การทำงานที่มีประสิทธิภาพมากคือ มีความสามารถสูง รวดเร็ว และอื่น ๆ ซึ่งถ้าพิจารณาไอซีแต่ละหน่วย (Unit) แต่ละตระกูล (Family) ว่าเหมาะกับงานนั้นหรือไม่ เราจะพิจารณาได้ 5 ประการ คือ

1. Cost (ราคา) ถูก ,ไม่แพงจนเกินไป หาซื้อได้ง่าย
2. Power Dissipation (การสูญเสียกำลังไฟฟ้า) กินไฟน้อย ไฟเลี้ยงแรงดันต่ำ
3. Propagation Delay Time หรือ Speed of Operation (ความเร็วในการทำงาน) ทำงานได้รวดเร็ว ตรงตามเวลาที่ต้องการ
4. Noise Immunity (ขีดจำกัดต่อสัญญาณรบกวน) ทนต่อสัญญาณรบกวนได้ดี
5. Fan -in ,Fan-out สูงสามารับสัญญาณและขับ Load ได้สูง

ไอซีที่กำลังเป็นที่นิยมและแพร่หลายในปัจจุบัน ซึ่งได้มีการตั้งชื่อตามโครงสร้างการผลิตที่เราชอบเรียกกันว่า ตระกูล (IC Family) นั้น สามารถเรียงลำดับความสำคัญได้ดังนี้

1. ตระกูล TTL (Transister -Transister Logic)
2. ตระกูล CMOS (Complementary Metal Oxide Semiconductor)
3. ตระกูล ECL (Emitter Couple Logic)
4. ตระกูล IIL (Integrated Injection Logic)
5. อื่น ๆ ที่กำลังพัฒนาอยู่

ส่วนไอซีที่ถูกทอดทิ้ง เนื่องจากข้อเสียอย่างมากมายก็คือ ตระกูล RTL (Resistor Transistor Logic) และ DTL (Diode Transistor Logic)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางแสดงคุณสมบัติของ IC ตระกูลต่าง ๆ

คุณสมบัติ	RTL	DTL	TTL	ECL	IIL	CMOS
- Cost	แพง	แพง	ถูกกว่า	แพงกว่า	แพงกว่า	ถูก
- Power dissi Pation	สูง	สูง	1-19m	240	60-70n	15 u
-Propagation	10-50u	10-50u	3-33n	0.5n	25-250n	25n
-Deley time	Sec	Sec	Sec	Sec	Sec	Sec
-Noise Immunity	0.4v	0.4v	0.4v	0.3 v	-	2.4v
-Voltage Swing	-	-	+5v	0.4v	0.6v	4-5v
-Power Supply	-	-	+5v	-5.2v	15v	12v

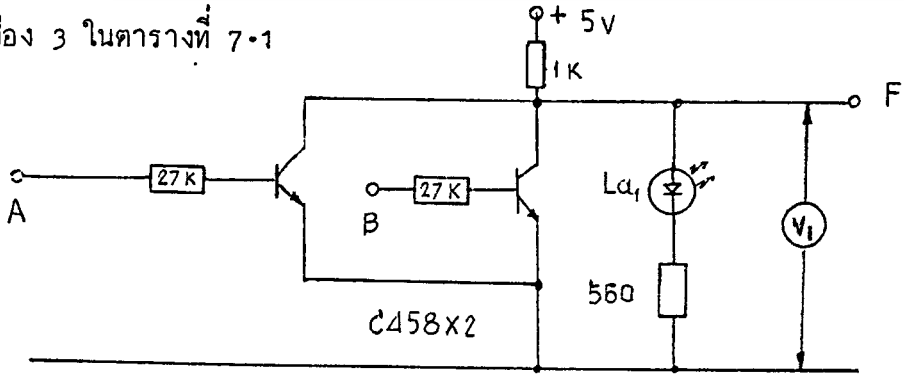
แต่สำหรับการทดลองใบงานนี้ เราไม่สามารถสร้างวงจรจริงได้ ทั้งนี้เพราะอุปกรณ์บางตัวไม่สามารถจัดหาและทดแทนได้ ดังนั้นในการทดลองจึงเป็นเพียงวงจรคล้ายที่ให้การทำงานเป็นเหมือนวงจรจริงเท่านั้น

อุปกรณ์ที่ใช้ในการทดลอง :

1. ชุดฝึกดิจิตอล (LB_{02}, LB_{03}) 1 ชุด
2. DC Voltmeter 1 ชุด

ลำดับขั้นการทดลอง :

1. ทำการทดสอบวงจร RTL โดยต่อวงจรทดลองรูปที่ 7-1
2. ต่ออินพุท (A B) เข้ากับอินพุทโลจิกของชุดฝึกซึ่งให้การเปลี่ยนแปลงระดับ 0, +5v แล้วใช้ DC Voltmeter (V_1) วัดที่ เอ๊าท์พุท F และบันทึกผลของการติด ดับของ La_1 และ V_1 ลงใน Truth table ที่ 7-1 เมื่ออินพุทเปลี่ยนแปลงไป
3. ทำการเปลี่ยนการติด ดับ ของ La_1 หรือ V_1 ในลักษณะ "0" ,"1" แล้วบันทึกผลลงในช่อง 3 ในตารางที่ 7-1



รูปวงจรที่ 7-1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

INPUT		OUTPUT		
A	B	La1	V1	F
0	0			
0	+5			
+5	0			
+5	+5			

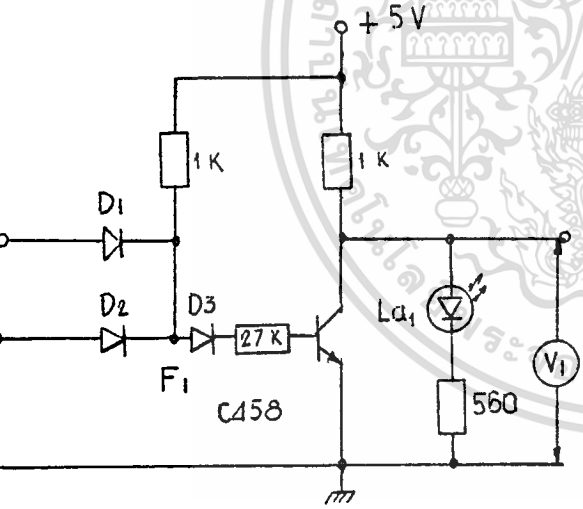
Truth Table 7.1

4. จากผลการบันทึกในตารางที่ 7.1 แสดงว่าวงจรที่ 7.1 คือ .....

และมีโลจิกฟังก์ชั่นคือ .....

5. ทำการทดสอบวงจร DTL โดยต่อวงจรทดลองรูปที่ 7.2

6. สร้าง Truth table ขึ้นเองเพื่อแสดงผลของเอ๊าท์พุท F1, F2 เมื่ออินพุทเปลี่ยนแปลงไป



รูปที่ 7.2

INPUT		OUTPUT	
A	B	F1	F2
0	0		
0	+5		
+5	0		
+5	+5		

Truth Table 7.2

7. จากผลการบันทึกในตารางที่ 7.2 แสดงว่าวงจรที่ 7.2 คือ .....

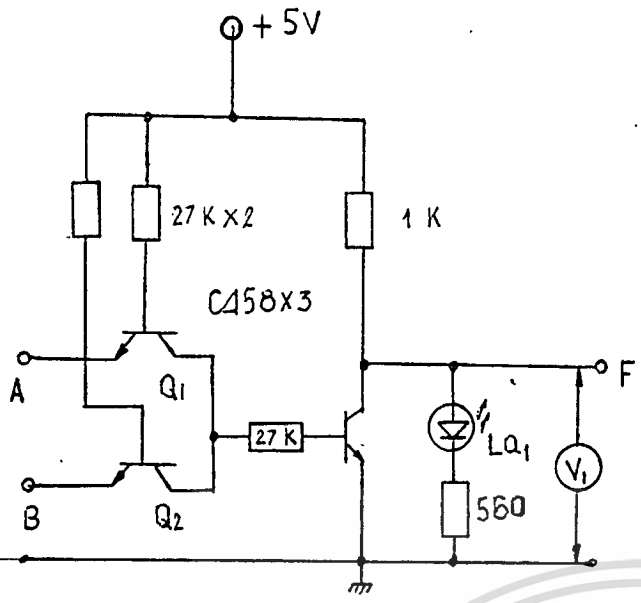
และมีโลจิกฟังก์ชั่นคือ F1 .....

F2 .....

8. ทำการทดสอบวงจร TTL โดยต่อวงจรทดลองรูปที่ 7.3

9. สร้าง Truth table ขึ้นเองเพื่อแสดงผลของเอ๊าท์พุท La1, V1 และ F เมื่ออินพุทเปลี่ยนแปลงไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



INPUT		OUTPUT		
A	B	La1	V1	F
0	0			
0	+5			
+5	0			
+5	+5			

Truth Table 7.3

10. จากผลการบันทึกในตารางที่ 7.3 แสดงว่าวงจรที่ 7.3 คือ .....
และมีโลจิกฟังก์ชั่นคือ F .....

คำถามท้ายบท :

1. ให้อธิบายการทำงานของวงจรที่ 7.1 ว่าเป็นไปตาม Truth table ที่ 7.1 ได้อย่างไร
2. ให้อธิบายการทำงานของวงจรที่ 7.2 ที่ทำให้ได้ผลตาม Truth table ที่สร้างขึ้นได้อย่างไร
3. ให้อธิบายการทำงานของวงจรที่ 7.3 ที่ทำให้ได้ผลตาม Truth table ที่สร้างขึ้นได้อย่างไร
4. จงอธิบายถึงข้อแตกต่างของวงจรที่ 7.1, 7.2, 7.3
5. Totem Pole, และ Active Pull Up คืออะไร ทำหน้าที่อย่างไร เขียนวงจรประกอบ
6. FAN-IN ,FAN-OUT คืออะไร จำเป็นอย่างไร สำหรับไอซีหรือเปล่า
7. การเกิดกระแส Sink,กระแส Source เป็นอย่างไร มีความเกี่ยวอะไรกับ Fan-in , Fan-out จงอธิบายพร้อมเขียนวงจรประกอบ
8. จงเขียนวงจรภายในของ NAND Gate 1 ตัว ของ IC TTL และ IC CMOS (บอกเบอร์ไอซีด้วย)

สรุปผลการทดลอง :

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ใบงานที่ 8

T.T.L IC LOGIC GATE

จุดมุ่งหมาย - เพื่อศึกษาการทำงานของ IC TTL LOGIC GATE ชนิดต่าง ๆ

- เพื่อศึกษาคุณสมบัติเบื้องต้นของ IC TTL LOGIC GATE

จุดประสงค์เชิงพฤติกรรม : เพื่อให้นักศึกษาสามารถ

- ประกอบวงจร TTL LOGIC GATE ชนิดต่าง ๆ ทดลองได้
- บันทึกผลการทดลองและสร้าง Truth Table เองได้
- สามารถใช้คู่มือ TTL ได้

คำแนะนำ

ไอซี หรือ Integrate circuit เป็นวงจรอิเล็กทรอนิกส์ที่ถูกสร้างขึ้นให้มีขนาดเล็กมากๆ สามารถบรรจุวงจรต่างๆได้หลายสิบวงจร เมื่อเทียบต่อพื้นที่ที่เป็นตารางมิลลิเมตร โดยการสร้างจะใช้สารกึ่งตัวนำเป็นแผ่น (Chip) มีการโด๊ป กัด หรืออื่นๆบนแผ่นสารนั้น (ตามขนวนการผลิตไอซี) เพื่อให้ได้เป็นวงจรตามต้องการ ซึ่งการทำด้วยวิธีดังกล่าวจะทำให้ วงจรเล็กลง ใช้งานง่าย กินไฟน้อย มีประสิทธิภาพในการทำงานสูง และยังมีราคาที่ถูกมากอีกด้วย จึงทำให้แพร่หลายและเป็นที่นิยมกันมากในปัจจุบันและหากเราแบ่งไอซีออกตามลักษณะการทำงานแล้ว สามารถแบ่งได้เป็น 2 กลุ่มให่คือ

1. กลุ่มลิเนียรไอซี ได้แก่ ไอซีวงจรขยายทั่วไป (Op amp) วงจรเปรียบเทียบ

2. กลุ่มดิจิตอลไอซี ได้แก่ วงจร Gate ชนิดต่างๆ วงจร Flip-Flop

สำหรับ ดิจิตอลไอซี ที่มีใช้กันอยู่นั้นมีหลายตระกูล (ซึ่งได้กล่าวไปแล้วในใบงานที่ 7) แต่ตระกูลที่นิยมกันมาก ในปัจจุบันก็เห็นจะเป็นตระกูล TTL (Transistor Transistor Logic)

Electronic Logic Gate ที่ใช้ในวงจรดิจิตอล คอมพิวเตอรนั้นต่างก็ผลิตให้อยู่ในรูป Intergrated circuit (IC) ทั้งนั้น เพื่อให้การเขียนวงจร โลจิก สร้างหรือออกแบบวงจร โลจิก ให้ง่ายขึ้น จึงมีการกำหนดสัญลักษณ์ (Symbol) ของโลจิกเกทขึ้นมา ทั่งโลกจะมีมาตรฐานอยู่ 2 แบบ คือ

1. ASA (American Standrad Association) Symbol เป็นสัญญลักษณ์ที่ใช้กันแถบเอเชีย ญี่ปุ่น และ อเมริกา

2. มาตราฐานยุโรป มีใช้กันในแถบยุโรป เช่น อังกฤษ เยอรมัน

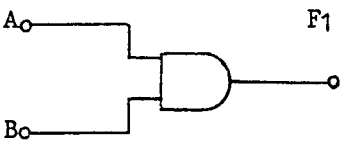
Logic Gate ทั้ง 2 แบบอาจเขียนต่างกัน แต่สามารถแสดงรายละเอียดต่างๆ ได้ ดังรูปต่อไปนี้

a . Logic and gate สำหรับการทำงานของ Logical AND คือ จะให้ OUTPUT เป็น Logical "1" ก็ต่อเมื่อ INPUT ทั้งหมดเป็น Logical "1" เท่านั้น นอกจากนี้จะได้ "0"

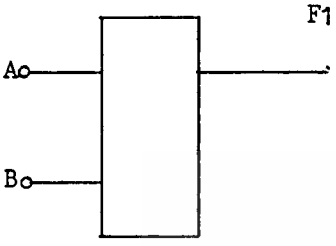
b . สำหรับ Logic NAND gate จะเป็น Inverse Operation กันกับ AND gate

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SYMBOL AND gate



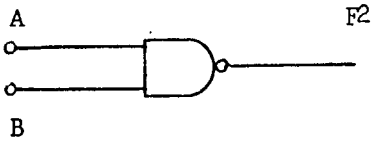
ASA Symbol



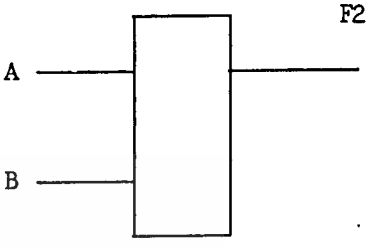
TRUTH TABLE

A	B	F1	F2
0	0	0	1
0	1	0	1
1	0	0	1
1	1	1	0

SYMBOL NAND gate



ASA Symbol

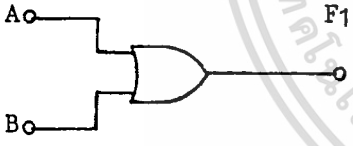


BOOLEAN FUNCTION F = A.B อ่านว่า เอ แอนด์ บี หรือ เอ ดอท บี

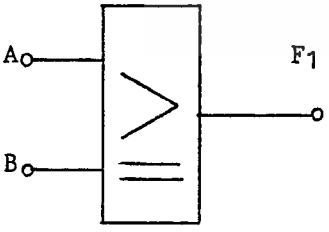
C. Logic OR gate สำหรับการทำงานของ ออร์เกท คือ จะให้ Output เป็น Logic "0" ได้ต่อเมื่อ all input are Logic "0" มีนั้นจะได้ Logic "1" ทั้งหมด

D. สำหรับ Logic NOR จะเป็น Inverse Operation กันกับ OR Operation

SYMBOL OR GATE



ASA SYMBOL

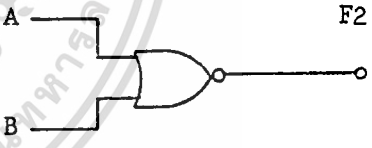


TRUTH TABLE

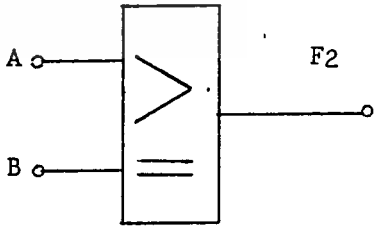
A	B	F1	F2
0	0	0	1
0	1	1	0
1	0	1	0
1	1	1	0

EUROPE SYMBOL

SYMBOL NOR GATE



ASA SYMBOL



BOOLEAN FUNCTION F = A + B อ่านว่า เอ ออร์ บี

E. Logical NOT จะให้ Output Logic เป็นตรงกันข้ามกันกับ Input Logic เสมอ NOT gate มีชื่อเรียกอีกชื่อ ว่า INVERTER

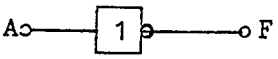
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ASA SYMBOL

TRUTH TABLE

A	F
0	1
1	0

EUROPE SYMBOL



Boolean Function $F = \bar{A}$

อ่านว่า เอบาร์ น้อท เอ

หมายเหตุ - ในการทดลอง ในใบงาน เราจะใช้เฉพาะ ASA Symbol เท่านั้น

- ไอซี TTL เบอร์เดียวกันอาจมีหลายจำพวก เช่น 74/54"L" , LS,S,H,C หรืออื่นๆ ซึ่งเวลานำเอาไปใช้งานก็ต้องเปิดคู่มือเพื่อหาขาที่ถูกต้องและ Spce ที่ต้องการ

อุปกรณ์ที่ใช้ในการทดลอง

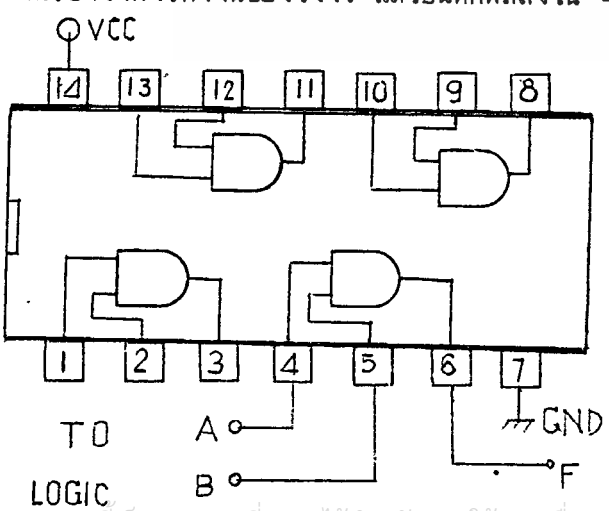
1. ชุดฝึก ดิจิตอล (LB03,04,-05,-06,-07,-08) หรือชุด Proto board 1 ชุด
2. IC TTL เบอร์ 7404 , 05 , 06 , 08 , 09 , 32 1 ชุด
3. DC Voltameter 1 ตัว
4. TTL DATA BOOK

ลำดับขั้นการทดลอง

1. ทดลองการทำงานของ AND Gate (เบอร์ 7408) โดยทำการต่อวงจรเพื่อต่อวงจรทดลองที่ 8.1 (LB04)

2. ต่ออินพุท A , B เข้าที่ Logic Input ของชุดฝึก และต่อเอ้าท์พุท F เข้าที่ Logic Monitor (Display LED or seven segment) และที่จุด F นี้เช่นกันให้ใช้ Voltemeter วัด Voltes (อย่าลืมต่อ Vcc,gnd ของตัวไอซีเข้ากับไฟ +5 , 0V ตามลำดับให้เรียบร้อย)

3. เปลี่ยนแปลง โลจิกอินพุทไปที่ "1" , "0" สังเกตุผลของ Logic monitor และ V_1 จนเข้าใจการทงานของวงจร แล้วบันทึกผลลงใน Truth Table 8.1



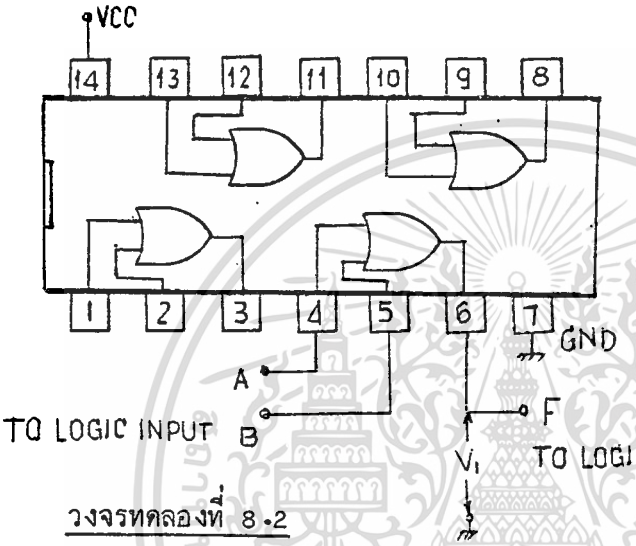
A	B	V_1 F_{12}	V_1 F_{13}	V_1 F
0	0			
0	1			
1	0			
1	1			

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4. ใช้วงจรที่ 8.1 เช่นเดิมทดลองอีกแต่ให้ใส่ เบอร์ 7409 (LB)%) ลงไปแทน เพื่อศึกษาถึงการทำงานของ ไอซี เบอร์นี้ โดยให้ทำการทดลองตามข้อ 1 และบันทึกผลการทดลองลงใน Table 8.1 ช่องที่ 2

5. จากข้อ 2 ให้ใช้ R 1 K (LB03) ต่อเข้าที่จุดต่อของ Vcc กับ Output F เสร็จแล้วทำการทดลองตามข้อ 1 บันทึกผลลงใน Table 8.1 ช่องที่ 3

6. ศึกษาการทำงานของ IC Logic OR Gate (เบอร์ 7432) โดยการต่อวงจรทดลองที่ 8.2 และต่อวงจรทดลองที่ 8.2 และต่อ Input , output ดังข้อ 1 และบันทึกผลการทดลอง

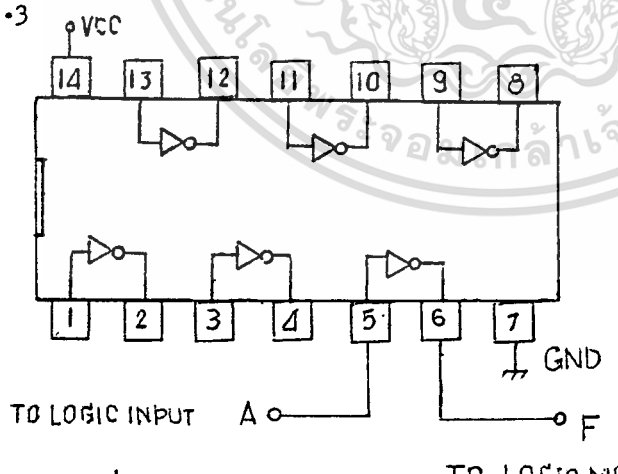


วงจรทดลองที่ 8.2

A	B	V1	F
0	0		
0	1		
1	0		
1	1		

Table 8.2

7. ทดสอบการทำงานของ NOT Gate โดยต่อวงจรทดลองที่ 8.3 และบันทึกผลลงใน Table 8.3



วงจรทดลองที่ 8.3

A	V1	F	V1	F	V1	F
0						
1						
	1		2		3	

Truth table

8. ใช้ไอซีเบอร์ 7405 (LB08) ใส่แทนเบอร์ 7404 แล้วทำการทดลองเช่นเดิมแต่บันทึกผลลงในช่องสอง

9. ใส่ R 1 K เข้าไปที่จุดต่อ Vcc กับ Output F แล้วทำการทดลองตามข้อ 8 แล้วบันทึกลงในช่องสามของ Truth Table 8.3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

คำถามท้ายการทดลอง

1. จงเปรียบเทียบผลการทดลองที่ได้ จาก Table 8.1 (ช่อง 1 , 2 และ 3)

2. จงเขียนโครงสร้างภายในของ ไอซี เบอร์ 7408 N และ 7409 N

3. จงแสดงการต่อวงจรโลจิกของ ไอซีเบอร์ 7409 ขนาด 4 เกท พร้อมทั้งแสดงวิธีคำนวณ RC ด้วย

4. จงเขียนโครงสร้างภายในของ ไอซี เบอร์ 74LS32N

5. จงเขียนโครงสร้างภายในของไอซีเบอร์ 74LS05N (Schematic diagram)

6. จงอธิายหรือให้ความหมายของคำต่อไปนี้

6.1 Schematic of logic gate 6.2 Pin Assignment off TTL

7. จากการทดลองไอซีเบอร์ 7432 เราสามารถนำเอาไอ_เบอร์นี้ตัวเดียวไปสร้างเป็น 5 อินพุท ออร์ เกท ได้หรือไม่ และมีแนวความคิดอย่างไร

สรุปผลการทดอลง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ใบงานที่ 9

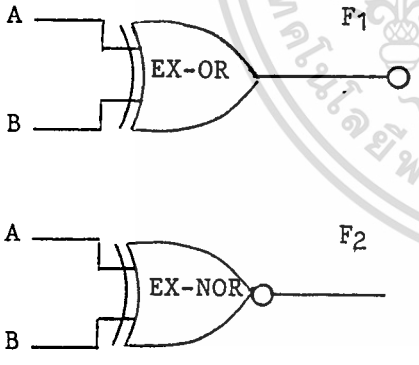
T.T.L IC LOGIC GATE 2

จุดมุ่งหมาย
- เพื่อศึกษาการทำงานของ IC NAND , NOR และ EXCLUSIVE-OR gate ชนิดต่างๆ
- เพื่อศึกษาวิธีการของ Inverse logic operation

จุดประสงค์เชิงพฤติกรรม เพื่อให้นักศึกษาสามารถ
- ประกอบวงจร Gate ที่ใช้ IC เบอร์ต่าง ๆ ทดลองได้
- บันทึกผลการทดลองและสร้าง Truth Table เองได้
- อธิบายการทำงานของ IC Logic Gate NAND,NOR,และEX-OR ได้
- ใช้คู่มือที่ที่แอลประกอบในการต่อวงจรได้

ทฤษฎีย่อ

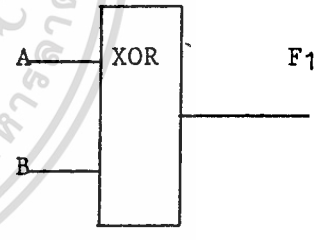
Inverse Operation คือการกระทำตรงกันข้ามทางโลจิกซึ่งหมายถึง OR,AND Operation NOR และ NAND ตามลำดับ และรายละเอียดของ NOR,NAND ได้แนะนำไว้ในใบงานที่ 7 แล้วแต่ Operator อีกตัวหนึ่งที่ระบบดิจิตอลใช้กันบมาก มีในวงจรคำนวณ , วงจรเปรียบเทียบและอื่นๆตัวนั้นคือ EXCLUSIVE -OR Gate (EX-OR) สัญญลักษณ์ และ Truth table สามารถแสดงได้คือ



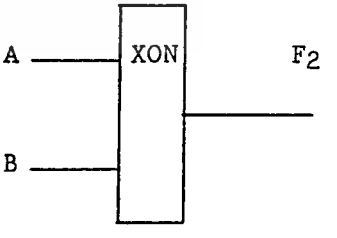
ASA Symbol

A	B	F_1	F_2
0	0	0	1
0	1	1	0
1	0	1	0
1	1	0	1

Truth table



EX - OR ,NOR



EUROPE Symbol

Boolean Function F_1 = $A\bar{B} + \bar{A}B$ อ่านว่า เอแอนด์บีบาร์ ออร์ เอบาร์แอนด์บี

= $(A+B)(\bar{A}+\bar{B})$ อ่านว่า เอ ออร์บี วงเล็บ เอบาร์ ออร์ บีบาร์

= $(A \oplus B)$ อ่านว่า เอ เอ็กคลุซีฟ ออร์ บี

และ Inverse Operation EX-OR คือ EX-NOR ที่ให้การทำงานเป็นตรงกันข้ามกับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

EX-OR Operation แต่ EX-NOR Gate ยังไม่มีบริษัทผลิตขึ้นเป็นเอกเทศ ยังมีเพียงแฝงไว้ในรูปของ EX-OR/NOR โดยใช้ Function เลือก เช่น IC เบอร์ 74135 เป็นต้น ดังนั้นการสร้าง EX-NOR จึงยังต้องใช้ EX-OR + NOT แทน สำหรับ Boolean function F ของ EX-NOR คือ

$F_2 = A.B + \bar{A}.\bar{B}$ อ่านว่า เอแอนด์บี ออร์ เอบาร์แอนด์บีบาร์

$= (A + \bar{B})(\bar{A} + B)$ อ่านว่า เอออร์บีบาร์ แอนด์ เอบาร์ออร์บี

$= \overline{A \oplus B}$ อ่านว่า เอ เอ็กคลุซีฟ นอร์ บี

สรุปได้ว่า EX - OR gate คือ เกทที่ให้ Output เป็น Logic "0" เมื่อมี Input ที่เหมือนกันทั้งหมด หากไม่ ก็จะให้ Output เป็น "1" หรือ "เกทที่ให้ Output เป็น "1" เมื่อมี Input ต่างกัน แต่ถ้ามี Input Logic เหมือนกันทั้งหมด จะได้ "0"

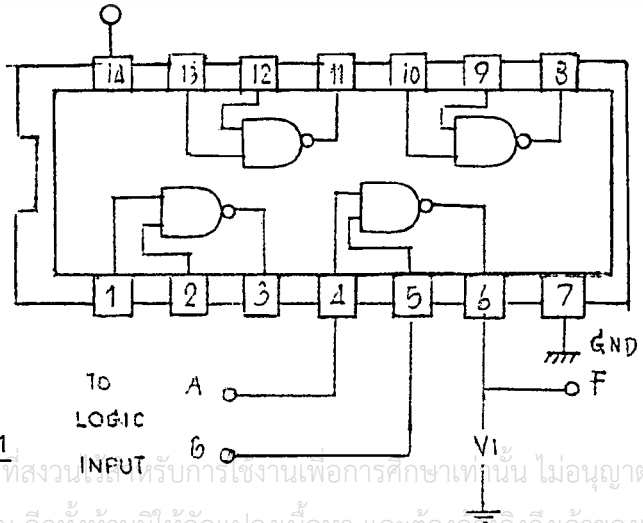
EX - NOR gate คือ "เกทที่ให้ Output Logic เป็น "1" เมื่อมี Input Logic เดียวกันทั้งหมด หากแตกต่างกันจะได้ Output Logic "0" เท่านั้น

อุปกรณ์ที่ใช้ในการทดลอง

1. ชุดฝึกดิจิตอล LB03,08,09,10,11,12,13
2. IC TTL เบอร์ 7400,01,02,03,04,05,08,09,32,86 1 ตัว
3. Resistor ตามที่คำนวณได้
4. DC Voltmeter 1 ตัว

ลำดับขั้นการทดลอง

1. ทดลองการทำงานของ NAND gate (74LS00) โดยทำการต่อวงจรทดลองที่ 9.1
2. ต่ออินพุท A,B เข้าที่ Logic Input ของชุดฝึก และต่อ Output F เข้าที่ Logic Monitor (Display LED or Seven Segment) และที่จุด F นี้เช่นกันให้ใช้ Voltmeter วัด Volt (อย่าลืมต่อ Vcc,GND ของตัวไอซีเข้ากับไฟ + 5V ,0V ตามลำดับให้เรียบร้อย)
3. เปลี่ยนแปลงลอจิกอินพุทไปที่ "1","0" สังเกตุผลของ Logic Monitor และ V_1 จนเข้าใจการทำงานของวงจร แล้วบันทึกผลลงใน Truth table 9.1 ช่องที่ 1



วงจรที่ 9.1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

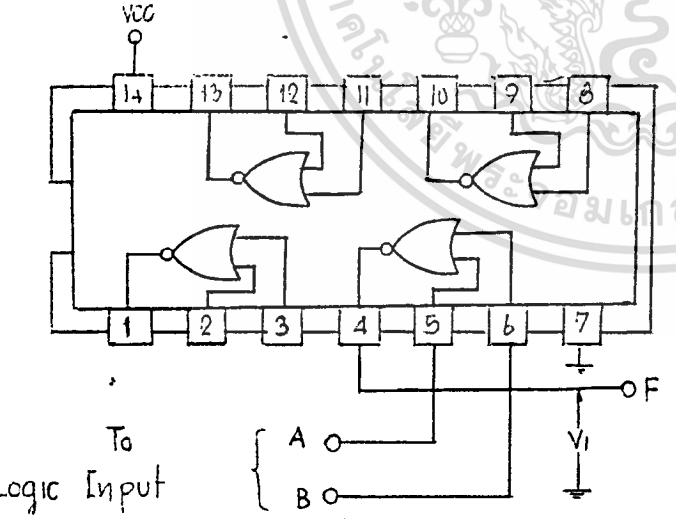
Table ที่ 9.1

A	B	V1	F	V1	F	V1	F
0	0						
0	1						
1	0						
1	1						
		1		2		3	

4. ใช้วงจรที่ 9.1 เช่นเดิมทดลองอีกแต่ให้ใส่ เบอร์ 74LS03 ลงไปแทน เพื่อศึกษาการทำงานของไอซี เบอร์นี้ โดยให้ทำการทดลองตามข้อ 3 และบันทึกผลกาทดลองลงใน Table 9.1 ช่องที่ 2

5. จากข้อ 4 ให้ใช้ R 1K LB03 ต่อเข้าที่จุดต่อของ Vcc กับ Output F เสร็จแล้วทำการทดลองและบันทึกผลลงในช่อง 3 (Table 9.1)

6. ศึกษาการทำงานของ IC Logic NOR Gate (7402) โดยการต่อวงจรทดลองที่ 9.2 และต่อ Input , Output ดังข้อ 2,3 แล้วบันทึกผลการทดลองลงในตารางที่ 9.2 ช่อง 1



วงจรทดลองที่ 9.2

A	B	V1	F	V1	F	V1	F
0	0						
0	1						
1	0						
1	1						
		1		2		3	

Table 9.2

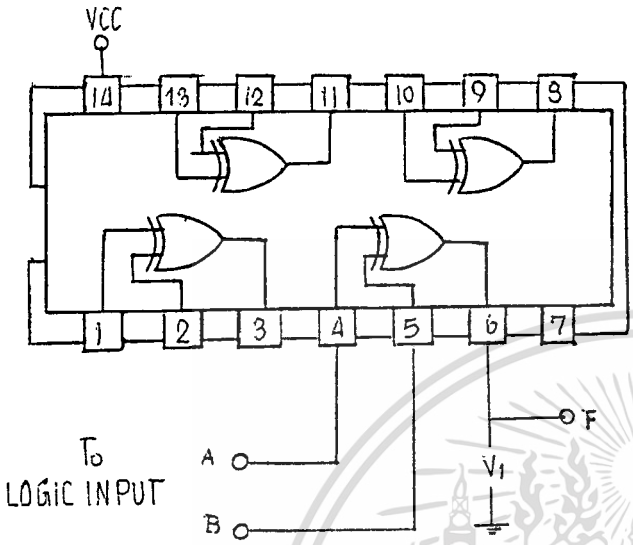
7. ใช้งจรที่ 9.2 เช่นเดิมทดลองอีกแต่ให้ใส่ เบอร์ 74LS33 ลงแทน เพื่อศึกษาการทำงานของ ไอซี เบอร์นี้ โดยให้การทำการทดลองตามข้อ 3 และบันทึกผลการทดลองลงใน Table 9.2 ช่องที่ 2

8. จากข้อ 7 ให้ใช้ R 1 K ต่อเข้าที่จุดต่อของ Vcc กับ Output F เสร็จแล้วทำการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ทดลองและบันทึกผลลงในช่อง 3 Table 9.2

9. ทดสอบการทำงานของ EX- OR Gate (74LS86) โดยต่อวงจรทดลองที่ 9.3 ทำการทดลองตามข้อ 2,3 แล้วบันทึกผลที่ได้ลงใน Table 9.3

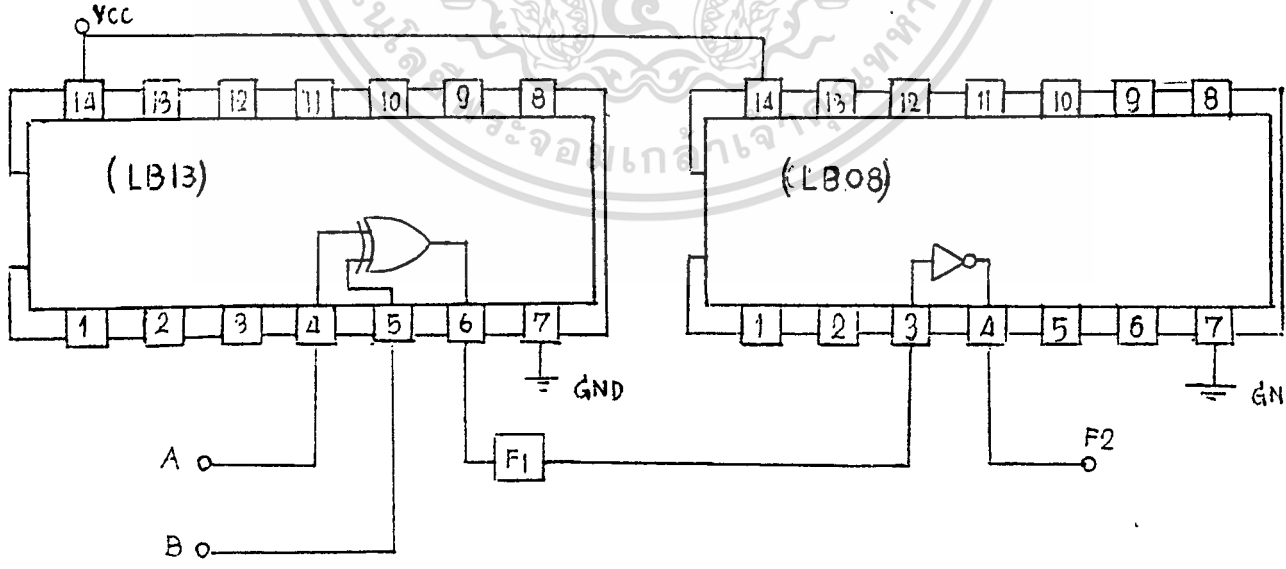


A	B	V1	F	V1	F	V1	F
0	0						
0	1						
1	0						
1	1						
		1		2		3	

วงจรทดลองที่ 9.3 Table 9.2

10 ทดสอบการทำงานของ EX - NOR Gate โดยการต่อ Inverter เข้าที่ Output ของวงจรที่ 9.3 (หรือใช้ LB14)

11. ทำตามลำดับขั้นข้อ 2,3 แล้วบันทึกผลการทดลองลงใน Table 9.4



วงจรทดลองที่ 9.4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

A	B	F1	F2
0	0		
0	1		
1	0		
1	1		

Table 9.4

คำถามท้ายการทดลอง

1. จงเขียน Schematic diagram ของ IC เบอร์ 74LS00 และ เบอร์ 74LS01 อย่างละ 1 Gate

2. จงอธิบายถึงความแตกต่างของการทดลอง IC เบอร์ 74LS01 มาพอเข้าใจ

3. จงเขียน Logic diagram NOT Gtae ที่ถูกสร้างมาจาก IC เบอร์ 74LS00 และ เบอร์ 74LS01 / วงจร

4. จงเขียน Logic diagram ของ NAND Gate 4 input ตามมาตรฐานยุโรป

5. จงอธิบายผลของ F ทั้งสามช่อง จาก Table 9.2 ว่าเกิดผลเช่นนั้นได้อย่างไร ช่องไหนที่ใช้งาน

6. จงให้ความหมายของคำว่า "Buffer" เช่น EX-OR Buffer เป็นต้น

7. เราจะสร้าง EX-NOR Gate มาจาก NOR Gate ได้หรือไม่-อย่างไร อธิบายพร้อมทั้งเขียนวงจรประกอบ

8. เราจะสร้าง EX-NOR Gate มาจาก NAND Gate อย่างเดียว ได้หรือไม่ อย่างไร

9. จงบอกลักษณะอาการที่เกิดขึ้น เมื่อเราไม่ได้ใส่ RC สำหรับ IC open collecter

10. หาตัวอย่างวงจร ที่ใช้ IC เบอร์ 74LS86 มา 1 วงจร

11. Output ของ Gate จะเป็นอย่างไร เมื่อลอยขา ไอซีทาง Input ทั้งหมด จงอธิบาย -ยกตัวอย่าง

12. เราจะสร้างวงจรเตือนน้ำเต็มตุ่ม , ห้องน้ำ ได้อย่างไร จงอธิบายและเขียนวงจร

สรุปผลการทดลอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ใบงานที่ 10

LOGIC CIRCUIT COMBINATION

จุดมุ่งหมาย เพื่อให้นักศึกษา

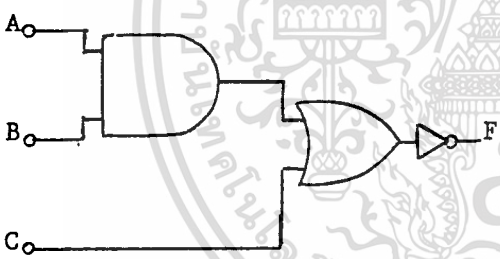
1. ศึกษาความหมายและลักษณะของวงจรรวม (Combination circuit)
2. ได้ทราบถึงรายละเอียดเกี่ยวกับวงจร AOI,OAI และวงจรอื่นๆ

จุดประสงค์เชิงพฤติกรรม

1. ให้นักศึกษาสามารถประกอบวงจรโลจิกเกท ทดลองได้
2. ให้นักศึกษาสามารถเขียน Truth Table ของวงจรโลจิกนั้นได้
3. ให้สามารถอธิบายการทำงานของวงจรที่ทดลองได้
4. ให้สามารถสร้างหรือออกแบบวงจรรวม (Combination logic circuit)

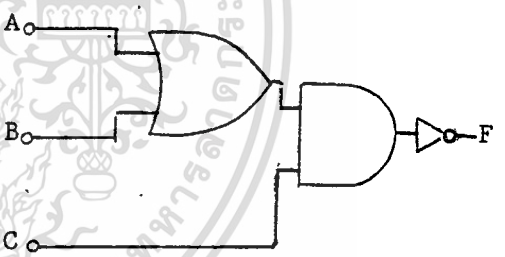
ทฤษฎี

Logic combination circuit หมายถึง วงจรโลจิกที่รวมเอาเกทต่างๆเช่น OR,AND, INVERTER และอื่นๆ ต่อรวมเข้าเป็นวงจรเดียวกันซึ่งจะให้ Output เดียว และมีการเรียกชื่อของวงจรนั้นตามตัวเกทที่นำมาใช้ต่อในแต่ละ Segment ลำดับดังรูป



A : O : I

เรียกว่าวงจร เอ - โอ - ไอ



O : A : I

เรียกว่าวงจร โอ - เอ - ไอ

วงจรคอมบิเนชั่นหรือจะเรียกว่าวงจรหลายภาค (Many stage) ที่ประกอบด้วยหลายๆ อินพุท ก็ได้

อุปกรณ์ที่ใช้

1. ชุดฝึกดิจิตอล LB_{04} , LB_{06} , LB_{07} 1 ชุด
2. IC เบอร์ 7400 , 02 , 04 , 08 , 32 , 50 , 51 / 1 ตัว
3. TTL DATA BOOK

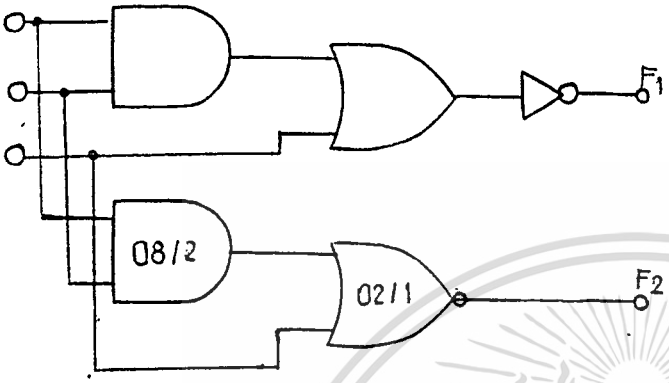
ลำดับขั้นการทดลอง

1. ทำการทดลองวงจร AOI โดยประกอบวงจรทดลองที่ 10.1 (เปิดคู่มือดูตำแหน่งของขาต่างๆของไอซีเบอร์ที่ใช้ และอย่าลืมต่อ Vcc,GND ของไอซีตัวที่ใช้ให้เรียบร้อยด้วย)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2. ทำการต่ออินพุท (A,B,C) เข้ากับอินพุท Logic switch ของเครื่องและต่อ F เข้ากับ output logic MONITOR แล้ว ON POWER SWITCH ของเครื่อง ทำการเปลี่ยนแปลงโลจิกอินพุทและ สังเกตุผลของ Logic monitor จนเข้าใจการทำงน แล้วบันทึกผลลงใน Table 10.1

เบอร์ 08/1 เบอร์ 32/1 เบอร์ 04/1



(LB04,06,07,11)

วงจรที่ 10.1

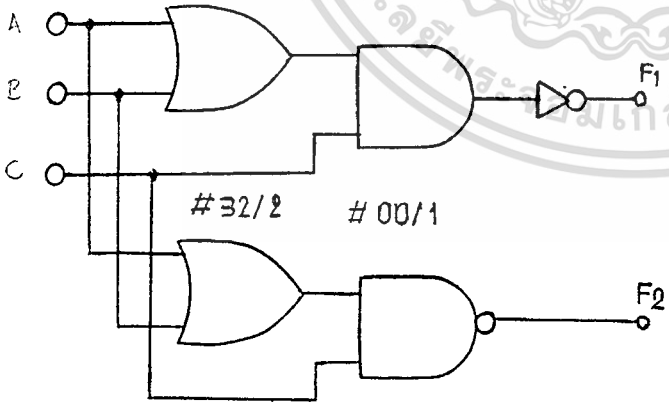
ลำดับ	A	B	C	F1	F2
1	0	0	0		
2	0	0	1		
3	0	1	0		
4	0	1	1		
5	1	0	0		
6	1	0	1		
7	1	1	0		
8	1	1	1		

Table 10.1

3. ทำการทดลองวงจร OAI โดยประกอบวงจรทดลองที่ 10.2

4. ทำการทดลองตามข้อ 2 และบันทึกผลลงใน Table 10.2

เบอร์ 32/1 เบอร์ 08/1 เบอร์ 04/1



(LB04,06,07,09)

วงจรที่ 10.2

ลำดับ	A	B	C	F1	F2
1	0	0	0		
2	0	0	1		
3.	0	1	0		
4	0	1	1		
5	1	0	0		
6	1	0	1		
7	1	1	0		
8	1	1	1		

Table 10.2

5. ให้ศึกษาไอซีเบอร์ 54/74-50,51,52,53,54,55,62,64,65 จากคู่มือและสร้างวงจรทดลองเองหากมีปัญหาใดๆ ปรึกษาหรือสอบถามกับอาจารยผู้คุมทันที

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

คำถามท้ายบท

1. ให้อธิบายถึงผลของ F1,F2 ที่ได้จากการทดลองวงจรที่ 10.1 ได้ผลเหมือนกันหรือไม่อย่างไร

2. จากวงจรและ Table 10.1 Logic Function F1 = ...

F 2 = ...

3. จงสร้างวงจรโลจิกทดลองพร้อมกับทำ Truth Table แสดงผลของ F1,F2,F3 ที่ให้ผลเป็นไปตาม ฟังชั่นดังต่อไปนี้

4. จากการทดลองของวงจรที่ 10.2 ผลของ F1,F2 เหมือนกันหรือไม่ อย่างไร เพราะเหตุไร

5. จากการทดลองข้อ 4 Logic Function F1 = ...

F2 = ...

6. จงสร้างวงจรโลจิก พร้อมทั้งสร้าง Truth Table แสดงผลของ F1,F2 เมื่อวงจรทำงานตามฟังชั่นดังต่อไปนี้

$$F1 = \overline{((A + B + c).D) + A\,\bar{B}\,C}$$

$$F2 = \overline{(A + \bar{B})(\bar{A} + C)(\bar{B} + \bar{C})}$$

7. จงเขียน PIN ASSIGNMENT OF IC เบอร์ 74-51,55,64

8. จงให้ความหมายของคำที่ขีดเส้นใต้ และอธิบายประกอบให้เข้าใจในข้อความทั้งหมด

EXPANDABLE 4 - WIDE AND - OR GATE

สรุปผลการทดลอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ใบงานที่ 11

BOOLEAN LAWS AND THEOREM

จุดมุ่งหมาย - เพื่อพิสูจน์กฎและทฤษฎีของ Boolean ให้เห็นจริง
- เพื่อศึกษาพีชคณิตของบูลีน (Boolean algebra)

จุดประสงค์เชิงพฤติกรรม เพื่อให้นักศึกษาสามารถ

1. แสดงวิธี การพิสูจน์กฎและทฤษฎีต่างๆของ บูลีนได้
2. ต่อหรือประกอบวงจรทดลองได้ถูกต้อง
3. นำกฎและทฤษฎีต่างๆของ บูลีนไปใช้ในการออกแบบวงจรโลจิกได้

ทฤษฎีย่อ

Boolean algebra เป็นพีชคณิตของ บูลีนที่นำมาใช้สำหรับแก้ปัญหาและวิเคราะห์วงจรโลจิก โดยใช้ในการลดรูปฟังชั่นทางโลจิก ให้ง่ายเข้าหรือออกแบบวงจรเกทต่างๆตามที่ต้องการได้อีกด้วย กฎ ทฤษฎีและข้อตกลงต่างๆตามวิธีของ Booleab algebra แสดงได้ดังต่อไปนี้

A. Boolean postulate คือข้อตกลงสำหรับการกระทำเบื้องต้นของ Boolean algebra มี 7 ข้อ และสามารถอธิบายการกระทำในแต่ละข้อได้ ดังต่อไปนี้

P_1) : X = 0 or X = 1 :(ตัวแปรใดๆจะต้องมีเพียงสองค่าเท่านั้นคือ "1"และ "0")

P_2) : 0.0 = 0 :(การแอนด์ของโลจิก "0" จะให้ผลเท่าเดิมคือ "0")

P_3) : 1 + 1 = 1 :(การกระทำออร์ของโลจิก "1" จะให้ผลเป็น "0")

P_4) : 0 + 0 = 0 :(การกระทำออร์ของโลจิก "0" จะให้ผลเป็น "0")

P_5) : 1.1 = 1 :(การกระทำแแอนด์ของโลจิก "1" จะเป็นผลให้ "1")

P_6) : 1.0 = 0.1 = 0 :(การกระทำแอนด์ของโลจิกต่างกันจะให้ผลเป็น "1")

P_7) : 1 + 0 = 0 + 1 = 1 :(การกระทำออร์ของโลจิกต่างกันจะให้ผลเป็น "1")

B. Boolean laws and theorem คือ กฎและทฤษฎีต่างของ บูลีนที่กำหนดขึ้นใช้สำหรับการกระทำใดๆของตัวแปรต่างๆ มี 10 หัวข้อ ดังต่อไปนี้

T_1) : Commutative laws : กฎของการสลับที่ "จะไม่มีการเปลี่ยนแปลงใดของ

a. : A + B = B + A : "ฟังชั่นแอนด์หรือออร์เมื่อตัวแปรสลับที่หรือเปลี่ยนที่"

b. : A.B = B.A :

T_2) : Associative laws : กฎการจัดหมู่ "สำหรับตัวแปรใดๆ ที่กระทำ OR หรือ AND

a. :(A + B) + C = A + (B + C) :กันจะไม่เปลี่ยนแปลงค่าไปเมื่อมีการกระทำ

b. :(A . B) . C = A .(B . C) : ก่อนหรือหลัง

T_3) : Distribution laws : กฎการแจกแจง "ผลของการแจกแจงวงจร AO หรือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

a. : $A.(B + C) = A.B + A.C$: OA ที่อยู่ในรูปตัวแปรกับวงเล็บ จะไม่เปลี่ยน

b. : $A + (B.C) = (A+B).(A+C)$: แปลงเมื่อทำการแยกวงเล็บ

T_4) : Identity laws : กฎของการเหมือน "ผลของการกระทำ OR หรือ AND

a. : $A + A = A$: ตัวแปรเดี่ยว ค่าที่ได้ก็คือค่าของตัวแปรนั้น"

b. : $A . A = A$

T_5) : Negative laws : กฎการลบล้าง "ผลคงจะคงเดิมเมื่อถูกกระทำเป็นจำนวนคู่

a. : $(\bar{A}) = \bar{A}$: ครั้ง และจะเป็นตรงข้ามเมื่อถูกกระทำเป็นจำนวน คี่ครั้ง"

b. : $(\bar{\bar{A}}) = A$

T6) : Redundance laws : กฎการสูญหาย "duality ของ expression ที่เท่ากัน

a. : $A + A.B = A$: จะมีค่าเท่ากัน"

b. : $A . (A+B) = A$

T_7) : a. $A.1 = 1.A = A$: จะให้ผลเหมือนตัวแปรนั้นกระทำ AND กับ "1" จะให้

: b. $0 + A = A + 0 = A$: ผลเหมือนตัวแปรนั้นกระทำ OR กับ "1" จะให้

: c. $1 + A = A + 1 = 1$: ผลเป็น "1" เมื่อตัวแปรนั้นกระทำ OR กับ "1"

: d. $0 . A = A . 0 = 0$: จะให้ผลเป็น"0" เมื่อตัวแปรนั้นกระทำ AND กับ "0" "

T_8) : a. $\bar{A} + A = 1$: เป็น"1" เมื่อตัวแปรกระทำ OR กับ Invert ของตัว

: b. $\bar{A} . A = 0$: มันเป็น "0" เมื่อตัวแปรกระทำ OR กับ Invert ของตัวมัน

T_9) : a. $A + \bar{A}.B = A + B$: สำหรับ Expression ที่เป็น Dual กัน จะให้ผล

: b. $A . (\bar{A}+B) = A.B$: เป็น dual กันด้วย เมื่อถูกลดทอนลง

T_{10}) : Demorgan's theorem : ทฤษฎีของ ดีมอร์แกน

: a. $\overline{A + B} = \bar{A} . \bar{B}$: NOR มาจาก dot AND

: b. $\overline{A . B} = \bar{A} + \bar{B}$: NAND มาจาก dot OR

T_{11}) : Consensus theorem : ทฤษฎี คอนเซนซัส

: a. $AB + \bar{A}C + BC = AB + \bar{A}C$

: b. $(A+B)(\bar{A}+C)(B+C) = (A+B)(\bar{A}+C)$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำหรับกฎและทฤษฎีต่างๆ สามารถพิสูจน์ได้ด้วยการสร้าง Truth table แสดงหรืออาจใช้ด้วย Boolean algebra โดยตรง ก็ได้ซึ่งเฉพาะวิธีของ algebra นี้จะนำ Display function มาอธิบาย ส่วนการพิสูจน์ด้วย truth table นั้นจะทำได้โดยการแยกเทอมของ Expression นั้นๆ อกทีละขั้นตามลำดับซึ่งวิธีนี้จะเข้าใจง่ายกว่าแต่ ต้องใช้เนื้อที่มาก ดังตัวอย่าง

เช่น จงพิสูจน์ว่า $A.B + A.\bar{B} = A$

Truth table.

A	B	AB	$A\bar{B}$	$AB + A\bar{B}$
0	0	0	0	0
0	1	0	0	0
1	0	0	1	1
1	1	1	0	1

Algebra

$$A = A.B + A.\bar{B}$$
$$= A\,(B + \bar{B})$$
$$= A \cdot 1$$
$$= A$$

ประโยชน์ของ Boolear algebra

1. ใช้ลดรูปฟังชั่น (Simplify function)
2. ใช้ออกแบบวงจรที่ใช้เกทเพียงอย่างเดียว (Manipulate function)
3. อื่น ๆ

อุปกรณ์ที่ใช้

1. ชุดฝึกดิจิตอล (LB_{04}, -06, -07, -09, -11, 14) 1 ชุด
2. IC เบอร์ 74-00, 02, 04, 08, 10, 11 / 1 ตัว
3. TTL DATA BOOK

ลำดับขั้นการทดลอง

- ทำการประกอบวงจรต่างๆดังต่อไปนี้ทดลอง แล้วบันทึกผลที่ได้ลงใน Trurh table (หากการทดลองวงจรมีปัญหา ให้สอบถามอาจารย์ผู้คุมทันที)

LAWS AND THEOREM

$_1a = (A+B) + C$
$= A + (B+C)$
$= A+B+C$

$_1b = A.(B.C)$
$= (A.B).C$
$= A.B.C$

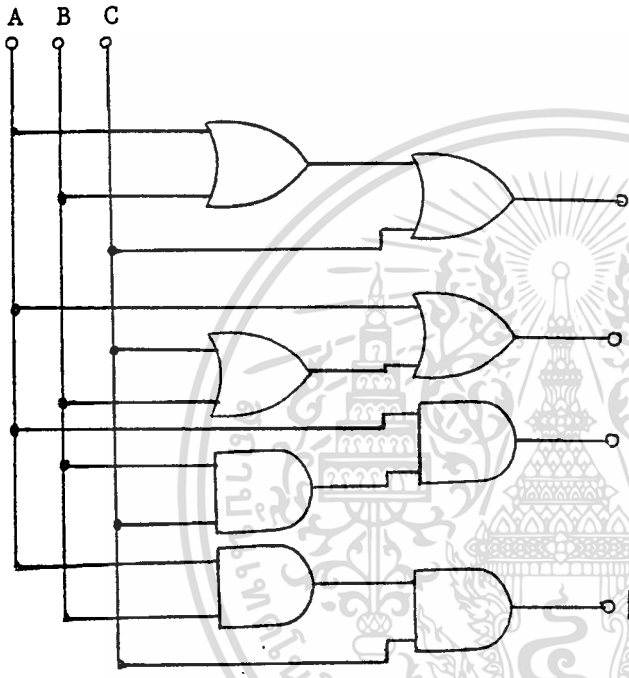
TRUTH TABLE

A	B	C	F_1	F_2	F_3	F_4
0	0	0				
0	0	1				
0	1	0				

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

0	1	1				
1	0	0				
1	0	1				
1	1	0				
1	1	1				

CIRCUIT



2a = A. (B+C)

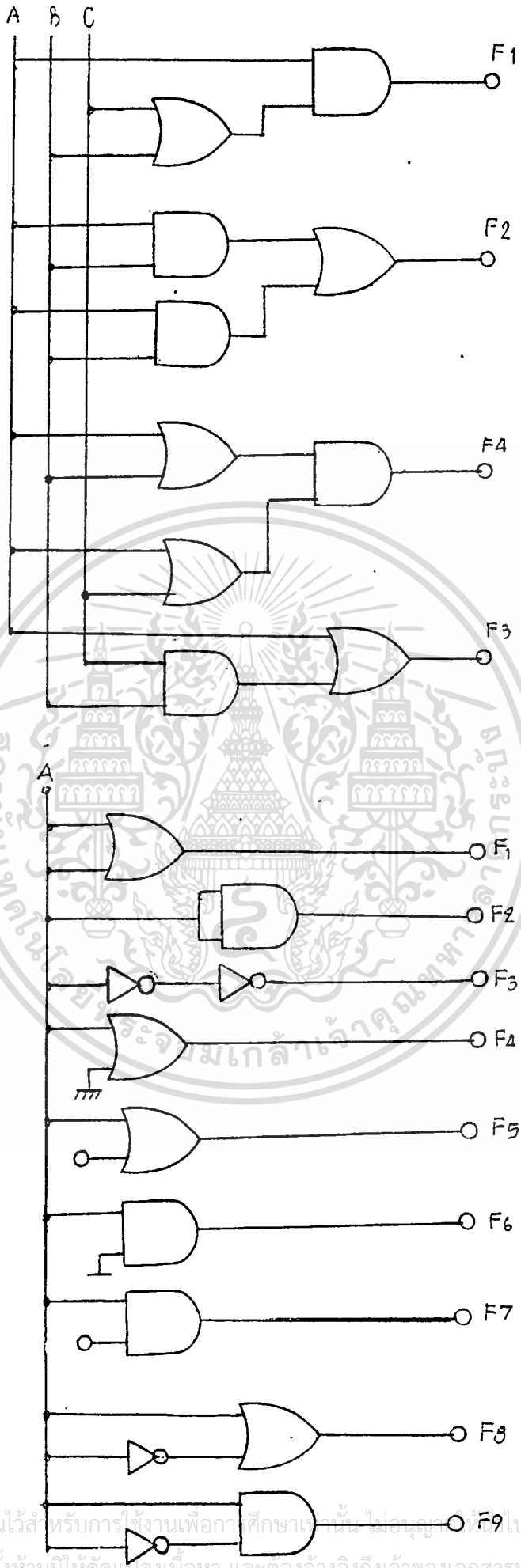
= A.B + A.C

2b = A + (B.C)

= (A+B).(A+C)

A	B	C	F1	F2	F3	F4
0	0	0				
0	0	1				
0	1	0				
0	1	1				
1	0	0				
1	0	1				
1	1	0				
1	1	1				

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



3a, $A + A = A$

3b, $A \cdot A = A$

3C, $\bar{\bar{A}} = A$

3d, $A + 0 = A$

3e, $A + 1 = 1$

3f, $A \cdot 0 = 0$

3g, $A \cdot 1 = A$

3h, $A + \bar{A} = 1$

3i, $A \cdot \bar{A} = 0$

F	A	
	0	1
F1		
F2		
F3		
F4		
F5		
F6		
F7		
F8		
F9		

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

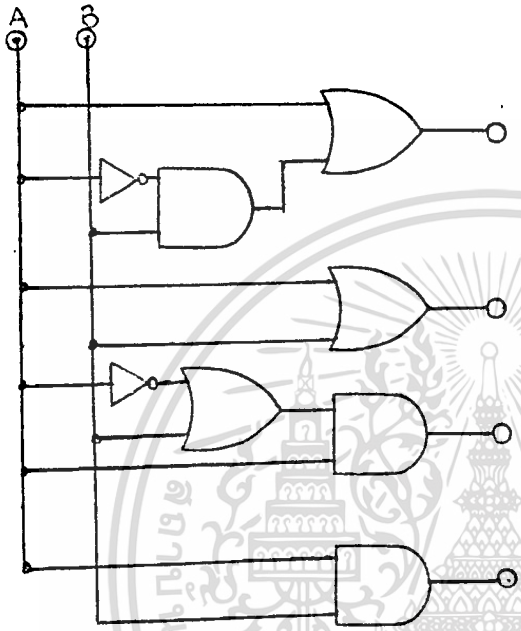
4a, = $A + \bar{A} \cdot B$

= $A + B$

4b, = $A \cdot (\bar{A}+B)$

= $A \cdot B$

A	B	F1	F2	F3	F4
0	0				
0	1				
1	0				
1	1				



5a = $AB + \bar{A}C + BC$

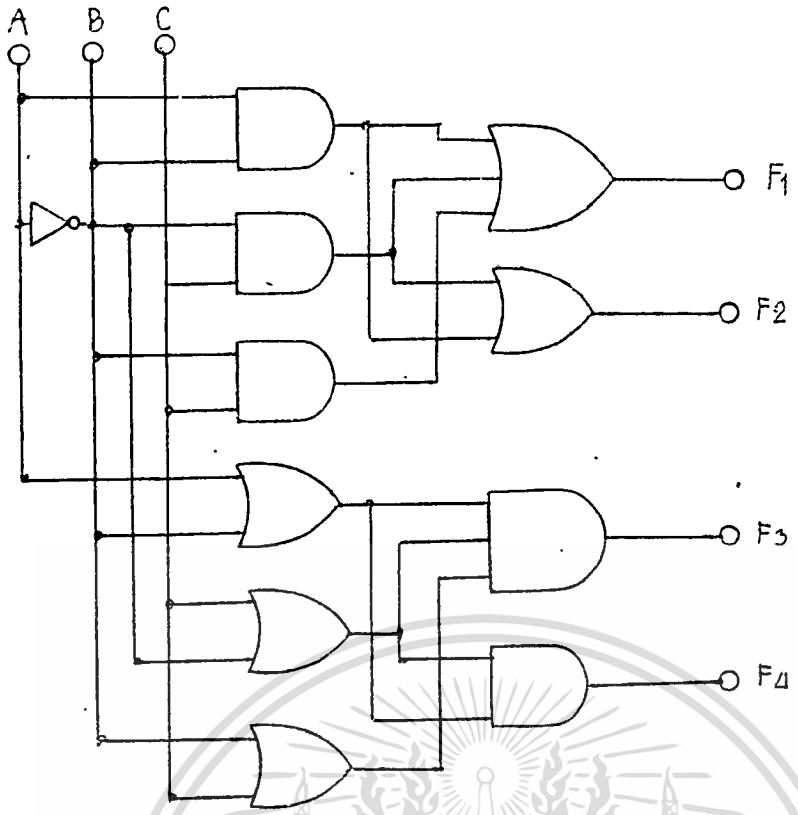
= $AB + \bar{A}C$

5b = $(A+B)(\bar{A}+C)(B+C)$

= $(A+B).(\bar{A}+C)$

A	B	C	F1	F2	F3	F4
0	0	0				
0	0	1				
0	1	0				
0	1	1				
1	0	0				
1	0	1				
1	1	0				
1	1	1				

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



LB15

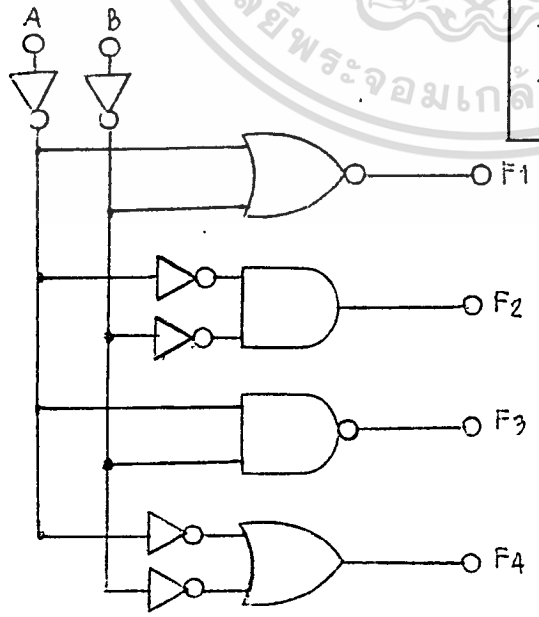
6a, = $\overline{A + B}$

= $\bar{A} \cdot \bar{B}$

6b, = $\overline{A \cdot B}$

= $\bar{A} + \bar{B}$

A B	F1	F2	F3	F4
0 0				
0 1				
1 0				
1 1				



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

7^a, $= \overline{\bar{A} \cdot \bar{B}}$

$= \bar{\bar{A}} + \bar{\bar{B}}$

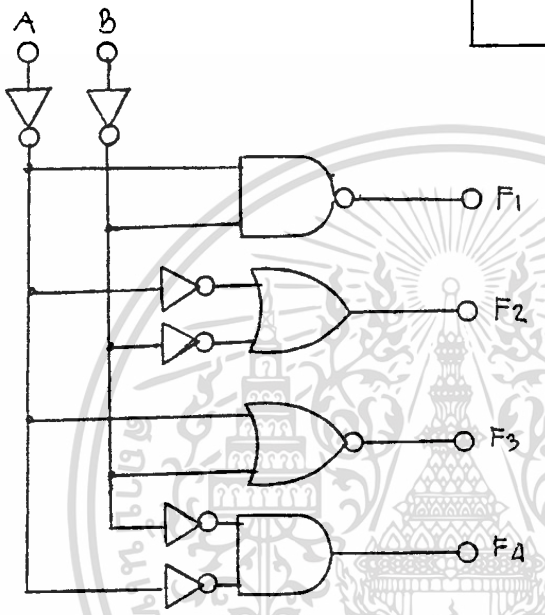
$= A + B$

7^b, $= \overline{\bar{A} + \bar{B}}$

$= \bar{\bar{A}} \cdot \bar{\bar{B}}$

$= A \cdot B$

A	B	F1	F2	F3	F4
0	0				
0	1				
1	0				
1	1				



คำถามท้ายบท

1. จากการทดลอง $1^a, 1^b$

1.1 $F_1 = F_2$ = OR Gate 3 I/P หรือไม่ เพราะอะไร

1.2 $F_3 = F_4$ = AND Gate / I/P หรือไม่ เพราะอะไร

1.3 แสดงว่า (((A+B)+C)+D)+E = A+B+C+D+E ใช่หรือไม่เขียน Logic diagram แสดง

1.4 แสดงว่า (((A.B).C).D).E = A.B.C.D.E ใช่หรือไม่เขียน Logic diagram แสดง

2. จากการทดลองวงจรข้อ $2^a, 2^b$ แสดงว่า ทั้งข้อ $2^a, 2^b$ ต่างก็เป็น duality function ซึ่งกันและกันใช่หรือไม่และ A (B+C) = A+(B+C) ใช่หรือไม่ อย่างไร

3. จากการทดลองข้อ 3^a-3^i จงแสดงวิธีการนำไปใช้งาน และยกตัวอย่างที่ใช้ของทฤษฎีดังกล่าว

4. จากการทดลองข้อ $4^a, 4^b$

4.1 จงใช้ Boolean algebra แสดงให้เห็นจริงว่า $A + \bar{A}B = A + B$ และ $A.(\bar{A}+B) = A.B$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2 $\bar{A} + AB = \bar{A} + B$ ใช่หรือไม่ อย่างไร จงพิสูจน์

4.3 $\bar{A}.(A+B) = \bar{A}+B$ ใช่หรือไม่ อย่างไร จงพิสูจน์

5. จงใช้ Boolean algebra พิสูจน์ ให้เห็นจริงว่า

5.1 $AB + \bar{A}C + BC = AB + \bar{A}C$ และ : $BC + A\bar{C} + AB =$?

5.2 $(A+B)(\bar{A}+C)(B+C) = (A+B)(\bar{A}+C)$ และ : $(B+C)(A+\bar{B})(A+C) =$?

6. จากการทดลองข้อ 6a,6b จงเขียน Logic diagram โดยใช้ Gate ตามที่กำหนดให้เท่านั้น

6.1 $A\bar{B}C + AB\bar{C} + \bar{A}BC$ ให้ใช้ NAND Gate เพียงอย่างเดียว

6.2 $(\bar{A}+B+C)(A+\bar{B}+C)(A+\overline{B+C})$ ให้ใช้ NOR Gate เพียงอย่างเดียว

7. จากการทดลองข้อ 7a,7b จงสร้างวงจรและทดลองผลเพื่อพิสูจน์ Epression ดังต่อไปนี้

7.1 $\overline{\bar{A}.\bar{B}.\bar{C}} = A+B+C$ 7.2 $\overline{\bar{X} + \bar{Y} + \bar{Z}} = XYZ$

8. จงเขียน Pin assignment ของ IC มีชื่อว่า

- Triple 3 I/P AND Gate และ - Dual 4 I/P AND Gate

<u>สรุปผลการทดลอง</u>

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บททดลองที่ 12

เรื่อง : NAND & NOR OPERATION

จุดมุ่งหมาย : เพื่อให้นักศึกษา

1. ศึกษาวิธีการใช้งานของ NAND GATE และ NOR GATE
2. เข้าใจในการ MANIPULATION ของ LOGIC FUNCTION or EXPRESSION

จุดประสงค์เชิงพฤติกรรม : ให้นักศึกษาสามารถ

1. แสดงวิธีการ MANIPULATE LOGIC FUNCTION ได้ถูกต้อง
2. นำ NAND , NOR GATE ไปใช้แทน OR , AND , NOT และ EX-OR GATEได้
3. นำ NAND ไปสร้างเป็น NOR หรือในทางกลับกันได้

คำแนะนำ :

Manipulate function or expression คือการกระทำ boolean function หรือ expression ให้อยู่ในรูปของ function หรือ expression ของตัวกระทำใดๆได้ ทำให้สามารถใช้เกทเพียงอย่างเดียว ซึ่งจะทำให้การต่อหรือประกอบวงจรได้ง่ายขึ้น และยังเกิดการประหยัดเกทได้อีกด้วย ขั้นตอนการ Manipulate function แสดงได้ดังต่อไปนี้

1. นำ boolean function นั้นๆใส่ double bar ($\overline{\overline{A}} = A$)
2. ใช้ Demorgan's theorem ทำกับ function ที่ได้จากข้อ 1.
3. เขียน function ให้อยู่ในรูปที่ต้องการ

ดังตัวอย่าง จงทำการเปลี่ยนรูปฟังชั่นดังต่อไปนี้ (Manipulate function)

a. $\overline{A}B + A\overline{B}$ b. $(\overline{A+B}) = (A+\overline{B})$

วิธีทำ

$= \overline{\overline{A}B + A\overline{B}}$

$= \overline{\overline{A}B + A\overline{B}}$:$(\overline{\overline{A}}=A)$

$= \overline{\overline{A}.B} \cdot \overline{A.\overline{B}}$:$(\overline{(A+B)} = \overline{A}.\overline{B})$ Demorgan's theorem

$= \overline{\overline{A}.B} \cdot \overline{A.\overline{B}}$ - สามารถใช้NAND เพียงอย่างเดียว***-(1

B $= (A+B)(A+\overline{B})$

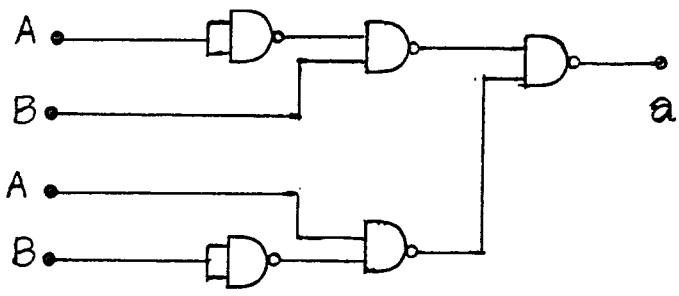
$= \overline{(A+B)(A+\overline{B})}$:$(\overline{\overline{A}} = A)$

$= \overline{(A+B)} + \overline{(A+\overline{B})}$:$(\overline{(A.B)} = \overline{A} + \overline{B})$ Demorgan's theorem

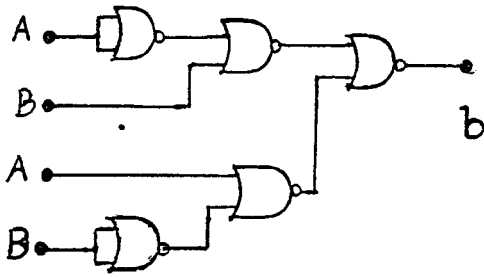
$= \overline{(A+B)} + \overline{(A+\overline{B})}$: สามารถใช้NOR เพียงอย่างเดียว***-(2

ทั้งสองสมการสามารถเขียนเป็นโลจิกไดอะแกรมแสดงได้ดังรูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



a



b

A. ใช้ NAND GATE เพียงอย่างเดียว

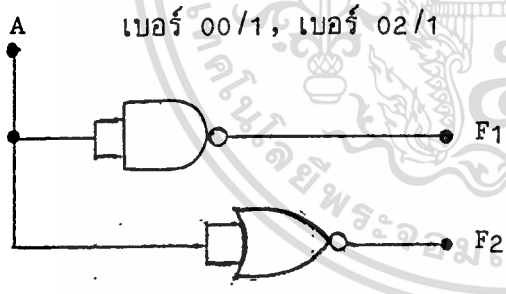
B. ใช้ NOR GATE เพียงอย่างเดียว

อุปกรณ์ที่ใช้ :

1. ชุดฝึกดิจิตอล 1 ตัว
2. IC เบอร์ 54/74-00 ,02,12,27 1 ตัว
3. TTL DATA BOOK

ลำดับขั้นการทดลอง :

1. ทำการทดลองการใช้ NOR หรือ NAND GATE มาทำเป็น NOT GATE โดยประกอบวงจรทดลองที่ 12.1



วงจรที่ 12.1

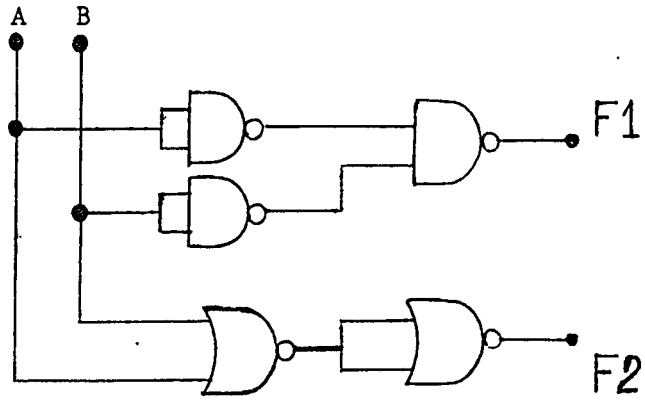
A	F1	F2
0		
1		

Table 12.1

2. ต่ออินพุท เข้ากับอินพุท Logic switch ของเครื่อง และต่อ F เข้ากับ O/P Logic MORNITOR แล้ว ON POWER ของเครื่อง ทำการเปลี่ยนแปลงโลจิก อินพุทและสังเกตผลของโลจิก MORNITOR จนเข้าใจการทำงาน แล้วบันทึกผลลงใน Table 12.1

3. ทดลองสร้างวงจร OR GATE จาก NOR และ NAND GATE โดยประกอบวงจรทดลองที่ 12.2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

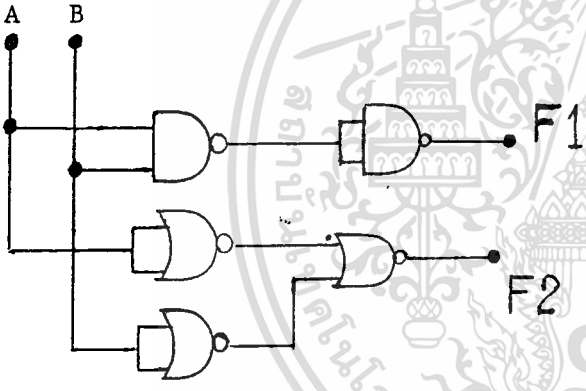


A	B	F1	F2
0	0		
0	1		
1	0		
1	1		

วงจรที่ 12.2 Table 12.2

4. ทำการทดลองตามข้อ 2 และบันทึกผลลงใน Table 12.2

5. ทดลองสร้างวงจร AND GATE จาก NOR และ NAND GATE โดยประกอบวงจรทดลองที่ 12.3



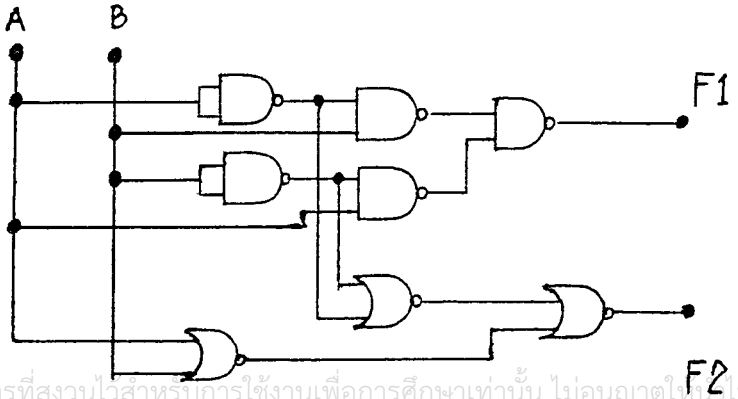
A	B	F1	F2
0	0		
0	1		
1	0		
1	1		

วงจรที่ 12.3 Table 12.3

6. ทำการทดลองตามข้อ 2 และบันทึกผลลงใน Table 12.3

7. ทดลองสร้างวงจร EX-OR GATE จาก NOR และ NAND GATE โดยประกอบวงจรทดลองที่ 12.4

วงจรที่ 12.4



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

A	B	F_1	F_2
0	0		
0	1		
1	0		
1	1		

Table 12·4

8· ทำการทดลองตามข้อ 2 และบันทึกผลลงใน Table 12·4

คำถามท้ายการทดลอง :

1· จงอธิบายถึงหลักและวิธีการสร้าง NOT GATE จาก NOR หรือ NAND GATE มาพอเข้าใจ

2· $F_1 = F_2$ ทุกประการหรือไม่สำหรับ truth table ที่บันทึกผล

3· จงอธิบายถึงหลักและวิธีการสร้าง OR GATE จาก NAND GATE เพียงอย่างเดียว

4· จงแสดงวิธีการสร้าง OR GATE 4 I/P โดยใช้ IC เบอร์ 7400 เพียงอย่างเดียว

5· จงอธิบายถึงหลักและวิธีการสร้าง4 I/P AND GATEจาก 2 I/P NOR GATEเพียงอย่างเดียว

6· จงแสดงวิธีสร้าง EX-NOR GATE 2 I/P โดยใช้IC เบอร์ 54/7400 เพียงอย่างเดียว

7· จงแสดงวิธี SIMPLIFYED ของ FUNCTION ต่อไปนี้ให้สั้นที่สุด และเขียนวงจร GATE ตามFUNCTION ที่ได้โดยใช้ IC เบอร์7400 เพียงตัวเดียวเท่านั้น

7·1 $F_1 = \bar{A}BC + A\bar{B}C + AB\bar{C} + ABC + A\bar{B}\bar{C}$

7·2 $F_1 = A\overline{BC} + \overline{A}BC + A\bar{B}C + AB\bar{C} + ABC$

8· จาก Truth table ต่อไปนี้จงเขียน logic diagram โดยใช้ NAND GATE เพียงอย่างเดียว ของ OUT PUT Sn และ Cn

A	B	Ci	Sn	Cn
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

9. จงอธิบายวิธีการ WIRE-OR และ WIRE-AND สำหรับวงจร logic gate และบอกด้วยว่ามีข้อดี-เสียอย่างไร เมื่อเปรียบเทียบกับวงจรธรรมดา

10. BUBBLE GATE คืออะไร จงอธิบายมาพอเข้าใจ

สรุปผลการทดลอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บททดลองที่ 13

เรื่อง : ADDER CIRCUIT

จุดมุ่งหมาย : เพื่อศึกษา

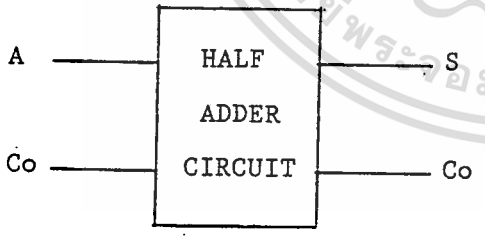
1. คุณสมบัติและตารางความจริงของ ADDER CIRCUIT
2. วิธีการสร้างวงจร HALF ADDER และ FULL ADDER CIRCUIT
3. วงจร PARALLEL BINARY ADDER

จุดประสงค์เชิงพฤติกรรม : ให้นักศึกษาสามารถ

1. ประกอบวงจร BINARY ADDER ชนิดต่าง ๆ ทดลองได้
2. อธิบายการทำงานและสร้าง Turth table ของวงจร ADDER ได้ถูกต้อง
3. สร้างและออกแบบวงจร HALF ADDER และ FULL ADDER ได้
4. นำวงจร ADDER แบบต่าง ๆ ไปใช้งานได้

ทฤษฎีย่อ :

ADDER CIRCUIT หมายถึง วงจรโลจิกที่ทำหน้าที่บวกเลขจำนวนของเลขไบนารี่สองจำนวนเข้าด้วยกัน ซึ่งการบวกเลขทุกครั้งจะต้องประกอบด้วย -ตัวตั้งบวก(ADDEND),-ตัวบวก(AUGEND), ผลบวก(SUM=S) และตัวทด(CARRY=Co) และการบวกเราเริ่มบวกจากหลักหรือบิทที่ต่ำสุด (Least significant bit) ก่อน หากมีตัวทดจึงจะนำไปใช้ในการบวกหลักหรือบิทที่สูงกว่า (More significant bit) ต่อไป สำหรับการบวกเลขหลักหรือบิทแรกนั้นจะไม่มีการนำเอาตัวทดเข้ามาเกี่ยวข้องในการบวกเลย ดังนั้นวงจรที่ใช้จึงไม่มีตัวทดเข้า(Carry-in) เราจึงเรียกวงจรบวกนี้ว่า HALF ADDER ซึ่งBlock diagram และ Truth table ของวงจรนี้ แสดงได้ดังรูป.13A



a) block diagram

ตัวตั้ง		ตัวบวก		ผลบวก	ตัวทด
A	+	B	=	S	Co
0	+	0	=	0	0
0	+	1	=	1	0
1	+	0	=	1	0
1	+	1	=	0	1

b) ตารางแสดงการบวกของวงจรฮาล์ฟ

จากตารางการบวก เราสามารถนำ S และ Co มาเขียนเป็น Logic functionได้ดังต่อไปนี้

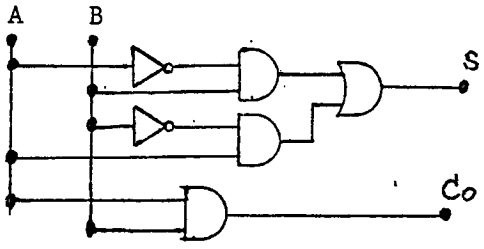
$$S = \bar{A}B + A\bar{B}$$

$$= A \oplus B$$

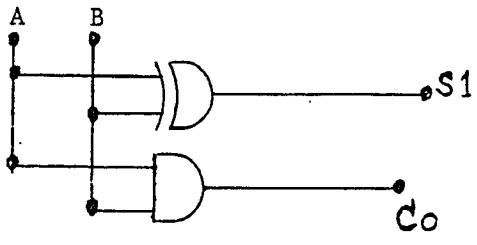
$$Co = AB$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

และเขียน Logic diagram จาก Logic function ของ S และ Co ได้ดังรูปที่ .13.1,2

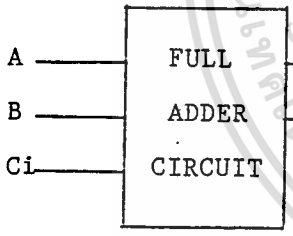


วงจรที่ .13.1



วงจรที่ .13.2

จากตาราง b) ในรูปที่ 13A จะเห็นว่าวงจร HALF ADDER จะใช้สำหรับการบวกแบบบิทเดียวเฉพาะบิทต่ำสุดของเลขจำนวนเท่านั้น ซึ่งจะไม่มีตัวทดเข้า (Carry-in=Ci) มาบวกเข้าด้วยกับการบวกของอินพุทสองจำนวน และหากการบวกกันแล้วเกิดตัวทดขึ้นก็จะต้องนำไปบวกเข้ากับการบวกของบิทถัดไปหรือบิทที่สูงกว่า (More significant bit) ต่อไป ดังนั้นหากมีการบวกเลขหลาย ๆ บิทหรือหลักแล้ววงจร Hald adder ดังรูปที่ .13.1,2 ก็ไม่สามารถที่จะใช้ได้ จึงมีการออกแบบวงจรเลขใหม่เพื่อให้สามารถนำเอาตัวทดเข้า (Carry-in) มาบวกเข้ากับการบวกของบิทสูงกว่าได้ วงจรใหม่เราจึงให้ชื่อว่า FULL ADDER Circuit ซึ่ง Block diagram และ Truth table ของวงจรแสดงได้ดังรูป13.B



a) Block diagram

A,B = ตัวตั้ง,ตัวบวก

Ci = ตัวทดที่ได้มาจากการบวกของบิทต่ำกว่า

Co = ตัวทดไปหน้าให้กับการบวกของบิทต่อไป

ตัวตั้งบวก		ตัวบวก		ตัวทดเข้า		ผลบวก	ตัวทดออก
A	+	B	+	Ci	=	S	Co
0	+	0	+	0	=	0	0
0	+	0	+	1	=	1	0
0	+	1	+	0	=	1	0
0	+	1	+	1	=	0	1
1	+	0	+	0	=	1	0
1	+	0	+	1	=	0	1
1	+	1	+	0	=	0	1
1	+	1	+	1	=	1	1

b) ตารางการบวกเลขของวงจรฟูล์ลแอดเดอร์

จากตารางการบวกเลขของวงจรฟูล์ลแอดเดอร์ เราสามารถเขียน Logic diagram สำหรับ Sและ Co ได้คือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

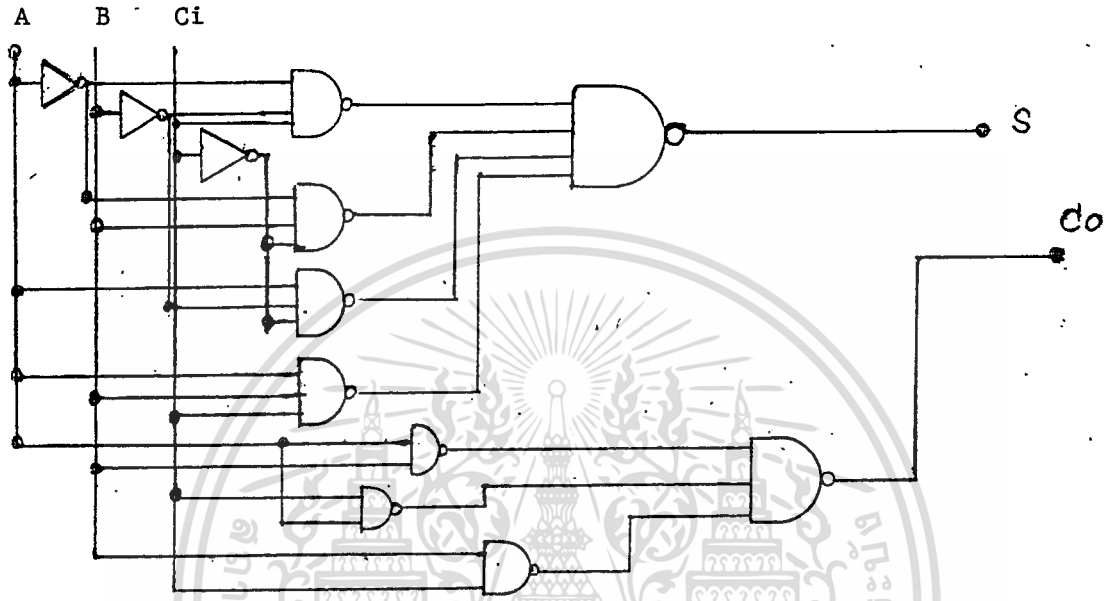
$S = \bar{A}\bar{B}Ci + \bar{A}B\bar{Ci} + A\bar{B}\bar{Ci} + ABCi$: $Co = \bar{A}BCi + A\bar{B}Ci + AB\bar{Ci} + ABCi$

$= \bar{Ci}(\bar{A}B + A\bar{B}) + Ci(\bar{A}\bar{B} + AB)$: $= BCi(\bar{A} + A) + ACi(\bar{B} + B) + AB(\bar{Ci} + Ci)$

$= \bar{Ci}(A \oplus B) + Ci\overline{(A \oplus B)}$: $= \overline{\overline{BCi + ACi + AB}}$

$= A \oplus B \oplus Ci$: $= \overline{\bar{B}Ci} \cdot \overline{A\bar{C}i} \cdot \overline{AB}$

จาก Logic function (S,Co) สามารถเขียน Logic diagram ได้ดังต่อไปนี้

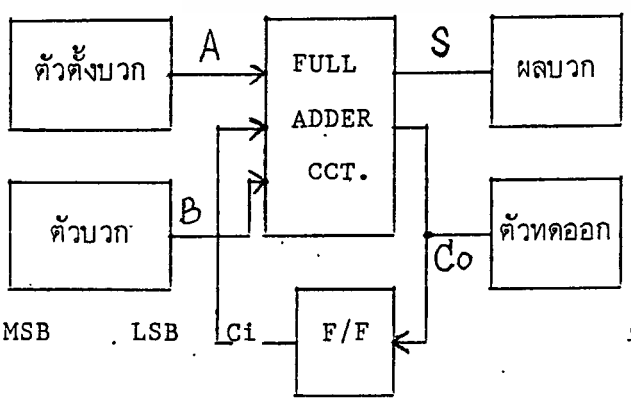


วงจรที่ 13.3

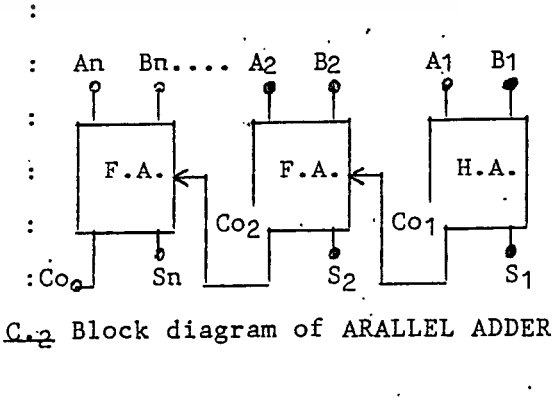
ADDER CIRCUIT ที่มีใช้ในวงจรดิจิตอลคอมพิวเตอร์ ,วงจรประมวลผลกลาง (Arithmetic logic Unit) <ALU> หรือวงจรอื่น ๆ จะมีอยู่ 2 แบบของการทำงานด้วยกันคือ

1. วงจรบวกที่ทำการบวกแบบอนุกรม (SERIAL ADDETION ADDER)
2. วงจรบวกที่ทำการบวกแบบขนาน (PARALLEL ADDITION ADDER)

ซึ่งวงจรทั้งสองแบบแสดง Block diagram ได้ดังรูป 13.1 ,2



C.1 Block diagram of SERIAL ADDER



C.2 Block diagram of ARALLEL ADDER

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูป C.1 จะเห็นว่ามีการใช้ FULL ADDER ตัวเดียวเท่านั้นมาใช้ในการบวก ซึ่งจะใช้ F/F เป็นตัวกำเนิด Ci เมื่อมีการทดเกิดขึ้น และ F/F จะรอจนข้อมูลของบิทถัดไปของชุด A,Bเข้ามาบวกจึง จะให้Ci เข้าไปบวกด้วย การบวกก็จะเป็นเช่นนี้เรื่อยไปจนข้อมูลของชุดA,Bหมด ผลลัพธ์ก็จะเก็บไว้ที่ ชุดSและมีตัวทดตัวสุดท้ายCoเป็นคำตอบ ในเครื่องคอมพิวเตอร์ ชุดA ชุดBและชุดS จะใช้หน่วยความจำ (MOMERY)เป็นตัวเก็บข้อมูลและใช้สัญญาณนาฬิกา(CLOCK PULSE)เป็นตัวควบคุมการทำงานของวงจร ซึ่งการทำงานของวงจรนี้จะใช้เวลามาก ๆ ถ้ามีการบวกเลขหลาย ๆ บิท จึงทำให้ไม่ค่อยนิยมใช้กัน

ส่วนแบบที่ 2(รูปที่C_2) เราจะใช้HALF ADDER ใช้บวกเลขบิทแรกชุดเดียวเท่านั้นแล้วจะใช้ FULL ADDERเป็นตัวทำการบวกในบิทต่อไป สังเกตุเห็นจำนวนของFULL ADDERจะใช้เท่ากับจำนวนบิทที่ใช้บวกหนึ่ง เช่นบวกเลข 16 บิท จะใช้FULL ADDER =15 ตัว และ HALF ADDER อีกหนึ่งตัว วงจรนี้จึงทำให้ การบวกใช้เวลาน้อยมาก แต่ก็มีปัญหาว่าCiจะเกิดไม่ทันใช้ในการบวกบิทต่อไป เพื่อแก้ไขข้อบกพร่องนี้ เราจึงสร้างวงจรเพิ่มเติมขึ้นเพื่อกำเนิดตัวทดCiขึ้นล่วงหน้าให้กับ FULL ADDER วงจรนั้นจึงมีชื่อว่าCARRY LOOK AHEAD CIRCUIT (วงจรสร้างตัวทดล่วงหน้า) ในการมองหาตัวทดล่วงหน้าของวงจรนี้ก็มีวิธีออกแบบเช่นกัน แต่ขอแนะนำให้นักศึกษาไปค้นคว้าหรือศึกษาเองในหนังสือเกี่ยวกับการออกแบบวงจรดิจิตอล เช่น หลักการออกแบบวงจรลอจิกภาค 1 ของ อ.สุชาย ธนวเสถียร เป็นต้น

มีไอซีสำเร็จรูปที่สร้างไว้เป็นวงจรแล้วและให้ชื่อกำกับไว้ด้วย เช่น

เบอร์ 54/74 - 80 = GATE FULL ADDER
" " - 82 = 2 BIT BINARY FULL ADDER
" " - 83 = 4 BIT BINARY FULL ADDER
" " - 181 = ARITHMETIC LOGIC UNITS FUNCTION GENERTER
" " - 182 = LOOK AHEAD CARRY GENERATER

ไอซีเบอร์เหล่านี้สมควรที่นักศึกษาจะสนใจให้มาก เพราะในวงจรดิจิตอลต่าง ๆ รวมทั้งวงจรคอมพิวเตอร์ต่างก็นำมันไปใช้มาก

อุปกรณ์ที่ใช้ :

1. ชุดฝึกวงจรดิจิตอล หรือชุด photo board 1 ชุด
2. IC เบอร์54/74-00 ,04,08,32;86 1 ตัว
3. TTL DATA BOOK

ลำดับขั้นการทดลอง :

1.ทำการทดลองการทำงานของวงจรHALF ADDER โดยประกอบวงจรทดลองที่ 13.1 และ 13.2

2.ต่ออินพุทเข้ากับอินพุทLogic switch ของชุดฝึกและต่อO/P Logic MONITOR ของชุดฝึกแล้ว ON POWER ทำการเปลี่ยนแปลงลอจิกอินพุทและสังเกตุผลของ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Logic monitorจนเข้าใจการทำงานแล้วบันทึกผลลงใน Table.13.1และ13.2

A	B	S	Co
0	0		
0	1		
1	0		
1	1		

Truth table.13.1

A	B	S	Co
0	0		
0	1		
1	0		
1	1		

Truth table.13.2

3.ทดสอบการทำงานของวงจร FULL ADDER โดยประกอบวงจรทดลองที่.13.3

4.ทำการทดลองตามข้อ 2 และบันทึกผลลงใน Table 13.3

A	B	C	S	C
0	0	0		
0	0	1		
0	1	0		
0	1	1		

A	B	C	S	Co
1	0	0		
1	0	1		
1	1	0		
1	1	1		

Table 13.3

5.ทดสอบการทำงานของวงจร Parallel 2 bit binary adder โดยการรวมวงจรที่ 13.2 เข้ากับวงจรที่ 13.3 โดยนำเอา C_oของวงจรที่ 13.2มาต่อเข้ากับ C_iของวงจรที่ 13.3และให้อินพุทเป็น A_1 , B_1สำหรับวงจรที่ 13.2และ A_2 , B_2สำหรับวงจรที่ 13.3 ส่วน O/Pก็จะเป็น S_1 , S_2และ C_oตามลำดับ

6.กำหนดค่าของ A_2 A_1และ B_2 B_1เปลี่ยนแปลงไปทีละ Stepเพื่อทำความเข้าใจการทำงานของวงจรที่ให้ S_2 S_1และ C_oเป็นเช่นนั้น แล้วบันทึกผลลงใน Table 13.4

A_2	B_2	A_1	B_2	CO	S_2	S_1	Ci
0	0	0	0				
0	0	0	1				
0	0	1	0				

A_2	A_1	B_2	B_1	CO	B_2	B_1	Ci
1	0	0	0				
1	0	0	1				
1	0	1	0				

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

0	0	1	1				
0	1	0	0				
0	1	1	0				
0	1	1	1				

1	0	1	1				
1	1	0	0				
1	1	0	1				
1	1	1	0				

7.ให้นักศึกษาการทำงานของไอซี เบอร์7482 จากคู่มือ แล้วประกอบวงจรทดลอง เพื่อให้สามารถใช้ ไอซีเบอร์ดังกล่าวได้ถูกต้อง หากมีปัญหาให้ถามอาจารย์ผู้คุมทันที

คำถามท้ายการทดลอง

1.จงเขียน Block diagram และ Logic diagram ของวงจร 4 bit parallel adder ที่ใช้เฉพาะ Half adder ทั้งหมด

2.จงเขียนวงจรที่ 13.3 ใหม่โดยใช้เฉพาะ date 2 I/P และประหยัดที่สุด

3.จงเขียนหรือสร้างวงจรบวกเลขขนาด 1 bit 3 จำนวนเข้าด้วยกัน(A+B+C =Co , S)จะใช้อะไรก็ได้

4.จากคู่มือของไอซี เบอร์7482 จงเขียนวงจรและแสดงการต่อขาไอซี เพื่อให้ได้วงจรบวกเลขขนาด 4 bit 2 จำนวน(A0/B0,A1/B1,A2/B2,A3/B3,A4/B4)

5.จากคู่มือของไอซี เบอร์7486 จงเขียนวงจรและแสดงการต่อขาไอซี เพื่อให้ได้วงจรบวกเลขขนาด 8 bit (Ao-A7/Bo-B7)

6.จากวงจรที่ใช้ทดลอง เราสามารถนำเอาวงจรบวกไปทำเป็นวงจรลบได้หรือไม่ อย่างไรจงอธิบายและยกตัวอย่างประกอบ

7.IC.เบอร์ 54/74181 มีชื่อเฉพาะว่าอะไร และมีการทำงานเป็นอย่างไร นักศึษาคิดที่จะนำมันไปทำอะไรบ้างจงเขียนวงจรเบื้องต้น

8. จากการทดลองใบงานนี้ นักศึษามีหลักการอย่างไรที่นำวงจรไปใช้บวกเลขฐานสิบขนาดหนึ่งหลักโดยให้ผลลัพธ์เป็นเลขฐานสิบด้วย(ให้เขียนหลักการโดยย่อพร้อมแสดง Logic diagram

สรุปผลการทดลอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บททดลองที่ 14

เรื่อง : SUBTRACTER

จุดมุ่งหมาย : เพื่อให้ศึกษา

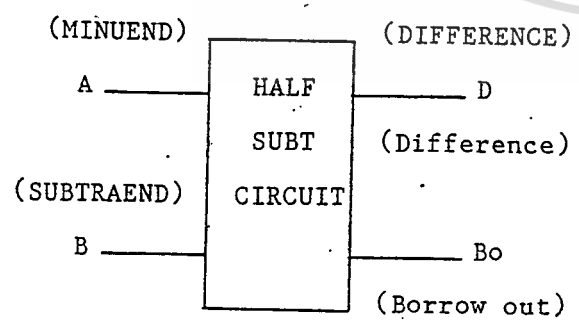
1. คุณสมบัติและตารางความจริง SUBTRACTER CIRCUIT
2. วิธีการสร้างวงจร HALF SUBT. และ FULL SUBT. CIRCUIT
3. วงจร PARALLEL BINARY SUBTRACTER

จุดประสงค์เชิงพฤติกรรม : ให้นักศึกษาสามารถ

1. ประกอบวงจร BINARY SUBTRACTER
2. อธิบายการทำงานและสร้าง Truth table ของวงจร SUBTRACTER ได้
3. สร้างและออกแบบวงจร HALF และ FULL SUBTRACTER
4. นำวงจร SUBTRACTER แบบต่างๆไปใช้งานได้

ทฤษฎีย่อ

Subtracter Circuit หมายถึง วงจรโลจิกวงจรหนึ่งที่ทำหน้าที่ลบเลขจำนวนของเลขไบนารี่สองจำนวนออกจากกัน ซึ่งการลบเลขทุกครั้งจะต้องประกอบด้วย -ตัวตั้งลบ (MINEUND), -ตัวลบ (SUBTRACTER)ผลลบหรือผลต่าง (DIFFERENCE)และตัวยืม (BORROW)และการยืมของการลบจะมีทั้งการยืมมา (BORROW OUT=Bo)และตัวถูกยืม (BOROW-IN=Bi) สำหรับการลบเราจะเริ่มลบจากหลักหรือบิทที่ต่ำสุด (Least signifcant bit)ก่อนในหลักนี้ตัวตั้งลบจะไม่ถูกยืมคือจะไม่มี Biเกิดขึ้นนั้นเอง แต่หากตัวตั้งลบน้อย กว่าตัวลบแล้วตัวตั้งลบก็จะไปยืมมา (Bo)จากหลักหรือบิทที่สูงกว่า (More significant bit) เพื่อใช้ในการลบครั้งนั้น ส่วนการลบของหลักหรือบิทสูงกว่าเราก็จะต้องพิจารณาด้วยว่าตัวตั้งลบถูกยืมไป (เกิด Bi) หรือไม่ และตัวตั้งลบน้อยกว่าตัวลบอีกหรือไม่ซึ่งหากน้อยกว่าก็แสดงว่าจะต้องเกิดการยืมมา (Bo)ขึ้นด้วย วงจรที่ไม่มี Bi ถูกเรียกว่า HALF SUBTRACTER และวงจรลบที่มีทั้ง Bi,Bo จะถูกเรียกว่า FULLSUBTRACTER CIRCUIT ซึ่ง Block diagram และ Truth table ของวงจรทั้งสองแสดงในรูป 14A และ 14B



14A.a Block diagram

ตัวกระทำ		ผลลัพธ์	
ตัวตั้ง	ตัวลบ	ผลต่าง	ตัวยืม
A	B	D	Bo
0	0	0	0
0	1	1	1
1	0	1	0

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1	—	1	0	0

14A.b ตารางแสดงการลบของวงจร ฮาล์ฟ

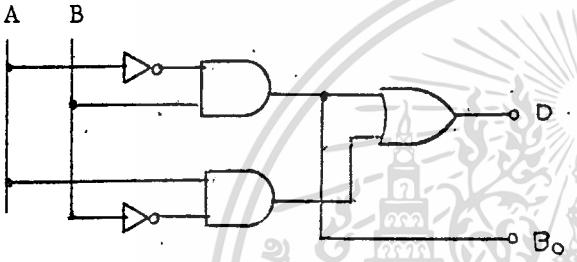
จากรูปที่ 14 A.a,b วงจร HALF SUBTRACTER จะประกอบด้วย I/P คือ A,B และ O/P คือ D,Bo และการลบจะเป็นไปตามตาราง b, เช่นให้ A = 0 , B = 1 การลบก็จะให้ผลต่าง D = 1 และเมื่อตัวตั้งน้อยกว่าก็จะมีการยืมมา 1 จึงทำให้ได้ผลต่างเป็น 1 ดังกล่าว

จาก Truth table b, เราสามารถเขียน Logic function ของ D และ Bo ได้ดังนี้

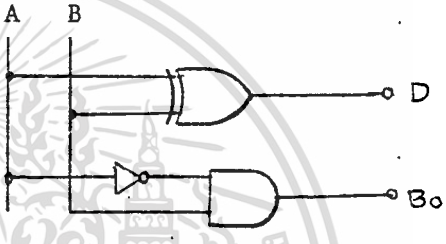
$D = A\bar{B} + \bar{A}B \qquad Bo = \bar{A}B$

$= A + B$

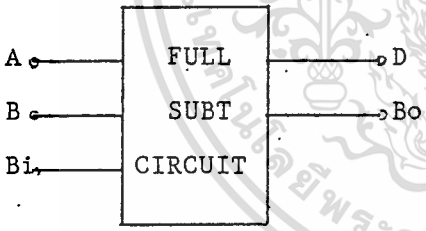
และเขียน Logic diagram จาก Logic function ของ D และ Bo ได้ดังรูปที่ .14.1 ,2



วงจรที่ .14.1



วงจรที่ .14.2



14.B,a Block diagram

A,B = ตัวตั้ง ,ตัวลบ

Bi = ตัวยืมที่ถูกยืมไปจากการลบของ บิทต่ำกว่า

Bo = ตัวยืมมาจากบิทที่สูงกว่า

ตัวตั้งลบ ตังลบ ตัวถูกยืม ผลต่าง ตัวยืมมา

A	- B	- Bi	D	Bo
0	0	0	0	0
0	0	1	1	1
0	1	0	1	1
0	1	1	0	1
1	0	0	1	0
1	0	1	0	0
1	1	0	0	0
1	1	1	1	1

14.B.b ตารางการลบเลขของวงจรฟูลล์ซับแทรกเตอร์

จากตาราง 14B,b เราสามารถเขียน Logic diagram สำหรับ D และ Bo ได้คือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

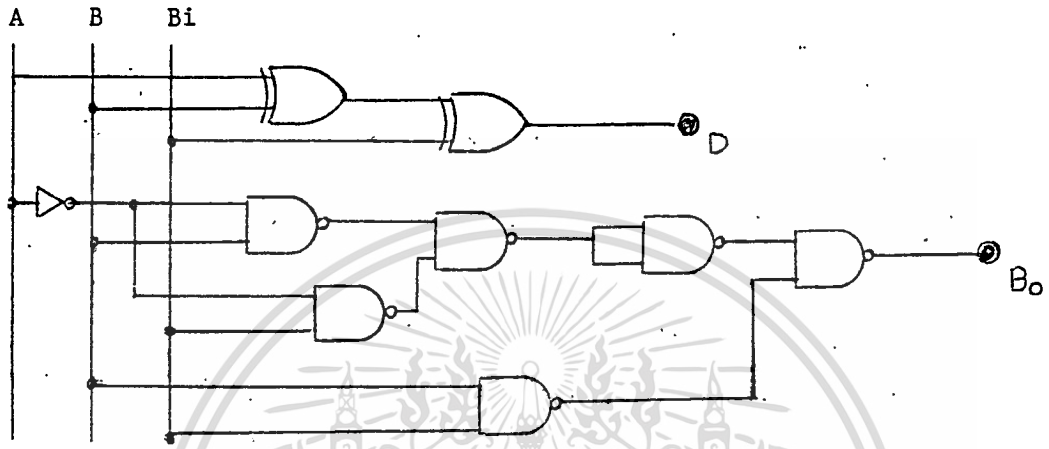
$D = ABBi + ABBi + ABBi + ABBi$: $Bo = ABBi + ABBi + ABBi + ABBi$

$= Bi(AB + AB) + Bi(AB + AB$: $= AB + ABi + BBi$

$= Bi(A + B) + Bi(A + B)$: $= A\ (B + Bi) + BBi$

$= A + B + Bi$: $(A.B\ .\ ABi).\ BBi$

จาก Logic function (D,Bo) สามารถเขียน Logic diagram ได้ดังต่อไปนี้



(LB 18)

วงจรที่ 13.3 FULL SUBTRACTER

SUBTRACTER CIRCUIT ที่มีใช้ในวงจรดิจิตอลคอมพิวเตอร์,วงจรประมวลผลกลาง(Arithmetic logic Unit) <ALU> หรือวงจรอื่น ๆ จะไม่นิยมสร้างขึ้นมาใช้เหมือนดังวงจรบวกเลข (ADDER) ทั้งนี้ก็เนื่องจากวิธีการลบ สามารถทำด้วยวิธี บวก ได้ซึ่งเราเรียกวิธีการลบแบบนี้ว่า SUBTRACTED WITH COMPLEMENT ดังนั้นจึงสามารถใช้วงจรบวกเป็นตัวทำงานได้โดย เพิ่มเติมวงจรบวกเข้าไปอีกเลกน้อย สำหรับวงจรเพิ่มเติมจะได้อธิบายในใบงานต่อไป

อุปกรณ์ที่ใช้

1. ชุดฝึกวงจรดิจิตอล (LB_{04}, 06 , 07 , 13 ,18) หรือชุด Proto board 1 ชุด
2. IC เบอร์ 54/74-00 , 04, 08, 32
3. TTL DATA BOOK

ลำดับขั้นการทดลอง

1. ศึกษาการทำงานของวงจร Half subtracter โดยประกอบวงจรที่ 14.1, 14.2
2. ต่อ I/P เข้ากับ I/P Logic switch ของชุดฝึกและต่อ O/P ของวงจรเข้ากับ O/P Monitor ของชุดฝึกเช่นกัน
3. On power ของเครื่องแล้วทำการเปลี่ยนแปลง I/P สังเกตุผลของ O/P จนเข้าใจ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การทำงานของวงจรแล้วบันทึกผล ลงในตารางที่ 14.1 ,14.2

A	B	D	Bo
0	0		
0	1		
1	0		
1	1		

Truth table 14.1

A	B	D	Bo
0	0		
0	1		
1	0		
1	1		

Truth table 14.2

4. ทดสอบการทำงานของวงจร Full Subtracter โดยประกอบวงจรตามรูปที่ 14.3

5. ทำการทดลองตามข้อ 2,3 แต่บันทึกผลลงในตารางที่ 14.3

A	B	Bi	D	Bo
0	0	0		
0	0	1		
0	1	0		
0	1	1		

A	B	Bi	D	Bo
1	0	0		
1	0	1		
1	1	0		
1	1	1		

Table 14.3

6. ทดลอบการทำงานของวงจร Parallel 2 - bit Subtracter โดยใช้การรวมวงจรที่ 14.2 เข้ากับวงจรที่ 14.3 ให้นำเอา Bo ของวงจรที่ 14.2 ต่อเข้า Bi ของวงจรที่ 14.3 และ A_1 ,B_1 เป็น I/P ของวงจรที่ 14.2 ส่วน A_2, B_2 นั้นให้เป็น I/P ของวงจรที่ 14.3 ตามลำดับซึ่งจะมี O/P คือ D_1 ,D_2 ตามลำดับเช่นกัน

7. กำหนดค่าของ A_1 ,a_2 และ B_1 ,b_2 ให้เปลี่ยนแปลงไปที่ละ Step เพื่อทำความเข้าใจการทำงานของวงจรเลขที่ให้ D_1 ,D_1 และ Bo เช่นนั้น แล้วบันทึกผลลงในตารางที่ 14.4

A_2	B_2	A_1	B_1				
0	0	0	0				
0	0	0	1				
0	0	1	0				

A_2	B_2	A_1	B_1				
1	0	0	0				
1	0	0	1				
1	0	1	0				

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

0	0	1	1				
0	1	0	0				
0	1	0	1				
0	1	1	0				
0	1	1	1				

1	0	1	1				
1	1	0	0				
1	1	0	1				
1	1	1	0				
1	1	1	1				

Table 14.4

คำถามท้ายการทดลอง

1. จงอธิบายถึงข้อแตกต่างระหว่าง HALF SUBT กับ FULL SUBT. circiut

2. จงเขียน Bolck diagram และ Logic diagram ของวงจร 4 Bit parallel subtracter ที่ใช้เฉพาะ Half subtracter ทั้งหมด

3. จงแสดงวิธีการออกแบบวงจรลบเลขไบนารี่ 4 bit โดยใช้ เกทเพียงอย่างเดียว

4. จงแสดงวิธีการออกแบบวงจรลบเลข 4 bit โดยใช้ NAND Gate เพียงอย่างเดียว

5. จงเขียน Bolck diagram ของวงจร 8 bit parallel subtracter ที่ ใช้ Half และ Full bubtreacter

6. วิธีการ 2' Complement และ 1' Complement เป็นอย่างไร มีหลักการและประโยชน์อย่างไร จงอธิบายพร้อมทั้งยกตัวอย่างประกอบ

สรุปผลการทดลอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ใบงานที่ 15

BINARY ADDITION/SUBTRACTION CIRCUIT

จุดมุ่งหมาย : เพื่อศึกษา

1. การทำงานของวงจร ADDITION/SUBTRACTION CIRCUIT
2. วิธีการลบแบบบวก (SUBTRACTION WIYH COMPLEMENT)
3. การทำงานของวงจร BCD ADDITION ADDER

จุดมุ่งหมาย ให้นักศึกษาสามารถ

1. ประกอบวงจร BINARY ADDITION/SUBTRACTION แบบต่างๆทดลองได้
2. นำวิธีการลบแบบบวกมาใช้ในการลบทุกครั้ง
3. อธิบายการทำงานของวงจรลบเลขต่างๆได้

คำแนะนำ

ในการลบเลขจำนวนต่างๆออกจากกัน ใช่ว่าจะมีเพียงการตั้งลบแบบธรรมดาก็หาไม่ทั้งนี้ก็เพราะยังมีอีกวิธีที่สามารถทำได้ง่ายและเป็นที่นิยมกันมาก วิธีนั้นคือ การลบแบบบวก (SUBTRACTION WITH COMPLEMENT) ซึ่งการลบแบบบวกนี้มีหลักการง่ายๆคือ นำเอาตัวลบ (MINUEND) มากระทำ COMPLEMENT ตัวมัน แล้วนำเอาจำนวนที่ได้ไปบวกเข้ากับตัวตั้งลบเดิม ได้ผลบวกจากการบวกนั้นแล้วจะต้องใช้เทคนิคอีกบ้างเล็กน้อยเพื่อมาแก้คำตอบให้ถูกต้องเป็นคำตอบจริง ซึ่งเทคนิคต่างๆเหล่านั้นก็ขึ้นอยู่กับรูปแบบของการ COPLEMENT ด้วย เพราะในตัวเลขตัวใดๆก็ตาม จะมีการ COMPLEMENT เลขนั้นได้ 2 รูปแบบด้วยกันคือ

1. แบบฐานลบหนึ่ง (RADIX-MINUS-$_1$)
2. แบบวิธีจริง (TRUE COMPLEMENT)

ในระบบเลขไบนารี่ การคอมพลีเม้นท์แบบฐานลบหนึ่งคือ $_1$'COMPLEMENT (อ่านว่า วันคอมพลีเมนท์) ซึ่งวิธีการทำคือนำเอาตัวเลขที่ต้องการทำคอมพลีเมนท์นั้นไปลบออกจาก Digit สูงสุดของเลขฐานนั้น และผลต่างที่ได้นั่นคือ ค่าของ COMPLEMENT ที่ต้องการ ดังตัวอย่าง 15^A

- ทำเลข 9 ฐานสิบ = 9 - 8 = 1 ($_9$'s complement)
- ทำเลข 100 ฐานสอง = 111 - 100 = 011 ($_1$'s complement)
- ทำเลข 56 ฐานแปด = 77 - 56 = 21 ($_7$'s complement)

สำหรับการ คอมพลีเมนท์แบบจริงนั้นมีวิธีการทำต่างจากแบบแรกเพียงเลกน้อย กล่าวคือจะต้องนำเอา เลขที่ต้องการทำ complement แต่ละหลักไปลบออกจากฐาน (Radix) ของเลขนั้น ๆ เช่น Radix 10, ฐานแปด Radix = 8 เป็นต้นดังนั้น เมื่อทำการลบเลขผลลัพท์ที่ได้ก็คือ Truth complrment ของเลขนั้น ดังตัวอย่างที่ 15^B.

- ทำเลข 5 $)_{10}$ = 10 - 8 = 02 ($_{10}$'s complement)
- ทำเลข 110$)_2$ = 1000 - 110 = 010 ($_2$' complement)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$10110)_2$ ทำเป็น ทรูว์คอมพลีเมนท์ได้เท่ากับ $01010)_2$

จากตัวอย่าง 15 A, 15 B พอสรุปได้ว่า

1 's comp. = X เมื่อ X คือตัวเลขที่ต้องการทำคอมพลีเมนท์

2 's copm. = X + 1

= 1 's comp. - plus - 1 (1 's comp. + 1)

ดังนั้น 1 's comp. = 2 's comp-minus-1 (2 's comp. - 1) นั่นเอง

จากหลักการและวิธีการทำ complement ทั้งสองรูปแบบ เรานำมาใช้ร่วมกับการลบเลข BINARY จำวนวนต่างๆได้ โดยวิธีการต่อไปนี้

	1) ลบแบบธรรมดา	2) ลบแบบ 1 's comp	3) ลบแบบ 2 's comp
ตัวตั้ง	1001	1001	1001
ตัวลบ	0110 -	ทำ 1 's comp = 1001 +	ทำ 2 ' comp 1010 +
ผลลัพธ์	0011	10010	10011
		แก้ไข 1 +	= 0011
ผลต่าง		+ 0011	= 0011
		POSITIVE NUMBER	
ตัวตั้ง	010	010	010
ตัดั้ง	110 -	ทำ 1 's comp 001 +	ทำ 2 's comp 010 +
=	-100	0011	0100
		แก้ไข 0100	1011
		- 100	1 +
ผลต่าง = -100		= - 100	= -100
		NEGATIVE NUMBER	

จากการลบทั้งสองวิธีข้างต้น พอสรุปการแก้ไข ได้ดังนี้

1. ถ้า Co ที่ได้จากการบวกเป็น "1" แสดงว่าผลต่างที่ได้จะต้องเป็นจำนวนเต็มบวก การแก้ไขเพื่อ หาคำตอบจะกระทำเฉพราะแบบ 1 's comp คือจะนำเอาตัวทด (มีชื่อว่า end around carry) มาบวกเข้าที่ BO ของผลต่างย่อยอีกครั้งแล้วก็จะได้คำตอบที่ถูกต้อง ส่วนแบบ 2 's comp นั้น ตัวทดที่ทดมานั้น (มีชื่อว่า disregard carry) จะเป็นตัวบวกว่าผลลัพท์จะได้บวกและคำตอบก็คือ กลุ่มของตัวเลขที่อยู่ต่ำลงมาทั้งหมด (ทำความเข้าใจในตัวอย่างชุดแรก)

2. ถ้า Co ที่ได้เป็น "0" แสดงว่า คำตอบจะเป็นจำนวนเลขติดลบ(negative number) การแก้ไขจะแก้ไขทั้งแบบ 1 's และ 2 's comp กล่าวคือ แบบ 1 'scomp จะนำเอาผลบวกที่ได้ทั้งหมด (ไม่คิดตัวทดด้วย) มาทำ 1 's comp อีกครั้ง แล้วจะได้คำตอบที่ถูกต้อง

ส่วนแบบที่ 2 's comp นั้นก็จะทำ 2 's comp กับผลบวกอีกครั้งเช่นกัน (ไม่คิดตัวทดด้วย) แล้วก็จะได้คำตอบที่ถูกต้อง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากการลบแบบบวกดังกล่าวมา สามารถสร้างวงจรโลจิกขึ้นมาใช้งานได้ จากการพิจารณาดังนี้

1. การทำ complement ตัวลบ จะใช้คุณสมบัติของ Exclusive OR ทำ
2. ใช้ เกท พื้นฐานช่วยในการแก้ไขเพื่อหาคำตอบที่ถูกต้อง
3. ตัวบวกก็ใช้ Full ADDER เป็นตัวทำงาน

สำหรับวงจรทดลองที่ใช้ในใบงานนี้ จะเป็นการออกแบบวงจรให้มีการลบแบบ 1's complement โดยนำเอาตัวไอซีที่มีคุณสมบัติอยู่แล้วมาใช้เลย ส่วนการออกแบบวงจรลบแบบ 2's complement นั้นให้นำไปคิดและออกแบบเอง หรือจะไปค้นคว้าในหนังสือที่ออกแบบไว้ให้แล้วก็ได้

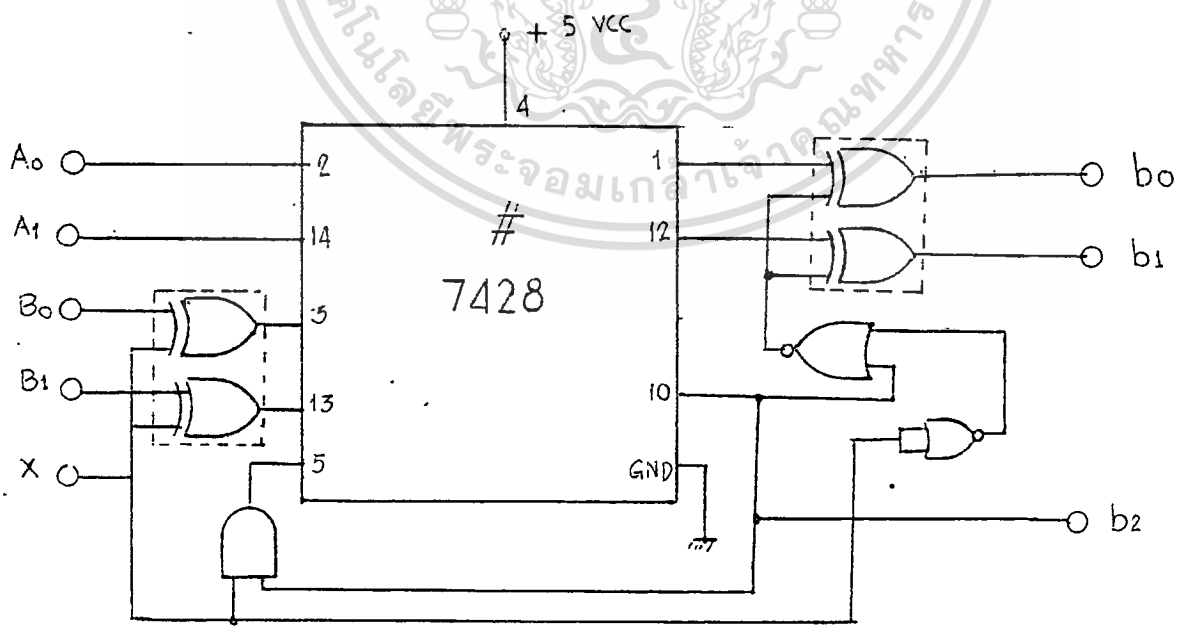
อุปกรณ์ที่ใช้

1. ชุดฝึกดิจิตอล LB19 หรือ proto board 1 =6f
2. ไอซีเบอร์ต่างๆเฉพาะวงจร
3. TTL DATA BOOK

ลำดับขั้นการทดลอง

1. ประกอบวงจรตามวงจรทดลองที่ 15.1 โดยใช้ไอซีเบอร์ SN7402N x 1, Sn7486N หรือLS86N x1 เท่านั้นทั้งนี้เพราะการออกแบบวงจรนี้จะใช้คู่มือของ Texas Inst. เป็นหลัก หากจะใช้เบอร์อื่นให้เปิดคู่มือเทียบ เพราะ Pin assigment ของต่างเบอร์อาจไม่เหมือนกัน

2. ต่อ I/P เข้า I/P Logic switch ของชุดฝึกและต่อ O/P ของวงจรเข้ากับ O/P monitor ของชุดฝึกเช่นกัน และตรวจเช็คการต่อวงจรให้ถูกต้อง ทำการเปลี่ยนแปลงอินพุทพร้อมกับสังเกตุผลของ เอ้าท์พุท จนเข้าใจการทำงานของวงจรจึงบันทึกผลการทดลองลงใน Table 15.1



วงจรทดลองที่ 15.1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

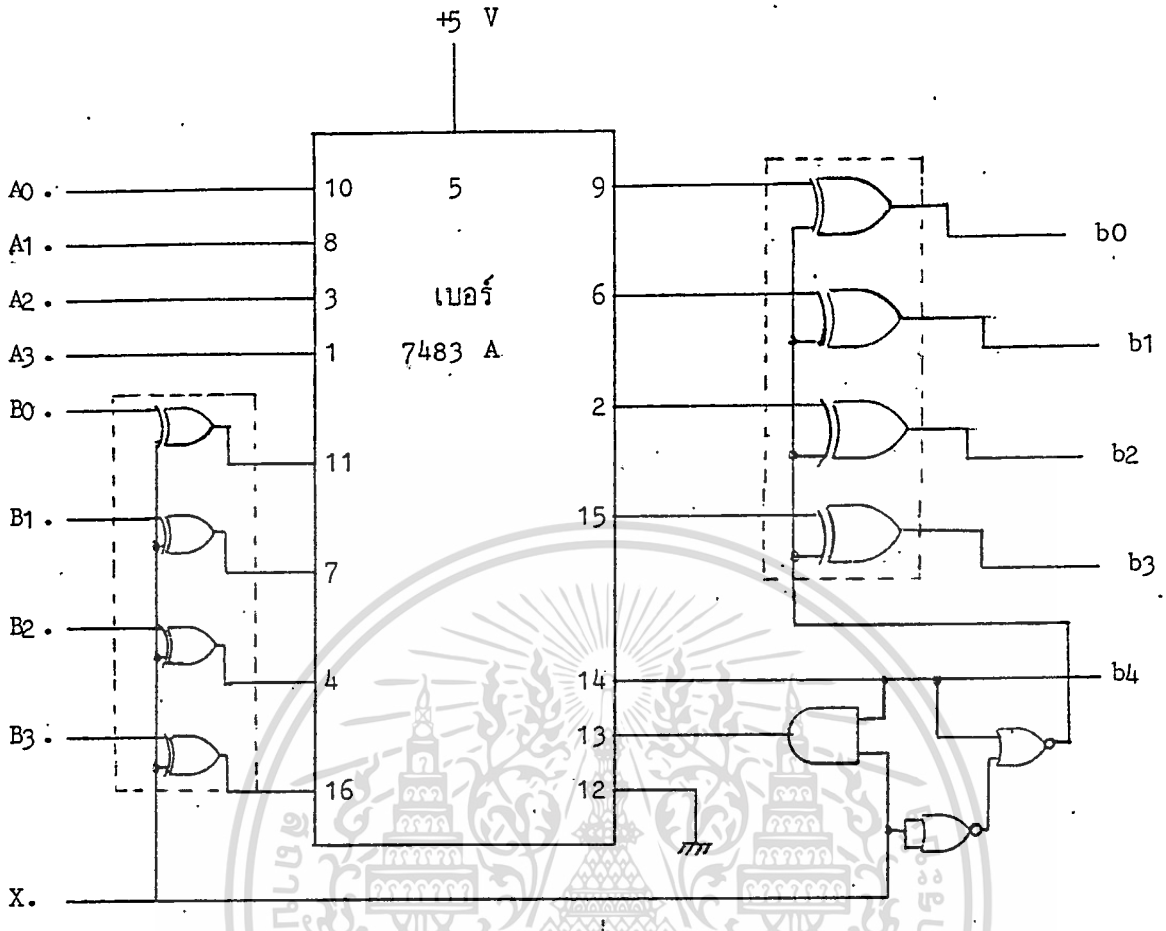
	INPUT				OUTPUT					
	A_1	B_1	A_0	B_0	X = 0			X = 1		
					b_2	b_1	b_0	b_2	b_1	b_0
0	0	0	0	0						
1	0	0	0	1						
2	0	0	1	0						
3	0	0	1	1						
4	0	1	0	0						
5	0	1	0	1						
6	0	1	1	0						
7	0	1	1	1						
8	1	0	0	0						
9	1	0	0	1						
10	1	0	1	0						
11	1	0	1	1						
12	1	1	0	0						
13	1	1	0	1						
14	1	1	1	0						
15	1	1	1	1						

TABLE 15.1

3. ประกองวงจรทดลองที่ 15.2 โดยใช้ไอซีเบอร์ SN7402Nx1 ,SN7483A หรือ LS83x1 ,SN7486หรือLS86N (หากใช้เบอร์อื่นที่นอกเหนือจากนี้ให้ใช้คู่มือเทียบ)

4. ต่อ I/P เข้ากับ I/P Logic switch ของชุดฝึกและต่อ O/P ของวงจร O/P Monitor ของชุดฝึกเช่นกัน และตรวจเช็คการต่อวงจรให้ถูกต้อง บันทึกผลการทดลองลงใน Table 15.2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



วงจรทดลองที่ 15.2

	INPUT				OUTPUT					
	A1	B1	A0	B0	X = 0			X = 1		
	A2	B2	A3	B3	b_2	b_1	b_0	b_2	b_1	b_0
0	0	0	0	0						
1	0	0	0	1						
2	0	0	1	0						
3	0	0	1	1						
4	0	1	0	0						
5	0	1	0	1						
6	0	1	1	0						
7	0	1	1	1						

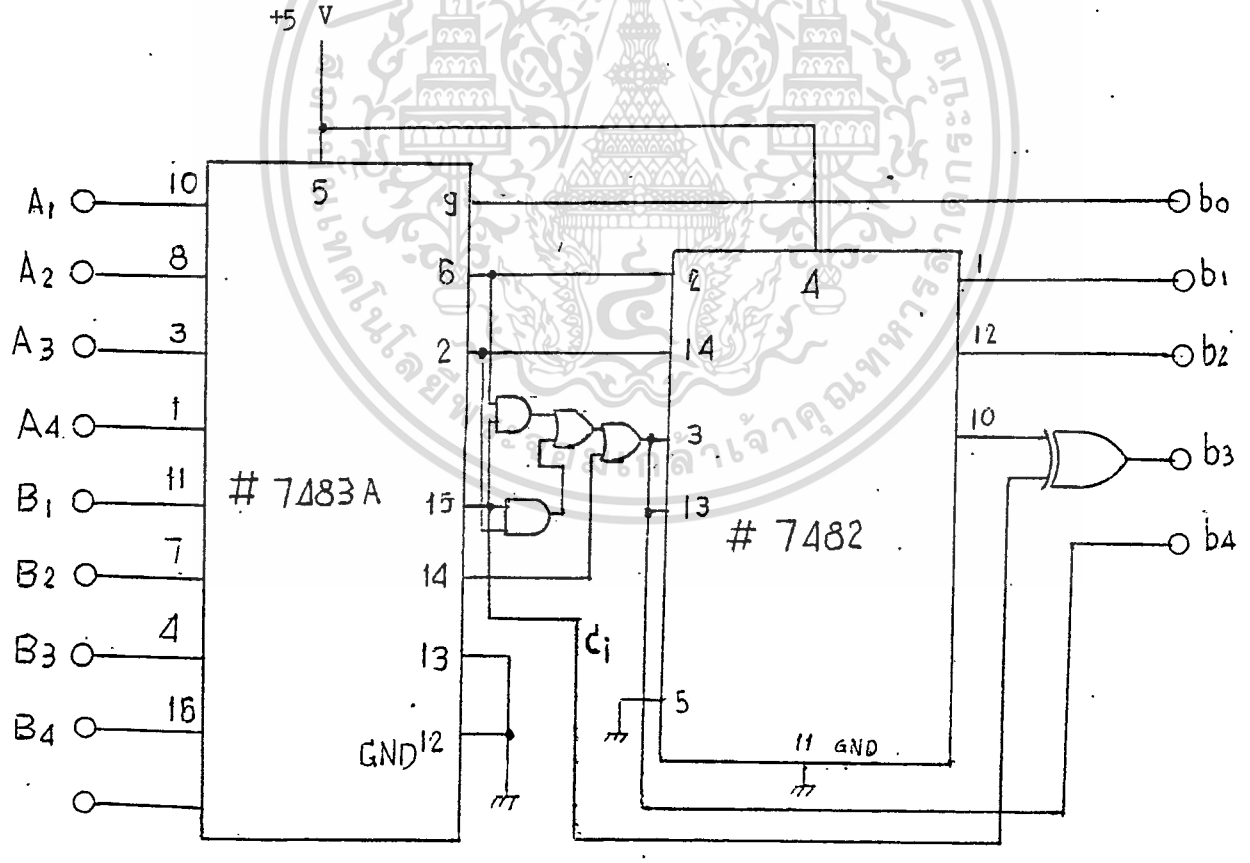
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

8	1	0	0	0		
9	1	0	0	1		
10	1	0	1	0		
11	1	0	1	1		
12	1	1	0	0		
13	1	1	0	1		
14	1	1	1	0		
15	1	1	1	1		

TABLE 15.2

5. ประกอบวงจรทดลองที่ 15.3 โดยใช้ ไอซีเบอร์ SN7483A or LS83x1, SN7486Nx1, Sn7408Nx1, 7432Nx1 (หากใช้เบอร์แทนให้เปิดคู่มือ)

6. ตรวจเชคการต่อวงจรให้ถูกต้อง เปลี่ยนแปลงอินพุทเพื่อศึกษาการทำงานของวงจรจนเข้าใจการทำงานของวงจร แล้วบันทึกผลลงในตารางที่ 15.3



(LB19) วงจรทดลองที่ 15.3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

	INPUT				OUTPUT				
	A3 / B3	A2 / B2	A1 / B1	A0 / B0	b4	b3	b2	b1	b0
0	0/0	0/0	0/0	0/0					
1	0/0	0/0	0/0	0/1					
2	0/0	0/0	0/1	0/0					
3	0/0	0/0	0/1	0/1					
4	0/0	0/1	0/0	0/0					
5	0/0	0/1	0/0	0/1					
6	0/0	0/1	0/1	0/0					
7	0/0	0/1	0/1	0/1					
8	0/1	0/0	0/0	0/0					
9	0/1	0/0	0/0	0/1					
10	0/1	0/0	0/1	0/0					
11	1/0	0/0	1/0	0/1					
12	1/0	0/0	1/0	0/0					
13	1/0	0/0	1/0	0/1					
14	1/0	0/1	1/0	0/0					
15	1/0	0/1	1/0	0/1					
16	1/0	0/1	0/1	0/0					
17	1/0	0/1	0/1	0/1					
18	1/1	0/0	1/0	0/1					
19	1/1	0/0	1/1	0/0					

TABLE 15.3

คำถามท้ายการทดลอง

1. จากการทดลองวงจรที่ 15.1 แสดงว่าเป็นวงจรอะไร ทำหน้าที่อย่างไรจงอธิบาย และ NOR gate 2 ตัวมีหน้าที่อะไร จะใช้อะไรแทนได้บ้าง

2. วงจรทดลองที่ 15.2 แสดงว่าเป็นวงจรอะไร มีการทำงานอย่างไร มี Ex-OR ทาง อินพุทไว้เพื่อ ทำหน้าที่อะไร อธิบายประกอบการทดลอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

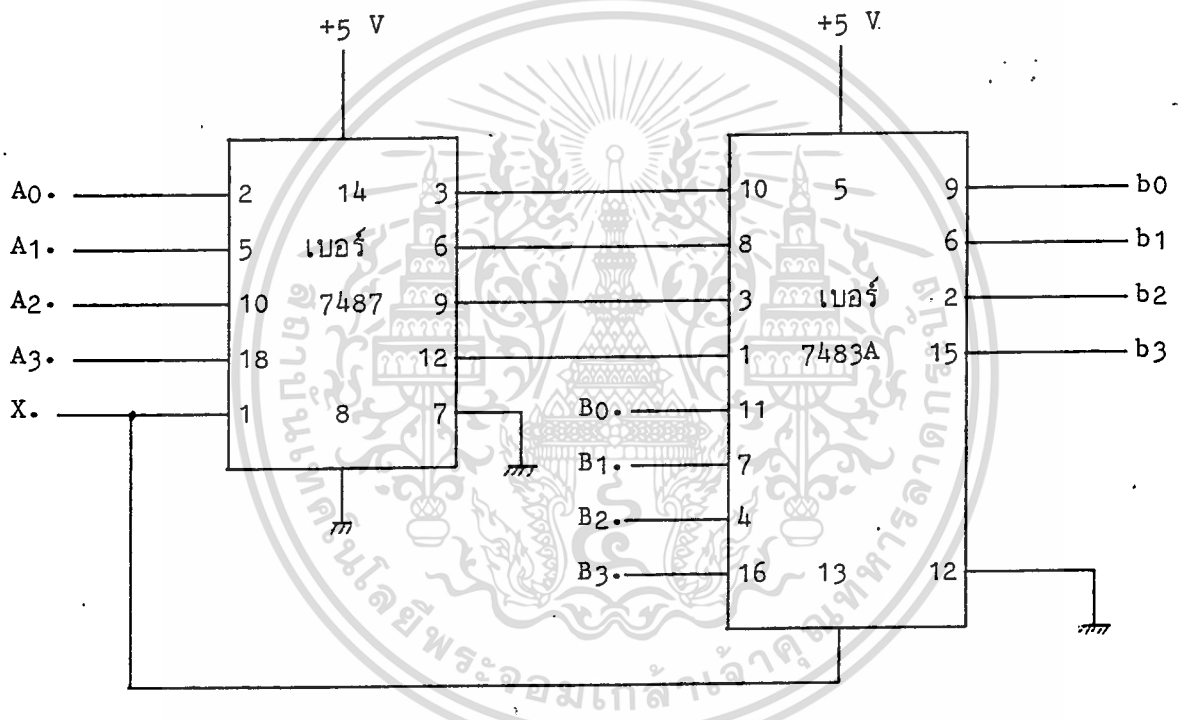
3. จากการทดลองวงจรที่ 15.1 และ 15.2 Input X มีความสำคัญอะไรกับวงจร หาดเราจะให้วงจรทั้งสองนี้เป็นวงจรบวก X จะต้องเป็นอย่างไร

4. จงออกแบบวงจร ADD/SUB 2 bit ที่มีการลบแบบ 2's complement มา 1 วงจร

5. ไอซีเบอร์ 7487 มีชื่อเฉพาะว่าอะไร และมีการทำงานอย่างไร สามารถนำมาประกอบวงจรเพื่อให้ได้วงจร Binary ADD/SUB ได้หรือไม่ อย่างไร

6. ไอซีเบอร์ 74153 มีชื่อเฉพาะว่าอย่างไร และมีลักการทำงานาอย่างไร สามารถนำมาประกอบวงจรเพื่อให้ได้วงจร Binary ADD/SUB ได้หรือไม่ อย่างไร

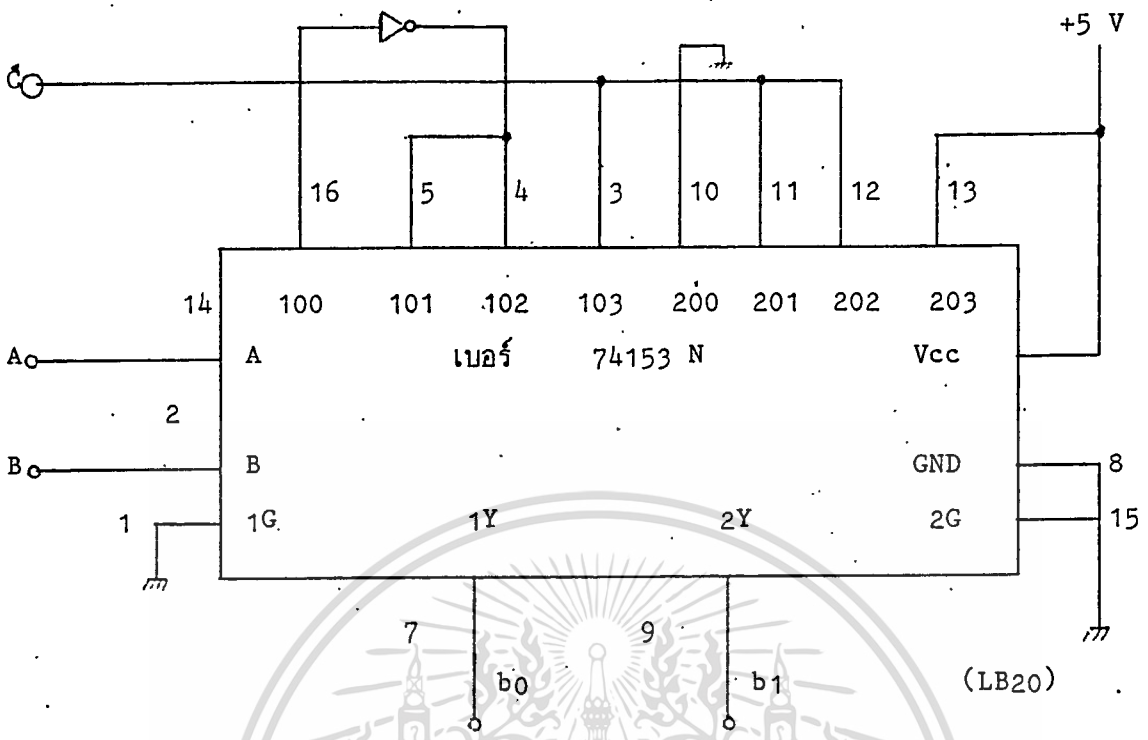
7. รูปวงจรต่อไปนี้เราจะนำมันไปใช้ทำอะไรได้บ้างและ Truth table ของมันเป็นอย่างไร



INPUT = $A_3A_2A_1A_0$ $B_3B_2B_1B_0$ OUTPUT = $b_3b_2b_1b_0$

8. จากวงจรต่อไปนี้ ทำหน้าที่อะไร เมื่ออินพุทคือ A B C และ เอ้าท์พุท คือ b_1b_0

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



สรุปผลการทดลอง

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ใบงานที่ 16

เรื่อง: ENCODER CIRCUIT

จุดมุ่งหมาย: เพื่อให้นักศึกษา

1. ศึกษาการทำงานของวงจร ENCODER ชนิดต่างๆได้
2. ศึกษาวิธีการออกแบบวงจร ENCODER ได้

จุดประสงค์เชิงพฤติกรรม: ให้นักศึกษาสามารถ

1. แสดงวิธีการออกแบบวงจรได้ถูกต้อง
2. อธิบายการทำงานของวงจรได้

คำแนะนำ

ENCODER CIRCUIT หมายถึง วงจรที่ทำหน้าที่แปลง Code ต่างๆหรือภาษาอื่นๆมากเป็นภาษาเครื่องเพื่อให้เครื่องมือทางดิจิตอลเข้าใจและสามารถกระทำการตามระหัสนั้นได้เช่น เมื่อเรากดแป้นเครื่องคิดเลขหมายเลข 5 (ซึ่งหมายถึงเลขฐานสิบของเรา) เอ้าท์พุทของวงจรเข้าระหัส (Encoder)จะมีค่าเป็น 0101 ของเลขฐานสอง ซึ่งเลข 0101 จำนวนนี้ เครื่องสามารถเข้าใจและกระทำการอื่นๆต่อไปได้ ดังนั้น เราก็กล่าวได้ว่า ENCODER circuit คือวงจรที่สร้างภาษาให้เครื่องเข้าใจนั่นเองและเราสามารถสร้างวงจรเข้าระหัส(Encoder)ได้จาก Diode ที่ต่อกันแบบแมทริก(Matrix) หรือจากวงจร Combination ลอจิกก็ได้ ซึ่งทั้งสองชนิดนี้ขึ้นอยู่กับความเหมาะสมของผู้ใช้ในแง่ของขนาดของความสะดวกและราคา ฯลฯ

หลักและวิธีการออกแบบวงจรอย่างง่าย

1. ทำความเข้าใจปัญหาให้ชัดเจนและทำนิยามของสภาวะ I/P และ O/P ที่จำเป็น
2. เตรียม Truth table จากปัญหาที่ได้จากข้อ 1
3. เขียน Output funtion ของแต่ละ Output เมื่ออินพุทเปลี่ยนแปลง
4. Simplified or Manipuleted Function or expression ของแต่ละ Output ที่ได้จากข้อ 3
5. Logic diagram จาก Logic function ที่ได้จากข้อ 4

ตัวอย่างการออกแบบวงจร

จงออกแบบวงจร Encoder ที่ทำหน้าที่เปลี่ยน Decimol Code ไปเป็น 8421 BCD Code

1. Input คือ Decimol code 0, , 1, 2, 3, 4, 5, 6, 7, 8, 9 และ Output คือ BCD Code
2. ทำ Truth table

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

INPUT									OUTPUT			
1	2	3	4	5	6	7	8	9	D	C	B	A
0	0	0	0	0	0	0	0	0	0	0	0	0
1	0	0	0	0	0	0	0	0	0	0	0	1
0	1	0	0	0	0	0	0	0	0	0	1	0
0	0	1	0	0	0	0	0	0	0	0	1	1
0	0	0	1	0	0	0	0	0	0	1	0	0
0	0	0	0	1	0	0	0	0	0	1	0	1
0	0	0	0	0	1	0	0	0	0	1	1	0
0	0	0	0	0	0	1	0	0	0	1	1	1
0	0	0	0	0	0	0	1	0	1	0	0	0
0	0	0	0	0	0	0	0	1	1	0	0	1

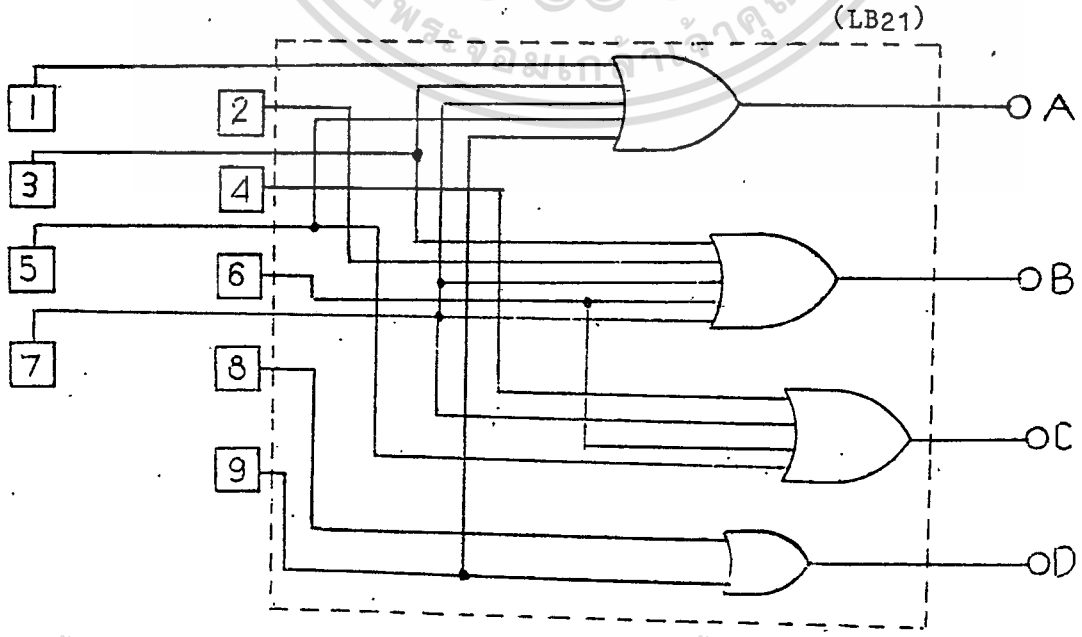
3. เขียน Logic function ของ Output D,C,B,A

D = 8 + 8 + d B = 2 + 3 + 6 + 7 + d

C = 4 + 5 + 6 + 7 + d A = 1 + 3 + 5 + 7 + 9 + d

4. Simplified or Manipulated (ถ้าทำได้)

5. เขียน โลจิก ไดอะแกรมแสดง



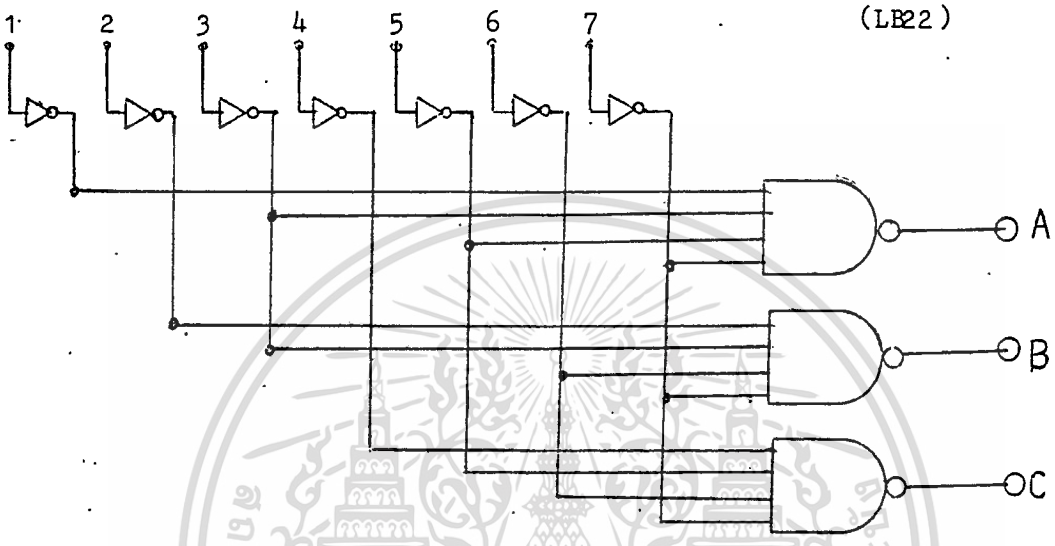
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อุปกรณ์ที่ใช้

1. ชุดฝึกดิจิตอล 1 ชุด
2. IC เบอร์ 54/74 -04, 20, 22, 147
3. TTL DATA BOOK

ลำดับขั้นการทดลอง

1. ทำการทดลองวงจร OCTAL to BINARY ENCODER โดยประกอบวงจรทดลองที่ 16.1 (LB22)



วงจรที่ 16.1

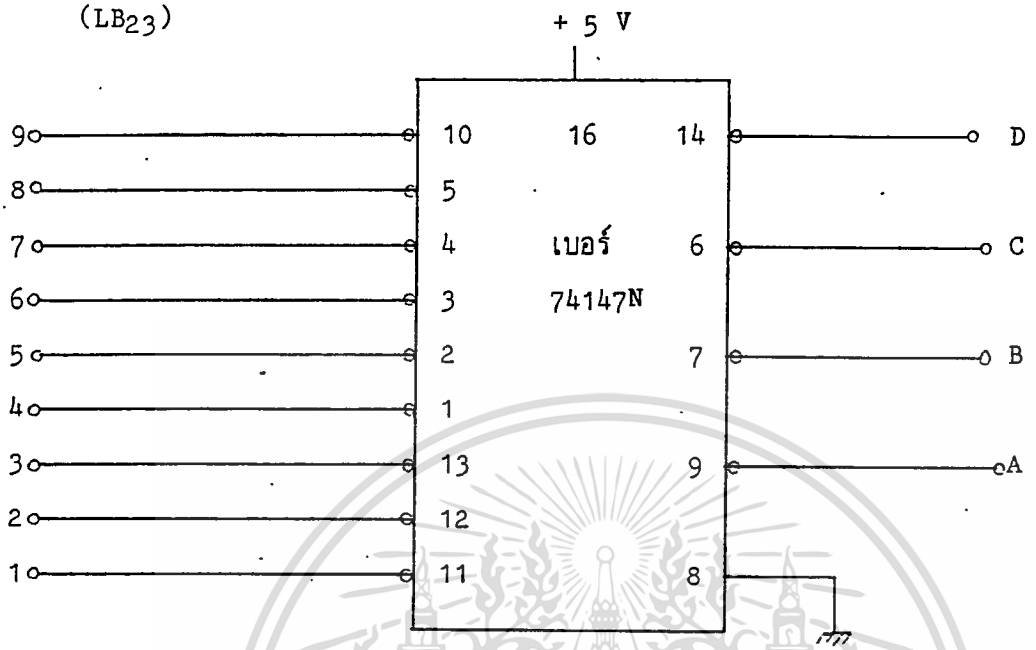
2. ป้อนอินพุท โลจิกสวิทช์ตามตารางที่ 16.1 สังเกตุผลของ เอ้าท์พุท แล้วบันทึกผลลงในตารางที่ 16.1

INPUT							OUTPUT		
1	2	3	4	5	6	7	C	B	A
0	0	0	0	0	0	0			
1	0	0	0	0	0	0			
0	1	0	0	0	0	0			
0	0	1	0	0	0	0			
0	0	0	1	0	0	0			
0	0	0	0	1	0	0			
0	0	0	0	0	1	0			
0	0	0	0	0	0	1			

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อ

และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3. การทดลองวงจร Decimal to 8421 BCD ENCORDER โดยต่อวงจรตามรูปที่ 16.2 ซึ่งเป็นการใช้ไอซีเบอร์ 74147N



รูปวงจรที่ 16.2

INPUT									OUTPUT			
1	2	3	4	5	6	7	8	9	D	C	B	A
1	1	1	1	1	1	1	1	1				
0	1	1	1	1	1	1	1	1				
1	0	1	1	1	1	1	1	1				
1	1	0	1	1	1	1	1	1				
1	1	1	0	1	1	1	1	1				
1	1	1	1	0	1	1	1	1				
1	1	1	1	1	0	1	1	1				
1	1	1	1	1	1	0	1	1				
1	1	1	1	1	1	1	0	1				
1	1	1	1	1	1	1	1	0				

ตารางที่ 16.2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

คำถามท้ายการทดลอง

1. จงอธิบายถึงหลักและวิธีการสรางวงจรตามรูปที่ 16.1

2. จงสร้างวงจร OCTAL to INARY ENCORDER ที่ใช้ OR Gate เพียงอย่างเดียว

3. จงเขียน Pin Assigment และ Block diagram ของ ไอซี เบอร์ 74147 N

4. จงออกแบบวงจร Decimal to EXCESS - 3 ENCORDER โดยใช้วงจร Combination Logic พร้อมทั้งเขียนตารางความจริงแสดงด้วย

5. ลักษณะการทำงานแบบ Active low และ Active high เป็นอย่างไร อธิบาย ยกตัวอย่างประกอบ

6. ไอซี เบอร์ 74148 มีชื่อว่า อย่างไร จงให้รายละเอียดที่จะทำให้เราสามารถนำเอาไปใช้ได้

7. " Priority Encorder " คือ อะไร มีประโยชน์อย่างไร

8. จงแสดงวิธีการต่อวงจร 16 - to - 4 line binary ENCORDER โดยใช้ Ic เบอร์ 74148N และอื่นๆ (เพื่อให้ได้ Output เป็น ลักษณะ Active High)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ใบงานที่ 17

DECODER CIRCUIT

จุดประสงค์

1. ศึกษาการทำงานของวงจร DECORDER
2. ศึกษาวิธีการออกแบบวงจร DECORDER

จุดประสงค์เชิงพฤติกรรม

1. แสดงวิธีการออกแบบวงจร DECORDER
2. อธิบายการทำงานของวงจร DECORDER ได้

คำแนะนำ

decoder circuit หมายถึง วงจรคอมมิเนชั่นที่ทำการเปลี่ยนข้อมูลทาง Input ที่เป็นกลุ่มจำนวนไบนารี่ จาก n เส้นอินพุท (Input lines) ไปเป็นหน่วยระหัสทางเอ้าพุทไม่เกิน 2^n หน่วย หรืออาจพูดได้ว่าเป็นวงจรที่เปลี่ยนระหัสทางอินพุทเพื่อให้ได้output ตามต้องการ เช่นเปลี่ยนระหัส BCD - 8421 ไปเป็นระหัสสัญญาณ 10 เส้น ฯลฯ

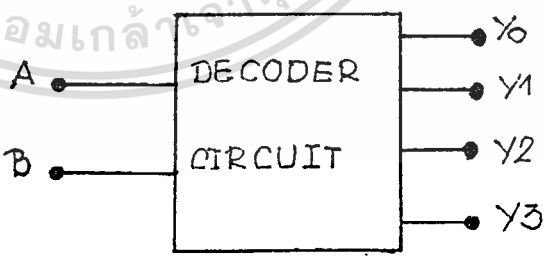
วงจร decoder ต่าง ๆ จะมีชื่อเฉพาะเรียกแตกต่างกันไป เช่น

- 2-to-4 lines decoder
- 3 - to - 8 lines decoder
- BCD - to - 7 segment decoder
- อื่น ๆ

โปรดสังเกตว่าระหัสทางอินพุทที่ต้องการถอดนั้นมีหลายหลัก (bits) แต่เมื่อถอดออกมาแล้วจะได้ระหัสเฉพาะอันใดอันหนึ่งเท่านั้น และจำนวนระหัสที่ถอดออกมาได้จะมีได้ไม่เกิน 2^n (n = จำนวน line ทางอินพุท) เช่น ถ้ามี input 2 เส้น เพราะฉะนั้น output จะมีได้ไม่เกิน $2^2=4$ ระหัส เป็นต้น ลองดูตารางการทำงานของวงจร 2- to-4 decoder

INPUT		OUTPUT
A	B	Y
0	0	y0
0	1	y1
1	0	y2
1	1	y3

ตารางที่ 17.a



รูปที่ 17.a

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา ต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การออกแบบวงจร จากรูปที่ 17.a และตารางที่ 17.a พอที่จะแสดงวิธีการออกแบบวงจรเพื่อเป็นตัวอย่างตามลำดับขั้นดังนี้

1. สร้าง Truth table ของวงจรขึ้นตามจินตนาการก่อน ว่าเราต้องการให้ได้ code อะไรบ้างและจำนวนเท่าใด (2^n code maximum) สมมุติว่าได้ดังตารางที่ 17.a

2. เขียน Logic function ของแต่ละ output ตามระหัสที่ขึ้นอยู่กับตัวแปรทาง input ใด

3. ทำการ Simplified หรือ Manipulate function ในข้อ 2 (ถ้าจำเป็น)เพื่อให้อยู่ในรูปที่สั้น ง่าย และ ประหยัด

4. เขียน Logic diagram ที่ได้จากข้อ 3

5. ประกอบวงจร logic ทดลองผล

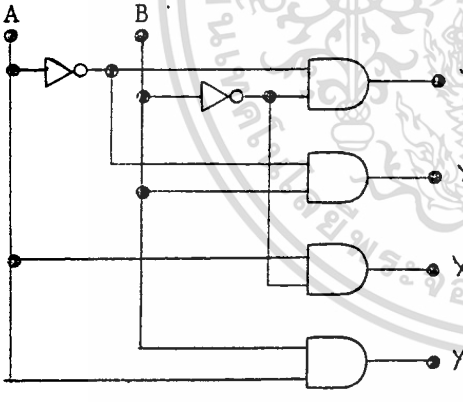
จากตางรางที่ 17.a เขียนเป็น Boolean function ได้ ดังนี้

$$yo = \overline{A} \cdot \overline{B} \quad ; \quad Y1 = \overline{A} \cdot B$$

$$y2 = A \cdot \overline{B} \quad ; \quad Y3 = A \cdot B$$

ในตัวอย่างนี้ yo y1 y2 y3 เป็น function ที่มีตัวแปรอยู่ง่ายและสั้นที่สุดแล้วจึงไปทำตามข้อ 3.

- เขียน logic diagram ทำการทดลองจะได้ดังนี้



A	B	yo	y1	y2	y3
0	0	1	0	0	0
0	1	0	1	0	0
1	0	0	0	1	0
1	1	0	0	0	1

อุปกรณ์ที่ใช้ทดลอง

1. ชุดฝึก Digital training 1 ชุด

2. Board และ IC เบอร์ 7447A, 7442N,

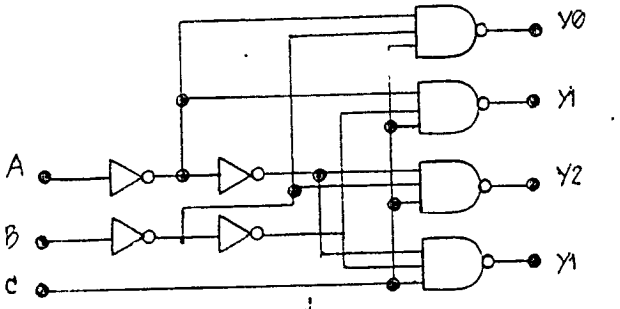
3. 7 -Segment display (1 Common Arode, 1 Common Cothode)

ลำดับขั้นการทดลอง

1. ประกอบวงจรทดลองตามรูปวงจรที่ 17.1 ใช้ Board หรือ IC£ 7400 ,7410ให้ A,B

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

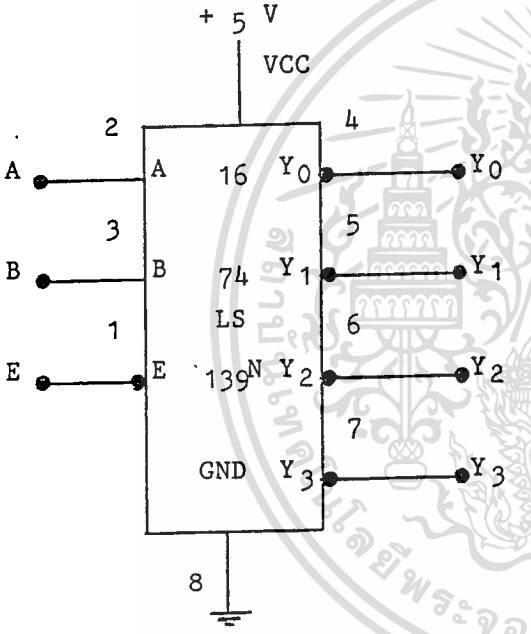
และ E เป็น I/P แล้วให้ Do, D1 ,D2 , D3 , เป็น output สร้าง Truth Table ตามที่ทดลองได้ (E A B Do D1 D2 D3)



วงจรทดลองที่ 17.1

Table ที่ 17.1

2. ศึกษาการทำงานของ 2 - to - 4 Lines Decoder with enable โดยใช้IC# 74LS 139N ทดลอง โดยประกอบวงจรทดลองที่ 17.2



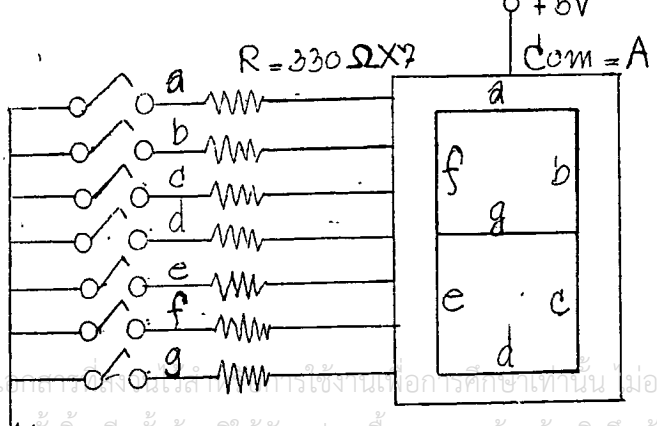
INPUT			OUTPUT			
E	B	A	Y0	Y1	Y2	Y3
0	0	0				
0	0	1				
0	1	0				
0	1	1				
1	0	0				
1	0	1				
1	1	0				
1	1	1				

วงจรทดลองที่ 17.2

Table ที่ 17.2

3. ศึกษาการทำงานของ 7 - Segment display

3.1 ทดลองการทำงานของ Common Anode 7 - Segment display



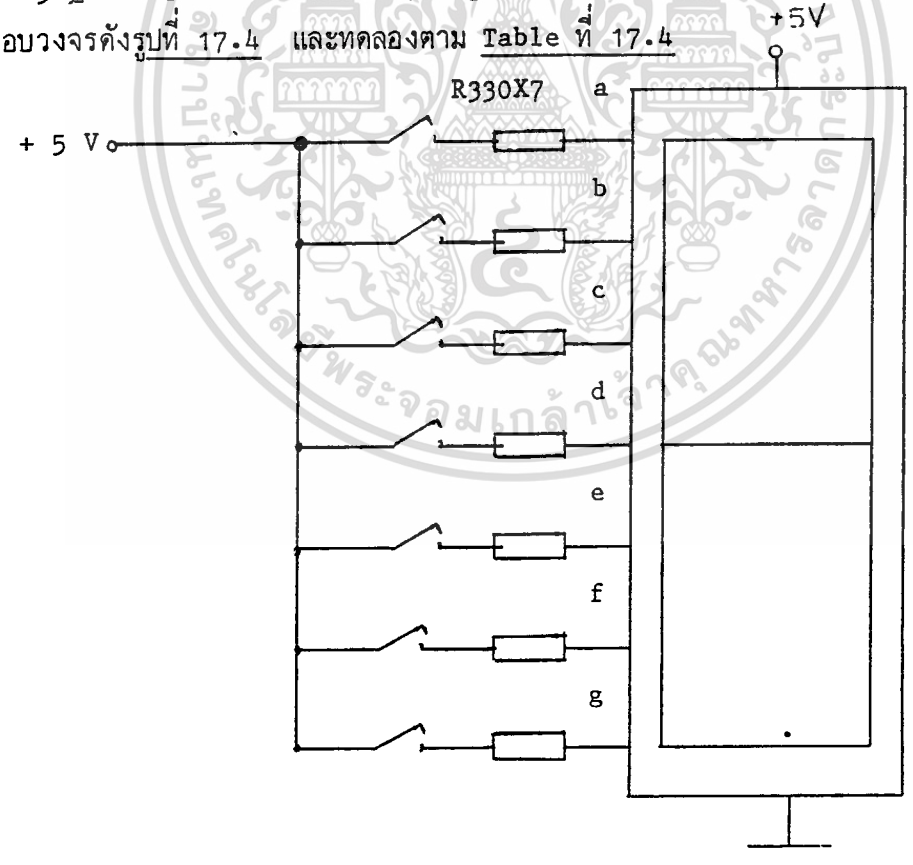
วงจรทดลองที่ 17.3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ทำการทดลอง on switch a - g เพื่อบันทึกผลของ 7 - Segment ที่ให้ผลเกิดขึ้นตามตารางที่ 17.3

ลำดับ	a	b	c	d	e	f	g	7-Segment
1	off	on	on	off	off	off	off	
2	on	on	off	on	on	off	on	
3	on	on	on	on	on	on	on	
4	on	on	on	on	on	on	off	
5	on	on	on	on	off	off	on	
6	on	off	on	on	off	on	on	
7	on	off	on	on	off	on	on	
8	on	on	on	off	off	off	off	
9	on	on	on	on	off	on	on	
0	off	on	on	off	off	on	on	

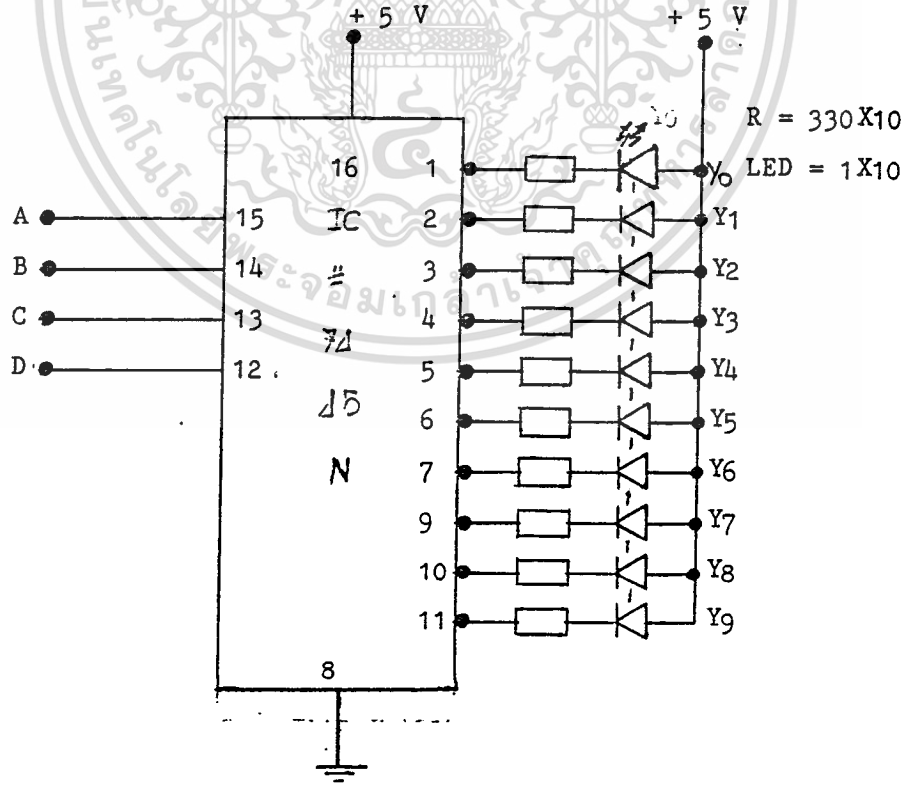
3.2 ทดลองการแสดงผลของ 7-Segment display Common Cathode โดยประกอบวงจรดังรูปที่ 17.4 และทดลองตาม Table ที่ 17.4



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ลำดับ	a	b	c	d	e	f	g	7-Segment
1	off	on	on	off	off	off	off	
2	on	on	off	on	on	off	on	
3	on	on	on	on	on	on	on	
4	on	on	on	on	on	on	off	
5	on	on	on	on	off	off	on	
6	on	off	on	on	on	on	on	
7	on	off	on	on	off	on	on	
8	on	on	on	off	off	off	off	
9	on	on	on	on	off	on	on	
0	off	on	on	off	off	on	on	

4. ศึกษาการทำงานของวงจร 4- Lines-to-10 Lines Decoder โดยต่อวงจรทดลอง ตามรูปที่ 17.5 ต่อ Input A B C D เข้ากับ logic Switches สังเกตผลของ Led แล้วบันทึกผลลงในตารางที่ 17.5

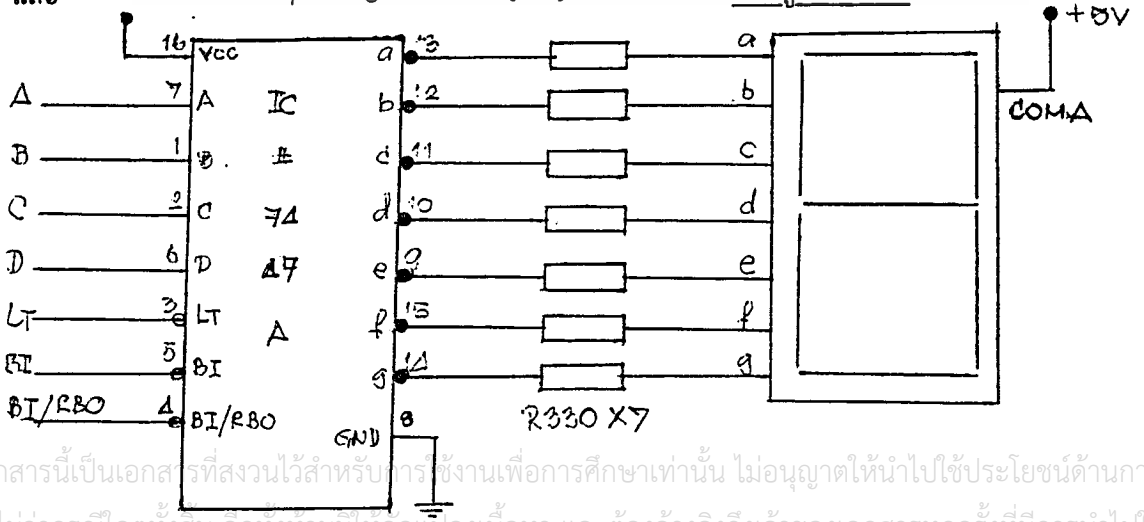


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Table ที่ 17.5

ลำดับ	INPUT				OUTPUT									
	D	C	B	A	yo	y1	y2	y3	y4	y5	y6	y7	y8	y9
0	0	0	0	0										
1	0	0	0	1										
2	0	0	1	0										
3	0	0	1	1										
4	0	1	0	0										
5	0	1	0	1										
6	0	1	1	0										
7	0	1	1	1										
8	1	0	0	0										
9	1	0	0	1										
10	1	0	1	0										
11	1	0	1	1										
12	1	1	0	0										
13	1	1	0	1										
14	1	1	1	0										
15	1	1	1	1										

5. ศึกษาการทำงานของวงจร BCD - 8421 to 7 - segment โดยใช้ IC# 7447A และ Common Anode 7- Segment display โดยต่อวงจรตามรูปที่ 17.6



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

INPUT							OUTPUT							
LT	RBI	BI/RBO	D	C	B	A	a	b	c	d	e	f	g	ตัวเลข
1	1	1	0	0	0	0								
1	X	1	0	0	0	1								
1	X	1	0	0	1	0								
1	X	1	0	0	1	1								
1	X	1	0	1	0	0								
1	X	1	0	1	0	1								
1	X	1	0	1	1	0								
1	X	1	0	1	1	1								
1	X	1	1	0	0	0								
1	X	1	1	0	0	1								
1	X	1	1	0	1	0								
1	X	1	1	0	1	1								
1	X	1	1	1	0	0								
1	X	1	1	1	0	1								
1	X	1	1	1	1	0								
1	X	1	1	1	1	1								
X	X	0	X	X	X	X								
1	0	0	X	X	X	X								
0	X	1	X	X	X	X								

x = don't care จะเป็นอะไรก็ได้ไม่กำหนด

B_1/ RBO = ปกติจะลอยไว้ โดยไม่ต้องต่อกับ Input ใด ๆ หากไม่จำเป็นใช้งาน

6. ให้ศึกษาการใช้ IC เบอร์อื่น ๆ ที่ทำหน้าที่ใน 7-segment เพราะในวงจรดิจิตอลจะมีใช้กันมากมาย มิใช่ว่าจะเป็นเบอร์ 7447A เท่านั้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

คำถามท้ายการทดลอง

1. วงจรที่ 17.1 จะเรียกชื่อของวงจรนี้ว่าอะไร อธิบายการทำงานของวงจร
2. จงเขียน logic diagram ที่พัฒนามาจากวงจรทดลองที่ 17.1 เพื่อให้ได้ truth Table ดังเช่น table ต่อไปนี้

INPUT			OUTPUT			
E	A	B	Y_0	Y_1	Y_2	Y_3
1	X	X	0	0	0	0
0	0	0	1	0	0	0
0	0	1	0	1	0	0
0	1	0	0	0	1	0
0	1	1	0	0	0	1

3. จากรูปวงจรที่ 17.2 สังเกตว่าที่ขา 1,4,5,6, และ 7 จะมี Dot (จุด) ไว้ ( ) อยากทราบว่ามีความหมายอะไรหรือไม่
4. ตามรูปวงจรที่ 17.5 จะมีหลักการอย่างไรที่จะทำให้ LED ต่อกับ ground ได้ซึ่งยังให้การทำงานเป็น 4-to - 10 Lines decoder เขียนรูปวงจรแสดง
5. จงอธิบายการใช้ Input (LT) ควบคุม 7- Segment display
6. จงอธิบายถึงผลการใช้ (RBI) ควบคุม 7- Segment display
7. เราจะใช้ (BI/RBO) ในโอกาสใดสำหรับการแสดงผล
8. เราสามารถที่จะนำ IC# 7447A ไปขับ 7 - Segment display แบบ Common Cathode ได้หรือไม่ อย่างไร
9. ให้หา Schmetic diagram ของ IC# 7447A มาแสดง
10. จงเขียนวงจร Input และ Output Equivalent ของ IC# 7447A แสดงและมีความเกี่ยวพันเช่นไรกับ 7- Segmemt display แบบ Com.Anode
11. ให้นักศึกษาค้นคว้าจากคู่มือ IC.TTL เพื่อหาข้อดี ข้อเสีย และข้อแตกต่างระหว่าง IC#7447A กับ IC#7448A
12. จงแสดงวิธีการออกแบบวงจร BCD - 8421 to 7-Segment display (Com. Cathode) และเขียน Logic diagram แสดง
13. จงสร้าง Full - adder circuit จาก IC 3-to-8 Lines decoder และ gate อื่น ๆ ร่วมกันแสดง

สรุปผลการทดลอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ใบงานที่ 18

วงจรเปลี่ยนรหัส (Code Converter)

จุดมุ่งหมาย เพื่อให้นักศึกษา

1. เข้าใจหน้าที่และลักษณะ การทำงานของวงจรเปลี่ยนระหัส
2. ทราบถึงวิธีการออกแบบวงจรเปลี่ยนระหัสเบื้องต้น

จุดประสงค์เชิงพฤติกรรม ให้นักศึกษา

1. สามารถประกอบวงจรทดลองเองได้
2. สามารถ แสดงวิธีออกแบบและอธิบายการทำงานของวงจรได้

คำแนะนำ

วงจรเปลี่ยนระหัส (Code Converter circuit) หมายถึง วงจรลอจิกที่สามารถเปลี่ยนระหัส จากระหัสหนึ่งไปเป็นอีกระหัสหนึ่งในกลุ่มของระหัสใบนารี่ได้ เช่นเปลี่ยน BCD-8421 Code ไปเป็น Excess-3 Code ฯลฯ และการเรียกชื่อก็จะถือตามการเปลี่ยนแปลงนั้น เช่น BCD-8421 to Excess-3 Converter เป็นต้น

วงจรเปลี่ยนระหัสนี้ เราสามารถที่จะสร้างด้วยวงจร Combination ได้โดยใช้ Gate ต่าง ๆ ซึ่งขึ้นอยู่กับ Function ที่กำหนดของวงจรนั้น และในการสร้างหรือออกแบบวงจรโดยทั่วไปจะทำตามขั้นตอนดังที่กล่าวมาในใบงานที่แล้วคือ

1. สร้าง Truth table แสดงผลของ INPUT, OUTPUT ที่เปลี่ยนแปลง
2. เขียน Logic หรือ Boolean function สำหรับ output แต่ละตัวจาก input ที่เปลี่ยนแปลงไป (Minterm or Maxterm Function)
3. Simplified function ที่เขียนได้จากข้อ 2 ให้สั้น ง่าย และประหยัดที่สุด
4. เขียน Logic diagram จาก Function ที่ได้จากข้อ 3 แสดง Input, Output
5. ทดลองวงจรพิสูจน์ผล

หมายเหตุ การออกแบบวงจรลอจิก ได้อธิบาย และมีตัวอย่างในใบงานที่ 17 แล้ว

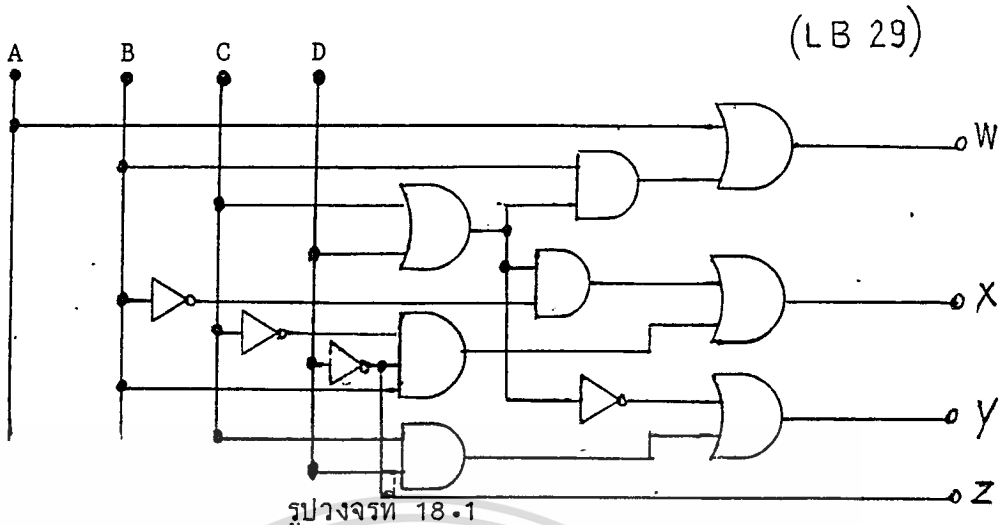
อุปกรณ์ที่ใช้ทดลอง

1. ชุดฝึกดิจิตอล (Digital board trainer)
2. IC เพิ่มเติมเบอร์ (#74185A)
3. คู่มือไอซี TTL

ลำดับขั้นการทดลอง

1. ทดลองการทำงานของวงจร 8421 BCD to Excess-3 converter โดยประกอบวงจรทดลองตามรูปวงจรที่ 18.1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปวงจรที่ 18.1

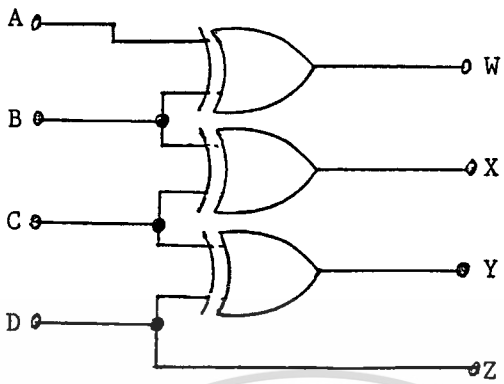
2. ต่อ อินพุท A,B,C, และ D เข้ากับ Input Logic Suitches และต่อ output W,X,Y,Z, เข้ากับ output logic monitor ทำการเปลี่ยนแปลง logic input ตามตาราง ที่ 18.1 แล้วบันทึกผล

ลำดับ	INPUT BCD - 8421				7 -	OUTPUT				Seg-
	D	C	B	A	Seg	W	X	Y	Z	ment
0	0	0	0	0	0					
1	0	0	0	1	1					
2	0	0	1	0	2					
3	0	0	1	1	3					
4	0	1	0	0	4					
5	0	1	0	1	5					
6	0	1	1	0	6					
7	0	1	1	1	7					
8	1	0	0	0	8					
9	1	0	0	1	9					

Table ที่ 18.1

3. ทำการทดลองวงจร Binary to Gray Code Converter โดยประกอบวงจรตามรูปวงจรที่ 18.2 (ใช้ SB-)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



To Monitor

7 - Segment display

(LB 13)

วงจรทดลองที่ 18.2

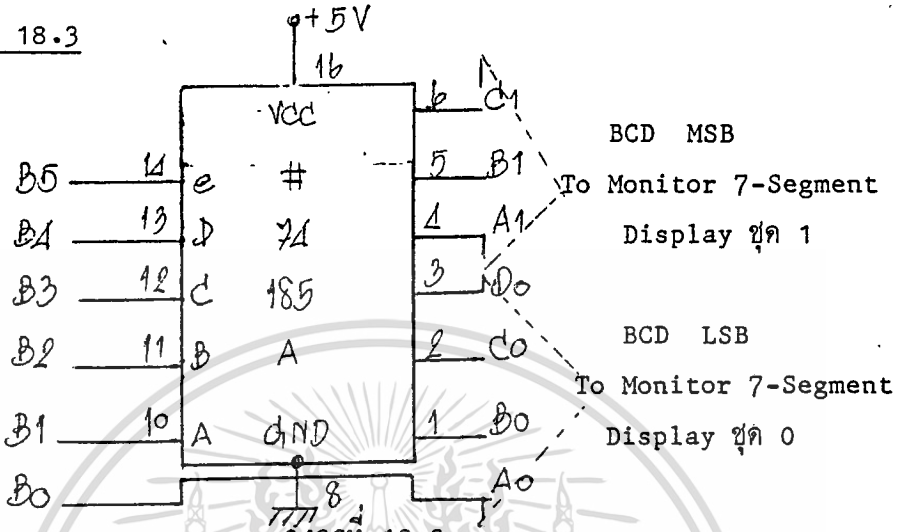
4. ค่าวงจรดังเช่น การทดลองข้อ 2 แต่บันทึกผลลงในตารางที่ 18.2

ลำดับ	INPUT BINARY				OUTPUT GRAY				
	D	C	B	A	Z	Y	X	W	
0	0	0	0	0					
1	0	0	0	1					
2	0	0	1	0					
3	0	0	1	1					
4	0	1	0	0					
5	0	1	0	1					
6	0	1	1	0					
7	0	1	1	1					
8	1	0	0	0					
9	1	0	0	1					
A	1	0	1	0					
B	1	0	1	1					
C	1	1	0	0					
D	1	1	0	0					
E	1	1	1	0					
F	1	1	1	1					

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางบันทึกผลที่ 18.2

5. ทดลอง วงจร Binary to BCD code converter ที่ใช้ IC£ 74185A โดยประกอบวงจรตามรูป 18.3



วงจรที่ 18.3

6. ให้ Input Logic B5,B4,B3,B2,B1,Bo แล้วบันทึกผลของ Display ลงใน Table 18.3

ลำดับ	BINARY						MSB	LSB	ลำดับ	BINARY						MSB	LSB
	B5	B4	B3	B2	B1	Bo				B5	B4	B3	B2	B1	Bo		
0	0	0	0	0	0	0				0	1	0	0	0	0		
1	0	0	0	0	0	1				0	1	0	0	0	1		
2	0	0	0	0	1	0				0	1	0	0	1	0		
3	0	0	0	0	1	1				0	1	0	0	1	1		
4	0	0	0	1	0	0				1	0	0	1	0	0		
5	0	0	0	1	0	1				1	0	0	1	0	1		
6	0	0	0	1	1	0				1	0	0	1	1	0		
7	0	0	0	1	1	1				1	0	0	1	1	1		
8	0	0	1	0	0	0				1	1	1	0	0	0		
9	0	0	0	0	0	1				1	1	1	0	0	1		
10	0	0	1	0	1	0				1	1	1	0	0	1		
11	0	0	1	0	1	1				1	1	1	0	1	1		
12	0	0	1	0	0	0				1	1	1	1	0	0		

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

13	0	0	1	1	0	1			1	1	1	1	0	1		
14	0	0	1	1	1	0			1	1	1	1	1	0		
15	0	0	1	1	1	1			1	1	1	1	1	1		

Table 18.3

7. ให้ศึกษา IC£ 74184 , 74185A อย่างละเอียดให้สามารถนำไปใช้งานได้
8. ให้ศึกษา วิธีการออกแบบ วงจร Code Converter ต่าง ๆ เพื่อความชำนาญและเกิดทักษะ

คำถามท้ายบท

1. จงแสดงวิธีการเปลี่ยน Logic gate ในรูปวงจรที่ 18.1 เพื่อให้ใช้เฉพาะ Nand gate เพียงอย่างเดียวเท่านั้น
2. จงแสดงวิธีออกแบบวงจร Excess- 3 to BCD-8421 Code Converter และเขียน Logic diagram โดยใช้ Nand gate เพียงอย่างเดียว
3. ถ้ามีเหตุที่ทำให้ DCBA =1011 output WXYZ จะเป็นเท่าไร และจะเป็น Excess-3 code หรือไม่ (การทดลองข้อ 1,2)
4. ให้อธิบายถึงวิธีการเปลี่ยน Gray code เป็น Binary code พร้อมทั้งเขียนวงจร Combination ของ Gay to Binay Converter cet แสดงด้วย
5. ในขณะที่ Input (b5 1 0 1 1 1 1 bo) จะทำให้ Display อะไร และ Binay 6 bits code จะทำให้ได้ BCD Code เป็นจำนวนสูงสุดเท่าใด
6. เขียนวงจร BCD -to - 7bit Binary code โดยใช้ IC£ 74184 1 วงจร
7. เขียนวงจร 8 - bit Binary - to - BCD code Converter โดยใช้ IC£ 74185A 1 วงจร

สรุปผลการทดลอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ใบงานที่ 19

วงจรกำเนิดพัลซ์ (Pulse Generator)

จุดมุ่งหมาย เพื่อให้นักศึกษา

1. เข้าใจหน้าที่และการทำงานของวงจร Pulse Generator
2. ทราบถึงวิธีการออกแบบและประโยชน์ ของวงจร

จุดประสงค์เชิงพฤติกรรม ให้นักศึกษา

1. สารมารถประกอบวงจรทดลองเองได้
2. สามารถสร้างวงจร Pulse generator ทั้งแบบ Time periodic และแบบ Triggering ได้
3. สารมารถนำวงจรไปใช้งานได้

คำแนะนำ

สัญญาณพัลซ์ (Pulse Signal) เป็นสัญญาณรูปหนึ่งที่มีการเปลี่ยนแปลงอยู่สองระดับ(Level) ซึ่งปกติจะอยู่ที่ระดับหนึ่งในเวลาต่อมาก็จะเปลี่ยนสภาวะไปอยู่อีกระดับหนึ่งแล้วก็เปลี่ยนกลับเข้าสู่ระดับปกติอีกเช่นเดิม และเราอาจพูดได้ว่า pulse signal ก็คือสัญญาณดิจิตอลนั่นเอง เพราะมี High Level และ Low Level เท่านั้น

ลักษณะของพัลซ์จะถูกเรียกชื่อตามสภาวะ Active ของ pulse เช่น ระดับปกติคือ "0" (Low Level) สภาวะ Active ก็คือ "1" (High Level) ลักษณะเช่นนี้เราจะเรียกว่า positive pulse ในทางตรงกันข้าม ระดับปกติคือ "1" (High Level)ก็จะมีสภาวะ Active เป็น "0" (Low Level) ก็จะเรียกว่า Negative pulse รูปที่19.a,b แสดงลักษณะของ pulse แต่ละชนิด

(a) Positive Pulse (b) Negative Pulse

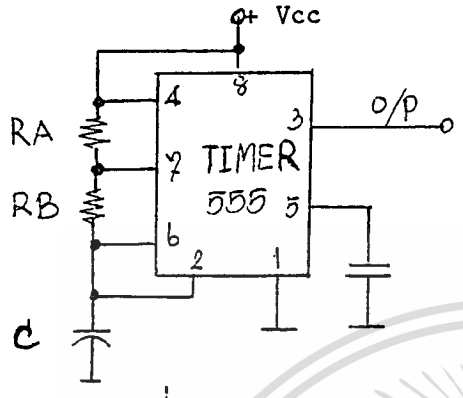
สำหรับ pulse ที่มีลักษณะซ้ำแบบเดิมในช่วงเวลาที่ค่าคงที่ค่าหนึ่ง กล่าวคือเป็นสัญญาณรายคาบ (periodic signal) นั่นเอง และเราจะเรียกชื่อของสัญญาณรายคาบนี้ใหม่ว่า สัญญาณนาฬิกา (Clock หรือ Clock pulse) เมื่อเรานับจำนวน pulse ต่อวินาทีเราก็จะทราบความถี่ของ Clock pulse นั้น ๆ และวงจร Astable multivibrator จะเป็นตัวกำเนิด pulse นี้ แต่สำหรับ pulse ที่เกิดขึ้นในเวลาที่ไม่แน่นอน อาจจะซ้ำแบบเดิมหรือไม่ก็ได้ เราจะเรียกอีกชื่อว่า Pulse trigger สัญญาณ Pulse ชนิดนี้จะได้จากวงจร Monostable multivibrator

อุปกรณ์ หรือวงจรที่ Generated pulse signal ได้แก่ Timer 555,74121(Monostable) Xtal (Crytal) หรือไอซีเฉพาะ เบอร์อื่น ๆ รวมทั้งวงจร Gate พื้นฐานที่เราสามารถสร้างให้เป็น pulse generator ได้ดัวย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตัวอย่างของวงจร pulse generator

1. โดยการใช้ Timer 555



วงจรที่ 19.1

ความถี่ของ OUTPUT สามารถกำหนดได้จากสมการ

$$freq = \frac{1.443}{(Ra+2Rb).C}$$

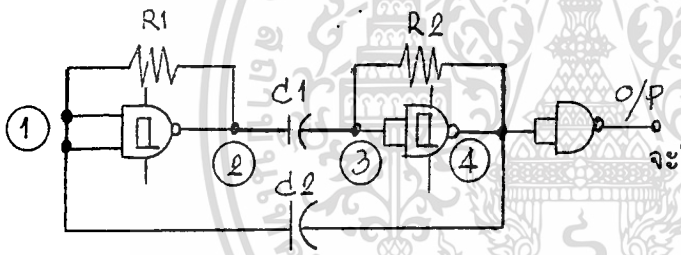
= Hertz

R = ohm

C = Farad

$$\% \text{ duty cycle} = \frac{Ra + Rb}{(Ra + 2Rb)} \times 100 =$$

2. โดยการใช้ Gate (NOT,NAND, NOR) ร่วมกับ R - C



$$freq = \frac{1.4}{R1.C1+R2.C2}$$

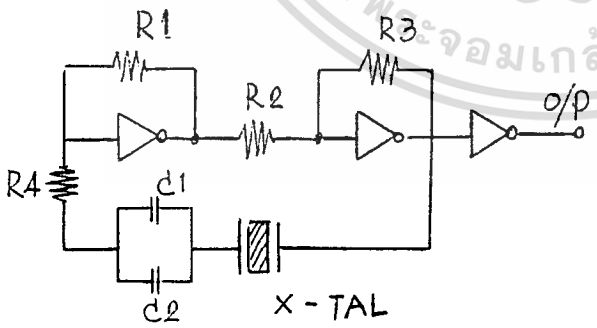
ให้ R1=R2, C1=C2 (50 % duty)

จะให้ $freq = \frac{0.7}{R.C}$ = Hertz

R = ohm

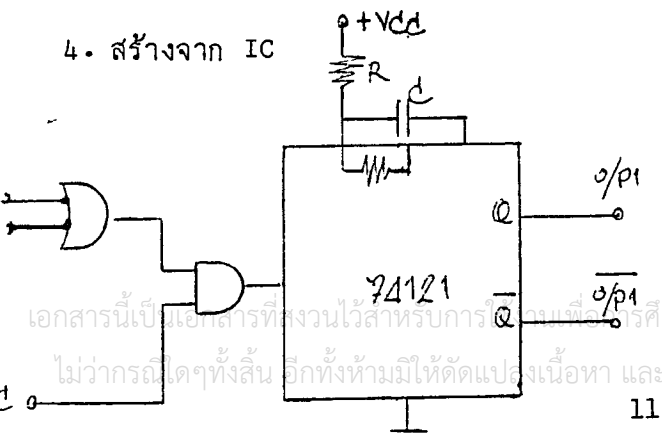
C = Farad

3. โดยการใช้ Crystal ร่วมกับ gate และ R - C



Output frequency ปกติจะขึ้นอยู่กับ X - Tal เช่น X-Tal 10.1413 Mhz ก็จะได้ O/P = 10.1413 Mhz เช่นกัน แต่ควรรลึกด้วยว่าที่ความถี่สูง Capacitor จะมีผลมากรวมทั้ง Delay Time ของ Gate ด้วย

4. สร้างจาก IC



Monostable (Single Short) 74121

Tim delay = 0.7 X R X C

= Secound

R = ohm(1.4K - 40K)

C = Farad(<1000 F)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อุปกรณ์ที่ใช้

1. ชุดฝึกดิจิตอล (Digital board trainer)
2. Board ต่าง ๆ ไอซี และ Pesistor , Capacitor เพิ่มเติม
3. คู่มือไอซี Timer 555 , TTL
4. Pulse generator
5. Oscilloscope
6. อื่น ๆ

ลำดับขั้นการทดลอง

1. ประกอบวงจรตามรูปที่ 19.1 โดยให้ค่าของ Ra , Rb และ C ตามที่กำหนดให้ใน table 19.1 ให้ +VCC = 5V แล้วใช้ Oscilloscope วัด Wave form ที่ o/p หาเวลา High Level และ Low level และคำนวนหาค่า Luty cycle บันทึกผล

Ra	Rb	C	T, high	T , Low	%duty	Frequency
1K	25K	0.047				
1K	150K	0.047				
1K	150K	0.0047				
10K	15K	0.0047				

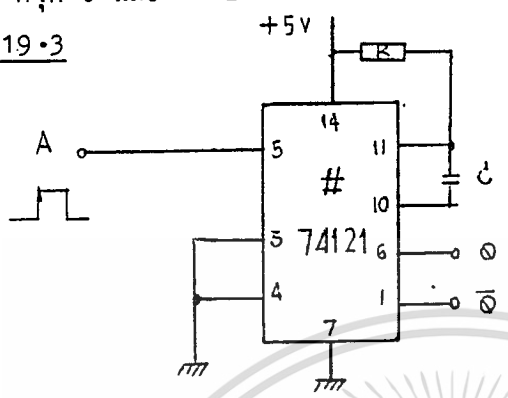
Table 19.1

2. ใช้ TTL ประกอบวงจรตามรูปที่ 19.1 แล้วให้ค่า R,C เป็นไปตามค่าที่ให้ในตารางที่ 19.2 ใช้ Osciloocope วัด Wave form ตามจุดต่าง ๆ และอ่านค่า ThighT Low ของO/P pulse คำนวณหาค่า %duty แล้วบันทึกผล

R1	R2	C1	C2	1	2	3	4	o/p Thigh+T Low	%Duty
1K	1K	.047	.047						
10K	1K	.047	.047						
1k	10k	.047	.047						
1k	1K	.47	.047						
1K	10K	.047	.47						

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

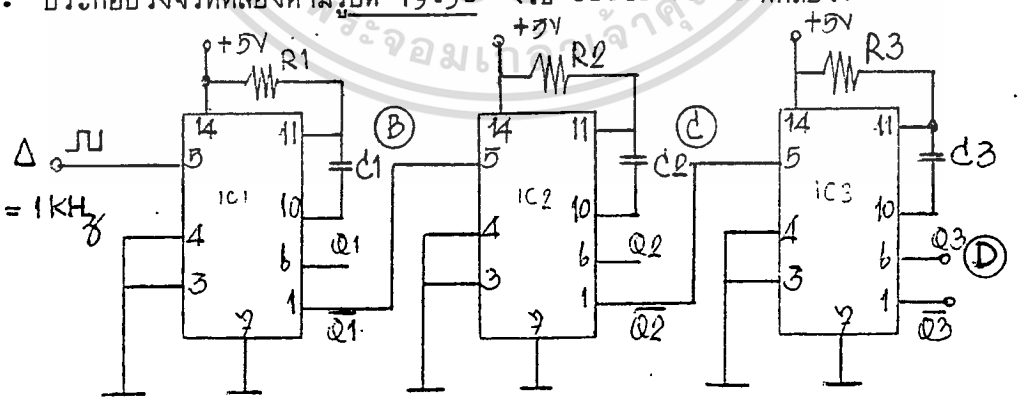
3. ประกอบวงจรทดลองต่อไปนี้ โดยให้ สัญญาณกระตุ้น เข้าที่จุด A ใช้ scope วัด wave form ที่จุด Q และ บันทึก wave form ที่ได้ในการเปลี่ยนแปลงค่า R, C ทุกครั้ง ในตารางที่ 19.3



Delay time	R	C	A	Q	Q
	10 K	0.047			
	25 K	0.047			
	25 K	0.1			
	10 K	1			
	25 K	10			

ตารางที่ 19.3

4. ประกอบวงจรทดลองตามรูปที่ 19.5b (ใช้ Proto board ทดลอง)

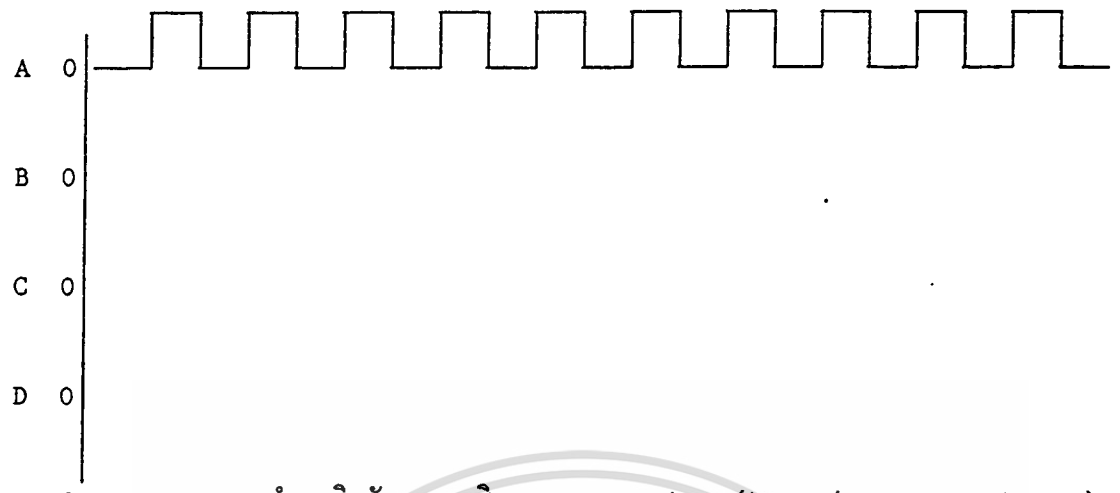


วงจรทดลองที่ 19.5b

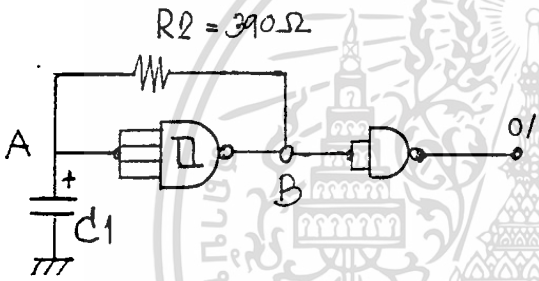
5. ป้อน Input ที่จุด A = 1 KHhz กำหนดค่า $R_1 = R_2 = R_3 = 4.7$ K, $C_1 = 0.1$, $C_2 = .1$ F, $C_3 = 1$ F ทำการวัด Wave form ตามจุดต่าง ๆ เขียน Timing Diagram

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หมายเหตุ - จะต้องใช้ Scope หลาย Channel วัดเปรียบเทียบ Phase กัน จึงจะเห็นผลและอาจเปลี่ยนแปลงค่า R - C ตามความเหมาะสมได้



6. ทดลองวงจรกำเนิดสัญญาณนาฬิกาจาก IC £7413 (4 - I/P NAND Schmitt) โดยประกอบวงจรทดลองตามรูปที่ 19.6 (ใช้ LB 32)



วงจรทดลองที่ 19.6

7. ใส่ Cext เข้าไปแล้วฟังเสียงและวัด Wave form ตามจุดต่างๆบันทึกผล

1). C = .1 μF 2). C = 1 μF 3). C = 10 μF

A:

B:

O/P:

เสียง :

8. ให้ศึกษาวิธีการนำ IC Schmitt Trigger มาทำเป็น Multivibrator และค้นคว้าเพิ่มเติม

คำถามท้ายบท

1. จากวงจรที่ 19.1 เมื่อต้องการ ปรับความถี่ได้ตั้งแต่ 1KH ถึง 10 KH

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

25 N 30%duty จงหาค่า R และ C ที่มีตามท้องตลาดเพื่อให้ได้งานตามเงื่อนไขดังกล่าว

2. จากการทดลอง วงจรที่ 19.1 duty cycle จะแปรผันตามค่าของ C หรือไม่อย่างไร

3. จงเขียน Timing diagram ของ Clock pulse แสดง 75% duty ของ pulse และ output Vt maximum วัดได้เท่าไรสังเกตเห็นว่าอย่างไรเกิด pulseting on de ใช่หรือไม่

4. จงวิเคราะห์ผลการทดลองวงจรที่ 19.2 มาโดยละเอียด

5. จงวิเคราะห์ผลการทดลองวงจรที่ 19.5A และถ้าต้องการให้เกิด Delay time 15 ms จะต้องใช้ค่า R, C เท่าไร

6. วิเคราะห์ผลการทดลอง ข้อ 4 และข้อ 5

7. จงสร้างวงจรกำเนิดสัญญาณ Pulse โดยใช้

   1. DC£ 7404 1 วงจรให้ได้ความถี่ 10KH 50 duty

   2. DC£ 74121 1 วงจร(ไม่กำหนดความถี่)

8. จงอธิบายการทำงานของวงจรทดลองที่ 19.6 และหากต้องการความถี่ O/P ที่ 10 Khz จะต้องใช้ C1 ค่าเท่าใด

9. จงออกแบบวงจร Logic Tone ที่ให้เงื่อนไขดังต่อไปนี้ โดยใช้ IC 7413 และอื่นๆประกอบ

INPUT	OUTPUT
LOGIC "1"	10Khz
LOGIC "0"	1Khz
ไม่มี	เป็นอะไรก็ได้

สรุปผลการทดลอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ใบงานที่ 20

Schmitt Trigger Circuit

จุดมุ่งหมาย 1. เพื่อทราบถึงหน้าที่การทำงานของ Schmitt trigger

2. เพื่อศึกษาวิธีการใช้งานของ IC Schmitt trigger

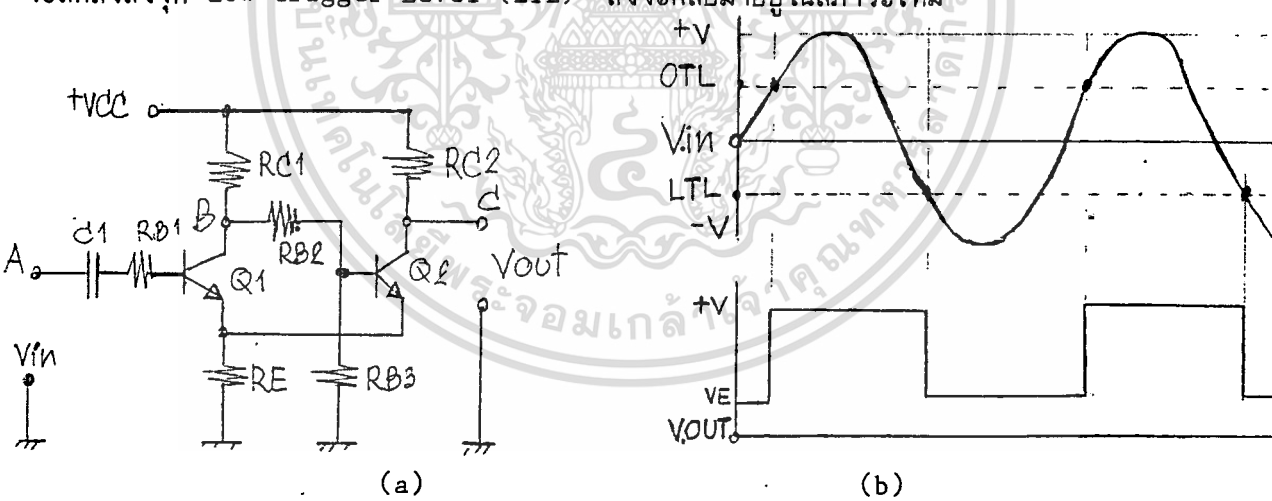
จุดประสงค์เชิงพฤติกรรม เพื่อให้นักศึกษาสามารถ

1. อธิบายการทำงานของวงจร Transistor schmitt trigger ได้
2. ประกอบวงจรทดลองได้
3. นำไอ ซี เบอร์ 7414, 74132 (หรือ ไอซี schmitt เบอร์อื่น ๆ) ไปสร้าง pulse signal ได้

คำแนะนำ

วงจร schmitt triggerเป็นวงจรอิเลคทรอนิคส์ ที่ใช้สำหรับแปรงรูปสัญญาณ(wave shaping) เพื่อให้ได้ output เป็น pulse signal ซึ่งในขณะที่ input signal จะเป็นสัญญาณใด ๆ ก็ได้

การทำงานของวงจร schmitt trigger รูปที่ 20.1 เพื่อวงจรมีแรงดันทางอินพุท (I/P Voltage) สูงขึ้นจนถึงจุด Uppertrigger Level หรือ UTL point ก็จะเกิดการเปลี่ยนสภาวะของ O/Pของวงจรให้เปลี่ยนไปอยู่ในสภาวะหนึ่ง และจะคงต่อไปจนกว่า Input Voltage จะลดลงถึงจุด Low trigger Level (LTL) ถึงจะกลับมาอยู่ในสภาวะเดิม



รูปที่ 20.1a Transistor Schmitt circuit, b) I/P and output waveform

Schmitt trigger หรือวงจรตรวจจับระดับอินพุท (Level Sensitive)จากรูป a:1,2 ในขณะที่ Vin=0 Q2 จะอยู่ในสภาวะ ON เนื่องจาก Divider RC_1,RB_2 และ RB_3 ทำ biasให้ทำให้ Vout ลดลง แต่เนื่องจาก RE จึงทำให้เกิด VT drop ที่ RE ทำให้ Vout มีแรงดันเพียงเล็กน้อย (Q1จะอยู่ในสภาวะ OFF เพราะ Ib=0)

เมื่อเราให้ Vin มีค่าเป็นบวกมากขึ้น จนกระทั่ง $Vb_1 > VG$ ของ Q_1,จะทำให้ Q_1 conduct อยู่ในสภาวะ On State ในขณะเดียวกัน VCE ของ Q_1 ก็จะลดต่ำลง = 0 ทำให้ VB

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ของ Q_2 มีค่าน้อยกว่า VE จึงทำให้ reversebias Q_2 จะอยู่ในสภาวะ OFF state ทำให้ Vout มีค่า = +VCC จึงทำให้ได้ output High และ Q_2 จะ OFF state ไปจนกระทั่ง Q_1 ได้รับ reversebias (Vin<<VE) และ OFF State จึงจะเกิดสภาวะ ON ซึ่งทำให้ได้ output low voltageเช่นเดิมอีก

จุดที่แรงดันอินพุทต่ำลงจนทำให้ output high voltage เรียกว่า Upper Trigger level point (UTL)

และจุดที่แรงดันอินพุทต่ำลงจนทำให้เกิด output low ตาม เรียกว่า Lower Trigger level point (LTL)

ไอซีทีทีแอล และอื่น ๆ หลายเบอร์ที่ทำเป็น schmitt trigger โดยเฉพาะ เช่น

7413 : Dual 4 - Input positive Nand schmitt triggers

7414 : Hex schmitt trigger inverters

74132 : Quad 2 - Input positive - Nand schmitt trigger

และเบอร์อื่น ๆ อีก ซึ่งรายละเอียดของ ไอซีเบอร์เหล่านี้จะศึกษาเองได้จากหนังสือคู่มือ

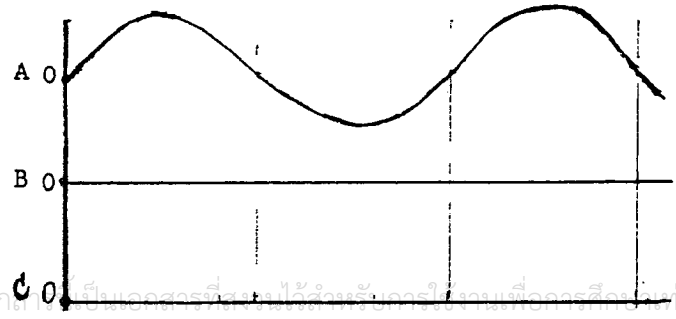
เราจะเห็นวงจร schmitt trigger มีใช้อยู่ในวงจรดิจิตอล หลายวงจร เช่น Digital moter ect, Frequency counter ect, หรืออื่น ๆ

อุปกรณ์ที่ใช้

1. ชุดฝึกดิจิตอล 1 ชุด
2. Oscilloscole 1 ตัว
3. Audio generator 1 ตัว
4. Multimeter 1 ตัว
5. IC เบอร์ 7414 1 ตัว
6. สายต่อวงจรและอื่น ๆ

ลำดับขั้นการทดลอง

1. ประกอบวงจรทดลองตามรูปที่ 20.19 โดยให้ VCC= +5V, Q_1=Q_2= C458, $RC_1 = RC_2 = 1K$, $C_1 = 1$,$Rb_1 = 10K$,$Rb_2 = 27K$, $Rb_3 = 39K$ RE = 330
2. ป้อน Sine หรือ Triaglelar Wave iKtl8 20Vp-p ป้อนเข้าที่ จุด A แล้วใช้ Oscilloscope วัด wave form ตามจุดต่าง ๆ แล้วบันทึกผล



UTL ≅ Volts

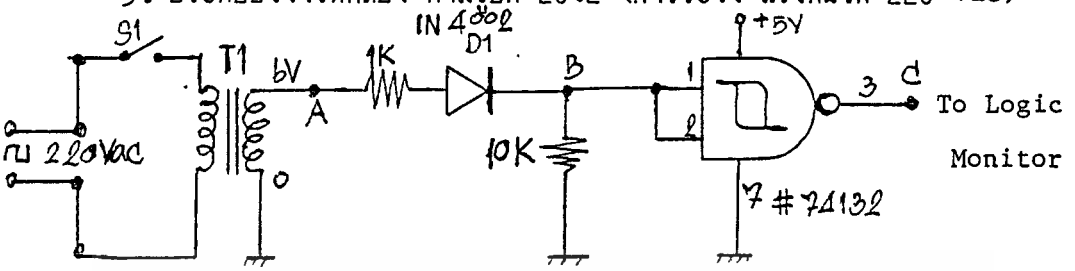
LTL ≅ Volts

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

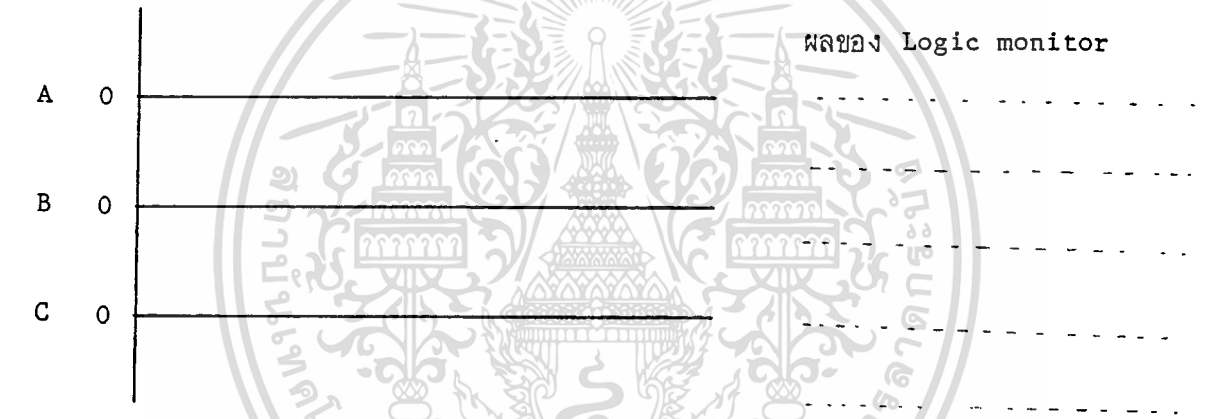
VE ≅ Volts

(ทศนิยม 2 ตำแหน่ง)

3. ประกอบวงจรทดลอง ตามรูปที่ 20.2 (การระวัง แรงดันไฟ 220 vac)



4. ใช้ Oscilloscope วัด Wave form ตามจุดต่าง และผลของ Logic monitor แล้วบันทึกผล



<u>คำถามท้ายการทดลอง</u>

1. จงอธิบายการทำงานของวงจร รูปที่ 20.19 มาโดยละเอียดและวิเคราะห์ผลที่ทดลองได้ในการทดลองข้อ 2 ว่าเป็นจริงหรือไม่ อย่างไร และค่า RE มีค่ามาก ๆ หรือน้อย ๆ กว่าปัจจุบันจะทำให้การทำงานของวงจรเป็นอย่างไร

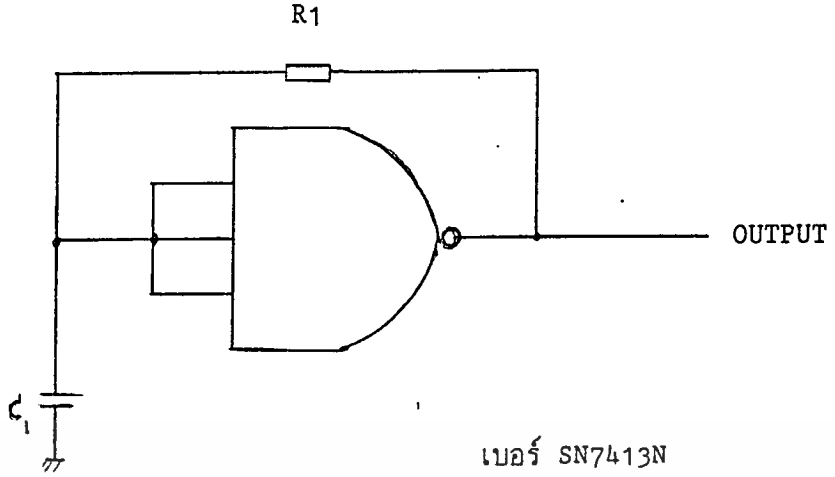
2. จากการทดลองข้อ 3,4 ผลของ Wave form แต่ละจุดแตกต่างกันอย่างไร ทำไมจึงเป็นเช่นนั้น และความถี่ที่จุด C หรือจุดใด ๆ เท่ากันหรือไม่ และเป็นเท่าไหร่

3. จากรูปการทดลองวงจรต่อไปนี้จงเขียน o/p wave form แสดง

OUTPUT

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4. จากรูปการทดลองช่องวงจรต่อไปนี้จงเขียน o/p wave form แสดง



เบอร์ SN7413N

สรุปผลการทดลอง

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ใบงานที่ 21

Digital Multiplexer / Data Selector

จุดมุ่งหมาย เพื่อให้นักศึกษา

1. ได้เข้าใจในการทำงานของ Digital Multiplexer/ Data Selector
2. ศึกษาการส่งข้อมูลโดยใช้ Multiplexer

จุดประสงค์เชิงพฤติกรรม เพื่อให้นักศึกษาสามารถ

1. อธิบายการทำงานของวงจร Multiplexer/Data Selector ได้
2. ต่อวงจรทดลองได้
3. นำไอซี เบอร์ 74150,151,152 และ 74153 มาใช้งานได้

คำแนะนำ

ในกรณีที่เราต้องการจะส่งข้อมูล Binary number จากหลาย ๆ แหล่งกำเนิดข้อมูลไปในสายส่งเดียวกัน (Channel or line) เราก็สามารถทำการส่งข้อมูลนั้นได้ด้วยวิธีการ Multiplex ซึ่งข้อมูลของแต่ละชุดจะมีหลาย ๆ บิทก็ได้แต่ข้อมูลชุดใดจะถูกส่งออกไป จะถูกกำหนดด้วย Data Selector (ตัวเลือกข้อมูล) ซึ่ง Data Selector จะสามารถเลือกข้อมูลได้สูงสุด 2^n ข้อมูลโดยที่ n คือจำนวน Data Selector Lines

Digital Multiplexer/Data Selector สามารถสร้างจากวงจร combination หรือจาก ไอซีสำเร็จที่ใช้ได้เลยก็ได้ แต่ทั้งนี้และทั้งนั้น การเรียกชื่อเฉพาะของ multi;lexer/data selector ก็ยังเรียกกันเช่นเดิม คือ

- 4 - line - to - 1 Line multiplexer (74153)
- 8 - Line - to - 1 Line multiplexer (74152)
- 16 -Line - to - 1 Line multiplexer (74150)
- หรืออื่น ๆ

หมายเหตุ การเรียกชื่อจะขึ้นอยู่กับตัว multiplexer ว่าสามารถเลือกข้อมูลได้เท่าใดเช่น 4 - to- 1 Line ก็คือ เลือกข้อมูลใน 4 ชุด ให้ออกไป 1 ชุด ในเวลานั้นในงานของโทรศัพท์ - ดาวเทียม อื่น ๆ เรื่องของ multiplex นี้มีบทบาทมากดังนั้น เราจึงเห็นวงจร multiplexer ใช้กันอยู่ทั่วไป

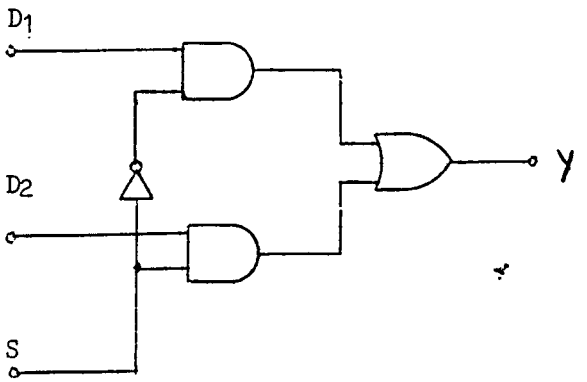
อุปกรณ์ที่ใช้ทดลอง

1. แผงฝึก Digital Board Trainer
2. ไอซีเพิ่มเติม เบอร์ 74153, 7493 , 74151
3. TTL Data Book

ลำดับขั้นการทดลอง

1. ทดลองวงจร 2 -to -1 Line Multiplexer โดยต่อวงจรตามรูปที่ 21.1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

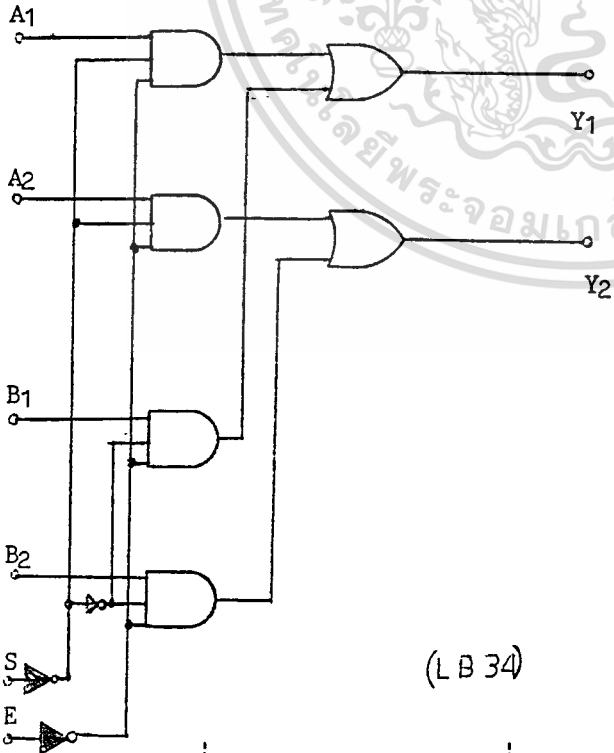


INPUT			OUTPUT
D1	D2	S	Y
0	0	0	
0	0	1	
0	1	0	
0	1	1	
1	0	0	
1	0	1	
1	1	0	
1	1	1	

รูปที่ 20.1 ตารางที่ 21.1

2. ต่อ D1, D2, s เข้าที่ input logie switch และ y เข้าที่ o/p Logic Monitor เปลี่ยนแปลงค่าของ Input และบันทึกผลของ y ลงในตารางนั้น

3. ประกอบวงจร ต่อไปนี้ แล้วทำอย่างข้อ 2 และบันทึกผลลงในตารางที่ 21.1



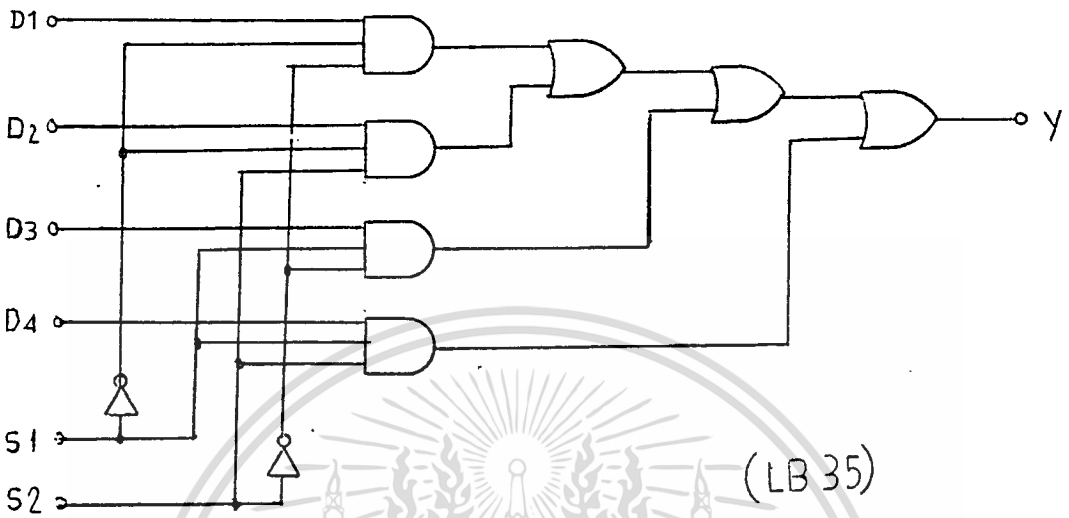
INPUT						OUTPUT	
A1	A2	B1	B2	E	S	Y1	Y2
0	0	0	0	0	0		
0	0	0	1	0	1		
0	0	1	0	0	0		
0	1	0	0	0	1		
1	0	0	0	0	1		
1	1	0	0	1	0		
0	0	1	1	1	1		
1	1	0	0	0	0		
0	0	1	1	0	1		
1	1	1	1	1	X		

วงจรทดลองที่ 21.1 ตารางบันทึกที่ 21.2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4. ประกอบวงจรทดลองตามรูปที่ 21.3 ต่อ D1,D2, D3, D4 และ S1, S2 เข้าตัว Logic Switch และต่อ y เข้ากับ Logic Momtor

5. เปลี่ยนแปลง Data และ S1,S2 ตาม Table 20.3 แล้วบันทึกผลของ y ลงใน Table 21.3



รูปที่ 21.2

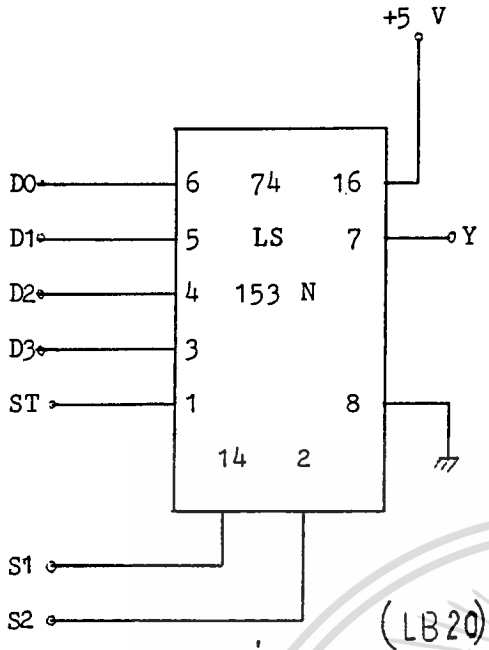
ตารางที่ 21.2

D1	D2	D3	D4	S1	S2	Y
0	0	0	1	0	0	
0	0	1	0	0	1	
0	1	0	0	1	0	
1	0	0	0	1	1	
1	1	0	1	0	1	
1	1	1	0	0	0	
1	0	1	1	1	0	
0	1	1	1	1	1	

6. ทดลองการทำงานของ IC 74153 Multiplex โดยประกอบวงจรทดลอง รูปที่ 21.3

7. เปลี่ยนแปลง Input (ต่อเข้ากับ Input logic)ศึกษาผลของ y จนเข้าใจการทำงานของวงจร แล้วบันทึกผลลงใน Table 21.3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



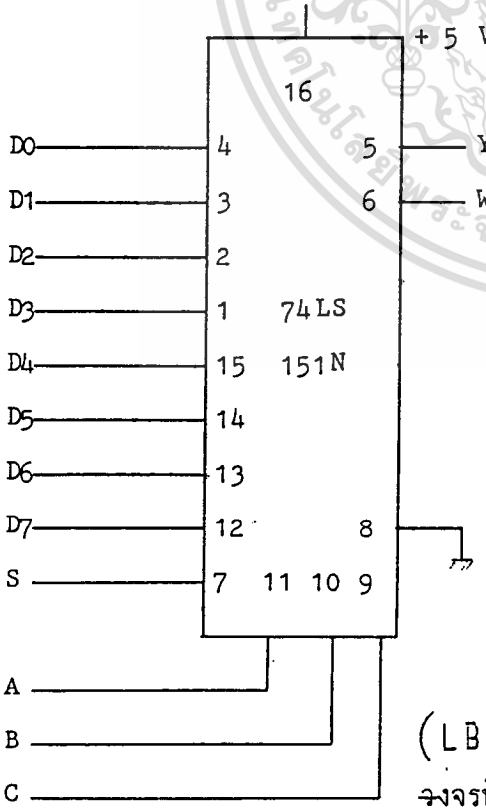
(LB20)

รูปที่ 21.3

INPUT							OUTPUT
S2	S1	D0	D1	D2	D3	STB	Y
X	X	X	X	X	X	1	
0	0	0	1	1	1	0	
0	0	1	0	0	0	0	
0	1	1	0	1	1	0	
0	1	0	1	0	0	0	
1	0	1	1	0	1	0	
1	0	0	0	1	0	0	
1	1	1	1	1	0	0	
1	1	0	0	0	1	0	

Table 21.3

8. ทำการทดลองวงจร 8 - to - 1 Line Multiplexer/data sclector โดยใช้ IC เบอร์ 74151 ให้ประกอบวงจรทดลองตามรูป 21.4



(LB 36)

วงจรที่ 21.4

INPUT				OUTPUT	
SELECT			S trobe		
C	B	A	S	Y1	W
X	X	X	1		
0	0	0	0		
0	0	1	0		
0	1	0	0		
0	1	1	0		
1	0	0	0		
1	0	1	0		
1	1	0	0		

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1	1	1	0		

Table 21.4

9. ให้ Do - D7,S, A,B, และ C เป็น input (ต่อเข้ากับ input logic) ให้ Y1,w เป็น output (ต่อเข้าที่ Logic Monitor) ให้กำหนด input ตาม Table 21.4 ไว้ แล้วเปลี่ยนแปลง Do -D7 ดูพร้อมกับสังเกตุผลของ Y1 และ W ว่า output จะเป็นไปตาม Data ตัวใด เมื่อทราบแล้วให้บันทึก Data ตัวนั้นลงที่ช่อง Y และ W

คำถาม

1. จากการทดลองข้อ 1 สรุปได้ว่า การทำงานของวงจรที่ 20.1 เป็นไปตาม Truth Table ต่อไปนี้ใช่หรือไม่ อย่างไร

S	Y
0	D2
1	D1

2. จากการทดลองข้อ 3 พอสรุปได้ว่า การทำงานของวงจรที่ 20.2 เป็นไปตาม Table ต่อไปนี้ ใช่หรือไม่ หากไม่ใช่ เพราะอะไรจงเขียน Table ใหม่

E	S	Y
0	0	เลือก A
0	1	เลือก B
1	X	all' s 0

เมื่อ X = don't care

3. จากการทดลองข้อ 4.5 จงสรุปผลของ Y ลงใน Truth table ต่อไปนี้ เมื่อ S1, S2 เปลี่ยนแปลงไป และเราควรจะเรียกชื่อเฉพาะของวงจรนี้ว่าอะไร

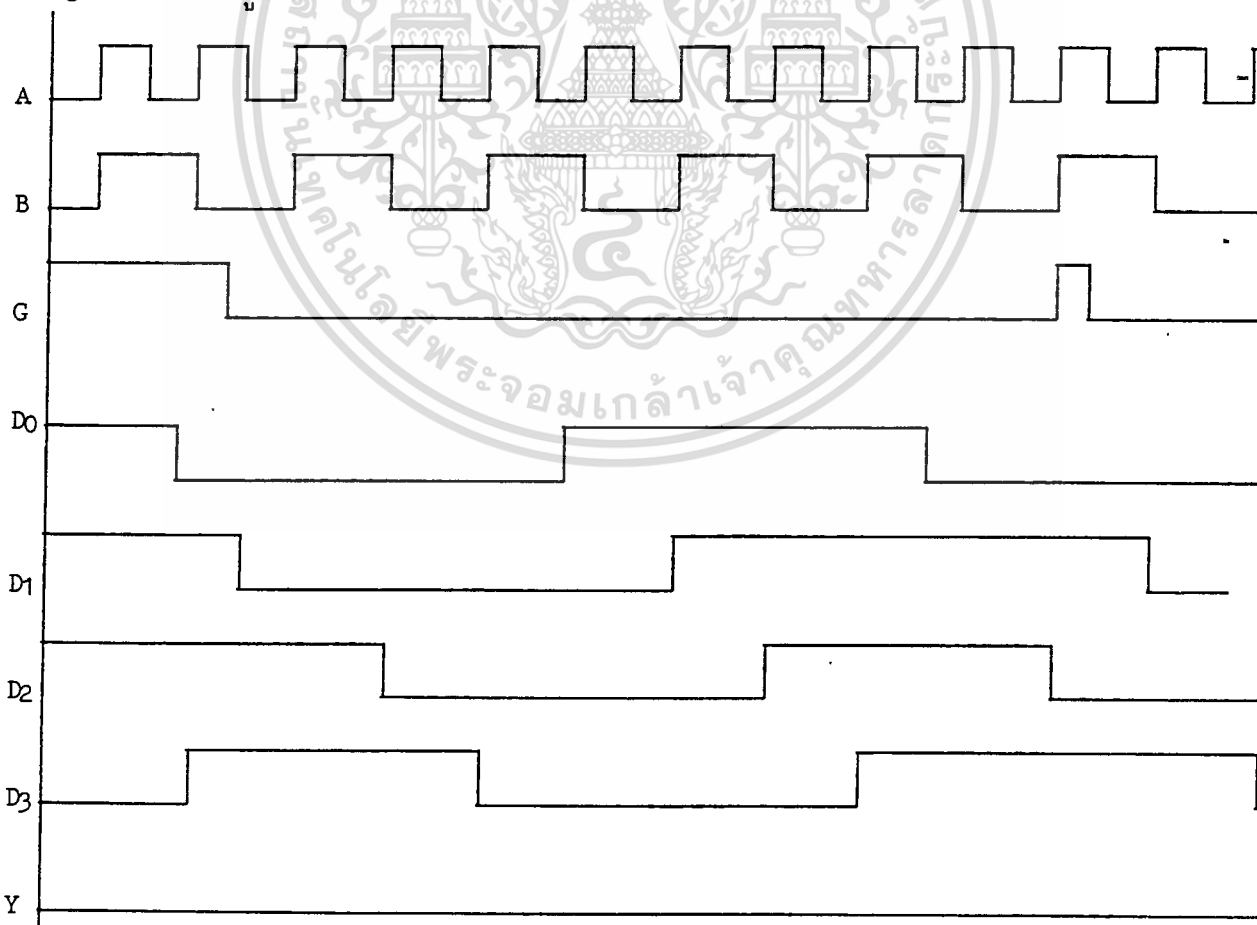
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

S1	S2	Y
0	0	
0	1	
1	0	
1	1	

4. จงเขียนวงจร Input และ output Equivalont ของ 74 - 153N, LS153 N พร้อมทั้งบอกด้วยว่าการขับโหลดทาง output เป็นลักษณะหรือ แบบใด

5. จากผลการทดลองใน Table 21.3 จงบอกการทำงานของ input G และเมื่อเราไม่ต้องใช้มันควรจะต่อขา ณ ไว้ให้อยู่ในลักษณะใด

6. จาก Timing diagram ต่อไปนี้เป็น input ของ วงจรรูปที่ 21.3 ให้เขียน output diagram Y ให้ถูกต้อง



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

7. จากผลการทดลองข้อ 8, 9 ปรากฏว่า Yi และ W จะเป็น complement กันอยู่ใช่หรือไม่ และถ้า (C B A S) = (1 1 0 0) ตามลำดับแล้วจะได้ Y = D7 และ $W = \bar{D}6$ ใช่หรือไม่ อย่างไร อธิบาย
8. จงเขียน Schmatic diagram ของ IC.# 74LS 151N แสดง
9. จงเขียน Pin Assignment ของ IC เบอร์ 74157 และ 74158 แสดง

สรุปผลการทดลอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ใบงานที่ 22

เรื่อง Demultiplexer / Data selector circuit

จุดมุ่งหมาย เพื่อให้นักศึกษา

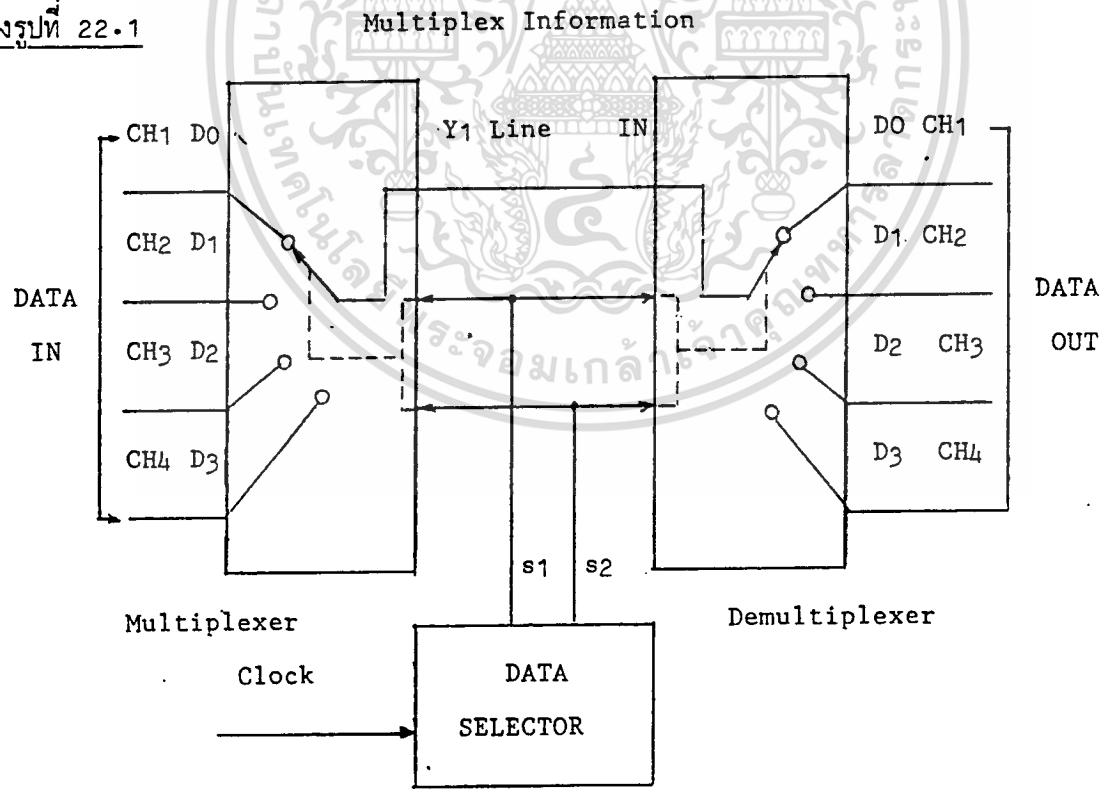
1. ได้เข้าใจถึงหลักการของ Demultiplexing
2. ได้ศึกษาการทำงานของวงจร Demultiplexer

จุดประสงค์เชิงพฤติกรรม เพื่อให้นักศึกษา

1. สามารถประกอบวงจร Demultiplex / Data selector ทดลองได้
2. สามารถอธิบายการทำงานของวงจรได้
3. สามารถนำวงจร Demultiplex ไปใช้งานได้

คำแนะนำ

Demultiplexer / Data Selector circuit เป็นวงจรที่กระทำการแยกข่าวสาร (Information) ที่ส่งมาใน Line ซึ่งถูกทำให้อยู่ในรูปของ Multiplex Signal ออกจากกันไปตาม Channel ที่ Data Selector กำหนดให้ และตัว Data Selector จะมีความสามารถกำหนด Channel ได้สูงสุดคือ 2^n Channel เมื่อ n คือจำนวน line ของ Data Selector นั้น Block diagram ของ Multiplexer และ Demultiplexer แสดงได้ดังรูปที่ 22.1



รูปที่ 22.1 Block Diagram (Digital Communication system used Multiplexing and Demultiplexing

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

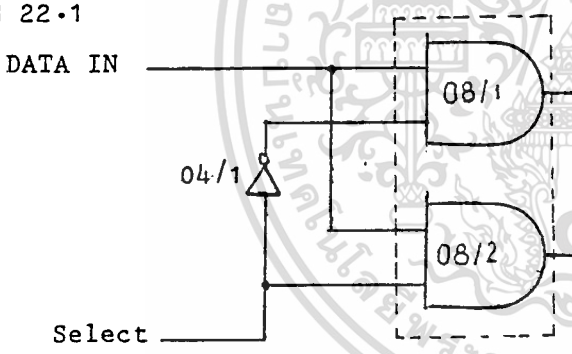
จากรูป เป็นเพียงตัวอย่างของ Multiplexing 4 Channel สูงสุด ซึ่งจะกำหนดโดย $n = {}_2(:s_1, s_2)$ ดังรูป Channel หรือ line สูงสุด $= 2^2 = 4$ line multiplexed ถ้าต้องการเพิ่ม Channel ขึ้นก็ต้องเพิ่มจำนวน Selector ตามไปด้วย และจะเห็นว่า Multiplex จะถูกเลือก Channel ส่งออกไปตาม Line ตัว Demultiplex ก็จะถูกเลือก Channel ให้ Data หรือ Information ออกไป ดังนั้นเมื่อมีวงจร Multiplexer ก็จะขาดวงจร Demultiplexer เสียไม่ได้

อุปกรณ์ที่ใช้ทดลอง

1. Digital Board Trainer 1 ชุด
2. IC เบอร์ 74138 , -154 ,- 08 ,- 04
3. คู่มือ ไอซี ทีทีแอล

ลำดับขั้นการทดลอง

1. ทดลองวงจร 1 - to - 2 Line Demultiplexer โดยประกอบวงจรตามรูปที่ 22.2
2. ให้ Data เข้าที่ Din และ S เป็นตัว Selec Y_1, Y_2 เป็น output ศึกษาถึงผลของ Y_1, Y_2 เมื่อ Din และ Selector เปลี่ยนไป แล้วบันทึกผลลงใน ตารางบันทึกที่ 22.1



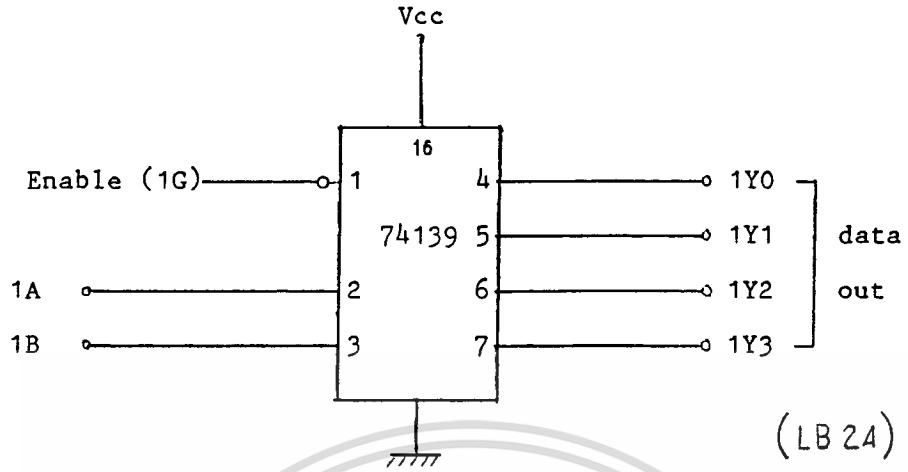
รูปวงจรที่ 22.2

INPUT		OUTPUT	
Din	Selected	Y_1	Y_2
0	0		
0	1		
1	0		
1	1		

TABLE 22.1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3. ทดลองวงจร 2 - to - 4 line Decoder/Demultiplexer โดยใช้ IC #74LS139N โดยต่อวงจรทดลองตามรูปที่ 22.3 ให้ถูกต้อง



(LB 24)

4. ให้ Enable ,. 1A และ 1B เป็น input และ 1Y0..1Y3 เป็น Output แล้วทำการเปลี่ยนแปลง Input ให้เป็นไปตามตารางที่ 22.3 และสังเกตุผลของ output จนเข้าใจการทำงานจึงบันทึกผลลงใน ตารางที่ 22.3

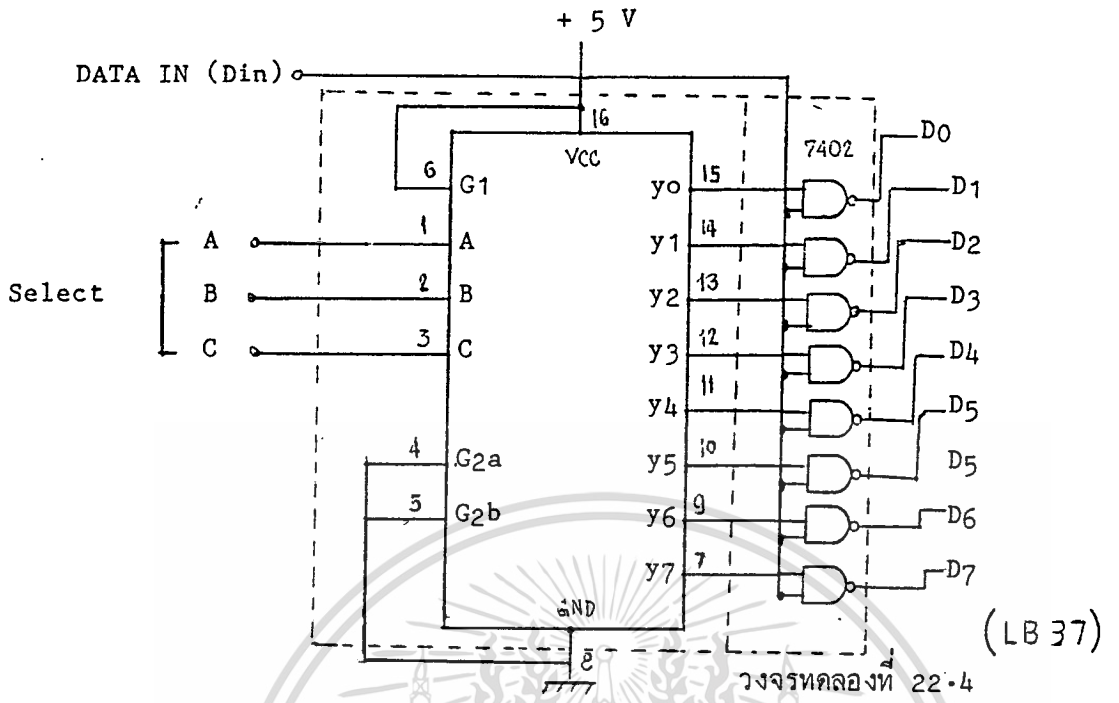
INPUT			OUTPUT			
$1\bar{G}$	A	B	1Y3	1Y2	1Y1	1Y0
1	x	x				
0	0	0				
0	0	1				
0	1	0				
0	1	1				

หมายเหตุ - x =: don't care จะให้เป็น 1 หรือ 0 ก็ได้

- IC เบอร์ 74139 จะเป็น Dual 2 to 4 line Decoder/Demultiplexer ซึ่งจะมีอยู่ 2 ชุด ในที่นี้เราใช้เพียงชุดที่ 1 ชุดเดียว

5. ทดลองวงจร 1 - to - 8 line Demultiplexer โดยใช้ IC £ 74138 และ 7402 ดังรูปวงจรทดลองที่ 22.4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



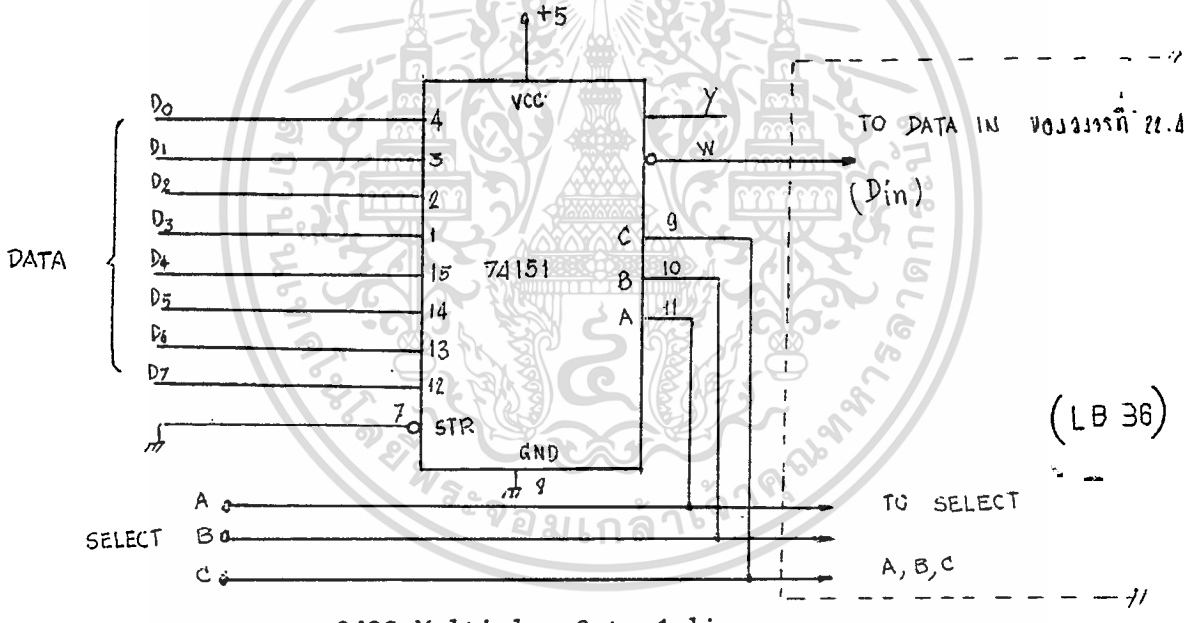
6. ให้ A,B,C และ Din เป็นInput (ต่อเข้าที่ Input Switch) และ $D_0..D_7$ เป็น Output (แสดงผลด้วย Logic Monitor) ทำการเปลี่ยนแปลง A,B,C และ Din แล้วสังเกตุผลของ $D_0..D_7$ จนเข้าใจการทำงานของวงจร แล้วบันทึกผลลงใน ตารางที่ 22·4

INPUT				OUTPUT							
SELECTOR			DATA IN Din	D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0
C	B	A	0								
0	0	0	0								
0	0	1	0								
0	1	0	0								
0	1	1	0								
1	0	0	0								
1	0	1	0								
1	1	0	0								
1	1	1	0								
0	0	0	1								
0	0	1	1								
0	1	0	1								

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

INPUT				OUTPUT							
SELECTOR			DATA IN Din	D7	D6	D5	D4	D3	D2	D1	D0
C	B	A									
0	1	1	1								
1	0	0	1								
1	0	1	1								
1	1	0	1								
1	1	1	1								

7. ทดลองวงจร Multiplex / Demultiplexe โดยนำเอาวงจรทดลองที่ 22.4 มาต่อเพิ่มเติมดังรูป 22.5 (ใส่วงจร Multiplex เข้าไป)



วงจร Multiplex 8-to-1 line

8. ให้ input SW เข้าที่ DATA (D7..D0) และที่ Selector (A,B,C) แล้วต่อ D0..D7 ของวงจรที่ 22.4 เข้าที่ Monitor พร้อมกับ Check Data ที่ Data in ด้วยเมื่อ Selector เปลี่ยนไป บันทึกผลลงใน ตารางบันทึกผลที่ 22.5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

INPUT											OUTPUT								
SELECTOR			INPUT DATA								DATA IN	OUTPUT DATA							
C	B	A	D7	D6	D5	D4	D3	D2	D1	D0	Din	D7	D6	D5	D4	D3	D2	D1	D0
0	0	0	X	X	X	X	X	X	X	0									
0	0	0	X	X	X	X	X	X	X	1									
0	0	1	X	X	X	X	X	X	0	0									
0	0	1	X	X	X	X	X	X	1	0									
0	1	0	X	X	X	X	X	0	0	0									
0	1	0	X	X	X	X	X	1	0	0									
0	1	1	X	X	X	X	0	0	0	0									
0	1	1	X	X	X	X	1	0	0	0									
1	0	0	X	X	X	0	0	0	0	0									
1	0	0	X	X	X	1	0	0	0	0									
1	0	1	X	X	0	0	0	0	0	0									
1	0	1	X	X	1	0	0	0	0	0									
1	1	0	X	0	0	0	0	0	0	0									
1	1	0	X	1	0	0	0	0	0	0									
1	1	1	0	0	0	0	0	0	0	0									
1	1	1	1	0	0	0	0	0	0	0									
1	0	0	1	1	1	1	1	1	1	1									
0	0	1	1	1	1	1	1	1	1	1									
0	0	0	1	1	1	1	1	1	1	1									

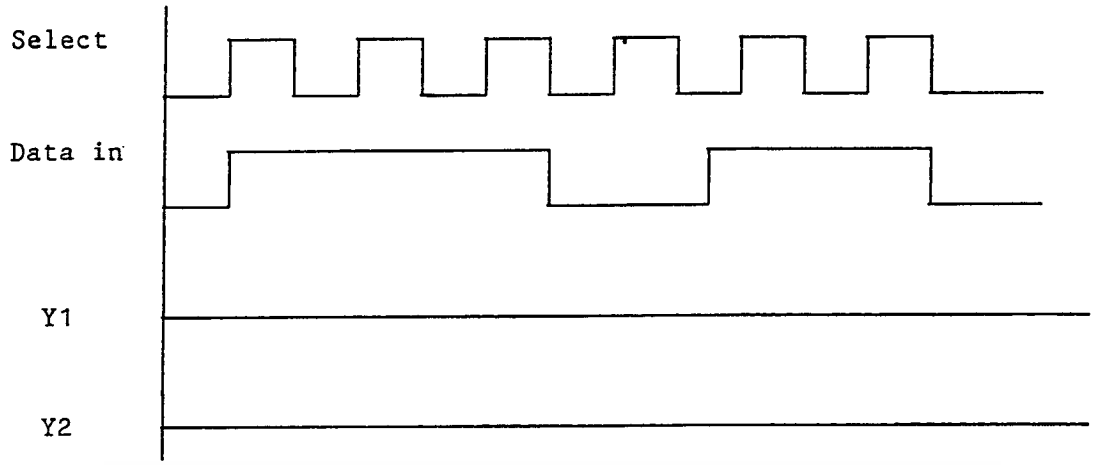
ตารางบันทึกที่ 22.5

หมายเหตุ X = don't care (logic ใดก็ได้)

คำถามท้ายการทดลอง

1. จาก Input Diagram ต่อไปนี้ เมื่อใช้วงจรที่ 22.2 จงเขียน Output Timing Diagram ของ Y_1 และ Y_2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

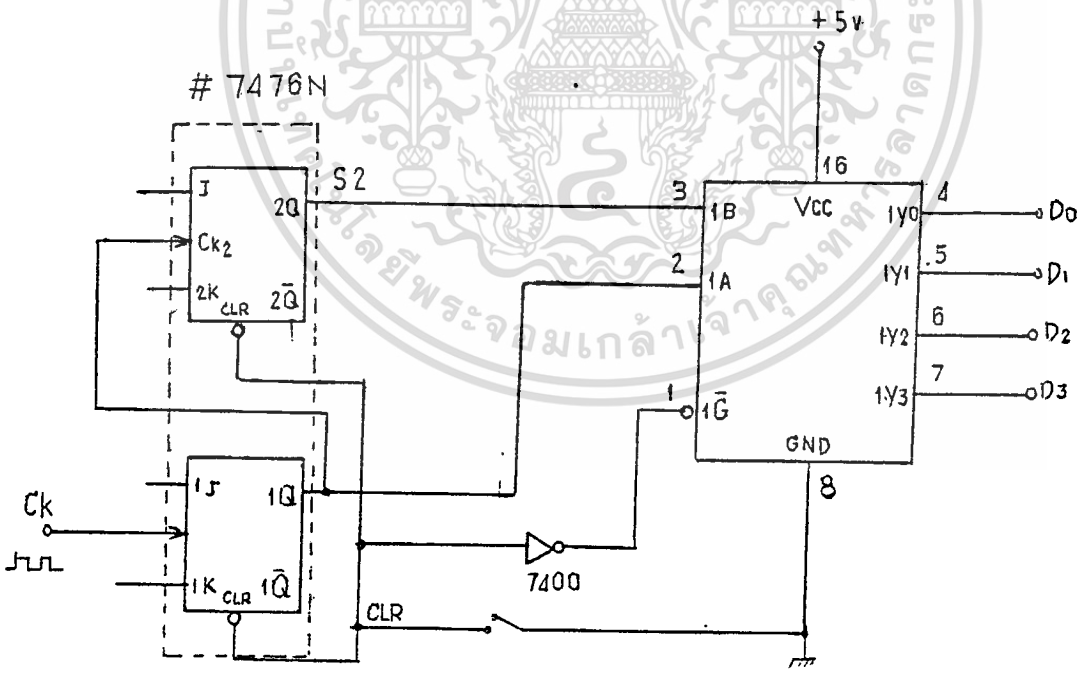


logic function Y1 = _____

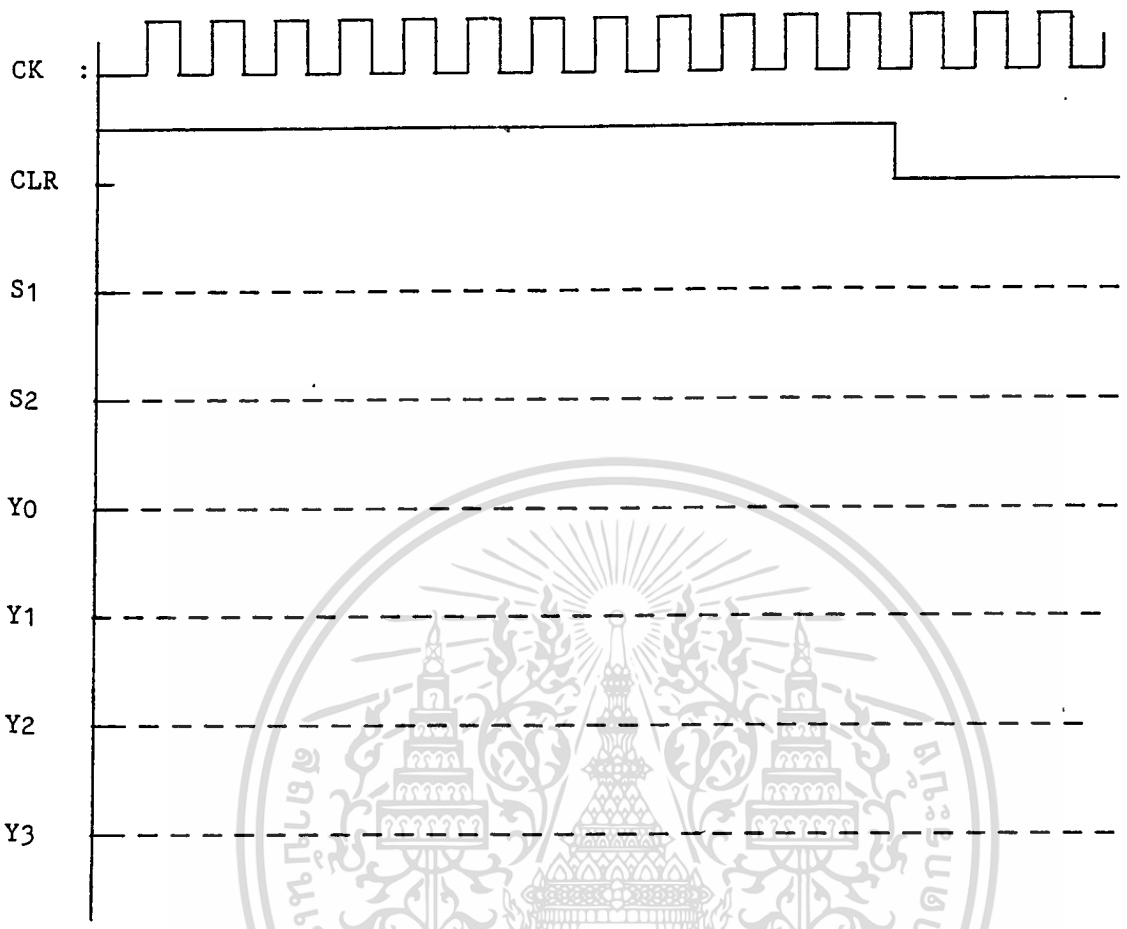
Y2 = _____

2. IC ℰ 74139 สามารถนำไปใช้งานในวงจรใดบ้างให้ยกตัวอย่างพร้อมเขียนวงจรนั้นแสดงด้วย พร้อมอธิบายการทำงานหรือหน้าที่ของ IC 74139 ที่ต้องรับผิดชอบ

3. จากวงจรต่อไปนี้ จงอธิบายการทำงาน และเขียน Timing Diagram ประกอบ



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



4. จากการทดลองข้อ 5 จงอธิบายการทำงานของวงจร และหากเราจะนำหลักการนี้ไปใช้ทำเป็นไฟวิ่ง จะทำได้หรือไม่ อย่างไร

5. จงแสดงวงจรตัวอย่างที่ใช้ IC เบอร์ 74138 พร้อมกับอธิบายการทำงานของวงจรที่ยกมาพอเข้าใจ (ต้องทำการค้นคว้าเพิ่มเติม)

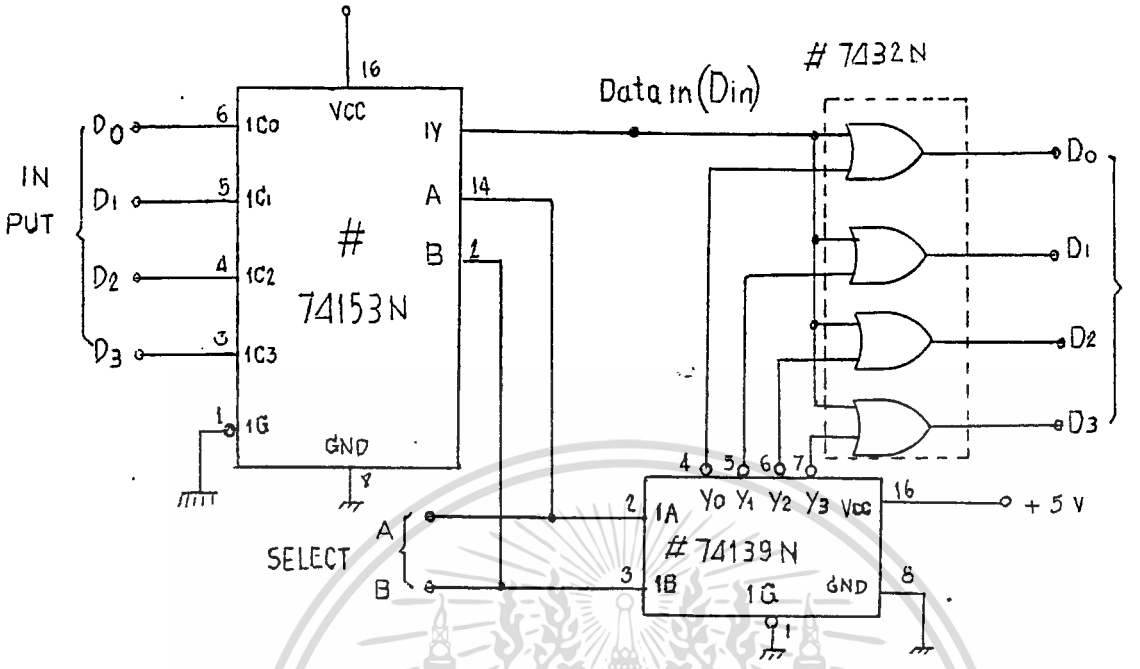
6. หลักการทำงานของวงจร Stereo Multiplex กับการทำงานของ Digital Multiplex นั้นแตกต่างกันอย่างไร

7. จงเขียน Block Diagram and logic ของ Ic £ 74LS138 และ IC £ 74LS139 แสดงพร้อมกับ Function Table ของมัน

8. เปิดคู่มือ ทีทีแอล และศึกษา IC เบอร์ 74154 นี้เป็น MSI ให้เป็นที่เข้าใจ และให้ทดลองเขียนวงจรใช้งานของ IC เบอร์นี้มา 1 วงจร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

9. จากวงจรตามรูป จงอธิบายการทำงาน (โดยแสดงด้วย Truth Table)



10. จากรูปวงจรในคำถามข้อ 3 อยากทราบว่า IC เบอร์ 7476N มีการทำงานเป็นอย่างไร และทั่วไปนิยมเรียกว่าอะไร อธิบาย

<u>สรุปผลการทดลอง</u>

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ใบงานที่ 23

แบบและการใช้ ฟลิบ-ฟลอบ (Type and Using Flip/Flop)

จุดมุ่งหมาย เพื่อให้ศึกษา

- คุณสมบัติ รูปร่างของ ฟลิบฟลอบ แบบต่างๆเบื้องต้น
- ทดสอบคุณลักษณะในการทำงานของฟลิบฟลอบ แบบต่างๆ

จุดประสงค์เชิงพฤติกรรม เพื่อให้สามารถ

- อธิบายการทำงานของฟลิบฟลอบ แบบต่างๆได้
- เขียนรูปร่าง ,วงจร ของฟลิบฟลอบ แบบต่างๆได้
- สร้างหรือนำตัว ฟลิบฟลอบไปใช้งานได้

คำแนะนำ

Flip - Flop (F/F) เป็นวงจร Multivibrator ชนิด Bistable ที่ถูกพัฒนาขึ้นตามเทคโนโลยี่ทาง ดิจิตอล - คอมพิวเตอร์ เพื่อนำมาใช้เป็นอุปกรณ์จดจำ (Memory Device) ในวจร Digital - Computer ซึ่งก็ต้องอาศัยคุณสมบัติของ Bistable มาใช้ กล่าวคือ F/F ตัวหนึ่งจะมี 2 Output ($Q, \bar{Q}$) เท่านั้น (ส่วน Input ขึ้นอยู่กับ F/F แบบต่างๆ) และจะต้องคงสภาวะทางโลจิกไว้แบบตรงข้ามกันเสมอ กล่าวคือ ถ้า Output Q = "1" Output $\bar{Q}$ จะ = "0" หรือในทางกลับกัน เราจะไม่ยอมให้ระดับโลจิกของ Q และ $\bar{Q}$ มีระดับเช่นเดียวกันไม่ว่ากรณีใดๆก็ตาม การคงสภาวะจะเปลี่ยนไปได้ก็ต่อเมื่อมีเงื่อนไขตรงตามที่กำหนดไว้เท่านั้น (ซึ่งจะอธิบายไว้กับ F/F แบบต่างๆ)

แบบของ F/F

เราจะแบ่งแบบของ F/F ออกตามวิธีการใช้วงจร F/F ทำงาน (เปลี่ยนสภาวะ) 2 แบบคือ

1. แบบ Latch ซึ่งเป็นกลุ่มของ F/F ที่ใช้สัญญาณ พัลซ์ (หรือระดับโลจิกที่เป็นพัลซ์) กระทำให้ Output ของ F/F เปลี่ยนสภาวะ (State) โดยตรงในกลุ่มนี้จะประกอบด้วย Toggle F/F (T - F/F), - Data Latch F/F(D - Latch), - Reset - Set (R - S Latch), และ Master Slave F/F และโดยทั่วไปแล้วกลุ่มของ F/F แบบ Latch นี้จะถูกสร้างมาจากวงจร Gate ที่เรียกว่า Combination Logic Circuit

2. แบบ Edge - Triggered จะเป็นกลุ่มของ F/F ที่ใช้สัญญาณกระตุ้น (Clock Pulse) เป็นตัวทำให้เปลี่ยน State โดยที่ระดับโลจิกทางอินพุทจะมีอยู่แล้ว ในกลุ่มนี้จะประกอบด้วย D - F/F , R - S F/F , และ J - K Master Slave F/F สำหรับ F/F ในกลุ่มนี้ยังมีข้อตกลงอีกว่าจะใช้ขอบขาขึ้น (Leading edge) หรือขอบขาลง (Trailing edge) ของสัญญาณกระตุ้นมาใช้ทำให้เกิดการเปลี่ยน State ซึ่งบางครั้งอาจเรียกชื่อเฉพาะลงได้อีก เช่น

- Positive edge J - K F/F (เป็น J/K F/F ที่เปลี่ยน State ที่ขอบขาขึ้น)
- Negative edge J - K F/F (เป็น J/K F/F ที่เปลี่ยน State มราขอบขาลง)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อนึ่งในกลุ่มนี้อาจมี F/F บางตัวที่มีการเปลี่ยน State ได้โดยตรงโดยใช้ ระดับโลจิกอินพุทควบคุมเพื่อให้เกิด เซ็ท (Set หรือ Preset) หรือ รีเซ็ท (Reset หรือ Clear) โดยไม่ต้องอาศัย Clock แต่อย่างใด โดยทั่วไปแล้ว F/F ในแบบนี้อาจสร้างขึ้นจากวงจร Gate ในลักษณะ Combination Circuit ได้ แต่ก็มี IC ที่ผลิตขึ้นเฉพาะอย่างให้ใช้อย่างสะดวกแล้ว ตัวอย่างเช่น

IC เบอร์ SN7472 (AND GATE J-K MASTER SLAVE FLIP-FLOP WITH PRESET AND CLEAR)

IC เบอร์ SN7473 (DUAL J-K FLIP-FLOP WITH CLEAR)

IC เบอร์ SN7474 (DUAL D - TYPE POSITIVE EDGE TRIGGERING F/F WITH PERSET AND CLEAR)

IC เบอร์ SN7476 (DUAL J - K F/F WITH PRESET AND CLEAR)

IC เบอร์ SN74106 (DUAL J - K F/F NEGATIVE - EDGE WITH PRESET AND CLEAR)

IC เบอร์ SN74109 (DUAL J - K F/F POSITIVE - EDGE WITH PRESET AND CLEAR)

IC เบอร์ MC140138 (DUAL D - TYPE F/F WITH SET AND PRESET)

ฟลิบฟลอบ แบบต่างๆ ที่ใช้กันอยู่อย่างมากมายเราจะหาดูได้ในส่วนหนึ่งของวงจรนับ (Counter) , รีจีสเตอร์(Register) , Frequency devision (วงจรหารความถี่) และอื่นๆ

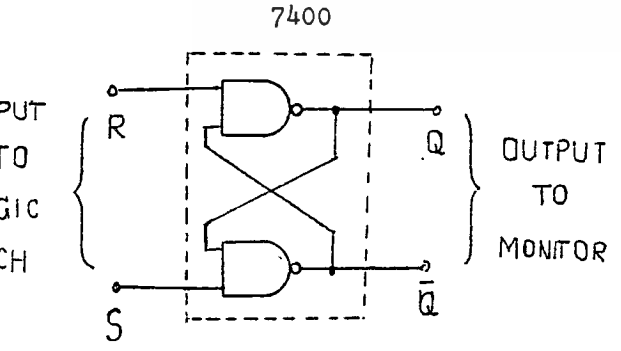
<u>อุปกรณ์ที่ใช้ทดลอง</u>

1. ชุดฝึกดิจิตอล :(LB 09,-11,-04,-19,-20)หรือ ชุด Proto board
2. IC TTL เบอร์ 7400 ,- 02,- 08 ,-12
3. คู่มือ ไอซี TTL

<u>ลำดับขั้นในการทดลอง</u>

1. <u>ศึกษาการทำงานของวงจร ฟลิบ - ฟลอบ แบบ Latch</u>

1.1 ต่อวงจร R - S Latch F/F ที่สร้างจาก 2 Input NAND Gate ทดลอง



(LB 09)

INPUT		OUTPUT		ส่วนอธิบาย
R	S	Q	$\bar{Q}$	
X	X			
0	0			
0	1			
1	1			

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

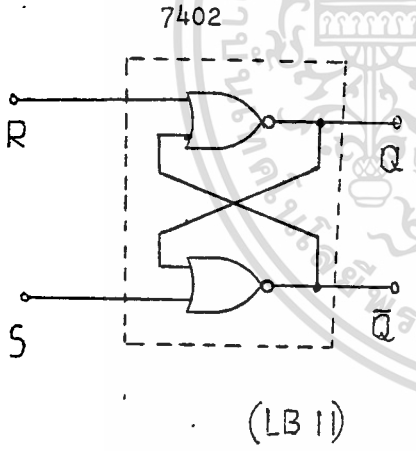
INPUT		OUTPUT		ส่วนอธิบาย
R	S	Q	$\bar{Q}$	
1	1			
1	0			
1	1			
1	1			
1	0			

X := don't care

ตารางที่ 23.1

1.2 ต่อ Input เข้ากับ Logic Switch และ Output ต่อเข้ากับ Monitor ของวงจรให้ถูกต้อง แล้วเปลี่ยนแปลงระดับ Logic ของ R , S ให้เป็นไปตาม ตารางที่ 23.1 แล้วบันทึกผลของ Output ในช่อง Q , $\bar{Q}$

1.3 ต่อวงจร R - S Latch F/F ที่สร้างจาก 2 Input NOR Gate ทดลอง



วงจรทดลองที่ 23.2

INPUT		OUTPUT		ส่วนอธิบาย
R	S	Q	$\bar{Q}$	
X	X			
1	1			
1	0			
0	0			
0	1			
0	0			

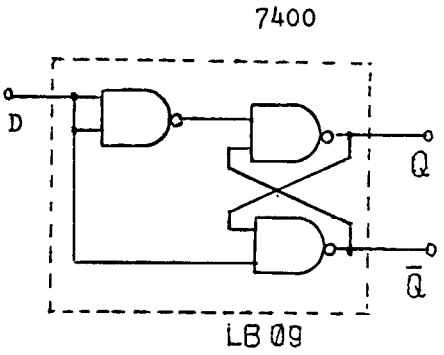
ตารางที่ 23.2

X := ปล่อยลอยไว้ยังไม่ต่อกับ SWITCH

1.4 ทำตามลำดับขั้นการทดลองข้อ 1.2 แต่ใช้ตารางที่ 23.2 บันทึกผล

1.5 ต่อวงจร D - atch F/F ที่สร้างจาก NAND Gate ทดลอง (วงจรที่ 23.3)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



วงจรทดลองที่ 23.3

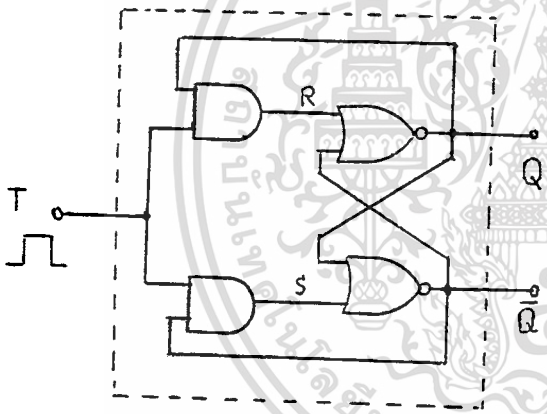
I/P D:	X	1	0	1	0	1	0	1
O/P Q:								
$\bar{Q}$:								

ตารางบันทึก 23.3

1.6 ทำตามลำดับขั้นข้อ 1.2 แต่บันทึกผลในตารางที่ 23.3

1.7 ต่อวงจร T - Latch F/F ที่สร้างจากวงจร NAND Gate ทดลอง (รูปที่ 23.4)

1.8 ต่อ Input T เข้ากับ Input Pulse และต่อ Output Q , $\bar{Q}$ เข้ากับตัวแสดงผล บันทึกผลลงในตารางที่ 23.4



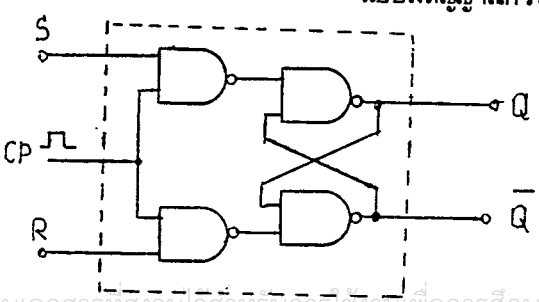
INPUT		OUTPUT	
T	Qn	Qn+1	$\bar{Q}$n+1
0	0		
0	1		
⎍	0		
⎍	1		
1	X		

Qn คือ output ก่อนที่จะมีการกระตุ้นด้วย T

Qn+1 คือ Q ที่ปรากฏหลังจากถูกกระตุ้นแล้ว

2. ศึกษาการทำงานของ ฟลิบ ฟลอบ แบบ Edge - Triggered :

2.1 ต่อวงจร R - S F/F แบบมีสัญญาณกระตุ้นทดลอง (วงจรที่ 23.5)



วงจรทดลองที่ 23.5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

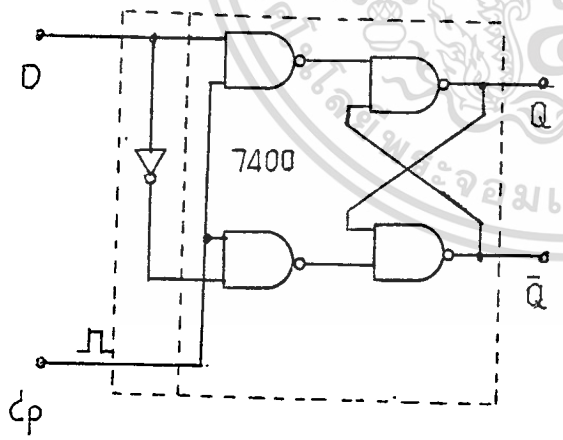
INPUT				OUTPUT		
Cp	R	S	Qn	Qn+1	$\bar{Q}$n+1	ส่วนขยาย
	0	0	0			
	0	0	1			
	0	1	0			
	0	1	1			
	1	0	0			
	1	0	1			
	1	1	0			
	1	1	1			

X := don't care

ตารางบันทึกผลที่ 23.5

2.2 กำหนด R , S , Q ให้เป็นไปตามตารางที่ 23.5 แล้วให้ Clock pulse ตาม บันทึกผลของ Q , $\bar{Q}$ ที่ปรากฏขึ้น หลังจาก Cp กระตุ้นแล้ว (Qn+1 , $\bar{Q}$n+1)

2.3 ต่อวงจร D - F/F แบบมีสัญญาณกระตุ้นทดลอง (วงจรที่ 23.6)



วงจรทดลองที่ 23.6

INPUT			OUTPUT	
Cp	D	Qn	Qn+1	$\bar{Q}$n+1
	0	0		
	0	1		
	1	0		
	1	1		
1	X	0		
1	X	1		

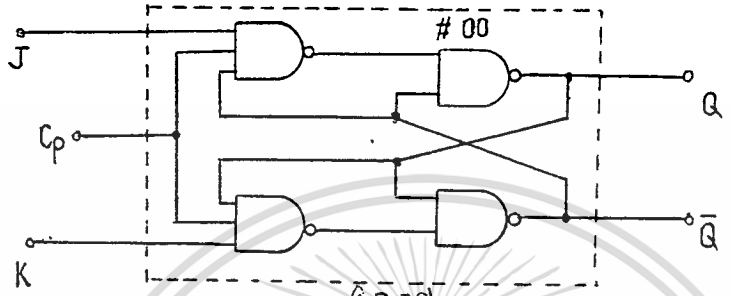
ตารางบันทึกผลที่ 23.6

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.4 กำหนดสภาวะ D และ Qn (สภาวะ Q ปัจจุบัน) ให้เป็นไปตามที่กำหนด และป้อน Pulse Cp เพื่อกระตุ้นให้มีการทำงาน แล้วบันทึกผลของ Q , $\bar{Q}$ ที่เกิดขึ้นหลังจากที่ให้ Cp แล้ว ลงในตารางบันทึกผลที่ 23.6

2.5 ต่อวงจร J - K F/F แบบมีสัญญาณกระตุ้นทดลอง (วงจรที่ 23.7)

2.6 กำหนดสภาวะ J,K และ Qn ให้เป็นไปตามที่กำหนดแล้วป้อน Cp เพื่อกระตุ้น ทำการบันทึกผลของ Q , $\bar{Q}$ หลังจากกระตุ้นด้วย Cp แล้วลงในตารางการบันทึกผล 23.7



วงจรทดลองที่ 23.7

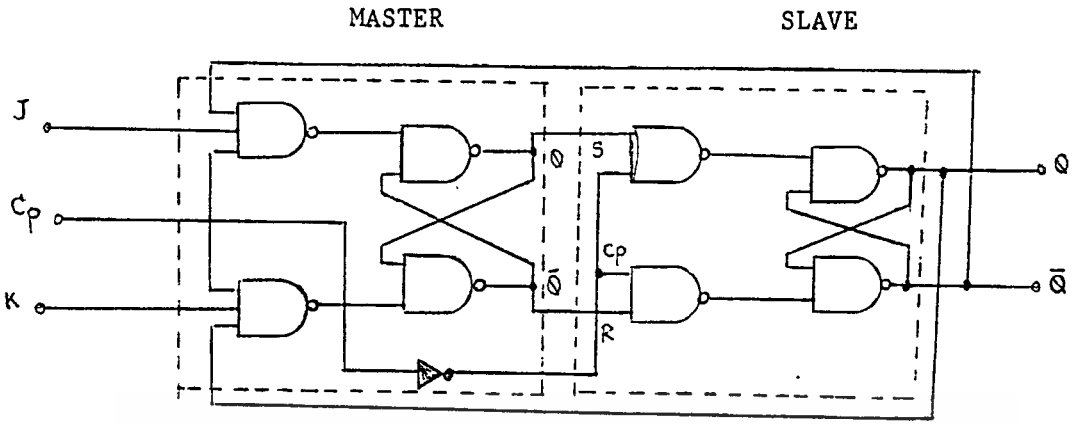
INPUT				OUTPUT	
Cp	J	K	Qn	Qn+1	$\bar{Q}$n+1
	0	0	0		
	0	0	1		
	0	1	0		
	0	1	1		
	1	0	0		
	1	0	1		
	1	1	0		
	1	1	1		

ตารางบันทึกผลที่ 23.7

2.7 ต่อวงจร J -K Master - Slave F/F ทดลอง (วงจรที่ 23.7)

2.8 ทำตามลำดับขั้นข้อ 2.6 บันทึกผลของ Qn+1 และ $\bar{Q}$n+1 ลงในตารางที่ 23.7

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



วงจรทดลองที่ 23.8

สัญญาณกระตุ้น	อินพุท สภาวะปัจจุบัน			สภาวะถัดไป / เอ้าท์พุท	
Cp	J	k	Qn	Qn+1	$\overline{Q}$n+1
	0	0	0		
	0	0	1		
	0	1	0		
	0	1	1		
	1	0	0		
	1	0	1		
	1	1	0		
	1	1	1		

ตารางบันทึกผลที่ 23.8

คำถาม

1. จากผลการทดลองข้อ 1.1 มีสภาวะใดที่ วงจรเกิด Memory หรือ Hold time ของ Q , Q และที่ R = 0 , S = 0 นั้น Output เกิดขึ้นและเรามีข้ออธิบายในเรื่องนี้อย่างไร จงอธิบาย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2. จงเขียน Timimg Diagram แสดงการทำงานของวงจรทดลองที่ 23.1

3. จากคำถามข้อ 1 แต่จากการทดลองข้อ 1.3

4. จงเขียน Timing Diagram แสดงการทำงานของวงจรทดลองที่ 23.2

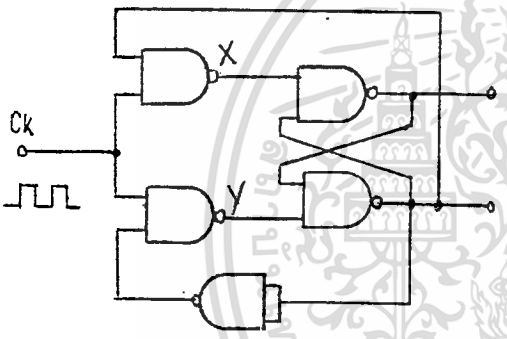
5. วงจรการทดลองที่ 23.1 และ 23.2 จะมีการทำงานแตกต่างกันหรือไม่ แต่ละวงจรมีข้อดี ข้อเสีย หรือข้อห้ามอย่างไร อธิบาย

6. จากการทดลองข้อ 1.5 จงเขียน Timing Diagram แสดงและ จงสร้างวงจร D - Latch F/F โดยใช้ NOR Gate เป็นหลัก

7. จากการทดลองข้อ 1.8 ผลของ Q และ $\bar{Q}$ จะเป็นเช่นไร เมื่อเราให้ T = "1" ตลอดไป อธิบาย

8. จงเขียน Timing Diagram แสดงการทำงานของวงจรที่ 23.5

9. วงจรต่อไปนี้เป็นวงจร F/F แบบใด เขียน Timing Diagram แสดงด้วย



10. J -K F/F มีการทำงานเป็นอย่างไร มีข้อที่ได้เปรียบ เสียเปรียบเมื่อเทียบกับ F/F แบบอื่นๆ หรือไม่ จงอธิบายและให้เหตุผล

11. มีวิธีการหรือหลักการเช่นไร จึงจะสามารถนำเอา J - K F/F ไปใช้แทน T - F/F ได้ อธิบายพร้อมแสดงวงจร

12. จงอธิบายการทำงานของ J - K aster Slave F/F มาพอเข้าใจ

สรุปผลการทดลอง

หนังสืออ้างอิง

- พีชคณิตบูลลีนประยุกต์ อุดม ใยเจริญ มิถุนายน 2527
- วงจรดิจิตอล ภาคปฏิบัติ อ.จ ธนิตย์ ตรีสุวรรณวัฒน์ และกลุ่มผู้จัด พ.ค. 2528
- Digital Computers Electronics and Introduction to

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

microcomputers Second Edition

- Introduction to digital computer technology second edition Louis Nastclsky 1972,1977
- TTL DATA Book for Design Engineers ; Texas Instrument
- Digital LOgic and Switching circuit ;Jefferson C. Boyce 1975

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บททดลองที่ 24

เรื่อง การใช้งานของ ไอซี ฟลิบ-ฟลอบ

(F/F Integreted circuit application)

จุดมุ่งหมาย เพื่อศึกษา

1. วิธีการใช้งานของ IC F/F เบอร์ต่างๆ
2. วิธีการนำเอา J-K F/F มาทำเป็น F/F แบบอื่นๆ
3. วิธีการใช้งานของวงจร Latch F/F

จุดประสงค์เชิงพฤติกรรม : เพื่อให้สามารถ

1. นำ IC F/F เบอร์ต่างๆไปใช้งานได้อย่างถูกต้อง
2. นำ IC J-K F/F ไปทำเป็น F/F แบบอื่นๆได้
3. อธิบายการทำงานของขา Preset and clear หรือ set reset ได้
4. อธิบายวงจร Edge - Triggered F/F ได้

ทฤษฎีย่อ

ไอซีฟลิบ-ฟลอบ (F/F Integreted circuit) ที่มีใช้กันอยู่ในปัจจุบันจะมีทั้งไอซีที่เป็น SSI (Small Signal Integreted circuit) , MSI (MEdium Signal Integreted circuit) หรือ LSI (Large Scale Integreted circuit) ยกตัวอย่างเช่น

เบอร์ 7474N (SSI) : Dual D-type Ositive-edge F/F with preset and clear

เบอร์ 7476N (SSI) : Dual J-K F/F with preset and clear

สำหรับ MSI , LSI นั้นจะเป็น F/F ที่อยู่ในรูปของวงจรที่ใช้งานโดยเฉพาะและเรียกชื่อตามวงจรเช่น

เบอร์ 7493A (MSI): 4-bit Binary counter (ที่มีโครงสร้างเป็น J-K F/F 4 ตัว)

เบอร์ 74135 (MSI): Quadruple D-type F/F with clear (เป็น D F/F 4 ตัวที่มี Clock และ Clear ร่วมกัน)

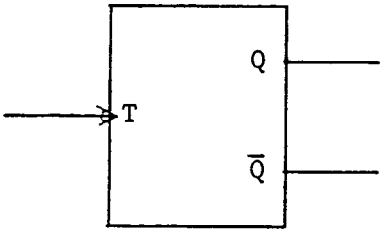
เบอร์ 74192 (MSI) : Sync 4 - bit up - down counter (dual clock with Clear) (เป็น T F/F 4 ตัวและวงจร Gate ร่วมกัน)

เบอร์ 74C925 (LSI) : 4 - Digit Counter with Multiplexed 7- segment output driver

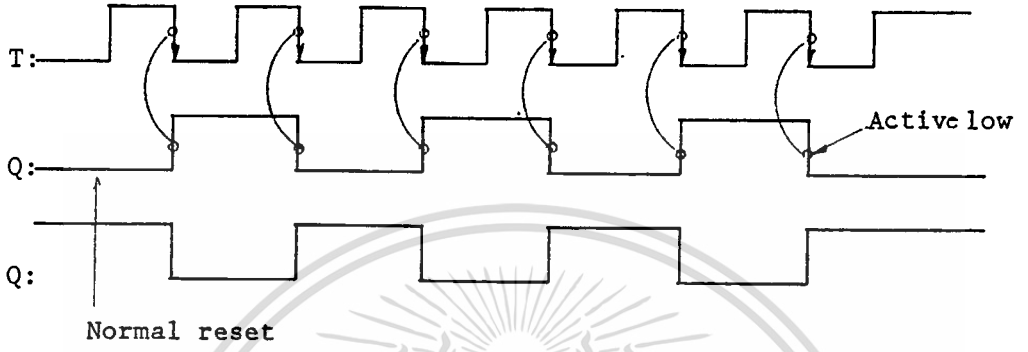
- อื่นๆ

เรามีข้อตกลงกันอยู่ว่าให้ F/F เมื่อเราจ่าย Supply เข้าให้จะถือว่าอยู่ในสภาวะ Reset ได้เสมอ (Normal Reset) คือจะต้องอยู่ใน State Q = 0 , Q = 1 นั่นเองและการเขียน Diagram ของตัว IC จะต้องบอกถึงการทำงานแบบ Active Low(Falling edge) หรือ Active high (rising edge) ดังรูป 9

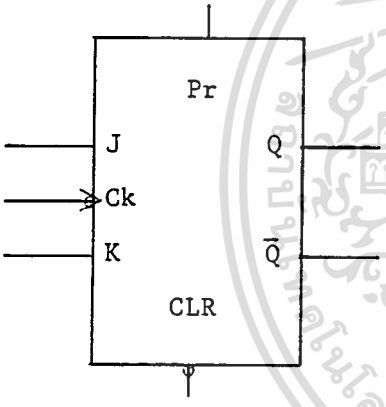
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



Activ low



1) T - F/F with Activ Low

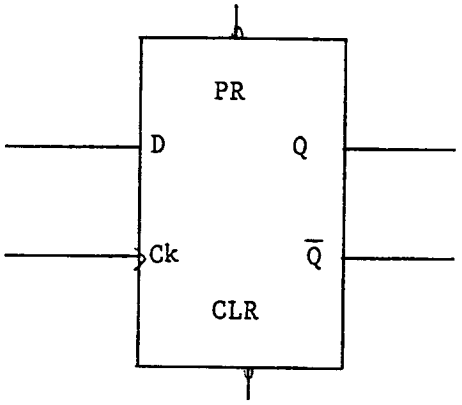


เบอร์ 74LS76N

	INPUT			OUTPUT			
	Preset	Clrar	Clock	J	K	Q	$\overline{Q}$:
1	L	H	X	X	X	H	L : SET
2	H	L	X	X	X	L	H : RESET
3	L	L	X	X	X	H	H : ILLIGAL
4	H	H	↓	L	L	Qo	$\overline{Q}$o :NO CHANGE
5	H	H	↓	H	L	H	L :1(SET)
6	H	H	↓	L	H	L	H : Q(RESET)
7	H	H	↓	H	H	TOGGLE	: $\overline{Q}$n
8	H	H	↓	X	X	Qo	$\overline{Q}$o :NO CHANGE

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2) J-K F/F with Preset and clear clock active low



เบอร์ 74LS74N

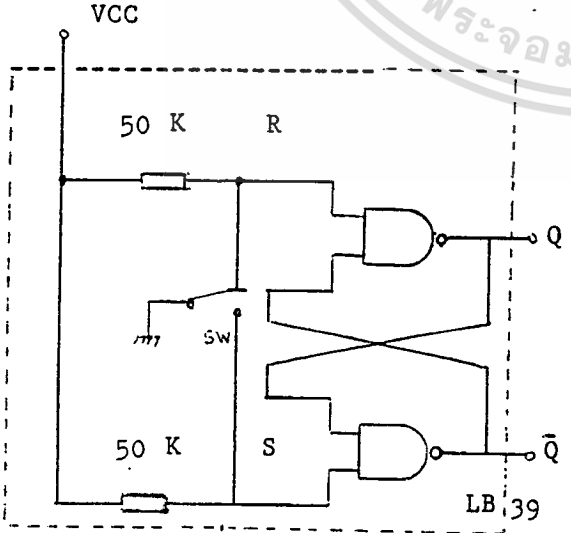
	PRESET	CLEAR	CLOCK	D	Q	$\overline{Q}$	
1	L	H	X	X	H	L	: SET
2	H	L	X	X	L	H	: RESET
3	L	L	X	X	H	H	: ILLIGAL
4	H	H	↓	H	H	L	: DATA
5	H	H	↑	L	L	H	: DATA
6	H	H	↓	X	Qo	$\overline{Q}$o	: NO CHANGE

3. D F/F with preset and clear active low and CR active high

ลำดับขั้นการทดลอง

1. การใช้วงจร Latch แก้ Bounce ของวงจร Input Logic Switch

1.1 ประกอบวงจรตามรูปที่ 24.1



รูปที่ 24.1

SW	Q	$\overline{Q}$
X		
R		
S		

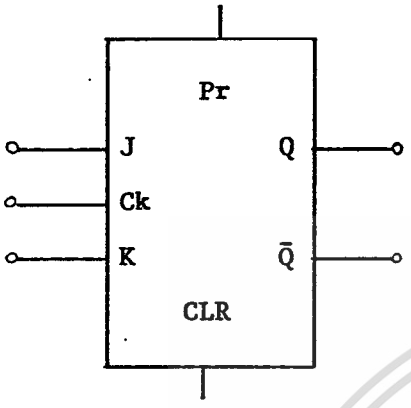
ตารางที่ 24.1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.2 ต่อ Output เข้ากับตัวแสดงผล แล้วทำการเปลี่ยนตำแหน่งของ SW ให้เป็นไปตาม ตารางที่ 24.1

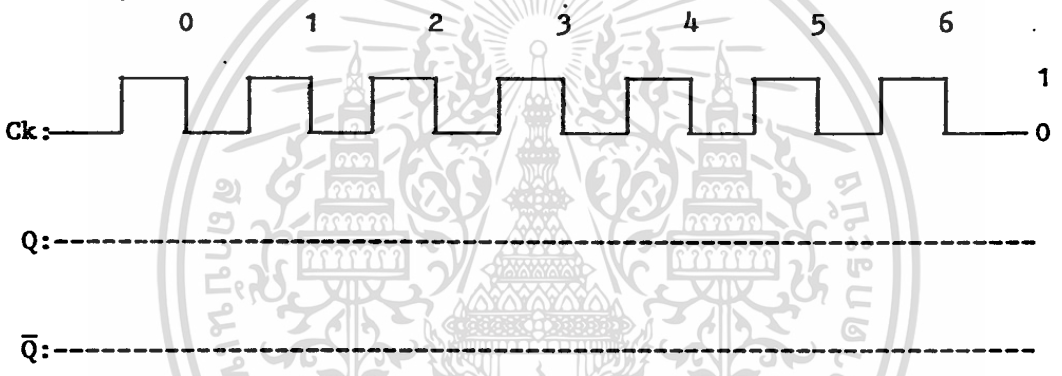
2. การใช้ J-K F/F แทน F/F อื่นๆ

2.1 ประกอบวงจรตามรูปที่ 24.2



เบอร์ 74LS76N

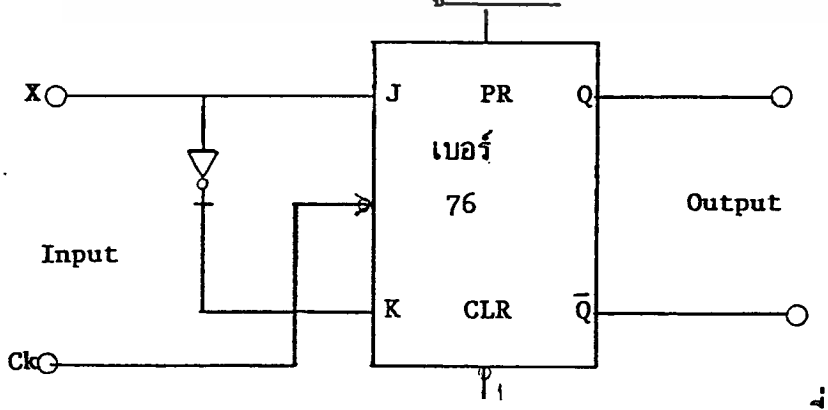
วงจรที่ 24.2



Timing diagram 24.2

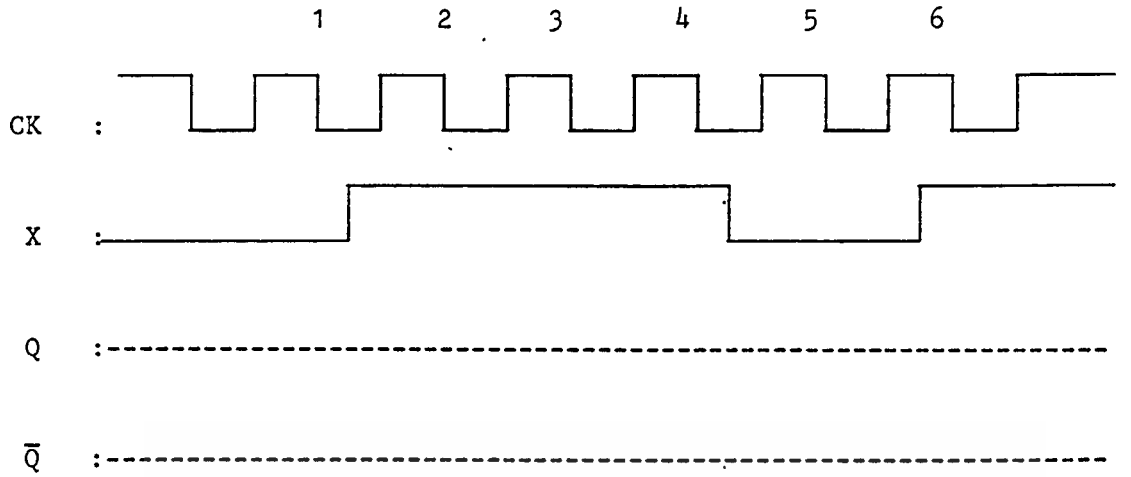
2.2 ให้ CK เข้ากับ I/P Logic และ Q , $\bar{Q}$ เข้ากับตัวแสดงผลทำการเปลี่ยน Ck ซ้ำๆ เพื่อสังเกตุการเปลี่ยน State ของ Q , $\bar{Q}$ แล้วเขียน Timing ลงในบันทึดของ Q และ $\bar{Q}$

2.3 ประกอบวงจรทดลองตามรูปที่ 24.3



วงจรทดลองที่ 24.3

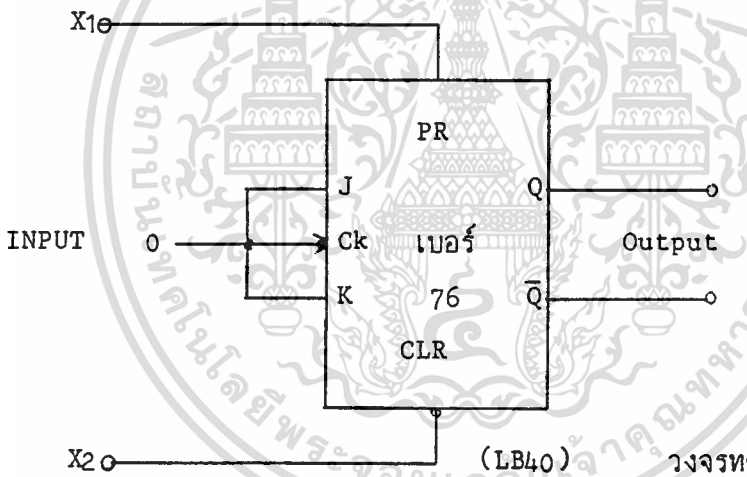
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



Timing Diagram 24.3

2.4 ให้ I/P X และ CK เป็นไปตาม Timing Diagram 24.3 แล้วบันทึกผล ของ Q และ $\bar{Q}$ ปรากฏ ลงในบรรทัด Q และ $\bar{Q}$ ตามลำดับ

2.5 ประกอบวงจร ทดลองตามรูปที่ 24.4



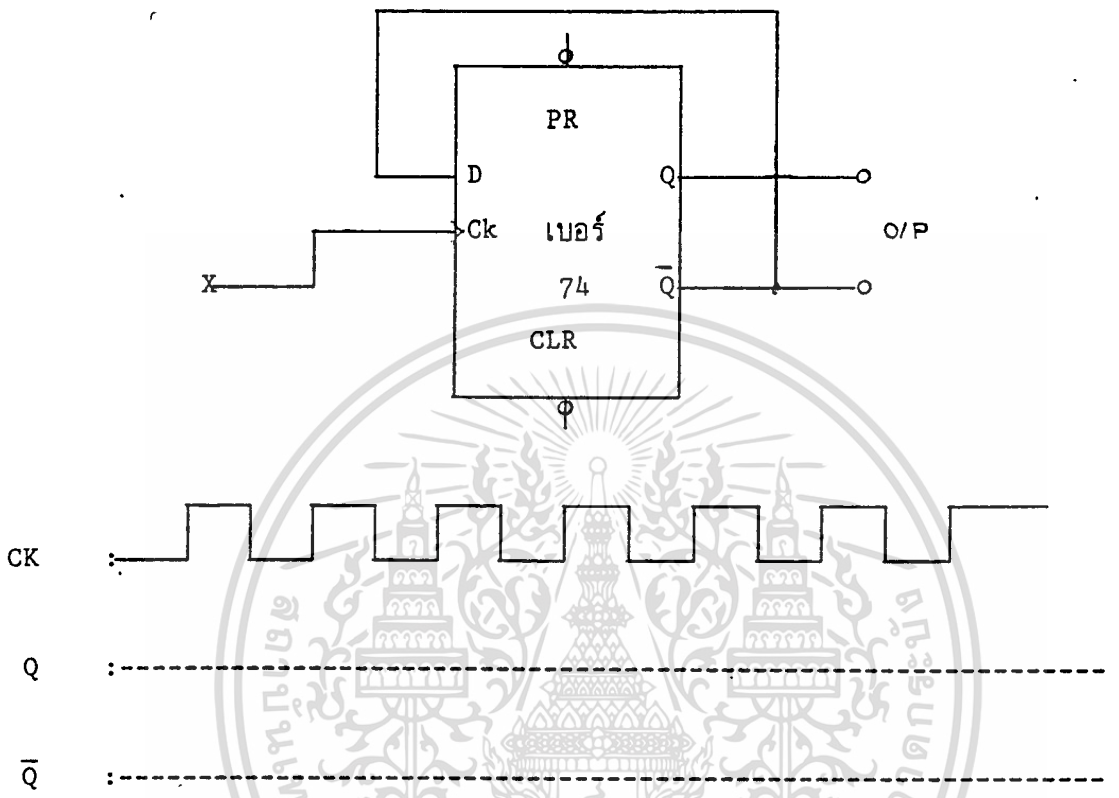
วงจรทดลองที่ 24.4

X_1	X_2	Q	$\bar{Q}$
0	0		
0	1		
1	0		
1	1		

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.6 ให้ X1 ,X2 เป็น I/P และ Q ,Q เป็น O/P แล้วทำการเปลี่ยนแปลง X1 , X2 ให้เป็นไปตามตารางบันทึกที่ 24.4 บันทึกผลลงในตารางบันทึกผลที่ 24.4

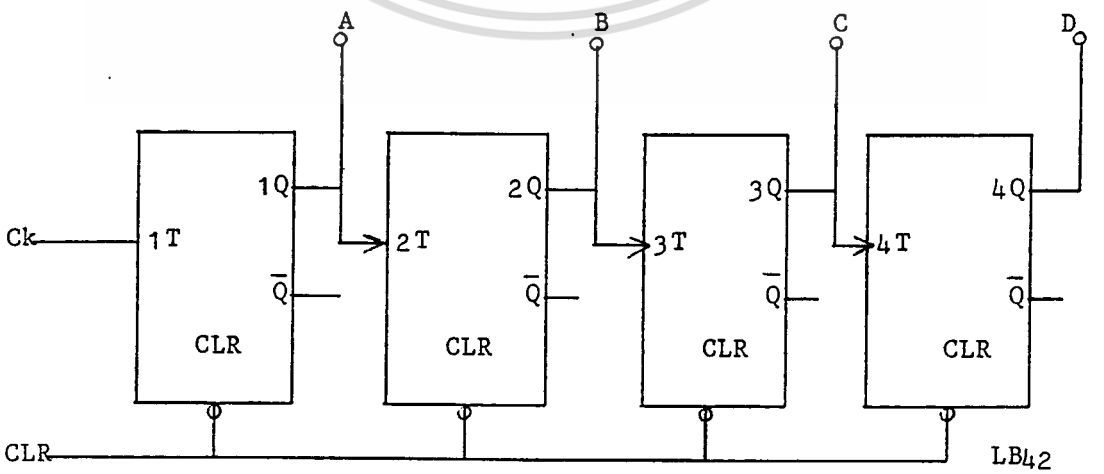
2.7 ประกอบวงจรทดลองตามรูปที่ 24.5



Timing Diagram 24.5

3. ทดลอง F/F ที่ใช้ในวงจร Counter , Register เบื้องต้น

3.1 ประกอบวงจรทดลองตามรูปที่ 24.6



รูปวงจรทดลองที่ 24.6

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2 ต่อ Ck เข้ากับ I/P Pulse และต่อ A,B,C และ D เข้ากับชุดแสดงผล 4-bit to 7 segment display เพื่อศึกษาวิธีการนับหรือการหาร เขียน Timing Diagram จากผลการทดลอง

Ck :

CLR :

A :

B :

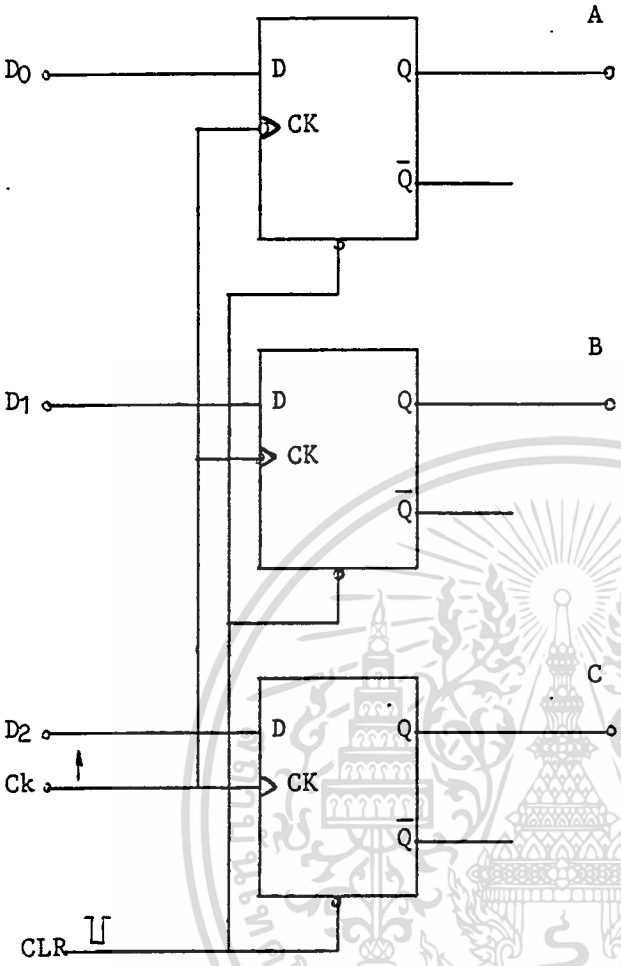
C :

D :

Timing Diagram ที่ 24.6

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3 ประกอบวงจรทดลองตามรูปที่ 24.7



วงจรทดลองที่ 24.7

CLR	D3	D2	D1	D0	Ck	D	C	B	A
0	X	X	X	X	X				
1	0	0	0	0	↓				
1	0	0	0	1	↓				
1	0	0	1	1	↑				
1	0	1	1	1	↑				
1	1	1	1	1	↑				
1	1	1	1	0	↑				
1	1	1	0	0	↑				
1	1	0	0	0	↑				
1	0	0	0	0	↑				
1	X	X	X	X	ⓘ				

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3•4 ให้ I/P เข้าที่ D_0 - D_3 Ck และ CLR ส่วน O/P กับ A,B,C,D แล้วทำตารางที่ 24•7 แล้วบันทึกผลของ O/P

คำถามท้ายบท

1• อธิบายการทำงานของวงจรที่ 24•1 โดยละเอียด และแสดงการแก้ Bounce ของ S.W ได้อย่างไร เขียน Wave Form ประกอบ

2• วงจรทดลองที่ 24•2 ทำหน้าที่แทน T - F/F ใช่หรือไม่ ถ้าใช่ เราอาศัยคุณสมบัติข้อใดของ J-K F/F มาใช้ อธิบาย

3• จากการทดลองข้อ 2•3 สรุปได้ว่าวงจรทดลองที่ 24•3 ทำงานแทน F/F ชนิดใด และอาศัยคุณสมบัติของ J-K F/F ข้อใดมาใช้ อธิบาย

4• จากข้อ 3 สรุปการทดลองวงจรที่ 24•4

5• จากรูปที่ 24•6 จงอธิบายข้อแตกต่างระหว่างวงจรใน (Counters) กับวงจรหาร (Frequency divition)

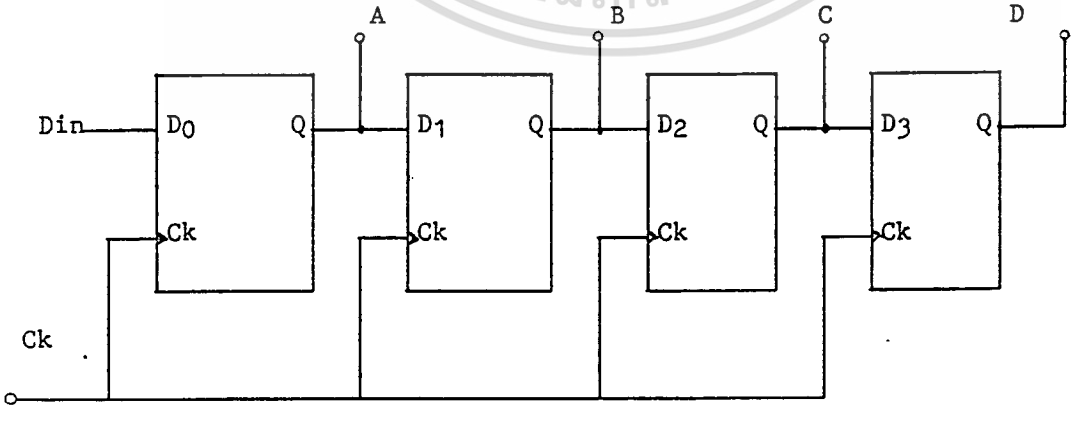
6• จากรูปที่ 24•6 เช่นกัน หากเราต้องการ OUTPUT "D" ไปใช้งานเพียงเส้นเดียว ดังนี้แล้วเราจะเรียกว่าเป็นวงจรนับหรือวงจรหาร อธิบาย

7• จงให้ความหมายของ "Counter" ที่มีใช้อยู่ในวงจร Digital อธิบายหลักการทำงานของมันอย่างละเอียด

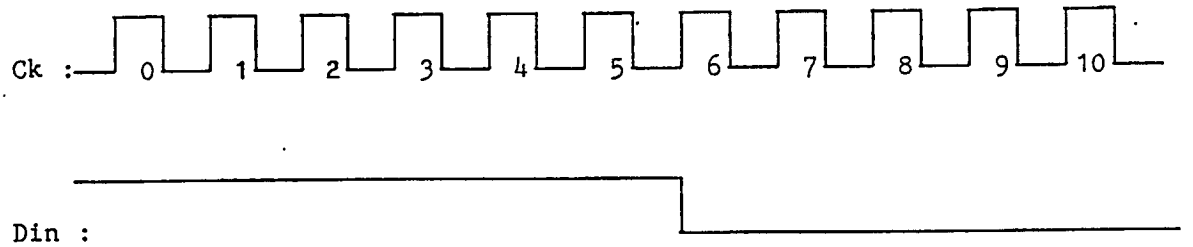
8• Register ที่เป็นส่วนหนึ่งของวงจร ดิจิตอล คอมพิวเตอร์นั้น คืออะไร อธิบายให้เห็นจริง

9• วงจรที่ 24•7 เราจะเรียกชื่อว่า วงจร Counter ได้หรือไม่ อย่างไร

10• จงเขียน timing diagram แสดงการทำงานของวงจรต่อไปนี้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



A :----------

B :----------

C :----------

D :----------

14. จงเขียน Function table ของ IC เบอร์ต่อไปนี้แสดง

1. เบอร์ 7474_N
2. เบอร์ 7476N
3. เบอร์ 7478_N
4. เบอร์ 74103N
5. เบอร์ 74109_N

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บททดลองที่ 25

เรื่องวงจรนับที่ใช้ ฟลิบฟลอบ (Counter circuit using F/F)

จุดมุ่งหมาย : เพื่อศึกษา

- การทำงานของวงจรนับ (Counter) แบบต่างๆที่สร้างจาก F/F
- แบบและวงจร Couneter ต่างๆ

จุดประสงค์เชิงพฤติกรรม

- สามรถอธิบายการทำงานของวงจร Counter ได้
- สร้างหรือออกแบบวงจรนับได้ อย่างง่ายๆได้
- นำวงจรนับไปใช้งานได้

ทฤษฎีย่อ

Counter circuit หมายถึงวงจรสำเร็จรูป ที่ทำหน้าที่นับ (Counter) จำนวนของ Clock Pulse ที่เข้าทาง Input ของตัวมัน ซึ่งความสามารถของวงจรจะนับได้มากน้อย นั้นก็ขึ้นอยู่กับวงจรที่ออกแบบ เช่น Decade counter circuit เป็นวงจรที่นับ Clock Pulse ได้ 0 - 9 ครั้งเป็นต้น

วงจร Counter จะประกอบขึ้นจาก F/F หลายๆ ภาค (State) เป็นพื้นฐานและความสามารถในการนับได้สูงสุดจะขึ้นอยู่กับจำนวน State ของ F/F ที่ใช้ และแทนด้วยสมการได้คือ

$Count_{max} = 2^n$; n = จำนวน State ของ F/F เช่น

n = 2 , $2^2 = 4$:นับได้สูงสุด 4 ครั้ง (2 State)

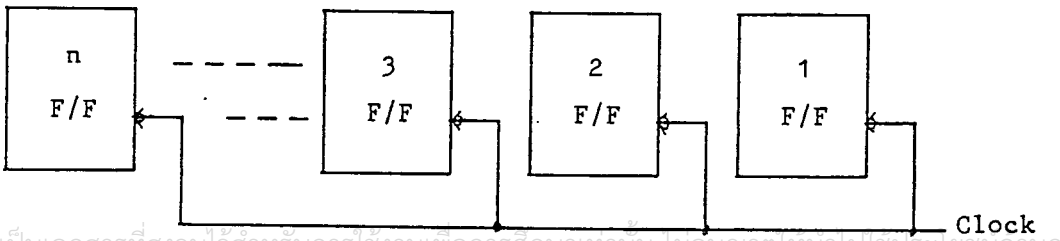
n = 3 , $2^3 = 8$:นับได้สูงสุด 8 ครั้ง (8 State)

n = 4 , $2^4 = 16$:นับได้สูงสุด 16 ครั้ง (16 State)

และอื่น ๆ

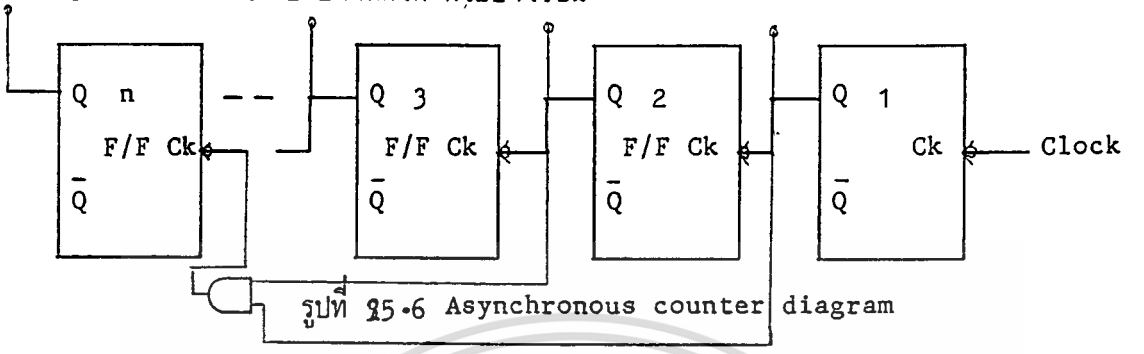
วงจร Counter ถ้าแบ่งประเภทตามการใช้สัญญาณกระตุ้นแล้วเราก็อาจแบ่งออกเป็น 2 ประเภทใหญ่ๆ คือ

1. Synchronous counter คือวงจรนับที่ใช้สัญญาณกระตุ้น (Clock pulse) เดียวเข้าไปควบคุมการทำงานในทุก State ของ F/F ดังรูป



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2. Asynchronus Counter คือวงจรนับที่ใช้ สัญญาณกระตุ้นเดียวเข้าไปทำการควบคุมการทำงานในทุก State ของ F/F ของ วงจรซึ่งอาจจะใช้ Output ของ State แรกมาเป็น Clock ของ State ต่อไป หรืออาจใช้เงื่อนไขอื่นใดตามการออกแบบวงจรที่เหมาะสมมาใช้เป็น Clock ของ State นั้นหรือ อื่นใดก็ได้ ตัวอย่างเช่น



รูปที่ 25.6 Asynchronous counter diagram

อนึ่งสำหรับวงจร Counter ที่ใช้งานอยู่ในปัจจุบันมักจะเรียกชื่อเฉพาะแทนการแบ่งในลักษณะดังกล่าวเช่น Binary Counter, Modulus Counter , Directed-reset Counter , Decade Counter หรืออื่นๆ อาจสร้างให้เป็น Synchronus หรือ Asynchronus counter ก็ได้ ซึ่งก็ขึ้นอยู่กับความเหมาะสม

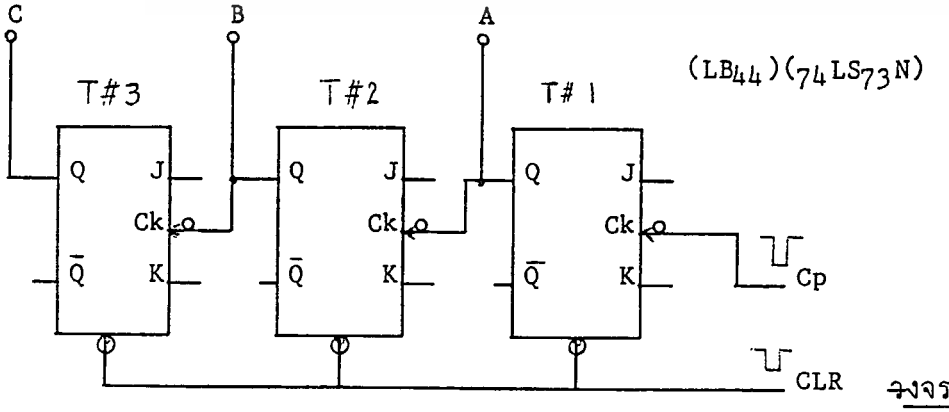
อุปกรณ์ที่ใช้

1. ชุดฝึกดิจิตอล (LB_{24} ,-73 ,-44 ,-45 /1-/2 ,)หรือชุด Proto board
2. IC เบอร์ $74LS_{73}$,-107 ,-08 ,-32 ,-121.
3. TTL DATA BOOK
4. อื่น ๆ

ลำดับขั้นการทดลอง

1. ทดลองวงจร Binary Ripple Counter

1.1 ประกอบวงจร 3- state up - counter ตามวงจรทดลองที่ 25.1



วงจรทดลองที่ 25.1

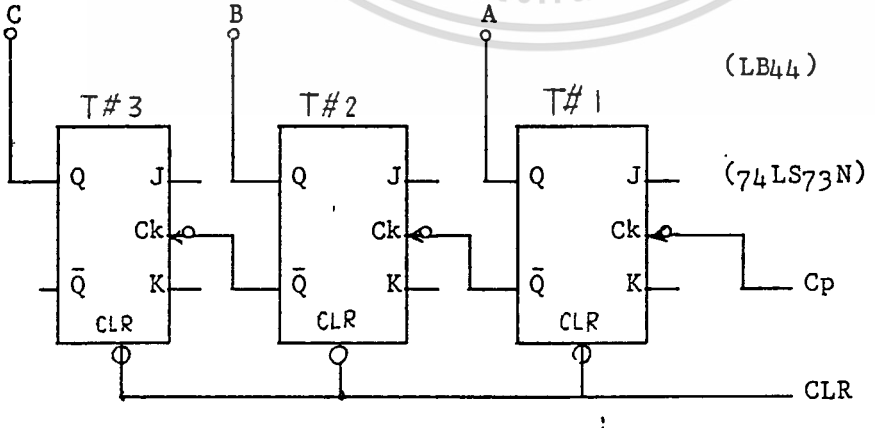
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ลำดับ	INPUT		OUTPUT			
	CP	CLR	C	B	A	7 - Segment
0	1					
1		1				
2		1				
3		1				
4		1				
5		1				
6		1				
7		1				
8		1				

ตารางบันทึกผลที่ 25.1

1.2 ต่อ Cp , CLR เข้ากับ Input Pulse และต่อ C,B,A เข้ากับ Logic monitor (LED and Segment display) แล้วทำการ Clear F/F ทุก State (ลำดับ 0) ต่อจากนั้นก็ให้ Cp ไปทีละครั้งโดยนับจำนวนครั้งด้วย แล้วบันทึกผลของ Display C,B,A ที่ปรากฏ ลงในตารางบันทึกผลที่ 25.1

1.3 ประกอบวงจร 3 - State Down-counter ตามวงจรทดลองที่ 25.2



วงจรทดลองที่ 25.2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ลำดับ	INPUT		OUTPUT			
	CP	CLR	C	B	A	7 - Segment
0	1	⊓				
1	⊔	1				
2	⊔	1				
3	⊔	1				
4	⊔	1				
5	⊔	1				
6	⊔	1				
7	⊔	1				
8	⊔	1				
9	⊔	1				

วงจรทดลองที่ 25.2

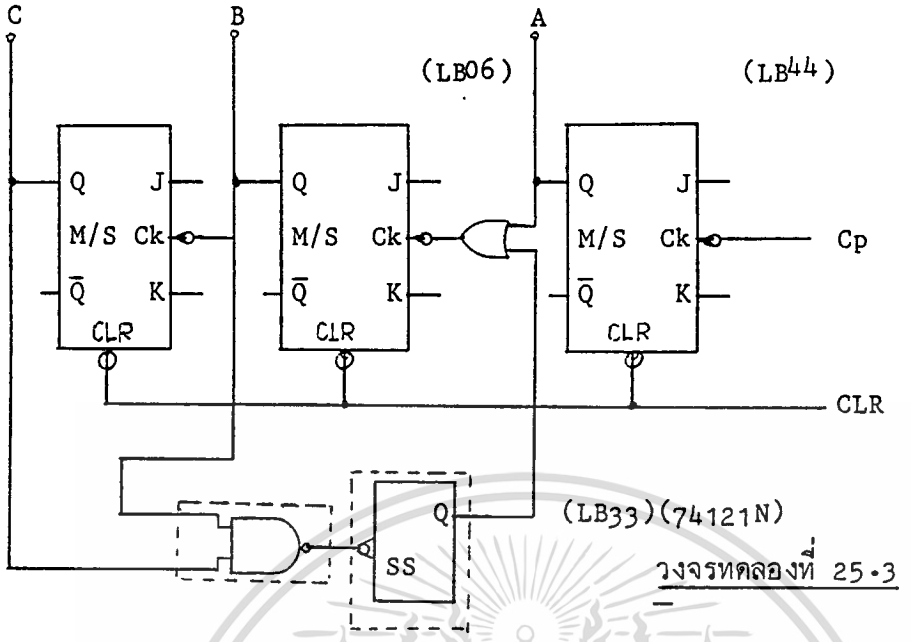
1.4 ต่อ Input และ Output ให้ถูกต้อง แล้วทำตามตารางที่ 25.2 โดยนับลำดับไปเรื่อยๆ

2. ทดลองวงจร MODULUS COUNTER : (MOD-n Counter):

2.1 ประกอบวงจร Mod - 6 Feed back pulse counter ตามวงจรทดลองที่ 25.3

2.2 ต่อ Input (Ck , CLR) เข้ากับ Input pulse และต่อ Output (C, B,A) เข้ากับ LED และ 7 - segment ให้ Input เปลี่ยนไปตามตาราง แล้วบันทึกผลของ Output

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



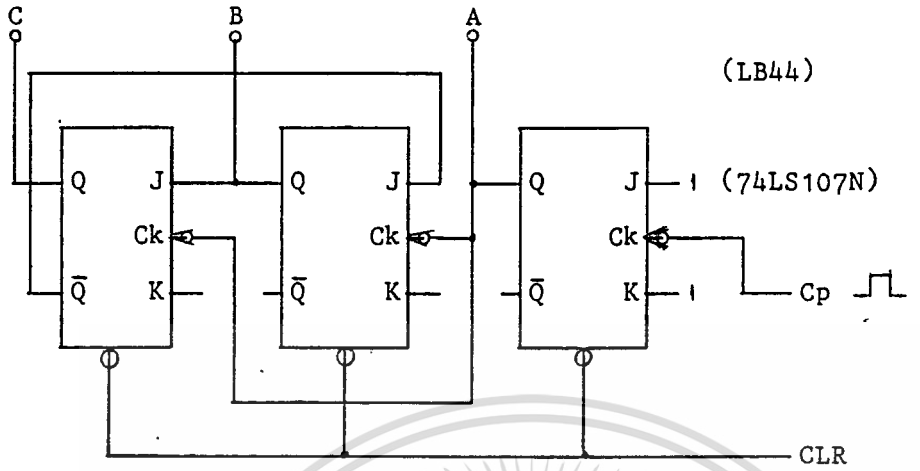
วงจรทดลองที่ 25•3

ลำดับ	INPUT		OUTPUT			
	CP	CLR	C	B	A	7 - Segment
0	1					
1		1				
2		1				
3		1				
4		1				
5		1				
6		1				
7		1				
8		1				
9		1				

ตารางบันทึกผลที่ 25•3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.3 ประกอบวงจร Mod - 6 Direct - Reset Counter ตามรูปวงจรทดลองที่ 25.4



วงจรทดลองที่ 25.4

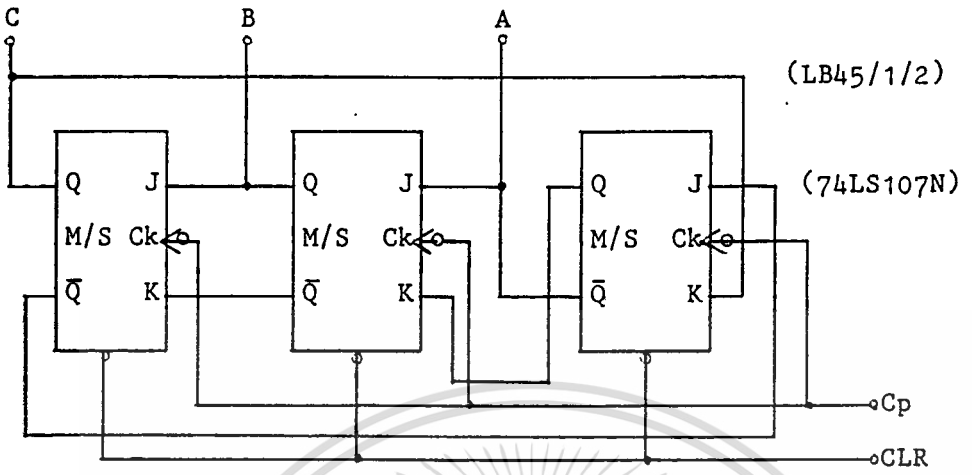
ลำดับ	INPUT		OUTPUT			
	CP	CLR	C	B	A	7 - Segment
0	X	⊓				-
1	⊓	1				
2	⊓	1				
3	⊓	1				
4	⊓	1				
5	⊓	1				
6	⊓	1				
7	⊓	1				
8	⊓	1				

ตารางบันทึกผลที่ 25.4

2.4 ทำตามลำดับขั้นข้อ 2.2 บันทึกผลลงในตารางบันทึกที่ 25.4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.4 ให้ Input Ck เข้าไปเพื่อศึกษาผลของ Output (C,B,A) จนเข้าใจ แล้วบันทึกผลลงในตารางบันทึกผลที่ 25.6



วงจรทดลองที่ 25.6

ลำดับ	INPUT		OUTPUT			
	CP	CLR	C	B	A	7 - Segment
0	X					
1		1				
2		1				
3		1				
4		1				
5		1				
6		1				
7		1				

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

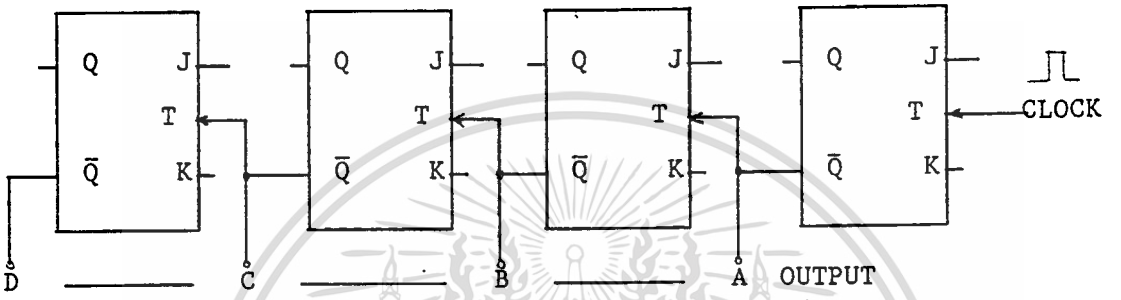
คำถามท้ายบท

1. Ripple counter คืออะไร หลักการทำงาน แนวทางการออกแบบอย่างไร จงอธิบายพร้อมยกตัวอย่างประกอบ

2. จงอธิบายการทำงานของ Binary Ripple circuit มาพอเข้าใจ

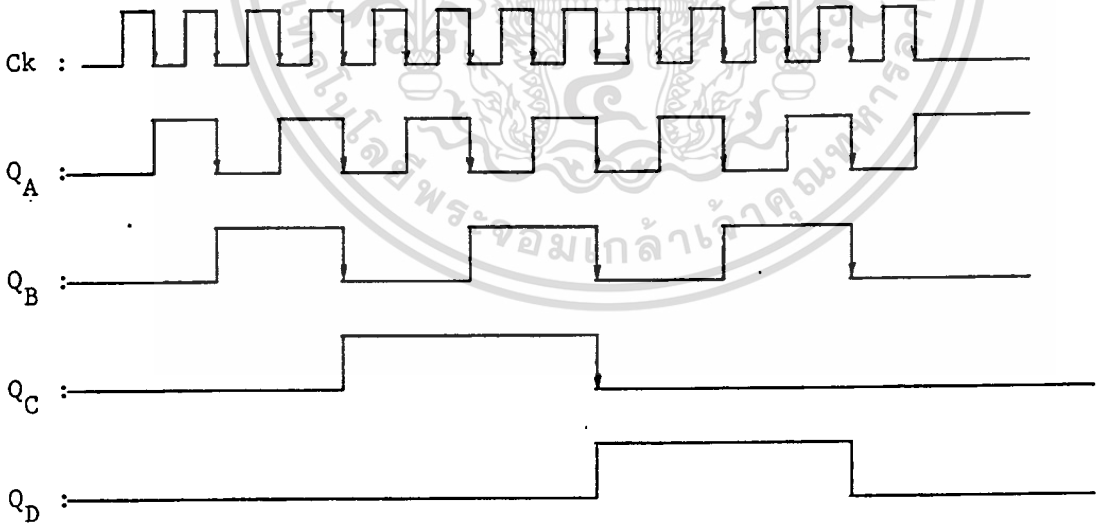
3. จงเขียน Timing Diagram แสดงการทำงานของวงจรที่ 25.1 และแสดงการตรวจสอบหรือพิสูจน์ว่าวงจรนับได้สูงสุดเท่าใด

4. จากวงจรต่อไปนี้จงเขียน Timing Diagram แสดงการทำงานของวงจร



5. จงเขียน 3 - State count –down ripple counter ที่ใช้ J - K Master slave F/F

6. จาก Timing diagram แสดงการทำงานของวงจรเป็นดังรูป Direct - reset counter



7. วงจร Mod - 6 feedback pulse counter แตกต่างจากวงจร Mod - 6 Direct - reset counter อย่างไร อธิบาย

8. จงออกแบบวงจร Mod - 12 synchronus counter โดยใช้ J - K Master slave F/F พร้อมหลักการออกแบบวงจร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

9. จงอธิบายการทำงานของวงจร Ring - counter และชี้แจงให้เห็นว่า Ring counter นั้น แตกต่างจาก Counter อื่นๆที่ทดลองหรือไม่ อย่างไร
10. หลักการทำงานของ J - K Master - slave F/F เป็นอย่างไร อธิบายอย่างละเอียด
11. จงหาข้อมูลของ IC เบอร์ 74LS73N , 74107N , 74LS109N
12. ให้ยกตัวอย่างของวงจรนับที่มีใช่อยู่ในวงจรดิจิตอลจริง มาแสดงอย่างน้อย หนึ่งวงจร

สรุปผลการทดลอง

หนังสืออ้างอิง

1. Introducton to digital computer technology second edition :Louis Nashclsky 1977
2. Digital Computer electronics an ntroduction to microcomputers Second edition : Albert Paul Malvino
3. The TTL Data book for Design engineers first edition :Texas instrument INC

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บททดลองที่ 26

เรื่อง การทำงาน ไอซี Counter (TTL MSI COUNTER)

จุดมุ่งหมาย : เพื่อศึกษา

- การทำงานของไอซี Counter เบอร์ต่างๆ
- วิธีนำตัวไอซีไปใช้งาน

จุดประสงค์เชิงพฤติกรรม : ให้สามารถ

- อธิบายลักษณะการทำงานของวงจรนับนั้นๆได้
- ประกอบวงจรหรือขาไอซีได้ถูกต้อง
- ใช้คู่มือประกอบในการสร้างวงจรนับได้
- นำไอซีไปใช้งานได้

คำแนะนำ :

ไอซี TTL COUNTER สำเร็จรูปที่ปรากฏในวงจรดิจิตอลทั่วๆไปหรือมีใช้กันอยู่ในวงจรเบื้องต้นก็จะมีเบอร์ ดังต่อไปนี้

1. เบอร์ 7490A (Decode Counter) : วงจรนับ 10 ที่นับได้แบบไบนารี่จาก 0000 (0)- 1001(9) แบบนับขึ้น โครงสร้างภายในของไอซีเบอร์นี้(ดังรูป 26.1) จะประกอบด้วย F/F 4 ตัวต่อกันอยู่ในลักษณะ Asyrchonous ripple counter with preset and clear ที่ Active ในลักษณะ Trailing edge ของ Input clock signal ขา input Ro(1), Ro (2) จะทำให้ Output เกิด Reset (Count of 0000) เมื่อทั้งสองได้รับสภาวะ High และยังมีขา Input Rg(1) , Rg(2) ที่เป็นตัวทำให้ Output เกิด Preset (Count of 1001) เมื่อทั้งสองขานี้ได้รับสภาวะ High อีกเช่นกัน นอกจากนี้เราจะเห็นว่า มีขา Input A และขา Input B อยู่ด้วย ซึ่งตามโครงสร้างแล้วจะเห็นว่า Input A จะเป็น MOD - 2 อิสระที่มี Output ออกที่ Q_A และ Input B จะเป็นชุด F/F 3 ตัวและให้การนับเป็น MOD-5 counter ดังนั้นหากเราต้องการให้มันนับ 10 ก็จะต้องใช้ Output Q_A ต่อเข้าที่ Input B จึงจะถูกต้อง โดยมี Output เป็น Q_D, Q_C , Q_B และ Q_A ตารางแสดงการนับ,ตำแหน่งของขาต่างๆ แสดงได้ในรูป 26.2 และ 26.3 ตามลำดับ

2. เบอร์ 7492A และ 7493A (DIVIDE-BY-12 และ BINARY COUNTERS):

จาก Function block diagrams ของเบอร์นี้จะเป็นลักษณะของวงจร Asynchronous Directed reset with clear ที่มีขา Input Ro(1),Ro(2) เป็นขาควบคุมให้เกิด reset ได้เมื่อขาทั้งสองเป็น High Input A จะทำให้นับได้ 2 และ Input B จะทำให้นับได้ 6 แต่ถ้าต้องการนับ 12 ก็จะต้องต่อ Q_A เข้ากับ Input B (เหมือน เบอร์ 74904) ด้วย ตารางแสดงได้ตามรูป 26b.2 , 26b.3 ตามลำดับ

ส่วน เบอร์ 7493A (Binary counter) ก็จะเป็น Binary ripple counter ที่ให้การนับปรกติเป็น Binary 2,4,8,หรือ 16 ซึ่งขึ้นตรงต่อ จำนวน Output ที่ใช้ยกตัวอย่าง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เช่นใช้ Q_D ,Q_C , Q_B , Q_A ก็จะได้ 0000 ถึง 1111 หรือถ้าใช้เฉพาะ Q_B และ Q_A ก็จะนับได้ 0 ถึง 4 (00 - 11) Function block diagram function table และ Pin Assignment แสดงได้ดังรูป 26c.1, 26c.2 และรูป 26c.3 ตามลำดับ

อนึ่งสำหรับวงจรนับที่เราต้องการใช้ในงานหรือวงจรที่ต้องการ เราก็อาจเลือกใช้เบอร์ดังกล่าวทั้งสามนี้ได้ ซึ่งการออกแบบวงจรจะต้องไม่เกินขีดจำกัดสูงสุดของความสามารถนับได้ของไอซีตัวนั้นๆ ยกตัวอย่างเช่น วงจรนับ 8 (0000 0111)เราก็สามารถใช้ได้ทั้งสามเบอร์ โดยใช้ขาควบคุม (Ro,Rg) เป็นตัวช่วยได้ แต่เราจะต้องระลึกเสมอว่า เบอร์7490A ไม่สามารถที่จะทำให้มันได้มากกว่า 10 ได้

นอกจากไอซีทั้งสามเบอร์ที่กล่าวมานี้ก็ยังต้องมี IC MSI counter ที่สร้างมาใช้งานโดยเฉพาะเช่น :

เบอร์ 74160 Presettable decode counter

เบอร์ 74161 Presettable divider - by - 16

เบอร์ 74190 Up - down Presettable decade

เบอร์ 74191 Up - doww Presettable divider - by - 16

- อื่น ๆ

ในบททดลองนี้จะไม่ขอกล่าวถึง แต่ขอให้ศึกษาในการทดลองอันดับต่อไป

<u>อุปกรณ์ที่ใช้</u> :

1. ชุดฝึกดิจิตอล
2. IC เบอร์ 7490A, 7492A , 7493A และอื่นๆ
3. TTL DATA BOOK
4. อื่นๆ

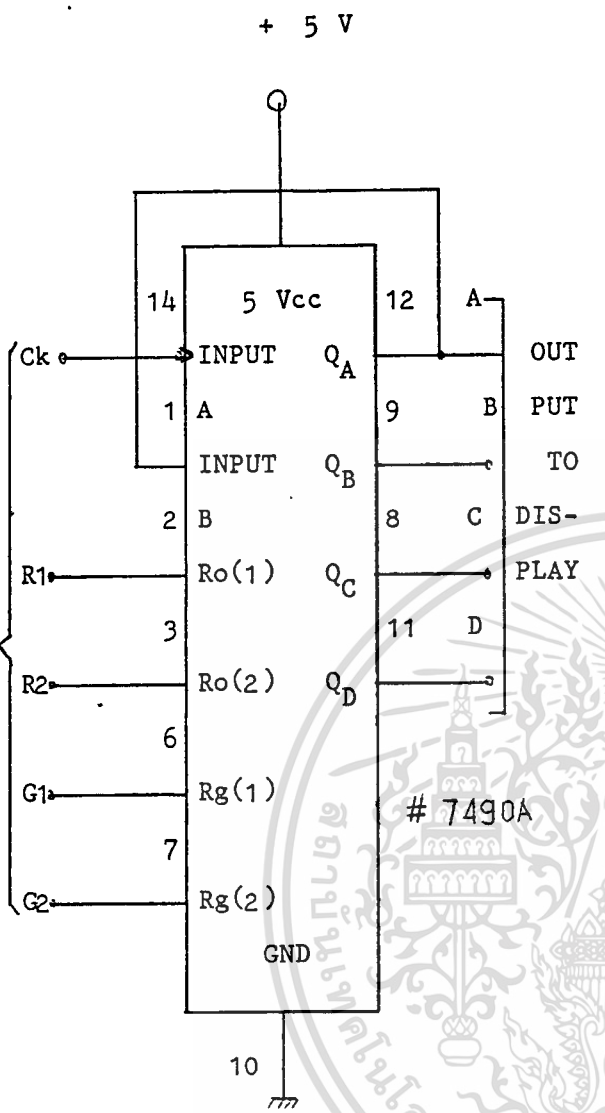
<u>ลำดับขั้นการทดลอง</u>

1. ศึกษาการทำงานของ IC 7490A (DECADE COUNTERS) :

1.1 ประกอบวงจรทดลองตามรูป<u>วงจรที่ 26.1</u>

1.2 ป้อน Clock pulse เข้าที่ Input A ที่ละลูกโดยนับจำนวนด้วยสังเกตุผลของ Output (Q_A , Q_B , Q_C , และ Q_D) จนเข้าใจการทำงานแล้วบันทึกผลลงในตาราง<u>บันทึกที่ 26.1</u>

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



วงจรทดลองที่ 26•1

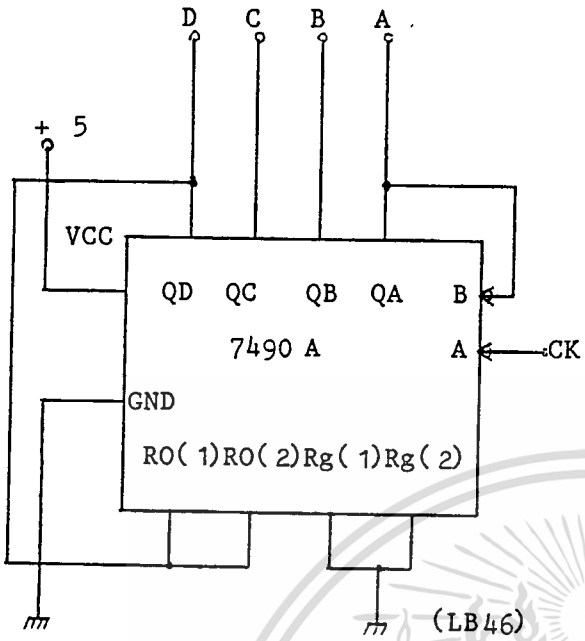
อันดับ	Ck	INPUT R1	R2	G1	G2	OUTPUT D	C	B	A	0
1	↓	1	1	0	X					
2	↓	1	1	X	0					
3	↓	X	0	1	1					
4	↓	0	X	1	1					
5	↓	1	1	1	1					
6	↓	0	0	0	0					
7	↓	0	0	0	0					
8	↓	0	0	0	0					
9	↓	0	0	0	0					
10	↓	0	0	0	0					
11	↓	0	0	0	0					
12	↓	0	0	0	0					
13	↓	0	0	0	0					
14	↓	0	0	0	0					
15	↓	0	0	0	0					
16	↓	0	0	0	0					
17	↓	0	0	0	0					

ตารางบันทึกผลที่ 26•1

1•3 ทดลองการใช้ 7490A ไปทำเป็น MOD - 8 Counter โดยประกอบวงจรทดลองตามรูปที่ 26•2

1•4 ต่อ Input Ck เข้ากับ Input Pulse และ Output P , C ,B , A เข้ากับตัวแสดงผล LED และ 7-segment บันทึกผลลงในตารางที่ 26•2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



วงจรทดลองที่ 26.2

COUNT	OUTPUT	
Ck	D C B A	
0		
1		
2		
3		
4		
5		
6		
7		
8		
9		
10		

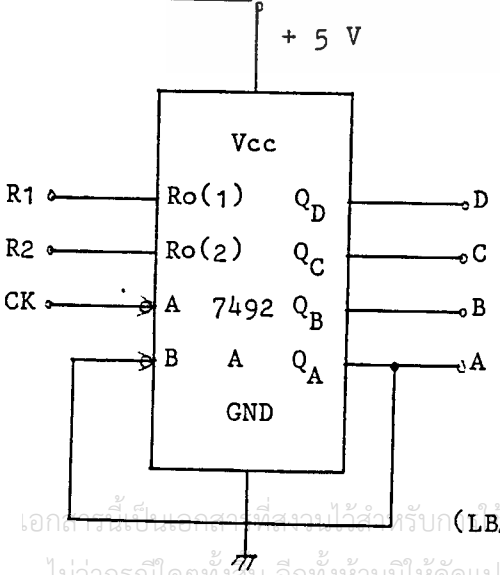
ตารางบันทึกที่ 26.2

2. ศึกษาการทำงานของ IC 7492A (DIVIDER - BY - 12 COUNTER) :

2.1 ประกอบวงจรตามรูปที่ 26.3 ให้ถูกต้อง

2.2 ให้ Input (C_R , R_1 , R_2) เข้ากับ Input switches และ Output (D C B A) เข้ากับตัวแสดงผล LED และ 7 - segment ทำการเปลี่ยนแปลงสภาวะทาง Input แล้วบันทึกผลของ Output ที่เกิดขึ้นลงในตารางบันทึกผลที่ 26.3

วงจรทดลองที่ 26.3



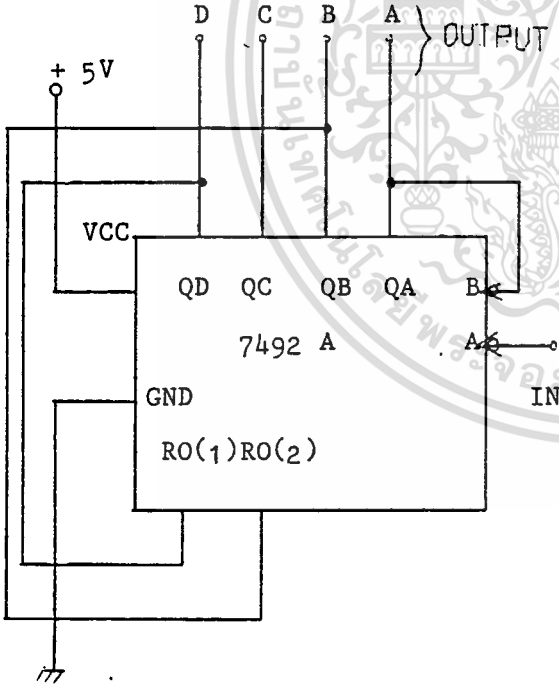
อันดับ	INPUT			OUTPUT				
	CK	R_1	R_2	D	C	B	A	
0	↓	1	1					
1	↓	1	0					
2	↓	0	1					
3	↓	0	0					
4	↓	0	0					
5	↓	0	0					

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6		0	0		
7		0	0		
8		0	0		
9		0	0		
10		0	0		
11		0	0		
12		0	0		
13		0	0		
14		0	0		
15		1	1		

ตารางบันทึกที่ 26.3

2.3 ทดลองการใช้ 7492A ไปทำเป็น Divider-by-8 Counter โดยประกอบวงจรทดลองตามรูปที่ 26.4 บันทึกผลในตาราง 26.4



วงจรทดลองที่ 26.4

COUNT	OUTPUT				
Ck	D	C	B	A	
0					
1					
2					
3					
4					
5					
6					
7					
8					
9					
10					

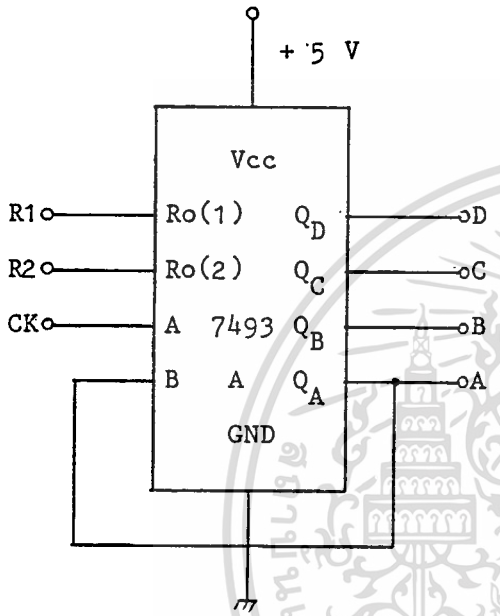
ตารางบันทึกที่ 26.4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3. ศึกษาการทำงานของ IC 7493A (Biary Counters):

3.1 ประกอบวงจรตามรูปที่ 26.5 ให้ถูกต้องโดยต่อ Ck เข้ากับ Input pulse และ Ro(1), Ro(2) เข้ากับ Input Logic switches และต่อ Output (D,C,B,A) เข้าที่ตัวแสดงผล LED และ 7- segment

3.2 ให้ Input เปลี่ยนแปลงไป สังเกตุผลของ Output จนเข้าใจการทำงาน แล้วบันทึกผลลงในตารางที่ 26.5 ให้ตรงกับช่องของ Input เปลี่ยนแปลง



วงจรทดลองที่ 26.5

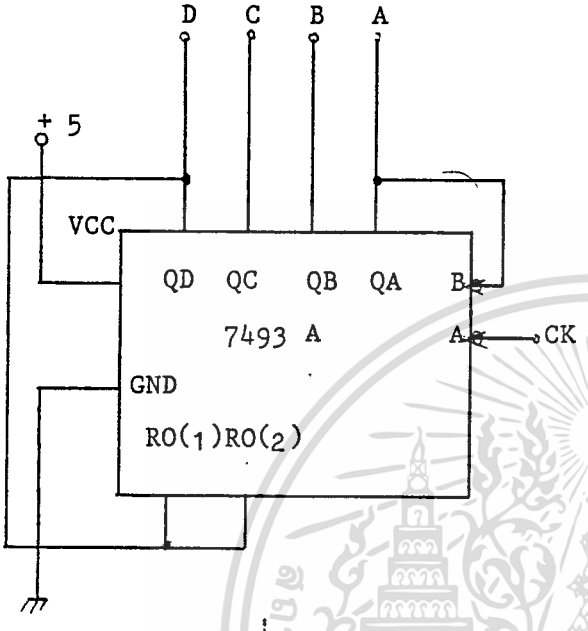
อัน	INPUT			OUTPUT				
ดับ	CK	R1	R2	D	C	B	A	
0	↓	1	1					
1	↓	1	0					
2	↓	0	1					
3	↓	0	0					
4	↓	0	0					
5	↓	0	0					
6	↓	0	0					
7	↓	0	0					
8	↓	0	0					
9	↓	0	0					
10	↓	0	0					
11	↓	0	0					
12	↓	0	0					
13	↓	0	0					
14	↓	0	0					
15	↓	1	1					
16	↓	0	0					
17	↓	0	0					
18	↓	0	0					
19	↓	0	0					
20	↓	1	1					

ตารางบันทึกที่ 26.5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3 ทดลองใช้ 7493 A ไปทำเป็นวงจร Mod-8 Counters : โดยประกอบวงจรทดลอง ตามรูปที่ 26.6

3.4 ต่อ Ck เข้ากับ Input pulse และ Output (D,C,B,A) เข้ากับชุดแสดงผล แล้วทำการให้ Ck ไปเรื่อยๆ สังเกตุผลของ Output จนเข้าใจการทำงานแล้วบันทึกผลในตารางที่ 26.6



วงจรทดลองที่ 26.6

COUNT	OUTPUT	
Ck	D C B A	8
0		
1		
2		
3		
4		
5		
6		
7		
8		
9		
10		

ตารางบันทึกที่ 26.6

4. ค้นคว้าและศึกษาวิธีการออกแบบวงจรนับต่างๆโดยใช้ IC เบอร์ 7490A ,7492A และ 7493A เพิ่มเติม

5. สอบถามผู้รู้ที่อยู่ใกล้ที่สุดเมื่อเกิดปัญหาและเมื่อต้องการทราบข้อมูลใดๆ

คำถามท้ายบท

1. จากผลของการทดลองวงจรที่ 26.1 และตารางบันทึกผลที่ 26.1 จงตอบคำถามต่อไปนี้

1a. ในอันดับ 1 และ 2 OUTPUT(D,C,B,A) เกิดอะไรขึ้นและเปลี่ยนแปลงอะไรหรือไม่เมื่อให้ Clock เข้าไป อธิบาย

1b. ในอันดับที่ 3 ถึงอันดับ 5 Output จะเกิดอะไรขึ้นและมีผลต่างสัญญาณ Clock หรือไม่ อย่างไร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1c. ในอันดับ 6 และ 16 Output เกิดอะไรขึ้น อธิบาย

1d. ในอันดับ 6 จนถึง 15 แสดงว่าวงจรทำการนับใช่หรือไม่และเป็นลักษณะของ Count up หรือ Count down

2. แสดงว่า IC เบอร์ 7490A เป็นวงจรนับ 10 และให้การทำงานเป็นไปตามคำแนะนำที่กล่าวไว้ในข้างต้นหรือไม่ อย่างไร

3. จงแสดงวิธีการนำ IC 7490A ไปทำเป็นวงจร MOD-5 Counter อธิบาย และเขียน วงจรแสดง

4. จงวิเคราะห์ผลการทดลองวงจรทดลองที่ 26.3 และการไม่ต่อ Q_A เข้ากับ InputB (ปล่อย B ลอยไว้) จะเกิดอะไรขึ้น ชี้แจง

5. การทำงานของวงจรทดลองที่ 26.2 กับ 26.4 แตกต่างกันอย่างไร อธิบาย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

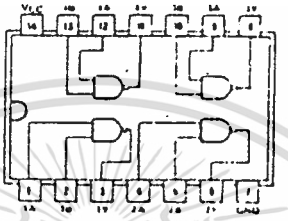
54/74 FAMILIES OF COMPATIBLE TTL CIRCUITS

SSI GATES . . . LOGIC AND PIN ASSIGNMENTS (TOP VIEWS)

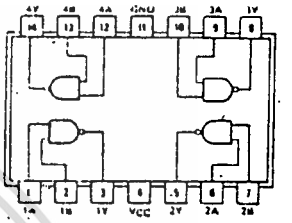
00
QUADRUPLE 2-INPUT
POSITIVE-NAND GATES

positive logic:
$Y = \overline{AB}$

See page 86



SN5400/SN7400(J, N)
SN54H00/SN74H00(J, N)
SN54L00/SN74L00(J, N)
SN54LS00/SN74LS00(J, N, W)
SN54S00/SN74S00(J, N, W)

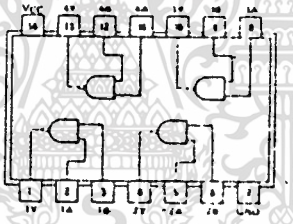


SN5400/SN7400(W)
SN54H00/SN74H00(W)
SN54L00/SN74L00(T)

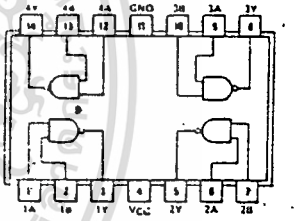
01
QUADRUPLE 2-INPUT
POSITIVE-NAND GATES
WITH OPEN-COLLECTOR OUTPUTS

positive logic:
$Y = \overline{AB}$

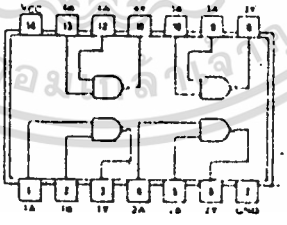
See page 88



SN5401/SN7401(J, N)
SN54LS01/SN74LS01(J, N, W)



SN5401/SN7401(W)
SN54H01/SN74H01(W)
SN54L01/SN74L01(T)

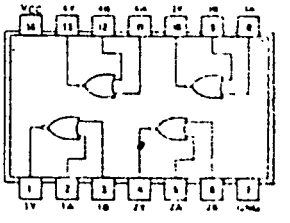


SN54H01/SN74H01(J, N)

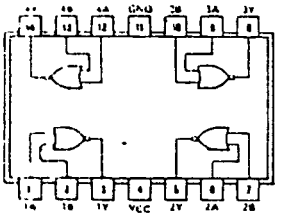
02
QUADRUPLE 2-INPUT
POSITIVE-NOR GATES

positive logic:
$Y = \overline{A+B}$

See page 92



SN5402/SN7402(J, N)
SN54L02/SN74L02(J, N)
SN54LS02/SN74LS02(J, N, W)
SN54S02/SN74S02(J, N, W)



SN5402/SN7402(W)
SN54L02/SN74L02(T)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

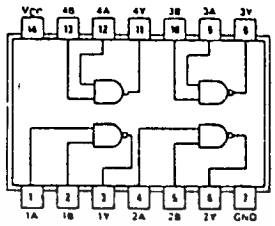
SSI GATES . . . LOGIC AND PIN ASSIGNMENTS (TOP VIEWS)

03

QUADRUPLE 2-INPUT
POSITIVE-NAND GATES
WITH OPEN-COLLECTOR OUTPUTS

positive logic:
$Y = \overline{AB}$

See page 88



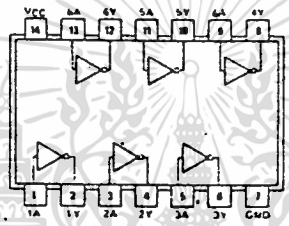
SN5403/SN7403(J, N)
SN54L03/SN74L03(J, N)
SN54LS03/SN74LS03(J, N, W)
SN54S03/SN74S03(J, N, W)

04

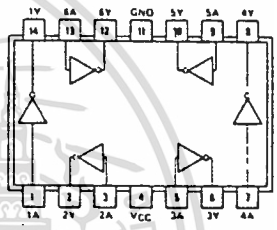
HEX INVERTERS

positive logic:
$Y = \overline{A}$

See page 86



SN5404/SN7404(J, N)
SN54H04/SN74H04(J, N)
SN54L04/SN74L04(J, N)
SN54LS04/SN74LS04(J, N, W)
SN54S04/SN74S04(J, N, W)



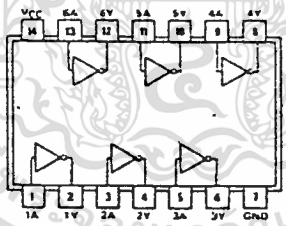
SN5404/SN7404(W)
SN54H04/SN74H04(W)
SN54L04/SN74L04(T)

05

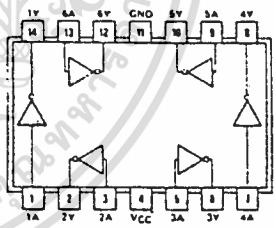
HEX INVERTERS
WITH OPEN-COLLECTOR OUTPUTS

positive logic:
$Y = \overline{A}$

See page 88



SN5405/SN7405(J, N)
SN54H05/SN74H05(J, N)
SN54LS05/SN74LS05(J, N, W)
SN54S05/SN74S05(J, N, W)



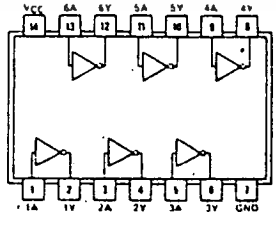
SN5405/SN7405(W)
SN54H05/SN74H05(W)

06

HEX INVERTER BUFFERS/DRIVERS
WITH OPEN-COLLECTOR
HIGH-VOLTAGE OUTPUTS

positive logic:
$Y = \overline{A}$

See page 106



SN5406/SN7406(J, N, W)

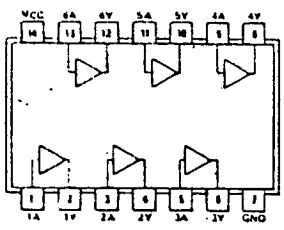
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SSI GATES . . . LOGIC AND PIN ASSIGNMENTS (TOP VIEWS)

07
HEX BUFFERS/DRIVERS
WITH OPEN-COLLECTOR
HIGH-VOLTAGE OUTPUTS

positive logic:
Y = A

See page 106

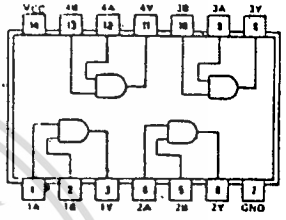


SN5407/SN7407(J, N, W)

08
QUADRUPLE 2-INPUT
POSITIVE-AND GATES

positive logic:
Y = AB

See page 94

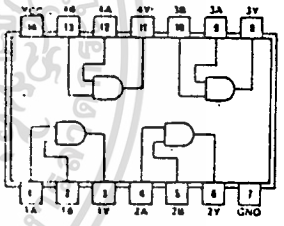


SN5408/SN7408(J, N, W)
SN54LS08/SN74LS08(J, N, W)

09
QUADRUPLE 2-INPUT
POSITIVE-AND GATES
WITH OPEN-COLLECTOR OUTPUTS

positive logic:
Y = AB

See page 96

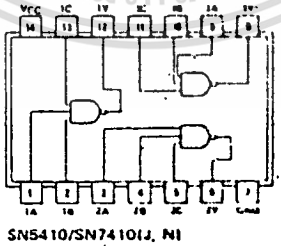


SN5409/SN7409(J, N, W)
SN54LS09/SN74LS09(J, N, W)

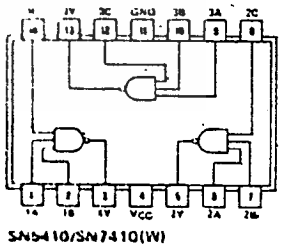
10
TRIPLE 3-INPUT
POSITIVE-NAND GATES

positive logic:
$Y = \overline{ABC}$

See page 86



SN5410/SN7410(J, N)
SN54H10/SN74H10(J, N)
SN54L10/SN74L10(J, N)
SN54LS10/SN74LS10(J, N, W)
SN54S10/SN74S10(J, N, W)



SN5410/SN7410(W)
SN54H10/SN74H10(W)
SN54L10/SN74L10(T)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MONOSTABLE MULTIVIBRATORS . . . LOGIC AND PIN ASSIGNMENTS (TOP VIEWS)

121

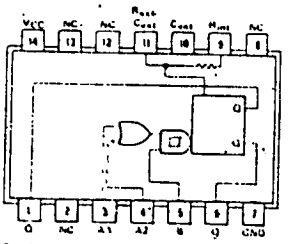
MONOSTABLE MULTIVIBRATORS

FUNCTION TABLE

INPUTS			OUTPUTS	
A1	A2	B	Q	$\bar{Q}$
L	X	H	L	H
X	L	H	L	H
X	X	L	L	H
H	H	X	L	H
H	↓	H	⎍	⎎
↓	H	H	⎍	⎎
↓	↓	H	⎍	⎎
L	X	↑	⎍	⎎
X	L	↑	⎍	⎎

See page 134

See Notes



SN54121/SN74121(J, N, W)
SN54L121/SN74L121(J, N, T)
'121 . . . R_{int} = 2 kΩ NOM
'L121 . . . R_{int} = 4 kΩ NOM

NC—No internal connection

122

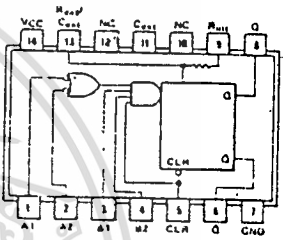
RETRIGGERABLE MONOSTABLE MULTIVIBRATORS WITH CLEAR

FUNCTION TABLE

INPUTS					OUTPUTS	
CLEAR	A1	A2	B1	B2	Q	$\bar{Q}$
L	X	X	X	X	L	H
X	H	H	X	X	L	H
X	X	X	L	X	L	H
X	X	X	X	L	L	H
↑	L	X	H	H	⎍	⎎
H	L	X	↑	H	⎍	⎎
H	L	X	H	↑	⎍	⎎
H	X	L	H	H	L	H
H	X	L	↑	H	⎍	⎎
H	X	L	H	↑	⎍	⎎
H	H	↓	H	H	⎍	⎎
H	↓	↓	H	H	⎍	⎎
H	↓	H	H	H	⎍	⎎
↑	L	X	H	H	⎍	⎎
↑	X	L	H	H	⎍	⎎

See page 138

See Notes



SN54122/SN74122(J, N, W)
SN54L122/SN74L122(J, N, T)
'122 . . . R_{int} = 10 kΩ NOM
'L122 . . . R_{int} = 20 kΩ NOM

NC—No internal connection

123

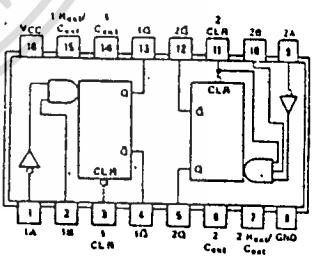
DUAL RETRIGGERABLE MONOSTABLE MULTIVIBRATORS WITH CLEAR

FUNCTION TABLE

INPUTS			OUTPUTS	
CLEAR	A	B	Q	$\bar{Q}$
L	X	X	L	H
X	H	X	L	H
X	X	L	L	H
H	L	↑	⎍	⎎
H	↓	H	⎍	⎎
↑	L	H	⎍	⎎

See page 138

See Notes



SN54123/SN74123(J, N, W)
SN54L123/SN74L123(J, N)

NOTES: A. H = high level (steady state), L = low level (steady state), ↑ = transition from low to high level, ↓ = transition from high to low level, ⎍ = one high-level pulse, ⎎ = one low-level pulse, X = irrelevant (any input, including transitions).
B. To use the internal timing resistor of '121, 'L121, '122, or 'L122, connect R_{int} to V_{CC}.
C. An external timing capacitor may be connected between C_{ext} and R_{ext}/C_{ext} (positive).
D. For accurate repeatable pulse widths, connect an external resistor between R_{ext}/C_{ext} and V_{CC} with R_{int} open-circuited.
E. To obtain variable pulse widths, connect external variable resistance between R_{int} or R_{ext}/C_{ext} and V_{CC}.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FLIP-FLOPS . . . LOGIC AND PIN ASSIGNMENTS (TOP VIEWS)

DUAL J-K FLIP-FLOPS WITH PRESET AND CLEAR

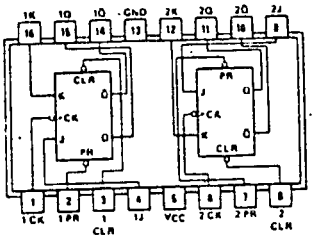
76

'76, 'H76
FUNCTION TABLE

INPUTS					OUTPUTS	
PRESET	CLEAR	CLOCK	J	K	Q	$\bar{Q}$
L	H	X	X	X	H	L
H	L	X	X	X	L	H
L	L	X	X	X	H*	H*
H	H	⎍	L	L	Q_0	$\bar{Q}_0$
H	H	⎍	H	L	H	L
H	H	⎍	L	H	L	H
H	H	⎍	H	H	TOGGLE	

'LS76
FUNCTION TABLE

INPUTS					OUTPUTS	
PRESET	CLEAR	CLOCK	J	K	Q	$\bar{Q}$
L	H	X	X	X	H	L
H	L	X	X	X	L	H
L	L	X	X	X	H*	H*
H	H	↓	L	L	Q_0	$\bar{Q}_0$
H	H	↓	H	L	H	L
H	H	↓	L	H	L	H
H	H	↓	H	H	TOGGLE	
H	H	H	X	X	Q_0	$\bar{Q}_0$



SN5476/SN7476(J, N, W)
SN54H76/SN74H76(J, N, W)
SN54LS76/SN74LS76(J, N, W)

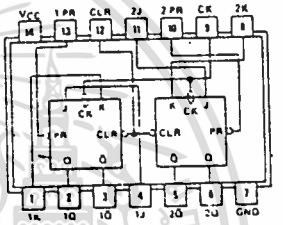
See pages 120, 124, and 130

DUAL J-K FLIP-FLOPS WITH PRESET, COMMON CLEAR, AND COMMON CLOCK

78

'H78, 'L78
FUNCTION TABLE

INPUTS					OUTPUTS	
PRESET	CLEAR	CLOCK	J	K	Q	$\bar{Q}$
L	H	X	X	X	H	L
H	L	X	X	X	L	H
L	L	X	X	X	H*	H*
H	H	⎍	L	L	Q_0	$\bar{Q}_0$
H	H	⎍	H	L	H	L
H	H	⎍	L	H	L	H
H	H	⎍	H	H	TOGGLE	

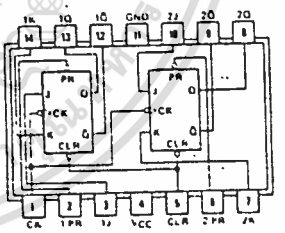


SN54H78/SN74H78(J, N, W)

See pages 124 and 128

'LS78
FUNCTION TABLE

INPUTS					OUTPUTS	
PRESET	CLEAR	CLOCK	J	K	Q	$\bar{Q}$
L	H	X	X	X	H	L
H	L	X	X	X	L	H
L	L	X	X	X	H*	H*
H	H	↓	L	L	Q_0	$\bar{Q}_0$
H	H	↓	H	L	H	L
H	H	↓	L	H	L	H
H	H	↓	H	H	TOGGLE	
H	H	H	X	X	Q_0	$\bar{Q}_0$



SN54L78/SN74L78(J, N, T)
SN54LS78/SN74LS78(J, N, W)

See page 130

H = high level (steady state), L = low level (steady state), X = irrelevant
↓ = high level pulse, data inputs should be held constant while clock is high; data is transferred to output on the falling edge of the pulse.
↓ = transition from high to low level
Q_0 = the level of Q before the indicated input conditions were established.
TOGGLE = Each output changes to the complement of its previous level on each active transition (pulse) of the clock.
*This configuration is nonstable; that is, it will not persist when preset and clear inputs return to their inactive (high) state.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หนังสืออ้างอิง

- พีชคณิตบูลลีนประยุกต์ อุดม ใยเจริญ มิถุนายน 2527
- วงจรดิจิตอล ภาคปฏิบัติ อ.จ ธนิตย์ ตรีสุวรรณวัฒน์ และกลุ่มผู้จัด พ.ศ. 2528
- Digital Computers Electronics and Introduction to microcomputers Second Edition
- Introduction to digital computer technology second edition Louis Nastclsky 1972,1977
- TTL DATA Book for Design Engineers ; Texas Instrument
- Digital LOgic and Switching circuit ;Jefferson C. Boyce 1975

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้