ปีการศึกษา 2531

เครื่องกำเนิดสัญญาณข้อมูลเลขฐานสอง

(BINARY DATA GENERATOR)

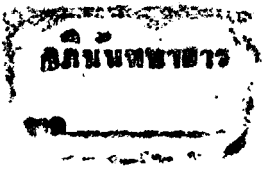
โดย

นายต่อพงศ์ ชุมนุมมณี

นายชาญชัย จึงประพฤติ

อาจารย์ที่ปรึกษา

ผศ. วิชัย สุรพัฒน์



ปริญญานิพนธ์ปีการศึกษา 2531

ภาควิชาเทคนิคอุตสาหกรรม

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้า เจ้าคุณทหารลาดกระบัง

เรื่อง เครื่องกำเนิดสัญญาณข้อมูลเลขฐานสอง (BINARY DATA GENERATOR)

ผู้จัดทำ

1. นายต่อพงศ์ ชุมนุมมณี
2. นายชาญชัย จึงประพฤติ

.....อาจารย์ที่ปรึกษา

(ผศ. วิชัย สุรพัฒน์)

.....กรรมการ

(.....)

.....กรรมการ

(.....)

023204

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เครื่องกำเนิดสัญญาณข้อมูลเลขฐานสอง

(BINARY DATA GENERATOR)

นายต่อพงศ์ ชุมนุมมณี
นายชาญชัย จึงประพฤติ
ผศ. วิชัย สุรพัฒน์ อาจารย์ที่ปรึกษา
ปีการศึกษา 2531

บทคัดย่อ

ในปัจจุบันนี้เทคโนโลยีทางด้านการสื่อสารสมัยใหม่ได้ถูกนำมาใช้กันอย่างกว้างขวาง ตั้งแต่การติดต่อระหว่างเครื่องคอมพิวเตอร์ด้วยกัน หรือการติดต่อสื่อสารในเครือข่ายวงจรท้องถิ่น จนกระทั่งถึงการติดต่อสื่อสารผ่านดาวเทียม โดยข้อมูลที่ใช้ในการติดต่อทั้งทางด้านส่งและทางด้านรับ จะใช้รหัสที่เป็นสัญญาณทาง DIGITAL ซึ่งเราเรียกระบบนี้ว่าเป็นการติดต่อสื่อสารทางด้านข้อมูล หรือ DATA COMMUNICATION ส่วนรหัสของสัญญาณที่ใช้ซึ่งได้แก่ Baudot Code, ASCII Code และ EBCDIC Code นั้น ล้วนถูกกำหนดขึ้นจากสัญญาณ BINARY ทั้งสิ้น ดังนั้น จากเหตุผลเดียวกันนี้ เครื่องกำเนิดสัญญาณข้อมูลเลขฐานสองจึงถูกสร้างขึ้น เพื่อให้กำเนิดสัญญาณ BINARY ที่สามารถกำหนดรหัสช้องข้อมูลได้ สำหรับนำไปใช้ในการทดสอบการทำงานของระบบดังกล่าว หรือใช้เป็นเครื่องกำเนิดข้อมูลให้กับวงจรต่าง ๆ ตามต้องการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

		หน้า
บทคัดย่อ		
บทที่ 1	บทนำ	1
บทที่ 2	ทฤษฎี	
	2.1 รายละเอียดทั่วไปของไอซีตระกูลซีมอส	2 – 1
	2.2 วิธีการอ่านคู่มือของไอซีซีมอส	2 – 11
	2.3 การอินเตอร์เฟซ	2 – 21
	2.4 อุปกรณ์แสดงผล	2 – 35
	2.5 สรุปลักษณะรายละเอียดที่สำคัญของไอซีตระกูลซีมอส	2 – 49
บทที่ 3	การสร้างและทดสอบ	
	3.1 รายละเอียดทั่วไป	3 – 1
	3.2 หลักการทำงานเบื้องต้น	3 – 4
	3.3 รายละเอียดในส่วนของวงจร	3 – 13
	3.4 ผลการทดสอบและการใช้งาน	3 – 39
บทที่ 4	บทสรุป	4
ภาคผนวก		
กิตติกรรมประกาศ		
หนังสืออ้างอิง		

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1

บทนำ

เครื่องกำเนิดสัญญาณข้อมูลเลขฐานสอง (BINARY DATA GENERATOR) ที่สร้างขึ้นมานี้ เป็นเครื่องมือที่ใช้สำหรับให้กำเนิดสัญญาณข้อมูลที่มีลักษณะเป็นคำในระบบเลขฐานสอง (binary word) โดยสัญญาณที่ได้จะเป็นไปอย่างต่อเนื่อง สำหรับข้อมูลที่ได้แต่ละคำจะมีความยาวสูงสุดเท่ากับ 16 บิต และแต่ละบิต (bit) ก็สามารถเลือกระดับลอจิก (logic) ให้เป็น 0 หรือ 1 ได้ตามต้องการ

เนื่องจากเครื่องกำเนิดสัญญาณข้อมูลเลขฐานสองนี้มีอุปกรณ์หลักที่ใช้ส่วนใหญ่เป็นอุปกรณ์ประเภทวงจรรวม (Integrated Circuit) หรือที่เรียกว่า ไอซี (IC) โดยไอซีที่ใช้ส่วนใหญ่จะอยู่ในตระกูลของซีมอส (CMOS) ซึ่งย่อมาจากคำเต็มว่า Complementary Metal Oxide Semiconductor สำหรับทำหน้าที่ให้กำเนิดสัญญาณ และเป็นส่วนประกอบของการทำงานในวงจรส่วนอื่น ๆ ทั้งนี้เนื่องจากอุปกรณ์ที่เป็นไอซี ประเภทซีมอสจะกินไฟน้อยที่สุดเมื่อเทียบกับไอซีตระกูลอื่น และนอกจากนี้ยังทนแรงดันได้สูงจึงสามารถให้ระดับลอจิกสองระดับที่แตกต่างกันค่อนข้างมาก โดยจะให้ผลดีต่อการทำให้สัญญาณรบกวน (noise) น้อยลง ดังนั้น ในส่วนของทฤษฎีสิ่งสำคัญเรื่องแรกที่จะขอกล่าวถึงก็คือ เรื่องรายละเอียดพื้นฐานทั่วไปของไอซีตระกูลซีมอส เพื่อเป็นความรู้พื้นฐานในการออกแบบและการนำไปใช้งานได้อย่างมีประสิทธิภาพ

สำหรับรายละเอียดในส่วนต่าง ๆ ของเครื่องก็จะกล่าวถึงในบทต่อไปตามลำดับ จนถึงหัวข้อสุดท้ายซึ่งเป็นภาคผนวก ก็จะเป็นการแสดงถึงรายละเอียดเกี่ยวกับข้อมูลของไอซี ตระกูลซีมอสที่ได้จากบริษัทผู้ผลิตโดยตรง ตลอดจนรายละเอียดที่แสดงถึงคุณลักษณะ (characteristics) ในการทำงานของไอซีทุกตัวที่ใช้กับเครื่องกำเนิดสัญญาณข้อมูลเลขฐานสองนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2

ทฤษฎี

ในบทนี้จะเป็นการกล่าวถึงเรื่องทฤษฎีทั่วไปที่เกี่ยวข้องกับไอซีซีมอส โดยจะเน้นถึงเรื่องทฤษฎีพื้นฐานที่สำคัญของไอซีซีมอส เพื่อเป็นความรู้เบื้องต้นในการที่จะนำไปศึกษาถึงเรื่องรายละเอียดในบทต่อไป

สำหรับหัวข้อที่จะกล่าวถึงในบทนี้ ได้แก่ เรื่องของรายละเอียดทั่วไปของไอซีตระกูลซีมอส โดยจะกล่าวถึงทฤษฎีมูลฐานของอุปกรณ์ประเภท MOS, อุปกรณ์ประเภท CMOS และรวมไปถึงเรื่องของเกต (gate) ส่วนหัวข้อต่อไปจะกล่าวถึงเรื่องวิธีการอ่านคู่มือของไอซีซีมอส, การอินเตอร์เฟซ (interface) แบบต่าง ๆ, อุปกรณ์แสดงผลที่ใช้กันทั่วไป และหัวข้อสุดท้ายจะเป็นการสรุปลักษณะรายละเอียดที่สำคัญของไอซีตระกูลซีมอส สำหรับหัวข้อต่าง ๆ ที่กล่าวมาทั้งหมดจะมีรายละเอียดดังต่อไปนี้

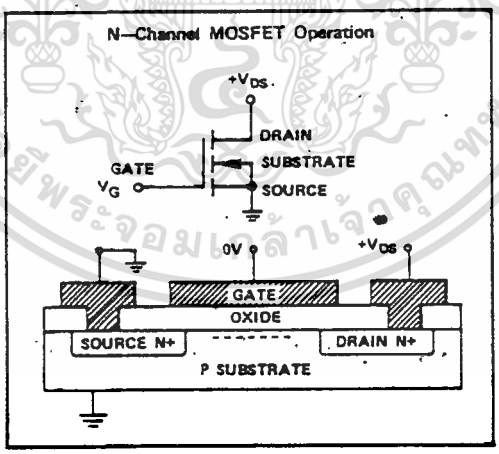
2.1 รายละเอียดทั่วไปของไอซีตระกูลซีมอส

2.1.1 อุปกรณ์ประเภท MOS (Metal Oxide Semiconductor devices)

ในปัจจุบันอุปกรณ์ทางอิเล็กทรอนิกส์ที่เป็นประเภท Complementary MOS (CMOS) LOGIC, หน่วยความจำ (memory) และวงจรสวิตชิง (switching circuits) ล้วนมีโครงสร้างที่เป็น P-CHANNEL และ N-CHANNEL ของ ENHANCEMENT-MODE MOS TRANSISTORS โดยจะมีการแพร่สารอยู่บนแผ่น MONOLITHIC SILICON CHIP ส่วนการทำงานที่เป็นหน้าที่หลักจะใช้อุปกรณ์ประเภท UNIPOLAR ซึ่งก็คือ FLELD - EFFECT TRANSISTORS โดยจะมีประจุพาหะโฮล (charge carrier holes) ในสารชนิด P - CHANNEL และมีอิเล็กตรอน (electrons) ในสารชนิด N - CHANNEL

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

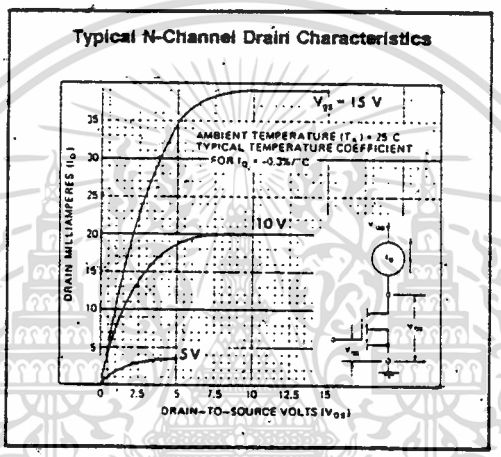
สำหรับส่วนตัดขวาง (cross - section) ของอุปกรณ์ชนิด N - CHANNEL ENHANCEMENT - MODE MOS TRANSISTOR จะแสดงในรูป 2.1 ซึ่งเป็นอุปกรณ์ชนิด FOUR - TERMINAL ในการใช้งานของซีมอสลอจิกขา SUBSTRATE และขา SOURCE ปกติจะต่อร่วมกัน และต่อเข้ากับแรงดันไฟลบ (negative potential) V_{ss} ส่วนขา GATE และขา DRAIN จะต่อกับแรงดันไฟบวก (positive potential) ในขณะที่ไม่มีแรงดันระหว่างขา GATE และขา SOURCE สาร N+ ที่แพร่ทั้งสองส่วนจะมีคุณสมบัติเป็นฉนวนทำให้ไม่เกิดสภาวะการนำไฟฟ้าขึ้น และเมื่อแรงดันไฟฟ้าเพิ่มขึ้นถึงจุด THRESHOLD VOLTAGE (V_{TN}) ก็จะทำให้ส่วนของ SOURCE และ DRAIN มีสภาพนำไฟฟ้าเกิดขึ้นโดยจะนำไฟฟ้าจาก SOURCE ไปสู่ DRAIN พร้อมกันกับการเพิ่มขึ้นของแรงดันที่ขา GATE



รูป 2.1 N - CHANNEL MOSFET

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

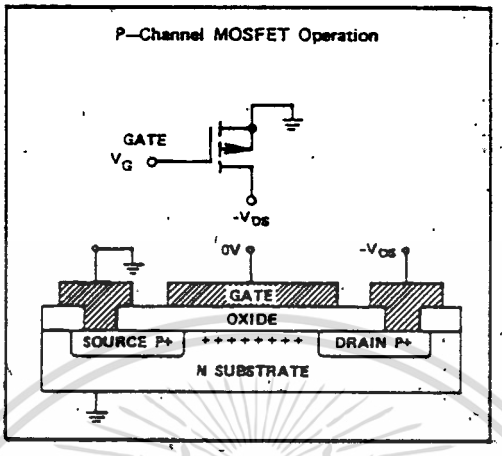
สำหรับจุดอิ่มตัว (saturation point) จะเกิดขึ้นเมื่อ $+V_{DS}$ มีค่ามากกว่า $V_G - V_{TN}$ ดังนั้น ที่จุดนี้จะมีการจำกัดค่ากระแสของตัวมันเอง (self - current limiting) สำหรับรูป 2.2 จะเป็นการแสดงคุณลักษณะของ DRAIN ที่เป็นอุปกรณ์แบบ N - CHANNEL MOS TRANSISTOR



รูป 2.2 คุณลักษณะของ N - CHANNEL DRAIN

ส่วนการทำงานของอุปกรณ์ชนิด P - CHANNEL จะแสดงดังรูป 2.3 ซึ่งจะนำขา SOURCE และขา SUBSTRATE ต่อกับแรงดันไฟบวก V_{DD} และขา GATE กับขา DRAIN จะต่อกับแรงดันไฟลบ โดยค่า THRESHOLD VOLTAGE (V_{TP}) จะถูกกำหนดจากค่าของแรงดันที่ขา GATE (V_G) ซึ่งเป็นเหตุให้มีสภาวะการนำไฟฟ้าต่ำสุด (minimum conductivity) ระหว่าง SOURCE และ DRAIN สำหรับจุดอิ่มตัวจะเกิดขึ้นเมื่อแรงดัน V_{DS} มีค่าเป็นลบมากกว่า $V_G - V_{TN}$ และรูปแสดงคุณลักษณะของ DRAIN สำหรับอุปกรณ์ชนิด P - CHANNEL MOS TRANSISTOR จะมีดังรูป 2.4

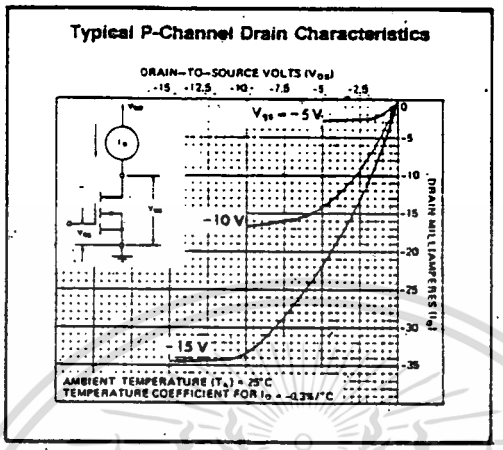
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 2.3 P- CHANNEL MOSFET

ในอุปกรณ์ประเภทมอส จะมีค่าความต้านทานทางอินพุต (input resistance) ที่สูงมาก โดยเป็นผลมาจาก DIELECTRIC OXIDE ISOLATION ระหว่างขา GATE และ CHANNEL ซึ่งผลอันนี้ ทำให้ความต้านทานทางอินพุตเสมือนว่าไม่มีผลกับขั้วของการไบอัส (bias) ที่ขา GATE และสำหรับกระแสรั่วไหล (leakage current) ที่เกิดขึ้นระหว่างขา GATE กับขา SOURCE จะมีความสัมพันธ์อย่างอิสระกับการเปลี่ยนแปลงของอุณหภูมิรอบ ๆ ตัวของอุปกรณ์ (ambient temperature)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

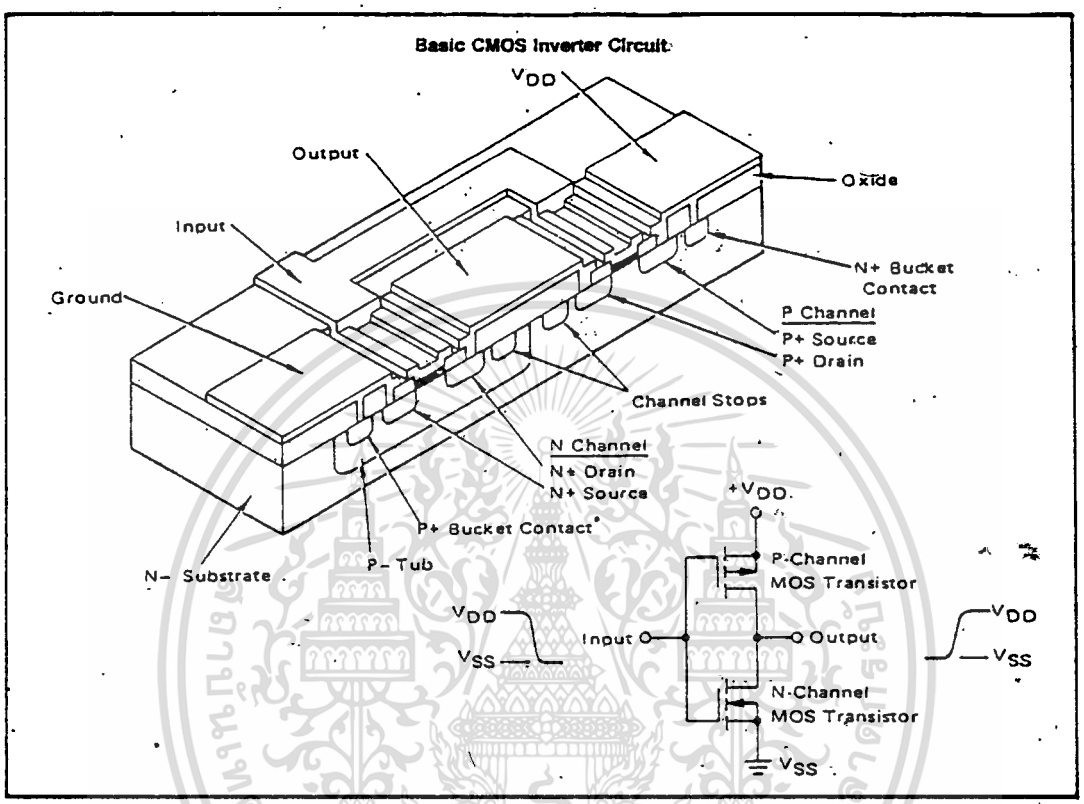


รูป 2.4 คุณลักษณะของ P - CHANNEL DRAIN

2.1.2 อุปกรณ์ประเภท CMOS (Complementary MOS devices)

อุปกรณ์ที่เป็นประเภท CMOS LOGIC CIRCUITS จะประกอบด้วยโครงสร้างที่เป็นทั้ง P - CHANNEL และ N - CHANNEL รวมกัน โดยเป็นแบบ ENHANCEMENT - MODE MOS TRANSISTORS ดังนั้น จึงเป็นอุปกรณ์ที่เสมือนสวิตช์ในอุดมคติ (ideal switching) ซึ่งมีโครงสร้าง และวงจรดังรูป 2.5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 2.5 BASIC CMOS CIRCUIT

จะเห็นว่าวงจรจะประกอบไปด้วยอุปกรณ์ชนิด P - CHANNEL และ N - CHANNEL อย่างละ 1 ชุด โดยในตำแหน่งของ P - DOPED TUB จะต้องสร้างขึ้นเพื่อวางอุปกรณ์ชนิด N - CHANNEL และตำแหน่งของ CHANNEL STOPS จะต้องสร้างโดยวางอยู่ระหว่าง P - TUB และ P - DRAIN เพื่อป้องกันผลจากค่าพาราซิติกระหว่างแชลเนล (parasitic channeling effects)

เมื่อต่อแรงดันไฟบวก V_{DD} ที่อินพุต (input) ชุดของ P - CHANNEL จะมีสภาวะเป็น SWITCH OFF และชุดของ N - CHANNEL จะมี

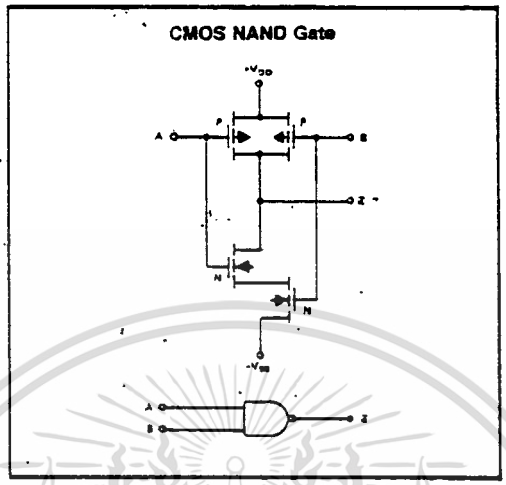
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สภาวะเป็น SWITCH ON ดังนั้น ที่เอาต์พุต (output) ก็จะต่อกับแรงดันไฟลบ V_{SS} โดยผ่านค่าความต้านทานที่ต่ำ (low on - resistance) ของชุดอุปกรณ์ N - CHANNEL และในทางกลับกันเมื่อต่อแรงดันไฟลบ V_{SS} ที่อินพุตก็จะทำให้ชุดของ N - CHANNEL เกิดสภาวะ TURN OFF และชุดของ P - CHANNEL เกิดสภาวะ TURN ON ซึ่งในสภาวะนี้เอาต์พุตก็จะต่อกับ V_{DD} โดยผ่านความต้านทานที่เรียกว่า EQUIVALENT ON - RESISTANCE ของชุด P - CHANNEL ดังนั้น จะเห็นว่าเมื่อแรงดันอินพุตเป็น V_{DD} จะมีผลให้เอาต์พุตมีแรงดันเป็น V_{SS} และในการกลับกันขณะที่แรงดันอินพุตเป็น V_{SS} ก็จะมีผลทำให้เอาต์พุตมีแรงดันเป็น V_{DD} ซึ่งการทำงานของวงจรในลักษณะนี้จะเรียกว่า เป็น DIGITAL INVERTER อย่างง่าย

2.1.3 <u>เกต</u> (GATES)

ลอจิกใด ๆ ก็ตามที่มีโครงสร้างเป็นสวิตช์ในอุดมคติ จะสามารถสร้างได้ด้วยไอซีซีมอส จากวงจร INVERTER พื้นฐาน เราก็สามารถเปลี่ยนไปเป็นวงจรแบบ POSITIVE - LOGIC 2 - INPUT NAND GATE ซึ่งประกอบด้วยการต่อขนานกันของชุดอุปกรณ์ P - CHANNEL และต่ออนุกรมกันของชุดอุปกรณ์ N - CHANNEL ดังรูป 2.6 เช่นเดียวกัน เมื่อชุดอุปกรณ์ N - CHANNEL ต่อขนานกัน และชุดอุปกรณ์ P - CHANNEL ต่ออนุกรมกัน ก็จะเป็นวงจรแบบ 2 - INPUT NOR GATE

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



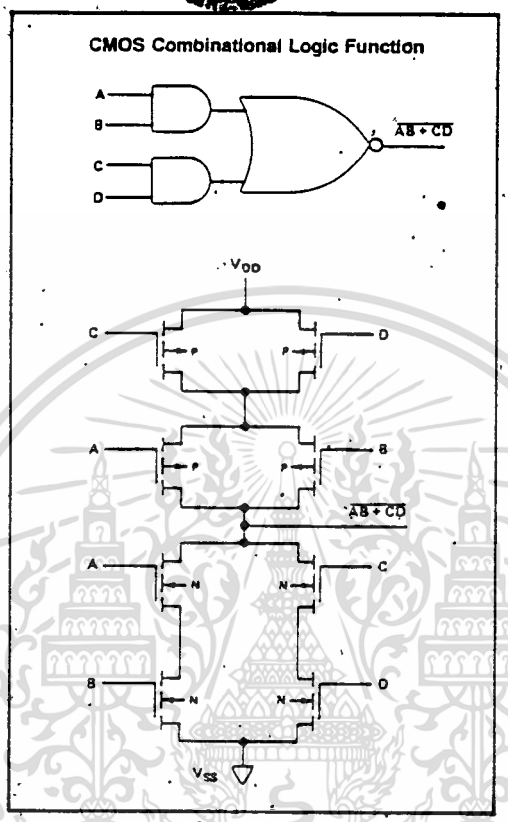
รูป 2.6 CMOS NAND GATE

จากวงจรในรูป 2.6 จะเห็นว่า ไม่มีแรงดันไฟตรง DC ผ่านจาก V_{DD} ไปยัง V_{SS} เพราะชุดของ N - CHANNEL และชุดของ P - CHANNEL จะเป็นตัวป้องกันในส่วนของ V_{SS} และ V_{DD} ตามลำดับ และในทางกลับกัน เมื่อ P - CHANNEL ON ก็จะส่งผลให้ N - CHANNEL OFF ดังนั้น จึงทำให้มีการสิ้นเปลืองกำลังงาน (power dissipation) ต่ำมาก ซึ่งเป็นผลให้ได้ค่าความต้านทานทางเอาต์พุต (output impedance) มีค่าต่ำ

2.1.4 <u>การรวมลอจิก</u> (COMBINATIONAL LOGIC)

การรวมลอจิกสามารถทำได้ง่าย ๆ ในอุปกรณ์ประเภทซีมอส โดยต่ออุปกรณ์ N - CHANNEL แบบอนุกรม สำหรับฟังก์ชัน (function) แบบ AND/NAND และต่อขนานกันสำหรับฟังก์ชันแบบ OR/NOR ส่วนอุปกรณ์แบบ P - CHANNEL ก็จะประกอบเป็นวงจรที่ใช้คู่กันกับอุปกรณ์แบบ N - CHANNEL และสำหรับรูป 2.7 จะแสดงโครงสร้างของวงจรที่ต่อร่วมกันเป็น AND/OR/INVERT (AOI)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 2.7 CMOS COMBINATIONAL LOGIC FUNCTION

2.1.5 เกตที่ใช้ในการส่งสัญญาณ (TRANSMISSION GATES)

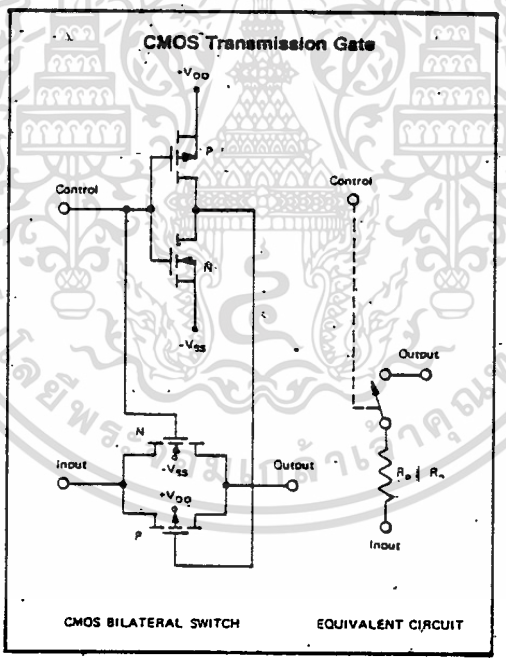
ไอซีที่เป็น CMOS TRANSMISSION GATE หรือ ANALOG SWITCHES จะทำงานเหมือนเช่น สวิตช์แบบ SPST (Single - Pole Single - Throw) โดยมีวงจรแสดงดังรูป 2.8 ซึ่งจะประกอบไปด้วยอุปกรณ์แบบ P - CHANNEL และ N - CHANNEL ต่อขนานกันเป็น INVERTER เพื่อใช้ในการปรับชั้วระดับแรงดันที่จ่ายให้แก่ขา GATE ของทรานซิสเตอร์ (transistor) ทั้งสองโดยให้เกิดขึ้นพร้อมกัน ทั้งนี้เพื่อให้ทรานซิสเตอร์ทั้งสองทำงานพร้อมกัน และหยุด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

023204

ทำงานพร้อมกัน สวิตช์นี้เมื่อ ON จะมีค่าความต้านทานประมาณ 200 – 400 โอห์ม (OHM) และเมื่อ OFF ก็จะมีค่าความต้านทานสูงถึง 10^{11} โอห์ม โดยไม่มีแรงดันออฟเซต (offset voltage) ตกคร่อมที่ตัวสวิตช์

ดังนั้น จะเห็นว่าจากคุณลักษณะที่กล่าวมาจะทำให้เข้าใกล้คุณลักษณะของสวิตช์ในอุดมคติซึ่งก็คือ มีค่าความต้านทานเมื่อ $R_{ON} = 0$ และเมื่อ $R_{OFF} = \infty$ จากผลอันนี้จึงทำให้ TRANSMISSION GATE ถูกนำมาประยุกต์ใช้กันมากในงานทางด้านดิจิตอล (digital)



รูป 2.8 CMOS TRANSMISSION GATE

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2 วิธีการอ่านคู่มือของไอซีซีมอส

ในหัวข้อนี้จะกล่าวถึงเรื่องการอ่านคู่มือของไอซีซีมอส จากหนังสือข้อมูลของไอซี (IC data sheet) ที่บริษัทผู้ผลิตได้บอกรายละเอียดไว้ ซึ่งรายละเอียดที่สำคัญจะมีหลายประการด้วยกัน เช่น ค่าพิกัดสูงสุดต่าง ๆ,ลักษณะสมบัติทางไฟฟ้า และรวมไปถึงลักษณะสมบัติทางด้านสวิตชิง เป็นต้น

2.2.1 ค่าพิกัดสูงสุด

ในคู่มือไอซีทุกเบอร์จะต้องมีตารางแสดงค่าพิกัดสูงสุด (maximum rating) ของไอซีให้ไว้เสมอ ซึ่งในการใช้งานของไอซีเพื่อให้ปลอดภัยจะต้องใช้งานไม่ให้ได้รับค่าต่าง ๆ มากเกินพิกัดที่กำหนดไว้ จากตารางในรูป 2.9 จะเป็นตัวอย่างแสดงพิกัดสูงสุดของไอซีซีมอสเบอร์หนึ่ง และเป็นของบริษัทหนึ่งเท่านั้น

หัวข้อ	สัญลักษณ์	ค่า	หน่วย
แหล่งจ่ายไฟตรง	V_{DD}	-0.5 ถึง +18	V_{dc}
แรงดันขาเข้า	V_{in}	-0.5 ถึง V_{DD} +0.5	V_{dc}
กระแสสูงสุด	$I_{}$	-10	mA_{dc}
อุณหภูมิใช้งาน*	T_A	-55 ถึง +125	°C
อุณหภูมิเก็บรักษา	T_{stg}	-40 ถึง +85	°C

ช่วงแรงดันที่แนะนำ

แรงดันแหล่งจ่ายไฟ	V_{DD}	+3.0 ถึง +15	V_{dc}

*ตัวถัง AL และ CL เป็นแบบเซรามิก CP เป็นแบบพลาสติก
(จากคู่มือของโมโตโรลา)

รูป 2.9 ตารางแสดงพิกัดสูงสุดจากคู่มือของบริษัทโมโตโรลา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2.1.1 <u>แหล่งจ่ายไฟตรง</u>

แหล่งจ่ายไฟตรง (DC supply voltage) ที่ป้อนระหว่างขา V_{DD} และขา V_{CC} นั้น จะต้องมีค่าอยู่ในระหว่างพิกัดที่กำหนดให้ จากตารางรูป 2.9 จะเห็นว่า แหล่งจ่ายไฟตรงไม่ควรสูงเกิน 18 โวลต์ นอกจากนั้นถ้ามีการป้อนแรงดันผิดขั้วก็ไม่ควรป้อนแรงดันเข้าขั้วแหล่งจ่ายไฟต่ำกว่า –0.5 โวลต์ ค่าแรงดันแหล่งจ่ายไฟที่บริษัทแนะนำจะอยู่ในช่วง + 3.0 โวลต์ ถึง +15.0 โวลต์เท่านั้น ตามตารางรูป 2.10

หัวข้อ	สัญลักษณ์	พิกัด	หน่วย
อุณหภูมิเก็บรักษา	T_{stg}	−55 ~ 125	°C
อุณหภูมิใช้งาน	T_{opr}	−30 ~ 85	°C
อุณหภูมิที่ขาและเวลา*	T_{solder}	260°C · 10 S	
พลังงานสูญเสีย	P_D	300	mW
แรงดันแหล่งจ่ายไฟ	V_{DD}	0 ~ 18	V
แรงดันขาเข้า	V_{in}	$-0.3 \leq V_{in} \leq V_{DD}+0.3$	V
แรงดันขาออก	V_{OUT}	$0 \leq V_{OUT} \leq V_{DD}$	V

*วัดจากตัวถัง 1.6 ± 0.1 มม. (จากคู่มือของโตชิบา)

รูป 2.10 ตารางแสดงพิกัดสูงสุดจากคู่มือของบริษัทโตชิบา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2.1.2 <u>แรงดันขาเข้าที่ขาต่าง ๆ</u>

แรงดันขาเข้าเป็นค่าแรงดันสูงสุดและต่ำสุดที่จะป้อนเข้าขาอินพุตขาใดขาหนึ่งของไอซี โดยระดับแรงดันต้องอยู่ในช่วงที่กำหนดคือไม่เกิน V_{DD} + 0.5 โวลต์ และไม่ต่ำกว่า –0.5 โวลต์ เช่น ใช้ V_{DD} = 12 โวลต์ ก็ไม่ควรป้อนแรงดันเกิน 12.5 โวลต์ หรือต่ำกว่า –0.5 โวลต์ เป็นต้น

2.2.1.3 <u>กระแสสูงสุด</u>

ค่ากระแสสูงสุดนี้เป็นค่ากระแสที่จะจ่ายเข้าหรือจ่ายออกตลอดเวลาจากขาของไอซีต้องไม่เกิน 10 มิลลิแอมป์ ค่านี้ไม่ได้หมายถึงการจ่ายกระแสขนาดนี้ที่ทุก ๆ ขาของไอซีในเวลาเดียวกัน แต่เป็นค่าที่บอกเฉพาะขาใดขาหนึ่งเท่านั้น ซึ่งจะรวมขาแหล่งจ่ายไฟอยู่ด้วย ปกติค่ากระแสสูงสุดนี้จะสูงขึ้นถ้าเป็นไอซีที่เป็นตัวขับ (driver) หรือใช้เป็นบัฟเฟอร์ (buffer)

2.2.1.4 <u>อุณหภูมิใช้งานและอุณหภูมิเก็บรักษา</u>

ในขณะใช้งานไอซี ไม่ควรใช้งานในบริเวณที่ร้อนผิดปกติ ไอซีจะแบ่งเป็น 2 เกรด สำหรับใช้งานในช่วงอุณหภูมิที่แตกต่างกัน เช่น เกรด AL จะใช้งานได้ในช่วงอุณหภูมิ –55° C ถึง +125° C ส่วนเกรด CL/CP ซึ่งตัวถังเป็นพลาสติกจะใช้งานได้ในช่วงอุณหภูมิ –40° C ถึง +85° C ไอซีซีมอสจะมีช่วงอุณหภูมิใช้งานได้กว้างและสูงกว่าไอซีแบบทีทีแอล (TTL)

ส่วนอุณหภูมิการเก็บรักษานั้นหมายถึง อุณหภูมิที่ใช้ในการเก็บไอซีขณะที่ยังไม่ได้นำมาต่อวงจรซึ่งก็ไม่ควรเก็บไว้ในที่ที่มีอุณหภูมิสูงเกินไป ช่วงอุณหภูมิการเก็บรักษาเมื่อดูจากตารางจะมีค่า –65° C ถึง +150° C

2.2.1.5 <u>ช่วงแรงดันใช้งานที่แนะนำ</u>

นอกจากบริษัทผู้ผลิตจะกำหนดพิกัดสูงสุดให้แล้วก็ตาม แต่เพื่อให้ใช้งานไอซีได้อย่างปลอดภัยจึงแนะนำช่วงแรงดันที่เหมาะสมสำหรับการใช้งานมาให้จากตาราง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูป 2.10 จะเห็นว่าเป็นตารางแสดงพิกัดสูงสุดเหมือนตารางรูป 2.9 แต่เป็นของอีกบริษัทหนึ่ง ดังนั้น วิธีการเขียน การตั้งชื่อ และสัญลักษณ์จึงแตกต่างกันไป เช่น อุณหภูมิใช้งานก็เปลี่ยนจาก T_A เป็น T_{opr} เป็นต้น

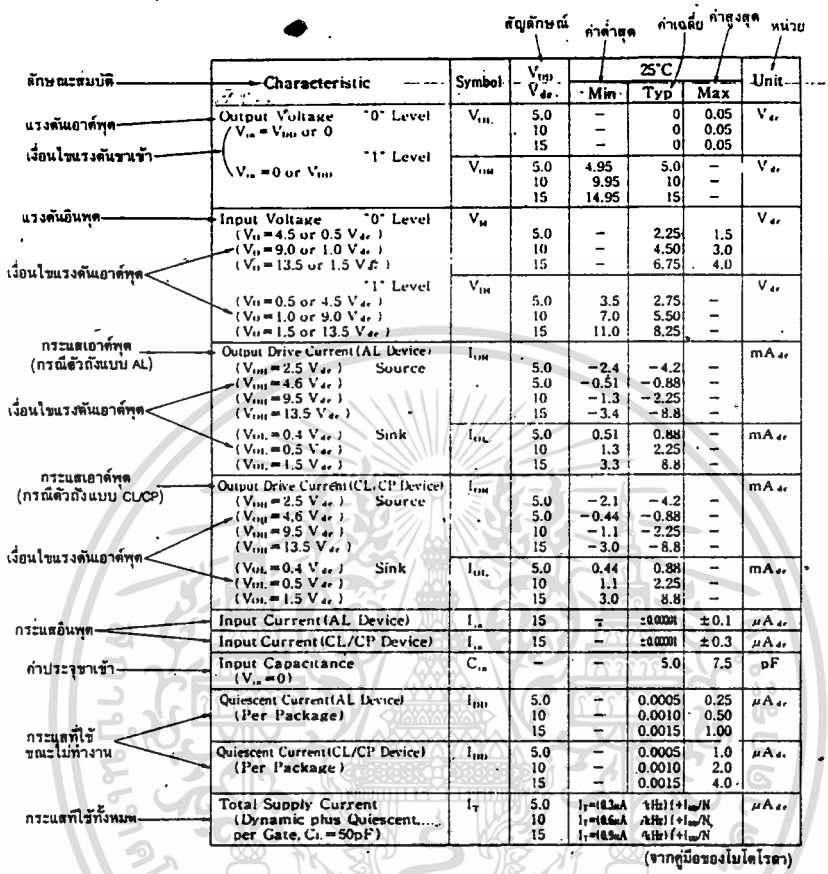
อุณหภูมิที่ขาและเวลา (lead temperature time) หมายถึง อุณหภูมิในขณะบัดกรีที่ขาไอซีนั้น ถ้าไม่เกิน 260° C สามารถบัดกรีได้นาน 10 วินาที โดยไม่เป็นอันตรายต่อไอซี พลังงานสูญเสียหรือ PD (Power Dissipation) จะมีความหมายคล้ายคลึงกับกระแสสูงสุดในตารางรูป 2.9 คือ ผลคูณของแรงดันแหล่งจ่ายไฟกับกระแสที่จ่ายให้ไอซีจะต้องไม่เกิน 300 มิลลิวัตต์

แรงดันแหล่งจ่ายไฟ V_{DD} มีความหมายเหมือนในตารางรูป 2.9 สำหรับแรงดันสัญญาณเข้า V_{in} นั้นมีค่า $\pm$ 0.3 โวลต์ ซึ่งต่ำกว่าในตารางรูป 2.9 เล็กน้อย และแรงดันขาออก V_O นั้น จะไม่เกินค่าแรงดันแหล่งจ่ายไฟ

2.2.2 <u>ลักษณะสมบัติทางไฟฟ้า</u>

ลักษณะสมบัติของขาอินพุตและขาเอาต์พุตของไอซีสามารถดูได้จากตารางรูป 2.11 ซึ่งเป็นตัวอย่างลักษณะสมบัติของไอซีซีมอสทั่วไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



Characteristic	Symbol	V_{DD} Volts	25°C Min	25°C Typ	25°C Max	Unit
Output Voltage "0" Level (V_{in} = V_{DD} or 0)	V_{OL}	5.0	–	0	0.05	V_{dc}
		10	–	0	0.05	
		15	–	0	0.05	
"1" Level (V_{in} = 0 or V_{DD})	V_{OH}	5.0	4.95	5.0	–	V_{dc}
		10	9.95	10	–	
		15	14.95	15	–	
Input Voltage "0" Level	V_{IL}					V_{dc}
(V_O = 4.5 or 0.5 V_{dc})		5.0	–	2.25	1.5	
(V_O = 9.0 or 1.0 V_{dc})		10	–	4.50	3.0	
(V_O = 13.5 or 1.5 V_{dc})		15	–	6.75	4.0	
"1" Level	V_{IH}					V_{dc}
(V_O = 0.5 or 4.5 V_{dc})		5.0	3.5	2.75	–	
(V_O = 1.0 or 9.0 V_{dc})		10	7.0	5.50	–	
(V_O = 1.5 or 13.5 V_{dc})		15	11.0	8.25	–	
Output Drive Current (AL Device)	I_{OH}					mA_{dc}
(V_{OH} = 2.5 V_{dc}) Source		5.0	−2.4	−4.2	–	
(V_{OH} = 4.6 V_{dc})		5.0	−0.51	−0.88	–	
(V_{OH} = 9.5 V_{dc})		10	−1.3	−2.25	–	
(V_{OH} = 13.5 V_{dc})		15	−3.4	−8.8	–	
(V_{OL} = 0.4 V_{dc}) Sink	I_{OL}	5.0	0.51	0.88	–	mA_{dc}
(V_{OL} = 0.5 V_{dc})		10	1.3	2.25	–	
(V_{OL} = 1.5 V_{dc})		15	3.3	8.8	–	
Output Drive Current (CL/CP Device)	I_{OH}					mA_{dc}
(V_{OH} = 2.5 V_{dc}) Source		5.0	−2.1	−4.2	–	
(V_{OH} = 4.6 V_{dc})		5.0	−0.44	−0.88	–	
(V_{OH} = 9.5 V_{dc})		10	−1.1	−2.25	–	
(V_{OH} = 13.5 V_{dc})		15	−3.0	−8.8	–	
(V_{OL} = 0.4 V_{dc}) Sink	I_{OL}	5.0	0.44	0.88	–	mA_{dc}
(V_{OL} = 0.5 V_{dc})		10	1.1	2.25	–	
(V_{OL} = 1.5 V_{dc})		15	3.0	8.8	–	
Input Current (AL Device)	I_{in}	15	–	±0.00001	±0.1	μA_{dc}
Input Current (CL/CP Device)	I_{in}	15	–	±0.00001	±0.3	μA_{dc}
Input Capacitance (V_{in} = 0)	C_{in}	–	–	5.0	7.5	pF
Quiescent Current (AL Device)	I_{DD}	5.0	–	0.0005	0.25	μA_{dc}
(Per Package)		10	–	0.0010	0.50	
		15	–	0.0015	1.00	
Quiescent Current (CL/CP Device)	I_{DD}	5.0	–	0.0005	1.0	μA_{dc}
(Per Package)		10	–	0.0010	2.0	
		15	–	0.0015	4.0	
Total Supply Current (Dynamic plus Quiescent, per Gate, C_L = 50pF)	I_T	5.0	I_T=(0.3μA/kHz)f+I_{DD}/N			μA_{dc}
		10	I_T=(0.6μA/kHz)f+I_{DD}/N			
		15	I_T=(0.9μA/kHz)f+I_{DD}/N			

(จากคู่มือของโมโตโรลา)

รูป 2.11 ตารางแสดงลักษณะสมบัติทางไฟฟ้าของไอซีซีมอส

2.2.2.1 ระดับแรงดันขาออก (V_{OL} และ V_{OH})

เมื่อระดับสัญญาณออกเป็นลอจิก 0 จะเรียกระดับแรงดันนี้ว่า V_{OL} และเมื่อระดับสัญญาณออกเป็นลอจิก 1 จะเรียกระดับแรงดันนี้ว่า V_{OH} โดยเงื่อนไขของแรงดันขาเข้า V_{in} ในขณะนั้นอาจจะเป็น V_{DD} หรือ 0 โวลต์ แล้วแต่ว่าเป็นเกตอะไร ค่า V_{OL} และ V_{OH} ยังขึ้นอยู่กับแรงดันแหล่งจ่ายไฟ V_{DD} ด้วย เช่น จากตารางรูป 2.11 ถ้า V_{DD} = 5 โวลต์ V_{OL} จะมีค่าต่ำกว่า 0.05 โวลต์ และ V_{OH} จะมีค่าสูงกว่า 4.95 โวลต์ การอานตารางที่จุดนี้จะต้องเข้าใจ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อย่างหนึ่งก็คือ เงื่อนไข $V_{in} = V_{DD}$ หรือ 0 โวลต์ แสดงว่าในขณะนั้นสัญญาณถูกป้อนเข้ามาอย่างเต็มที่ ถ้าเราป้อน V_{in} = 4 โวลต์ ซึ่งก็หมายถึงลอจิก 1 เหมือนกัน แต่อาจจะไม่ได้ V_{OL} ต่ำกว่า 0.05 โวลต์ และ V_{OH} สูงกว่า 4.95 โวลต์ก็ได้

2.2.2.2 <u>ระดับแรงดันสัญญาณเข้า</u> (V_{IL} และ V_{IH})

ระดับแรงดันที่ไอซียอมรับว่าเป็นสัญญาณลอจิก 0 เรียกว่า V_{IL} และระดับแรงดันของสัญญาณลอจิก 1 เรียกว่า V_{IH} จากตารางรูป 2.11 จะแสดงค่าระดับแรงดันอินพุตที่จะทำให้เอาต์พุตเป็นลอจิก 0 หรือลอจิก 1 ตามชนิดของเกต ตัวอย่างเช่น NAND GATE ใช้ V_{DD} = 5 โวลต์ เพื่อให้ได้เอาต์พุตเป็นลอจิก 1 ซึ่งมีระดับแรงดัน 4.5 โวลต์ จะต้องป้อนสัญญาณลอจิก 0 ซึ่งมีระดับแรงดันสูงสุดไม่เกิน 1.5 โวลต์ หรือค่าทั่วไปไม่เกิน 2.25 โวลต์ และเพื่อให้เอาต์พุตของเกตเป็นลอจิก 0 ซึ่งมีระดับ 0.5 โวลต์ จะต้องป้อนสัญญาณลอจิก 1 เข้าทางอินพุตโดยสัญญาณลอจิก 1 จะต้องมีระดับแรงดันสูงกว่า 3.5 โวลต์ หรืออย่างน้อยต้องสูงกว่าค่าทั่วไป 2.75 โวลต์ จากตารางนี้ถ้าเราใช้ค่าทั่วไปแสดงว่าซีมอสสามารถใช้กับระดับแรงดันของสัญญาณลอจิก 0 เท่ากับ 0 ถึง 2.25 โวลต์ และระดับแรงดันลอจิก 1 เท่ากับ 2.75 ถึง 5 โวลต์ แสดงว่า ซีมอสเป็นไอซีที่สามารถใช้งานในระดับแรงดันที่กว้างมาก

2.2.2.3 <u>กระแสขาออก</u> (I_{OH} และ I_{OL})

จากตารางรูป 2.11 ได้แยกค่าระหว่างตัวถังแบบ AL และแบบ CL/CP ออกจากกัน เพราะตัวถังทั้งสองแบบนี้มีการระบายความร้อนที่แตกต่างกัน จึงมีตัวเลขแตกต่างกันเล็กน้อย โดยในที่นี้จะขอกล่าวเฉพาะตัวถังแบบ AL เท่านั้น

เมื่อขาเอาต์พุตให้สัญญาณออกเป็นลอจิก 1 จะมีกระแสจ่ายออกเรียกว่า I_{OH} (source current) และถ้าสัญญาณออกเป็นลอจิก 0 ก็จะรับกระแสเข้ามาเรียกว่า I_{OL} (sink current) ทิศทางของกระแสทั้งสองนี้จะตรงข้ามกัน จากตารางจะเห็นว่ากระแสจ่ายออกจะมีค่าเป็นลบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กรณีที่ V_{DD} = 5 โวลต์ เมื่อเอาต์พุตมีลอจิกเป็น 1 แรงดัน V_{OH} จะมีขนาดลดลง ถ้าจ่าย I_{OH} ออกไปมาก ๆ จากตารางรูป 2.11 ได้ให้ข้อมูลกระแส I_{OH} ที่ V_{OH} = 2.5 โวลต์ และ 4.6 โวลต์ ดังนั้น สรุปได้ว่า ถ้ายอมให้ V_{OH} ลดต่ำเหลือ 2.5 โวลต์ ก็สามารถจ่ายกระแสจากขาเอาต์พุตออกไปได้อย่างน้อย 2.4 มิลลิแอมป์ หรือค่าเฉลี่ย 4.2 มิลลิแอมป์ ถ้าให้ V_{OH} ตกลงเล็กน้อยเหลือ 4.6 โวลต์ ก็สามารถจ่ายกระแสได้ 0.51 มิลลิแอมป์ หรือค่าเฉลี่ย 0.88 มิลลิแอมป์

สำหรับกระแสไหลเข้า I_{OL} นั้น ยิ่งมีขนาดใหญ่ขึ้นจะทำให้ V_{OL} สูงขึ้น ปกติ V_{OL} จะมีค่าประมาณ 0 โวลต์ ถ้ารับกระแส I_{OL} เข้ามา V_{OL} จะสูงขึ้น จากตารางถ้าให้ V_{OL} = 0.4 โวลต์ จะสามารถรับกระแสได้อย่างน้อย 0.51 มิลลิแอมป์ หรือค่าเฉลี่ย 0.88 มิลลิแอมป์ จะเห็นว่ากระแสไหลเข้ามีค่าใกล้เคียงกับกระแสจ่ายออกที่ทำให้ V_{OH} = 4.6 โวลต์ ระดับแรงดันที่เปลี่ยนแปลงไป 0.4 โวลต์ เท่ากับแสดงว่า ไอซีซีมอสมีคุณสมบัติทางด้านกระแสเข้าและออกสมมาตรกัน

2.2.2.4 <u>กระแสอินพุต</u> (I_{in})

จากตารางรูป 2.11 จะเห็นว่ากระแสเกือบจะไม่ไหลเข้าเกตซีมอสเลย เมื่อ V_{DD} = 15 โวลต์ มีกระแสไหลเข้าสูงสุดเพียง 0.3 ไมโครแอมป์ หรือค่าเฉลี่ยเพียง 10 พิโคแอมป์เท่านั้น

2.2.2.5 <u>ค่าเก็บประจุขาเข้า</u> (C_{in})

ที่ระหว่างขาอินพุตกับกราวนด์จะมีค่าเก็บประจุอยู่ ซึ่งเป็นคุณสมบัติของเกตซีมอสเอง เมื่อต่อเกตขนานกันหลายตัวค่าเก็บประจุนี้จะเพิ่มขึ้นเหมือนการต่อตัวเก็บประจุขนานกันจะมีผลทำให้ความเร็วในการส่งผ่านสัญญาณช้าลงไป ค่าเก็บประจุของขั้วเข้าของเกตซีมอสจะมีค่า 5 พิโคฟารัดต่อขั้วขาเข้าหนึ่งขั้ว

2.2.2.6 <u>กระแสที่ใช้ขณะไม่ทำงาน</u> (I_{DD}) <u>และกระแสที่ใช้ทั้งหมด</u> (I_T)

ถ้าสัญญาณที่อินพุตและเอาต์พุตไม่เปลี่ยนแปลง กระแสที่จ่ายจากแหล่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จ่ายไฟ V_{DD} มาที่ไอซีเรียกว่า I_{DD} ปกติมีค่าสูงสุดไม่เกิน 4 ไมโครแอมป์ ซึ่งเป็นค่าน้อยมาก แสดงว่าไอซีซีมอสกินไฟต่ำ แต่ถ้าป้อนสัญญาณพัลส์ (pulse signal) เข้าที่เกตของซีมอส ซึ่งจะทำให้อินพุตและเอาต์พุตเริ่มการสวิตชิง ขณะนี้ซีมอสจะกินไฟมากขึ้น กระแสที่ใช้นั้นนอกจาก I_{DD} แล้วยังขึ้นกับความถี่ของการสวิตชิงด้วย จากตารางจะเห็นว่า เมื่อ V_{DD} = 5 โวลต์ และป้อนพัลส์ความถี่ 1 กิโลเฮิรตซ์ เข้าไป จะทำให้เกตซีมอสแต่ละชุดกินกระแสถึง 0.3 ไมโครแอมป์ และจะเพิ่มขึ้นเรื่อย ๆ ถ้าความถี่สูงขึ้น ตามสูตรดังนี้

$$I_T = 0.3\ \mu A \times f\ (kHz) + I_{DD/N}$$

ค่า I_T นี้จะเป็นกระแสที่ใช้ในขณะสวิตชิงของแต่ละเกต (N = จำนวนเกต) เช่น ความถี่ 1 เมกะเฮิรตซ์ แต่ละเกตจะกินกระแสถึง 0.3 มิลลิแอมป์ ซึ่งมีค่าใกล้เคียงกับไอซีทีทีแอล ชนิด 74 LS xx ที่อยู่ในตระกูล LOW POWER SHCOTTKY TTL

2.2.3 <u>ลักษณะสมบัติทางด้านสวิตชิง</u>

ขณะที่สัญญาณพัลส์ถูกป้อนเข้าในวงจรดิจิตอลนั้น ไอซีต่าง ๆ จะให้สัญญาณที่มีระดับลอจิก 0 และ 1 สลับกัน ซึ่งการทำงานเช่นนี้จะเรียกว่า การสวิตชิง (switching) ถ้าความถี่ของสัญญาณพัลส์ต่ำจะไม่ค่อยมีผลกับช่วงเวลาขาขึ้น (rise time) และช่วงเวลาขาลง (fall time) ซึ่งจะทำให้การถ่ายทอดสัญญาณพัลส์ช้าลง แต่ที่ความถี่สูงจะเกิดปัญหาเรื่องนี้ขึ้น ดังนั้น จึงควรทำความเข้าใจกับลักษณะสมบัติทางด้านสวิตชิงของไอซีเหล่านี้ ซึ่งจะนำไปใช้กับวงจรที่ใช้พัลส์ความถี่สูง เช่น วงจรการเขียน และการอ่านข้อมูลจากหน่วยความจำ เป็นต้น

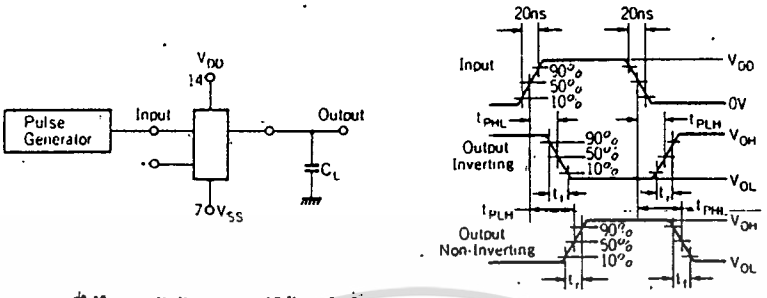
ลักษณะสมบัติทางด้านสวิตชิงจะขึ้นอยู่กับวิธีการในการวัด โดยจะต้องรู้ว่าผู้ผลิตมีวิธีการทดสอบเช่นไร ปกติในคู่มือจะให้วงจรทดสอบมาด้วย จากตารางรูป 2.12 จะเป็นตัวอย่างลักษณะสมบัติทางด้านสวิตชิง และรูป 2.13 เป็นรูปวงจรที่ใช้ในการวัด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ลักษณะสมบัติ	สัญลักษณ์	V_{DD} V_{DC}	All Types Min	All Types Typ	All Types Max	หน่วย
เวลาขาขึ้น	t_r					ns
$t_r = (1.35ns/pF)\ C_L + 33ns$		5.0		100	200	
$t_r = (0.60ns/pF)\ C_L + 20ns$		10		50	100	
$t_r = (0.40ns/pF)\ C_L + 20ns$		15		40	80	
เวลาขาลง	t_f					ns
$t_f = (1.35ns/pF)\ C_L + 33ns$		5.0		100	200	
$t_f = (0.60ns/pF)\ C_L + 20ns$		10		50	100	
$t_f = (0.40ns/pF)\ C_L + 20ns$		15		40	80	
เวลาความหน่วงในการถ่ายทอดสัญญาณ	t_{PLH}, t_{PHL}					ns
กรณีของ MC14001B, MC14011B						
$t_{PLH}, t_{PHL} = (0.90ns/pF)\ C_L + 80ns$		5.0		125	250	
$t_{PLH}, t_{PHL} = (0.36ns/pF)\ C_L + 32ns$		10		50	100	
$t_{PLH}, t_{PHL} = (0.26ns/pF)\ C_L + 27ns$		15		40	80	
เกตที่มี 2,3,4 อินพุต						
$t_{PLH}, t_{PHL} = (0.90ns/pF)\ C_L + 115ns$		5.0		160	320	
$t_{PLH}, t_{PHL} = (0.36ns/pF)\ C_L + 47ns$		10		65	130	
$t_{PLH}, t_{PHL} = (0.26ns/pF)\ C_L + 37ns$		15		50	100	
กรณี 8 อินพุต						
$t_{PLH}, t_{PHL} = (0.90ns/pF)\ C_L + 115ns$		5.0		200	400	
$t_{PLH}, t_{PHL} = (0.36ns/pF)\ C_L + 62ns$		10		80	160	
$t_{PLH}, t_{PHL} = (0.26ns/pF)\ C_L + 47ns$		15		60	120	

รูป 2.12 ตารางแสดงลักษณะสมบัติทางด้านสวิตชิงของไอซีซีมอส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ก) วงจรที่ใช้ในการวัดลักษณะสมบัติด้านสวิตชิง

(ข) นิยามของ t_r, t_f, t_{PLH}, t_{PHL}

รูป 2.13 วงจรที่ใช้วัด และนิยามของลักษณะสมบัติทางด้านสวิตชิง

ในรูป 2.13 จะมีรูปที่แสดงความหมายของช่วงเวลา t_r , t_f , t_{PLH} และ t_{PHL} ของสัญญาณพัลส์เอาต์พุตรวมอยู่ด้วย โดยสัญญาณอินพุตจะเป็นพัลส์ที่มีเวลาขาขึ้น (t_r) และเวลาขาลง (t_f) เท่ากับ 20 นาโนวินาที

2.2.3.1 <u>เวลาขาขึ้น</u>

เมื่อป้อนพัลส์ที่ทำให้สัญญาณเอาต์พุตเปลี่ยนจาก 0 โวลต์ เป็น V_{DD} นั้น ช่วงเวลาที่ใช้จาก 10 เปอร์เซ็นต์ของ V_{DD} จนถึง 90 เปอร์เซ็นต์ของ V_{DD} เราเรียกว่า เวลาขาขึ้น จากตารางรูป 2.12 จะเห็นว่า ถ้าป้อนพัลส์ที่มีเวลาขาขึ้น 20 นาโนวินาที ผ่านเกตซีมอสจะได้สัญญาณพัลส์เอาต์พุตที่มี t_r ต่ำสุดตั้งแต่ 40 นาโนวินาที จนกระทั่งถึงสูงสุด 200 นาโนวินาที แสดงว่าไอซีซีมอสทำงานได้ไม่เร็วนัก

2.2.3.2 <u>เวลาขาลง</u>

เวลาขาลงจะมีความหมายตรงข้ามกับเวลาขาขึ้น ซึ่งเป็นกรณีที่พัลส์เปลี่ยนจาก V_{DD} มาเป็น 0 โวลต์ เวลาที่ใช้ในการเปลี่ยนแรงดันจาก 90 เปอร์เซ็นต์ของ V_{DD} มาเป็น 10 เปอร์เซ็นต์ของ V_{DD} จะใช้เวลา t_f จาก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางจะเห็นว่า t_f มีค่าใกล้เคียงกับ t_r

2.2.3.3 เวลาหน่วงในการถ่ายทอดสัญญาณ

จากรูป 2.13 จะเห็นว่าเวลาหน่วงสัญญาณมี 2 ค่า คือ t_{PLH} กับ t_{PHL} โดย t_{PLH} คือเวลาหน่วงทางด้านขาขึ้นของพัลส์เอาต์พุต โดยวัดจากจุดกึ่งกลางของพัลส์ขาเข้าถึงพัลส์ขาออก (50 เปอร์เซ็นต์ของ V_{DD}) ส่วน t_{PHL} คือเวลาหน่วงทางด้านขาลงของพัลส์เอาต์พุต โดยวัดที่จุดกึ่งกลางเช่นเดียวกัน จากตารางจะเห็นว่าค่าทั้งสองมีค่าเท่ากัน แต่เวลาหน่วงจะขึ้นอยู่กับแรงดันแหล่งจ่ายไฟ และจำนวนอินพุตของเกต ถ้าแหล่งจ่ายไฟยิ่งต่ำจะทำให้เวลาหน่วงยิ่งมีค่ามากขึ้น และถ้าจำนวนอินพุตมากขึ้น เวลาหน่วงก็จะมากขึ้นตามด้วย

2.3 การอินเตอร์เฟซ

การอินเตอร์เฟซ (interface) หมายถึงการเชื่อมต่อระหว่าง 2 สิ่งที่มีคุณสมบัติแตกต่างกัน เราใช้คำนี้ในวงจรดิจิตอลเมื่อเราหมายถึงวงจรหรือวิธีการในการต่อเชื่อมวงจรสองชนิดที่มีคุณสมบัติแตกต่างกันเข้าด้วยกัน ยกตัวอย่างเช่น การต่อไอซีทีทีแอลเข้ากับไอซีซีมอส, การต่อเอาต์พุตของไอซีไปควบคุมมอเตอร์, การอ่านสัญญาณอนาลอก (analog) เพื่อป้อนเข้าวงจรดิจิตอล เป็นต้น

การอินเตอร์เฟซยังมีความหมายครอบคลุมไปถึงการอินเตอร์เฟซระหว่างคนกับเครื่อง (man machine interface) เช่น การติดต่อระหว่างคนกับเครื่องคิดเลข ซึ่งต้องใช้การกดปุ่ม หรือการติดต่อระหว่างคนกับเครื่องคอมพิวเตอร์ โดยต้องใช้แป้นพิมพ์และจอภาพ เป็นต้น สำหรับในหัวข้อนี้จะกล่าวถึงการอินเตอร์เฟซระหว่างอุปกรณ์ในวงจรที่สำคัญซึ่งจะมีรายละเอียดดังต่อไปนี้

2.3.1 การอินเตอร์เฟซระหว่างไอซี

จากตารางในรูปที่ 2.14 จะเป็นตารางสรุปคุณสมบัติทางด้านอินพุตและเอาต์พุตของไอซีชนิดทีทีแอล และซีมอส ในสภาวะที่เป็นลอจิก 1 กับลอจิก 0 นั้น แท้จริงแล้ว ไอซีแต่ละชนิดจะมีคุณสมบัติในสภาวะนั้นแตกต่างกัน ยกตัวอย่างเช่น เงื่อนไขแรงดัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อินพุตที่ทำให้ไอซีรับรู้ว่าเป็นสัญญาณลอจิก 1 หรือลอจิก 0 นั้นแตกต่างกัน ถ้าแรงดันไม่ได้ค่าตามเงื่อนไขที่กำหนดไว้ก็อาจทำให้ไอซีทำงานผิดพลาดได้ นอกจากนั้นเมื่อไอซีให้สัญญาณออกทางด้านเอาต์พุตเป็นลอจิก 1 หรือลอจิก 0 นั้น สภาพการจ่ายกระแสออกหรือการรับกระแสเข้าที่เอาต์พุตของไอซีจะเป็นเงื่อนไขที่สำคัญที่จะทำให้ไอซีทำงานถูกต้อง การจ่ายกระแสหรือรับกระแสเข้ามากเกินไปจะทำให้แรงดันทางด้านเอาต์พุตเปลี่ยนไป ทำให้ระดับสัญญาณไม่อยู่ในช่วงพิกัดของลอจิก 1 หรือลอจิก 0

		สัญญาณ	ระดับแรงดัน	เงื่อนไขกระแส
อินพุต	TTL	1	ต่ำสุด 2 V	กระแสไหลเข้า สูงสุด 40 μA
		0	สูงสุด 0.8	กระแสไหลออก สูงสุด 1.6 mA
	CMOS	1	2/3 V_{DD} ~ V_{DD}	
		0	0 ~ 1/3 V_{DD}	
เอาต์พุต	TTL	1	ต่ำสุด 2.4 V	กระแสจ่ายออก สูงสุด 0.4 mA
		0	สูงสุด 0.4 V	กระแสรับเข้า สูงสุด 16 mA
	CMOS	1	2/3 V_{DD} ~ V_{DD}	กระแสจ่ายออก สูงสุด 0.16-1.2mA*
		0	0 ~ 1/3 V_{DD}	กระแสรับเข้า สูงสุด 0.44-3.0mA*

* กระแสจ่ายออกและรับเข้าสูงสุดของ CMOS จะขึ้นกับแหล่งจ่ายไฟ ค่าในตารางแสดงค่าประกันต่ำสุดเมื่อแหล่งจ่ายไฟมีค่า 5 ถึง 15 โวลต์ (จากคู่มือไอซีของบริษัทโมโตโรลา)

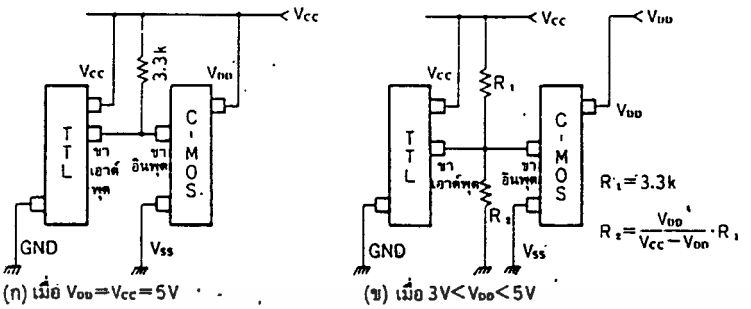
รูป 2·14 ตารางแสดงเงื่อนไขของแรงดันและกระแสของไอซี

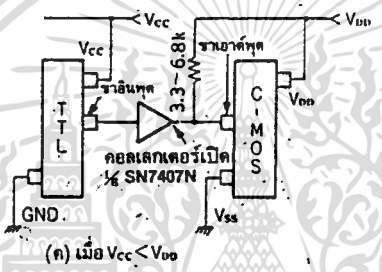
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.3.1.1 การต่อไอซีทีทีแอลกับไอซีซีมอส

การอินเตอร์เฟซระหว่างไอซีทีทีแอลกับไอซีซีมอส ที่กล่าวถึงในหัวข้อนี้จะเป็นลักษณะการนำเอาต์พุตของไอซีทีทีแอลมาต่อเข้ากับอินพุตของไอซีซีมอส โดยในกรณีแรกจะพิจารณาเมื่อไอซีทีทีแอลและไอซีซีมอสใช้แหล่งจ่ายไฟ 5 โวลต์เท่ากัน จากคุณสมบัติของแรงดันและกระแสในตารางรูป 2.14 จะเห็นว่า แรงดันทางด้านเอาต์พุตของไอซีทีทีแอลที่ระดับลอจิก 0 จะมีค่าอยู่ระหว่าง 0 ถึง 0.4 โวลต์ และระดับลอจิก 1 จะมีค่าระหว่าง 2.4 ถึง 5 โวลต์ ในขณะที่แรงดันทางด้านอินพุตของไอซีซีมอสที่เป็นลอจิก 0 จะต้องต่ำกว่า 1.5 โวลต์ และที่ลอจิก 1 จะต้องสูงกว่า 3.5 โวลต์ จากเงื่อนไขที่กล่าวมานี้ พอสรุปได้ว่าที่ลอจิก 0 ไอซีทีทีแอลสามารถส่งถ่ายให้ไอซีซีมอสได้อย่างไม่ผิดพลาด แต่ที่ลอจิก 1 นั้นระดับสัญญาณของไอซีทีทีแอลที่ให้ออกมาจะต่ำไปเล็กน้อย ดังนั้น เพื่อให้การส่งถ่ายสัญญาณไม่ผิดพลาดจึงจำเป็นต้องยกระดับแรงดันจากเดิม 2.4 โวลต์ ให้สูงขึ้นอีก วิธีการที่นิยมใช้กันมากคือ การต่อตัวต้านทานที่มีค่า 3.3 กิโล–โอห์ม ระหว่างเอาต์พุตของไอซีทีทีแอลกับแหล่งจ่ายไฟ 5 โวลต์ ดังในรูป 2.15 (ก) การต่อในลักษณะนี้จะทำให้แรงดันเอาต์พุตของไอซีทีทีแอลในสภาวะลอจิก 1 มีค่าใกล้เคียง 5 โวลต์มาก เพราะอินพุตของไอซีซีมอสไม่ต้องการกระแสไหลเข้าไอซีทีทีแอลจึงไม่ต้องจ่ายกระแสออก ตัวต้านทานที่ต่อนี้เราเรียกว่า ตัวต้านทานดึงขึ้น หรือตัวต้านทานพูลอัพ (pull up resistor) สำหรับที่สภาวะลอจิก 0 จะมีกระแสจ่ายจากแหล่งจ่ายไฟไหลผ่านตัวต้านทานเข้าไปที่เอาต์พุตของไอซีทีทีแอลเป็นกระแสรับเข้าโดยกระแสนี้จะมีค่าประมาณ 1.5 มิลลิแอมป์ ซึ่งประมาณเท่ากับการต่อไอซีทีทีแอลด้วยกันเอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้





รูป 2.15 การอินเตอร์เฟซไอซีทีทีแอลกับไอซีซีมอส

จากการต่อในลักษณะนี้จะทำให้ไอซีทีทีแอลสามารถต่อกับไอซีซีมอสได้พร้อมกันหลาย ๆ ตัว โดยจำนวนเกตสูงสุดที่เอาต์พุตสามารถขับได้เราจะเรียกว่าจำนวนแฟนเอาต์ (fan out) กรณีที่ไอซีทีทีแอลขับไอซีซีมอสแบบนี้ตามทฤษฎีแล้วจำนวนแฟนเอาต์จะมีค่าเป็นอนันต์ (infinity) เพราะเกตซีมอสไม่ต้องการกระแสไหลเข้าหรือออกที่อินพุตเลย แต่ในความเป็นจริงแล้วเราจะไม่สามารถต่อเกตซีมอสได้มากกว่า 30 ถึง 50 เกต เพราะมีปัญหาเรื่องตัวเก็บประจุขาเข้าของเกตซีมอสเอง ดังนั้นเมื่อต่อเกตจำนวนมากจะทำให้ค่าเก็บประจุรวมมีค่ามากจนไอซีทีทีแอลไม่สามารถจ่ายกระแสมาชาร์จ (charge) ตัวเก็บประจุเหล่านี้ได้ทัน

ในกรณีที่แหล่งจ่ายไฟของไอซีซีมอสต่ำกว่า 5 โวลต์นั้นจะใช้วิธีการตามที่แสดงในรูป 2.15 (ข) โดยเพิ่มตัวต้านทาน R_2 เพื่อแบ่งแรงดันเอาต์พุตของไอซี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ที่ทีทีแอลให้ต่ำลง ค่าตัวต้านทาน R_2 นี้ จะต้องเลือกให้พอเหมาะกับค่า V_{DD} ของไอซีซีมอส

กรณีที่พบมากที่สุดจะเป็นกรณีที่แหล่งจ่ายไฟของไอซีซีมอสสูงกว่า 5 โวลต์ เพราะวงจรซีมอสนิยมใช้ค่าแรงดันระหว่าง 9 ถึง 12 โวลต์ เพื่อให้วงจรมีความต้านทานต่อสัญญาณรบกวนสูงขึ้น ในกรณีเช่นนี้จำเป็นต้องใช้เกตพิเศษต่อคั่นกลางระหว่างไอซีทีทีแอลกับไอซีซีมอส โดยเกตที่นิยมใช้กันมากคือ เกตทีทีแอล ชนิดที่มีเอาต์พุตเป็นคอลเลคเตอร์เปิด (open collector) เพราะเกตชนิดนี้จะมีความสามารถในการรับกระแสไหลเข้าได้สูงจึงเรียกกันว่า บัฟเฟอร์ (buffer) หรือตัวขับ (driver) แต่ในกรณีนี้ไม่ได้นำมาใช้ขับกระแส แต่ใช้ในการอินเตอร์เฟซเพื่อส่งถ่ายระดับแรงดันให้ถูกต้อง เกตแบบคอลเลคเตอร์เปิดนี้จะใช้ไฟ 5 โวลต์ เป็นแหล่งจ่ายไฟเช่นเดียวกับไอซีทีทีแอล แต่ตรงบริเวณเอาต์พุตนั้นเป็นคอลเลคเตอร์ของทรานซิสเตอร์ เมื่อต้องการใช้งานต้องต่อตัวต้านทานพูลอัพกับแหล่งจ่ายไฟจึงจะได้แรงดันสูงตามต้องการ กรณีนี้เราต่อกับแหล่งจ่ายไฟ V_{DD} ซึ่งสูงกว่า V_{CC} เพื่อให้แรงดันเอาต์พุตมีค่า V_{DD} เมื่อเป็นลอจิก 1 และมีค่า 0 โวลต์ เมื่อเป็นลอจิก 0 โดยการต่อวงจรจะแสดงในรูป 2.15 (ก)

2.3.1.2 <u>การต่อไอซีซีมอสกับไอซีทีทีแอล</u>

การต่อเอาต์พุตของไอซีซีมอสเข้ากับไอซีทีทีแอลเมื่อทั้งคู่ใช้แหล่งจ่ายไฟเท่ากันคือ 5 โวลต์ ให้พิจารณาจากตารางรูป 2.14 จะเห็นว่า เอาต์พุตของไอซีซีมอสนั้น ที่ระดับลอจิก 1 จะมีระดับแรงดันสูงกว่า 3.5 โวลต์ และที่ลอจิก 0 จะมีระดับแรงดันต่ำกว่า 1.5 โวลต์ อย่างแน่นอน ในขณะที่ทางด้านอินพุตของไอซีทีทีแอลนั้นระดับสัญญาณต้องสูงกว่า 2 โวลต์ จึงจะถือว่าเป็นลอจิก 1 และต้องต่ำกว่า 0.8 โวลต์ จึงจะถือว่าเป็นลอจิก 0 เมื่อเปรียบเทียบแรงดันกันแล้วที่ลอจิก 1 นั้นไม่มีปัญหา เพราะไอซีซีมอสจะให้สัญญาณที่มีระดับสูงพอ แต่ที่ลอจิก 0 จะเกิดปัญหาเนื่องจากไอซีซีมอสให้แรงดันต่ำกว่า 1.5 โวลต์ ในขณะที่ไอซีทีทีแอลต้องการให้ต่ำกว่า 0.8 โวลต์ นอกจากนั้นปัญหาอีกอย่างก็คือ เมื่อสัญญาณเข้าเป็นลอจิก 0 ไอซีทีทีแอลจะต้องจ่ายกระแสไหลออกไปเข้าเกตไอซีซีมอสสูงถึง 16 มิลลิแอมป์ ในขณะที่ไอซีซีมอสสามารถรับกระแสไหลเข้าได้ประมาณ 0.44 มิลลิแอมป์เท่านั้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

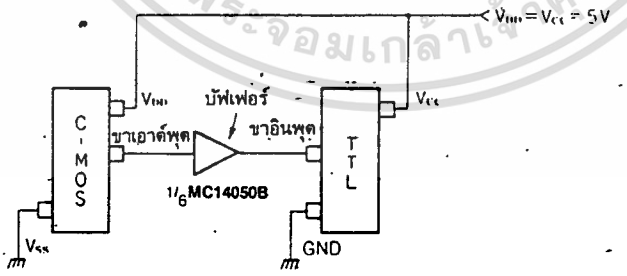
เมื่อเป็นเช่นนี้ไอซีซีมอสจึงไม่สามารถต่อโดยตรงกับไอซีทีทีแอลได้ ซึ่งวิธีการแก้ปัญหาสามารถมีได้หลายวิธีคือ

1. ใช้เกตซีมอสชนิดพิเศษที่มีความสามารถในการรับกระแสไหลเข้าได้มาก

2. ใช้ทรานซิสเตอร์ต่อคั่นกลาง

3. เปลี่ยนไอซีทีทีแอลไปใช้ชนิดที่กินไฟน้อยลง และจ่ายกระแสไหลออกน้อยพอที่ไอซีซีมอสจะรับได้

วิธีที่ 1 เป็นวิธีที่ง่ายที่สุด ไอซีตระกูลซีมอสได้เตรียมเกตชนิดพิเศษที่มีความสามารในการขับได้สูง เช่น เบอร์ 4049 ที่เป็นอินเวอร์เตอร์ หรือเบอร์ 4050 ที่เป็นบัฟเฟอร์ ซึ่งเกตทั้งสองนี้สามารถรับกระแสไหลเข้าสูงสุดได้ระหว่าง 1.25 ถึง 3.75 มิลลิแอมป์ ที่แหล่งจ่ายไฟ 5 โวลต์ ดังนั้น จึงเพียงพอที่จะใช้ต่อกับไอซีทีทีแอลได้โดยตรง การต่อด้วยวิธีนี้จะแสดงในรูป 2.16 สำหรับวิธีที่ 2 ที่ใช้ทรานซิสเตอร์นั้นจะขอกล่าวรวมกับการอินเตอร์เฟซกับอุปกรณ์อื่น ๆ ในหัวข้อหลังจากนี้



รูป 2.16 การอินเตอร์เฟซไอซีซีมอสกับไอซีทีทีแอล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วิธีที่ 3 เป็นวิธีที่นิยมใช้กันพอสมควร โดยไอซีที่ทีแอลนั้นจะมีหลายตระกูล ซึ่งที่ใช้แต่เริ่มแรกจะเรียกว่า เป็นตระกูลมาตรฐาน (standard TTL) หรือที่ทีแอลปกติ (normal TTL) และนอกจากนั้นยังมีที่ทีแอลตระกูลความเร็วสูง 74 Hxx (high speed TTL), ที่ทีแอลตระกูลกินไฟน้อย 74 Lxx (Low power TTL) และตระกูล 74 LSxx (Low power shcottky TTL) ซึ่งไอซีที่ทีแอลตระกูล 74 LSxx นี้ ปัจจุบันนิยมใช้กันอย่างแพร่หลาย เพราะกินไฟน้อยกว่าไอซีที่ที่แอลมาตรฐานถึง 5 เท่า ในขณะที่ความเร็วในการทำงานพอ ๆ กัน และในปัจจุบันราคาก็ต่ำลงมาก ซึ่งเราจะพบไอซีตระกูลนี้ใช้มากในวงจรไมโครคอมพิวเตอร์ จากตารางรูป 2.17 ซึ่งแสดงคุณสมบัติทางด้านอินพุตและเอาต์พุตของไอซีที่ทีแอลตระกูลต่าง ๆ เราจะเห็นว่า คุณสมบัติทางด้านระดับแรงดันจะเหมือนกัน แต่ต่างกันตรงคุณสมบัติทางด้านกระแส ทั้งกระแสจ่ายออกที่ลอจิก 1 และกระแสรับเข้าที่ลอจิก 0

สภาวะของขา			TTL มาตรฐาน ตระกูล 74	TTL ตระกูล 74H	TTL ตระกูล 74L	TTL ตระกูล 74LS
แรงดันที่อินพุต	1		2~5 V	2~5 V	2~5 V	2~5 V
	0		0~0.8 V	0~0.8 V	0~0.7 V	0~0.7 V
กระแสที่อินพุต	1	กระแสไหลเข้าสูงสุด	40 μA	50 μA	10 μA	20 μA
	0	กระแสไหลออกสูงสุด	1.6 mA	20 mA	0.18 mA	0.36 mA
แรงดันที่เอาต์พุต	1		2.4~5 V	2.4~5 V	2.4~5 V	2.7~5 V
	0		0~0.4 V	0~0.4 V	0~0.3 V	0~0.5 V
กระแสที่เอาต์พุต	1	กระแสจ่ายออกสูงสุด	0.4 mA	0.5 mA	0.2 mA	0.4 mA
	0	กระแสรับเข้าสูงสุด	16 mA	20 mA	3.6 mA	8 mA
ความถี่สูงสุดที่ทำงานได้			30 MHz	50 MHz	3 MHz	30 MHz

รูป 2.17 ตารางแสดงคุณสมบัติทางด้านอินพุตและเอาต์พุตของไอซีที่ทีแอลตระกูลต่าง ๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

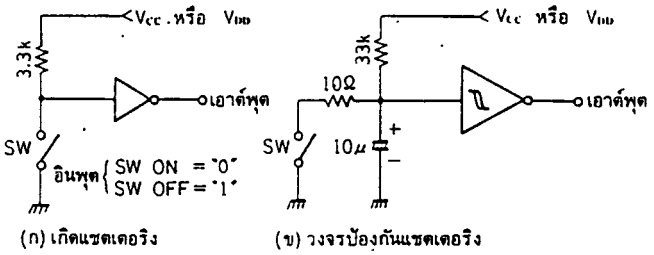
จากตารางรูป 2.17 จะพบว่า ไอซีทีทีแอลตระกูล 74L และตระกูล 74 LS มีโอกาสที่จะต่อกับไอซีซีมอสได้โดยตรง โดยกระแสไหลออกเมื่อสัญญาณเป็นลอจิก 0 ของไอซีตระกูล 74L จะมีค่าสูงสุดที่ 0.18 มิลลิแอมป์ และ 0.36 มิลลิแอมป์ ที่เป็นกรณีของ 74LS ถึงแม้ว่าค่าจะใกล้เคียงกับกระแสรับเข้าสูงสุดของไอซีซีมอสคือ 0.44 มิลลิแอมป์ แต่เมื่อกระแสไหลเข้ามากขึ้นอีกเล็กน้อย แรงดันที่เอาต์พุตของไอซีซีมอสจะสูงขึ้น แต่ระดับสัญญาลอจิก 0 ก็ยังไม่สูงเกิน 0.8 โวลต์

2.3.2 <u>การอินเตอร์เฟซสวิตช์กับไอซีดิจิตอล</u>

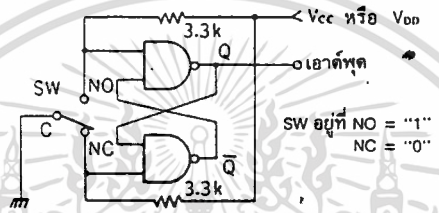
การต่อสวิตช์เข้ากับวงจรดิจิตอลก็เพื่ออาศัยการปิดเปิดสวิตช์เป็นสัญญาณให้กับวงจรโดยจะต่อหน้าสัมผัสกับอินพุตของเกต โดยมีตัวต้านทานพูลอัพดังแสดงในรูป 2.18 (ก) เมื่อสวิตช์เปิดจะได้สัญญาณลอจิก 1 เป็นอินพุตของเกต และเมื่อสวิตช์ปิดก็จะเกิดการลัดวงจรลงกราวนด์ได้เป็นสัญญาณลอจิก 0 ป้อนเข้าที่อินพุตของเกต

แต่ในบางครั้งการต่อสวิตช์เข้ากับไอซีจะเกิดปัญหาขึ้นมากมาย เพราะในระหว่างที่เรากดหรือโยกสวิตช์นั้น หน้าสัมผัสของสวิตช์จะไม่แตะหรือแยกจากกันอย่างเด็ดขาด จะมีการสั่นของหน้าสัมผัสก่อนการแตะหรือการแยกจากกันเสมอ เราเรียกปรากฏการณ์นี้ว่า แชตเตอริง (chattering) ซึ่งปรากฏการณ์นี้ไอซีดิจิตอลสามารถรับรู้ได้ เพราะมีการทำงานที่เร็วมาก ดังนั้น บางครั้งเรากดปุ่มเพียงครั้งเดียว แต่เสมือนมีสัญญาณพัลส์เข้าไปในวงจรมากมายสำหรับการแก้ปัญหาแชตเตอริงของหน้าสัมผัสนั้นจะใช้วิธีการในรูป 2.18 (ข) และรูป 2.18 (ค)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ก) เกิดแชตเตอริง (ข) วงจรป้องกันแชตเตอริง



(ค) ใช้ R-S-FF ป้องกันแชตเตอริง

รูป 2.18 การอินเตอร์เฟซสวิตช์กับไอซีดิจิตอล

จากรูป 2.18 (ข) ในวงจรจะเห็นว่า มีการต่อตัวเก็บประจุคร่อมหน้าสัมผัส และใช้ตัวต้านทานค่าต่ำ ๆ ต่ออนุกรมกับหน้าสัมผัสไว้ ทั้งนี้เพื่อให้แรงดันคร่อมหน้าสัมผัสเปลี่ยนแปลงทันทีไม่ได้ โดยในขณะเปิดสวิตช์ตัวเก็บประจุจะถูกชาร์จผ่านตัวต้านทาน 33 กิโลโอห์ม ทำให้แรงดันที่อินพุตของเกตคอย ๆ เพิ่มขึ้น แม้จะมีการสั่นของหน้าสัมผัสก็ไม่มีผลต่อแรงดันมากนัก เมื่อปิดสวิตช์ตัวเก็บประจุจะคายประจุผ่านตัวต้านทาน 10 โอห์มไปที่สวิตช์ทันที แม้จะมีการสั่นของหน้าสัมผัสอีกก็ไม่มีผลทำให้แรงดันเปลี่ยนแปลงอีกเช่นเดียวกัน ค่าตัวเก็บประจุและตัวต้านทานสามารถเลือกค่าให้เหมาะสมกับระยะเวลาการสั่นของหน้าสัมผัสได้ โดยถ้ามีค่าที่เพิ่มขึ้นจากที่กำหนดจะทำให้ระยะเวลาการแก้แชตเตอริงทำได้นานขึ้น แต่อย่างไรก็ตามแรงดันที่อินพุตของเกตจะเปลี่ยนแปลงค่อนข้างช้า เพราะผลจากตัวเก็บประจุ ดังนั้น จึงนิยมใช้ไอซีที่เป็นชมิตต์ทริกเกอร์ (schmitt trigger) ต่อรับสัญญาณเข้าจากสวิตช์ซึ่งจะมีผลทำให้การเปลี่ยนระดับลอจิกที่เอาต์พุตมีความเร็วเพิ่มขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำหรับการอินเตอร์เฟซในรูป 2.18 (ค) จะเป็นวงจรที่นิยมใช้กับสวิตช์ 3 ขั้ว คือ มีขั้วร่วม C, ขั้ว NO และขั้ว NC จากวงจรจะเห็นว่า มีความซับซ้อนมากขึ้นแต่ก็เป็นวิธีการอินเตอร์เฟซที่ให้ผลดีที่สุด โดย NAND GATE ทั้ง 2 ตัวในวงจรจะต่อแบบ RS - FF (RS - Flip Flop) และนำขั้ว NO ต่อเข้าที่ขั้วเซต (set) และขั้ว NC ต่อเข้าที่ขั้วรีเซต (reset) ของฟลิบฟลอป สำหรับการทำงานนั้น ไม่ว่า RS - FF จะถูกเซตกี่ครั้ง เอาต์พุตก็จะได้ลอจิก 1 เหมือนเดิม และไม่ว่าจะถูกรีเซตกี่ครั้ง เอาต์พุตก็จะเป็นลอจิก 0 เหมือนเดิมเช่นกัน ดังนั้น เมื่อเรากดสวิตช์หน้าสัมผัสจะแยกจากขั้ว NC มาขั้ว NO และที่ขั้ว NO แม้จะมีการสั่นของหน้าสัมผัสกี่ครั้ง เอาต์พุต Q ก็จะเป็นลอจิก 1 คงที่เสมอ และเมื่อปล่อยการกดสวิตช์หน้าสัมผัสก็จะกลับมาต่อที่ขั้ว NC เช่นเดิม ถึงแม้จะมีการสั่นของหน้าสัมผัสบ้าง แต่เอาต์พุต Q ก็จะเปลี่ยนเป็นลอจิก 0 ทันทีและคงค่าไว้เช่นนั้น

การต่อเอาต์พุตของไอซีหลาย ๆ ตัวไปเข้าสวิตช์เลือกก็อาจทำให้เกิดปัญหาได้ในบางครั้ง โดยสวิตช์เลือกที่ใช้กันอยู่จะมี 2 แบบคือ แบบแยกก่อนแตะ (break before make) และแบบแตะก่อนแยก (make before break) สำหรับสวิตช์เลือกแบบแยกก่อนแตะจะมีใช้กันมาก โดยขณะปิดสวิตช์หน้าสัมผัสจะแยกออกก่อนแล้วจึงไปแตะหน้าสัมผัสขั้วใหม่ ซึ่งสวิตช์แบบนี้จะไม่ทำให้เกิดปัญหา แต่สำหรับสวิตช์เลือกแบบแตะก่อนแยกนั้น ขณะที่หน้าสัมผัสเคลื่อนที่ไปอีกขั้วหนึ่ง หน้าสัมผัสจะยังคงแตะกับขั้วเดิมอยู่ชั่วขณะหนึ่งซึ่งจะทำให้เกิดการลัดวงจรของไอซีขึ้น แม้จะเป็นช่วงเวลาสั้น ๆ แต่ถ้าปิดสวิตช์นี้บ่อยก็จะทำให้ไอซีเสียหายได้ ดังนั้น สวิตช์แบบนี้จึงไม่ควรใช้กับเอาต์พุตของไอซีดิจิตอล

2.3.3 การอินเตอร์เฟซโดยใช้ทรานซิสเตอร์

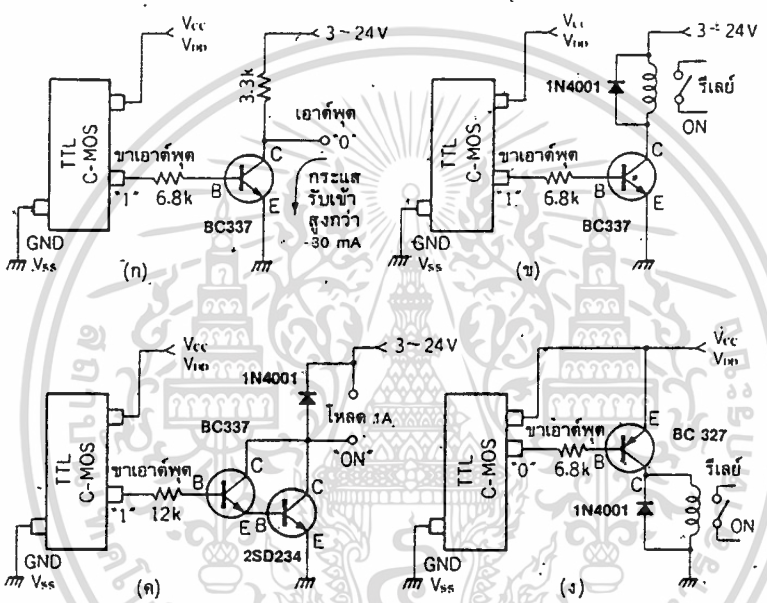
การใช้ทรานซิสเตอร์เป็นตัวอินเตอร์เฟซในวงจรดิจิตอลนั้นจะใช้กันอย่างแพร่หลายมาก เพราะให้ผลดีหลายประการ เช่น

1. ใช้ในการอินเตอร์เฟซวงจรที่มีระดับแรงดันของสัญญาณแตกต่างกันได้ง่าย
2. ทรานซิสเตอร์สามารถใช้ขยายกระแสได้จึงทำให้เพิ่มความสามารถในการขับแก่ไอซี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3. การอินเตอร์เฟซกับวงจรอนาลอกสามารถทำได้ง่าย

ตัวอย่างการใช้ทรานซิสเตอร์ในการอินเตอร์เฟซกับวงจรไอซีจะแสดงในรูป 2.19



รูป 2.19 การอินเตอร์เฟซโดยใช้ทรานซิสเตอร์

ในรูป 2.19 (ก) เป็นการใช้ทรานซิสเตอร์เป็นอินเวอร์เตอร์โดยอินเตอร์เฟซระหว่างวงจรที่มีระดับแรงดันของสัญญาณที่แตกต่างกัน เมื่อเอาต์พุตของไอซีเป็นลอจิก 1 จะจ่ายกระแสมาเข้าที่ขาเบส (base) ของทรานซิสเตอร์ กระแสนี้จะต้องมีขนาดมากพอที่จะทำให้ทรานซิสเตอร์อิ่มตัว และทำให้มีกระแสที่คอลเลคเตอร์ไหลโดยมีแรงดันที่คอลเลคเตอร์ประมาณ 0 โวลต์ ดังนั้น ก็จะได้สัญญาณที่เอาต์พุตเป็นลอจิก 0 เมื่อเอาต์พุตของไอซีเป็นลอจิก 0 ก็จะไม่มีกระแสไหลเข้าขาเบสของทรานซิสเตอร์ ดังนั้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ทรานซิสเตอร์จะหยุดทำงาน ทำให้แรงดันที่คอลเลคเตอร์สูงเท่าแรงดันแหล่งจ่ายไฟจึงให้เอาต์พุตเป็นลอจิก 1

เมื่อทรานซิสเตอร์อิ่มตัวจะสามารถรับกระแสเข้าได้ไม่มากกว่า 30 มิลลิแอมป์ จึงสามารถต่อกับไอซีทีทีแอลได้หลายตัว เมื่อทรานซิสเตอร์คัตออฟ (cut off) จะมีกระแสจ่ายจากแหล่งจ่ายไฟผ่านตัวต้านทานไปเข้าขาอินพุตของไอซีเป็นกระแสจ่ายออกได้ ถ้าเปลี่ยนตัวต้านทานเป็น 1 กิโลโอห์ม จะสามารถจ่ายให้ไอซีทีทีแอลได้ถึง 2.5 มิลลิแอมป์ และจ่ายให้ไอซีซีมอสได้ถึง 1.5 มิลลิแอมป์ โดยระดับแรงดันของสัญญาณยังอยู่ในช่วงที่กำหนด

รูป 2.19 (ข) เป็นการใช้ทรานซิสเตอร์ขับรีเลย์ (relay) ไฟตรงขนาดเล็ก เมื่อเอาต์พุตของไอซีเป็นลอจิก 1 ทรานซิสเตอร์จะทำให้รีเลย์ทำงาน ถ้าเอาต์พุตเป็นลอจิก 0 รีเลย์จะหยุดทำงาน สำหรับไดโอด (diode) ที่ต่อคร่อมรีเลย์มีไว้เพื่อลัดวงจรแรงดันไฟกระชาก (spike voltage) ที่เกิดขึ้นจากขดลวดของรีเลย์เมื่อหยุดทำงาน เพื่อป้องกันมิให้ทรานซิสเตอร์เสียหาย

รูป 2.19 (ค) เป็นการใช้ทรานซิสเตอร์ 2 ตัว ต่อในลักษณะดาร์ลิงตัน (darlington) เพื่อให้ขับโหลด (load) ที่ใช้กระแสมาก ๆ หรือจะใช้ทรานซิสเตอร์ตัวเดียวที่ภายในต่อเป็นแบบดาร์ลิงตันก็ได้ สำหรับโหลดที่ใช้ขับได้แก่ หลอดไฟ, มอเตอร์ไฟตรง, รีเลย์ไฟตรงขนาดใหญ่ เป็นต้น ส่วนค่าอุปกรณ์ที่กำหนดในวงจรสามารถขับโหลดได้สูงถึง 1 แอมแปร์

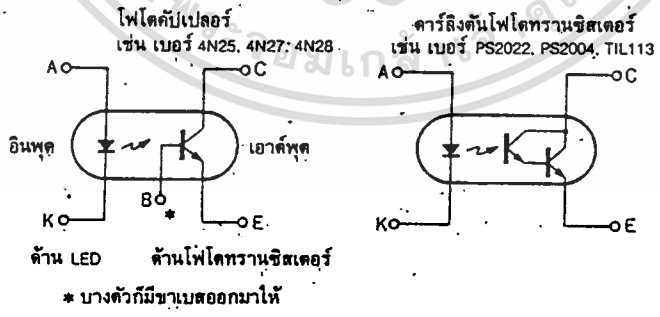
รูป 2.19 (ง) เป็นการใช้ทรานซิสเตอร์ชนิด PNP ขับการทำงานของรีเลย์ โดยรีเลย์จะทำงานเมื่อเอาต์พุตของไอซีเป็นลอจิก 0 โดยจะมีกระแสไหลจากแหล่งจ่ายไฟผ่านอิมิตเตอร์ (emitter), เบส และตัวต้านทานเข้าไปในไอซี กระแสนี้จะถูกขยายเป็นกระแสที่ใช้ขับรีเลย์ที่คอลเลคเตอร์ของทรานซิสเตอร์ การต่อในลักษณะนี้ก็นิยมเช่นเดียวกันเพราะขดลวดข้างหนึ่งต่อกับกราวนด์ ดังนั้นเมื่อนำหน้าสัมผัสของรีเลย์ไปเปิด – ปิดโหลดที่ใช้แรงดันไฟสูงก็ค่อนข้างจะปลอดภัย แต่มีข้อจำกัดอยู่บ้างคือ แหล่งจ่ายไฟของรีเลย์จะต้องใช้ร่วมกับวงจรไอซี จึงทำให้เลือกชนิดรีเลย์ได้น้อยลง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.3.4 การอินเตอร์เฟซโดยใช้โฟโตคัปเปลอร์

โฟโตคัปเปลอร์ (photo coupler) เป็นอุปกรณ์ที่ใช้กันมากในการอินเตอร์เฟซ โดยภายในตัวโฟโตคัปเปลอร์จะมี LED กับโฟโตทรานซิสเตอร์ (photo transistor) วางคู่กันอยู่ LED จะอยู่ทางด้านอินพุต ส่วนโฟโตทรานซิสเตอร์จะอยู่ทางด้านเอาต์พุต เมื่อจ่ายกระแสให้เข้าทางอินพุต LED จะเปล่งแสงออกมา และเมื่อโฟโตทรานซิสเตอร์ได้รับแสงก็จะมีสภาวะอิ่มตัว (on)

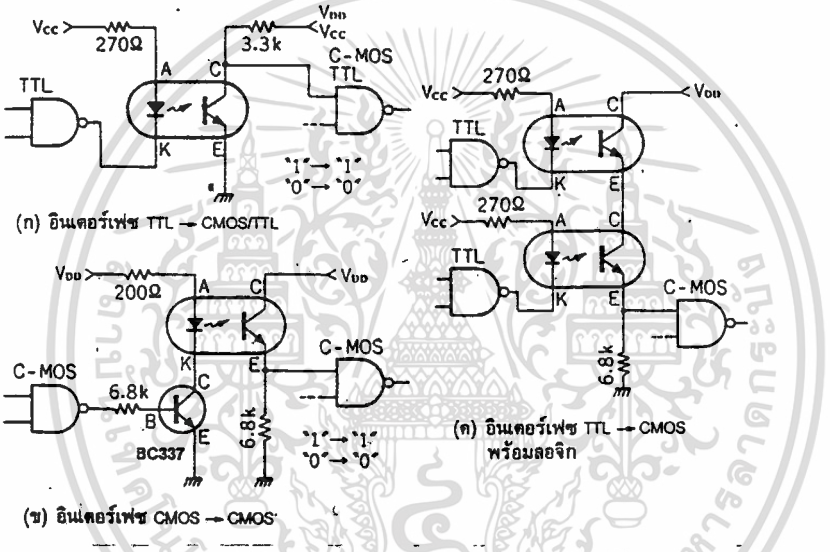
โฟโตคัปเปลอร์ที่ใช้ในปัจจุบันจะมีรูปร่างเหมือนไอซีทั่วไปโดยมีทั้งแบบตัวถังเป็นพลาสติกและแบบเซรามิก สำหรับโฟโตทรานซิสเตอร์ที่อยู่ภายใน บางครั้งจะเป็นแบบดาร์ลิงตันซึ่งทำให้มีอัตราการขยายที่สูงขึ้น ซึ่งอัตราการขยายกระแสของโฟโตคัปเปลอร์จะคิดจากอัตราส่วนของกระแสอินพุตที่ป้อนให้ LED กับกระแสขาออกที่ทรานซิสเตอร์ขับได้ บางครั้งโฟโตคัปเปลอร์ก็สามารถนำมาใช้เป็นวงจรขยายในวงจรอนาลอกได้ สำหรับโครงสร้างของโฟโตคัปเปลอร์จะแสดงในรูป 2.20



รูป 2.20 โครงสร้างของโฟโตคัปเปลอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

คุณสมบัติที่เด่นที่สุดของโฟโตคัปเปลอร์ก็คือ การที่อินพุต และเอาต์พุต แยกจากกัน ทางไฟฟ้าได้อย่างเด็ดขาด จึงทำให้วงจรที่ต่อเชื่อมกันด้วยโฟโตคัปเปลอร์ ไม่ต่อถึงกันทางไฟฟ้า โดยจะใช้แหล่งจ่ายไฟแยกกันและมีกราวนด์แยกจากกันได้ ซึ่งจะถูกนำไปใช้งานที่เกี่ยวข้องกับความปลอดภัยและวงจรที่ต้องการกำจัดสัญญาณรบกวน



รูป 2.21 การอินเตอร์เฟซโดยใช้โฟโตคัปเปลอร์

จากรูป 2.21 เป็นการใช้โฟโตคัปเปลอร์ทำการอินเตอร์เฟซระหว่างสองวงจรโดยในรูป (ก) และรูป (ข) จะทำหน้าที่คล้ายบัฟเฟอร์ คือ สัญญาณลอจิก 1 และลอจิก 0 จะถูกส่งถ่ายกันโดยไม่มีการกลับสัญญาณ สำหรับรูป (ค) จะเป็นการใช้งานโดยนำโฟโตคัปเปลอร์สองชุดมาต่อในลักษณะเป็นเงื่อนไข AND กัน จะเห็นว่า ถ้า LED ทั้งสองข้าง จะทำให้มีกระแสไหลผ่านโฟโตทรานซิสเตอร์ทั้งสองตัวไปที่ตัวต้านทานค่า 6.8 กิโลโอห์ม ทำให้ได้สัญญาณเอาต์พุตเป็นลอจิก 1 สำหรับในกรณีอื่นที่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

นอกเหนือจากนี้จะให้สัญญาณเอาต์พุตเป็นระดับลอจิก 0 ดังนั้น จะเห็นว่า เราสามารถนำโฟโตคัปเปลอร์มาประกอบเป็นวงจร AND, OR, NAND, NOR ได้โดยใช้วิธีการเช่นนี้เมื่อต้องการนำไปใช้กับงานบางอย่างตามความเหมาะสม

2.4 อุปกรณ์แสดงผล

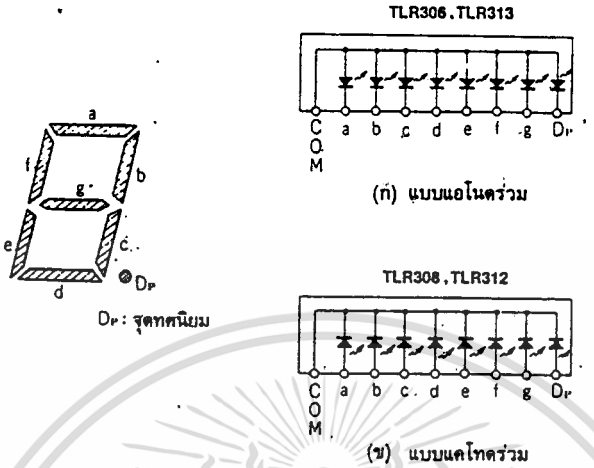
ในหัวข้อนี้จะกล่าวถึงอุปกรณ์แสดงผล (display devices) แบบต่าง ๆ ที่ใช้กันเป็นส่วนใหญ่ เช่น LED 7 ส่วน (Light Emitting Diode 7 segment), หลอดตัวเลข (nixie tube), LCD (Liquid Crystal Display) และหลอดฟลูออเรสเซนต์ (fluorescent tube) เป็นต้น

2.4.1 LED 7 ส่วน

LED 7 ส่วนเป็นอุปกรณ์แสดงผลที่นิยมใช้กันมากที่สุด ซึ่งจะประกอบไปด้วยหลอด LED 7 ดวง โดยนำมาวางเรียงกันเป็นรูปเลข 8 และ LED แต่ละดวงจะเรียกว่า ส่วนหรือเซกเมนต์ (segment) สำหรับในการแสดงผลจะสามารถแสดงตัวเลขได้ตั้งแต่เลข 0 ถึง เลข 9 และนอกจากนั้นก็อาจจะมีการเพิ่มจุดทศนิยมหรือเครื่องหมายบวกและลบมาให้ด้วย และบางแบบก็จะรวม 2 ชุด อยู่ในตัวถังเดียวกัน ซึ่งทำให้มีการแสดงผลเพิ่มขึ้นเป็นตัวเลข 2 หลัก

LED 7 ส่วนจะแบ่งออกเป็น 2 ชนิดตามการต่อวงจรภายในคือ ชนิดแคโถดร่วม (common cathode) และชนิดแอโนดร่วม (common anode) โดยการต่อวงจรภายในของทั้งสองชนิดจะแสดงในรูป 2.22 ซึ่งชนิดแคโถดร่วมจะต่อขาแคโถดของ LED ทุกตัวร่วมกัน ในขณะที่ชนิดแอโนดก็จะต่อขาแอโนดของ LED ทุกตัวร่วมกัน และจะเห็นว่า LED แต่ละส่วนจะมีชื่อกำกับไว้ตั้งแต่ a จนถึง g สำหรับส่วนที่มีชื่อว่า D_p จะหมายถึง จุดทศนิยม (Dicimal point) ที่เพิ่มขึ้นมา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 2.22 LED 7 ส่วนแบบต่าง ๆ

LED ทั้งสองแบบจะมีคุณสมบัติทางไฟฟ้าเหมือนกัน คือ เมื่อมีกระแสไหลผ่านจากแอโนดไปยังแคโถดจะทำให้ LED เปล่งแสงออกมาโดยขณะนั้นจะมีแรงดันตกคร่อมประมาณ 1.5 ถึง 2 โวลต์ และกระแสที่ไหลผ่านควรมีขนาดระหว่าง 10 ถึง 30 มิลลิแอมป์ วิธีจำกัดกระแสที่ไหลผ่านตัว LED โดยทั่วไปมักนิยมใช้ตัวต้านทานต่ออนุกรมกับ LED และแหล่งจ่ายไฟ โดยสามารถคำนวณกระแสที่ไหลผ่าน LED ได้จากผลต่างของแหล่งจ่ายไฟกับแรงดันตกคร่อม LED (ประมาณ 1.5 โวลต์) แล้วหารด้วยค่าความต้านทานที่ใช้จำกัดกระแส

สำหรับการทดสอบเพื่อหาชนิดและหาขาของ LED 7 ส่วน สามารถทำได้ดังนี้

1. ขั้นตอนแรกให้หาขาร่วม (common) ก่อน ปกติ LED 7 ส่วน จะมีขาร่วมที่ภายในต่อถึงกันอยู่ 2 ขา ดังนั้น ให้ใช้โอห์มมิเตอร์ (ohmmeter) ตรวจสอบดูถ้าขาไหนลัดวงจรถึงกันก็แสดงว่าเป็นขาร่วมทั้งคู่

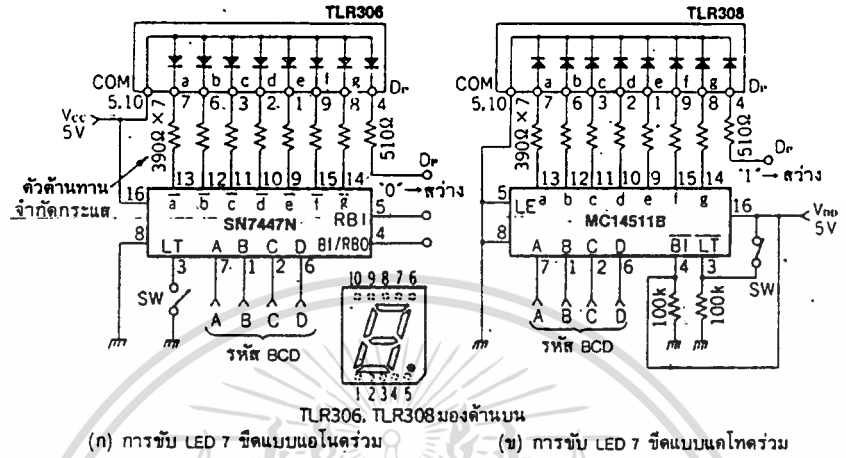
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2. การตรวจสอบว่าเป็นแคโถดร่วมหรือแอโนดร่วมสามารถทำได้โดยใช้โพรบ (prob) ที่ต่อจากแหล่งจ่ายไฟลบของโอห์มมิเตอร์แตะที่ขาร่วมของ LED และนำโพรบอีกข้างหนึ่งแตะที่ขาอื่น ๆ ถ้าไฟสว่างก็แสดงว่าขาร่วมนั้นเป็นแบบแคโถดร่วม และถ้าไฟไม่สว่างก็แสดงว่าขาร่วมนั้นเป็นแบบแอโนดร่วม เพื่อความแน่ใจให้สลับสายโพรบตรวจสอบอีกครั้งหนึ่งซึ่งจะต้องได้ผลตรงกันข้ามกับครั้งแรก

3. การหาตำแหน่งของขาให้ต่อขาร่วมกับโพรบที่ต่อจากแหล่งจ่ายไฟของโอห์มมิเตอร์ให้ถูกต้อง และนำโพรบอีกข้างหนึ่งแตะขาอื่นที่เหลือ ถ้าไฟติดที่ LED ส่วนใดก็ให้ทำการบันทึกตำแหน่งของขาเหล่านั้นไว้

การใช้งานของ LED 7 ส่วนนั้น ปกติจะใช้ร่วมกับไอซีถอดรหัสที่มีชื่อว่า BCD TO 7 SEGMENT DECODER/DRIVER ซึ่งเป็นไอซีที่ทำหน้าที่แปลงรหัสจากรหัส BCD (Binary Code Decimal) ให้เป็นรหัสเลข 7 ส่วน และในขณะเดียวกันก็จะทำหน้าที่เป็นตัวขับกระแสให้ LED 7 ส่วนด้วย ไอซีชนิดนี้ก็มี 2 แบบเช่นเดียวกันคือ ชนิดที่ใช้กับ LED 7 ส่วน ชนิดแคโถดร่วม และแบบที่ใช้กับชนิดแอโนดร่วม โดยแบบที่ใช้กับชนิดแอโนดร่วมนั้นจะให้เอาต์พุตเป็นลอจิก 0 เมื่อต้องการให้ LED แต่ละส่วนสว่าง วิธีการใช้จะต้องต่อขาร่วมกับแหล่งจ่ายไฟ และต่อขาของ LED แต่ละส่วนมายังเอาต์พุตของไอซี โดยต้องมีชื่อที่ตรงกัน ซึ่งการต่อแบบนี้จะเรียกว่า เป็นการรับกระแสไหลเข้า โดยไอซีที่นิยมใช้คือ ไอซีชนิดที่ทีแอลเบอร์ 7447 สำหรับการขับ LED 7 ส่วนชนิดแคโถดร่วมจะเป็นการจ่ายกระแสออก ซึ่งไอซีจะให้เอาต์พุตเป็นลอจิก 1 เพื่อทำให้ LED แต่ละส่วนสว่างโดยจะต้องต่อขาร่วมลงกราวนด์ สำหรับไอซีที่นิยมใช้จะเป็นไอซีซีมอสเบอร์ 4511 ซึ่งสามารถจ่ายกระแสได้สูงกว่า 20 มิลลิแอมป์ สำหรับวงจรที่เป็นตัวอย่างในการต่อทั้งสองแบบจะแสดงในรูป 2.23

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



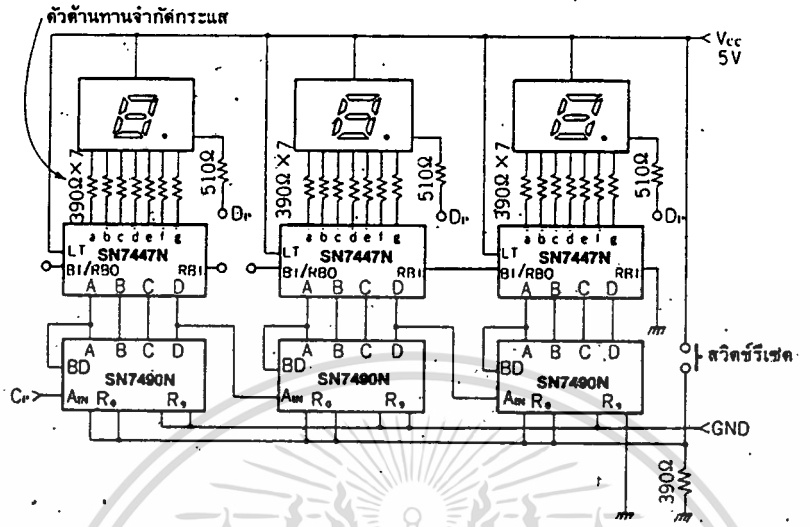
รูป 2.23 การต่อใช้งานของ LED 7 ส่วน

ในการใช้งานที่ต้องการแสดงตัวเลขมากกว่า 1 หลักขึ้นไป จะมีวิธีการขับ 2 แบบคือ การขับแบบสแตติก (static drive) และการขับแบบไดนามิก (dynamic drive) ซึ่งการขับทั้งสองแบบจะมีรายละเอียดดังนี้

2.4.1.1 <u>การขับแบบสแตติก</u>

การขับแบบสแตติกนี้จะใช้ไอซีถอดรหัสควบคู่ไปกับ LED 7 ส่วน โดยใช้เท่ากับจำนวนหลักในการแสดงผล เช่น ถ้าแสดงผล 3 หลัก ก็ต้องใช้การถอดรหัส 3 ชุด ดังรูป 2.24

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 2.24 การขับ LED 7 ส่วนแบบสแตติก

จากรูปสามารถอธิบายหน้าที่ของขั้วต่าง ๆ ได้ดังนี้

ขั้ว LT ซึ่งย่อมาจาก Lamp Test หรือการทดสอบหลอด LED โดยถ้าได้สัญญาณลอจิก 0 จะทำให้ขาเอาต์พุต a ถึง g ทั้ง 7 ขาให้สัญญาณเป็นลอจิก 0 หมด ทำให้ LED 7 ส่วนทุกวงติดสว่าง โดยจะไม่ขึ้นกับรหัส BCD ที่ป้อนเข้ามาในขณะนั้น LT จะเป็นฟังก์ชันในการทดสอบหลอด LED ทุกส่วนว่าอยู่ในสภาพใช้งานได้หรือไม่ ที่ขั้วนี้ถ้าไม่ได้ใช้งานจะต้องป้อนสัญญาณลอจิก 1 ให้เสมอ

ขั้ว RBI และ BI/RBO โดย RBI จะย่อมาจาก Ripple Blanking Input และ BI/RBO จะย่อมาจาก Blanking Input/Ripple Blanking Output ในการใช้งาน สมมติว่ามี LED 7 ส่วนอยู่ 6 หลัก เมื่อแสดงตัวเลข 207 วงจรถอดรหัสจะให้ตัวเลข "000207" ปรากฏที่ LED 6 ตัวนั้น เมื่อต้องการให้ศูนย์ที่อยู่หน้าตัวเลขดับ จะต้องต่อขั้ว RBI ของเลขหลักสูงสุดลงกราวนด์ จากนั้นต่อขั้ว BI/RBO ไปยังขั้ว RBI ของตัวเลขหลักถัดมา และต่ออนุกรมเช่นนี้

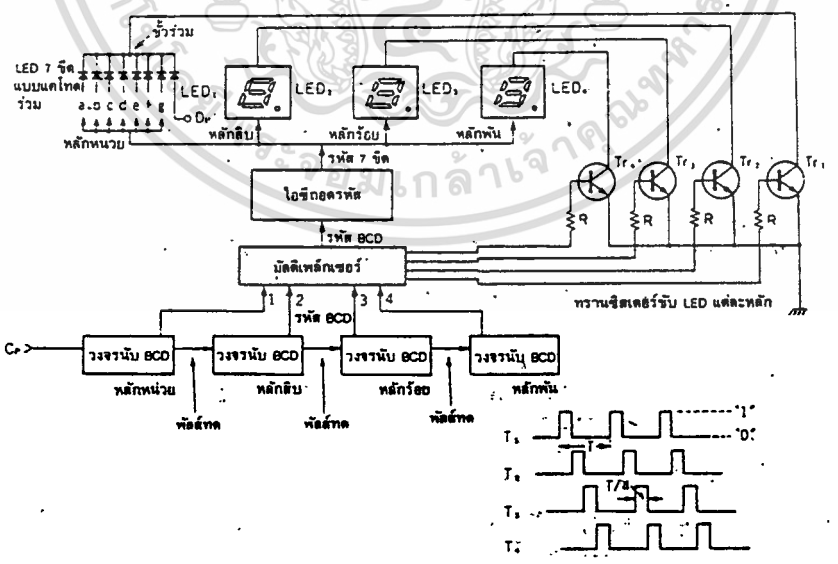
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จนถึงหลักรองสุดท้าย สำหรับหลักสุดท้ายจะปล่อยขาว่างไว้ เพื่อให้สามารถแสดง 0 ได้หลักเดียว กรณีที่ตัวเลขเป็นศูนย์หมดขา BI/RBO จะเป็นลอจิก 0 ถ้าไอซีถอดรหัสพบรหัส BCD ที่เป็นลอจิก 0 และขั้ว RBI มีสัญญาณเป็นลอจิก 0 ดังนั้น การดับศูนย์จากหลักสูงสุดจึงถ่ายทอดไปยังหลักถัดมาที่อยู่ต่ำกว่าได้

จะเห็นว่าการขับแบบสแตติกนี้ ถ้าจำนวน LED 7 ส่วนเพิ่มมากขึ้นก็จะทำให้จำนวนไอซีถอดรหัสเพิ่มตามไปด้วย ซึ่งไม่เป็นการประหยัดและทำให้กินไฟเพิ่มมากขึ้น ดังนั้น ในกรณีนี้จึงใช้วิธีการขับแบบไดนามิกแทน

2.4.1.2 <u>การขับแบบไดนามิก</u>

การขับแบบนี้จะใช้ในกรณีเมื่อมี LED 7 ส่วนหลาย ๆ ตัว ซึ่งจะมีการขับที่พร้อมกัน โดยใช้ไอซีถอดรหัสเพียงตัวเดียว วิธีนี้ไอซีถอดรหัสจะถอดรหัสให้ตัวเลขแต่ละตัวเรียงกันไปและเวียนกลับมาอยู่ตลอดเวลา สำหรับวงจรจะมีดังรูป 2.25



รูป 2.25 การขับ LED 7 ส่วนแบบไดนามิก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากวงจรจะมี LED 7 ส่วนอยู่ 4 ตัว และมีวงจรนับอยู่ 4 หลัก ตัวเลขที่นับได้แต่ละหลักต้องการไปแสดงที่ LED 7 ส่วนแต่ละตัว แต่จะใช้ไอซีถอดรหัสเพียงตัวเดียว จากวงจรจะมีอุปกรณ์เพิ่มเติมขึ้นมาจากการขับแบบสแตติกคือ ชุดมัลติเพล็กเซอร์ (multiplexer) ตัวมัลติเพล็กเซอร์จะเป็นศูนย์ควบคุมตัวสำคัญในการผ่านตัวเลข จากวงจรขับไปป้อนให้ไอซีถอดรหัสและกำเนิดสัญญาณพัลส์เพื่อควบคุมการติดสว่างของ LED 7 ส่วนแต่ละตัว เมื่อมีไอซีถอดรหัสเพียงตัวเดียวที่ใช้ร่วมกันในการถอดรหัสตัวเลขทุกหลัก ดังนั้น ตัวเลขจากวงจรนับแต่ละหลักจะต้องสลับกันส่งข้อมูลผ่านไอซีถอดรหัสตัวนี้ในช่วงเวลาที่ต่างกัน มัลติเพล็กเซอร์จะแบ่งช่วงเวลาออกเป็น 4 ช่วง สำหรับวงจรนับแต่ละครั้ง สมมติตั้งชื่อช่วงเวลาเป็น T_1, T_2, T_3 และ T_4 ตามลำดับ ช่วงเวลา T_1 เป็นช่วงเวลาที่มัลติเพล็กเซอร์จะผ่านข้อมูลรหัส BCD ของวงจรนับหลักหน่วยไปยังไอซีถอดรหัสเพื่อขับ LED 7 ส่วนอีกทีหนึ่ง ช่วงเวลา T_2 เป็นช่วงเวลาของวงจรนับหลักสิบ, T_3 เป็นของหลักร้อย และ T_4 เป็นของหลักพันตามลำดับ

มัลติเพล็กเซอร์จะผลิตพัลส์ออกมา 4 แบบ ออกทางเอาต์พุต 4 เส้น พัลส์แต่ละแบบจะกำหนดช่วงเวลา T_1, T_2, T_3 และ T_4 โดยพัลส์จะเหลื่อมกันดังแสดงในรูป 2.25 การทำงานของมัลติเพล็กเซอร์จะเป็นดังนี้

ในช่วงเวลาที่พัลส์ T_1 เป็นลอจิก 1 นั้น มัลติเพล็กเซอร์จะผ่านตัวตัวเลขหลักหน่วย จากวงจรนับทางซ้ายสุดไปยังไอซีถอดรหัส ตัวเลขนี้เป็นรหัส BCD ซึ่งมี 4 เส้น หลักจากที่ถอดรหัสแล้วจะได้เอาต์พุตเป็นรหัส 7 ส่วน เพื่อขับ LED 7 ส่วน ซึ่งอยู่ด้านบน รหัสนี้จะป้อนให้กับ LED 7 ส่วนทุกตัว แต่จะมีตัวซ้ายสุดเท่านั้นที่ติดสว่าง ที่เป็นเช่นนี้เพราะตัวมัลติเพล็กเซอร์จะใช้พัลส์ T_1 ไปขับทรานซิสเตอร์ Tr_2 ทำให้ Tr_1 ทำงานเกิดมีกระแสไหลผ่าน LED_1 ผ่านลงมาทาง Tr_1 ได้ สำหรับทรานซิสเตอร์ตัวอื่น Tr_2, Tr_3 และ Tr_4 ในช่วงเวลานั้นไม่ทำงานเพราะพัลส์ T_2, T_3 และ T_4 ในช่วงเวลานั้นเป็นลอจิก 0

ในช่วงเวลาถัดมาพัลส์ T_1 จะเปลี่ยนเป็นลอจิก 0 และพัลส์ T_2 เป็นลอจิก 1 ในช่วงเวลานี้มัลติเพล็กเซอร์จะผ่านตัวเลขหลักสิบจากวงจรนับตัวถัดมาไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ให้ไอซีถอดรหัส และขับเป็นตัวเลขแสดงบน LED_2 ในช่วงนี้ทรานซิสเตอร์ Tr_2 จะทำงานแทน Tr_1 เพราะพัลส์ T_2 เป็นลอจิก 1

มัลติเพล็กเซอร์จะผ่านตัวเลขหลักร้อยและหลักพันจากวงจรนับไปยังไอซีถอดรหัสตามวิธีการเช่นนี้เรื่อย ๆ ตามจังหวะของพัลส์ T_3 และ T_4 เมื่อตัวเลขทุกตัวแสดงบน LED ได้ครบก็จะวกกลับมาแสดงที่ LED_1 ใหม่วนเวียนกันไปเช่นนี้ ตามจังหวะของพัลส์ ซึ่งการขับ LED 7 ส่วน แบบไดนามิกเช่นนี้ LED จะสลับกันดิคสว่างเรียงลำดับกันไป และวนเวียนกันเช่นนี้ตลอดเวลา ถ้าความถี่ของพัลส์ต่ำเราจะเห็น LED กระพริบ แต่ถ้าเพิ่มความถี่พัลส์ขึ้นมาเรื่อย ๆ จนถึงประมาณ 50 เฮิรตซ์ ก็จะมองไม่เห็น LED กระพริบ

การขับ LED 7 ส่วนด้วยวิธีไดนามิกนี้มีข้อดีตรงที่ทำให้สามารถประหยัดไอซีถอดรหัสได้ แต่ก็ต้องเพิ่มวงจรมัลติเพล็กเซอร์ ทำให้วงจรซับซ้อนขึ้น วิธีการนี้นิยมใช้กันมากในไอซีสำเร็จรูป เช่น ชิพ (chip) ที่ใช้ในนาฬิกา, วงจรนับหลายหลัก และเครื่องคิดเลข เป็นต้น

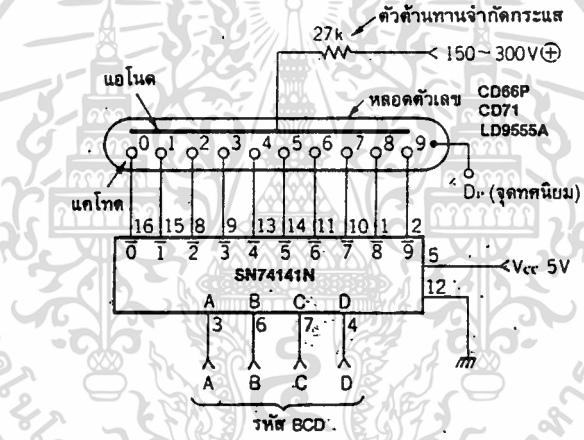
2.4.2 <u>หลอดตัวเลข</u>

หลอดตัวเลขหรือหลอดนิกซี (nixie tube) นั้น นิยมใช้กันมากในสมัยก่อนที่จะมี LED ซึ่งหลักการทำงานจะเหมือนกับหลอดนีออนที่ใช้ทำไฟโฆษณา ภายในหลอดจะบรรจุก๊าซไว้ เมื่อเกิดการดิสชาร์จ (discharge) อิเล็กตรอนจะวิ่งชนโมเลกุลของก๊าซทำให้เกิดการเปล่งแสงเป็นสีต่าง ๆ ปกติมักจะใช้ไฟตรงสูงขนาด 150 ถึง 300 โวลต์ ในการจุดหลอด ทำให้เกิดข้อเสียอย่างมากสำหรับวงจรอิเล็กทรอนิกส์ที่ใช้แรงดันไฟต่ำ แต่ก็มีข้อดีหลายอย่างคือ ถ้าขั้วหลอดดัดเป็นรูปอะไร ก็จะเปล่งแสงตามลักษณะที่ดัดนั้นออกมา ทำให้ประดิษฐ์ตัวเลขสวย ๆ ได้ง่าย นอกจากนั้นยังสว่างมองเห็นได้ชัดเจนในเวลากลางวัน และมีอายุการใช้งานที่ยาวนาน

โครงสร้างภายในของหลอดตัวเลขจะมีขั้วแอโนด (anode) และแคโธด (cathode) วางขนานกันเป็นคู่ ๆ เท่ากับจำนวนตัวเลขที่แสดง โดยแคโธดจะดัดเป็นรูปตัวเลขวางลอยอยู่ภายใน เมื่อดูดอากาศภายในหลอดออกหมดแล้ว จึงอัดก๊าซ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เข้าไป ส่วนขั้วแอโนดภายในจะต่อถึงกันหมดและต่อออกมาภายนอกเพียงขั้วเดียว สำหรับขั้วแคโถดที่เป็นตัวเลขจะต่อออกมาภายนอกทุกขั้ว ถ้ามีตัวเลข 0 ถึง 9 ก็ต่อออกมา 10 ขั้ว ส่วนแรงดันไฟตรงในการจุดหลอดจะสูงกว่าแรงดันขณะหลอดติดสว่างแล้วประมาณ 20 ถึง 80 โวลต์ ดังนั้น ที่ขั้วแอโนดมักจะต่อตัวต้านทานอนุกรมกับแหล่งจ่ายไฟ เพื่อจำกัดกระแสที่ไหลและรักษาแรงดันของหลอดให้ต่ำกว่าแหล่งจ่ายไฟ สำหรับวงจรขับหลอดตัวเลขจะแสดงในรูป 2.26



รูป 2.26 วงจรขับหลอดตัวเลข

การขับหลอดตัวเลขต้องใช้ไอซีถอดรหัสชนิด BCD เป็นเลขฐานสิบดังรูป ซึ่งใช้ไอซีเบอร์ SN 74141 N ที่สามารถถอดรหัสเป็นเลขฐานสิบโดยมีเอาต์พุตออกไปขับขั้วแคโถดของตัวเลขแต่ละตัวได้ นอกจากนั้นไอซีเบอร์นี้ยังสามารถทนแรงดันได้สูงอีกด้วย ขณะที่ตัวเลขติดสว่างจะมีกระแสไหลผ่านหลอดประมาณ 2 ถึง 7 มิลลิแอมป์ ดังนั้น ไอซีต้องสามารถรับกระแสขนาดนี้ได้ด้วย และถ้ามีกระแสไหลผ่านหลอดแม้จะมีค่าเพียงเล็กน้อยก็จะมองเห็นตัวเลขติดสว่างเลือน ๆ ได้ ซึ่งเป็นข้อเสียของหลอดตัวเลขแบบนี้ โดยจะเกิด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

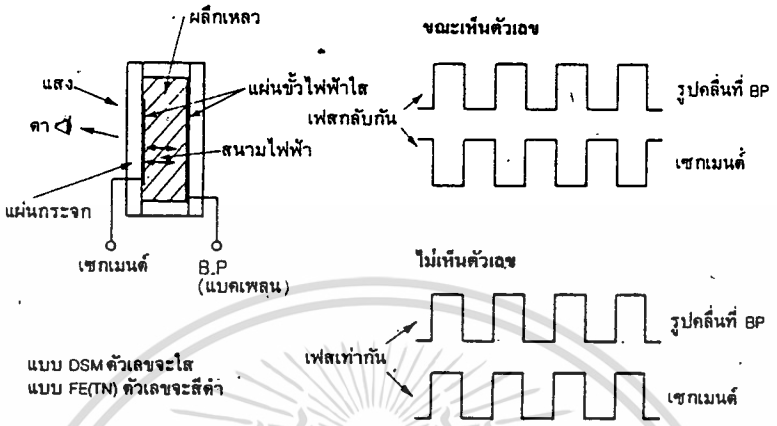
ขึ้นได้เมื่อมีกระแสรั่วที่เอาต์พุตของไอซี และการขับหลอดตัวเลขก็จะมีทั้งแบบสแตติก และแบบไดนามิก ถ้าขับแบบไดนามิกต้องเลือกใช้ทรานซิสเตอร์ที่สามารถทนแรงดันได้สูงกว่า 150 โวลต์ขึ้นไป จึงจะสามารถขับหลอดได้อย่างปลอดภัย

2.4.3 LCD

LCD ย่อมาจาก Liquid Crystal Display เป็นตัวเลขแสดงผลซึ่งใช้ผลึกเหลว ปัจจุบันนิยมใช้กันมาก เพราะกินไฟน้อยและยังสามารถสร้างรูปแบบของตัวเลขหรือตัวอักษรที่จะแสดงได้หลายรูปแบบ ซึ่งจะเห็นได้จากส่วนแสดงผลในนาฬิกาแบบตัวเลข และเครื่องคิดเลข โดยเมื่อใช้ทำงานร่วมกับไอซีซีมอสและใช้กับแบตเตอรี่ที่เป็นถ่านปรอทขนาดเล็กก็จะทำให้สามารถทำงานได้นานถึง 1 – 2 ปี

การขับ LCD นั้นจะมีวิธีการที่ยุ่งยากกว่า LED มาก เพราะต้องใช้ไฟสลับในการขับการทำงาน โดยรูปที่แสดงโครงสร้างของ LCD จะดูได้จากรูป 2.27 ซึ่งเมื่อมองทางด้านข้างจะเห็นแผ่นกระจก 2 แผ่นวางประกบกันโดยภายในจะมีผลึกเหลวบรรจุอยู่ ซึ่งกระจกที่ประกบกันนี้จะผนึกกันแน่นโดยไม่ให้อากาศรั่วไหลเข้าไปได้ และที่ส่วนด้านในของแผ่นกระจกจะมีแผ่นชั้วไฟฟ้าซนิดใสติดอยู่ทั้งสองด้าน โดยแผ่นที่ติดกับกระจกด้านล่างจะกว้างใหญ่ซึ่งเรียกว่า แบคเพลน (back plane) หรือเรียกโดยย่อว่า BP ส่วนแผ่นชั้วไฟฟ้าที่ติดกับกระจกด้านหน้า จะมีรูปร่างตามแบบตัวอักษรหรือตัวเลขที่ต้องการแสดง ซึ่งแผ่นนี้จะเรียกว่า เซกเมนต์ (segment) แผ่นเซกเมนต์จะมีรูปแบบอย่างไรก็ได้ตามที่ถูกออกแบบ เช่น ในเครื่องเล่นเกมกด เป็นต้น

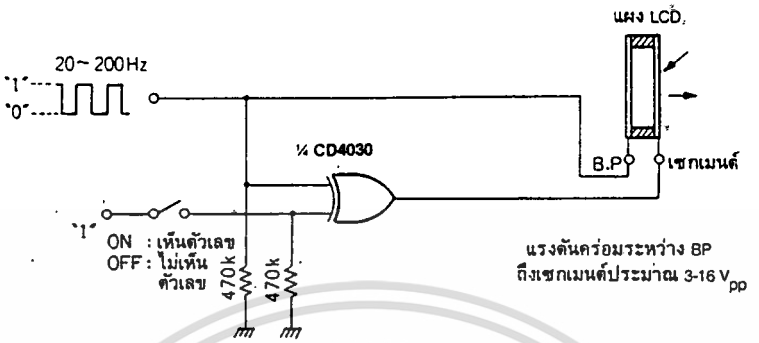
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 2.27 โครงสร้างและการทำงานของ LCD

ถ้านำแรงดันมาคร่อมระหว่างขั้ว BP และเซกเมนต์นี้ สนามไฟฟ้าจะทำให้ผลึกเหลวซึ่งอยู่ระหว่างกลาง เปลี่ยนคุณสมบัติทางด้านแสงไป เช่น เปลี่ยนค่าดัชนีการหักเหหรือเปลี่ยนค่าดัชนีการสะท้อน เมื่อเรามองแผงแสดงผลจากด้านหน้าจึงเห็นตัวเลขลอยขึ้นมา ปรากฏเห็นเด่นชัด โดยที่ LCD จะไม่มีการเปล่งแสงออกมาจากตัวของมันเอง และถ้าใช้แรงดันไฟตรงคร่อมแผ่นขั้วไฟฟ้านาน ๆ จะทำให้ผลึกเหลวเกิดการแยกตัวทางไฟฟ้าทำให้เสื่อมคุณภาพไปได้ ดังนั้น การขับ LCD ที่ถูกต้องจึงใช้ไฟสลับแทนไฟตรง โดยไฟสลับที่ใช้จะเป็นรูปคลื่นสี่เหลี่ยมที่มีความถี่อยู่ระหว่าง 20 ถึง 200 เฮิรตซ์ และมีขนาดรูปคลื่น 3 ถึง 30 โวลต์ สำหรับรูปที่แสดงการขับการทำงานจะมีดังรูป 2.28

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 2.28 การขับการทำงานของ LCD

การขับการทำงานของ LCD จะใช้คลื่นรูปสี่เหลี่ยม และเกตชนิด EX - OR โดยที่ขั้ว BP จะได้รับคลื่นสี่เหลี่ยมตลอดเวลา ส่วนทางด้านเซกเมนต์ก็จะได้รับรูปคลื่นเหมือนกัน เพียงแต่เมื่อต้องการให้เห็นตัวเลขบนแผงจะให้รูปคลื่นสี่เหลี่ยมที่มีความต่างเฟส 180 องศา กับรูปคลื่นที่ BP ถ้าเป็นรูปคลื่นเหมือนกันไม่ต่างเฟสกันเลยจะไม่มีแรงดันคกคร่อมขั้วไฟฟ้าและทำให้ไม่เห็นตัวเลขบนแผง สำหรับเกต EX - OR จะใช้ในการกลับเฟสของรูปคลื่นสี่เหลี่ยมนี้ ขาข้างหนึ่งของเกต EX - OR จะควบคุมรูปคลื่นเอาต์พุตคือ ถ้าเป็นลอจิก 1 จะได้รูปคลื่นกลับเฟส และถ้าเป็นลอจิก 0 จะได้รูปคลื่นมีเฟสเหมือนกัน สำหรับการขับ LCD ให้แสดงผลนี้จะใช้เพียงแรงดันเท่านั้น จึงทำให้ LCD กินไฟน้อยมากประมาณ 1 ถึง 5 ไมโครวัตต์ต่อพื้นที่ 1 ตารางเซนติเมตรเท่านั้น

สำหรับข้อดีและข้อเสียของ LCD สามารถแยกกล่าวเป็นข้อ ๆ ได้ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1. LCD ไม่เปล่งแสงจึงมองไม่เห็นในที่มืด แต่ถ้าเป็นที่สว่างจะมองเห็นได้ชัดเจน ซึ่งตรงข้ามกับ LED ที่มองเห็นได้ชัดเจนในที่มืดมากกว่าที่สว่าง

2. กินไฟน้อยมากจึงใช้กับแบตเตอรีขนาดเล็กได้

3. จะเสื่อมคุณภาพได้ถ้าถูกแรงดันไฟตกคร่อม หรือถูกแสงแดดส่องทางด้านหน้าโดยตรง

4. ถ้าอากาศหนาวเกินไป LCD จะแข็งตัว และถ้าอากาศร้อนไป LCD จะเสื่อมคุณภาพ

5. ใช้แผ่นกระจกเป็นแผงแสดง ดังนั้นจึงบอบบางและแตกง่าย

6. แสดงรูปแบบอักษรและภาพได้อย่างอิสระ

7. การขับเซกเมนต์ต้องใช้ไฟสลับ ทำให้วงจรขับซับซ้อนและการขับแบบไดนามิกก็ทำได้ยาก

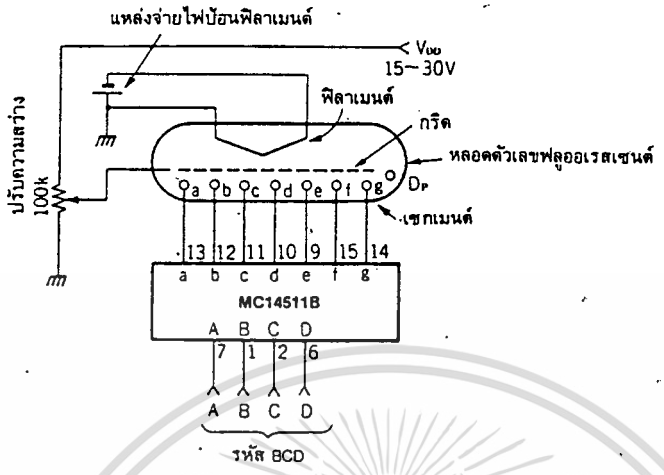
8. ผลตอบสนองช้าเมื่อเทียบกับ LED

จะเห็นว่า LCD มีทั้งข้อดีและข้อเสียในตัวเอง และในปัจจุบันบริษัทผู้ผลิตจะผลิตออกมาโดยใช้กับงานเฉพาะด้าน เช่น แผงแสดงผลตัวเลขของนาฬิกา, เครื่องคิดเลข และเครื่องมือวัดแบบดิจิตอล เป็นต้น นอกจากนั้นไอซีที่ใช้ขับแผง LCD จะเป็นไอซีสำเร็จรูปที่ผลิตออกมาใช้เฉพาะงานโดยมีวงจรขับอยู่ภายในเรียบร้อยแล้ว

2.4.4 <u>หลอดตัวเลขฟลูออเรสเซนต์</u>

ในรูป 2.29 จะแสดงโครงสร้างของหลอดตัวเลขฟลูออเรสเซนต์ (fluorescent display) และวงจรขับ โดยภายในหลอดจะมีไส้ฟิลาเมนต์ (filament) ในขณะที่มีกระแสไหลผ่าน จะปล่อยอิเล็กตรอนหลุดออกมา และวิ่งไปชนขั้วแอโนดที่ฉาบสารฟลูออเรสเซนต์ไว้ จึงเปล่งแสงออกมาเป็นแสงสีเขียวสวยงาม โดยที่ขั้วแอโนดจะเป็นขีดของตัวเลขหรือตัวอักษร เมื่อเปล่งแสงจะเห็นเป็นตัวเลข, ตัวอักษร หรือสัญลักษณ์อย่างชัดเจน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 2.29 การขับหลอดตัวเลขฟลูออเรสเซนต์

ที่ฟิลาเมนต์ของหลอดจะมีแรงดันตกคร่อมประมาณ 0.8 ถึง 3 โวลต์ และจะมีกระแสไหลมากถึงหลายสิบมิลลิแอมป์ ทำให้เป็นข้อเสียจุดหนึ่งของหลอดตัวเลขชนิดนี้ สำหรับแรงดันที่จ่ายให้ที่กริด (grid) และแอโนดจะมีค่าประมาณ 15 ถึง 30 โวลต์ และจะมีกระแสไหลไม่กี่มิลลิแอมป์เท่านั้น ในส่วนของกริดจะเป็นตัวเร่ง และรวบรวมอิเล็กตรอนจากฟิลาเมนต์ที่พุ่งเข้าชนแอโนด ปกติจะไบอัส (bias) ไว้ด้วยค่าแรงดันเท่ากับแอโนด แต่เมื่อมีการเปลี่ยนค่าแรงดันที่กริดนี้จะสามารถปรับความเข้มของแสงที่เปล่งออกมาได้ โดยถ้าให้แรงดันที่กริดเป็น 0 โวลต์ หรือเป็นแรงดันไฟลบ ก็จะทำให้ตัวเลขดับ และในการขับหลอดแบบไดนามิกก็จะใช้คุณสมบัตินี้ในการมัลติเพล็กซ์ โดยสัญญาณพัลส์จะมีการกำหนดช่วงเวลาเข้าที่กริดจึงทำให้ตัวเลขแต่ละหลักติดสว่างเรียงกันไปได้

หลอดตัวเลขฟลูออเรสเซนต์จะนิยมใช้ในเครื่องคิดเลขขนาดใหญ่ และในเครื่องเก็บเงิน เพราะตัวเลขมีสีเขียวสวยงาม และมีขนาดตัวเลขใหญ่เท่ากับ LED 7 ส่วน โดยมักจะใช้ร่วมกับไอซีชนิดซีมอสที่ใช้แรงดันไฟจาก 12 โวลต์ จนถึง 20 โวลต์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ซึ่งไอซีสามารถขับหลอดตัวเลขได้โดยตรง และการนำไปใช้งานก็ยังเป็นที่นิยมต่อไปอีก เพราะกินไฟไม่มากนัก และตัวเลขเปล่งแสงสวย นอกจากนี้วงจรขับการทำงานก็ไม่ยุ่งยากเหมือนเช่น LCD

2.5 <u>สรุปลักษณะรายละเอียดที่สำคัญของไอซีตระกูลซีมอส</u>

ลักษณะรายละเอียดที่สำคัญของไอซีตระกูลซีมอสที่มีคุณสมบัติเหนือกว่าไอซีตระกูลอื่น จะสามารถแยกสรุปเป็นข้อ ๆ ได้ดังนี้

1. อินพุตของอุปกรณ์ทุก ๆ ตัวจะมีลักษณะ OPEN CIRCUITS ดังนั้นจึงง่ายมากสำหรับการขับการทำงาน

2. ไม่ต้องการแหล่งจ่ายกระแส ยกเว้นในขณะที่มีการเปลี่ยนลอจิกทางด้านอินพุต ดังนั้นจึงใช้กระแสในการทำงาน (operating current) ที่ต่ำมากโดยเฉพาะที่ความถี่ต่ำ

3. การเปลี่ยนระดับลอจิกจาก LOW ถึง HIGH เป็นไปอย่างแน่นอน โดยจะขึ้นถึงระดับแหล่งจ่ายแรงดัน ซึ่งจะให้ผลดีต่อการป้องกันผลจากสัญญาณรบกวน

4. การทำงานของวงจรจะสามารถใช้แหล่งจ่ายแรงดันในย่านที่กว้างมาก คือ จาก +3 โวลต์ ถึง +5 โวลต์

5. ระดับลอจิกทางด้านเอาต์พุตในกรณีที่ไม่มีโหลด (unload output logic) จะมีการแกว่ง (swing) จากกราวนด์ไปสู่แรงดันไฟบวก ทำให้มีการทำงานที่เต็มย่านของแหล่งจ่ายแรงดันที่ได้

6. ซีมอสลอจิกจะถูกออกแบบมาให้มีเวลาในการเปลี่ยนแปลงทางเอาต์พุต (transition time) นานกว่าช่วงเวลาในการหน่วงสัญญาณจากอินพุตไปสู่เอาต์พุต (propagation time) เพื่อให้ได้ผลดีต่อสัญญาณรบกวน

7. ในส่วนเอาต์พุตของซีมอสจะไม่สร้างกระแสกระชากชั่วขณะ (spikes current) ที่มีค่ามากบนสายสัญญาณของแหล่งจ่าย (power supply lines) ดังนั้น จึงมีสัญญาณรบกวนเกิดขึ้นน้อยมาก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จะเห็นว่าจากเนื้อหาที่กล่าวมาทั้งหมดในบทนี้ จะเป็นเรื่องที่เกี่ยวกับทฤษฎีทั่วไป สำหรับใช้เป็นความรู้พื้นฐานในการที่จะศึกษาการทำงานของเครื่องกำเนิดสัญญาณข้อมูลเลขฐานสองนี้ในบทต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3

การสร้างและทดสอบ

ในบทนี้จะกล่าวถึงรายละเอียดของเครื่องกำเนิดสัญญาณข้อมูลเลขฐานสอง โดยจะแบ่งเป็น 4 หัวข้อที่สำคัญคือ เรื่องของรายละเอียดทั่วไป,หลักการทำงานเบื้องต้น,รายละเอียดในส่วนของวงจร และหัวข้อสุดท้ายคือ เรื่องของผลการทดสอบและการใช้งาน สำหรับในหัวข้อที่สองซึ่งมีรายละเอียดเกี่ยวกับหลักการทำงานเบื้องต้นนั้น จะกล่าวถึงโดยพิจารณาจากบล็อกไดอะแกรม (block diagram) เป็นหลัก และหัวข้อรายละเอียดในส่วนของวงจร ก็จะพิจารณาจากวงจรที่ใช้งานจริงโดยแบ่งเป็น 3 ส่วนคือ ส่วน DATA GENERATOR, ส่วน DATA DISPLAY และส่วน POWER SUPPLY ตามลำดับ สำหรับวงจรที่สมบูรณ์นั้น ก็จะแสดงไว้ในตอนท้ายของหัวข้อ ส่วนหัวข้อสุดท้ายก็จะเป็นการกล่าวถึงเรื่องผลการทดสอบในการทำงานของเครื่อง และสรุปการใช้งานของชุดควบคุมต่าง ๆ โดยหัวข้อที่กล่าวมาทั้งหมดจะมีรายละเอียดดังต่อไปนี้

3.1 รายละเอียดทั่วไป

เครื่องกำเนิดสัญญาณข้อมูลเลขฐานสองนี้ เป็นเครื่องมือที่ใช้สำหรับให้กำเนิดสัญญาณข้อมูลในรูปของเลขฐานสอง ซึ่งสามารถให้ข้อมูลได้สูงสุดโดยมีความยาวถึง 16 บิตอย่างต่อเนื่อง โดยในการใช้งานจะสามารถเลือกการทำงานได้ 2 ลักษณะใหญ่ ๆ คือ

1. ให้สัญญาณเอาต์พุตออกอย่างต่อเนื่อง โดยมีระดับลอจิก 0 หรือ 1 ในแต่ละบิตตามต้องการ

2. ให้สัญญาณเอาต์พุตเป็นลักษณะ Return To Zero (RTZ) ซึ่งก็คือ สัญญาณเอาต์พุตที่เป็นระดับลอจิก 1 ในแต่ละบิตจะถูกแบ่งเป็น 2 ส่วนที่เท่ากัน โดยในส่วนแรกจะคงที่อยู่ในระดับลอจิก 1 และส่วนที่ 2 จะถูกกลับสัญญาณให้เป็นระดับลอจิก 0

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.1.1 <u>ความสามารถในการทำงาน</u>

การทำงานของเครื่องกำเนิดสัญญาณข้อมูลเลขฐานสอง จะมีรายละเอียดของความสามารถในการนำไปใช้งานดังต่อไปนี้

1. ความถี่ของสัญญาณนาฬิกา (clock signal) ภายในเครื่องสามารถปรับค่าได้จากชุด DATA RATE ADJUST และจะให้ข้อมูลทางเอาต์พุตที่มีอัตราการส่งข้อมูล (data rates) ครอบคลุมย่านอยู่ในช่วง 10 บิต/วินาที จนถึง 50,000 บิต/วินาที โดยมีสวิตช์เลือกย่านอัตราการส่งข้อมูล (data rate range switch) 3 ย่าน คือ

LOW มีอัตราการส่งข้อมูลอยู่ในช่วง 10 ถึง 500 บิต/วินาที
MIDDLE มีอัตราการส่งข้อมูลอยู่ในช่วง 100 ถึง 5,000 บิต/วินาที
HIGH มีอัตราการส่งข้อมูลอยู่ในช่วง 1,000 ถึง 50,000 บิต/วินาที

ลักษณะของการส่งข้อมูลจะสามารถเลือกได้ในระหว่างการส่งข้อมูลแบบอิสระอย่างต่อเนื่อง (free running) หรือการส่งข้อมูลโดยมีการควบคุมจากสัญญาณทริกเกอร์ (trigger signal) ซึ่งจะรับสัญญาณมาจากภายนอก และนอกจากนี้ยังสามารถเลือกให้เครื่องทำงานกับสัญญาณนาฬิกาที่รับเข้ามาจากภายนอกได้ด้วย

2. ชุดควบคุมการเลือกข้อมูล (bits control) จะสามารถปรับค่าให้ทุก ๆ บิตของข้อมูลที่สร้างขึ้นมีระดับลอจิกเป็น 0 หรือ 1 ตามต้องการ

3. ชุดควบคุมการเลือกความยาวของข้อมูล (data length control) จะสามารถเลือกจำนวนบิตในการส่งข้อมูลได้ตามต้องการ ตั้งแต่ความยาวของข้อมูลต่ำ ๆ จนถึงความยาวสูงสุดที่ 16 บิต

4. การเลือกแบบการส่งข้อมูล (data mode) สามารถเลือกได้ 4 ลักษณะโดยชุด CONTROL DATA คือ

- BINARY MODE เป็นการส่งข้อมูลในรหัสเลขฐานสอง โดยการเลือกตั้งค่าจากชุด BITS CONTROL

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

RTZ MODE เป็นการส่งข้อมูลในลักษณะการเข้ารหัสแบบ Return To Zero จากการเลือกตั้งค่าของชุด BITS CONTROL

NORMAL MODE เป็นการส่งข้อมูลในรูปแบบสัญญาณปกติ

INVERT MODE เป็นการส่งข้อมูลในรูปแบบสัญญาณตรงข้ามกับ NORMAL MODE

5. สัญญาณเอาต์พุตที่ส่งออกไปใช้งานภายนอก คือ DATA OUTPUT และ CLOCK OUTPUT จะสามารถปรับค่าขนาดความสูง (amplitude) ของสัญญาณได้อย่างต่อเนื่องจากระดับแรงดัน 2 โวลต์จนถึง 12 โวลต์

6. สัญญาณนาฬิกาแบบผู้ใช้สร้างขึ้นเอง สามารถสร้างสัญญาณได้จากสวิตช์ CLOCK MANUAL และสามารถนำสัญญาณไปใช้ได้อย่างอิสระ

นอกจากนี้การทำงานจะเป็นไปอย่างต่อเนื่องไม่ว่าจะเป็นสัญญาณจาก INTERNAL CLOCK หรือสัญญาณ SYNCHRONISING ที่ได้ ดังนั้น จึงทำให้อัตราการส่งข้อมูลมีการผิดพลาดต่ำ

3.1.2 <u>การประยุกต์ใช้งาน</u>

เครื่องกำเนิดสัญญาณข้อมูลเลขฐานสองนี้ สามารถนำไปประยุกต์ใช้งานได้อย่างกว้างขวาง เช่น

1. ใช้กำเนิดสัญญาณรหัส BINARY หรือสัญญาณที่มีรหัสแบบ RTZ โดยสามารถปรับระดับของลอจิกที่แต่ละบิตตามต้องการ

2. ใช้กำเนิดสัญญาณพัลส์ (pulse signal) ที่มีรูปคลื่นเป็นแบบ SQUARE WAVE ซึ่งมีระดับลอจิกเป็น 0 และ 1 สลับกัน โดยสามารถปรับอัตราการส่งข้อมูลได้ เพื่อนำไปใช้เป็นเครื่องกำเนิดสัญญาณนาฬิกาให้แก่วงจรต่าง ๆ

3. ใช้เป็นเครื่องกำเนิดการส่งข้อมูลแบบ ASYNCHRONOUS เพื่อทดสอบการทำงานของภาครับชนิด UART (Universal Asynchronous Receiver

เอกสารนี้มีลิขสิทธิ์ ห้ามนำไปใช้ในการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Transmitter) การส่งข้อมูลจะทำได้โดยการกำหนด DATA BITS และ DATA LENGTH เพื่อสร้างสัญญาณใหม่ INFORMATION BITS, START/STOP BITS และ PARITY BITS เป็นต้น

4. ใช้สำหรับทดสอบการทำงานของชุดเปลี่ยนข้อมูลจากอนุกรมไปสู่ขนาน (serial to parallel data converters) โดยกำหนดขนาดความยาวของข้อมูลได้ตามต้องการ และสามารถส่งข้อมูลได้อย่างต่อเนื่องเพื่อทดสอบการเปลี่ยนแปลงของสัญญาณที่ได้จากเอาต์พุต

5. ใช้จำลองเป็นสถานีในการส่งสัญญาณ เพื่อทำการติดต่อกับสถานีศูนย์กลาง (central station) หรือติดต่อระหว่างสถานีด้วยกันที่อยู่ภายในเครือข่ายเดียวกัน

6. ใช้เป็นเครื่องทดสอบการทำงานในส่วนของวงจรนับ (counter) เช่น การนำไปใช้ทดสอบหรือปรับแต่ง (calibration) การทำงานของเครื่องนับความถี่สัญญาณ (frequency counter) เป็นต้น

7. ใช้เป็นเครื่องทดสอบหาประสิทธิภาพ (efficiency) ของสายส่งสัญญาณ (transmission line) แบบต่าง ๆ เพื่อหาผลตอบสนองทางด้านความถี่ของสายส่งสัญญาณที่ค่าความถี่ต่าง ๆ

นอกจากนี้ยังสามารถใช้เป็นเครื่องนับความถี่ที่มีประสิทธิภาพสูง หรือใช้ทดสอบการทำงานของโมเด็ม (MODEM) ในส่วนที่เกี่ยวข้องกับข้อมูล และใช้ทดสอบการทำงานของวงจรชนิดต่าง ๆ ได้อีกหลายประเภท

3.2 หลักการทำงานเบื้องต้น

การทำงานของเครื่องกำเนิดสัญญาณข้อมูลเลขฐานสองนี้ สามารถแสดงการทำงานเบื้องต้นได้จากบล็อกไดอะแกรม ในรูป 3.1 ซึ่งจะแบ่งการทำงานออกเป็น 3 ส่วนใหญ่ ๆ คือ ส่วน DATA GENERATOR , ส่วน DATA DISPLAY และส่วน POWER SUPPLY โดยรายละเอียดในหัวข้อนี้จะขอกล่าวถึงการทำงานเพียง 2 ส่วนคือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ส่วนของ DATA GENERATOR และส่วนของ DATA DISPLAY สำหรับส่วนของ POWER SUPPLY ซึ่งมีการทำงานที่ไม่ซับซ้อน ดังนั้น จึงขอนำไปกล่าวถึงในหัวข้อต่อไป ซึ่งเป็นเรื่องเกี่ยวกับรายละเอียดในส่วนของวงจร

3.2.1 ส่วน DATA GENERATOR

จากบล็อกไดอะแกรมที่แสดงในส่วนของ DATA GENERATOR จะเห็นว่า ชุดของ INTERNAL CLOCK PULSE GENERATOR จะใช้ขับการทำงานของภาค BINARY COUNTER โดยผ่านทาง CLOCK SELECTOR SWITCH และชุดของ BINARY COUNTER ก็จะทำการนับสัญญาณนาฬิกาที่ขอบของพัลส์ลบ (negative clock edge) สำหรับสัญญาณสวิตชิง (switching signal) จะถูกสร้างขึ้นโดยส่วนของ DATA SELECTOR MULTIPLEXER เพื่อใช้ในการอ่านข้อมูลจากสวิตช์ทุก ๆ ตัว ทางด้านอินพุตอย่างต่อเนื่องตามลำดับ

ที่เอาต์พุตของ BINARY COUNTER ขณะที่มีค่าเป็น 0000 ชุดของ DATA SELECTOR ก็จะทำการอ่านค่าที่สวิตช์อินพุต 0 เมื่อการนับเพิ่มขึ้นข้อมูลอินพุตจาก DATA SELECTOR ก็จะถูกอ่านค่าอย่างต่อเนื่องจนกระทั่งสิ้นสุดที่สวิตช์อินพุตตัวที่ 15 ซึ่งตรงกับการนับของ BINARY COUNTER เป็น 1111 ดังนั้น สัญญาณที่ได้จากชุด DATA INPUT ก็สามารถถูกควบคุมได้โดยการตั้งค่าของสัญญาณจากชุด BITS CONTROL SWITCHES และเช่นเดียวกันสัญญาณเอาต์พุตจาก BINARY COUNTER ก็จะใช้ขับการทำงานของชุด DATA LENGTH SELECTOR ด้วย

ในส่วนของ DATA LENGTH SELECTOR จะมีการทำงานโดยใช้ 4–BIT COMPARATOR ซึ่งจะให้สัญญาณเอาต์พุตออกมา เมื่อสัญญาณจาก BINARY COUNTER ตรงกับการตั้งค่าของสวิตช์ทั้ง 4 ตัวของชุด DATA LENGTH CONTROL สัญญาณเอาต์พุตที่ได้จาก COMPARATOR จะมีระดับลอจิก 1 สำหรับช่วงระยะเวลา 1 คาบ (one clock period) หลังจากนั้นสัญญาณก็จะกลับไปเป็นระดับลอจิก 0 สัญญาณที่ได้นี้จะถูกกลับสัญญาณเป็นตรงข้ามโดยชุดของ SYNC OUTPUT BUFFER และสัญญาณที่ได้ก็จะถูกนำไปใช้เป็นสัญญาณซิงค์ทางด้านเอาต์พุต (synchronising signal output) และที่ขอบขาขึ้น (trailing edge) ของสัญญาณซิงค์พัลส์

เอกสารนี้มีลิขสิทธิ์ ไม่อนุญาตให้ทำซ้ำ เพื่อการใช้งานทางการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

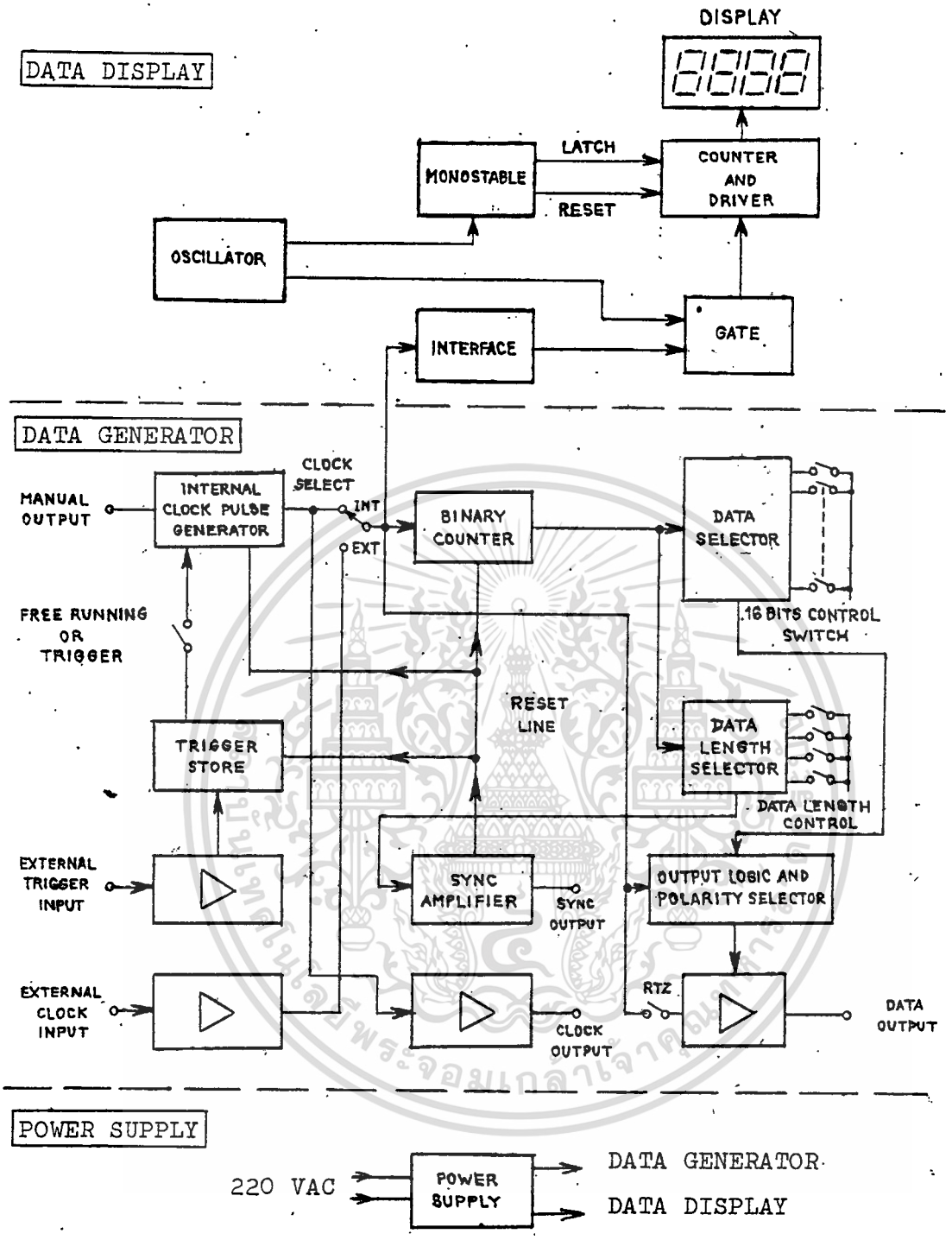
(synchronising pulse) จะถูกนำมาสร้างเป็นสัญญาณรีเซต (reset signal) เพื่อทำการรีเซตในส่วนของ COUNTER, INTERNAL CLOCK และ TRIGGER STORE

สำหรับส่วนของ TRIGGER STORE นั้น จะรับสัญญาณ TRIGGER INPUT ที่ผ่านการขยายแล้ว โดยนำมาสร้างสัญญาณการกำหนดช่วงเวลาทริกเกอร์ เพื่อส่งไปควบคุมการสร้างสัญญาณนาฬิกาของชุด INTERNAL CLOCK PULSE GENERATOR ในการทำงานแบบ TRIGGER MODE โดยผ่านสวิตช์เลือกการทำงานแบบ FREE RUNNING หรือ TRIGGER สำหรับสวิตช์ CLOCK SELECT นั้น จะใช้ในการเลือกสัญญาณนาฬิกาจากวงจรภายในที่ได้จากชุด INTERNAL CLOCK PULSE GENERATOR หรือรับสัญญาณนาฬิกาจากภายนอกที่ถูกทำการขยายแล้ว โดยผ่านทาง EXTERNAL CLOCK INPUT หลังจากนั้นข้อมูลเอาต์พุตที่ได้จากชุดของ DATA SELECTOR MULTIPLEXER จะถูกต่อเข้ากับขา D - INPUT ของD FLIP - FLOP ซึ่งสัญญาณนาฬิกาที่ใช้ก็เป็นสัญญาณเดียวกันกับที่ใช้ในชุดของ BINARY COUNTER แต่การทำงานจะกระทำที่ขอบขาขึ้น (rising clock edge) ของสัญญาณ ผลที่ได้คือจะมีการหน่วง (delay) ของสัญญาณเอาต์พุต โดยมีการหน่วงครึ่งคาบเวลาของสัญญาณนาฬิกา และช่วงเวลาการหน่วงนี้จะสัมพันธ์กับสัญญาณ SYNC OUTPUT

นอกจากนี้ส่วนของ OUTPUT LOGIC AND POLARITY SELECTOR ยังมี OUTPUT BUFFER GATE เพื่อใช้ในการสร้างสัญญาณเอาต์พุตแบบ Return To Zero เมื่อสวิตช์ RTZ ถูกปิด และมีสวิตช์ POLARITY SELECTOR เพื่อทำการเลือกสัญญาณเอาต์พุตให้เป็นแบบNORMAL หรือ INVERTหลังจากนั้นสัญญาณ DATA OUTPUT จะถูกควบคุมโดยชุด VARIABLE CONSTANT VOLTAGE SOURCE เพื่อทำการปรับระดับสัญญาณเอาต์พุตตามต้องการ และเช่นเดียวกันการควบคุมในลักษณะนี้ก็จะถูกนำไปใช้กับชุดของสัญญาณ CLOCK OUTPUT ด้วย

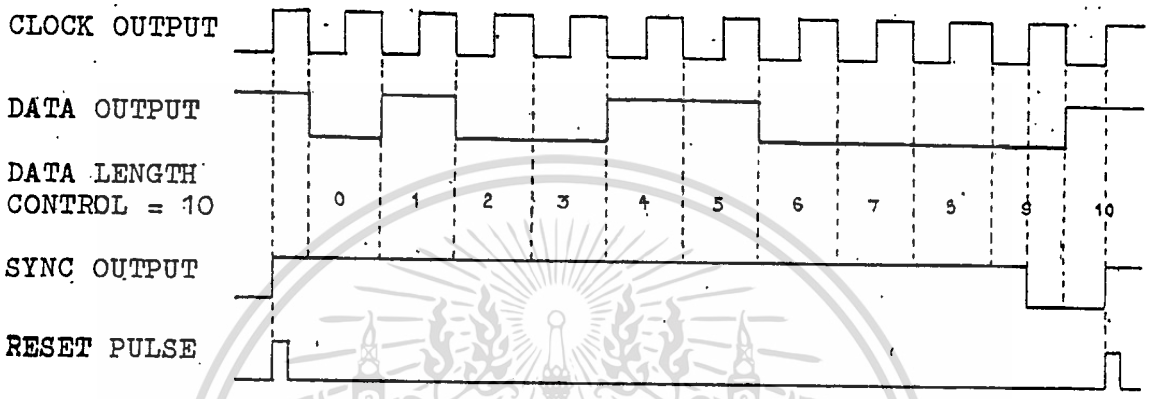
สำหรับรูปลักษณะของสัญญาณ CLOCK OUTPUT, DATA OUTPUT, SYNC OUTPUT และ RESET PULSE นั้น สามารถดูได้จาก TIMMING DIAGRAM ในรูป 3.2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 3.1 บล็อกไดอะแกรมการทำงานของเครื่องกำเนิดสัญญาณข้อมูลเลขฐานสอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

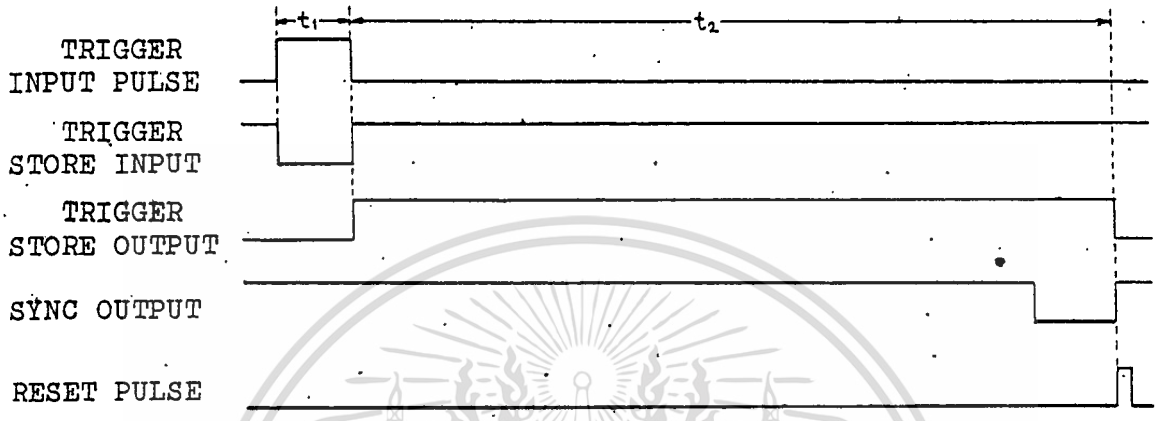


รูป 3.2 แสดงรูปลักษณะของสัญญาณเอาต์พุต

จากรูป 3.2 จะแสดงรูปคลื่นของสัญญาณเอาต์พุตที่จุดต่าง ๆ โดยมีการตั้งค่ากำหนดความยาวของข้อมูล (data length) ไว้ที่ 10 จะเห็นว่าที่รูปคลื่นสัญญาณ DATA OUTPUT จะมีการหน่วงเวลาไปจากสัญญาณ CLOCK OUTPUT เป็นระยะเวลาครึ่งคาบของสัญญาณ (half clock period) และสัญญาณ RESET PULSE ที่ได้จากสัญญาณ SYNC OUTPUT จะอยู่ในช่วงบิตสุดท้ายของสัญญาณ DATA OUTPUT และหลังจากนั้นการทำงานก็จะวนซ้ำเช่นเดิม จึงทำให้ได้สัญญาณในลักษณะที่ต่อเนื่อง

สำหรับการทำงานของส่วน TRIGGER นั้น จะมีรูปลักษณะของสัญญาณ TRIGGER INPUT PULSE, TRIGGER STORE INPUT, TRIGGER STORE OUTPUT, SYNC PULSE และสัญญาณ RESET PULSE โดยแสดงจาก TIMMING DIAGRAM ในรูป 3.3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า



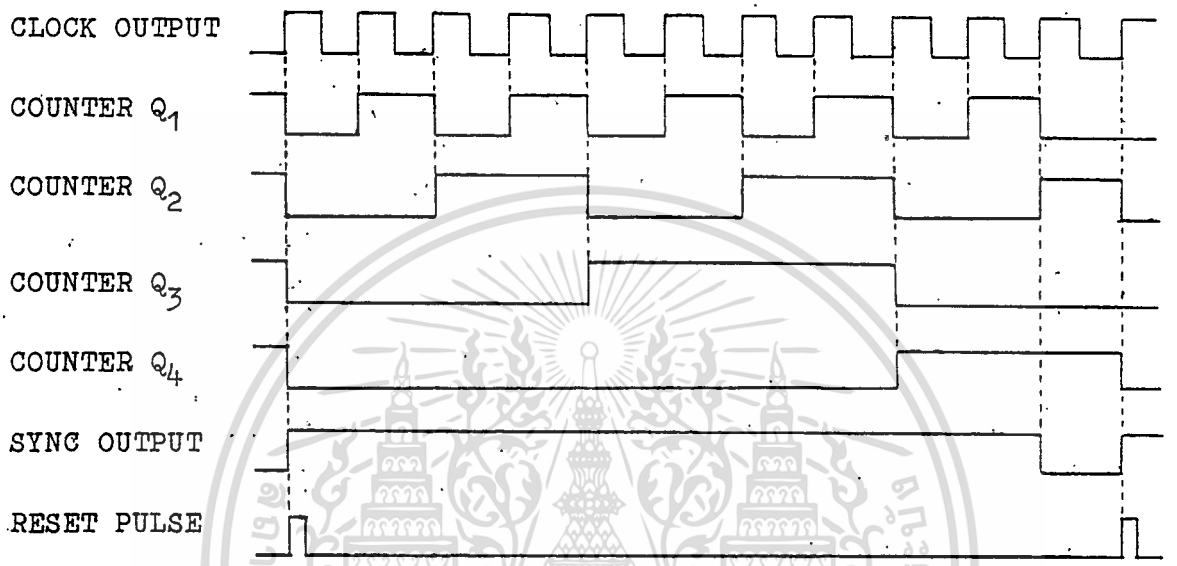
รูป 3.3 แสดงรูปลักษณะของสัญญาณในส่วนทริกเกอร์

จากรูป 3.3 ที่แสดงจะเป็นการทำงานของชุดทริกเกอร์ โดยสัญญาณ TRIGGER INPUT PULSE เป็นสัญญาณที่ได้รับจากภายนอกโดยวัดที่จุดต่อ EXTERNAL TRIGGER INPUT หลังจากนั้นเมื่อสัญญาณผ่านชุดขยายก็จะได้สัญญาณ TRIGGER STORE INPUT ซึ่งระดับลอจิกจะถูกเปลี่ยนเป็นตรงข้ามกับสัญญาณ TRIGGER INPUT สำหรับสัญญาณ TRIGGER STORE OUTPUT นั้น จะมีระดับลอจิกเป็น 1 เมื่อสัญญาณ TRIGGER INPUT ตกลงสู่ระดับลอจิก 0 และจะคงที่ระดับลอจิก 1 ไปจนกระทั่งสัญญาณ RESET PULSE มีการเปลี่ยนแปลงเป็นระดับลอจิก 1 จึงทำให้สัญญาณ TRIGGER STORE OUTPUT เปลี่ยนมาเป็นระดับลอจิก 0 เช่นเดิม โดยช่วงระยะเวลา TRIGGER PULSE (t_1) จะเป็นช่วงระยะเวลาที่ได้จากสัญญาณทริกเกอร์ภายนอก ซึ่งอาจสร้างและกำหนดช่วงเวลาได้โดยใช้วงจรที่ทำงานเป็นแบบ MONOSTABLE MULTIVIBRATOR ส่วนช่วงเวลาที่เป็นข้อมูลซึ่งแทนด้วย t_2 นั้น สามารถกำหนดได้จากความยาวของข้อมูล (data length) และอัตราของสัญญาณนาฬิกาที่ใช้ (data clock rates)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในการทำงานของส่วน BINARY COUNTER จะมีการรับสัญญาณอินพุตที่เป็นสัญญาณนาฬิกาซึ่งได้มาจาก EXTERNAL CLOCK INPUT หรือรับสัญญาณภายในจากส่วนของ INTERNAL CLOCK PULSE GENERATOR โดยผ่านสวิตช์เลือก CLOCK SELECT การนับสัญญาณจะใช้ชุด BINARY COUNTER ซึ่งมีสายสัญญาณเอาต์พุต 4 เส้น โดยจะเริ่มนับตั้งแต่สัญญาณเอาต์พุตที่เป็น 0000 จนกระทั่งเป็น 1111 แล้วทำการนับซ้ำเช่นเดิม ซึ่งการนับจะสิ้นสุดลงและเริ่มต้นใหม่เมื่อมีสัญญาณรีเซตไปกระตุ้นการทำงานของวงจร โดยสัญญาณรีเซตนี้จะได้มาจากสัญญาณ SYNC OUTPUT ซึ่งเกิดจากการเลือกตั้งค่าของชุด DATA LENGTH CONTROL สำหรับรูปลักษณะของสัญญาณในส่วน BINARY COUNTER นี้ จะมีดังรูป 3.4 ซึ่งแสดงถึงรูปคลื่นของสัญญาณเอาต์พุตทั้ง 4 เส้น ของ BINARY COUNTER โดยมีการนับจากสัญญาณนาฬิกาซึ่งการนับจะเป็นในรูปของการหารสัญญาณลงด้วย 2 อย่างต่อเนื่องตลอดทั้ง 4 สายของเส้นสัญญาณเอาต์พุต นอกจากนี้ยังแสดงถึงสัญญาณ SYNC OUTPUT และสัญญาณ RESET PULSE ที่เกิดจากการตั้ง DATA LENGTH SWITCH ไว้ที่ 10 จะเห็นว่าหลังจาก BINARY COUNTER ถูกรีเซต ก็จะเริ่มต้นนับที่ 0000 ใหม่ ซึ่งเป็นการเริ่มต้นของข้อมูลชุดต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 3.4 แสดงรูปลักษณะของสัญญาณในส่วน BINARY COUNTER

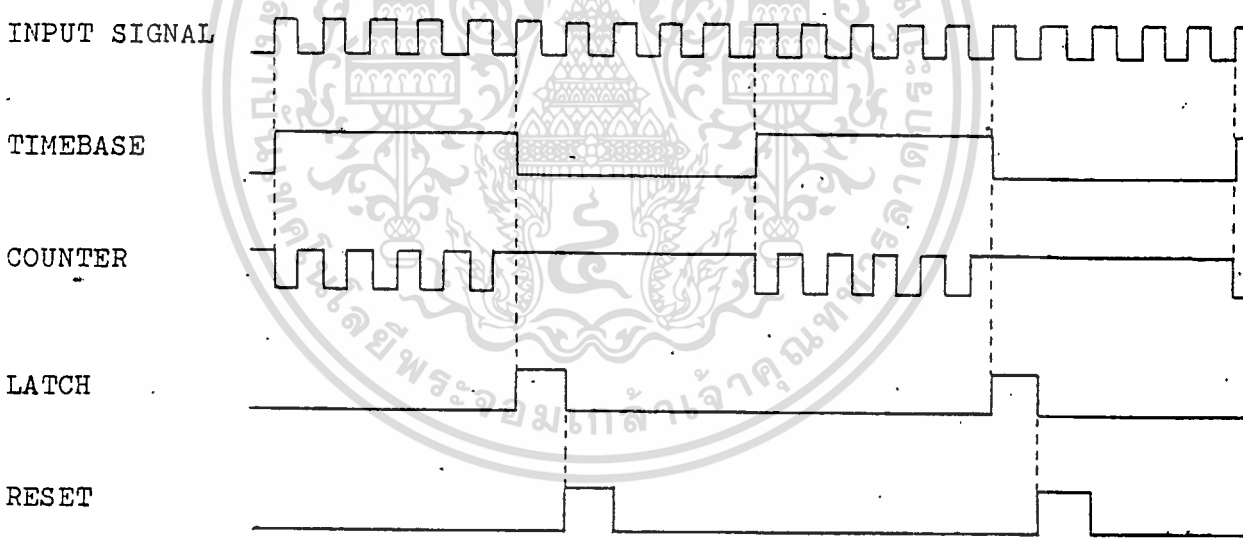
3.2.2 ส่วน DATA DISPLAY

จากบล็อกไดอะแกรมในรูป 3.1 ที่แสดงในส่วนของ DATA DISPLAY จะเห็นว่า ทางด้านอินพุตของชุด DATA DISPLAY จะรับสัญญาณโดยผ่านทางสวิตช์ CLOCK SELECT ดังนั้น สัญญาณที่จะนำไปแสดงผลก็จะเป็นสัญญาณที่ได้จากส่วนของ INTERNAL CLOCK PULSE GENERATOR หรือสัญญาณที่ได้จาก EXTERNAL CLOCK INPUT หลังจากนั้นสัญญาณจะถูกป้อนเข้าชุดอินเตอร์เฟซเพื่อทำการหารความถี่และปรับระดับสัญญาณให้เหมาะสม เพื่อส่งไปยังภาคของ GATE สำหรับส่วนของ OSCILLATOR จะทำการผลิตสัญญาณฐานเวลา (time base) แล้วส่งไปยังภาคของ GATE เพื่อกำหนดช่วงเวลาการเปิดเกตให้สัญญาณอินพุตที่ได้จากส่วนขยายผ่านไปยังภาค

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ในเชิงการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

COUNTER AND DECODER เพื่อทำการนับสัญญาณ และเช่นเดียวกันสัญญาณ OSCILLATOR ที่ส่งไปยังภาคของ GATE ส่วนหนึ่งก็จะถูกส่งไปให้กับส่วนของ MONOSTABLE เพื่อทำการผลิตสัญญาณแลตช์ (latch signal) และสัญญาณรีเซต (reset signal) สำหรับส่งไปควบคุมการนับจำนวนพัลส์ของภาค COUNTER AND DECODER และสัญญาณที่ถูกนับได้ก็จะถูกส่งไปแสดงผลที่ส่วนของ DISPLAY

สำหรับการทำงานที่กล่าวมาแล้วนั้น สามารถแสดงรูปคลื่นสัญญาณ และช่วงเวลาการทำงานได้โดยพิจารณาจาก TIMMING DIAGRAM ในรูป 3.5



รูป 3.5 แสดงช่วงเวลาการทำงานของส่วน DATA DISPLAY

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูป 3.5 จะเห็นว่า สัญญาณ TIMEBASE ที่ถูกผลิตจากภาค OSCILLATOR ในช่วงเวลาที่มีระดับลอจิกเป็น 1 จะถูกใช้สำหรับกำหนดระยะเวลาการเปิดเกต ซึ่งมีระยะเวลาเป็น 1 วินาที ดังนั้น ในช่วงระยะเวลาการเปิดเกตนี้ สัญญาณอินพุตจะถูกส่งผ่านไปยังภาค COUNTER AND DECODER เพื่อทำการนับจำนวนของสัญญาณ โดยจำนวนที่นับได้จะเท่ากับความถี่ของสัญญาณอินพุต และเมื่อสัญญาณ TIME BASE ตกลงสู่ระดับลอจิก 0 เกตก็จะถูกปิด และวงจร MONOSTABLE ชุดที่ 1 ก็จะทำงานโดยสร้างสัญญาณ LATCH เพื่อให้ค่าที่นับได้ค้างเอาไว้แล้วส่งไปแสดงผลทันที และเมื่อสัญญาณ LATCH นี้ตกลง วงจร MONOSTABLE ชุดที่ 2 ก็จะสร้างสัญญาณ RESET ขึ้น เพื่อทำการรีเซตวงจรนับให้เป็น 0000 สำหรับรอการนับครั้งใหม่ในการเปิดเกตครั้งต่อไป

จากการทำงานโดยมีระยะเวลาการเปิดเกต 1 วินาทีนี้ จะทำให้มีการแสดงผลในการนับสัญญาณครั้งใหม่ทุก ๆ 2 วินาที ซึ่งช่วงเวลาการแสดงผลทุก ๆ 2 วินาทีนี้ จะทำให้ตัวเลขที่แสดงในการอ่านค่าเปลี่ยนแปลงที่ไม่เร็วมาก ดังนั้น จึงทำให้การอ่านค่าได้ผลที่แม่นยำและแน่นอน

3.3 รายละเอียดในส่วนของวงจร

การทำงานของวงจรที่จะกล่าวถึงในหัวข้อนี้ จะเป็นเรื่องเกี่ยวกับรายละเอียดในส่วนของวงจรทั้งหมด ซึ่งจะรวมถึงการคำนวณและการออกแบบในบางส่วนของวงจร เช่น การคำนวณออกแบบชุดวงจรกำเนิดความถี่สัญญาณ เป็นต้น สำหรับรายละเอียดของเนื้อหานั้น จะขอแยกการพิจารณาเป็นส่วน ๆ ตามบล็อกไดอะแกรมในรูป 3.1 โดยจะแบ่งเป็น 3 หัวข้อใหญ่ คือ การทำงานในส่วน DATA GENERATOR, ส่วน DATA DISPLAY และส่วน POWER SUPPLY ตามลำดับ โดยแต่ละหัวข้อจะมีรายละเอียดดังต่อไปนี้

3.3.1 การทำงานในส่วน DATA GENERATOR

จากบล็อกไดอะแกรมในรูป 3.1 ในส่วนของ DATA GENERATOR จะสามารถแบ่งการทำงานของวงจรออกเป็นส่วนย่อยได้ 9 ส่วน คือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3.1.1 INTERNAL CLOCK PULSE GENERATOR

3.3.1.2 BINARY COUNTER

3.3.1.3 DATA SELECTOR

3.3.1.4 DATA LENGTH SELECTOR

3.3.1.5 SYNCHRONISING AMPLIFIER

3.3.1.6 OUTPUT LOGIC AND POLARITY SELECTOR

3.3.1.7 TRIGGER STORE

3.3.1.8 INPUT CIRCUITS

3.3.1.9 OUTPUT CIRCUITS

การทำงานของวงจรทั้ง 9 ส่วน จะมีรายละเอียดดังนี้

3.3.1.1 INTERNAL CLOCK PULSE GENERATOR

การทำงานในส่วนนี้จะมีหน้าที่สำหรับสร้างสัญญาณนาฬิกา ซึ่งจะถูกนำไปใช้ภายในเครื่อง โดยประกอบไปด้วยวงจร 2 ส่วนคือ ส่วนผลิตสัญญาณพัลส์ และส่วนวงจรหารความถี่ ซึ่งมีแนวทางการออกแบบวงจรดังนี้

จากความสามารถในการทำงานของเครื่องจะมีอัตราการส่งข้อมูลสูงสุด 50,000 บิต/วินาที และในย่านเดียวกันจะมีอัตราการส่งข้อมูลต่ำสุด 1,000 บิต/วินาที ดังนั้น วงจรที่ผลิตความถี่จะให้เป็นวงจรชนิด ASTABLE MULTIVIBRATOR ซึ่งเลือกใช้ไอซีเบอร์ 4047 โดยเป็นไอซีที่มีการทำงานแบบ LOW POWER MONOSTABLE/ASTABLE MULTIVIBRATOR และจากการออกแบบการต่อวงจรของไอซีให้ทำงานเป็น ASTABLE MULTIVIBRATOR ใน DATA SHEET ของบริษัทผู้ผลิตได้กำหนดเป็นสูตรไว้ว่า

$$t = 4.4\ RC$$

ดังนั้น ถ้าเปลี่ยนจากเวลาให้อยู่ในรูปของความถี่จะได้เป็น

$$f = 1/4.4\ RC$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อความถี่สูงสุดในส่วนที่ GENERATOR ต้องผลิตได้เท่ากับ 50 kHz และเมื่อสัญญาณต้องผ่านวงจรหารสอง ดังนั้น วงจรออสซิลเลเตอร์จะต้องผลิตความถี่ได้เป็น 2 เท่า นั่นคือ ต้องผลิตความถี่ได้เท่ากับ 100 kHz และเมื่อกำหนดค่าตัวเก็บประจุ (C) ให้มีค่าเท่ากับ 1,560 pF เราก็สามารถหาค่าความต้านทาน (R) ได้ดังนี้

$$R = 1/4.4\ C\ f_{max}$$
$$= 1/4.4 \times 1{,}560\ pF \times 100\ kHz$$
$$= 1{,}456.88\ OHM$$

และที่ความถี่ต่ำในย่านเดียวกัน ชุดออสซิลเลเตอร์ก็จะต้องผลิตความถี่ได้เป็น 2 เท่า ซึ่งก็จะเท่ากับ 2 kHz ดังนั้น ที่ค่าตัวเก็บประจุเท่าเดิม จะต้องใช้ตัวต้านทานมีค่าเท่ากับ

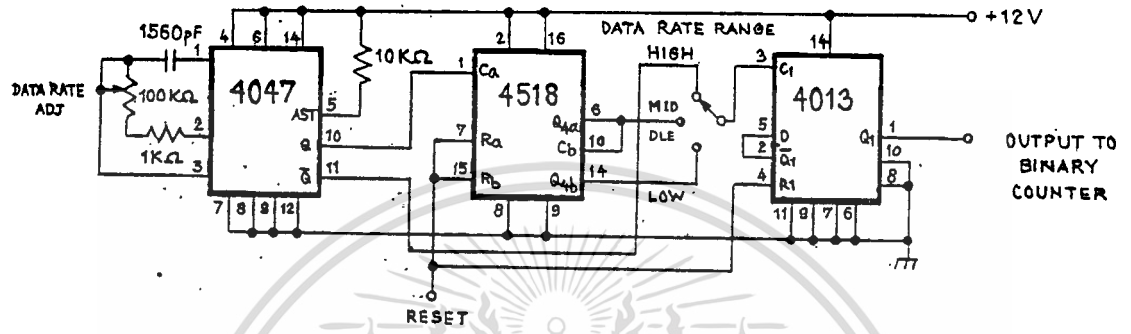
$$R = 1/4.4\ C\ f_{min}$$
$$= 1/4.4 \times 1{,}560\ pF \times 2\ kHz$$
$$= 72{,}843.82\ OHM$$

จากค่าความต้านทานที่ได้ ที่ความถี่สูงสุดถ้าเลือกค่าความต้านทานให้มีค่าต่ำลง และที่ความถี่ต่ำสุดถ้าเลือกค่าความต้านทานที่มีค่าสูงขึ้น ก็จะทำให้ได้ความถี่สูงเพิ่มขึ้น และขณะเดียวกันก็จะทำให้ได้ความถี่ต่ำมีค่าต่ำลงไปอีก ซึ่งเป็นการเพิ่มขีดความสามารถในการทำงานให้กับเครื่อง ดังนั้น จึงเลือกใช้ตัวต้านทานที่ความถี่สูงมีค่าเท่ากับ 1,000 โอห์ม และเพื่อให้ชุดออสซิลเลเตอร์เปลี่ยนค่าความถี่ได้จึงเลือกใช้ตัวต้านทานที่ความถี่ต่ำเป็นชนิดปรับค่าได้ ซึ่งมีค่าเท่ากับ 100 กิโลโอห์ม โดยต่ออนุกรมร่วมกับตัวต้านทานที่ความถี่สูงที่มีค่า 1,000 โอห์ม

สำหรับอัตราการส่งข้อมูลในย่านที่ต่ำลงไป เช่น ย่าน MIDDLE และย่าน LOW นั้น จะทำได้โดยนำความถี่ที่ชุดออสซิลเลเตอร์ผลิตได้ไปผ่านวงจรหาร 10 และหาร 100 ตามลำดับ ก็จะทำให้เครื่องมีความสามารถในการส่งข้อมูลได้สูงสุดมากกว่า 50,000 บิต/วินาที และส่งข้อมูลในย่านต่ำสุดได้ต่ำกว่า 10 บิต/วินาที โดยส่วน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ของวงจรจะแสดงในรูป 3.6



รูป 3.6 วงจรส่วน INTERNAL CLOCK PULSE GENERATOR

จากวงจรชุดของออสซิลเลเตอร์ซึ่งมีการต่อแบบ ASTABLE MULTI-VIBRATOR จะใช้ไอซีเบอร์ 4047 ทำหน้าที่ผลิตความถี่โดยใช้ R และ C ต่อภายนอกดังที่กล่าวมาแล้ว สำหรับตัวต้านทานที่กำหนดความถี่สูง ซึ่งมีค่า 1,000 โอห์ม จะต่อที่ขา 2 ของไอซี และต่ออนุกรมกับตัวต้านทานแบบปรับค่าได้ที่ใช้กำหนดความถี่ต่ำ ซึ่งมีค่า 100 กิโลโอห์ม โดยตัวต้านทานทั้งสองจะต่ออยู่ระหว่างขา 2 และขา 3 ส่วนตัวเก็บประจุซึ่งกำหนดค่าให้เป็น 1,560 pF นั้นจะต่อระหว่างขา 1 และขา 3 ของไอซี สำหรับที่ขา 5 ของไอซีจะมีแรงดันไฟบวกมาป้อนให้โดยผ่านตัวต้านทานค่า 10 กิโลโอห์ม ซึ่งเป็นการกำหนดให้มีการทำงานแบบ FREE RUNNING ส่วนที่ขา 10 และขา 11 ของไอซีก็จะเป็นการนำเอาสัญญาณเอาต์พุตไปใช้งาน

สำหรับส่วนของวงจรหารความถี่ จะแบ่งการทำงานเป็น 2 ชุด คือ ชุดแรกจะทำการหาร 10 และหาร 100 แต่สัญญาณที่ได้จะไม่สมมาตร (non - symmetrical) ดังนั้น จึงต้องมีวงจรหารในชุดหลัง ซึ่งทำการหาร 2 เพื่อทำให้ได้สัญญาณ

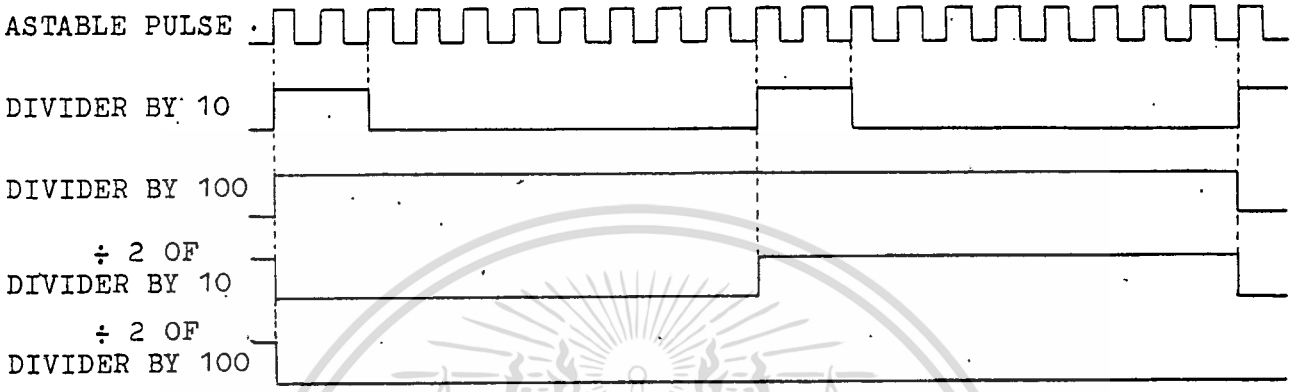
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เป็นแบบสมมาตร (symmetrical) ดังนั้น วงจรหาร 2 ชุดนี้จึงเป็นชุดที่ถูกนำไปคิดในการออกแบบวงจรดังที่กล่าวข้างต้น สำหรับรายละเอียดของวงจรหารชุดแรกจะใช้ไอซีเบอร์ 4518 ซึ่งมีการทำงานเป็นแบบ DUAL BCD DECADE UP COUNTER โดยภายในจะมีเคาท์เตอร์ 2 ชุด ซึ่งอินพุตของชุดแรกที่ขา 1 ของไอซีจะถูกต่อเข้ากับเอาต์พุตของไอซีออสซิลเลเตอร์ และสัญญาณเอาต์พุตจากเคาท์เตอร์ ชุดแรกที่ขา 6 ซึ่งถูกหารด้วย 10 ส่วนหนึ่งจะถูกป้อนกลับไปเข้าอินพุตของเคาท์เตอร์ชุดที่ 2 ที่ขา 10 เพื่อให้ได้สัญญาณเอาต์พุตที่ขา 14 ถูกหารด้วย 10 อีกครั้งหนึ่ง ซึ่งก็เป็นการนำเอาสัญญาณจากชุดออสซิลเลเตอร์มาหารด้วย 100 นั่นเอง

ส่วนวงจรหารชุดที่สองจะใช้ไอซีเบอร์ 4013 ซึ่งมีการทำงานเป็นแบบ DUAL D-TYPE FLIP-FLOP โดยภายในจะมีฟลิปฟลอป 2 ชุด ซึ่งชุดแรกจะนำสัญญาณเอาต์พุตที่ได้จากส่วนแรกมาเข้าอินพุตที่ขา 3 โดยผ่านสวิตช์ DATA RATE RANGE เพื่อเลือกอัตราการส่งข้อมูลจากสัญญาณที่ถูกหารในส่วนแรกมาทำการหาร 2 อีกครั้งหนึ่ง สำหรับในการสร้างวงจรหาร 2 ก็สามารถทำได้โดยนำสัญญาณเอาต์พุต จากขา 2 ซึ่งเป็น $\bar{Q}$ มาป้อนให้กับขา 5 ที่เป็น DATA ก็จะทำให้ได้สัญญาณเอาต์พุต (Q) ที่ขา 1 เป็นสัญญาณแบบสมมาตร เพื่อส่งไปให้ส่วน BINARY COUNTER ทำการนับต่อไป

การทำงานของส่วน INTERNAL CLOCK PULSE GENERATOR สามารถแสดงลักษณะรูปคลื่นของสัญญาณ ASTABLE PULSE และสัญญาณเอาต์พุตที่ถูกหารด้วย 10, 100 และหารด้วย 2 ดัง TIMMING DIAGRAM ที่แสดงในรูป 3.7

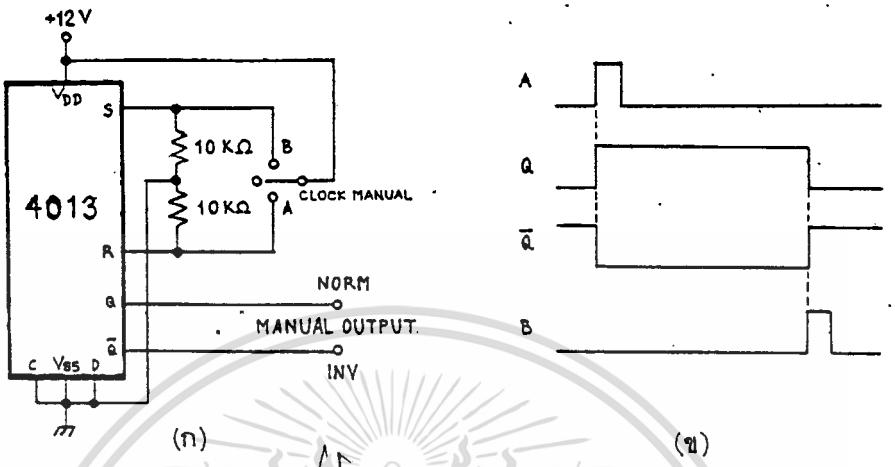
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 3.7 แสดงลักษณะของสัญญาณในส่วนผลิตความถี่

จะเห็นว่าในการทำงานของวงจรหาร 2 นั้น จะใช้ D-TYPE FLIP-FLOP เพียงชุดเดียว ดังนั้น อีก 1 ชุดที่เหลือจึงสามารถนำมาใช้สร้างเป็นสัญญาณ CLOCK แบบ MANUAL ได้ ดังวงจรในรูป 3.8 (ก)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 3.8 วงจรสร้างสัญญาณ CLOCK MANUAL และรูปคลื่นที่ได้

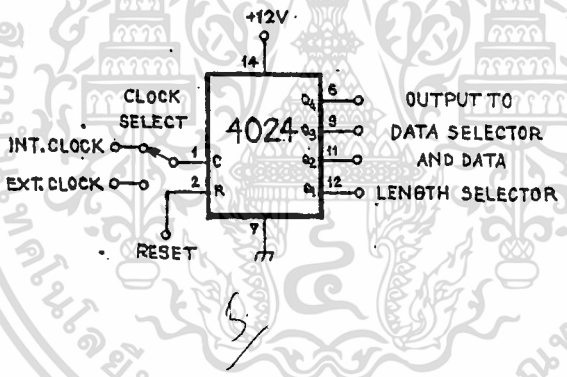
จากวงจรในรูป 3.8 จะเป็นการนำเอา D-TYPE FLIP-FLOP ที่เหลืออีก 1 ชุด ของไอซี 4013 มาสร้างเป็นวงจรผลิตสัญญาณแบบ SINGLE PULSE EXTERNAL CLOCK SIGNAL โดยต่อให้มีลักษณะการทำงานเป็น RS-BISTABLE ซึ่งจะนำขา CLOCK และขา DATA INPUT ต่อลงกราวนด์ และที่ขา SET กับ RESET จะต่อกับแรงดันไฟบวกซึ่งถูกควบคุมโดยผ่าน CLOCK MANUAL SWITCH โดยการทำงานของสวิตช์จะให้ระดับเอาต์พุตที่ขา Q และ $\bar{Q}$ มีสภาวะคงที่ไม่เปลี่ยนแปลงจนกระทั่งสวิตช์ถูกเลื่อนไปในทิศทางตรงกันข้าม ซึ่งลักษณะรูปคลื่นที่ได้จะเป็นดังรูป 3.8 (ข) สำหรับสัญญาณที่ได้จาก CLOCK MANUAL SWITCH นี้ สามารถนำไปใช้ในการตรวจสอบการทำงานของเครื่องได้ในลักษณะที่เป็น STEP และสามารถนำไปใช้ได้อย่างอิสระ

3.3.1.2 BINARY COUNTER

การทำงานของ BINARY COUNTER จะใช้ไอซีซีมอสเบอร์ 4024 ซึ่งมีหน้าที่เป็น 7-STAGE BINARY COUNTER โดยจะใช้สำหรับกำหนดการรับข้อมูลจาก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ชุด BITS CONTROL SWITCHES ที่ผ่านทางชุดของ DATA SELECTOR จะเห็นว่าข้อมูลที่ต้องการนั้นมี 16 ชุด ดังนั้น สายสัญญาณที่ต้องใช้ในการควบคุมจึงใช้ทั้งหมด 4 เส้น เพื่อให้สัญญาณปรากฏที่เอาต์พุตโดยเริ่มต้นการนับตั้งแต่ 0000 จนถึง 1111 แล้วทำการเริ่มต้นนับใหม่เช่นเดิม แต่จะเห็นว่าไอซี 4024 นี้ สามารถนับได้ถึง 7 STAGE ซึ่งก็คือมีสายสัญญาณเอาต์พุตทั้งหมด 7 เส้น ดังนั้น ในการนำมาใช้งานจริงโดยใช้สายสัญญาณเพียง 4 เส้น ก็เป็นการเพียงพอที่จะทำให้เครื่องทำงานได้อย่างมีประสิทธิภาพ โดยวงจรจะแสดงในรูป 3.9



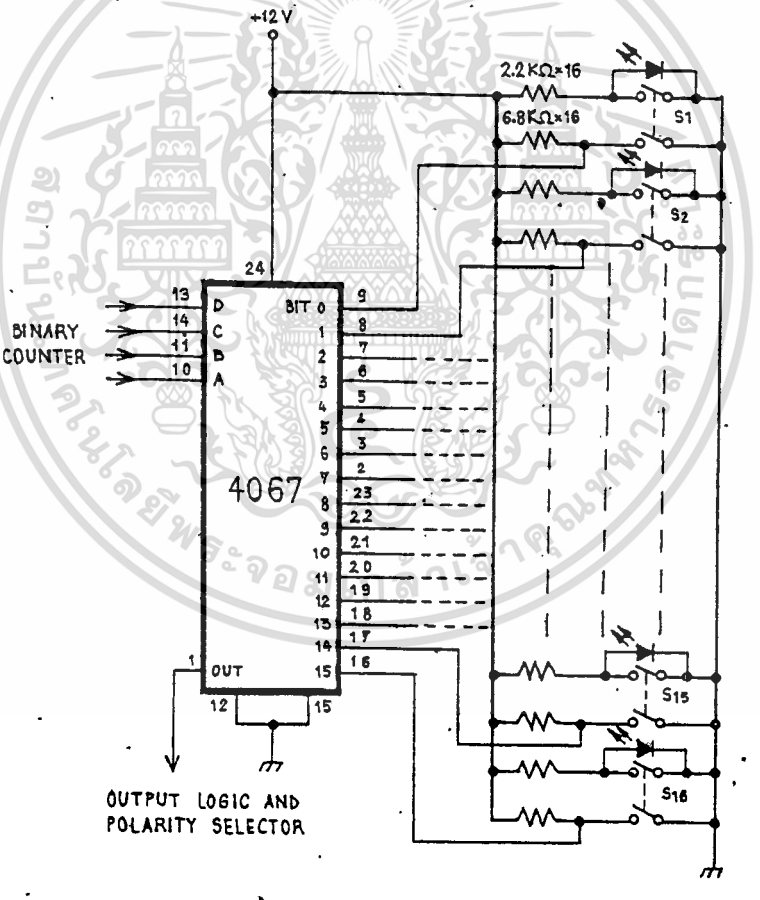
รูป 3.9 วงจรส่วน BINARY COUNTER

สำหรับการทำงานจากวงจรจะเห็นว่า สัญญาณอินพุตจะได้รับมาจากสัญญาณนาฬิกาที่ได้จากส่วนภายในเครื่องโดยชุดของ INTERNAL CLOCK PULSE GENERATOR หรือจะรับสัญญาณนาฬิกาจากภายนอกที่ป้อนเข้าทาง EXTERNAL CLOCK INPUT โดยผ่านการเลือกจากสวิตช์ CLOCK SELECT ส่วนสัญญาณเอาต์พุตทั้ง 4 เส้น จะถูกต่อเข้ากับอินพุตของส่วน DATA SELECTOR และส่วน DATA LENGTH SELECTOR เพื่อทำการกำหนดการรับข้อมูลและกำหนดการเลือกความยาวของข้อมูลตามลำดับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3.1.3 DATA SELECTOR

ส่วนของ DATA SELECTOR โดยทั่วไปจะมีชุดรับสัญญาณอินพุตเข้า 2 ทาง และมีการนำสัญญาณออกเอาต์พุต 1 ทาง ซึ่งสัญญาณอินพุตชุดแรกจะใช้สำหรับควบคุมในการเลือกรับสัญญาณจากอินพุต ชุดที่สอง เพื่อนำสัญญาณที่ถูกเลือกส่งออกเอาต์พุตจาก วงจรในรูป 3.10 จะใช้ไอซีเบอร์ 4067 ซึ่งมีหน้าที่เป็น ANALOG MULTIPLEXERS/ DEMULTIPLEXERS มาประกอบวงจรสำหรับการทำงานในส่วนของ DATA SELECTORนี้



รูป 3.10 วงจรส่วน DATA SELECTOR

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากวงจรจะเห็นว่า อินพุตชุดแรกจะรับสัญญาณมาจากส่วนของ BINARY COUNTER ซึ่งมีสายสัญญาณ 4 เส้น เมื่อนำมาควบคุมการเลือกรับสัญญาณจากอินพุตชุดที่สองที่ต่อกับชุด BITS CONTROL SWITCHES เมื่ออินพุตชุดแรกที่ได้รับสัญญาณจาก BINARY COUNTER มีค่าเป็น 0000 ก็จะเลือกรับสัญญาณที่ปรากฏที่ขา 9 ซึ่งเป็นบิตแรกออกสู่เอาต์พุต และเมื่อสัญญาณจาก BINARY COUNTER เพิ่มขึ้นเป็น 0001 ก็จะเลือกรับสัญญาณที่ปรากฏที่ขา 8 ซึ่งเป็นบิตที่สองออกสู่เอาต์พุต และการเลือกรับสัญญาณจะเพิ่มขึ้นเรื่อย ๆ จนกระทั่งเมื่อมีสัญญาณเป็น 1111 ก็จะเลือกรับสัญญาณที่ขา 16 ซึ่งเป็นบิตสุดท้ายออกสู่เอาต์พุต จะเห็นว่าระดับลอจิกที่ขาของอินพุตชุดที่สองแต่ละขานั้นสามารถควบคุมได้จากสวิตช์ที่ต่อไว้โดยที่ขา 9 ซึ่งเป็นบิตแรกจะต่อกับสวิตช์ตัวที่ 1 (S_1) และเพิ่มขึ้นตามลำดับ จนถึงขา 16 ซึ่งต่อกับสวิตช์ตัวสุดท้าย (S_{16}) ขณะที่สวิตช์ OPEN ขาอินพุตชุดที่สองของไอซีจะถูกต่อกับแรงดันไฟบวก โดยผ่านตัวต้านทานค่า 6.8 กิโลโอห์ม ดังนั้น ขณะนี้จะมีระดับลอจิกเป็น 1 และในขณะเดียวกัน LED ที่ต่อไว้ก็จะสว่างเพื่อแสดงให้ทราบว่าสวิตช์ถูกเลือกให้ทำงานในลักษณะที่เป็นลอจิก 1

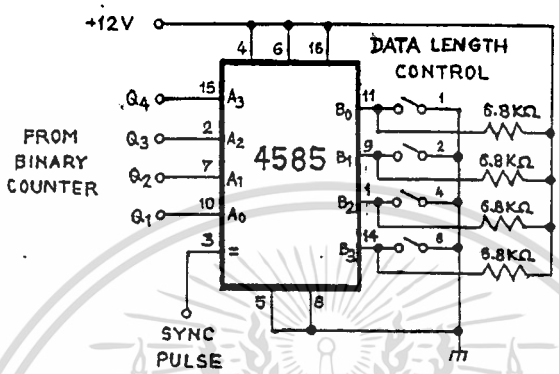
และในทางกลับกันเมื่อสวิตช์ถูกเปลี่ยนไปที่ตำแหน่ง CLOSED จะเห็นว่า แรงดันไฟบวกจะถูกต่อลงกราวนด์ โดยมีตัวต้านทานค่า 2.2 และ 6.8 กิโลโอห์ม ต่อเป็นโหลดเพื่อมิให้เกิดการลัดวงจรของส่วนแหล่งจ่ายไฟ ดังนั้น ขณะนี้ที่ขาอินพุตชุดที่สองของไอซีก็จะมีระดับลอจิกเป็น 0 และขณะเดียวกัน LED ก็จะดับเพื่อบอกให้ทราบว่าสวิตช์ถูกเลือกให้ทำงานในลักษณะที่เป็นลอจิก 0 หลังจากนั้นสัญญาณเอาต์พุตที่ได้ก็จะถูกส่งต่อไปเพื่อเลือกรูปแบบการนำสัญญาณไปใช้งานในส่วนของ OUTPUT LOGIC AND POLARITY SELECTOR

3.3.1.4 DATA LENGTH SELECTOR

การทำงานของส่วน DATA LENGTH SELECTOR นั้น จะรับสัญญาณอินพุตที่ได้มาจากสัญญาเอาต์พุตของส่วน BINARY COUNTER โดยในส่วนของวงจรจะใช้ไอซีเบอร์ 4585 ซึ่งมีหน้าที่เป็น 4-BIT MAGNITUDE COMPARATOR สำหรับใช้ในการเปรียบเทียบสัญญาณที่ได้จากส่วนของ BINARY COUNTER กับชุด DATA LENGTH CONTROL ซึ่งประกอบไปด้วยสวิตช์ 4 ตัว เพื่อใช้ในการตั้งความยาวของข้อมูล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยวงจรจะแสดงในรูป 3.11



รูป 3.11 วงจรส่วน DATA LENGTH SELECTOR

จากวงจรจะมีการนำข้อมูล 2 ชุด มาเปรียบเทียบกัน โดยชุด A จะเป็นอินพุตที่ได้รับสัญญาณจากส่วน BINARY COUNTER และชุด B จะต่อกับสวิตช์ที่ใช้ในการตั้งความยาวของข้อมูล ขณะที่สวิตช์ของชุด DATA LENGTH CONTROL อยู่ในตำแหน่ง OPEN ข้อมูลของอินพุตที่ชุด B ได้รับจะมีระดับลอจิกเป็น 1 เนื่องจากมีแรงดันไฟบวกปรากฏที่ขาของไอซี โดยผ่านตัวต้านทานค่า 6.8 กิโลโอห์ม และในขณะที่สวิตช์ถูกเปลี่ยนไปอยู่ในตำแหน่ง CLOSED จะเห็นว่า ขาอินพุตของชุด B จะถูกต่อลงกราวนด์ โดยมีตัวต้านทานชุดเดิมเป็นโหลดให้แหล่งจ่ายไฟ ดังนั้น ข้อมูลที่ได้จึงมีระดับลอจิกเป็น 0

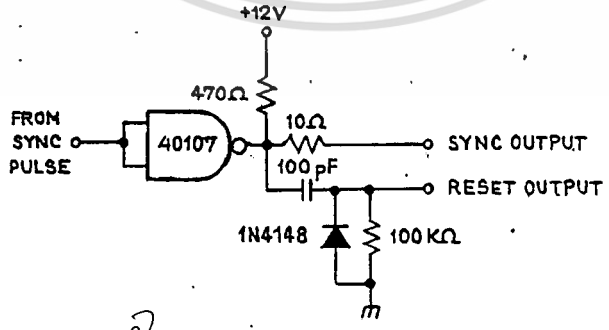
การตั้งความยาวของข้อมูลโดยสวิตช์ทั้ง 4 ตัวนี้ จะตั้งความยาวในลักษณะของรหัสเลขฐานสอง โดยนำค่าของสวิตช์แต่ละตัวมารวมกัน เช่น เมื่อสวิตช์ทั้ง 4 ตัว ถูกตั้งให้เป็น 1 ทั้งหมดก็จะได้ความยาวของข้อมูลเท่ากับ 16 บิต ซึ่งเป็นความยาวสูงสุดของข้อมูลที่เครื่องทำงานได้ ดังนั้น เมื่อสัญญาณจาก BINARY

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

COUNTER มีการนับเพิ่มขึ้นจนถึง 1111 ซึ่งตรงกับการตั้งของสวิตช์ทั้ง 4 ตัว ก็จะทำให้มีสัญญาณที่เป็นระดับลอจิก 1 ถูกส่งออกเอาต์พุตที่ขา 3 โดยสัญญาณที่ได้นี้จะเรียกว่าสัญญาณซิงค์พัลส์ (sync pulse signal) และจากการทำงานดังกล่าวไม่ว่าสวิตช์จะถูกตั้งไว้ที่ค่าใดก็ตาม ถ้าสัญญาณจาก BINARY COUNTER มีการนับที่ตรงกันเมื่อไรไอซีก็จะทำงานโดยส่งสัญญาณเป็นลอจิก 1 ออกเอาต์พุตเมื่อนั้น ซึ่งจะเห็นว่าสัญญาณซิงค์พัลส์ที่ได้จะขึ้นอยู่กับการตั้งค่าของชุด DATA LENGTH CONTROL และสัญญาณซิงค์พัลส์ที่ได้นี้จะถูกนำไปสร้างเป็นสัญญาณซิงค์เอาต์พุต (sync output signal) และสัญญาณรีเซต (reset signal) ในส่วนของ SYNCHRONISING AMPLIFIER ต่อไป

3.3.1.5 SYNCHRONISING AMPLIFIER

การทำงานในส่วนนี้จะมีการทำงานที่ต่อเนื่องจากส่วนของ DATA LENGTH SELECTOR โดยจะรับสัญญาณซิงค์พัลส์เข้ามาเพื่อเปลี่ยนให้เป็นสัญญาณซิงค์เอาต์พุต และสัญญาณรีเซต สำหรับทำการรีเซตการทำงานของวงจรส่วนต่าง ๆ เมื่อข้อมูลแต่ละชุดสิ้นสุดลง และเพื่อให้เริ่มต้นการทำงานของข้อมูลชุดใหม่ โดยรายละเอียดของวงจรจะแสดงในรูป 3.12



รูป 3.12 วงจรส่วน SYNCHRONISING AMPLIFIER

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

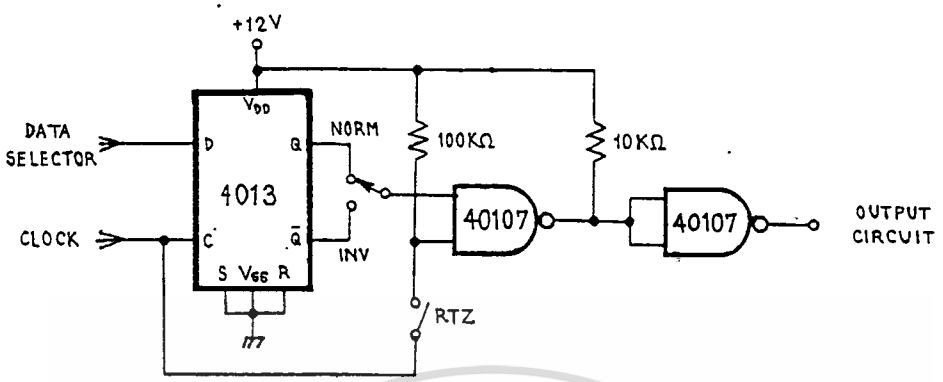
การสร้างสัญญาณซิงค์เอาต์พุต จากวงจรจะใช้ BUFFER GATE ชนิด NAND ต่อในลักษณะเป็น INVERTER ดังนั้น สัญญาณซิงค์เอาต์พุตที่ได้จึงมีลักษณะตรงข้ามกับสัญญาณซิงค์พัลส์ สำหรับ BUFFER NAND GATE จะใช้ไอซีเบอร์ 40107 ซึ่งมีการทำงานเป็น DUAL 2-INPUT NAND BUFFER DRIVER และเนื่องจากเกตชุดนี้มีลักษณะเป็น OPEN-DRAIN SINGLE N-CHANNEL TRANSISTOR OUTPUTS ดังนั้นจากวงจรจะเห็นว่า ต้องมีการต่อตัวต้านทานพูลอัพ (pull up resistor) ค่า 470 โอห์ม ไว้ที่เอาต์พุตโดยต่อกับแหล่งจ่ายแรงดันไฟบวก เพื่อให้มีการจ่ายกระแสออกเอาต์พุตโดยผ่านตัวต้านทานค่า 10 โอห์ม และสัญญาณที่ได้จะเป็นสัญญาณของซิงค์เอาต์พุต

สำหรับสัญญาณรีเซตจะสร้างได้โดยนำสัญญาณซิงค์เอาต์พุตที่ได้ส่งต่อไปยังวงจร DIFFERENTIATOR ซึ่งประกอบไปด้วยตัวเก็บประจุค่า 100 pF และตัวต้านทานค่า 100 กิโลโอห์ม โดยสัญญาณรีเซตที่ได้จะมีระดับลอจิกเป็น 1 ในขณะที่สัญญาณซิงค์เอาต์พุตมีการเปลี่ยนแปลงจากระดับลอจิก 0 ไปเป็นระดับลอจิก 1 และหลังจากนั้นสัญญาณรีเซตก็จะตกลงสู่ระดับลอจิก 0 อย่างรวดเร็ว เนื่องจากค่า TIME CONSTANT ของวงจรมีค่าต่ำมาก ส่วนในช่วงขณะที่สัญญาณซิงค์เอาต์พุตมีการเปลี่ยนแปลงจากระดับลอจิก 1 ไปเป็นระดับลอจิก 0 จะทำให้สัญญาณรีเซตมีพัลส์ลบ (negative pulse) เกิดขึ้น ซึ่งจะส่งผลให้ไดโอด (diode) ที่ต่อในวงจรได้รับการไบอัสตรง (forward bias) ดังนั้น จึงเสมือนเป็นการลัดวงจรลงกราวนด์ จึงทำให้สัญญาณรีเซตมีค่าเป็น 0 ในขณะที่เกิดพัลส์ลบขึ้น ซึ่งจะไม่ส่งผลให้เกิดอันตรายกับวงจร สำหรับรูปลักษณะของสัญญาณซิงค์เอาต์พุต และสัญญาณรีเซตนั้นจะดูได้จากรูปที่ 3.2 ซึ่งอยู่ในหัวข้อที่ผ่านมา

3.3.1.6 OUTPUT LOGIC AND POLARITY SELECTOR

ในส่วนของ OUTPUT LOGIC AND POLARITY SELECTOR นี้จะทำหน้าที่ในการสร้างสัญญาณให้มีลักษณะเป็นแบบปกติ (normal) หรือแบบกลับสัญญาณเป็นตรงข้าม (invert) และนอกจากนี้ยังใช้สร้างสัญญาณให้เป็นลักษณะของ Retern To Zero (RTZ) ด้วย โดยวงจรจะแสดงในรูป 3.13

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



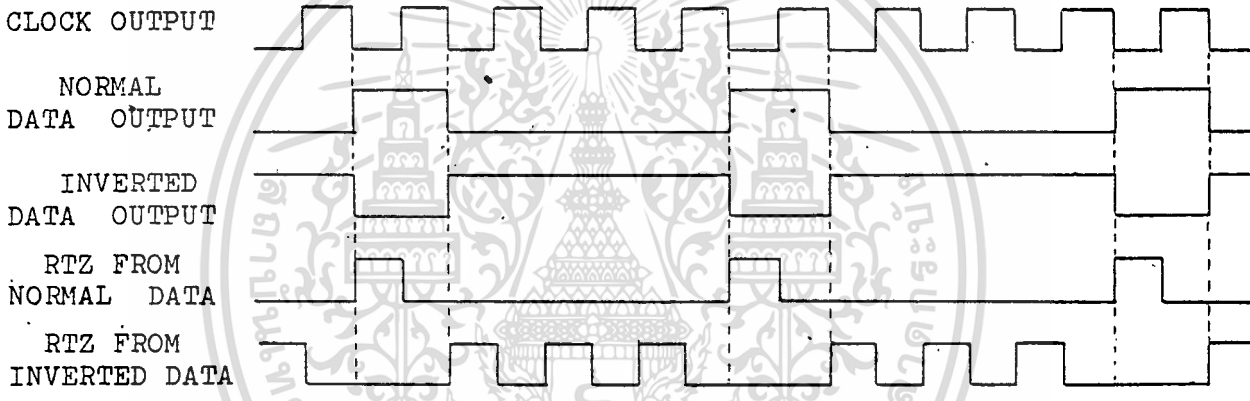
รูป 3.13 วงจรส่วน OUTPUT LOGIC AND POLARITY SELECTOR

จากวงจรจะใช้ไอซีเบอร์ 4013 ซึ่งเป็น DUAL D-TYPE FLIP-FLOP โดยฟลิบฟลอบชุดแรกจะนำไปใช้ในส่วนของ TRIGGER STORE ที่จะกล่าวถึงต่อไป และฟลิบฟลอบชุดที่เหลือจะถูกนำมาใช้ในส่วนนี้ สำหรับในวงจรที่แสดงจะเห็นว่า สัญญาณเอาต์พุตที่ได้จากส่วนของ DATA SELECTOR จะถูกป้อนเข้าที่ขา DATA ของฟลิบฟลอบ และที่ขา CLOCK ของฟลิบฟลอบก็จะรับสัญญาณนาฬิกาที่ผ่านการเลือกจากสวิตช์ CLOCK SELECT ดังนั้น เอาต์พุตที่ได้จากขา Q ของฟลิบฟลอบจึงเป็นสัญญาณแบบปกติ และสัญญาณที่เป็นตรงข้ามก็จะได้จากขา $\bar{Q}$ ของฟลิบฟลอบ และสำหรับการเลือกสัญญาณไปใช้งานก็จะเลือกได้จากสวิตช์ POLARITY SELECTOR

สำหรับไอซีเบอร์ 40107 ซึ่งเป็น NAND BUFFER DRIVER จากวงจรจะเห็นว่า ไอซีทั้งสองชุดต่อร่วมกันโดยมีลักษณะการทำงานเป็นแบบลอจิก AND ดังนั้น ในขณะที่สวิตช์ RTZ อยู่ในตำแหน่ง OPEN จะเห็นว่าที่ขา 2 ของไอซี 40107 จะต่อกับแรงดันไฟบวกโดยผ่านตัวต้านทานค่า 100 กิโลโอห์ม ซึ่งมีค่ามาก ดังนั้น กระแสที่ปรากฏที่ขา 2 ของไอซีจึงมีค่าต่ำ แต่ก็ยังเป็นค่าที่ไอซียอมรับให้มีสภาวะเป็นลอจิก 1 ได้ ดังนั้น สัญญาณที่ถูกส่งออกเอาต์พุตจึงเป็นไปตามสัญญาณที่ถูกเลือกจากสวิตช์ POLARITY SELECTOR และขณะที่สวิตช์ RTZ อยู่ในตำแหน่ง CLOSED จะเห็นว่า ขา 2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ของไอซี 40107 จะถูกต่อกับขา 11 ของไอซี 4013 ดังนั้น สัญญาณนาฬิกาจึงไปปรากฏที่ขา 2 ของไอซี 40107 โดยจะทำให้ขา 2 ของไอซี 40107 นี้ มีระดับลอจิกเป็นไปตามสัญญาณนาฬิกาที่ได้รับ ด้วยเหตุนี้จึงทำให้สัญญาณเอาต์พุตของไอซี 4013 ถูก AND กันทางลอจิกกับสัญญาณนาฬิกาที่ได้รับ จึงเป็นเหตุให้สัญญาณเอาต์พุตที่ได้มีลักษณะเป็นสัญญาณแบบ Retern To Zero ซึ่งลักษณะรูปคลื่นของสัญญาณจะแสดงดังรูป 3.14



รูป 3.14 แสดงลักษณะของสัญญาแบบ RTZ

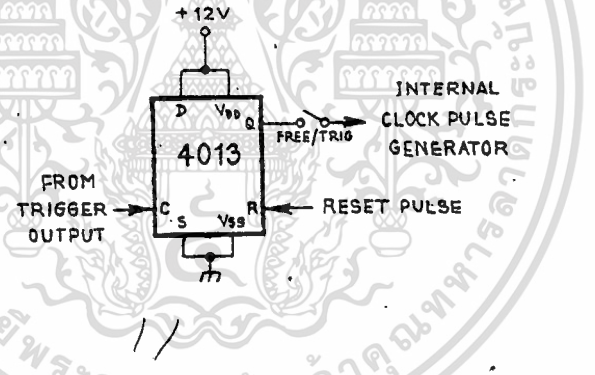
จากรูปคลื่นจะเห็นว่า สัญญาณ Retern To Zero ที่ได้จะมีการเปลี่ยนแปลงจากระดับลอจิก 1 ไปเป็นระดับลอจิก 0 ในระยะเวลาครึ่งคาบ (period) ของสัญญาณนาฬิกา แต่จะไม่มีผลกับสัญญาณของข้อมูลในขณะที่มีระดับลอจิกเป็น 0 และจะเห็นว่า สัญญาณที่ได้ในลักษณะของข้อมูลแบบปกติกับแบบตรงกันข้ามนั้น รูปสัญญาณจะมีลักษณะที่แตกต่างกัน หลังจากนั้นสัญญาณเอาต์พุตที่ได้ก็จะถูกส่งไปยังส่วนของ OUTPUT CIRCUIT ต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำหรับสัญญาณแบบ RTZ นี้ จะถูกนำไปใช้กันมากในงานที่เกี่ยวข้องทางด้านการติดต่อสื่อสารข้อมูล (Data Communication) เพื่อแก้ปัญหาการผิดพลาดในการตรวจสอบข้อมูล เมื่อมีการติดต่อสื่อสารกันโดยมีข้อมูลที่คงที่เป็นระยะเวลายาวนาน

3.3.1.7 TRIGGER STORE

ในส่วนของ TRIGGER STORE นั้น จะมีการทำงานโดยรับสัญญาณทริกเกอร์ ซึ่งผ่านการทำงานในชุดของ INPUT CIRCUIT เข้ามาเพื่อกำหนดช่วงระยะเวลาเริ่มต้นในการทำงานให้กับเครื่อง โดยวงจรจะแสดงในรูป 3.15



รูปที่ 3.15 วงจรส่วน TRIGGER STORE

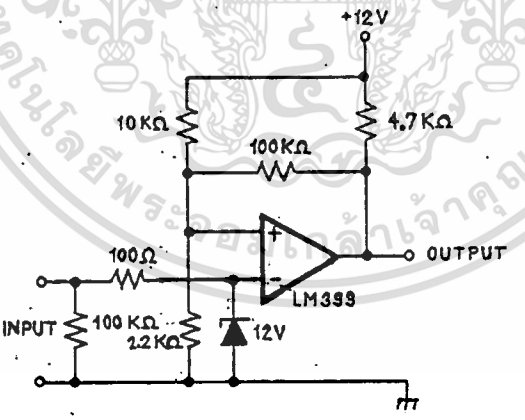
จากวงจรจะใช้ไอซีเบอร์ 4013 ซึ่งเป็น DUAL D-TYPE FLIP-FLOP โดยมีการนำเอาฟลิบฟลอบชุดแรกมาใช้งาน สำหรับฟลิบฟลอบชุดที่สองจะถูกนำไปใช้ในส่วนของ OUTPUT LOGIC AND POLARITY SELECTOR ซึ่งได้กล่าวไปแล้วข้างต้น จากวงจรจะเห็นว่าสัญญาณทริกเกอร์ที่ผ่านการขยายแล้วจะถูกป้อนเข้าอินพุตที่ขา CLOCK ของไอซี และขา DATA ของไอซีจะถูกต่อกับแรงดันไฟบวก ดังนั้น สัญญาณเอาต์พุตที่ขา Q จึงมีระดับลอจิกเป็น 1 เสมอเมื่อได้รับสัญญาณทริกเกอร์เข้ามาในแต่ละครั้ง และ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ระดับสัญญาณจะคงที่ไปจนกระทั่งได้รับสัญญาณรีเซตป้อนเข้าที่ขา 6 ของไอซี ดังนั้น เมื่อสวิตช์ในวงจรถูกเลือกให้ทำงานในลักษณะทริกเกอร์ ซึ่งก็คือสวิตช์อยู่ในตำแหน่ง CLOSED จะเห็นว่าสัญญาณเอาต์พุตที่ขา 1 ของไอซีจะถูกนำไปควบคุมการทำงานของส่วนผลิตความถี่ในวงจรชุด INTERNAL CLOCK PULSE GENERATOR โดยในขณะที่มีสัญญาณทริกเกอร์เข้ามาก็จะทำให้วงจรผลิตความถี่ทำงานไปจนกระทั่งได้รับสัญญาณรีเซตจึงหยุดทำงาน ดังนั้น จะเห็นว่าการกำเนิดสัญญาณข้อมูลสามารถควบคุมได้โดยสัญญาณทริกเกอร์จากภายนอก สำหรับลักษณะรูปคลื่นนั้นสามารถดูได้จากรูปที่ 3.3 ในหัวข้อที่ผ่านมา

3.3.1.8 INPUT CIRCUITS

ในส่วนของ INPUT CIRCUITS นี้ จะใช้สำหรับกำหนดระดับแรงดันของสัญญาณที่ป้อนเข้าทาง TRIGGER INPUT และ EXTERNAL CLOCK INPUT โดยอินพุตทั้งสองจะใช้วงจรที่มีการทำงานเหมือนกันดังรูป 3.16



12

รูป 3.16 วงจรทางด้านอินพุต

จากวงจรจะใช้ไอซีเบอร์ LM 393 ซึ่งมีหน้าที่เป็น LOW POWER DUAL VOLTAGE COMPARATOR โดยภายในไอซีจะมีชุด COMPARATOR 2 ชุด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดังนั้น ชุดแรกจะถูกนำไปใช้ในการทำงานของส่วน TRIGGER และอีกชุดหนึ่งจะถูกนำไปใช้กับส่วน EXTERNAL CLOCK ซึ่งวงจรที่ใช้ในการทำงานจะมีลักษณะเหมือนกัน ในวงจรจะเห็นว่าไอซีถูกต่อให้มีลักษณะการทำงานเป็นแบบเปรียบเทียบแรงดันระหว่างสัญญาณอินพุตและแรงดันอ้างอิง (reference voltage) โดยแรงดันอ้างอิงจะได้มาจากการต่ออนุกรมกันของตัวต้านทานค่า 10 กิโลโอห์ม และค่า 2.2 กิโลโอห์ม ซึ่งจะเห็นว่า ตัวต้านทานค่า 10 กิโลโอห์มนั้น ขาอีกข้างหนึ่งจะถูกต่อกับแรงดันไฟบวก 12 โวลต์ ดังนั้น จึงทำให้แรงดันที่ตกคร่อมตัวต้านทานค่า 2.2 กิโลโอห์ม มีค่าประมาณ 2โวลต์ ซึ่งแรงดัน 2 โวลต์นี้จะถูกนำมาใช้เป็นแรงดันอ้างอิงที่ขา NON-INVERTING ของไอซี และเนื่องจากไอซีมีวงจรภายในของส่วนเอาต์พุตเป็นแบบ OPEN TRANSISTOR COLLECTOR ดังนั้น การนำไปใช้งานจึงต้องต่อตัวต้านทานค่า 4.7 กิโลโอห์ม เข้าไปในระหว่างเอาต์พุตของไอซี และแรงดันไฟบวก

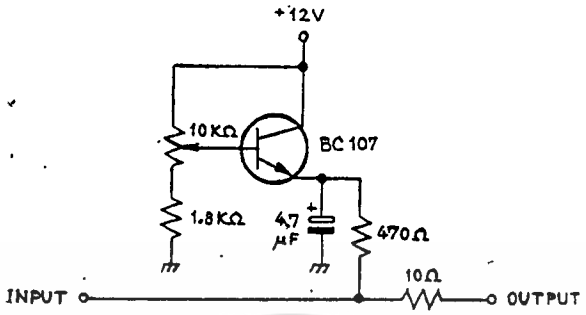
เมื่อสัญญาณอินพุตที่ถูกป้อนเข้าที่ขา INVERTING ของไอซีมีค่าต่ำกว่าแรงดันอ้างอิงก็จะทำให้เอาต์พุตของไอซีมีระดับลอจิกเป็น 1 และเมื่อสัญญาณอินพุตมีค่าแรงดันสูงกว่าแรงดันอ้างอิงก็จะทำให้เอาต์พุตของไอซีเปลี่ยนระดับไปเป็นลอจิก 0 ซึ่งก็เปรียบเสมือนว่าไอซีมีการทำงานในลักษณะที่ให้สัญญาณเอาต์พุตตรงข้ามกับสัญญาณอินพุตนั่นเอง ส่วนซีเนอร์ไดโอด (zener diode) ที่ต่อในวงจรจะใช้ป้องกันอันตรายให้กับไอซี

เมื่อมีสัญญาณอินพุตที่มีแรงดันมากกว่า +12 โวลต์ หรือมากกว่า –0.7 โวลต์ ซึ่งถูกป้อนเข้าทางอินพุต สำหรับรูปคลื่นที่แสดงลักษณะของสัญญาณจะสามารถดูได้จากรูปที่ 3.3 ในหัวข้อที่ผ่านมา ซึ่งจะเห็นว่าสัญญาณอินพุตที่ป้อนให้วงจรก็คือ สัญญาณ TRIGGER INPUT PULSE และสัญญาณเอาต์พุตที่ได้จากวงจรก็คือ สัญญาณ TRIGGER STORE INPUT สำหรับรูปคลื่นในส่วนของ EXTERNAL CLOCK ก็จะมีลักษณะเดียวกัน

3.3.1.9 OUTPUT CIRCUITS

การทำงานของชุด OUTPUT CIRCUITS จะทำหน้าที่ในการควบคุมระดับแรงดันของสัญญาณนาฬิกา และสัญญาณของข้อมูลที่ผลิตได้สำหรับการนำไปใช้งาน โดยสามารถเลือกปรับระดับแรงดันได้ ซึ่งวงจรจะแสดงในรูป 3.17

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



13

รูป 3.17 วงจรทางด้านเอาต์พุต

วงจรที่แสดงในรูป 3.17 จะถูกนำไปใช้กับสัญญาณนาฬิกา และสัญญาณของข้อมูลที่ถูกส่งออกเอาต์พุต เพื่อให้สามารถปรับค่าระดับแรงดันได้ในการนำไปใช้งาน ดังนั้น ในส่วนของสัญญาณนาฬิกาซึ่งได้รับสัญญาณมาจากเอาต์พุตของส่วน INTERNAL CLOCK PULSE GENERATOR จึงต้องต่อผ่านชุดบัฟเฟอร์โดยใช้ไอซีเบอร์ 40107 ที่เป็น NAND BUFFER DRIVER ซึ่งเหลืออีก 1 ชุด จากการใช้งานในส่วนของ SYNCHRONISING AMPLIFIER โดยนำมาต่อในลักษณะ INVERTER แล้วจึงนำเอาต์พุตของไอซีป้อนเข้าที่อินพุตของวงจร OUTPUT CIRCUIT สำหรับสัญญาณข้อมูลที่ได้จากส่วน OUTPUT LOGIC AND POLARITY SELECTOR นั้นจะผ่านชุดบัฟเฟอร์มาแล้ว ดังนั้นจึงสามารถต่อเข้ากับอินพุตของวงจร OUTPUT CIRCUIT ได้โดยตรง

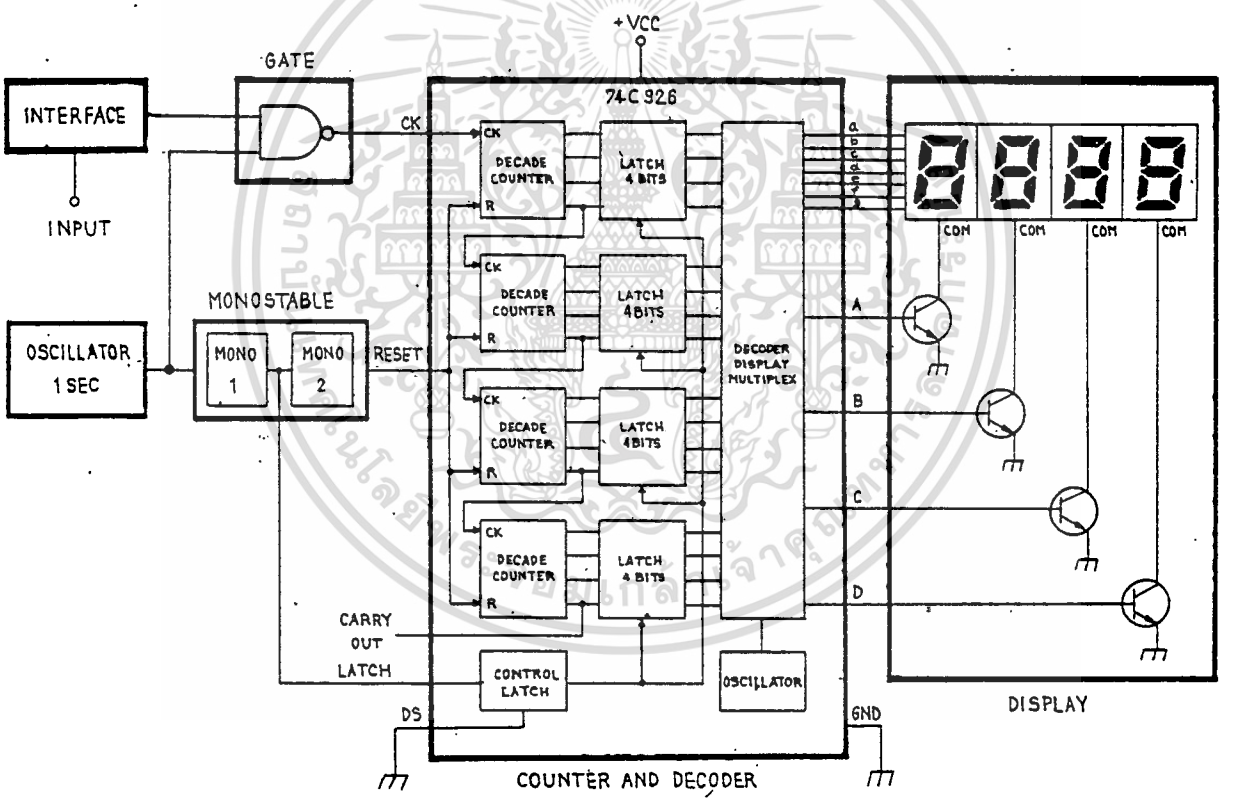
จากวงจรจะใช้ทรานซิสเตอร์ (transistor) ต่อในลักษณะ EMITTER FOLLOWER ซึ่งจะทำหน้าที่เป็นแหล่งจ่ายแรงดันคงที่ (constant voltage source) และการปรับค่าแรงดันจะสามารถปรับได้จากตัวต้านทานชนิดปรับค่าได้ ซึ่งมีค่า 10 กิโลโอห์ม โดยแรงดันที่ได้จากต่ำสุดจนถึงสูงสุดจะมีค่าประมาณ 2 โวลต์ จนถึง 12 โวลต์ สำหรับตัวต้านทานค่า 10 โอห์ม ที่ต่ออนุกรมกับเอาต์พุตนั้นจะทำให้ชุดบัฟเฟอร์สามารถรับกระแสได้สูงสุด 50 มิลลิแอมป์ และตัวต้านทานค่า 470 โอห์มนั้น จะทำหน้าที่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เป็นตัวต้านทานพูลอัพดังที่ได้กล่าวไปแล้ว

3.3.2 การทำงานในส่วน DATA DISPLAY

หลักการทำงานของส่วน DATA DISPLAY นี้จะมีหลักการเช่นเดียวกับเครื่องวัดความถี่ทั่วไป จากบล็อกไดอะแกรมในรูป 3.1 ที่แสดงในส่วนของ DATA DISPLAY นั้น สามารถแยกแยะรายละเอียดเพิ่มเติมได้ดังรูป 3.18



14

รูป 3.18 แผนผังการทำงานของส่วน DATA DISPLAY

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากแผนผังการทำงานที่แสดงในรูป 3.18 เมื่อเทียบกับบล็อกไดอะแกรมในส่วนของ DATA DISPLAY จะเห็นว่าส่วนของ GATE นั้น จะใช้ลอจิกเกตชนิด NAND เพียงตัวเดียว ในการทำงานและในส่วนของ COUNTER AND DECODER จะใช้ไอซีเบอร์ 74C926 ซึ่งเป็นไอซีสำเร็จรูปโดยภายในจะประกอบไปด้วยวงจรนับสิบ 4 หลัก, วงจรแลตช์ 4 หลัก สำหรับส่งให้ชุดถอดรหัสซึ่งเป็นแบบมัลติเพล็กซ์ และในส่วนของการแสดงผลจะประกอบไปด้วยทรานซิสเตอร์ 4 ตัว เพื่อทำหน้าที่ขับการทำงานให้แก่ตัวเลขแสดงผลแต่ละชุด

สำหรับวงจรที่ใช้งานจะขอแบ่งการอธิบายเป็น 3 ส่วน คือ

3.3.2.1 OSCILLATOR

3.3.2.2 INTERFACE, GATE

3.3.2.3 MONOSTABLE, COUNTER AND DECODER, DISPLAY

จากหัวข้อทั้ง 3 จะเห็นว่าในหัวข้อที่ 3.3.2.2 และ 3.3.2.3 นั้น จะกล่าวถึงรายละเอียดของวงจรรวมกัน ทั้งนี้เพื่อให้ข้อมูลที่ได้เป็นไปอย่างต่อเนื่อง ซึ่งรายละเอียดตามหัวข้อที่กล่าวจะมีดังต่อไปนี้

3.3.2.1 <u>OSCILLATOR</u>

จากแผนผังการทำงานของส่วน DATA DISPLAY ที่แสดงในรูป 3.18 จะเห็นว่า ชุดของออสซิลเลเตอร์จะต้องผลิตความถี่ให้มีค่าฐานเวลาเท่ากับ 1 วินาที ซึ่งมีแนวทางสำหรับการออกแบบวงจรดังนี้

เมื่อชุดผลิตความถี่มีการกำเนิดสัญญาณโดยใช้คริสตอล (crystal) ซึ่งมีขนาด 2 MHz และช่วงเวลาครึ่งคาบที่ใช้ในการเปิดเกตมีค่าเท่ากับ 1 วินาที ดังนั้นสัญญาณการเปิดเกตใน 1 คาบ จึงมีระยะเวลาเท่ากับ 2 วินาที ซึ่งถ้าเปลี่ยนเป็นความถี่จะหาได้จากสูตร

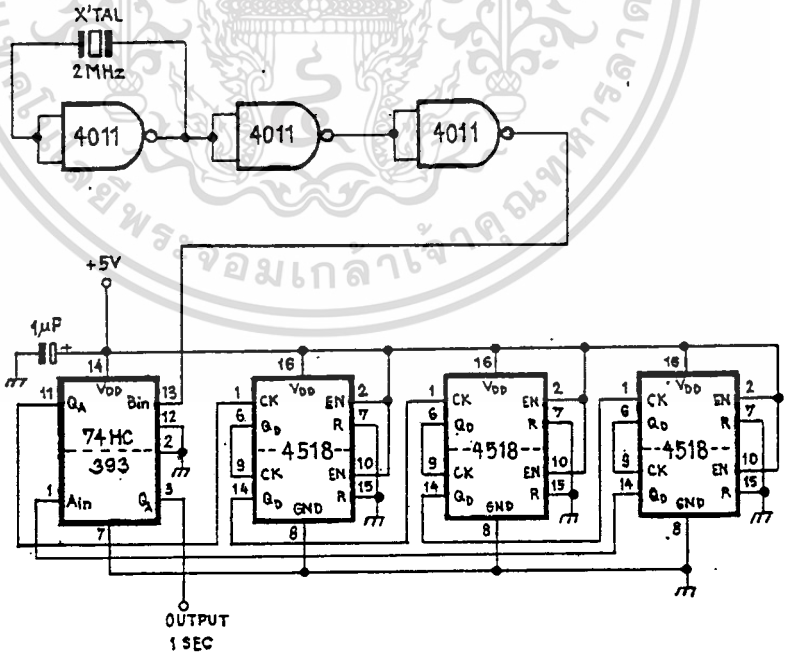
$$f = 1/T$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อแทนค่าเวลาเท่ากับ 2 วินาที จะได้ความถี่ในการเปิดเกตเป็น

$$f = 0.5 \text{ Hz}$$

ดังนั้น จากความถี่ที่ผลิตได้ 2 MHz เพื่อทำให้ได้ความถี่เป็น 0.5 Hz จึงต้องทำการหารด้วย 4,000,000 ซึ่งค่านี้สามารถสร้างได้โดยใช้วงจรหารด้วย 100 จำนวน 3 ชุด และวงจรหารด้วย 2 อีก 2 ชุด แต่เนื่องจากไอซีที่ใช้ในวงจรหารด้วย 100 ซึ่งเป็นไอซีเบอร์ 4518 จะทำให้ได้สัญญาณเอาต์พุตที่ไม่สมมาตรดังที่เคยกล่าวไว้ข้างต้น ดังนั้น เพื่อขจัดปัญหาดังกล่าวจึงนำสัญญาณ 2 MHz ที่ได้มาทำการหารด้วย 2 ก่อน แล้วจึงทำการหารด้วย 100 เมื่อครบทั้งสามชุดตามลำดับแล้ว จึงนำสัญญาณที่ได้ไปทำการหารด้วย 2 อีกครั้งหนึ่งก็จะทำให้ได้สัญญาณที่มีความถี่เท่ากับ 0.5 Hz ตามต้องการ สำหรับวงจรที่ใช้งานในส่วนออสซิลเลเตอร์นี้จะแสดงดังรูป 3.19



15

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

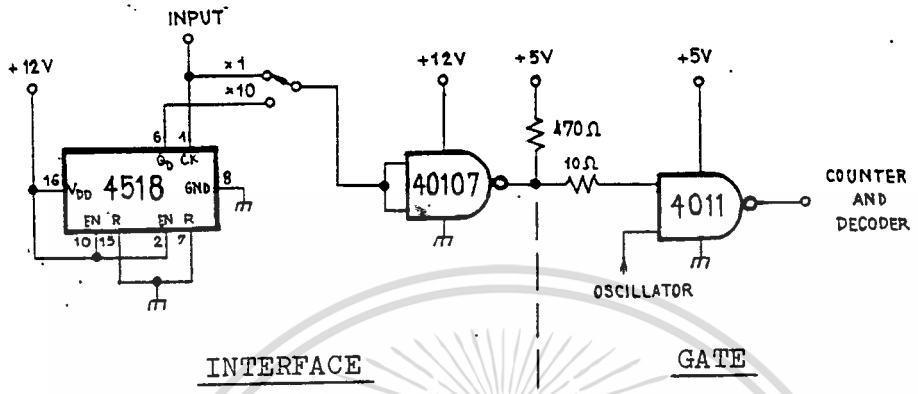
รูป 3.19 วงจรสวนผลิตความถี่ฐานเวลา

จากวงจรจะเห็นว่าการกำเนิดความถี่จะใช้คริสตอลค่า 2 MHz ต่อร่วมกับลอจิกเกตชนิด NAND ที่เป็น 1 ใน 4 ชุด โดยรวมอยู่ในไอซีเบอร์ 4011 ซึ่งเป็น QUAD 2 INPUT NAND GATE และสัญญาณเอาต์พุตที่ได้จะผ่านลอจิกเกตอีก 2 ชุด ซึ่งต่อเป็นบัฟเฟอร์ สำหรับไอซีเบอร์ 74HC393 จะถูกต่อวงจรให้มีการทำงานในลักษณะหาร 2 ซึ่งมี 2 ชุดด้วยกัน โดยสัญญาณเอาต์พุตของบัฟเฟอร์จะถูกป้อนเข้าวงจรหาร 2 ของชุดแรกที่ขา 13 ของไอซี และสัญญาณเอาต์พุตที่ได้รับจากขา 11 ของไอซี ขณะนี้จะมีความถี่เป็น 1 MHz หลังจากนั้นสัญญาณจะถูกป้อนเข้าไอซี 4518 อีก 3 ตัว ซึ่งมีการหารด้วย 10 อีก 6 ครั้ง เพราะว่าภายในไอซีจะประกอบไปด้วยวงจรหาร 10 จำนวน 2 ชุด และจากการต่อวงจรหารแต่ละชุดอนุกรมกัน จึงทำให้สัญญาณเอาต์พุตที่ขา 14 ของไอซีตัวสุดท้าย ขณะนี้มีความถี่เป็น 1 Hz ดังนั้น เพื่อทำให้ได้ความถี่เป็น 0.5 Hz จึงต้องป้อนสัญญาณกลับไปยังอินพุตชุดที่สองของไอซี 74HC393 อีกครั้ง เพื่อทำการหาร 2 ดังนั้นสัญญาณเอาต์พุตที่ได้จากขา 3 ของไอซีจึงมีช่วงระยะเวลาการเปิดเกตเท่ากับ 1 วินาที และสัญญาณนี้จะถูกส่งไปเป็นสัญญาณฐานเวลาให้กับส่วนของ GATE ต่อไป

3.3.2.2 <u>INTERFACE, GATE</u>

ในส่วนของ INTERFACE และส่วนของ GATE นี้จะมีการทำงานที่ต่อเนื่องกัน โดยส่วนของ INTERFACE จะทำหน้าที่ในการรับสัญญาณนาฬิกาที่ได้จากส่วน DATA GENERATOR เข้ามาทำการปรับระดับสัญญาณให้เหมาะสมเพื่อส่งต่อไปให้กับอินพุตของ GATE ซึ่งอยู่ในส่วนของ DATA DISPLAY โดยวงจรจะแสดงในรูป 3.20

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



16

รูป 3.20 วงจรส่วนอินเตอร์เฟซและเกต

จากวงจรจะเห็นว่า สัญญาณอินพุตซึ่งเป็นสัญญาณนาฬิกาที่ได้จากส่วนของ DATA GENERATOR จะถูกป้อนเข้าที่ขา CLOCK ของไอซีเบอร์ 4518 และจากการต่อวงจรของไอซี 4518 ในลักษณะให้ทำงานเป็นวงจรหาร 10 ดังนั้น สัญญาณเอาต์พุตที่ขา 6 ของไอซีจึงถูกหารลงไป 10 เท่า และสัญญาณที่ได้จากขา 1 และขา 6 ของไอซี 4518 นี้จะถูกเลือกเพื่อนำไปแสดงผลตามความเหมาะสมของสัญญาณ เช่น ถ้าสัญญาณนาฬิกาที่ถูกส่งมามีความถี่ไม่สูงมาก ซึ่งก็คือสวิตช์ DATA RATE RANGE ถูกเลือกที่ตำแหน่ง LOW หรือ MIDDLE สวิตช์ชุดนี้ก็จะต่อรับสัญญาณจากอินพุตโดยตรง แต่ถ้าสัญญาณนาฬิกาถูกเลือกที่ตำแหน่ง HIGH สวิตช์ชุดนี้ ก็จะต่อรับสัญญาณที่ถูกหารลงด้วย 10 เพื่อให้การแสดงผลเป็นไปอย่างถูกต้อง ดังนั้น การต่อสวิตช์เลือกสัญญาณชุดนี้ในการทำงานจริงจะใช้เป็นสวิตช์ตัวเดียวกันกับสวิตช์ DATA RATE RANGE

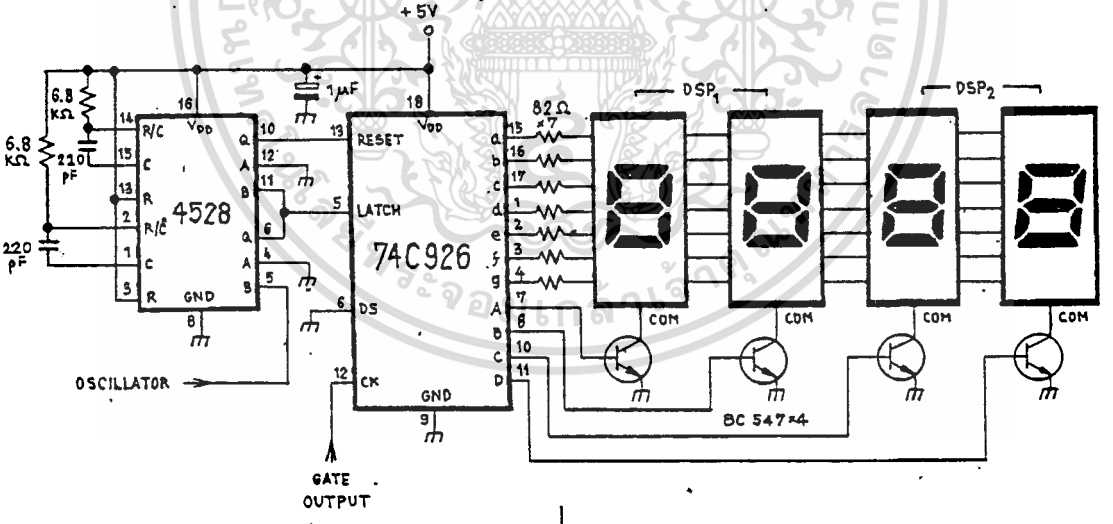
สำหรับสัญญาณที่ผ่านการเลือกแล้วจะถูกป้อนเข้าสู่ไอซี 40107 ซึ่งทำหน้าที่เป็นบัฟเฟอร์และจะทำการเปลี่ยนระดับแรงดันจาก 12 โวลต์ ที่ใช้กับชุด DATA GENERATOR ให้เป็น 5 โวลต์ เพื่อใช้งานร่วมกับชุด DATA DISPLAY ดังนั้น จะเห็น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ว่า ที่เอาต์พุตของไอซี 40107 จะมีตัวต้านทานพูลอัพโดยต่อกับแหล่งจ่ายไฟ 5 โวลต์ ซึ่งมีผลทำให้สัญญาณที่อินพุตของ GATE มีระดับแรงดันเท่ากับสัญญาณที่ได้จากชุดออสซิลเลเตอร์ ดังนั้น จึงทำให้วงจรทำงานร่วมกันได้ สำหรับสัญญาณเอาต์พุตของ GATE ก็จะเป็นสัญญาณนาฬิกาจากชุด DATA GENERATOR โดยมีสัญญาณเป็นช่วง ๆ ตามระยะเวลาในการเปิดเกต และสัญญาณนี้จะถูกส่งไปยังส่วนของ COUNTER AND DECODER ต่อไป

3.3.2.3 MONOSTABLE, COUNTER AND DECODER, DISPLAY

ในหัวข้อนี้จะขอกล่าวถึงการทำงานในชุดสุดท้ายของส่วน DATA DISPLAY ซึ่งประกอบด้วยส่วน MONOSTABLE, ส่วน COUNTER AND DECODER และส่วน DISPLAY ซึ่งมีวงจรตามรูป 3.21 โดยจะขอกล่าวถึงการทำงานรวมกันดังนี้



รูป 9.21 วงจรส่วนการแสดงผล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

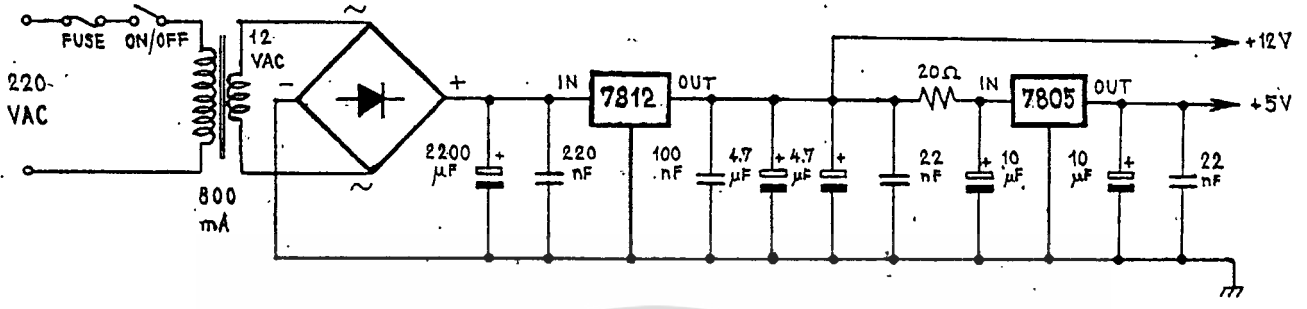
จากวงจรในส่วนของ MONOSTABLE นั้น จะใช้ไอซีเบอร์ 4528 ซึ่งเป็น DUAL MONOSTABLE MULTIVIBRATOR ทำการสร้างสัญญาณแลตช์และรีเซต โดยแยกกันทำงานแต่ละชุด ซึ่งจะเห็นว่า MONOSTABLE ชุดแรกจะรับสัญญาณจากส่วนออสซิลเลเตอร์ และสัญญาณเอาต์พุตที่ได้จากขา 6 จะถูกส่งไปยังอินพุตชุดที่สองที่ขา 11 ของไอซี และในขณะเดียวกันสัญญาณนี้ก็จะถูกใช้เป็นสัญญาณแลตช์ ส่วนเอาต์พุตที่ได้จากขา 10 ของไอซีจะถูกนำมาใช้เป็นสัญญาณรีเซตต่อไป สำหรับชุดของ MONOSTABLE ทั้งสองนี้จะมีการทำงานที่ขอบขาลง.ของพัลส์ และเนื่องจากค่าตัวต้านทานและตัวเก็บประจุของทั้ง 2 ชุด ถูกกำหนดให้เท่ากัน ดังนั้น สัญญาณที่ได้จึงมีขนาดความกว้างของพัลส์ที่เท่ากัน ซึ่งสามารถดูรูปคลื่นของสัญญาณได้จากรูป 3.5 ที่ผ่านมา

สำหรับไอซีเบอร์ 74c926 จะทำหน้าที่นับสัญญาณที่ถูกส่งมาให้จากส่วนของเกต แล้วนำไปแสดงผล แต่เนื่องจากการแสดงผลจะมีการทำงานในลักษณะมัลติเพล็กซ์ ดังนั้น ขาที่ส่งไปให้ LED 7 ส่วนของทุกหลักจึงขนานกันหมด และสำหรับตัวต้านทานค่า 82 โอห์ม ทั้ง 7 ตัว ที่ต่อในวงจรนั้นจะทำหน้าที่จำกัดกระแสให้แก่ชุดของ LED 7 ส่วน สำหรับที่ขา 5 และขา 13 ของไอซี ก็จะรับสัญญาณแลตช์และสัญญาณรีเซตจากส่วนของ MONOSTABLE ตามลำดับ ส่วนทรานซิสเตอร์ทั้ง 4 ตัว จะทำหน้าที่ขับกระแสให้แก่ LED 7 ส่วนแต่ละหลัก ดังนั้น จึงทำให้การแสดงผลมีการแสดงตัวเลขได้พร้อมกันทั้งสี่หลัก

3.3.3 การทำงานในส่วน POWER SUPPLY

เนื่องจากเครื่อง BINARY DATA GENERATOR นี้ มีการใช้ระดับแรงดันไฟ 2 ระดับ ตามความเหมาะสมในการทำงานของวงจร ดังนั้น ในส่วนของชุดแหล่งจ่ายไฟจึงต้องสร้างระดับแรงดันให้มี 2 ระดับ เพื่อจ่ายให้กับวงจร โดยมีระดับแรงดันที่ 12 โวลต์ และ 5 โวลต์ตามลำดับ สำหรับส่วนของวงจรจะแสดงในรูป 3.22

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 3.22 วงจรส่วนแหล่งจ่ายแรงดัน

จากวงจรจะใช้หม้อแปลงซึ่งมีระดับแรงดันไฟสลับทางด้าน SECONDARY เท่ากับ 12 โวลต์ และถูกเปลี่ยนเป็นแรงดันไฟตรงโดยชุด RECTIFIER หลังจากนั้นจะถูกทำให้ได้ระดับแรงดันไฟตรงที่คงที่จากไอซีเบอร์ 7812 ซึ่งมีการทำงานเป็น VOLTAGE REGULATOR ดังนั้น เอาต์พุตของไอซีจึงมีแรงดันไฟตรงที่คงที่เท่ากับ +12 โวลต์ และจะถูกนำไปใช้ในส่วนของ DATA GENERATOR สำหรับแรงดันไฟตรงระดับ +5 โวลต์ ที่ใช้ในส่วนของ DATA DISPLAY จะถูกกำหนดระดับแรงดันจากไอซีเบอร์ 7805 ซึ่งมีการทำงานในลักษณะเดียวกันกับไอซีเบอร์ 7812

3.4 ผลการทดสอบและการใช้งาน

จากการทดสอบพบว่า การทำงานของเครื่องได้ผลเป็นที่น่าพอใจ โดยจะมีอัตราการส่งข้อมูลต่ำสุดเท่ากับ 8 บิต/วินาที และอัตราการส่งข้อมูลสูงสุดประมาณ 62,000 บิต/วินาที ด้วยเหตุนี้จึงทำให้เครื่องมีขีดความสามารถเพิ่มขึ้น และจากการทดสอบทางด้านอินพุตของเครื่องโดยป้อนสัญญาณเข้าที่จุด EXTERNAL TRIG พบว่าสัญญาณข้อมูลและสัญญาณนาฬิกาที่ได้เป็นไปตามสัญญาณทริกเกอร์ทุกประการ และเมื่อทดสอบโดยป้อนสัญญาณเข้าที่จุด EXTERNAL CLOCK โดยกำหนดให้เครื่องทำงานกับสัญญาณภายนอก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

พบว่า วงจรสามารถทำงานได้โดยให้ข้อมูลที่ DATA OUTPUT เป็นไปตามบิตที่กำหนด และมีการแสดงค่า DATA RATES ได้อย่างถูกต้อง ซึ่งในขณะเดียวกันสัญญาณนาฬิกาของเครื่องที่จุด CLOCK OUTPUT ก็สามารถนำไปใช้ได้อย่างอิสระ สำหรับสัญญาณที่ได้จาก MANUAL OUTPUT นั้น ก็สามารถนำมาใช้ทดสอบการทำงานของเครื่องได้เช่นเดียวกัน โดยนำสัญญาณมาป้อนเข้าที่จุด EXTERNAL TRIG และ EXTERNAL CLOCK ซึ่งการทำงานของเครื่องจะมีการเปลี่ยนแปลงในลักษณะที่เป็น STEP ตามการควบคุมที่สวิตช์ CLOCK MANUAL

ส่วนหน้าที่ของชุดควบคุมแต่ละชุดนั้น จะกล่าวโดยสรุปได้ดังนี้

1. POWER สำหรับเปิด – ปิดการทำงานของเครื่อง
2. DATA RATE RANGE สำหรับเลือกย่านอัตราการส่งข้อมูล
3. DATA RATE ADJ สำหรับปรับอัตราการส่งข้อมูลอย่างละเอียด
4. DATA LEVEL สำหรับปรับระดับของสัญญาณข้อมูล
5. CLOCK LEVEL สำหรับปรับระดับของสัญญาณนาฬิกา
6. DATA LENGTH สำหรับเลือกความยาวของข้อมูล
7. BITS CONTROL สำหรับเลือกระดับลอจิกของแต่ละบิต
8. DATA CONTROL
   - NORM สำหรับสัญญาณรูปแบบปกติ
   - INV สำหรับกลับรูปแบบสัญญาณเป็นตรงข้าม
   - RTZ สำหรับสัญญาณรหัสแบบ Retern To Zero
9. CLOCK CONTROL
   - INT สำหรับเลือกใช้สัญญาณนาฬิกาจากภายในเครื่อง
   - EXT สำหรับเลือกรับสัญญาณนาฬิกาจากภายนอก
   - TRIG สำหรับกำหนดการส่งข้อมูลจากสัญญาณทริกเกอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

	– FREE	สำหรับกำหนดการส่งข้อมูลจากสัญญาณนาฬิกาภายในเครื่อง
10.	CLOCK MANUAL	สำหรับสร้างสัญญาณนาฬิกาซึ่งถูกควบคุมโดยสวิตช์
11.	INPUT	
	– EXT TRIG	สำหรับป้อนสัญญาณทริกเกอร์จากภายนอก
	– EXT CLOCK	สำหรับป้อนสัญญาณนาฬิกาจากภายนอก
12.	OUTPUT	
	– DATA OUT	สำหรับนำสัญญาณข้อมูลไปใช้งาน
	– CLK OUT	สำหรับนำสัญญาณนาฬิกาไปใช้งาน
	– SYNC OUT	สำหรับนำสัญญาณซิงค์ไปใช้งาน
	– MANUAL OUT	สำหรับนำสัญญาณจากการควบคุมแบบ MANUAL ไปใช้งาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4

บทสรุป

เครื่องกำเนิดสัญญาณข้อมูลเลขฐานสองนี้ จากการทดสอบถึงแม้ว่าจะสามารถทำงานได้ตามต้องการ แต่จะพบว่าที่อัตราการส่งข้อมูลสูง ๆ นั้น รูปคลื่นสัญญาณที่ได้จะไม่เรียบเหมือน เช่น อัตราการส่งข้อมูลต่ำ ๆ และเมื่อเพิ่มสัญญาณนาฬิกาให้สูงขึ้นเพื่อให้มีอัตราการส่งข้อมูลที่เร็วขึ้นจนกระทั่งเป็นล้านบิตต่อวินาที จะพบว่า ข้อมูลที่ได้นั้นเกิดการผิดพลาดขึ้น ทั้งนี้ เนื่องจากเหตุผลหลายประการ คือ

1. ไอซีซีมอสมีความเร็วในการทำงานที่ไม่สูงนัก

2. ค่าเก็บประจุที่เกิดขึ้นจากโครงสร้างของไอซีซีมอสเอง จะมีผลทำให้สัญญาณเกิดการผิดเพี้ยนขึ้น

3. การทำงานของไอซีมีช่วงการหน่วงเวลา (delay) เกิดขึ้น จึงทำให้การเปลี่ยนแปลงระดับลอจิกของเกตแต่ละชุดมีเวลาที่ไม่เท่ากัน ซึ่งจะส่งผลให้วงจรทำงานไม่สัมพันธ์กันจึงเกิดการผิดพลาดขึ้นกับสัญญาณ

4. การออกแบบวงจรในบางส่วนยังไม่ได้ค่าที่เหมาะสม เช่น ชุดบัฟเฟอร์ที่ต่อระหว่างส่วนต่าง ๆ ของวงจร ซึ่งจะมีผลทำให้เกิดการผิดพลาดของสัญญาณได้ง่าย โดยเฉพาะที่ความถี่สูง

จากเหตุผลดังกล่าวจึงทำให้เครื่องกำเนิดสัญญาณข้อมูลเลขฐานสองนี้ มีอัตราการส่งข้อมูลที่ไม่สูงมากนัก ทั้งนี้เพราะต้องการหลีกเลี่ยงจากปัญหาที่กล่าวมา ดังนั้นถ้าต้องการแก้ไขปัญหาดังกล่าว จึงควรที่จะเปลี่ยนการทำงานของวงจรใหม่ โดยใช้ไอซีประเภททีทีแอล ตระกูล 74Hxx ซึ่งเป็นตระกูลที่มีความเร็วสูง (high speed TTL) และควรเลือกไอซีที่มีช่วงการหน่วงเวลาต่ำด้วย แต่ข้อดีของไอซีซีมอสที่เหนือกว่าไอซีชนิดอื่น คือ มีการใช้พลังงานในการทำงานที่ต่ำมาก และใช้ได้กับย่านแหล่งจ่ายไฟที่กว้าง จึงทำให้หลีกเลี่ยงปัญหาจากสัญญาณรบกวนได้ ดังนั้น การที่จะออกแบบให้วงจรมีการทำงานในลักษณะใด สิ่งสำคัญที่ควรคำนึงถึงก็คือ วัตถุประสงค์ในการนำไปใช้งาน ซึ่งเป็นสิ่งที่นักออกแบบทุกคนควรจะยึดถือเป็นหลักในการดำเนินงาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

+5V

+12V

GND

IC13 PIN14

X'TAL 2 MHz

IC13c 4011

IC13d 4011

IC13b 4011

IC13 PIN7

IC14 74HC393

IC15 4518

IC16 4518

IC17 4518

IC18 4528

IC19 74C 926

DSP1

DSP2

IC12 4518

IC11a 40107

IC13a 4011

470 Ω

10 Ω

DATA RATE ADJ

1560pF

100 KΩ

1KΩ

IC1 4047

10 KΩ

IC2 4518

DATA RATE RANGE

HIGH

LOW

100 KΩ

NORM

INV

MANUAL OUT

CLOCK MANUAL

CLOCK SELECT

INT

EXT

IC3 4013

10 MΩ x2

IC4 4024

10 KΩ

IC5 4067

FREE/TRIGGER

IC8,9,10,11 PIN8

IC7a 4013

IC6 4585

DATA LENGTH CONTROL

6.8 KΩ

IC7b 4013

NORM

INV

10 KΩ

RTZ

10 KΩ

4.7 KΩ

100KΩ

100Ω

100 KΩ

2.2 KΩ

12V

IC8a LM393

EXT TRIG

IC8b LM393

EXT CLK

IC 8,9,10,11 PIN14

100pF

100 KΩ

1N 4148

470 Ω

10Ω

IC 9b 40107

SYNC OUT

CLOCK LEVEL

10 KΩ

BC 107

1.8 KΩ

4.7 µF

470 Ω

10Ω

IC 9a 40107

CLK OUT

100 KΩ

10 KΩ

IC10a 40107

DATA LEVEL 10 KΩ

BC 107

1.8 KΩ

4.7 µF

470 Ω

10Ω

IC10b 40107

DATA OUT

IC 1 — 4047
IC 2 — 4518
IC 3 — 4013
IC 4 — 4024
IC 5 — 4067
IC 6 — 4585
IC 7 — 4013
IC 8 — LM393
IC 9 — 40107
IC 10 — 40107
IC 11 — 40107
IC 12 — 4518
IC 13 — 4011
IC 14 — 74HC393
IC 15 — 4518
IC 16 — 4518
IC 17 — 4518
IC 18 — 4528
IC 19 — 74C 926
IC 20 — 7812
IC 21 — 7805

POWER SUPPLY

FUSE POWER 1A

220 VAC

12 VAC

800 mA

IC20 7812

IC21 7805

2200 µF

220 nF

100 nF

4.7 µF

4.7 µF

22 nF

10 µF

10 µF

0.2 nF

+12V

+5V

GND

BITS CONTROL

2.2 KΩ

6.8 KΩ

S_1 S_2 S_3 S_4 S_5 S_6 S_7 S_8 S_9 S_{10} S_{11} S_{12} S_{13} S_{14} S_{15} S_{16}

+12V

GND

CIRCUIT [illegible] OF BINARY DATA GENERATOR

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SCL4000B SERIES FAMILY SPECIFICATIONS

ABSOLUTE-MAXIMUM RATINGS[1]

DC Supply Voltage	V_{DD}	−0.5 to +18	Vdc
Input Voltage	V_{IN}	−0.5 to V_{DD} +0.5	Vdc
DC Input Current (any one input)	I_{IN}	±10	mAdc
Power Dissipation	P_T	300	mW
Storage Temperature Range	T_S	−65 to +150	°C

RECOMMENDED OPERATING CONDITIONS[1]

DC Supply Voltage	V_{DD}	3 to 15	Vdc
Operating Temperature Range	T_A		
Military Range Device (C,D,F packages, chips)		−55 to +125	°C
Commercial Range Device (E package)		−40 to +85	°C

[1]Voltage referenced to V_{SS}

Parametric limits are guaranteed for V_{DD} = 5, 10, and 15 Vdc. Where low power is required, the lowest supply voltage, consistent with required speed, should be used. For larger noise immunity and higher speed, higher supply voltages should be specified. The lower limit of supply regulation is 3 Vdc or as determined by required system speed, noise immunity, or interface to other logic. The recommended upper limit is 15 Vdc or as determined by power dissipation restrictions or interface to other logic.

Unused inputs must be connected to V_{DD}, V_{SS}, or another input.

Care should be used in handling CMOS devices; static charges may damage the device.

ELECTRICAL SPECIFICATIONS

Parametric limits listed here are guaranteed for the entire SCL4000B Series Family unless otherwise specified on the individual data sheets.

STATIC CHARACTERISTICS (V_{SS} = 0V)

PARAMETER		V_{DD} (Vdc)	CONDITIONS	T_{LOW}[1]		+25°C			T_{HIGH}[1]		Units
				Min.	Max.	Min.	Typ.	Max.	Min.	Max.	
QUIESCENT DEVICE CURRENT	I_{DD}										
Gates		5		–	0.05	–	0.0005	0.05	–	1.5	µAdc
		10		–	0.1	–	0.001	0.1	–	3.0	
		15	V_{IN}=V_{SS} or V_{DD}	–	0.2	–	0.002	0.2	–	6.0	
Buffers, Flip-Floos		5	All valid input	–	1.0	–	0.005	1.0	–	30	µAdc
		10	combinations	–	2.0	–	0.01	2.0	–	60	
		15		–	4.0	–	0.02	4.0	–	120	
MSI		5		–	5	–	0.05	5	–	150	µAdc
		10		–	10	–	0.1	10	–	300	
		15		–	20	–	0.2	20	–	600	
HIGH-LEVEL OUTPUT VOLTAGE	V_{OH}	5	V_{IN}=V_{SS} or V_{DD}	4.99	–	4.99	5	–	4.95	–	Vdc
		10		9.99	–	9.99	10	–	9.95	–	
		15	$\|I_O\| \leq 1\mu A$	14.99	–	14.99	15	–	14.95	–	
LOW-LEVEL OUTPUT VOLTAGE	V_{OL}	5	V_{IN}=V_{SS} or V_{DD}	–	0.01	–	0	0.01	–	0.05	Vdc
		10		–	0.01	–	0	0.01	–	0.05	
		15	$\|I_O\| \leq 1\mu A$	–	0.01	–	0	0.01	–	0.05	
MINIMUM INPUT HIGH VOLTAGE	V_{IH}	5	V_O=0.5V or 4.5V	–	3.5	–	2.75	3.5	–	3.5	Vdc
		10	V_O=1.0V or 9.0V	–	7.0	–	5.5	7.0	–	7.0	
		15	V_O=1.5V or 13.5V	–	11.0	–	8.25	11.0	–	11.0	
			$\|I_O\| \leq 1\mu A$								

[1] T_{LOW} = −55°C for C, D, F, and H devices (Military Temperature Range)
= −40°C for E device (Commercial Temperature Range)
T_{HIGH} = +125°C for C, D, F, and H devices (Military Temperature Range)
= +85°C for E device (Commercial Temperature Range)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

STATIC CHARACTERISTICS (V_{SS} = 0V) Continued

PARAMETER		V_{DD} (Vdc)	CONDITIONS	T_{LOW} [1] Min.	T_{LOW} [1] Max.	+25°C Min.	+25°C Typ.	+25°C Max.	T_{HIGH} [1] Min.	T_{HIGH} [1] Max.	Units
MAXIMUM INPUT LOW VOLTAGE	V_{IL}	5	V_O=0.5V or 4.5V	1.5	–	1.5	2.25	–	1.5	–	Vdc
		10	V_O=1.0V or 9.0V	3.0	–	3.0	4.5	–	3.0	–	
		15	V_O=1.5V or 13.5V	4.0	–	4.0	6.75	–	4.0	–	
			$\|I_O\| \leq 1\mu A$								
OUTPUT HIGH (SOURCE) CURRENT	I_{OH}										
Standard: C, D, F, H device		5	V_{OH}=4.6V	-0.25	–	-0.2	-0.5	–	-0.14	–	mAdc
		10	V_{OH}=9.5V	-0.62	–	-0.5	-1.3	–	-0.35	–	
		15	V_{OH}=13.5V	-1.9	–	-1.5	-5.0	–	-1.1	–	
			$V_{IN}=V_{SS}$ or V_{DD}								
E device		5	V_{OH}=4.6V	-0.24	–	-0.2	-0.5	–	-0.16	–	mAdc
		10	V_{OH}=9.5V	-0.6	–	-0.5	-1.3	–	-0.4	–	
		15	V_{OH}=13.5V	-1.8	–	-1.5	-5.0	–	-1.2	–	
			$V_{IN}=V_{SS}$ or V_{DD}								
Balanced: C, D, F, H device		5	V_{OH}=4.6V	-0.64	–	-0.51	-1.25	–	-0.36	–	mAdc
		10	V_{OH}=9.5V	-1.6	–	-1.3	-3.25	–	-0.9	–	
		15	V_{OH}=13.5V	-4.2	–	-3.4	-10	–	-2.4	–	
			$V_{IN}=V_{SS}$ or V_{DD}								
E device		5	V_{OH}=4.6V	-0.61	–	-0.51	-1.25	–	-0.41	–	mAdc
		10	V_{OH}=9.5V	-1.5	–	-1.3	-3.25	–	-1.1	–	
		15	V_{OH}=13.5V	-4.0	–	-3.4	-10	–	-2.8	–	
			$V_{IN}=V_{SS}$ or V_{DD}								
OUTPUT LOW (SINK) CURRENT	I_{OL}										
Standard: C, D, F, H device		5	V_{OL}=0.4V	0.64	–	0.51	0.78	–	0.36	–	mAdc
		10	V_{OL}=0.5V	1.6	–	1.3	2.0	–	0.9	–	
		15	V_{OL}=1.5V	4.2	–	3.4	7.8	–	2.4	–	
			$V_{IN}=V_{SS}$ or V_{DD}								
E device		5	V_{OL}=0.4V	0.61	–	0.51	0.78	–	0.41	–	mAdc
		10	V_{OL}=0.5V	1.5	–	1.3	2.0	–	1.1	–	
		15	V_{OL}=1.5V	4.0	–	3.4	7.8	–	2.8	–	
			$V_{IN}=V_{SS}$ or V_{DD}								
Balanced: C, D, F, H device		5	V_{OL}=0.4V	0.64	–	0.51	1.25	–	0.36	–	mAdc
		10	V_{OL}=0.5V	1.6	–	1.3	3.25	–	0.9	–	
		15	V_{OL}=1.5V	4.2	–	3.4	10	–	2.4	–	
			$V_{IN}=V_{SS}$ or V_{DD}								
E device		5	V_{OL}=0.4V	0.61	–	0.51	1.25	–	0.41	–	mAdc
		10	V_{OL}=0.5V	1.5	–	1.3	3.25	–	1.1	–	
		15	V_{OL}=1.5V	4.0	–	3.4	10	–	2.8	–	
			$V_{IN}=V_{SS}$ or V_{DD}								
INPUT CURRENT	I_{IN}	15	V_{IN}=0 or 15V	–	±0.1	–	$\pm 10^{-5}$	±0.1	–	±1.0	μAdc

[1] T_{LOW} = -55°C for C, D, F, and H devices (Military Temperature Range)
= -40°C for E device (Commercial Temperature Range)
T_{HIGH} = +125°C for C, D, F, and H devices (Military Temperature Range)
= +85°C for E device (Commercial Temperature Range)

DYNAMIC CHARACTERISTICS (T_A = 25°C)

PARAMETER		V_{DD} (Vdc)	Min.	Typ.	Max.	Units
INPUT CAPACITANCE	C_{IN}	–	–	5	7.5	pF

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Part types designated "UB"[1] meet the above parametric specifications with the following exception, unless otherwise specified on the individual data sheets.

PARAMETER		V_{DD} (Vdc)	CONDITIONS	T_{LOW}[1]		+25°C			T_{HIGH}[1]		Unit
				Min.	Max.	Min.	Typ.	Max.	Min.	Max.	
MINIMUM INPUT HIGH VOLTAGE	V_{IH}	5	V_O=0.5V or 4.5V	–	4.0	–	2.75	4.0	–	4.0	Vdc
		10	V_O=1.0V or 9.0V	–	8.0	–	5.5	8.0	–	8.0	
		15	V_O=1.5V or 13.5V $\|I_O\| \leq 1\mu A$	–	12.0	–	8.25	12.0	–	12.0	
MAXIMUM INPUT LOW VOLTAGE	V_{IL}	5	V_O=0.5V or 4.5V	1.0	–	1.0	2.25	–	1.0	–	Vdc
		10	V_O=1.0V or 9.0V	2.0	–	2.0	4.5	–	2.0	–	
		15	V_O=1.5V or 13.5V $\|I_O\| \leq 1\mu A$	3.0	–	3.0	6.75	–	3.0	–	

[1] T_{LOW} = −55°C for C, D, F, and H devices (Military Temperature Range)
= −40°C for E device (Commercial Temperature Range)
T_{HIGH} = +125°C for C, D, F, and H devices (Military Temperature Range)
= +85°C for E device (Commercial Temperature Range)

The user should consult the section of this book entitled "CMOS Design Considerations" in conjunction with the Family Specifications given here to assure proper system performance.

[1]As defined in JEDEC Standard Specification

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PARAMETER DEFINITIONS AND WAVEFORMS

DEFINITIONS

The following information provides detailed explanations of the electrical parameters specified on SCL4000 Series data sheets. These parameters are categorized into Absolute Maximum Ratings, Recommended Operating Conditions, Static Electrical Characteristics, and Dynamic Electrical Characteristics. Virtually all devices in the SCL4000 Series are fully described by a combination of the parameters identified in this section; in a few special cases, however, parameters unique to a device are defined on the individual data sheet.

While all parameters exhibit a statistical distribution about a mean value, only the mean value and one worst-case limit — either the minimum or the maximum value — appears on the data sheet. Following the EIA standard guidelines, the minimum limit value is always less than the mean or typical value, and the maximum limit value is always greater than the typical value. Several parameters, therefore, require the prefix "minimum" or "maximum" in order to maintain the proper convention on the data sheet. These prefixes should not be confused with the minimum and maximum designations applied to limit values. Thus, "maximum clock frequency" has minimum limit values specified, while "minimum clock pulse width" has maximum limit values specified.

Each parameter is measured under a specified set of conditions: supply voltage, input voltages and currents, output voltages and currents, input signal switching characteristics, etc. To assist the designer in constructing his system, any given parameter is measured under the same test conditions for all devices in the SCL4000 Series, whether they fall into the B, UB, or AB designation.

ABSOLUTE MAXIMUM RATINGS

These ratings are absolute limits within which safe operation occurs. The presence of conditions outside these limits may cause severe device degradation, and possibly catastrophic failure. These ratings apply across the entire temperature range.

DC Supply Voltage Range

To prevent forward biasing and possibly damaging the structural and protective diode junctions present in CMOS construction, V_{DD} must never be more than 0.5Vdc negative with respect to V_{SS}.

The maximum limit of 18Vdc prevents primary breakdown of any internal device junction.

Input Voltage Range

The voltage at any device input must not exceed either the V_{SS} or V_{DD} supply voltages by more than 0.5Vdc. Unrestricted operation outside this range may damage the input protection diodes, or cause internal latch-up.

DC Input Current

To prevent excessive dissipation in the junctions of the protection diodes, input current must be limited to less than 10mAdc.

Maximum Package Power Dissipation

This requirement prevents excessive junction or package temperatures from developing. The maximum rating of 300mW includes both quiescent (dc) and dynamic (ac) dissipation, and should be calculated from the discussion of Power Dissipation in the section entitled "Design Considerations."

Storage Temperature Range

The temperature range within which devices may be stored without electrical connection is −65°C to +150°C. Device reliability may be degraded when stored outside this range.

RECOMMENDED OPERATING CONDITIONS

These conditions specify ranges within which reliable operations may be maintained. Systems utilizing CMOS should be designed to operate within these ranges.

DC Supply Voltage Range

The lower limit of 3Vdc is based upon transistor threshold levels. The recommended maximum limit of 15V is substantially below the primary breakdown limit for the devices to allow for limited power-supply transient and regulation limits.

Operating Temperature Range

The maximum ambient temperature range within which the device may be reliably operated is −55°C to +125°C (the standard military temperature range) for the C, D, and F packages, and −40°C to +85°C (an extended commercial range) for the E package. Chips (H suffix) may be operated over the full military temperature range, −55°C to +125°C.

STATIC ELECTRICAL CHARACTERISTICS

These parameters apply to devices in the steady-state condition. They are specified at the low temperature limits (−55°C or −40°C), +25°C, and the high temperature limits (+125°C or +85°C), with typical values given at +25°C.

Quiescent Device Current (I_{DD})

Quiescent current is defined as the current flowing into the V_{DD} terminal of the device with no load on the outputs. This current is measured under all valid input combinations (inputs tied in all valid combinations to V_{SS} or V_{DD}). The maximum limit reflects domination by surface leakage effects. Most devices exhibiting typical leakage currents are dominated by junction leakage which doubles with every 11°C increase in temperature.

These values have been standardized into three

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

categories: gates, buffers and flip-flops, and MSI devices. Solid State Scientific does not degrade this parameter for commercial temperature range devices (E package).

Output Voltage (V_{OH}, V_{OL})

V_{OH} is defined as the high-level output voltage under no-load conditions ($|I_O| < 1\mu A$), with inputs tied to V_{SS} or V_{DD}. Similarly, V_{OL} is the low-level output voltage measured under the same conditions. Both parameters are guaranteed to be no more than 0.01Vdc from the supply voltage at low temperature and +25°C, and no more than 0.05Vdc from the supply voltage at high temperature.

Input Voltage (V_{IH}, V_{IL})

V_{IH} and V_{IL} are defined as the minimum input high voltage and the maximum input low voltage, respectively, which produce no more than a 10% V_{DD} change in output voltage under no-load conditions ($|I_O| < 1\mu A$). This parameter differentiates device designations "B" and "UB".

In general, "B" devices have greater noise immunity, i.e., lower V_{IH} and higher V_{IL} than "UB" devices because output buffering more effectively isolates outputs from input voltage variations.

Output Drive Currents (I_{OH}, I_{OL})

Output drive current is the source current (I_{OH}) with the output high, or the sink current (I_{OL}) with the output low, that flows out of or into the device from a load of specific voltage. Polarity is defined as positive when flowing into the output. Inputs are tied directly to V_{SS} or V_{DD}; output voltages are specified at equal voltage drops for both parameters at given supply voltage.

At V_{DD} = 5Vdc, I_{OH} and I_{OL} are specified at V_{OH} = 4.6Vdc and V_{OL} = 0.4Vdc, respectively. Logic outputs of "B" and "UB" devices are capable of driving one low-power TTL load across temperature. Although the source current (I_{OH}) specification for these devices is lower than the sink current (I_{OL}) specification (I_{IL} (TTL) >> I_{IH}), many devices in the SCL 4000 Series Family are designed for balanced drives at these output voltages. All gates and flip-flops, and a number of MSI parts, fall into this category; this is noted on the individual data sheets.

At V_{DD} = 10Vdc, an output voltage drop of 0.5Vdc from either supply is used as the standard condition for specifying I_{OH} and I_{OL}.

At V_{DD} = 15Vdc, 1.5Vdc is used as the standard output voltage drop. Current values are designed to drive two standard HTL loads over temperature.

The limits at the temperature extremes reflect the 0.3%/°C current decrease with increasing temperature at 25°C characteristic of CMOS. Most device data sheets supply transistor characteristic curves for determination of output drive current under other operating conditions.

Solid State Scientific does not degrade these parameters for commercial temperature range devices (E package).

3-State Output Leakage Current (I_{ZL})

Leakage current at the output terminal of a 3-state device when disabled (high-impedance state) is measured under the two worst-case conditions: V_{DD} is applied at the output along with input combinations which would normally force the output low; V_{SS} is applied at the output along with input combinations which would normally force the output high.

Solid State Scientific does not degrade this parameter for commercial temperature range devices (E package).

Input Current

Input current is defined as the current that flows into or out of an input terminal when V_{SS} or V_{DD} is applied to that terminal. Input current consists of junction leakages in the diode protection circuit, and is typically ±10pAdc. Worst-case input current is specified at V_{DD} = 15Vdc across temperature, with a maximum of ±1.0uAdc at +125°C (+85°C for commercial temperature range devices).

Solid State Scientific does not degrade this parameter for commercial temperature range devices.

DYNAMIC ELECTRICAL CHARACTERISTICS

Switching characteristics are specified at a total output load capacitance per output C_L = 50pF, ambient temperature T_A = 25°C, and input rise and fall times t_r, t_f = 20nS (except for maximum input rise and fall time specifications). Typical temperature coefficient for dynamic characteristics is |0.3%/°C| (negative for maximum clock frequency (f_{CL}) and positive for other parameters). Solid State Scientific does not degrade dynamic parameters for commercial temperature range devices (E package).

Propagation Delay Time (t_{PLH}, t_{PHL})

These parameters are specified on all data sheets. For non-synchronous circuits and inputs, the delay time is measured from the 50% point of the input signal edge to the 50% point of the resulting output signal edge. For synchronous inputs (having a clock signal), the delay time is measured from the 50% of the clock signal edge associated with the input level to the 50% point of the resulting output signal edge. The designation "LH" refers to the low-to-high output transition; "HL" refers to the high-to-low output transition. Propagation delays increase linearly with load capacitance.

3-State Propagation Delay (t_{PHZ}, t_{PLZ}, t_{PZH}, t_{PZL})

The t_{PHZ} (high-level to 3-state) and t_{PLZ} (low-level to 3-state) propagation delays are measured from the 50% point of the disable input leading edge to the 90% point of the output signal falling edge (t_{PHZ}) or to the 10% point of the output signal rising edge (t_{PLZ}). The t_{PZH} (3-state to high-level) and t_{PZL} (3-state to low-level) propagation delays are measured from the 50% point of the disable input trailing edge to the 10% point of the output signal rising edge (t_{PZH}) or to the 90% point of the output signal falling edge (t_{PZL}). In addition to the 50pF load capacitance, a 1KΩ load resistor is tied to V_{SS} (t_{PHZ} and t_{PZH}) or V_{DD} (t_{PLZ} and t_{PZL}).

Output Transition Time (t_{TLH}, t_{THL})

These parameters refer to the rise (t_{TLH}) and fall (t_{THL}) times at device outputs. They are measured from the 10% to the 90% points of the output waveform. Both parameters are functions of output transistor sizes, and fall into standard categories in the same way as output drive current. Output transition times vary linearly with load capacitance C_L.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Minimum (Clock) Pulse Width (PW)

Minimum pulse width refers to that portion of the input signal between the active (leading) edge and the opposite (trailing) edge. It is defined as the interval between the 50% points of each edge. When applied to clock signals, this parameter also refers to the remaining portion of the signal, i.e., 50% duty cycle.

Maximum Clock Frequency (f_{cl})

The maximum clock frequency is the rate at which information can transfer through a synchronous circuit without developing system problems due to excessive propagation delays across internal stages.

Maximum Clock Rise and Fall Times (t_{rCL}, t_{fCL})

These limits refer to the maximum allowable input transition times which prevent interactions between internal stages from interfering with proper clocking. These parameters are measured from the 10% point to the 90% point of the input signal, and usually decrease with increasing operating voltage.

When synchronous stages are cascaded, however, maximum rise and fall times of the clock input should be equal to or less than the transition times of data outputs driving data inputs, plus the propagation delay of the output driving stage for the output capacitive load. This prevents improper operation resulting from logic state interaction between adjoining stages.

Minimum Setup Time (t_{setup})

Setup time refers to the minimum interval between the data or control input signal and the clock or strobe signal which guarantees proper entry of that information into the device. It is measured between the 50% points of the two appropriate edges.

Minimum Hold Time (t_{hold})

Hold time refers to the interval after the clock or strobe edge during which data or control information must remain valid. It is measured between the 50% points of the two appropriate edges.

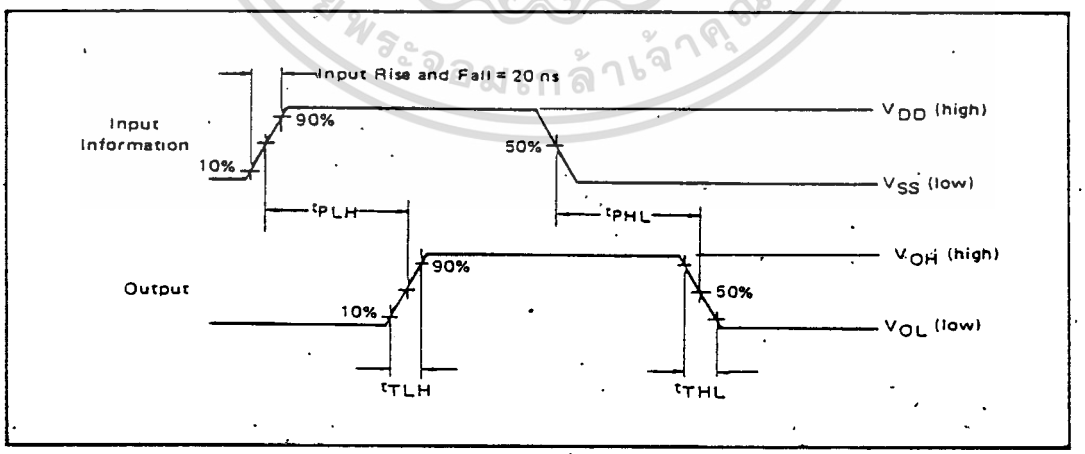
Removal Time (t_{rem})

Removal time is defined as the interval after removing an asynchronous control input during which a clock or strobe signal edge may not be recognized. This parameter is similar to minimum setup time, and is measured from the 50% point of the control input trailing edge to the 50% point of the clock or strobe signal leading edge.

Input Capacitance (C_{IN})

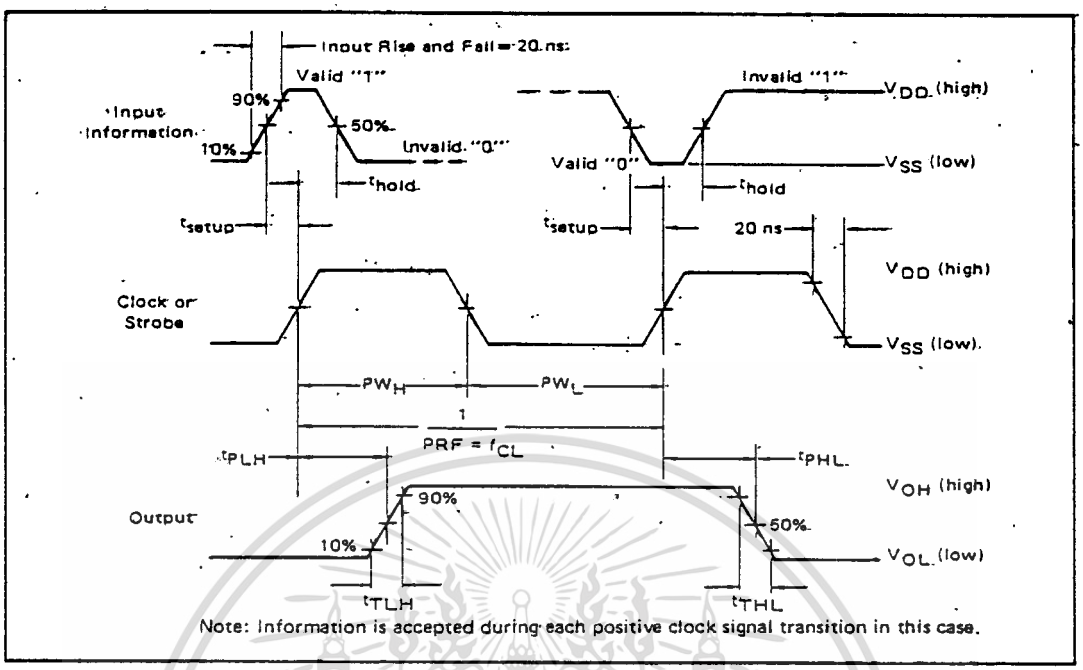
The input capacitance is defined as the ac capacitance under zero bias conditions as applied to any input. This capacitance is typically 5pF for most devices; it is somewhat higher for inputs to high-current buffers.

DYNAMIC PARAMETER WAVEFORMS

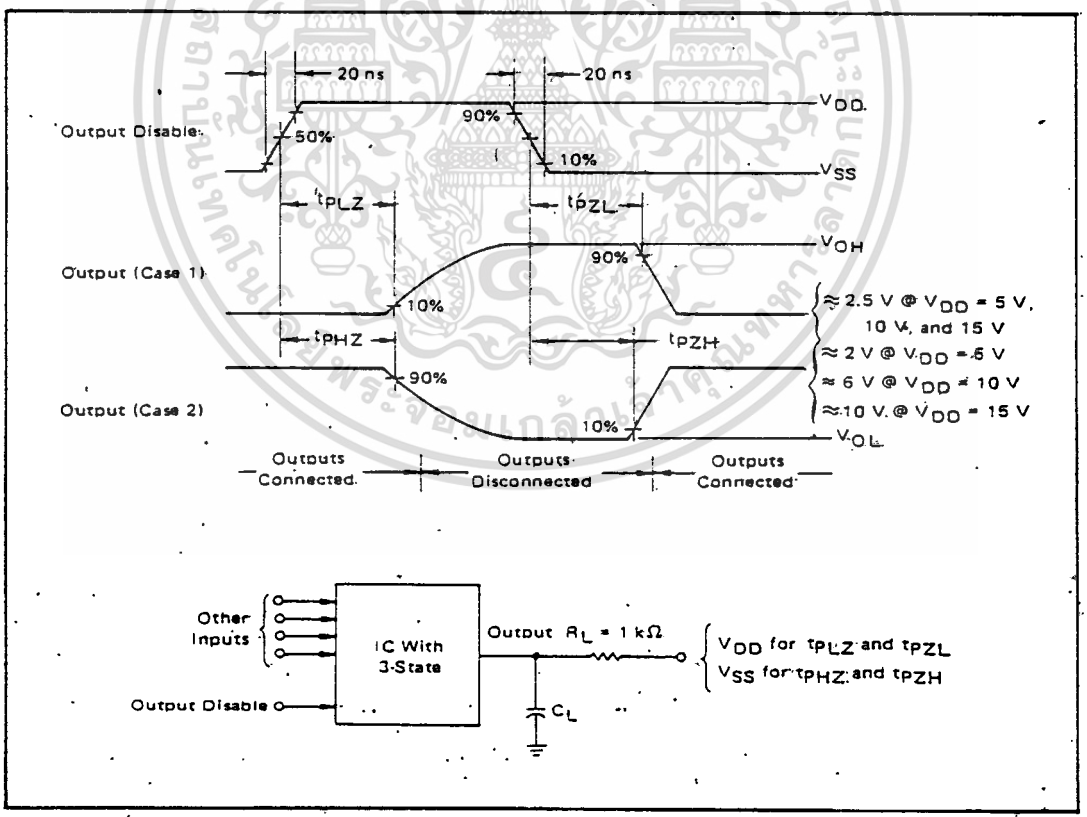


Non-Synchronous Circuit Waveshapes and Timing Parameters

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



Synchronous Circuit Waveshapes and Timing Parameters



Three-State Propagation Delay Waveshape and Test Circuit

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

LOW POWER DUAL VOLTAGE COMPARATOR

LM193/293/393
LM193A/293A/393A/LM2903

LM193/293/393/193A/293A/393A/2903-N,T.

DESCRIPTION

The LM193 series consists of two independent precision voltage comparators with an offset voltage specification as low as 2.0mV max for two comparators which were designed specifically to operate from a single power supply over a wide range of voltages. Operation from split power supplies is also possible and the low power supply current drain is independent of the magnitude of the power supply voltage. These comparators also have a unique characteristic in that the input common mode voltage range includes ground, even though operated from a single power supply voltage.

The LM193 series was designed to directly interface with TTL and CMOS. When operated from both plus and minus power supplies, the LM193 series will directly interface with MOS logic where their low power drain is a distinct advantage over standard comparators.

FEATURES

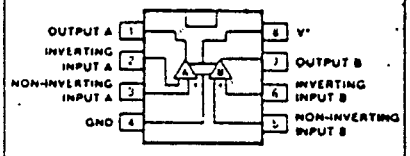
- Wide single supply voltage range 2.0Vdc to 36Vdc or dual supplies ±1.0Vdc to ±18Vdc
- Very low supply current drain (0.8mA) independent of supply voltage (2.0mW/comparator at 5.0Vdc)
- Low input biasing current 25nA
- Low input offset current ±5nA and offset voltage ±3mV
- Input common-mode voltage range includes ground
- Differential input voltage range equal to the power supply voltage.
- Low output 250mV at 4mA saturation voltage
- Output voltage compatible with TTL, DTL, ECL, MOS and CMOS logic systems.

APPLICATIONS

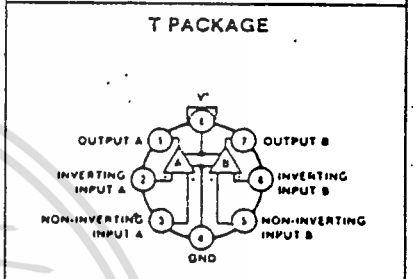
- A/D converters
- Wide range VCO
- MOS clock generator
- High voltage logic gate
- Multivibrators

PIN CONFIGURATIONS

N PACKAGE

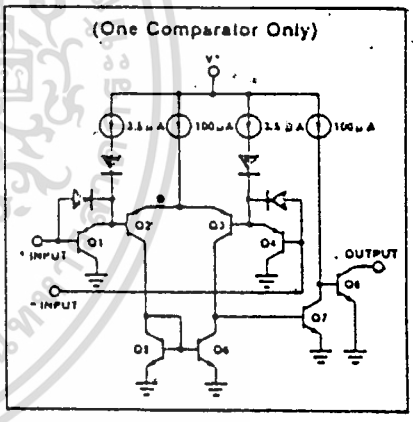


T PACKAGE



EQUIVALENT CIRCUIT

(One Comparator Only)



ABSOLUTE MAXIMUM RATINGS

PARAMETER	RATING	UNIT
Vcc supply voltage	36 or ±18	Vdc
Differential input voltage	36	Vdc
Input voltage	-0.3 to +36	Vdc
Power dissipation[1]		
Molded DIP	570	mW
Metal can	900	mW
Output short circuit to ground[2]	Continuous	
Input current (V_{IN} < -0.3Vdc)[3]	50	mA
Operating temperature range		
LM193/193A	-55 to +125	°C
LM293/293A	-25 to +85	°C
LM393/393A	0 to +70	°C
LM2903	-40 to +85	°C
Storage temperature range	-65 to +150	°C
Lead temperature (soldering 10 sec.)	300	°C

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

LM193/293/393/193A/293A/393A/2903-N,T

DC ELECTRICAL CHARACTERISTICS

$V+ = 5Vdc$, LM193/193A: $-55°C \le T_A \le +125°C$ unless otherwise specified.
LM293/293A: $-25°C \le T_A \le +85°C$ unless otherwise specified.
LM393/393A: $0°C \le T_A \le +70°C$ unless otherwise specified.
LM2903: $-40°C \le T_A \le +85°C$ unless otherwise specified.[7]

PARAMETER	TEST CONDITIONS	LM193A			LM293A/393A			LM2903			UNIT
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
V_{OS} Input offset voltage[5]	$T_A = 25°C$ Over temp.		±1.0	±2.0 ±4.0		±1.0	±2.0 ±4.0		±2.0 ±9	±7.0 ±15	mV
V_{CM} Input common mode voltage range[6,10]	$T_A = 25°C$ Over temp.	0 0		V+-1.5 V+-2.0	0 0		V+-1.5 V+-2.0	0 0		V+-1.5 V+-2.0	V
V_{IDR} Differential input voltage[4]	Keep all V_{IN}'s ≥ 0Vdc (or V- if need)			V+			V+			V+	V
I_B Input bias current[8]	$I_{IN(+)}$ or $I_{IN(-)}$ with output in linear range $T_A = 25°C$ Over temp.		25	100 300		25	250 400		25 200	250 500	nA
I_{OS} Input offset current	$I_{IN(+)} - I_{IN(-)}$ $T_A = 25°C$ Over temp.		±3.0	±25 ±100		±5.0	±50 ±150		±5 ±50	±50 ±200	nA nA
I_{OL} Output sink current	$V_{IN(-)} \ge 1Vdc$, $V_{IN(+)} = 0$, $V_O \le 1.5Vdc$, $T_A = 25°C$	6.0	16		6.0	16		6.0	16		mA
I_{OH} Output leakage current	$V_{IN(+)} \ge 1Vdc$, $V_{IN(-)} = 0$ $V_O = 30Vdc$ Over temp. $V_O = 5Vdc$, $T_A = 25°C$		0.1	1.0		0.1	1.0		0.1	1.0	µA na
I_{CC} Supply current	$R_L = \infty$ on both comparators. $T_A = 25°C$ V+ = 30V, over temp.		0.8 1	1 2.5		0.8 1	1 2.5		0.8 1	1 2.5	mA
A_V Voltage gain	$R_L \ge 15k\Omega$, V+ = 15Vdc	50	20		50	200		25	100		V/mV
V_{OL} Saturation voltage	$V_{IN(-)} \ge 1Vdc$, $V_{IN(+)} = 0$, $I_{SINK} \le 4mA$ $T_A = 25°C$ Over temp.		250	400 700		250	400 700		400	400 700	mV
T_{LSR} Large signal response time	V_{IN} = TTL logic swing, $V_{REF} = 1.4Vdc$, $V_{RL} = 5Vdc$, $R_L = 5.1k\Omega$, $T_A = 25°C$		300			300			300		ns
T_R Response time[9]	$V_{RL} = 5Vdc$, $R_L = 5.1k\Omega$, $T_A = 25°C$		1.3			1.3			1.3		µs

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DC ELECTRICAL CHARACTERISTICS (Cont'd)

LM193/293/393/193A/293A/393A/2903-N,T

V+ = 5Vdc, LM193/193A: $-55°C \le T_A \le +125°C$ unless otherwise specified,
LM293/293A: $-25°C \le T_A \le +85°C$ unless otherwise specified.
LM393/393A: $0°C \le T_A \le +70°C$ unless otherwise specified.
LM2903: $-40°C \le T_A \le +85°C$ unless otherwise specified.[7]

PARAMETER		TEST CONDITIONS	LM193			LM293/393			UNIT
			Min	Typ	Max	Min	Typ	Max	
V_{OS}	Input offset voltage[5]	$T_A = 25°C$ Over temp.		±2.0	±5.0 ±9.0		±2.0	±5.0 ±9.0	mV
V_{CM}	Input common mode voltage range[6,10]	$T_A = 25°C$ Over temp.	0 0		V+-1.5 V+-2.0	0 0		V+-1.5 V+-2.0	V
V_{IDR}	Differential input voltage[4]	Keep all V_{IN}'s ≥ 0Vdc (or V- if need)			V+			V+	V
I_B	Input bias current[8]	$I_{IN(+)}$ or $I_{IN(-)}$ with output in linear range $T_A = 25°C$ Over temp.		25	100 300		25	250 400	nA
I_{OS}	Input offset current	$I_{IN(+)} - I_{IN(-)}$ $T_A = 25°C$ Over temp		±3.0	±25 ±100		±5.0	±50 ±150	nA nA
I_{OL}	Output sink current	$V_{IN(-)} \ge 1Vdc$, $V_{IN(+)} = 0$, $V_O \le 1.5Vdc$, $T_A = 25°C$	6.0	16		6.0	16		mA
I_{OH}	Output leakage current	$V_{IN(+)} \ge 1Vdc$, $V_{IN(-)} = 0$ $V_O = 5Vdc$, $T_A = 25°C$ $V_O = 30Vdc$, over temp.		0.1	1.0		0.1	1.0	nA μA
I_{CC}	Supply current	$R_L = \infty$ on both comparators $T_A = 25°C$ V+ = 30V, over temp.		0.8	1 2.5		0.8	1 2.5	mA
A_V	Voltage gain	$R_L \ge 15K\Omega$, V+ = 15Vdc	50	200		50	200		V/mV
V_{OL}	Saturation voltage	$V_{IN(-)} \ge 1Vdc$, $V_{IN(+)} = 0$, $I_{SINK} \le 4mA$ $T_A = 25°C$ Over temp.		250	400 700		250	400 700	mV
T_{LSR}	Large signal response time	V_{IN} = TTL logic swing, $V_{REF} = 1.4Vdc$, $V_{RL} = 5Vdc$, $R_L = 5.1k\Omega$, $T_A = 25°C$		300			300		ns
T_R	Response time[9]	$V_{RL} = 5Vdc$, $R_L = 5.1k\Omega$, $T_A = 25°C$		1.3			1.3		μs

NOTES

1. For operating at high temperatures, the LM393/393A and LM2903 must be derated based on a 125°C maximum junction temperature and a thermal resistance of 175°C/W which applies for the device soldered in a printed circuit board, operating in a still air ambient. The LM193/193A/293/293A must be derated based on a 150°C maximum junction temperature. The low bias dissipation and the "On-Off" characteristics of the outputs keeps the chip dissipation very small ($P_D \le 100mW$), provided the output transistors are allowed to saturate.
2. Short circuits from the output to V+ can cause excessive heating and eventual destruction. The maximum output current is approximately 20mA independent of the magnitude of V+.
3. This input current will only exist when the voltage at any of the input leads is driven negative. It is due to the collector-base junction of the input PNP transistors becoming forward biased and thereby acting as input diode clamps. In addition to this diode action, there is also lateral NPN parasitic transistor action on the IC chip. This transistor action can cause the output voltages of the comparators to go to the V+ voltage level (or to ground for a large overdrive) for the time duration that an input is driven negative. This is not destructive and normal output states will re-establish when the input voltage, which was negative, again returns to a value greater than -0.3Vdc.
4. Positive excursions of input voltage may exceed the power supply level. As long as the other voltage remains within the common-mode range, the comparator will provide a proper output state. The low input voltage state must not be less than -0.3Vdc (or 0Vdc below the magnitude of the negative power supply, if used).
5. At output switch point, $V_O = 1.4Vdc$, $R_S = 0\Omega$ with V+ from 5Vdc to 30Vdc, and over the full input common-mode range (0Vdc to V+ -1.5Vdc).
6. The input common-mode voltage of either input signal voltage should not be allowed to go negative by more than 0.3V. The upper end of the common-mode voltage range is V+ -1.5V, but either or both inputs can go to 30Vdc without damage.
7. With the LM293/293A, all temperature specifications are limited to $-25°C \le T_A \le +85°C$ and the LM393/393A, all temperature specifications are limited to $0°C \le T_A \le +70°C$. The LM2903 is limited to $-40°C \le T_A \le +85°C$.
8. The direction of the input current is out of the IC due to the PNP input stage. This current is essentially constant, independent of the state of the output so no loading change exists on the reference or input lines.
9. The response time specified is for a 100mV input step with a 5mV overdrive. For larger overdrive signals, 300ns can be obtained, see typical performance characteristics section.
10. For input signals that exceed V_{CC}, only the overdriven comparator is affected. With a 5V supply, V_{IN} should be limited to 25V max., and a limiting resistor should be used on all inputs that might exceed the positive supply.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MM74C925, MM74C926, MM74C927, MM74C928
4-digit counters with multiplexed 7-segment output drivers

general description

These CMOS counters consist of a 4-digit counter, an internal output latch, NPN output sourcing drivers for a 7-segment display, and an internal multiplexing circuitry with four multiplexing outputs. The multiplexing circuit has its own free-running oscillator, and requires no external clock. The counters advance on negative edge of clock. A high signal on the Reset input will reset the counter to zero, and reset the carry-out low. A low signal on the Latch Enable input will latch the number in the counters into the internal output latches. A high signal on Display Select input will select the number in the counter to be displayed; a low level signal on the Display Select will select the number in the output latch to be displayed.

The MM74C925 is a 4-decade counter and has Latch Enable, Clock and Reset inputs.

The MM74C926 is like the MM74C925 except that it has a display select and a carry-out used for cascading counters. The carry-out signal goes high at 6000, goes back low at 0000.

The MM74C927 is like the MM74C926 except the second most significant digit divides by 6 rather than 10. Thus, if the clock input frequency is 10 Hz, the display would read tenths of seconds and minutes (i.e., 9:59.9).

The MM74C928 is like the MM74C926 except the most significant digit divides by 2 rather than 10 and the carry-out is an overflow indicator which is high at 2000, and it goes back low only when the counter is reset. Thus, this is a 3 1/2-digit counter.

features

- Wide supply voltage range — 3V to 6V
- Guaranteed noise margin — 1V
- High noise immunity — 0.45 V_{CC} typ
- High segment sourcing current — 40 mA @ V_{CC} − 1.6V, V_{CC} = 5V
- Internal multiplexing circuitry

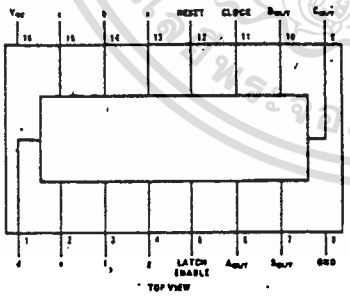
design considerations

Segment resistors are desirable to minimize power dissipation and chip heating. The DM75492 serves as a good digit driver when it is desired to drive bright displays. When using this driver with a 5V supply at room temperature, the display can be driven without segment resistors to full illumination. The user must use caution in this mode however, to prevent overheating of the device by using too high a supply voltage or by operating at high ambient temperatures.

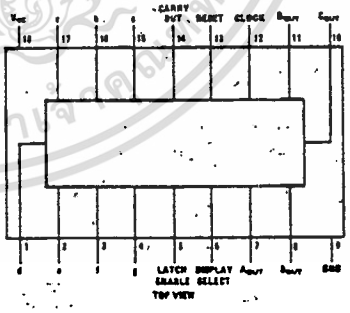
The input protection circuitry consists of a series resistor, and a diode to ground. Thus input signals exceeding V_{CC} will not be clamped. This input signal should not be allowed to exceed 15V.

connection diagrams

Dual-In-Line Package
MM74C925



Dual-In-Line Package
MM74C926, MM74C927 and MM74C928



functional description

Reset	— Asynchronous, active high
Display Select	— High, displays output of counter Low, displays output of latch
Latch Enable	— High, flow through condition Low, latch condition
Clock	— Negative edge sensitive
Segment Output	— Current sourcing with 80 mA @ V_{OUT} = V_{CC} − 1.6V typical. Also, sink capability = 2 LTTL loads
Digit Output	— Current sourcing with 1 mA @ V_{OUT} = 1.75V. Also, sink capability = 2 LTTL loads
Carry-out	— 2 LTTL loads. See carry-out waveforms.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

absolute maximum ratings (Note 1)

Voltage at Any Output Pin	Gnd − 0.3V to V_{CC}+0.3V
Voltage at Any Input Pin	Gnd − 0.3V to +15V
Operating Temperature Range (T_A)	−40°C to +85°C
Storage Temperature Range	−65°C to +150°C
Package Dissipation	Refer to $P_{D(MAX)}$ vs T_A Graph
Operating V_{CC} Range	3V to 6V
V_{CC}	6.5V
Lead Temperature (Soldering, 10 seconds)	300°C

dc electrical characteristics Min/max limits apply at −40°C ≤ T_j ≤ +85°C, unless otherwise noted.

PARAMETER		CONDITIONS	MIN	TYP	MAX	UNITS
CMOS TO CMOS						
$V_{IN(1)}$	Logical "1" Input Voltage	V_{CC} = 6.0V	3.6			V
$V_{IN(0)}$	Logical "0" Input Voltage	V_{CC} = 5.0V			1.5	V
$V_{OUT(1)}$	Logical "1" Output Voltage (Carry-out and Digit Output Only)	V_{CC} = 5.0V, I_O = −10 μA	4.5			V
$V_{OUT(0)}$	Logical "0" Output Voltage	V_{CC} = 5.0V, I_O = 10 μA			0.5	V
$I_{IN(1)}$	Logical "1" Input Current	V_{CC} = 5.0V, V_{IN} = 15V		0.005	1.0	μA
$I_{IN(0)}$	Logical "0" Input Current	V_{CC} = 6.0V, V_{IN} = 0V	−1.0	−0.005		μA
I_{CC}	Supply Current	V_{CC} = 5.0V, Outputs Open Circuit, V_{IN} = 0V or 5V		20	1000	μA
CMOS/LPTTL INTERFACE						
$V_{IN(1)}$	Logical "1" Input Voltage	V_{CC} = 4.75V	V_{CC}−1.5			V
$V_{IN(0)}$	Logical "0" Input Voltage	V_{CC} = 4.75V			0.8	V
$V_{OUT(1)}$	Logical "1" Output Voltage (Carry-Out and Digit Output Only)	V_{CC} = 4.75V, I_O = −360 μA	2.4			V
$V_{OUT(0)}$	Logical "0" Output Voltage	V_{CC} = 4.75V, I_O = 360 μA			0.4	V
OUTPUT DRIVE						
V_{OUT}	Output Voltage (Segment Sourcing Output)	I_{OUT} = −65 mA, V_{CC} = 5V, T_j = 25°C		V_{CC}−1.3		V
		I_{OUT} = −40 mA, V_{CC} = 5V, T_j = 100°C	V_{CC}−1.6	V_{CC}−1.2		V
		I_{OUT} = −40 mA, V_{CC} = 5V, T_j = 150°C	V_{CC}−2	V_{CC}−1.4		V
R_{ON}	Output Resistance (Segment Sourcing Output)	I_{OUT} = −65 mA, V_{CC} = 5V, T_j = 25°C		20		Ω
		I_{OUT} = −40 mA, V_{CC} = 5V, T_j = 100°C		30	40	Ω
		I_{OUT} = −40 mA, V_{CC} = 5V, T_j = 150°C		35	50	Ω
	Output Resistance (Segment Output) Temperature Coefficient			0.6	0.8	%/°C
I_{SOURCE}	Output Source Current (Digit Output)	V_{CC} = 4.75V, V_{OUT} = 1.75V, T_j = 150°C	−1	−2		mA
I_{SOURCE}	Output Source Current (Carry-out)	V_{CC} = 5V, V_{OUT} = 0V, T_j = 25°C	−1.75	−3.3		mA
I_{SINK}	Output Sink Current (All Outputs)	V_{CC} = 5V, V_{OUT} = V_{CC}, T_j = 25°C	1.75	3.6		mA
θ_{JA}	Thermal Resistance	MM74C925 (Note 4)		75	100	°C/W
		MM74C926, MM74C927, MM74C928		70	90	°C/W

Note 1: "Absolute Maximum Ratings" are those values beyond which the safety of the device cannot be guaranteed. Except for "Operating Range" they are not meant to imply that the devices should be operated at these limits. The table of "Electrical Characteristics" provides conditions for actual device operation.

Note 2: Capacitance is guaranteed by periodic testing.

Note 3: C_{PD} determines the no load ac power consumption of any CMOS device. For complete explanation see 54C/74C Family Characteristics application note, AN-90.

Note 4: θ_{JA} measured in free-air with device soldered into printed circuit board.

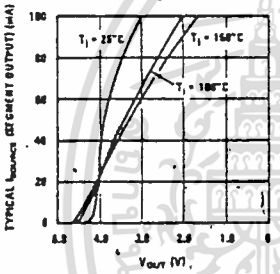
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ac electrical characteristics $T_J = 25°C$, $C_L = 50$ pF, unless otherwise specified

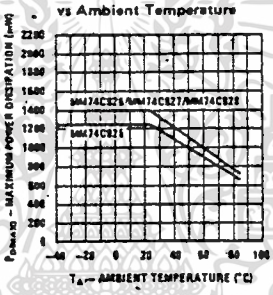
PARAMETER		CONDITIONS		MIN	TYP	MAX	UNITS
f_{MAX}	Maximum Clock Frequency	$V_{CC} = 5.0V$, Square Wave Clock	$T_J = 25°C$	2	4		MHz
			$T_J = 100°C$	1.5	3		MHz
t_r, t_f	Maximum Clock Rise or Fall Time	$V_{CC} = 5.0V$				15	μs
t_{WR}	Reset Pulse Width	$V_{CC} = 5.0V$	$T_J = 25°C$	250	100		ns
			$T_J = 100°C$	320	125		ns
t_{WLE}	Latch Enable Pulse Width	$V_{CC} = 5.0V$	$T_J = 25°C$	250	100		ns
			$T_J = 100°C$	320	125		ns
$t_{SET(CK\perp LE)}$	Clock to Latch-Enable Set-Up Time	$V_{CC} = 5.0V$	$T_J = 25°C$	2500	1250		ns
			$T_J = 100°C$	3200	1600		ns
t_{LR}	Latch Enable to Reset Wait Time	$V_{CC} = 5.0V$	$T_J = 25°C$	0	−100		ns
			$T_J = 100°C$	0	−100		ns
$t_{SET(R\perp LE)}$	Reset to Latch Enable Set-Up Time	$V_{CC} = 5.0V$	$T_J = 25°C$	320	160		ns
			$T_J = 100°C$	400	200		ns
f_{MUX}	Multiplexing Output Frequency	$V_{CC} = 5.0V$			1000		Hz
C_{IN}	Input Capacitance	Any Input (Note 2)			5		pF

typical performance characteristics

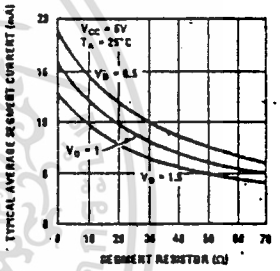
Typical Segment Current vs Output Voltage



Maximum Power Dissipation vs Ambient Temperature



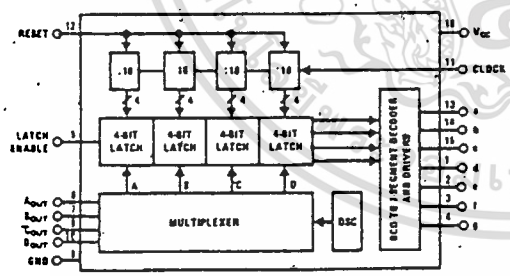
Typical Average Segment Current vs Segment Resistor Value



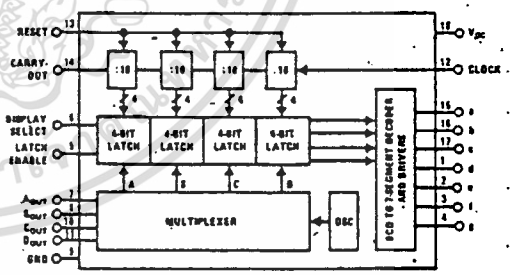
Note. V_D = Voltage across digit driver.

logic and block diagrams

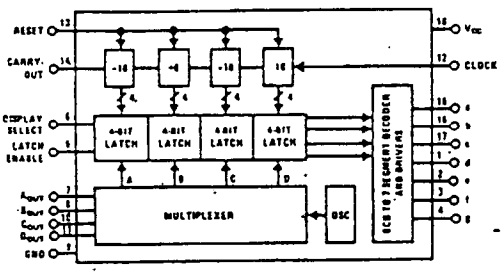
MM74C925



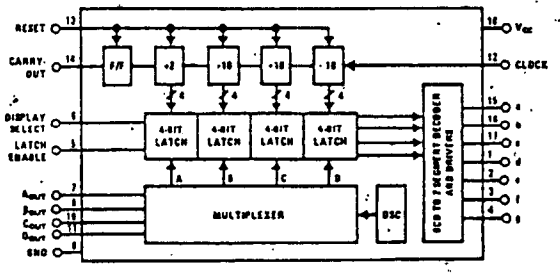
MM74C926



MM74C927

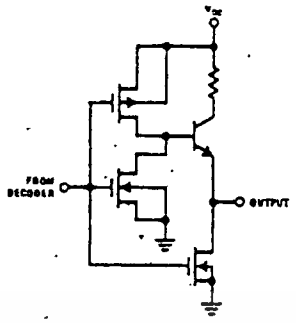


MM74C928

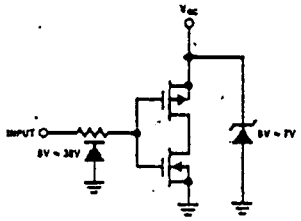


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

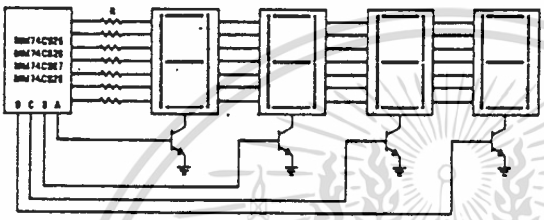
Segment Output Driver



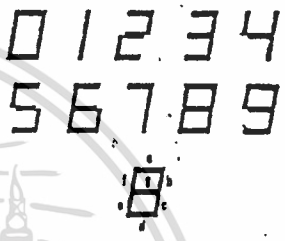
Input Protection



Common Cathode LED Display

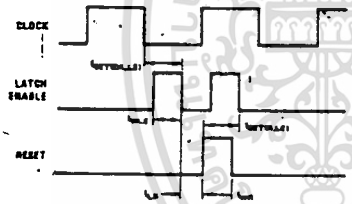


Segment Identification

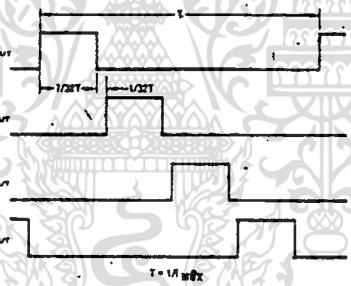


switching time waveforms

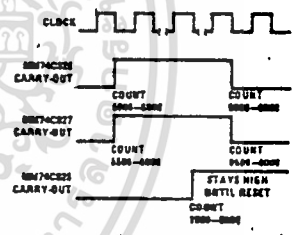
Input Waveforms



Multiplexing Output Waveforms



Carry-Out Waveforms



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SCL4011B, SCL4012B SCL4023B, SCL4068B

CMOS NAND GATES

SCL4011B — Quad 2-Input NAND
SCL4012B — Dual 4-Input NAND
SCL4023B — Triple 3-Input NAND
SCL4068B — 8-Input NAND

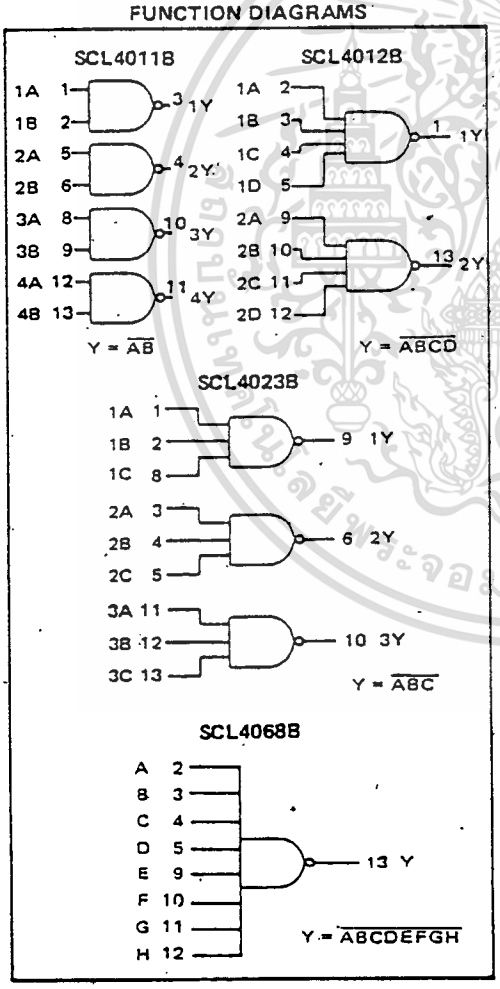
FEATURES

- Buffered Outputs
- Diode Protection on all Inputs
- Fully "B"-Series Compatible
- Balanced Output Drive Current Specifications

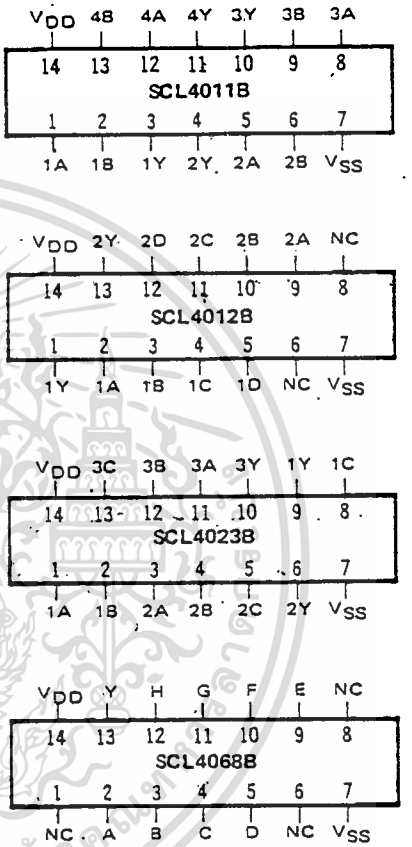
TRUTH TABLE

Inputs	Output
1 1 . . . 1	0
All other combinations	1

FUNCTION DIAGRAMS



CONNECTION DIAGRAMS
(all packages)



Add suffix to package:

- C 14-pin Cerdip
- D 14-pin Ceramic
- E 14-pin Epoxy
- F 14-pin Flat
- H Chip

RECOMMENDED OPERATING CONDITIONS

For maximum reliability:

DC Supply Voltage	$V_{DD} - V_{SS}$	3 to 15	Vdc
Operating Temperature	T_A		
C, D, F, H Device		-55 to +125	°C
E Device		-40 to +85	°C

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS

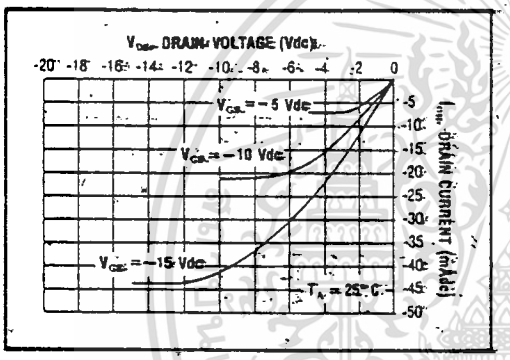
STATIC CHARACTERISTICS

PARAMETER		V_{DD} (Vdc)	CONDITIONS	T_{LOW}[1] Min.	T_{LOW}[1] Max.	+25°C Min.	+25°C Typ.	+25°C Max.	T_{HIGH}[1] Min.	T_{HIGH}[1] Max.	Units
QUIESCENT DEVICE CURRENT	I_{DD}	5	$V_{IN} = V_{SS}$ or V_{DD}	–	0.05	–	0.0005	0.05	–	1.5	μAdc
		10	All valid input	–	0.10	–	0.001	0.10	–	3.0	
		15	combinations	–	0.20	–	0.002	0.20	–	6.0	

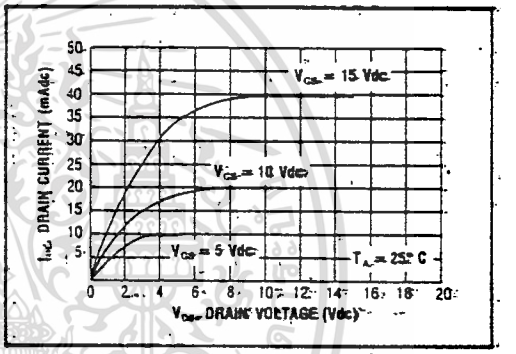
NOTES:
1. Remaining Static Electrical Characteristics are listed under "SCL4000B Series Family Specifications".
   T_{LOW} = −55°C for C, D, F, H devices;
   = −40°C for E device.
   T_{HIGH} = +125°C for C, D, F, H devices,
   = +85°C for E device.
2. These devices have been designed for balanced output drive current specifications. Consult Family Specifications.

DYNAMIC CHARACTERISTICS (C_L = 50pF, T_A = 25°C)

PARAMETER		V_{DD} (Vdc)	Min.	Typ.	Max.	Units
PROPAGATION DELAY TIME	t_{PLH}, t_{PHL}	5	–	125	250	ns
		10	–	60	120	
		15	–	45	90	
OUTPUT TRANSITION TIME	t_{TLH}, t_{THL}	5	–	100	200	ns
		10	–	50	100	
		15	–	40	80	

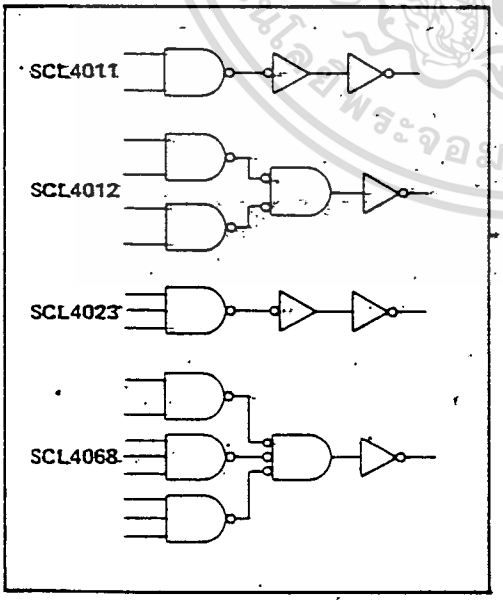


Typical P-Channel Source Current Characteristics

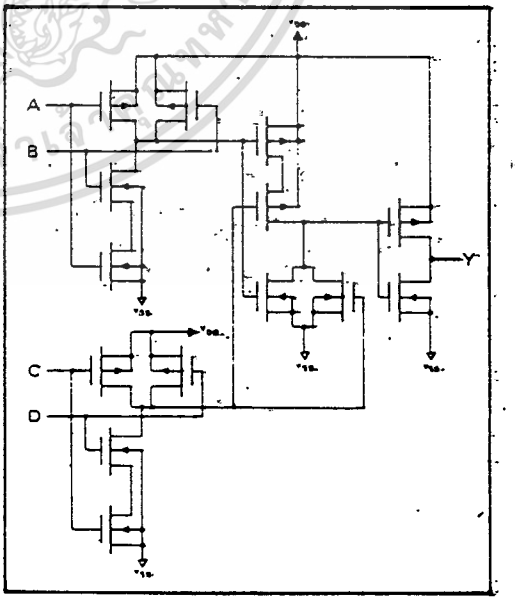


Typical N-Channel Sink Current Characteristics

LOGIC DIAGRAMS



SCHEMATIC DIAGRAM SCL4012B (1 of 2 gates)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

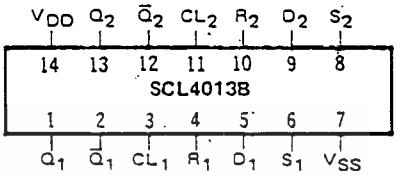
SCL4013B

CMOS DUAL D-TYPE FLIP-FLOP

FEATURES

- Independent Set and Reset Controls
- Static Operation
- Logic Edge-Clocked Design
- 16MHz Toggle Rate @ 10Vdc
- Balanced Output Drive Current Specifications

CONNECTION DIAGRAM
(all packages)



Add suffix for package:

C	14-pin Cerdip
D	14-pin Ceramic
E	14-pin Epoxy
F	14-pin Flat
H	Chip

DESCRIPTION

The SCL4013B consists of two identical, independent D-type Flip-Flops. These devices can be used for shift register applications, and, by connecting the $\overline{Q}$ output to the Data input, for counter and toggle applications. The logic level present at the D input is transferred to the Q output during the positive-going transition of the Clock pulse. Setting or resetting is independent of the Clock and is accomplished by a high level on the Set or Reset line, respectively.

TRUTH TABLE

CL ▲	D	R	S	Q	$\overline{Q}$	
⌒	0	0	0	0	1	
⌒	1	0	0	1	0	
⌒	x	0	0	Q	$\overline{Q}$	NO CHANGE
x	x	1	0	0	1	
x	x	0	1	1	0	
x	x	1	1	1	1	

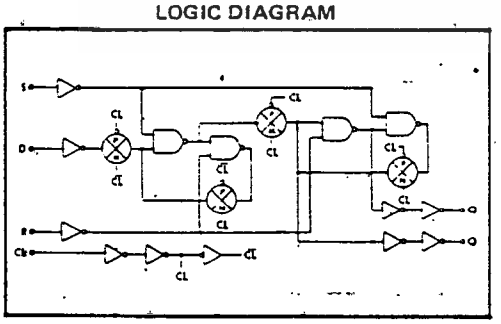
▲ = Level Change
x = Don't Care

RECOMMENDED OPERATING CONDITIONS

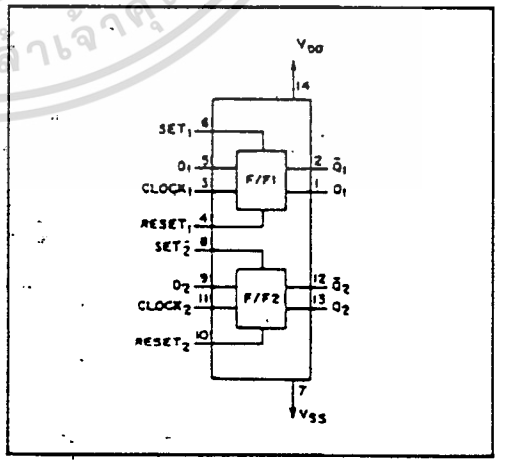
For maximum reliability:

DC Supply Voltage	$V_{DD} - V_{SS}$	3 to 15	Vdc
Operating Temperature	T_A		
C, D, F, H Device		-55 to +125	°C
E Device		-40 to +85	°C

LOGIC DIAGRAM



BLOCK DIAGRAM



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS

STATIC CHARACTERISTICS [1,3]

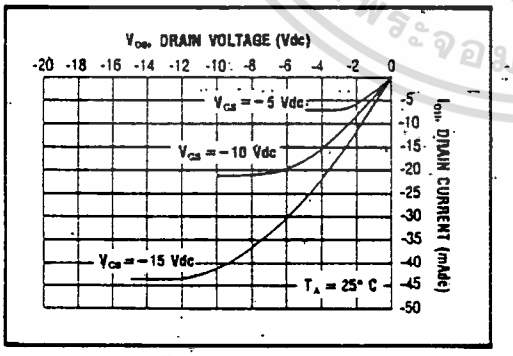
PARAMETER		V_{DD} (Vdc)	CONDITIONS	T_{LOW} [2]		+25°C			T_{HIGH} [2]		Units
				Min.	Max.	Min.	Typ.	Max.	Min.	Max.	
QUIESCENT DEVICE CURRENT	I_{DD}	5	$V_{IN}=V_{SS}$ or V_{DD}	–	1.0	–	0.005	1.0	–	30	μAdc
		10	All valid input	–	2.0	–	0.01	2.0	–	60	
		15	combinations	–	4.0	–	0.02	4.0	–	120	

NOTES: [1] Remaining Static Electrical Characteristics are listed under "SCL40008 Series Family Specifications".
[2] T_{LOW} = -55°C for C, D, F, H device.
= -40°C for E device.
T_{HIGH} = +125°C for C, D, F, H device.
= + 85°C for E device.
[3] This device has been designed for balanced output drive current specifications. Consult Family Specifications.

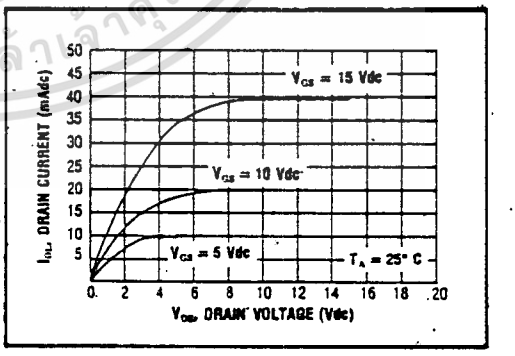
DYNAMIC CHARACTERISTICS (C_L = 50pF, T_A = 25°C)

PARAMETER		V_{DD} (Vdc)	Min.	Typ.	Max.	Units
CLOCKED OPERATION						
PROPAGATION DELAY TIME	t_{PLH}, t_{PHL}	5	–	125	250	ns
		10	–	65	130	
		15	–	45	90	
OUTPUT TRANSITION TIME	t_{TLH}, t_{THL}	5	–	100	200	ns
		10	–	50	100	
		15	–	40	80	
MINIMUM CLOCK PULSE WIDTH	PW_{CL}	5	–	70	140	ns
		10	–	30	60	
		15	–	20	40	
MAXIMUM CLOCK FREQUENCY	f_{CL}	5	3.5	7.0	–	MHz
		10	8.0	16	–	
		15	12.5	25	–	
MAXIMUM CLOCK RISE AND FALL TIME[1]	t_{rCL}, t_{fCL}	5	15	–	–	μs
		10	10	–	–	
		15	5	–	–	
MINIMUM SETUP TIME	t_{setup}	5	–	25	50	ns
		10	–	10	20	
		15	–	7.5	15	
MINIMUM HOLD TIME	t_{hold}	5	–	-25	0	ns
		10	–	-10	0	
		15	–	-5	>0	
SET AND RESET OPERATIONS						
PROPAGATION DELAY TIME S to Q, R to $\overline{Q}$	t_{PLH}	5	–	125	250	ns
		10	–	65	130	
		15	–	45	90	
MINIMUM SET AND RESET PULSE WIDTH	PW_S, PW_R	5	–	65	130	ns
		10	–	30	60	
		15	–	25	50	
SET AND RESET REMOVAL TIME	t_{rem}	5	–	0	25	ns
		10	–	0	10	
		15	–	0	5	

[1] When units are cascaded, the maximum rise and fall times of the clock input should be equal to or less than the transition times of the data outputs driving data inputs, plus the propagation delay of the output driving stage for the output capacitive load.



Typical P-Channel
Source Current Characteristics



Typical N-Channel
Sink Current Characteristics

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SCL4024B

CMOS 7-STAGE BINARY COUNTER

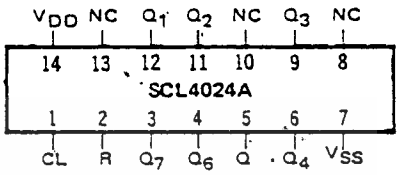
FEATURES

- 7 Fully Static Stages
- Buffered Outputs Available from All Stages
- Common Reset Line
- 8 MHz Counting Rate @ 10Vdc
- All Inputs Buffered

DESCRIPTION

The SCL4024B is a single chip monolithic medium scale integrated circuit containing N-Channel and P-Channel enhancement-mode MOS transistors. Seven single-phase clocked counting stages are provided with the Q output of each stage accessible. The Counter is reset to "zero" by a high level on the Reset input. Each counter stage is a static master-slave flip-flop. The counter state is advanced one count on the negative-going transition of each input pulse.

CONNECTION DIAGRAM
(all packages)



Add suffix for package:

- C 14-pin Cerdip
- D 14-pin Ceramic
- E 14-pin Epoxy
- F 14-pin Flat
- H Chip

TRUTH TABLE

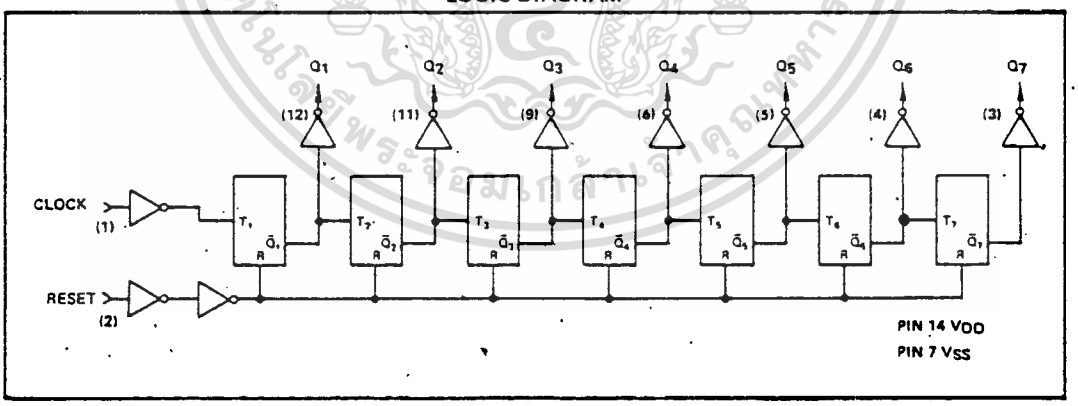
Clock	Reset	State
0	0	No Change
0	1	All Outputs Low
1	0	No Change
1	1	All Outputs Low
⌐	0	No Change
⌐	1	All Outputs Low
⌐	0	Advance One Count
⌐	1	All Outputs Low

RECOMMENDED ORERATING CONDITIONS

For maximum reliability:

DC Supply Voltage	$V_{DD} - V_{SS}$	3 to 15	Vdc
Operating Temperature	T_A		
C, D, F, H Device		-55 to +125	°C
E Device		-40 to +85	°C

LOGIC DIAGRAM



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS

STATIC CHARACTERISTICS [1]

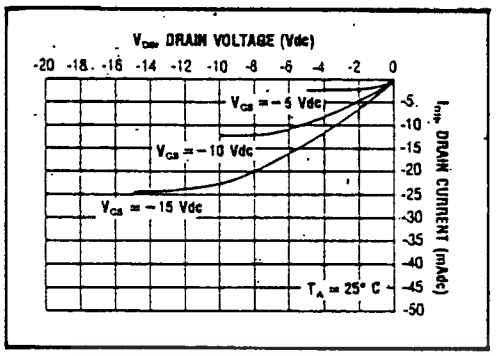
PARAMETER		V_{DD} (Vdc)	CONDITIONS	T_{LOW} [2]		+25°C			T_{HIGH} [2]		Units
				Min.	Max.	Min.	Typ.	Max.	Min.	Max.	
QUIESCENT DEVICE CURRENT	I_{DD}	5	$V_{IN} = V_{SS}$ or V_{DD}	–	5	–	0.05	5	–	150	μAdc
		10	All valid input	–	10	–	0.1	10	–	300	
		15	combinations	–	20	–	0.2	20	–	600	

NOTES: [1] Remaining Static Electrical Characteristics are listed under "SCL4000B Series Family Specifications".
[2] T_{LOW} = -55°C for C, D, F, H device.
= -40°C for E device.
T_{HIGH} = +125°C for C, D, F, H device.
= + 85°C for E device.

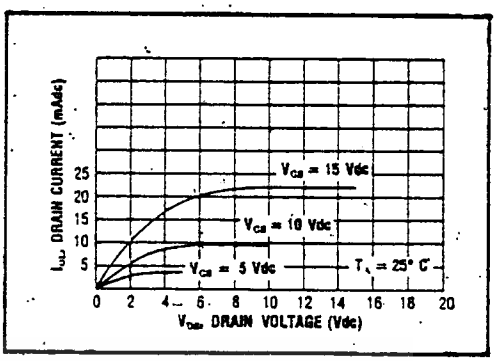
DYNAMIC CHARACTERISTICS (C_L = 50 pF, T_A = 25°C)

PARAMETER		V_{DD} (Vdc)	Min.	Typ.	Max.	Units
CLOCKED OPERATION						
PROPAGATION DELAY TIME Clock to Q_1	t_{PLH}, t_{PHL}	5	–	200	400	ns
		10	–	100	200	
		15	–	80	160	
Q_i to Q_{i+1}	t_{PLH}, t_{PHL}	5	–	125	250	ns
		10	–	60	120	
		15	–	45	90	
OUTPUT TRANSITION TIME	t_{TLH}, t_{THL}	5	–	130	260	ns
		10	–	65	130	
		15	–	50	100	
MINIMUM CLOCK PULSE WIDTH	PW_{CL}	5	–	165	330	ns
		10	–	60	120	
		15	–	45	90	
MAXIMUM CLOCK FREQUENCY	f_{CL}	5	1.5	3.0	–	MHz
		10	4.0	8.0	–	
		15	5.5	11	–	
MAXIMUM CLOCK RISE AND FALL TIME	t_{rCL}, t_{fCL}	5	15	–	–	μs
		10	10	–	–	
		15	5	–	–	
RESET OPERATION						
PROPAGATION DELAY TIME	t_{PHL}	5	–	350	700	ns
		10	–	175	350	
		15	–	130	260	
MINIMUM RESET PULSE WIDTH	PW_R	5	–	250	500	ns
		10	–	125	250	
		15	–	100	200	
RESET REMOVAL TIME	t_{rem}	5	–	250	500	ns
		10	–	75	150	
		15	–	60	120	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

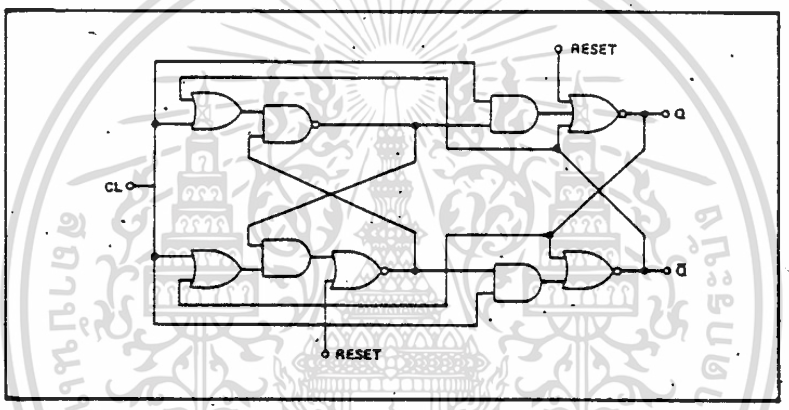


Typical P-Channel
Source Current Characteristics



Typical N-Channel
Sink Current Characteristics

TYPICAL COUNTER STAGE



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

CD4047BM/CD4047BC Low Power Monostable/Astable Multivibrator

general description

CD4047B is capable of operating in either the monostable or astable mode. It requires an external capacitor (between pins 1 and 3) and an external resistor (between pins 2 and 3) to determine the output pulse width in the monostable mode, and the output frequency in the astable mode.

Astable operation is enabled by a high level on the astable input or low level on the $\overline{\text{astable}}$ input. The output frequency (at 50% duty cycle) at Q and $\overline{Q}$ outputs is determined by the timing components. A frequency twice that of Q is available at the Oscillator Output; a 50% duty cycle is not guaranteed.

Monostable operation is obtained when the device is triggered by low-to-high transition at + triggger input or high-to-low transition at − trigger input. The device can be retriggered by applying a simultaneous low-to-high transition to both the + trigger and retrigger inputs.

A high level on Reset input resets the outputs Q to low, $\overline{Q}$ to high.

features

- Wide supply voltage range — 3V to 15V
- High noise immunity — 0.45 V_{DD} typ
- Low power TTL compatibility — fan out of 2 driving 74L or driving 74LS

SPECIAL FEATURES

- Low power consumption: special CMOS oscillator configuration
- Monostable (one-shot) or astable (free-running) operation
- True and complemented buffered outputs
- Only one external R and C required

MONOSTABLE MULTIVIBRATOR FEATURES

- Positive or negative-edge trigger
- Output pulse width independent of trigger pulse duration
- Retriggerable option for pulse width expansion
- Long pulse widths possible using small RC components by means of external counter provision
- Fast recovery time essentially independent of pulse width
- Pulse-width accuracy maintained at duty cycles approaching 100%

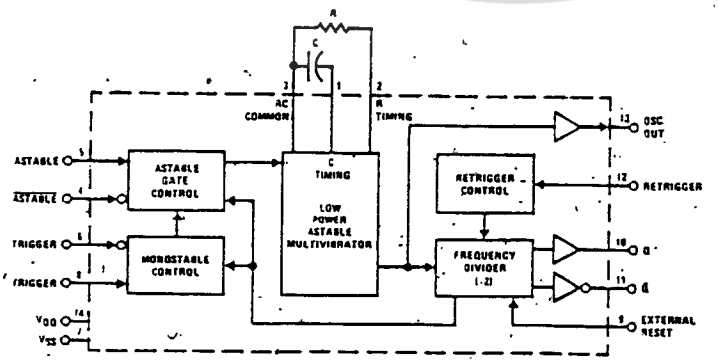
ASTABLE MULTIVIBRATOR FEATURES

- Free-running or gatable operating modes
- 50% duty cycle
- Oscillator output available
- Good astable frequency stability
  - typical frequency deviation = ±2% + 0.03%/°C @ 100 kHz
  - = ±0.5% + 0.015%/°C @ 10 kHz
  - (circuits trimmed to frequency V_{DD} = 10V ±10%)

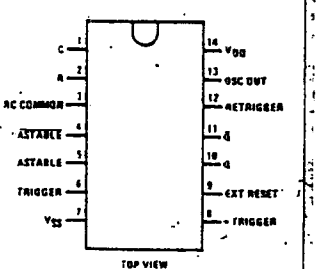
applications

- Frequency discriminators
- Timing circuits
- Time-delay applications
- Envelope detection
- Frequency multiplication
- Frequency division

block and connection diagrams



Dual-In-Line and Flat Package



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

absolute maximum ratings

(Notes 1 and 2)

V_{DD} dc Supply Voltage	−0.5 to +18V_{DC}
V_{IN} Input Voltage	−0.5 to V_{DD} + 0.5V_{DC}
T_S Storage Temperature Range	−65°C to +150°C
P_D Package Dissipation	500 mW
T_L Lead Temperature (Soldering, 10 seconds)	300°C

recommended operating conditions

(Note 2)

V_{DD} dc Supply Voltage	3 to 15V_{DC}
V_{IN} Input Voltage	0 to $V_{DD}V_{DC}$
T_A Operating Temperature Range	
CD4047BM	−55°C to +125°C
CD4047BC	−40°C to +85°C

dc electrical characteristics CD4047BM (Note 2)

PARAMETER		CONDITIONS	−55°C		25°C			125°C		UNITS
			MIN	MAX	MIN	TYP	MAX	MIN	MAX	
I_{DD}	Quiescent Device Current	V_{DD} = 5V		5			5		150	μA
		V_{DD} = 10V		10			10		300	μA
		V_{DD} = 15V		20			20		600	μA
V_{OL}	Low Level Output Voltage	$\|I_O\| < 1$ μA								
		V_{DD} = 5V		0.05		0	0.05		0.05	V
		V_{DD} = 10V		0.05		0	0.05		0.05	V
		V_{DD} = 15V		0.05		0	0.05		0.05	V
V_{OH}	High Level Output Voltage	$\|I_O\| < 1$ μA								
		V_{DD} = 5V	4.95		4.95	5		4.95		V
		V_{DD} = 10V	9.95		9.95	10		9.95		V
		V_{DD} = 15V	14.95		14.95	15		14.95		V
V_{IL}	Low Level Input Voltage	V_{DD} = 5V, V_O = 0.5V or 4.5V		1.5		2.25	1.5		1.5	V
		V_{DD} = 10V, V_O = 1V or 9V		3.0		4.5	3.0		3.0	V
		V_{DD} = 15V, V_O = 1.5V or 13.5V		4.0		6.75	4.0		4.0	V
V_{IH}	High Level Input Voltage	V_{DD} = 5V, V_O = 0.5V or 4.5V	3.5		3.5	2.75		3.5		V
		V_{DD} = 10V, V_O = 1V or 9V	7.0		7.0	5.5		7.0		V
		V_{DD} = 15V, V_O = 1.5V or 13.5V	11.0		11.0	8.25		11.0		V
I_{OL}	Low Level Output Current	V_{DD} = 5V, V_O = 0.4V	0.64		0.51	0.88		0.36		mA
		V_{DD} = 10V, V_O = 0.5V	1.6		1.3	2.25		0.9		mA
		V_{DD} = 15V, V_O = 1.5V	4.2		3.4	8.8		2.4		mA
I_{OH}	High Level Output Current	V_{DD} = 5V, V_O = 4.6V	−0.64		−0.51	−0.88		−0.36		mA
		V_{DD} = 10V, V_O = 9.5V	−1.6		−1.3	−2.25		−0.9		mA
		V_{DD} = 15V, V_O = 13.5V	−4.2		−3.4	−8.8		−2.4		mA
I_{IN}	Input Current	V_{DD} = 15V, V_{IN} = 0V		−0.1		-10^{-5}	−0.1		−1.0	μA
		V_{DD} = 15V, V_{IN} = 15V		0.1		10^{-5}	0.1		1.0	μA

dc electrical characteristics CD4047BC (Note 2)

PARAMETER		CONDITIONS	−40°C		25°C			85°C		UNITS
			MIN	MAX	MIN	TYP	MAX	MIN	MAX	
I_{DD}	Quiescent Device Current	V_{DD} = 5V		20			20		150	μA
		V_{DD} = 10V		40			40		300	μA
		V_{DD} = 15V		80			80		600	μA
V_{OL}	Low Level Output Voltage	$\|I_O\| < 1$ μA								
		V_{DD} = 5V		0.05		0	0.05		0.05	V
		V_{DD} = 10V		0.05		0	0.05		0.05	V
		V_{DD} = 15V		0.05		0	0.05		0.05	V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

dc electrical characteristics (Continued) 'CD4047BC' (Note 2)

PARAMETER		CONDITIONS	−40°C		25°C			85°C		UNITS
			MIN	MAX	MIN	TYP	MAX	MIN	MAX	
V_{OH}	High Level Output Voltage	$\|I_O\| < 1\ \mu A$								
		V_{DD} = 5V	4.95		4.95	5		4.95		V
		V_{DD} = 10V	9.95		9.95	10		9.95		V
		V_{DD} = 15V	14.95		14.95	15		14.95		V
V_{IL}	Low Level Input Voltage	V_{DD} = 5V, V_O = 0.5V or 4.5V		1.5		2.25	1.5		1.5	V
		V_{DD} = 10V, V_O = 1V or 9V		3.0		4.5	3.0		3.0	V
		V_{DD} = 15V, V_O = 1.5V or 13.5V		4.0		6.75	4.0		4.0	V
V_{IH}	High Level Input Voltage	V_{DD} = 5V, V_O = 0.5V or 4.5V	3.5		3.5	2.75		3.5		V
		V_{DD} = 10V, V_O = 1V or 9V	7.0		7.0	5.5		7.0		V
		V_{DD} = 15V, V_O = 1.5V or 13.5V	11.0		11.0	8.25		11.0		V
I_{OL}	Low Level Output Current	V_{DD} = 5V, V_O = 0.4V	0.52		0.44	0.88		0.36		mA
		V_{DD} = 10V, V_O = 0.5V	1.3		1.1	2.25		0.9		mA
		V_{DD} = 15V, V_O = 1.5V	3.6		3.0	8.8		2.4		mA
I_{OH}	High Level Output Current	V_{DD} = 5V, V_O = 4.6V	−0.52		−0.44	−0.88		−0.36		mA
		V_{DD} = 10V, V_O = 9.5V	−1.3		−1.1	−2.25		−0.9		mA
		V_{DD} = 15V, V_O = 13.5V	−3.6		−3.0	−8.8		−2.4		mA
I_{IN}	Input Current	V_{DD} = 15V, V_{IN} = 0V		−0.3		-10^{-5}	−0.3		−1.0	μA
		V_{DD} = 15V, V_{IN} = 15V		0.3		10^{-5}	0.3		1.0	μA

Note 1: "Absolute Maximum Ratings" are those values beyond which the safety of the device cannot be guaranteed, they are not meant to imply that the devices should be operated at these limits. The table of "Recommended Operating Conditions" and "Electrical Characteristics" provides conditions for actual device operation.

Note 2: V_{SS} = 0V unless otherwise specified.

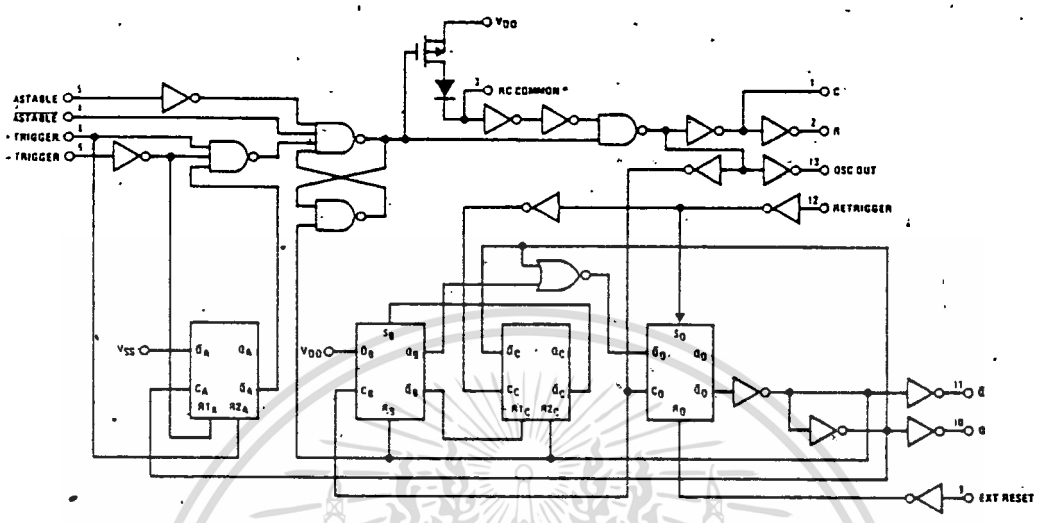
ac electrical characteristics CD40478

T_A = 25°C, C_L = 50 pF, R_L = 200k, Input t_r = t_f = 20 ns, unless otherwise specified.

	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
t_{PHL}, t_{PLH}	Propagation Delay Time Astable, $\overline{\text{Astable}}$ to Osc Out	V_{DD} = 5V		200	400	ns
		V_{DD} = 10V		100	200	ns
		V_{DD} = 15V		80	160	ns
t_{PHL}, t_{PLH}	Astable, $\overline{\text{Astable}}$ to Q, $\overline{Q}$	V_{DD} = 5V		550	900	ns
		V_{DD} = 10V		250	500	ns
		V_{DD} = 15V		200	400	ns
t_{PHL}, t_{PLH}	+ Trigger, − Trigger to Q, $\overline{Q}$	V_{DD} = 5V		700	1200	ns
		V_{DD} = 10V		300	600	ns
		V_{DD} = 15V		240	480	ns
t_{PHL}, t_{PLH}	+ Trigger, Retrigger to Q, $\overline{Q}$	V_{DD} = 5V		300	600	ns
		V_{DD} = 10V		175	300	ns
		V_{DD} = 15V		150	250	ns
t_{PHL}, t_{PLH}	Reset to Q, $\overline{Q}$	V_{DD} = 5V		300	600	ns
		V_{DD} = 10V		125	250	ns
		V_{DD} = 15V		100	200	ns
t_{THL}, t_{TLH}	Transition Time Q, $\overline{Q}$, Osc Out	V_{DD} = 5V		100	200	ns
		V_{DD} = 10V		50	100	ns
		V_{DD} = 15V		40	80	ns
t_{WL}, t_{WH}	Minimum Input Pulse Duration	Any Input				
		V_{DD} = 5V		500	1000	ns
		V_{DD} = 10V		200	400	ns
		V_{DD} = 15V		160	320	ns
t_{RCL}, t_{FCL}	+ Trigger, Retrigger, Rise and Fall Time	V_{DD} = 5V			15	μs
		V_{DD} = 10V			5	μs
		V_{DD} = 15V			5	μs
C_{IN}	Average Input Capacitance	Any Input		5	7.5	pF

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

logic diagram



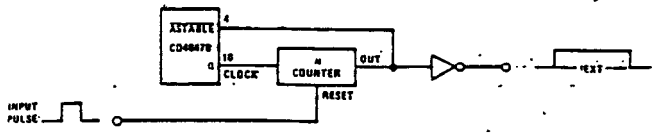
*Special input protection circuit to permit larger input-voltage swings

truth table

FUNCTION	TERMINAL CONNECTIONS			OUTPUT PULSE FROM	TYPICAL OUTPUT PERIOD OR PULSE WIDTH
	TO V_{DD}	TO V_{SS}	INPUT PULSE TO		
Astable Multivibrator					
Free-Running	4, 5, 6, 14	7, 8, 9, 12		10, 11, 13	$t_A(10, 11) = 4.40\ RC$
True Gating	4, 6, 14	7, 8, 9, 12	5	10, 11, 13	$t_A(13) = 2.20\ RC$
Complement Gating	6, 14	5, 7, 8, 9, 12	4	10, 11, 13	
Monostable Multivibrator					
Positive-Edge Trigger	4, 14	5, 6, 7, 9, 12	8	10, 11	$t_M(10, 11) = 2.48\ RC$
Negative-Edge Trigger	4, 8, 14	5, 7, 9, 12	6	10, 11	
Retriggerable	4, 14	5, 6, 7, 9	8, 12	10, 11	
External Countdown*	14	5, 6, 7, 8, 9, 12	(See Figure)	(See Figure)	(See Figure)

Note: External resistor between terminals 2 and 3. External capacitor between terminals 1 and 3.

*Typical Implementation of External Countdown Option

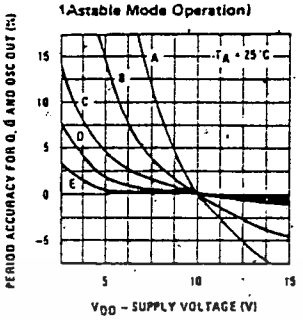


$$t_{EXT} = (N - 1)\ t_A + (t_M + t_A/2)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

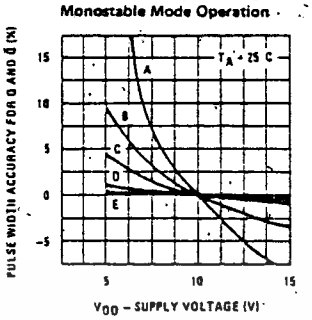
typical performance characteristics

Typical Q, $\overline{Q}$, Osc Out Period Accuracy vs Supply Voltage (Astable Mode Operation)



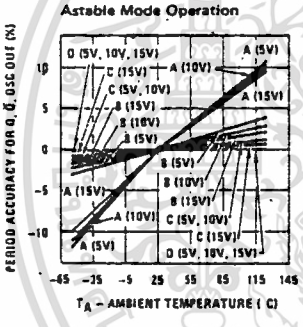
	$f_{Q, \overline{Q}}$	R	C
A	1000 kHz	22k	10 pF
B	100 kHz	22k	100 pF
C	10 kHz	220k	100 pF
D	1 kHz	220k	1000 pF
E	100 Hz	2.2M	1000 pF

Typical Q, $\overline{Q}$, Pulse Width Accuracy vs Supply Voltage Monostable Mode Operation



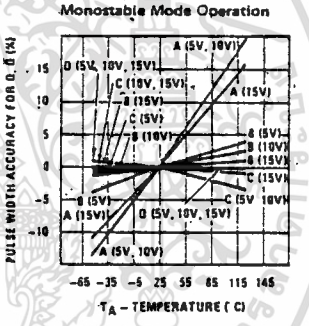
	t_M	R	C
A	2 µs	22k	10 pF
B	7 µs	22k	100 pF
C	60 µs	220k	100 pF
D	550 µs	220k	1000 pF
E	5.5 ms	2.2M	1000 pF

Typical Q, $\overline{Q}$ and Osc Out Period Accuracy vs Temperature Astable Mode Operation



	$f_{Q, \overline{Q}}$	R	C
A	1000 kHz	22k	10 pF
B	100 kHz	22k	100 pF
C	10 kHz	220k	100 pF
D	1 kHz	220k	1000 pF

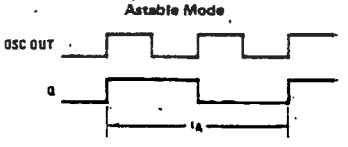
Typical Q and $\overline{Q}$ Pulse Width Accuracy vs Temperature Monostable Mode Operation



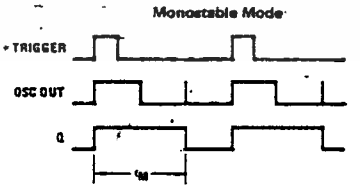
	t_M	R	C
A	2 µs	22k	10 pF
B	7 µs	22k	100 pF
C	60 µs	220k	100 pF
D	550 µs	220k	1000 pF

timing diagrams

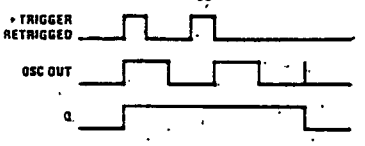
Astable Mode



Monostable Mode



Retrigger Mode



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SCL4518B
SCL4520B

CMOS DUAL UP COUNTERS

FEATURES

- Two Independent 4-Bit Counters
- Internally Synchronous for High Speed
- Dual BCD (SCL4518B) and Dual Binary (SCL4520B) Configurations
- Direct Reset
- Logic Edge-Clocked Design
- Trigger from either Edge of Clock Signal
- Static Operation— DC to 5MHz @ 10Vdc

DESCRIPTION

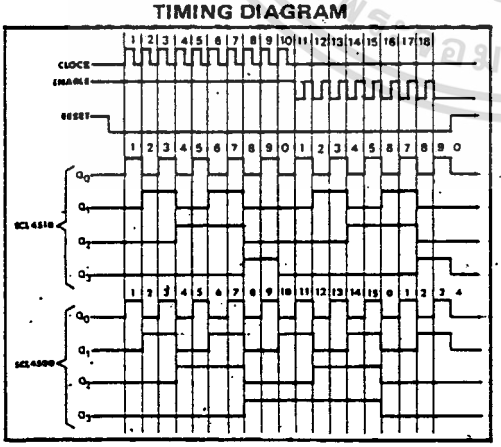
The SCL4518B Dual BCD Counter and the SCL4520B Dual Binary Counter are constructed with MOS P-channel and N-channel enhancement-mode devices in a single monolithic structure. Each consists of two identical, independent, internally synchronous 4-stage counters. The counter stages are type-D flip-flops, with interchangeable Clock and Enable lines for incrementing on either the positive-going or negative-going transition as required when cascading multiple stages. Each counter can be cleared by applying a high level on the Reset line. In addition, the SCL4518B will count out of all undefined states within two clock periods. These complementary MOS up counters find primary use in multi-stage synchronous or ripple counting applications requiring low power dissipation and/or high noise immunity.

TRUTH TABLE

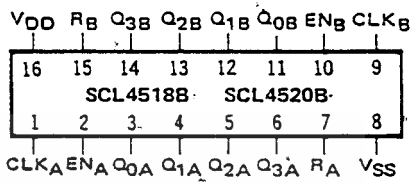
CLOCK	ENABLE	RESET	ACTION
⌐	1	0	Increment Counter
0	⌐	0	Increment Counter
¬	X	0	No Change
X	⌐	0	No Change
⌐	0	0	No Change
1	¬	0	No Change
X	X	1	Q0 thru Q3 = 0

X = Don't Care

TIMING DIAGRAM



CONNECTION DIAGRAM
(all packages)



Add suffix for package:

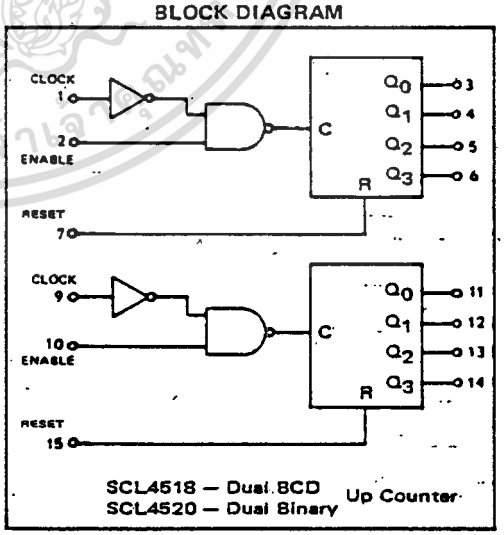
C	16-pin Cerdip
D	16-pin Ceramic
E	16-pin Epoxy
F	16-pin Flat
H	Chip

RECOMMENDED OPERATING CONDITIONS

For maximum reliability:

DC Supply Voltage	$V_{DD} - V_{SS}$	3 to 15	Vdc
Operating Temperature	T_A		
C, D, F, H Device		-55 to +125	°C
E Device		-40 to +85	°C

BLOCK DIAGRAM



SCL4518 — Dual BCD Up Counter
SCL4520 — Dual Binary

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS

STATIC CHARACTERISTICS

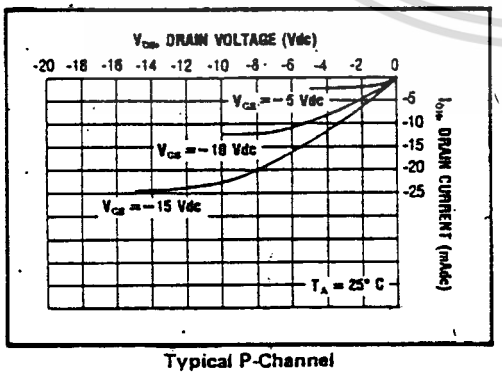
PARAMETER		V_{DD} (Vdc)	CONDITIONS	T_{LOW}[1]		+25°C		T_{HIGH}[1]		Units
				Min.	Max.	Min.	Typ.	Max.	Min.	Max.	
QUIESCENT DEVICE CURRENT	I_{DD}	5	$V_{IN} = V_{SS}$ or V_{DD}	–	5	–	0.05	5	–	150	μAdc
		10	All valid inout	–	10	–	0.1	10	–	300	
		15	combinations	–	20	–	0.2	20	–	600	

NOTES: [1] Remaining Static Electrical Characteristics are listed under "SCL4000B Series Family Specifications".
[2] T_{LOW} = −55°C for C, D, F, H device.
= −40°C for E device.
T_{HIGH} = +125°C for C, D, F, H device.
= + 85°C for E device.

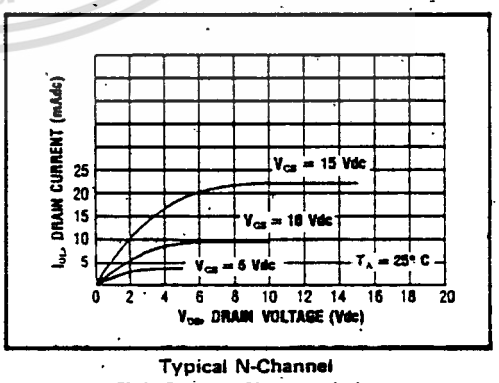
DYNAMIC CHARACTERISTICS (C_L = 50pF, T_A = 25°C)

PARAMETER		V_{DD} (Vdc)	Min.	Typ.	Max.	Units
CLOCKED OPERATION						
PROPAGATION DELAY TIME From Clock or Clock Enable	t_{PLH}, t_{PHL}	5	–	225	450	ns
		10	–	100	200	
		15	–	80	160	
OUTPUT TRANSITION TIME	t_{TLH}, t_{THL}	5	–	130	260	ns
		10	–	65	130	
		15	–	50	100	
MINIMUM CLOCK PULSE WIDTH	PW_{CL}	5	–	120	240	ns
		10	–	50	100	
		15	–	40	80	
MINIMUM CLOCK ENABLE PULSE WIDTH	PW_{CE}	5	–	200	400	ns
		10	–	90	180	
		15	–	75	150	
MAXIMUM CLOCK FREQUENCY	f_{CL}	5	1.0	2.0	–	MHz
		10	2.5	5.0	–	
		15	3.0	6.0	–	
MAXIMUM CLOCK OR CLOCK ENABLE RISE & FALL TIME[1]	t_{rCL}, t_{fCL}	5	15	–	–	μs
		10	5	–	–	
		15	3	–	–	
RESET OPERATION						
PROPAGATION DELAY TIME	t_{PHL}	5	–	225	450	ns
		10	–	100	200	
		15	–	80	160	
MINIMUM RESET PULSE WIDTH	PW_R	5	–	120	240	ns
		10	–	50	100	
		15	–	40	80	
RESET REMOVAL TIME	t_{rem}	5	–	100	200	ns
		10	–	50	100	
		15	–	40	80	

[1] When units are cascaded, the maximum rise and fall times of the clock input should be equal to or less than the transition times of the data outputs driving data inputs, plus the propagation delay of the output driving stage for the output capacitive load.



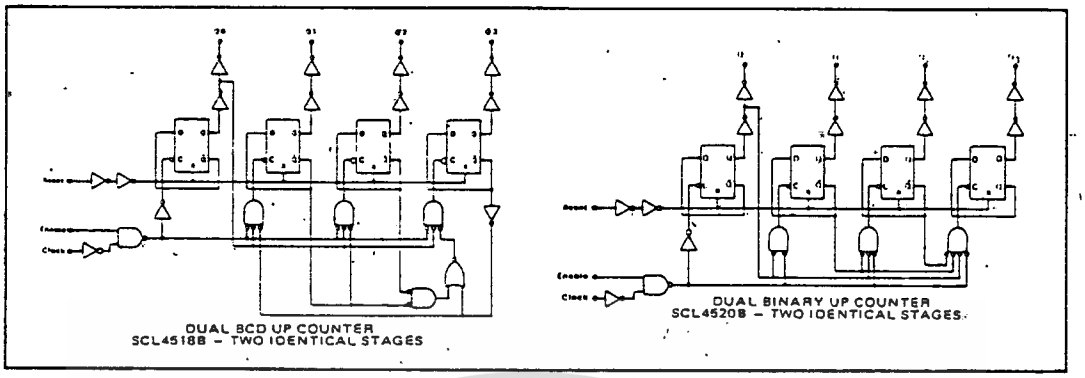
Typical P-Channel Source Current Characteristics



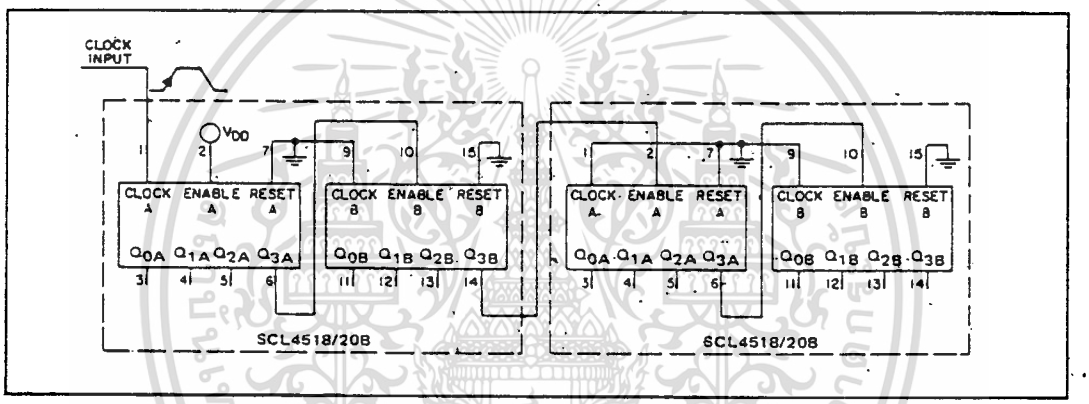
Typical N-Channel Sink Current Characteristics

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

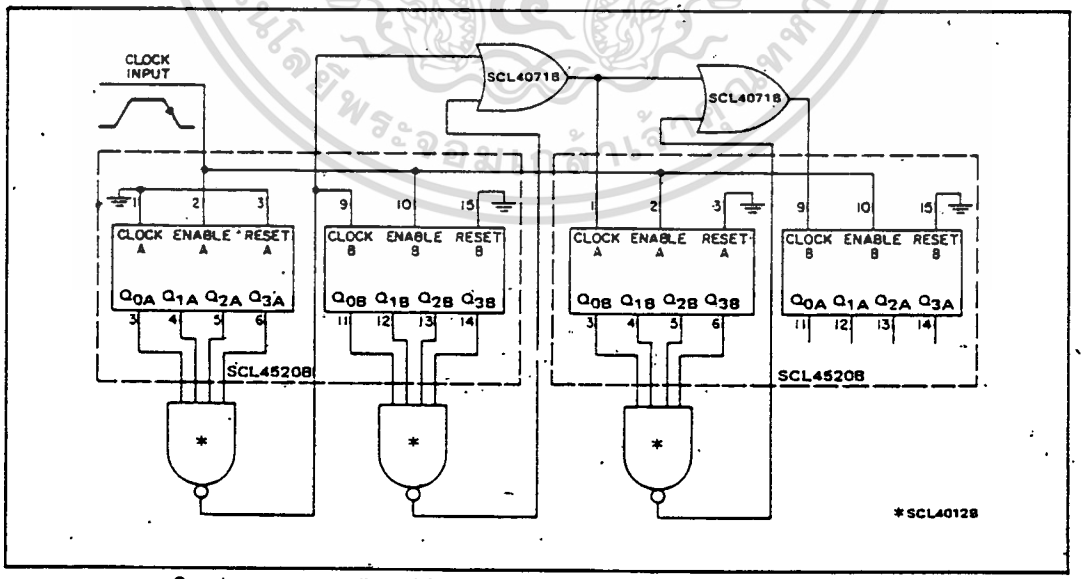
LOGIC DIAGRAMS



APPLICATIONS INFORMATION



Ripple cascading of four counters with positive-edge triggering.



Synchronous cascading of four binary counters with negative-edge triggering.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SCL4528B

CMOS DUAL MONOSTABLE MULTIVIBRATOR

FEATURES

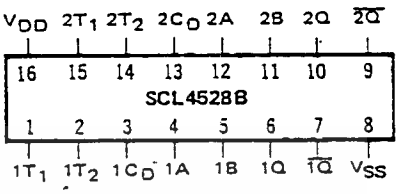
- Two Independent Multivibrators on One Chip
- Triggerable from Leading- or Trailing-Edge Pulse
- Retriggerable
- Resettable
- Q and $\overline{Q}$ Buffered Outputs Available
- Wide Range of Output Pulse Widths

DESCRIPTION

The SCL4528B Dual Multivibrator provides stable retriggerable/resettable one-shot operation for any fixed-voltage timing application. Timing for the circuit is controlled by an external resistor-capacitor combination (R_X-C_X). Adjustment of these components permits generation of output pulse widths from nanoseconds to minutes. Leading-edge and trailing-edge Trigger inputs are provided, and both positive-going and negative-going pulses are available from complementary outputs.

Timing pulses may be terminated at any time by applying a low logic level to the Reset input C_D.

CONNECTION DIAGRAM
(all packages)



Add suffix for package:

C	16-pin Cerdip
D	16-pin Ceramic
E	16-pin Epoxy
F	16-pin Flat
H	Chip

RECOMMENDED OPERATING CONDITIONS

For maximum reliability:

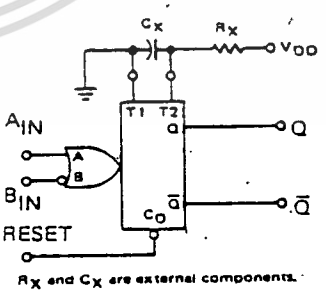
DC Supply Voltage	$V_{DD} - V_{SS}$	3 to 15	Vdc
Operating Temperature	T_A		
C, D, F, H Device		-55 to +125	°C
E Device		-40 to +85	°C

FUNCTION TABLE

INPUTS			OUTPUTS	
C_D	A	B	Q	$\overline{Q}$
L	X	X	L	H
X	H	X	L	H
X	X	L	L	H
H	↑	H	⎍	⎎
H	L	↓	⎍	⎎

H = High Level (Steady State)
L = Low Level (Steady State)
↑ = Transition, Low-to-High
↓ = Transition, High-to-Low
X = Irrelevant (Inc. Transitions)
⎍ = One High-Level Pulse
⎎ = One Low-Level Pulse

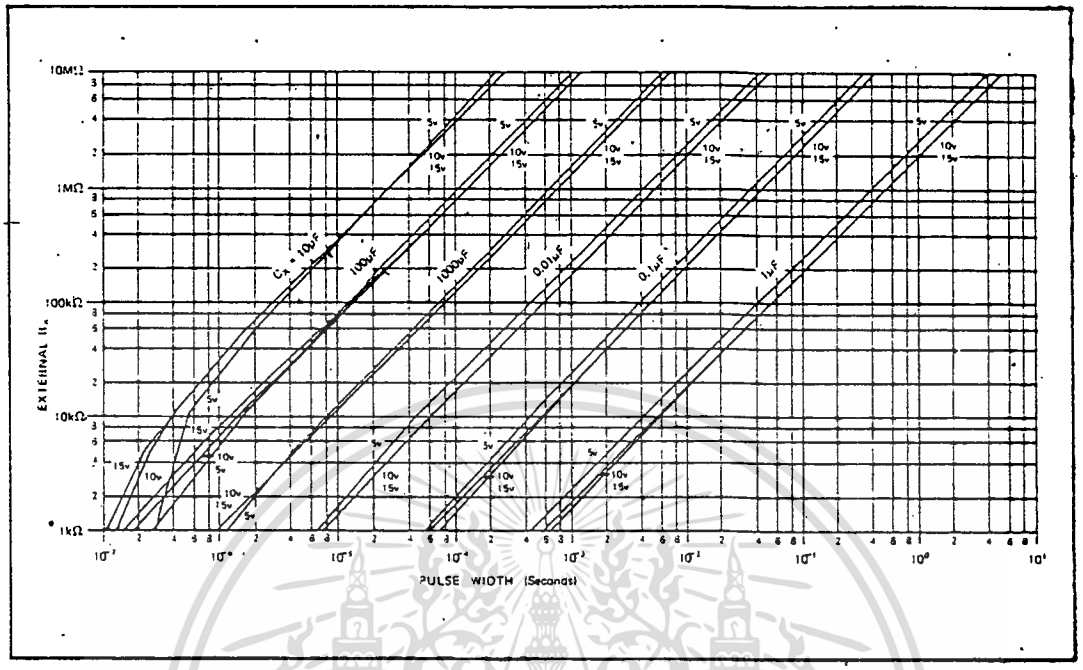
BLOCK DIAGRAM
(one of two duvices)



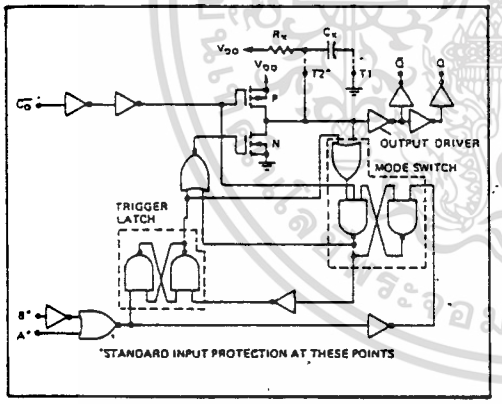
R_X and C_X are external components.

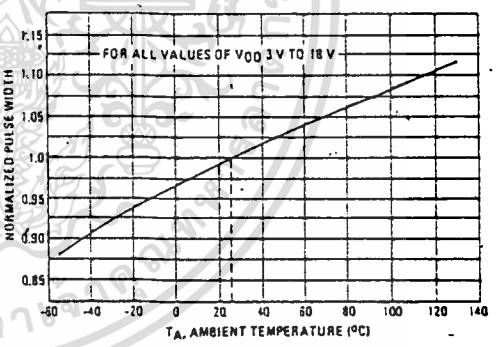
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SCL4528B PULSE WIDTH VS R_X, C_X, V_{DD}



LOGIC DIAGRAM





Normalized Pulse Width versus Temperature

Notes:

There is no effective maximum limit on R_X; recommended minimum value for R_X is 1KΩ. There are no restrictions on the value of C_X.

For proper operation all unused inputs should be tied to a logic level. The mode point (T2) of a unused half of device should be tied high through an external resistor to V_{DD}.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS

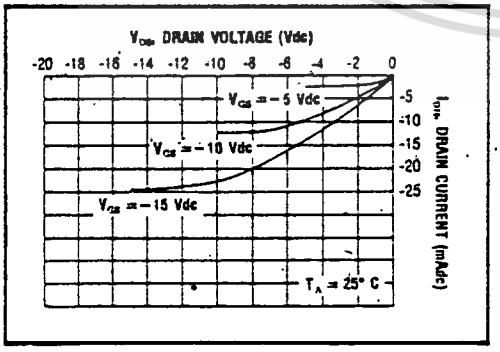
STATIC CHARACTERISTICS [1]

PARAMETER		V_{DD} (Vdc)	CONDITIONS	T_{LOW} [2] Min.	T_{LOW} [2] Max.	+25°C Min.	+25°C Typ.	+25°C Max.	T_{HIGH} [2] Min.	T_{HIGH} [2] Max.	Units
QUIESCENT DEVICE CURRENT	I_{DD}	5	$V_{IN} = V_{SS}$ or V_{DD}	–	5	–	0.05	5	–	150	μAdc
		10	All valid input	–	10	–	0.1	10	–	300	
		20	combinations	–	20	–	0.2	20	–	600	

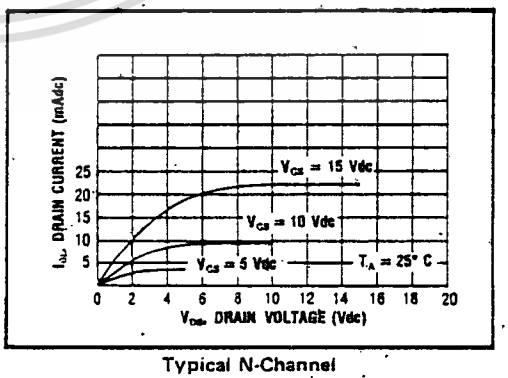
NOTES: [1] Remaining Static Electrical Characteristics are listed under "SCL4000B Series Family Specifications".
[2] T_{LOW} = -55°C for C, D, F, H device.
= -40°C for E device.
T_{HIGH} = +125°C for C, D, F, H device.
= + 85°C for E device.

DYNAMIC CHARACTERISTICS (C_L = 50pF, T_A = 25°C)

PARAMETER		Cx (pF)	Rx (kΩ)	V_{DD} (Vdc)	Min.	Typ.	Max.	Units
PROPAGATION DELAY TIME	t_{PLH}, t_{PHL}							
From A or B		15	5	5	–	270	540	ns
				10	–	90	180	
				15	–	70	140	
		1000	10	5	–	510	1020	ns
				10	–	170	340	
				15	–	120	240	
From C_O		15	5	5	–	270	540	ns
				10	–	90	180	
				15	–	70	140	
		1000	10	5	–	550	1100	ns
				10	–	300	600	
				15	–	250	500	
OUTPUT TRANSITION TIME	t_{TLH}, t_{THL}							
		–	–	5	–	130	260	ns
				10	–	65	130	
				15	–	50	100	
Note: $\overline{Q}$ Output	t_{TLH}	15	5	5	–	130	260	ns
				10	–	65	130	
				15	–	50	100	
		1000	10	5	–	270	540	ns
				10	–	240	480	
				15	–	220	440	
MINIMUM INPUT PULSE WIDTH A or B Input	PW_{in}	–	–	5	–	70	140	ns
				10	–	30	60	
				15	–	25	50	
OUTPUT PULSE WIDTH MATCH	ΔPW_{out}							
Same package		1000	10	5	–	± 7.5	±15	%
				10	–	±10	±20	
				15	–	±10	±20	
Different packages		1000	10	5	–	–	±50	%
				10	–	–	±50	
				15	–	–	±50	



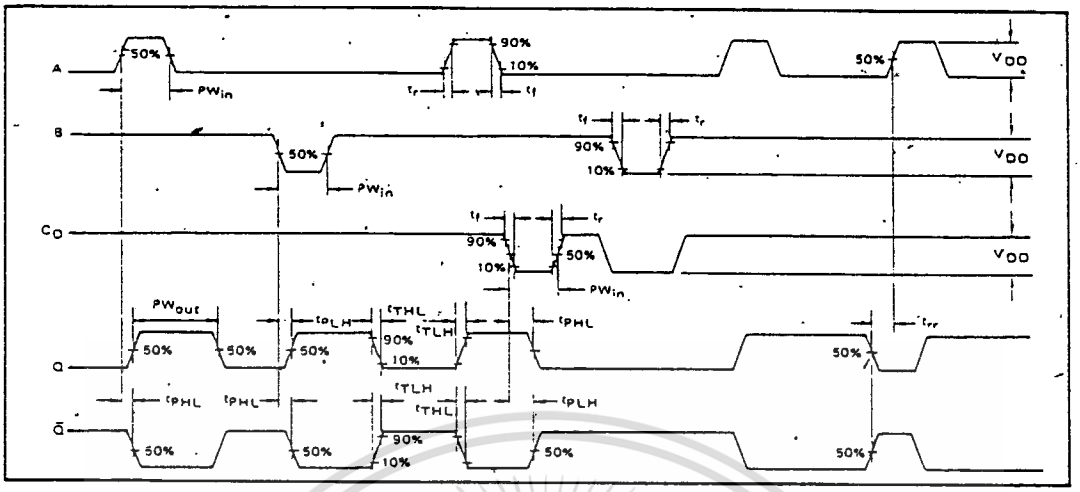
Typical P-Channel
Source Current Characteristics



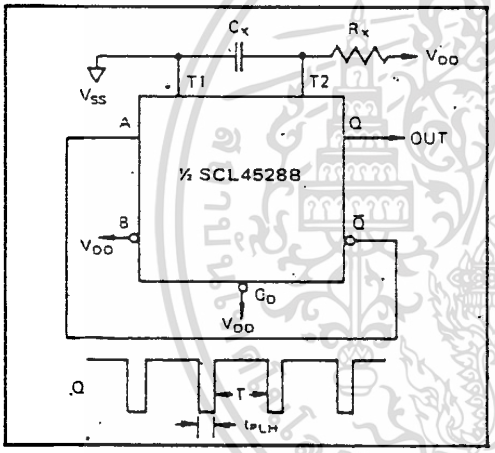
Typical N-Channel
Sink Current Characteristics

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

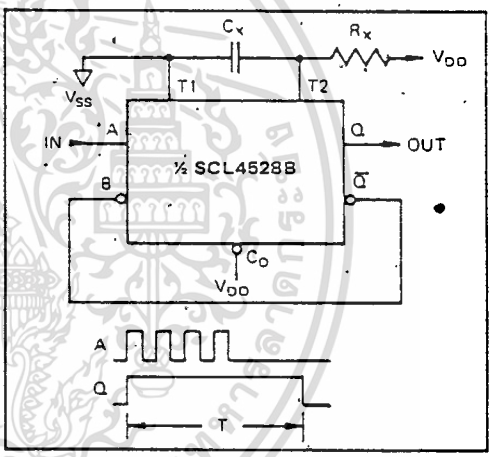
AC TEST WAVEFORMS:



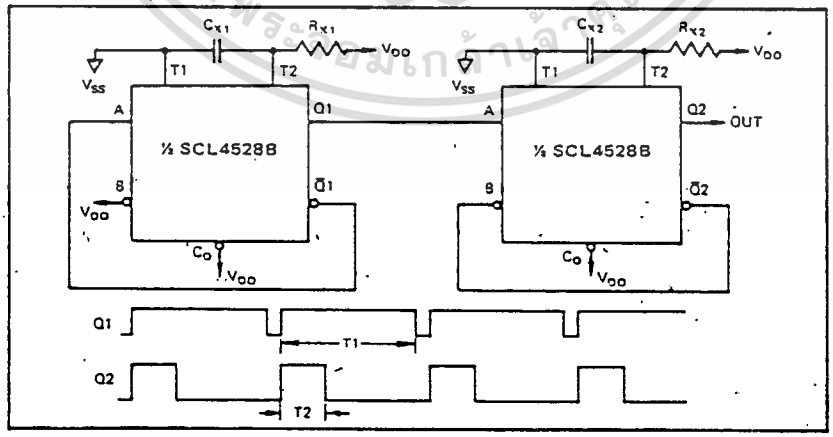
APPLICATIONS INFORMATION



Astable Operation



Connection for Non-Retriggerable Operation



Astable Multivibrator with Adjustable Period and Duty Cycle

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SCL4585B

CMOS 4-BIT MAGNITUDE COMPARATOR

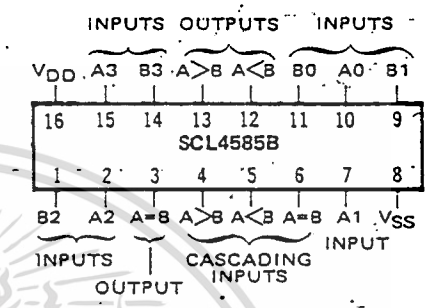
FEATURES

- Binary or BCD Comparison
- Expandable
- A<B, A=B, A>B Outputs Available

DESCRIPTION

This 4-Bit Magnitude Comparator performs comparison of straight binary and straight BCD (8-4-2-1) codes. Three decisions about two 4-bit words (A, B) are made and are externally available at three outputs. These devices are fully expandable to any number of bits without external gates. Words of greater length may be compared by connecting comparators in cascade. The A<B and A=B outputs of a stage handling less-significant bits are connected to the corresponding A<B and A=B inputs of the next stage handling more-significant bits. The A>B cascading input is connected to a high level. The stage handling the least-significant bits must have a high-level voltage applied to the A=B and A>B inputs. An alternate method of cascading which reduces the comparison time is shown under Applications Information.

CONNECTION DIAGRAM
(all packages)



Add suffix for package:

- C 16-pin Cerdip
- D 16-pin Ceramic
- E 16-pin Epoxy
- F 16-pin Flat
- H Chip

RECOMMENDED OPERATING CONDITIONS

For maximum reliability:

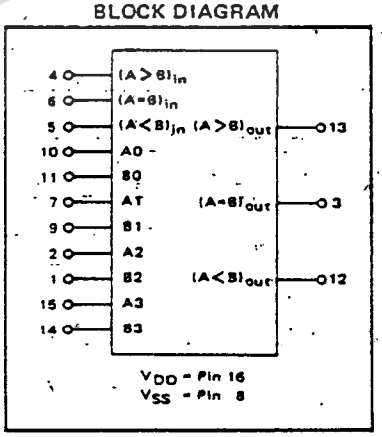
DC Supply Voltage	$V_{DD} - V_{SS}$	3 to 15	Vdc
Operating Temperature	T_A		
C, D, F, H Device		-55 to +125	°C
E Device		-40 to +85	°C

TRUTH TABLE

Inputs							Outputs		
Comparing				Cascading					
A3, B3	A2, B2	A1, B1	A0, B0	A<B	A=B	A>B	A<B	A=B	A>B
A3>B3	X	X	X	X	X	1	0	0	1
A3=B3	A2>B2	X	X	X	X	1	0	0	1
A3=B3	A2=B2	A1>B1	X	X	X	1	0	0	1
A3=B3	A2=B2	A1=B1	A0>B0	X	X	1	0	0	1
A3=B3	A2=B2	A1=B1	A0=B0	0	0	1	0	0	1
A3=B3	A2=B2	A1=B1	A0=B0	0	1	1	0	1	0
A3=B3	A2=B2	A1=B1	A0=B0	1	0	1	1	0	0
A3=B3	A2=B2	A1=B1	A0<B0	X	X	X	1	0	0
A3=B3	A2=B2	A1<B1	X	X	X	X	1	0	0
A3=B3	A2<B2	X	X	X	X	X	1	0	0
A3<B3	X	X	X	X	X	X	1	0	0
X	X	X	X	X	X	0	—	—	0

X = Don't Care

BLOCK DIAGRAM



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS

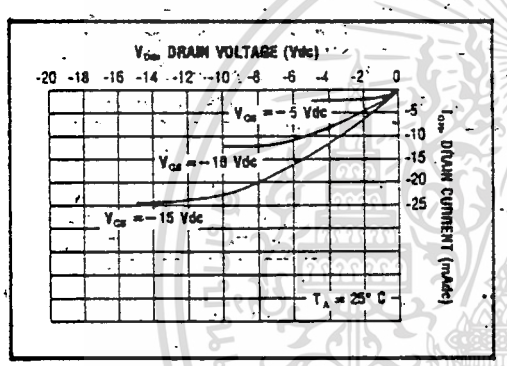
STATIC CHARACTERISTICS [1]

PARAMETER		V_{DD} (Vdc)	CONDITIONS	T_{LOW} [1]		+25°C			T_{HIGH} [2]		Units
				Min.	Max.	Min.	Typ.	Max.	Min.	Max.	
QUIESCENT DEVICE CURRENT	I_{DD}	5	$V_{IN} = V_{SS}$ or V_{DD}	–	5	–	0.05	5	–	150	μAdc
		10	All valid input	–	10	–	0.1	10	–	300	
		15	combinations	–	20	–	0.2	20	–	600	

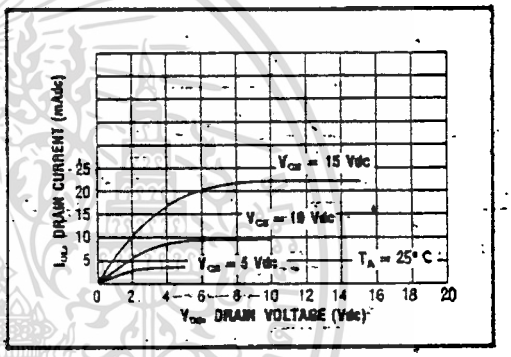
NOTES: [1] Remaining Static Electrical Characteristics are listed under "SCL4000B Series Family Specifications".
[2] T_{LOW} = –55°C for C, D, F, H device.
= –40°C for E device.
T_{HIGH} = +125°C for C, D, F, H device.
= + 85°C for E device.

DYNAMIC CHARACTERISTICS (C_L = 50pF, T_A = 25°C)

PARAMETER		V_{DD} (Vdc)	Min.	Typ.	Max.	Units
PROPAGATION DELAY TIME	t_{PLH}, t_{PHL}	5	–	300	600	ns
		10	–	125	250	
		15	–	90	180	
OUTPUT TRANSITION TIME	t_{TLH}, t_{THL}	5	–	130	260	ns
		10	–	65	130	
		15	–	50	100	

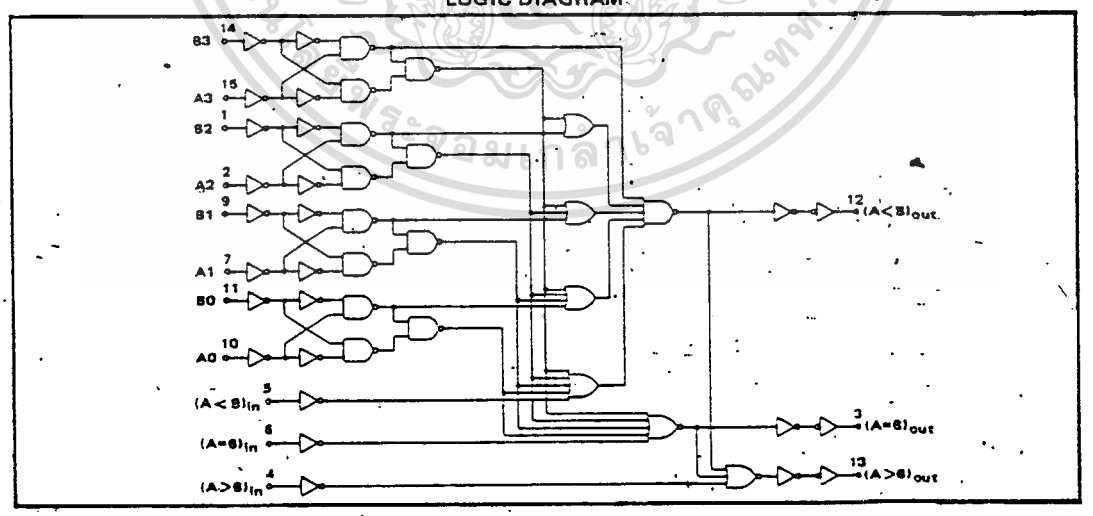


Typical P-Channel
Source Current Characteristics



Typical N-Channel
Sink Current Characteristics

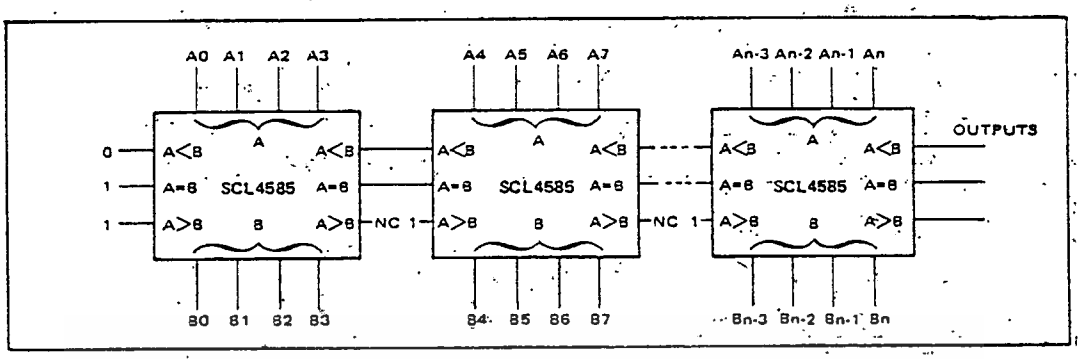
LOGIC DIAGRAM

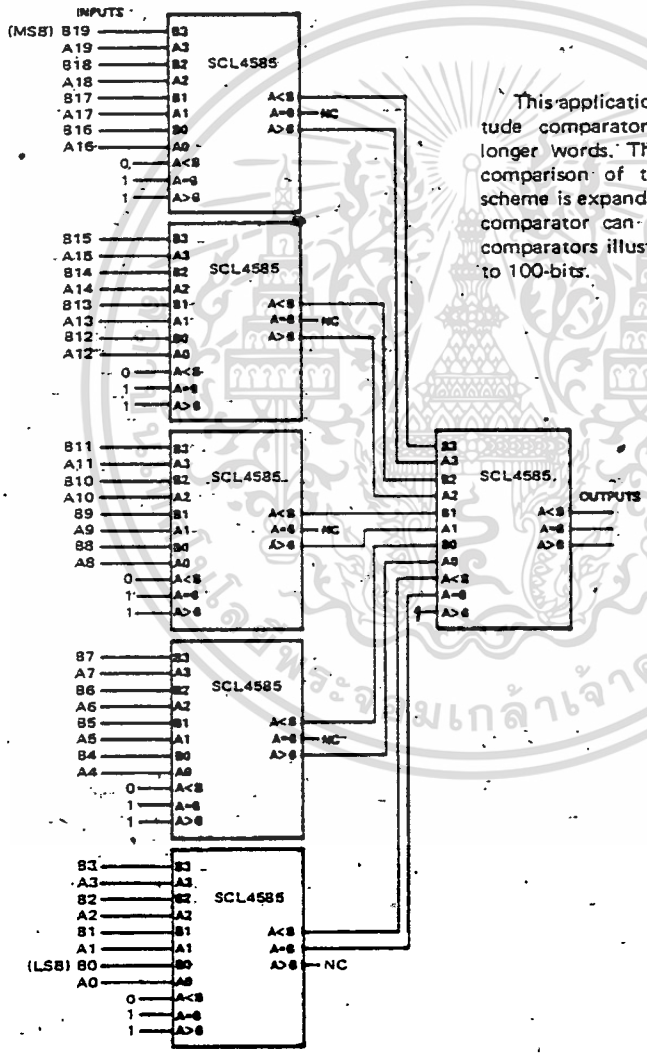


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

APPLICATIONS INFORMATION

COMPARISON OF TWO N-BIT WORDS





This application demonstrates how these magnitude comparators can be cascaded to compare longer words. The example illustrated shows the comparison of two 20-bit words; however, the scheme is expandable to n-bits. As an example, one comparator can be used with five of the 20-bit comparators illustrated to expand the word length to 100-bits.

WORD LENGTH	NUMBER OF PKGS
1-4 bits	1
5-20 bits	2-5
21-100 bits	8-31

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

COS/MOS INTEGRATED CIRCUITS

HCC/HCF 4067B
HCC/HCF 4097B

ANALOG MULTIPLEXERS/DEMULTIPLEXERS:

4067B SINGLE 16-CHANNEL
4097B DIFFERENTIAL 8-CHANNEL

- LOW ON RESISTANCE: 125Ω (TYP.) OVER 15 Vp-p SIGNAL-INPUT RANGE FOR V_{DD}-V_{SS}= 15V
- HIGH OFF RESISTANCE: CHANNEL LEAKAGE OF ± 10 pA (TYP.) @V_{DD}-V_{SS}= 10V
- MATCHED SWITCH CHARACTERISTICS: ΔR_{ON}= 5Ω (TYP.) FOR V_{DD}-V_{SS}= 15V
- VERY LOW QUIESCENT POWER DISSIPATION UNDER ALL DIGITAL-CONTROL INPUT AND SUPPLY CONDITIONS: 0.2 μW (TYP.) @V_{DD}-V_{SS}= 10V
- BINARY ADDRESS DECODING ON CHIP
- QUIESCENT CURRENT SPECIFIED TO 20V FOR HCC DEVICE
- STANDARDIZED SYMMETRICAL OUTPUT CHARACTERISTICS
- 5V, 10V, AND 15V PARAMETRIC RATINGS
- INPUT CURRENT OF 100 nA AT 18V AND 25°C FOR HCC DEVICE
- 100% TESTED FOR QUIESCENT CURRENT
- MEETS ALL REQUIREMENTS OF JEDEC TENTATIVE STANDARD No. 13A, "STANDARD SPECIFICATIONS FOR DESCRIPTION OF "B" SERIES CMOS DEVICES"

The HCC 4067B, HCC 4097B (extended temperature range) and HCF 4067B, HCF 4097B(intermediate temperature range) are monolithic integrated circuits, available in 24—lead dual in—line plastic or ceramic package and ceramic flat package.

The HCC/HCF 4067 and HCC/HCF 4097 COS/MOS analog multiplexers/demultiplexers are digitally controlled analog switches having low ON impedance, low OFF leakage current, and internal address decoding. In addition, the ON resistance is relatively constant over the full input-signal range.

The HCC/HCF 4067 is a 16-channel multiplexer with four binary control inputs, A, B, C, D, and an inhibit input, arranged so that any combination of the inputs selects one switch.

The HCC/HCF 4097 is a differential 8-channel multiplexer having three binary control inputs A, B, C, and an inhibit input. The inputs permit selection of one of eight pairs of switches. A logic "1" present at the inhibit input turns all channels off.

ABSOLUTE MAXIMUM RATINGS

V_{DD}*	Supply voltage: HCC types	-0.5 to 20	V
	HCF types	-0.5 to 18	V
V_I	Input voltage	-0.5 to V_{DD} +0.5	V
I_I	DC input current (any one input)	± 10	mA
P_{tot}	Total power dissipation (per package)	200	mW
	Dissipation per output transistor for T_{op}= full package-temperature range	100	mW
T_{op}	Operating temperature: HCC types	-55 to 125	°C
	HCF types	-40 to 85	°C
T_{stg}	Storage temperature	-65 to 150	°C

* All voltage values are referred to V_{SS} pin voltage

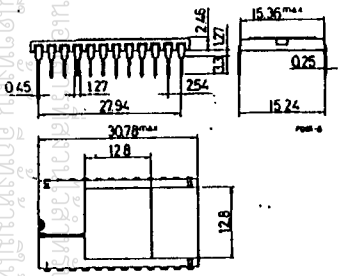
ORDERING NUMBERS:

HCC 4XXX BD for dual in—line ceramic package
HCC 4XXX BF for dual in—line ceramic package, frit seal
HCC 4XXX BK for ceramic flat package
HCF 4XXX BF for dual in—line ceramic package, frit seal
HCF 4XXX BE for dual in—line plastic package

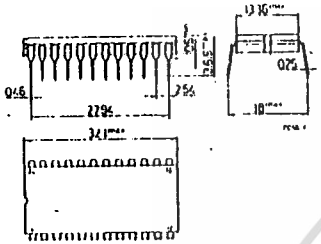
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MECHANICAL DATA (dimensions in mm)

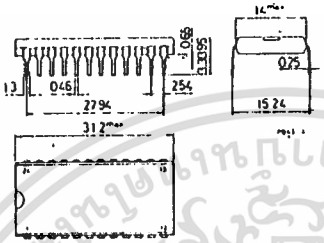
Dual in-line ceramic package for HCC 4XXX BD



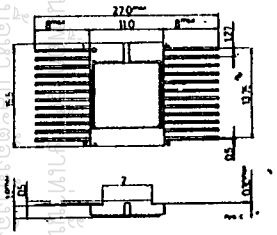
Dual in-line ceramic frit-seal package for HCC/HCF 4XXX BF



Dual in-line plastic package for HCF 4XXX BE

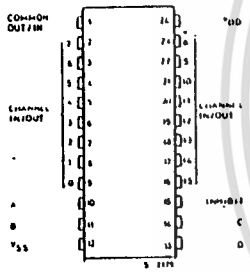


Ceramic flat package for HCC 4XXX BK

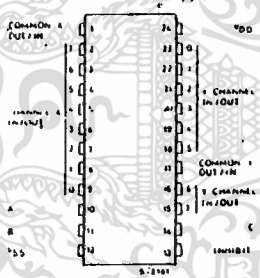


CONNECTION DIAGRAMS

For HCC/HCF 4067B

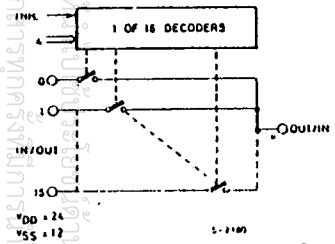


For HCC/HCF 4097B

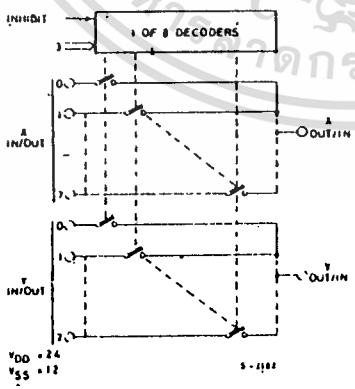


FUNCTIONAL DIAGRAMS

For HCC/HCF 4067B

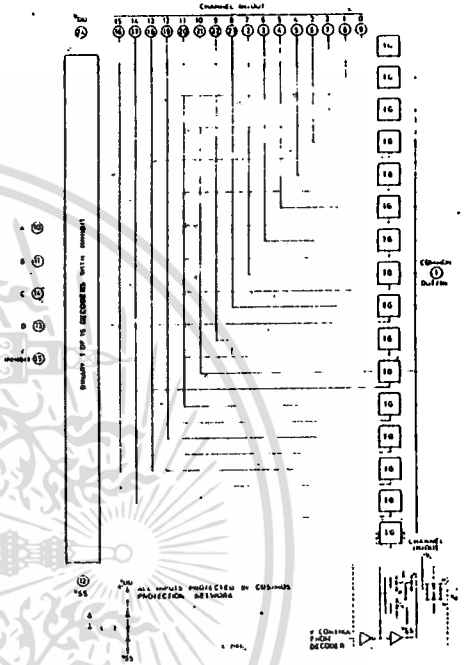


For HCC/HCF 4097B

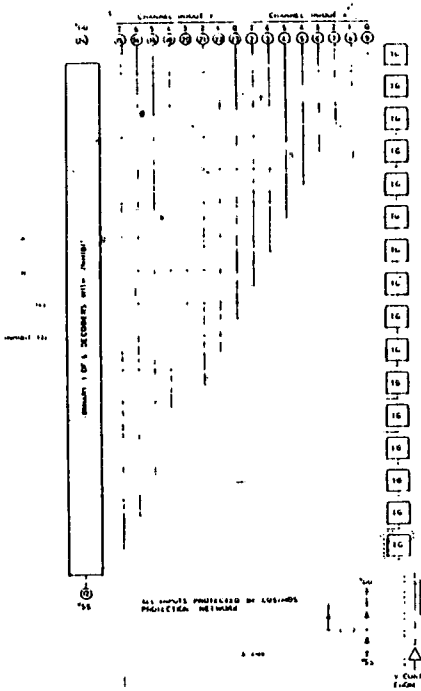


LOGIC DIAGRAMS

For HCC/HCF 4067B



For HCC/HCF 4097B



TRUTH TABLES

For HCC/HCF 4067B

A	B	C	D	Inh	Selected Channel
X	X	X	X	1	None
0	0	0	0	0	0
1	0	0	0	0	1
0	1	0	0	0	2
1	1	0	0	0	3
0	0	1	0	0	4
1	0	1	0	0	5
0	1	1	0	0	6
1	1	1	0	0	7
0	0	0	1	0	8
1	0	0	1	0	9
0	1	0	1	0	10
1	1	0	1	0	11
0	0	1	1	0	12
1	0	1	1	0	13
0	1	1	1	0	14
1	1	1	1	0	15

For HCC/HCF 4097B

A	B	C	Inh	Selected Channel
X	X	X	1	None
0	0	0	0	0X, 0Y
1	0	0	0	1X, 1Y
0	1	0	0	2X, 2Y
1	1	0	0	3X, 3Y
0	0	1	0	4X, 4Y
1	0	1	0	5X, 5Y
0	1	1	0	6X, 6Y
1	1	1	0	7X, 7Y

RECOMMENDED OPERATING CONDITIONS

V_{DD}	Supply voltage:	HCC types	3 to 18
		HCF types	3 to 15
V_I	Input voltage		0 to V_{DD}
T_{op}	Operating temperature:	HCC types	-55 to 125
		HCF types	-40 to 85

STATIC ELECTRICAL CHARACTERISTICS (over recommended operating conditions)

Parameter			Test conditions				Values							Unit
			V_{IS} (V)	V_{EE} (V)	V_{SS} (V)	V_{DD} (V)	T_{Low}(*) Min.	T_{Low}(*) Max.	25°C Min.	25°C Typ.	25°C Max.	T_{High}(*) Min.	T_{High}(*) Max.	
I_L	Quiescent device current	HCC types				5		5		0.04	5		150	μA
						10		10		0.04	10		300	
						15		20		0.04	20		600	
						20		100		0.08	100		3000	
		HCF types				5		20		0.04	20		150	
						10		40		0.04	40		300	
						15		80		0.04	80		600	
SWITCH														
ON	Resistance	HCC types	$0 \le V_I \le V_{DD}$	0	0	5		800		470	1050		1300	Ω
						10		310		180	400		580	
						15		200		125	240		320	
		HCF types	$0 \le V_I \le V_{DD}$	0	0	5		850		470	1050		1200	
						10		330		180	400		520	
						15		210		125	240		300	
ΔON	Resistance ΔR_{ON} (Between any 2 channels)			0	0	5				10				Ω
						10				10				
						15				5				
OFF(•) Channel Leakage Current	Any channel OFF	HCC types		0	0	18		100		±0.1	100		1000	nA
	All channels OFF (common OUT/IN)	HCC types		0	0	18		100		±0.1	100		1000	nA
	Any channel OFF	HCF types		0	0	15		300		±0.1	300		1000	nA
	All channels OFF (common OUT/IN)	HCF types		0	0	15		300		±0.1	300		1000	nA
C	Input									5				pF
Capacitance	Output 4067				-5	5				55				
	Output 4097									35				
	Feedthrough									0.2				
CONTROL (Address or Inhibit)														
V_{IL}	Input low voltage		$=V_{DD}$ thru 1KΩ	$V_{EE}=V_{SS}$ $R_L=1K\Omega$ to V_{SS} $I_{IS}<2\mu A$ (on all OFF channels)		5		1.5			1.5		1.5	V
						10		3			3		3	
						15		4			4		4	
V_{IH}	Input high voltage					5	3.5		3.5			3.5		V
						10	7		7			7		
						15	11		11			11		
I_{IH}, I_{IL}	Input leakage current	HCC types	V_I= 0/18V			18		±0.1		10^{-3}	±0.1		±1	μA
		HCF types	V_I= 0/15V			15		±0.3		10^{-3}	±0.3		±1	
C_I	Input capacitance		Any address or inhibit input							5	7.5			pF

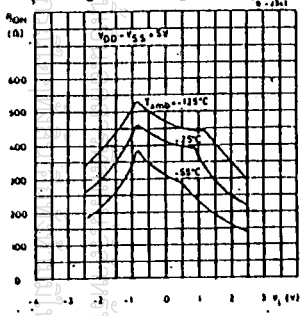
(•) Determined by minimum feasible leakage measurement for automatic testing.
(*) T_{Low} = -55°C for HCC device; -40°C for HCF device.

DYNAMIC ELECTRICAL CHARACTERISTICS (T_{amb} = 25°C, C_L = 50 pF, all input square wa
rise and fall time = 20 ns)

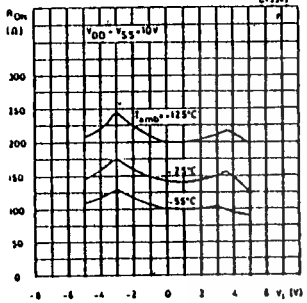
Parameter	Test conditions								Values		Uni
	V_C (V)	R_L (kΩ)	f_I (KHz)	V_I (V)	V_{SS} (V)	V_{DD} (V)			Typ.	Max.	
SWITCH											
t_{pd} Propagation delay time (Signal Input to output)	$=V_{DD}$	200		square wave	0	5			30	60	ns
						10			15	30	
						15			11	20	
Frequency Response Channel "ON" (Sine Wave Input at 20 Log $\frac{V_o}{V_I}$ =-3dB	$=V_{DD}$	1		5(•)	0	10	V_o at Common OUT/IN	4067B	14		MHz
								4097B	20		
							V_o at Any Channel		60		
Feedthrough (All channels OFF) at 20 Log $\frac{V_o}{V_I}$ = -40 dB	$=V_{SS}$	1		5(•)	0	10	V_o at Common OUT/IN	4067B	20		MHz
								4097B	12		
							V_o at Any channel		8		
Frequency Signal Crosstalk at 20 Log $\frac{V_o(B)}{V_I(A)}$ = -40dB	$V_{C(A)}=V_{DD}$	1		5(•)	0	10	Between Any 2 (A and B) channels		1		MHz
							Between sections (A and B) 4097B only	Measured on common	10		
	$V_{C(B)}=V_{SS}$							Measured on Any channel	18		
Sine wave Distortion	5	10	1	2(•)	0	5			0.3		%
f_{IS} = 1KHz sine wave	10	10	1	3(•)	0	10			0.2		
	15	10	1	5(•)	0	15			0.12		
CONTROL (Address or Inhibit)											
Propagation delay time: Address or Inhibit to signal OUT (channel turning ON)	V_{DD} 0	10			0	5			325	650	ns
					0	10			135	270	
					0	15			95	190	
Propagation delay time: Address or Inhibit to signal OUT (channel turning OFF)	V_{DD} 0	0.3			0	5			220	440	ns
					0	10			90	180	
					0	15			65	130	
Address or Inhibit to Signal Crosstalk	V_{DD} 0	10*			0	10			75		mV peak

(•) Peak to peak voltage symmetrical about $\frac{V_{DD} - V_{SS}}{2}$
(*) Both ends of channel

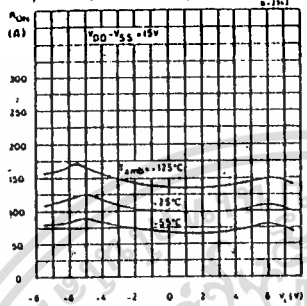
Typical ON resistance vs. input signal voltage (all types)



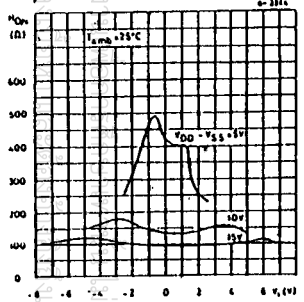
Typical ON resistance vs. input signal voltage (all types)



Typical ON resistance vs. input signal voltage (all types)



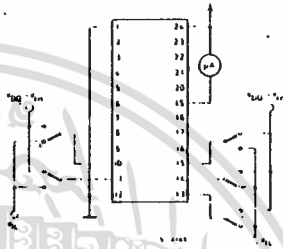
Typical ON resistance vs. input signal voltage (all types)



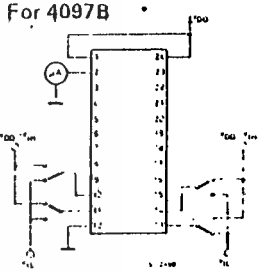
TEST CIRCUITS (continued)

Input voltage-measure $< 2\ \mu A$ on all OFF channels (e.g. channel 12)

For 4067B

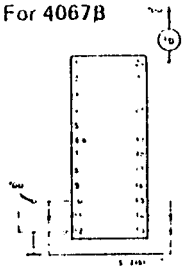


For 4097B

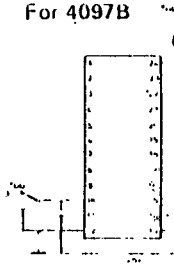


Quiescent device current

For 4067B

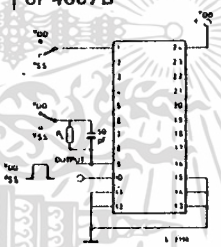


For 4097B

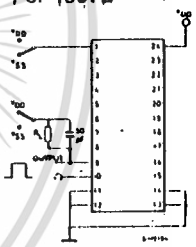


Turn-on and turn-off propagation delay-address select input to signal output (e.g. measured on channel 0)

For 4067B

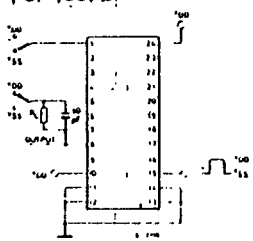


For 4097B

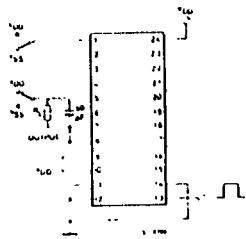


Turn-on and turn-off propagation delay-inhibit input to signal output (e.g. measured on channel 1)

For 4067B



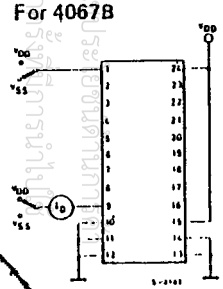
For 4097B



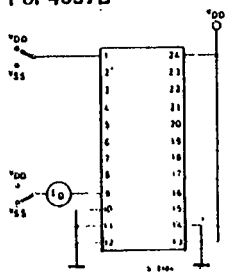
TEST CIRCUITS

OFF channel leakage current-any channel OFF

For 4067B

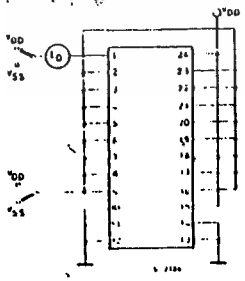


For 4097B

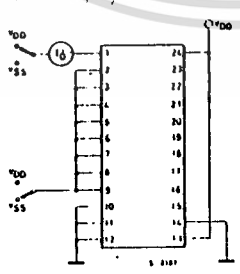


OFF channel leakage current-all channels OFF

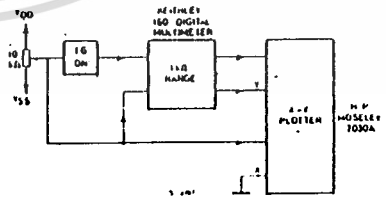
For 4067B



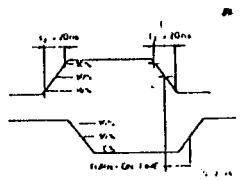
For 4097B



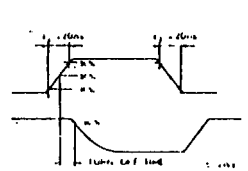
Channel ON resistance measurement circuit



Propagation delay waveform channel being turned ON ($R_L = 10\ k\Omega$, $C_L = 50\ pF$)



Propagation delay waveform channel being turned OFF ($R_L = 300\Omega$, $C_L = 50\ pF$)



APPLICATIONS INFORMATION

In applications where separate power sources are used to drive V_{DD} and the signal inputs, the V_{DD} current capability should exceed V_{DD}/R_L (R_L = effective external load). This provision avoids permanent current flow or clamp action on the V_{DD} supply when power is applied or removed from the HCC/HCF 4067B or HCC/HCF 4097B.

When switching from one address to another, some of the ON periods of the channels of the multiplexers will overlap momentarily, which may be objectionable in certain applications. Also when a channel is turned on or off by an address input, there is a momentary conductive path from the channel to V_{SS}, which will dump some charge from any capacitor connected to the input or output of the channel. The inhibit input turning on a channel will similarly dump some charge to V_{SS}.

The amount of charge dumped is mostly a function of the signal level above V_{SS}. Typically, at V_{DD}-V_{SS} = 10V, a 100 pF capacitor connected to the input or output of the channel will lose 3-4% of its voltage at the moment the channel turns on or off. This loss of voltage is essentially independent of the address or inhibit signal transition time, if the transition time is less than 1-2 μs. When the inhibit signal turns a channel off, there is no charge dumping to V_{SS}. Rather, there is a slight rise in the channel voltage level (65 mV typ.) due to capacitive coupling from inhibit input to channel input or output. Address inputs also couple some voltage steps onto the channel signal levels.

In certain applications, the external load-resistor current may include both V_{DD} and signal-line components. To avoid drawing V_{DD} current when switch current flows into the transmission gate inputs, the voltage drop across the bidirectional switch must not exceed 0.8 volt (calculated from R_{ON} values shown in ELECTRICAL CHARACTERISTICS CHART). No V_{DD} current will flow through R_L if the switch current flows into terminal 1 on the HCC/HCF 4067B, terminals 1 and 17 on the HCC/HCF 4097B.

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

COS/MOS INTEGRATED CIRCUIT

HCC/HCF 40107B

DUAL 2-INPUT NAND BUFFER/DRIVER

- 32 TIMES STANDARD B-SERIES OUTPUT CURRENT DRIVE SINKING CAPABILITY -136 mA TYP. @ V_{DD}= 10V, V_{DS}= 1V
- QUIESCENT CURRENT SPECIFIED AT 20V FOR HCC DEVICE
- 5V, 10V AND 15V PARAMETRIC RATINGS
- INPUT CURRENT OF 100 nA AT 18V AND 25°C FOR HCC DEVICE
- 100% TESTED FOR QUIESCENT CURRENT
- MEETS ALL REQUIREMENTS OF JEDEC TENTATIVE STANDARD No. 13A, "STANDARD SPECIFICATIONS FOR DESCRIPTION OF "B" SERIES CMOS DEVICES"

The HCC 40107B (extended temperature range) and HCF 40107B (intermediate temperature range) are monolithic integrated circuits, available in 14-lead dual in-line ceramic package, ceramic flat package 8-lead minidip plastic package and 8-lead plastic micropackage.
The HCC/HCF 40107B is a dual 2-input NAND buffer/driver containing two independent 2-input NAND buffers with open-drain single n-channel transistor outputs. This device features a wired-OR capability and high output sink current capability (136 mA typ. at V_{DD}= 10V, V_{DS}= 1V).

ABSOLUTE MAXIMUM RATINGS

V_{DD}*	Supply voltage: HCC types	-0.5 to 20	V
	HCF types	-0.5 to 18	V
V_I	Input voltage	-0.5 to V_{DD} +0.5	V
I_I	DC input current (any one input)	± 10	mA
P_{tot}	Total power dissipation (per package)	200	mW
	Dissipation per output transistor for T_{op}= full package-temperature range	100	mW
T_{op}	Operating temperature: HCC types	-55 to 125	°C
	HCF types	-40 to 85	°C
T_{stg}	Storage temperature	-65 to 150	°C

Stresses above those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress rating only and functional operation of the device at these or any other conditions above those indicated in the operational sections of this specification is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

* All voltages are with respect to V_{SS} (GND).

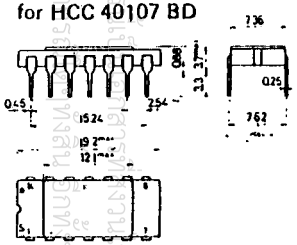
ORDERING NUMBERS:

HCC 40107 BD for dual in-line ceramic package
HCC 40107 BF for dual in-line ceramic package, frit seal
HCC 40107 BK for ceramic flat package
HCF 40107 BE for minidip plastic package
HCF 40107 BF for dual in-line ceramic package, frit seal
HCF 40107 BM for plastic micropackage

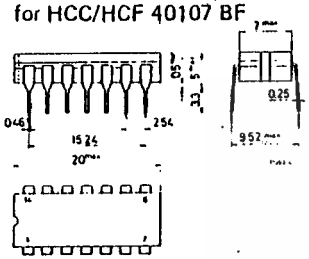
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MECHANICAL DATA (dimensions in mm)

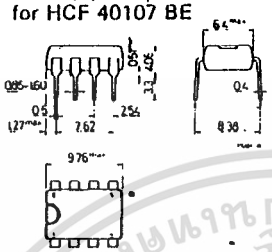
Dual in-line ceramic package for HCC 40107 BD



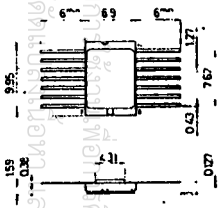
Dual in-line ceramic package for HCC/HCF 40107 BF



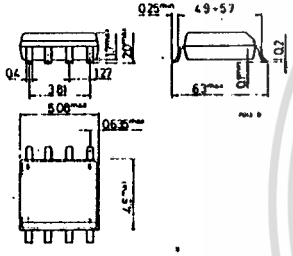
Minidip plastic package for HCF 40107 BE



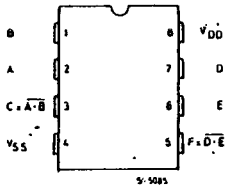
Ceramic flat package for HCC 40107 BK



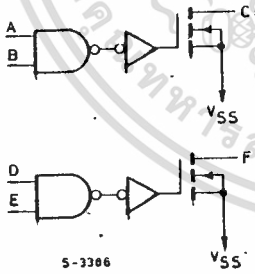
Plastic micropackage for HCF 40107 BM



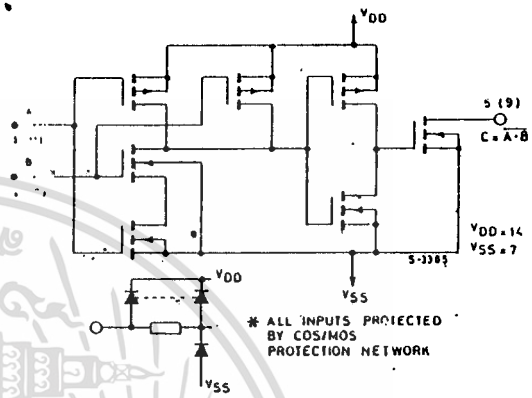
PIN CONNECTIONS



FUNCTIONAL DIAGRAM



SCHEMATIC DIAGRAM AND TRUTH TABLE



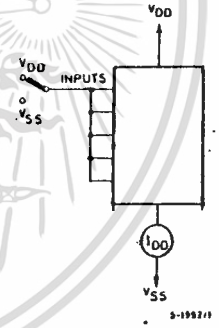
A	B	C	
0	0	1*	Z #
1	0	1*	Z #
0	1	1*	Z #
1	1	0	

* Requires external pull-up resistor (R_L) to V_{DD}.

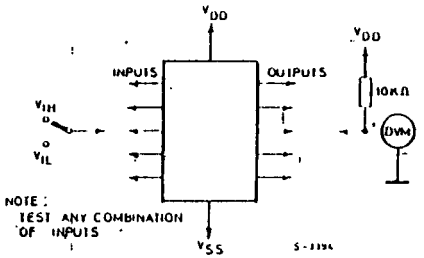
\# Without pull-up resistor (3-state).

TEST CIRCUITS

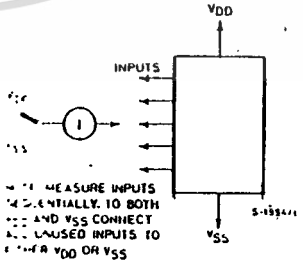
Quiescent device current



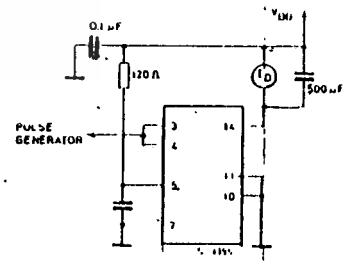
Input voltage

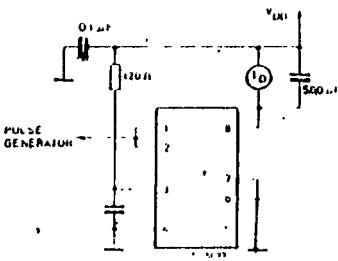


Input leakage current



Dynamic power dissipation





RECOMMENDED OPERATING CONDITIONS

V_{DD}	Supply voltage: HCC types	3 to 18	V
	HCF types	3 to 15	V
V_I	Input voltage	0 to V_{DD}	V
T_{op}	Operating temperature: HCC types	-55 to 125	°C
	HCF types	-40 to 85	°C

STATIC ELECTRICAL CHARACTERISTICS (over recommended operating conditions)

Parameter			Test conditions				Values							Unit
			V_I (V)	V_O (V)	$\|I_O\|$ (μA)	V_{DD} (V)	T_{Low}* Min.	T_{Low}* Max.	25°C Min.	25°C Typ.	25°C Max.	T_{High}* Min.	T_{High}* Max.	
I_L	Quiescent current	HCC types	0/ 5			5		1		0.02	1		30	μA
			0/10			10		2		0.02	2		60	
			0/15			15		4		0.02	4		120	
			0/20			20		20		0.04	20		600	
		HCF types	0/ 5			5		4		0.02	4		30	
			0/10			10		8		0.02	8		60	
			0/15			15		16		0.02	16		120	
V_{IH}**	Input high voltage			0.5/4.5	< 1	5	3.5		3.5			3.5		V
				1/9	< 1	10	7		7			7		
				1.5/13.5	< 1	15	11		11			11		
V_{IL}**	Input low voltagege			4.5	< 1	5		1.5			1.5		1.5	V
				9	< 1	10		3			3		3	
				13.5	< 1	15		4			4		4	
I_{OL}	Output sink current	HCC types	5	0.4		5	21		16	32		12		mA
			5	1		5	44		30	68		25		
			10	0.5		10	49		37	74		28		
			10	1		10	89		68	136		51		
			15	0.5		15	66		50	100		38		
		HCF types	5	0.4		5	17		13.6	32		12		
			5	1		5	35.7		25.5	68		22		
			10	0.5		10	39.1		31.4	74		27		
			10	1		10	72.2		57.8	136		51		
			15	0.5		15	53.5		42.5	100		37		
I_{OH}	Output drive current		No Internal Pull-Up Device											mA
I_{IH}, I_{IL}	Input leakage current	HCC types	(0/18	Any input		18		±0.1		$±10^{-5}$	±0.1		± 1	μA
		HCF types	0/15			15		±0.3		$±10^{-5}$	±0.3		± 1	
I_{OH}, I_{OL}***	3-state output leakage current	HCC types	0/18	18		18		2		10^{-4}	2		20	μA
		HCF types	0/15	15		15		2		10^{-4}	2		20	
C_I	Input capacitance		Any input							5	7.5			pF
C_O	Output capacitance		Any output							30				pF

* T_{Low} = − 55°C for HCC device; −40°C for HCF device.
* T_{High} = +125°C for HCC device: +85°C for HCF device.
The Noise Margin, full package temperature range, R_L to V_{DD}= 10 kΩ: 1V min. with V_{DD}= 5V
2V min. with V_{DD}= 10V
2.5V min. with V_{DD}= 15V

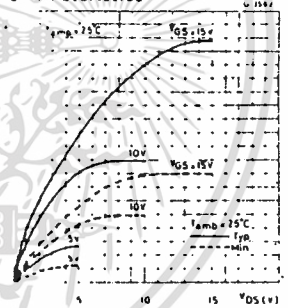
** Measured with external pull-up resistor, R_L= 10 kΩ to V_{DD}.
*** Forced output disabled.

DYNAMIC ELECTRICAL CHARACTERISTICS (T_{amb} = 25°C, C_L = 50 pF, typical temperature coefficient for all V_{DD} values is 0.3%/°C, all input rise and fall time = 20 ns)

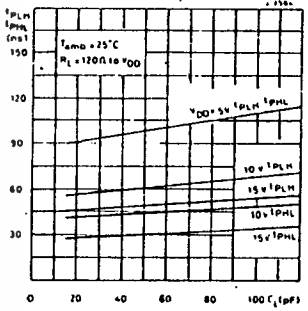
Parameter	Test conditions	V_{DD} (V)	Values Min.	Typ.	Max.
Propagation delay time High-to-Low	R_L* = 120Ω	5		100	200
		10		45	90
		15		30	60
Low-to-High	R_L* = 120Ω	5		100	200
		10		60	120
		15		50	100
Transition time High-to-low	R_L* = 120Ω	5		50	100
		10		20	40
		15		10	20
Low-to-high	R_L* = 120Ω	5		50	100
		10		35	70
		15		25	50

* external pull-up resistor to V_{DD}.

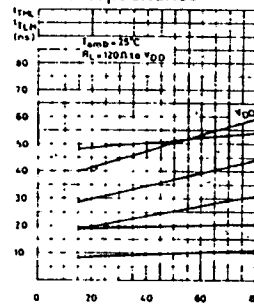
Output low (sink) current characteristics



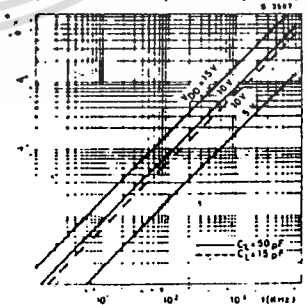
Typical propagation delay time vs. load capacitance



Typical transition tir load capacitance



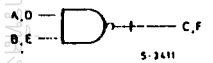
Typical dynamic power dissipation vs. input frequency



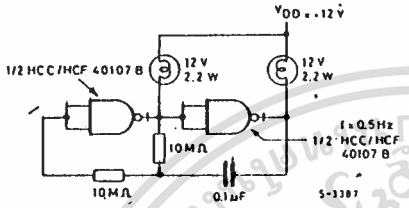
TYPICAL APPLICATIONS

The bar on the output line of this logic diagram indicates that the output is open drain as is shown in the previons schematic diagram and truth table.

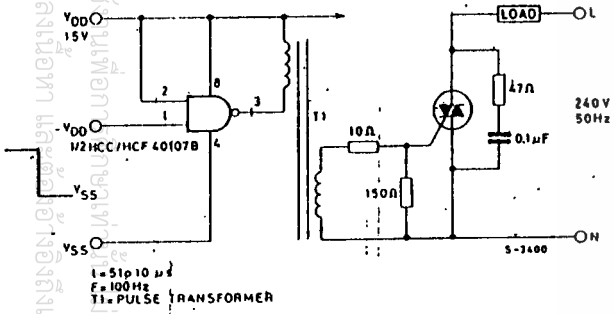
Logic diagram of the HCC/HCF 40107B NAND buffer



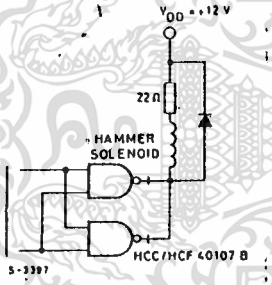
A 2.2-watt incandescent lamp-driver circuit



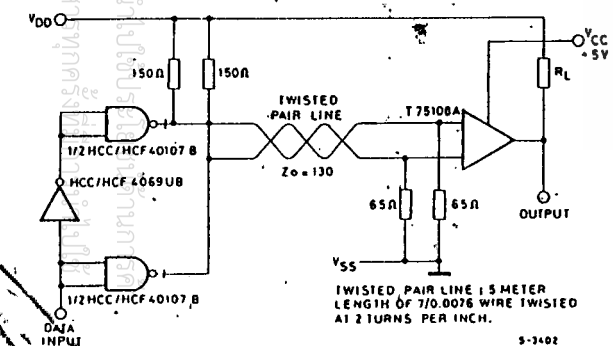
Interface of 40107B with triac, whit COS/MOS component and triac isolated



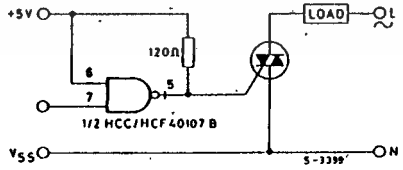
Solenoid driver circuit



Line-driver circuit

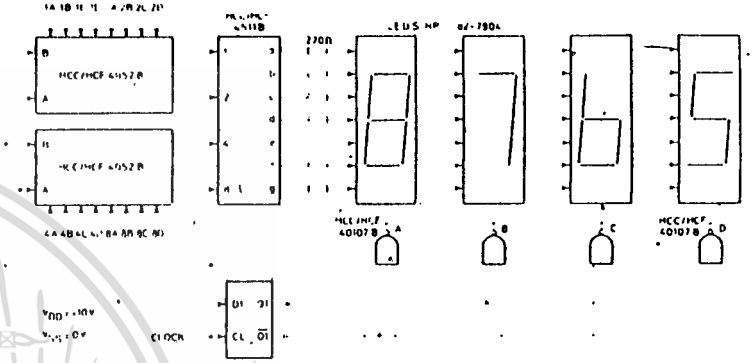


Direct dc drive interface of 40107B with a triac

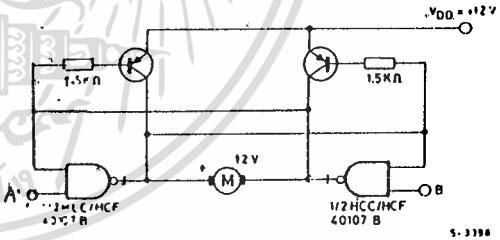


TYPICAL APPLICATIONS (continued)

Multiplexed LED circuit

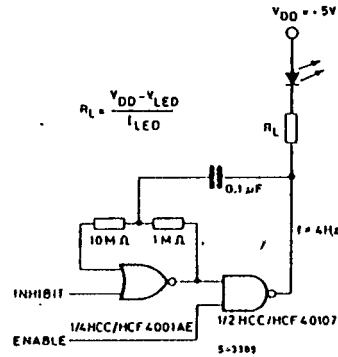


Motor-controller circuit



A	B	MOTOR FUNCTION
0	0	OFF
1	0	COUNTER CLOCKWISE
1	1	AS PREVIOUS STATE
0	1	CLOCKWISE
1	1	AS PREVIOUS STATE

LED driver circuit



INHIBIT	ENABLE	OUTPUT
0	0	OFF
1	0	OFF
0	1	OFF
0	1	ON

หนังสืออ้างอิง

1. PAUL BATES, "Practical Digital and Data Communications with LSI applications", Prentice-Hall, Inc., 1987

2. JOE CHAMBERLAIN, "Word Generator", Practical Electronics, July-August, 1987

3. DON LANCASTER, "CMOS Cookbook", Howard W. Sams & Co., Inc., 1977

4. กฤษดา วิศวชีรานนท์, "เรียน/เล่น/ใช้ไอซีดิจิตอล", ซีเอ็ดยูเคชั่น, 2531

5. สมยศ โลหะวิทยวิกรานต์, อุดร สระตันตี, "เครื่องวัดความถี่ + วัด C + วัดคาบเวลา", วารสารเซมิคอนดัคเตอร์อิเลคทรอนิคส์, ฉบับที่ 69, 2529

6. ซีเอ็ดยูเคชั่น, "คู่มือไอซี CMOS 4000 SERIES", 2528

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้