



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่023173ใช้บ-9.คค.2532การค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

VLSI DESIGN

ครองศักดิ์ ทวีศรี

ยุทธกร ฤทธิไธสง

ดร.บุญวัฒน์ อัดชู อาจารย์ที่ปรึกษา

ปีการศึกษา 2531

บทคัดย่อ

วิทยานิพนธ์ฉบับนี้เรียบเรียงขึ้นจาก การศึกษาเกี่ยวกับการออกแบบวงจร รวมขนาดใหญ่ เพื่อผลิตเป็นชิปไอซี โดยจะเน้นทางด้านทฤษฎีวิเคราะห์ CIF ไฟล์ ซึ่งเป็นไฟล์ที่ได้จากการออกแบบหน้าปกโดยซอฟต์แวร์ CIRCAD II ใน System SUPH ที่ใช้ในการสร้างวงจรรวม โดยมีจุดประสงค์เพื่อให้การออกแบบดังกล่าวสามารถถูกกระทำบนเครื่องไมโครคอมพิวเตอร์ได้

ในอนาคตข้างหน้าการออกแบบวงจรรวมขนาดใหญ่ คงจะกระทำบนไมโคร คอมพิวเตอร์ได้โดยสมบูรณ์และแพร่หลายต่อไป

VLSI DESIGN

Krongsak Thaviseri

Yuttekorn Rittthaisong

Dr. Boonwat Attachoo Advisor

1988

Abstract

This thesis is composed from study about VLSI design which is used for Integrated Circuit Fabrication. We focus on CIF file which is generated from software CIRCAD II in System SUN for mask designing that involve to VLSI configuration. We also develop CIF file analysis on microcomputer.

In the future, VLSI design is expected to be used widely and completely on microcomputer.

สารบัญ

		หน้า
บทที่ 1	- บทนำ	1
บทที่ 2	- ทฤษฎีพื้นฐานในการออกแบบ VLSI	3
บทที่ 3	- การออกแบบโปรแกรมเพื่อใช้ประมวลผล CIF ไฟล์	48
บทที่ 4	- การประมวลผลโดยฮาร์ดแวร์ที่สร้างขึ้น	54
บทที่ 5	- บทวิจารณ์และสรุป	60
กิตติกรรมประกาศ		
หนังสืออ้างอิง		



สารบัญรูปภาพ

รูป	หน้า
2.1 - รูปตัดของทรานซิสเตอร์เอ็นมอส (nMOS)	3
2.2 - รูปตัดของทรานซิสเตอร์พีมอส (pMOS)	4
2.3 - รูปโครงสร้างทรานซิสเตอร์ชนิดซีมอส (CMOS)	5
2.4 - รูปชุดเกลาการออกแบบวงจรอิเล็กทรอนิกส์	6
2.5 - รูปโครงสร้างอย่างง่ายของระบบ CAD	7
2.6 - รูปขั้นตอนการวิเคราะห์วงจร	7
2.7 - รูปขั้นตอนในการสังเคราะห์วงจร	8
2.8 - รูปโครงสร้างซิลิคอนคอมไพล์เลอร์	8
2.9 - รูปตัวอย่างบางส่วนของข้อบังคับในการออกแบบ	9
2.10 - รูปการมองงานเป็นลำดับชั้น (Hierarchy)	10
2.11 - รูปการแบ่งเซลล์เป็นลำดับชั้น	11
2.12 - รูปการมองทรานซิสเตอร์ในรูปแบบที่ต่างกัน	12
2.13 - รูปการมองทรานซิสเตอร์ในรูปแบบที่ต่างกัน	13
2.14 - รูปความผิดพลาดของการออกแบบ	15
2.15 - รูปคอมโพเนนต์เบื้องต้นของเอ็นมอส	18
2.16 - รูปอินเวอร์เตอร์เอ็นมอส	19
2.17 - รูปคอมโพเนนต์ของอินเวอร์เตอร์ซีมอส	20
2.18 - รูปอินเวอร์เตอร์ซีมอส	21
2.19 - รูป PLA	22
2.20 - รูปเกตอาร์เรย์ (Gate Array)	23
2.21 - รูปเกตเมตริกซ์การวางตำแหน่งทรานซิสเตอร์ (Gate Metrice)	24
2.22 - รูปการคอมแพ็คชั่น (Compaction)	24
2.23 - รูปพื้นที่ทางเดินที่เชื่อมต่อระหว่างเซลล์ (Router)	25
2.24 - รูปแบบร่างแพด (Pad Layout)	27
2.25 - รูปบริสเทิลบล็อก (Bristle Block)	28
2.26 - รูปการชดเชย (Compensation)	29
2.27 - รูปกราฟิกของหน้ากาก	30
2.28 - รูปการตรวจสอบกฎการออกแบบ	33

เอกสารนี้เป็น (Design Rule Checking) เพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูป	หน้า
2.29 - รูปการใช้พาวเวอร์ของเอ็นมอส(Power Estimation)	34
2.30 - รูปอัตราส่วนเอ็นมอสทรานซิสเตอร์(Transistor Ratio)	35
2.31 - รูปอัตราส่วนเอ็นมอสทรานซิสเตอร์	35
2.32 - รูปแสดงพูลอัพ(Pullup) พูลดาวน์(Pulldown) ของทรานซิสเตอร์	35
2.33 - รูปตารางความจริงของ AND เกท	38
2.34 - รูปทรานซิสเตอร์ในอุดมคติ	40
2.35 - ชื่อชั้นใน CIF ไฟล์ของมอส	42
2.36 - รูปผลจากการใช้คำสั่ง W ใน CIF ไฟล์	44
2.37 - รูปผลจากการใช้คำสั่ง P ใน CIF ไฟล์	44
2.38 - รูปผลจากการเรียกใช้โปรแกรมย่อยใน CIF ไฟล์	47
2.39 - รูปคำสั่งปลีกย่อยใน CIF ไฟล์	47

บทที่ 1

บทนำ

1.1 ความเป็นมา

ในปัจจุบันการออกแบบวงจรรไฟฟ้าขนาดใหญ่ (VLSI design) เพื่อทำการผลิตเป็นชิปไอซีสำเร็จรูป จะมีการนำสารกึ่งตัวนำมาทำเป็นแผ่นที่มีลักษณะบาง (wafer) และในส่วนของวงจรจะมีการออกแบบแบบร่างวงจร ซึ่งจะประกอบไปด้วยรูปทรงเรขาคณิตต่าง ๆ อันแสดงถึงลักษณะรูปร่างของหน้ากาก (mask) สำหรับชั้น (layer) ทุกชั้น ซึ่งจำนวนชั้นและรูปทรงของหน้ากากจะขึ้นอยู่กับรายละเอียดและกฎข้อบังคับในการออกแบบวงจร จากนั้นจะทำการเจือสารชนิดต่าง ๆ ลงบนแผ่นของสารกึ่งตัวนำผ่านหน้ากากที่ออกแบบไว้สำหรับชั้นแต่ละชั้นตามลำดับเพื่อทำให้เกิดรอยต่อต่าง ๆ อันจะทำให้เกิดคุณสมบัติของสิ่งประดิษฐ์สารกึ่งตัวนำชนิดต่าง ๆ ขึ้น เช่น ทรานซิสเตอร์จะมี 2 ชั้น เป็นต้น และในปัจจุบันก็ได้มีการนำคอมพิวเตอร์เข้ามา เพื่อช่วยอำนวยความสะดวกในการออกแบบหน้ากากของแต่ละชั้น

ประเทศออสเตรเลียได้ทำการวิจัยและพัฒนางานด้านการออกแบบ VLSI และทางสถาบันได้รับความช่วยเหลือจากประเทศออสเตรเลียซึ่งมีความก้าวหน้าทางเทคโนโลยีสูงและทางออสเตรเลียก็ได้ส่งเครื่องคอมพิวเตอร์ System SUN ขนาด 32 บิต พร้อมกับฮาร์ดแวร์ CIRCAD II เพื่อให้ทางสถาบันได้ทำวิจัยและพัฒนา ซึ่งทางสถาบันก็มีเป้าหมายที่จะทำการพัฒนาระบบการออกแบบดังกล่าว ให้สามารถประยุกต์ใช้บนไมโครคอมพิวเตอร์ต่อไป

1.2 วัตถุประสงค์ของโครงการ

เนื่องจากว่าในการออกแบบ VLSI โดยทั่วไปซึ่งรวมทั้งรูปลักษณะของชั้นต่าง ๆ จะถูกกระทำการบนคอมพิวเตอร์ที่มีราคาแพงเช่น System SUN ดังนั้นโครงการนี้จึงมีเป้าหมายที่จะศึกษาขั้นตอนการออกแบบ VLSI และภาษา CIF

CIF เป็นภาษากราฟิคภาษาหนึ่งซึ่งใช้ในการกำหนดรูปร่างทางเรขาคณิตของวงจรรวมที่ออกแบบ ดังนั้นหน้าที่ของ CIF ก็คือเป็น ภาษาที่ใช้เชื่อมโยงระหว่างผู้ออกแบบและการผลิตหน้ากากเพื่อใช้ในการแพร่สำเนา และโครงการจะนำ CIF ไฟล์ซึ่งเป็นไฟล์ที่ได้จากการออกแบบผ่านฮาร์ดแวร์ CIRCAD II บน System SUN มาทำการประมวลผลบนไมโครคอมพิวเตอร์ เพื่อที่จะทำการคุณลักษณะของหน้ากากที่จะใช้เป็นส่วนหนึ่งในการผลิตชิปไอซีต่อไป

1.3 ขอบเขตโครงการ

- ศึกษาขั้นตอนในการออกแบบหน้ากากที่จะใช้ผลิตวงจรรวม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้ไปใช้ประโยชน์ด้านการค้า

- สร้างฮาร์ดแวร์เพื่อสนับสนุนการประมวลผล CIF ไฟล์ของออกมาในรูปแบบ

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แบบหน้ากากของชั้นของวงจรพื้นฐาน โดยกระบวนการนี้จะกระทำบนไมโครคอมพิวเตอร์

- เนื่องจากใน CIF ไฟล์จะมีชั้นต่างๆของวงจรรวมอยู่ดังนั้นจึงต้องทำการแยกชั้นของ CIF ไฟล์เพื่อดูหน้ากากของชั้นแต่ละชั้นซึ่งจะทำงานไมโครคอมพิวเตอร์เช่นกัน

1.4 ประโยชน์ที่คาดว่าจะได้รับ

โครงการนี้เป็นการเริ่มต้นโดยการนำ CIF ไฟล์ของวงจรพื้นฐานบางตัวมาทำการประมวลผลบนเครื่องไมโครคอมพิวเตอร์ ซึ่งผลที่ได้จะนำออกแสดงทางจอ(CRT) และ พล็อตเตอร์(PLOTTER) จะเห็นว่าการประมวลผล CIF ไฟล์จะกระทำบนเครื่องคอมพิวเตอร์ที่มีราคาแพงเช่น System SUN เป็นต้น ซึ่งถ้าสามารถนำมาประยุกต์ใช้บนเครื่องไมโครคอมพิวเตอร์ได้ ก็จะประหยัดต้นทุนกว่ามากและจะสามารถใช้ได้แพร่หลายมากขึ้นในอนาคต

บทที่ 2

ทฤษฎีพื้นฐานในการออกแบบ VLSI

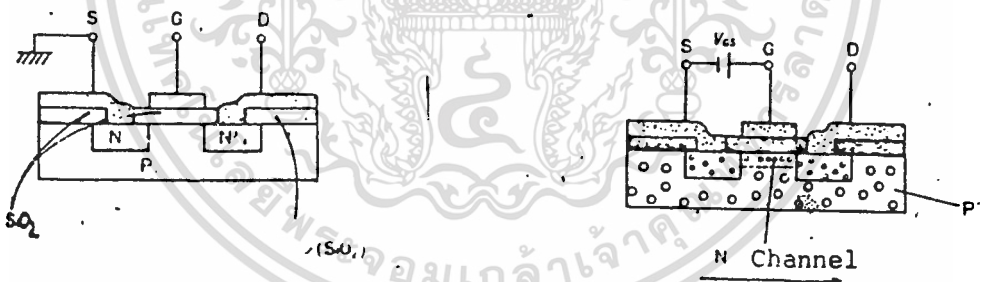
2.1. คุณสมบัติของทรานซิสเตอร์แบบมอส (MOS transistor)

2.1.1 ทรานซิสเตอร์แบบมอสพื้นฐาน

ทรานซิสเตอร์แบบมอสสามารถจัดแบ่งตามชนิดของกระแสที่ไหลในทรานซิสเตอร์ได้เป็น 2 ชนิด คือ

- ทรานซิสเตอร์แบบมอสชนิดเอ็นแชนแนล (n-channel MOS FET)

เรียวย่อว่า เอ็นมอสเฟต (nMOS FET) โดยที่ซอส (source) และเดรน (drain) เป็นสารกึ่งตัวนำชนิดเอ็น (n-type) ซึ่งถูกสร้างขึ้นบนฐานของสารกึ่งตัวนำชนิดพี (p-type) ระหว่างส่วนซอสและเดรนจะมีโครงสร้างของมอส (Metal Oxide Semiconductor) กั้นอยู่ ซึ่งโดยทั่วไปชั้นโลหะอาจเป็นอะลูมิเนียมซึ่งกั้นอยู่บนชั้นของซิลิกอนไดออกไซด์ (SiO_2) จะทำหน้าที่เป็นส่วนเกต (gate) หรือบางครั้งส่วนเกตอาจเป็นชั้นผลึกหลายลูกของซิลิกอนก็ได้ กระแสที่ไหลในทรานซิสเตอร์แบบนี้ เป็นกระแสของอิเล็กตรอนอิสระซึ่งไปประจุไฟฟ้าลบ



รูปที่ 2.1 รูปตัดขวางของทรานซิสเตอร์เอ็นมอส

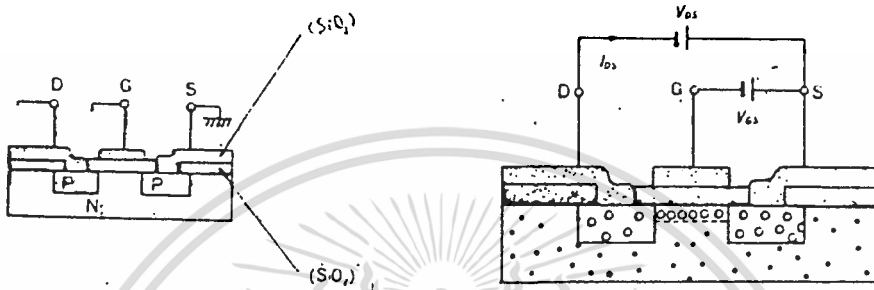
การทำงานของเอ็นมอส กระแสที่ไหลจะถูกควบคุมโดยชั้นของดีพลิชัน (Depletion Layer) ซึ่งจะไปควบคุมทางเดินของตัวพาหะให้ไหลมากหรือน้อยจากรูปถ้ำระหว่าง S กับ G ให้แรงดันบวกเข้าไป ซึ่งมีค่า V_{gs} ก็จะทำให้เกิดการเหนี่ยวนำให้พาหะประจุส่วนน้อยในสารกึ่งตัวนำชนิดพี (อิเล็กตรอน) สะสมที่จนทำให้ส่วนนี้กลายเป็นตัวนำชนิดเอ็น ทำให้เกิดทางเดินของกระแสได้ ซึ่งเรียกว่า เอ็นแชนแนล เมื่อ ให้แรงดันไฟฟ้าระหว่าง S กับ D ด้วย V_{ds} กระแสก็จะไหลผ่าน ถ้า V_{gs} เท่ากับศูนย์ก็จะไม่เกิดกระแสไหล

- ทรานซิสเตอร์แบบมอสชนิดพี (P channel MOS FET)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
เขียนย่อว่า พีมอสเฟต (pMOS FET) มีลักษณะโครงสร้างโดยที่ซอสและ

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ทรานซิสเตอร์เป็นสารกึ่งตัวนำชนิดพี (p-type) ซึ่งถูกสร้างบนฐานรอง (substrate) ของสารกึ่งตัวนำชนิดเอ็น (n-type) และมีโครงสร้างของมอสเป็นส่วนเกทอยู่ระหว่างซอลกับทรานซิสเตอร์แบบนี้เป็นกระแสโวลซึ่งเป็นกระแสบวก



รูป 2.2 รูปตัดขวางของฟิมอส

ถ้าให้ V_{GS} ดังในรูป 2.2 ที่ผิวข้างใต้เกทจะทำให้เกิดโวลซึ่งจะทำให้เกิดทางเดินของกระแสไฟที่ชนิดพีซึ่งเรียกว่า พินแนล

จากหลักการทำงานของมอส ที่ได้กล่าวมา การนำไปใช้งานในวงจร มอส แบ่งเป็น 2 แบบ คือ วงจรชนิดเอ็นมอส (N-MOS circuit) กับวงจรชนิดซีมอส (C-MOS circuit) ในที่นี้จะกล่าวถึงวงจรชนิดซีมอส

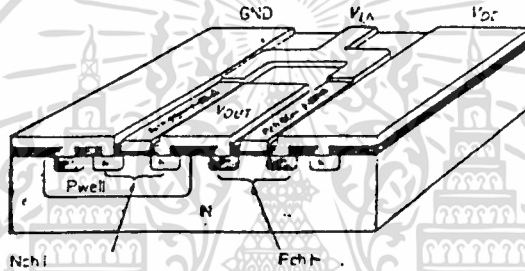
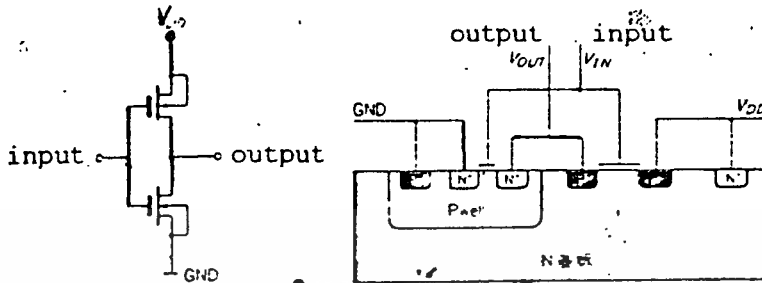
2.1.2 การทำงานของซีมอส

รูป 2.3 แสดงรูปหน้าตัดของโครงสร้างภายในของไอซีของอินเวอร์เตอร์ (inverter) กระแสไฟและสัญญาณไฟฟ้าถูกส่งออกไปจากสายอะลูมิเนียมที่เคลือบอยู่ข้างบน พินแนลทรานซิสเตอร์ถูกสร้างอยู่บนฐาน (substrate) ซิลิกอนชนิดเอ็นซึ่งฐานรองนี้ถูกต่อเข้ากับ V_{SS} ดังนั้นที่ฐานรองซิลิกอนก็จะมีแรงดันไฟฟ้าเท่ากับแรงดันไฟที่ให้เข้ามา ส่วนพินแนลทรานซิสเตอร์จะถูกสร้างอยู่ภายในพีเวล (P well) ซึ่งพีเวลถูกต่อเข้ากับกราวด์ (GND) V_{DD} ต่อเข้ากับฐานลงเอ็นและที่ขั้วของพินแนลทรานซิสเตอร์ ขั้วอีกข้างหนึ่งของพินแนลทรานซิสเตอร์ถูกต่อเข้ากับขั้วข้างหนึ่งของเอ็นแนลทรานซิสเตอร์ซึ่งเอาต์พุตออกไป อีกขั้วหนึ่งของเอ็นแนลทรานซิสเตอร์ที่เหลือต่อเข้ากับพีเวลและกราวด์ ส่วนเกทของพินแนลทรานซิสเตอร์กับเอ็นแนลทรานซิสเตอร์จะต่อเข้าด้วยกันและเป็นส่วนอินพุตของวงจรอินเวอร์เตอร์

ซึ่งสรุปได้ว่าวงจรซีมอสจะประกอบไปด้วย ทรานซิสเตอร์ชนิดเอ็นแนล และพินแนลทำงานควบคู่กันไป ซึ่งจากวงจรที่ยกมาเป็นวงจรอินเวอร์เตอร์

เอกสารนี้เป็นเอกสารที่จัดทำขึ้นเพื่อใช้ในการศึกษาเท่านั้น ไม่อนุญาตให้拿去ใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ชนิดซีมอส



รูป 2.3 แสดงโครงสร้างของอินเวอร์เตอร์ชนิดซีมอส

2.2 คุณลักษณะของการออกแบบวงจรดิจิทัลอิเล็กทรอนิกส์

(Characteristics of digital electronic design)

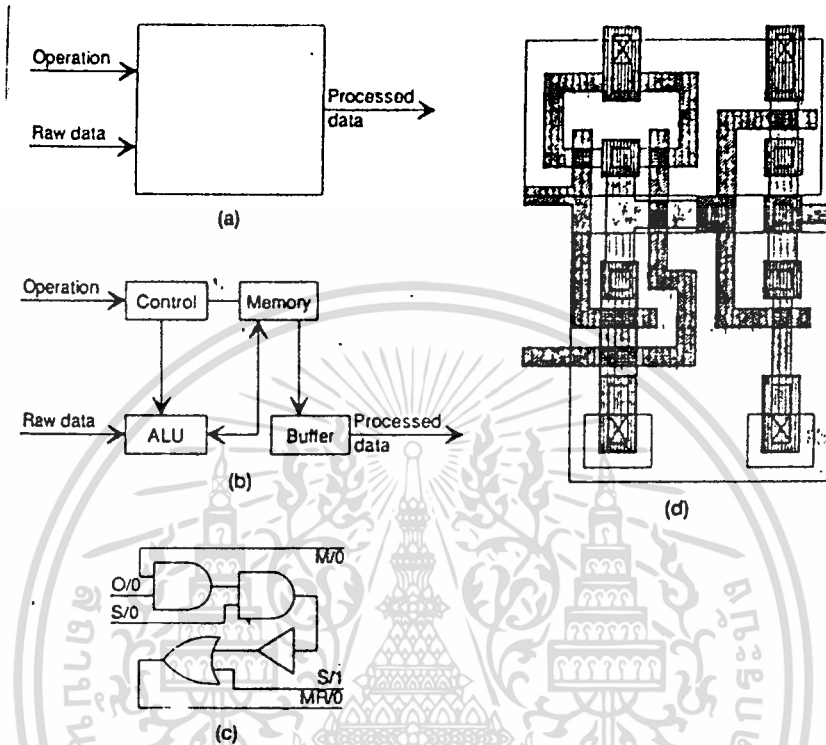
ใน วงจร VLSI (very-large-scale integrated) จะมีการทำการออกแบบเป็นขั้นตอนดังรูป 2.4 เริ่มต้นจากการจำลองแบบกล่องดำ (black box) ขึ้นมาซึ่งจะแสดงคุณลักษณะของวงจร จะเห็นว่ามีเส้นตรงเชื่อมผ่านเข้าและออกจากแบบกล่องดำ ซึ่งเส้นตรงเหล่านั้นจะทำหน้าที่เป็นทางเดินของข่าวสารต่างๆ ดังรูป a และในรูป b จะมองแบบกล่องดำคลิกลงไปถึงส่วนที่อยู่ภายใน และในรูป c จะมองคลิกลงไปถึงโลจิก (logic) ต่างๆ ที่อยู่ภายในส่วนในรูป d จะมองในลักษณะของแบบร่างของไอซี (integrated-circuit layout) ซึ่งเป็นส่วนสำคัญในการออกแบบวงจร VLSI ซึ่งในการที่จะเปลี่ยนรูปที่มีแบบแผนของวงจรให้มาอยู่ในรูปแบบของแบบร่าง (layout) จะต้องมีการใช้เทคโนโลยีของสารกึ่งตัวนำ (semiconductor technology) เข้าช่วย

เทคโนโลยีในกระบวนการของสารกึ่งตัวนำ (Semiconductor process technology) เป็นวิธีหนึ่งซึ่งจะทำให้วงจรต่างๆ สามารถถูกสร้างได้จากการออกแบบที่ชี้เฉพาะ เช่น การออกแบบไอซีซึ่งจะประกอบไปด้วยข้อกำหนด

เอกสารเป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ในการค้า
ต่างๆที่รวบรวมพวกกรุปทรงหลายเหลี่ยม (polygon) ต่างๆที่จะเป็นวัสดุในการ

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ทำเป็นชั้นๆ (layer) ของหน้ากาก (mask) ในการผลิตไอซี เป็นต้น



รูปที่ 2.4

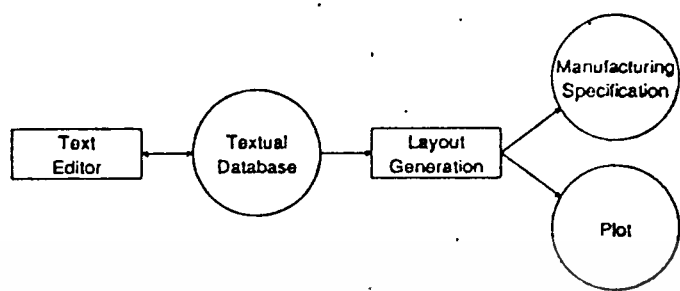
ในการออกแบบวงจรทางอิเล็กทรอนิกส์ต่างๆ ได้มีการนำคอมพิวเตอร์เข้ามาช่วยในการออกแบบแบบร่างวงจร ซึ่งจะถูกออกแบบในลักษณะของรูปเหลี่ยมต่างๆ ที่อยู่บนชั้นหนึ่งๆ ซึ่งในแต่ละชั้นจะมองในลักษณะของแบบร่างวงจรและในแต่ละชั้นจะแกะลงบนแผ่นฟิล์ม เพื่อที่จะทำเป็นหน้ากากต่างๆ ที่จะใช้ในการผลิตไอซีต่อไป ซึ่งคอมพิวเตอร์ที่นำมาใช้ช่วยในการออกแบบเรียกว่า CAD: computer-aided design

2.2.1 ระบบคอมพิวเตอร์ในการออกแบบ

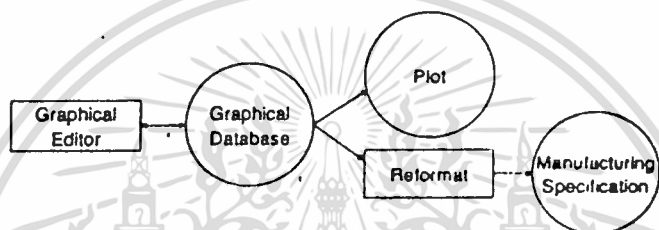
(Design System Computer)

ในการออกแบบวงจรขนาดใหญ่ก็มีการใช้เนื้อที่ในหน่วยความจำมากและถ้าวงจรยุ่งยากซับซ้อนก็ต้องมีการนำ CAD เข้ามาช่วยในการออกแบบดังนั้นข้อกำหนดต่างๆ จะถูกนำมาเป็นอินพุต เพื่อป้อนเข้าไปยังโปรแกรมเพื่อที่จะทำการผลิตเป็นชิปไอซีและยังมีขั้นตอนอื่นๆ อีกที่จะต้องพิจารณา เช่น โฟโตพลอตเตอร์ (photoplotter) , เวเฟอร์เอตเชอร์ (wafer etcher) เป็นต้นซึ่งขั้นตอน

ต่างๆ เหล่านี้เป็นส่วนประกอบที่สำคัญในการผลิตในรูป 2.5



(a)

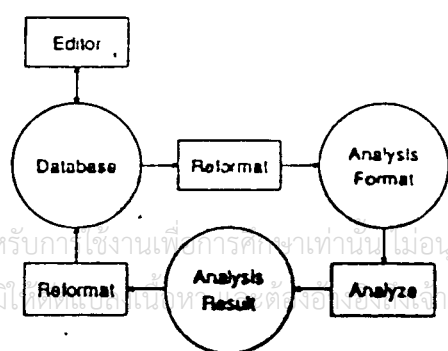


(b)

รูปที่ 2.5

จะแสดงระบบ CAD อย่างง่าย จะเห็นว่าในรูป a แสดงให้เห็นถึงการป้อนข้อมูลเข้าสู่ระบบในลักษณะของคำสั่งต่างๆ ที่เป็นตัวหนังสือแล้วผ่านเข้ากระบวนการสร้างแบบร่างวงจร (layout generation) ซึ่งจะทำให้การผลิตแบบร่างวงจรออกมาที่จะใช้ในการทำการผลิตส่วนรูป b จะเป็นการประมวลผลทางด้านกราฟฟิก

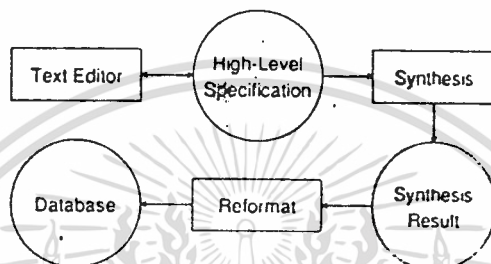
จะต้องมีการเครื่องมือที่ช่วยในการวิเคราะห์และสังเคราะห์ (analysis & synthesis tool) เข้าช่วยเพื่อที่จะให้ได้แบบร่างวงจรออกมาได้อย่างถูกต้อง ซึ่งเครื่องมือที่ช่วยในการวิเคราะห์ใช้เพื่อที่จะตรวจสอบความผิดพลาดของแบบร่างวงจร เช่น การผิดกฎเกณฑ์การออกแบบ (design-rule violation) , การลัดวงจร (short circuit) และการใช้เพาเวอร์ (power) ไม่พอเพียง เป็นต้น ในรูป 2.6 แสดงให้เห็นถึงขั้นตอนในการวิเคราะห์ในการออกแบบ



รูปที่ 2.6

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้เผยแพร่หรือทำซ้ำโดยไม่ได้รับอนุญาตของเอกสารทุกครั้งที่มีการนำไปใช้

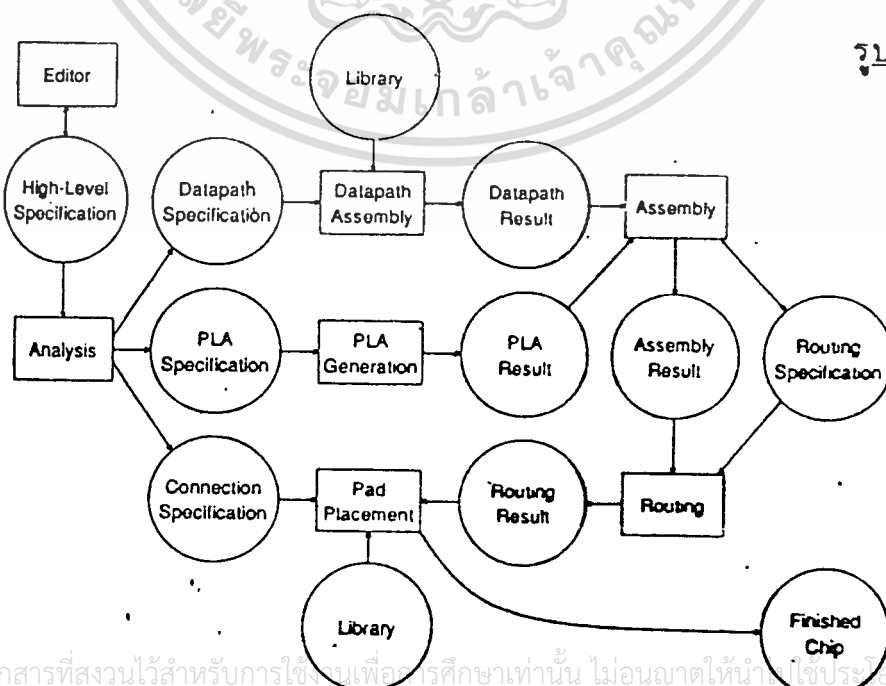
เครื่องมือที่ใช้ในการสังเคราะห์วงจรจะใช้ในการทำข้อกำหนดต่างๆหรือใช้เป็นขั้นตอนในการที่จะสร้างแบบร่างวงจรขึ้นมาเช่น โปรแกรมเมเบิลโลจิกแอสเรย์(programmable logic array : PLA) , แบบร่างวงจรที่ค่อนข้างยุ่งยากซับซ้อน(เกี่ยวกับพวกทางเดินต่างๆ) หรือแม้แต่กระทั่งการควบคุมแบบร่างให้ถูกต้อง(layout manipulation) เช่น การคอมแพคชั่น(compaction) เป็นต้น



รูปที่ 2.7

ในรูป 2.7 แสดงให้เห็นถึงขั้นตอนในการใช้เครื่องมือที่ใช้สังเคราะห์วงจรเมื่อวงจรซับซ้อนมาก เครื่องมือต่างๆเหล่านี้ก็จะต้องมีความยากและมีขนาดใหญ่ขึ้นตามไปด้วย

ในปัจจุบันนักออกแบบ VLSI จะต้องพิจารณาการออกแบบให้ละเอียดถี่ถ้วน ซึ่งเครื่องมือที่ใช้สังเคราะห์เป็นสิ่งที่ต้องนำมาพิจารณาให้รอบคอบ กระ



รูปที่ 2.8



บวนการทั้งหมดจะถูกทำโดยอัตโนมัติ และระบบจะทำการแปลงข้อกำหนดทางพฤติกรรม (behavioral requirement) ไปอยู่ในรูปแบบของข้อกำหนดที่ชี้เฉพาะทางการการผลิต (manufacturing specification) ซึ่งตัวที่จะใช้ในการทำการทรานสเลชัน (translation) มีชื่อว่าซิลิคอนคอมไพเลอร์ (silicon compiler). โครงสร้างของซิลิคอนคอมไพเลอร์ดังได้แสดงไว้แล้วในรูป 2.8

2.2.2 ข้อบังคับในการออกแบบ

(Design as Constrain Optimization)

จุดมุ่งหมายของการออกแบบก็คือ จะต้องให้ข้อกำหนดที่ชี้เฉพาะที่แน่นอนซึ่งจะให้ผลผลิตออกมาให้ตรงตามจุดประสงค์ สิ่งที่น่าออกแบบจะต้องพิจารณาถึงคือขนาดของวัตถุว่ามีความกว้างความยาวเท่าไร สายต่างๆที่ใช้เชื่อมต่อวงจรจะอยู่เหนือหรือใต้บอร์ด (board) ซึ่งการตัดสินใจต่างๆจะพิจารณาภายใต้ข้อกำหนดที่ชี้เฉพาะของการออกแบบ เช่น วัตถุควรจะมีขนาดกว้างมากเพื่อที่จะทำให้ตัวมันเสถียร ส่วนมุมของวัตถุควรจะมีมนเพราะจะทำให้การผลิตมีความผิดพลาดน้อยลง และสายที่ใช้เชื่อมต่อควรจะวางตัวอยู่ใต้บอร์ดเนื่องจากจะเป็นอุปสรรคต่อคอมโพเนนต์ (component) ต่างๆที่วางตัวอยู่เหนือบอร์ดซึ่งการรวบรวมรายละเอียดหรือข้อกำหนดต่างๆจะรวมอยู่ในรูปแบบของกฎข้อบังคับ (constraint) ในการออกแบบ ซึ่งกฎข้อบังคับบางตัวในการออกแบบได้แสดงไว้ในตารางในรูป 2.9

Constraint Class	Sample Constraint
Spacing	Polysilicon must remain 1 micron from diffusion
Topology	Transistor with depletion and source connected to gate is a pullup
Power	Metal migrates if too much power is on a narrow wire
Timing	Two-phase clock drops Φ_1 before raising Φ_2
Logic	$F \cdot A \cdot F = F$ $F \cdot A \cdot 1 = F$ $T \cdot A \cdot 1 = F$ $T \cdot 1 = T$
Packaging	IC must be 300 mils square to fit in 16 pin DIP
Manufacturing	Fabrication bloats contacts, so mask must be shrunk
Bonding	Pads must be near outside to keep wires short
Hierarchy	All instances of a cell are identical in contents
Layout	Minimum metal wire width is 8 microns
Routing	Power and ground wires may not cross
Graphics	Top layer is visible and should contain messages
Testing	Only top and bottom layers of PC board can be probed
Defects	Chip yield is proportional to chip size

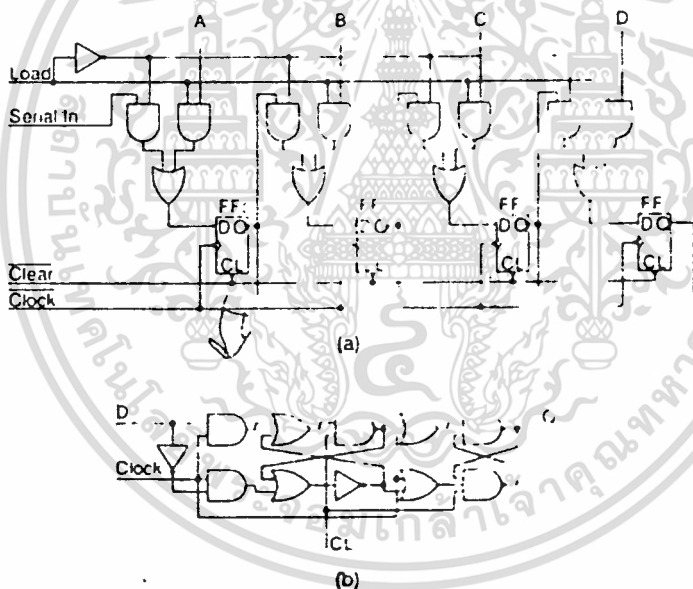
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับงานวิจัยเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
รูปที่ 2.9 แสดงตัวอย่างบางส่วนของข้อบังคับในการออกแบบ
 ไม่ว่าการณ์ใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2.3 การมองงานเป็นลำดับขั้น

(Hierarchy)

ความหมายอย่างแรกของ VLSI และการออกแบบอื่นๆคือ การใช้เกี่ยวกับเรื่องของลำดับเพื่อลดรายละเอียดจำนวนมากเกี่ยวกับการออกแบบ ซึ่งสามารถใช้ CAD จัดการเกี่ยวกับการลดรายละเอียดของสิ่งซึ่งอยู่ในลำดับขั้นที่ต่ำกว่าในการแบ่งลำดับขั้น(hierarchy) สำหรับการจำลอง, การตรวจสอบ, การเช็คกฎการออกแบบและข้อบังคับทางโครงสร้างสามารถใช้การแบ่งลำดับขั้นช่วยได้มากซึ่งจะทำให้คำนวณง่ายขึ้น

วงจรทั่วไปสลับซับซ้อน การออกแบบที่สมบูรณ์จึงใช้การมองรวมเป็นกลุ่มๆของส่วนประกอบซึ่งแบ่งออกเป็นส่วนประกอบย่อยๆ ในแบบรีเคอร์ซีฟ(recursive) และ การแบ่งตามลำดับขั้น (รูป 2.10)



รูปที่ 2.10

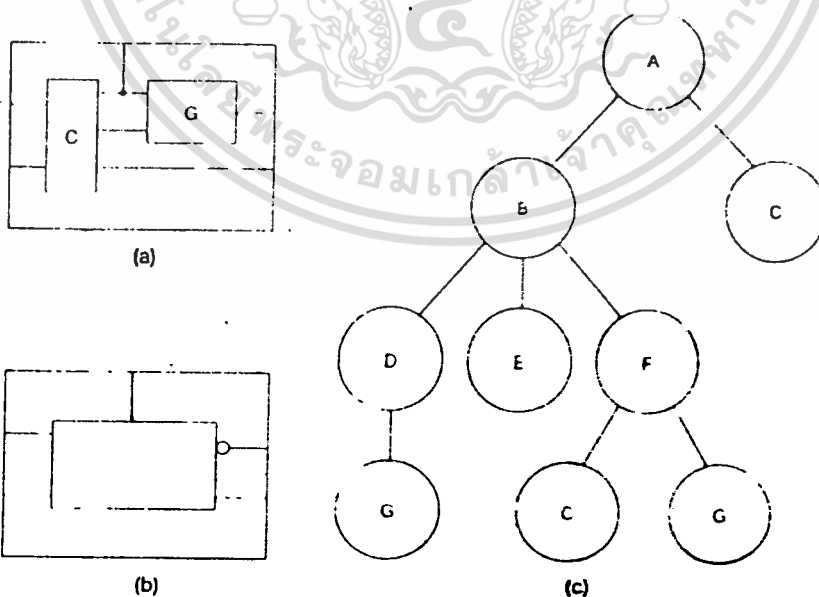
ในการออกแบบกลุ่มของส่วนประกอบเหล่านี้จะถูกเรียกว่าเซลล์(cell) , โมดูล(module), บล็อก(block) , มาโคร(macro) ฯลฯ การใช้เซลล์ที่ชั้นระดับหนึ่งๆในการแบ่งลำดับขั้นเรียกว่า เซลล์ตัวอย่าง(instances) และให้เรียกหน่วยต่างๆของการแบ่งลำดับขั้นว่า ฟังก์ชันบล็อก(function block)ในที่นี้จะเรียกว่า เซลล์ การใช้เซลล์ในบางจุดในวงจรแสดงว่ารายละเอียดคำอธิบายทั้งหมดของเซลล์จะปรากฏที่จุดนั้นในวงจรทำสัญลักษณ์ทางด้านการนิยามตัวอย่างเซลล์จะเป็นโครงร่าง (footprint หรือ bounding box) ซึ่งจะแสดงเพียงขอบเอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

เขตของการอธิบายของเซลล์หรือรายละเอียดของเซลล์ สำหรับเซลล์ที่ไม่มีตัวอย่างไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามแก้ไขเปลี่ยนแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เซลล์ของเซลล์อื่นและอยู่ที่ชั้นล่างสุดของลำดับชั้นจะเรียกว่าลีฟเซลล์(leaf cell) หากเซลล์ลักษณะนี้ถ้าอยู่ชั้นบนสุดจะถูกเรียกว่า รุทเซลล์(root cell) ที่เหลืออื่นๆเรียกว่า คอมโพสิชันเซลล์(composition cell)เพราะเป็นส่วนประกอบของ ลำดับชั้น การแบ่งแยกลำดับชั้นคือ การแบ่งแยกกระหว่างลีฟเซลล์กับคอมโพสิชันเซลล์ที่อยู่ในระดับที่สูงกว่า

โดยทั่วไปการแบ่งเป็นลำดับชั้นจะถูกพิจารณาในรูปของความลึกโดยลีฟเซลล์จะถูกมองว่าลึกที่สุดความจริงที่ไม่มีลำดับชั้นมีความลึกเพียงระดับเดียว และเรียกว่า วงจรถูกทำให้ราบ(flat) CAD บางอย่างไม่ต้องการการแบ่งลำดับชั้นเพราะไม่สามารถจัดการเกี่ยวกับรายละเอียดต่างๆของลำดับชั้นที่เกี่ยวข้องได้ ตัวอย่างเช่น ตัวจำลองหลายอันไม่เป็นลำดับชั้น และย้ำว่า วงจรสามารถถูกแทนด้วยการรวบรวมส่วนประกอบและการเชื่อมต่อกันอย่างง่าย ผลผลิตทางอุตสาหกรรมหลายชนิดก็ไม่มีลำดับชั้นวงจรซึ่งมีเซลล์ตัวอย่างวางรายละเอียดของเซลล์เข้าไปเข้ามาจะถูกลดความลึกของลำดับชั้นที่เกี่ยวข้องเหลือเพียงระดับเดียว

แม้ว่าเซลล์และการอธิบายเกี่ยวกับเซลล์จะทำให้ลำดับชั้นดูสวยงามก็ยังไม่เป็นที่พอใจของผู้ออกแบบ เช่น รูป 2.11 รายละเอียดของเซลล์ "F" ประกอบด้วยเซลล์ "C" และ "G"



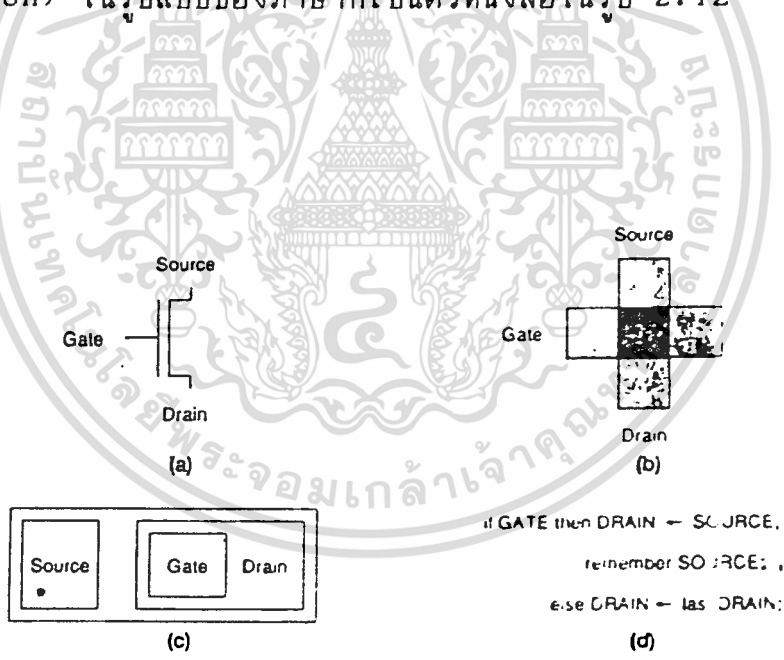
รูปที่ 2.11 แสดงการแบ่งเซลล์เป็นลำดับชั้น

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์สำหรับการใช้งานเพื่อการศึกษาเท่านั้น เมื่อผู้ใช้ได้เห็นว่าประโยชน์ด้านการค้าในทางกลับกันภาพนี้อาจถูกมองเป็นภาพรวมว่าต่างไปอีกแบบก็ได้ ระบบส่วนใหญ่ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่นำไปใช้

เซลล์ตัวอย่างและการอธิบายยังคงใช้ทำลำดับชั้นให้เป็นผลสำเร็จ เพราะคำอธิบายบรรยายถึงรายละเอียดของระดับของลำดับชั้นที่เกี่ยวข้อง และการเชื่อมเซลล์ระหว่างระดับซึ่งปรากฏในการอธิบายอื่นๆ ดังนั้นการอธิบายเกี่ยวกับเซลล์จึงรวมเป็นกลุ่มกับการแบ่งลำดับชั้น อย่างไรก็ตามการอธิบายเกี่ยวกับเซลล์อาจรวมหรือไม่รวมอยู่กับการแบ่งลำดับชั้นก็ได้ หากไม่รวมก็เพื่อจะไม่บ่งชี้ถึงโครงสร้างของวงจรทั้งหมดหากเป็นเพียงการใช้เมื่อมีการแสดงเซลล์ตัวอย่าง นับเป็นการเพิ่มความซับซ้อนในการออกแบบระบบเพราะแต่ละเซลล์ต้องถูกอธิบาย 2 ครั้ง คือ ในรูปคำอธิบายในการแบ่งลำดับชั้นและในรูปปกติที่มันปรากฏ

2.2.4 การมองวัตถุ (View)

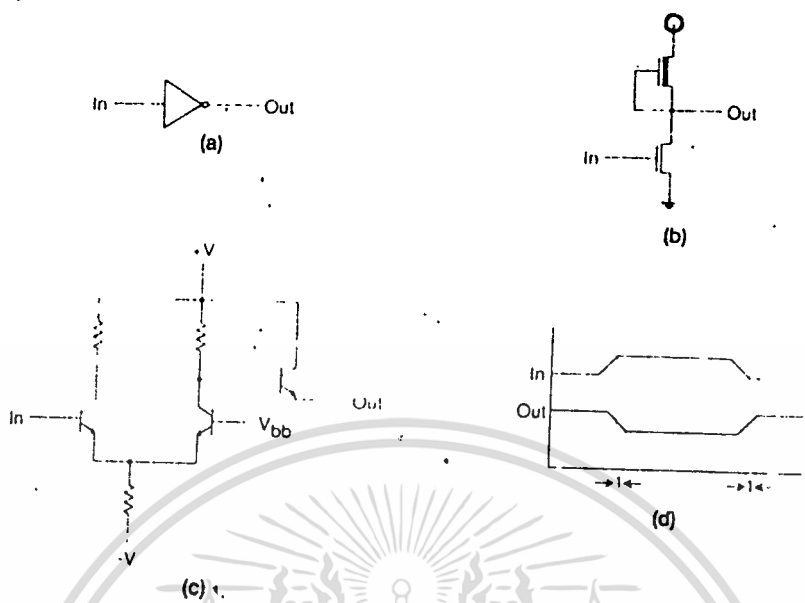
จะมองวัตถุในลักษณะหลายมุมมองกันออกไป เช่น ทรานซิสเตอร์จะสามารถวาดให้อยู่ในรูปสัญลักษณ์ที่มีแบบแผน (schematic symbol) หรืออาจมองในรูปทรงเรขาคณิตหรือในลักษณะการบรรยายพฤติกรรมของตัวมัน (behavioral description) ในรูปแบบของภาษาที่เป็นตัวหนังสือในรูป 2.12



รูปที่ 2.12 แสดงการมองทรานซิสเตอร์ในรูปแบบการมองที่ต่างกัน

เช่นเดียวกับอินเวอร์เตอร์ในรูป 2.13 ซึ่งสัญลักษณ์จะมองเป็น 1 อินพุตและ 1 เอาต์พุตที่ถูกอินเวอร์ต (invert) หรืออาจมองเป็นทรานซิสเตอร์ประกอบกันอยู่ภายใน และอาจมองในลักษณะหรือจะมองเป็นลักษณะของเวลา (timing diagram) และ พฤติกรรมควบคู่ไปด้วย

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งยังมีให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.13

2.2.4.1 การมองในแง่ของเวลา (Temporal view)

จะดูในลักษณะของเวลา (timing diagram) ของวงจรซึ่งวงจรส่วนใหญ่จะให้สัญญาณออกมาในรูปของสัญญาณอนาล็อก (analog) ซึ่งจะพลอตระหว่างโวลเตจกับเวลา นักออกแบบทางดิจิทัลจะสะดวกที่จะมองสัญญาณเวลาของวงจรในลักษณะของกระบวนการแบบดิสครีต (discrete process) ซึ่งจะแยกสัญญาณออกเป็น true (on, 1) และ false (off, 0) ซึ่งเราจะมองสัญญาณเวลาของทรานซิสเตอร์โดยจะมองแบบดิสครีต ถ้าเกิดมีหลายสัญญาณที่จะต้องนำมาพิจารณา ดังนั้นก็จะต้องมีการเปรียบเทียบสัญญาณกันโดยจะมีเวลาเริ่มต้นและเวลาสิ้นสุด ซึ่งเราจะไม่สนใจทิศทางของมัน เพราะว่าแต่ละสัญญาณสามารถเกิดได้ 2 สถานะ คือ 0, 1 และถ้าเราต้องการจะเปรียบเทียบกันก็จะดูเพียงแต่ความสัมพันธ์กันระหว่างสัญญาณนาฬิกา (clock) ในช่วงเวลาหนึ่ง นักออกแบบจะต้องสนใจผลตอบสนองของวงจรด้วย วงจรซึ่งสามารถยอมให้สัญญาณผ่านไปอีกสถานะโดยไม่มีการซิงโครไนส์ (synchronization) เรียกว่า วงจรอะซิงโครนัส (Asynchronous circuit) โดยทั่วไปจะมีการใช้สัญญาณนาฬิกา เข้าช่วยเพื่อจะทำให้มีการส่งค่าออกเป็นช่วงๆ ซึ่งจะทำให้เกิดการซิงโครไนส์ซึ่งส่วนใหญ่จะใช้สัญญาณนาฬิกาของเฟลคคือ และ ซึ่งจะเปลี่ยนสถานะ on กับ off สลับกันตลอดเวลาโดยไม่มีการซ้อนกัน (overlapping)

2.2.4.2 การมองในแง่ของพฤติกรรม (Behavioral view)

จะเป็นการมองพฤติกรรมของวงจรซึ่งจะช่วยให้ นักออกแบบสามารถมอง
 เอกสารนี้เป็นเอกสารของบริษัทเอกชนที่จัดทำขึ้นเพื่อใช้ในการศึกษาเท่านั้น ไม่สามารถนำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เห็นถึงการติดต่อกันระหว่างองค์ประกอบในวงจร

การบรรยายเกี่ยวกับพฤติกรรม(Behavioral description)สามารถแสดงโทโปโลยี(topology)เช่น การบรรยายอัลกอริธึม(ในรูป 2.12d) ซึ่งจะมีเครื่องมือเข้าช่วยคือ คำอธิบายทางฮาร์ดแวร์(hardware-description language)เช่น การบอกลักษณะของสัญญาณจะบอกเป็นจำนวนเต็ม

การบรรยายเกี่ยวกับพฤติกรรม สามารถแสดงให้เห็นถึงเวลาเช่น ถ้าเริ่มต้นเวลา $t = 0$ เมื่อถึงเวลา t ใดๆ วงจรจะเปลี่ยนไปอีกสถานะและสัญญาณเอาต์พุตในขณะคล็อกไซเคิล(clock cycle) ปัจจุบันจะต้องมีความสัมพันธ์กับอินพุตในช่วงสัญญาณนาฬิกาก่อนหน้านี้ ความสัมพันธ์ของเวลาจะถูกแสดงพฤติกรรมด้วยตัวดำเนินการทางโลจิก(logic operator) ซึ่งจะเป็นคุณสมบัติของมัน

2.2.4.3 ความสอดคล้องของการมอง (View correspondence)

ปัญหาพื้นฐานที่นักออกแบบจะต้องพิจารณาคือ การดูแลผลตอบสนองระหว่างการมองที่แตกต่างกัน นักออกแบบจะต้องเปลี่ยนแปลงคำอธิบายให้อยู่ในรูปแบบที่เข้าใจได้ เช่น มีการใช้ซิลิคอนคอมไพเลอร์ซึ่งเป็น ซอร์ฟแวร์หนึ่งที่ใช้ในการออกแบบ VLSI

ในรูป 2.13 แสดงให้เห็นปัญหาว่าเป็นการยากที่จะเปลี่ยนระหว่างการบรรยายทางพฤติกรรมและทางแบบแผนของ อินเวอร์เตอร์และการดูแลผลตอบสนองระหว่างคอมโพเนนต์ ดังนั้นจึงสรุปได้ว่าการเปลี่ยนแปลงรูปแบบต่างๆ จำเป็นที่จะต้องพิจารณาผลตอบสนองระหว่างคอมโพเนนต์ด้วย ยิ่งถ้าคอมโพเนนต์มีจำนวนมากก็ยิ่งเพิ่มความยุ่งยากในการดูแลผลตอบสนอง

2.3 สิ่งแวดล้อมในการออกแบบ (Design Environment)

ในการออกแบบจะมีสิ่งพื้นฐานที่จะต้องคำนึงถึงอยู่ 2 ประการคือ ระเบียบวิธีการ(method) และ วัสดุที่ใช้(material) ซึ่งระเบียบวิธีการก็คือ เทคนิคที่ใช้ในการสร้างชิ้นงาน และ วัสดุที่ใช้ก็คือ ตัวกลางซึ่งถูกใช้โดยระเบียบวิธีการซึ่งในหัวข้อนี้จะพิจารณาเกี่ยวกับวัสดุที่ใช้ มีหลายวิธีการที่ใช้ในการสร้างวงจรซึ่งวิธีการแต่ละอย่างก็จะประกอบไปด้วยวัสดุที่ใช้ที่แตกต่างกันออกไป การรวบรวมต่างสำหรับวงจรเฉพาะอย่างจะมาเป็นรูปแบบของเทคโนโลยีของกระบวนการสารกึ่งตัวนำ มีเทคนิคหลายอย่างในการผลิตสำหรับหลายรูปแบบของการออกแบบวงจร ซึ่งการที่มีรูปแบบต่างที่มากมายทำให้มีจำนวนของสิ่งแวดล้อม(environment)ที่เกี่ยวข้องจำนวนมากสำหรับการออกแบบ VLSI ซึ่งในแต่ละสิ่งแวดล้อมจะมีเซตของวัสดุที่ใช้ของตัวเอง ซึ่งเรียกว่า คอมโพเนนต์พื้นฐาน(primitive component)

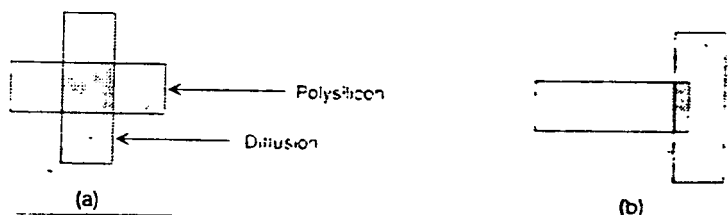
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปเผยแพร่โดยไม่ได้รับอนุญาต
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สิ่งที่ต้องพิจารณาถึงก็คือรูปแบบของวงจรในระนาบ 2 มิติจะทำให้สิ่งแวดล้อมต่างๆถูกอธิบายในรูปแบบที่ง่าย เช่น พวกจุดต่างๆ(point), เส้น(line)และรูปทรงหลายเหลี่ยม(polygon) ในการออกแบบระบบที่ดีควรจะขยายเขตที่ถูกจำกัดเพื่อว่าจะสามารถทำแบบร่างวงจรที่มีประโยชน์ได้ ในการที่จะมีเขตของ คอมโพเนนต์พื้นฐานที่ดีสำหรับรูปแบบของการออกแบบเฉพาะด้านซึ่งวงจรต่างๆ จะสามารถถูกสร้างได้ควรจะรวมคอมโพเนนต์ในลักษณะของลำดับชั้น

ผลที่ตามมาจากการเลือกคอมโพเนนต์พื้นฐานที่มีอยู่บนแบบการออกแบบก็คือจะมีการสร้างระดับชั้นที่ต่ำที่สุดอย่างเล็กๆของวงจร ในการออกแบบซึ่งมาจากคอมโพเนนต์ที่มีความสำคัญมากเกินไปหรือละเอียดเกินไปจะทำให้เกิดความยุ่งยากในการออกแบบเช่น ในการออกแบบชิพไอซี ก็ไม่มีความจำเป็นที่จะต้องกำหนดให้ โปรตรอน, นิวตรอน และอิเล็กตรอนเป็นคอมโพเนนต์พื้นฐาน ดังนั้นจึงใช้วัสดุที่เป็นสารกึ่งตัวนำจะดีกว่า เป็นการดีที่จะแบ่งการออกแบบออกเป็น ส่วนๆการเลือกคอมโพเนนต์พื้นฐานจะใช้พิจารณาถึงปฏิริยาระหว่างนักออกแบบและการออกแบบ ถ้าเกิดคอมโพเนนต์ต่างๆไม่สามารถเข้ากับความคิดเห็นของนักออกแบบในการสร้างวงจร จะทำให้ปฏิริยาที่เกิดขึ้นจะคงค้างเกินไป

ในการออกแบบจะแบ่งการออกแบบออกไปตามชนิดของการออกแบบซึ่งนักออกแบบจะต้องคำนึงถึงด้วย เช่น นักออกแบบวงจรจะเกี่ยวข้องกับปฏิริยาทางโลจิก มากกว่าทางกายภาพ(physical layout) นักออกแบบหน้ากากจะรับผิดชอบเกี่ยวกับกายภาพ โดยที่ไม่จำเป็นต้องรู้คุณสมบัติทั้งหมดของวงจร

ตัวอย่าง ให้คอมโพเนนต์พื้นฐานของการออกแบบมอส เป็นรูปทรงสี่เหลี่ยมซึ่งเป็นพื้นที่ของเมทอล, โพลีซิลิกอนและดีฟฟิวชัน ดังนั้นมอลทรานซิสเตอร์สามารถถูกมองในลักษณะของการซ้อนทับกันของ ดีฟฟิวชันและโพลีซิลิกอนพื้นฐาน (ดังรูป 2.14a) ในส่วนของสิ่งแวดล้อมที่เกี่ยวข้อง นักออกแบบวงจรอาจจะไม่สังเกตเห็นถึง การเปลี่ยนแปลงของพื้นฐานหนึ่งตัวที่มีผลกระทบต่ออุปกรณ์ทั้งหมด (ดังรูป 2.14b) แสดงให้เห็นถึงการเคลื่อนที่ของ 1 คอมโพเนนต์พื้นฐานซึ่งทำลายโครงสร้างของทรานซิสเตอร์



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
รูปที่ 2.14
 ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

นักออกแบบเกี่ยวกับทางด้านหน้าจะสามารถใช้ชิ้นโพลีซิลิคอน และตีพิมพ์ขึ้นพื้นฐาน เพราะว่าการมองวงจรจะมองในลักษณะของหนึ่งในหลายของจำนวนรูปทรงหลายเหลี่ยมบนชั้นของวัสดุที่แตกต่างกัน

สิ่งที่จะต้องคำนึงถึงต่อมาก็คือ จำนวนของคอมโพเนนต์พื้นฐานควรจะถูกเก็บให้มีขนาดเล็กซึ่งจะต้องมีประโยชน์แก่นักออกแบบ การรวบรวมคอมโพเนนต์พื้นฐาน ต่างๆที่มีขนาดใหญ่เกินไปจะไม่สามารถถูกใช้อย่างเหมือนกันหมดได้ สำหรับการออกแบบวงจรมันก็ต้องมี คอมโพเนนต์พื้นฐาน ต่างๆซึ่งจะสามารถเชื่อมต่อกันด้วย

ในการออกแบบทางไฟฟ้าจะแบ่งการออกแบบออกเป็นระดับต่างๆ(level) อย่างกว้างๆได้ 4 ระดับคือ

1. ระบบ
2. อัลกอริธึม
3. คอมโพเนนต์
4. แบบร่างวงจร

2.3.1 ระดับของระบบ (System level)

จะเป็นส่วนที่มีขนาดใหญ่ที่สุด ซึ่งจะเกี่ยวข้องกับลักษณะของโครงข่ายและสิ่งแวดล้อมในส่วนนี้ก็คือ PMS ซึ่งจะเกี่ยวข้องกับการเชื่อมต่อกันของอุปกรณ์ต่าง เช่น โปรเซสเซอร์(processor) , หน่วยความจำ(memory) และลิงค์(link) เป็นต้น

2.3.2 ระดับของอัลกอริธึม (Algorithm level)

จะเป็นสิ่งแวดล้อมที่เกี่ยวข้องกับการชี้เฉพาะเจาะจงการทำงานที่แน่นอนหรืออัลกอริธึมต่างๆของการออกแบบและสิ่งแวดล้อมที่เกี่ยวข้องกับระดับนี้ ได้แก่

- สิ่งแวดล้อมเกี่ยวกับแบบแผนวงจร(Schematic environment) ซึ่งจะใช้โลจิกคอมโพเนนต์เข้าสนับสนุนบูลีนฟังก์ชัน(boolean function) ประกอบไปด้วย AND, OR, NEGATION
- สิ่งแวดล้อมเกี่ยวกับโลจิกของเวลา(Temporal logic environment)
- สิ่งแวดล้อมเกี่ยวกับโฟลว์ชาร์ต(Flowchart environment) จะเกี่ยวข้องกับกระบวนการต่างๆเช่น การทดสอบ การคำนวณ และ เอาท์พุท เป็นต้น

2.3.3 ระดับของคอมโพเนนต์ (Component level)

จะประกอบไปด้วย 2 สิ่งแวดล้อม คือ

- สิ่งแวดล้อมซึ่งเกี่ยวกับการเคลื่อนย้ายรีจิสเตอร์(Register transfer environment) ประกอบไปด้วย การควบคุมต่างๆ , การคำนวณและหน่วยความจำ
- เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
- ไม่ว่าการณ์ใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- สิ่งแวดล้อมไอเอสพี (ISP environment)

2.3.4 ระดับของแบบร่างวงจร Layout (Layout level)

สิ่งแวดล้อมที่เป็นระดับของแบบร่างจะมีเพื่อกำหนดให้เกิดข้อกำหนดในการประกอบชิ้นสุดท้าย ทุกๆคอมโพเนนต์ในสิ่งแวดล้อมนี้จะมีมิติที่แน่นอนและตำแหน่งในการออกแบบจะมีผลอย่างแน่นอน ต่อตำแหน่งที่ตั้งสุดท้ายในการประกอบเป็นวงจร ในการออกแบบเอ็นมอสจะรวมเกี่ยวกับ ข้อมูลต่างๆที่ใช้ในการเชื่อมต่อ การบรรยายพฤติกรรมต่างๆและเชื่อมไปถึงวงจรที่สมมุติในสิ่งแวดล้อม อื่นๆ อย่างไรก็ตามความต้องการของนักออกแบบจะเป็นตัวตัดสินใจความซับซ้อนของสิ่งแวดล้อมที่เป็นแบบร่างของวงจร (layout environment)

ในระดับแบบร่างวงจรนี้จะขออธิบายสิ่งแวดล้อมที่เกี่ยวข้อง 2 ตัวด้วยกัน คือ

1. สิ่งแวดล้อมเอ็นมอส (nMOS environment)

2. สิ่งแวดล้อมซีมอส (CMOS environment)

2.3.4.1 สิ่งแวดล้อมเอ็นมอส (nMOS environment)

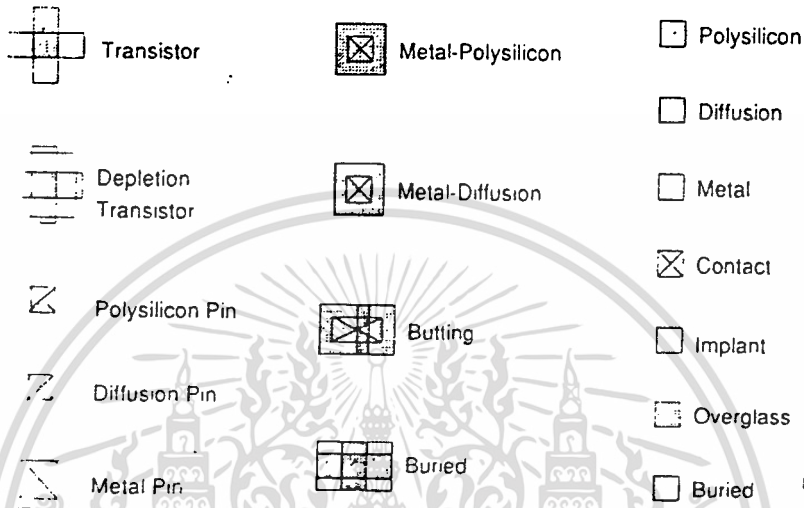
เป็น 1 ใน 2 ของสิ่งแวดล้อมมอสที่จะกล่าวถึง ข้อแตกต่างทางคุณลักษณะของมอสก็คือการใช้ฟิลด์เอฟเฟ็คทรานซิสเตอร์ (field-effect-transistor) เป็นตัวทำการสวิตช์ (switching)

ชั้นที่แตกต่างกันของวัสดุที่เป็นตัวนำและกึ่งตัวนำ จะมีประโยชน์สำหรับเป็นตัวสนับสนุนลักษณะของมอส สำหรับชั้นที่ทำหน้าที่สวิตช์ก็คือ โพลีซิลิคอนและชั้นที่ถูกสวิตช์ก็คือ ดิฟฟิวชัน ซึ่งทั้งสองชั้นนี้จะไม่สามารถข้ามกันโดยปราศจากการทำรูปแบบของคอมโพเนนต์ขึ้นมาคือ ทั้งทรานซิสเตอร์และการลัมผัสกันโดยตรง เพื่อที่จะไม่ให้เกิดความเสียหายระหว่างชั้น จึงมีชั้นของเมทอลซึ่งสามารถข้ามผ่านโพลีซิลิคอนหรือดิฟฟิวชัน โดยปราศจากการเชื่อมต่อ

ยังมีอีก 3 ชั้นซึ่งเป็นทางในการวิ่งของสาย (wire) ในวงจรเอ็นมอสและในกระบวนการผลิต บางกระบวนการก็ยังมีชั้น พิเศษของชั้นเมทอลหรือชั้นของดิฟฟิวชัน อย่างไรก็ตามมันก็มีชั้นอื่นๆอีกหลายชั้นที่ใช้ในการสร้างชิพ ขอบเขตอิมแพลนต์ (Implant region) ซึ่งถูกใช้เป็นพื้นที่ในการสวิตช์ของทรานซิสเตอร์ เพื่อที่จะเปลี่ยนค่าเป็น "on" การสลับชนิดกันของทรานซิสเตอร์ มีประโยชน์สำหรับการที่จะได้รับระดับของโวลเตจที่เหมาะสมซึ่งถูกต้องการเพื่อที่จะเป็นตัวสนับสนุนฟังก์ชันทางลอจิก การเชื่อมต่อโดยตรงระหว่างเมทอล, โพลีซิลิคอนและดิฟฟิวชันจะใช้ชั้นอินเตอร์มีเดียต (intermediate layer) เช่น ชั้นของคอนแทคต์ (contact-cut layer) และชั้นของบิวรี (buried-layer) และจะมี

เอกสารนี้เป็นเอกสารที่วางไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่สามารถนำไปใช้ประโยชน์ในการค้าไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ซึ่งชั้นนี้จะถูกเคลื่อนย้ายไปที่บอนด์แพด (bonding pad) เพื่อที่จะอนุญาตให้ชิพถูกเชื่อมไปภายนอกได้ นอกจากนี้ในบางกระบวนการผลิตของเอ็นมอสยังมีชั้นพิเศษอื่นอีก

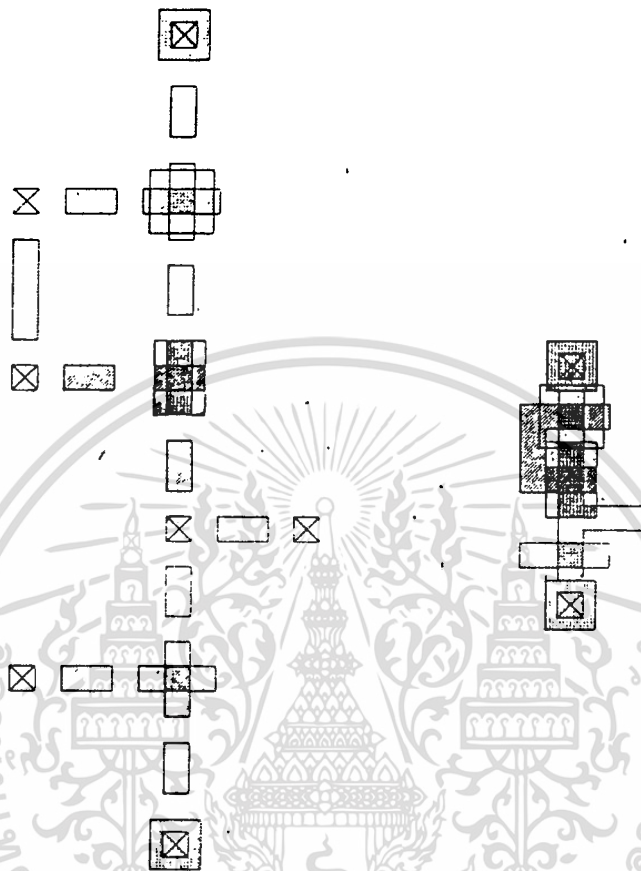


รูปที่ 2.15 แสดงคอมโพเนนต์เบื้องต้นของสิ่งแวดลอมเอ็นมอส

รูป 2.15 แสดงเซต ซึ่งสามารถถูกใช้สำหรับการออกแบบเอ็นมอสส่วนประกอบเหล่านี้ จะถูกใช้โดยระบบไฟฟ้าซึ่งจะพอเพียงสำหรับแบบร่างของ ไอซี ขนาดกลางถึงขนาดใหญ่ จากรูปจะแสดงให้เห็นทรานซิสเตอร์และ intra-layer pin อยู่แถวซ้าย interlayer contact อยู่แถวกลาง และชั้นของคอมโพเนนต์พื้นฐาน อยู่ขวาสุด

จากรูป 2.15 คอลัมน์ขวาแสดงคอมโพเนนต์พื้นฐานสามารถใช้ทำโครงสร้างทางเรขาคณิตและการออกแบบอินเวอร์เตอร์ด้วยคอมโพเนนต์พื้นฐานต่างๆ เหล่านี้แสดงไว้ในรูป 2.16

นักออกแบบที่มีหน้าที่เกี่ยวกับการออกแบบวงจรและ VLSI จะต้องเกี่ยวข้องและมีความเข้าใจเกี่ยวกับเซตของคอมโพเนนต์พื้นฐานต่างๆ ส่วนสำหรับนักออกแบบหน้ากากไม่มีความจำเป็นที่จะต้องสนใจ เกี่ยวกับทรานซิสเตอร์และคอนแทคพื้นฐาน (contact primitive) มากนักเพื่อว่าการออกแบบในส่วนนี้จะมุ่งสนใจเกี่ยวกับส่วนประกอบของรูปทรงที่เป็นเรขาคณิต (geometric component) อย่างไรก็ตามนักออกแบบหน้ากากจะต้องเข้าใจหรือมีความรู้เกี่ยวกับวงจรเพียงพอที่จะเข้าใจเกี่ยวกับคอมโพเนนต์พื้นฐานระดับสูง (higher-level primitive) นักออกแบบบางคนมีการนำเซลล์ไลบรารี (cell library) มาใช้เพื่อที่จะแสดงการทำงานของวงจรที่ยังยากซับซ้อน



รูปที่ 2.16 แสดงรูปแบบการมองอินเวอร์เตอร์ชนิดเอ็นมอส

2.3.4.2 สิ่งแวดล้อมซีมอส (CMOS environment)

ในทุกๆ สิ่งแวดล้อมซีมอส , ฟิสิกส์เอฟเฟกต์ทรานซิสเตอร์จะถูกใช้ซึ่งจะต้องง่ายพอที่จะสามารถจำลองรูปแบบออกมาได้โดยใช้เพียง 2-3 คอมโพเนนต์

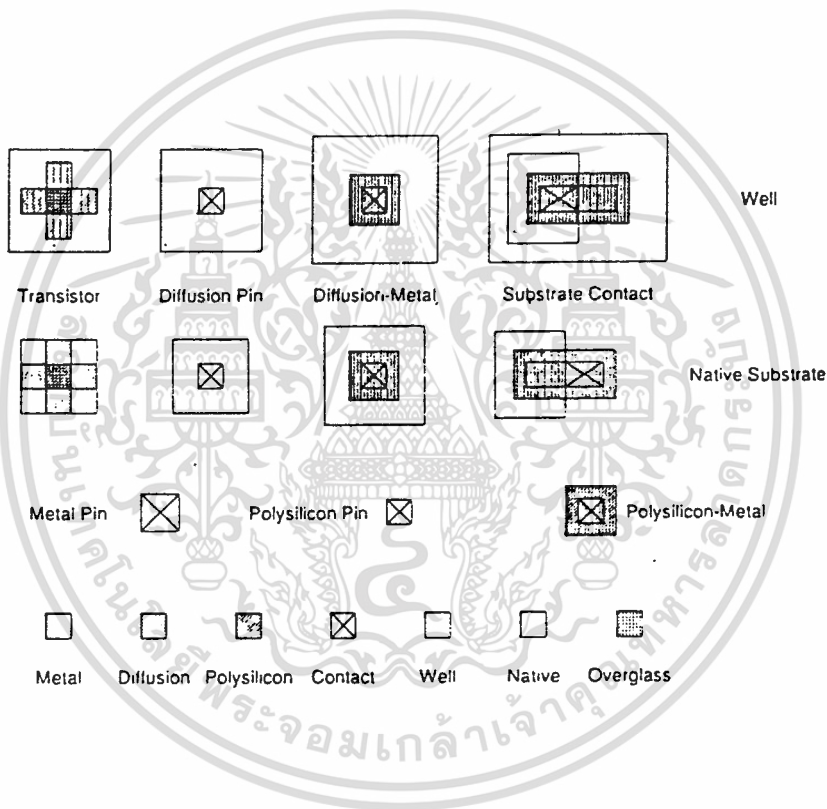
ดังนั้นในทุกๆ สิ่งแวดล้อมซีมอสจะมีชั้นโพลีซิลิคอนซึ่งจะเป็นทางผ่านให้กับชั้นดีฟนิวชั้นและจะมี 1 หรือ หลายๆ ชั้นเมทอล ที่จะสามารถวิ่งอยู่ตามที่ใดก็ได้ตามแต่เหมาะสม

ในซีมอสจะมีทรานซิสเตอร์ 2 ตัวทำหน้าที่เปิดเกตเมื่อ on หรือปิดเกตเมื่อ off และความเร็วในดำเนินการจะเร็วกว่าของเอ็นมอสมาก ความต้องการในการใช้พาวเวอร์ จะต่ำกว่า ปัญหาที่เกิดขึ้นก็คือมันจะใช้ที่ว่างจำนวนมาก แต่อย่างไรก็ตามก็มีการใช้รูปแบบการออกแบบเชิงไดนามิค(dynamic design) มาช่วยใช้ในการลดพื้นที่ต่างๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
เนื่องจากซีมอสมีทรานซิสเตอร์ 2 ตัวจะทำงานสลับกันทางโลจิกและการ
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เชื่อมต่อของสายตีฟิวชั่นจะถูกห่ออยู่ในพื้นที่อิมแพลน(implant area) นักออกแบบ ซีมอสจะต้องไม่พิจารณาเพียงแต่ เมทอล , โพลีซิลิคอนและตีฟิวชั่นเท่านั้นแต่จะต้องพิจารณาถึง ขอบเขตอิมแพลนคือ เวล(well) และ เนทีฟซับสเตรท (native substrate)ด้วย

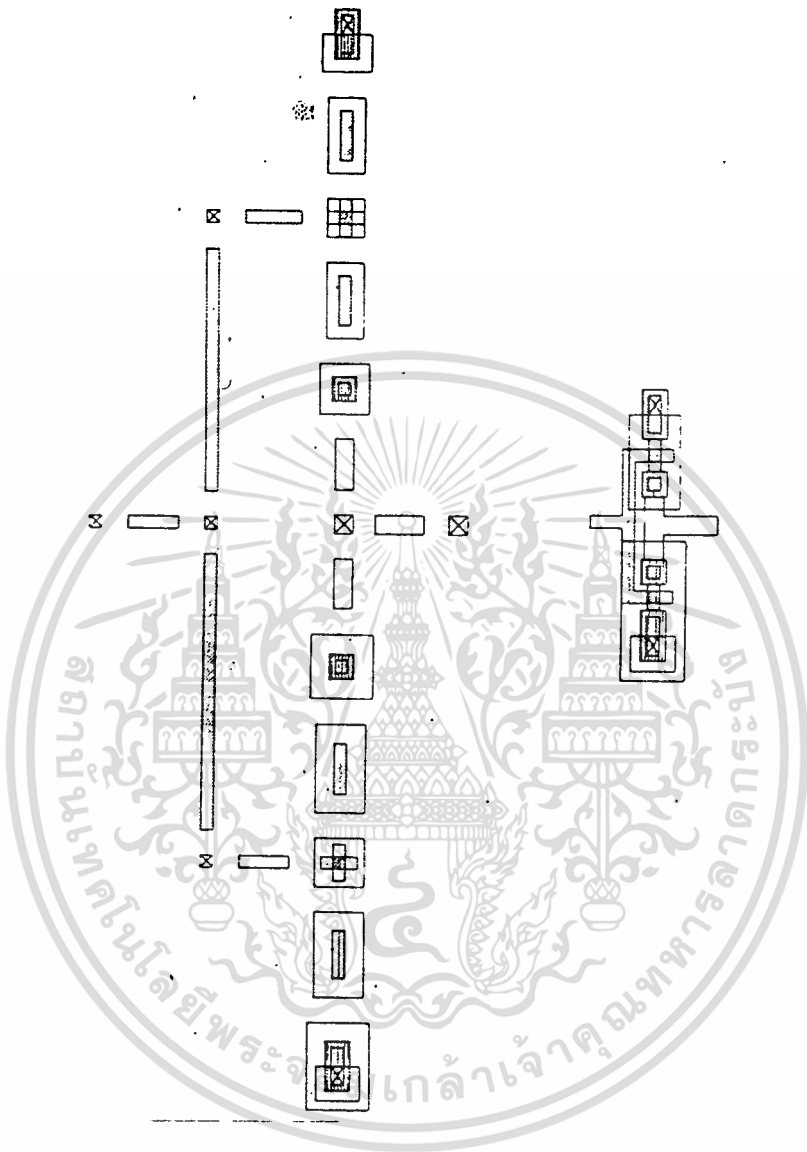
การออกแบบสิ่งแวดลอมสำหรับซีมอสจะต้องใช้หลายทาง จะต้องมิเชตของเรขาคณิตเบื้องต้นสำหรับนักออกแบบหน้ากาก และสิ่งแวดลอมต่างๆสามารถแบ่งคอนแทคและทรานซิสเตอร์สำหรับใช้โดยนักออกแบบชิพ



รูปที่ 2.17 แสดงคอมโพเนนต์ของสิ่งแวดลอมซีมอส

.ในรูป 2.17 จะมีการกำหนดเชตของสิ่งแวดลอมซีมอส ในรูป 2.18 แสดงซีมอสอินเวอร์เตอร์ที่ถูกทำมาจากคอมโพเนนต์ต่างๆเหล่านี้

ในสิ่งแวดลอมเฉพาะอย่าง การออกแบบจะคู่สับสนจนกระทั่งเชตของ เซลมาตรฐานจะถูกทำขึ้น และถูกใช้สำหรับทุกแบบร่างวงจรและเซลมาตรฐานนี้ยังเปลี่ยนรูปแบบตามธรรมชาติของสิ่งแวดลอมการออกแบบ โดยการแบ่งแยกคอมโพเนนต์เบื้องต้นระดับสูงอย่างไรก็ตามแบบร่างวงจรซีมอสยังสามารถที่จะถูกจัดการโดยการทำการออกแบบคอมโพเนนต์ให้ง่ายที่จะสามารถจัดการได้ และมีเชตที่มั่นคงเพื่อที่จะลดความสับสนและทำให้การออกแบบง่ายขึ้น



รูป 2.18 แสดงการมองอินเวอร์เตอร์ซิมอล

2.4 เครื่องมือที่ใช้ในการสังเคราะห์ (Synthesis Tools)

ในการออกแบบ VLSI ค่อนข้างจะยุ่งยากถ้าไม่มีอุปกรณ์ช่วย จึงมีการนำคอมพิวเตอร์เข้ามาช่วยทั้งการสังเคราะห์และวิเคราะห์ เครื่องมือสังเคราะห์ใช้สร้างวงจร เครื่องมือวิเคราะห์ใช้ตรวจสอบวงจรที่มีอยู่ที่ออกแบบด้วยมือ การรวมเทคนิคต่างๆ เข้ามาให้คอมพิวเตอร์ ใช้ในการออกแบบซึ่งจะมีคุณค่าถ้ามีเครื่องมือสังเคราะห์ที่ผลิตแบบร่างวงจรที่สมบูรณ์ จากคำอธิบายระดับสูงของวงจร ปัจจุบันตัวที่ใช้คือ ซิลิคอนคอมไพเลอร์ซึ่งจะรวบรวมเครื่องมือต่างๆไว้

2.4.1 การสร้างและการจัดการรายละเอียดภายในเซลล์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า (Cell Contents Generation and Manipulation) ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

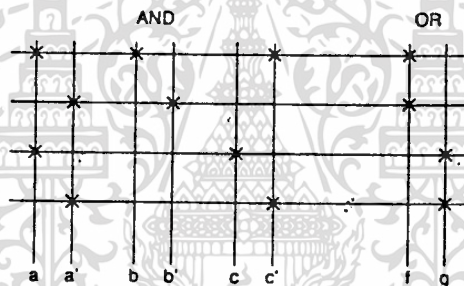
จะพิจารณาเกี่ยวกับเซลล์ซึ่งจะมีเครื่องมือต่างๆที่จะใช้ในการสร้างแบบร่าง
เซลล์

2.4.1.1 PLA

PLA จะพิจารณาเกี่ยวกับระนาบ AND, OR ซึ่งระนาบ AND จะให้ผลใน
รูปตัวแปรอินพุตซึ่งจะถูกเลือกโดยโปรแกรมมิงแท็บ(programming taps)และ
ระนาบ OR จะให้ผลรวมที่ถูกเลือกโดยเซตที่ต่างกันของโปรแกรมมิงแท็บ การ
แทนสัญลักษณ์ ของตำแหน่งที่ โปรแกรมมิงแท็บ จะถูกแทนซึ่งจะอยู่ในรูปของ
เมตริกซ์ของ PLA ในรูป 2.19 แสดงโครงสร้างของ PLA ซึ่งจะโปรแกรม
ในรูปของฟังก์ชันลอจิก คือ

$$f = (a \wedge b \wedge (\neg c)) \vee ((\neg b) \wedge (\neg a))$$

$$g = (a \wedge c) \vee (\neg a \wedge (\neg c))$$



รูปที่ 2.19 แสดง PLA สำหรับสมการตัวอย่าง
(เครื่องหมาย 'x' แสดงโปรแกรมมิงแท็บ)

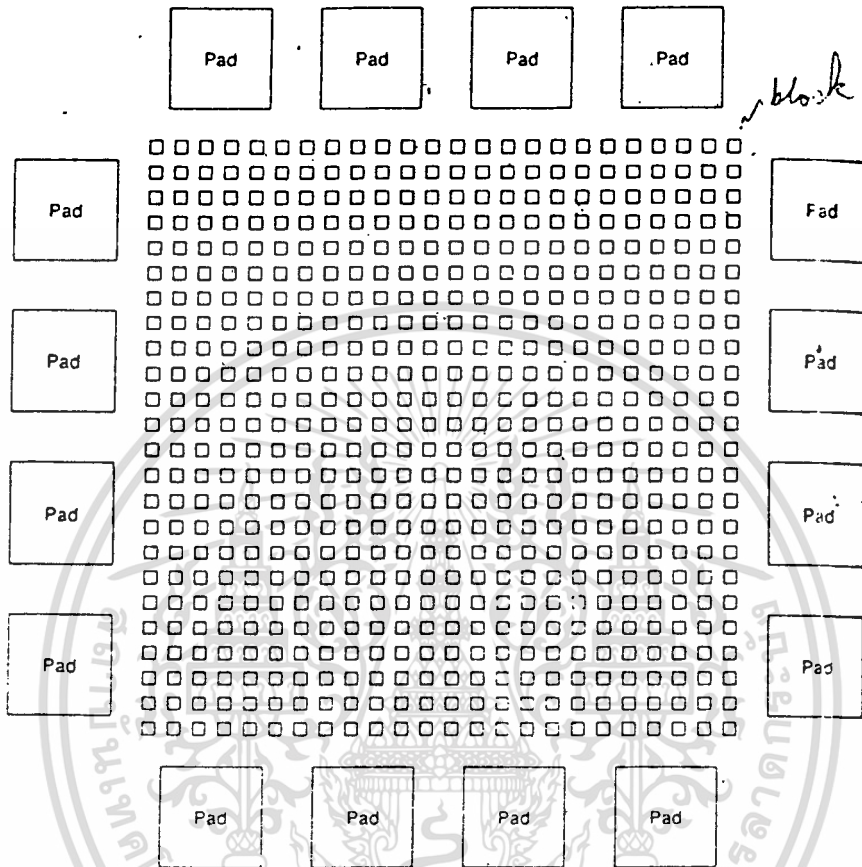
PLA เป็นเครื่องมือที่มีประโยชน์ ซึ่งเป็นส่วนสำคัญในซิลิคอนคอมไพเลอร์

2.4.1.2 เกทอาร์เรย์ (Gate-Arrays)

เป็นเทคนิคที่นิยมในการออกแบบชิปไอซีซึ่งจะประกอบไปด้วยโครงข่ายของ
แบบร่างวงจร ที่ยังไม่เสร็จสมบูรณ์ซึ่งจะต้องนำไปทำการผลิตวงจรในขั้นสุดท้าย
และเกทอาร์เรย์ประกอบไปด้วยโครงข่ายซึ่งไม่ค่อยจะเป็นโครงสร้างนักดังนั้น
การเลือกการเชื่อมต่อจึงเป็นไปได้ง่าย

เกทอาร์เรย์จะสร้างจากบล็อกซึ่งจะบรรจุชุดของทรานซิสเตอร์ซึ่งยังไม่
ได้เชื่อมต่อกัน อาร์เรย์ของบล็อกเหล่านี้จะรวมอินพุต-เอาต์พุตแพด (I/O
pads) ที่จะทำให้เป็นวงจรรวมและ อินพุต-เอาต์พุตแพด(I/O pads) จะถูก
เชื่อมต่อกับจุดอื่นภายในระบบซึ่งบล็อกต่างๆเหล่านี้จะมีการจัดการภายในโดย
การเชื่อมต่อของตัวดำเนินการทางลอจิกต่างๆ เช่น AND, OR, NOT เป็นต้น
ส่วนการจัดการภายนอกบล็อกจะเชื่อมต่อไปเพื่อผลิตชิปทั้งหมด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับงานเพื่อการศึกษาดูเท่านั้น ไม่อนุญาตให้นำไปเผยแพร่ขึ้นต้นในการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

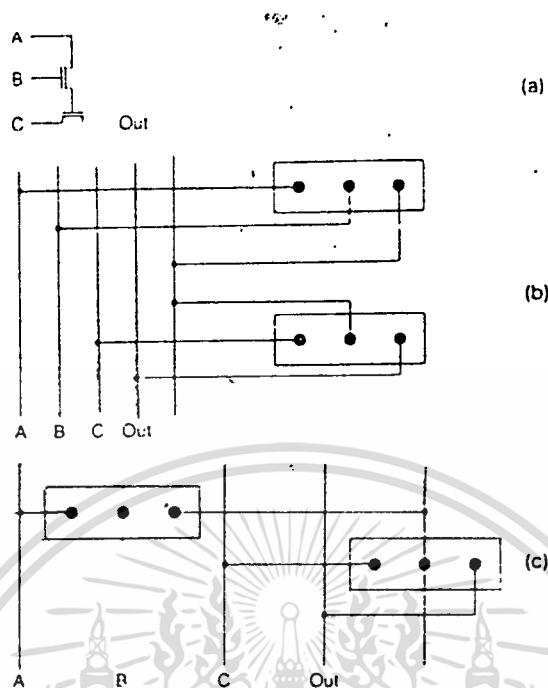


รูป 2.20 แสดงเกตอาร์เรย์ซึ่งบรรจุบล็อกและอินพุท-เอาต์พุตแพด

2.4.1.3 เกตเมตริกซ์ (Gate Matrices)

เป็นขั้นตอนต่อไป ในการที่จะสร้างแบบร่างวงจรจากข้อกำหนดระดับสูง เหมือนกับ PLA คือ แบบร่างจะไม่ถูกกำหนดขนาดแน่นอนลงไปในเกตเมตริกซ์ การกำหนดการออกแบบ จะประกอบไปด้วยคอลัมน์ในแนวตั้งของโพลีซิลิคอนเกต ติ่งแมททีเรียล (polysilicon gating material) ส่วนประกอบที่เป็น สาย เมทอลและสายคิฟพิวชั้นจะวางตัวตามแนวนอนเพื่อจะใช้เชื่อมต่อ และใช้ทำเป็น เกตด้วยคอลัมน์

เกตเมตริกซ์ทำข้อสรุปเกี่ยวกับหลายๆเส้นโพลีซิลิคอนในแนวตั้งที่จะร่วมกัน ทำเป็นวงจรแต่เป็นรูปแบบของโลจิกเกตที่ไม่ชี้เฉพาะเจาะจง ดังรูป 2.21

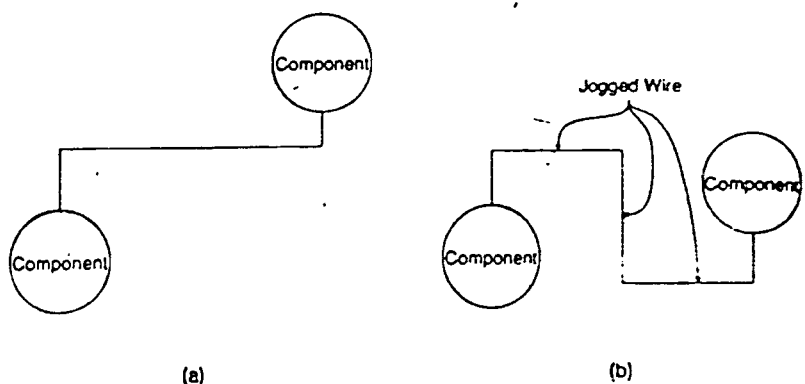


รูป 2.21 แสดงเกตเมตริกซ์แสดงการวางตำแหน่งของทรานซิสเตอร์

2.4.1.4 คอมแพ็คชั่น (Compaction)

เป็นการนำเอาที่ว่างที่ไม่จำเป็นออกจากการออกแบบโดยจะเคลื่อนย้ายทุกสิ่งให้ใกล้กันมากที่สุดตามที่ทำได้ ขั้นตอนนี้จะถูกทำบนชิปที่สมบูรณ์ แต่ปกติจะทำบนเซลล์ต่อเซลล์ เพื่อที่จะนำที่ว่างที่ไม่ได้ใช้กลับคืนมา

คอมแพ็คชั่นที่ง่ายที่สุดเรียกว่า คอมแพ็คชั่นในหนึ่งมิติโดยการบีบที่ว่างตามแกน x และตามแกน y ซึ่งจะกระทำซ้ำจนไม่มีที่ว่างเหลือซึ่งวิธีนี้เป็นวิธีที่ง่ายและค่อนข้างเร็ว เทคนิคที่ก้าวหน้าที่จะเก็บรักษาที่ว่างที่นำมารวมกันโดยใช้สายจ็อกกิ้ง (jogging wire) ดังรูป 2.22 หรือ การเคลื่อนย้ายคอมโพเนนต์ จะมีการแสดงการวางตำแหน่ง, ทางเดิน คอมแพ็คชั่นมีประโยชน์ในการเพิ่มผลผลิตเพราะจะทำให้เห็นออกแบบไม่ต้องมากังวลเกี่ยวกับที่ว่างที่เหมาะสม



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 2.22 แสดงการคอมแพ็คชั่นโดยใช้สายจ็อกกิ้ง

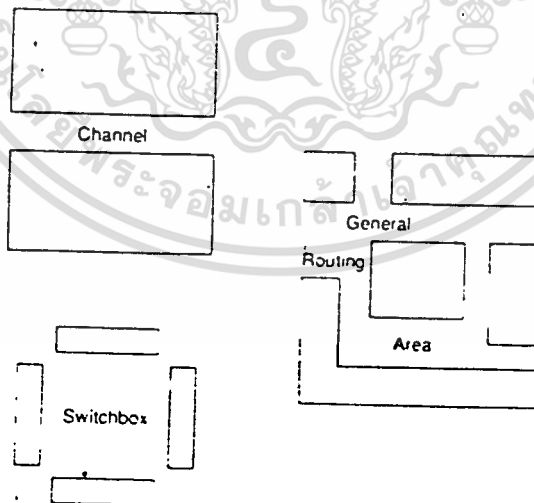
2.4.2 ตัวกำเนิดแบบร่างวงจรภายนอกกลุ่มเซลล์

(Generator of layout outside the cell)

ระดับถัดไปของเครื่องมือวิเคราะห์จะเกี่ยวกับโครงสร้างภายนอกของเซลล์ เพราะวงจรแอกทิฟจะอยู่ภายในเซลล์ โดยเครื่องมือเหล่านี้จะจัดการเกี่ยวกับงานเชื่อมต่อภายในเซลล์ การวางเซลล์และการวางโครงร่าง เพราะการเชื่อมต่อนี้สลับซับซ้อนและใช้พื้นที่มากกว่างานอื่นๆ จึงจำเป็นต้องมีการวางแผนเพื่อพัฒนาการเชื่อมต่อนี้ให้ง่ายขึ้น

2.4.2.1 รูเตอร์ (Routers)

รูเตอร์ คือการกำหนดทางเดินของจุดบนเซลล์ซึ่งจะต้องถูกเชื่อมต่อ ช่องว่างระหว่างเซลล์เหล่านี้อาจเป็นสี่เหลี่ยมหรืออาจเป็นทางคดเคี้ยว (รูป 2.23) เมื่อช่องว่างเป็นสี่เหลี่ยมและมีจุดเชื่อมต่ออยู่ภายในทั้งสองด้าน ช่องว่างลักษณะนี้จะถูกเรียกว่า แชนแนล (channel) เมื่อการเชื่อมต่อกระทำบนด้านทั้งสี่ของพื้นที่สี่เหลี่ยม ช่องว่างก็จะถูกเรียกว่า สวิตช์บ็อกซ์ (switchbox) การเชื่อมต่อพื้นที่ที่สลับซับซ้อนมากกว่านี้มักจะต้องแบ่งออกเป็นหลายๆ แชนแนล และหลายๆ สวิตช์บ็อกซ์ ซึ่งทิศทางการเดินทางของการเชื่อมต่อระหว่างเซลล์จะต้องมีกฎข้อบังคับต่างๆ เพื่อให้ได้ทิศทางการเดินทางที่เหมาะสม



รูปที่ 2.23 แสดงพื้นที่ที่ใช้เป็นทางเดินเพื่อเชื่อมต่อกันระหว่างเซลล์

2.4.2.2 การวางตำแหน่งเซลล์ (Placement)

การวางตำแหน่งเซลล์ เป็นวิธีวางตำแหน่งเซลล์เพื่อที่จะให้เกิดการเชื่อมต่อที่ดีและมีการใช้ที่ว่างอย่างประหยัด เครื่องมือที่ใช้ในการวางตำแหน่งโดยอัตโนมัติไม่ทำงานได้ทั้งหมด อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โนมิตีต้องทราบขนาดของแต่ละเซลล์ และความต้องการที่จะเชื่อมต่อโดยสมบูรณ์ เพราะข้อมูลเหล่านี้เหมือนกับสิ่งที่รูเตอร์ต้องการ โดยข้อเท็จจริงแล้วการวางตำแหน่ง และการเชื่อมประกอบด้วยขั้นตอนเดียวในโครงร่างแผ่นพิมพ์ อย่างไรก็ตามสองสิ่งนี้บ่อยครั้งที่เปลี่ยนสลับกัน และมีอัลกอริทึมที่แตกต่างกันและต้องทำงานแยกกัน การวางตำแหน่งเซลล์จะสร้างตำแหน่งเริ่มต้นของเซลล์ ต่อมารูเตอร์จะเชื่อมเซลล์และบ่งชี้ ขบวนการนี้จะทำซ้ำจนได้โครงร่างที่เหมาะสม

2.4.2.3 แบบร่างแพด (Pad Layout)

แพดของชิปไอซีคือ พื้นที่ที่เป็นโลหะขนาดใหญ่ซึ่งไม่ได้ป้องกันด้วยโอเวอร์กลาสเพื่อว่าจะได้เชื่อมกับตะกั่วของไอซีแพดเกจได้ แต่ว่าเมื่อเปรียบเทียบกับส่วนประกอบอื่นแล้ว แพดจะมีขนาดเล็กมากและทำผิวหน้าสำหรับการเชื่อมสายยาก เครื่องเชื่อม(wire-bonding) จะช่วยให้การเชื่อมต่อง่ายขึ้น แต่จะต้องมีการโปรแกรมให้สำหรับแต่ละลักษณะแพด

เป้าหมายแรกของผู้ออกแบบสำหรับการเสนอโครงร่างแพดแบบอัตโนมัติคือ ต้องการวางตำแหน่งแพดด้วยมือ กำหนดว่าแพดใช้พื้นที่มาก บ่อยครั้งที่ผู้ออกแบบต้องการทราบการควบคุมการวางตำแหน่งทั้งหมด เพื่อใช้พื้นที่ให้ประหยัด ชิพที่ไม่มีแบบเฉพาะตัวจะมีแพดหลายลักษณะ ดังนั้นเทคนิคที่ใช้มือทำจะใช้เวลาไม่มากนัก

ความสำคัญในการออกแบบอย่างอัตโนมัตินั้นมากกว่า การออกแบบด้วยที่วางที่ดีที่สุด และการโปรแกรมเครื่องเชื่อมก็จะเป็นอุปสรรคหากไม่สามารถเชื่อมต่อโดยตรงกับระบบ CAD ชิพลัยใหม่มีแพดเป็นจำนวนมาก การวางตำแหน่งด้วยมือจะยุ่งยากมาก การให้เครื่องทำโดยอัตโนมัติจึงง่ายกว่า

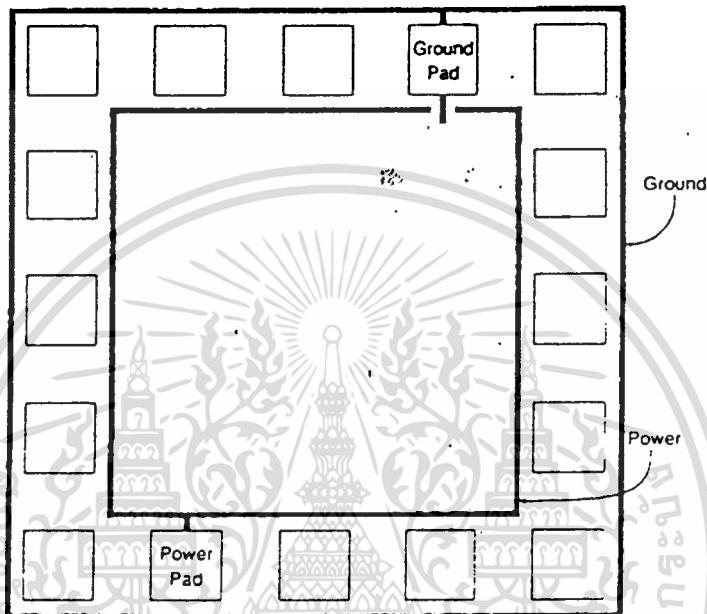
ข้อพิจารณาหนึ่งในการวางแพดคือ แพดควรอยู่ใกล้ขอบเขตของชิปเครื่องเชื่อมอาจจะสลัดเศษโลหะสร้างความเสียหายแก่วงจรได้ถ้าถูกศูนย์กลาง บางขบวนการผลิตไม่ต้องการให้วงจรแฉกพิศวงนอกแพด บางขบวนการก็ยอมให้วางแพดไว้ที่ใดบนชิปก็ได้ การวางแพดไว้ที่ขอบก็เพื่อรักษานั้ระยะการข้ามของสายและแพดที่วางต้องมึลักษณะเป็นระเบียบ แพดที่วางที่ด้านทั้งสี่ควรมีจำนวนเท่ากันและต้องเป็นที่ว่างตามขอบแต่ละขอบ ชิพที่มีโครงร่างเป็นสี่เหลี่ยมแพดอาจเป็นที่ว่างเพียงสองด้าน ที่ว่างขนาดเท่ากันจะสร้างพันธะโดยอัตโนมัติได้ง่ายกว่า แพดที่เป็นรูปแบบจะรักษานั้ระยะของสายให้มึระเบียบ

ตำแหน่งของพาวเวอร์แพด(power pad) และกราวด์แพด(ground - pad) ก็ต้องพิจารณาให้เหมาะสม โดยทั่วไปแพดคู่นี้ต้องอยู่ฝั่งตรงข้ามกันเพราะต้องถูกเชื่อมกับตะกั่วด้านตรงข้ามของแพดเกจและต้องเชื่อมกับแพด อื่นๆให้ถูกต้องเหมาะสม รูป 2.24 แสดงภาพ พาวเวอร์ ,กราวด์ และ แพด โดย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับอาจารย์และนักเรียนเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้เผยแพร่หรือใช้เพื่อการค้า

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งหากมีการนำไปใช้

กราวน์ จะวางนอกแพดส่วนพาวเวอร์จะวางในแพดเพื่อให้แต่ละแพดสะดวกในการใช้ขั้วพลาซไวลเตจ(supply voltage) และต้องมีช่องว่าง(gap) ในรางของพาวเวอร์ด้วย



รูป 2.24 แสดงการวางตำแหน่งของพาวเวอร์และกราวน์บนกรอบแพด

การเชื่อมสัญญาณจากแพดกับวงจรหลักในชิพ สามารถใช้เทคนิคมาตรฐาน สวิตช์บ็อกซ์เป็นสิ่งสำคัญในการวาง แพดให้ใกล้กับเป้าหมายเพื่อให้สายสัญญาณ ไม่ต้องผ่านความกว้างและความยาวของชิพ การกำหนดแพดให้สัญญาณต้องคำนึง ถึงความยาวสายและคาบเวลาของสัญญาณ

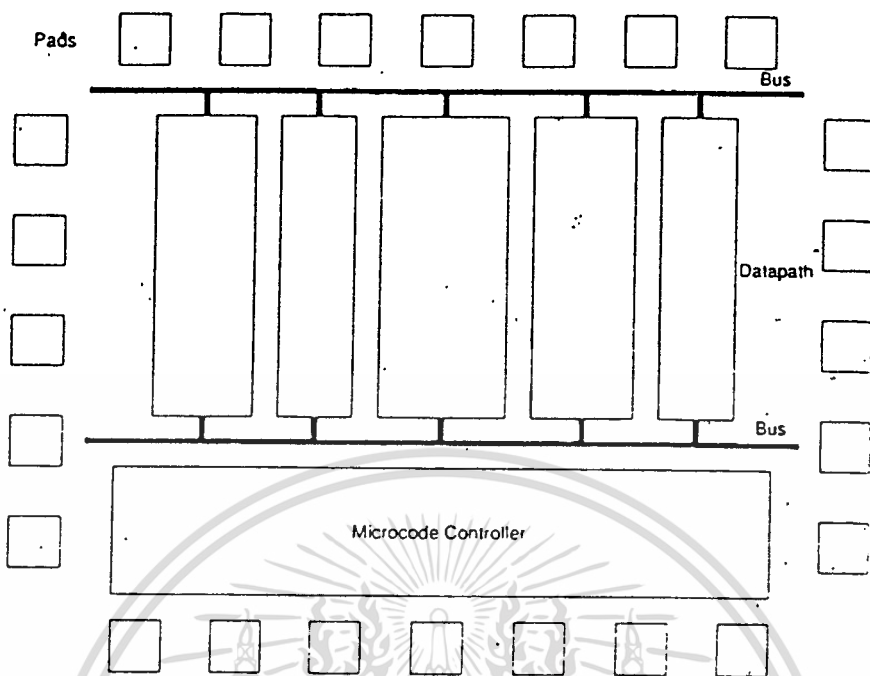
2.4.3 ซิลิคอนคอมไพเลอร์ (Silicon Compiler)

คำนี้มีความหมายโดยนัยเกี่ยวกับโปรแกรมคอมไพเลอร์อย่างหนึ่ง เช่น การแปลฟอร์แทรนเป็นโครงร่างมากกว่าที่จะเป็นอ็อบเจกต์โค้ด(object code) การคอมไพล์ของซิลิคอน เริ่มจากงานของระบบบรีสเทิลบล็อก(Bristle Blocks) ซึ่งใช้สร้างโครงร่างมอสที่ซับซ้อนซึ่งปกติออกแบบด้วยมือ แต่ก็ยัง สร้างชิพได้ไม่สมบูรณ์นัก ระบบที่ตามมาใช้ภาษาระดับสูงในการสร้างโครงร่าง

ระบบบรีสเทิลบล็อกจะมีโปรเซสเซอร์เกี่ยวกับแบบระนาบพื้น(รูป 2.25)

ภาษา ISP อยู่ในส่วนของโปรเซสเซอร์นี้ด้วย โดยข้อมูลจะกำหนดทางเดินข้อมูลทางฮาร์ดแวร์และส่วนควบคุมจะกำหนดโครงสร้างPLAไมโครโค้ดติโค้ดเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ริกรรมใดๆทางสน อกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งหากมีการนำไปใช้



รูป 2.25 แสดงสถาปัตยกรรมของระบบบัสเทิลบล็อก

ทางเดินข้อมูลประกอบด้วยคอลัมน์กลุ่มเซลล์ที่มีกว้างคงที่ ซึ่งส่งข้อมูลระหว่างบัส แต่ละคอลัมน์จะถูกนำมารวมกันเพื่อสร้างฟังก์ชันตามกำหนด จะมีข้อความบ่งรายละเอียดพิเศษของเซลล์ไว้เพื่อปรับความกว้างและจุดเชื่อมต่อของเซลล์นั้น เซลล์เหล่านี้จะทำงานแบบสัญญาณนาฬิกา 2 เฟสสำหรับการส่งข้อมูลแบบซิงโครไนส์

ซิลิคอนคอมไพเลอร์ ปัจจุบันมีขั้นตอนการทำโครงสร้างไอซีเหมือนคอมไพเลอร์ทั่วไป ฟรอนเอนด์ (front end) จะรับอินพุตแล้วทำการเปลี่ยนเป็นโครงสร้าง เช่น โปรเซสเซอร์เกี่ยวกับระนาบพื้นของระบบบัสเทิลบล็อก ต่อมาแบ็คเอนด์ (back end) จะสร้างโครงสร้างสองเฟส เฟสแรกเป็นการนำเซลล์มาสร้างวงจรเพื่อดำเนินการเกี่ยวกับข้อมูล ลำดับการควบคุมสร้างโดยใช้เทคนิค PLA เฟสที่สอง รูทีนเตอร์ จะสร้างจุดเชื่อมต่อที่จำเป็นระหว่างองค์ประกอบของโครงสร้างหลัก

ซิลิคอนคอมไพเลอร์ส่วนใหญ่จะใช้ผลิตแบบเฉพาะอย่างภาษาที่เป็นอินพุตเป็นภาษาระดับสูงมากเพื่อให้ผู้ที่ไม่ใช่โปรแกรมเมอร์สร้างชิพเองได้ เป้าหมายของภาษาโดยทั่วไปคือ สามารถสร้างสถาปัตยกรรม , ตัวกำเนิดเซลล์และวิเคราะห์รูปร่างสำหรับซิลิคอนคอมไพเลอร์

2.4.4 ตัวสร้างโพลเลย์เอาท์ (Postlayout Genarator)

ขบวนการนี้เกี่ยวกับการเคลื่อนย้ายอันดับโดยการทำวงจรให้ราบ ปรับปรุงโครงสร้างกราฟิกเพื่อผลิต สร้างแบบหรือหน้ากาสำหรับแต่ละชั้น

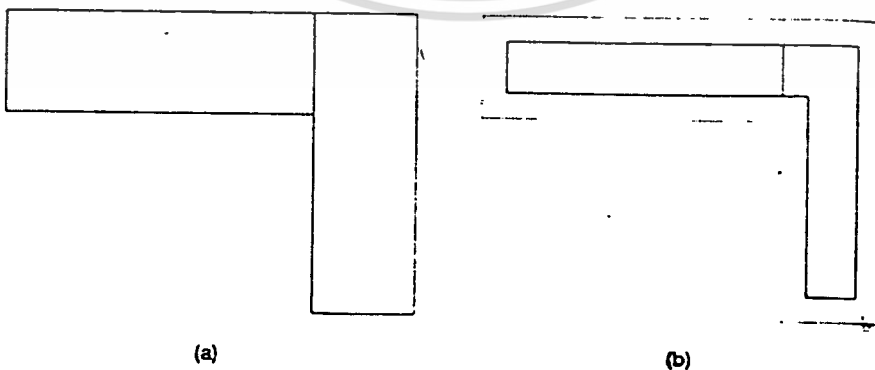
2.4.4.1 การชดเชย (Compensation)

เมื่อวงจรถูกสร้าง จะมีความแตกต่างเกิดขึ้นระหว่างหน้ากากกับวงจร เช่น คอนแทคที่ที่เกิดจากการนำโลหะออกไปอาจกินพื้นที่มากกว่าในหน้ากาก เพราะกรรมวิธีทางเคมี ดังนั้นจึงต้องมีการชดเชยในกรณีนี้ทำได้ด้วยการลดขนาดหน้ากาก

การชดเชยเป็นขบวนการซึ่งอิสระมากกว่ากฎการออกแบบ เช่นใน ขบวนการมอสส่วนใหญ่มีการป้องกันระยะห่างของสายโพลีซิลิคอนคู่หนึ่งๆ ห้ามใกล้เกินกว่าความกว้างของสาย แต่ขบวนการหนึ่งจะชดเชยโพลีซิลิคอนโดยการลด ในขณะที่ขบวนการหนึ่งจะขยายหน้ากาก เหตุหนึ่งที่ทำให้ทิศทางของการชดเชยเปลี่ยนคือ การสร้างชั้นเป็นผลของการใช้กรดกัดโลหะที่ไม่ต้องการทิ้งไปหรือป้องกันสิ่งที่ต้องการไว้

การชดเชยแบบโพสิทีฟ (positive compensation) เป็นการขยายหน้ากากส่วนการชดเชยแบบเนกาทีฟ (negative compensation) เป็นการลดหน้ากาก การชดเชยแบบโพสิทีฟทำได้ง่าย รูปทรงหลายเหลี่ยมถูกขยายโดยการเลื่อนโคออดิเนตจากจุดศูนย์กลางของรูปทรงหลายเหลี่ยม เมื่อรูปทรงหลายเหลี่ยมสองอันขยายออกจนคาบเกี่ยวกันอาจจะต้องมีการเลื่อน เพราะการสร้างหน้ากากเรียงลำดับรูปทรงหลายเหลี่ยมทุกอันจะรวมการคาบเกี่ยวโดยง่าย

การชดเชยแบบเนกาทีฟจะยากกว่าเพราะคู่รูปทรงหลายเหลี่ยม ซึ่งถูกลดจะไม่ติดกัน ดังนั้นขอบรูปทรงหลายเหลี่ยมที่ติดกับรูปทรงหลายเหลี่ยมอื่นจะต้องไม่ถูกลด จึงต้องมีการใช้เวลามากในการตรวจสอบสิ่งที่อยู่ใกล้เคียงแต่ละรูปทรงหลายเหลี่ยม เมื่อขอบหนึ่งถูกพบอาจจะมีการเปลี่ยนขอบเป็นหลายๆขอบเพื่อปรับปรุงการเชื่อมต่อระหว่างการลด (รูป 2.26)



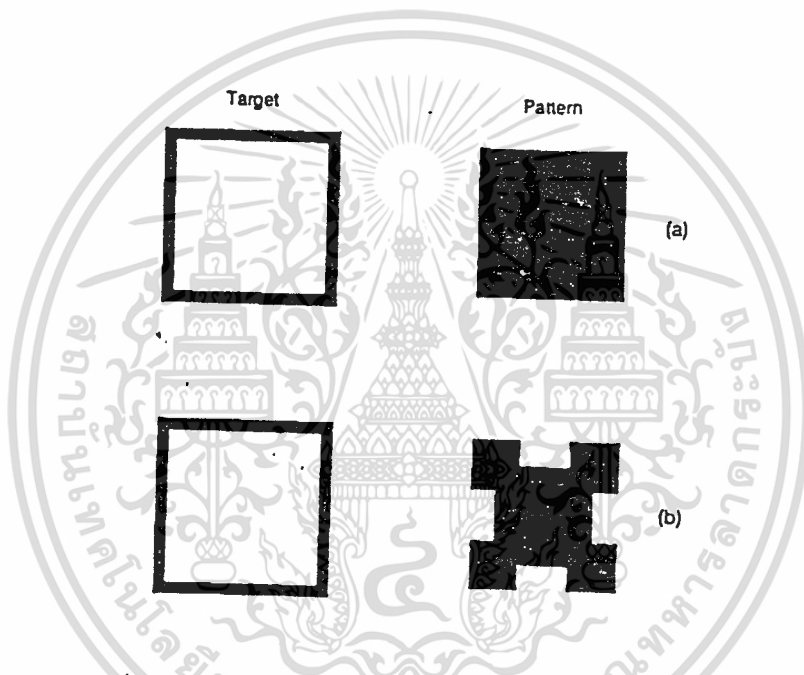
รูปที่ 2.26 แสดงการชดเชยแบบเนกาทีฟ (a) ก่อนทำ (b) หลังทำ

2.4.4.2 กราฟิกของหน้ากาก (Mask Graphic)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับงานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า มีการทำเครื่องหมายพิเศษวางบนหน้ากากของวงจรรวมและใช้เพื่อความไม่ว่ากรณใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เป็นระเบียบ การตรวจสอบและการตัดเวเฟอร์ (wafer) ซึ่งปกติจะวางหลังการขัดเซยเพราะขนาดของมันกำหนดการทำเครื่องหมายบนหน้ากาก ไม่ใช่บนเวเฟอร์

การทำเครื่องหมายเพื่อความเป็นระเบียบจะทำงานทุกชั้นเพื่อหน้ากากจะได้ขึ้นและกันอย่างเหมาะสม หน้ากากแรกที่ถูกใช้จะมีชุดบอชเป้าหมายว่าง แต่ชั้นที่ถูกรวมจะมีแบบซึ่งพอดีกับบอชไดอบอชหนึ่ง ถ้ามีช่องว่างที่เป็นมาตรฐานก็จะตรวจสอบข้อผิดพลาดได้ง่าย (รูป 2.27) และช่องว่างได้จะช่วยถ้าหน้ากากถูกผลิตแบบเนกาตีฟ



รูปที่ 2.27 (a)รูปแบบที่ผิด (b)รูปแบบที่ถูกต้อง

การรวมทุกหน้ากากกับอันแรกจะทำให้เป็นระเบียบถูกต้องที่สุดและรับรองว่าจะไม่มีข้อผิดพลาดเกินสองอย่างสำหรับหน้ากาก บางครั้งการรวมหน้ากากเฉพาะคู่หนึ่งๆ สำคัญมากกว่าการรวมกับเวเฟอร์ทั้งหมดและกลุ่มของหน้ากากจะประกอบไปด้วยเป้าหมายของตัวเองมากกว่าใช้เป้าหมายจากชั้นแรก เครื่องหมายอีกอย่างหนึ่งที่วางบนหน้ากากคือ สิ่งที่เป็นหลักฐานสำหรับความเป็นระเบียบที่ชัดเจนซึ่งจะผ่านมุมที่สามารถถูกรวมได้อย่างรวดเร็ว หลักฐานจะถูกวางบนหน้ากากและไม่ถูกกำหนดโดยชัดเจน

คริติคอลไดเมนชัน (critical dimension) เป็นการทำเครื่องหมายอีกอย่างหนึ่งซึ่งใช้ตรวจสอบปรับปรุงคุณภาพการผลิต คริติคอลไดเมนชันเป็นกลุ่มของเครื่องหมายความกว้างที่น้อยที่สุดบนชั้น ซึ่งถูกตรวจโดยไมโครสโคป (microscope) ในขณะที่ผลิตเวเฟอร์ คริติคอลไดเมนชันจะวางอยู่ที่ตำแหน่ง

แตกต่างกันในชั้นซึ่งจะตรวจสอบโดยไมโครสโคปได้ง่าย เครื่องหมายเหล่านี้จะอยู่ที่

มุมข้างนอกวงจรมากกว่าที่จะซ่อนอยู่ในพื้นที่ที่ไม่ได้ใช้บนชิพ ที่ว่างพิเศษนี้จะไม่ทำให้วงจรเสียหายแต่ที่ว่างพิเศษนอกวงจรมีช่วยขยายชิพบนเวเฟอร์ ซึ่งจะทำให้ตัดเวเฟอร์ได้ง่ายและไม่ทำความเสียหายแก่วงจร

2.5 เครื่องมือที่ใช้วิเคราะห์เชิงสถิต

(Static Analysis Tool)

วงจร VLSI เป็นลักษณะทางเดินที่ซับซ้อนซึ่งมีวิธีตรวจสอบความถูกต้องของทางเดินนั้นได้หลายอย่าง วิธีหนึ่งก็คือพิจารณาจุดที่กำหนด ตรวจสอบการไหลของข้อมูล ดูข้อมูลที่เอาท์พุทว่าถูกต้องหรือไม่ การสังเกตการไหลของข้อมูลเรียกว่า ซิมูเลชัน(simulation) ขบวนการทั้งหมดนี้รวมเรียกว่าการวิเคราะห์เชิงไดนามิก เพราะมีการตรวจสอบความสามารถและฟังก์ชันเกี่ยวกับเวลาของวงจรแต่จะสรุปตรวจสอบเป็นบางส่วนเท่านั้น

อีกวิธีหนึ่งที่น่าสนใจคือ การวิเคราะห์เชิงสถิตจะไม่พิจารณาเกี่ยวกับการไหลของข้อมูลแต่มุ่งที่จะพิจารณาและตรวจสอบวงจรในรูปแบบของวงจรโดยไม่พิจารณาการไหลของสัญญาณ

2.5.1 โหนดเอ็กแทร็คชัน (Node Extraction)

ในโครงสร้างไอซี หลายระบบไม่ได้กำหนดการเชื่อมต่อแต่รับมาจากเรขาคณิต ซึ่งการเชื่อมต่อนี้มีความสำคัญมากจึงมีขบวนการที่เปลี่ยนการออกแบบจากเรขาคณิตให้เป็นวงจรที่มีการเชื่อมต่อ เรียกขบวนการนี้ว่า โหนดเอ็กแทร็คชัน

โหนดเอ็กแทร็คชัน ของโครงแบบไอซี ทำยากและช้าเพราะซับซ้อนและการทำงานระหว่างชั้นไม่ชัดเจน ในแผ่นวงจรพิมพ์ PC โหนดเอ็กแทร็คชัน รวมกับเครื่องมือที่ใช้วิเคราะห์อื่น เช่น การเช็กฎการออกแบบ(design-rule checking) ได้ง่ายกว่าเพราะแผ่นวงจรมีลายเพียงชนิดเดียวและการทำงานติดต่อกันในง่ายกว่า

โหนดเอ็กแทร็คชันของโครงแบบไอซีคำนึงถึงลักษณะชั้นสำหรับส่วนประกอบที่ซับซ้อนเช่น มอส ต้องคำนึงถึงทรานซิสเตอร์ซึ่งต้องตรวจสอบเกี่ยวกับการตัดกันของแต่ละชั้น กฎสำหรับตรวจสอบการเชื่อมเหล่านี้เป็นรหัสพิเศษสำหรับแต่ละสไลด์ล้อมในการออกแบบซึ่งเป็นวิธีการของโหนดเอ็กแทร็คชัน สรุปได้ว่าโหนดเอ็กแทร็คชัน นี้เป็นการวิเคราะห์วงจรเป็นจุดๆไป โดยมีการกำหนดเบอร์ของโหนดของแต่ละจุดเพื่อทำให้ง่ายต่อการวิเคราะห์เป็นส่วนใหญ่

2.5.2 ตัวตรวจสอบกฎการออกแบบทางเรขาคณิต

(Geometrical Design-Rule Checkers)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า กฎการออกแบบทางเรขาคณิตเป็นข้อจำกัดทางแบบร่างวงจร ซึ่งจะต้องแนบไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ใจว่าการสร้างวงจรจะเชื่อมต่อตามจุดที่ต้องการ ซึ่งจะไม่ลัดวงจรหรือทางเดิน ถูกเปิดซึ่งกฎจะขึ้นอยู่กับพารามิเตอร์ที่รู้ของการผลิต ก็เพื่อที่จะให้แน่ใจว่าขอบ เขตจะปลอดภัยและอนุญาตให้สำหรับข้อผิดพลาดของกระบวนการ ตัวอย่าง บาง กระบวนการเอ็นมอสต้องการสายเมทอลที่มีความกว้างไม่น้อยกว่า 6 ไมครอน ในกรณีที่คล้ายกันระยะทางที่สั้นที่สุดระหว่างสายเมทอล 2 สายก็ต้องไม่น้อยกว่า 6 ไมครอนเพื่อป้องกันความไม่แน่นอนของการผลิต จากการที่สายลัมผัสกัน ใน บางกระบวนการกฎการออกแบบค่อนข้างจะยุ่งยาก มันจะเกี่ยวข้องกับการรวม กันของหลายๆชั้น

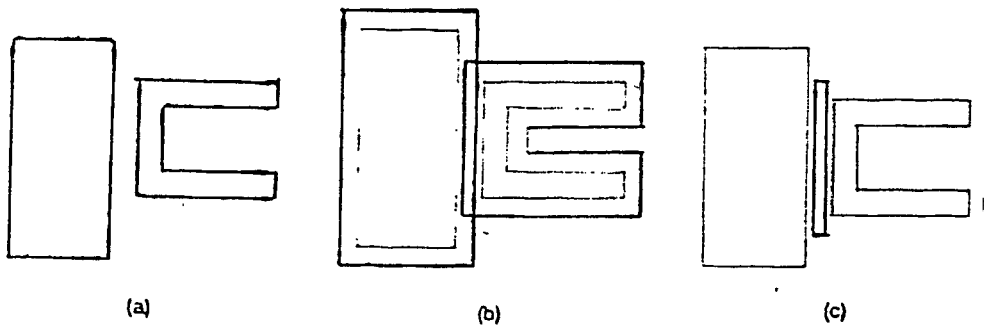
ในกฎการออกแบบจะมีการกำหนดระยะทางที่ชี้เฉพาะเช่น ไมครอน ซึ่งจะ อยู่ในเทอมของความลัมพันธ์และการทำขนาดของยูนิท(unit) ซึ่งถูกเรียกว่า แลมด้า(lambda) สำหรับการออกแบบเอ็นมอส สายเมทอลจะต้องกว้าง 3 แลม ด้า และสายที่ไม่ได้ถูกเชื่อมต่อ จะห่างออกไป 3 แลมด้าเมื่อ 1 แลมด้าเท่า กับ 2 ไมครอนซึ่งจะสมมูลกับกฎก่อนหน้านี้ เนื่องจากว่าค่าที่เป็นจำนวนเต็ม ของแลมด้า ง่ายต่อการใช้ ข้อได้เปรียบของกฎก็คือ เมื่อกระบวนการผลิต ยอมรูปทรงเรขาคณิตมีขนาดเล็ก การออกแบบก็ง่ายที่จะปรับขนาดโดยการ เปลี่ยนค่าแลมด้า ถึงแม้ว่าจะไม่ใช่ขนาดของแบบร่างวงจรจริงๆ กฎการออกแบบ ก็จะบรรจุอัตราส่วนตามที่ต้องการ ตัวอย่างของการตรวจสอบกฎการออกแบบ ดังเช่น

การตรวจสอบกฎการออกแบบของรูปทรงหลายเหลี่ยม(Polygon-Based Design-Rule Checking) : ขึ้นอยู่กับพีชคณิตของรูปหลายเหลี่ยมซึ่งจะประกอบไปด้วย การปรับขนาดของรูปหลายเหลี่ยมและการดำเนินการบนขอบเขตของรูปหลายเหลี่ยมเช่น มี 6 แบบคือ merge , bloat , and , or , xor และ touch ซึ่งสามารถใช้เพื่อที่จะหาการฝ่าฝืนกฎการออกแบบ Merging จะรวมรูปทรงหลายเหลี่ยมที่ซ้อนกันบนชั้นเดียวกัน ไปเป็นรูปทรงหลายเหลี่ยมอันเดียวซึ่งเป็นพื้นที่ของการยูเนียน(union) Bloating จะขยายรูปทรงหลายเหลี่ยมทั้งหมดบนชั้น โดยระยะห่างที่ชี้เฉพาะจากศูนย์กลาง And , or และ xor เป็นการดำเนินการระหว่างชั้น ซึ่งจะหาการคาบเกี่ยว , การยูเนียนและพื้นที่เอ็กชคลูซีฟ(exclusive area)ของชั้น 2 ชั้น ที่ต่างกัน เพื่อที่จะให้ผลของรูปทรงหลายเหลี่ยมในชั้นที่ 3 Touch จะหารูปทรงหลายเหลี่ยมทั้งหมดบน 1 ชั้น ซึ่งรูปทรงหลายเหลี่ยมจะร่วมกันหรือคาบเกี่ยวบนบนชั้นอื่น

รูป 2.28 จะเป็นตัวอย่างวิธีการตรวจจับข้อผิดพลาดของที่ว่าง(spacing error)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.28 แสดงการดำเนินการเกี่ยวกับรูปทรงหลายเหลี่ยมสำหรับการตรวจสอบกฎการออกแบบ (a) แสดงรูปทรงหลายเหลี่ยมเริ่มต้น (b) เป็นรูปทรงหลายเหลี่ยมซึ่งถูกขยาย (c) แสดงข้อผิดพลาดของที่ว่างที่เกิดจากการตัดกันของรูปทรงหลายเหลี่ยมที่ถูกขยาย

ยังมีวิธีอื่นอีกซึ่งจะทำการตรวจสอบเกี่ยวกับระยะห่างของสาย และตรวจสอบหัวมุม (corner) และการตัดกันของแบบร่าง เพื่อที่จะไม่ให้เกิดที่ว่างที่มากเกินไป

2.5.3 ตัวตรวจสอบกฎทางไฟฟ้า

(Electrical-rule Checkers)

กฎการออกแบบทางเรขาคณิตทำให้แน่ใจว่าวงจรจะสามารถถูกสร้างอย่างถูกต้องโดยการเช็คความสัมพันธ์ของตำแหน่งหรือซินแทกซ์ (syntax) ของแบบร่างของวงจรสุดท้าย อย่างไรก็ตามก็ยังไม่แน่ใจว่าวงจรจะทำงาน ฟังก์ชันที่ต้องจะถูกทำเป็นซิมูเลเตอร์ (simulator) และเวอร์ริไฟเออร์ (verifiers) ที่ใช้ควบคุมกิจกรรมและพฤติกรรมของของวงจร โดยไม่คำนึงถึงว่าจะมีการวางอยู่ตรงกลางระหว่างซินแทกซ์ของแบบร่างวงจร

กฎทางไฟฟ้าเป็นคุณสมบัติของวงจร ซึ่งสามารถพิจารณาจากรูปทรงเรขาคณิตและการเชื่อมต่อโดยปราศจากความเข้าใจพฤติกรรม ตัวอย่าง การประมาณการใช้พาวเวอร์ของวงจรสามารถถูกกระทำ โดยการคำนวณข้อกำหนดของแต่ละอุปกรณ์ การประมาณการใช้พาวเวอร์ (Power estimation) เป็นกฎทางไฟฟ้าที่ใช้ตรวจจับความผิดพลาดของ อัตราส่วนทรานซิสเตอร์ (transistor ratio) , การลัดวงจรและส่วนที่แยกหรือการเชื่อมต่อที่เลวของวงจร การเช็คทั้งหมดนี้จะตรวจสอบโครงข่ายและมองหาความไม่คงที่ ดังนั้นการตรวจสอบกฎการออกแบบจะทำการวิเคราะห์บนแบบร่างวงจร , การตรวจสอบกฎทางไฟฟ้าจะทำการวิเคราะห์บนโครงข่าย

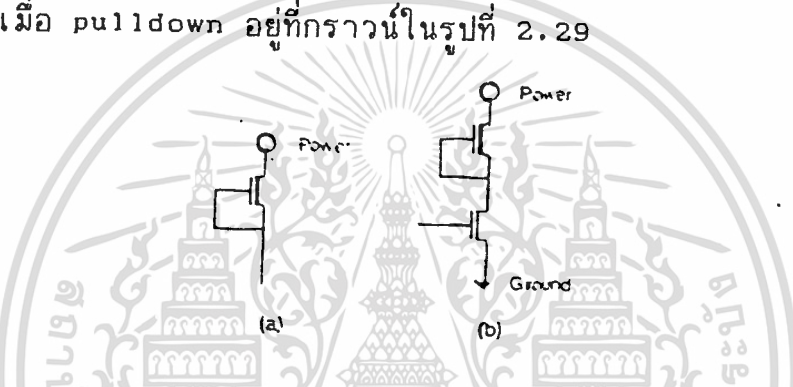
2.5.3.1 การประมาณการใช้พาวเวอร์ (Power Estimation)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ในการค้าหลายเหตุผลในการพิจารณาการใช้พาวเวอร์ของวงจร เช่น ข้อจำกัดด้าน

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ความจุของสายที่ใช้เป็นทางเดินของพาวเวอร์ , ผลรวมของพาวเวอร์ที่จำกัดใน แพคเกจเดียวและค่าใช้จ่ายของระบบ เมื่อไอซี มีขนาดใหญ่ขึ้นและซับซ้อนขึ้น ก็จะมีปัญหาทางพาวเวอร์เกิดขึ้น

สายเมทอลถูกใช้ เพื่อที่จะนำพาวเวอร์ที่มากเกินไปจนกลายเป็นพาวเวอร์ไม่เกรตขึ้น(power migration) ซึ่งอะตอมจะเคลื่อนที่ภายในสายกันมากเกินไป เพื่อที่จะไม่ให้เกิดปรากฏการณ์นี้ สายจะต้องกว้างพอที่จะลดความหนาแน่นของกระแส ข้อจำกัดอื่น ๆ ก็คือ พิจารณาถึงผลรวมของพาวเวอร์และความร้อนซึ่งเกิดขึ้นในตัวแพคเกจด้วย การประมาณพาวเวอร์ขึ้นอยู่กับขบวนการผลิตในเอ็นมอสทุกๆ ดิฟฟิชั่นทรานซิสเตอร์ที่เกิดขึ้น ในโครงสร้าง pullup จะใช้พาวเวอร์เมื่อ pulldown อยู่ที่กราวด์ในรูปที่ 2.29



รูปที่ 2.29 แสดงการใช้พาวเวอร์ของเอ็นมอส (a) เป็นเอ็นมอสดิฟฟิชั่นทรานซิสเตอร์ในโครงสร้าง pullup (b) เป็น pullup และ pulldown

ส่วนในการพิจารณาการประมาณการใช้พาวเวอร์ของซีมอสจะยุ่งยากกว่าเนื่องจากทรานซิสเตอร์ในแบบของซีมอสจะมีการทำงานที่ยุ่งยากกว่า

2.5.3.2 ตัวตรวจสอบอัตราส่วนทรานซิสเตอร์

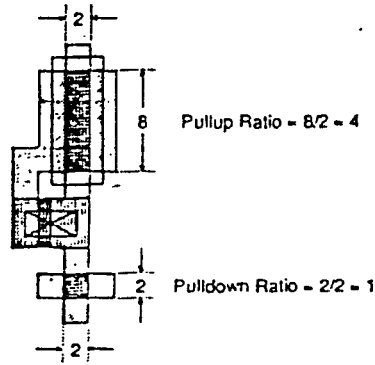
(Transistor-Ratio Checkers)

เมื่อมีการทำแบบร่างวงจร VLSI มีความจำเป็นที่จะต้องทำอัตราส่วนของทรานซิสเตอร์ เพื่อว่าจะทำงานได้อย่างมีประสิทธิภาพซึ่งสัมพันธ์ไปยังส่วนอื่น ดังนั้น จะต้องพิจารณาอัตราส่วนของทรานซิสเตอร์ซึ่งจะต้องใช้ทำเป็นวงจรด้วย

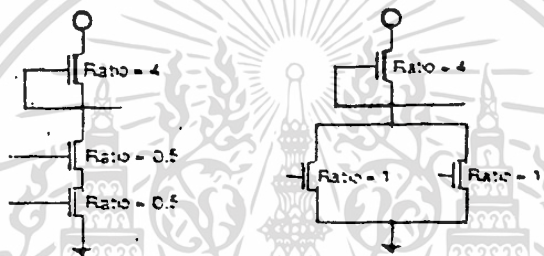
เอ็นมอสอินเวอร์เตอร์ต้องการอัตราส่วนของขนาด pullup : pulldown อย่างน้อย 4:1 ซึ่งหมายความว่าขนาดความยาวต่อความกว้างของ pullup จะต้องมากกว่า pulldown 4 เท่าหรือมากกว่า(รูป 2.30) เมื่อทรานซิสเตอร์ที่ขนานทำ pulldown

อย่างไรก็ตามทรานซิสเตอร์แต่ละตัว จะต้องประกอบไปด้วย อัตราส่วนที่เหมาะสม(ดังรูป 2.31 และ 2.32) เพราะว่ามิกฎซึ่งกำหนดให้ทุกทางเดินจากพาวเวอร์ไปยังกราวด์จะต้องมีอัตราส่วนที่เหมาะสม

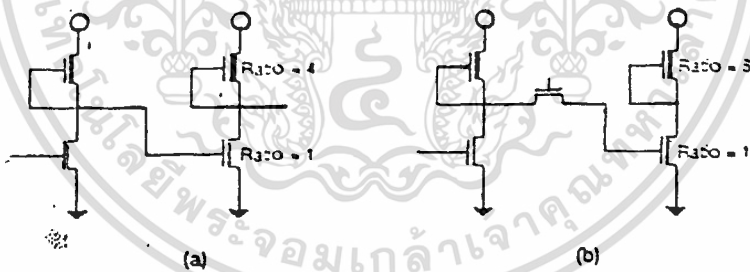
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.30 แสดงอัตราส่วนของเอ็นมอสทรานซิสเตอร์ ซึ่ง(อัตราส่วนคือ - ความยาว(ขนาดโพลีซิลิคอน)/ความกว้าง(ขนาดดีฟฟิวชั่น)



รูปที่ 2.31



รูปที่ 2.32

ซึ่งแสดง pullup บนรูปขาวของรูป 2.32 b จะต้องเปลี่ยนค่าอัตราส่วนตาม สัญญาณ pulldown ของเกท

2.5.4 การตรวจสอบ (Verification)

สิ่งที่แตกต่างระหว่างเวอร์ริไฟร์เออร์ กับ ตัวตรวจสอบกฎ คือ เวอร์ริไฟร์เออร์จะให้ข้อกำหนดทางการปฏิบัติงานเพื่อที่จะเช็คสำหรับแต่ละวงจรที่แตกต่างกัน ที่บรรยายมาล่วงหน้าแล้วว่าตัวตรวจสอบกฎสามารถถูกเรียกเป็น เวอร์ริไฟร์เออร์ถ้าสถานการณ์ที่ถูกตรวจสอบเป็นการกำหนดโดยชัดเจนว่า เป็น ส่วนหนึ่งของการออกแบบ

ตัวอย่างของ เวอร์ริไฟร์เออร์ 2 ชนิดคือ การตรวจสอบเกี่ยวกับเวลา (timing) และ ฟังก์ชัน เวอร์ริไฟร์เออร์เกี่ยวกับเวลาจะพิจารณาการหน่วง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้เฉพาะในวงจำกัดเท่านั้น ไม่สามารถนำออกเผยแพร่โดยไม่ได้รับอนุญาตจากเจ้าของเอกสารได้ หากมีการนำออกเผยแพร่โดยไม่ได้รับอนุญาตจากเจ้าของเอกสาร เจ้าของเอกสารจะไม่รับผิดชอบต่อความเสียหายใดๆ ทั้งสิ้น

2.6.2 ตัวจำลองระดับลอจิก (Logic-Level Simulators)

แทนรูปสัญญาณอนาล็อกของตัวจำลองระดับวงจรด้วยค่า 0, 1 และ x (ไม่กำหนดค่า) พื้นฐานวงจรเป็นแบบจำลองของลักษณะกลุ่มสวิตช์อย่างง่ายหรือเกตที่ถูกเชื่อมกับ การหน่วงเวลาแบบทวีคูณซึ่งเป็นชนิดศูนย์ตัวจำลองระดับลอจิกสามารถจำลองการออกแบบที่ขนาดใหญ่กว่าที่ตัวจำลองระดับวงจรสามารถทำได้ และอาจจะจำลองที่ระดับอุปกรณ์หรือระดับเกตได้

2.6.2.1 ตัวจำลองระดับสวิตช์ (Switch-Level Simulators)

ตัวจำลองระดับสวิตช์ จำลองวงจรในลักษณะการรวมทรานซิสเตอร์และสายและต้องมีข้อมูลการเชื่อมต่อเตรียมไว้ ข้อมูลเหล่านี้ประกอบด้วยรายการของทรานซิสเตอร์และสายซึ่งสมมูลกับแผนการออกแบบ ทรานซิสเตอร์เป็นแบบจำลองกลุ่มสวิตช์ธรรมดาส่วนสายเป็นแบบจำลองของตัวนำในอุดมคติคือ ค่าหน่วงเวลาเป็นศูนย์ โดยทั่วไปแบบจำลองการหน่วงเวลารวมอยู่ในแบบจำลองทรานซิสเตอร์ เช่น unit-delay ในการสวิตช์ข้อมูล การหน่วงเวลาอื่นๆ เช่น การหน่วงเวลาของทรานซิสเตอร์ได้มาจากวงจรก่อนหน้านี้ซึ่งอาจรวมกันได้อีกด้วย

2.6.2.2 ตัวจำลองระดับเกต (Gate-Level Simulators)

ตัวจำลองระดับเกตใช้ค่าลอจิกเหมือนกับที่ตัวจำลองระดับสวิตช์ใช้ แต่หลักพื้นฐานของวงจรถูกจำลองในระดับเกตมากกว่าระดับทรานซิสเตอร์

ตัวจำลองระดับเกตสามารถจำลองการออกแบบขนาดใหญ่กว่าในรูปของค่าลอจิกแต่เพราะตัวจำลองระดับเกตจำลองวงจรในระดับเกต จึงไม่สามารถจำลองโครงสร้าง VLSI บางอย่างได้โดยง่ายเช่น พาสทรานซิสเตอร์ (pass-transistors) , โครงสร้างบัลแบบไตรสเตต (tri-state)

อินพุตไปยังตัวจำลองระดับเกตอยู่ในรูปของลอจิกเกต (เช่น NAND , OR , D-flip flop) และสาย การหน่วงเวลาบางอย่างจะรวมอยู่ในเกต รูปเกตนักจะได้จากระบบที่มีแบบแผน (schematic-entry system) ที่ใช้วาดแบบตารางความจริง (truth table) ถูกขยายเพื่อรวมค่าลอจิกที่ยังไม่ได้กำหนดและตารางสามารถใช้จำลองเกตได้ ในรูป 2.33 แสดงตารางความจริงสำหรับ AND เกตสองอินพุต

2.6.2.3 ตัวจำลองหลายสเตต (Multiple-state Simulators)

เพื่อปฏิบัติตามข้อมูลที่สมบูรณ์กว่าที่ได้จากค่า 0 , 1 และ x และเป็นข้อได้เปรียบในการจัดการเกี่ยวกับการออกแบบที่ซับซ้อนกว่า ตัวจำลองระดับลอจิกบางตัวมีการเพิ่มกลุ่มระดับลอจิก (VLSI) เป็นเรื่องปกติในทางการค้าที่มีการ

เอกสารนี้เสนอตัวจำลองที่มีสเตตถึง 12 สเตตหรือมากกว่า

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

In1	In2	Out
0	0	0
0	1	0
0	X	0
1	0	0
1	1	1
1	X	X
X	0	0
X	1	X
X	X	X

รูป 2.33 แสดงตารางความจริงของ AND เกทสองอินพุท
 กว่าสแตทถูกเพิ่มเพื่อให้รีโซลูชัน(resolution) ของข้อขัดแย้งที่โหนดที่ละเอียดกว่า เช่น เมื่อรีซิสทีฟพูลอัพ(resistive pullup) อยู่ตรงข้ามกับเอาต์พุตซึ่งกำลัง ขั้วเอาต์พุตเดียวกันนี้ให้สถานะเป็น low หรือเมื่อบัลไตรสแตทอยู่ในสถานะ ไฮอิมพีแดนซ์(high-impedance) พฤติกรรมของส่วนประกอบถูกกำหนดโดยกลุ่มตารางความจริงขนาดใหญ่เหมือนกับในตัวจำลองสามสแตทที่ง่ายกว่า

2.6.3 ผลการจำลอง (Simulation Issue)

2.6.3.1 ข้อกำหนดทางอินพุต (Input requirement)

งานทางด้านโหนดอิเล็กทรอนิกส์เป็นกระบวนการบ่งชี้ถึงพื้นฐานของวงจร , การเชื่อมต่อและรูปทรงเรขาคณิตซึ่งแสดงถึงโครงร่าง ข้อมูลเหล่านี้รวมทั้งเทคโนโลยีพื้นฐานถูกใช้โดยตัวจำลองระดับวงจร และระดับลอจิกเพื่อกำหนดพฤติกรรมของวงจร ตัวจำลองระดับวงจรต้องการข้อมูลเพิ่มเติมเกี่ยวกับความจุของโครงสร้างเพื่อจะได้คำนวณค่าหนึ่งเวลาได้ถูกต้อง และเป็นหน้าที่ของโหนดอิเล็กทรอนิกส์ที่จะคำนวณข้อมูลเพิ่มเติมนี้จากโครงร่างวงจร ตัวจำลองระดับเกทต้องการแผนการออกแบบที่แสดงลอจิกเกตมาตรฐาน

2.6.3.2 เวลา (Time)

มีวิธีพื้นฐาน 2 วิธีที่ใช้จัดการเกี่ยวกับเวลา บางครั้งมีการใช้เทคนิค ไฮบริดจ์(hybrid) ซึ่งรวมทั้ง 2 วิธีเข้าด้วยกัน วิธีแรกจะจำลองในลักษณะชุดลำดับเวลาที่กำหนดช่วงแน่นอน ตัวจำลองการเพิ่มของเวลา (Incremental-time simulators) เหล่านี้จะพัฒนาการจำลองสัญญาณนาฬิกาในช่วงเวลาที่แน่นอนและจะคำนวณค่าของโหนดทั้งหมดในตอนสุดท้ายของช่วงเวลาที่ช่วงเวลาจะถูกควบคุมโดยผู้ใช้ และถูกเลือกเพื่อป้องกันการสูญหายของรายละเอียดเล็กน้อย บางครั้งตัวจำลองระดับวงจรใช้ช่วงเวลาที่แปรผันซึ่งถูกควบคุมโดยคุณสมบัติร่วมของสมการ

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 วิธีที่ 2 มองการจำลองเหมือนชุดของเหตุการณ์ ณ ตำแหน่งที่เหตุการณ์
 ไม่ว่าการณ์ใดๆที่สนใจ นอกเหนือจากนี้ให้เหตุผลและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เป็นการเปลี่ยนแปลงไปยังโหนดลำดับความสำคัญของเหตุการณ์ของเวลาจะถูกเก็บไว้เมื่อตัวจำลองกำลังดำเนินการตามกระบวนการดังนี้

1. เคลื่อนจากคิวทุกเหตุการณ์ที่เกิดขึ้นที่เวลา t ถัดไป แต่ละเหตุการณ์ถูกแสดงในลักษณะการเปลี่ยนแปลงไปยังอินพุตที่เวลา t
2. แต่ละอินพุตจะเปลี่ยนที่โหนดที่เหมาะสม
3. คำนวณค่าใหม่สำหรับเอาต์พุตของแต่ละโหนดที่มีผล
4. สร้างเหตุการณ์สำหรับแต่ละโหนดซึ่งเชื่อมไปยังโหนดเอาต์พุต ซึ่งเปลี่ยนในช่วงก่อนหน้านี้ แทรกเหตุการณ์ลงในลำดับคิวที่ช่วงเวลา $t +$ การหน่วงเวลา ที่ซึ่งการหน่วงเวลาถูกกำหนดโดยโปรเพเกชัน (propagation) ทั้งหมด

ตัวจำลองจะทำวนรอบนี้ซ้ำจนถึงเวลาที่กำหนดโดยผู้ใช้หรือจนกระทั่งคิวของเหตุการณ์ว่าง วิธีทั้งคู่นั้นค่อนข้างเปลืองค่าใช้จ่ายซึ่งขึ้นอยู่กับความต้องการความแม่นยำถูกต้อง โดยแบบอย่างแล้วการคำนวณจะเกี่ยวกับการทำซ้ำจนโหนดที่สนใจไม่เปลี่ยนแปลงระหว่างการซ้ำ

2.6.3.3 แบบจำลองอุปกรณ์

แบบจำลองอุปกรณ์มีผลต่อความถูกต้องและรวดเร็ว ในการจำลองแบบจำลองอุปกรณ์ที่ถูกต้องมักจะถูกใช้โดยตัวจำลองระดับวงจร แบบจำลองนี้จะบอกพฤติกรรมทางอนาล็อกของอุปกรณ์แต่ใช้เวลาในการคำนวณมาก

ตัวจำลองระดับโลจิกมักใช้แบบจำลองตารางธรรมดา เช่น พฤติกรรมของเกตสามารถเก็บในตารางค่าความจริงซึ่งสามารถหาเอาต์พุตได้เมื่อทราบอินพุตค่าหน่วงเวลาของอุปกรณ์อาจคาดคะเนได้ในรูปหน่วยของเวลา หรือคำนวณจากแบบจำลองการหน่วงเวลา การใช้ฟาวเวอร์ ความก้าวหน้าทางเทคโนโลยีทำให้มีการวางอุปกรณ์บนชิพมากขึ้น แต่ก็ทำให้ระบายความร้อนที่เกิดจากอุปกรณ์ได้ยากขึ้น ดังนั้นผู้ออกแบบควรคำนึงถึงการใช้ฟาวเวอร์ของชิพ

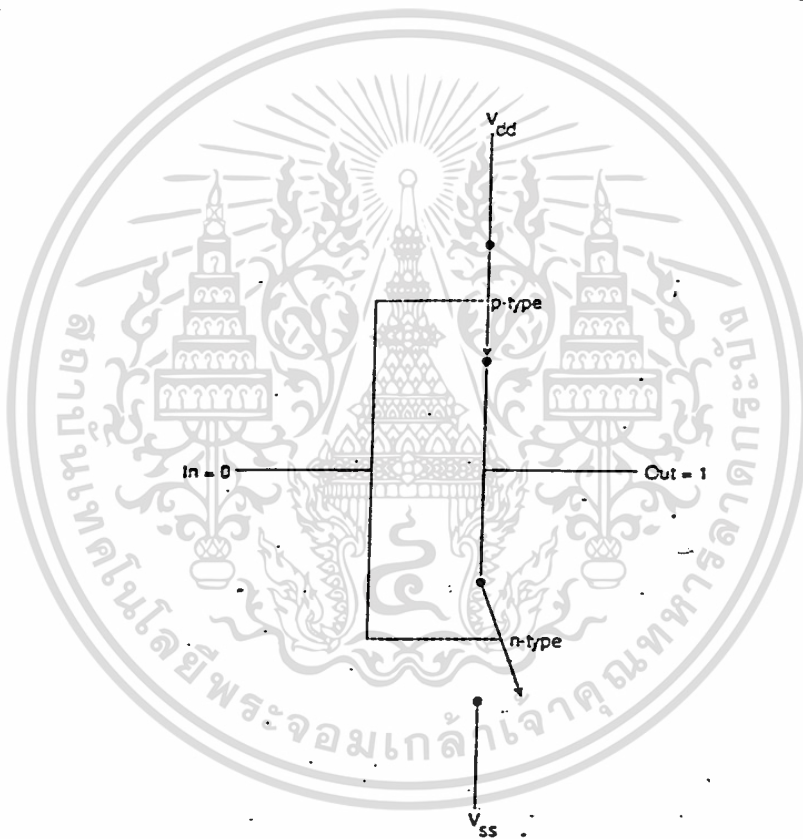
ในการออกแบบเอ็นมอสมีการใช้ฟาวเวอร์ในดิลลิชันโหลด (depletion loads) ซึ่งถูกดึงลงต่ำ สามารถใช้การวิเคราะห์แบบไดนามิกเพื่อประมาณการใช้พลังงานที่ถูกต้องแม่นยำกว่า

ในการออกแบบซีมอสไม่ต้องการดิลลิชันโหลดเพราะใช้ทรานซิสเตอร์ชนิดพีและเอ็นได้ดังแสดงด้วยซีมอสอินเวอร์เตอร์ในรูป 2.34 เมื่ออินพุตเป็น 0 ทรานซิสเตอร์ชนิดเอ็นจะ off และเมื่ออินพุตเป็น 1 ทรานซิสเตอร์ชนิดพีจะ off ซึ่งหมายความว่า วงจรจะเสถียรที่อินพุตเป็น 0 หรือ 1 จะมีทรานซิสเตอร์ off อยู่หนึ่งตัวเสมอและจากนี้ไปไม่มีการเชื่อมต่อระหว่าง V_{dd} และ V_{ss} การสูญเสียฟาวเวอร์เกิดจากกระแสที่รั่วไหลเป็นจำนวนเล็กน้อยเท่านั้น

เมื่ออินพุตเปลี่ยนค่าจาก 0 เป็น 1 อย่างรวดเร็ว ทรานซิสเตอร์ชนิดพีก็จะ off และชนิดเอ็น จะ on จนกระทั่งการ switch เสร็จสิ้น V_{ss} จะถูกเชื่อมกับ V_{dd} ผ่านทรานซิสเตอร์ 2 ตัวและจะมีการสูญเสียพาวเวอร์บางส่วน นอกจากนี้พาวเวอร์ยังถูกชาร์จตัวเก็บประจุซึ่งเชื่อมไปยังเอาต์พุต พาวเวอร์ที่ถูกใช้ระหว่างการเปลี่ยนสถานะคำนวณได้จากสูตร

$$P = C_{load} * V_{dd}^2 * f$$

ซึ่ง C_{load} คือ ค่าความจุของ load และ f ความถี่ในการสวิตช์ พาวเวอร์รวมคือ ผลบวกของพาวเวอร์ที่ใช้ขณะที่วงจรเสถียรกับขณะที่วงจรเกิดการสวิตช์



รูป 2.34

2.6.3.4 เอาต์พุต (Output)

เอาต์พุตของตัวจำลองอย่างน้อยที่สุด ก็เป็นค่าที่ปรากฏบนโหนดที่ถูกตรวจสอบในรูปแบบฟังก์ชันของเวลา เอาต์พุต ชนิดนี้มีข้อเสียมากมายเช่น

- การแยกพฤติกรรมส่วนที่ผิดออกจากส่วนที่ถูกทำได้ยากเพราะมีข้อมูลจำนวนมาก
- การที่จะเจาะจงดูข้อมูลจุดใดจุดหนึ่งทำได้ยากเพราะวงจรมีลักษณะการทำงานต่อเนื่องกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับใช้ในการเรียนการสอนเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- ความสัมพันธ์ของข้อผิดพลาดกับตำแหน่งในการออกแบบที่ซึ่งเกิดขึ้นบ่อย
ค่อนข้างที่จะยุ่งยาก

2.7 ซอร์ฟแวร์ที่ใช้ในการสร้างหน้ากากเพื่อใช้ในการผลิตชิพ

ซอร์ฟแวร์ CIF (Caltech Intermediate Format) เป็นรูปแบบล่าสุดสำหรับการอธิบายวงจรรวม (Integrated circuits) ซึ่งถูกสร้างโดยกลุ่มมหาวิทยาลัย CIF จะประกอบไปด้วยกลุ่มโครงสร้างฐานข้อมูลทั่วไปสำหรับการรวบรวมเครื่องมือสำหรับการวิจัยหลายตัว CIF ยังประกอบด้วยภาพกราฟิกพื้นฐานซึ่งมีประโยชน์สำหรับการอธิบายรูปร่าง 2 มิติบนชั้นต่างๆของชิพ รูปแบบเป็นการอธิบายแบบเป็นลำดับขั้นซึ่งจะทำให้กระต๊อตรัดขึ้น นอกจากนั้นก็ยังเป็นแบบตัวหนังสือขนาดย่อที่สามารถอ่านเข้าใจได้ ดังนั้น CIF จึงเป็นรูปแบบการอธิบายที่มีประสิทธิภาพสำหรับการออกแบบ VLSI แต่ละข้อความใน CIF ประกอบด้วย คีย์เวิร์ด (keyword) หรือตัวอักษรซึ่งจะตามด้วยพารามิเตอร์และจบด้วยเครื่องหมาย " ; " ช่องว่างจะแบ่งพารามิเตอร์แต่ละตัวออกจากกันแต่ไม่มีข้อจำกัดสำหรับจำนวนข้อความต่อบรรทัด หรือจำนวนคอลัมน์ในแต่ละฟิลด์ คำอธิบายสามารถใส่ไว้ได้ทุกที่โดยต้องอยู่ในเครื่องหมายปีกกา

คำสั่งใน CIF แบ่งออกเป็น 2 แบบ คือ ใช้ในการควบคุมและใช้ในการวาดรูปทรงเรขาคณิต ในส่วนของคำสั่งที่ใช้วาดรูปทรงเรขาคณิตมีดังนี้

LAYER	ใช้เลือกชนิดของหน้ากากในแต่ละชั้น
BOX	ใช้วาดรูปสี่เหลี่ยม
WIRE	ใช้วาดทางเดิน
ROUNDFLASH	ใช้วาดวงกลม
POLYGON	ใช้วาดรูปหลายเหลี่ยม
CALL	ใช้วาดรูปที่กำหนดด้วยคำสั่งต่างๆกันในโปรแกรมย่อย
ส่วนคำสั่งในการควบคุมก็มีดังนี้	
DS	ใช้บอกถึงจุดเริ่มของโปรแกรมย่อย
DF	ใช้บอกจุดสิ้นสุดของโปรแกรมย่อย
DD	ใช้ในการลบรายละเอียดต่างๆในโปรแกรมย่อย
O-9	ใช้เพิ่มเติมรายละเอียดซึ่งถูกกำหนดโดยผู้ใช้
END	ใช้บอกจุดสิ้นสุดของ file

คำสั่งทั้งหมดนี้มักจะใช้เพียง 1-2 ตัวอักษรเท่านั้น

2.7.1 คำสั่งที่ใช้ทางเรขาคณิต

คำสั่ง LAYER (L) กำหนดหน้ากากของชั้นที่ถูกใช้สำหรับรูปเรขาคณิตที่เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานในการศึกษาเท่านั้น ไม่อนุญาตให้นำไปเผยแพร่ขึ้นด้านการค้า ติดตามมาจนกระทั่งมีการใช้คำสั่งที่กำหนดหน้ากากครั้งถัดไป สิ่งที่อยู่ถัดมาจากไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

คำสั่งนี้คือ พารามิเตอร์ที่จะบอกชนิดของชั้น ดังตัวอย่าง

L NC ;

เป็นการกำหนดชนิดของชั้นเป็นแบบเอ็นมอสคอนแทคคัท(nMOS contact cut)

ดังรูปที่ 2.35

CIF Layer	Comments
ND	nMOS diffusion
NP	nMOS polysilicon
NC	nMOS contact cut
NM	nMOS metal 1
NN	nMOS metal 2
NI	nMOS implant
NB	nMOS burried contact
NG	nMOS overglass cut
P-well CMOS Technology	
CIF Layer	Comments
CND	CMOS n ⁺ diffusion
CPD	CMOS p ⁺ diffusion
CP	CMOS polysilicon
CPW	CMOS P-well diffusion
CM	CMOS metal
CC	CMOS contact cut
CG	CMOS overglass cut

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้ภายในเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
รูปที่ 2.35 แสดงรายชื่อชั้นใน CIF ไฟล์สำหรับขบวนการมอส
 ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

คำสั่ง BOX (B) เป็นคำสั่งทั่วไปที่ใช้กำหนดรูปทรงเรขาคณิต โดยจะเป็นการวาดรูปสี่เหลี่ยมด้วยการกำหนดค่า ความกว้าง ความยาว จุดศูนย์กลาง และการหมุน(rotation)โดยจะมีรูปแบบดังนี้

B length width xpos ypos [rotation] ;

หากไม่มีการกำหนดค่าการหมุน รูปสี่เหลี่ยมที่ได้ก็จะมีจุดศูนย์กลางอยู่ที่ (xpos, ypos) มีความยาวตามแนวแกน x มีความสูงตามแนวแกน y เลขทุกจำนวนใน CIF ทุกจำนวนเป็นจำนวนเต็มซึ่งจะอ้างอิงถึงระยะทางเป็น เซนติไมครอน (centimicron) หากโปรแกรมย่อยไม่มีการกำหนดขนาดไว้ก่อนค่าการหมุนประกอบด้วยเลขสองจำนวน ซึ่งจะกำหนดจุดสิ้นสุดของเวกเตอร์ซึ่งเริ่มต้นที่จุดเริ่มต้น ค่าที่กำหนดไว้แล้วสำหรับจุดสิ้นสุดคือ (1,0) ซึ่งจะเป็นเวกเตอร์ที่ชี้ไปทางขวา หากค่าการหมุนเป็น 10 5 จะหมายความว่า เป็นการหมุนทวนเข็มนาฬิกาไป 30 องศาจากปกติ ในทำนองเดียวกัน 10 -10 จะเป็นการหมุนตามเข็มนาฬิกาไป 45 องศา (ข้อสังเกต ขนาดของเวกเตอร์จะไม่มี ความหมาย)

คำสั่ง WIRE (W) ใช้ในการสร้างเส้นหรือแถบซึ่งจะเดินระหว่างจุดที่กำหนดไว้ เส้นหรือแถบเหล่านี้ต้องมีความกว้างไม่เท่ากับศูนย์และปลายของเส้นหรือแถบจะมีลักษณะโค้ง หลังคำสั่ง WIRE จะตามด้วยค่าความกว้างและโคออดิเนตซึ่งจะกำหนดจุด รูป 2.36 จะแสดงเส้นหรือแถบ

คำสั่ง ROUNDFLASH (R) จะใช้วาดวงกลมโดยมีการกำหนดเส้นผ่าศูนย์กลางและจุดศูนย์กลาง มีรูปแบบดังตัวอย่าง

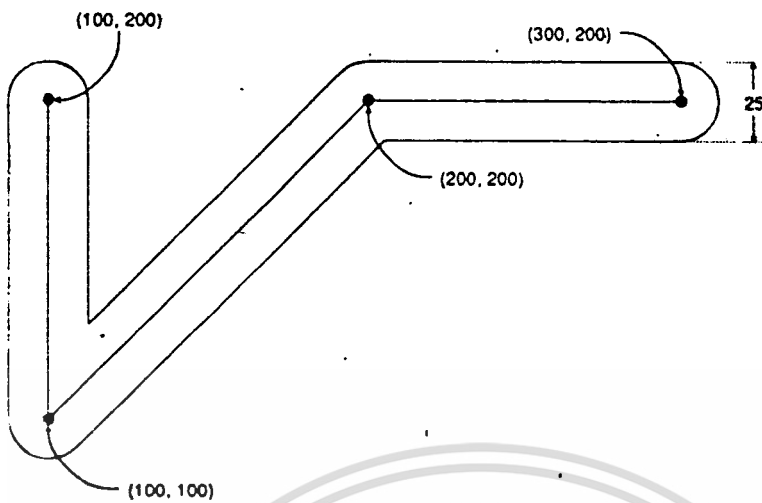
R 20 30 40;

จะวาดวงกลมซึ่งมีรัศมี 10 (เส้นผ่าศูนย์กลาง 20) จุดศูนย์กลางอยู่ที่ (30,40)

คำสั่ง POLYGON (P) จะใช้ชุดของโคออดิเนตเพื่อวาดรูปหลายเหลี่ยม เนื่องจากรูปหลายเหลี่ยมต้องเป็นรูปปิด ดังนั้นโคออดิเนตแรกและสุดท้ายจะถูกเชื่อมต่อโดยปริยาย ดังนั้นโคออดิเนตอันแรกและอันสุดท้ายจะต้องมีค่าไม่เหมือนกัน รูปหลายเหลี่ยมสามารถทำให้ซับซ้อนโดยการรวม ส่วนเว้า ส่วนโค้งและ self-intersection รูป 2.37 จะอธิบายคำสั่ง POLYGON

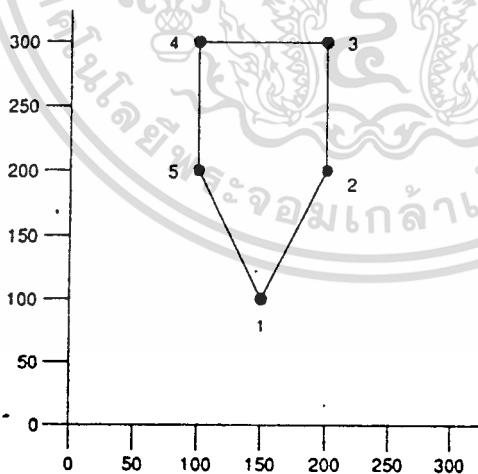
2.7.2 การเรียกใช้โปรแกรมย่อยในซอฟต์แวร์ CIF

คำสั่ง call (c) จะอ้างอิงการรวบรวมคำสั่งอื่นๆ ซึ่งจะปิดหัวปิดท้ายด้วย DS และ DF โปรแกรมย่อยทั้งหมดจะมีการกำหนดหมายเลขซึ่งจะใช้ในการเรียกไปยังโปรแกรมย่อยนั้นๆ ถ้าตัวอย่างมีคำสั่ง LAYER และคำสั่ง BOX ถูกรวมอยู่ในโปรแกรมย่อย 4 แล้ว คำสั่ง C 4: จะทำให้มีการวาดรูปสี่เหลี่ยมลงบน LAYER นั้น



รูป 2.36 แสดงการใช้คำสั่ง

"wire" : W25 100 200
100 100 200 200 300
200;



รูปที่ 2.37 แสดงการใช้คำสั่ง

"polygon" : P 150 100

200 200 200 300 100

300 100 200;

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

นอกจากนั้น ในการอ้างถึงโปรแกรมย่อยอย่างง่าย คำสั่ง CALL ได้รวบรวมการเปลี่ยนแปลงต่างๆที่มีผลต่อรูปทรงเรขาคณิต ภายในโปรแกรมย่อยมีการใช้การเปลี่ยนแปลง 3 ลักษณะในโปรแกรมย่อย CIF คือการเลื่อน (translation), การหมุนและการสะท้อน (mirroring) การเลื่อนใช้คำสั่ง T ตามด้วย x,y ออฟเซต (offset) ซึ่งออฟเซต เหล่านี้จะถูกเพิ่มเข้าไปในโคออดิเนตทั้งหมดในโปรแกรมย่อย การหมุน (Rotation) ใช้ R ตามด้วยจุดสิ้นสุดของเวกเตอร์ (x,y) ซึ่งหมายถึง เส้นที่ลากจากจุดกำเนิดไปยังจุดสิ้นสุดนี้ เส้นที่ไม่ได้หมายถึงการหมุนจะมีจุดสิ้นสุดที่ (1,0) ซึ่งอยู่ทางขวา การสะท้อน (mirroring) ใช้ได้สองแบบคือ

MX : สะท้อนโดยเทียบกับแกน x

MY : สะท้อนโดยเทียบกับแกน y

การสะท้อนนี้จะสะท้อนรูปทรงเรขาคณิตเทียบกับแกนที่กำหนดและลบรูปทรงเรขาคณิตรูปเดิมออกไป รูป 2.38 แสดงตัวอย่างการอธิบายถึงความสำคัญของลำดับการเปลี่ยนแปลง (สังเกตว่ารูป 2.38c และ 2.38d ให้ผลที่แตกต่างกันเมื่อวางตำแหน่งคำสั่งใหม่) การอธิบายโปรแกรมย่อยเพื่อใช้ในคำสั่ง CALL นั้นง่ายมาก โดยโปรแกรมย่อยที่จะถูก CALL จะเริ่มต้นด้วยคำสั่ง DS (definition start) และ DF (definition finish) หลังคำสั่ง DS จะเป็นสเกลลิ่งแฟคเตอร์ (scaling factor) และหมายเลขของโปรแกรมย่อย ส่วนหลังคำสั่ง DF ไม่ต้องตามด้วยข้อความใด สเกลลิ่งแฟคเตอร์สำหรับโปรแกรมย่อยประกอบด้วยเลขเศษส่วนซึ่งจะใช้กำหนดขอบเขตของค่าโปรแกรมย่อย สเกลแฟคเตอร์ไม่สามารถเปลี่ยนแปลงสำหรับการอ้างถึงโปรแกรมย่อยแต่ละครั้ง ตัวอย่างเช่นโปรแกรมย่อยของรูป 2.38 อธิบายได้ดังนี้

DS 10 2 20;

B10 20 5 5;

W1 5 5 10 15;

DF;

จะเห็นได้ว่าสเกลแฟคเตอร์คือ 2/20 ซึ่งจะทำให้ทุกค่าในโปรแกรมย่อยไม่เป็นเทรลลิ่งซีโร (trailing zero) โปรแกรมย่อย CIF อาจจะถูกเชื่อมเป็นโครงข่ายในการอ้างถึง โปรแกรมย่อยต้องถูกกำหนดก่อนการอ้างถึง ดังนั้นลำดับ

DS 10;

....

C 11;

DF;

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DS 11;

....

DF;

C 10;

ใช้ได้ แต่ลำดับ

C 11;

DS 11;

....

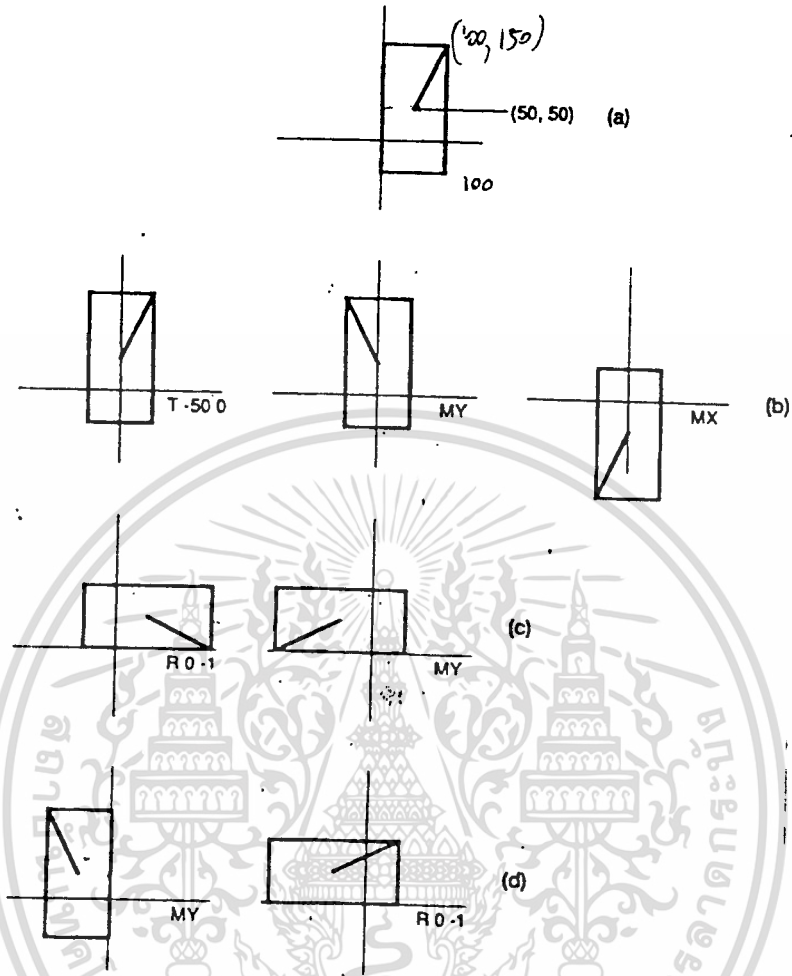
DF;

ใช้ไม่ได้ เพราะการอ้างถึงโปรแกรมย่อย 11 จะเกิดขึ้นไม่ได้จนกว่าจะมีการเขียนไว้ก่อนดังตัวอย่างแรก

2.7.3 คำสั่งที่ใช้ในการควบคุม

คำสั่ง DD (Delete definition) ใช้พารามิเตอร์เพียงตัวเดียวเพื่อลบทุกโปรแกรมย่อยที่มีหมายเลขมากกว่าหรือเท่ากับค่าพารามิเตอร์ คำสั่งนี้มีประโยชน์เมื่อรวม CIF หลายไฟล์ เพราะการออกแบบสามารถถูกอธิบาย, อ้างถึงและลบออกโดยไม่เกิดความสับสนเกี่ยวกับการกำหนดชื่อ อย่างไรก็ตามก็ยังไม่ใช่เป็นมาตรฐานสำหรับระบบ CAD

ในส่วนที่ขยายออกไปของ CIF ใช้ตัวเลข 0-9 แม้ว่า CIF จะไม่มีส่วนที่เป็นทางการ ในความนิยมทั่วไปได้มีการปรับปรุงเพื่อใช้ส่วนที่ขยายออกไปเหล่านี้ (รูป 2.39) คำสั่งสุดท้ายใน CIF ไฟล์ คือ END (E) ซึ่งไม่มีการใช้พารามิเตอร์ใดรวมทั้งไม่ใช่เครื่องหมาย " ; " ด้วย.



รูป 2.38 ผลจากการเรียกโปรแกรมย่อย (a) โปรแกรมย่อยที่ 10 : BOX 100 200 50 50; WIRE 10 50 50 100 150; (b) Invocation : C 10 T -50 0 MY MX; (c) Invocation : C 10 R 0 -1 MY; (d) Invocation : C 10 MY R 0 -1

0 x y layer N name ;

0V x1 y1 x2 y2 ... xn yn ;

2A "msg" T x y ;

2B "msg" T x y ;

2C "msg" T x y ;

2L "msg" T x y ;

2R "msg" T x y ;

9 cellname ;

94 label x y ;

Set named node on specified layer and position

Draw vectors

Place message above specified location

Place message below specified location

Place message centered at specified location

Place message left of specified location

Place message right of specified location

Declare cell name

Place label in specified location

รูปที่ 2.39

คำสั่งเพิ่ม-

เติมสำหรับ

CIF

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3

การออกแบบโปรแกรมเพื่อให้ประมวลผล CIF ไฟล์

3.1 การจัดรูปแบบ CIF ไฟล์ใหม่

เนื่องจาก CIF ไฟล์ที่ทำการศึกษามีรายละเอียดโครงสร้างเฉพาะตัวโดยมีรายละเอียดดังได้กล่าวไปแล้วในบทที่ 2 และในการออกแบบโปรแกรมของโครงงานนี้จะใช้เทอร์โบปาลคาลเพราะมีความเหมาะสมหลายอย่าง เช่น มีคำสั่งช่วยประมวลผลทางด้านกราฟิกเป็นจำนวนมาก ส่วนหลักการที่ใช้ในการประมวลผล CIF ไฟล์ จะทำการประมวลผลเป็นบรรทัดโดยเริ่มตั้งแต่บรรทัดแรกจนกระทั่งจบบรรทัดสุดท้ายของไฟล์ แต่พบว่าหลักการนี้ไม่สามารถนำไปใช้กับโครงสร้างของจริง CIF ไฟล์ได้ จึงต้องมีเขียนโปรแกรมเพื่อทำการตัดแปลงโครงสร้างของ CIF ไฟล์เพื่อให้เหมาะสมและใช้ได้กับหลักการดังได้กล่าวมาแล้ว

3.1.1 การแก้ไขตัดแปลง CIF ไฟล์

เริ่มต้นโปรแกรมที่ออกแบบจะอ่าน CIF ไฟล์เข้ามาเก็บไว้ในไดเรกตอรีย่อยซึ่งจะให้ผู้ใช้เป็นคนตั้งชื่อไดเรกตอรีย่อยนั้นเอง CIF ที่อ่านเข้ามาจะเก็บไว้ในไฟล์ชื่อ `buffer.bak` ซึ่งจะเหมือน CIF เดิมทุกประการ จากนั้นทำการแยกเฉพาะส่วนที่เป็นโปรแกรมย่อยทั้งหมด ออกจากโปรแกรมหลักของไฟล์ `buffer.bak` มาเก็บไว้ในไฟล์ `sub.src` และ `sub.mod` แล้วทำการพิจารณาการเรียกโปรแกรมย่อยระหว่างโปรแกรมย่อยด้วยกันเอง โดยเริ่มต้นจะให้ไฟล์ `sub.src` เป็นหลัก ทำการอ่านไฟล์นี้ทีละบรรทัด เมื่อเจอคำสั่งเรียกโปรแกรมย่อยก็จะไปอ่านโปรแกรมย่อยที่ถูกอ้างถึงจากไฟล์ `sub.mod` นำมาใส่ที่ตำแหน่งที่เรียกไปในไฟล์ `sub.src` ทำเช่นนี้ไปเรื่อยๆจนกระทั่งจบไฟล์ `sub.src` จากนั้นก็กระทำในลักษณะกลับกันโดยให้ไฟล์ `sub.mod` เป็นไฟล์หลักแล้วดำเนินการในลักษณะเดิม จนกระทั่งเมื่อให้ไฟล์ใดไฟล์หนึ่งเป็นไฟล์หลักแล้วอ่านไม่พบคำสั่งเรียกไปยังโปรแกรมย่อยก็จะนำไฟล์หลักในขณะนั้นไปใช้เป็นตัวอ้างอิงโปรแกรมย่อยให้กับในส่วนของเมนโปรแกรม(main program) ต่อจากนั้นทำการอ่านไฟล์ `buffer.bak` เฉพาะในส่วนเมนโปรแกรมเข้ามาเก็บไว้ในไฟล์ `source.mod` ในการอ่านจะอ่านทีละบรรทัด โดยถ้าหากบรรทัดใดเจอคำสั่งเรียกโปรแกรมย่อย ก็จะไปค้นหาในไฟล์หลักที่ได้(`sub.src` หรือ `sub.mod`) เมื่อพบก็จะทำการอ่านมาใส่ยังตำแหน่งที่เรียกไปและทำการตัดคำสั่งที่ใช้ในการเรียกนั้นออกไป ผลสุดท้ายที่ได้ก็คือไฟล์ `source.mod` ซึ่งจะไม่มีคำสั่งเรียกโปรแกรมย่อยเหลืออยู่เลย ไฟล์ `source.mod` นี้จะถูกนำไปประมวลผลในโปรแกรมต่อไป

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.1.2 การแบ่ง CIF ไฟล์ที่ถูกคัดแปลงออกเป็นไฟล์ย่อย

หลังจากที่ได้ไฟล์ source.mod แล้วก็ต้องมีการแบ่งไฟล์นี้ออกเป็นไฟล์ย่อยๆ ซึ่งแต่ละไฟล์ย่อยนี้จะแสดงถึงชั้นแต่ละชั้นของวงจรรวม หลักการที่ใช้ในการแบ่งจะกระทำโดยอ่านไฟล์ source.mod เข้ามาทีละบรรทัดเมื่อเจอคำสั่งที่ขึ้นบอกชนิดชั้น ก็จะทำการสร้างไฟล์ย่อยโดยตั้งชื่อไฟล์ตามชื่อของชั้นที่บ่งไว้แล้วทำการอ่านรายละเอียดของชั้นมาเก็บไว้ในไฟล์ย่อยนั้น อาจมีบางกรณีที่มีไฟล์ของชั้นใดชั้นหนึ่งถูกสร้างไปแล้วซึ่งเป็นไปได้ในกรณีของชื่อชั้นในโปรแกรมย่อยมีชื่อตรงกับในโปรแกรมหลัก โปรแกรมก็ต้องทำการตรวจสอบก่อนเสมอหากพบว่าสร้างไปแล้วก็ทำการเปิดไฟล์ย่อยนั้น แล้วทำการอ่านข้อมูลจากไฟล์ source.mod ที่อยู่นั้นเข้าไปใส่ต่อที่ท้ายไฟล์ย่อยได้เลย ผลสุดท้ายที่ได้ก็คือไฟล์ย่อยของทุกชั้นที่มีอยู่ใน CIF ไฟล์ที่พิจารณานั้นเอง

3.1.3 การประมวลผลคำสั่งใน CIF ไฟล์

จาก CIF ไฟล์ตัวอย่างที่ได้ทำการศึกษาพบว่ามีความคำสั่งหลักๆที่จะต้องทำการประมวลผลดังนี้

- คำสั่งให้วาดรูปสี่เหลี่ยมในการทำเป็นหน้ากาก : B l w x y;
โดยที่ B เป็นการบอกให้วาดรูปสี่เหลี่ยม

l : ความยาวรูปสี่เหลี่ยม

w : ความกว้างรูปสี่เหลี่ยม

x : ตำแหน่งของจุดศูนย์กลางตามแนวแกน x

y : ตำแหน่งของจุดศูนย์กลางตามแนวแกน y

คำสั่งในวาดรูปสี่เหลี่ยมในเทอร์โบปาลกาลซึ่งมีรูปแบบดังนี้

rectangle(x1,y1,x2,y2)

โดยที่ x1 : ตำแหน่งมุมซ้ายบนของรูปตามแนวแกน x ที่จะทำการวาด

y1 : ตำแหน่งมุมซ้ายบนของรูปตามแนวแกน y ที่จะทำการวาด

x2 : ตำแหน่งมุมขวาล่างของรูปตามแนวแกน x ที่จะทำการวาด

y2 : ตำแหน่งมุมขวาล่างของรูปตามแนวแกน y ที่จะทำการวาด

ดังนั้นจึงต้องมีการดัดแปลงค่าของตัวแปร เพื่อที่สามารถประมวลผลกับคำสั่งของเทอร์โบปาลกาลได้โดยเข้าสมการ

$$x1 = x - l/2$$

$$y1 = y + w/2$$

$$x2 = x + l/2$$

$$y2 = y - w/2$$

และต้องมีการปรับค่าโคออดิเนตทางแกน y ให้เข้ากับจอโดยใช้สมการ
ไม่ว่ากรณีใดๆทั้งนั้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

y1 = getmaxY - y1

y2 = getmaxY - y2

โดย getmaxY เป็นคำสั่งในเทอร์โบปาสคาล ซึ่งจะให้ค่าโคออดิเนตมากที่สุดของจอทางแกน y

- คำสั่งที่ใช้บอกชื่อชั้น : L { ชื่อชั้น } ;

เมื่อทำการอ่านเจอคำสั่งนี้ โปรแกรมก็จะถูกออกแบบให้นำชื่อชั้นมาตั้งเป็นชื่อไฟล์ย่อยสำหรับ CIF ไฟล์ของวงจรต่างๆที่พิจารณา

- คำสั่งที่ใช้ในการบอกตำแหน่งของโปรแกรมน้อย

DS { หมายเลขโปรแกรมน้อย ;

....

....

DF;

โดย DS หมายถึง จุดเริ่มต้นของโปรแกรมน้อย

DF หมายถึง จุดสิ้นสุดของโปรแกรมน้อย

โปรแกรมจะถูกออกแบบเพื่ออ่านหมายเลขโปรแกรมน้อยซึ่งอยู่ถัดจากคำสั่ง DS มาเพื่อตรวจสอบว่าตรงกับหมายเลขโปรแกรมน้อยที่ถูกเรียกมาหรือไม่ ถ้าหากถูกต้องก็ทำการอ่านข้อความภายในโปรแกรมน้อยนั้นที่ละบรรทัด เพื่อนำไปเก็บใส่ยังตำแหน่งที่เรียกมา โดยการอ่านจะสิ้นสุดเมื่อเจอคำสั่ง DF

- คำสั่งที่ใช้เรียกโปรแกรมน้อย : C { หมายเลขโปรแกรมน้อย ;

โปรแกรมจะถูกออกแบบให้ตรวจสอบโดย หากอ่านเจอคำสั่งนี้ก็ให้นำโปรแกรมย่อยตามหมายเลขที่บ่งไว้ในคำสั่ง C มาใส่ลงไปที่ตำแหน่งที่เรียกไป โดยมีลักษณะดังตัวอย่าง

โปรแกรมย่อย

DS 1;

statement_1;

statement_2;

DF;

โปรแกรมหลัก

C 1;

statement_3;

statement_4;

E

เอกสารหลังการประมวลผลคำสั่ง C จะได้โปรแกรมหลักมีลักษณะดังนี้

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
{ statement_1; }
```

```
{ statement_2; }
```

```
statement_3;
```

```
statement_4;
```

E

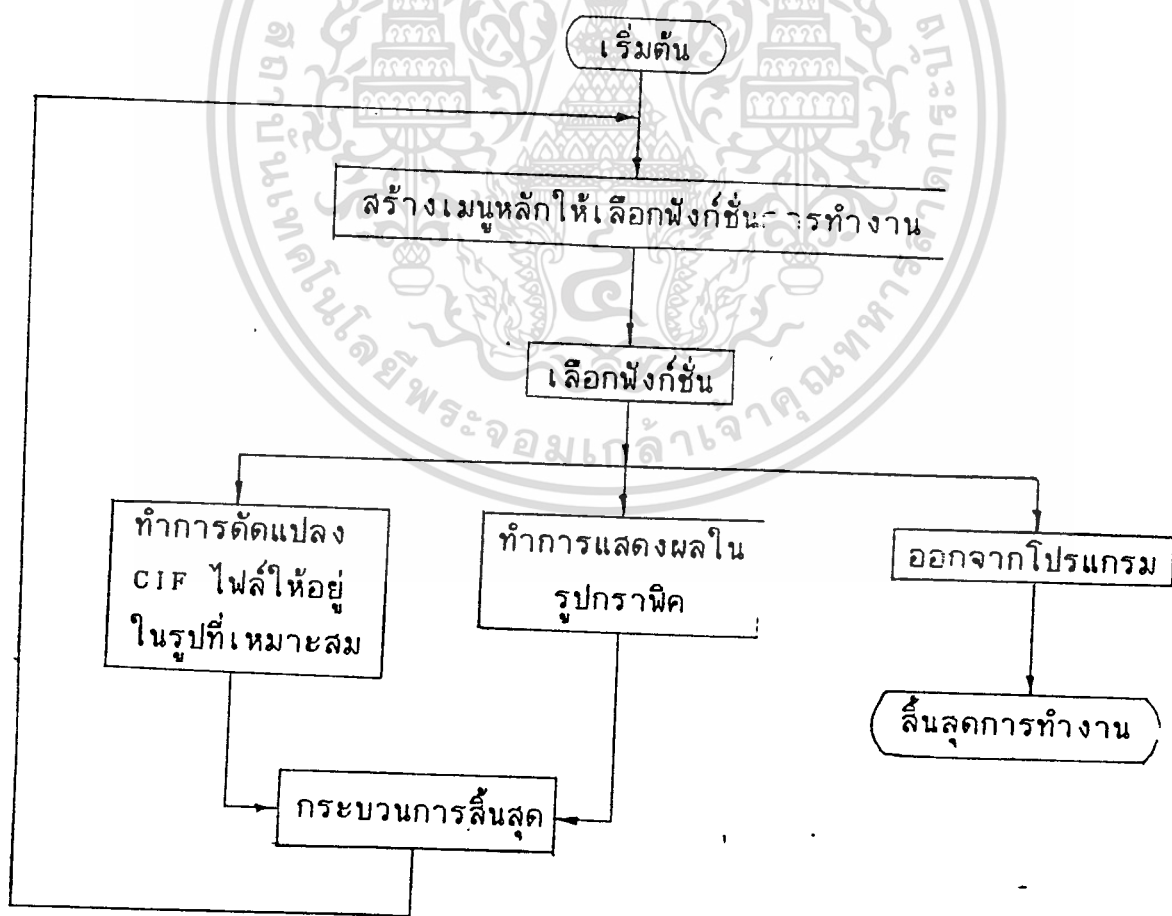
**** ส่วนที่อยู่ในเครื่องหมายปีกกาเป็นส่วนของโปรแกรมย่อยที่อ่านเข้ามา ****

3.2 การนำผลออกแสดง

หลังจากที่ได้ดัดแปลง CIF ไฟล์เป็นไฟล์ source.mod ซึ่งไฟล์นี้จะอยู่ในรูปแบบที่สามารถทำการประมวลผลคำสั่งที่ละบรรทัดได้ ซึ่งผลที่ได้ก็จะทำการประมวลผลเกี่ยวกับทางด้านกราฟิกแสดงรูปร่างลักษณะของหน้ากาต่าง ๆ ในวงจรรวม โดยจะนำผลที่ได้ออกแสดงทางจอ (CRT หรือ พลอตเตอร์

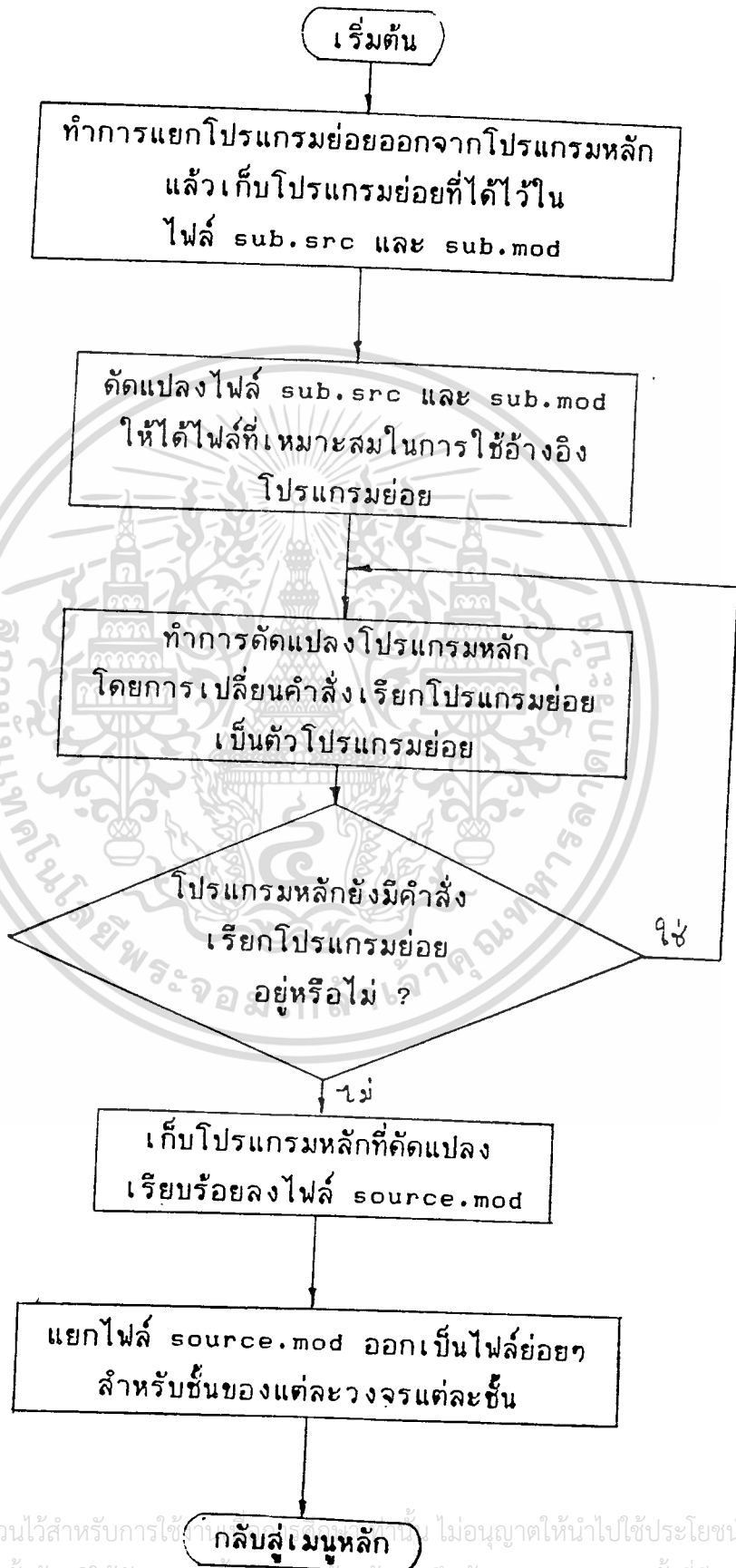
3.3 ไฟล์ชาร์ตแสดงโครงสร้างการทำงานของโปรแกรมที่สร้างขึ้น

โปรแกรมหลัก



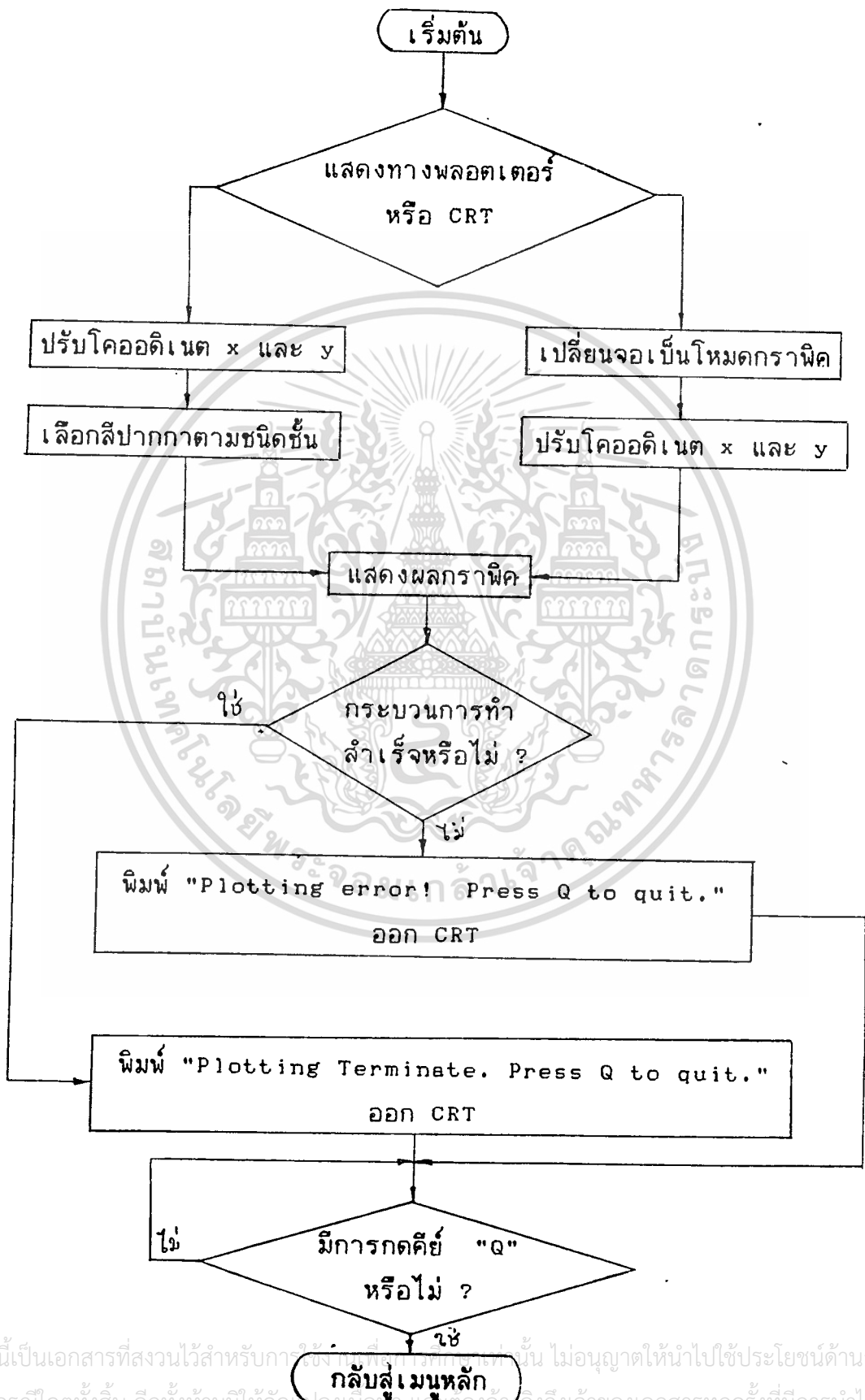
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การดัดแปลง CIF ไฟล์



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้ภายในเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การแสดงผลในรูปกราฟิก



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานที่ปลอดภัยเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดลอกข้อมูลนี้ไปเผยแพร่หรือส่งถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4

การประมวลผลโดยซอฟต์แวร์ที่สร้างขึ้น

4.1 ขั้นตอนการทดลอง

4.1.1 นำตัวอย่าง CIF ไฟล์ของวงจรพื้นฐาน(ในที่นี้ใช้วงจรอินเวอร์เตอร์) มาประมวลผลโดยซอฟต์แวร์ที่สร้างขึ้นเพื่อให้ได้ไฟล์ source.mod และไฟล์ของชิ้นต่างๆ

4.1.2 นำไฟล์ source.mod และไฟล์ของชิ้นต่างๆที่ได้มาทำการประมวลผลอีกครั้งหนึ่ง เพื่อให้ได้แบบร่างของหน้ากาก และแสดงออกจอและพลอตเตอร์

4.2 ผลจากการทดลอง

CIF ไฟล์ของอินเวอร์เตอร์

DS 1;
9 1.INVERTER;
L CPW;
B 3250 6250 3375 3125;
L CND;
B 1000 1250 3375 3500;
B 500 2250 3375 2250;
B 1000 1000 3375 1375;
B 1000 1250 0 4500;
L CPD;
B 1000 1000 3375 4625;
B 1000 1000 0 3375;
B 1000 2250 0 2250;
B 1000 1000 0 1375;
L CP;
B 1500 500 3375 2375;
B 500 4100 1750 4200;
B 500 4100 1750 4175;
B 2000 500 0 2375;
B 3350 500 1700 2375;
B 3350 500 1675 2375;

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

B 1000 2250 3375 4000;
 B 2100 750 3950 4875;
 B 2100 750 3925 4875;
 B 1000 1000 3375 1375;
 B 2000 750 2375 1375;
 B 750 1750 1750 875;
 B 2100 750 1075 1375;
 B 2100 750 1050 1375;
 B 500 750 250 4875;
 B 1000 2250 0 4000;
 B 1000 1000 0 1375;
 L CC;
 B 500 1750 3375 4000;
 B 500 500 3375 1375;
 B 500 1750 0 4000;
 B 500 500 0 1375;
 DF;
 C 1 T 0 0;
 L CP;
 B 500 500 1750 6250;
 94 IN 1750 6250;
 L CM;
 B 750 600 1750 -50;
 B 750 600 1750 -75;
 94 OUT 1750 0;
 B 600 750 5075 4875;
 B 600 750 5050 4875;
 94 GND 5000 4875;
 B 600 750 -50 4875;
 B 600 750 -75 4875;
 94 Vdd 0 4875;

E

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ไฟล์ source.mod

9 1.INVERTER;
L CPW;
B 3250 6250 3375 3125;
L CND;
B 1000 1250 3375 3500;
B 500 2250 3375 2250;
B 1000 1000 3375 1375;
B 1000 1250 0 4500;
L CPD;
B 1000 1000 3375 4625;
B 1000 1000 0 3375;
B 1000 2250 0 2250;
B 1000 1000 0 1375;
L CP;
B 1500 500 3375 2375;
B 500 4100 1750 4200;
B 500 4100 1750 4175;
B 2000 500 0 2375;
B 3350 500 1700 2375;
B 3350 500 1675 2375;
L CM;
B 1000 2250 3375 4000;
B 2100 750 3950 4875;
B 2100 750 3925 4875;
B 1000 1000 3375 1375;
B 2000 750 2375 1375;
B 750 1750 1750 875;
B 2100 750 1075 1375;
B 2100 750 1050 1375;
B 500 750 250 4875;
B 1000 2250 0 4000;
B 1000 1000 0 1375;

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

L CC;
B 500 1750 3375 4000;
B 500 500 3375 1375;
B 500 1750 0 4000;
B 500 500 0 1375;
L CP;
B 500 500 1750 6250;
94 IN 1750 6250;
L CM;
B 750 600 1750 -50;
B 750 600 1750 -75;
94 OUT 1750 0;
B 600 750 5075 4875;
B 600 750 5050 4875;
94 GND 5000 4875;
B 600 750 -50 4875;
B 600 750 -75 4875;
94 Vdd 0 4875;
E

ไฟล์ cc.lyr

B 500 1750 3375 4000;
B 500 500 3375 1375;
B 500 1750 0 4000;
B 500 500 0 1375;

ไฟล์ cp.lyr

B 1500 500 3375 2375;
B 500 4100 1750 4200;
B 500 4100 1750 4175;
B 2000 500 0 2375;

B 3350 500 1700 2375;
B 3350 500 1675 2375;

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามเผยแพร่ลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

B 500 500 1750 6250;

94 IN 1750 6250;

ไฟล์ cm.lyr

B 1000 2250 3375 4000;

B 2100 750 3950 4875;

B 2100 750 3925 4875;

B 1000 1000 3375 1375;

B 2000 750 2375 1375;

B 750 1750 1750 875;

B 2100 750 1075 1375;

B 2100 750 1050 1375;

B 500 750 250 4875;

B 1000 2250 0 4000;

B 1000 1000 0 1375;

B 750 600 1750 -50;

B 750 600 1750 -75;

94 OUT 1750 0;

B 600 750 5075 4875;

B 600 750 5050 4875;

94 GND 5000 4875;

B 600 750 -50 4875;

B 600 750 -75 4875;

94 Vdd 0 4875;

ไฟล์ cnd.lyr

B 1000 1250 3375 3500;

B 500 2250 3375 2250;

B 1000 1000 3375 1375;

B 1000 1250 0 4500;

ไฟล์ cpd.lyr

เอกสารนี้ 1000 1000 3375 4625; ใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ปริญญานิพนธ์ฉบับนี้สำเร็จลุล่วงไปได้ด้วยดี ผู้จัดทำขอขอบคุณ ดร.บุญวัฒน์ อัทธู ที่ได้ให้คำปรึกษาและข้อคิดเห็นอันก่อให้เกิดประโยชน์แก่โครงงานชิ้นนี้เป็นอย่างมาก

ขอขอบคุณภาควิชาวิศวกรรมคอมพิวเตอร์ที่ได้เอื้อเฟื้อสถานที่ อุปกรณ์และเครื่องมือโครคอมพิวเตอร์ในการทำโครงงานและปริญญานิพนธ์ไว้ ณ โอกาสนี้ด้วย



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอกสารอ้างอิง

- 1.รศ.ดร.สมเกียรติ คุณเดช,รศ.มนัส สังวรศิลป์,ดร.บุญวัฒน์ อัทธู,อ.วิสุทธิ
จิตรุ่งเรือง,อ.สมศักดิ์ ชุ่มช่วย " การฝึกอบรมเชิงปฏิบัติการ เรื่อง
VLSI DESIGN TECHNOLOGY ", สำนักวิจัยและบริการคอมพิวเตอร์
เตอร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง, 2531.
- 2.Steven M.Rubin," Computer Aids for VLSI Design "
,Adison-Wesley,458 p.,1987.
- 3.Mead,C.and Conway., L., " Introduction to VLSI
System " , Addison-Wesley, Reading,
Massachusetts,1980.
- 4.Ebeling, Carl and Zajicek, Ofer, "Validating VLSI
Circuit Layout by Wirelist Comparison ", ICCAD'
83, 1983, pp.172-173