213

ปีการศึกษา 2531

การเก็บสัญญาณภาพเพื่อแสดงผลบนจอ

รายละเอียด 512 X 256 จุด ต่อภาพ

โดย

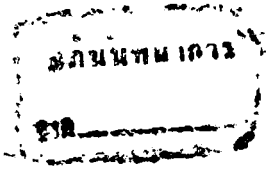
กนกวรรณ เชมชาติกนก 281013

โกศล ว่องวิชชกร 281034

คงเดช กรกาญจนารักษ์ 281037

อาจารย์ที่ปรึกษา

ร.ต.มนัส สังวรศิลป์



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

023168 -9 ส.ค. 2532

การเก็บสัญญาณภาพเพื่อแสดงผลบนจอ รายละเอียด 512 X 256 จุด

VIDEO DATA MEMORY DISPLAY 512 X 256 PIXELS/PICTURE

กนกวรรณ เขมชาติกนก 28.1013

วิกศล ว่องวิชชกร 28.1034

คงเด่น กรกาญจนารักษ์ 28.1037

อาจารย์ที่ปรึกษา :

ร.ศ.มนัส สังวรศิลป์

ปีการศึกษา 2531

บทคัดย่อ

ในปัจจุบันเทคโนโลยีทางด้านการประมวลภาพ (Image Processing) ได้มีการศึกษาและพัฒนามาจนถึงขั้นที่สามารถนำมาประยุกต์ใช้งานได้อย่างจริงจัง ซึ่งคาดว่าในอนาคตอันใกล้นี้จะมีการนำเอาเทคโนโลยีทางด้านนี้มาใช้งานกันอย่างกว้างขวาง

ปริญญานิพนธ์นี้เป็นการนำเสนอเรื่องการเก็บสัญญาณภาพเพื่อแสดงผลบนจอ (VideoData Memory Display) ซึ่งเป็นส่วนหนึ่งของอุปกรณ์ที่ใช้ในการประมวลภาพ (Image Processing) โดยจะรับข้อมูลภาพซึ่งเป็นสัญญาณดิจิตอล (Digital) ที่ได้รับการแปลง (Converting) มาจากสัญญาณภาพ (Video Signal) ซึ่งเป็นสัญญาณอนาล็อก (Analog) มาเก็บไว้ในแรม (RAM) ซึ่งเป็นหน่วยเก็บข้อมูลภาพ และมีส่วนสร้างสัญญาณควบคุมมาสแกน (Scan) อ่านข้อมูลภาพที่เก็บไว้ในแรมนี้ไปแสดงผลบนจอภาพโดยสามารถแสดงผลซึ่งมีรายละเอียดถึง 512 X 256 จุดต่อภาพ

ในการส่งข้อมูลภาพให้กับหน่วยเก็บข้อมูลภาพ (Video data Memory) สามารถทำได้โดยใช้คอมพิวเตอร์ส่วนบุคคล (Personal Computer) IBM PC มาทำการติดต่อ (Interfaceing) เพื่อเขียนข้อมูลภาพ (Video Data) ให้กับไดนามิคแรม (Dynamic RAM) ซึ่งทำหน้าที่เป็นหน่วยเก็บข้อมูลภาพ (Video Data Memory) โดยใช้ไดนามิคแรมจำนวน 3 แบงค์ (Bank) แต่ละแบงค์ประกอบด้วยไดนามิคแรมขนาด 128 K X 1 บิท (Bit)

แสดงผลบนจอคอมโพสิท(Composite Monitor) ได้ 8 ระดับความเข้มจุด (8 Gray Levels) โดยสามารถเพิ่มขีดความสามารถได้สูงสุด 256 ระดับความเข้มจุด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

VIDEO DATA MEMORY DISPLAY 512 X 256 PIXELS/PICTURE

Kanokwan Kammachatkanok 28.1013

Kosol Wongwichakorn 28.1034

Kongden Kornkanjanaruk 28.1037

Advisor:

Associate Professor Manus Sangwornsil

1988

Abstract

Image Processing Technology has been developed onto the stage of widespread utilization and also expected to play the most important role in the near future.

The objective of this thesis is to present the video data memory display which is a part of Image Processing Instrument. the video data memory display will receive video data in form of digital signal converted from video signal which is analog signal , and retain them in RAM. Reading of video data , stored in RAM , will be scanned by scanning controller part. The result will be show on a monitor with high resolution up to 512 X 256 pixels/picture

In writing video data to video data memory , it can be manipulated by interfacing IBM Personal Computer in order to write video data for Dynamic RAM , acting as a video data memory. Three banks of Dynamic RAM are used with 128K X 1 bit each.

The result will be presented on the Composite monitor with 8 Gray Levels , and can be increased up to 256 levels.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

หน้า

บทที่ 1 บทนำ.....1

บทที่ 2 ทฤษฎีเบื้องต้นของสัญญาณภาพ.....3

2.1 ภาพประกอบด้วยอะไรบ้าง.....3

2.2 วิธีการสแกนและการหักเหของลำอิเล็กตรอน.....3

2.3 สัญญาณซิงค์ในแนวตั้งและแนวนอน.....8

2.4 สัญญาณแบล็งค์ในแนวตั้งและแนวนอน.....8

2.5 สัญญาณภาพ.....9

บทที่ 3 การออกแบบวงจรที่ใช้งานจริง.....11

3.1 บล็อกไดอะแกรมแสดงโครงสร้างเบื้องต้นของโครงงาน.....12

3.2 การคำนวณและออกแบบวงจร.....13

3.3 วงจรส่วนสร้างสัญญาณโทรทัศน์.....15

3.4 วงจรแรมการ์ด.....18

3.5 วงจรควบคุมการทำงานของไดนามิคแรม.....18

3.6 วงจรส่วนบัฟเฟอร์และส่วนอินเตอร์เฟส.....19

3.7 วงจรส่วนการแปลงสัญญาณดิจิตอลเป็นอนาล็อกและส่วนไดร์ฟ....21

3.8 บล็อกไดอะแกรมแสดงการทำงานของโครงงาน.....22

3.9 รูปวงจรส่วนสร้างสัญญาณโทรทัศน์.....23

3.10 รูปวงจรส่วนอินเทอร์เฟส.....25

3.11 รูปวงจรส่วนบัฟเฟอร์.....26

3.12 รูปวงจรส่วนการแปลงสัญญาณดิจิตอลเป็นอนาล็อกและส่วนไดร์ฟ.27

3.13 รูปวงจรส่วนแรมการ์ด.....28

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หน้า

บทที่ 4 ผลการทดลองการวัดสัญญาณที่สำคัญ.....29

บทที่ 5 บทวิจารณ์และสรุปผล.....35

ภาคผนวก.....38

กิตติกรรมประกาศ.....54

หนังสืออ้างอิง.....55

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1

บทนำ

ปัจจุบันงานทางด้านการวิเคราะห์และประมวลภาพ เป็นต้นว่า งานทางด้านการโฆษณา การค้นหาแหล่งทรัพยากร การวิเคราะห์ภาพถ่ายดาวเทียม ด้านการแพทย์เพื่อวิเคราะห์ภาพทางด้านสรีระวิทยาและการตรวจสอบสมอง ฯลฯ มีแนวโน้มที่เพิ่มมากขึ้นเรื่อยๆ เพื่อตอบสนองงานด้านนี้ ได้มีการวิจัยและพัฒนาในด้านเทคโนโลยีการประมวลสัญญาณภาพ (IMAGE PROCESSING TECHNOLOGY) ซึ่งขณะนี้ได้พัฒนามาถึงขั้นที่สามารถนำมาใช้งานได้เป็นอย่างดี คาดว่าจะเป็นอีกเทคโนโลยีที่จะมีบทบาทในอนาคต

ปริญญานิพนธ์นี้เป็นการนำเสนอการเก็บสัญญาณภาพที่เป็นสัญญาณดิจิตอล (DIGITAL) มาแสดงผลทางจอภาพ (COMPOSITE MONITOR) โดยสัญญาณภาพที่เป็นดิจิตอล (DIGITAL) นี้อาจเป็นสัญญาณที่ได้จากการแปลงมาจากสัญญาณภาพ (VIDEO SIGNAL) ที่เป็นสัญญาณอนาล็อก (ANALOG)ซึ่งอาจได้มาจากกล้องวิดีโอ (VIDEO CAMERA) ข้อมูลสัญญาณภาพเหล่านี้จะถูกเก็บไว้ในหน่วยความจำสัญญาณภาพ (VIDEO DATA MEMORY) ซึ่งในที่ใช้หน่วยความจำแบบไดนามิคแรม (DYNAMIC RAM)

สามารถทำการติดต่อ (INTERFACE) กับหน่วยความจำสัญญาณภาพ (VIDEO DATA MEMORY) เพื่อเขียนหรืออ่านข้อมูลภาพได้โดยการติดต่อ (INTERFACE) ด้วยคอมพิวเตอร์ส่วนบุคคล (PERSONAL COMPUTER) IBM PC ซึ่งในที่นี้ได้ออกแบบให้หน่วยความจำสัญญาณภาพนี้เป็นหน่วยความจำ (MEMORY UNIT) ที่ IBM PC สามารถทำการเรียกติดต่อในลักษณะของการติดต่อกับหน่วยความจำได้อยู่ในช่วงตำแหน่ง (ADDRESS) D0000H ถึง DFFFFH

ข้อมูลของสัญญาณภาพที่ถูกเก็บไว้นี้จะถูกวงจรส่วนควบคุมการสแกน (Scan) มาทำการสแกนอ่านออกมาแสดงผลบนจอภาพแบบคอมโพสิท (COMPOSITE MONITOR) ด้วยรายละเอียด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

512 จุดในแนวนอน และ 256 เส้นในแนวตั้ง สามารถแสดงความเข้มจุด (GRAY LEVEL) ได้ 8 ระดับ โดยสามารถขยายความสามารถได้สูงสุดถึง 256 ระดับความเข้ม ซึ่งนับว่าเป็นอุปกรณ์ที่ใช้ในการแสดงภาพที่มีการเก็บสัญญาณภาพเป็นข้อมูลทางดิจิตอลที่มีประสิทธิภาพสูงพอที่จะนำมาใช้งานจริงได้เป็นอย่างดี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2

ทฤษฎีเบื้องต้นของสัญญาณภาพ

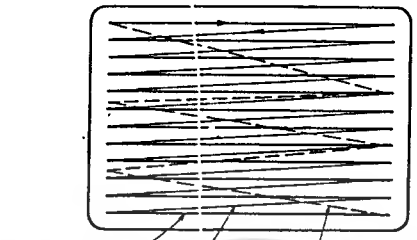
2.1 ภาพประกอบด้วยอะไรบ้าง

ภาพที่ปรากฏบนจอหลอดภาพของเครื่องรับโทรทัศน์นั้น ประกอบขึ้นด้วยเส้นขวางเล็กๆ ในแนวนอนเป็นจำนวนมาก ซึ่งแต่ละเส้นนี้ก็มีทั้งส่วนที่ดำสนิท และส่วนที่สว่างมารวมกันอยู่ เส้นขวางเล็กๆตามแนวนอนเหล่านี้มีชื่อว่า เส้นสแกน (SCANNING) ดังนั้นภาพที่ปรากฏบนจอหลอดภาพจึงประกอบด้วยจุดเล็กๆ ซึ่งมีระดับของความสว่างแตกต่างกันเป็นจำนวนมากมาย จุดเล็กๆเหล่านี้เรียกว่า ส่วนประกอบของภาพ (PICTURE ELEMENT) ซึ่งมีความสำคัญกับความละเอียดของภาพมากหากจำนวนจุดเล็กๆหรือจำนวนสแกนในแนวนอนมีมากยิ่งขึ้นเพียงไร ภาพที่เห็นบนจอหลอดภาพก็จะมองดูละเอียดมากยิ่งขึ้น

2.2 วิธีการสแกนและการหักเหของลำอิเล็กตรอน

ภายในหลอดภาพของเครื่องรับโทรทัศน์ อิเล็กตรอนที่หลุดออกมาจากแคโถด และถูกดึงดูดให้วิ่งเป็นลำไปกระทบแอโนด หรือจอหลอดภาพ ซึ่งฉาบวัสดุเรืองแสงบางชนิดเอาไว้ จะทำให้มองเห็นเป็นจุดสว่างขึ้นที่จอ การสแกนคือการทำให้จุดสว่างนี้เคลื่อนที่ไปในจังหวะที่ถูกต้องทั้งในแนวนอนและแนวตั้งของจอหลอดภาพ โดยอาศัยความเข้มของสนามแม่เหล็กเข้าช่วยเหลือตามที่แสดงดังรูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปการเคลื่อนที่ของลำอิเล็กตรอนในแนวนอนและแนวตั้งของหลอดภาพ

กล่าวคือ ในขณะที่ไม่มีสนามแม่เหล็ก ลำอิเล็กตรอนก็จะวิ่งไปกระทบจอหลอดภาพตรงกลางโดยไม่ถูกหักเหเลย หากต้องการเบนลำอิเล็กตรอนนี้ไปทางซ้ายมือในแนวนอน ก็จำเป็นต้องใช้สนามแม่เหล็กที่มีขั้วเหนือ-ใต้ อยู่ในแนวตั้ง และหากเรากลับขั้วแม่เหล็กนี้ ลำอิเล็กตรอนนี้ก็จะถูกเบนไปทางขวามือในแนวนอนของจอหลอดภาพ การที่ลำอิเล็กตรอนถูกเบนไปทางซ้ายหรือทางขวาของจอนี้ จะทำให้เห็นเป็นจุดสว่างคลื่อนที่ไปทางเดียวกัน ในทำนองเดียวกัน หากมีขั้วแม่เหล็กในแนวนอน ลำอิเล็กตรอนหรือจุดสว่างก็จะถูกเบนไปทางแนวตั้งของจอหลอดภาพ ฉะนั้นเพื่อช่วยในการหักเหลำอิเล็กตรอนในทิศทางที่ต้องการ จึงนิยมใช้สนามแม่เหล็กทั้งในแนวนอนและแนวตั้งร่วมกันสองสนาม แม่เหล็กไฟฟ้านี้เกิดจากการปล่อยกระแสไฟฟ้าผ่านขดลวดที่พันอยู่รอบๆคอหลอดภาพตามรูป

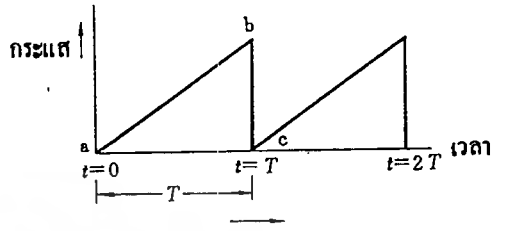
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปการวางตำแหน่งของขดลวดทำให้เกิดการหักเหของลำอิเล็กตรอน

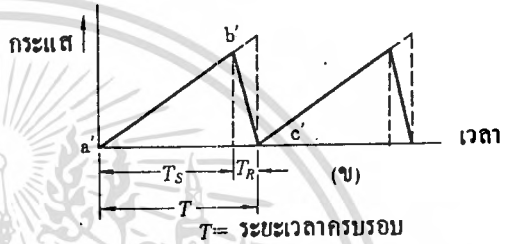
ส่วนรูปร่างของกระแสไฟฟ้าที่ไหลผ่านขดลวดทั้งสอง เพื่อทำให้เกิดการสแกนตามที่กล่าวมาข้างต้นนั้น มีความสำคัญมากและนิยมใช้เป็นกระแสรูปฟันเลื่อย ความถี่ของกระแสที่ไหลผ่านขดลวดทั้งสองไม่เท่ากัน โดยกระแสรูปฟันเลื่อยที่ไหลผ่านขดลวดของการหักเหแนวนอนจะมีความถี่ 15,625 เฮิร์ท ส่วนกระแสรูปฟันเลื่อยที่ไหลผ่านขดลวดของการหักเหทางแนวตั้งจะมีความถี่เพียง 50 เฮิร์ทเท่านั้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณฟันเลื่อยสำหรับวงจรการหักเห
แนวนอนมีความถี่ 15,625 เฮิร์ท



(ก)



(ข)

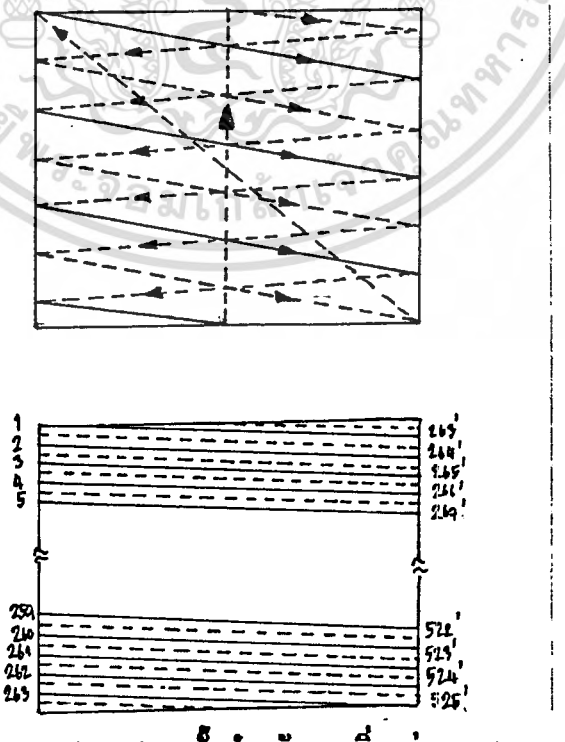
สัญญาณฟันเลื่อยสำหรับวงจรการหักเห
แนวตั้งมีความถี่ 50 เฮิร์ท

T= ระยะเวลาครบรอบ
$= T_S + T_R$
T_S= ระยะเวลาที่มีเส้นสะแกน
T_R= ระยะเวลาที่มีเส้นสะบัดกลับ

โดยปกติการสแกนจะเริ่มต้นขึ้น โดยการทำให้จุดสว่างเคลื่อนที่จากซ้ายมือด้านบนของจอไปทางขวามือในแนวนอน ซึ่งเมื่อไปถึงตำแหน่งขวาสุดก็จะถูกเบนต่ำลงเล็กน้อยแล้วก็จะกลับไปตั้งต้นใหม่ทางซ้ายมือ เพื่อเคลื่อนที่มาทางขวามือในนอนอีก เป็นอยู่เช่นนี้เรื่อยๆจนกระ-ทั่งจุดสว่างไปถึงตำแหน่งทางขวามือล่างสุดของจอหลอดภาพ ก็เป็นอันเสร็จสิ้นการสแกนภาพหนึ่ง ซึ่งเรียกกันว่า เฟรมหนึ่ง หลังจากนั้นลำอิเล็กตรอนก็จะกลับไปตั้งต้นใหม่ ทางด้านซ้ายมือบนสุดของจอหลอดภาพอีก เพื่อสแกนภาพนิ่งอันดับต่อไป อย่างไรก็ตามเพื่อลดอาการกระพริบของภาพ การสแกนภาพนิ่งแต่ละภาพ จึงมักนิยมทำสองครั้งในแบบของการสแกนไขว้กัน โดยกำหนดให้ภาพนิ่งหนึ่งเฟรมประกอบด้วยภาพนิ่งสองฟิลด์ และเริ่มต้นด้วยการสแกนภาพนิ่งฟิลด์เส้นคี่ก่อน เมื่อเสร็จสิ้นถึงตำแหน่งขวามือล่างสุดของจอหลอดภาพแล้ว จึงกลับไปตั้งต้นใหม่ทางซ้ายมือสุดของจอแล้วเริ่มต้นสแกนภาพนิ่งฟิลด์เส้นคู่ต่อไป จนถึงตำแหน่งขวามือล่างสุด หลังจากนั้นก็จะเริ่มต้นสแกนภาพนิ่งอันดับอื่นต่อไปใหม่ ฉะนั้นการสแกนภาพนิ่งหนึ่งภาพหนึ่งเฟรม จึง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ประกอบด้วยการสแกนภาพนิ่งด้วยฟิลด์เส้นคี่ และการสแกนภาพนิ่งด้วยฟิลด์เส้นคู่โดยใช้เส้นสแกน 625 เส้นต่อภาพและ 25 ภาพต่อวินาที ภาพนิ่งแต่ละภาพหรือภาพนิ่งแต่ละเฟรม จะประกอบด้วยเส้นสแกนแนวนอน 625 เส้น และภาพนิ่งแต่ละฟิลด์ ก็จะมีเส้นสแกนแนวนอน 312 1/2 เส้น ภาพนิ่งแต่ละภาพนี้จะเกิดขึ้นภายในระยะเวลา 1/25 วินาที ความถี่ของกระแสรูปฟันเลื่อยที่ใช้ในการหักเหในแนวนอน ซึ่งใช้เวลา 1/25 วินาที สำหรับทำให้เกิดเส้นสแกนแนวนอน 625 เส้น ก็มีค่าเป็น 625x25 หรือ 15,625 เฮิร์ท ส่วนความถี่ของกระแสรูปฟันเลื่อยสำหรับการหักเหแนวตั้ง ซึ่งใช้เวลาในการสแกนจากบนสุดมาล่างสุด สำหรับฟิลด์หนึ่งๆ เพียง 1/50 วินาทีเท่านั้น ก็จะเป็น 50 เฮิร์ท โดยเวลาที่ใช้ในการสแกนแนวนอนจะเท่ากับ 64 ไมโครวินาที และเวลาที่ใช้ในการสแกนแนวตั้งจะเท่ากับ 20 มิลลิวินาที แต่ในปริญญานิพนธ์นี้ไม่ได้ใช้การสแกนด้วยวิธีนี้ อันเนื่องมาจากข้อจำกัดในการเวลาในการเข้าถึงข้อมูล (ACCESS TIME) ของแรม (RAM) ด้วยเหตุนี้การแสดงผลบนจออาจให้ภาพไม่นิ่งอยู่บ้าง แต่ไม่ถึงขั้นทำให้เกิดความรำคาญในขณะใช้งาน



รูปแสดงการสแกนสองครั้งสำหรับภาพนิ่งแต่ละภาพ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.3 สัญญาณซิงค์ในแนวนอนและแนวตั้ง (H and V synchronization)

ในการสแกนภาพนั้นการสแกนจะต้องเริ่มที่เวลาแน่นอนตรงกับที่เครื่องส่ง เพื่อให้ข้อมูลของภาพแสดงออกตรงตำแหน่งที่ถูกต้อง ในการที่จะให้เครื่องส่งและเครื่องรับ มีการส่งและรับภาพที่สัมพันธ์กัน จึงจำเป็นต้องมีสัญญาณซิงค์ เพื่อช่วยทำให้วงจรของการหักเหแนวนอนและวงจรของการหักเหแนวตั้งในเครื่องส่งและเครื่องรับมีความถี่ตรงกันตลอดเวลา สัญญาณซิงค์ทางแนวนอนมีความถี่ 15,625 เฮิร์ท ซึ่งเท่ากับความถี่ของการหักเหแนวนอน และสัญญาณซิงค์แนวตั้งก็มีความถี่ 50 เฮิร์ท ซึ่งจะเท่ากับความถี่ของวงจรหักเหทางแนวตั้งเหมือนกัน สัญญาณซิงค์นี้จะเป็นพัลซ์รูปสี่เหลี่ยม จะถูกส่งรวมมากับสัญญาณภาพ เพื่อประกอบเป็นสัญญาณรวมสำหรับเครื่องรับ สัญญาณนี้จะเกิดในระหว่างช่วงเวลาของการแบล็งค์ ซึ่งไม่มีข้อมูลของภาพที่ต้องการจะส่ง ช่วงแบล็งค์นี้จะตรงกับช่วงที่ลำอิเล็กตรอนลากกลับจากขวามาซ้าย สัญ-ญาณซิงค์แนวนอนจะเกิดขึ้นในช่วงสุดท้ายของการสแกนเส้นตามแนวนอน ซึ่งเป็นการเริ่มต้นการลากกลับตามแนวนอน สัญญาณซิงค์ตามแนวตั้งจะเกิดตอนที่ภาพสแกนถึงตำแหน่งล่างสุดของจอภาพ เพื่อเป็นการลากกลับของลำอิเล็กตรอนตามแนวตั้ง

2.4 สัญญาณแบล็งค์ในแนวนอนและแนวตั้ง

เป็นสัญญาณที่ใช้เพื่อลบการสแกนสะบัดกลับทั้งในแนวนอนและแนวตั้ง เพื่อมิให้เห็นได้ชัดทางหลอดภาพ สัญญาณแบล็งค์ในแนวนอนมีความถี่ 15,625 เฮิร์ท ทำให้เกิดการแบล็งค์ในส่วนลากกลับจากขวามาซ้าย สัญญาณแบล็งค์ในแนวตั้งมีความถี่ 50 เฮิร์ท ทำให้เกิดการลากกลับจากล่างขึ้นบน ช่วงเวลาของการแบล็งค์ในแนวนอนมีค่าประมาณ 20% ของสัญญาณสแกนตามแนวนอน ซึ่งสัญญาณสแกนในแนวนอนมี ค่า 64 ไมโครวินาที ดังนั้นสัญญาณแบล็งค์ในแนวนอนมีค่าเท่ากับ 64 x 0.2 = 12.8 ไมโครวินาที ซึ่งก็คือช่วงเวลาของการลากเส้นกลับต้องเสร็จสิ้นภายใน 12.8 ไมโครวินาที

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำหรับช่วงเวลาของการแบล็งค์ตามแนวตั้งมีค่าประมาณ 8% ของสัญญาณสแกนตามแนวตั้งซึ่งสัญญาณสแกนในแนวตั้งมีค่า 20 มิลลิวินาที ดังนั้นสัญญาณแบล็งค์ในแนวตั้งมีค่าเท่ากับ 20 x 0.08 = 1.6 มิลลิวินาที ซึ่งก็คือช่วงเวลาลากกลับของภาพจากจุดล่างสุดไปบนสุดของภาพ ต้องเสร็จสิ้นภายใน 1.6 มิลลิวินาที

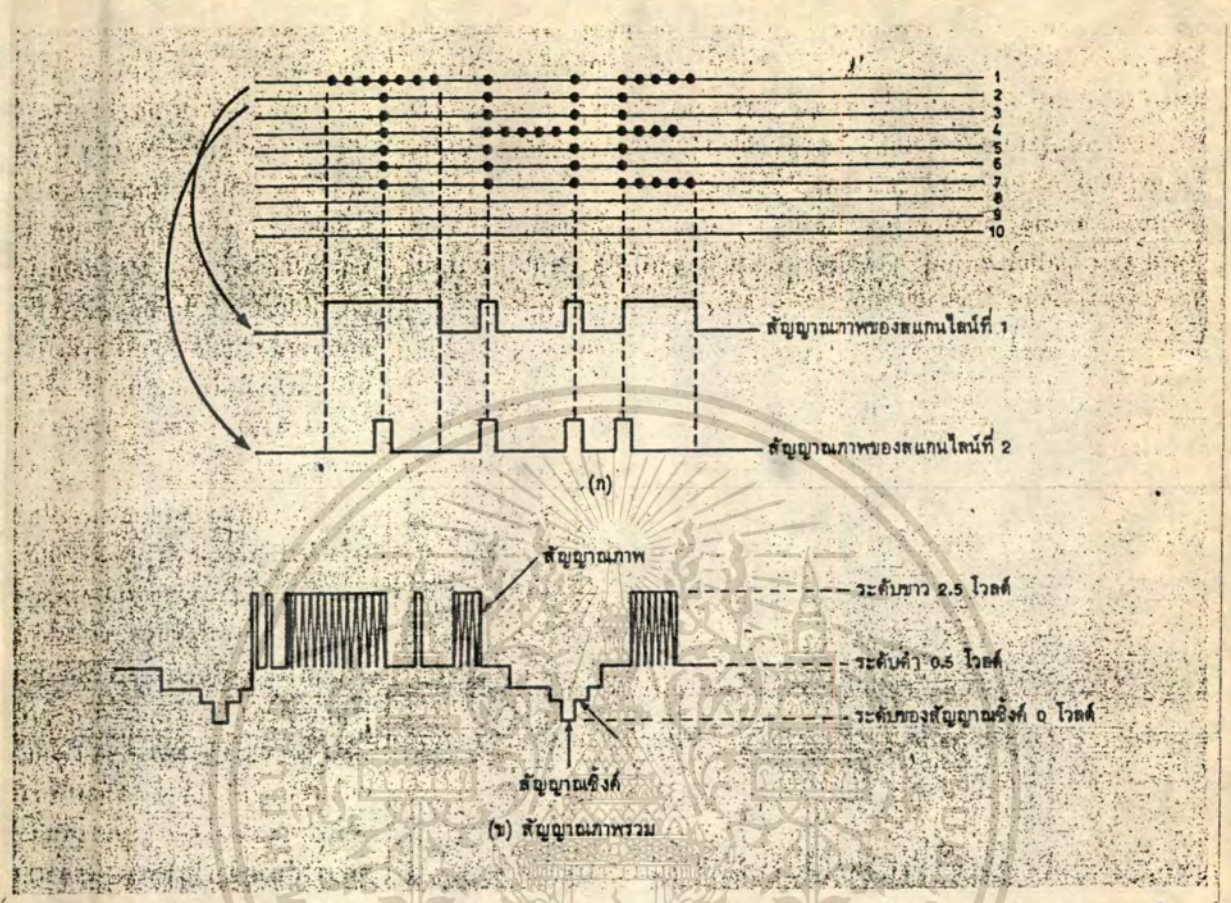
2.5 สัญญาณภาพ

สัญญาณภาพรวม (Composite video signal) จะประกอบไปด้วยสัญญาณข้อมูลภาพ สัญญาณแบล็งค์และสัญญาณซิงค์ในส่วนของสัญญาณแบล็งค์และซิงค์ยังแบ่งออกเป็นสัญญาณในแนวนอนและแนวตั้ง

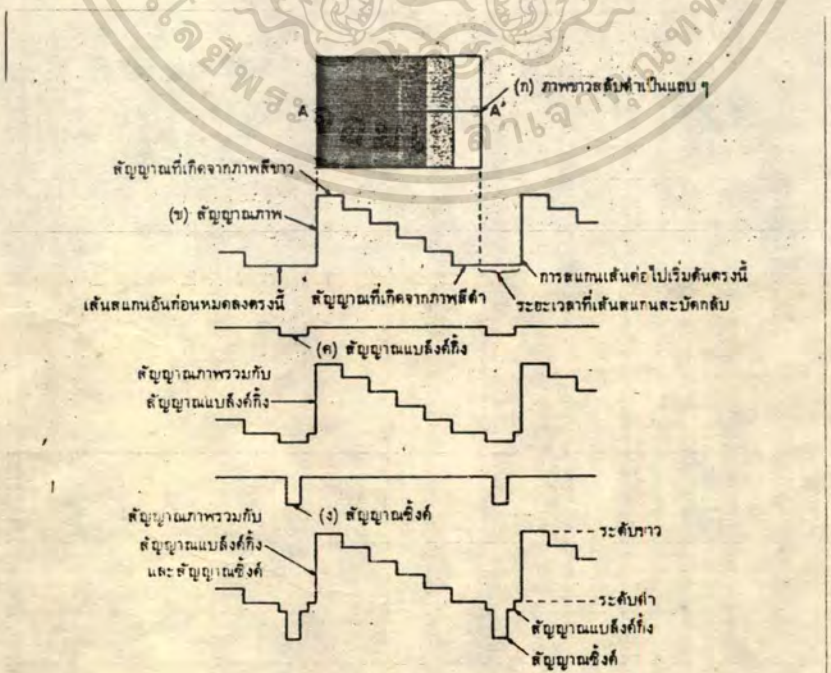
ความสว่างหรือระดับความเข้มของแต่ละจุดในภาพของสัญญาณโทรทัศน์นั้น ขึ้นอยู่กับระดับโวลเตจของสัญญาณ ในช่วงสุดท้ายก่อนถึงสัญญาณซิงค์ จะมีช่วงเวลาสั้นๆ เรียกว่าขอบหน้า (FRONT PORCH) เนื่องจากว่าการเปลี่ยนระดับของสัญญาณภาพ ซึ่งมีระดับต่างๆกัน เพื่อให้มาอยู่ในระดับสัญญาณซิงค์ที่เท่ากัน ช่วงการเปลี่ยนแปลงของสัญญาณในการเปลี่ยนระดับ จะมีเวลาหน่วงเล็กน้อย ถ้าหากสัญญาณที่เปลี่ยนมีระดับเปลี่ยนไม่เท่ากัน ก็จะทำให้เวลาหน่วงออกไป ถ้าหากป้อนสัญญาณซิงค์หลังสัญญาณภาพ ก็จะทำให้ช่วงของสัญญาณซิงค์แต่ละช่วงไม่คงที่ ซึ่งจะทำให้ภาพที่ได้บิดเบี้ยวไป ในการแก้ไขปัญหาดังกล่าว จึงต้องทำให้สัญญาณมีระดับเท่ากันก่อนที่จะให้สัญญาณซิงค์ คือช่วงเวลาขอบหน้านั่นเอง เช่นกันหลังจากสัญญาณซิงค์ ก็จะมีช่วงเวลาขอบหลัง (Back porch) ซึ่งเป็นระดับความเข้มสีดำเพื่อเตรียมรับสัญญาณต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

023168



แสดงรูปคลื่นของสัญญาณต่าง ๆ ในการแสดงภาพทางดิจิตอล (ก) แสดงสัญญาณภาพทางดิจิตอล (ข) สัญญาณภาพรวม ในการแสดงภาพทางดิจิตอล



รูปร่างของสัญญาณโทรทัศน์ที่เกิดจากภาพขาวสลับดำเป็นแถบ ๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3

การออกแบบวงจรที่ใช้งานจริง

ในเบื้องต้นอาจพิจารณาว่าโครงสร้างหลักของปริญญานิพนธ์อาจแบ่งออกเป็น 5 ส่วนคือ

1. ส่วนสร้างสัญญาณนาฬิกา เพื่อใช้เป็นความถี่พื้นฐานในการสแกน

2. ส่วนควบคุมการสแกนข้อมูลออกมาแสดงผล

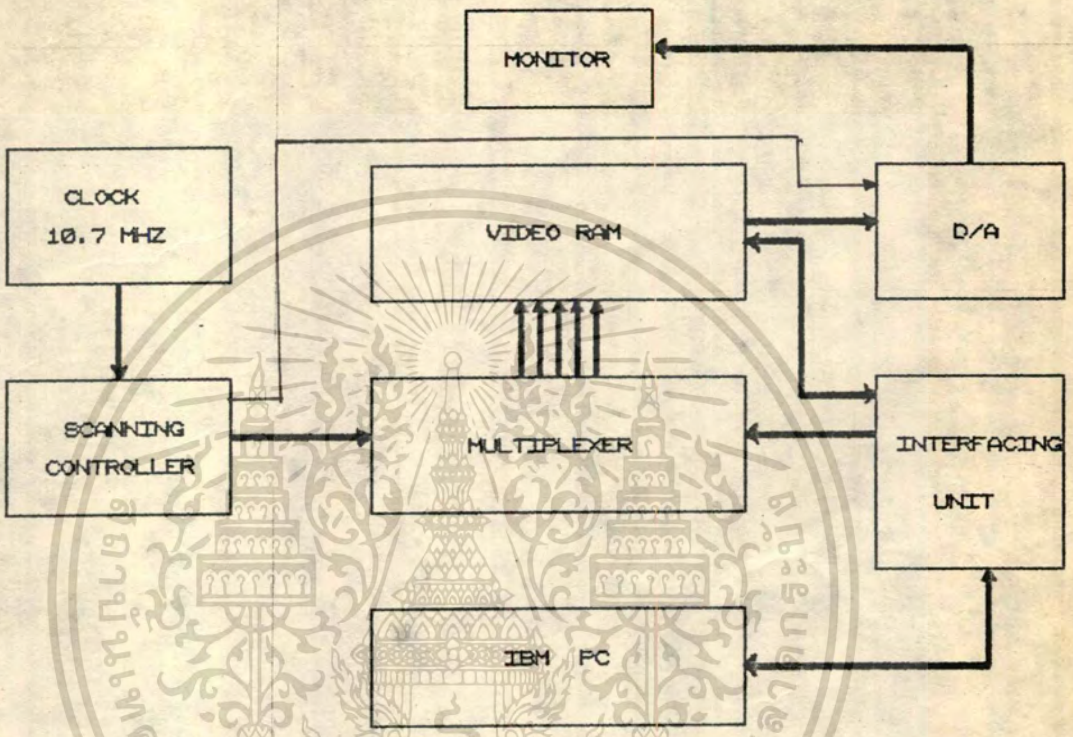
3. หน่วยเก็บความจำข้อมูลภาพ

4. ส่วนแปลงสัญญาณข้อมูลภาพแบบดิจิตอลให้เป็นสัญญาณภาพแบบอนาล็อก โดยให้มีคุณสมบัติตามมาตราฐานสัญญาณวีดีโอ เพื่อป้อนให้จอคอมโพสิท

5. ส่วนอินเทอร์เฟสกับคอมพิวเตอร์ส่วนบุคคล ไอบีเอ็ม พีซี และสร้างสัญญาณควบคุมการติดต่อระหว่างคอมพิวเตอร์ส่วนบุคคลกับหน่วยความจำข้อมูลภาพ

3.1 บล็อกไดอะแกรมแสดงโครงสร้างเบื้องต้นของโครงงาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



บล็อกไดอะแกรมแสดงโครงสร้างเบื้องต้นของโครงงาน

จากบล็อกไดอะแกรมดังกล่าวสามารถอธิบายแนวทางการทำงานของปริญญานิพนธ์ได้ดังนี้ ข้อมูลภาพแบบดิจิตอลจะถูกเก็บไว้ในหน่วยเก็บความจำข้อมูลภาพ ซึ่งหน่วยความจำนี้จะถูกควบคุมการติดต่อโดยมีจุดประสงค์ 2 ประการด้วยกันคือ

1. เพื่ออ่านข้อมูลภาพในหน่วยความจำออกมาแสดงผลบนจอภาพ

2. เพื่อเขียนหรืออ่านข้อมูลในหน่วยความจำข้อมูลภาพ โดยคอมพิวเตอร์ส่วนบุคคล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การสแกนอ่านข้อมูลจากหน่วยความจำออกมาแสดงผล จะกระทำโดยส่วนสร้างสัญญาณควบคุมการอ่านข้อมูลจากหน่วยความจำ โดยใช้ความถี่พื้นฐานในการสแกนเป็นสัญญาณหลักในการจัดสัญญาณควบคุมการอ่านข้อมูลและการสแกน ข้อมูลแบบดิจิตอลที่อ่านได้จากหน่วยความจำจะถูกแปลงให้เป็นสัญญาณภาพแบบอนาล็อกซึ่งจะถูกป้อนให้จอคอมโพสิทในลักษณะของสัญญาณวีดีโอ

เมื่อต้องการติดต่อเพื่อเขียนข้อมูลในหน่วยความจำภาพโดยใช้คอมพิวเตอร์ส่วนบุคคล ไอบีเอ็ม พีซี เข้ามาติดต่อผ่านส่วนอินเทอร์เฟส จะมีการสร้างสัญญาณไปควบคุมให้มัลติเพล็กเซอร์ปลดสัญญาณควบคุมจากส่วนควบคุมการสแกนออก และจะเลือกสัญญาณควบคุมที่ได้จากส่วนอินเทอร์เฟสมาควบคุมการติดต่อกับหน่วยความจำข้อมูลภาพแทน ซึ่งสัญญาณควบคุมจากส่วนนี้จะมีการอ้างอิงจากสัญญาณที่ใช้ในการอินเตอร์เฟสจากคอมพิวเตอร์ส่วนบุคคลเป็นหลัก

3.2 การคำนวณและแนวทางการออกแบบวงจร

เริ่มจากส่วนสร้างสัญญาณความถี่พื้นฐานในการสแกน ซึ่งเป็นความถี่ที่ใช้สแกนจุดภาพออกไปแสดงผลบนจอภาพ เนื่องมาตราฐานการสร้างสัญญาณซิงค์ในแนวนอน ให้มีความถี่เท่ากับ 15,625 เฮิร์ท ดังนั้นในการสแกนแนวนอนแต่ละเส้นจะเสร็จสิ้นในเวลา 1/15625 = 64 ไม-โครวินาที แต่ในช่วงเวลา 64 ไมโครวินาทีนี้จะถูกแบ่งออกเป็น 2 ช่วง คือ ช่วงเวลาการสแกนภาพ กับช่วงเวลาการสบัดกลับ ซึ่งเกิดจากสัญญาณ $\overline{\text{HBLANK}}$ โดยปรกติช่วงเวลาในการสแกนภาพจะใช้เวลาประมาณ 85 เปอร์เซนต์ของช่วงเวลาในการสแกนในแนวนอนแต่ละครั้ง

ดังนั้นช่วงการสแกนภาพจะใช้เวลาประมาณ $64 \times 10^{-6} \times 0.85 = 54.4$ ไมโครวิ-นาทีและในช่วงเวลานี้ต้องการให้เกิดจุดภาพเท่ากับ 512 จุด ฉะนั้นแต่ละจุดจะใช้เวลาสแกนประมาณ $54.4 \times 10^{-6} / 512 = 106.25$ นาโนวินาที ซึ่งต้องใช้ความถี่พื้นฐานในการสแกนแต่ละจุดเท่ากับ 9.4117 เมกกะเฮิร์ท ซึ่งไม่สามารถหาค่าคริสตัลค่าความถี่นี้ได้จำเป็นต้องใช้ค่าใกล้เคียงคือ ประมาณ 10.7 เมกกะเฮิร์ท ดังนั้นจะมีการสแกนภาพถึง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$54.4 \times 10^{-6} \times 1 / 10.7 \times 10^{6} = 582$ จุด สามารถแก้ไขได้โดยปรับสัญญาณ HBLANK ให้แอคทีฟเป็นเวลามากกว่า 15 เปอร์เซนต์ของเวลาที่ใช้ในการสแกนแนวนอนแต่ละเส้น คือ ควรปรับให้สัญญาณ $\overline{\text{HBLANK}}$ มีความกว้างสัญญาณประมาณ

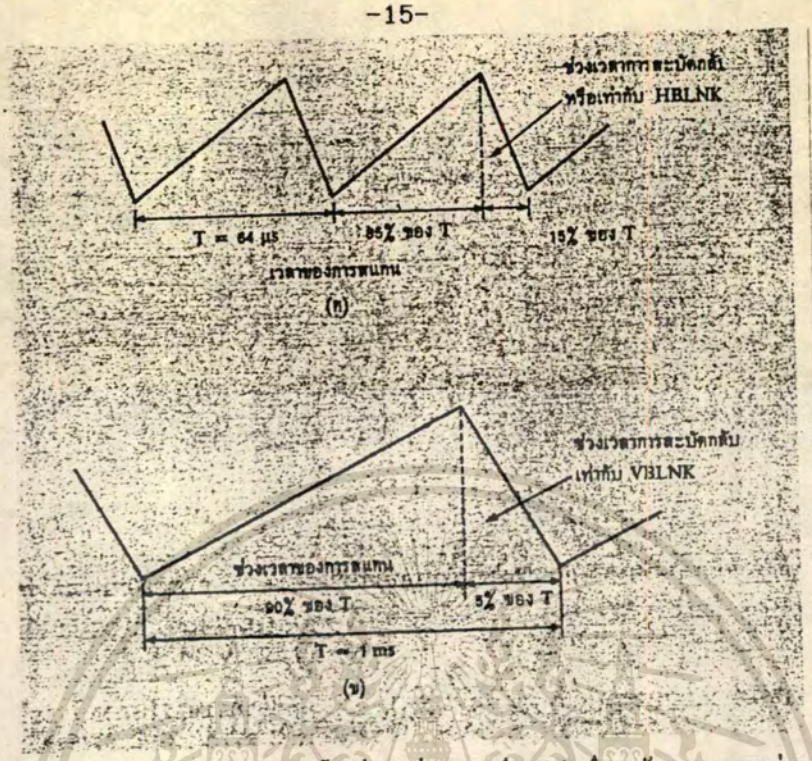
$0.15 \times 64 \times 10^{-6} + [(582-512) \times 93.458 \times 10^{-9}] = 16.14$ ไมโครวินาที

ส่วนเวลาที่ใช้ในการสแกนในแนวตั้งมีการกำหนดมาตราฐานให้มีความถี่เท่ากับ 50 เฮิร์ท ดังนั้นในการสแกนในแนวตั้งแต่ละครั้งจะใช้เวลาเท่ากับ 20 มิลลิวินาที และในช่วงเวลานี้จะแบ่งออกเป็น 2 ช่วงเช่นกันคือ ช่วงการสแกนภาพ กับช่วงการสบัดกลับซึ่งเกิดจากสัญญาณ VBLANK แอคทีฟภายใน 20 มิลลิวินาที จะมีการสแกนในแนวนอนได้ถึง

$20 \times 10^{-3} / 64 \times 10^{-6} = 312.5$ เส้น แต่เราต้องการให้มีการแสดงภาพแนวนอนเพียง 256 เส้นเท่านั้น ดังนั้นสัญญาณ $\overline{\text{VBLANK}}$ จะต้องมีความกว้างประมาณ

$(312-256) \times 64 \times 10^{-6} = 336$ ไมโครวินาที

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



แสดงรูปคลื่นของสัญญาณซิงค์ที่ถูกเปลี่ยนเป็นคลื่นรูปฟันเลื่อยแล้ว (ก) แสดงช่วงเวลาของ horizontal sync (ข) แสดงช่วงเวลาของ vertical sync

รูปแสดงสัญญาณฟันเลื่อยที่ใช้ในการควบคุมการสแกนในแนวนอนและแนวตั้ง

เนื่องจากมีความถี่พื้นฐานในการสแกนแต่ละจุดด้วยความถี่ 10.7 เมกกะเฮิร์ท เท่ากับว่าทุกๆ 93.46 นาโนวินาที จะต้องมีการอ่านข้อมูลออกจากแรม แต่แรมที่ใช้นี้มีแอคเซสไทม์ 200 นาโนวินาที จะเห็นได้ว่าเราไม่สามารถอ่านข้อมูลออกมาได้ทันการสแกน จึงแก้ปัญหานี้โดยให้มีการอ่านข้อมูลออกมาทุกๆ 8 X 93.46 X 10^{-9} = 747.68 นาโนวินาที โดยข้อมูลที่อ่านนี้จะอ่านออกมาแบบขนานทีละ 8 บิท แล้วจะทำการส่งข้อมูลชุดนี้ออกไปสแกนทีละบิทแบบอนุกรม

แรมที่ใช้ในแต่ละแบงค์จะมีขนาดเท่ากับ 512X256 = 128 กิโลบิท

3.3 วงจรส่วนสร้างสัญญาณโทรทัศน์

เริ่มต้นโดยเราใช้คริสตอลความถี่ 10.7 เมกกะเฮริท์ ซึ่งเราให้เป็นสัญญาณ Ro แล้วนำมา ผ่าน IC(LS293) ซึ่งเป็นวงจรหารก็จะได้สัญญาณ Ro ที่เราหารความถี่ลงครึ่งหนึ่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

คือสัญญาณ R1 สัญญาณ Ro ที่เราหารความถี่ลงเหลือหนึ่งส่วนสี่คือสัญญาณ R2 และสัญญาณ Ro ที่เราหารความถี่ลงเหลือหนึ่งส่วนแปด คือสัญญาณ R3 สัญญาณที่ได้ทั้งสี่ Ro - R4 นำไปผ่านแอนด์เกท ออร์เกท และน็อทเกท เราก็จะได้สัญญาณ $\overline{\text{V-RAS}}$ (VIDEO RAS) สัญญาณ $\overline{\text{V-CAS}}$ (VIDEO CAS) สัญญาณ $\overline{\text{V-DSTB}}$ (VIDEO DATA STROBE) สัญญาณ V-R/C (VIDEO ADRSSELECT) และเราจะสร้างสัญญาณ $\overline{\text{S-RES}}$ (START RESET) เพื่อหน่วงเวลาให้สัญญาณ H-RES แอคทีฟ (ACTIVE) ทำให้ IC2 ,IC15-IC17 ทำแอคทีฟพร้อมกัน เป็นการป้องกันไม่ให้เกิดการหารความถี่ผิดพลาดอันในขณะเปิดเครื่อง

ไอซี 15 และ ไอซี 16 ทำหน้าที่เป็นวงจรหาร ซึ่งจะนำสัญญาณอินพุท R3 มาหารสอง,สี่ และหารแปดตามลำดับ จากนั้นจะนำสัญญาณที่ถูกหารแปด ไปเป็นอินพุทให้กับ ไอซี 16 ซึ่งจะนำสัญญาณนี้มาหารสอง,สี่และหารแปด อีกครั้งหนึ่ง ซึ่งสัญญาณที่หารทั้งหมดนี้จะใช้เป็นแอดเดรส (ADDRESS) ให้กับหน่วยความจำ (RAM) ทางแนวคอลัมน์ (COLUMN) และเป็นตำแหน่งอ้างอิงที่จอแสดงผลในทางแนวนอน (HORISONTAL)

จะเห็นว่าสัญญาณ R3 ที่เป็นอินพุทของ ไอซี 15 นั้นเป็นสัญญาณหารแปด จากสัญญาณนาฬิกา (CLOCK) เมื่อผ่าน ไอซี 15 และ ไอซี 16 แล้ว จึงเท่ากับว่าสัญญาณนาฬิกาถูกหารด้วยแปด ,สิบหก ,สามสิบสอง ,หกสิบสี่ ,หนึ่งร้อยยี่สิบแปด , สองร้อยห้าสิบหก และห้าร้อยสิบสองตามลำดับ นั่นคือความละเอียดของภาพในแนวนอนมีค่าเท่ากับ 512 จุดนั่นเอง ทุกครั้งที่สัญญาณทางแนวนอนถูกอ่านครบ 512 จุดก็จะส่งให้สัญญาณ ให้ ไอซี 22 ซึ่งถูกต่อไว้เป็นวงจรนับ 16 (4 BIT BINARY COUNTER) นับ 1 ครั้ง ไอซี 23 ก็ต่อในลักษณะเดียวกันกับไอซี 22 ดังนั้นเมื่อรวมการนับของไอซี 22 และ ไอซี 23 จะได้เท่ากับ 16 x 16 เท่ากับ 256 นั่นคือไอซี 22 และไอซี 23 เป็นตัวสร้างแอดเดรสในการอ้างอิงข้อมูลทางแนวตั้ง (ROW) ให้กับหน่วยความจำ และเป็นตำแหน่งอ้างอิงที่จอแสดงผลในแนวตั้ง (VERTICAL)

ไอซี 26 และไอซี 27 เป็นวงจรมัลติเพล็กเซอร์ (MULTIPLEXER) ที่มี 3 สถานะ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

(STATE) โดยมีเอาท์พุทต่ออยู่กับหน่วยความจำ นั่นคือถ้าสัญญาณ V-R/C เป็น ø ไอซี 26 และไอซี 27 จะนำแอดเดรสทางแนวตั้ง (ROW) ไปให้กับหน่วยความจำ ถ้าสัญญาณ V-R/C เป็น 1 ไอซี 26 และไอซี 27 จะนำแอดเดรสทางแนวคอลัมน์ไปให้กับหน่วยความจำ และถ้ามีสัญญาณ $\overline{\text{BUSVD}}$ (BUS FOR VIDEO / CPU) นี้เป็น 1 เมื่อไร เอาท์พุทของไอซี 26 และ ไอซี 27 ถูกตัดขาดจากหน่วยความจำทันที (HIGH IMPEDANCE) ทั้งนี้เพื่อให้หน่วยประมวลผลกลาง (CPU) เป็นผู้ติดต่อกับหน่วยความจำแทน

ทุกๆครั้งที่มีการส่งข้อมูล แสดงที่จอภาพ (SCAN) จากซ้ายไปขวาครบหนึ่งแถว สัญญาณภาพจะต้องกลับมาที่ด้านซ้ายของจอ เพื่อเริ่มแสดงสัญญาณภาพแถวต่อไป ซึ่งต้องใช้เวลาและขณะเดียวกันการอ่านข้อมูลจากหน่วยความจำเป็นสัญญาณนาฬิกา 5 ลูก ดังนั้นจึงต้องมีไอซี 17 ซึ่งเป็นไอซีเลื่อนสัญญาณข้อมูล (SHIFT REGISTER) ซึ่งไอซี 17 นี้ถูกต่อไว้ให้หน่วงสัญญาณนาฬิกา 5 ลูกเพื่อให้การอ่านข้อมูลกระทำได้ถูกต้อง

ไอซี 18 ,19 ,24 และ 25 ทำหน้าที่สร้างสัญญาณโมโนสเตเบิล (MONOSTABLE) ซึ่งจะนำไปสร้างสัญญาณดังต่อไปนี้

$\overline{\text{H-sync}}$,$\overline{\text{H-BLANK}}$ (HORIZONTAL-sync ,BLANK)

$\overline{\text{V-sync}}$,$\overline{\text{V-BLANK}}$ (VERTICAL-sync ,BLANK)

$\overline{\text{C-sync}}$,$\overline{\text{C-BLANK}}$ (COMPOSITE-sync ,BLANK)

ซึ่งสัญญาณดังกล่าวเป็นสัญญาณที่เกี่ยวข้องกับสัญญาณของจอแสดงผล ซึ่งได้อธิบายไปแล้วในส่วนสร้างสัญญาณโทรทัศน์ จึงไม่ขอกล่าวรายละเอียดอีก จะเห็นว่าไอซีในกลุ่มนี้ได้ต่อความต้านทานชนิดปรับค่าได้ ทั้งนี้ก็เพื่อที่จะสามารถปรับความกว้างของสัญญาณดังกล่าวได้ นอกจากจะสร้างสัญญาณเกี่ยวกับจอแสดงผลแล้ว ไอซี 19 และ ไอซี 21 ยังเป็นตัวสร้างสัญญาณ H-RES (HORIZONTAL RESET) ซึ่งจะรีเซทการทำงานของระบบการอ้างแอดเดรสในแนวนอนเมื่ออ่านครบ 512 จุดแล้ว เพื่อกลับไปเริ่มต้นทำการนับใหม่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.4 วงจรแรมการ์ด

คุณสมบัติของแรม 4116 เป็นหน่วยความจำแบบไดนามิค ที่ต้องรีเฟรช (REFRESH) ข้อมูลอยู่เสมอ มิฉะนั้นข้อมูลจะสูญหายได้ แต่เนื่องจากการส่งข้อมูลออกสู่จอภาพเกิดขึ้นตลอดเวลา ทำให้เกิดการอ่านซ้ำ จึงช่วยให้เกิดการรีเฟรชในตัวอยู่เสมอ จึงไม่ต้องให้ส่วนประ-มวลผลกลางสร้างสัญญาณรีเฟรชให้

ไดนามิคแรมถูกใช้งานในวงจรร่วมกับส่วนประมวลผลกลางและวงจรควบคุมวีดีโอ ฉะนั้นเพื่อให้สามารถทำงานร่วมกันได้ จึงต้องแบ่งช่วงเวลาการทำงานคนละช่วงแบบไทม์แชร์ริ่ง (TIME SHARING) โดยช่วงที่ส่วนประมวลผลกลางติดต่อกับไดนามิคแรมเพื่อส่งถ่ายข้อมูล จะเป็นช่วงที่วงจรควบคุมส่วนวีดีโอสร้างสัญญาณแบล็งค์และหยุดการติดต่อกับไดนามิคแรม

3.5 วงจรควบคุมการทำงานของไดนามิคแรม

ไดนามิคแรม 4116 มีขนาด 16KB แอดเซสไทม์ = 200 ถึง 300 นาโนวินาที มีแอดเดรส 7 เส้น แต่เกิดการมัลติเพล็กซ์ (MULTIPLEX) 2 ครั้ง จึงอ้างถึงได้ 2 = 16KB โดยใช้สัญญาณควบคุม 2 เส้น คือ $\overline{\text{RAS}}$ กับ $\overline{\text{CAS}}$

ไดนามิคแรมจะติดต่อกับส่วนประมวลผลกลางและวีดีโอในช่วงเวลาต่างกัน โดยการควบคุมของสัญญาณ $\overline{\text{BUSVD}}$ ทำให้การติดต่อกันถูกแยกออกดังนี้คือ

เมื่อ $\overline{\text{BUSVD}}$ มีสถานะเป็น Ø จะบิดเกทที่รับสัญญาณติดต่อกับส่วนประมวลผลกลาง คือ $\overline{\text{C-CAS}}$ และ $\overline{\text{WR}}$ แล้วจะเบิดเกทของสัญญาณ $\overline{\text{V-RAS}}$ และเชื่อมสัญญาณ $\overline{\text{V-RAS}}$ เข้ากับได-นามิคแรมทุกตัว ในภาวะนี้ไดนามิคแรมทั้ง 8 ตัว จะได้รับสัญญาณควบคุม $\overline{\text{CAS}}$ หรือ $\overline{\text{RAS}}$ พร้อมๆกันจากวีดีโอ ดังนั้นแรมทั้ง 8 ตัวจึงส่งข้อมูลออกมาพร้อมๆกันแบบขนานมายัง IC 38 ซึ่งจะใช้สัญญาณ $\overline{\text{V-DSTB}}$ (VIDEO DATA STROBE) เป็นสัญญาณให้ IC 38 อ่านข้อมูลแบบขนานเข้ามาแปลงเป็นข้อมูลแบบอนุกรมโดยจะส่งข้อมูลอนุกรมนี้ออกไปให้ส่วนวงจรไดร์เวอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

(DRIVER) ทีละบิทด้วยความอัตราการส่งข้อมูล 10.7 เมกกะบิท (MB) ต่อวินาที เพื่อนำข้อมูลเหล่านี้ไปแสดงผล

เมื่อ $\overline{\text{BUSVD}}$ มีสถานะเป็น 1 จะสลับการทำงานกับช่วงที่ผ่านมา โดยจะมาติดต่อกับส่วนประมวลผลกลางทั้งหมด สัญญาณ $\overline{\text{WR}}$ และ $\overline{\text{C-CAS}}$ จะเชื่อมติดต่อกับไดนามิคแรมทั้ง 8 ตัวไว้ด้วยกันโดย $\overline{\text{C-CAS}}$ จะแยกการติดต่อควบคุมของไดนามิคทั้ง 8 ตัวออกจากกัน ด้วยการถอดรหัส (DECODE) ของแอดเดรส A0 , A1 , A2 ฉะนั้นส่วนประมวลผลกลางจึงติดต่อกับไดนามิคแรมได้ทีละตัว ข้อมูลระหว่างส่วนประมวลผลกลางกับไดนามิคจะถ่ายเทได้ทั้งในช่วงการอ่าน (READ CYCLE) และช่วงการเขียน (WRITE CYCLE) ขึ้นกับการควบคุมของ WR ไดนามิคแรมชุดนี้สามารถบรรจุข้อมูลจากส่วนประมวลผลกลางได้ถึง 128 KB $\overline{\text{BUSVD}}$ จึงเป็นสัญญาณควบคุมแบบไทม์แชร์ริ่ง เพื่อแบ่งสรรการทำงานของไดนามิคแรมชุดเดียวกันกับส่วนประมวลผลกลางหรือวงจรวีดีโอ โดยความถี่ของ $\overline{\text{BUSVD}}$ ประมาณ 1/8 นาโนวินาที

3.6 การทำงานในส่วนบัฟเฟอร์และส่วนวงจรอินเตอร์เฟส

ในการอินเตอร์เฟส (INTERFACE) กับ IBM PC เราจะทำการส่งผ่านสัญญาณที่ใช้ในการติดต่อผ่านวงจรบัฟเฟอร์ (BUFFER) ซึ่งเป็นส่วนที่ทำหน้าที่ขับกระแส เพราะในกรณีที่ทำการส่งผ่านสัญญาณโดยตรงระหว่างระบบของ IBM กับส่วนวงจรในโครงงานซึ่งอาจเกิดปัญหาที่โครงงานจะไปโหลดกระแสในระบบของ IBM PC มากเกินไปจนทำให้เกิดการทำงานที่ผิดพลาดได้

ส่วนอินเตอร์เฟสนี้จะทำหน้าที่ DECODE ADDRESS และจัดสัญญาณเวลาต่างๆ (TIMING) ให้เหมาะสมที่จะใช้ในการควบคุมการเขียน-อ่านในวีดีโอแรม (VIDEO RAM) ให้ถูกต้อง

ในขั้นแรกเราจำเป็นที่จะต้องพิจารณาว่า วีดีโอแรม ของโครงงานควรจะอยู่ในตำแหน่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ใดในการที่ IBM PC จะอ้างอิงเพื่อทำการเขียน-อ่านข้อมูล โดยการอ้างอิงจะไม่มีผลกระทบต่ออุปกรณ์อื่นที่ใช้อยู่ในระบบ ในการกำหนดตำแหน่งเราจะต้องพิจารณาจากผังการใช้งานแอดเดรสของพอร์ทบน IBM PC ซึ่งเราจะได้ช่วงแอดเดรสที่เหมาะสมอยู่ในช่วง D0000H - DFFFFH แต่ในช่วงแอดเดรสนี้อ้างตำแหน่งข้อมูลได้เพียง 64K ตำแหน่งเท่านั้น ซึ่งในวีดีโอแรมต้องใช้แอดเดรสในการอ้างเท่ากับ 128K เราแก้ปัญหานี้ได้โดยจะแบ่งแรมทั้ง 128K ออกเป็น 2 หน้า (PAGE) หน้าละ 64K และสามารถการอ้างได้ว่าต้องการอ้างอิงกับหน้าไหน โดยสร้าง อินพุทพอร์ทขึ้นมาพอร์ทหนึ่งเพื่อใช้ในการอ้างอิงหน้า ในที่นี้ออกแบบให้อินพุทพอร์ท นี้มีตำแหน่งเท่ากับ 02F0 เป็นพอร์ทที่รับข้อมูลเพียง 1 บิตซึ่งข้อมูลบิตนี้จะใช้เป็นแอดเดรสสูงสุดของแรม ถ้าข้อมูลที่พอร์ท 02F0 ได้รับเป็น 0 จะเป็นการติดต่อกับ หน้าบนซึ่งเป็นส่วนที่ใช้เก็บสัญญาณภาพครึ่งจอบน และหากพอร์ทได้รับข้อมูลเท่ากับ 1 ก็จะเป็นการติดต่อกับหน้าล่าง

จากวงจรรูปที่ 3 IC57,58 จะทำการถอดรหัสให้เอาท์พุท Y0 ของ IC57 เป็น 0 เมื่อมีการอ้างเอาท์พุทพอร์ท 02F0 จะทำให้ IC46 ทำการแลทช์ (LATCH) ข้อมูล D0 ไว้ที่เอาท์พุทเพื่อรอให้ IC44 ซึ่งเป็นมัลติเพล็กซ์ส่งข้อมูลนี้ไป MA6 ของแรมเมื่อสัญญาณ $\overline{\text{C-CAS}}$ แอคทีฟ

IC64 เป็น 4BIT คอมพาราเตอร์ (COMPARATOR) ทำหน้าที่ถอดรหัสซึ่งเซ็ตตำแหน่งจาก DIP SWITCH ให้เอาท์พุทขา 6 เป็น 1 (แอคทีฟ) เมื่อ A19 ถึง A16 เท่ากับ 1101B (DH) จะทำให้ IBM PC สามารถติดต่อกับวีดีโอแรมได้ในช่วง D0000H - DFFFFH โดยส่งข้อมูลผ่าน IC60 ในขณะที่ IC64 แอคทีฟ อาจต้องมีการรอสัญญาณ R4 ซึ่งเป็นตัวกำหนดช่วงเวลาในการติดต่อในแต่ละไซเคิลไม่ให้เกิน 1600 นาโนวินาที ในขณะที่รอสัญญาณ R4จะมีการสร้างสัญญาณ $\overline{\text{WAIT}}$ (LOW ACTIVE) ให้ IBM PC รับรู้และสร้างภาวะหยุดรอ (WAIT STATE) จนกระทั่ง $\overline{\text{WAIT}}$ ไม่แอคทีฟ สัญญาณ $\overline{\text{BUSVD}}$ จะไม่แอคทีฟ (มีค่าเท่ากับ 1) มีผลให้ IC26,27 อยู่ในภาวะที่สาม (HIGH IMPEDANCE) แต่ IC44,45 แอคทีฟแทน ยังผล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

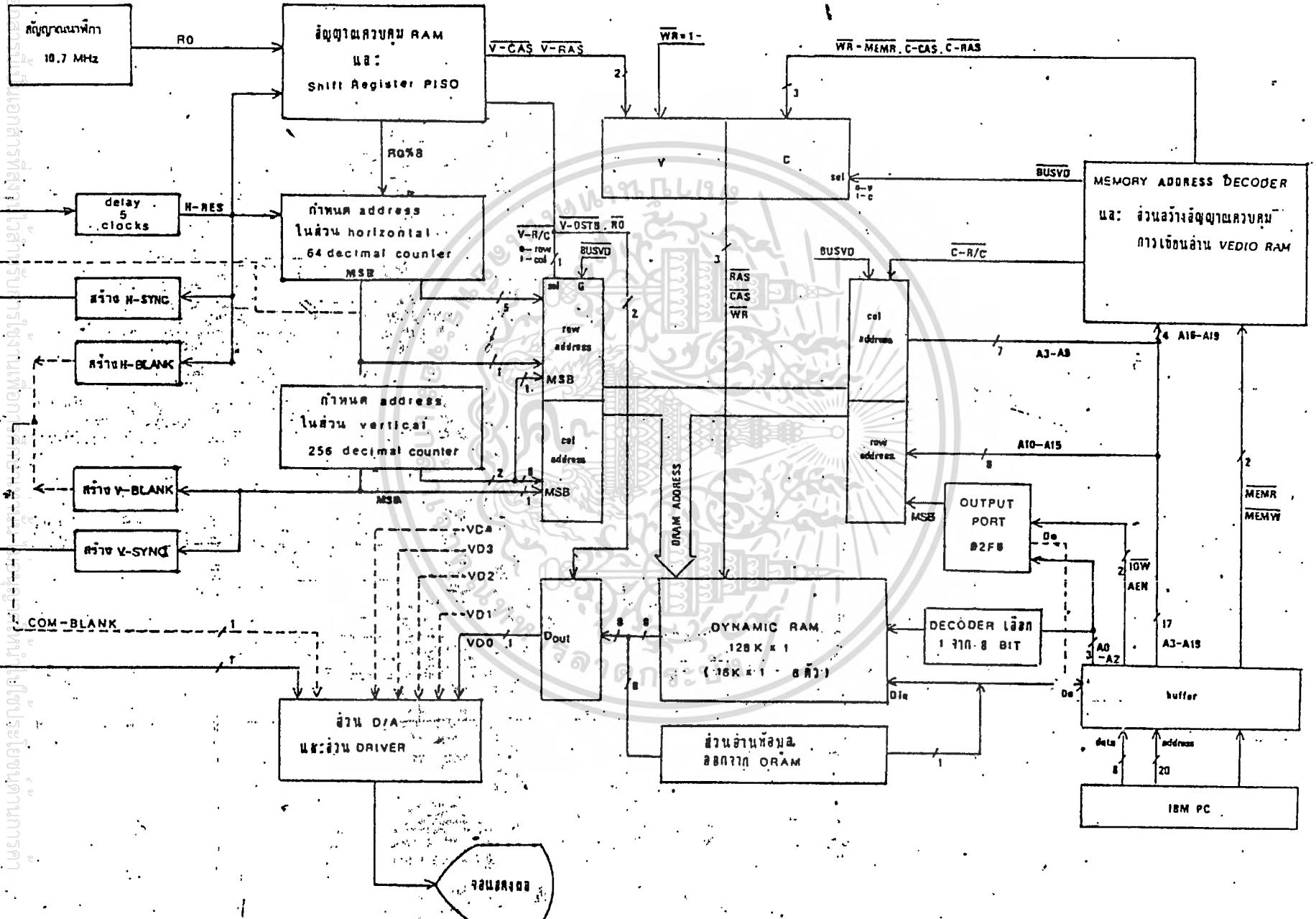
ให้ขณะนี้ IBM PC เป็นผู้กำหนดตำแน่งหน่วยความจำเอง

หลังจากสัญญาณ BUSVD ไม่แอคทีฟแต่ละครั้ง ซึ่งหมายถึงมีการติดต่อระหว่างหน่วยประมวลผลกลางของ IBM PC กับหน่วยความจำข้อมูลภาพ จะมีการสร้างสัญญาณเวลาคือ $\overline{\text{C-RAS}}$, C-R/C , $\overline{\text{C-CAS}}$ ตามลำดับ โดยสร้างทำสัญญาณ C-R/C ด้วยการหน่วงสัญญาณจากสัญญาณ $\overline{\text{C-RAS}}$ เราสามารถปรับระยะการหน่วงเวลาได้โดยปรับโพเท็นชิโอมิเตอร์(POTENTIOMETER) 100Kโอห์มที่ IC53A และมี IC53B ทำหน้าที่กำหนดความกว้างของสัญญาณ ส่วนสัญญาณ C-CAS ก็จะได้จากการหน่วงเวลาของสัญญาณ C-R/C ด้วย IC65

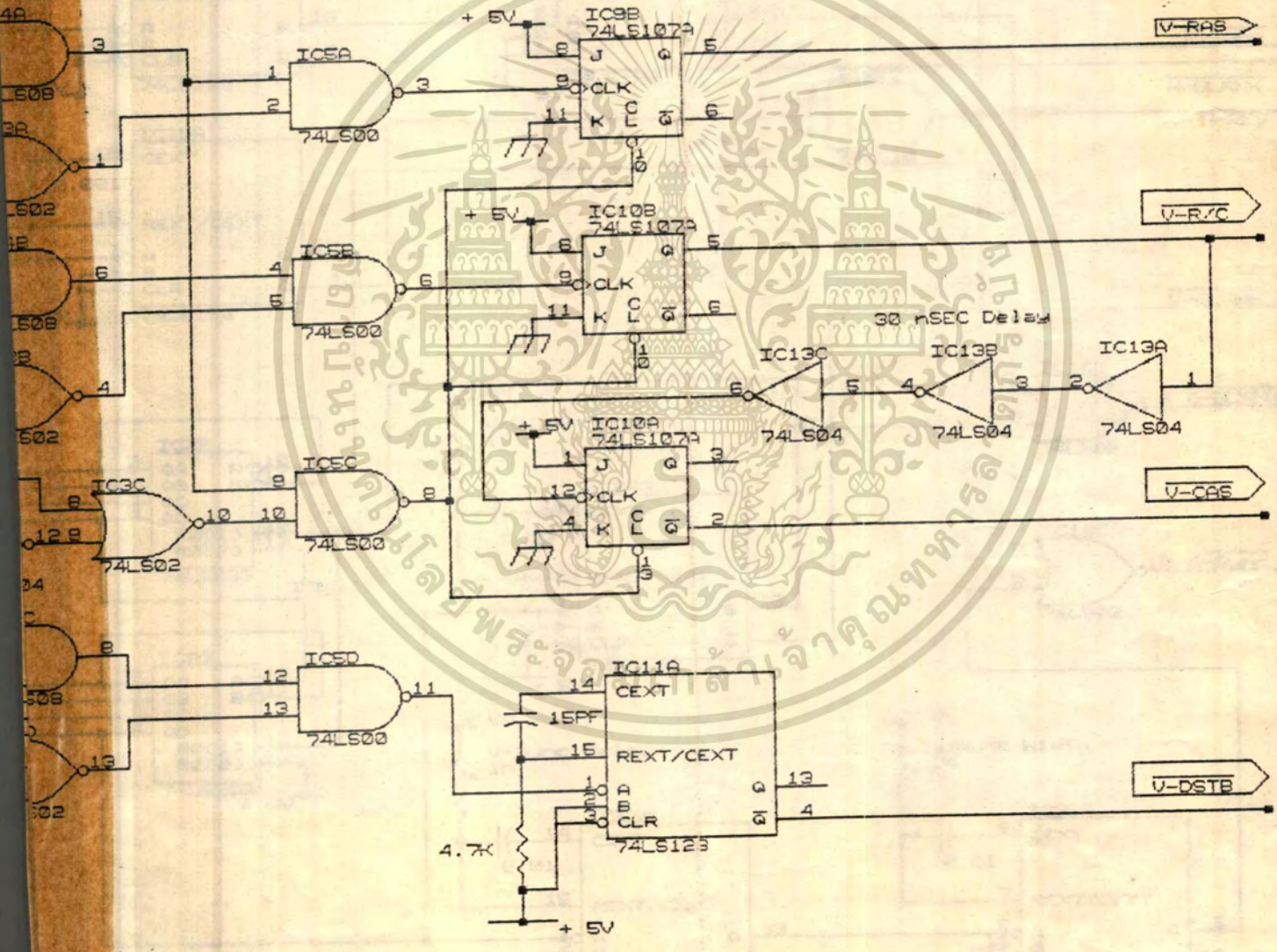
3.7 ส่วนการแปลงสัญญาณดิจิตอลเป็นอนาล็อกและส่วนไดร์ฟ

ส่วนที่ทำหน้าที่แปลงสัญญาณดิจิตอลให้เป็นสัญญาณอนาล็อกด้วยหลักการง่ายๆ โดยใช้ตัวต้านทาน (RESISTOR) ทำหน้าที่เสมือนเปลี่ยนโวลเตจ (VOLTAGE) ของสัญญาณดิจิตอลให้เป็นกระ-แส ซึ่งจะได้กระแสที่ได้จากการเปลี่ยนโวลเตจจากสัญญาณแต่ละบิทของวงจรแรมการ์ดแต่ละแบงค์ จากสัญญาณซิงค์ (SYNC) , สัญญาณแบลงค์ ($\overline{\text{C-BLANK}}$) ผลรวมของกระแสเหล่านี้จะถูกป้อนเข้าขาเบส (BASE) ของทรานซิสเตอร์ (TRANSISTOR) ซึ่งจะทำหน้าที่ขยายกระแสโดยกระแสที่อีมิตเตอร์ (EMITER) จะเท่ากับ ผลคูณของกระแสที่เบส (BASE) กับอัตราการขยายกระแสของทรานซิสเตอร์และกระแสที่อีมิตเตอร์ทั้งหมดจะถูกป้อนผ่านตัวต้านทาน (RESISTOR) เพื่อเปลี่ยนกระแสให้เป็นโวลเตจ (VOLTAGE) สัญญาณที่จุดนี้จะถูกนำไปใช้เป็นสัญญาณวีดีโอ (VIDEO SIGNAL) ให้กับจอคอมโพสิท (COMPOSITE MONITOR)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้


สัญญาณนาฬิกา
18.7 MHz
RO
สัญญาณควบคุม RAM
และ
Shift Register PISO
V-CAS V-RAS
WR=1-
WR-MEMR, C-CAS, C-RAS
RO%8
delay
5
clocks
H-RES
กำหนด address
ในส่วน horizontal
64 decimal counter
MSB
V-R/C
V-DSTB, RO
BUSVD
V
C
sel
BUSVD
MEMORY ADDRESS DECODER
และ ส่วนสร้างสัญญาณควบคุม
การเขียนลง VEDIO RAM
C-R/C
สร้าง H-SYNC
สร้าง H-BLANK
sel G
row address
col address
RAS
CAS
WR
col address
row address
A3-A9
A16-A19
A10-A15
กำหนด address
ในส่วน vertical
256 decimal counter
MSB
สร้าง V-BLANK
สร้าง V-SYNC
DRAM ADDRESS
OUTPUT
PORT
#2F8
Do
MEMR
MEMW
IOW
AEN
VD4
VD3
VD2
VD1
VD0
COM-BLANK
Dout
DYNAMIC RAM
128 K x 1
(16K x 1 - 8 ตัว)
DECODER เลือก
1 จาก 8 BIT
A0
-A2
A3-A19
Din
Do
buffer
ส่วน D/A
และส่วน DRIVER
ส่วนอ่านข้อมูล
ออกจาก DRAM
data
address
IBM PC

H-RES [fig 2]



1 : SYSTEM CLOCK UNIT

VIDEO DATA MEMORY DISPLAY - K M I T L

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

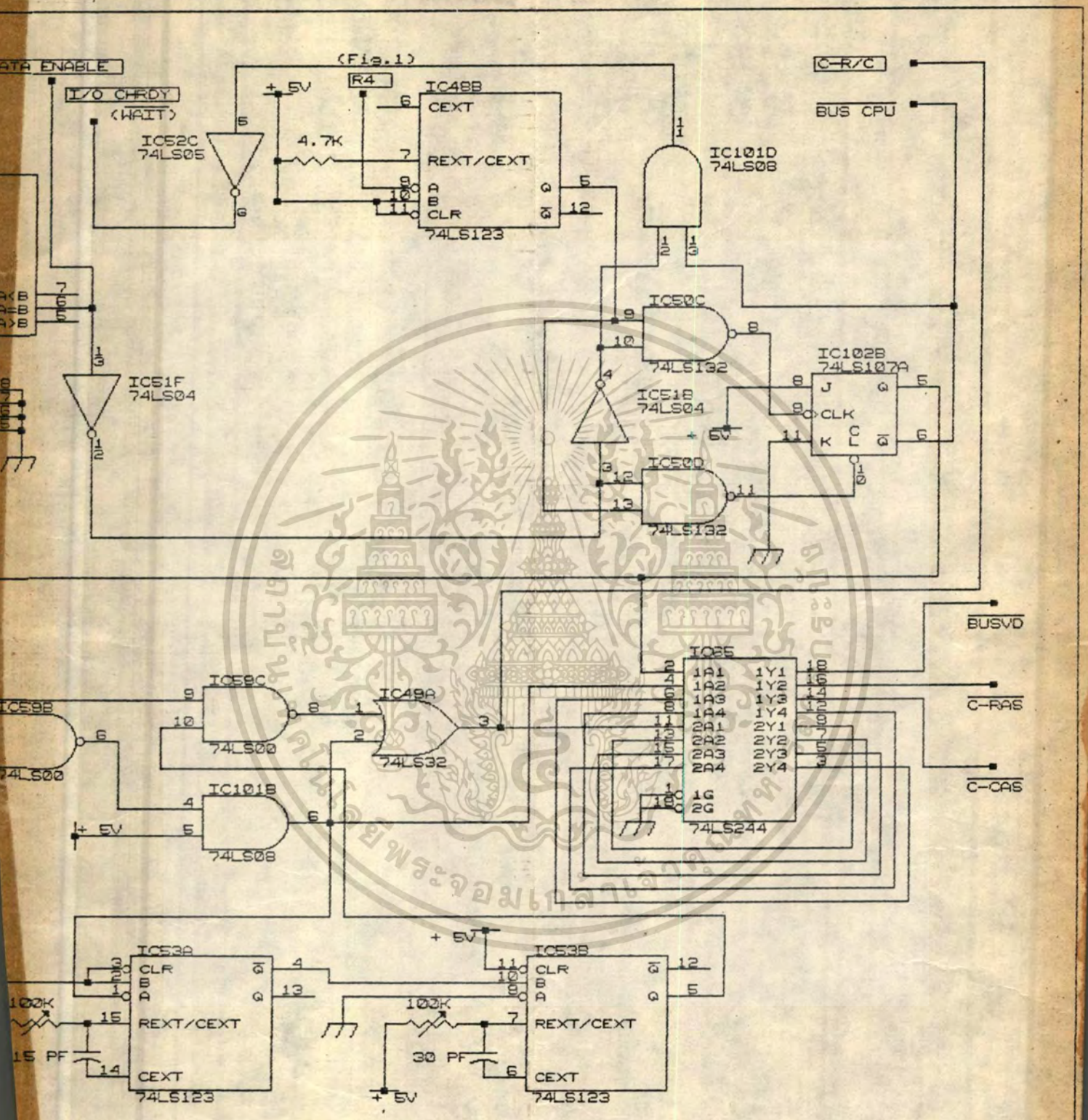
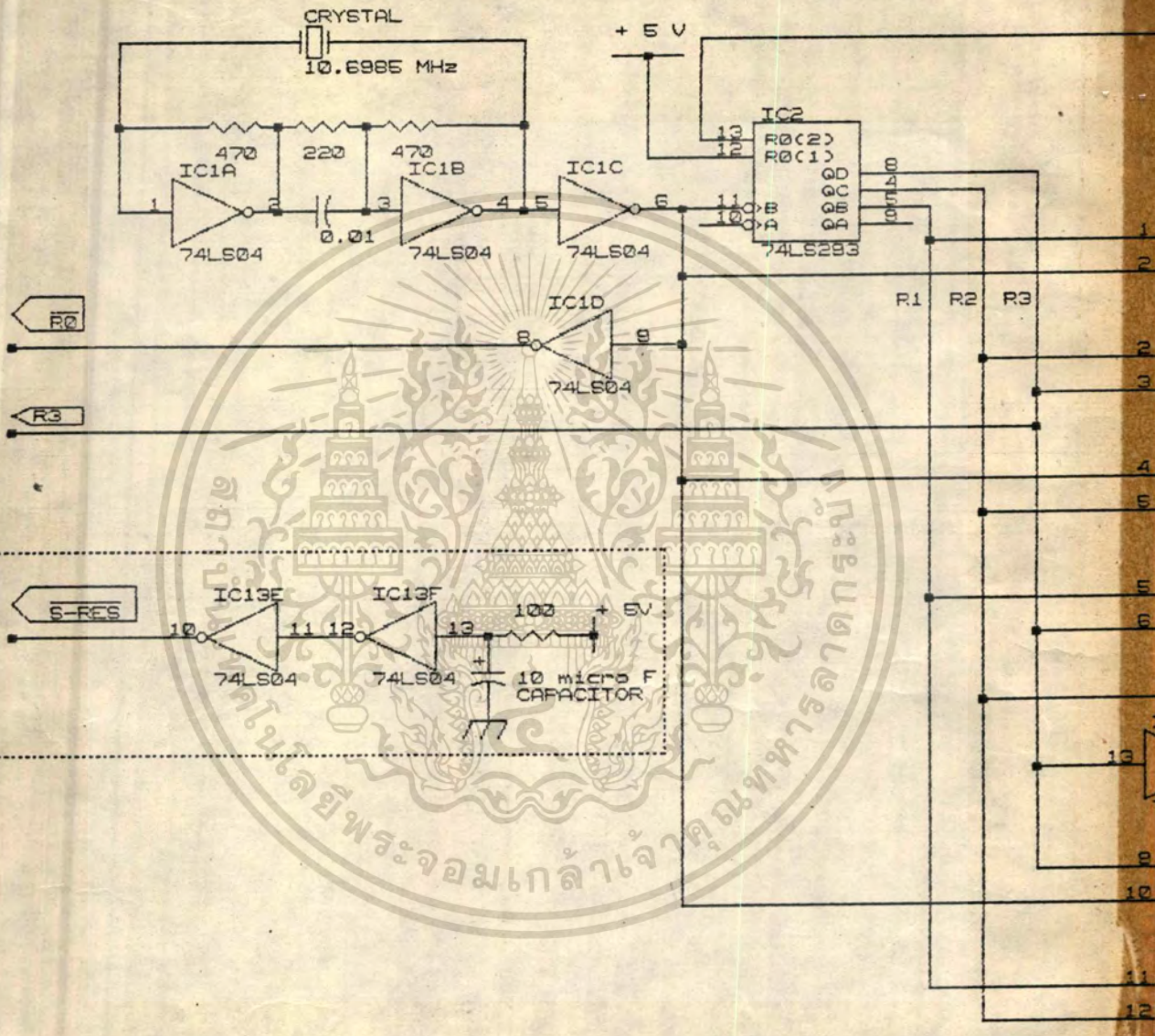
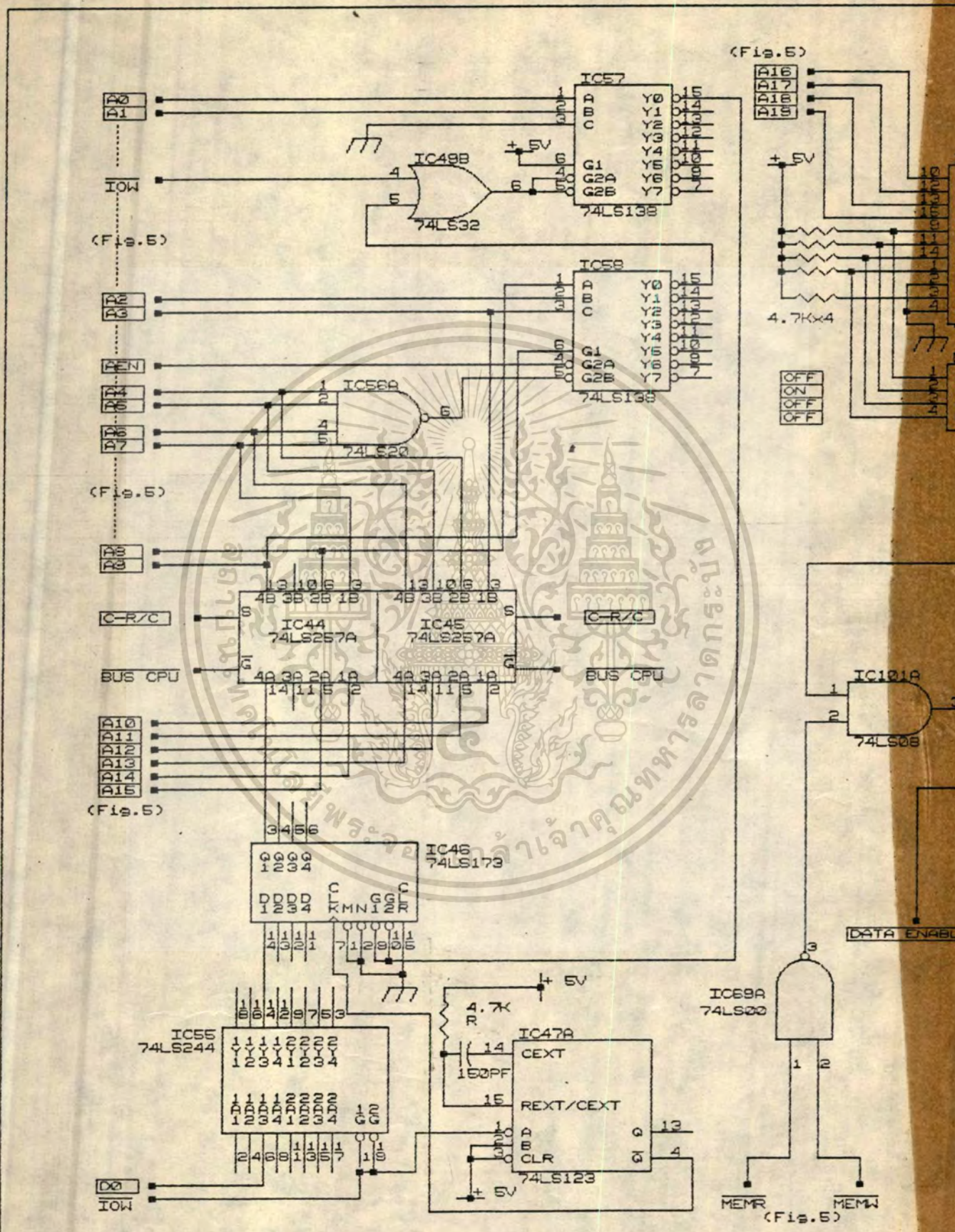


FIGURE 3 : INTERFACING UNIT (sheet 1 of 2)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

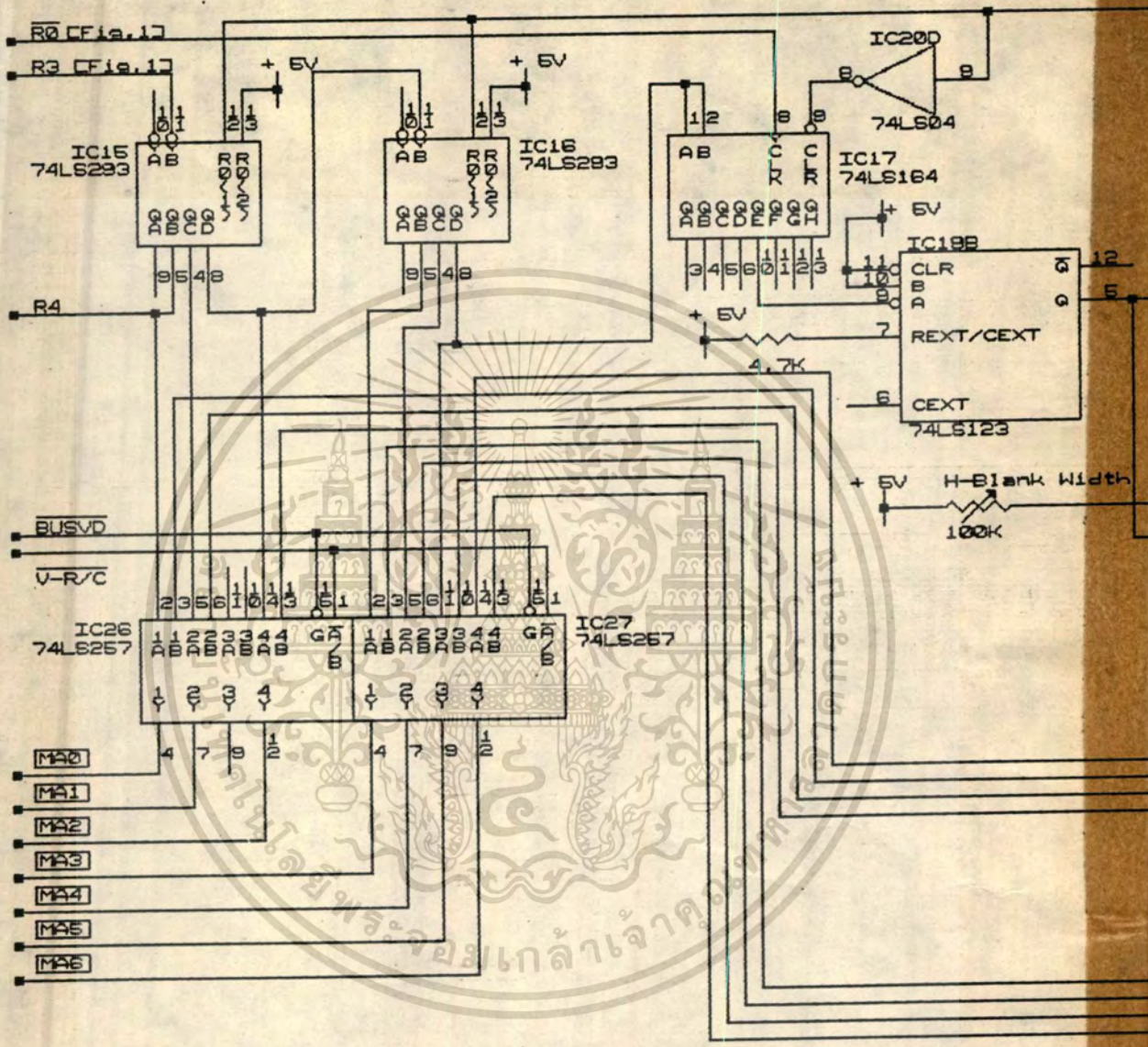


FIGURE 2 : SCANNING

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า.
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FIGURE 5 : BUFFER UNIT

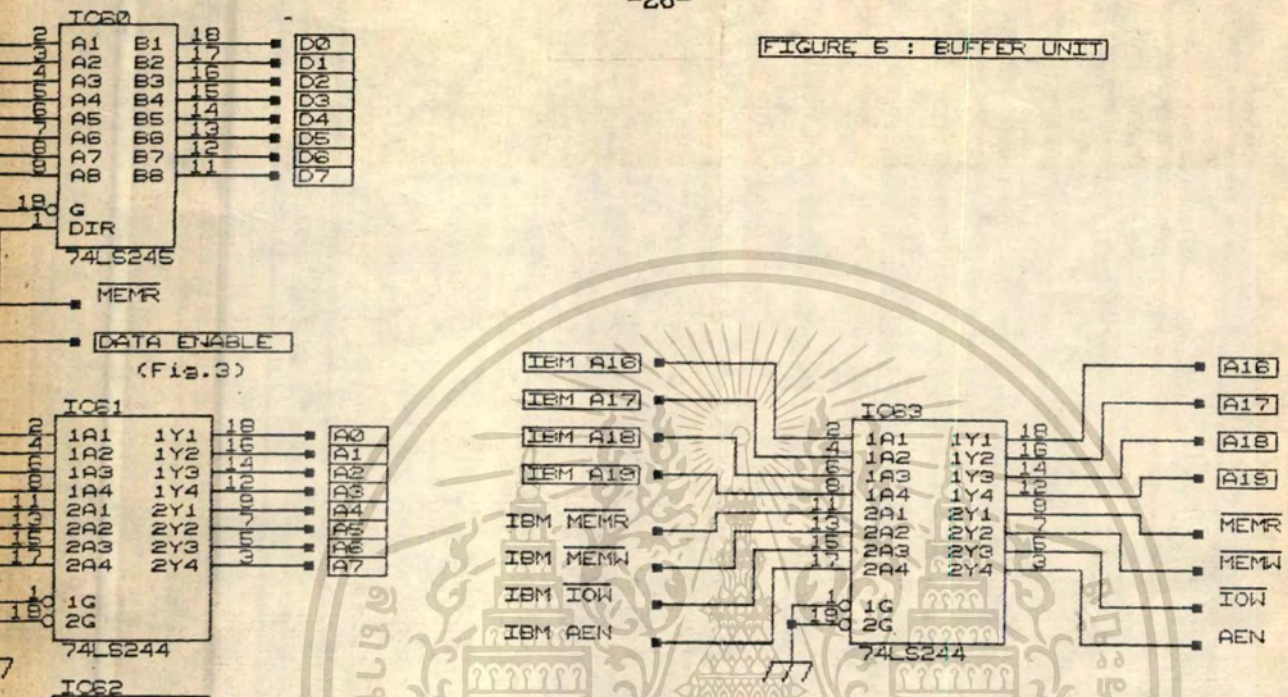
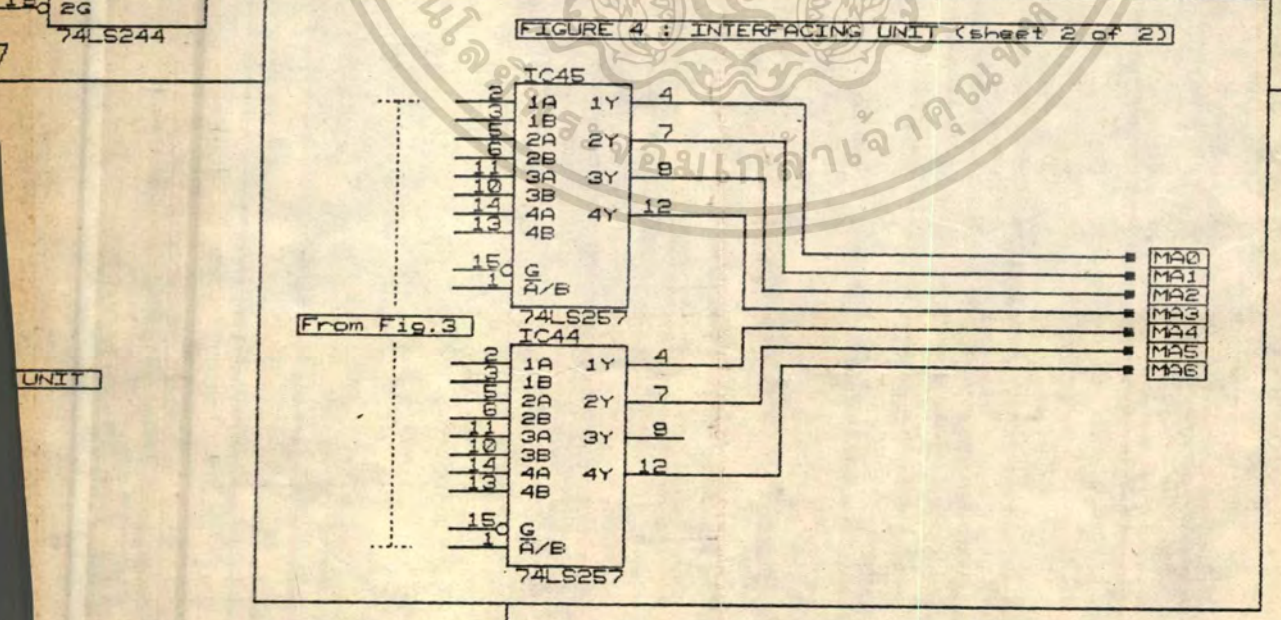


FIGURE 4 : INTERFACING UNIT (sheet 2 of 2)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

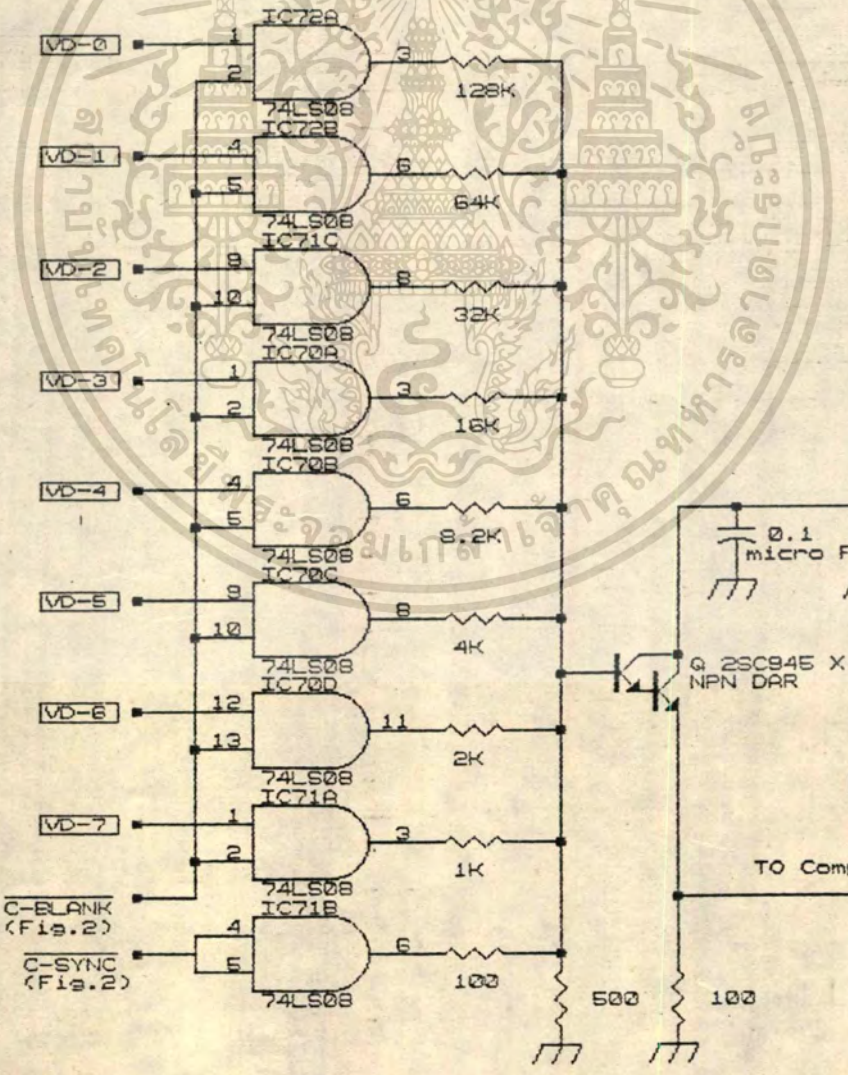
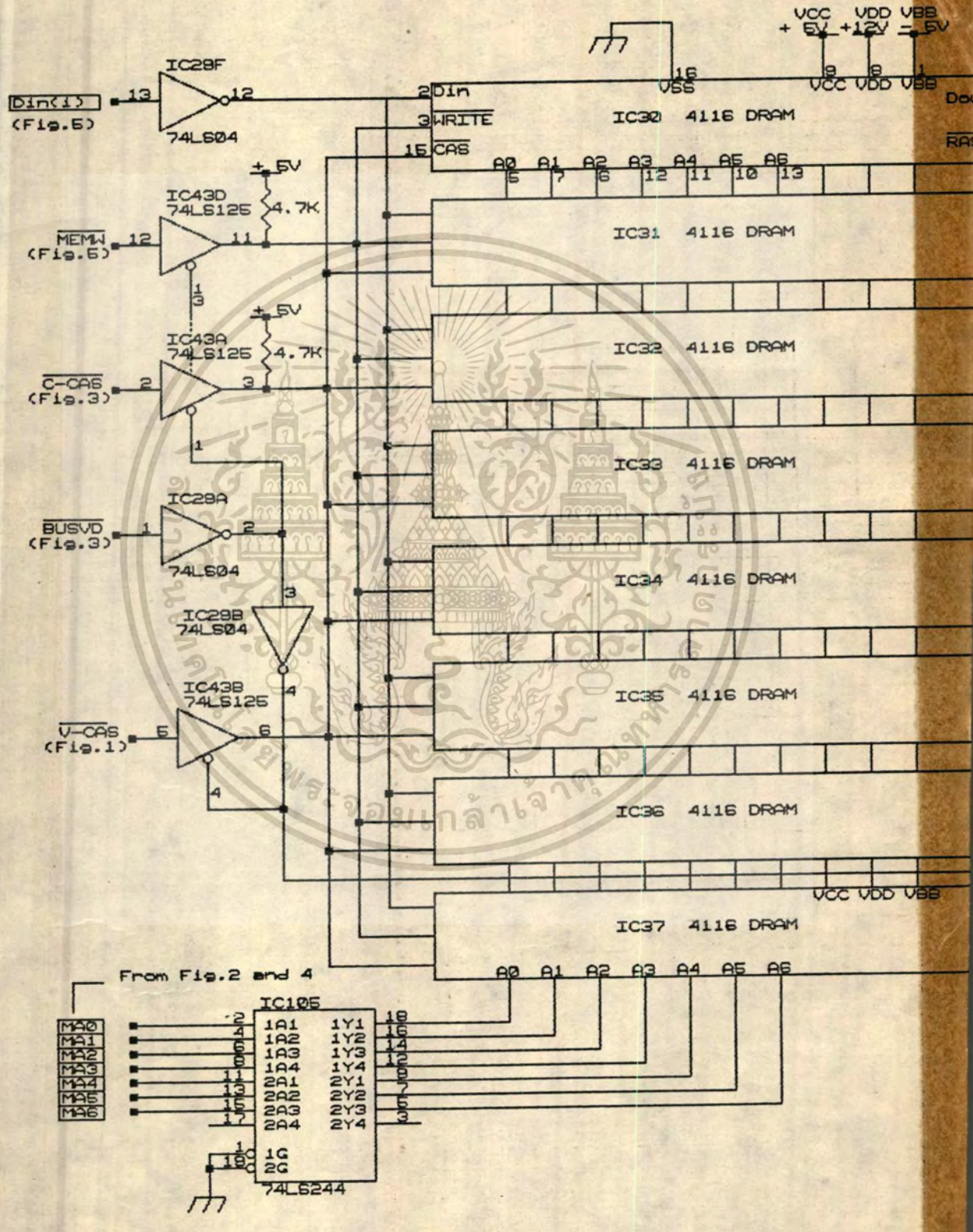


FIGURE 6 : A/D A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

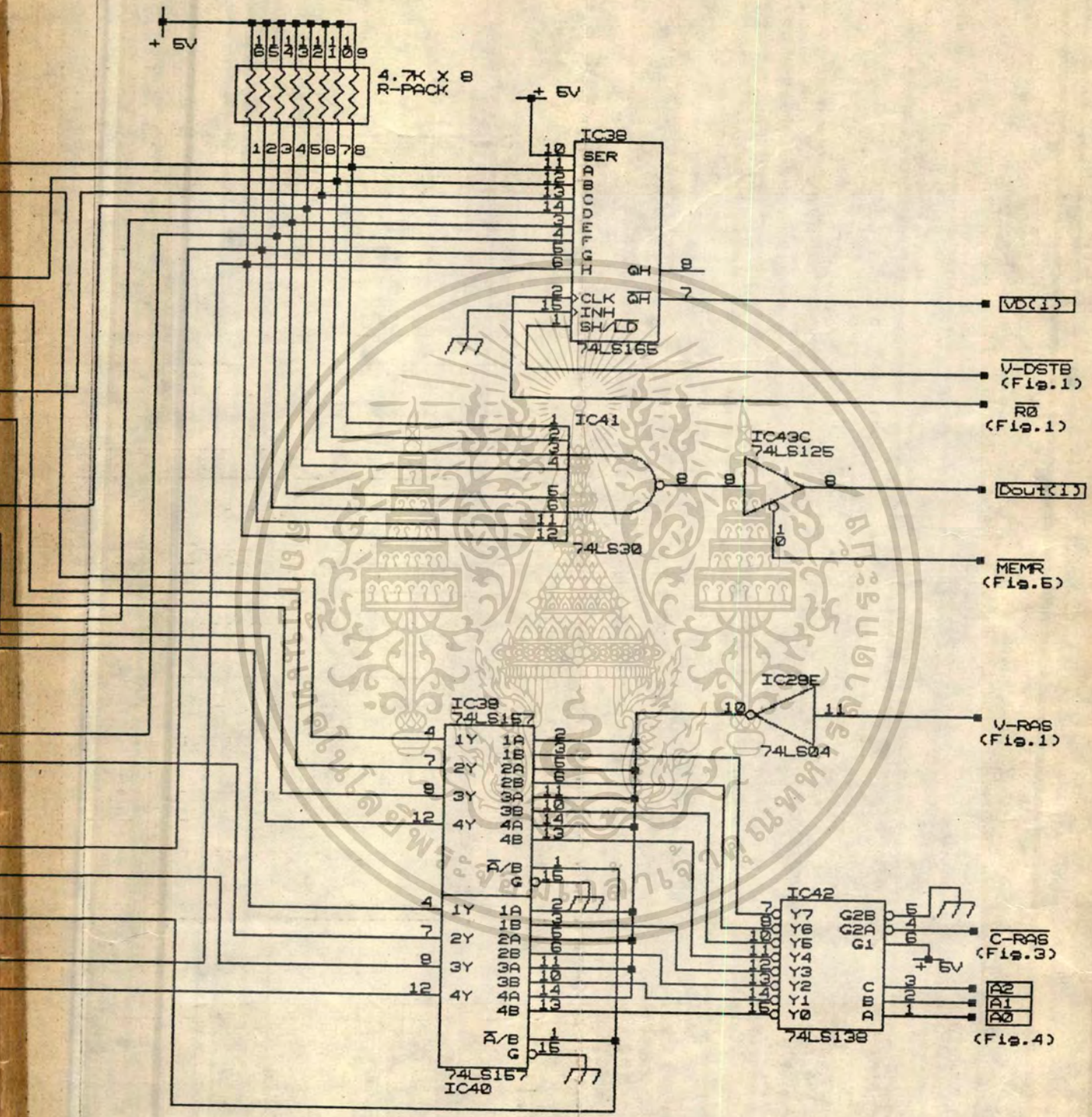


FIGURE 7 : VIDEO MEMORY UNIT (show 1 Bank)

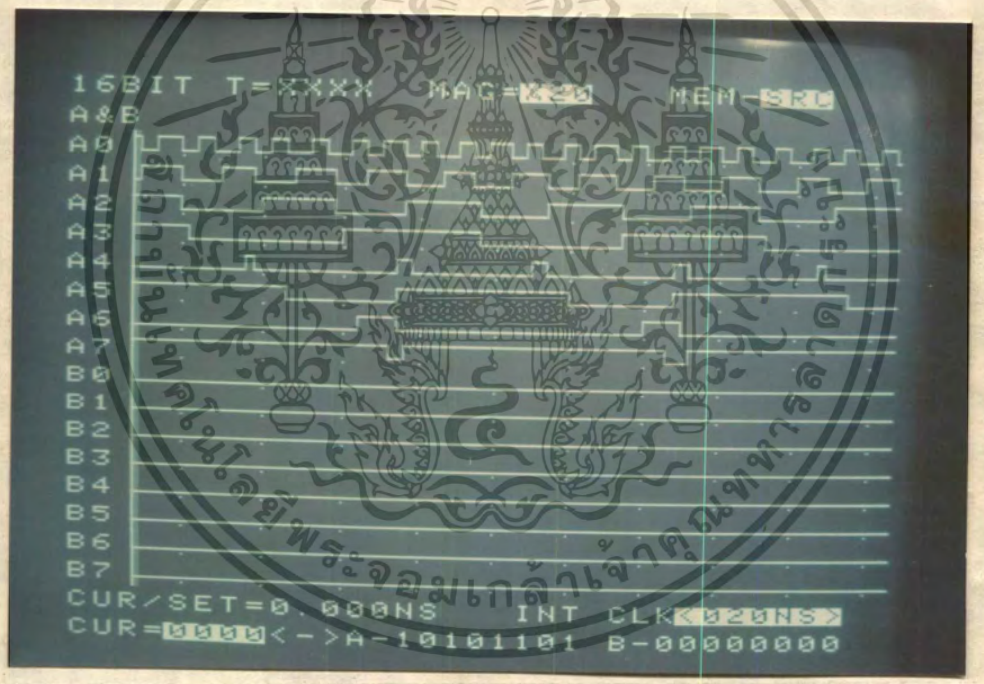
Note : 128K X 1 Per Bank

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4

ผลการทดลองการวัดสัญญาณที่สำคัญ

การตรวจวัดในการทดลองจะตรวจวัดเฉพาะสัญญาณที่สำคัญๆเท่านั้น การตรวจจับสัญญาณเหล่านี้สามารถทำได้โดยใช้โลจิก อนาไลเซอร์ (Logic Analyzer) ซึ่งผลที่ได้มีดังนี้

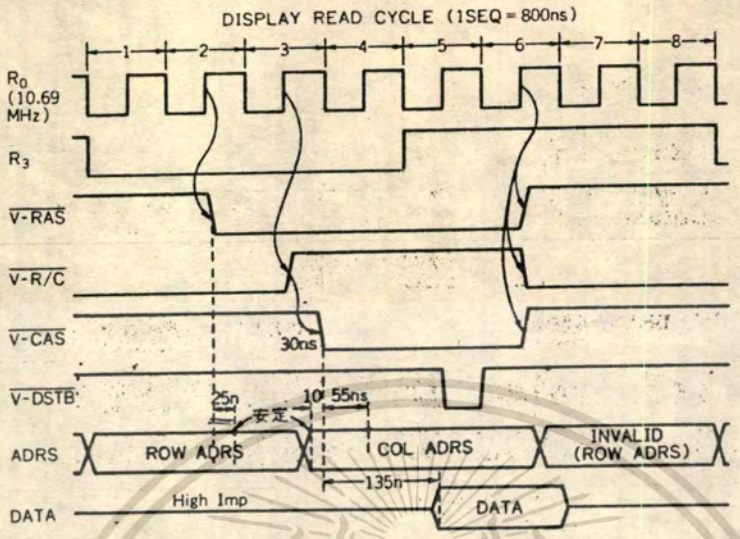


แสดงสัญญาณนาฬิกาที่ใช้อ้างอิง และสัญญาณควบคุมฟลิปฟลอป

โดย A0 = R0 A1 = R1 A2 = R2 A3 = R3

A4 = $\overline{\text{V-RAS}}$ A5 = V-R/C A6 = $\overline{\text{V-DSTB}}$ A7 = Reset FF

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

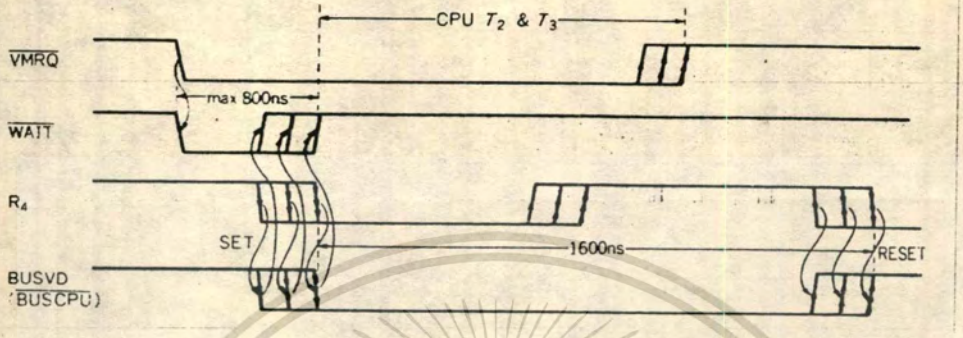


แสดงสัญญาณที่ใช้ในการสแกนอ่านข้อมูลออกมาแสดงผล

โดย A0 = R0 A1 = R3 A2 = $\overline{\text{V-RAS}}$

A3 = V-R/C A4 = $\overline{\text{V-CAS}}$ A5 = $\overline{\text{V-DSTB}}$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

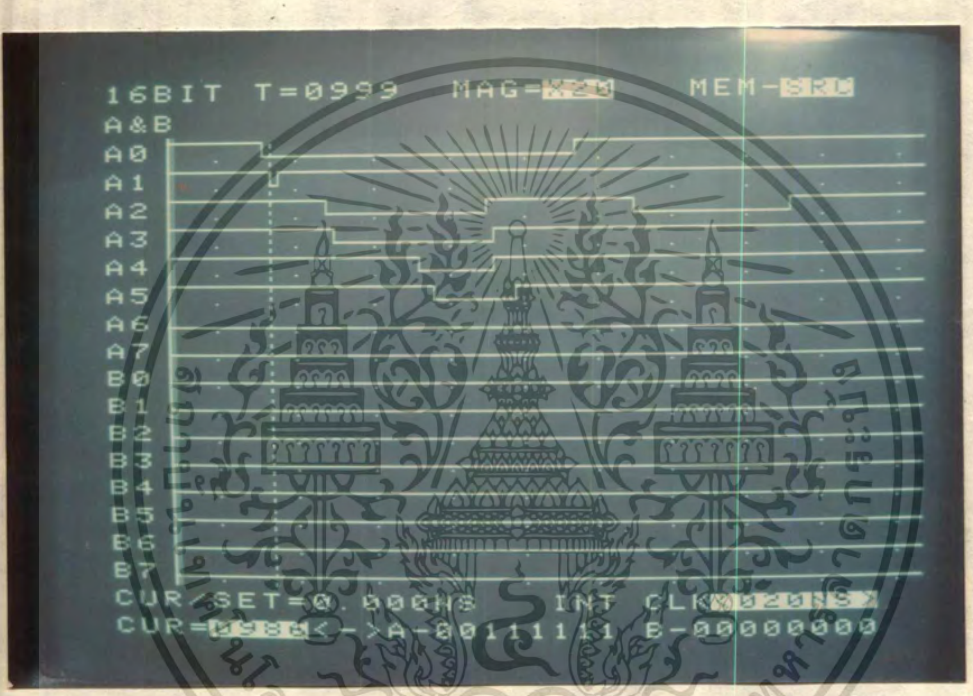


แสดงสัญญาณที่สำคัญขณะที่ IBM PC ทำการติดต่อวีดีโอแรม

โดย A0 = Data Eable A1 = $\overline{\text{WAIT}}$

A2 = R4 A3 = $\overline{\text{BUSVD}}$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



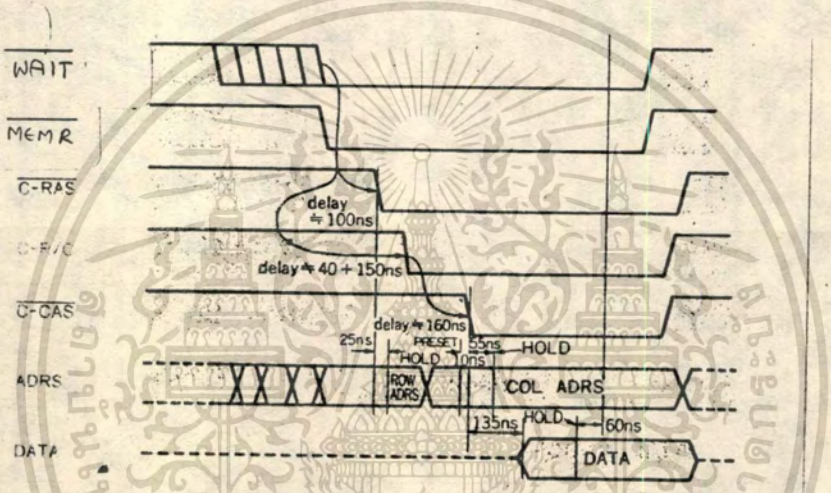
แสดงสัญญาณที่สำคัญขณะ IBM PC อ่านข้อมูลออกจากวีดีโอแรม

โดย A0 = Data Enable A1 = $\overline{\text{WAIT}}$

A2 = $\overline{\text{MEMR}}$ A3 = $\overline{\text{C-RAS}}$

A4 = C-R/C A5 = $\overline{\text{C-CAS}}$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

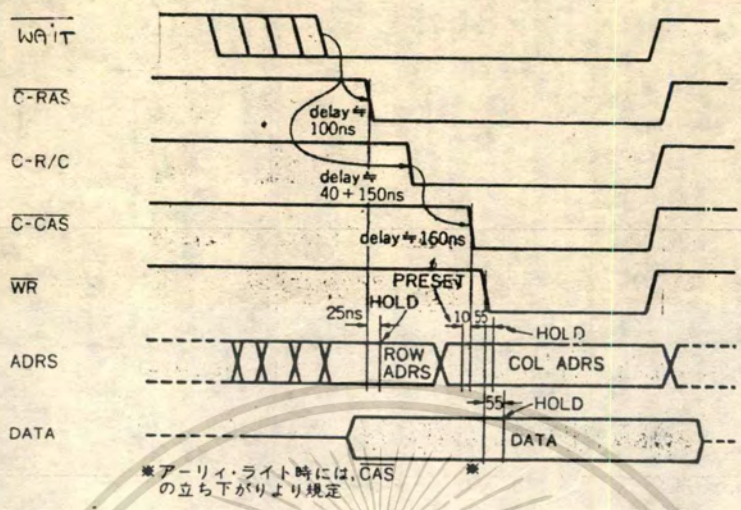


แสดงสัญญาณที่สำคัญในขณะ IBM PC ต้องการติดต่อเพื่ออ่านข้อมูลจากวิดีโอแรม

โดย A0 = Data Enable A1 = $\overline{\text{WAIT}}$ A2 = $\overline{\text{MEMR}}$

A3 = $\overline{\text{C-RAS}}$ A4 = C-R/C A5 = $\overline{\text{C-CAS}}$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



แสดงสัญญาณสำคัญขณะ IBM PC ต้องการติดต่อเพื่อเขียนข้อมูลให้กับวีดีโอแรม

โดย A0 = Data Enable A1 = $\overline{\text{WAIT}}$ A2 = $\overline{\text{C-RAS}}$

A3 = C-R/C A4 = $\overline{\text{C-CAS}}$ A5 = $\overline{\text{MEMW}}$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5

บทวิจารณ์และสรุปผล

ในเทอมแรกของปีการศึกษา 2531 ระยะแรกเป็นการศึกษาข้อมูลการออกแบบปรับปรุงการทำงานของโครงงานซึ่งค่อนข้างจะกินเวลาพอสมควร แล้วจึงมีการเริ่มประกอบโครงงาน โครงงานทั้งหมดนี้เป็นเพียงโครงงานที่ทำบนแผ่นทดลองวงจร (PROTO BOARD) เพื่อความสะดวกในการปรับปรุงแก้ไขวงจรในขั้นต้น แต่ก็ประสบปัญหาในเรื่องเสถียรภาพในการทำงานของวงจรและความยุ่งยากในการประกอบและตรวจเช็ค เนื่องจากโครงงานนี้ประกอบด้วยอุปกรณ์จำนวนมาก จึงจำเป็นที่จะต้องใช้แผ่นทดลองวงจรหลายแผ่น ต้องมีการเชื่อมต่อวงจรในแต่ละแผ่นทดลองวงจรเข้าหากันด้วยสายไฟจำนวนมาก

ปัญหาแรกที่พบก็คือภาพที่แสดงผลบนจอคอมโพสิท ไม่เป็นที่น่าพอใจนักคือส่วนที่เป็นขอบภาพด้านบนจะมีการสั่นพริ้ว

ส่วนปัญหาที่ต้องใช้เวลาในการแก้ไขมากที่สุดก็คือวงจรส่วนอินเตอร์เฟส ในเรื่องการจัดสัญญาณเวลาการควบคุมการติดต่อระหว่างหน่วยประมวลผลกลางของไอบีเอ็ม พีซี กับส่วนของวีดีโอแรมไม่เหมาะสม ทำให้ไม่สามารถเขียน-อ่านข้อมูลจากวีดีโอแรมได้ แก้ไขโดยตรวจวัดคาบสัญญาณควบคุมการติดต่อแรมได้โดยใช้โลจิกอนาไลเซอร์(LOGIC ANALYZER) ทำการตรวจวัด แล้วทำการปรับแต่งคาบเวลาของสัญญาณควบคุม $\overline{C\text{-}RAS}$, C-R/C , $\overline{C\text{-}CAS}$ ให้ได้ตามเงื่อนไขของการให้สัญญาณควบคุมการติดต่อกับหน่วยความจำ ซึ่งในเทอมการศึกษาแรกนี้ก็สามารถแก้ไขปัญหาต่างๆไปได้จนได้ผลเป็นที่น่าพอใจ ยกเว้นปัญหาในเรื่องขอบภาพส่วนบนมีการสั่นพริ้ว

ในเทอมการศึกษาที่สอง ปีการศึกษา 2531 นี้เป็นการนำเอาปัญหาเรื่องการสั่นพริ้วของขอบภาพด้านบนที่พบในเทอมการศึกษาแรกมาพิจารณาแก้ไข จากการพิจารณาพบว่าสาเหตุที่ทำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ให้เกิดปัญหานี้คงเนื่องมาจากมีการสร้างสัญญาณซิงค์แนวตั้งไม่ถูกต้องนัก จึงมีการออกแบบปรับปรุงวงจรในส่วนสร้างสัญญาณดังกล่าวใหม่ ซึ่งก็สามารถแก้ไขปัญหานี้ได้ลุล่วง

หลังจากได้วงจรที่ทำงานได้สมบูรณ์แล้วจึงการประกอบโครงงานลงบนแผ่นวงจรเอนกประสงค์ที่เป็น ไอบีเอ็ม อินเตอร์เฟส การ์ด (IBM Interfaceing Card) โดยเชื่อมต่อวงจรโดยใช้สายที่ในงานพันสาย (Wire-Wrapping) โดยการบัดกรี เพื่อลดต้นทุนในการประกอบ แต่ก็ต้องประสบกับปัญหาในการเชื่อมโยงสายเข้าหากันซึ่งทำได้ยาก และยากต่อการตรวจเช็ค และนอกจากนี้ยังพบปัญหาในเรื่องการเดินสายกราวด์ (Ground) ในส่วนของแรมการ์ดไม่ดีพอ ทำให้เกิดสัญ-ญาณรบกวนในการเขียน-อ่านข้อมูล เนื่องจากไดนามิคแรมเป็นอุปกรณ์ที่มีสัญญาณรบกวน (Noise) สูงมากขณะทำงาน เป็นผลให้เกิดการผิดพลาดในการส่งข้อมูลภาพเข้าวีดีโอแรมบางตำแหน่งผิดพลาด ซึ่งจะเห็นได้ชัดมากเมื่อมีการเขียนข้อมูลลงในวีดีโอแรมให้เป็นภาพดำหมดหรือขาวหมด ภาพที่ได้จากการแสดงผลจะมีบางตำแหน่งที่จะมีลักษณะเป็นจุดเลอะ แต่หากมีการเขียนข้อมูลเดิมซ้ำลงไปอีกครั้งจุดเลอะดังกล่าวจะหายไป การแก้ไขโดยการเพิ่มสายกราวด์หลังจากได้ประกอบวงจรส่วนใหญ่เสร็จสิ้นแล้วทำได้ยากมาก เนื่องจากไม่มีพื้นที่และจุดต่อที่ว่างพอที่จะทำการเพิ่มเติมสายกราวด์ได้อีก จึงเป็นปัญหาที่ต้องแก้ไขต่อไป

ในขั้นต้นนี้โครงงานประกอบด้วนวีดีโอแรม 3 แบงค์ มีซ็อกเก็ต (Socket) เพื่อรองรับการขยายความสามารถในการแสดงระดับความเข้มให้มากระดับมาขึ้น โดยสามารถขยายหน่วยวีดีโอแรมได้ถึง 8 แบงค์สูงสุด

เนื่องจากปริญญานิพนธ์นี้ใช้หน่วยความจำแบบไดนามิคแรม ซึ่งมีการกำหนดตำแหน่งข้อมูลแบบมัลติเพล็กซ์ ซึ่งทำให้เกิดความยุ่งยากในการออกแบบวงจร แนวทางในการพัฒนาจึงควรใช้หน่วยความจำแบบสแตติคแรม (Static RAM) ซึ่งเป็นอุปกรณ์ที่ทำงานได้เร็วกว่าไดนามิคแรม แต่มีราคาค่อนข้างแพง แต่ในปัจจุบันมีราคาถูกลงพอสมควร การออกแบบ และประกอบวงจรสามารถทำได้ง่ายขึ้น รวมทั้งสามารถลดจำนวนอุปกรณ์ที่ใช้ลงไปได้มาก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ส่วนการที่จะพัฒนาความสามารถในการแสดงผลให้ได้รายละเอียดของภาพให้สูงขึ้นกว่านี้ จะมีปัญหาในด้านการคำนวณ ออกแบบ การจัดความถี่พื้นฐานในการสแกนให้ได้สัญญาณควบคุมที่เหมาะสมจะทำได้ยากมาก และการที่จะเพิ่มความสามารถในการแสดงรายละเอียดย่อมต้องใช้ความถี่พื้นฐานในการสแกนสูง อุปกรณ์ที่ใช้จำเป็นต้องเป็นอุปกรณ์ที่สามารถทำงานที่ความถี่สูงได้ดี และจะถูกจำกัดในเรื่องแอคเซสไทม์ของแรมที่ใช้ จึงต่อใช้เทคนิคในการออกแบบการเขียนอ่านข้อมูลมาช่วยแก้ปัญหาในการสแกนอ่านข้อมูลภาพในแรมออกมาให้ทัน การออกแบบและการประกอบจะต้องทำอย่างรอบคอบ เพื่อเสถียรภาพในการทำงานควรประกอบโครงงานลงบนแผ่นวงจรสองหน้าแบบทรูโฮล ต้องมีการออกแบบแผ่นวงจรเพื่อให้มีสัญญาณรบกวนในขณะทำงานน้อยที่สุด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

NEC Microcomputers, Inc.

NEC
μPD416
μPD416-1
μPD416-2
μPD416-3
μPD416-5

16384 x 1 BIT DYNAMIC MOS RANDOM ACCESS MEMORY

DESCRIPTION

The NEC μPD416 is a 16384 words by 1 bit Dynamic MOS RAM. It is designed for memory applications where very low cost and large bit storage are important design objectives.

The μPD416 is fabricated using a double-poly-layer N channel silicon gate process which affords high storage cell density and high performance. The use of dynamic circuitry throughout, including the sense amplifiers, assures minimal power dissipation.

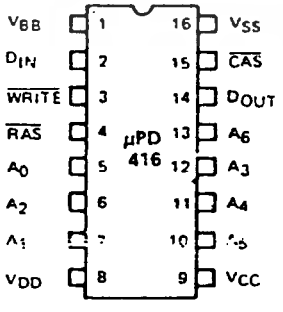
Multiplexed address inputs permit the μPD416 to be packaged in the standard 16 pin dual-in-line package. The 16 pin package provides the highest system bit densities and is available in either ceramic or plastic. Noncritical clock timing requirements allow use of the multiplexing technique while maintaining high performance.

FEATURES

- 16384 Words x 1 Bit Organization
- High Memory Density – 16 Pin Ceramic and Plastic Packages
- Multiplexed Address Inputs
- Standard Power Supplies +12V, -5V, +5V
- Low Power Dissipation; 462 mW Active (MAX), 40 mW Standby (MAX)
- Output Data Controlled by $\overline{CAS}$ and Unlatched at End of Cycle
- Read-Modify-Write, $\overline{RAS}$-only Refresh, and Page Mode Capability
- All Inputs TTL Compatible, and Low Capacitance
- 128 Refresh Cycles
- 5 Performance Ranges:

	ACCESS TIME	R/W CYCLE	RMW CYCLE
μPD416	300 ns	510 ns	575 ns
μPD416-1	250 ns	410 ns	465 ns
μPD416-2	200 ns	375 ns	375 ns
μPD416-3	150 ns	375 ns	375 ns
μPD416-5	120 ns	320 ns	320 ns

PIN CONFIGURATION

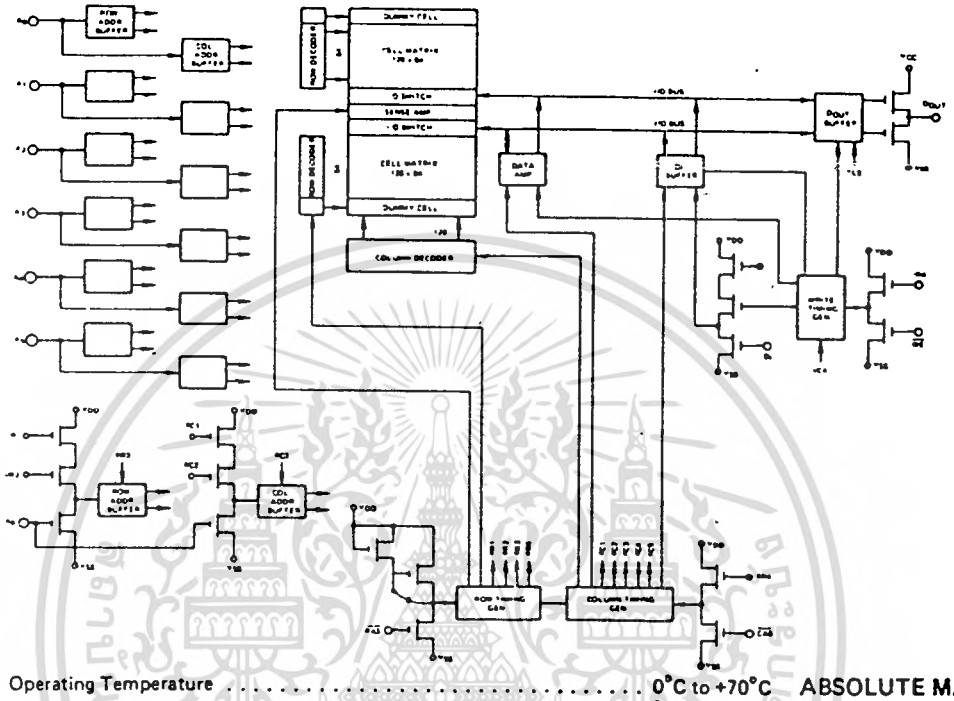


A_0 A_6	Address Inputs
$\overline{CAS}$	Column Address Strobe
D_{IN}	Data In
D_{OUT}	Data Out
$\overline{RAS}$	Row Address Strobe
$\overline{WRITE}$	Read/Write
V_{BB}	Power (-5V)
V_{CC}	Power (+5V)
V_{DD}	Power (+12V)
V_{SS}	Ground

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

μPD416

BLOCK DIAGRAM



ABSOLUTE MAXIMUM RATINGS*

Operating Temperature	0°C to +70°C
Storage Temperature	−55°C to +150°C
All Output Voltages ①	−0.5 to +20 Volts
All Input Voltages ①	−0.5 to +20 Volts
Supply Voltages V_{DD}, V_{CC}, V_{SS} ①	−0.5 to +20 Volts
Supply Voltages V_{DD}, V_{CC} ②	−1.0 to +15 Volts
Short Circuit Output Current	50 mA
Power Dissipation	1 Watt

Notes: ① Relative to V_{BB}
② Relative to V_{SS}

COMMENT: Stress above those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress rating only and functional operation of the device at these or any other conditions above those indicated in the operational sections of this specification is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

*T_a = 25°C

T_a = 0°C to 70°C, V_{DD} = +12V ± 10%, V_{BB} = −5V ± 10%, V_{CC} = +5V ± 10%, V_{SS} = 0V

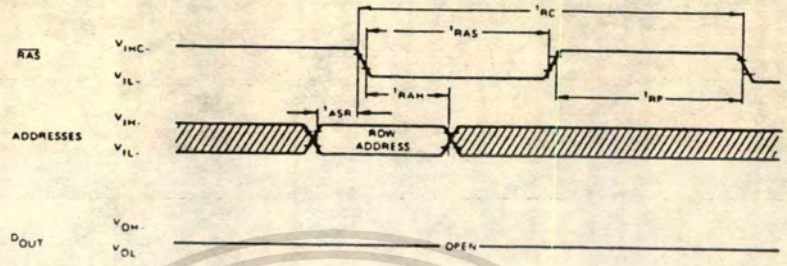
CAPACITANCE

PARAMETER	SYMBOL	LIMITS			UNIT	TEST CONDITIONS
		MIN	TYP	MAX		
Input Capacitance (A_0-A_6), D_{IN}	C_{I1}		4	5	pF	
Input Capacitance $\overline{RAS}$, $\overline{CAS}$, $\overline{WRITE}$	C_{I2}		8	10	pF	
Output Capacitance (D_{OUT})	C_O		5	7	pF	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

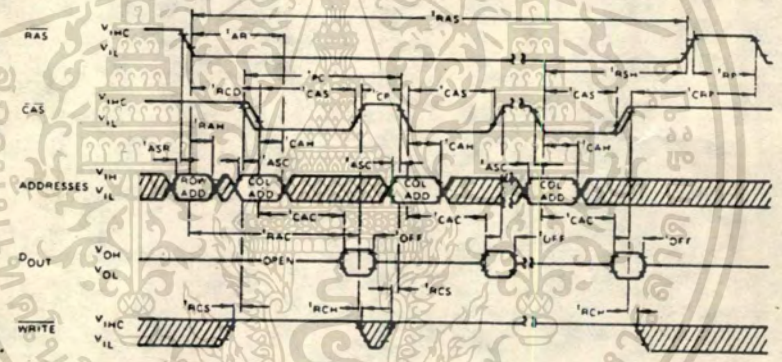
TIMING WAVEFORMS
(CONT.)

"$\overline{RAS}$-ONLY" REFRESH CYCLE

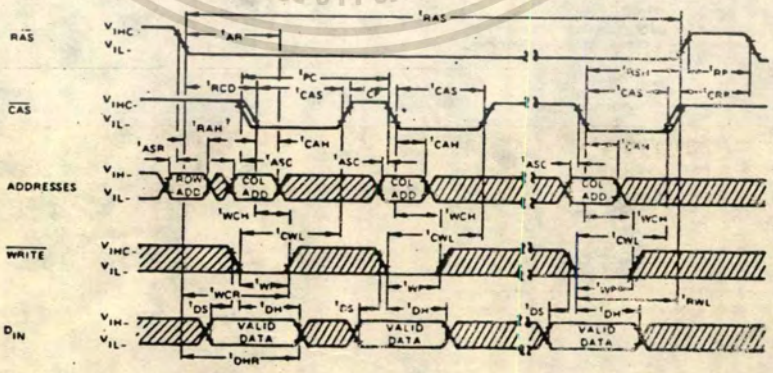


Note: $\overline{CAS}$, V_{IHC}, $\overline{WRITE}$: Don't Care

PAGE MODE READ CYCLE



PAGE MODE WRITE CYCLE



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

μPD416

ADDRESSING

The 14 address bits required to decode 1 of 16,384 bit locations are multiplexed onto the 7 address pins and then latched on the chip with the use of the Row Address Strobe ($\overline{RAS}$), and the Column Address Strobe ($\overline{CAS}$). The 7 bit row address is first applied and $\overline{RAS}$ is then brought low. After the $\overline{RAS}$ hold time has elapsed, the 7 bit column address is applied and $\overline{CAS}$ is brought low. Since the column address is not needed internally until a time of $t_{\overline{CRD}}$ MAX after the row address, this multiplexing operation imposes no penalty on access time as long as $\overline{CAS}$ is applied no later than $t_{\overline{CRD}}$ MAX. If this time is exceeded, access time will be defined from $\overline{CAS}$ instead of $\overline{RAS}$.

DATA I/O

For a write operation, the input data is latched on the chip by the negative going edge of $\overline{WRITE}$ or $\overline{CAS}$, whichever occurs later. If $\overline{WRITE}$ is active before $\overline{CAS}$, this is an "early WRITE" cycle and data out will remain in the high impedance state throughout the cycle. For a READ, WRITE, OR READ-MODIFY-WRITE cycle, the data output will contain the data in the selected cell after the access time. Data out will assume the high impedance state anytime that $\overline{CAS}$ goes high.

PAGE MODE

The page mode feature allows the μPD416 to be read or written at multiple column addresses for the same row address. This is accomplished by maintaining a low on $\overline{RAS}$ and strobing the new column addresses with $\overline{CAS}$. This eliminates the setup and hold times for the row address resulting in faster operation.

REFRESH

Refresh of the memory matrix is accomplished by performing a memory cycle at each of the 128 row addresses every 2 milliseconds or less. Because data out is not latched, "$\overline{RAS}$ only" cycles can be used for simple refreshing operation.

CHIP SELECTION

Either $\overline{RAS}$ and/or $\overline{CAS}$ can be decoded for chip select function. Unselected chip outputs will remain in the high impedance state.

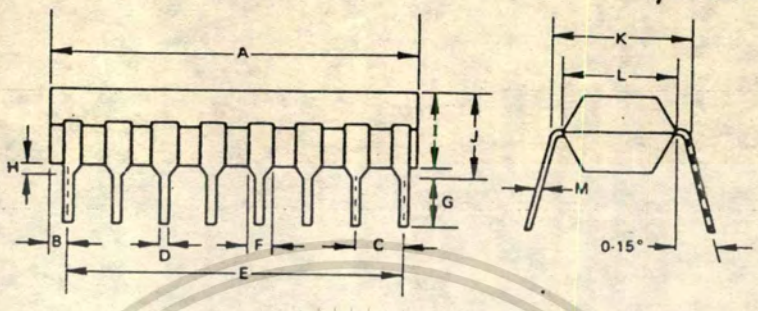
POWER SEQUENCING

In order to assure long term reliability, V_{BB} should be applied first during power up and removed last during power down.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

μPD416

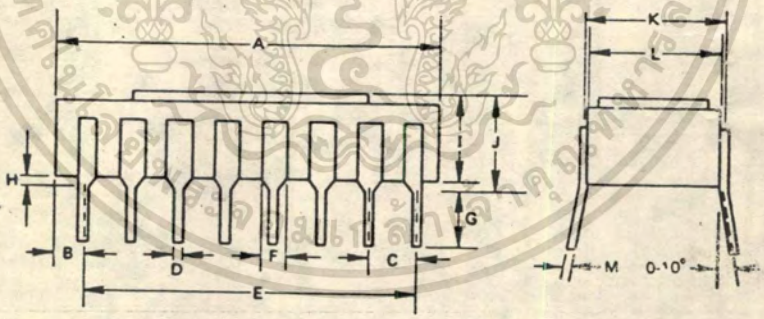
PACKAGE OUTLINE
μPD416C



(Plastic)

ITEM	MILLIMETERS	INCHES
A	19.4 MAX.	0.76 MAX.
B	0.81	0.03
C	2.54	0.10
D	0.5	0.02
E	17.78	0.70
F	1.3	0.051
G	2.54 MIN.	0.10 MIN.
H	0.5 MIN.	0.02 MIN.
I	4.05 MAX.	0.16 MAX.
J	4.55 MAX.	0.18 MAX.
K	7.62	0.30
L	6.4	0.25
M	$0.25^{+0.10}_{-0.05}$	0.01

μPD416D



(Ceramic)

ITEM	MILLIMETERS	INCHES
A	20.5 MAX.	0.81 MAX.
B	1.36	0.05
C	2.54	0.10
D	0.5	0.02
E	17.78	0.70
F	1.3	0.051
G	3.5 MIN.	0.14 MIN.
H	0.5 MIN.	0.02 MIN.
I	4.6 MAX.	0.18 MAX.
J	5.1 MAX.	0.20 MAX.
K	7.6	0.30
L	7.3	0.29
M	0.27	0.01

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

54132/74132 Quadruple 2-Input Positive-NAND Schmitt Trigger

	Schottky TTL					High-Speed TTL					Low-Power Schottky TTL					Standard TTL					Low-Power TTL				
	Device Type	Package				Device Type	Package				Device Type	Package				Device Type	Package				Device Type	Package			
		C	P	M	CF		C	P	M	CF		C	P	M	CF		C	P	M	CF		C	P	M	CF
T.I.	SN54S132	J ①			W ①						SN54LS132	J ①			W ①	SN54132	J ①			W ①					
	SN74S132	J ①	N ①								SN74LS132	J ①	N ①			SN74132	J ①	N ①							
FAIRCHILD	FM54S132 / FM74S132	D②			F②						FM54LS132 / FM74LS132	D②			F②	FM54132 / FM74132	D②								
	FC74132 FC74S132	D②	P②		F②						FC74LS132 / FC74LS132	D②	P②		F②	FC74132 / FC74132	D②	P②							
MOTOROLA											SN74LS132		P⑦			SN74132		P⑦							
N.S.C.											DM54LS132		⑦			DM54132	J ①	N ①		W ①					
PHILIPS											DM74LS132		⑦			DM74132	J ①	N ①		W ①					
SIGNETICS											N74LS132		⑦			N74132		⑦							
SIEMENS																S54132	F ①	B ①		W①					
FUJITSU											N74LS132		A⑦			N74132	F ①	B ①							
HITACHI																FLH601		①							
MITSUBISHI											HD74LS132		P⑦			HD74132		P ①							
NEC											M74LS132		P⑦			M53352		P ①							
TOSHIBA																									

Electrical Characteristics SN54LS132/SN74LS132

absolute maximum ratings over operating free-air temperature range

Supply voltage, V_{CC}	7V	Operating free-air temperature range	SN54LS	−55°C to 125°C
Input voltage	7V		SN74LS	0°C to 70°C
		Storage temperature range		−65°C to 150°C

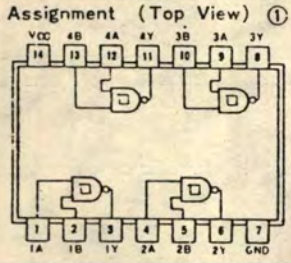
recommended operating conditions

	SN54LS132			SN74LS132			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage, V_{CC}	4.5	5	5.5	4.75	5	5.25	V
High-level output current, I_{OH}			−400			−400	μA
Low-level output current, I_{OL}			4			8	mA
Operating free-air temperature T_A	−55		125	0		70	°C

electrical characteristics over recommended operating free-air temperature range

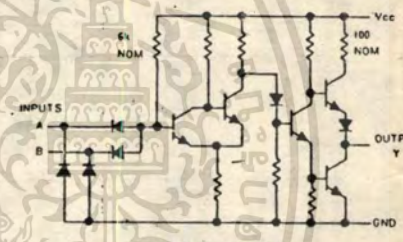
PARAMETER		TEST CONDITIONS†		MIN	TYP‡	MAX	UNIT
V_{T+}	Positive-going threshold voltage	V_{CC} = 5 V		1.4	1.6	1.9	V
V_{T-}	Negative-going threshold voltage	V_{CC} = 5 V		0.5	0.8	1	V
	Hysteresis ($V_{T+} - V_{T-}$)	V_{CC} = 5 V		0.4	0.8		V
V_I	Input clamp voltage	V_{CC} = MIN, I_I = −18mA				−1.5	V
V_{OH}	High-level output voltage	V_{CC} = MIN, V_I = V_{T-} max, I_{OH} = MAX		2.7	3.4		V
V_{OL}	Low-level output voltage	V_{CC} = MIN, V_I = V_{T+} max, I_{OL} = 4mA			0.25	0.4	V
I_{T+}	Input current at positive-going threshold	V_{CC} = 5V, V_I = V_{T+}			−0.14		mA
I_{T-}	Input current at negative-going threshold	V_{CC} = 5V, V_I = V_{T-}			−0.18		mA
I_I	Input current at maximum input voltage	V_{CC} = MAX, V_I = 7V				0.1	mA
I_{IH}	High-level input current	V_{CC} = MAX, V_I = 2.7V				20	μA
I_{IL}	Low-level input current	V_{CC} = MAX, V_{IL} = 0.4V				−0.4	mA
I_{OS}	Short-circuit output current*	V_{CC} = MAX		−20		−100	mA
I_{CCH}	Supply current	V_{CC} = MAX	Total outputs high		5.9	11	mA
I_{CCL}	Supply current		Total outputs low		8.2	14	mA
I_{CC}	Supply current	V_{CC} = 5V	Average per gate (50% duty cycle)		1.76		mA
t_{PLH}	Propagation delay time, low-to-high-level output	V_{CC} = 5 V, T_A = 25°C, C_L = 15pF, R_L = 2kΩ			15	22	ns
t_{PHL}	Propagation delay time, high-to-low-level output				15	22	ns

Pin Assignment (Top View) ①

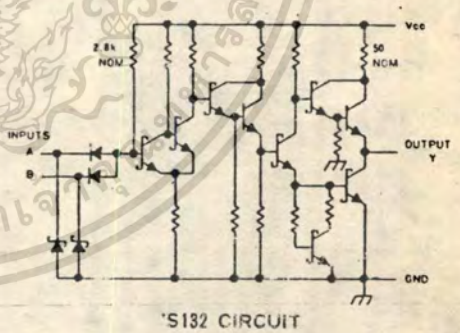


Positive logic: $Y = \overline{AB}$

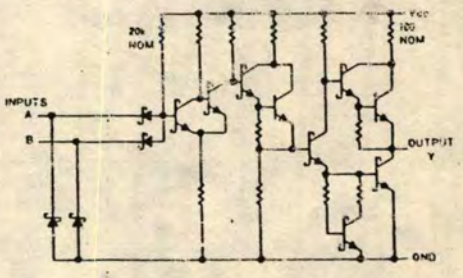
Schematics (each gate)



'132 CIRCUIT



'S132 CIRCUIT



'LS132 CIRCUIT

Resistor values shown are nominal and in ohms

† For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.
‡ All typical values are at V_{CC} = 5 V, T_A = 25°C.
* Not more than one output should be shorted at a time, and for 'S132, duration of output short-circuit should not exceed one second.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

·123/74123 Dual Retriggerable Monostable Multivibrator with Clear

	Schottky TTL				High-Speed TTL				Low-Power Schottky TTL				Standard TTL				Low-Power TTL			
	Device Type	Package			Device Type	Package			Device Type	Package			Device Type	Package			Device Type	Package		
		C	P	M CF		C	P	M CF		C	P	M CF		C	P	M CF		C	P	M CF
									SN54LS123	J①		W①	SN54123	J①		W①	SN54L123	J①		
HILD									SN74LS123	J①	N①		SN74123	J①	N①		SN74L123	J①	N①	
ROLA													FN54123/FW9N123	D①						
													FC74123/FC9N123	D①	F①					
																	DM54L123A		①	
													MC74123		P①		DM74L123A		①	
S									DM54LS123		①									
TICS									DM74LS123		①		DM74123		N①					
ENS									N74LS123		①		N74123		①					
SU													S54123	F①	B①	W①				
HI													N74123	F①	B①					
													FLK121		①					
JBISHI									74LS123		M①		MB440	①	M①					
									HD74LS123		P①		HD74123/HD2516	①	P①					
									M74LS123		P①		M53323		P①					
IBA													μPB2123	D①						

Electrical Characteristics SN54LS123/SN74LS123

absolute maximum ratings operating free-air temperature range

ply voltage, V_{CC}	7V	Operating free-air temperature range	SN54LS	−55°C to 125°C
ut voltage	7V		SN74LS	0°C to 70°C
		Storage temperature range		−65°C to 150°C

recommended operating conditions

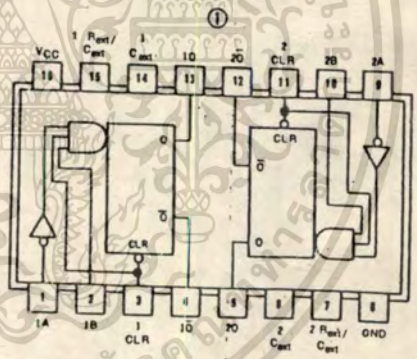
	SN54LS123 MIN	NOM	MAX	SN74LS123 MIN	NOM	MAX	UNIT
ply voltage, V_{CC}	4.5	5	5.5	4.75	5	5.25	V
h-level output current, I_{OH}			−400			−400	μA
w-level output current, I_{OL}			4			8	mA
se width, t_w	40			40			ns
ernal timing resistance, R_{ext}	5		180	5		260	kΩ
ernal timing capacitance, C_{ext}	No restriction			No restriction			pF
ing capacitance at R_{ext}/C_{ext} terminal			80			50	pF
erating free-air temperature, T_A	−55		125	0		70	°C

electrical characteristics over recommended operating free-air temperature range

PARAMETER ●	TEST CONDITIONS†		MIN	TYP‡	MAX	UNIT
High-level input voltage			2			V
Low-level input voltage					0.8	V
Input clamp voltage	V_{CC} = MIN, I_I = −18mA				−1.5	V
High-level output voltage	V_{CC} = MIN, I_{OH} = MAX, See Note 1		2.7	3.5		V
Low-level output voltage	V_{CC} = MIN, I_{OL} = 8mA, See Note 1			0.35	0.5	V
Input current at maximum input voltage	V_{CC} = MAX, V_I = 7V				0.1	mA
High-level input current	V_{CC} = MAX, V_I = 2.7V				20	μA
Low-level input current	V_{CC} = MAX, V_I = 0.4V				0.4	mA
Short-circuit output current ●	V_{CC} = MAX, See Note 1		20		100	mA
Supply current (quiescent or triggered)	V_{CC} = MAX, See Notes 2 and 3			12	20	mA
from A to output Q	V_{CC} = 5V, T_A = 25°C, C_L = 15pF, R_L = 2kΩ	C_{ext} = 0, R_{ext} = 5kΩ		22	33	ns
from B to output Q				23	44	
from A to output Q				32	45	ns
from B to output Q				34	56	
from Clear to output Q				20	27	ns
from Clear to output Q				28	45	
(trigger) from A or B to output Q				116	200	ns
from A or B to output Q		C_{ext} = 1000pF, R_{ext} = 10kΩ	4	4.5	5	μs

conditions shown as MIN or MAX, use the value specified under recommended operating conditions.
typical values are at V_{CC} = 5V, T_A = 25°C.
more than one input should be shorted at a time.
H = propagation delay time, low-to-high-level output
L = propagation delay time, high-to-low-level output

Pin Assignment (Top View)



FUNCTION TABLE

123 LS123, L123 (See Note 4)

INPUTS			OUTPUTS	
CLEAR	A	B	Q	Q̄
L	X	X	L	H
X	H	X	L	H
X	X	L	L	H
H	L	↑	⎍	⎎
H	↓	H	⎍	⎎
↑	L	H	⎍	⎎

NOTES 1 : Ground C_{ext} to measure V_{OH} at Q, V_{OL} at Q, or I_{OS} at Q.
C_{ext} is open to measure V_{OH} at Q, V_{OL} at Q, or I_{OS} at Q.
2 : Quiescent I_{CC} is measured (after clearing) with 2.4V applied to all clear and A inputs, B inputs grounded, all outputs open, C_{ext} = 0.02 μF, and R_{ext} = 25kΩ.
3 : I_{CC} is measured in the triggered state with 2.4V applied to all clear and B inputs. A inputs grounded, all outputs open, C_{ext} = 0.02 μF, and R_{ext} = 25 kΩ.
4 : A, H = high level (steady state), L = low level (steady state), ↑ = transition from low to high level, ↓ = transition from high to low level, ⎍ = one high-level pulse, ⎎ = one low-level pulse, X = irrelevant (any input, including transitions).
B. An external timing capacitor may be connected between and R_{ext} C_{ext}/C_{ext} (positive)
C. For accurate repeatable pulse widths, connect an external resistor between R_{ext}/C_{ext} and V_{CC} with R_{ti} open-circuited.
D. To obtain variable pulse widths, connect external resistance between R_{int} or R_{ext}/C_{ext} and V_{CC}.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

54245/74245 Octal Bus Transceivers with 3-state Outputs

	Schottky TTL					High-Speed TTL					Low-Power Schottky TTL					Standard TTL					Low-Power TTL				
	Device Type	Package				Device Type	Package				Device Type	Package				Device Type	Package				Device Type	Package			
		C	P	M	CF		C	P	M	CF		C	P	M	CF		C	P	M	CF		C	P	M	CF
T. I.											SN54LS245	J			W										
											SN74LS245	J		N											
FAIRCHILD																									
MOTOROLA																									
N. S. C.																									
PHILIPS																									
SIGNETICS																									
SIEMENS																									
FUJITSU																									
HITACHI																									
MITSUBISHI																									
NEC																									
TOSHIBA																									

Electrical Characteristics SN54LS245/SN74LS245

absolute maximum ratings over operating free-air temperature range

Supply voltage, V_{CC}	7 V	Operating free-air temperature range	SN54LS	−55°C to 125°C
Input voltage	7 V		SN74LS	0°C to 70°C
		Storage temperature range		−65°C to 150°C

recommended operating conditions

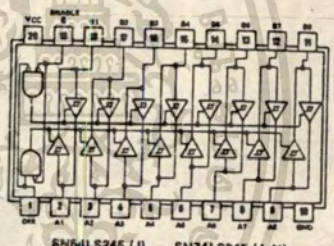
	SN54LS245			SN74LS245			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage, V_{CC}	4.5	5	5.5	4.75	5	5.25	V
High-level output current, I_{OH}			−12			−15	mA
Low-level output current, I_{OL}			12			24	mA
Operating free-air temperature, T_A	−55		125	0		70	°C

electrical characteristics over recommended operating free-air temperature range

PARAMETER		TEST CONDITIONS†		SN74LS245 MIN	SN74LS245 TYP‡	SN74LS245 MAX	UNIT
V_{IH}	High-level input voltage			2			V
V_{IL}	Low-level input voltage					0.8	V
V_{IK}	Input clamp voltage	V_{CC} = MIN, I_I = −18 mA				−1.5	V
	Hysteresis ($V_{T+} - V_{T-}$) A or B input	V_{CC} = MIN			0.2	0.4	V
V_{OH}	High-level output voltage	V_{CC} = MIN, V_{IH} = 2 V, V_{IL} = V_{IL} max	I_{OH} = −3 mA	2.4	3.4		V
			I_{OH} = MAX	2			
V_{OL}	Low-level output voltage	V_{CC} = MIN, V_{IH} = 2 V, V_{IL} = V_{IL} max	I_{OL} = 12 mA			0.4	V
			I_{OL} = 24 mA			0.5	
I_{OZH}	Off-state output current, high-level voltage applied	V_{CC} = MAX, G at 2 V	V_O = 2.7 V			10	μA
I_{OZL}	Off-state output current, low-level voltage applied		V_O = 0.4 V			−200	
I_I	Input current at maximum input voltage: A or B	V_{CC} = MAX,	V_I = 5.5 V			0.1	mA
	DIR or $\overline{G}$		V_I = 7 V			0.1	
I_{IH}	High-level input current	V_{CC} = MAX, V_{IH} = 2.7 V				20	μA
I_{IL}	Low-level input current	V_{CC} = MAX, V_{IL} = 0.4 V				−0.2	mA
I_{OS}	Short-circuit output current	V_{CC} = MAX		−40		−225	mA
I_{CC}	Supply current: Total, outputs high	V_{CC} = MAX, Outputs open			48	70	mA
	Total, outputs low				62	90	
	Outputs at Hi-Z				64	95	

switching characteristics, V_{CC} 5V, T_A 25C

PARAMETER		TEST CONDITIONS	MIN	TYP	MAX	UNIT
t_{PLH}	Propagation delay time, low-to-high-level output	C_L = 45pF, R_L = 667Ω, See Note 2		8	12	ns
t_{PHL}	Propagation delay time, high-to-low-level output			8	12	ns
t_{PZL}	Output enable time to low level			27	40	ns
t_{PZL}	Output enable time to high level			25	40	ns
t_{PLZ}	Output disable time from low level	C_L = 5pF, R_L = 667Ω, See Note 2		15	25	ns
t_{PHZ}	Output disable time from high level			15	25	ns



SN54LS245 (J) SN74LS245 (J, N)

† For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.
‡ All typical values are at V_{CC} = 5V, T_A = 25°C.
■ Not more than one output should be shorted at a time, and duration of the short-short should not not exceed one second.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

54165/74165 Parallel-Load 8-Bit Shift Register

	Schottky TTL					High-Speed TTL					Low-Power Schottky TTL					Standard TTL					Low-Power TTL				
	Device Type	Package				Device Type	Package				Device Type	Package				Device Type	Package				Device Type	Package			
		C	P	M	CF		C	P	M	CF		C	P	M	CF		C	P	M	CF		C	P	M	CF
T.I.											SN54LS165	J①				SN54165	J①			W①					
											SN74LS165	J①	N①			SN74165	J①	N①							
FAIRCHILD																FM54165/FM93165	D①								
																FC74165/FC93165	D①	P①							
MOTOROLA																									
																MC74165		P①							
N.S.C.																					DM54L165A	J①	N①		F①
																DM74165		N①			DM74L165A	J①	N①		F①
PHILIPS																									
																N74165		①							
SIGNETICS																S54165	F①	B①		W①					
																N74165	F①	B①							
SIEMENS																									
																FLJ451		①							
FUJITSU																									
HITACHI																									
MITSUBISHI																									
																M53365		P①							
NEC																									
TOSHIBA																									

Electrical Characteristics NS54LS165/SN74LS165

absolute maximum ratings over operating free-air temperature range

Supply voltage, V_{CC}	7 V	Operating free-air temperature range	SN54LS	−55°C to 125°C
Input voltage	7 V		SN74LS	0°C to 70°C
		Storage temperature range		−65°C to 150°C

recommended operating conditions

	SN54LS165			SN74LS165			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage, V_{CC}	4.5	5	5.5	4.75	5	5.25	V
High-level output current, I_{OH}			−400			−400	μA
Low-level output current, I_{OL}			4			8	mA
Clock frequency, f_{clock}	0		20	0		20	MHz
Width of clock input pulse, $t_{w(clock)}$	25			25			ns
Width of load input pulse, $t_{w(load)}$	15			15			ns
Clock-enable setup time, t_{setup}	30			30			ns
Parallel input setup time, t_{setup}	10			10			ns
Serial input setup time, t_{setup}	20			20			ns
Shift setup time, t_{setup}	45			45			ns
Hold time at any input, t_{hold}	0			0			ns
Operating free-air temperature, T_A	−55		125	0		70	°C

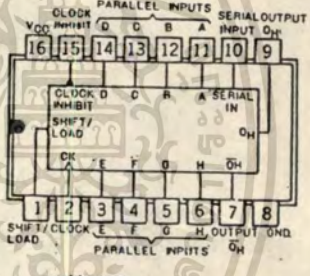
electrical characteristics over recommended operating free-air temperature range

PARAMETER*			TEST CONDITIONS†		MIN	TYP‡	MAX	UNIT
V_{IH}	High-level input voltage				2			V
V_{IL}	Low-level input voltage						0.8	V
V_I	Input clamp voltage		V_{CC} = MIN, I_I = −18mA				−1.5	V
V_{OH}	High-level output voltage		V_{CC} = MIN, V_{IH} = 2V, V_{IL} = 0.8V, I_{OH} = −400 μA		2.7	3.5		V
V_{OL}	Low-level output voltage		V_{CC} = MIN, V_{IH} = 2V, V_{IL} = 0.8V, I_{OL} = 8mA			0.35	0.5	V
I_I	Input current at maximum input voltage	Shift, load input	V_{CC} = MAX, V_I = 7V				0.3	mA
		Other inputs					0.1	
I_{IH}	High-level	Load input	V_{CC} = MAX, V_I = 2.7V				60	μA
	Shift, load input	Other inputs					20	
I_{IL}	Low-level	Load input	V_{CC} = MAX, V_I = 0.4V				−1.2	mA
	Shift, load input	Other inputs					−0.4	
I_{OS}	Short-circuit current◆		V_{CC} = MAX	SN54LS	−20		−100	mA
				SN74LS	−20		−100	
I_{CC}	Supply current		V_{CC} = MAX, See Note 2			21	36	mA
f_{max}	Maximum clock frequency		V_{CC} = 5V, T_A = 25°C, C_L = 15 pF, R_L = 2kΩ		25	35		MHz
t_{PLH}	from Load to Any output					22	35	ns
t_{PHL}						22	35	
t_{PLH}	from Clock to Any output					27	40	ns
t_{PHL}						28	40	
t_{PLH}	from H to output Q_H					16	25	ns
t_{PHL}						21	30	
t_{PLH}	from H to output $\overline{Q}_H$					21	30	ns
t_{PHL}						16	25	

†For conditions shown as MIN or MAX, use the appropriate value under recommended operating conditions for the applicable device type.
‡All typical values are at V_{CC} = 5V, T_A = 25°C.
◆Not more than one output should be shorted at a time.
• t_{PLH} = propagation delay time, low-to-high-level output
t_{PHL} = Propagation delay time, high-to-low-level output

Pin Assignment (Top View)

①



positive logic:

Function Table

'165 (see Note 3)

INPUTS					INTERNAL OUTPUTS		OUTPUT
SHIFT/ LOAD	CLOCK INHIBIT	CLOCK	SERIAL	PARALLEL A...H	Q_A	Q_B	Q_H
L	X	X	X	a...h	a	b	h
H	L	L	X	X	Q_{A0}	Q_{B0}	Q_{H0}
H	L	↑	H	X	H	Q_{An}	Q_{Gn}
H	L	↑	L	X	L	Q_{An}	Q_{Gn}
H	H	↑	X	X	Q_{A0}	Q_{B0}	Q_{H0}

NOTES: 1. This is the voltage between two emitters of a multiple-emitter transistor. For this circuit, this rating applies to the shift/load input in conjunction with the clock or clock-inhibit inputs.
2. With the outputs open, clock inhibit and shift/load at 4.5V, and a clock pulse applied to the clock input, I_{CC} is measured first with the parallel inputs at 4.5V, then with the parallel inputs grounded.
3. H = high level (steady state), L = low level (steady state)
X = irrelevant (any input, including transitions)
↑ = transition from low to high level
a...h = the level of steady-state input at inputs A thru H, respectively.
Q_{A0}, Q_{B0}, C_{H0} = the level of Q_A, Q_B, or Q_H, respectively, before the indicated steady-state input conditions were established.
Q_{An}, Q_{Gn} = the level of Q_A or Q_G, respectively, before the most recent ↑ transition of the clock.

CONTINUED ON NEXT PAGE

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

54257/74257 Quadruple 2-Line-to-1-Line Data Selector/Multiplexer With 3-State Output

	Schottky TTL					High-Speed TTL					Low-Power Schottky TTL					Standard TTL					Low-Power TTL				
	Device Type	Package				Device Type	Package				Device Type	Package				Device Type	Package				Device Type	Package			
		C	P	M	CF		C	P	M	CF		C	P	M	CF		C	P	M	CF		C	P	M	
T. I.	SN54S257	J(1)			W(1)						SN54LS257	J(1)			W(1)										
	SN74S257	J(1)	N(1)								SN74LS257	J(1)	N(1)												
FAIRCHILD	/FM93S257	D(1)									FM54LS257/FM74LS257	D(1)			F(1)										
	FC54S257/FC93S257	D(1)									FC74LS257/FC93LS257	D(1)	P(1)		F(1)										
MOTOROLA																									
N. S. C.	DM74S257		N(1)								SN74LS257		P(1)												
PHILIPS	N74S257		(1)																						
SIGNETICS	S54S257	X(1)			W(1)						N74LS257		(1)												
	N74S257	X(1)	D(1)																						
SIEMENS											N74LS257		A(1)												
FUJITSU																									
HITACHI	HD74S257		P(1)								74LS257		M(1)												
MITSUBISHI	M5S257		P(1)								HD74LS257		P(1)												
NEC											M74LS257		P(1)												
AMD	Am54S257		(1)								74LS257		C(1)												
	Am74S257		(1)								Am54LS257		(1)												
											Am74LS257		(1)												

Electrical Characterics SN54LS257/SN74LS257

absolute maximum ratings over operating free-air temperature range

Supply voltage, V_{CC}	7V	Operating free-air temperature range	SN54LS	−55°C to	125°C
Input voltage	7V		SN74LS	0°C to	70°C
Off-state output voltage	5.5V	Storage temperature range		−65°C to	150°C

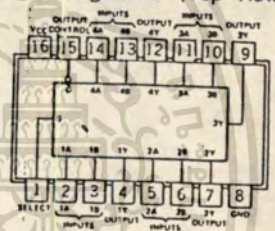
recommended operating conditions

	SN54LS257			SN74LS257			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage, V_{CC}	4.5	5	5.5	4.75	5	5.25	V
High-level output current, I_{OH}			−1			−2.6	mA
Low-level output current, I_{OL}			12			24	mA
Operating free-air temperature, T_A	−55		125	0		70	°C

electrical characteristics over recommended operating free-air temperature range

PARAMETER		TEST CONDITIONS †		MIN	TYP‡	MAX	UNIT
V_{IH}	High-level input voltage			2			V
V_{IL}	Low-level input voltage					0.8	V
V_I	Input clamp voltage	V_{CC} = MIN, I_I = −18mA				−1.5	V
V_{OH}	High-level output voltage	V_{CC} = MIN, V_{IH} = 2V, V_{IL} = 0.8V, I_{OH} = MAX	SN54LS	2.4	3.4		V
			SN74LS	2.4	3.1		
V_{OL}	Low-level output voltage	V_{CC} = MIN, V_{IH} = 2V, V_{IL} = 0.8V, I_{OL} = 24mA			0.35	0.5	V
I_{OZH}	Off-state output current, high-level voltage applied	V_{CC} = MAX, V_{IH} = 2V, V_O = 2.7V				20	μA
I_{OZL}	Off-state output current, low-level voltage applied	V_{CC} = MAX, V_{IH} = 2V, V_O = 0.4V				−20	μA
I_I	Input current at maximum input voltage	S input	V_{CC} = MAX, V_I = 7V			0.2	mA
		Any other				0.1	
I_{IH}	High-level input current	S input	V_{CC} = MAX, V_I = 2.7V			40	μA
		Any other				20	
I_{IL}	Low-level input current	S input	V_{CC} = MAX, V_I = 0.5V			−0.8	mA
		Any other				−0.4	
I_{OS}	Short-circuit output current*	V_{CC} = MAX		−30		−130	mA
I_{CC}	Supply current	All outputs high	V_{CC} = MAX, See Note 2		6.2	10	mA
		All outputs low			10	16	
		All outputs off			12	19	
t_{PLH}	from Data to Any output		V_{CC} = 5V, T_A = 25°C, C_L = 45pF, R_L = 667Ω		9	18	ns
t_{PHL}					11	18	
t_{PLH}	from Select to Any output				16	21	ns
t_{PHL}					19	25	
t_{ZH}	from Output Control to Any output				17	30	ns
t_{ZL}					17	30	
t_{HZ}	from Output Control to Any		V_{CC} = 5V, T_A = 25°C, C_L = 5PF, R_L = 667Ω		17	30	ns
t_{LZ}					15	25	

Pin Assignment (Top View)



Positive logic: see function table

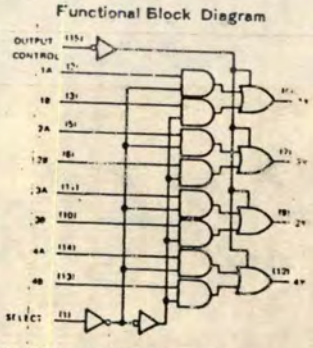
Function Table

'S257, 'LS257,

INPUTS				OUTPUT
OUTPUT CONTROL	SELECT	A	B	Y
H	X	X	X	Z
L	L	L	X	L
L	L	H	X	H
L	H	X	L	L
L	H	X	H	H

H = high level, L = low level, X = irrelevant, Z = high impedance (off)

Functional Block Diagram



'S257, 'LS257 QUADRUPLE 2-LINE-TO-1-LINE DATA SELECTOR/MULTIPLEXER

NOTE: I_{CC} is measured with all outputs open and all possible inputs grounded while achieving the stated output conditions.

* t_{PLH} = propagation delay time, low-to-high-level output
t_{PHL} = propagation delay time, high-to-low-level output
† For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions for the applicable device type.
* Not more than one output should be shorted at a time and duration of the short-circuit test should not exceed one second.
‡ All typical values are at V_{CC} = 5V, T_A = 25°C
t_{ZH} = output enable time to high level
t_{ZL} = output enable time to low level
t_{HZ} = output disable time from high level
t_{LZ} = output disable time from low level

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

54244/74244 Octal Buffers/Line Drivers/Line Receivers

	Schttky TTL					High-Speed TTL					Low-Power Schottky TTL					Standard TTL					Low-Power TTL				
	Device Type	Package				Device Type	Package				Device Type	Package				Device Type	Package				Device Type	Package			
		C	P	M	CF		C	P	M	CF		C	P	M	CF		C	P	M	CF		C	P	M	CF
T. I.											SN54LS244	J ①													
FAIRCHILD											SN74LS244	J ①	N ①												
MOTOROLA																									
N. S. C.																									
PHILIPS																									
SIGNETICS																									
SIEMENS																									
FUJITSU																									
HITACHI																									
MITSUBISHI																									
NEC																									
TOSHIBA																									

Electrical Characteristics SN54LS244/SN74LS244

absolute maximum ratings over operating free-air temperature range

Supply voltage, V_{CC}	7V	Operating free-air temperature range	SN54LS	55°C to 125°C
Input voltage	5.5V		SN74LS	0°C to 70°C
Interemitter voltage	5.5V	Storage temperature range		-65°C to 150°C

recommended operating conditions

	LS54LS244			SN74LS244			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage, V_{CC}	4.5	5	5.5	4.75	5	5.25	V
High-level output current, I_{OH}			-12			-15	mA
Low-level output current, I_{OL}			12			24	mA
Operating free-air temperature, T_A	55		125	0		70	°C

electrical characteristics over recommended operating free-air temperature range (unless noted otherwise)

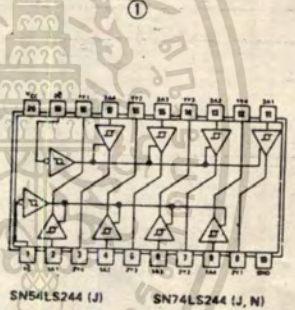
PARAMETER		TEST CONDITIONS †		SN74LS MIN	SN74LS TYP‡	SN74LS MAX	UNIT
V_{IH}	High-level input voltage			2			V
V_{IL}	Low-level input voltage					0.8	V
V_{IK}	Input clamp voltage	V_{CC} = MIN,	I_I = -18mA			-1.5	V
	Hysteresis($V_{T+} - V_{T-}$)	V_{CC} = MIN			0.2	0.4	V
V_{OH}	High-level output voltage	V_{CC} = MIN, V_{IL} = V_{IL} max,	V_{IH} = 2V, I_{OH} = -3mA	2.4	3.4		V
		V_{CC} = MIN, V_{IL} = 0.5V,	V_{IH} = 2V, I_{OH} = MAX	2			
V_{OL}	Low-level output voltage	V_{CC} = MIN, V_{IH} = 2V, V_{IL} = V_{IL} max	I_{OL} = 12mA			0.4	V
			I_{OL} = 24mA			0.5	
I_{OZH}	Off-state output current, high-level voltage applied	V_{CC} = MAX, V_{IH} = 2V, V_{IL} = V_{IL} max	V_O = 2.7V			20	μA
I_{OZL}	Off-state output current, low-level voltage applied		V_O = 0.4V			-20	
I_I	Input current at maximum input voltage	V_{CC} = MAX,	V_I = 7V			0.1	mA
I_{IH}	High-level input current, any input	V_{CC} = MAX,	V_I = 2.7V			20	μA
I_{IL}	Low-level input current	V_{CC} = MAX,	V_{IL} = 0.4V			-0.2	mA
I_{OS}	Short-circuit output current ◆	V_{CC} = MAX		-40		-225	mA
I_{CC}	Supply current	V_{CC} = MAX, Outputs open	Outputs high, All		13	23	mA
			Outputs low, 'LS244		27	46	
			All outputs disabled, 'LS244		32	54	

switching characteristics, V_{CC} 5V, T_A 25°C

PARAMETER		TEST CONDITIONS	MIN	TYP	MAX	UNIT
t_{PLH}	Propagation delay time, low-to-high-level output	C_L = 45pF, R_L = 667Ω, See Note 2		9	14	ns
t_{PHL}	Propagation delay time, high-to-low-level output			12	18	ns
t_{PZL}	Output enable time to low level			20	30	ns
t_{PZH}	Output enable time to high level			15	23	ns
t_{PLZ}	Output disable time from low level	C_L = 5pF, R_L = 667Ω, See Note 2		15	25	ns
t_{PHZ}	Output disable time from high level			10	18	ns

† For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.
‡ All typical values are at V_{CC} = 5V, T_A = 25°C.
◆ Not more than one output should be shorted at a time, and duration of the short-circuit should not exceed one second.
NOTE 2 : Load circuit and voltage wave forms are shown on page 3-11.

Pin Assignment (Top View)



SN54LS244 (J) SN74LS244 (J, N)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

54293/74293 Asynchronous 4-Bit Binary Counter

	Schottky TTL				High Speed TTL				Low-Power Schottky TTL				Standard TTL				Low-Power TTL			
	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	C
T.I.											SN54LS293	J (1)			W (1)	SN54293	J (1)		L	W (1)					
FAIRCHILD											SN74LS293	J	N (1)			SN74293	J (1)	N (1)							
MOTOROLA											9LS293		P (1)			FM9316	D (1)								
N.S.C.											SN74LS293		P (1)			FC74293 · FC9316	D (1)	P (1)		F (1)					
PHILIPS																MC74293		P (1)							
SIGNETICS											N74LS293														
SIEMENS											N74LS293		A (1)												
FUJITSU																									
HITACHI																									
MITSUBISHI													IP (1)			HD74293		P (1)							
NEC											M74LS293		P (1)			M53493		P (1)							
TOSHIBA																									

Electrical Characteristics SN54LS293 SN74LS293

absolute maximum ratings over operating free-air temperature range

Supply voltage, V_{CC}	7V	Operating free-air temperature range	SN54LS	−55°C to 125°C
Input voltage	7V		SN74LS	0°C to 70°C
		Storage temperature range		−65°C to 150°C

recommended operating conditions

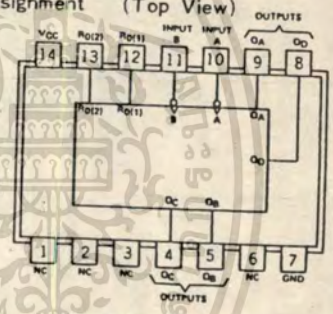
		SN54LS293			SN74LS293			UNIT
		MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage, V_{CC}		4.5	5	5.5	4.75	5	5.25	V
High-level output current, I_{OH}				−400			−400	μA
Low-level output current, I_{OL}				4			8	mA
Count frequency, f_{count}	A input	0		32	0		32	MHz
	B input	0		16	0		16	
Pulse width, t_w	A input	15			15			ns
	B input	30			30			
	Reset inputs	15			15			
Reset inactive-state setup, t_{setup}		25			25			ns
Operating free-air temperature, T_A		−55		125	0		70	°C

electrical characteristics over recommended operating free-air temperature range

PARAMETER ‖		TEST CONDITIONS†		MIN	TYP‡	MAX	UNIT
V_{IH}	High-level input voltage			2			V
V_{IL}	Low-level input voltage					0.8	V
V_I	Input clamp voltage	V_{CC} = MIN, I_I = −18mA				−1.5	V
V_{OH}	High-level output voltage	V_{CC} = MIN, V_{IH} = 2V, V_{IL} = 0.8V, I_{OH} = −400μA		2.7	3.4		V
V_{OL}	Low-level output voltage	V_{CC} = MIN, V_{IH} = 2V, V_{IL} = 0.8V, I_{OL} = 8mA			0.35	0.5	V
I_I	Input current at maximum input voltage: Any reset	V_{CC} = MAX, V_I = 7V				0.1	mA
	A input	V_{CC} = MAX, V_I = 5.5V				0.2	
	B input					0.2	
I_{IH}	High-level input current: Any reset	V_{CC} = MAX, V_I = 2.7V				20	μA
	A input					40	
	B input					40	
I_{IL}	High-level input current: Any reset	V_{CC} = MAX, V_I = 0.4V				0.4	mA
	A input					2.6	
	B input					1.6	
I_{OS}	Short-circuit output current ◆	V_{CC} = MAX	SN54LS	−20		−100	mA
			SN74LS	−20		−100	
I_{CC}	Supply current	V_{CC} = MAX, See Note 2			9	15	mA
f_{max}	from A to output Q_A	V_{CC} = 5V, T_A = 25°C, C_L = 15pF, R_L = 2kΩ		32	42		MHz
	from B to output Q_B			16			
t_{PLH}	from A to output Q_A				10	16	ns
t_{PHL}					12	18	
t_{PLH}	from A to output Q_D				45	70	ns
t_{PHL}					45	70	
t_{PLH}	from B to output Q_B				10	16	ns
t_{PHL}					14	21	
t_{PLH}	from B to output Q_C				21	32	ns
t_{PHL}					23	35	
t_{PLH}	from B to output Q_D				34	51	ns
t_{PHL}					34	51	
t_{PHL}	from Set-to-0 to Any output				26	40	ns

‖ f_{max} = maximum count frequency t_{PLH} = propagation delay time, low-to-high level output t_{PHL} = propagation delay time, high-to-low-level output
§ Q_A outputs are tested at I_{OL} = 16mA plus the limit value for I_{IL} for the B input. This permits driving the B input while maintaining full fan-out capability.
† For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions for the applicable type.
‡ All typical values are at V_{CC} = 5V, T_A = 25°C.
◆ Not more than one output should be shorted at a time.

Pin Assignment (Top View)



COUNT SEQUENCE Function Table

293, LS293 (See Note 4)

COUNT	OUTPUT Q_D	Q_C	Q_B	Q_A
0	L	L	L	L
1	L	L	L	H
2	L	L	H	L
3	L	L	H	H
4	L	H	L	L
5	L	H	L	H
6	L	H	H	L
7	L	H	H	H
8	H	L	L	L
9	H	L	L	H
10	H	L	H	L
11	H	L	H	H
12	H	H	L	L
13	H	H	L	H
14	H	H	H	L
15	H	H	H	H

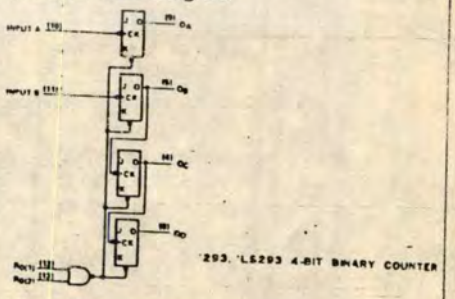
RESET/COUNT

293, LS293

RESET INPUTS $R_{0(1)}$	$R_{0(2)}$	OUTPUT Q_D	Q_C	Q_B	Q_A
H	H	L	L	L	L
L	X	COUNT			
X	L	COUNT			

H = high level, L = low level, X = irrelevant

Functional Block Diagram



NOTES: 1. This is the voltage between two emitters of a multiple-emitter transistor. For these circuits, this rating applies between the two R_0 inputs.
2. I_{CC} is measured with all outputs open, both R_0 inputs grounded following momentary connection to 4.5V, and all other inputs grounded.
3. The J and K inputs shown without connection are for reference only and are functional at a high level.
4. Output Q_A is connected to input B.

ให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

54164/74164 8-Parallel-Out Serial Shift Register

	Schottky TTL				High-Speed TTL				Low-Power Schottky TTL				Standard TTL				Low-Power TTL			
	Device Type	Package			Device Type	Package			Device Type	Package			Device Type	Package			Device Type	Package		
		C	P	M CF		C	P	M CF		C	P	M CF		C	P	M CF		C	P	M CF
T.I.									SN54LS164	J①		W①	SN54164	J①		W①	SN54L164	J①	N①	T①
FAIRCHILD									SN74LS164	J①	N①		SN74164	J①	N①		SN74L164	J①	N①	T①
MOTOROLA									FJH54LS164 / FJH74LS164	D①		F①	FJH54164 FJH74164	D①						
N.S.C.									FC74LS164 / FC93LS164	D①	P①	F①	FC74164 / FC93164	D①	P①					
PHILIPS									SN74LS164		P①		MC74164		P①					
SIGNETICS									DM74LS164		P①						DM54L164	J①	N①	
SIEMENS									DM54LS164		P①		DM74164		N①		DM74L164	J①	N①	
FUJITSU																				
HITACHI									N74LS164		P①		N74164		P①					
MITSUBISHI													S54164	F①	A①	W①				
NEC									N74LS164		A①		N74164	F①	A①					
TOSHIBA																				
AMD													FLJ441		J①					
									74LS164		M①									
									HD74LS164		P①		HD74164		P①					
									M74LS164		P①		M53364		P①					
									AM74LS		C①		μPB2164		D①					
													TD3503A		P①					
									AM74LS164											

Electrical Characteristics SN54LS164 SN74LS164

absolute maximum ratings over operating free-air temperature range

Supply voltage, V_{CC}	7 V	Operating free-air temperature range	SN54	−55°C	to 125°C
Input voltage	7 V		SN74	0°C	to 70°C
		Storage temperature range		−65°C	to 150°C

recommended operating conditions

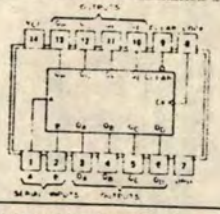
	SN54LS164			SN74LS164			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage, V_{CC}	4.5	5	5.5	4.75	5	5.25	V
High-level output current, I_{OH}			−400			−400	μA
Low-level output current, I_{OL}			4			8	mA
Clock frequency, f_{clock}	0		25	0		25	MHz
Width of clock or clear input pulse, t_w	20			20			ns
Data setup time, t_{setup}	15			15			ns
Data hold time, t_{hold}	5			5			ns
Operating free-air temperature, T_A	−55		125	0		70	°C

electrical characteristics over recommended operating free-air temperature range

PARAMETER		TEST CONDITIONS†		MIN	TYP‡	MAX	UNIT
V_{IH}	High-level input voltage			2			V
V_{IL}	Low-level input voltage					0.8	V
V_I	Input clamp voltage	V_{CC} = MIN, I_I = −18mA				−1.5	V
V_{OH}	High-level output voltage	V_{CC} = MIN, V_{IH} = 2 V, V_{IL} = 0.8 V, I_{OH} = −400 μA		2.7	3.5		V
V_{OL}	Low-level output voltage	V_{CC} = MIN, V_{IH} = 2 V, V_{IL} = 0.8 V, I_{OL} = 8 mA			0.35	0.5	V
I_I	Input current maximum input voltage	V_{CC} = MAX, V_I = 7 V				0.1	mA
I_{IH}	High-level input current	V_{CC} = MAX, V_I = 2.7 V				20	μA
I_{IL}	Low-level input current	V_{CC} = MAX, V_I = 0.4 V				−0.4	mA
I_{OS}	Short-circuit output current*	V_{CC} = MAX	SN54LS	−20		−100	mA
			SN74LS	−20		−100	
I_{CC}	Supply current	V_{CC} = MAX, See Note 1			16	27	mA
f_{max}	Maximum clock frequency	V_{CC} = 5 V, T_A = 25°C, R_L = 2 kΩ	C_L = 15 pF	25	36		MHz
t_{PHL}	Propagation delay time, high-to-low level Q outputs from clear input		C_L = 15 pF	24	36		ns
t_{PLH}	Propagation delay time, low-to-high level Q outputs from clock input		C_L = 15 pF	17	27		ns
t_{PHL}	Propagation delay time, high-to-low level Q outputs from clock input		C_L = 15 pF	21	32		ns

Pin Assignment (Top View)

①



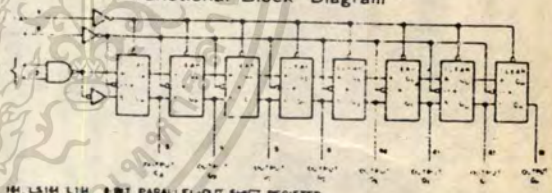
positive logic: see function table

Function Table

'164, 'LS164, 'L164 (see Note 2)

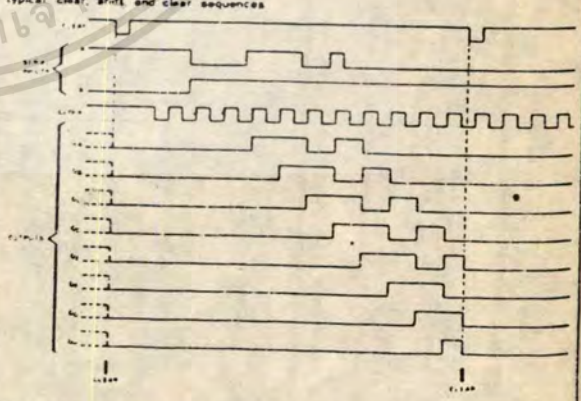
INPUTS				OUTPUTS			
CLEAR	CLOCK	A	B	Q_A	Q_B	...	Q_H
L	X	X	X	L	L		L
H	L	X	X	Q_{A0}	Q_{B0}		Q_{H0}
H	↑	H	H	H	Q_{An}		Q_{Gn}
H	↑	L	X	L	Q_{An}		Q_{Gn}
H	↑	X	L	L	Q_{An}		Q_{Gn}

Functional Block Diagram



H, LS1H, L1H 8-BIT PARALLEL-OUT SHIFT REGISTER

typical clear, shift, and clear sequences



NOTES: 1. I_{CC} is measured with outputs open, serial inputs grounded, and a momentary ground, then 4.5 V, applied to clear.

2. H = high level (steady state), L = Low level (steady state), X = irrelevant (any input, including transitions), ↑ = transition from low to high level, Q_{A0}, Q_{B0}, Q_{H0} = the level of Q_A, Q_B, or Q_H, respectively, before the indicated steady-state input conditions were established, Q_{An}, Q_{Gn} = the level of Q_A or Q_G before the most recent ↑ transition of the clock, indicates a one-bit shift.

†For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions for the applicable device type.

‡All typical values are at V_{CC} = 5 V, T_A = 25°C.

*Not more than one output should be shorted at a time.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5402/7402, Quadruple 2-Input Positive-NOR Gate

	Schottky TTL					High-Speed TTL					Low-Power Schottky TTL					Standard TTL					Low-Power TTL				
	Device Type	Package				Device Type	Package				Device Type	Package				Device Type	Package				Device Type	Package			
		C	P	M	CF		C	P	M	CF		C	P	M	CF		C	P	M	CF		C	P	M	CF
T.I.	SN54S02	J①			W①						SN54LS02	J①			W①	SN5402	J①			W②	SN54L02	J①	N①	T①	
	SN74S02	J①	N①								SN74LS02	J①	N①			SN7402	J①	N①			SN74L02	J①	N①	T①	
FAIRCHILD	FM54S02/FM95O2	D①			F①						FM54LS02/FM9L02	D①			F①	FM5402/FM9N02	D①			F②					
	FC74S02/FC95O2	D①	P①		F①						FC74LS02/FC9L02	D①	P①		F①	FC7402/FC9N02	D①	P①		F②					
MOTOROLA																MC5402	L①			F②					
N.S.C.											SN74LS02		P①			MC7402	L①	P①		F②					
											DM54LS02					DM5402	J①	N①		W②	DM54L02	J①	N①		F①
											DM74LS02					DM7402	J①	N①			DM74L02	J①	N①		F①
PHILIPS	N74S02		①																						
											N74LS02		①			FJH221/7402		①							
SIGNETICS	N74S02		A①													S5402	F①	A①		W②					
											N74LS02		A①			N7402	F①	A①							
SIEMENS																									
																FLH191		①							
FUJITSU																									
											74LS02		M①			MB417	①	IA①							
HITACHI	HD74S02		P①																						
											HD74LS02		P①			HD7402/HD2511	①	P①							
M. SUBISHI																									
											M74LS02		P①			M53202		P①							
NEC																									
																μPB232	D①	C①							
TOSHIBA																									
																TD3402A		P①							

Electrical Characteristics SN54LS02/SN74LS02

absolute maximum ratings over operating free-air temperature range

Supply voltage, V_{CC}	7V	Operating free-air temperature range	SN54LS	−55°C to 125°C
Input voltage	7V		SN74LS	0°C to 70°C
		Storage temperature range		−65°C to 150°C

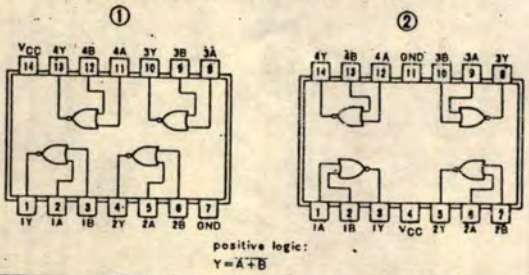
recommended operating conditions

	SN54LS02			SN74LS02			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage, V_{CC}	4.5	5	5.5	4.75	5	5.25	V
High-level output current, I_{OH}			−400			−400	μA
Low-level output current, I_{OL}			4			8	mA
Operating free-air temperature, T_A	−55		125	0		70	°C

electrical characteristics over recommended operating free-air temperature range

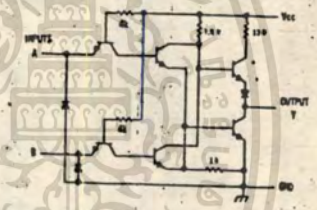
PARAMTER		TEST CONDITIONS†		MIN	TYP‡	MAX	UNIT
V_{IH}	High-level input voltage			2			V
V_{IL}	Low-level input voltage					0.8	V
V_I	Input clamp voltage	V_{CC}=MIN, I_I=−18mA				−1.5	V
V_{OH}	High-level output voltage	V_{CC}=MIN, V_{IL}=V_{IL} max, I_{OH}=MAX		2.7	3.4		V
V_{OL}	Low-level output voltage	V_{CC}=MIN, V_{IH}=2V, I_{OL}=4mA			0.25	0.4	V
I_I	Input current at maximum input voltage	V_{CC}=MAX, V_I=7V				0.1	mA
I_{IH}	High-level input current, Data inputs	V_{CC}=MAX, V_{IH}=2.7V				20	μA
I_{IL}	Low-level input current, Data inputs	V_{CC}=MAX, V_{IL}=0.4V				0.4	mA
I_{OS}	Short-circuit output current◆	V_{CC}=MAX.	54LS Family	−20		−100	mA
			74LS Family	−20		−100	
I_{CCH}	Supply current	V_{CC}=MAX	Total, outputs high		1.6	3.2	mA
I_{CCL}	Supply current		Total, outputs low		2.8	5.4	mA
I_{CC}	Supply current	V_{CC}=5V	Average per gate (50% duty cycle)		0.55		mA
t_{PLH}	Propagation delay time, low-to-high-level output	V_{CC}=5V, T_A=25°C.			10	15	ns
t_{PHL}	Propagation delay time, high-to-low-level output	C_L=15pF, R_L=2kΩ			10	15	ns

Pin Assignments (Top View)

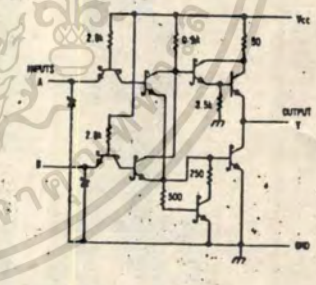


positive logic:
$Y = \overline{A+B}$

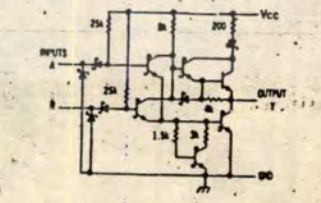
Schematics (each gate)



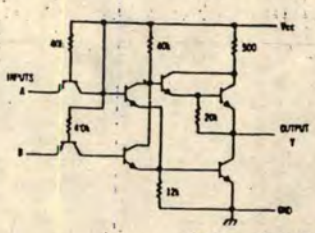
'02 CIRCUIT



'S02 CIRCUIT



'LS02 CIRCUIT



'L02 CIRCUIT

Resistor values shown are nominal and in ohms.

† For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.
‡ All typical values are at V_{CC}=5V, T_A=25°C.
◆ Not more than one output should be shorted at a time, and for 'SN54S'/'SN74S', duration of output short-circuit should not exceed one second.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

254

54257/74257 Quadruple 2-Line-to-1-Line Data Selector/Multiplexer With 3-State Output

	Schottky TTL					High-Speed TTL					Low-Power Schottky TTL					Standard TTL					Low-Power TTL				
	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF
T. I.	SN54S257	J①			W①						SN54LS257	J①			W①										
	SN74S257	J①	N①								SN74LS257	J①	N①												
FAIRCHILD	/FM93S257	D②									FM54LS257/FMR-S257	D②			F②										
	FC74S257/FC93S257	D②									FC74LS257/FCR-S257	D②	P②		F②										
MOTOROLA																									
											SN74LS257	P①													
N. S. C.																									
	DM74S257	N①																							
PHILIPS																									
	N74S257	①									N74LS257	①													
SIGNETICS	S54S257	X①			W①																				
	N74S257	X①	B①								N74LS257	A①													
SIEMENS																									
FUJITSU																									
											74LS257	M①													
HITACHI	HD74S257	P①									HD74LS257	P①													
MITSUBISHI	M5S257	P①									M74LS257	P①													
NEC																									
											74LS257	C①													
AMD	Am54S257	①									Am54LS257														
	Am74S257	①									Am74LS257														

Electrical Characterics SN54LS257/SN74LS257

absolute maximum ratings over operating free-air temperature range

Supply voltage, V_{CC}	7V	Operating free-air temperature range	SN54LS	−55°C to	125°C
Input voltage	7V		SN74LS	0°C to	70°C
Off-state output voltage	5.5V	Storage temperature range		−65°C to	150°C

recommended operating conditions

	SN54LS257 MIN	NOM	MAX	SN74LS257 MIN	NOM	MAX	UNIT
Supply voltage, V_{CC}	4.5	5	5.5	4.75	5	5.25	V
High-level output current, I_{OH}			−12			−2.6	mA
Low-level output current, I_{OL}			12			24	mA
Operating free-air temperature, T_A	−55		125	0		70	°C

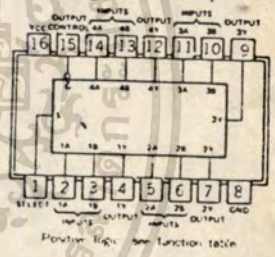
electrical characteristics over recommended operating free-air temperature range

PARAMETER		TEST CONDITIONS †		MIN	TYP‡	MAX	UNIT
V_{IH}	High-level input voltage			2			V
V_{IL}	Low-level input voltage					0.8	V
V_I	Input clamp voltage	V_{CC} = MIN, I_I = −18mA				−1.5	V
V_{OH}	High-level output voltage	V_{CC} = MIN, V_{IH} = 2V, V_{IL} = 0.8V, I_{OH} = MAX	SN54LS	2.4	3.4		V
			SN74LS	2.4	3.4		
V_{OL}	Low-level output voltage	V_{CC} = MIN, V_{IH} = 2V, V_{IL} = 0.8V, I_{OL} = 24mA			0.35	0.5	V
I_{OZH}	Off-state output current, high-level voltage applied	V_{CC} = MAX, V_{IH} = 2V, V_O = 2.7V				20	μA
I_{OZL}	Off-state output current, low-level voltage applied	V_{CC} = MAX, V_{IH} = 2V, V_O = 0.4V				−20	μA
I_I	Input current at maximum input voltage	S input	V_{CC} = MAX, V_I = 7V			0.2	mA
		Any other				0.1	
I_{IH}	High-level input current	S input	V_{CC} = MAX, V_I = 2.7V			40	μA
		Any other				20	
I_{IL}	Low-level input current	S input	V_{CC} = MAX, V_I = 0.5V			−0.8	mA
		Any other				−0.4	
I_{OS}	Short-circuit output current ◆	V_{CC} = MAX		−30		−130	mA
I_{CC}	Supply current	All outputs high	V_{CC} = MAX, See Note 2		6.2	10	mA
		All outputs low			10	16	
		All outputs off			12	19	
t_{PLH}	from Data to Any output		V_{CC} = 5V, T_A = 25°C, C_L = 45pF, R_L = 667Ω		9	18	ns
t_{PHL}					11	18	
t_{PLH}	from Select to Any output				16	21	ns
t_{PHL}					19	25	
t_{ZH}	from Output Control to Any output				17	30	ns
t_{ZL}					17	30	
t_{HZ}	from Output Control to Any		V_{CC} = 5V, T_A = 25°C, C_L = 5PF, R_L = 667Ω		17	30	ns
t_{LZ}					15	25	

* t_{PLH} = propagation delay time, low-to-high-level output
t_{PHL} = propagation delay time, high-to-low-level output
† For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions for the applicable device type.
◆ Not more than one output should be shorted at a time and duration of the short-circuit test should not exceed one second.
‡ All typical values are at V_{CC} = 5V, T_A = 25°C

t_{ZH} = output enable time to high level
t_{ZL} = output enable time to low level
t_{HZ} = output disable time from high level
t_{LZ} = output disable time from low level

Pin Assignment (Top View)



Positive logic: see function table

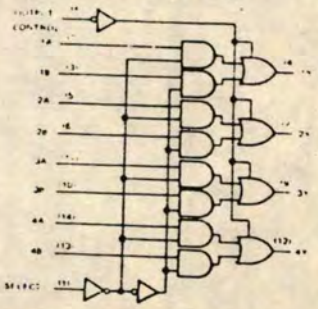
Function Table

'S257, 'LS257,

OUTPUT CONTROL	INPUTS SELECT	A	B	OUTPUT Y
H	X	X	X	Z
L	L	L	X	L
L	L	H	X	H
L	H	X	L	L
L	H	X	H	H

H = high level, L = low level, X = irrelevant,
Z = high impedance (off)

Functional Block Diagram



'S257, 'LS257 QUADRUPLE 2-LINE-TO-1-LINE DATA SELECTOR/MULTIPLEXER

NOTE: I_{CC} is measured with all outputs open and all possible inputs grounded while achieving the stated output conditions.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น และห้ามมิให้ทำซ้ำ ดัดแปลง เผยแพร่ หรือนำไปใช้ในเชิงพาณิชย์ ไม่ว่าในรูปแบบใดๆ ก่อนได้รับอนุญาตเป็นลายลักษณ์อักษรจากจุฬาลงกรณ์มหาวิทยาลัย ขอสงวนสิทธิ์ในการดำเนินคดีตามกฎหมายสูงสุดกับผู้ที่นำเอกสารนี้ไปใช้ในทางที่ผิดทุกกรณี

54138/74138 3-Line-to-8-Line Decoder

	Schottky TTL					High-Speed TTL					Low-Power Schottky TTL					Standard TTL					Low-Power TTL				
	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF
T.I.	SN54S138	J①			W①						SN54LS138	J①			W①									
	SN74S138	J①	N①								SN74LS138	J①	N①											
FAIRCHILD	/FW93S138	D①									FW54LS138/FW93LS138	D①			F①									
	FC74S138/FC93S138	D①									FC74LS138/FC93LS138	D①	P①		F①									
MOTOROLA																								
											SN74LS138		P①											
N.S.C.	DM74S138		①								DM74LS138		①											
											DM54LS138		①											
PHILIPS	N74S138		①																					
											N74LS138		①											
SIGNETICS	S54S138	F①	B①		W①																			
	N74S138	F①	B①								N74LS138		A①											
SIEMENS																								
FUJITSU																								
											74LS138		M①											
HITACHI																								
											HD74LS138		P①											
MITSUBISHI	M74S138		P①																					
											M74LS138		P①											
NEC																								
											74LS138		C①											
TOSHIBA																								

Electrical Characteristics SN54LS138/SN74LS138

absolute maximum ratings over operating free-air temperature range

Supply voltage, V_{CC}	7V	Operating free-air temperature range	SN54LS	−55°C to 125°C
Input voltage	7V		SN74LS	0°C to 70°C
		Storage temperature range		−65°C to 150°C

recommended operarating conditions

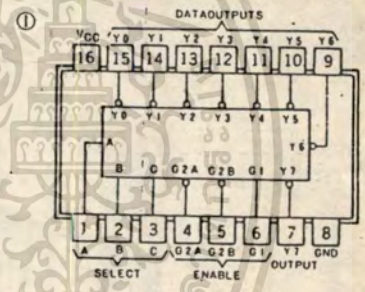
	SN54LS138 MIN	NOM	MAX	SN74LS138 MIN	NOM	MAX	UNIT
Supply voltage, V_{CC}	4.5	5	5.5	4.75	5	5.25	V
High-level output current, I_{OH}			−400			−400	μA
Low-level output current, I_{OL}			4			8	mA
Operating free-air temperature, T_A	−55		125	0		70	°C

electrical characteristics over recommended operating free-air temperature range

PARAMETER*		TEST CONDITIONS†		MIN	TYP‡	MAX	UNIT
V_{IH}	High-level input voltage			2			V
V_{IL}	Low-level input voltage					0.8	V
V_I	Input clamp voltage	V_{CC} = MIN, I_I = −18mA				−1.5	V
V_{OH}	High-level output voltage	V_{CC} = MIN, V_{IH} = 2V, V_{IL} = 0.8V, I_{OH} = −400μA	SN54LS	2.5	3.4		V
			SN74LS	2.7	3.4		
V_{OL}	Low-level output voltage	V_{CC} = MIN, V_{IH} = 2V, V_{IL} = 0.8V, I_{OL} = 8mA			0.35	0.5	V
I_I	Input current at maximum input voltage	V_{CC} = MAX, V_I = 7V				0.1	mA
I_{IH}	High-level input current	V_{CC} = MAX, V_I = 2.7V				20	μA
I_{IL}	Low-level input current	V_{CC} = MAX, V_I = 0.4V				−0.4	mA
I_{OS}	Short-circuit output current*	V_{CC} = MAX		−20		−100	mA
I_{CC}	Supply current	V_{CC} = MAX, Outputs enabled and open			6.3	10	mA
t_{PLH}	from Binary select to Any output	V_{CC} = 5V, T_A = 25°C, C_L = 15pF, R_L = 2kΩ	levels of delay = 2		13	20	ns
t_{PHL}					27	41	
t_{PLH}			3		18	27	ns
t_{PHL}					26	39	
t_{PLH}	from Enable to Any output		2		12	18	ns
t_{PHL}					21	32	
t_{PLH}			3		17	26	ns
t_{PHL}					25	38	

† For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions for the applicable device type.
‡ All typical values are at V_{CC} = 5V, T_A = 25°C.
* Not more than one output should be shorted at a time, and duration of the short-circuit test should not exceed one second.
t_{PLH} = propagation delay time, low-to-high-level output
t_{PHL} = propagation delay time, high-to-low-level output

Pin Assignments (Top View)



positive logic: see function table

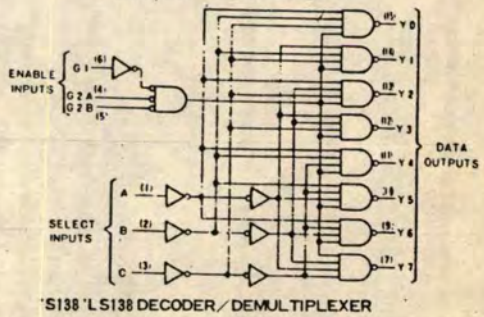
Function Table

'S138 'LS138

INPUTS ENABLE G1	ENABLE G2*	SELECT C	B	A	OUTPUTS Y0	Y1	Y2	Y3	Y4	Y5	Y6	Y7
X	H	X	X	X	H	H	H	H	H	H	H	H
L	X	X	X	X	H	H	H	H	H	H	H	H
H	L	L	L	L	L	H	H	H	H	H	H	H
H	L	L	L	H	H	L	H	H	H	H	H	H
H	L	L	H	L	H	H	L	H	H	H	H	H
H	L	L	H	H	H	H	H	L	H	H	H	H
H	L	H	L	L	H	H	H	H	L	H	H	H
H	L	H	L	H	H	H	H	H	H	L	H	H
H	L	H	H	L	H	H	H	H	H	H	L	H
H	L	H	H	H	H	H	H	H	H	H	H	L

* G2 = G2A + G2B
H = high level, L = low level, X = irrelevant

Functional Block Diagram



'S138 'LS138 DECODER/DEMULTIPLEXER

เอกสารนี้จัดทำขึ้นเพื่อการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ขอขอบคุณ อาจารย์ มนัส สังวรศิลป์ ที่คอยดูแล ให้คำปรึกษามาโดยตลอด

ขอบคุณมากๆสำหรับ พี่อรรถสิทธิ์ หล่าสกุล และพี่ๆปริญญาโทในห้อง BIOELECTRONICS ทุกคนที่คอยให้กำลังใจ คำแนะนำ และช่วยแก้ไขปัญหายากๆ ให้ลุล่วงมาได้จนโครงงานสำเร็จมาได้ด้วยดี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หนังสืออ้างอิง

1. ชนินทร ถาวรศาสนวงศ์ , ทินกร ดุ๊ก , " การอินเตอร์เฟส IBM PC " , ฟิสิกส์ เซ็นเตอร์ การพิมพ์ , 2531

2. สานนท์ แก้วอบเชย , " ET ออกจอ ตอนที่ 1 " , วารสารเซมิคอนดัคเตอร์ อิ -เลคทรอนิคส์ ฉบับที่ 80 , สิงหาคม 2530 , หน้า 146-154

3. " IBM Tehnical Reference " , printed in U.S.A. , April 1983

4. Texas Instruments Incorporated , " The TTL Data Book For Design Engineer second edition " , printed in U.S.A. , 1981

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้