



คณนันทนาการ

023163

-9.ลค.2532

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อเรื่อง เครื่องถ่ายข้อมูลระหว่างอีพროม

โดย นายภราคร จินตาวงศ์ เลขประจำตัว 30.3316 หอง อี.ที. 2

ภาควิชา เทคนิคอุตสาหกรรม

อาจารย์ที่ปรึกษา อาจารย์ประสิทธิ์ วัชรพิบูลย์



023163

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า-
ไม่รักรณีใดๆทั้งสิ้น อีกทั้งห้ามคัดลอกเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าลาดกระบัง อนุมัติให้
ปริญญาบัตรนี้เป็นส่วนหนึ่งของการศึกษาคามหลักสูตรปริญญาอุตสาหกรรมศาสตรบัณฑิต



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

หน้า

บทที่ 1		
	บทนำ	1
บทที่ 2		
	โครงสร้างของ อีพรอม	3
บทที่ 3		
	การใช้งานของ อีพรอม	8
บทที่ 4		
	ไอซีกำเนิดเวลา	29
บทที่ 5		
	การออกแบบและการใช้งาน	36
บทที่ 6		
	สรุป	46
	ภาคผนวก	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป

รูปแสดงลักษณะอิพรอม	1
รูปแสดงแบบอย่างง่าย ๆ ของเอ็นฮานเมนต์ เอ็นเซนแบล มอสเฟค	3
รูปแสดงความสัมพันธ์ระหว่างกระแสและแรงคินเมื่อยังไม่โปรแกรมและเมื่อโปรแกรมแล้ว	4
รูปแสดงปรากฏการณ์โนเชลขณะกำลังเขียนข้อมูล	5
รูปแสดงโครงสร้างของอิพรอมแบบอะเรย์	7
รูปแสดงลักษณะชาอิพรอม 2716	8
รูปแสดงตารางเวลาขณะเขียนข้อมูลอิพรอม 2716	13
รูปแสดงลักษณะชาอิพรอม 2732	17
รูปแสดงตารางเวลาของ 2732 ขณะเขียนข้อมูล	20
รูปแสดงการจิกชาอิพรอม 2764	21
รูปแสดงตารางเวลาของ 2764	24
รูปแสดงการจิกชาไอซีเก่าเน็คเวลา	30
รูปแสดงบล็อกโคะแกรมการทำงานวงจรภายในไอซี 555	31
รูปแสดงวงจรไอซี 555	33
รูปแสดงการจิกชาของอิพรอม	38
รูปแสดงวงจรเครื่องถ่ายข้อมูลระหว่างอิพรอม	40

เครื่องถ่ายข้อมูลระหว่างอีพรอม

นายภราดร จินดาวงศ์

อ.ประคิษฐ์ วัชรพิบูลย์ ที่ปรึกษา

ปีการศึกษา 2531

หลักย่อ

ในวิทยานิพนธ์ฉบับนี้ เรียบเรียงขึ้นจากความคึกใน เรื่องของการโปรแกรมข้อมูลเข้าสู่
พรอม เพื่อให้ใช้งานสะดวกและวางจรง่ายเพื่อประหยัดงบประมาณ วิธีการที่ง่ายที่สุดในการ
งข้อมูลระหว่างอีพรอมนั้นกระทำโดยการวางขาแอกเครสและจักขาคาค่าใหญ่ของตรงกัน

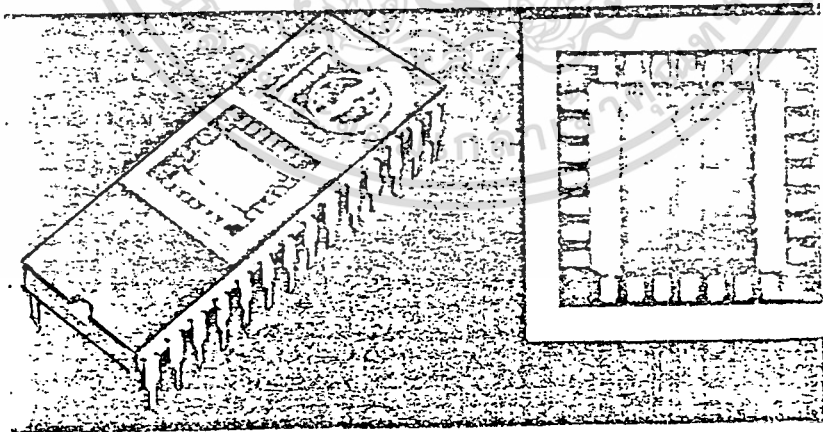
การจักขาคควบคุมนั้นก็จะต้องจักใหญ่ของมีจะนั้นจะ เกิดความผิดพลาดของข้อมูล หรือ
จจะทำให้การ โปรแกรมไม่ไค่ ทั้งนี้ก็เนื่องจ่าเป็นในารออกแบบเมื่อเราออกแบบ
ควบคุม ขาแอกเครส และขาคาค่าถูกของทุกอย่างแล้วการส่งข้อมูลก็จะถูกของในที่สุด

บทที่ 1

บทนำ

โปรแกรมมอนิเตอร์ (monitor program) ของระบบไมโครคอมพิวเตอร์ใด ๆ ที่กำลังพัฒนาอยู่นั้น เพื่อความสะดวกโดยปกติ ก็จะบรรจุอยู่ใน ไอซี (Integrated Circuit) หน่วยความจำแบบถาวรที่สามารถเก็บรักษาข้อมูลเดิมไว้ได้แม้ไม่มีไฟเลี้ยง และสามารถเขียนแฉ่งแก้ไขข้อมูลภายในได้ เมื่อต้องการอีพรอม (Erasable Programmable Read Only Memory) เป็น ไอซีแบบหนึ่งที่กำลังก้าวถึงแล้วข้างต้น ในระยะเริ่มแรกนี้ หลังจากที่อีพรอมรุ่นแรกๆ ได้ถูกสร้างขึ้น การพัฒนาทางด้าน Solidstate Electronic ได้ก้าวมาอย่างรวดเร็ว ทำให้การพัฒนาทางด้านอุปกรณ์ หน่วยความจำมีความจุมากขึ้นในขณะที่ขนาดลดลง ในปัจจุบันการพัฒนากันอีพรอมโดยบริษัท ลิตอนไครด์สารกึ่งตัวนำต่าง ๆ ได้ผลิตหน่วยความจำอีพรอมขนาด 32 กิโลไบต์ x 8 ออกสู่ท้องตลาดอย่างกว้างขวาง รูปที่ 1-1 แสดงให้เห็นถึงหน่วยความจำอีพรอมขนาด 32 กิโลไบต์ x 8 ซึ่งเป็นไอซีขนาด 28 ขา

ในการประยุกต์ใช้งานอีพรอมนั้น นอกจากจะใช้เป็นที่เก็บโปรแกรมมอนิเตอร์แล้ว เรายังสามารถนำไปใช้งานอย่างอื่นได้อีก เช่น



รูปที่ 1-1 แสดงลักษณะอีพรอม

- Character Generator ซึ่งเป็นการเก็บรหัสการแสดงผลของตัวอักษร และตัวเลข รวมทั้งอักขระต่าง ๆ เพื่อที่จะไปแสดงผลที่ CRT (Cathode Ray Tube) displays , printers หรือ LED (Light - Emitting Diode) -displays เป็นต้น

- Combination Logic Networks โดยปกติจะใช้ Logic gate สร้าง Combination Logic network ขึ้นมา แต่ด้วยราคาที่สูงลงเรื่อย ๆ ของไอซีรวม ทำให้ไอซีรวมเป็นที่นิยมในงานเช่นนี้

- Code Conversion เป็นการแปลงรหัส "ตัวอย่างหนึ่ง" เป็นรหัสอีกอย่างหนึ่ง เช่น เลขไบนารี (binary number) 13 บิต เป็น 4 - digit BCD (binary code decimal)



บทที่ 2

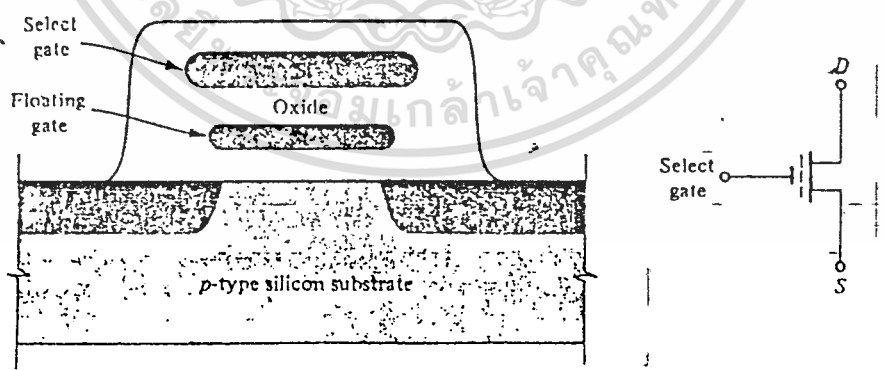
โครงสร้างของ อีพროม

2.1 รอมที่เขียนข้อมูลได้และลบข้อมูลได้ (EPROM)

EPROM คือ ROM ซึ่งสามารถเขียนข้อมูลลงไปและลบข้อมูลทิ้งได้ใหม่หลาย ๆ ครั้ง ตามความต้องการของผู้ใช้ ซึ่งเป็น ROM ชนิดที่มีความสูง แต่อย่างไรก็ตามจะสังเกตได้ว่า วิธีการของการลบข้อมูลและเขียนข้อมูลใหม่ จะสิ้นเปลืองเวลาพอสมควร

2.2 หน่วยที่เล็กที่สุดของ อีพროม (EPROM cell)

ในด้านศิลปกรรมนั้น อีพროมเซลล์จะมีอยู่มากมาย แบบที่มีใช้กันบ่อย ๆ ซึ่งมีสภาพหน้าตัด ดังแสดงในรูป 2 - 1 เซลล์นี้เป็นแบบอย่างง่าย ๆ ของเอ็นฮานเมนต์ เอ็น-แชล-แนล โมสเฟต (enhancement n-channel mosfet) ซึ่งมีเกต (gate) 2 อัน ทำจากสารโพลีซิคอน (polysilicon) มีอยู่เกตหนึ่งที่ไม่ได้เชื่อมต่อกับไฟฟ้า กับส่วนใด ๆ ของวงจร



รูปที่ 2 - 1

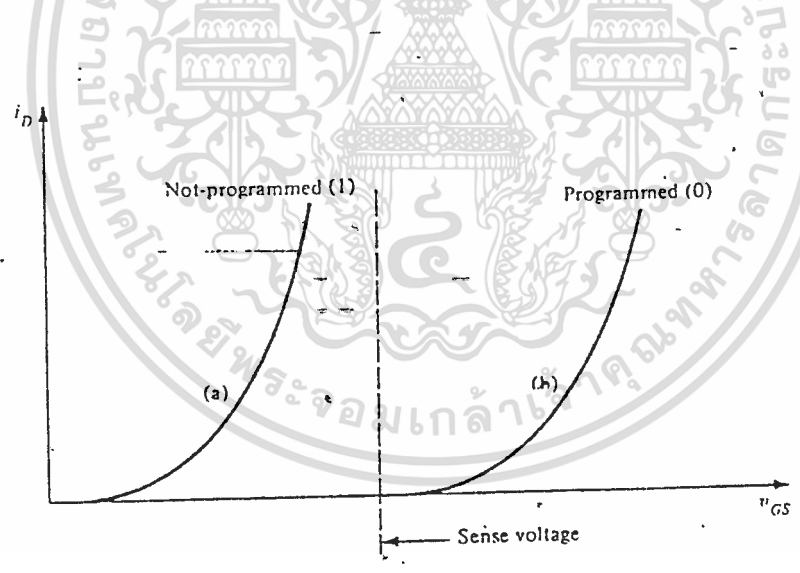
แสดงแบบอย่างง่าย ๆ ของเอ็นฮานเมนต์ เอ็นแชนแนล โมสเฟต

ซึ่งจะดูเหมือนถูกปล่อยไว้ ลอย ๆ เรียกกันว่า เกตปล่อยลอย (floating - gate) ส่วนอีกเกตหนึ่งที่เหลือเรียกว่า select gate มีหน้าที่เช่นเดียวกับเกตทั่ว ๆ ไปใน เอ็นชานเมนต์มอสเฟต

มอสทรานซิสเตอร์ในรูป 2-1 ก. นั้น เป็นลักษณะของทรานซิสเตอร์เกตปล่อยลอย (floating - gate transistor) และมีสัญลักษณ์ ดังแสดงในรูปที่ 2-1 ข. ในสัญลักษณ์นี้ เส้นประจะแสดงถึงเกตปล่อยลอย เซลล์หน่วยความจำนี้ เรียกว่า stacked - gate cell

2.3 การทำงานของทรานซิสเตอร์แบบเกตปล่อยลอย

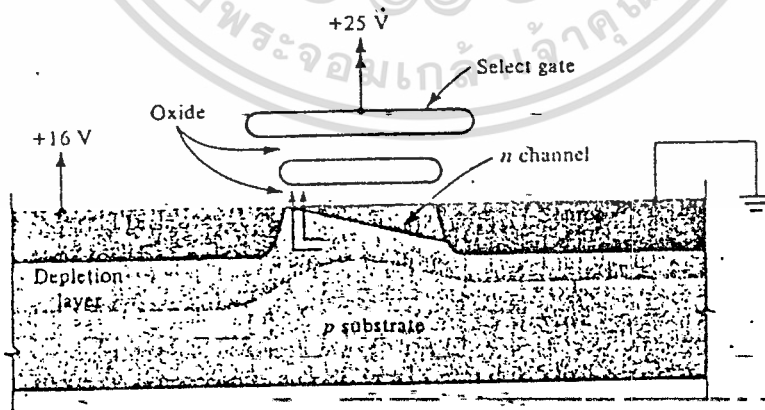
ก่อนที่เซลล์จะถูกเขียนข้อมูลลงไป ประจุไฟฟ้าลบจะยังไม่ปรากฏอยู่บนเกตปล่อยลอย และเซลล์นี้จะทำหน้าที่เป็นเอ็นแอสล เอ็นชานเมนต์มอสเฟต ธรรมดา ซึ่งจะมีลักษณะความสัมพันธ์ระหว่าง i_D กับ V_{GS} ดังเส้นโค้ง ก. ดังแสดงในรูป 2-2



รูปที่ 2-2

แสดงความสัมพันธ์ระหว่าง i_D กับ V_{GS} เมื่อยังไม่โปรแกรมและโปรแกรมแล้ว

จะสังเกตเห็นว่า ศักดาเทรสถโธลค์ (threshold voltage) (V_T) จะมีค่าต่ำในสภาวะ (state) ซึ่งทรานซิสเตอร์ขณะนี้เรียกว่า "สภาวะที่ยังไม่ได้ถูกเขียนข้อมูล" (not-programmed state) ซึ่งเราจะไค้สถานะ (status) ของสภาวะที่ยังไม่ได้เขียนข้อมูลนี้มีค่าเป็น " 1 " ในการเขียนข้อมูลลงไปนัทรานซิสเตอร์แบบเกตปล่อยลอยจะต้องให้ศักดาไฟฟ้าประมาณ 16 - 20 โวลท์ ป้อนระหว่าง ขา drain และ ขา source ในขณะที่เดียวกัน select gate จะถูกป้อนด้วยศักดาไฟฟ้าราว 25 โวลท์ ในรูป 2-3 แสดงให้เห็นมอสเฟตแบบเกตปล่อยลอยในขณะกำลังเขียนข้อมูล ประจุไฟฟ้าลบที่ยังไม่ปรกฏบนเกตปล่อยลอยนั้น เซลล์จะประพฤติตัวเป็น เอ็น-แชนแนล เอ็นชานเมนต์ มอสเฟตธรรมดาเท่านั้น ความต่างศักดาไฟฟ้าระหว่าง ขา drain กับ ขา source จะเป็นตัวเร่งให้อิเล็กตรอนวิ่งทะลุแชนแนล (channel) อิเล็กตรอนเหล่านี้จะได้รับพลังงานจลน์อย่างเพียงพอ ซึ่งเรียกว่า hot electron ศักดาสูงที่ป้อนให้ ขา gate (สูงกว่า ศักดาไฟฟ้าที่ drain) จะเป็นตัวสร้างสนามไฟฟ้าในชั้น ฉนวนออกไซด์ สนามไฟฟ้านี้จะดึงดูด hot electron และเร่งมันให้พุ่งตรงไปยังเกตปล่อยลอย ซึ่งจะเป็ผลให้เกตปล่อยลอยซึ่งจะเป็นผลให้เกตปล่อยลอย ถูกประจุไว้ด้วยอิเล็กตรอนเหล่านี้ ขบวนการของการอัดประจุนี้จะสิ้นสุดด้วยตัวของมันเอง คือ



รูปที่ 2-3

แสดงปรากฏการณ์ในเซลล์ขณะกำลังเขียนข้อมูล

เอกสารนี้เป็นเอกสารที่สงวนไว้เพื่อการใช้งานเฉพาะเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆทั้งสิ้นหากมีเหตุขัดข้อง กรุณาแจ้งมายังฝ่ายบริการลูกค้า โทร. 02-111-1111

ประจุลบที่สถิตย์อยู่บนเกตปล่อยลอย จะเป็นตัวลดความเข้มข้นของสนามแม่เหล็ก จนถึงจุดที่สนามแม่เหล็กอ่อนตัวลง จนไม่สามารถเร่ง hot electron ได้อีกต่อไป

ต่อไปเป็นการพิจารณาเกี่ยวกับผลเนื่องจากประจุลบที่เกตปล่อยลอย ในลักษณะการทำงานของทรานซิสเตอร์ ประจุลบที่ถูกดักอยู่ในเกตปล่อยลอย จะเป็นผลให้อิเล็กตรอนผลหนีออกจากผิวของ substrate ซึ่งหมายถึงว่า แชนแนล ถูกก่อร่างขึ้น สักคาไฟฟ้าบวกที่ข้อนให้กับ select gate จำเป็นต้องมีค่าสูงกว่าที่ต้องการ เมื่อเกตปล่อยลอยยังไม่ได้ถูกอัดประจุ หรืออีกนัยหนึ่ง คือ สักคาเทรสถิต (V_T) ของเซลล์ที่ถูกเขียนข้อมูลแล้ว จะมีค่าสูงกว่าเมื่อครั้งยังไม่ถูกเขียนข้อมูล อันที่จริงการเขียนข้อมลงไปในเซลล์ เป็นผลให้เส้นโค้งลักษณะความสัมพันธ์ระหว่าง i_D กับ V_{GS} ถูกเลื่อนออกไปทางขวามือ ดังในเส้นโค้ง ข. ตามรูปที่ 2-2 ในสภาวะนี้เรียกว่า "สภาวะที่ถูกเขียนข้อมูลแล้ว" (programmed state) โดยที่เซลล์นี้จะเก็บข้อมูลเป็น " 0 "

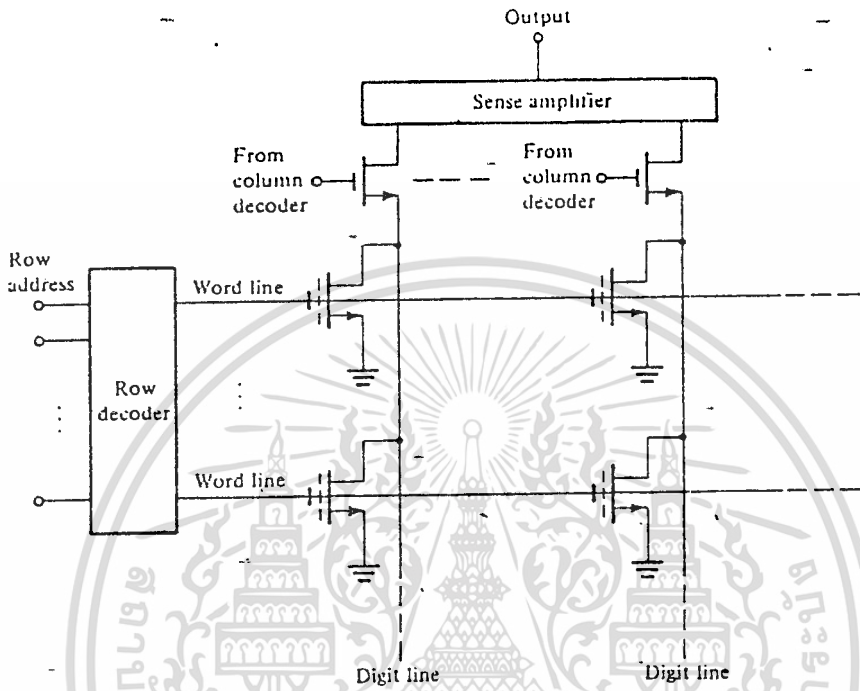
เมื่อได้เขียนข้อมูลลงไปแล้ว เกตปล่อยลอยยังคงเลื่อนเส้นโค้งแสดงความสัมพันธ์ระหว่าง i_D กับ V_{GS} ค่าอยู่แม่แหล่งจ่ายไฟตรงจะถูกปลดออกไปแล้ว โดยการทดลองผลปรากฏว่า ข้อมูลที่ถูกเขียนลงไปในเซลล์นี้ จะคงอยู่เป็นระยะเวลาจนถึง 100 ปีทีเดียว

2.4 โครงสร้างอีพรอมแมม (EPROM Cell Array)

ในรูปที่ 2-4 แสดงให้เห็นถึงส่วนหนึ่งของโครงสร้างอีพรอม แบบ cell ซึ่งจะเห็นว่า stacked - gate cell ถูกต่อเชื่อมอยู่กับ เวิร์ด และ ดิจิตไลน์ ได้อย่างไร

ตามรูป select gate ของแต่ละแถวของเซลล์ จะถูกต่อกับเวิร์ดไลน์ของแถวนั้น ขา drain ของทรานซิสเตอร์ในแต่ละคอลัมน์ จะถูกต่อกับ ดิจิตไลน์ ของคอลัมน์นั้น และ ขา source ทั้งหมดจะถูกต่อลงดิน

ในขบวนการอ่าน (read operation) เวิร์ดไลน์ ของแถวที่เลือกจะถูกแยกขึ้นไปยังสักคาไฟฟ้าของครึ่งหนึ่งระหว่างค่า V_T ของเซลล์ที่เขียนข้อมูลแล้วกับ V_T



รูปที่ 2-4

แสดงโครงสร้างของอีพროมแบบ array

ของเซลล์ที่ยังไม่เขียนข้อมูล หรือในกรณีที่เซลล์ที่ยังไม่เขียนข้อมูล จะนำกระแสได้ ดังนั้นจะทำให้ศักดาไฟฟ้าของ ดิจิตไลน์ ของมันมีค่าต่ำ หรือพูดอีกอย่างหนึ่งคือ เซลล์ที่เขียนข้อมูลลงไปแล้วจะไม่นำกระแส และดิจิตไลน์ ของมันจะยังคงมีศักดิไฟฟ้าสูงอยู่ คอมพิวเตอร์โคตเตอร์จะเลือก ดิจิตไลน์ ขึ้นมาเส้นหนึ่ง และจะต่อมันเข้ากับ เซ็นส์แอมพลิไฟเออร์ ซึ่งทำหน้าที่จับการเปลี่ยนแปลงศักดาไฟฟ้าของดิจิตไลน์ และพิจารณาว่าข้อมูลที่เขียนไว้เป็น 1 หรือ 0

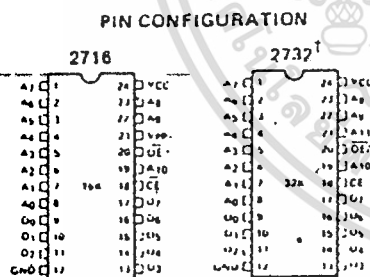
บทที่ 3

การใช้งานของอีพროม

ในบทนี้จะเป็นการกล่าวถึงวิธีใช้ อีพროม ในโหมดต่าง ๆ เช่น โหมดอ่าน, โหมดเขียน, โหมดโปรแกรม เป็นต้น โดยที่ อีพროม ที่จะนำมายกตัวอย่าง คือ อีพროม เบอร์ 2716, 2732 และ 2764 เบอร์อื่น ๆ ที่เหลือจะไม่กล่าวถึง (27128, 27256) ซึ่งรวมอยู่ในส่วนภาคผนวกท้ายหนังสือเล่มนี้แล้ว

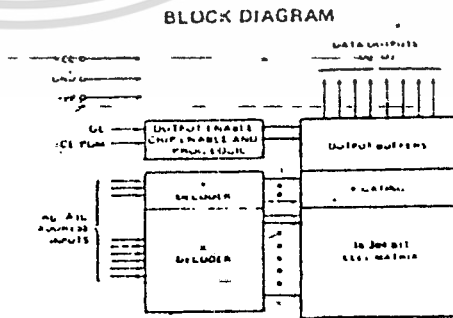
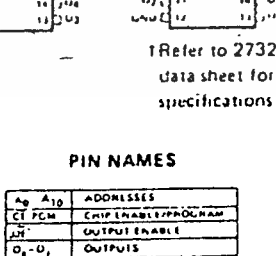
3.1 2716 16 K (2K x 8) อีพროม

ไอซี 2716 เป็น อีพროม ขนาด 16, 384 บิต ซึ่งสามารถทำงานได้โดยใช้ศักดาไฟฟ้าค่าเดียวจากแหล่งจ่ายไฟตรง 5 โวลต์ มี static stanby mode และมีลักษณะของ fast single address location programming ซึ่งจะทำให้การออกแบบใช้อีพროมได้รวดเร็วและประหยัด



MODE SELECTION

MODE	CE (16)	OE (20)	Vpp (27)	VCC (24)	OUTPUTS (0-11, 13-17)
Read	V _{IL}	V _{IL}	+5	+5	DOUT
Standy	V _{IL}	Data In	+5	+5	High Z
Program	Pulsed V _{IL} or V _{OH}	V _{OH}	+25	+5	DIN
Program Verify	V _{IL}	V _{IL}	+25	+5	DOUT
Program Inhibit	V _{OH}	V _{IL}	+25	+5	High Z



รูปที่ 3-1

แสดงลักษณะขาของอีพროม 2716



ตามมาตรฐานของบริษัท Intel ได้แบ่ง EPROM เบอร์ 2716

ออกเป็นเบอร์ย่อย ๆ ตามความเร็วของการทำงาน (access time) โดยแบ่งดังนี้

Access time	350 ns	Max	2716 - 1
	390 ns	Max	2716 - 2
	450 ns	Max	2716
	490 ns	Max	2716 - 5
	650 ns	Max	2716 - 6

ซึ่งจะเห็นว่า access time มีค่าต่ำสุดเป็น 350 ns ซึ่งสามารถใช้ได้กับ ไมโครโปรเซสเซอร์เบอร์ 8058 และ 8086 ของบริษัท Intel ได้อย่างสบาย ส่วน 2716 - 5 กับ 2716 - 6 เหมาะสำหรับงานที่มีความเร็วต่ำลงมาก อิพรอม 2716 เป็น อิพรอมเบอร์แรกสุดที่มี standby mode ซึ่งสามารถลดความสูญเสียกำลังไฟฟ้าได้โดยไม่ทำให้ access time ลดลงค่าความสูญเสียกำลังทางไฟฟ้ามียุคสูงสุดเป็น 525 mW ในขณะที่ค่าความสูญเสียกำลังทางไฟฟ้าสูงสุดใน standby mode มีค่าเพียง 132 mW ซึ่งลดลงถึง 75% ที่เดียว

3.2 คุณสมบัติในการลบข้อมูลอิพรอม

การลบข้อมูลใน อิพรอม นั้น สามารถทำได้โดยนำอิพรอมไปฉายแสงอุลตราไวโอเลต ซึ่งมีความถี่ประมาณ 400 นาโนเมตร แต่เราจะสังเกตพบว่า แสงแดด และแสงจากหลอดฟลูออเรสเซนต์ จะมีความถี่แสงอยู่ในช่วง 300 - 400 นาโนเมตร ซึ่งถ้าเรานำอิพรอมมาฉายแสงจากหลอดฟลูออเรสเซนต์ สามารถลบข้อมูลออกไปหมดได้ภายในระยะเวลาประมาณ 3 ปี ในขณะที่นำอิพรอมมาตามแดดโดยตรงจะใช้เวลาประมาณ 1 สัปดาห์ ที่จะทำให้ข้อมูลหายไปหมดเช่นกัน วิธีการที่มีความจะเป็นที่จะคงใช้งาน

อีพროมท่ามกลางแสงเหล่านี้ จึงสมควรอย่างยิ่งที่จะต้องนำกระดาษหุ้มแสงมาปิดไว้บนกระจกหน้าต่างของอีพროม เพื่อยืกระยะเวลาการใช้งานออกไป

ขอแนะนำสำหรับกระบวนการลบข้อมูลสำหรับ อีพროม เบอร์ 2716 คือ ให้นำไปฉายแสงอุลตราไวโอเลตที่มีความยาวคลื่นประมาณ 2537 อังสตรอม (A°) โดยให้มีค่า $UV\ intensity \times exposure\ time$ เท่ากับ $W - sec/cm^2$ ระยะเวลาระยะเวลาประมาณ 15 ถึง 20 นาที นับว่าเพียงพอสำหรับหลอดอุลตราไวโอเลตที่มีพิคกิ้งกำลังงานเป็น 12,000 W/cm^2 โดยวางอีพროมห่างจากหลอดอุลตราไวโอเลต ราว 1 นิ้ว

3.3 การสั่งการทำงานในโหมดต่าง ๆ

การทำงานในทั้งหมด 5 โหมด ของ 2716 แสดงอยู่ในตารางที่ 3 - 1 ซึ่งจะสังเกตเห็นว่า อินพุตทั้งหมดสำหรับ 5 โหมด นี้เป็นระดับที่ทีแอล แหล่งจ่ายไฟตรงที่ต้องการคือ 5 โวลท์ (V_{CC}). และ V_{pp} แหล่งจ่ายไฟ V_{pp} จะต้องมีค่า 25 โวลท์ ระหว่างที่อยู่ในโหมด ของการเขียนข้อมูลทั้ง 3 โหมด และมีค่าเป็น 5 โวลท์ ในอีก 2 โหมด ที่เหลือ

MODE	CS/PGM (101)	OE (120)	Vpp (121)	VCC (124)	OUTPUTS (19 11, 13 17)
Read	V _{IL}	V _{IL}	+5	+5	DOUT
Standby	V _{IH}	Don't Care	+5	+5	High Z
Program	Pulse V _{IL} to V _{IH}	V _{IH}	+25	+5	— OI _N —
Program Verify	V _{IL}	V _{IL}	+25	+5	DOUT
Program Inhibit	V _{IL}	V _{IH}	+25	+5	High Z

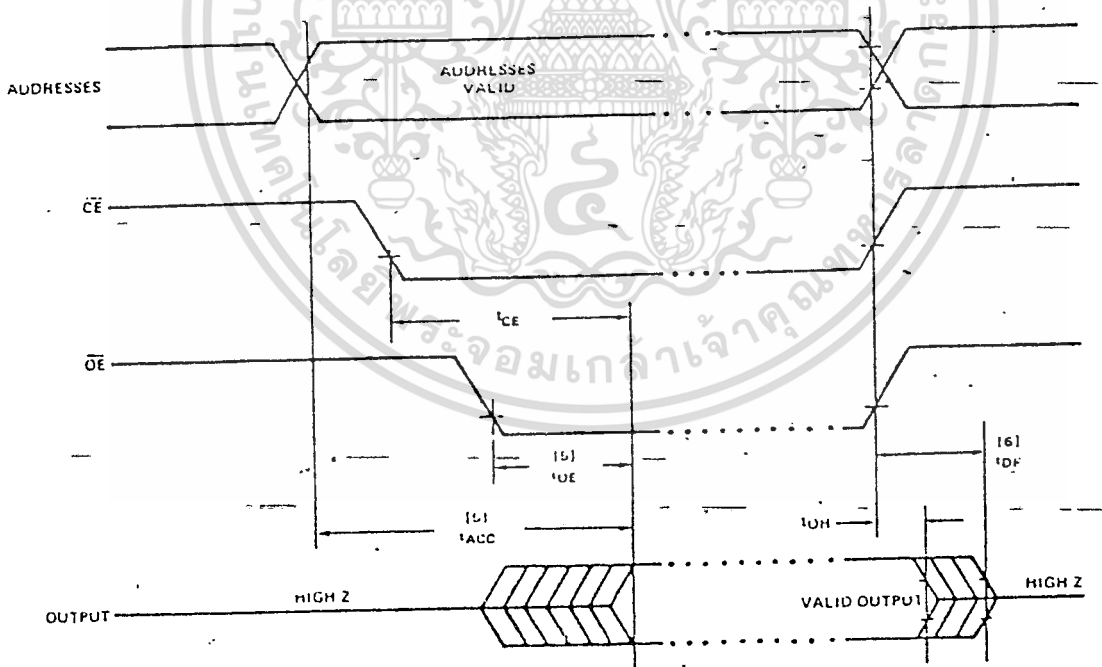
ตารางที่ 3 - 1

แสดงการเลือกโหมดของอีพროม 2716

3.3.1 โหมดการอ่านข้อมูล (READ Mode)

อีพროม 2716 มีฟังก์ชันควบคุมอยู่ 2 สัญญาณ ซึ่งทั้ง 2 อันนี้จะต้องมีค่าเต็มเม็ดเต็มหน่วยในทางลอจิก เพื่อที่จะให้ข้อมูลปรากฏที่เอาพุท Chip Enable (CE) เป็นขา power control และใช้เป็นขา device selection อีกด้วย Output Enable เป็นขา output control และสามารถใช้เป็นส่วนควบคุมให้บ่อนข้อมูลเข้าทางขาเอาพุทได้ โดยไม่ขึ้นกับสัญญาณ device select สมมุติว่าแอสแตเรส เกิดเสถียร (Stable) แล้ว address access time (t_{ACC}) มีค่าเท่ากับเวลาหน่วยจาก CE ไปยังเอาพุท (t_{CE}) ข้อมูลจะปรากฏออกมาที่ขาเอาพุท 120 นาโนวินาที (t_{OE}) หลังจากขอบขาลงของสัญญาณ OE โดยสมมุติว่า CE มีค่า " 0 " และแอสแตเรสเกิดเสถียร แล้วอย่างน้อยที่สุดเป็นเวลาเท่ากับ $t_{ACC} - t_{OE}$

ดังรูป 3 - 2



รูปที่ 3 - 2

แสดง timing diagram ในขณะอ่านข้อมูลของอีพროม 2716

3.3.2 โหมดประหยัดกำลังไฟฟ้า (Standby Mode)

2716 มีโหมดประหยัดไฟฟ้า ซึ่งจะสามารถลดความสิ้นเปลืองไฟฟ้าขณะทำงานอยู่ได้ถึง 75 % จาก 525 mW ลดลงเหลือเพียง 132 mW 2716 จะอยู่ในโหมดประหยัดไฟฟ้าโดยการป้อน ลอจิก " 1 " ให้กับขา CE เมื่ออยู่ใน Standby mode แล้ว EPROM จะอยู่ในสภาวะลอยตัว (high impedance state) โดยไม่ขึ้นกับสัญญาณอินพุตที่ขา

3.3.3 OUTPUT OR - TIEING

เนื่องจากว่า อิทรอม มากกว่า 1 ตัว จะใช้ขั้วบอย ๆ ในหน่วยความจำขนาดต่าง ๆ ทางบริษัทอินเทลจึงได้เตรียม ขาคควบคุมไว้ 2 เส้น เพื่อที่จะใช้ในลักษณะนี้เส้นควบคุมนี้มีหน้าที่ คือ

- ก. ลดกำลังเสียบ้างไฟฟ้าให้น้อยที่สุดเท่าที่จะเป็นไปได้
- ข. เพิ่มความมั่นใจที่จะไม่ให้เกิดการสับสนในการติดต่อกันทางบัส

ข้อมูลและบัสแอกเตรส

เพื่อที่จะใช้ขาคควบคุมทั้ง 2 เส้น ได้อย่างมีประสิทธิภาพ จึงขอแนะนำให้ขา CE เป็นขาที่ถูกถอดรหัสมาจากขาแอกเตรส และขาคควบคุมอื่น ๆ ของ ซีพียู ตามสมควรและขา OE สามารถต่อได้โดยตรงกับขา READ ของ System control bus ด้วยวิธีนี้เองจะสามารถมั่นใจได้ว่า อุปกรณ์หน่วยความจำที่มีได้ถูกเลือกในการติดต่อกับระบบ จะอยู่ในโหมดประหยัดไฟฟ้าอยู่ตลอดเวลา และขาเอาท์พุทและแอกตีฟ เมื่อต้องการข้อมูลจากอุปกรณ์หน่วยความจำที่ต้องการเท่านั้น

เมื่อแอดเดรสและข้อมูลเสถียรแล้ว TTL program pulse จะป้อนเข้าสู่ขา $\overline{CE}/\overline{PGM}$ ซึ่งเป็น พัลส์ แบบที่ที่แวล 50 มิลลิวินาที active high, โปรแกรมพัลส์นี้ จะต้องป้อนเข้าไปทุก ๆ แอดเดรสที่ต้องการเขียนข้อมูล ดังนั้น เราจะสามารถที่จะเขียนข้อมูลที่แอดเดรสใด ๆ ที่เวลาใด ๆ ก็ได้ คือ จะเขียนข้อมูลเฉพาะไบต์ใดไบต์หนึ่งเท่านั้นหรือเขียนข้อมูลต่อเนื่องกันไป (Sequentially) หรือ แบบสุ่มตัวอย่าง (random) ก็ย่อมทำได้ คุณสมบัติของการเขียนข้อมูล ของ 2716 จะแสดงให้เห็นดังตารางที่ 3 - 2

2716 PROGRAM CHARACTERISTICS(1)

$T_A = 25^\circ C \pm 5^\circ C$, $V_{CC}^{(2)} = 5V \pm 5\%$, $V_{PP}^{(2,3)} = 25V \pm 1V$

D.C. Programming Characteristics

Symbol	Parameter	Min.	Typ.	Max.	Units	Test Conditions
I_{LI}	Input Current (for Any Input)			10	μA	$V_{IN} = 5.25V/0.45$
I_{PP1}	V_{PP} Supply Current			5	mA	$\overline{CE}/\overline{PGM} = V_{IL}$
I_{PP2}	V_{PP} Supply Current During Programming Pulse			30	mA	$\overline{CE}/\overline{PGM} = V_{IH}$
I_{CC}	V_{CC} Supply Current			100	mA	
V_{IL}	Input Low Level	-0.1		0.8	V	
V_{IH}	Input High Level	2.0		$V_{CC}+1$	V	

A.C. Programming Characteristics

Symbol	Parameter	Min.	Typ.	Max.	Units	
t_{AS}	Address Setup Time	2			μs	
t_{OES}	\overline{OE} Setup Time	2			μs	
t_{DS}	Data Setup Time	-2			μs	
t_{AH}	Address Hold Time	2			μs	
t_{OEH}	\overline{OE} Hold Time	2			μs	
t_{DH}	Data Hold Time	2			μs	
t_{DF}	Output Enable to Output Float Delay	0		120	ns	$\overline{CE}/\overline{PGM} = V_{IL}$
t_{OE}	Output Enable to Output Delay			120	ns	$\overline{CE}/\overline{PGM} = V_{IL}$
t_{PW}	Program Pulse Width	45	50	55	ms	
t_{PRT}	Program Pulse Rise Time	5			ns	
t_{PFT}	Program Pulse Fall Time	5			ns	

ตารางที่ 3 - 2

แสดงคุณลักษณะต่าง ๆ ของอีพროม 2716

ในการเขียนข้อมูลลงบน 2716 พร้อมกันหลาย ๆ ตัว ด้วยข้อมูลอันเดียวกัน นั้น สามารถทำได้โดยการนำเอา 2716 มาขนานกันให้หมด รวมทั้ง TTL program pulse ที่จะป้อนให้กับขา \overline{CE}/PGM ด้วย

3.3.5 การยับยั้งการเขียนข้อมูล (Program Inhibit)

การเขียนข้อมูลลงบน 2716 หลาย ๆ ตัว โดยการขนานกันด้วยข้อมูลที่ต่างกันนั้น ก็สามารถที่จะทำได้เหมือนกันกับวิธีในหัวข้อย่อย 3.3.4 ยกเว้นแต่ขา \overline{CE}/PGM เท่านั้น โปรแกรมพัลส์ระดับที่ทีแอล ที่ป้อนให้กับ 2716 เหล่านี้ ที่ขา \overline{CE}/PGM พร้อมกับที่ V_{pp} มีค่า 25 โวลต์ จะเป็นการเขียนข้อมูลลงบน 2716 โดยสมบูรณ์ ในขณะที่โปรแกรมพัลส์ระดับ ที่ทีแอล ที่ไม่แอคทีฟ ที่ 2716 ใด ๆ จะเป็นการยับยั้งไม่ให้เขียนข้อมูลลงบน 2716 นั้น จากการที่กำลังเขียนข้อมูลลงบน 2716 อื่น ๆ ที่เหลือ

3.3.6 การตรวจสอบข้อมูล (Program Verify)

ในการตรวจสอบข้อมูลที่เขียนลงไปบนอีพโรมแล้วนั้น สามารถทำได้ทันที หลังจากเขียนข้อมูลลงไปใหม่ ๆ การตรวจสอบนี้มีความจำเป็นมาก ซึ่งเราจะต้องทราบทันทีว่าข้อมูลที่เขียนลงไปแล้วไม่เกิดพลาด ตารางเวลา (timing diagram) ของการตรวจสอบข้อมูล แสดงอยู่ในส่วนท้ายของรูปที่ 3 - 3 จะสังเกตว่า เมื่อ OE มีค่า " 0 " นั้น ข้อมูลจะปรากฏออกมาแม้ว่า V_{pp} จะมีค่า 25 โวลต์ ก็ตาม

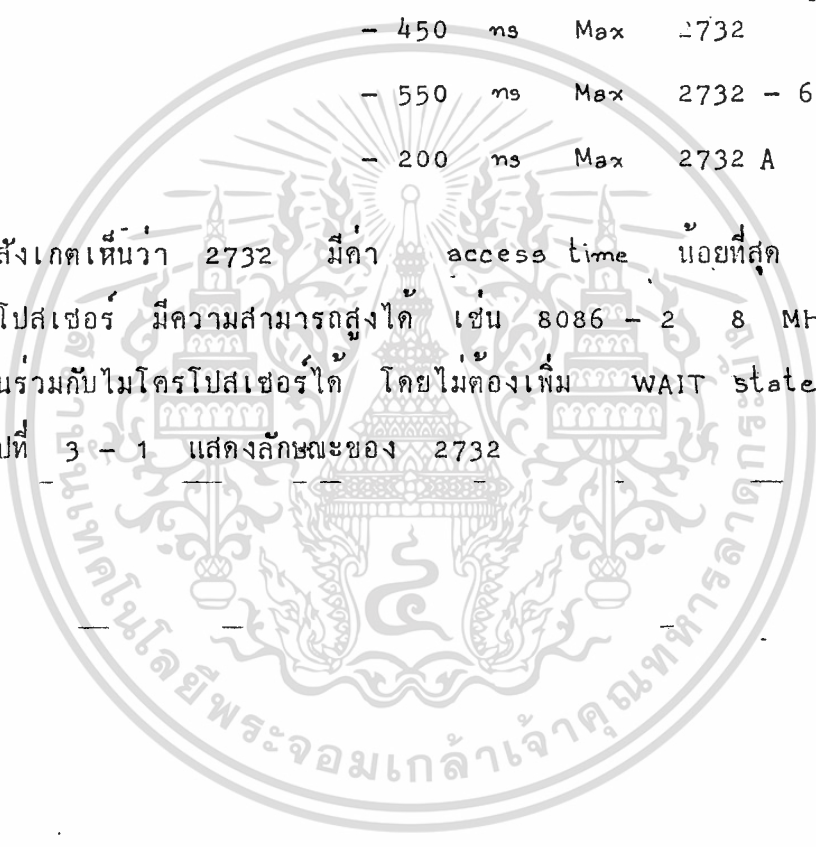
จากตารางที่ 3 - 2 เมื่อลองคำนวณเวลาที่เสียไปในการเขียนข้อมูล 1 ไบต์ และพร้อมทั้งตรวจสอบแล้ว จะเสียเวลาประมาณ 50 มิลลิวินาที ซึ่งเวลาส่วนใหญ่จะปรากฏที่โปรแกรมพัลส์ แต่ในทางปฏิบัติมิได้เป็นเช่นนั้น เนื่องจากการเขียนข้อมูลจำเป็นต้องใช้ซาร์ควัวร์ มากกว่าที่คิดไว้ในรูปที่ 3 - 2 ซึ่งวงจรของ อีพโรมโปรแกรมเมอร์ จะอธิบายในบทต่อไป

3.4 2732 32 k (4k x 8) อีพรอม

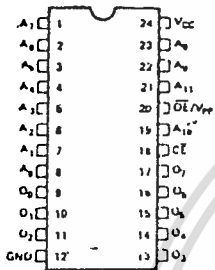
Intel 2732 เป็น อีพรอม ขนาด 32,768 บิต รวมเวลาที่ใช้ในการเขียนข้อมูลทุกไบต์เป็น 3 นาทีเดียว ทรานซิสเตอร์ 2732 มีการจำแนกตาม access time ได้ดังนี้

- 390 ns Max 2732 - 4
- 450 ns Max 2732
- 550 ns Max 2732 - 6
- 200 ns Max 2732 A

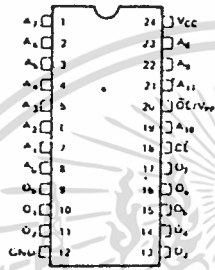
จะสังเกตเห็นว่า 2732 มีค่า access time น้อยที่สุด ซึ่งสามารถใช้ร่วมกับไมโครโปรเซสเซอร์ มีความสามารถสูงได้ เช่น 8086 - 2 8 MHZ ซึ่ง 2732 จะทำงานร่วมกับไมโครโปรเซสเซอร์ได้ โดยไม่ต้องเพิ่ม WAIT state เข้าไปในระบบเลข รูปที่ 3 - 1 แสดงลักษณะของ 2732



2732
PIN CONFIGURATION



2732A
PIN CONFIGURATION



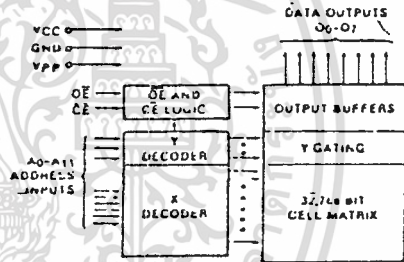
MODE SELECTION

MODE	PINS	\overline{CE} (18)	\overline{OE}/V_{pp} (20)	V_{CC} (24)	OUTPUTS (8-11,13-17)
Read		V_{IL}	V_{IL}	+5	D_{OUT}
Standby		V_{IH}	Don't Care	+5	High Z
Program		V_{IL}	V_{pp}	+5	D_{IN}
Program Verify		V_{IL}	V_{IL}	+5	D_{OUT}
Program Inhibit		V_{IH}	V_{pp}	+5	High Z

PIN NAMES

A_0-A_{11}	ADDRESSES
\overline{CE}	CHIP ENABLE
\overline{OE}	OUTPUT ENABLE
O_0, O_1	OUTPUTS

BLOCK DIAGRAM



รูปที่ 3 - 4

แสดงการจัดขาของอีพ롬 2732

2732 มีโหมดประหยัดไฟฟ้าซึ่งสามารถลดความสูญเสียกำลังไฟฟ้าได้โดยไม่เพิ่ม

access time มีค่ากระแสขณะทำงานสูงสุดเป็น 150 mA ในขณะที่ค่ากระแส

ขณะประหยัดสูงสุดเพียง 35 mA ซึ่งประหยัดได้ถึง 75%

โหมดประหยัดไฟฟ้าน 2732 มีลักษณะเหมือนโหมดประหยัดไฟฟ้าน 2716
ทุกประการ จะไม่ขอก้าวซ้ำอีก

3.5 การสั่งการทำงานในโหมดต่าง ๆ (Device Operation)

การทำงานในโหมดต่าง ๆ ของ 2732 มีลักษณะคล้ายการทำงานในโหมดต่าง
ใน 2716 คือ จะสังเกตว่า ลักษณะขาของ 2716 เป็น 24 ขา พอดี แต่ในกรณี
ของ 2732 จะมี เพิ่มขึ้นอีก ซึ่งจำเป็นจะต้องออกแบบให้ขาใดขาหนึ่งของ 2732
ทำงานถึง 2 หน้าทีเพื่อที่จะคงลักษณะขาเป็น 24 ขา เหมือนเดิม จากรูปที่ 3 - 4
จะพบว่า มีขาที่ 20 ทำงานเป็นทั้ง OE และ Vpp ตารางที่ 3 - 3 แสดงถึงการ
โหมด ของ 2732

ใน 2732 จะมี READ MODE , STANDBY MODE , OUTPUT OR - Timing PROGRAM
INHIBIT และ PROGRAM VERIFY เหมือนกับใน 2716 จึงไม่ขอก้าวซ้ำอีก

MODE	PINS (18)	CE (18)	OE/V _{pp} (20)	V _{CC} (24)	OUTPUTS (9-11,13-17)
Read		V _{IL}	V _{IL}	+5	D _{OUT}
Standby		V _{IH}	Don't Care	+5	High Z
Program		V _{IL}	V _{PP}	+5	D _{IN}
Program Verify		V _{IL}	V _{IL}	+5	D _{OUT}
Program Inhibit		V _{IH}	V _{PP}	+5	High Z

ตารางที่ 3 - 3

แสดงการเลือกโหมดต่าง ๆ ของอีพროม 2732

3.5.1 โหมคการเขียนข้อมูล

การเขียนข้อมูลลงใน 2732 มีวิธีการเกือบเหมือนกันกับใน 2716, 2732 จะอยู่ในโหมคการเขียนข้อมูล เมื่อขา OE/Vpp อยู่ที่ 25 โวลท์ ซึ่งอาจจำเป็นต้องมีตัวเก็บประจุไฟฟ้าค่า 0.1 μ F ต่อคร่อมระหว่างขา OE/Vpp กับสายดิน เพื่อลดอันตรายจากทรานเซียนท์โวลเตจ ซึ่งอาจทำให้อีพรอมเสียหายได้ โปรแกรมพลัสสำหรับ 2732 จะเป็นแบบ active low ซึ่งต่างกับของ 2716 ซึ่งเป็นแบบ active high ตารางที่ 3 - 4 เป็นตารางบอกค่าเวลาในตารางเวลา ในรูปที่ 3 - 5

A.C. PROGRAMMING CHARACTERISTICS: $T_A = 25 \pm 5^\circ\text{C}$, $V_{CC} = 5V \pm 5\%$, $V_{PP} = 25V \pm 1V$

Symbol	Parameter	Limits			Unit	Test Conditions
		Min.	Typ.	Max.		
t _{AS}	Address Setup Time	2			μ S	
t _{OE5}	OE Setup Time	2			μ S	
t _{DS}	Data Setup Time	2			μ S	
t _{AH}	Address Hold Time	0			μ S	
t _{OEH}	OE Hold Time	2			μ S	
t _{DH}	Data Hold Time	2			μ S	
t _{DF}	Chip Enable to Output Float Delay	0		120	ns	
t _{DV}	Data Valid from CE			1	μ S	CE = V _{IL} , OE = V _{IL}
t _{PW}	CE Pulse Width During Programming	45	50	55	ms	
t _{PRT}	OE Pulse Rise Time During Programming	50			ns	
t _{VR}	V _{PP} Recovery Time	2			μ S	

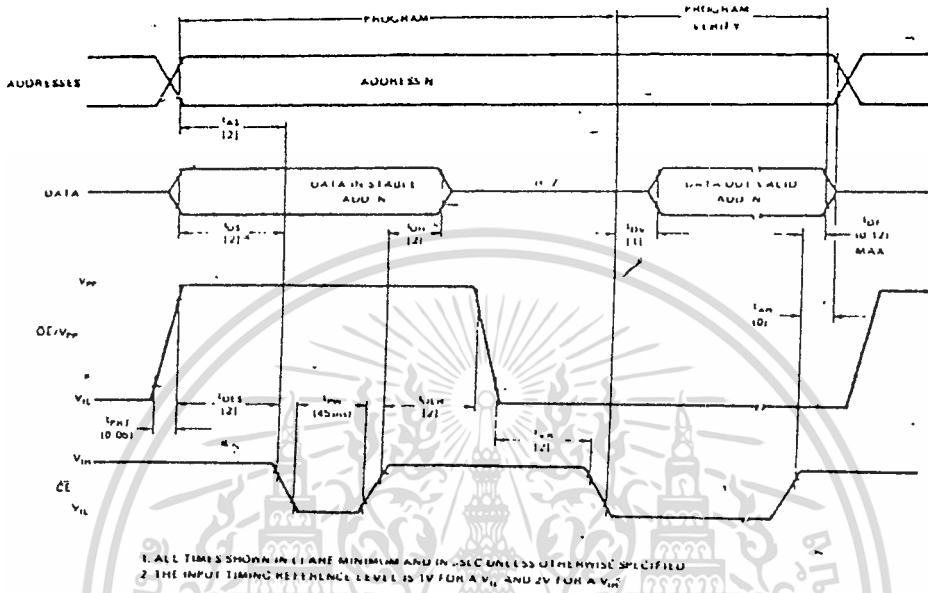
Note: 1 When programming the 2732, a 0.1 μ F capacitor is required across OE/Vpp and ground to suppress spurious voltage transients which may damage the device.

ตารางที่ 3 - 4

แสดงคุณลักษณะของอีพรอม 2732 ขณะเขียนข้อมูล

ในการเขียนข้อมูลลงบน 2732 A นั้น เหมือนกันกับใน 2732 ทุกประการ ยกเว้น Vpp ใน 2732 A เมื่ออยู่ในโหมคการเขียนข้อมูลมีค่าเป็น 21 ± 0.5 โวลท์ ซึ่งถ้า Vpp มีค่าเกิน 21.5 โวลท์ แล้ว อาจทำให้ 2732 A เสียหายได้

PROGRAMMING WAVEFORMS



รูปที่ 3 - 5

แสดงตารางเวลา ของ 2732 ในขณะทำการเขียนข้อมูล

3.6 2764 64K (8K x 8) อีพรอม

2764 เป็นอีพรอม ขนาด 65,536 บิต (8K x 8) มี
 เท่ากับ 200 นาโนวินาที ซึ่งสามารถใช้ได้กับไมโครโปรเซสเซอร์ที่มีความสามารถสูง
 เช่น 8086, 8 MHz iAPX 186 เป็นต้น ซึ่งในระบบเหล่านี้ 2764 จะยอมให้ไม
 โครโปรเซสเซอร์ทำงานได้โดยไม่ต้องมีการเพิ่ม WAIT states เลย ในโหมดประ
 พายต์ไฟฟ้าของ 2764 สามารถประพายต์กระแสไฟได้จาก 100 mA ในขณะทำงาน ลด
 ลงเหลือ 40 mA ในโหมดประพายต์ไฟฟ้าซึ่งจะเห็นว่า 2764 กินกระแสไฟน้อยกว่า
 2716 และ 2732 เนื่องจากว่า 2764 ถูกสร้างขึ้นจาก HMOS Technology
 ซึ่งเป็น high-speed N-channel MOS Silicon gate Technology
 ที่จดลิขสิทธิ์โดยบริษัท อินเทล ในรูปที่ 3 - 6 แสดงถึงลักษณะของ 2764

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น เมื่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 - ไม่ว่าจะวิธีใดๆทั้งสิ้น ยึดทั้งตามใบให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.7 การสั่งการทำงานในโหมดต่าง ๆ (Device Operation)

โหมดการทำงาน ของ 2764 มีถึง 8 โหมด ดังตารางที่ 3 - 5

MODE SELECTION

MODE	Pin 1 (CE)	Pin 2 (OE)	Pin 27 (PM)	Pin 28 (A)	Pin 29 (Vpp)	Pin 30 (VCC)	Output (11-15, 18-19)
Read	V _{IL}	V _{IL}	V _{IL}	0	V _{CC}	V _{CC}	Output
Memory Erase	V _{IL}	V _{IL}	V _{IL}	1	V _{CC}	V _{CC}	Output
Standby	V _{IL}	0	0	0	V _{CC}	V _{CC}	Output
Program	V _{IL}	V _{IL}	V _{IL}	1	V _{CC}	V _{CC}	0
Verify	V _{IL}	V _{IL}	V _{IL}	0	V _{CC}	V _{CC}	Output
Program Inhibit	V _{IL}	0	0	1	V _{CC}	V _{CC}	Output
Write/erase inhibition	V _{IL}	V _{IL}	V _{IL}	0	V _{CC}	V _{CC}	Code
High-Z Programming	V _{IL}	V _{IL}	V _{IL}	0	V _{CC}	V _{CC}	0

1. X can be V_{IH} or V_{IL}
2. V_H = 12.0V ± 0.5V

ตารางที่ 3 - 5

แสดงการเลือกโหมดต่าง ๆ ของอีพ롬 2764

ใน 2764 จะมี READ MODE, STANDBY MODE, VERIFY MODE และ PROGRAM INHIBIT MODE เหมือนใน 2716 และ 2732 (ดูรายละเอียดในภาคผนวก)

3.7.1 โหมดการเขียนข้อมูล

การเขียนข้อมูลลงใน 2764 มีวิธีการเหมือนกันกับ 2732 A ยกเว้นขา OE / Vpp ไม่ต้องการมัลติเพล็กซ์ เนื่องจาก 2764 มีขนาด 28 ขา จึงมีขาที่แยกกันได้เด็ดขาด Vpp สำหรับ 2764 มีค่า 21 ± 0.5 โวลต์ ถ้าเกินกว่า 21.5 โวลต์แล้ว อาจทำให้ 2764 เสียหายได้ ขา CE และ PM ล้วนมีค่าลอจิก " 0 " ในขณะที่เขียนข้อมูล ขาค่าลอจิก " 0 " ตลอดเวลาและโปรแกรมที่ลส์ 50 มิลลิวินาที แบบ active low ป้อนให้กับขา PM ในแต่ละไบต์ เมื่อแอดเดรสและข้อมูลเสถียรแล้ว

A.C. PROGRAMMING CHARACTERISTICS: $T_A = 25 \pm 5^\circ\text{C}$, $V_{CC} = 5V \pm 5\%$, $V_{PP} = 21V \pm 0.5V$ (see Note 1)

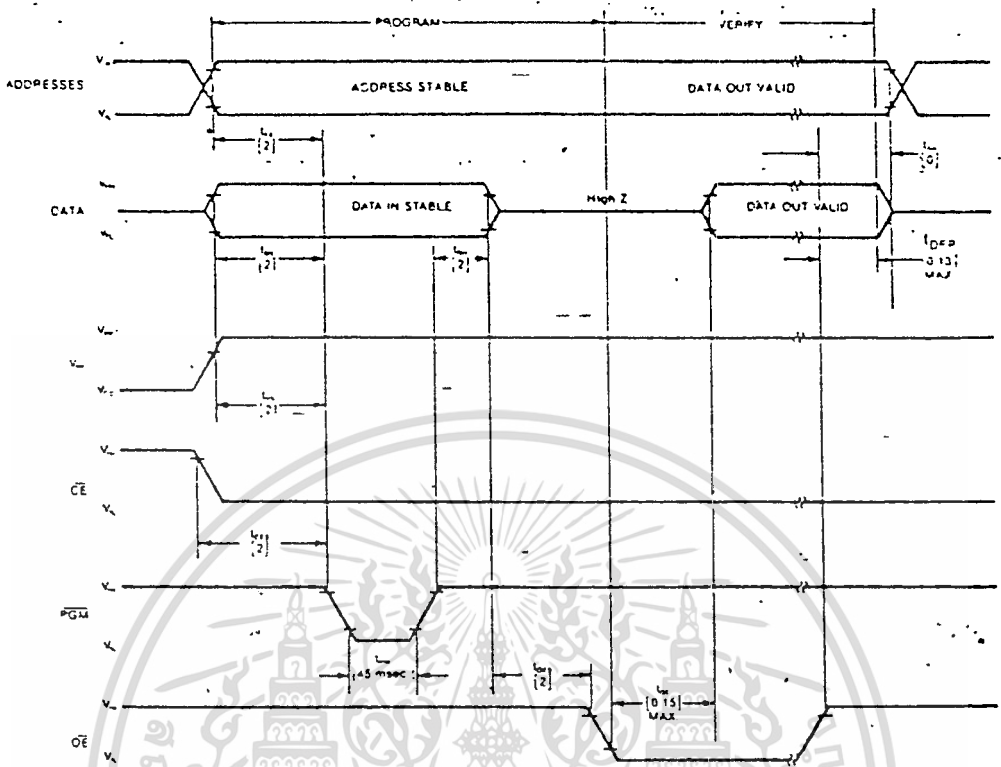
Symbol	Parameter	Limits				Test Conditions*
		Min.	Typ.	Max.	Unit	
t_{AS}	Address Setup Time	2			μs	
t_{OES}	OE Setup Time	2			μs	
t_{DS}	Data Setup Time	2			μs	
t_{AH}	Address Hold Time	0			μs	
t_{DH}	Data Hold Time	2			μs	
t_{OEF}^2	Output Enable to Output Float Delay	0		130	ns	
t_{VS}	V_{PP} Setup Time	2			μs	
t_{PW}	PGM Pulse Width During Programming	45	50	55	ms	
t_{CES}	CE Setup Time	2			μs	
t_{OE}	Data Valid from OE			150	ns	

ตารางที่ 3 - 6

แสดงคุณลักษณะต่าง ๆ ของอีพროม 2764 ขณะเขียนข้อมูล

ตารางที่ 3 - 6 แสดงค่าเวลาที่ต่าง ๆ ในขณะอยู่ในโหมดการเขียนข้อมูล

รูปคลื่นในโหมดการเขียนข้อมูลแบบมาตรฐาน แสดงในรูปที่ 3 - 7



รูปที่ 3 - 7

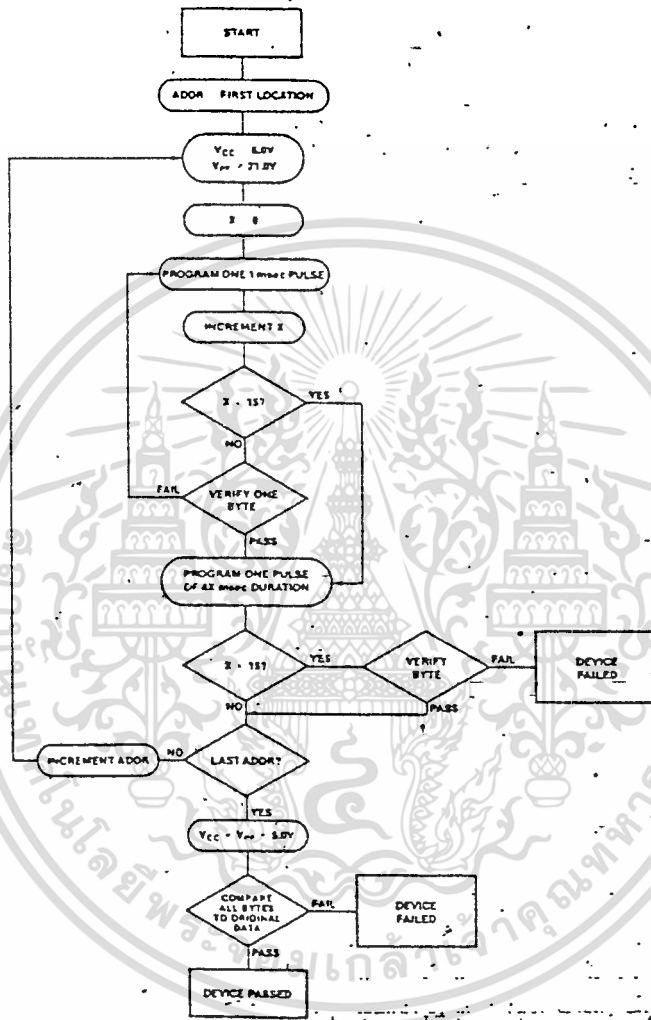
แสดง waveform ของอีพროม 2764 ขณะเขียนข้อมูล

โดยวิธีการเขียนข้อมูลแบบมาตรฐาน (standard programming method)

ข้อมูลที่เขียนในแต่ละไบต์โดยโปรแกรมพัลส์ 50 มิลลิวินาที แบบ

ป้อนเข้าขา \overline{OE} โดยวิธีการใหม่ที่เสนอโดยบริษัท Intel คือ "intelligent Programming Algorithm"

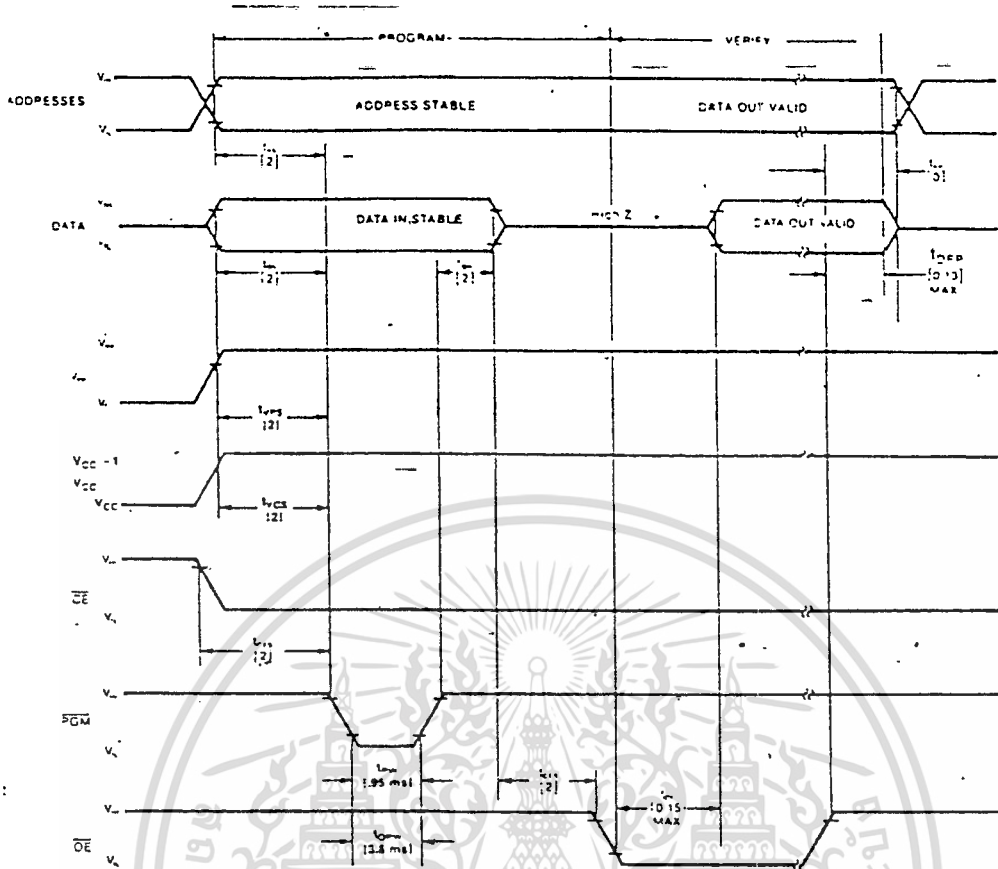
ซึ่งจะมีโปรแกรมพัลส์ ทำจำนวนรวมกัน คือ initial และ overprogram pulse ช่องกว้างของ initial pulse (๘) คือ 1 มิลลิวินาที หลังจากนั้นจะต้องมี overprogram pulse ตามมา ซึ่งมีความกว้างของพัลส์ เป็น 4 มิลลิวินาที เป็น iteration counter และมีค่าเท่ากับจำนวนของ initial pulse ที่ป้อนให้กับ 2764 ที่ไบต์หนึ่ง ๆ ก่อนที่จะทำการตรวจสอบข้อมูลในไบต์นั้น ๆ initial pulse มีค่าสูงสุดได้ถึง 15 พัลส์ ต่อไบต์ ก่อนที่จะปล่อย overprogram pulse - ตามออกมา ตามรูปที่ 3 - 8 เป็น intelligent Programming Flowchart



รูปที่ 3 - 8

แสดง Intelligent Programming Flowchart

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดลอกเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



1. ALL TIMES SHOWN IN [] ARE MINIMUM AND IN μSEC UNLESS OTHERWISE SPECIFIED.
2. THE INPUT TIMING REFERENCE LEVEL IS .2V FOR V_{IL} AND 2V FOR A V_{IH} .
3. I_{OE} AND I_{DP} ARE CHARACTERISTICS OF THE DEVICE BUT MUST BE ACCOMMODATED BY THE PROGRAMMER.
4. WHEN PROGRAMMING THE 2764, A 0.1 μF CAPACITOR IS REQUIRED ACROSS V_{PP} AND GROUND TO SUPPRESS SPURIOUS VOLTAGE TRANSIENTS WHICH CAN DAMAGE THE DEVICE.

รูปที่ 3 - 9

แสดง intelligent Programming waveform

รูปที่ 3 - 9 เป็นตารางเวลา ของ intelligent Programming waveform ซึ่งจะเห็นว่า V_{CC} จะต้องเพิ่มขึ้นอีก 1 โวลต์ เป็น 6 โวลต์ ที่ขา PGM นั้น จะแสดงค่าความกว้างของ initial pulse และ overprogram pulse มีค่าต่ำสุด 0.95 และ 3.8 มิลลิวินาทีตามลำดับ ค่าความกว้างของ overprogram pulse จะแปรค่าตาม iteration counter ของ initial pulse ซึ่งเมื่อ iteration counter มีค่าสูงสุดเป็น 15 overprogram pulse จะมีค่าสูงสุดเป็น 63 มิลลิวินาที

ช่วงเวลาต่าง ๆ ของตารางเวลา ในรูป 3 - 9 แสดงไว้ใน ตารางที่ 3 - 7 ซึ่งลองคิดเวลาที่เสียไปในการเขียนข้อมูล 1 ไบต์ จะมีค่าประมาณ 5 มิลลิวินาทีโดยที่ iteration counter มีค่าเป็น 1 จะเห็นว่าด้วยวิธีนี้จะสั้นเปลืองเวลาน้อยลงประมาณ 10 เท่า เป็นอย่างสูงที่สุด ซึ่งวิธีนี้สามารถนำมาใช้ได้กับ อีพროม ทุกเบอร์ของบริษัทอินเทล

intelligent Programming™ Algorithm

D.C. PROGRAMMING CHARACTERISTICS: $T_A = 25 \pm 5^\circ\text{C}$, $V_{CC} = 6.0\text{V} \pm 0.25\text{V}$, $V_{PP} = 21\text{V} \pm 0.5\text{V}$ (see Note 1)

Symbol	Parameter	Limits			Test Conditions
		Min.	Max.	Unit	
I_{IL}	Input Current (All Inputs)	0		μA	$V_{IN} = V_{IL}$ or V_{IH}
V_{IL}	Input Low Level (All Inputs)	-0.1	0.8	V	
V_{IH}	Input High Level	2.0	$V_{CC}+1$	V	
V_{OL}	Output Low Voltage During Verify		1.45	V	$I_{OL} = 2.1\text{ mA}$
V_{OH}	Output High Voltage During Verify	2.4		V	$I_{OH} = -400\ \mu\text{A}$
I_{CC2}	V_{CC} Supply Current (Program & Verify)		100	mA	
I_{PP2}	V_{PP} Supply Current (Program)		30	mA	$\overline{CE} = V_{IL} = \text{PGM}$
V_{ID}	Ag for intelligent Identifier Voltage	11.5	12.5	V	

A.C. PROGRAMMING CHARACTERISTICS: $T_A = 25 \pm 5^\circ\text{C}$, $V_{CC} = 6.0\text{V} \pm 0.25\text{V}$, $V_{PP} = 21\text{V} \pm 0.5\text{V}$ (see Note 1)

Symbol	Parameter	Limits			Unit	Test Conditions*
		Min.	Typ.	Max.		
t_{AS}	Address Setup Time	2			μs	
t_{OES}	\overline{OE} Setup Time	2			μs	
t_{DS}	Data Setup Time	2			μs	
t_{AH}	Address Hold Time	0			μs	
t_{DH}	Data Hold Time	2			μs	
t_{DF}	Output Enable to Output Float Delay	0		130	ns	
t_{VPS}	V_{PP} Setup Time	2			μs	
t_{VCS}	V_{CC} Setup Time	2			μs	
t_{PW}	PGM Initial Program Pulse Width	0.95	1.0	1.05	ms	(see Note 3)
t_{OPW}	PGM Overprogram Pulse Width	3.8		63	ms	(see Note 2)
t_{CES}	\overline{CE} Setup Time	2			μs	
t_{OE}	Data Valid from \overline{OE}			150	ns	

ตารางที่ 3 - 7

แสดงคุณลักษณะต่าง ๆ ของอีพროม 2764

3.7.2 intelligent Identifier Mode

intelligent Identifier Mode เป็นการอ่านรหัสเลขฐาน 2 ออกมาจากอีพროม ซึ่งจะเป็นตัวชี้ถึงบริษัทผู้ผลิต และชนิดของอีพროมในโมดนี้ไว้ใช้กับอุปกรณ์อีพโรมโปรแกรมเมอร์สำหรับเตรียม soft switch และเตรียม programming algorithm ที่ถูกต้อง. ในโมดนี้ทำงานได้ดีในช่วงอุณหภูมิ $25^{\circ}\text{C} \pm 5^{\circ}\text{C}$

วิธีการที่จะเข้าสู่โมดนี้ อีพโรมโปรแกรมเมอร์จะต้องป้อนศักดาไฟฟ้า 11.5 - 12.5 โวลต์ ให้กับขา A 9 (pin 24) ของ 2764 รหัสเลขฐาน 2 จะปรากฏที่ขา output data ทั้ง 8 เส้น โดยการทำให้ขา toggle ที่ขา (ขา 10) จาก V_{IL} ไปยัง V_{IH} ขาแอกเตอรส์อื่น ที่เหลือจะต้องมีค่าศักดาไฟฟ้าเป็นในระหว่างที่อยู่ใน

ไบต์แรก ($AO = V_{IL}$) จะแสดงถึง โค้ดของบริษัทผู้ผลิต (manufacturer code) และไบต์ถัดมา ($AO = V_{IH}$) จะหมายถึงโค้ดของอีพโรมเบอร์นั้น (device indentifier code) สำหรับ Intel 2764 มี identifier bytes 2 bytes นี้ ดังตารางที่ 3 - 8 ซึ่งจะมีการทำ odd parity ที่ขา 07

ในปี พ.ศ. 2525 บริษัทอินเทลได้เริ่มผลิต 2764 ที่มี intelligent Identifier ออกสู่ท้องตลาด 2764 รุ่นก่อนหน้านั้นจะไม่มี identifier information บรรจุอยู่ ซึ่งถ้าได้ลบข้อมูลแล้ว และนำมาเข้าสู่โมดนี้ จะอ่านค่า identifier bytes ได้เป็น $\emptyset\text{FFH}$ เสมอ

Pins	A ₀ (10)	O ₇ (19)	O ₆ (18)	O ₅ (17)	O ₄ (16)	O ₃ (15)	O ₂ (13)	O ₁ (12)	O ₀ (11)	Hex Data
Manufacturer Code	V_{IL}	1	0	0	0	1	0	0	1	89
Device Code	V_{IH}	0	0	0	0	0	0	1	0	02

ตารางที่ 3 - 8

แสดง identifier information ของอีพโรม 2764

บทที่ 4

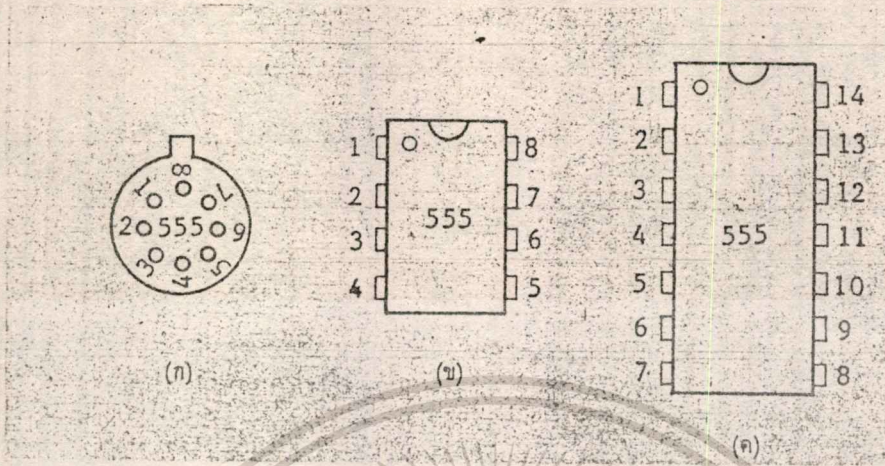
ไอซี 555

มารู้จักไอซี 555 กันก่อน

ซิกเนติกส์ เป็นบริษัทแรกที่ผลิตไอซี 555 ออกมาขายเป็นแบบคิท (DIP) 8 ขา ต่อมา บริษัทอื่น ๆ จึงได้ผลิตไอซีเบอร์นี้ออกมาขายมากมาย ซึ่งก็มีเบอร์และสัญลักษณ์แตกต่างกันไป ดังสรุปไว้ในตารางที่ 1 นอกจากนี้ยังได้มีการสร้างไอซี 555 สองตัวเอาไว้นับขั้วกันเป็นไอซีเบอร์ใหม่คือ 556

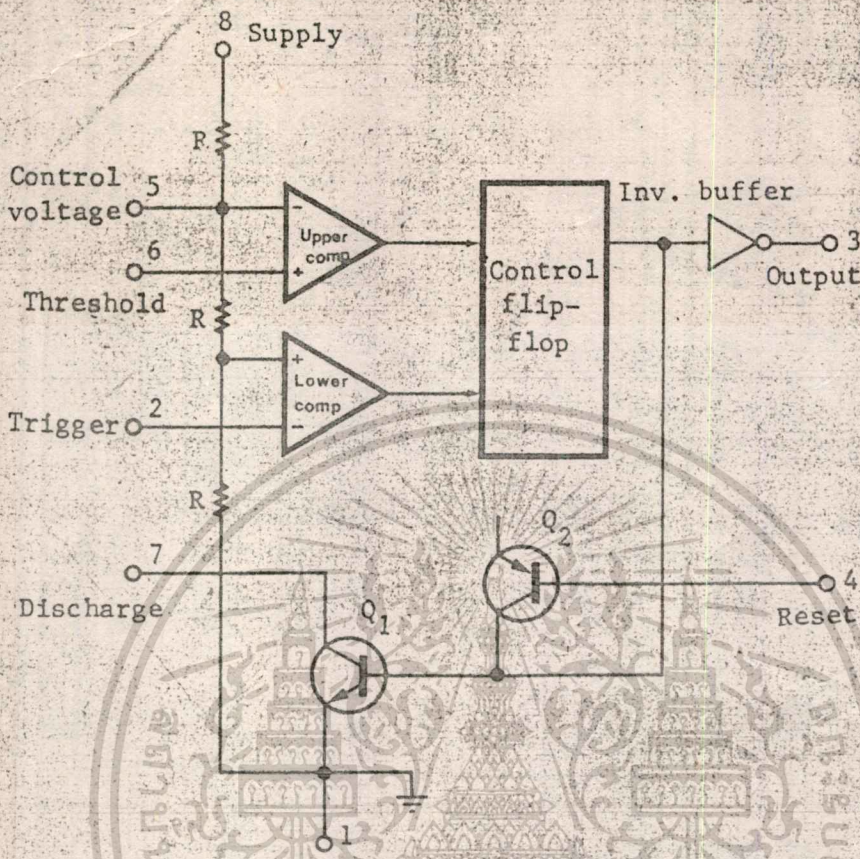
บริษัท	สัญลักษณ์และเบอร์ที่ใช้
ซิกเนติกส์	NE 555 และ SE 555
เอ็นเอส	LM 555 และ LM 555
อินเตอร์ซิส	NE 555 และ SE 555
อาร์ซีเอ	CA 555 และ CA 555
แฟร์ไชล	NE 555
โมโตโรลา	MC 1455 และ MC 1555
เท็กซัส	SN 52555 และ SN 72555

ตารางที่ 4 - 1 แสดงบริษัทต่าง ๆ ที่ผลิตไอซี 555



รูปที่ 4 - 1
 การเก็บบรรจุไอซี 555 ก. แบบตัวถังโลหะ 8 ขา
 ข. แบบคิท 8 ขา
 ค. แบบคิท 14 ขา

ปัจจุบันไอซี 555 มีการเก็บบรรจุอยู่ 3 แบบ คือ แบบตัวถังโลหะ 8 ขา ตัวถังพลาสติกแบบคิท 8 ขา และแบบคิท 14 ขา (แบบนี้ไม่ค่อยมีใช้เพราะตัวใหญ่มีขายมากเกินความจำเป็นทำให้ไม่สะดวกในการใช้งาน) แบบตัวถังโลหะจะทนอุณหภูมิได้สูงกว่าตัวถังพลาสติกแบบคิท แต่ใช้งานนอกแบบ (Inverter buffer), รวมทั้งวงจรสวิทซ์ต่าง ๆ อีก จากลักษณะการทำงานของวงจรภายในตัวไอซีพอจะสรุปให้เห็นถึงหน้าที่และความสำคัญของขาไอซีแต่ละขาได้ดังนี้



รูปที่ 4 - 2

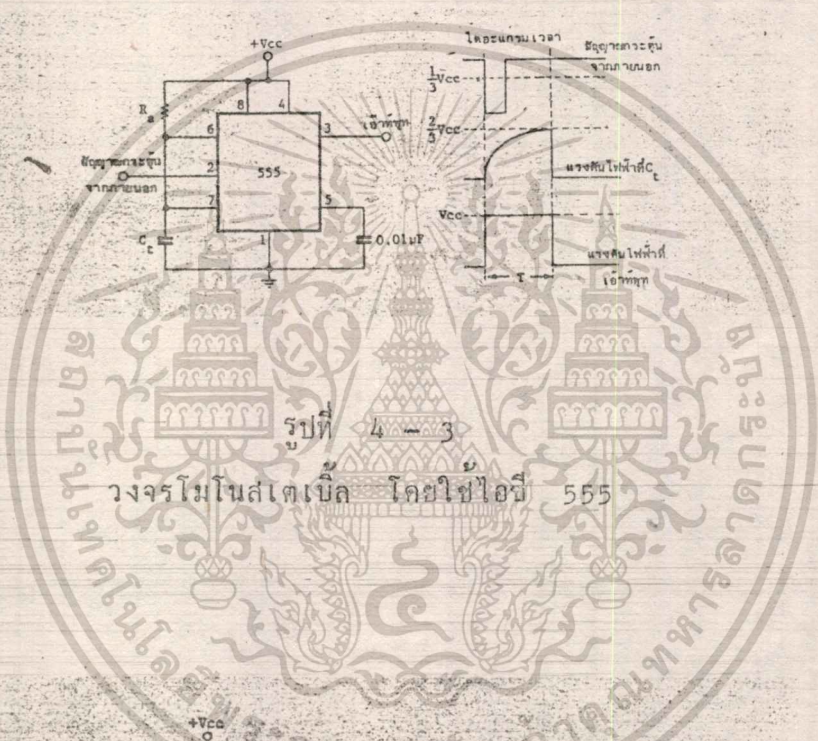
บล็อกไดอะแกรมการทำงานของวงจรภายในตัวไอซี 555

- ขา 1 เป็นขากราวด์ (Ground)
- ขา 2 เป็นขาทริกเกอร์ (Tigger) เมื่อแรงดันไฟฟ้าที่ขาทริกเกอร์ลดต่ำกว่า $1/3$ ของแหล่งจ่ายแรงดัน จะทำให้วงจรฟลิปฟลอปภายในตัวไอซีทำงานและได้เอาต์พุตที่ขา 3 อยู่ในภาวะแรงดันสูง
- ขา 3 เป็นขาเอาต์พุต (Output) แรงดันที่ขาเอาต์พุตจะเปลี่ยนแปลงอยู่ในภาวะแรงดันต่ำหรือสูงได้ตามการทำงานของวงจรภายใน และสามารถจ่ายหรือดึงกระแสได้ประมาณ 200 มิลลิแอมป์

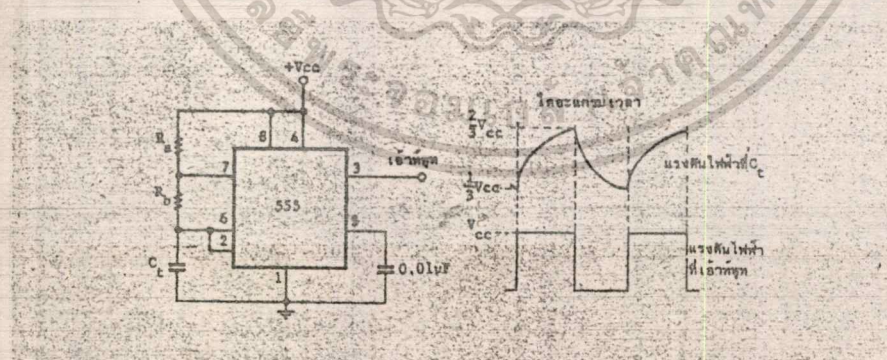
- ขา 4 เป็นขารีเซ็ต (Reset) ถ้าแรงดันไฟฟ้าขา 4 นี้ต่ำกว่า 0.4 โวลต์ วงจรภายในตัวไอซีจะไม่สามารถทำงานได้ไม่ว่าจะมีการกระตุ้นอย่างไรก็ตาม
- ขา 5 เป็นขาควบคุมแรงดัน (Control Voltage) เป็นขาที่ต่ออยู่กับจุดเปรียบเทียบแรงดันของวงจรเปรียบเทียบแรงดันของวงจรเปรียบเทียบแรงดัน (วงจรคอมพาราเตอร์) ภายในตัวไอซี จึงสามารถใช้ตัวต้านทานต่อที่ขานี้เพื่อให้อาแรงดันไฟฟ้าที่จุดเปรียบเทียบเปลี่ยนแปลงไป เมื่อไม่ใช่ขานี้ควรใช้คาปาซิเตอร์ที่มีค่ามากกว่าหรือเท่ากับ $0.1 \mu F$ เพื่อช่วยลดสัญญาณรบกวนความถี่สูงที่เข้ากลับทางแหล่งจ่ายแรงดันไฟฟ้า
- ขา 6 เป็นขาเทรชโฮล (Threshold) ถ้าแรงดันที่ขานี้สูงกว่า $2/3$ ของแหล่งจ่ายแรงดัน วงจรฟลิปฟล็อปภายในตัวจะถูกรีเซ็ตทำให้ที่เอาต์พุตของไอซีอยู่ในภาวะแรงดันต่ำ
- ขา 7 เป็นขาคิสชาร์จ (DISCHARGE) ใช้สำหรับควบคุมการทำงานของทรานซิสเตอร์ภายในตัวไอซีให้อยู่ในภาวะปิดหรือเปิด ซึ่งจะทำให้แรงดันสูงหรือต่ำตามการทำงานของทรานซิสเตอร์ด้วย ปกติขานี้จะมีคาปาซิเตอร์ต่ออยู่เพื่อใช้ในการคิสชาร์จของคาปาซิเตอร์ไปควบคุมการทำงานของทรานซิสเตอร์
- ขา 8 เป็นขาแหล่งจ่ายแรงดัน (Supply) ที่สามารถป้องกันแรงดันผ่านขานี้ได้ตั้งแต่ 4.5 ถึง 16 โวลต์ วงจรภายในตัวไอซีจึงจะสามารถทำงานได้

การใช้งานไอซี 555

เมื่อนำไอซี 555 มาใช้งานจะมีการต่อวงจรเป็นแบบโมโนสเตเบิล (Monostable) หรือออสเตเบิล (Astable) อย่างใดอย่างหนึ่ง วงจรทั้งสองต่างก็มีคุณสมบัติเฉพาะตัวที่สามารถนำไปใช้ประโยชน์ได้แตกต่างกัน



รูปที่ 4 - 3
วงจรโมโนสเตเบิล โดยไอซี 555



รูปที่ 4 - 4
วงจรออสเตเบิลโดยไอซี 555

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรมอนอสเตเบิล เป็นวงจรถวลีสี่เหลี่ยมออกมาที่เอาท์พุทในแต่ละครั้งที่มีการกระตุ้นด้วยสัญญาณจากภายนอกสัญญาณกระตุ้นจะป้อนขา 2 ซึ่งเป็นทริกเกอร์ เมื่อแรงดันไฟฟ้าของสัญญาณที่ขา 2 ลดลงต่ำกว่าหนึ่งในสามของแหล่งจ่ายแรงดัน ($1/3 V_{CC}$) จะทำให้ที่ขา 3 ซึ่งเป็นขาเอาท์พุทมีแรงดันไฟฟ้าสูงเกือบเท่าแหล่งจ่ายแรงดัน ช่วงความกว้างของคลื่นสี่เหลี่ยมที่ได้ทางเอาท์พุทจะขึ้นอยู่กับค่า R_a และ C_b โดยมีสูตรความสัมพันธ์กันดังนี้

$$T = 1.1 R_a C_b$$

เมื่อ T คือ ช่วงความกว้างของคลื่นสี่เหลี่ยมทางเอาท์พุท มีหน่วยเป็นวินาที นอกจากนี้สัญญาณที่นำมากระตุ้นแต่ละสัญญาณจะต้องมีช่วงความกว้างของคลื่นสี่เหลี่ยมที่ได้ทางเอาท์พุท เพราะคลื่นที่เข้ามากระตุ้นใหม่จะมีผลต่อแรงดันทางเอาท์พุท เพราะเอาท์พุทเองก็มีภาวะแรงดันสูงอยู่แล้ว

วงจรมอนอสเตเบิลนี้ส่วนใหญ่จะถูกนำไปใช้ประโยชน์เป็นวงจรถึงเวลาในแบบต่าง ๆ

วงจระอสเตเบิลเป็นวงจรถวลีสี่เหลี่ยมโดยใช้การกระตุ้นจากการชาร์จของคาปาซิเตอร์ที่ขา 2 ดังนั้นวงจรมอนอสเตเบิลนี้ไม่ต้องใช้สัญญาณจากภายนอกมากระตุ้นการกระตุ้นจะเกิดจากการชาร์จของคาปาซิเตอร์ C_1 ผ่าน R_a R_b เมื่อแรงดันที่ตกคร่อมคาปาซิเตอร์มีค่าถึงสองในสามของแหล่งจ่ายแรงดัน ($2/3 V_{CC}$) จะทำให้วงจรเปรียบเทียบกับแรงดันชุดบน (Upper comp) ทำงานไปกระตุ้นให้วงจรควบคุมฟลิป-ฟลอป ทำงานอีกต่อหนึ่งเป็นผลให้คาปาซิเตอร์ต้องคายประจุผ่าน R_b และขา 7 (ผ่าน R_1 ในไอซี) ลงกราวด์ ช่วงนี้เอาท์พุทที่ขา 3 จะมีแรงดันไฟฟ้าต่ำ เมื่อแรงดันไฟฟ้าที่คาปาซิเตอร์ลดลงมาถึงหนึ่งในสามของแหล่งจ่ายแรงดัน ($1/3 V_{CC}$) ก็จะไปกระตุ้นให้วงจรเปรียบเทียบกับแรงดันช่วงล่าง (Lower comp) ทำงานไปกระตุ้นวงจรควบคุมฟลิปฟลอปอีก ทำให้แรงดันไฟฟ้าที่เอาท์พุทมีค่าสูง (เหมือนกับการทำงานของมอนอสเตเบิล) และคาปาซิเตอร์จะไม่สามารถคายประจุได้อีกเพราะทรานซิสเตอร์ ภายในตัวไอซีซึ่งทำหน้าที่เป็นสวิทช์จะอยู่ในภาวะ

" OFF " ดังนั้นคาปาซิเตอร์จึงเริ่มชาร์จนี้แรงดันไฟฟ้าที่มาถึง $2/3 V_{CC}$ ก็จะเริ่มการทำงาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แบบเดิมอีก ช่วงที่คาปาซิเตอร์ชาร์จนี้แรงดันไฟฟ้าที่เอาต์พุตจะยังมีค่าสูงอยู่ จนกว่าคาปาซิเตอร์จะคายประจุแรงดันที่เอาต์พุตจึงจะมีค่าต่ำลง ซึ่งพิจารณาได้จากไดอะแกรมเวลาในรูปที่ 4

จากลักษณะการทำงานของวงจรรอสเตเบิ้ลนี้ จะเห็นได้ว่าช่วงความกว้างของคลื่นสี่เหลี่ยมที่ได้ออกจากเอาต์พุตจะขึ้นอยู่กับการชาร์จ (การเก็บประจุ) และดิสชาร์จ (การคายประจุ) ของคาปาซิเตอร์ C_t ต้องชาร์จผ่าน R_a , R_b และดิสชาร์จผ่าน R_b อย่างเดียว จึงได้สูตรความสัมพันธ์ของ T_1 (ช่วงชาร์จ) และ T_2 กับค่า R_a , R_b และ C_t ออกมาดังนี้

$$T_1 = 0.693 (R_a + R_b) C_t$$

$$T_2 = 0.693 R_b C_t$$

$$f = \frac{1}{T_1 + T_2}$$

เราสามารถกำหนดช่วงเวลา T_1 และ T_2 ได้จาก R_a , R_b และ C_t เมื่อต้องการทราบความถี่ของคลื่นที่ได้จากวงจรรอสเตเบิ้ลก็นำช่วงเวลา T_1 และ T_2 มารวมกัน และนำไปหารเลขหนึ่งก็จะได้ความถี่ f ของคลื่นออกมาตามสมการข้างบน

วงจรรอสเตเบิ้ลนี้จะถูกนำไปใช้ประโยชน์เป็นวงจรสร้างสัญญาณนาฬิกาไปควบคุมการทำงานของวงจรหรืออุปกรณ์อื่น ๆ รวมทั้งยังสามารถนำไปเป็นวงจรตรวจจับ (Detector circuit) ร่วมกับอุปกรณ์ตรวจจับต่าง ๆ ได้อีกด้วย

บทที่ 5

การออกแบบและทราวิซังวัน

เครื่องโปรแกรม EPROM นี้ สามารถโปรแกรม และทำงานได้ด้วยตัวมันเอง โดยไม่จำเป็นต้องต่อวงจรเข้ากับไมโครคอมพิวเตอร์เครื่องใด ๆ ทั้งสิ้น ความสามารถในการโปรแกรม EPROM ทั้งสิ้น 9 เบอร์ คือ 2758, 2716, 2732, 2732A, 2764, 2532, 2516 และ 2508 ซึ่งตำแหน่งการจัดขาต่าง ๆ ของ EPROM ทั้ง 9 เบอร์นี้ แสดงไว้ในรูปที่ 5 - 1

ในโปรแกรมจะต้องมี EPROM ตัวแม่แบบ (master) เสียขที่ชื่อเก็ท B_1 (ในรูปที่ 2) และตัวที่จะโปรแกรม (slave) เสียขที่ชื่อเก็ท B_2 โดยที่ชื่อเก็ท B_2 นี้สามารถขยายได้ถึง 10 ตัว โดยทุกขาของชื่อเก็ทที่ขยายเพิ่มต้องต่อขนานกับ B_2 ทุกขา ดังนั้นลักษณะของการโปรแกรมจึงเป็นลักษณะการถ่ายข้อมูลของตัวแม่แบบเข้าไปในตัวที่ต้องการโปรแกรมหรือพูดง่าย ๆ ว่า เป็นการคอปปี (copy) ตัว EPROM แต่ในที่นี้จะเรียกว่า การโปรแกรม ซึ่งकुสละสลวย

เนื่องจากมีความสามารถในการโปรแกรมได้หลายเบอร์จึงต้องมีการเลือกเบอร์ที่จะโปรแกรม ด้วยการเสียบฝาต่อสาย (header) เข้าที่ชื่อเก็ทสำหรับเลือกเบอร์ซึ่งมีอยู่ 5 ตัว เนื่องจากการเสียบฝาต่อสายระหว่างชื่อเก็ท 2 ตัวด้วยจึงทำให้ชื่อเก็ทซึ่งมีอยู่ 5 ตัว สามารถเสียบฝาต่อสายเลือกเบอร์เข้าได้ทั้งหมด 9 ช่อง คือ ทำให้เลือกเบอร์ที่จะโปรแกรมได้ทั้งหมด 9 เบอร์ นั่นเอง

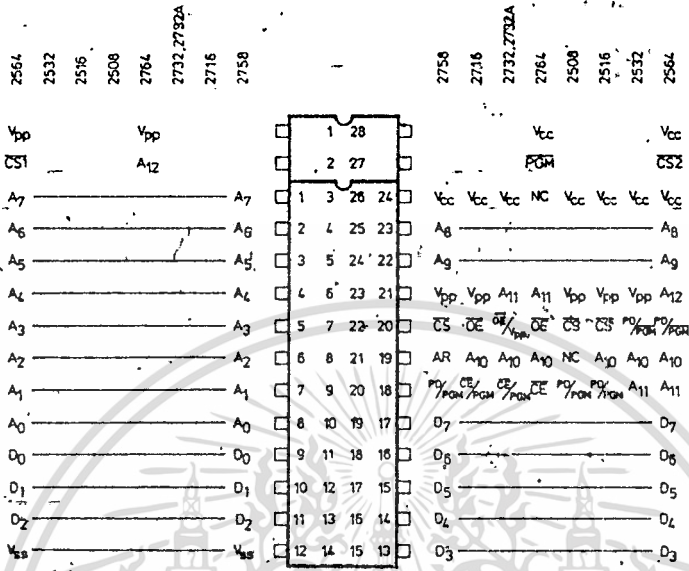
ระยะเวลาที่ใช้ในการโปรแกรมจะใช้เวลามากน้อยต่างกัน ซึ่งแล้วแต่ว่าจะโปรแกรมเบอร์ไหน เช่น เบอร์ 2508 และ 2758 ซึ่งเป็น EPROM ที่มีขนาดความจุ 1 กิโลไบต์ จะใช้เวลาทั้งสิ้นประมาณ 52.2 วินาที และสำหรับ EPROM เบอร์อื่น เช่น EPROM ที่มีขนาดความจุ 2 กิโลไบต์ (2716, 2516) จะใช้เวลาเป็น 2 เท่า สำหรับขนาดความจุ 4 กิโลไบต์ และ 8 กิโลไบต์จะใช้เวลาเป็น 4 เท่า และ 8 เท่าตามลำดับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่เว้นกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หลักการทํางาน

จากวงจรในรูปที่ 2 ประกอบด้วย ไอซีเบอร์ 555 (IC₁) ทำหน้าที่เป็นวงจรอะอสเตเบิล มีลิวเวเบอร์เกอร์ กำเนิดสัญญาณนาฬิกาซึ่งมีระยะเวลาใน 1 คาบประมาณ 51 มิลลิวินาที (สถานะ "1" 50.92 มิลลิวินาที) โดยมี R₁, R₂ และเป็นตัวกำหนดคาบเวลากังกล่าว สัญญาณที่สร้างขึ้นมาจะถูกส่งไปยังขา CK ของ IC₃ (4040) ซึ่งทำหน้าที่เป็นถ่วงนับ 12 สเตทและที่เอาต์พุต Q₁₁ (ขา 1) ถูกส่งผ่านบัฟเฟอร์ (IC₆) ต่อไปยัง IC₄ (74C73) ซึ่งเป็น J-K ฟลิปฟลอป 2 ตัวในชิปเดียว โดยต่ออนุกรมกันเป็นวงจรนับ ดังนั้นเมื่อรวมทั้งหมดจะได้วงจรนับขนาด 14 สเตท (เอาต์พุตของ IC₄ ทั้งสองจะเรียกเป็น Q₁₂ และ Q₁₃)

เอาต์พุต Q₀ ถึง Q₉ ทั้งหมดจะป้อนเข้าขาแอดเดรสของ U₁ และ U₂ โดยผ่านบัฟเฟอร์แบบ tristate (IC₅ และ IC₆ บางส่วน) เพื่อกำหนดแอดเดรสสำหรับถ่ายข้อมูลจาก U₁ เข้าไปใน U₂ ส่วนเอาต์พุต Q₁₀, Q₁₁, Q₁₂ และ Q₁₃ จะถูกส่งผ่านบัฟเฟอร์ (IC₆) ไปยังช็อกเก็ต U₃ และ U₄ เพื่อเลือกว่า ต้องการอ่านและโปรแกรม EPROM เบอร์ใด ทั้งนี้เนื่องจากในรูปที่ 5 - 1 ขา 2, 27 และ 20-23 ของแต่ละเบอร์มีเหมือนกันดังนั้นจึงต้องมีการเลือกขาของการอ่านและการโปรแกรมให้เหมาะสมกับแต่ละเบอร์ นอกจากนี้ยังมีการเลือกขาสัญญาณรีเซ็ตหรือหยุดการอ่านหรือโปรแกรม เมื่ออ่านโปรแกรมมาถึงถึงแอดเดรสสุดท้ายแล้ว สัญญาณรีเซ็ตนั้นก็ใช้จากการเลือกขาแอดเดรส A₁₀-A₁₃ (หรือ Q₁₀-Q₁₃) ออกมาทางขา R ของ U₄ ป้อนเข้าไปยังคินพุตของ IC_{2/2} ซึ่งต่อกับ IC_{2/1} เป็น S-R ฟลิปฟลอปเพื่อสร้างสัญญาณรีเซ็ตให้แก่ IC₁, IC₃, IC₄ อีกทีหนึ่ง



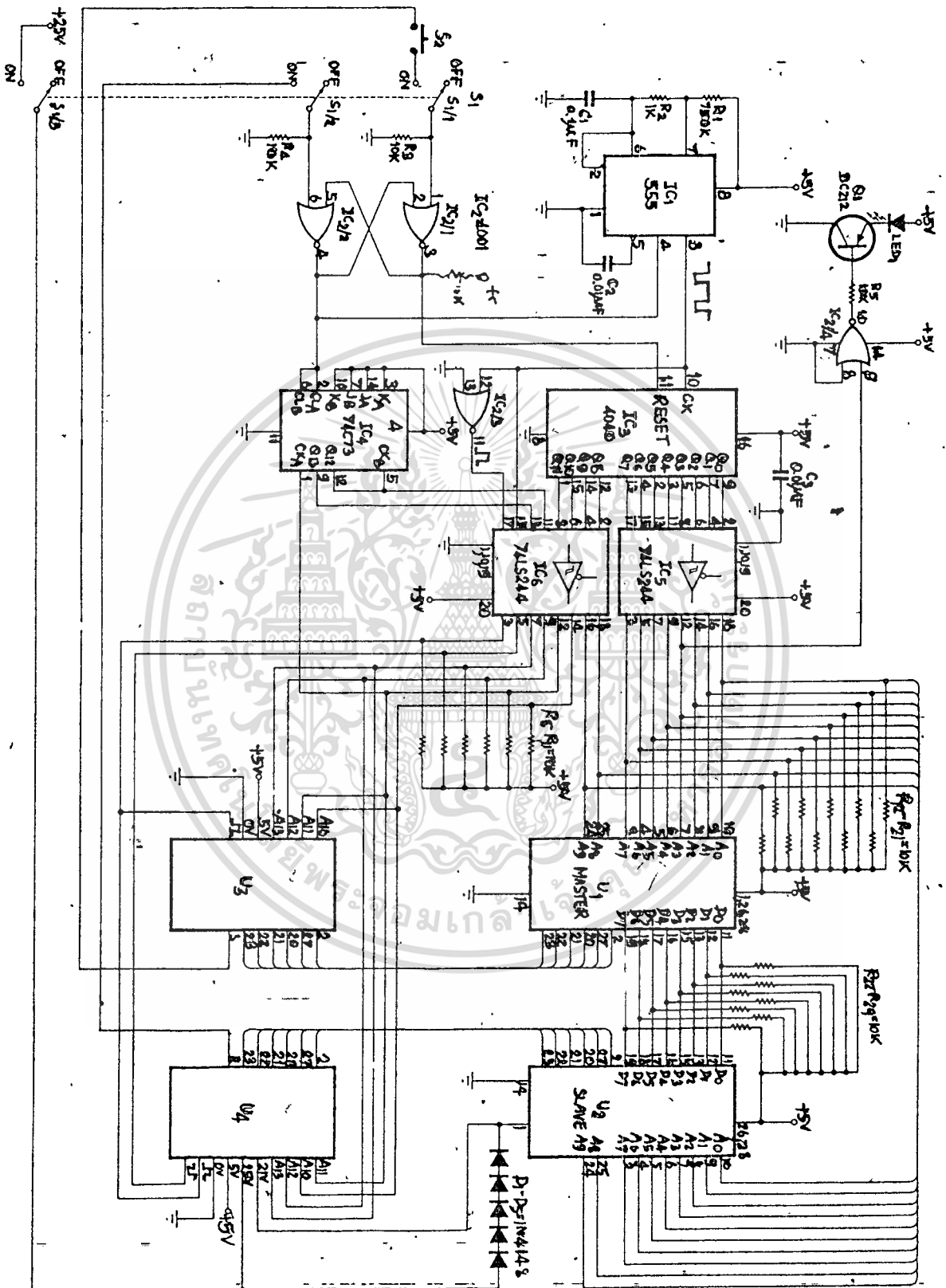
รูปที่ 5 - 1

การจัดขาต่าง ๆ ของ EPROM เบอร์ต่าง ๆ

ขั้นตอนการทำงานมีดังนี้ ในสภาวะเริ่มแรกเมื่อเสียบฝัคือสาย (header) เพื่อเลือกเบอร์ตัวอ่านและเบอร์ตัวที่จะโปรแกรมเรียบร้อยแล้ว (ขา 5 ของ U_3 จะมีสภาวะเป็น 1) เมื่อไอคอสวิตช์ S_1 มาตำแหน่ง ON เอาท์พุทของ $IC_{2/1}$ และ $IC_{2/2}$ ยังคงเหมือนเดิมไม่เปลี่ยนแปลง คือขา 3 ของ $IC_{2/1}$ มีสภาวะเป็น " 1 " รีเซ็ต IC_3 ให้ $Q_0 - Q_{12}$ เป็น " 0 " ทั้งหมด และขา 4 ของ $IC_{2/2}$ มีสภาวะเป็น " 0 " ทำการรีเซ็ต IC_1 และ IC_4 ด้วย ดังนั้นจึงเป็นการเริ่มโปรแกรมที่แอดเดรส 0 ก่อน และเมื่อกด S_2 ทำให้เอาท์พุทของ $S - R$ ฟลิปฟลอป ($IC_{2/1}$ และ $IC_{2/2}$) อยู่ในสภาวะตรงกันข้ามทำให้ IC_1 , IC_3 และ IC_4 ทำงาน IC_1 จะส่งสัญญาณนาฬิกาไปที่ IC_3 และ $IC_{2/3}$ ผ่าน U_3 และ U_4 สู่ว U_1 และ U_2 โดยที่ จะเป็นตัวนับสัญญาณนาฬิกาและส่งสัญญาณแอดเดรสสู่ว U_1 และ U_2 ซึ่งเป็น master และ slave)

ในขณะที่ทำการโปรแกรม สัญญาณที่นับได้จะเปลี่ยนแปลงไปตลอดเวลาที่ Q_3 ส่งสัญญาณผ่านบัฟเฟอร์ ผ่านอินเวอร์เตอร์ ($IC_{2/4}$) ขยายสัญญาณเข้าสู่ LED₁, LED₂ จึงกระทบตามจังหวะของ Q_3 ซึ่งจะเป็นเวลา 400 มิลลิวินาที (คิด 400 มิลลิวินาทีต่อบิต 400 มิลลิวินาที) เมื่อการโปรแกรมเสร็จสิ้น IC_4 , IC_3 , IC_4 จะได้รับสัญญาณรีเซ็ตจาก IC_3 หรือ IC_4 โดยผ่าน U_4 ออกมาทางขา e





เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
—ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การเลือกเบอร์ในการอ่านหรือโปรแกรม

จากรูปที่ 1 เป็นรูปการจั่ววงขา EPROM เบอร์ต่าง ๆ ทั้ง 9 เบอร์ ที่กล่าวมาแล้วข้างต้น โรงงานผู้ผลิตจะจั่ววงขาของแต่ละเบอร์ให้เหมือน ๆ กัน จะแตกต่างกันบ้างก็ตรงขา ที่ 18 ถึง 22 ของ EPROM ขนาด 24 ขา และขา 2, 27 และ 20 ถึง 23 ของ EPROM 28 ขา หน้าที่ของ V_3 และ V_4 (รูปที่ 3) ก็เพื่อเลือกและจัดขาการอ่านและโปรแกรมให้ถูกต้องตามเบอร์นั้น ๆ

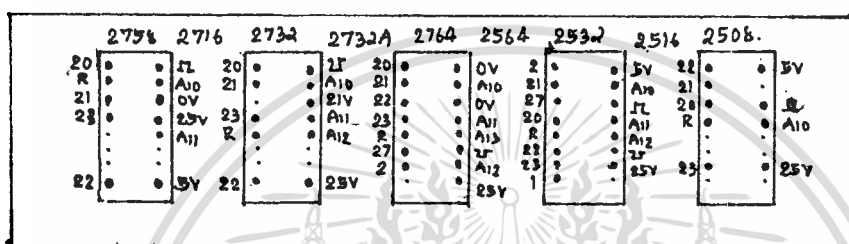
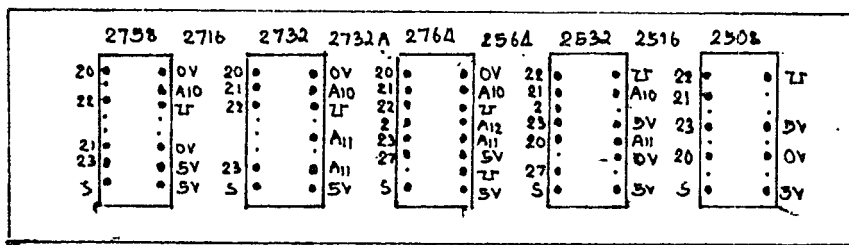
ยกตัวอย่างเช่น การอ่านเบอร์ 2716 (ขอให้มองดูเป็น 28 ขา เนื่องจากจะนับขาตามชื่ออีกทีขนาด 28 ขา) ขา 14 ของช็อกเก็ต V_1 (ขา 12 ของ EPROM 2716) ต่อกับ +5V นอกนั้นต่อกับขาแอดเดรส ($A_0 - A_9$) และขาข้อมูล ($D_0 - D_7$) ที่เหลืออีก 4 ขา คือ 20 ถึง 23 (18 ถึง 21 ของ EPROM 2716) ต่อเข้าสู่ (ดูรูปที่ 2) และจากในรูปที่ 3 (ก) จะต้องเสียบฟลิกทอสาย V_3 (ฟลิกทอสายมีลักษณะรูปร่างและการเชื่อมต่อระหว่างขาแสดงไว้ในรูปที่ 4) เข้าที่เบอร์ 2716 คือเสียบระหว่าง $V_{3/1}$ กับ $V_{3/2}$ ซึ่งจะทำให้เชื่อมจุดกันดังนี้

- ขา 20 กับ 0V (ขา 18 ของ 2716 $\overline{CE} = 0V$)
- ขา 21 กับ A_{10} (ขา 19 ของ 2716 เป็น A_{10})
- ขา 22 กับ พัลส์ " 0 " หรือ \overline{OE} (ขา 20 ของ 2716 $\overline{OE} = 0V$)
- ขา 23 กับ 5V (ขา 21 ของ 2716 $V_{pp} = 5V$)
- จุด S กับ 5V (ป้อนไฟ 5V ให้ S_2 ทั้งนี้เพื่อป้องกันโปรแกรมโดยไม่ได้เสียบฟลิกทอสายเลือกเบอร์)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับครูใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MASTER



SLAVE

รูปที่ 5 - 3

การจัดวางขาและการต่อสายบนขาช็อกเก็ตชุดอ่าน (รูป ก.) และชุดโปรแกรม (รูป ข.)

สำหรับการเลือกเบอร์ EPROM ที่จะโปรแกรมนั้นก็ขึ้นกับลักษณะเช่นได้ข้างบนจะต่างกันก็ตรงที่พัลส์สำหรับการโปรแกรมนั้นเป็นพัลส์ " 0 " (LF) หรือพัลส์ " 1 " (LF) เช่นการโปรแกรมเบอร์ 2716 จากรูปที่ 3 (ข) เมื่อเสียบฝาต่อสายเลือกเบอร์ 2716 จะเห็นว่า

- ขา 20 ต่อกับ พัลส์ " 1 " (ซึ่งเป็นพัลส์ของการโปรแกรม)
- ขา 21 กับ A₁₀
- ขา 22 กับ 5V (OE = 5V)
- ขา 23 กับ 25V (V_{pp} = 25V)
- จุด R กับ A₁₁ (เนื่องจาก 2716 มีขนาดความจุ 2k หรือ 2048 ไบท์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นอนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะวิธีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จึงต้องหยุดการโปรแกรมด้วยแอดเดรสที่ 2048 หรือที่แอดเดรสที่ของ A_{11} นั้นเอง) ซึ่งจุด R นี้จะเป็นตัวกลับสถานะเอาต์พุตของ $IC_{2/2}$ และ $IC_{2/1}$ โดยจะไปรีเซ็ต IC_1 , IC_3 และ IC_4 ดังที่ได้กล่าวไว้แล้วในข้างต้น

จากจุด R ที่ต่อไปตามแอดเดรสต่าง ๆ ในการโปรแกรมแต่ละเบอร์นั้นจะเห็นได้ว่า สายต่อสายที่ไปเสียบอยู่ตามซ็อกเก็ตต่าง ๆ ใน U_4 (รูปที่ 3-ข) นี้ เป็นตัวบังคับการส่งสัญญาณไปที่จุด นี้ ดังนั้นในการโปรแกรมทุกครั้ง ถ้าตัวแม่แบบและตัวโปรแกรมมีขนาดเท่ากัน (เช่น 1k ไบท์ กับ 1k ไบท์ เป็นต้น) การโปรแกรมก็ไม่มีปัญหา แม้ว่าจะเป็นคนละเบอร์ (เช่น 2508 เป็นแม่แบบ 2758 เป็นตัวโปรแกรม) แต่ถ้าหากเป็นคนละขนาดการโปรแกรมจะขึ้นอยู่กับเบอร์ที่โปรแกรม (สายควบคุมที่จุด R ซึ่งจะเป็นตัวกำหนดขนาดของการโปรแกรม) ดังนั้นถ้าหากต้องการโปรแกรมข้ามเบอร์หรือคนละขนาดก็สามารถตัดแปลงได้นอกจากที่กำหนดไว้ในรูปที่ 5-3 (ข) เช่นให้จุด R ถูกควบคุมโดยซ็อกเก็ตเลือกเบอร์อ่านขนาดของการโปรแกรมจะขึ้นอยู่กับซ็อกเก็ตเลือกเบอร์อ่าน

การนำไปใช้งาน

ที่เครื่องโปรแกรมจะมีช็อกเก็ตเพื่อเลือกเบอร์ในการอ่าน (ช็อกเก็ต U_3 ในรูปที่ 5 - 3 ก.) และเลือกเบอร์ที่จะโปรแกรม (ช็อกเก็ต U_4 ในรูปที่ 5 - 3 ข.) โดยช็อกเก็ตนั้น จะมีชุดละ 5 ช็อกเก็ต และมีระยะห่างระหว่างขาของช็อกเก็ตเท่ากันหมด เนื่องจาก U_1 และ U_2 มี 28 ขา ถ้าต้องการโปรแกรม EPROM ขนาด 24 ขา ให้เสียบ EPROM ขนาด 24 ขานี้ให้ชิดด้านท้ายของช็อกเก็ตเสมอ (ดูการจัดวางขาต่างในรูปที่ 1) สวิตช์มีอยู่ 2 ตัวเพื่อควบคุมการโปรแกรม คือ S_1 (ON/OFF) และ S_2 (program start)

สมมุติว่า ต้องการก๊อปปี้ข้อมูลใน EPROM เบอร์ 2716 เข้าไปยังเบอร์ 2716 จำนวน 10 ตัวให้ป้อนไฟ +5V, +25V และ 0V. หรือกราวด์ เข้าไปยังวงจรก่อน แล้วทำตามขั้นตอนดังนี้

1. สวิตช์ S_1 อยู่ในตำแหน่ง OFF, ฝาดต่อสายเบอร์อ่านและเบอร์โปรแกรม ยังไม่เสียบ
2. เสียบ EPROM แม่แบบที่ U_1 โดยวางขาชิดด้านท้ายของช็อกเก็ต (เนื่องจากช็อกเก็ตที่ใช้เป็น 28 ขา แต่ 2716 มีเพียง 24 ขา)
3. เสียบ EPROM ที่จะก๊อปปี้ที่ U_2 (U_2 ขยายได้ถึง 10 ตัว) ทั้ง 10 ตัว โดยวางชิดทางด้านท้ายของช็อกเก็ต
4. เสียบฝาดต่อสายเลือกเบอร์อ่านที่ U_3 (U_3 เป็นชุดของช็อกเก็ตเลือกเบอร์อ่านมี 5 ช็อกเก็ต) โดยเสียบที่เบอร์ 2716 (คือเสียบระหว่าง $U_{3/1}$ และ $U_{3/2}$)
5. เสียบฝาดต่อสายเลือกเบอร์โปรแกรมที่ U_4 (U_4 เป็นชุดของช็อกเก็ตเลือกเบอร์โปรแกรม) โดยเสียบที่เบอร์ 2716 (เสียบระหว่าง $U_{4/1}$ และ $U_{4/2}$)
6. ให้สวิตช์ S_1 อยู่ในตำแหน่ง ON

7. กดสวิตช์ S_2 เพื่อเริ่มต้นการโปรแกรม
8. ขณะโปรแกรม LED, จะกระพริบและจะดับเมื่อการโปรแกรมเสร็จสิ้น
9. เมื่อ LED, ดับ ให้ S_1 OFF สิ้นสุดการโปรแกรม



บทที่ 6

สรุปผลการใช้งาน

ความสามารถของเครื่องถ่ายข้อมูลระหว่างอีพรอมนี้ จากการทดลองแล้วให้ผลน่า
พอใจ คือสามารถถ่ายข้อมูลให้โคครบทุกเบอร์ตามที่โคตงโครงการไว้

ในการออกแบบวงจรนั้นผู้ออกแบบได้นั้นในเรื่องของความง่ายของวงจรเพื่อให้
ระหยักแกผู้ที่จะนำไปประกอบใช้งานจริง ๆ

หากผู้ใดต้องการให้สามารถโปรแกรมได้มากเบอร์กว่านี้ ก็อาศัยหลักการเดิมใน
การออกแบบแล้วเปิดคู่มือคูซาไอซี อีพรอม ทำการจัคขาให้ถูกต้องก็จะโคเครื่องถ่ายข้อมูล
พรอมที่ง่าย





เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปะเนื้อหา และแจ้งอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีผู้นำไปใช้



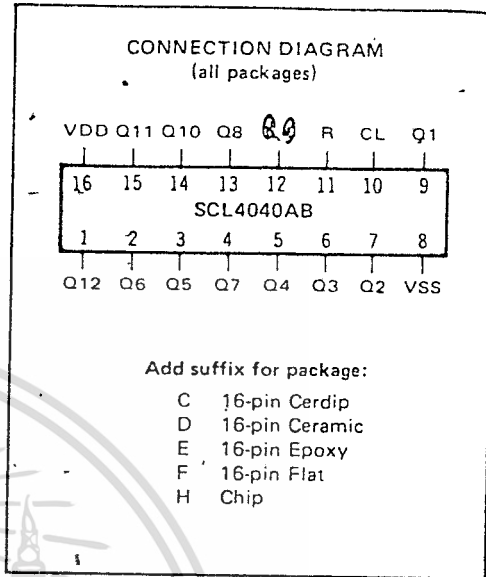
FEATURES

- ◆ 12 Fully Static Stages
- ◆ All 12 Buffered Outputs Available
- ◆ Common Reset Line
- ◆ 8MHz Counting Rate @ 10Vdc
- ◆ All Inputs Buffered

DESCRIPTION

The SCL4040AB consists of 12-ripple-carry binary counter stages with appropriate input buffers and reset circuitry. The counter is reset to its "all 0's" state by a high level on the Reset input. The counter is advanced one count on the negative-going transition of each input pulse. Isolation from external noise and the effects of loads is provided by output buffering.

Applications include time delay circuits, counter controls, and frequency dividers.



TRUTH TABLE

Clock	Reset	Output State
	0	No Change
	0	Advance to next state
x	1	All Outputs are low

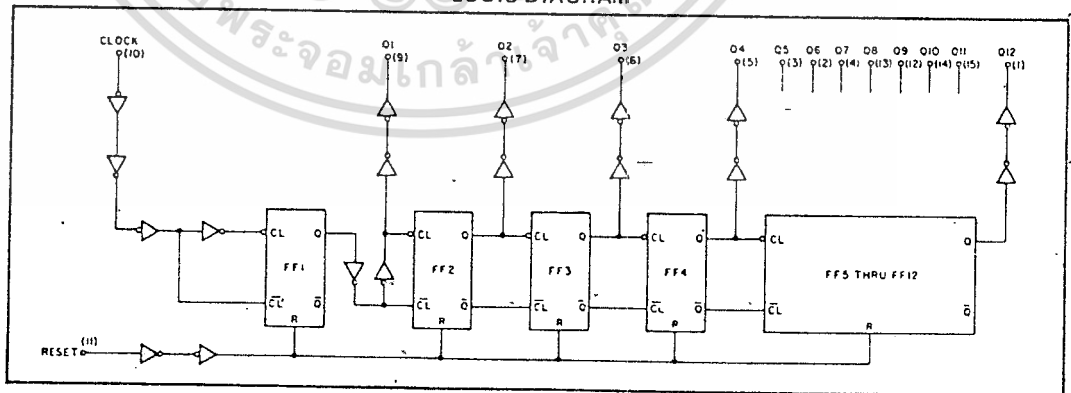
X = Don't Care

RECOMMENDED OPERATING CONDITIONS

For maximum reliability:

DC Supply Voltage	VDD - VSS	3 to 15	Vdc
Operating Temperature	TA	-55 to +125	°C
C, D, F, H Device		-40 to +85	°C
E Device			

LOGIC DIAGRAM



ELECTRICAL CHARACTERISTICS

STATIC CHARACTERISTICS¹

PARAMETER	V _{DD} (Vdc)	CONDITIONS	T _{LOW} ²		+25°C			T _{HIGH} ²		Units
			Min.	Max.	Min.	Typ.	Max.	Min.	Max.	
QUIESCENT DEVICE CURRENT	I _{DD}	V _{IN} =V _{SS} or V _{DD} All valid input combinations	5	5	—	0.05	5	—	150	μA _{dc}
			10	10	—	0.1	10	—	300	
			15	15	—	0.2	20	—	600	
OUTPUT HIGH (SOURCE) CURRENT C, D, F, H device	I _{OH}	V _{OH} =4.6V V _{OH} =9.5V V _{OH} =13.5V V _{IN} =V _{SS} or V _{DD}	5	—	-0.12	-0.5	—	-0.08	—	mA _{dc}
			10	-0.37	—	-0.3	-1.15	—	-0.21	
			15	-1.25	—	-1.0	-4.5	—	-0.69	
			5	—	-0.12	-0.5	—	-0.10	—	
			10	-0.35	—	-0.3	-1.15	—	-0.25	
			15	-1.2	—	-1.0	-4.5	—	-0.85	
OUTPUT LOW (SINK) CURRENT C, D, F, H device	I _{OL}	V _{OL} =0.4V V _{OL} =0.5V V _{OL} =1.5V V _{IN} =V _{SS} or V _{DD}	5	0.15	—	0.12	0.5	—	0.08	mA _{dc}
			10	0.37	—	0.3	1.0	—	0.21	
			15	1.25	—	1.0	5.8	—	0.69	
			5	—	0.12	0.5	—	0.10	—	
			10	0.35	—	0.3	1.0	—	0.25	
			15	1.2	—	1.0	5.8	—	0.85	

NOTES: ¹ Remaining Static Electrical Characteristics are listed under "SCL4000B Series Family Specifications".

² T_{LOW} = -55°C for C, D, F, H device.

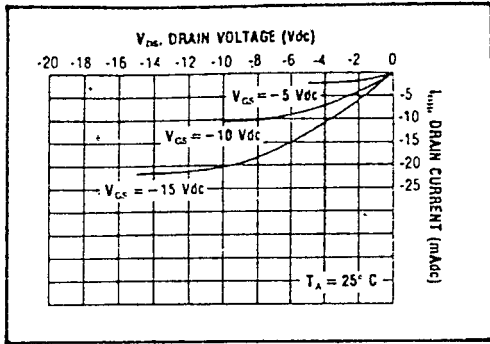
= -40°C for E device.

T_{HIGH} = +125°C for C, D, F, H device.

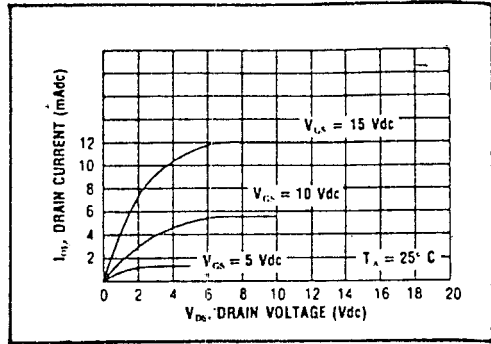
= + 85°C for E device.

DYNAMIC CHARACTERISTICS (C_L = 50pF, T_A = 25°C)

PARAMETER	V _{DD} (Vdc)	Min.	Typ.	Max.	Units
CLOCKED OPERATION					
PROPAGATION DELAY TIME Clock to Q1	t _{PLH} , t _{PHL}	5	—	200	400
		10	—	100	200
		15	—	80	160
Q _i to Q _{i+1}	t _{PLH} , t _{PHL}	5	—	150	300
		10	—	75	150
		15	—	60	120
OUTPUT TRANSITION TIME	t _{TLH} , t _{TML}	5	—	180	360
		10	—	90	180
		15	—	65	130
MINIMUM CLOCK PULSE WIDTH	PW _{CL}	5	—	100	200
		10	—	50	100
		15	—	40	80
MAXIMUM CLOCK FREQUENCY	f _{CL}	5	2.0	4.0	—
		10	4.0	8.0	—
		15	5.0	10.0	—
MAXIMUM CLOCK RISE AND FALL TIME	t _{rCL} , t _{fCL}	5	15	—	—
		10	15	—	—
		15	5	—	—
RESET OPERATION					
PROPAGATION DELAY TIME	t _{PHL}	5	—	300	600
		10	—	150	300
		15	—	120	240
MINIMUM RESET PULSE WIDTH	PW _R	5	—	150	300
		10	—	75	150
		15	—	60	120
RESET REMOVAL TIME	t _{rem}	5	—	250	500
		10	—	125	250
		15	—	100	200

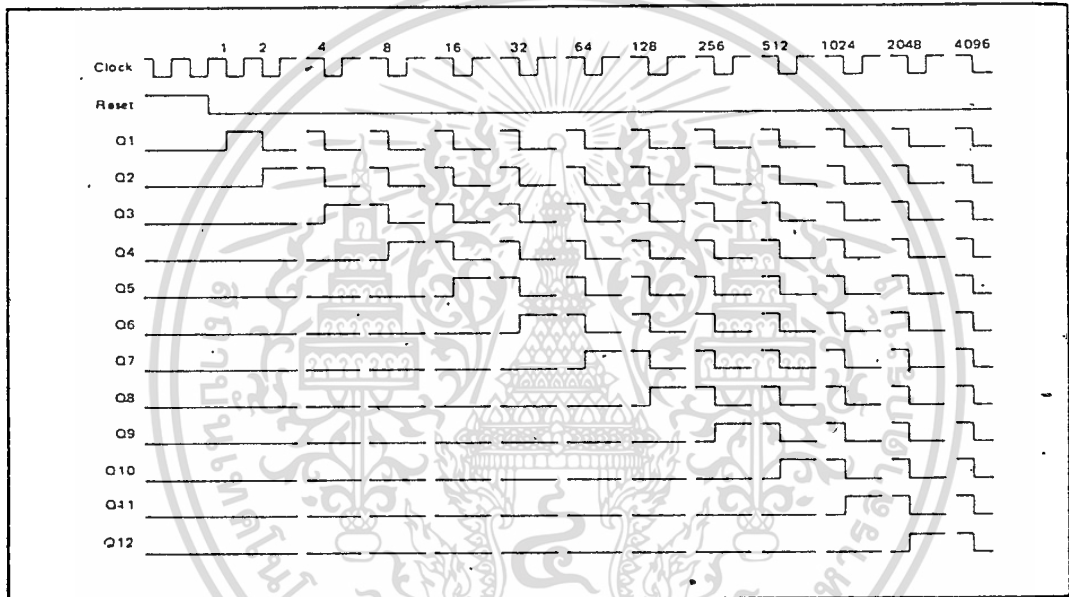


Typical P-Channel Source Current Characteristics

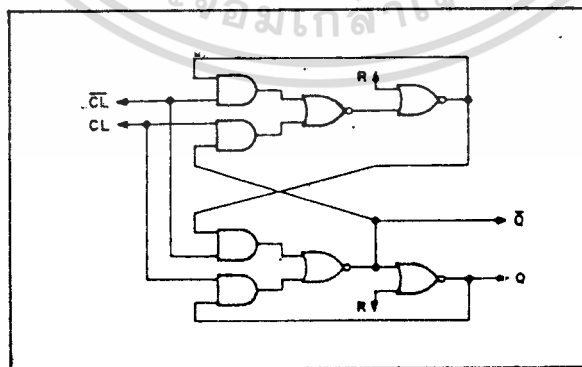


Typical N-Channel Sink Current Characteristics

TIMING DIAGRAM



TYPICAL COUNTER STAGE



16,384 (2K X 8) BIT UV ERASABLE PROM

DESCRIPTION The μPD2716 is a 16,384 bit (2048 x 8 bit) Ultraviolet Erasable and Electrically Programmable Read-Only Memory (EPROM). It operates from a single +5 volt supply, making it ideal for microprocessor applications. It offers a standby mode with an attendant 75% savings in power consumption, and is compatible with the μPD2316E as a ROM. This allows for economical change-over to a masked ROM for production quantities, where desired.

The μPD2716 features fast, simple one pulse programming controlled by TTL level signals. Total programming time for all 16,384 bits is only 100 seconds.

FEATURES

- Ultraviolet Erasable and Electrically Programmable
- Access Time - 450 ns Max
- Single Location Programming
- Programmable with Single Pulse
- Low Power Dissipation Standby Mode
- Input/Output TTL Compatible for Reading and Programming
- Pin Compatible to μPD2316E (16K ROM)
- Single +5V Power Supply
- 24 Pin Ceramic DIP
- Three-State Outputs

PIN CONFIGURATION

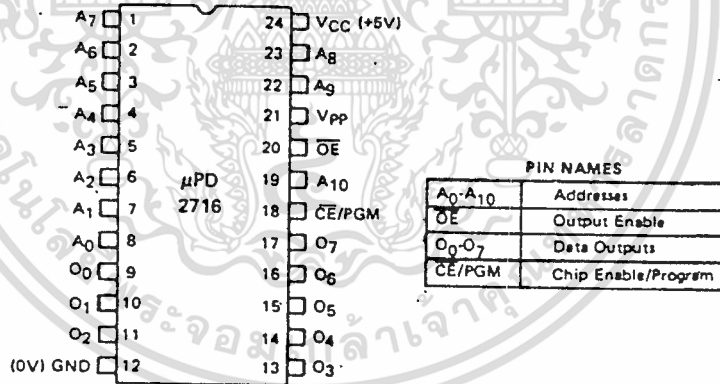


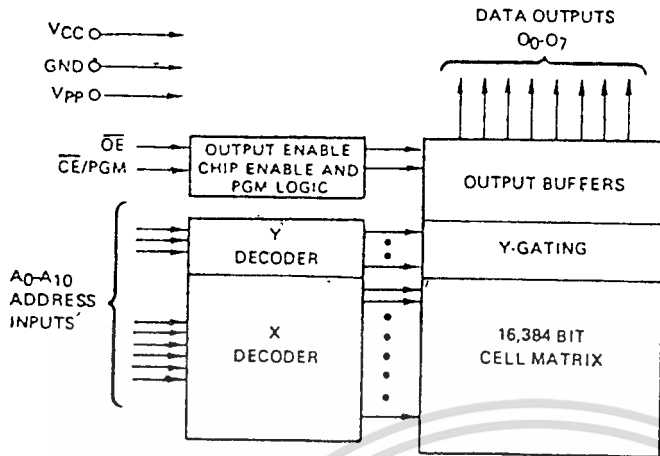
TABLE 1. MODE SELECTION

MODE \ PINS	CE/PGM	OE	Vpp	VCC	OUTPUTS
Read	V _{IL}	V _{IL}	+5	+5	DOUT
Standby	V _{IH}	Don't Care	+5	+5	High Z
Program	Pulsed V _{IL} to V _{IH}	V _{IH}	+25	+5	DIN
Program Verify	V _{IL}	V _{IL}	+25	+5	DOUT
Program Inhibit	V _{IL}	V _{IH}	+25	+5	High Z

V_{IH} and V_{IL} are TTL high level ("1") and TTL low level ("0") respectively.

μ PD2716

BLOCK DIAGRAM



Operating Temperature	-10°C to +80°C	ABSOLUTE MAXIMUM RATINGS*
Storage Temperature	-65°C to +125°C	
Output Voltage	-0.3 to +6 Volts	
Input Voltage	-0.3 to +6 Volts	
Supply Voltage V_{CC}	-0.3 to +6 Volts	
Supply Voltage V_{pp}	-0.3 to +26.5 Volts	

COMMENT: Stress above those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress rating only and functional operation of the device at these or any other conditions above those indicated in the operational sections of this specification is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

* $T_a = 25^\circ\text{C}$

$T_a = 25^\circ\text{C}; f = 1\text{ MHz}$

CAPACITANCE

PARAMETER	SYMBOL	LIMITS			UNIT	TEST CONDITIONS
		MIN	TYP	MAX		
Input Capacitance	C_{IN}		4	6	pF	$V_{IN} = 0V$
Output Capacitance	C_{OUT}		8	12	pF	$V_{OUT} = 0V$

READ MODE AND STANDBY MODE

DC CHARACTERISTICS

$T_a = 0^\circ\text{C} \sim 70^\circ\text{C}; V_{CC} \text{ ①} = +5V \pm 5\%; V_{pp} \text{ ① ②} = V_{CC} \pm 0.6V \text{ ③}$

PARAMETER	SYMBOL	LIMITS			UNIT	TEST CONDITIONS
		MIN.	TYP.	MAX.		
Output High Voltage	V_{OH}	2.4			V	$I_{OH} = -400\ \mu\text{A}$
Output Low Voltage	V_{OL}		0.45		V	$I_{OL} = 2.1\ \text{mA}$
Input High Voltage	V_{IH}	2.0		$V_{CC} + 1$	V	
Input Low Voltage	V_{IL}	-0.1		0.8	V	
Output Leakage Current	I_{LO}			10	μA	$V_{OUT} = 5.25V$
Input Leakage Current	I_{IL}			10	μA	$V_{IN} = 5.25V$
V_{pp} Current	I_{pp1}			5	mA	$V_{pp} = 5.85V$
V_{CC} Current ②	I_{CC1}		10	25	mA	$\overline{CE}/PGM = V_{IH}, \overline{OE} = V_{IL}$ Standby Mode
	I_{CC2}		87	100	mA	$\overline{CE}/PGM = V_{IL}, \overline{OE} = V_{IL}$ Read Mode

- Notes: ① V_{CC} must be applied simultaneously or before V_{pp} and removed after V_{pp} .
 ② V_{pp} may be connected directly to V_{CC} (+5V) at read mode and standby mode. The supply current would then be the sum of I_{pp1} and I_{CC} (I_{CC1} or I_{CC2}).
 ③ The tolerance of 0.6V allows the use of a driver circuit for switching the V_{pp} supply pin from +25V to +5V.

PROGRAM, PROGRAM VERIFY AND PROGRAM INHIBIT MODE

DC CHARACTERISTICS (CONT.)

T_a = 25°C ± 5°C; V_{CC} ① = +5V ± 5%; V_{pp} ①④ = +25V ± 1V

PARAMETER	SYMBOL	LIMITS			UNIT	TEST CONDITIONS
		MIN.	TYP.	MAX.		
Input High Voltage	V _{IH}	2.0		V _{CC} +1	V	
Input Low Voltage	V _{IL}	-0.1		0.8	V	
Input Leakage Current	I _{IL}			10	μA	V _{IH} = 5.25V/0.45V
V _{pp} Current	I _{pp1}			5	mA	CE/PGM = V _{IL} Program Verify Program Inhibit
	I _{pp2}			30	mA	CE/PGM = V _{IH} Program Mode
V _{CC} Current	I _{CC}			100	mA	

AC CHARACTERISTICS

READ MODE AND STANDBY MODE

T_a = 0°C to +70°C; V_{CC} ① = +5V ± 5%; V_{pp} ①② = V_{CC} ± 0.6V ③

PARAMETER	SYMBOL	LIMITS			UNIT	TEST CONDITIONS
		MIN	TYP	MAX		
Address to Output Delay	t _{ACC}			450	ns	CE/PGM = OE = V _{IL}
CE/PGM to Output Delay	t _{CE}			450	ns	OE = V _{IL}
Output Enable to Output Delay	t _{OE}			120	ns	CE/PGM = V _{IL}
Output Enable High to Output Float	t _{DF}	0		100	ns	CE/PGM = V _{IL}
Address to Output Hold	t _{OH}	0			ns	CE/PGM = OE = V _{IL}

Test Conditions

Output Load: 1 TTL gate and C_L = 100 pF
Input Rise and Fall Times: 20 ns
Input Pulse Levels: 0.8 to 2.2V

Timing Measurement Reference Level:
Inputs: 1.0V and 2.0V
Outputs: 0.8V and 2.0V

PROGRAM, PROGRAM VERIFY AND PROGRAM INHIBIT MODE

T_a = 25°C ± 5°C; V_{CC} ① = +5V ± 5%; V_{pp} ①④ = +25V ± 1V

PARAMETER	SYMBOL	LIMITS			UNITS	TEST CONDITIONS
		MIN	TYP	MAX		
Address Setup Time	t _{AS}	2			μs	
OE Setup Time	t _{OES}	2			μs	
Data Setup Time	t _{DS}	2			μs	
Address Hold Time	t _{AH}	2			μs	
OE Hold Time	t _{OEH}	2			μs	
Data Hold Time	t _{DH}	2			μs	
Output Enable to Output Float Delay	t _{DF}	0		120	ns	CE/PGM = V _{IL}
Output Enable to Output Delay	t _{OE}			120	ns	CE/PGM = V _{IL}
Program Pulse Width	t _{PW}	45	50	55	ns	
Program Pulse Rise Time	t _{PRT}	5			ns	
Program Pulse Fall Time	t _{PFT}	5			ns	

Test Conditions:

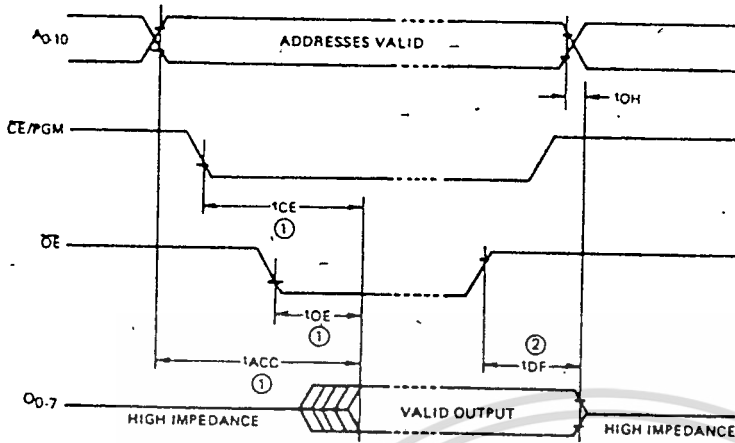
Input Pulse Levels 0.8V to 2.2V. Output Timing Reference Level . . .0.8V and 2V
Input Timing Reference Level. 1V and 2V

- Notes: ① V_{CC} must be applied simultaneously or before V_{pp} and removed after V_{pp}.
② V_{pp} may be connected directly to V_{CC} (+5V) at read mode and standby mode. The supply current would then be the sum of I_{pp1} and I_{CC} (I_{CC1} or I_{CC2}).
③ The tolerance of 0.6V allows the use of a driver circuit for switching the V_{pp} supply pin from +25V to +5V.
④ During programming, program inhibit, and program verify, a maximum of +26V should be applied to the V_{pp} pin. Overshoot voltages to be generated by the V_{pp} power supply should be limited to less than +26V.

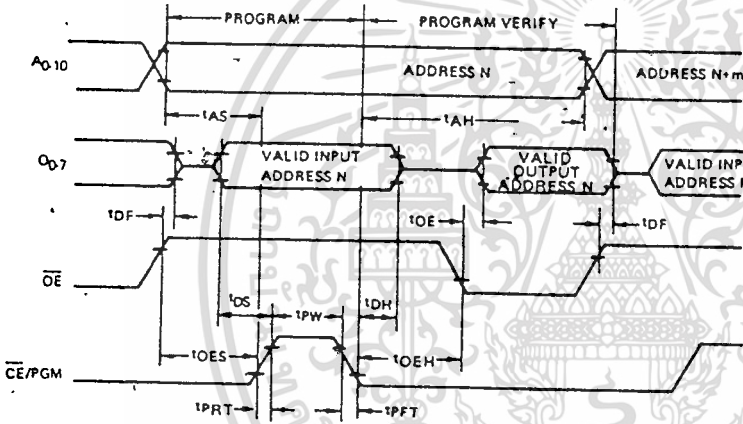
μ PD2716

READ MODE

TIMING WAVEFORMS



PROGRAM MODE



- Notes: ① \overline{OE} may be delayed up to $t_{ACC} - t_{OE}$ after the falling edge of \overline{CE}/PGM for read mode without impact on t_{ACC}
- ② t_{DF} is specified from \overline{OE} or \overline{CE}/PGM , whichever occurs first.

μPD2716

FUNCTIONAL DESCRIPTION The μPD2716 operates from a single +5V power supply and, accordingly, is ideal for use with +5V microprocessors such as μPD8085 and μPD8048/8748.

Programming of the μPD2716 is achieved with a single 50 ms TTL pulse. Total programming time for all 16,384 bits is only 100 sec. Due to the simplicity of the programming requirements, devices on boards and in systems may be programmed easily and without any special programmer.

The μPD2716 features a standby mode which reduces the power dissipation from a maximum active power dissipation of 525 mW to a maximum standby power dissipation of 132 mW. This results in a 75% savings with no increase in access time.

Erase of the μPD2716 programmed data can be attained when exposed to light with wavelengths shorter than approximately 4,000 Angstroms (Å). It should be noted that constant exposure to direct sunlight or room level fluorescent lighting could erase the μPD2716. Consequently, if the μPD2716 is to be exposed to these types of lighting conditions for long periods of time, the μPD2716 window should be masked to prevent unintentional erasure.

The recommended erasure procedure for the μPD2716 is exposure to ultraviolet light with wavelengths of 2,537 Angstroms (Å). The integrated dose (i.e., UV intensity x exposure time) for erasure should be not less than 15 W-sec/cm². The erasure time is approximately 15 to 20 minutes using an ultraviolet lamp of 12,000 μW/cm² power rating.

During erasure, the μPD2716 should be placed within 1 inch of the lamp tubes. If the lamps have filters on the tubes, the filters should be removed before erasure.

OPERATION The five operation modes of the μPD2716 are listed in Table 1. The power supplies required are a +5V V_{CC} and a V_{pp}. The V_{pp} power supply should be at +25V during programming, program verification and program inhibit, and it should be at +5V during read and standby. \overline{CE}/PGM , \overline{OE} and V_{pp} select the operation mode as shown in Table 1.

READ MODE When \overline{CE}/PGM and \overline{OE} are at low (0) level with V_{pp} at +5V, the READ MODE is set and the data is available at the outputs after t_{OE} from the falling edge of \overline{OE} and t_{ACC} after setting the address.

STANDBY MODE The μPD2716 is placed in the standby mode with the application of a high (1) level TTL signal to the \overline{CE}/PGM and a V_{pp} of +5V. In this mode, the outputs are in a high impedance state, independent of the \overline{OE} input. The active power dissipation is reduced by 75% from 525 mW to 132 mW.

PROGRAMMING MODE Programming of the μPD2716 is commenced by erasing all data and consequently having all bits in the high (1) level state. Data is then entered by programming a low (0) level TTL signal into the chosen bit location.

The μPD2716 is placed in the programming mode by applying a high (1) level TTL signal to the \overline{OE} with V_{pp} at +25V. The data to be programmed is applied to the output pins 8 bits in parallel at TTL levels.

Any location can be programmed at any time, either individually, sequentially or at random.

When multiple μPD2716s are connected in parallel, except for \overline{CE}/PGM , individual μPD2716s can be programmed by applying a high (1) level TTL pulse to the \overline{CE}/PGM input of the desired μPD2716 to be programmed.

Programming of multiple μPD2716s in parallel with the same data is easily accomplished. All the alike inputs are tied together and are programmed by applying a high (1) level TTL pulse to the \overline{CE}/PGM inputs.

μ PD2716

Programming of multiple μPD2716s in parallel with different data is rendered more easily by the program inhibit mode. Except for \overline{CE}/PGM , all alike inputs (including \overline{OE}) of the parallel μPD2716s may be common. Programming is accomplished by applying a TTL level program pulse to the μPD2716 \overline{CE}/PGM input with V_{pp} at +25V. A low level applied to the \overline{CE}/PGM of the other μPD2716 will inhibit it from being programmed.

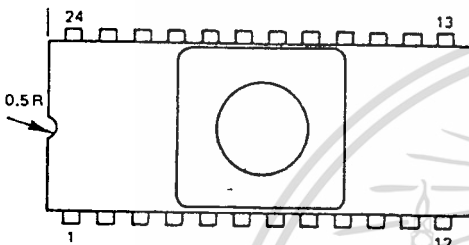
A verify should be performed on the programmed bits to determine that the data was correctly programmed on all bits of the μPD2716. The program verify can be performed with V_{pp} at +25V and \overline{CE}/PGM and \overline{OE} at low (0) levels.

The data outputs of two or more μPD2716s may be wire-ored together to the same data bus. In order to prevent bus contention problems between devices, all but the selected μPD2716s should be deselected by raising the \overline{OE} input to a TTL high.

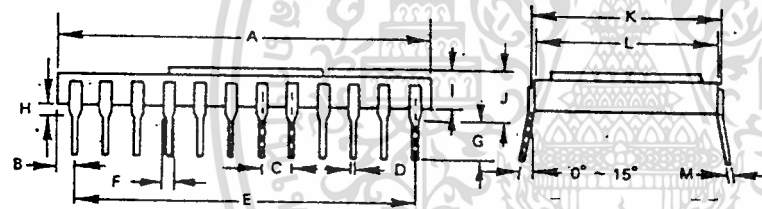
PROGRAMMING
INHIBIT MODE

PROGRAM VERIFY MODE

OUTPUT DESELECTION



PACKAGE OUTLINE
μPD2716D



CERAMIC

ITEM	MILLIMETERS	INCH
A	33.5 MAX.	1.32 MAX.
B	2.78	1.1
C	2.54	0.1
D	0.46 ± 0.10	0.018 ± 0.004
E	27.94	1.10
F	1.3	0.05
G	2.54 MIN.	0.1 MIN.
H	0.5 MIN.	0.020
I	5.0 MAX.	0.20
J	5.5 MAX.	0.216
K	15.24	0.60
L	13.5	0.53
M	0.25 +0.10 -0.05	0.010 +0.004 -0.002

2716DS-12-80-CAT

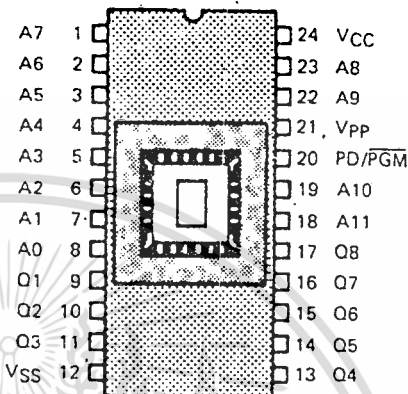
MOS
LSI

TMS 2532 JL AND TMS 25L32 JL
32,768-BIT ERASABLE
PROGRAMMABLE READ-ONLY MEMORY

DECEMBER 1979

- Organization . . . 4K X 8
- Single +5 V Power Supply
- Pin Compatible with Existing ROMs and EPROMs (8K, 16K, 32K, and 64K)
- JEDEC Standard Pinout
- All Inputs/Outputs Fully TTL Compatible
- Static Operation (No Clocks, No Refresh)
- Max Access/Min Cycle Time . . . 450 ns
- 8-Bit Output for Use in Microprocessor-Based Systems
- N-Channel Silicon-Gate Technology
- 3-State Output Buffers
- 40% Lower Power
TMS 25L32 . . . 500 mW Max Active
TMS 2532 . . . 840 mW Max Active
- Guaranteed DC Noise Immunity with Standard TTL Loads
- No Pull-Up Resistors Required

24-PIN CERAMIC
DUAL-IN-LINE PACKAGE
(TOP VIEW)



PIN NOMENCLATURE	
A(N)	Address inputs
PD/PGM	Power Down/Program
Q(N)	Input/Output
VCC	+5 V Power Supply
Vpp	+25 V Power Supply
VSS	0 V Ground

description

The TMS 2532 JL and TMS 25L32 JL are 32,768-bit, ultraviolet-light-erasable, electrically programmable read-only memories. These devices are fabricated using N-channel silicon-gate technology for high speed and simple interface with MOS and bipolar circuits. All inputs (including program data inputs) can be driven by Series 74 TTL circuits without the use of external pull-up resistors, and each output can drive one Series 74 TTL circuit without external resistors. The data outputs are three-state for connecting multiple devices to a common bus. The TMS 2532 and TMS 25L32 are plug-compatible with the TMS 4732 32K ROM. The devices are offered in a dual-in-line ceramic package (JL suffix) rated for operation from 0°C to 70°C.

Since these EPROMs operate from a single +5 V supply (in the read mode), they are ideal for use in microprocessor systems. One other (+25 V) supply is needed for programming but all programming signals are TTL level, requiring a single 50-ms pulse. For programming outside of the system, existing EPROM programmers can be used. Locations may be programmed singly, in blocks, or at random. Total programming time for all bits is 200 seconds.

TMS 2532 JL AND TMS 25L32 JL

32,768-BIT ERASABLE PROGRAMMABLE READ-ONLY MEMORY

operation

FUNCTION (PINS)	MODE				
	Read	Output Disable	Power Down	Start Programming	Inhibit Programming
PD/PGM (20)	V _{IL}	V _{IH}	V _{IH}	Pulsed V _{IH} to V _{IL}	V _{IH}
V _{PP} (21)	+5 V	+5 V	+5 V	+25 V	+25 V
V _{CC} (24)	+5 V	+5 V	+5 V	+5 V	+5 V
Q (9 to 11, 13 to 17)	Q	HI-Z	HI-Z	D	HI-Z

read/output disable

When the outputs of two or more TMS 2532's and/or TMS 25L32's are connected on the same bus, the output of any particular device in the circuit can be read with no interference from the competing outputs of the other devices. The device whose output is to be read should have a low-level TTL signal applied to the PD/PGM pin. All other devices in the circuit should have their outputs disabled by applying a high-level signal to this pin. Output data is accessed at pins Q1 through Q8. Data can be accessed in 450 ns = $t_a(A)$.

power down

Active power dissipation can be cut by over 70% by applying a high TTL signal to the PD/PGM pin. In this mode all outputs are in a high-impedance state.

erasure

Before programming, the TMS 2532 or TMS 25L32 is erased by exposing the chip through the transparent lid to high-intensity ultraviolet light having a wavelength of 253.7 nm (2537 angstroms). The recommended minimum exposure dose (UV intensity times exposure time) is fifteen watt-seconds per square centimeter. Thus, a typical 12 milliwatt per square centimeter, filterless UV lamp will erase the device in a minimum of 21 minutes. The lamp should be located about 2.5 centimeters above the chip during erasure. After erasure, all bits are in the "1" state (assuming high-level output corresponds to logic "1").

start programming

After erasure (all bits in logic "1" state), logic "0's" are programmed into the desired locations. A "0" can be erased only by ultraviolet light. The programming mode is achieved when V_{PP} is 25 V. Data is presented in parallel (8 bits) on pins Q1 through Q8. Once addresses and data are stable, a 50-millisecond TTL low-level pulse should be applied to the PGM pin at each address location to be programmed. Maximum pulse width is 55-milliseconds. Locations can be programmed in any order. Several TMS 2532's and/or TMS 25L32's can be programmed simultaneously when the devices are connected in parallel.

TMS 2532 J1 AND TMS 25L32 J1 32,768-BIT ERASABLE PROGRAMMABLE READ-ONLY MEMORY

inhibit programming

When two or more devices are connected in parallel, data can be programmed into all devices or only chosen devices. TMS 2532's and/or TMS 25L32's not intended to be programmed should have a high level applied to PD/PGM.

program verification

The TMS 2532 and TMS 25L32 program verification is simply the read operation, which can be performed as soon as Vpp returns to +5 V ending the program cycle.

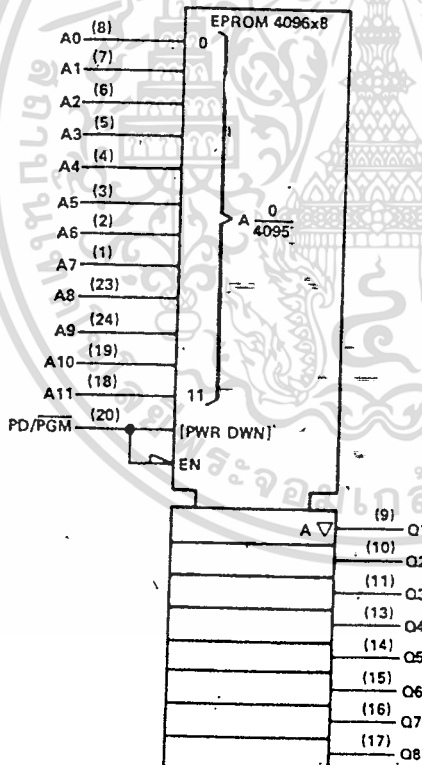
absolute maximum ratings over operating free-air temperature range (unless otherwise noted)*

Supply voltage, V _{CC} (see Note 1)	-0.3 to 6 V
Supply voltage, V _{pp} (see Note 1)	-0.3 to 28 V
All input voltages (see Note 1)	-0.3 to 6 V
Output voltage (operating with respect to V _{SS})	-0.3 to 6 V
Operating free-air temperature range	0°C to 70°C
Storage temperature range	-55°C to 125°C

NOTE 1: Under absolute maximum ratings, voltage values are with respect to the most negative supply voltage, V_{SS} (substrate).

*Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress rating only and functional operation of the device at these or any other conditions beyond those indicated in the "Recommended Operating Conditions" section of this specification is not implied. Exposure to absolute-maximum-rated conditions for extended periods may affect device reliability.

logic symbol†

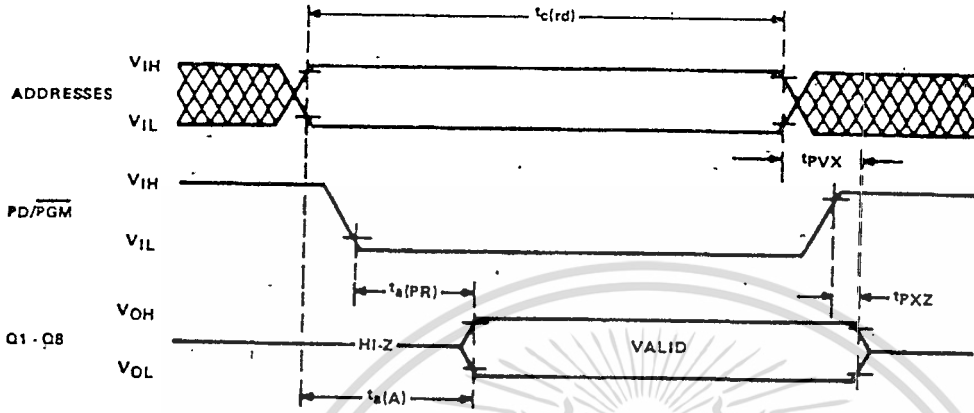


†This symbol is in accordance with IEEE Std 91/ANSI Y32.14 and current discussions in IEEE and IEC. See explanation on page 183.

TMS 2532 JL AND TMS 25L32 JL

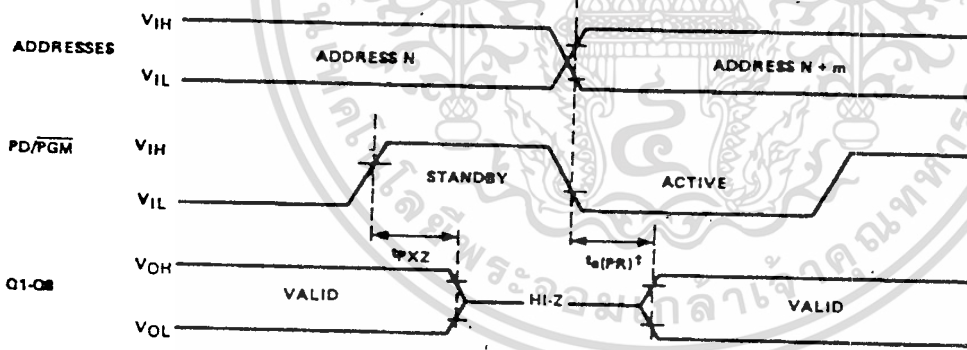
32,768-BIT ERASABLE PROGRAMMABLE READ-ONLY MEMORY

read cycle timing



NOTE: There is no chip select pin on the TMS 2532 and TMS 25L32. The chip-select function is incorporated in the power-down mode.

standby mode

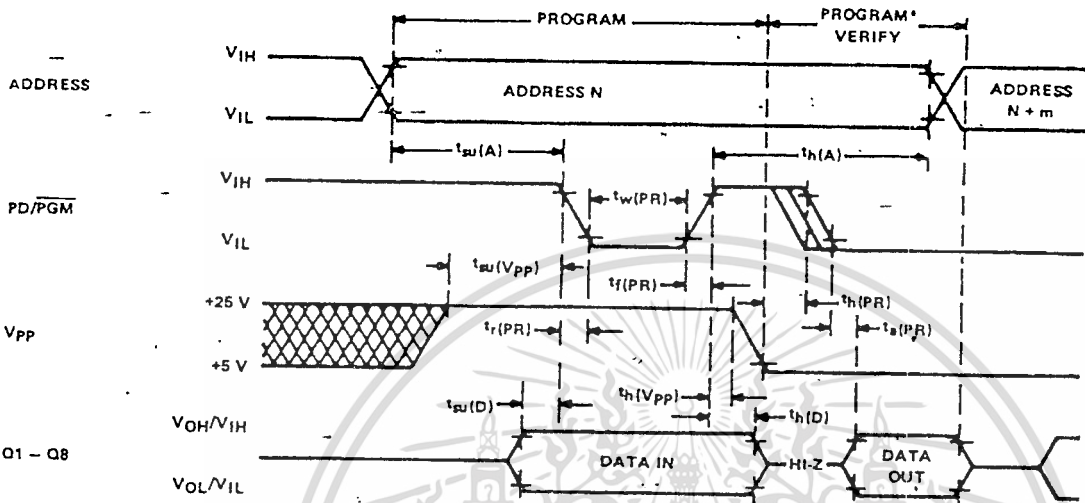


$t_s(PR)$ referenced to $\overline{PD/PGM}$ or the address, whichever occurs last.

All timing reference points in this data sheet (inputs and outputs) are 90% points.

TMS 2532 JL AND TMS 25L32 JL 32,768-BIT ERASABLE PROGRAMMABLE READ-ONLY MEMORY

program cycle timing



*Program verify equivalent to read mode.

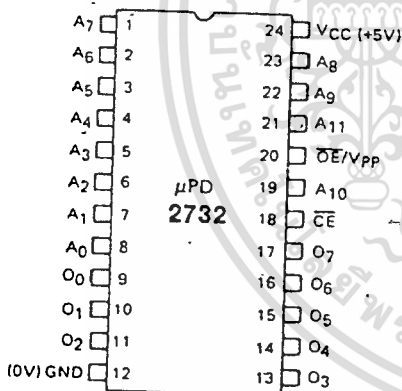
32,768 (4K X 8) BIT UV ERASABLE PROM

DESCRIPTION The μPD2732 is a 32,768 bit (4096 x 8 bit) Ultraviolet Erasable and Electrically Programmable Read-Only Memory (EPROM). It operates from a single +5V supply, making it ideal for microprocessor applications. It features an output enable control and offers a standby mode with an attendant 80% savings in power consumption.

A distinctive feature of the μPD2732 is a separate output control, output enable (\overline{OE}) from the chip enable control (\overline{CE}). The \overline{OE} control eliminates bus contention in multiple-bus microprocessor systems. The μPD2732 features fast, simple one-pulse programming controlled by TTL-level signals. Total programming time for all 32,768 bits is only 210 seconds.

- FEATURES**
- Ultraviolet Erasable and Electrically Programmable
 - Access Time — 450 ns Max
 - Single Location Programming
 - Programmable with Single Pulse
 - Low Power Dissipation: 150 mA Max Active Current, 30 mA Max Standby Current
 - Input/Output TTL Compatible for Reading and Programming
 - Single +5V Power Supply
 - 24 Pin Ceramic DIP
 - Three-State Outputs

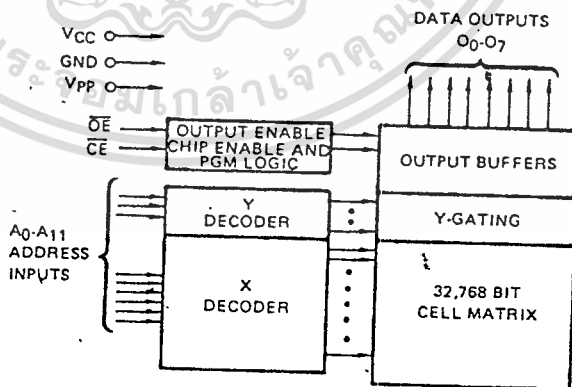
PIN CONFIGURATION



MODE SELECTION

MODE	\overline{CE}	\overline{OE}/V_{PP}	V_{CC}	OUTPUTS
Read	V _{IL}	V _{IL}	+5	D _{OUT}
Standby	V _{IH}	Don't Care	+5	High Z
Program	Pulsed V _{IL} to V _{IH}	+25	+5	D _{IN}
Program Verify	V _{IL}	V _{IL}	+5	D _{OUT}
Program Inhibit	V _{IH}	+25	+5	High Z

BLOCK DIAGRAM



PIN NAMES

A0-A11	Addresses
\overline{OE}	Output Enable
O0-O7	Data Outputs
\overline{CE}	Chip Enable



2732A 32K (4K x 8) UV ERASABLE PROM

- 200 ns (2732A-2) Maximum Access Time . . . HMOS[®]-E Technology
- Compatible with High-Speed 8MHz iAPX 186...Zero WAIT State
- Two Line Control
- Compatible with 12 MHz 8051 Family
- Industry Standard Pinout . . . JEDEC Approved
- Low Standby Current...30 mA Maximum
- $\pm 10\%$ V_{CC} Tolerance Available
- intelligent Identifier[™] Mode
- TTL Compatible

The Intel 2732A is a 5V only, 32,768 bit ultraviolet-erasable and electrically programmable read-only-memory (EPROM). The standard 2732A access time is 250 ns with speed selection (2732A-2) available at 200 ns. The access time is compatible with high performance microprocessors such as the 8 MHz iAPX 186. In these systems, the 2732A allows the microprocessor to operate without the addition of WAIT states.

An important 2732A feature is the separate output control, Output Enable (\overline{OE}), from the Chip Enable control (\overline{CE}). The \overline{OE} control eliminates bus contention in microprocessor systems. Intel's Application Note AP-72 describes the microprocessor system implementation of the \overline{OE} and \overline{CE} controls on Intel's EPROMs. AP-72 is available from Intel's Literature Department.

The 2732A has a standby mode which reduces power consumption without increasing access time. The maximum active current is 125 mA, while the maximum standby current is only 35 mA, a 70% saving. The standby mode is selected by applying the TTL-high signal to the \overline{CE} input.

The 2732A is fabricated with HMOS[®]-E technology, Intel's high-speed N-channel MOS Silicon Gate Technology.

[®]HMOS is a patented process of Intel Corporation.

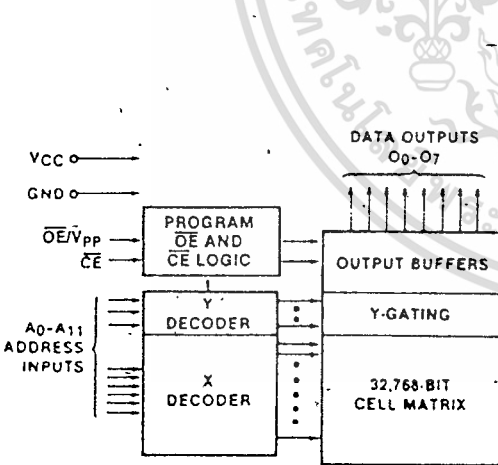


Figure 1. Block Diagram

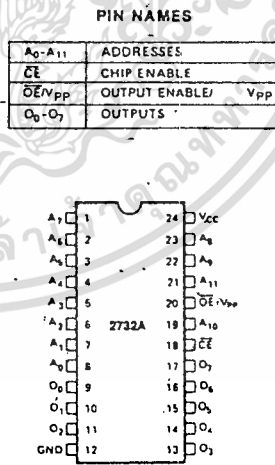


Figure 2. Pin Configuration

Intel Corporation Assumes No Responsibility for the Use of Any Circuitry Other Than Circuitry Embodied in an Intel Product. No Other Circuit Patent Licenses are Implied.
INTEL CORPORATION INC 1982



ABSOLUTE MAXIMUM RATINGS*

Temperature Under Bias	-10°C to +80°C
Storage Temperature	-65°C to +125°C
All Input or Output Voltages with Respect to Ground	+6V to -0.3V
Voltage on Pin 22 with Respect to Ground	+13.5V to -0.3V
V _{PP} Supply Voltage with Respect to Ground During Programming	+22V to -0.3V

*NOTICE: Stresses above those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress rating only and functional operation of the device at these or any other conditions above those indicated in the operational sections of this specification is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

D.C. AND A.C. OPERATING CONDITIONS DURING READ

	2732A/A-2/A-3/A-4	2732A-20/A-25/A-30
Operating Temperature Range	0°C-70°C	0°C-70°C
V _{CC} Power Supply ^{1,2}	5V ± 5%	5V ± 10%

READ OPERATION

D.C. CHARACTERISTICS

Symbol	Parameter	Limits			Units	Conditions
		Min.	Typ. ¹⁾	Max.		
I _{IL}	Input Load Current			10	μA	V _{IN} = 5.5V
I _{LO}	Output Leakage Current			10	μA	V _{OUT} = 5.5V
I _{CC1} ²	V _{CC} Current (Standby)			35	mA	$\overline{CE} = V_{IH}, \overline{OE} = V_{IL}$
I _{CC2} ²	V _{CC} Current (Active)			100	mA	$\overline{OE} = \overline{CE} = V_{IL}$
V _{IL}	Input Low Voltage	-0.1		0.8	V	
V _{IH}	Input High Voltage	2.0		V _{CC} + 1	V	
V _{OL}	Output Low Voltage			0.45	V	I _{OL} = 2.1 mA
V _{OH}	Output High Voltage	2.4			V	I _{OH} = -400 μA
V _{PP} ²	V _{PP} Read Voltage	3.8		V _{CC}	V	V _{CC} = 5.0V ± 0.25V

A.C. CHARACTERISTICS

Symbol	Parameter	2732A-2 2732A-20		2732A 2732A-25		2732A-3 2732A-30		2732A-4		Units	Test Conditions†
		Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.		
t _{ACC}	Address to Output Delay		200		250		300		450	ns	$\overline{CE} = \overline{OE} = V_{IL}$
t _{CE}	\overline{CE} to Output Delay		200		250		300		450	ns	$\overline{OE} = V_{IL}$
t _{OE}	\overline{OE} to Output Delay		70		100		150		150	ns	$\overline{CE} = V_{IL}$
t _{DF} ⁽⁴⁾	\overline{OE} High to Output Not Driven	0	60	0	60	0	130	0	130	ns	$\overline{CE} = V_{IL}$
t _{OH}	Output Hold from Addresses, \overline{CE} or \overline{OE} Whichever Occurred First	0		0		0		0		ns	$\overline{CE} = \overline{OE} = V_{IL}$

†A.C. TEST CONDITIONS

Output Load ... 1 TTL gate and C_L = 100 pF
 Input Rise and Fall Times ... ≤ 20 ns
 Input Pulse Levels ... 0.45V to 2.4V

Timing Measurement Reference Level:

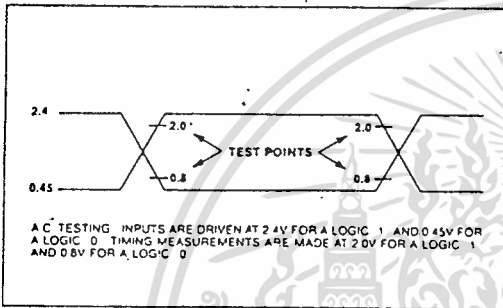
Inputs ... 0.8 and 2.0V
 Outputs ... 0.8 and 2.0V

- NOTES: 1. V_{CC} must be applied simultaneously or before V_{PP} and removed simultaneously or after V_{PP}.
 2. V_{PP} may be connected directly to V_{CC} except during programming. The supply current would then be the sum of I_{CC} and I_{PP}.
 3. Typical values are for t_A = 25°C and nominal supply voltages.
 4. This parameter is only sampled and is not 100% tested. Output Float is defined as the point where data is no longer driven — see timing diagram on page 3.

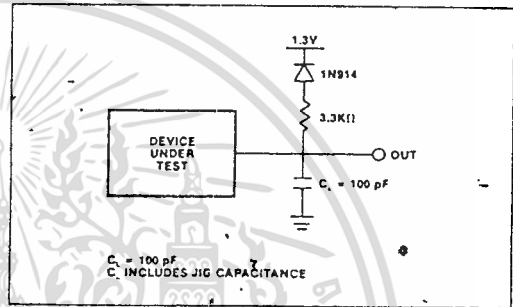
CAPACITANCE⁽²⁾ ($T_A = 25^\circ\text{C}$, $f = 1\text{ MHz}$)

Symbol	Parameter	Typ.	Max.	Unit	Conditions
C _{IN1}	Input Capacitance Except $\overline{\text{OE}}/V_{PP}$	4	6	pF	V _{IN} = 0V
C _{IN2}	$\overline{\text{OE}}/V_{PP}$ Input Capacitance		20	pF	V _{IN} = 0V
C _{OUT}	Output Capacitance	8	12	pF	V _{OUT} = 0V

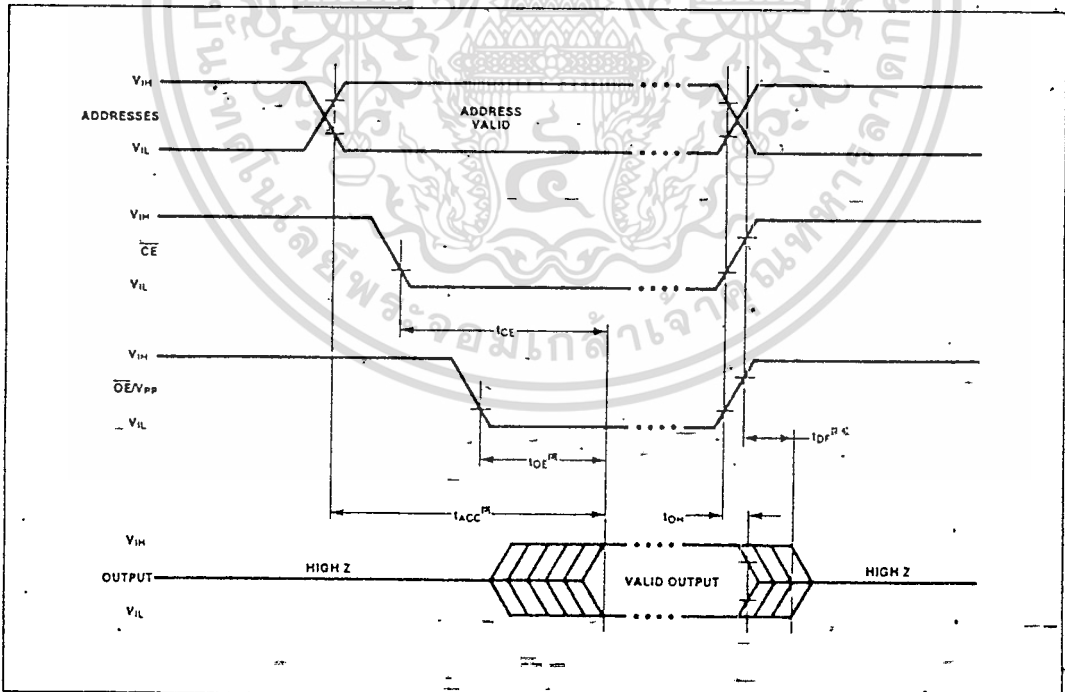
A.C. TESTING INPUT/OUTPUT WAVEFORM



A.C. TESTING LOAD CIRCUIT



A.C. WAVEFORMS



ERASURE CHARACTERISTICS

The erasure characteristics of the 2732A are such that erasure begins to occur upon exposure to light with wavelengths shorter than approximately 4000 Angstroms (Å). It should be noted that sunlight and certain types of fluorescent lamps have wavelengths in the 3000-4000 Å range. Data show that constant exposure to room level fluorescent lighting could erase the typical 2732A in approximately 3 years, while it would take approximately 1 week to cause erasure when exposed to direct sunlight. If the 2732A is to be exposed to these types of lighting conditions for extended periods of time, opaque labels should be placed over the 2732A window to prevent unintentional erasure.

The recommended erasure procedure for the 2732A is exposure to shortwave ultraviolet light which has a wavelength of 2537 Angstroms (Å). The integrated dose (i.e., UV intensity X exposure time) for erasure should be a minimum of 15 W-sec/cm². The erasure time with this dosage is approximately 15 to 20 minutes using an ultraviolet lamp with 12000 μW/cm² power rating. The 2732A should be placed within 1 inch of the lamp tubes during erasure.

DEVICE OPERATION

The six modes of operation of the 2732A are listed in Table 1. A single 5V power supply is required in the read mode. All inputs are TTL levels except for \overline{OE}/V_{PP} during programming and 12V on Ag for the Intelligent Identifier™ mode. In the program mode the \overline{OE}/V_{PP} input is pulsed from a TTL level to 21V.

Table 1. Mode Selection

MODE	PINS	\overline{CE} (18)	\overline{OE}/V_{PP} (20)	Ag (22)	V _{CC} (24)	OUTPUTS (9-11, 13-17)
Read		V _{IL}	V _{IL}	X	+5	D _{OUT}
Output Disable		V _{IL}	V _{IH}	X	+5	High Z
Standby		V _{IH}	X	X	+5	High Z
Program		V _{IL}	V _{PP}	X	+5	D _{IN}
Program Inhibit		V _{IH}	V _{PP}	X	+5	High Z
Intelligent Identifier		V _{IL}	V _{IL}	V _H	+5	Code

Notes: 1. X can be V_{IH} or V_{IL}
2. V_H = 12.0 ± 0.5V

Read Mode

The 2732A has two control functions, both of which must be logically active in order, to obtain data at the outputs. Chip Enable (\overline{CE}) is the power control and should be used for device selection. Output Enable (\overline{OE}) is the output control and should be used to gate data from the output pins, independent of device selection. Assuming that addresses are stable, address access time (t_{ACC}) is equal to the delay from \overline{CE} to output (t_{CE}). Data is available at the outputs after the falling edge of \overline{OE} , assuming that \overline{CE} has been low and addresses have been stable for at least t_{ACC} - t_{OE}.

Standby Mode

The 2732A has a standby mode which reduces the maximum active current from 125 mA to 35 mA. The 2732A is placed in the standby mode by applying a TTL-high signal to the \overline{CE} input. When in standby mode, the outputs are in a high impedance state, independent of the \overline{OE} input.

Output OR-Tieing

Because EPROMs are usually used in larger memory arrays, Intel has provided a 2 line control function that accommodates this use of multiple memory connection. The two line control function allows for:

- the lowest possible memory power-dissipation, and
- complete assurance that output bus contention will not occur.

To use these two control lines most efficiently, \overline{CE} (pin 18) should be decoded and used as the primary device selecting function, while \overline{OE} (pin 20) should be made a common connection to all devices in the array and connected to the READ line from the system control bus. This assures that all deselected memory devices are in their low power standby mode and that the output pins are active only when data is desired from a particular memory device.

PROGRAMMING

CAUTION: Exceeding 22V on Pin 20 (\overline{OE}/V_{PP}) will permanently damage the 2732A.

Initially, and after each erasure, all bits of the 2732A are in the "1" state. Data is introduced by selectively programming "0's" into the desired bit locations. Although only "0's" will be programmed, both "1's" and "0's" can be present in the data word. The only way to change a "0" to a "1" is by ultraviolet light erasure.

The 2732A is in the programming mode when the \overline{OE}/V_{PP} input is at 21V. It is required that a 0.1 μF capacitor be placed across \overline{OE}/V_{PP} and ground to suppress spurious voltage transients which may damage the device. The data to be programmed is applied 8 bits in parallel to the data output pins. The levels required for the address and data inputs are TTL.

When the address and data are stable, a 50 msec, active low, TTL program pulse is applied to the \overline{CE} input. A program pulse must be applied at each address location to be programmed. You can program any location at any time—either individually, sequentially, or at random. The program pulse has a maximum width of 55 msec. The 2732A must not be programmed with a DC signal applied to the \overline{CE} input.

Programming of multiple 2732As in parallel with the same data can be easily accomplished due to the simplicity of the programming requirements. Like inputs of the paralleled 2732As may be connected together when they are programmed with the same data. A low level TTL pulse applied to the \overline{CE} input programs the paralleled 2732As.

Program Inhibit

Programming of multiple 2732As in parallel with different data is also easily accomplished. Except for \overline{CE} , all like inputs (including \overline{OE}) of the parallel 2732As may be common. A TTL level program pulse applied to a 2732A's \overline{CE} input with \overline{OE}/V_{PP} at 21V will program that 2732A. A high level \overline{CE} input inhibits the other 2732As from being programmed.

Verify

A verify (Read) should be performed on the programmed bits to determine that they were correctly programmed. The verify is accomplished with \overline{OE}/V_{PP} and \overline{CE} at V_{IL} . Data should be verified t_{DV} after the falling edge of \overline{CE} .

Intelligent Identifier™ Mode

The Intelligent Identifier Mode allows the reading out of a binary code from an EPROM that will identify its manufacturer and type. This mode is intended for use by programming equipment for the purpose of automatically matching the device to be programmed with its corresponding programming algorithm. This mode is functional in the 25°C ± 5°C ambient temperature range.

To activate this mode, the programming equipment must force 11.5V to 12.5V on address line A9 (pin 22) of the 2732A. Two identifier bytes may then be sequenced from the device outputs by toggling address line A0 (pin 8) from V_{IL} to V_{IH} . All other address lines must be held at V_{IL} during intelligent Identifier Mode.

Byte 0 ($A0 = V_{IL}$) represents the manufacturer code and byte 1 ($A0 = V_{IH}$) the device identifier code. For the Intel 2732A, these two identifier bytes are given in Table 2. All identifiers for manufacturer and device codes will possess odd parity, with the MSB (O_7) defined as the parity bit.

Intel began manufacturing 2732As during 1982 that contained the intelligent Identifier feature. Earlier generation devices do not contain identifier information, and if erased, will respond with a "one" (V_{OH}) on each data line when operated in this mode. Programmed, preidentifier mode 2732As will respond with the current data contained in locations 0 and 1 when subjected to the intelligent Identifier operation.

System Consideration

The power switching characteristics of HMOS-E EPROMs require careful decoupling of the devices. The supply current, I_{CC} , has three segments that are of interest to the system designer—the standby current level, the active current level, and the transient current peaks that are produced by the falling and rising edges of Chip Enable. The magnitude of these transient current peaks is dependent on the output capacitive loading of the device. The associated transient voltage peaks can be suppressed by complying with Intel's Two-Line Control, as detailed in Intel's Application Note, AP-72, and by properly selected decoupling capacitors. It is recommended that a 0.1µF ceramic capacitor be used on every device between V_{CC} and GND. This should be a high frequency capacitor of low inherent inductance and should be placed as close to the device as possible. In addition, a 4.7µF bulk electrolytic capacitor should be used between V_{CC} and GND for every eight devices. The bulk capacitor should be located near where the power supply is connected to the array. The purpose of the bulk capacitor is to overcome the voltage droop caused by the inductive effects of PC board-traces.

Table 2. 2732A Intelligent Identifier™ Bytes

Identifier	Pins	A ₀ (8)	O ₇ (17)	O ₆ (16)	O ₅ (15)	O ₄ (14)	O ₃ (13)	O ₂ (11)	O ₁ (10)	O ₀ (9)	Hex Data
Manufacturer Code		V_{IL}	1	0	0	0	1	0	0	1	89
Device Code		V_{IH}	0	0	0	0	0	0	0	1	01

PROGRAMMING^[4]

D.C. PROGRAMMING CHARACTERISTICS: $T_A = 25 \pm 5^\circ\text{C}$, $V_{CC} = 5\text{V} \pm 5\%$, $V_{PP} = 21\text{V} \pm 0.5\text{V}$

Symbol	Parameter	Limits			Units	Test Conditions
		Min.	Typ.	Max.		
I_{LI}	Input Current (All Inputs)			10	μA	$V_{IN} = V_{IL}$ or V_{IH}
V_{OL}	Output Low Voltage During Verify			0.45	V	$I_{OL} = 2.1\text{mA}$
V_{OH}	Output High Voltage During Verify	2.4			V	$I_{OH} = -400\mu\text{A}$
I_{CC}	V_{CC} Supply Current		85	100	mA	
V_{IL}	Input Low Level (All Inputs)	-0.1		0.8	V	
V_{IH}	Input High Level (All Inputs Except $\overline{\text{OE}}/V_{PP}$)	2.0		V_{CC}	V	
I_{PP}	V_{PP} Supply Current			30	mA	$\overline{\text{CE}} = V_{IL}$, $\overline{\text{OE}} = V_{PP}$
V_{ID}	Ag intelligent Identifier Voltage	11.5		12.5	V	

A.C. PROGRAMMING CHARACTERISTICS: $T_A = 25 \pm 5^\circ\text{C}$, $V_{CC} = 5\text{V} \pm 5\%$, $V_{PP} = 21\text{V} \pm 0.5\text{V}$

Symbol	Parameter	Limits			Units	Test Conditions†
		Min.	Typ.	Max.		
t_{AS}	Address Setup Time	2			μs	
t_{OES}	$\overline{\text{OE}}$ Setup Time	2			μs	
t_{DS}	Data Setup Time	2			μs	
t_{AH}	Address Hold Time	0			μs	
t_{OEh}	$\overline{\text{OE}}$ Hold Time	2			μs	
t_{DH}	Data Hold Time	2			μs	
t_{DFP}	$\overline{\text{OE}}$ High to Output Not Driven	0		130	ns	
t_{DV}	Data Valid from $\overline{\text{CE}}$			1	μs	$\overline{\text{CE}} = V_{IL}$, $\overline{\text{OE}} = V_{IL}$
t_{PW}	$\overline{\text{CE}}$ Pulse Width During Programming	20	50	55	ms	
t_{PRT}	$\overline{\text{OE}}$ Pulse Rise Time During Programming	50			ns	
t_{VR}	V_{PP} Recovery Time	2			μs	

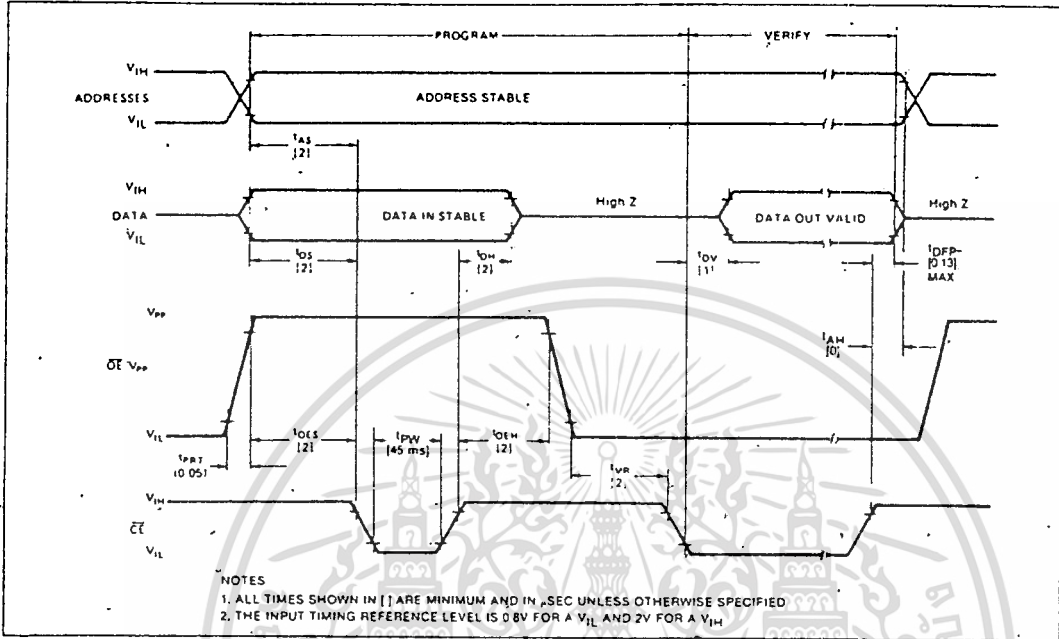
†A.C. TEST CONDITIONS

- Input Rise and Fall Times (10% to 90%) $\leq 20\text{ns}$
- Input Pulse Levels 0.45V to 2.4V
- Input Timing Reference Level 0.8V and 2.0V
- Output Timing Reference Level 0.8V and 2.0V

NOTES:

- Typical values are for $T_A = 25^\circ\text{C}$ and nominal supply voltages.
- This parameter is only sampled and is not 100% tested. Output float is defined as the point where data is no longer driven — see timing diagram
- $\overline{\text{OE}}$ may be delayed up to $t_{ACC} - t_{OE}$ after the falling edge of $\overline{\text{CE}}$ without impacting t_{ACC} .
- When programming the 2732A, a $0.1\mu\text{F}$ capacitor is required across $\overline{\text{OE}}/V_{PP}$ and ground to suppress spurious voltage transients which may damage the device.

PROGRAMMING WAVEFORMS



MOS
LSI

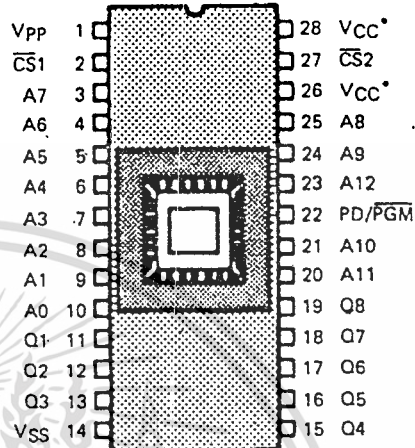
TMS 2564 JL
65,536-BIT ERASABLE PROGRAMMABLE READ-ONLY MEMORY

DECEMBER 1979

- Organization . . . 8K X 8
- Single +5 V Power Supply
- Pin Compatible with Existing ROMs and EPROMs (8K, 16K, 32K, and 64K)
- All Inputs/Outputs Fully TTL Compatible
- Static Operation (No Clocks, No Refresh)
- Max Access/Min Cycle Time . . . 450 ns
- 8-Bit Output for Use in Microprocessor-Based Systems
- N-Channel Silicon-Gate Technology
- 3-State Output Buffers
- Guaranteed DC Noise Immunity with Standard TTL Loads
- No Pull-Up Resistors Required
- Low Power Dissipation:

Active . . . 400 mW Typical
Standby . . . 50 mW Typical

TMS 2564
28-PIN CERAMIC
DUAL-IN-LINE PACKAGE
(TOP VIEW)



* Connected internally. V_{CC} need be supplied to only one of these two pins.

PIN NOMENCLATURE

A(N)	Address inputs
CS(N)	Chip Selects
PD/PGM	Power Down/Program
Q(N)	Input/Output
V _{CC}	+5 V Power Supply
V _{pp}	+25 V Power Supply
V _{SS}	0 V Ground

description

The TMS 2564 JL is a 65,536-bit, ultraviolet-light-erasable, electrically programmable read-only memory. This device is fabricated using N-channel silicon-gate technology for high-speed and simple interface with MOS and bipolar circuits. All inputs (including program data inputs) can be driven by Series 74 TTL circuits without the use of external pull-up resistors, and each output can drive one Series 74 TTL circuit without external resistors. The data outputs are three-state for connecting multiple devices to a common bus. The TMS 2564 is offered in a dual-in-line ceramic package (JL suffix) rated for operation from 0°C to 70°C.

Since this EPROM operates from a single +5 V supply (in the read mode), it is ideal for use in microprocessor systems. One other supply (+25 V) is needed for programming. Programming requires a single TTL level pulse per location. For programming outside of the system, existing EPROM programmers can be used. Locations may be programmed singly, in blocks, or at random.

The TMS 2564 is compatible with other 5-volt ROMs and EPROMs, even those in a 24-pin package.

TMS 2564 JL

65,536-BIT ERASABLE PROGRAMMABLE READ-ONLY MEMORY

operation

FUNCTION (PINS)	MODE				
	Read	Output Disable	Power Down	Start Programming	Inhibit Programming
PD/PGM (22)	V_{IL}	V_{IH} or Don't Care or Don't Care	V_{IH}	Pulsed V_{IH} to V_{IL}	V_{IH} or Don't Care or Don't Care
CS1 (21)	V_{IL}	Don't Care or V_{IH} or Don't Care	Don't Care	V_{IL}	Don't Care or V_{IH} or Don't Care
CS2 (27)	V_{IL}	Don't Care or Don't Care or V_{IH}	Don't Care	V_{IL}	Don't Care or Don't Care or V_{IH}
V _{PP} (1)	+5 V	+5 V	+5 V	+25 V	+25 V
V _{CC} * (26/28)	+5 V	+5 V	+5 V	+5 V	+5 V
Q (11 to 13, 15 to 19)	Q	HI-Z	HI-Z	D	HI-Z

* Do not use the internal jumper of 26-28 to conduct PC board currents.

read/output disable

When the outputs of two or more TMS 2564's are commoned on the same bus, the output of any particular device in the circuit can be read with no interference from the competing outputs of the other devices. To read the output of the TMS 2564, the low-level signal is applied to the PD/PGM and CS pins. All other devices in the circuit should have their outputs disabled by applying a high-level signal to one of these pins. Output data is accessed at pins Q1 to Q8. Data can be access in $450 \text{ ns} = t_a(A)$.

power down

Active power dissipation can be cut by one of over 80% by applying a high TTL signal to the PD/PGM pin. In this mode all outputs are in a high-impedance state.

erasure

Before programming, the TMS 2564 is erased by exposing the chip through the transparent lid to high intensity ultraviolet (wavelength 2537 angstroms). The recommended minimum exposure dose (= UV intensity X exposure time) is fifteen watt-seconds per square centimeter. A typical 12 milliwatt per square centimeter, filterless UV lamp will erase the device in about 21 minutes. The lamp should be located about 2.5 centimeters above the chip during erasure. After erasure, all bits are in the high state.

start programming

After erasure (all bits in logic high state), logic "0's" are programmed into the desired locations. A low can be erased only by ultraviolet light. The programming mode is achieved when V_{pp} is 25 V. Data is presented in parallel (8 bits) on pins Q1 to Q8. Once addresses and data are stable, a 50 millisecond low TTL pulse should be applied to the PGM pin at each address location to be programmed. Maximum pulse width is 55 milliseconds. Locations can be programmed in any order. More than one TMS 2564 can be programmed when the devices are connected in parallel. During programming both chip select signals should be held low unless program inhibit is desired.

TMS 2564 J1

65,536-BIT ERASABLE PROGRAMMABLE READ-ONLY MEMORY

inhibit programming

When two or more TMS 2564's are connected in parallel, data can be programmed into all devices or only chosen devices. TMS 2564's not intended to be programmed should have a high level applied to PD/PGM or CS1 or CS2.

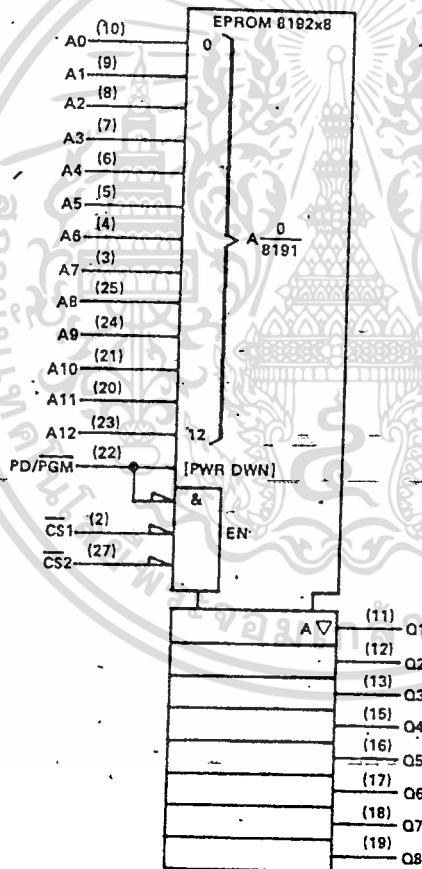
absolute maximum ratings over operating free-air temperature range (unless otherwise noted)*

Supply voltage, V _{CC} (see Note 1)	-0.3 to 6 V
Supply voltage, V _{pp} (see Note 1)	-0.3 to 28 V
All input voltages (see Note 1)	-0.3 to 6 V
Output voltage (operating with respect to V _{SS})	-0.3 to 6 V
Operating free-air temperature range	0°C to 70°C
Storage temperature range	-55°C to 125°C

NOTE 1: Under absolute maximum ratings, voltage values are with respect to the most-negative supply voltage, V_{SS} (substrate).

* Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress rating only and functional operation of the device at these or any other conditions beyond those indicated in the "Recommended Operating Conditions" section of this specification is not implied. Exposure to absolute-maximum-rated conditions for extended periods may affect device reliability.

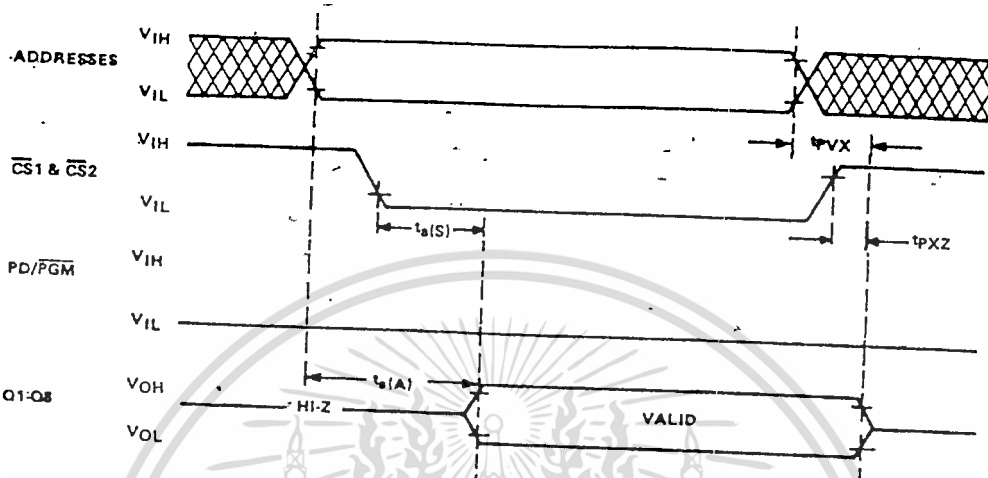
logic symbol†



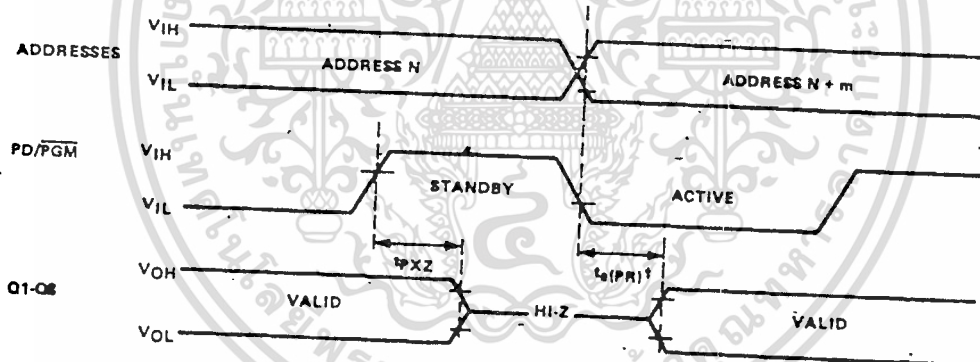
† This symbol is in accordance with IEEE Std 91/ANSI Y32.14 and current discussions in IEEE and IEC. See explanation on page 183.

TMS 2564 JL 65,536-BIT ERASABLE PROGRAMMABLE READ-ONLY MEMORY

read cycle timing



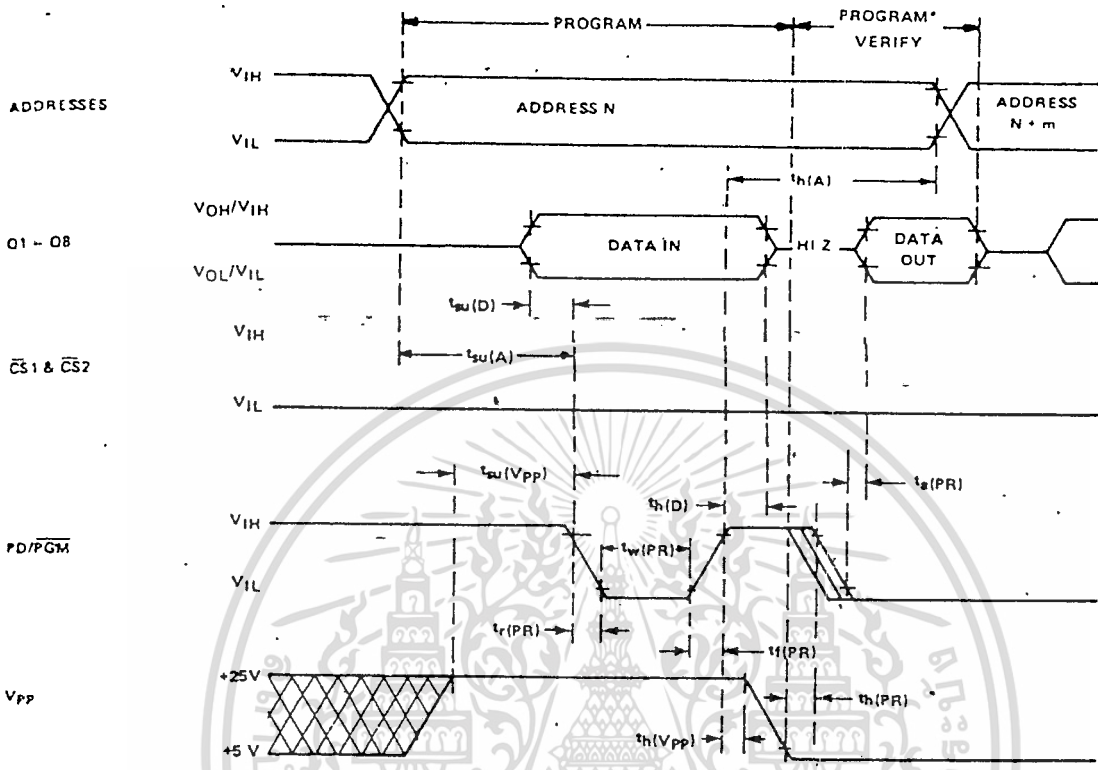
standby mode



NOTE: $t_{a(PR)}$ referenced to PD/PGM or the address, whichever occurs last. CS1 and CS2 in Don't Care State In Standby Mode.

TMS 2564 JL 65,536-BIT ERASABLE PROGRAMMABLE READ-ONLY MEMORY

program cycle timing



* Equivalent to read mode.



2764A ADVANCED 64K (8Kx8) UV ERASABLE PROM

- **Fast 180 nsec Access Time.**
—HMOS II*-E Technology
- **Low Power**
—60 mA Maximum Active
—20 mA Maximum Standby
- **Two Line Control**
- **Intelligent Programming™ Algorithm**
—Fastest EPROM Programming
- **Intelligent Identifier™ Mode**
—Automated Programming Operations
- **Compatible with 2764, 27128, 27256**
- **±10% V_{CC} Tolerance Available**

The Intel 2764A is a 5V only, 65,536-bit ultraviolet erasable and electrically programmable read-only memory (EPROM). The 2764A is an advanced version of the 2764 and is fabricated with Intel's HMOSII-E technology which significantly reduces die size and greatly improves the device's performance, power consumption, reliability and producibility.

The 2764A provides access times to 180 ns(2764A-1). This is an improvement over the fastest 2764 access time of 200 ns. This is compatible with high-performance microprocessors, such as Intel's 8 MHz iAPX 186 allowing full speed operation without the addition of WAIT states. The 2764A is also directly compatible with the 12 MHz 8051 family.

Several advanced features have been designed into the 2764A that allow fast and reliable programming—the intelligent Programming Algorithm and the intelligent Identifier Mode. Programming equipment that takes advantage of these innovations will electronically identify the 2764A and then rapidly program it using an efficient programming method.

The 2764A also offers reduced power consumption compared to the 2764. The maximum active current on faster speed parts is 60 mA while the maximum standby current is only 20 mA. The standby mode lowers power consumption without increasing access time.

Two-line control and JEDEC-approved, 28 pin packaging are standard features of all Intel higher density EPROMs. This ensures easy microprocessor interfacing and minimum design efforts when upgrading, adding or choosing between non-volatile memory alternatives.

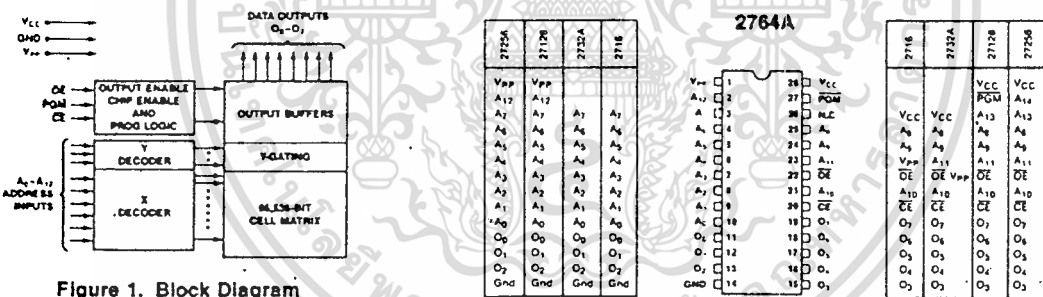


Figure 1. Block Diagram

NOTE: INTEL™ UNIVERSAL SITE-COMPATIBLE EPROM PIN CONFIGURATIONS ARE SHOWN IN THE BLOCKS ADJACENT TO THE 2764A PINS

Figure 2. Pin Configurations

MODE SELECTION

MODE	CE (P9)	OE (22)	PGM (27)	A ₀ (24)	V _{PP} (11)	V _{CC} (28)	Outputs (11-13, 15-18)
Read	V _{IL}	V _{IL}	V _{IL}	Z	V _{CC}	V _{CC}	Output
Output Enable	V _H	V _{IL}	V _{IL}	Z	V _{CC}	V _{CC}	High Z
Standby	V _{IL}	Z	Z	Z	V _{CC}	V _{CC}	High Z
Verify	V _{IL}	V _{IL}	V _H	Z	V _{PP}	V _{CC}	Output
Program Inhibit	V _{IL}	Z	Z	Z	V _{PP}	V _{CC}	High Z
Intelligent Identifier	V _{IL}	V _{IL}	V _{IL}	V _{IL}	V _{CC}	V _{CC}	Code
Intelligent Programming	V _{IL}	V _{IL}	V _{IL}	Z	V _{PP}	V _{CC}	D _H

1 X can be V_{IL} or V_{IL}
2 V_H = 12 DV ± 0.5V

*HMOS is a patented process of Intel Corporation

PIN NAMES

A ₀ -A ₁₂	ADDRESSES
CE	CHIP ENABLE
OE	OUTPUT ENABLE
O ₀ -O ₇	OUTPUTS
PGM	PROGRAM
N.C.	NO CONNECT

Intel Corporation Assumes No Responsibility for the Use of Any Circuitry Other Than Circuitry Embodied in an Intel Product. No Other Circuit Patent Licenses are Implied.

©INTEL CORPORATION, 1984.

ABSOLUTE MAXIMUM RATINGS*

Temperature Under Bias	-10°C to +80°C
Storage Temperature	-65°C to +125°C
All Input or Output Voltages with Respect to Ground	+6.5V to -0.6V
Voltage on Pin 24 with Respect to Ground	+13.5V to -0.6V
V _{PP} Supply Voltage with Respect to Ground During Programming	+14V to -0.6V

**NOTICE: Stresses above those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress rating only and functional operation of the device at these or any other conditions above those indicated in the operational sections of this specification is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.*

D.C. AND A.C. OPERATING CONDITIONS DURING READ

	2764A-1, 2764A-2, 2764A-3, 2764A-4	2764A-20, 2764A-25, 2764A-30, 2764A-45
Operating Temperature Range	0°-70°C	0°-70°C
V _{CC} Power Supply ^{1,2}	5V ± 5%	5V ± 10%
V _{PP} Voltage ²	V _{PP} = V _{CC}	V _{PP} = V _{CC}

READ OPERATION

D.C. CHARACTERISTICS

Symbol	Parameter	Limits			Unit	Conditions
		Min	Typ ³	Max		
I _{L1}	Input Load Current			10	μA	V _{IN} = 5.5V
I _{LO}	Output Leakage Current			10	μA	V _{OUT} = 5.5V
I _{PP1} ²	V _{PP} Current Read			5	mA	V _{PP} = 5.5V
I _{CC1} ²	V _{CC} Current Standby			20/35 ⁵	mA	$\overline{CE} = V_{IH}$
I _{CC2} ²	V _{CC} Current Active			60/75 ⁵	mA	$\overline{CE} = \overline{OE} = V_{IL}$
V _{IL}	Input Low Voltage	-1		+8	V	
V _{IH}	Input High Voltage	2.0		V _{CC} + 1	V	
V _{OL}	Output Low Voltage			.45	V	I _{OL} = 2.1 mA
V _{OH}	Output High Voltage	2.4			V	I _{OH} = -400 μA
V _{PP} ²	V _{PP} Read Voltage	3.8		V _{CC}	V	V _{CC} = 5.0V ± 0.25V

A.C. CHARACTERISTICS

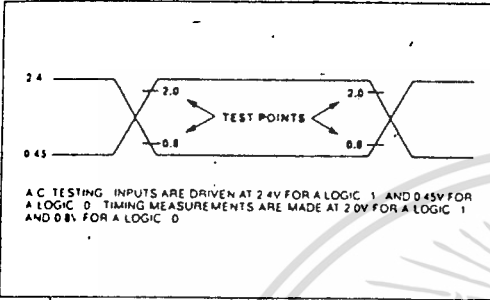
Symbol	Parameter	2764A-1 Limits		2764A-20 & 2764A-2 Limits		2764A-25 & 2764A Limits		2764A-30 & 2764A-3 Limits		2764A-45 & 2764A-4 Limits		Unit	Test Conditions
		Min	Max	Min	Max	Min	Max	Min	Max	Min	Max		
t _{ACC}	Address to Output Delay		180		200		250		300		450	ns	$\overline{CE} = \overline{OE} = V_{IL}$
t _{CE}	\overline{CE} to Output Delay		180		200		250		300		450	ns	$\overline{OE} = V_{IL}$
t _{OE}	\overline{OE} to Output Delay		65		75		100		120		150	ns	$\overline{CE} = V_{IL}$
t _{DF} ⁴	\overline{OE} or \overline{CE} High to Output Data Float	0	55	0	55	0	80	0	105	0	130	ns	$\overline{CE} = V_{IL}$
t _{OH}	Output Hold from Addresses \overline{CE} or \overline{OE} Whichever Occurred First	0		0		0		0		0		ns	$\overline{CE} = \overline{OE} = V_{IL}$

- NOTES: 1. V_{CC} must be applied simultaneously or before V_{PP} and removed simultaneously or after V_{PP}.
 2. V_{PP} may be connected directly to V_{CC} except during programming. The supply current would then be the sum of I_{CC} and I_{PP}.
 3. Typical values are for t_a = 25°C and nominal supply voltages.
 4. This parameter is only sampled and is not 100% tested. Output Float is defined as the point where data is no longer driven — see timing diagram on the following page.
 5. Max I_{CC} rating differs with access time. Rating of 60 mA active and 20 mA standby are for 2764As at 200 nsec and 180 nsec access time only.

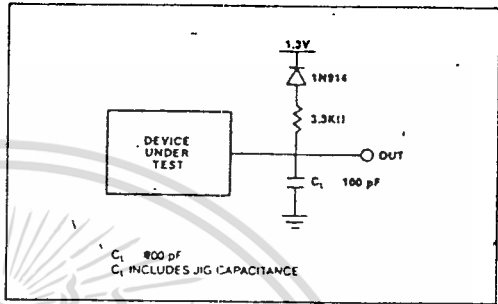
CAPACITANCE^[2] ($T_A = 25^\circ\text{C}$, $f = 1\text{MHz}$)

Symbol	Parameter	Typ. ¹	Max.	Unit	Conditions
C_{in}	Input Capacitance	4	6	pF	$V_{in} = 0V$
C_{out}	Output Capacitance	8	12	pF	$V_{out} = 0V$

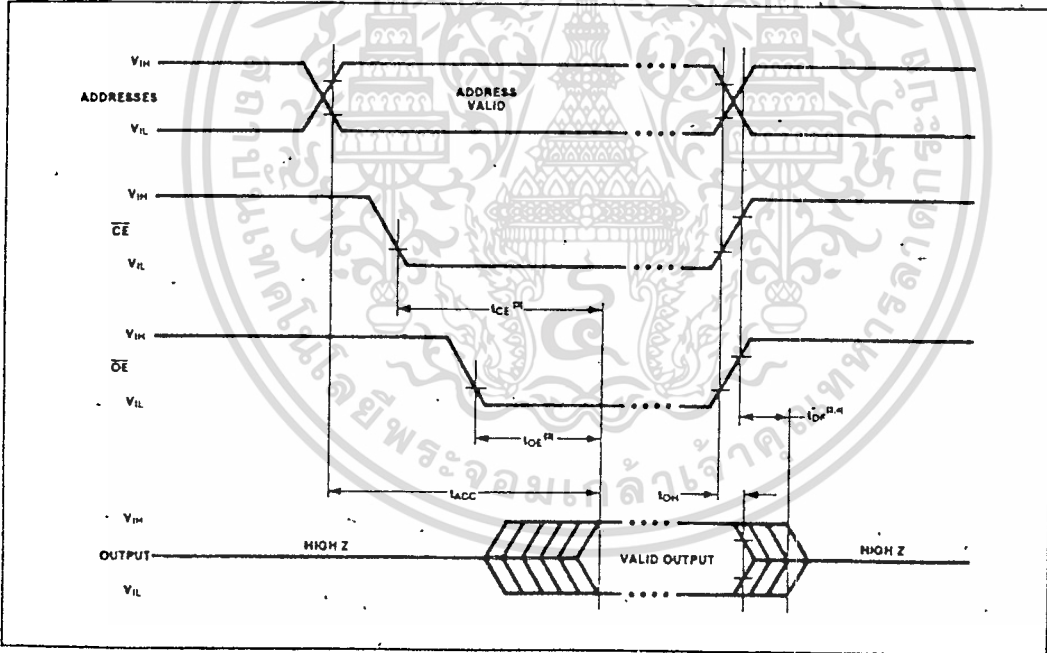
A.C. TESTING INPUT/OUTPUT WAVEFORM



A.C. TESTING LOAD CIRCUIT



A.C. WAVEFORMS



- NOTES:
1. Typical values are for $T_A = 25^\circ\text{C}$ and nominal supply voltages.
 2. This parameter is only sampled and is not 100% tested
 3. \overline{OE} may be displayed up to $t_{CE} - t_{OE}$ after the falling edge of \overline{CE} without impact on t_{CE} .
 4. t_{or} is specified from \overline{OE} or \overline{CE} , whichever occurs first

DEVICE OPERATION

The seven modes of operation of the 2764A are listed in Table 1. A single 5V power supply is required in the read mode. All inputs are TTL levels except for V_{PP} and 12V on A9 for intelligent identifier mode.

Table 1. MODE SELECTION

MODE	CE (20)	OE (22)	PGM (27)	A ₉ (24)	V _{PP} (1)	V _{CC} (28)	Outputs (11-13, 15-19)
Read	V _{IL}	V _{IL}	V _{IH}	X	V _{CC}	V _{CC}	D _{OUT}
Output Disable	V _{IL}	V _{IH}	V _{IH}	X	V _{CC}	V _{CC}	High Z
Standby	V _{IH}	X	X	X	V _{CC}	V _{CC}	High Z
Verify	V _{IL}	V _{IL}	V _{IH}	X	V _{PP}	V _{CC}	D _{OUT}
Program Inhibit	V _{IH}	X	X	X	V _{PP}	V _{CC}	High Z
Intelligent Identifier	V _{IL}	V _{IL}	V _{IH}	V _H	V _{CC}	V _{CC}	Code
Intelligent Programming	V _{IL}	V _{IH}	V _{IL}	X	V _{PP}	V _{CC}	D _{IN}

NOTES:
 1 X can be V_{IH} or V_{IL}
 2 V_H = 12.0V ± 0.5V

READ MODE

The 2764A has two control functions, both of which must be logically active in order to obtain data at the outputs. Chip Enable (CE) is the power control and should be used for device selection. Output Enable (OE) is the output control and should be used to gate data from the output pins, independent of device selection. Assuming that addresses are stable, the address access time (t_{ACC}) is equal to the delay from CE to output (t_{CE}). Data is available at the outputs after a delay of t_{OE} from the falling edge of OE, assuming that CE has been low and addresses have been stable for at least t_{ACC} - t_{OE}.

STANDBY MODE

The 2764A has standby mode which reduces the maximum current from 75 mA to 35 mA. The 2764A is placed in the standby mode by applying a TTL-high signal to the CE input. When in standby mode, the outputs are in a high impedance state, independent of the OE input.

Output OR-Tieing

Because EPROMs are usually used in larger-memory arrays, Intel has provided 2 control lines which accommodate this multiple memory connection. The two control lines allow for:

- a) the lowest possible memory power dissipation, and
- b) complete assurance that output bus contention will not occur.

To use these two control lines most efficiently, CE (pin 20) should be decoded and used as the primary device selecting function, while OE (pin 22) should be made a common connection to all devices in the array and connected to the READ line from the system control bus. This assures that all deselected memory devices are in their low power standby mode and that the output pins are active only when data is desired from a particular memory device.

System Considerations

The power switching characteristics of HMOSII-E EPROMs require careful decoupling of the devices. The supply current, I_{CC}, has three segments that are of interest to the system designer—the standby current level, the active current level, and the transient current peaks that are produced by the falling and rising edges of Chip Enable. The magnitude of these transient current peaks is dependent on the output capacitive loading of the device. The associated transient voltage peaks can be suppressed by complying with Intel's Two-Line Control, as detailed in Intel's Application Note AP-72, Order Number 8566, and by properly selected decoupling capacitors. It is recommended that a 0.1 μF ceramic capacitor be used on every device between V_{CC} and GND. This should be a high frequency capacitor of low inherent inductance and should be placed as close to the device as possible. In addition, a 4.7 μF bulk electrolytic capacitor should be used between V_{CC} and GND for every eight devices. The bulk capacitor should be located near where the power supply is connected to the array. The purpose of the bulk capacitor is to overcome the voltage droop caused by the inductive effect of PC board-traces.

PROGRAMMING MODES

Caution: Exceeding 14V on pin 1 (V_{PP}) will permanently damage the 2764A.

Initially, and after each erasure, all bits of the 2764A are in the "1" state. Data is introduced by selectively programming "0s" into the desired bit locations: Although only "0s" will be programmed, both "1s" and "0s" can be present in the data word. The only way to change a "0" to a "1" is by ultraviolet light erasure.

The 2764A is in the programming mode when V_{PP} input is at 12.5V and CE and PGM are both at TTL low. The data to be programmed is applied 8 bits in parallel to the data output pins. The levels required for the address and data inputs are TTL.

Intelligent Programming™ Algorithm

The 2764A intelligent Programming Algorithm rapidly programs Intel 2764A EPROMs using an efficient and reliable method particularly suited to the production programming environment. Typical programming time for individual devices is on the order of one and a half minutes. Programming reliability is also ensured as the incremental program margin of each byte is continually monitored to determine when it has been successfully programmed. A flow-chart of the 2764A intelligent Programming Algorithm is shown in Figure 3.

The intelligent Programming Algorithm utilizes two different pulse types: initial and overprogram. The duration of the initial PGM pulse(s) is one millisecond, which will then be followed by a longer overprogram pulse of length 3X msec. X is an iteration counter and is equal to the number of the initial one millisecond pulses applied to a particular 2764A location, before a correct verify occurs. Up to 25 one-millisecond pulses per byte are provided for before the overprogram pulse is applied.

The entire sequence of program pulses and byte verifications is performed at $V_{CC} = 6.0V$ and $V_{PP} = 12.5V$. When the intelligent Programming cycle has been completed, all bytes should be compared to the original data with $V_{CC} = V_{PP} = 5.0V$.

Program Inhibit

Programming of multiple 2764As in parallel with different data is easily accomplished by using the Program Inhibit mode. A high-level \overline{CE} or \overline{PGM} input inhibits the other 2764As from being programmed.

Except for \overline{CE} , all like inputs (including \overline{OE}) of the parallel 2764As may be common. A TTL low-level pulse applied to the \overline{CE} input with V_{PP} at 12.5V will program the selected 2764A.

Verify

A verify should be performed on the programmed bits to determine that they have been correctly programmed. The verify is performed with \overline{OE} at V_{IL} , \overline{CE} at V_{IL} , \overline{PGM} at V_{IH} and V_{PP} at 12.5V.

Intelligent Identifier™ Mode

The intelligent Identifier Mode allows the reading out of a binary code from an EPROM that will identify its manufacturer and type. This mode is intended for use by programming equipment for the purpose of automatically matching the device to be programmed with its corresponding programming algorithm. This mode is functional in the $25^{\circ}C \pm 5^{\circ}C$ ambient temperature range that is required when programming the 2764A.

To activate this mode, the programming equipment must force 11.5V to 12.5V on address line A9 (pin 24) of the 2764A. Two identifier bytes may then be sequenced from the device outputs by toggling address line A0 (pin 10) from V_{IL} to V_{IH} . All other address lines must be held at V_{IL} during intelligent Identifier Mode.

Byte 0 ($A_0 = V_{IL}$) represents the manufacturer code and byte 1 ($A_0 = V_{IH}$) the device identifier code. For the Intel 2764A, these two identifier bytes are given in Table 2. All identifiers for manufacturer and device codes will possess odd parity, with the MSB (O_7) defined as the parity bit.

Table 2. 2764A Intelligent Identifier™ Bytes

Identifier \ Pins	A ₀ (10)	O ₇ (19)	O ₆ (18)	O ₅ (17)	O ₄ (16)	O ₃ (15)	O ₂ (13)	O ₁ (12)	O ₀ (11)	Hex Data
Manufacturer Code	V_{IL}	1	0	0	0	1	0	0	1	89
Device Code	V_{IH}	0	0	0	0	1	0	0	0	08

NOTES:

1. $A_9 = 12.0V \pm 0.5V$
2. $A_1-A_6, A_{10}-A_{13}, \overline{CE}, \overline{OE} = V_{IL}$
3. $A_{14} = V_{IH}$ or V_{IL}

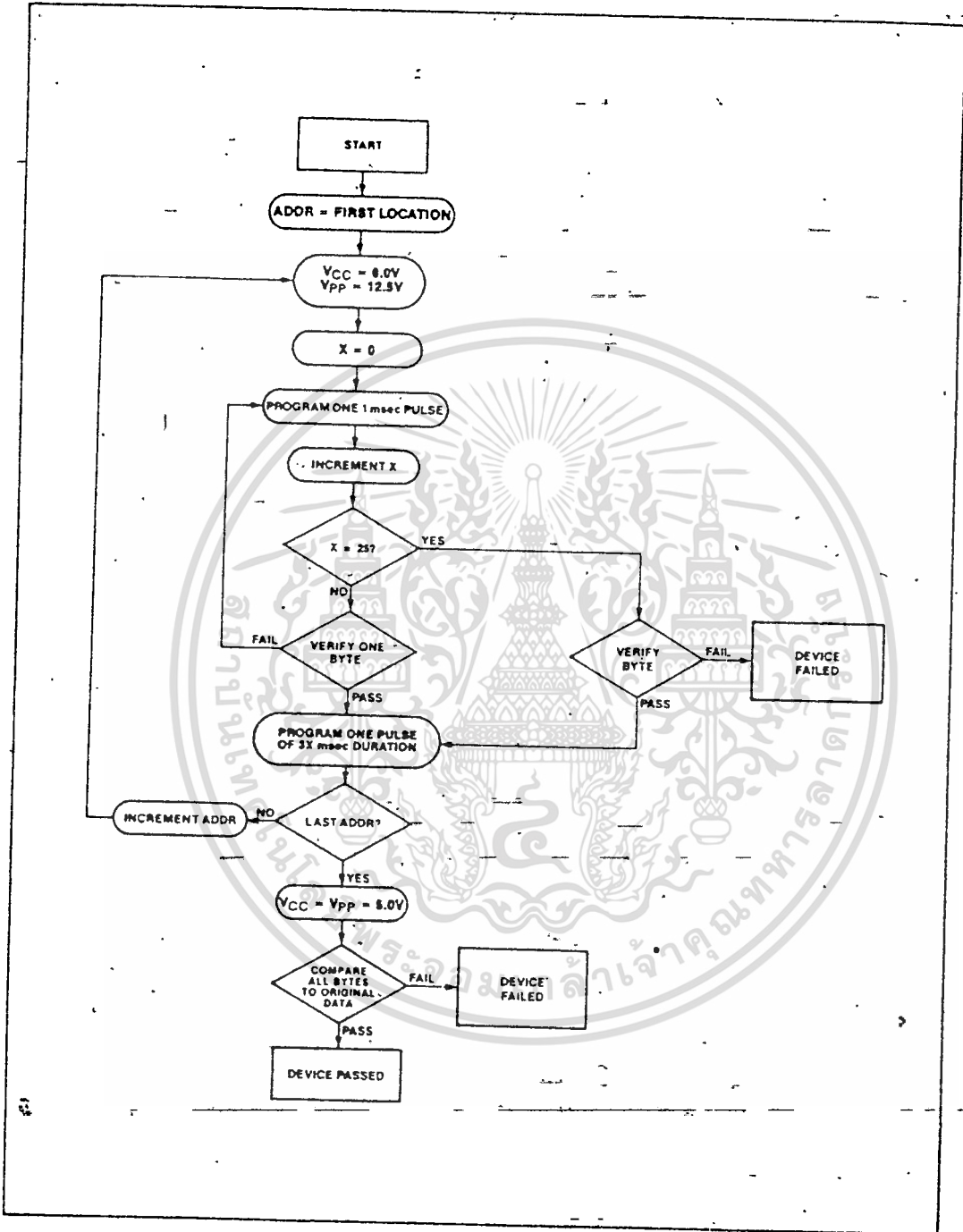


Figure 3. 2764A Intelligent Programming™ Flowchart

ERASURE CHARACTERISTICS

The erasure characteristics of the 2764A are such that erasure begins to occur upon exposure to light with wavelengths shorter than approximately 4000 Angstroms (Å). It should be noted that sunlight and certain types of fluorescent lamps have wavelengths in the 3000-4000 Å range. Data show that constant exposure to room level fluorescent lighting could erase that typical 2764A in approximately 3 years, while it would take approximately 1 week to cause erasure when exposed to direct sunlight. If the 2764A is to be exposed to these types of lighting conditions for extended periods of time, opaque labels should be placed over the 2764A window to prevent unintentional erasure.

The recommended erasure procedure for the 2764A is exposure to shortwave ultraviolet light which has a

wavelength of 2537 Angstroms (Å). The integrated dose (i.e., UV intensity × exposure time) for erasure should be a minimum of 15 Wsec/cm². The erasure time with this dosage is approximately 15 to 20 minutes using an ultraviolet lamp with a 12000 μW/cm² power rating. The 2764A should be placed within 1 inch of the lamp tubes during erasure. The maximum integrated dose a 2764A can be exposed to without damage is 7258 Wsec/cm² (1 week @ 12000 μW/cm²). Exposure of the 2764A to high intensity UV light for long periods may cause permanent damage.

RELEVANT INTEL LITERATURE

- AR-265 Versatile Algorithm, Equipment Cut Programming Time
- RR-35B EPROM Reliability Data Summary

intelligent Programming™ Algorithm

D.C. PROGRAMMING CHARACTERISTICS:

T_A = 25 ± 5°C, V_{CC} = 6.0V ± 0.25V, V_{PP} = 12.5V ± 0.5V

Symbol	Parameter	Limits			Test Conditions (see Note 1)
		Min.	Max.	Unit	
I _{LI}	Input Current (All Inputs)		10	μA	V _{IN} = V _{IL} or V _{IH}
V _{IL}	Input Low Level (All Inputs)	-0.1	0.8	V	
V _{IH}	Input High Level	2.0	V _{CC}	V	
V _{OL}	Output Low Voltage During Verify		0.45	V	I _{OL} = 2.1 mA
V _{OH}	Output High Voltage During Verify	2.4		V	I _{OH} = -400 μA
I _{CC2}	V _{CC} Supply Current (Program & Verify)		75	mA	
I _{PP2}	V _{PP} Supply Current (Program)		50	mA	$\overline{CE} = V_{IL}$
V _{ID}	A ₉ intelligent Identifier Voltage	11.5	12.5	V	

NOTES:

1. V_{CC} must be applied simultaneously or before V_{PP} and removed simultaneously or after V_{PP}.

A.C. PROGRAMMING CHARACTERISTICS:
 $T_A = 25 \pm 5^\circ\text{C}$, $V_{CC} = 6.0\text{V} \pm 0.25\text{V}$, $V_{PP} = 12.5\text{V} \pm 0.5\text{V}$

Symbol	Parameter	Limits				Test Conditions* (see Note 1)
		Min.	Typ.	Max.	Unit	
t_{AS}	Address Setup Time	2			μs	
t_{OES}	\overline{OE} Setup Time	2			μs	
t_{DS}	Data Setup Time	2			μs	
t_{AH}	Address Hold Time	0			μs	
t_{DH}	Data Hold Time	2			μs	
t_{DFP}^4	\overline{OE} High to Output Float Delay	0		130	ns	
t_{VPS}	V_{PP} Setup Time	2			μs	
t_{VCS}	V_{CC} Setup Time	2			μs	
t_{PW}	PGM Initial Program Pulse Width	0.95	1.0	1.05	ms	(see Note 3)
t_{OPW}	PGM Overprogram Pulse Width	2.85		78.75	ms	(see Note 2)
t_{OE}	Data Valid from \overline{OE}			150	ns	

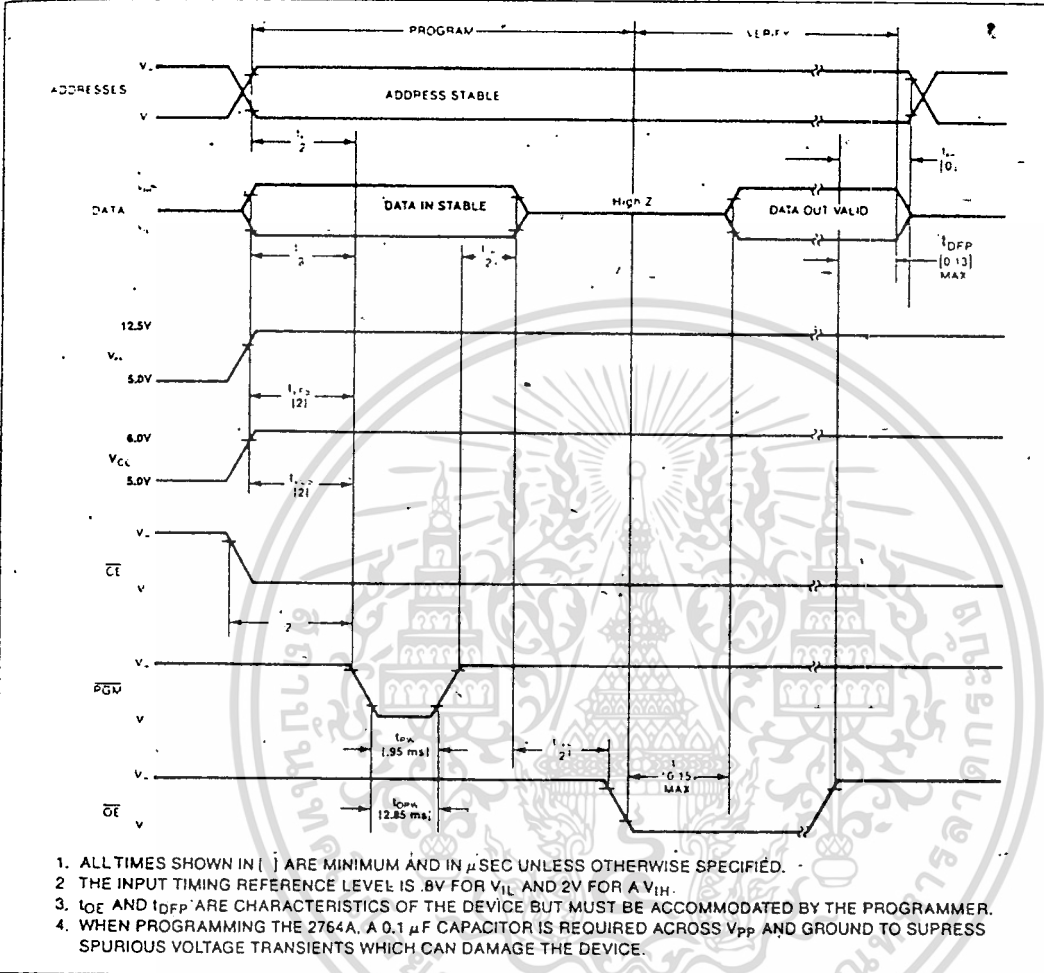
***A.C. CONDITIONS OF TEST**

Input Rise and Fall Times (10% to 90%) ... 20 ns
 Input Pulse Levels ... 0.45V to 2.4V
 Input Timing Reference Level ... 0.8V and 2.0V
 Output Timing Reference Level ... 0.8V and 2.0V

NOTES:

1. V_{CC} must be applied simultaneously or before V_{PP} and removed simultaneously or after V_{PP} .
2. The length of the overprogram pulse may vary from 2.85 msec to 78.75 msec as a function of the iteration counter value X.
3. Initial Program Pulse width tolerance is 1 msec \pm 5%.
4. This parameter is only sampled and is not 100% tested. Output Float is defined as the point where data is no longer driven—see timing diagram

Intelligent Programming™ WAVEFORMS



1. ALL TIMES SHOWN IN [] ARE MINIMUM AND IN μ SEC UNLESS OTHERWISE SPECIFIED.
2. THE INPUT TIMING REFERENCE LEVEL IS .8V FOR V_{IL} AND 2V FOR A V_{IH} .
3. t_{OE} AND t_{DFP} ARE CHARACTERISTICS OF THE DEVICE BUT MUST BE ACCOMMODATED BY THE PROGRAMMER.
4. WHEN PROGRAMMING THE 2764A, A 0.1 μ F CAPACITOR IS REQUIRED ACROSS V_{PP} AND GROUND TO SUPPRESS SPURIOUS VOLTAGE TRANSIENTS WHICH CAN DAMAGE THE DEVICE.

กิตติกรรมประกาศ

การศึกษาและการทดลองนี้ ได้รับความช่วยเหลือจากท่านอาจารย์ทุกท่าน โดยเฉพาะ ท่านอาจารย์ประสิทธิ์ วัชรพิบูลย์ ซึ่งให้คำปรึกษาต่าง ๆ ในด้าน ปัญหาและอุปกรณ์การทดลอง

ข้าพเจ้าจึงขอขอบคุณมา ณ ที่นี้ด้วย



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปะลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอกสารอ้างอิง

คู่มือ/เทียบเบอร์ ไอซี ทีทีแอล, พิมพ์ครั้งที่ 4, บริษัท ซีเอ็ดยูเคชั่น จำกัด,

กรุงเทพฯ

คู่มือ ไอซี ซีมอส 4000 เซอร์, พิมพ์ครั้งที่ 2, บริษัท ซีเอ็ดยูเคชั่น จำกัด,

กรุงเทพฯ

คู่มือ ไอซี ชิพซัพพอร์ตและหน่วยความจำ, พิมพ์ครั้งที่ 1, บริษัท ซีเอ็ดยูเคชั่น

จำกัด, กรุงเทพฯ



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้