

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น 023147  
- 8.11.2532  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญาโทปีการศึกษา ๒๕๖๑

ภาควิชา อิเล็กทรอนิกส์

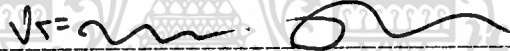
คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง ระบบภาพซ้อนภาพ

ผู้จัดทำ

1. นายชินพงษ์ आयวัฒน์ชัย 281066

2. นายนิพนธ์ ธรรมชานวิริยะ 281119



อาจารย์ที่ปรึกษา

( อ. ประภากร สุวรรณ )

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

023147

## โปรเจค ระบบภาพซ้อนภาพ

โดย นาย ชินพงษ์ อายุวัฒน์ชัย 281066  
นาย นิพนธ์ ธรรมชานวิริยะ 281119

อาจารย์ที่ปรึกษา อ. ประภากร สุวรรณะ

### บทคัดย่อ

วิทยานิพนธ์ฉบับนี้ กล่าวถึงเทคนิคการนำสัญญาณ Composite video จากแหล่งกำเนิด 2 แหล่งมาทำการซ้อนกันบนจอเดียว โดยมีภาพย่อยซ้อนทับภาพหลัก ภาพเล็กจะมีพื้นที่เป็นหนึ่งใน 9 ของภาพใหญ่ การทำงานของภาพซ้อนภาพในโปรเจคนี้ใช้ระบบข้อมูลดิจิทัล โดยมี Analog to digital converter (ADC) เป็นตัวแปลงสัญญาณภาพ ซึ่งเป็นอนาลอกทั้งสองภาพไปเป็นข้อมูลดิจิทัล 6 บิต ซึ่งสัญญาณภาพหลักจะถูกแยกสัญญาณ Sync ออกเพื่อใช้เป็น Sync ให้กับสัญญาณภาพที่เป็น Output (สัญญาณภาพที่ได้ซ้อนกันแล้ว) ข้อมูลดิจิทัลของสัญญาณภาพหลักจะแสดงออกโดยตรงโดยผ่าน Buffer ก่อน เราจะใช้วิธีการนับจำนวนเส้นและแกน (Line) และจุด (นับจาก clock) ในหนึ่งไลน์ จนถึงคอลัมน์ของภาพย่อยที่เก็บอยู่ใน RAM ไว้ก่อนแล้ว มาเป็นข้อมูลให้ Buffer แทนข้อมูลของภาพหลัก โดยทำการ Disable บัพเฟออร์ของข้อมูลภาพหลักและ Enable บัพเฟออร์ของภาพย่อยแล้วส่งไปยัง Digital to Analog Converter (DAC) เพื่อแปลงให้เป็น Composite Video อีกทีหนึ่ง เนื่องจากเราไม่สามารถ Read/Write MEMORY ตัวเดียวกันพร้อมกันได้ ดังนั้นจะใช้ MEMORY เป็นที่เก็บของข้อมูลสัญญาณภาพย่อยเพียงตัวเดียวไม่ได้ ในโปรเจคนี้จะใช้ MEMORY 3 ตัวๆละ 8 Kbyte โดยแต่ละตัวจะเก็บข้อมูลแต่ละ Field ของสัญญาณภาพ ในภาพย่อยจะมีข้อมูลปรากฏบนจอเพียง 80 columns x 100 lines ดังนั้นการเก็บข้อมูล digital ของภาพย่อยจะเก็บข้อมูล 1 line แล้วเว้นไป 2 lines และในทุกๆ 1 line จะมีข้อมูลเก็บไว้ 80 bytes

ประโยชน์ ทำให้สามารถติดตามสิ่งที่น่าสนใจสองสิ่งได้ในเวลาเดียวกัน ใช้ในการให้ความบันเทิงคือสามารถชมรายการได้หลายรายการพร้อมกัน ในการรักษาความปลอดภัย สามารถจับมุมมองในการมองของระบบความปลอดภัยนั้นได้มากขึ้น วิเคราะห์เหตุการณ์ได้ง่ายขึ้นเพราะอยู่บนจอเดียวกันและเป็นการประหยัดภาคแสดงผล หรือเครื่องรับโทรทัศน์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## PROJECT PICTURE IN PICTURE

BY NIPHON THAMCHAUNVIRIYA 281119  
CHINAPONG ARYUWATTANACHAI 281066

ADVISOR  
PRAPAKORN SUWANNA

### ABSTRACT

This thesis will explain about the technics to make picture in picture system use two source of composite video signal to mix the pictures on one screen. Sub display have area  $1/9$  time to main display. The concept of picture to picture system use digital system by use Analog to Digital Converter (ADC) to change the analog signal (composite video) to digital data in 6 bits. The sync signal will separate from the main composite video signal and send to use the output signal. The digital data of the main picture will send to the buffer before recharge back to analog signal by Digital to Analog Converter again. To mix the sub picture onto main picture we will count the scan line and the system clock of the output signal, when reach the line that will place the subpicture. Until we count to the location of the subpicture, we will disable buffer of data from the main picture and enable buffer of RAM that kept the data of the subpicture before and then send that data to Analog to Digital Converter to make the composite video of subpicture on picture in picture composite video. We use three 8 Kbyte RAM, to keep the data of sub picture. The subpicture on output screen have 80 columns x 100 lines. So we must keep data from 100 lines of subcomposite video signal by keep data 1 line and jump 2 lines. In 1 line we keep data 80 bytes.

### USEFUL PURPOSE

Can see the two interesting picture at the same time. When use for security it will more convenient. Because it can see the two situation from two place in one time. And can save money for buying two monitor.

## สารบัญ

	หน้า
บทที่ 1 บทนำ	i
บทที่ 2 ทฤษฎี	3
บทที่ 3 การคำนวณ และ การสร้าง	11
บทที่ 4 การทดลอง และ ผลการทดลอง	31
บทที่ 5 บทวิจารณ์ และ สรุป	32

ภาคผนวก

กิตติกรรมประกาศ

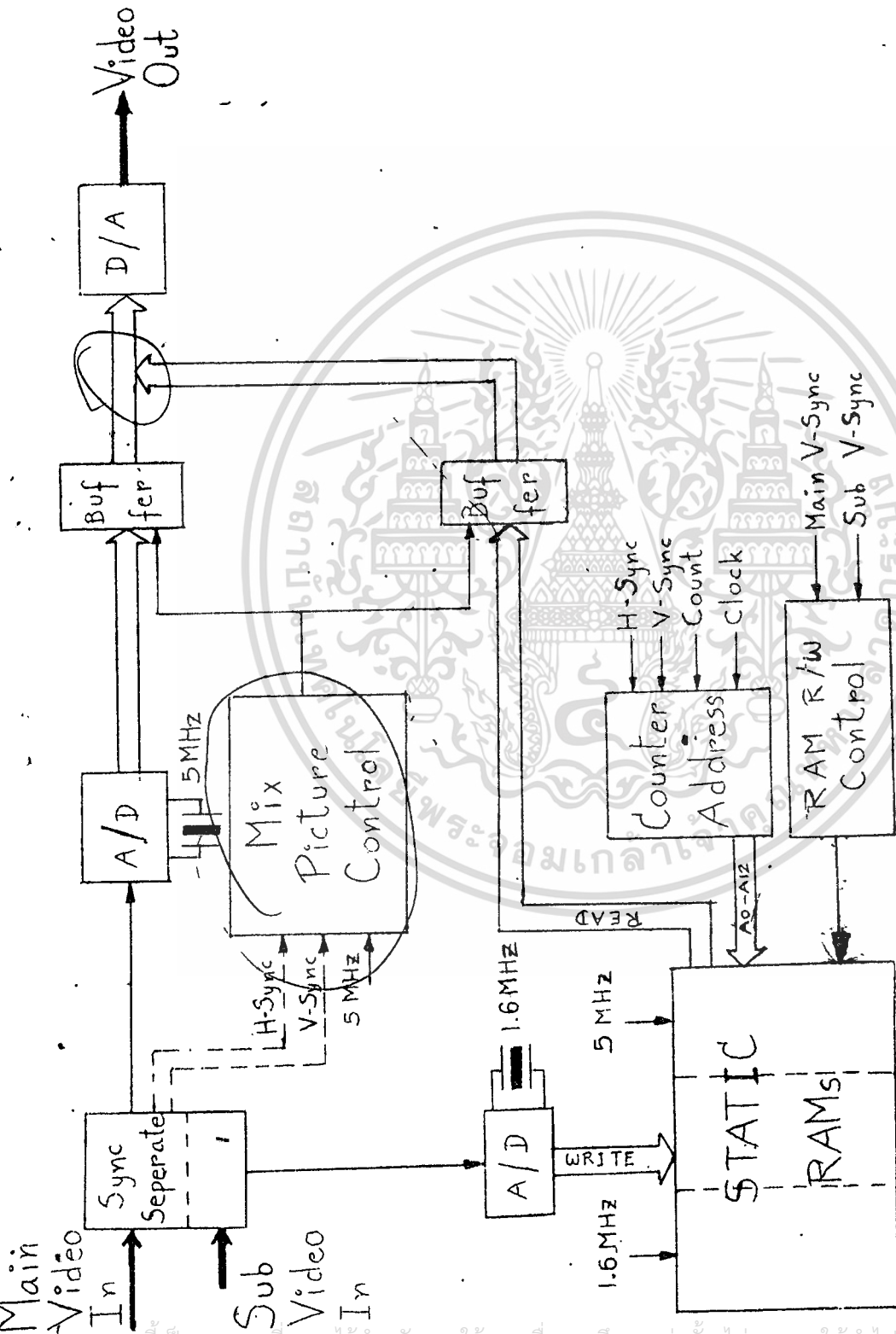
หนังสืออ้างอิง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## บทที่ 1 บทนำ

ในโครงการระบบภาพซ้อนภาพนี้ มีวัตถุประสงค์เพื่อสามารถนำภาพจากแหล่งกำเนิด 2 แหล่งมาปรากฏบนจอเดียวกัน และเวลาเดียวกัน ในการทดลองใช้กล้องเป็นแหล่งกำเนิด และ monitor เป็นหน่วยแสดงผล ขั้นตอนแรกนำสัญญาณภาพจากกล้องมาทำการแยกสัญญาณได้สัญญาณ composite, H sync, V sync นำสัญญาณ composite เข้า A/D แปลงสัญญาณ analog เป็น digital ส่วนสัญญาณ H sync นำมาเข้า ภาควควบคุมการแทรกภาพซึ่งจะมีหน้าที่นับ line และ column เพื่อให้ได้บริเวณของภาพเล็กบนจอตามที่ต้องการและจะนำภาพเล็กที่เก็บไว้ใน Static RAM มาทำการแสดงออกโดยการ read ข้อมูลออกมาแทนที่ภาพใหญ่ในบริเวณที่ได้นับถึงนั้น สำหรับสัญญาณภาพของภาพใหญ่ เมื่อสัญญาณผ่าน A/D แล้ว จะเข้า buffer ต่อผ่านไปยัง latch หลังจากนั้นจึงผ่านเข้าวงจร D/A ladder สัญญาณ clock ในส่วนของภาพใหญ่นี้ใช้ความถี่ 5 MHz นำสัญญาณ D/A ที่ได้มารวมหรือ sum กับ สัญญาณ H+V Sync ขั้นตอนสุดท้ายจะขยายสัญญาณที่ได้ นำสัญญาณนั้นไปเข้า Video In ของ Monitor ส่วนสัญญาณของภาพเล็กในขั้นตอนแรกๆ ทำเช่นเดียวกับภาพใหญ่ คือ แยก Sync, ผ่าน A/D, Buffer แต่สัญญาณ clock ใช้ 1.6 MHz นำสัญญาณ A/D ของภาพเล็กมาเก็บลงใน SRAM สำหรับโครงการนี้ใช้ SRAM 3 ตัว เพื่อให้การ Write และ Read ไม่เกิดพร้อมกันใน SRAM ตัวเดียวกัน โดยอาศัยการ Shift ในการ Write และ Read จะมี Counter Address เป็นตัวนับถึง Address ที่ 8000

สำหรับ Block Diagram ทั้งหมดของโครงการเป็นดังนี้

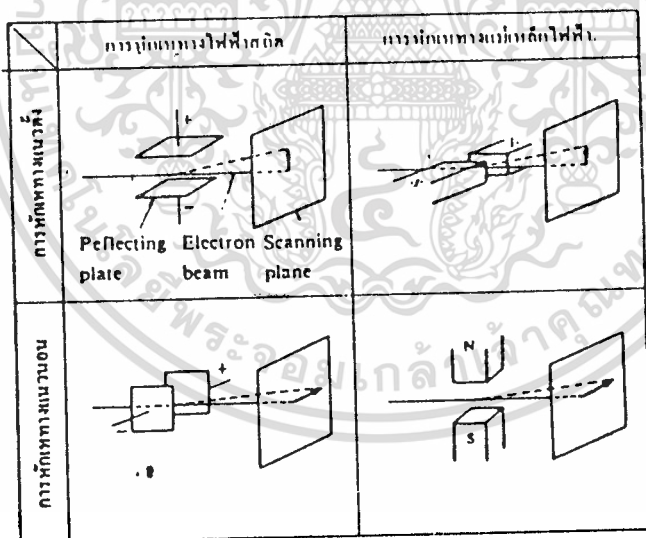


ผลคือได้อะแกมของระบบภาพซ้อนภาพ

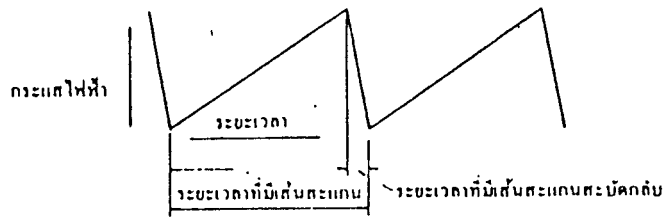
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
 ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2 ทฤษฎีพื้นฐานของเครื่องรับโทรทัศน์และระบบที่ออกแบบ

ภาพบนจอหลอดภาพของเครื่องรับโทรทัศน์สีโดยทั่วไป จะประกอบด้วยเส้นขวางเล็ก ๆ ในแนวนอนเป็นจำนวนมาก ซึ่งแต่ละเส้นเหล่านี้มีทั้งส่วนที่ดำสนิทหรือมีสีเข้ม ส่วนที่ดำจางหรือมีสีจางและส่วนที่สว่างมากปะปนกันอยู่ เส้นขวางเล็ก ๆ ในแนวนอนเหล่านี้มีชื่อเรียกว่า เส้นสแกน เส้นเหล่านี้ประกอบด้วยจุดเล็ก ๆ ที่มีระดับของความสว่างแตกต่างกันเป็นจำนวนมาก จุดเล็ก ๆ เหล่านี้ เรียกว่าส่วนประกอบของภาพ หรือ picture element ซึ่งมีส่วนสัมพันธ์กับความละเอียดของภาพเช่นเดียวกับจุดดำหรือจุดสีเล็ก ๆ ในรูปภาพของสิ่งตีพิมพ์ ภาพที่เห็นบนจอหลอดภาพจะมองดูละเอียดหากมีจำนวนจุดเล็ก ๆ หรือจำนวนเส้นสแกนในแนวนอนมากเพียงพอ ด้วยเหตุนี้ โทรทัศน์ระบบยุโรปซึ่งมีจำนวนเส้นสแกน 625 เส้น ต่อภาพจึงให้ภาพที่มองดูละเอียดกว่าโทรทัศน์ระบบอเมริกัน ซึ่งมีจำนวนเส้นสแกนเพียง 525 เส้น ต่อภาพ เท่านั้น อย่างไรก็ตาม ภาพที่เห็นบนจอหลอดภาพจะมองดูละเอียดหรือหยาบนั้น ยังขึ้นอยู่กับส่วนประกอบอีกหลายอย่าง เช่น ความสว่างของภาพและระยะทางที่มองดูภาพ เป็นต้น

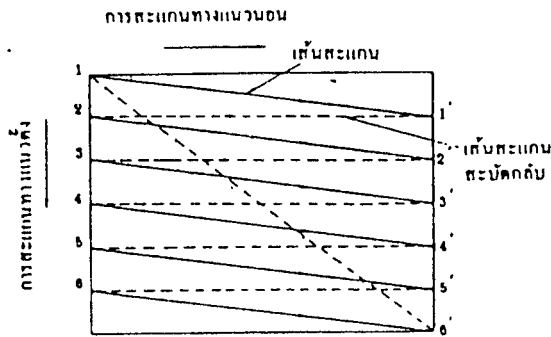


รูปที่ 2.1 ทฤษฎีของการหักเหทางไฟฟ้าสถิตและทางแม่เหล็กไฟฟ้า

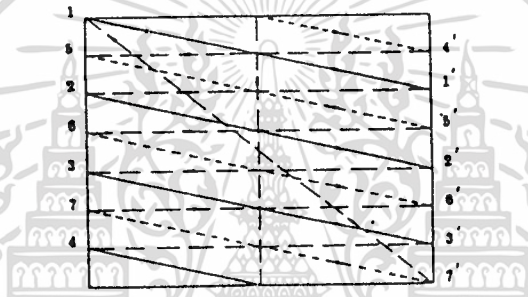


รูปที่ 2.2 รูปร่างของกระแสรูปฟันเลื่อย

จุดที่เห็นสว่างในจอหลอดภาพของเครื่องรับโทรทัศน์ เกิดขึ้นเพราะอิเล็กตรอนที่หลุดออกไปจากแคโทด (cathode) ถูกดึงคู่อิทธิงเป็นลำไปกระทบแอโนด (anode) หรือจอหลอดภาพ ซึ่งฉาบวัสดุเรืองแสงบางชนิดเอาไว้ จุดที่มีการกระทบกัน ก็จะมองเห็นเป็นจุดสว่างขึ้นที่จอ การสะแกนก็คือการทำให้จุดสว่างเหล่านี้เคลื่อนที่ไปในจังหวะที่ต้องการ ซึ่งในเรื่องของโทรทัศน์ ก็ต้องการให้จุดสว่างนี้เคลื่อนที่ไปในแนวอนและแนวตั้ง โดยอาศัยความเข้มของสนามแม่เหล็กเข้าช่วยทำให้เกิดการดึงคู่อิทธิงหรือการผลัดกันกับอิเล็กตรอน ในหลักการ การทำให้เกิดการดึงคู่อิทธิงหรือการผลัดกันกับอิเล็กตรอนนี้ อาจทำได้โดยวิธีการหักเหของไฟฟ้าสถิตหรือวิธีการหักเหของแม่เหล็กไฟฟ้าตามที่แสดงไว้ในรูปที่ 2.1 ซึ่งวิธีการหลังนี้เป็นที่นิยมกันมากในทางปฏิบัติ สนามแม่เหล็กนี้เกิดขึ้นโดยการปล่อยกระแสไฟฟ้ารูปฟันเลื่อย ตามที่แสดงไว้ในรูปที่ 2.2 ให้ไหลผ่านขดลวดของการหักเห (deflection coil) ที่พันอยู่รอบคอหลอดภาพ ซึ่งมีอยู่สองชุดด้วยกันคือ ขดลวดที่พันอยู่รอบคอหลอดภาพในแนวอนชุดหนึ่งและขดลวดที่พันอยู่รอบคอหลอดภาพในแนวตั้งอีกชุดหนึ่ง สำหรับโทรทัศน์ระบบยุโรป ความถี่ของกระแสรูปฟันเลื่อยที่ไหลผ่านขดลวดของการหักเหในแนวอน จะมีค่า 15,625 เฮิรท์ส ส่วนกระแสรูปฟันเลื่อยที่ไหลผ่านขดลวดของการหักเหในแนวตั้ง จะมีค่าเพียง 50 เฮิรท์ส เท่านั้น โดยปกติ การสะแกนจะเริ่มต้นขึ้นโดยการทำให้จุดสว่างบนจอหลอดภาพเคลื่อนที่จากซ้ายมือด้านบนของจอไปทางขวามือในแนวอน จุดสว่างเหล่านี้จะเคลื่อนที่เบนต่ำลงเล็กน้อย เนื่องจากการที่มีกระแสรูปฟันเลื่อยไหลผ่านขดลวดของการหักเหในแนวตั้ง เมื่อจุดสว่างเคลื่อนที่ถึงด้านขวาสุดของจอ เส้นสะแกนจะถูกสะบัดกลับไปที่ด้านซ้ายของจอเพื่อทำการสะแกนเส้นสะแกนเส้นใหม่ เป็นอยู่เช่นนี้เรื่อยๆ ไปจนกระทั่ง



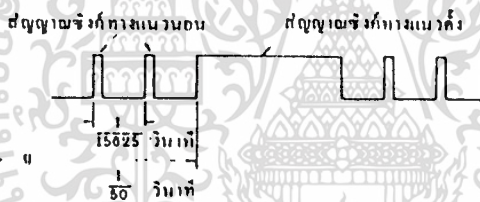
รูปที่ 2.3 การสแกนจากซ้ายไปขวาและจากบนลงล่าง



รูปที่ 2.4 การสแกนไขว้กัน (interlace scanning)

จุดลวงนั้นไปถึงตำแหน่งขวามือล่างสุดของจอภาพ จึงเป็นอันเสร็จสิ้นการสแกนภาพหนึ่งภาพหนึ่งหรือเรียกว่า เฟรมหนึ่ง ตามที่แสดงไว้ในรูปที่ 2.3 หลังจากนั้น ลำโวลีคตรอนก็จะกลับไปตั้งต้นใหม่ทางซ้ายมือด้านบนสุดของจอหลอดภาพอีก เพื่อสแกนภาพหนึ่งอันถัดๆไปอย่างไรก็ตาม เพื่อลดอาการกระพริบของภาพการสแกนภาพหนึ่งแต่ละภาพ มักนิยมจัดทำสองครั้งในแบบของการสแกนไขว้กัน (interlace scanning) ตามที่แสดงไว้ในรูปที่ 2.4 โดยกำหนดให้ภาพหนึ่งเฟรม (frame) ประกอบด้วยภาพหนึ่งสองฟิลด์ (field) และเริ่มต้นด้วยการสแกนภาพหนึ่งฟิลด์เส้นคี่ก่อน เมื่อเสร็จสิ้นถึงตำแหน่งขวามือล่างสุดของจอหลอดภาพแล้ว จึงกลับไปตั้งต้นใหม่ทางด้านซ้ายมือบนสุดของจอ แล้วเริ่มต้นสแกนภาพหนึ่ง

ฟิล์มเส้นคู่ต่อไปจนถึงตำแหน่งขวามือล่างสุด หลังจากนั้นจึงจะเริ่มต้นสแกนภาพนิ่งอันดับอื่นต่อไปใหม่ ฉะนั้นภาพนิ่งหนึ่งภาพหรือภาพนิ่งหนึ่งเฟรม จึงประกอบด้วยฟิล์มเส้นสแกนเส้นคู่และฟิล์มเส้นสแกนเส้นคู่ สำหรับโทรทัศน์ระบบยุโรปซึ่งใช้เส้นสแกน 625 เส้น ต่อภาพ และ 50 ภาพ ต่อวินาที นั้น ภาพนิ่งแต่ละภาพหรือแต่ละเฟรมจะประกอบด้วยเส้นสแกนแนวอน 625 เส้น ภาพนิ่งแต่ละฟิล์มจะมีเส้นสแกนแนวอนครึ่งหนึ่งของ 625 เส้น หรือ 312.5 เส้น ภาพนิ่งแต่ละภาพนี้จะเกิดขึ้นภายในระยะเวลา  $1/25$  วินาที ความสำเร็จของกระแสรูปพื้นเลื่อยที่ใช้ในการหักเหทางแนวอน ซึ่งในระยะเวลา  $1/25$  วินาทีจะเกิดเส้นสแกน 625 เส้น จะมีค่า  $625 \times 25$  หรือ 15,625 เฮิรท์ส ส่วนความสำเร็จของกระแสรูปพื้นเลื่อยที่ใช้ในการหักเหทางแนวตั้ง ซึ่งใช้เวลาในการสแกนจากบนสุดมาล่างสำหรับฟิล์มหนึ่งๆเพียง  $1/50$  วินาที จะมีค่า 50 เฮิรท์ส การสแกนภาพนิ่งตามที่กล่าวมาแล้วนี้ จะกระทำติดต่อกันไปเรื่อยๆ โดยจะมีจำนวนภาพนิ่งหรือจำนวนเส้นสแกนต่อภาพกับจำนวนภาพต่อวินาทีแตกต่างกันไปตามชนิดของระบบโทรทัศน์ที่ใช้



รูปที่ 2.5 รูปร่างของสัญญาณเชิงคี่

เรื่องที่สำคัญอีกอย่างหนึ่งของการส่งและการรับโทรทัศน์ก็คือ จะต้องสามารถหาวิธีซึ่งทำให้การสแกนของภาพที่เกิดขึ้นในกล้องโทรทัศน์นั้นเกิดพร้อมกันกับการสแกนของภาพที่จอหลอดภาพของเครื่องรับโทรทัศน์หรือทำให้ความสำเร็จของกระแสรูปพื้นเลื่อยของวงจรหักเหทางแนวอนและแนวตั้งทางกล้องโทรทัศน์เท่ากันตลอดเวลา กับความสำเร็จของวงจรหักเหทางแนวอนและแนวตั้งทางจอหลอดภาพของเครื่องรับโทรทัศน์ หากความสำเร็จของกระแสรูปพื้นเลื่อยในวงจรทางเครื่องส่งโทรทัศน์ไม่เท่ากันตลอดเวลากับความสำเร็จของกระแสรูปพื้นเลื่อยในวงจรทางเครื่องรับโทรทัศน์ภาพจะล้าหรือไม่มีภาพทางเครื่องรับโทรทัศน์ การ

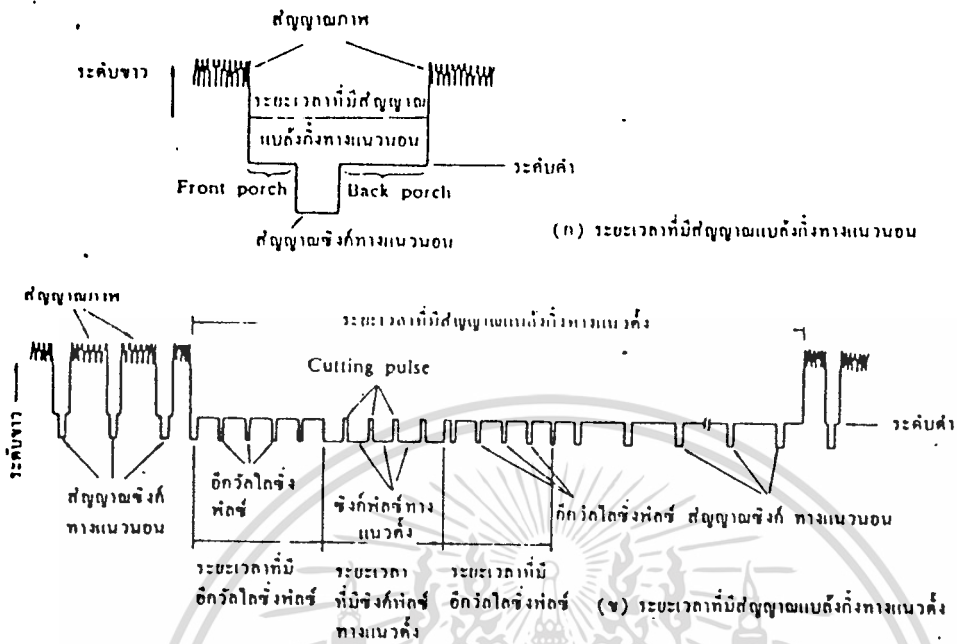
ทำให้ความถี่ของกระแสรูปฟันเลื่อยทางด้านเครื่องรับโทรทัศน์นี้ เรียกว่า เกิดการเข้าจิงหวะ (synchronization) ขึ้น ในทางปฏิบัติสถานีโทรทัศน์จะต้องส่งสัญญาณชนิดหนึ่งเรียกว่า สัญญาณซิงค์ (synchronizing signal หรือ sync pulse signal) ไปพร้อมกับสัญญาณภาพตามที่แสดงไว้ในรูปที่ 2.5 และรูปที่ 2.6 สัญญาณซิงค์นี้จะประกอบด้วยสัญญาณซิงค์ทางแนวนอน (horizontal synchronizing signal) ซึ่งมีความถี่ 15,625 เฮิรท์ซ หรือมีซิงค์พัลส์ (sync pulse) ครั้งหนึ่งในทุกครั้งที่มิเส้นสะแกนในแนวนอน กับมีสัญญาณซิงค์ทางแนวตั้ง (vertical synchronizing signal) ซึ่งมีความถี่ 50 เฮิรท์ซ หรือมีซิงค์พัลส์ครั้งหนึ่งในขณะที่มีการสะแกนฟิลด์ เส้นคี่หรือฟิลด์เส้นคู่เสร็จสิ้นลง สัญญาณซิงค์เหล่านี้จะส่งไปพร้อมกับสัญญาณภาพ ในช่วงระยะเวลาของเส้นสะแกนสะบัดกลับหรือช่วงระยะเวลาที่เส้นสะแกนกำลังหันกลับไปเริ่มต้นใหม่ (flyback period)

ในทางปฏิบัติ สถานีโทรทัศน์ขาวดำจะต้องส่งสัญญาณต่างๆหลายอย่างออกอากาศไปให้เครื่องรับโทรทัศน์ เพื่อทำให้เกิดภาพขาวดำที่จอหลอดภาพของเครื่องรับโทรทัศน์ในลักษณะเดียวกันและพร้อมกันกับการสะแกนภาพของกล้องโทรทัศน์ สัญญาณต่างๆสำหรับทำให้เกิดภาพขาวดำเหล่านี้ แสดงไว้แล้วในรูปที่ 2.6 ซึ่งประกอบด้วย

- สัญญาณภาพ (video signal)
- สัญญาณแบล็งก์ (blanking signal)
- สัญญาณซิงค์ (synchronizing signal)
- สัญญาณอีควัลไลซิง (equalizing signal)

สัญญาณต่างๆตามรูปนี้จะรวมกันอยู่เป็นรูปร่างเดียวกัน ซึ่งเรียกว่า สัญญาณภาพรวม (composite video signal) แล้วใช้คลื่นพาห်ของภาพเป็นตัวพาผ่านอากาศ รวมกับคลื่นพาห်ของสัญญาณเสียง เหตุผลและความจำเป็นในการใช้สัญญาณต่างๆมีดังต่อไปนี้

- ก. สัญญาณภาพ (video signal) และสัญญาณเสียง (sound signal) เป็นสัญญาณที่ใช้เพื่อทำให้เกิดภาพขาวดำที่จอหลอดภาพ และมีเสียงที่ลำโพงเครื่องรับโทรทัศน์ สัญญาณภาพนี้ บางทีเรียกว่า สัญญาณส่องสว่าง (brightness signal หรือ luminance signal)
- ข. สัญญาณแบล็งก์ (blanking signal) เป็นสัญญาณที่ใช้เพื่อลบเส้นสะแกนสะบัดกลับทั้งในแนวนอนและแนวตั้ง รูปที่ 2.6 (ก) เป็นรูปขยายของระยะเวลาที่มีสัญญาณแบล็งก์



รูปที่ 2.6 รูปร่างของสัญญาณซิงค์ที่ใช้ในการส่งโทรทัศน์

ทางแนวนอน และในช่วงเวลาที่มีสัญญาณแบล็คคิงทางแนวนอนนี้ ก็จะส่งสัญญาณซิงค์ทางแนวนอนไปด้วย แต่จะอยู่ในระดับต่ำลึกลงกว่าสัญญาณแบล็คคิง ส่วนในรูป 2.6 (ข) นั้น เป็นรูปขยายของระยะเวลาที่มีสัญญาณแบล็คคิงทางแนวตั้ง ในระยะที่มีแบล็คคิงพัลส์ทางแนวตั้งนี้ก็จะส่งสัญญาณซิงค์ทางแนวตั้งออกไปด้วย และเพื่อช่วยทำให้สัญญาณซิงค์ทางแนวตั้งยังคงมีรูปร่างดีเหมือนเดิมหลังจากแยกออกมาจากสัญญาณซิงค์ทางแนวนอนทางเครื่องรับโทรทัศน์แล้ว จะนิยมส่งอิกวลไลซิงพัลส์และคัทตั้งพัลส์ไปด้วย

ค. สัญญาณซิงค์ (synchronizing signal) เป็นสัญญาณที่ใช้เพื่อช่วยทำให้ความถี่ของกระแสรูปฟันเลื่อยที่ใช้ในวงจรของการหักเหทางแนวนอนกับวงจรของการหักเหทางแนวตั้งของเครื่องส่งโทรทัศน์ มีค่าตรงกันกับที่ใช้ในเครื่องรับโทรทัศน์ อันจะมีผลทำให้การละแกนของภาพทางด้านเครื่องส่งโทรทัศน์ ตรงกันกับทางด้านเครื่องรับโทรทัศน์ตลอดเวลา สัญญาณซิงค์ทางแนวนอนจะมีความถี่เท่ากับกับความถี่ของกระแสรูปฟันเลื่อยที่ใช้ในวงจรของการหัก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ทางด้านบน และสัญญาณเชิงคี่ทางแนวตั้งที่จะมีจุดตัดที่เท่ากับกระแสรูปฟันเลื่อยที่ใช้ในวงจรของการหักเหทางแนวตั้ง

ง. สัญญาณอิกวัลไลซิง (equalizing signal) เป็นสัญญาณที่ใช้เพื่อช่วยทำให้สัญญาณเชิงคี่ทางแนวตั้งยังคงมีรูปร่างดีเหมือนเดิม หลังจากแยกออกมาจากสัญญาณเชิงคี่ทางแนวนอนในเครื่องรับโทรทัศน์แล้ว

หลักการที่ได้กล่าวมานี้เป็นหลักการพื้นฐานที่ใช้ในเครื่องรับโทรทัศน์ทั่วไป ซึ่งเกี่ยวข้องกับโครงงานนี้ หลักการเหล่านี้ถูกนำมาประยุกต์ใช้ในการแสดงภาพที่แสดงดังนี้

เนื่องจากสัญญาณภาพจากแหล่งที่ต่างกันจะมีสัญญาณที่ไม่พร้อมกัน (V-sync และ H-sync) ฉะนั้นการนำสัญญาณภาพจาก 2 แหล่งมาแสดงในจอภาพเดียวกัน ก็ต้องทำการหน่วงสัญญาณแหล่งใดแหล่งหนึ่งให้ช้าลง เพื่อให้เข้ากันกับสัญญาณอีกแหล่งหนึ่งที่ใช้เป็นหลักในที่นี้ให้สัญญาณภาพจากเอาท์พุทของภาควิดีโอดีเทคเตอร์ (video detector) ภายในเครื่องรับโทรทัศน์เป็นแหล่งสัญญาณหลัก และให้สัญญาณภาพอีกแหล่งหนึ่งที่มีลักษณะของสัญญาณเป็นสัญญาณภาพรวม (composite video) เป็นสัญญาณภาพรอง การแสดงภาพของสัญญาณภาพรองจะแสดงให้มีขนาดเป็น  $1/9$  ของจอภาพ ส่วนเนื้อที่ที่เหลือของจอภาพจะเป็นภาพของสัญญาณภาพหลัก ฉะนั้นจึงจำเป็นต้องมีการหน่วงเวลาและย่อภาพของสัญญาณภาพรอง โดยใช้หลักการดังต่อไปนี้ จากสัญญาณความสว่าง (luminance) ของสัญญาณภาพจะมีช่วงความถี่อยู่ระหว่าง 0-4 เมกะเฮิรตซ์ ฉะนั้นจำนวนจุดของสัญญาณภาพที่แสดงบนจอภาพจะมีมากที่สุดได้ประมาณ 54 ไมโครวินาที คูณ 4 เม็กกะเฮิรตซ์ หรือเท่ากับ 216 จุด (หนึ่งเส้นสแกนทางแนวนอนเท่ากับ 64 ไมโครวินาที แต่ที่แสดงบนจอภาพจะใช้เวลาเพียงประมาณ 54 ไมโครวินาที ช่วงเวลาที่หายไปเป็นเวลาที่ใช้ในการสลับกลับ) ฉะนั้นการหน่วงและการย่อสัญญาณภาพให้เหลือ  $1/9$  สามารถทำได้โดยเก็บ (write) สัญญาณภาพในรูปของรหัสทางดิจิทัลให้มีจำนวนจุดเป็น  $1/3$  ของจำนวนจุดทั้งหมดที่ถูกแสดงในหนึ่งเส้นสแกนทางแนวนอนเข้าไปในหน่วยความจำซึ่งก็คือ  $216/3$  เท่ากับ 72 จุด โดยเก็บหนึ่งจุดในทุก 3 จุด และจำนวนเส้นสแกนทางแนวนอนจะถูกเก็บเป็น  $1/3$  ของเส้นทั้งหมดในแต่ละฟิล์ม โดยเก็บ 1 ในทุกๆ 3 เส้น (2 ฟิล์ม เท่ากับ 1 เฟรม) ใน 1 ฟิล์มมีจำนวนเส้นสแกนทางแนวนอนเท่ากับ 312.5 เส้น แต่ที่แสดงบนจอภาพมีประมาณ 295

เส้น เพราะฉะนั้นจำนวนเส้นที่เก็บใน 1 มิลล์ เท่ากับ  $295/3$  หรือ ประมาณ 98 เส้นเมื่อเก็บ เรียบร้อยแล้วก็จะรอสัญญาณเชิงคํ่าต่าง ๆ ของสัญญาณภาพหลักในเครื่องรับโทรทัศน์เมื่อได้จังหวะก็จะ ถูกอ่านออกจากหน่วยความจำในอัตราที่เร็วกว่าตอนเก็บ 3 เท่า ภาพที่ได้จึงเป็นภาพที่มีขนาดเล็ก กว่าภาพเดิม  $1/9$  เท่าด้วย



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### บทที่ 3 การคำนวณและการออกแบบ

จากวิธีการสแกนของระบบโทรทัศน์ ถ้าจะแทรกภาพเข้าไปจำเป็นต้องกำหนดตำแหน่งของภาพที่ต้องการแทรก ในโครงงานนี้เราใช้ระบบดิจิทัลซึ่งสัญญาณภาพทั้งภาพย่อยและภาพหลักจะถูกแปลงเป็นข้อมูลดิจิทัล ดังนั้นการช้อนภาพจึงเกิดจากการดึงข้อมูลดิจิทัลของภาพย่อยและภาพหลักมาใช้ในเวลาและจังหวะที่เหมาะสม ซึ่งจะใช้วิธีการเปิดปิดการผ่านของข้อมูลด้วยการใช้ Buffer 2 ชุด ซึ่งจะมีสถานะเป็น High Impedance เมื่อถูก Disable และอีกตัวหนึ่ง ก็จะ Enable นั่นคือตัวที่ Enable ก็จะเป็นข้อมูลดิจิทัลของภาพที่ช้อนกันแล้ว เมื่อได้ข้อมูลดิจิทัลของภาพสำเร็จรูปแล้วก็ต้องแปลงไปเป็นสัญญาณอนาลอก เพื่อเป็นอินพุตของ Monitor

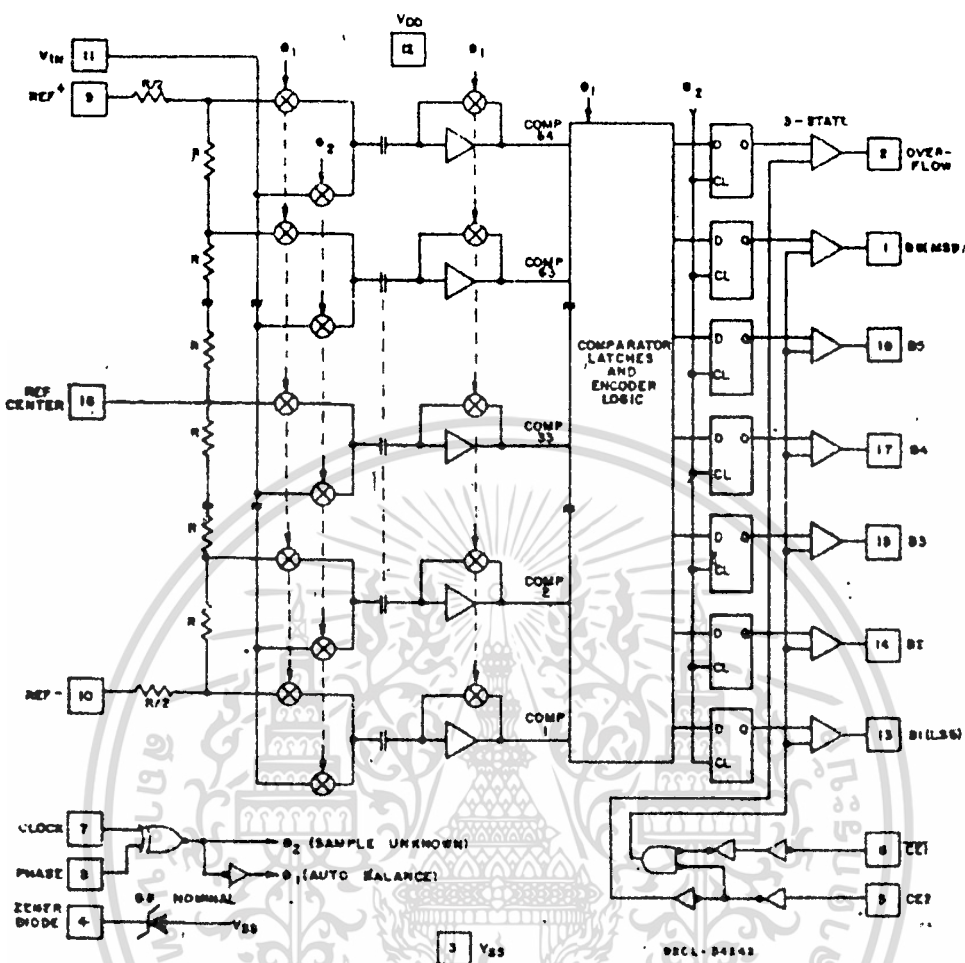
ต่อไปก็จะอธิบายถึงรายละเอียดการทำงานและการออกแบบส่วนต่างๆในโครงงานระบบภาพช้อนภาพนี้

#### 3.1 ส่วนที่ทำหน้าที่แปลงสัญญาณอนาลอกไปเป็นดิจิทัล

เราใช้ IC 3306 ซึ่งเป็นไอซีสำเร็จรูปแปลงสัญญาณอนาลอกเป็นดิจิทัลขนาดข้อมูล 6 บิต ความเร็ว 15MHz โดยมีวงจรภายในเป็นดังรูปที่ 3.1

การทำงานของ IC ตัวนี้จะใช้ comparator แบบขนานจำนวน 64 ตัว ( $2^6$ ) แต่ละตัวจะเปรียบเทียบสัญญาณ อินพุตกับ Reference Voltage ( $V_{ref}$ ) ของตัวเอง ซึ่ง  $V_{ref}$  นี้จะมาจากที่กำหนดภายนอกแล้วจะถูก R ภายใน IC แบ่งออกเป็น 64 ระดับเมื่อ Comparator ตัวใดเปรียบเทียบสัญญาณได้ว่า อินพุต มากกว่า  $V_{ref}$  ตัวนั้นก็จะให้ O/P เป็น 1 แล้วจะมีวงจร Encoder ทำหน้าที่ Encode O/P ทั้งหมดของ Comparator เป็นรหัส Binary Coded decimal เพื่อ เป็น O/P ของไอซีต่อไป

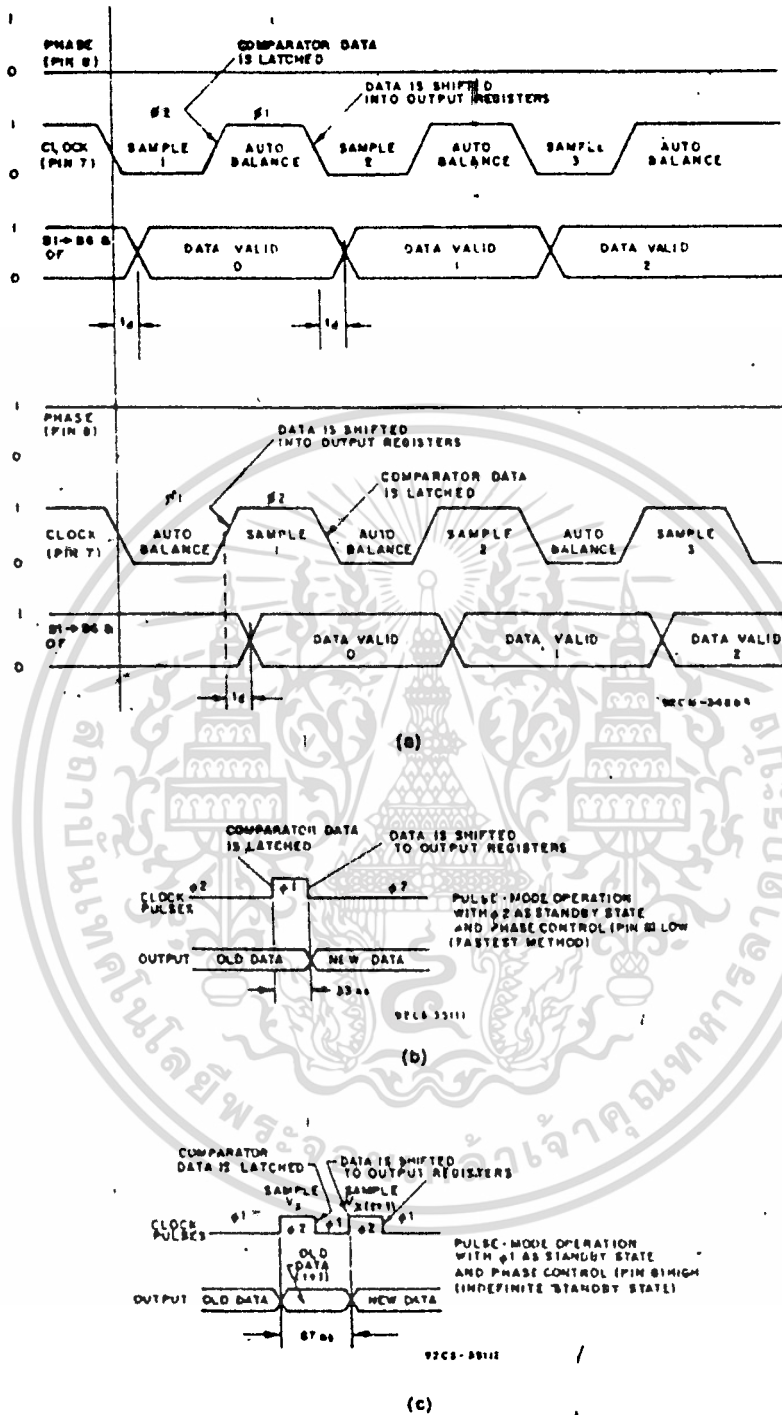
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 3.1 Block diagram สำหรับไอซี CA 3306

การเปลี่ยนแปลง O/P ของไอซีจะเกิดจากการบ้อนสัญญาณ Clock ซึ่งจะต้องมีการกำหนดให้ไอซีไว้ก่อนว่าต้องการเปรียบเทียบและแสดงข้อมูล เวลาใด ด้วยการให้สัญญาณ phase ที่ขา phase ของไอซี มี Timing diagram ตามรูปที่ 3.2 (อ) จาก Diagram ลำดับการทำงานของไอซีประกอบด้วย เฟส " Auto balance " ( 0 1 ) และ เฟส " Sample unknown " ( 0 2 ) ระหว่างช่วง เฟส Auto balance จะมีการเชื่อมต่อระหว่าง Commutating capacitor กับ ladder reference tap ซึ่ง tap voltage มีสมการดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 3.2 Timing diagram สำหรับไอซี CA 3306

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

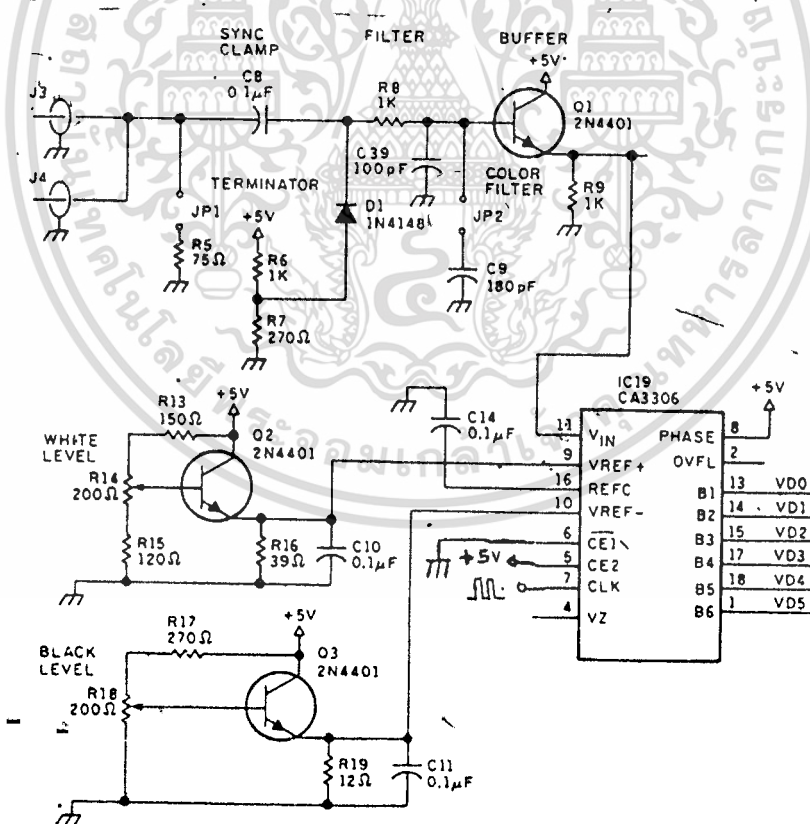
$$V_{tap}(n) = [(V/64)*N] - [V_{ref}/128]$$

$$= V_{ref} [(2n-1)/128]$$

$V_{tap}(n)$  = reference ladder tap voltage  
ที่จุด N

$V_{ref}$  = โวลเตจคร่อมระหว่าง  $V_{ref+}$  กับ  $V_{ref-}$   
N = จำนวน tap (1 ถึง 64)

อีกด้านหนึ่งของ commutating capacitor ต่อกับ single stage amplifier ซึ่ง o/p ถูกช้อนถึง i/p ทำให้เกิด bias ค่า  $(V_{dd} - V_{tap})/2$  capacitor จะถูก charge ด้วย tap voltage



รูป 3.3 วงจรแปลงสัญญาณอนาล็อกเป็นดิจิทัล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในช่วงการ Sampling Unknown  $V_{in}$  จะถูกต่อกับ capacitor แทน ทำให้เกิดการ shift ของ voltage ขึ้น ถ้า  $V_{in}$  มากกว่า tap voltage ที่ capacitor ถูก charge ไว้ตอนแรก จะทำให้ o/p ของ comparator amplifier เปลี่ยนสถานะเป็น high ในทางตรงข้าม ถ้า  $V_{in}$  น้อยกว่า tap voltage ก็จะได้เป็น low

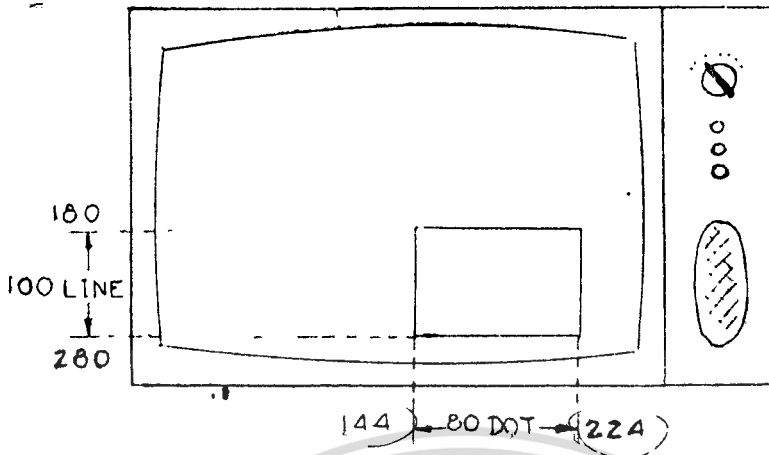
การนำ IC 3306 มาใช้งาน จะต้องกำหนด  $V_{ref}$  จากวงจรรูป 3.3 Tr Q2 และ Q3 จะผลิต  $V_{ref+}$  และ  $V_{ref-}$  ตามลำดับ Q1 จะทำหน้าที่เป็น บัฟเฟอร์ของสัญญาณ i/p ก่อนเข้า IC A/D ของภาพหลัก จะต้องป้อน clock ขนาดความถี่ 5MHz ส่วน A/D ของภาพย่อย ซึ่งจะทำให้ข้อมูลเก็บไว้ใน memory ใช้ความถี่ 1.6MHz

โดยวงจรสร้างสัญญาณ clock 5MHz จะเกิดจากการใช้ crystal ความถี่ 10 MHz มาหารด้วย 2 โดยใช้ Binary Counter ส่วน clock 1.6 MHz จะใช้ในระบบของภาพย่อย จะมาจาก crystal ความถี่ 16 MHz หารด้วย 10 โดยใช้ Decade Counter

เนื่องจากเป็นข้อมูลขนาด 6 Bit จะทำให้สามารถไล่ระดับความเข้มสี เมื่อเป็น o/p ได้ถึง 64 ระดับ

### 3.2 ภาคผลมข้อมูลดิจิทัลของสัญญาณภาพ

ส่วนนี้จะควบคุมการช้อนภาพย่อยลงไปบนภาพหลัก โดยใช้วิธีการนับเส้นสแกนไลน์ของภาพหลัก ในโครงงานนี้ได้กำหนดตำแหน่งวางรูปเล็กไว้ที่ตำแหน่งเส้นสแกนที่ 180 ของภาพหลัก ( โดยที่ภาพหลักจะมีจำนวนเส้นสแกนไลน์ทั้งหมดประมาณ  $625 / 2 = 312.5$  เส้นต่อหนึ่ง field จากรูปที่ 3.4 ประกอบ ) และในหนึ่งเส้นสแกนของภาพหลัก เราจะ Sampling สัญญาณออกเป็นข้อมูลดิจิทัล



รูป 3.4 แสดงตำแหน่งของภาพในเคส

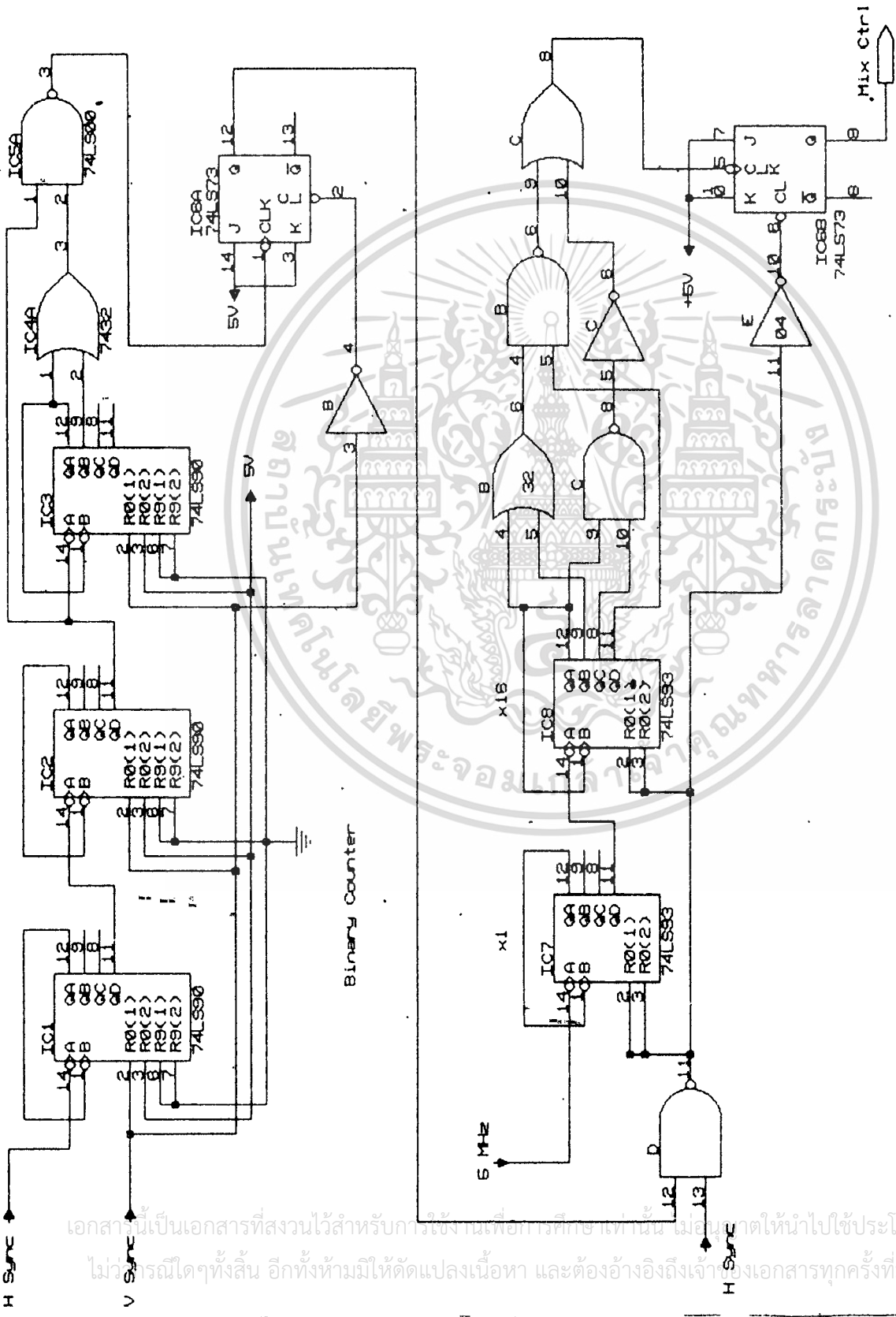
ด้วยสัญญาณนาฬิกาความถี่ 5 MHz จะทำให้ได้ข้อมูลทั้งหมดเท่ากับ  
 ระยะเวลาของสัญญาณภาพในหนึ่งแฉกไลน์ที่ทำการ Sampling  
 คาบเวลาของ clock ที่ใช้

$$\begin{aligned} \text{ระยะเวลาของสัญญาณภาพ 1 ไลน์ที่ Sampling} &= [1/15,625] = 10 \text{ usec.} \\ &= 54 \text{ usec.} \end{aligned}$$

$$\begin{aligned} \text{คาบเวลาของ clock ขนาด 5 MHz} &= 1 / 5 \times 10^6 \\ &= 200 \text{ nsec.} \end{aligned}$$

$$\begin{aligned} \text{จะได้จำนวนข้อมูลที่ A/D ทำการ Sampling} &= [54 \text{ us.}] / [200 \text{ ns.}] \\ &= 270 \text{ ข้อมูล} \end{aligned}$$

นั่นคือใน 1 แฉกไลน์ Counter จะทำการนับ Clock จนถึง  
 270 ลูก และการช้อนภาพย่อยเราจะให้ Counter นับ Clock จนถึง 90,  
 ( 144,0 ) ก็จะมีเอาท์พุทจากเกตไป trig J-K FLIP FLOP ซึ่งต่อเป็นแบบ  
 TOGGLE FLIP FLOP ทำให้เอาท์พุทซึ่งถูก clear มาก่อน เปลี่ยนจากสถานะ '0'  
 ไปเป็น '1' ซึ่งจะนำไป enable BUFFER ของข้อมูลภาพย่อยจาก MEMORY ที่ได้ถูก  
 เก็บไว้ก่อนแล้ว และจะทำการ enable BUFFER ของข้อมูลภาพหลัก ทำให้ข้อมูลที่เข้า



รูป 3.5 วงจรควบคุมการผสมสัญญาณภาพ

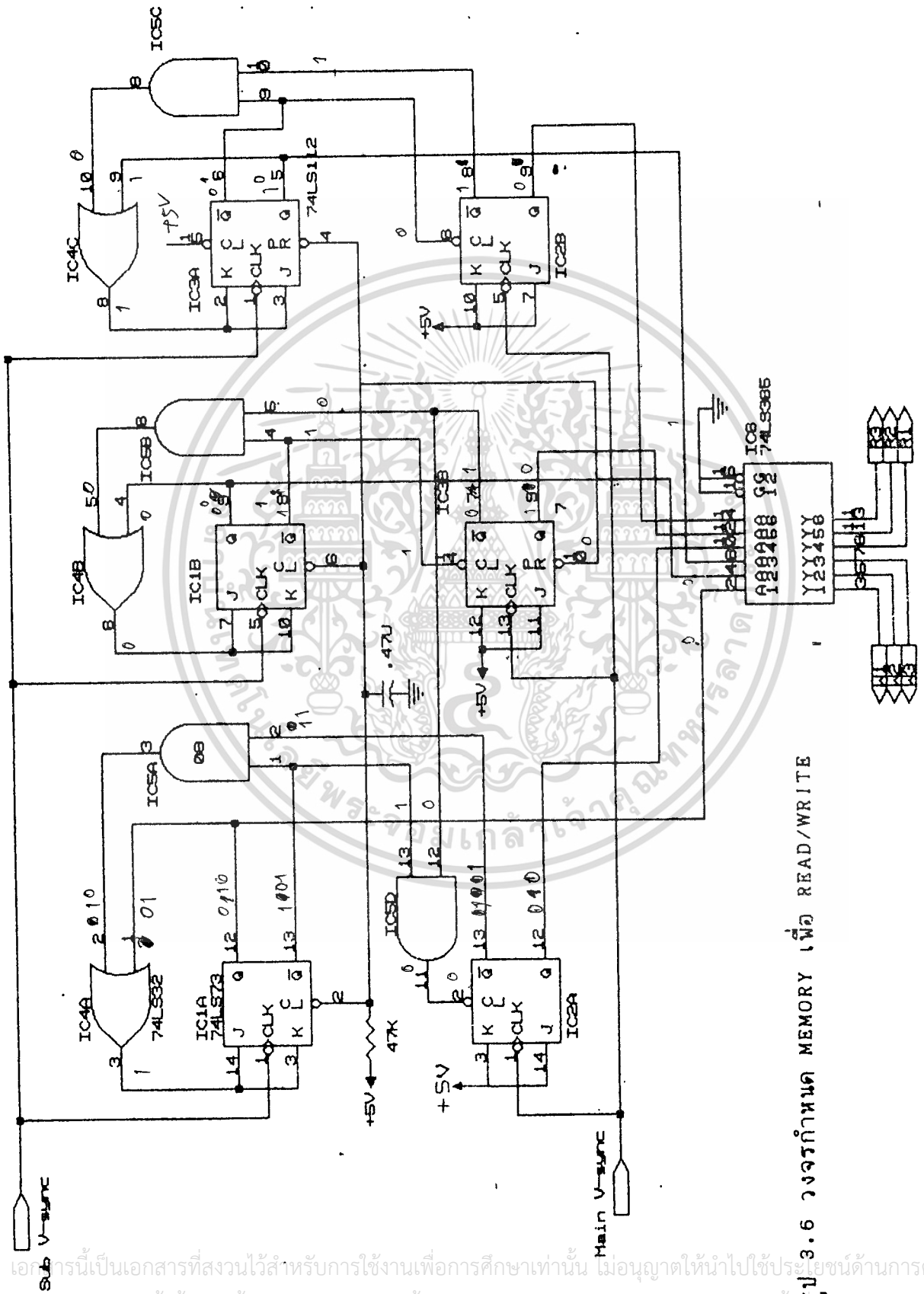
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้ภายในเพื่อการศึกษาเท่านั้น เมื่ออนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ไปสู่ภาค D/A Converter เป็นข้อมูลของภาพเล็ก เมื่อ Converter นับจนถึง EO ในเลขฐาน 16 ( 224<sub>16</sub> ) ก็จะทำให้เกิดการ Trig ที่ JK FLIP FLOP อีกทำให้ Buffer ของข้อมูลทั้ง 2 ทำงานสลับกัน คือ Disable ภาพย่อย และ Enable ภาพหลัก หลังจากนั้น Counter ก็จะนับ Scan Line ของภาพหลักต่อไป ถ้าจำนวนเส้นสแกนไลน์ที่นับได้ยังอยู่ในช่วง 180-280 นั้น Counter จะทำการนับ Clock 5 MHz ไปเรื่อย ๆ ใหม่ เพื่อจะคอย Enable และ Disable บัฟเฟอร์ดังกล่าวทำให้ภาพเล็กถูกแสดงออกไปได้ และเมื่อ Counter นับเลข 280 ไปแล้วก็จะไม่มีการ Enable Buffer ของข้อมูลภาพเล็กอีก

จากวงจร รูป 3.5 จะเห็นว่ามีการ Clear Counter ทุกครั้งที่เจอ V sync หรือ H sync เพื่อจะได้กำหนดการเริ่มนับของ Counter ที่ตำแหน่ง 0 ทุกครั้ง

### 3.3 ส่วนกำหนดตัว Memory ที่จะใช้ในการ Read และ Write

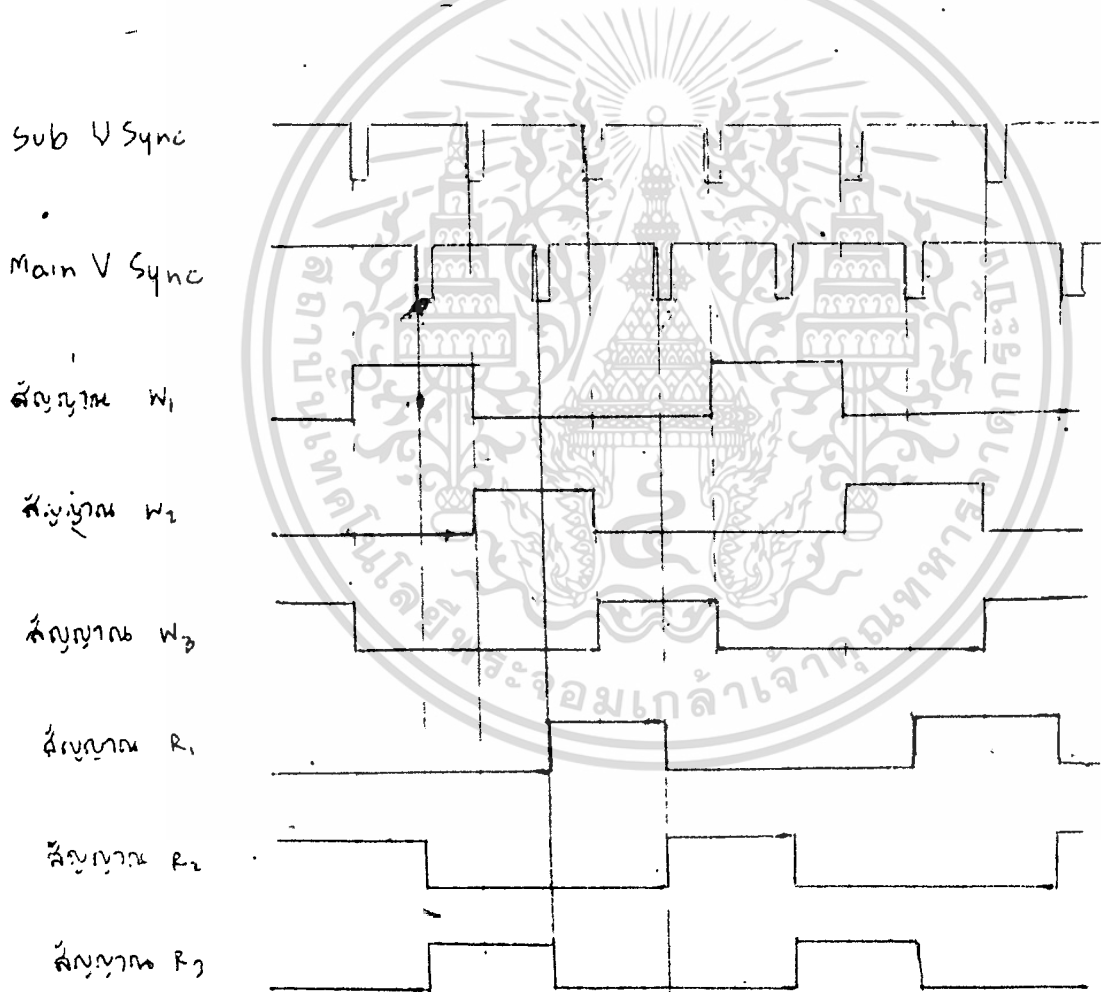
การ Read และ Write ของ Memory จะเกิดขึ้นที่ Memory ตัวใดตัวหนึ่งพร้อมกันไม่ได้ จำเป็นต้องมีการกำหนดไว้ว่าให้ Memory ตัวหนึ่งทำหน้าที่ถูก Read ในขณะที่อีกตัวหนึ่งถูก Write ส่วนตัวที่เหลือจะเผื่อไว้ในกรณีที่ Memory ที่ใช้งานอยู่เกิดใช้งานเสร็จก่อนแล้วจำเป็นต้องทำงานอื่นต่อทันที และยังสามารถทำให้เกิดเป็นภาพที่ต่อเนื่องในกรณีที่ V sync ของสัญญาณภาพย่อย ไม่เท่ากันกับ V sync ของสัญญาณภาพหลักได้



รูป 3.6 วงจรกำหนด MEMORY เพื่อ READ/WRITE

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามแก้ไขตัดแปลงเนื้อหา และต้องอ้างอิงถึงแหล่งเอกสารทุกครั้ง

วงจรตามรูป 3.6 นี้ จะคอยทำหน้าที่ควบคุมชุด Buffer ชุดหนึ่ง  
 ของ Memory จึงต้องใช้ JK-Flip flop ทั้งหมด 6 ตัว เพราะเราใช้ Memory  
 3 ตัว มี Buffer ตัวละ 2 ชุดเป็นชุด Read Buffer และ Write Buffer การ  
 ทำงานของวงจรนี้เน้นใช้การตรวจสอบ o/p ของตัวเองและ o/p ของ buffer ตัว  
 อื่นโดยนำมาเปรียบเทียบกัน เพื่อป้องกันการ enable BUUFER ของ MEMORY ตัว  
 เดียวกัน โดยมี Timing Diagram เป็นดังนี้



รูป 3.7 Timing diagram ของวงจรกำหนด MEMORY สำหรับ READ/WRITE

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
 ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### 3.4 ภาค MEMORY

สำหรับ Memory ที่ใช้เป็น SRAM เบอร์ 6264 เก็บได้เต็มที่สูงสุด 8 K Byte แต่จะใช้แค่ 8,000 Byte เท่านั้น และสามารถอ่านข้อมูลที่เก็บได้ตามต้องการ มี DATA BUS 8 เส้น ใช้แค่ 6 เส้น เนื่องจากข้อจำกัดของ A/D 6 BIT ต่อ DATA BUS เข้ากับ 74LS365 ที่มีหน้าที่เป็น DATA BUFFER ตัวหนึ่งใช้เมื่อ Write ให้ข้อมูลเก็บเข้า 6264 อีกตัวใช้เมื่อ Read ให้ข้อมูลไหลออกจาก 6264 เข้า D/A สำหรับ Address 13 เส้น ใช้ 74LS244 เป็น Address Buffer 2 ตัวต่อ 1 ชุด

การควบคุม Memory ขึ้นอยู่กับสัญญาณ CE1, CE2, OE, WE เมื่อสัญญาณของ OE เป็น LOW โดยลงกราวด์ สัญญาณ CE2 เป็น High ดังนั้นการเก็บข้อมูลหรือ Write จึงขึ้นอยู่กับว่า WE เป็น LOW และการ Read หรืออ่านข้อมูลจาก Memory เมื่อสัญญาณ WE เป็น High สัญญาณของ CE1 เป็นสัญญาณที่จะทำงานเมื่อ Clock ที่ใช้ควบคุมเป็น Low เพื่อ ENABLE ให้ Memory ทำงาน Clock ความถี่ 1.6 MHz ใช้ในการ Write ความถี่ 5 MHz ใช้ในการ Read.

Buffer ในระบบ Memory นี้จะถูกต่อในลักษณะให้สามารถ Enable ได้ที่เดียวพร้อมกันทั้งชุด หมายความว่า Buffer ของแต่ละชุด ประกอบด้วย เบอร์ 74LS244 2 ตัวจะเป็น Buffer ของ Address และขา Control ของ RAM เบอร์ 74LS365 เป็น Buffer ของ Data นั้นจะถูก Enable เมื่อ Memory ตัวนั้นถูกเลือกใช้โดยส่วนควบคุมวงจร Read/Write และ สัญญาณควบคุมอีก 2 อย่าง คือ ถ้าเป็นชุด Buffer ของการ Write จะมีการนำสัญญาณ Jump Line Control ซึ่งสร้างโดยวงจร หารเส้นสะแกนออกเป็นสาม กับสัญญาณ Mix Picture Control มาทำหน้าที่ควบคุม ส่วนชุด Buffer ของการ Read จะมีการนำสัญญาณ RAM Control กับสัญญาณ Mix Picture Control ทำหน้าที่ควบคุม

### 3.5 ส่วนสร้างสัญญาณ Address

จุดประสงค์การสร้างสัญญาณนี้เพื่อให้มีการเก็บข้อมูล และอ่านข้อมูลในบริเวณ Address ที่ต้องการ ไอซี 74LS161 ที่ใช้มีคุณสมบัติที่ดี คือ มีการทำงานแบบ Synchronous with Direct clear ทำให้ทำงานเร็ว Output ออกในเวลาไล่เลี่ยกันมากโดย ไอซี 1 ตัวแทนค่าหลักหน่วย (A0-A3) หลักสิบ (A4-A7) หลักร้อย (A8-A11) หลักพัน (A12) เรียงกันไปเป็นเลขฐาน 16 จะนับจาก 0000-2FFF (2FFF = BK = 8192) พอที่จะเก็บได้ 1 Field ใน SRAM 1 ตัวได้สบาย ๆ หลักการทำงานของวงจร คือ เมื่อสัญญาณ Mis Picture Control นับมาถึง Line ที่ต้องการเก็บภาพนั้นซึ่งมีสภาพเป็น High ทำให้สัญญาณ ของ ENP กับสัญญาณของ ENT มีสภาพเป็น High พร้อมกัน จะเริ่มนับเมื่อ Clear แล้วโดย H-Syne สำหรับหลักหน่วย (A0-A3) และ V-Syne สำหรับหลักสิบ, ร้อย, พัน (A4-A12) หลังจาก Clear เป็น 0000 แล้ว จะนับ Clock ตาม Negative Edge จะนับไม่เกิน 8K Byte จะนับใหม่เมื่อสัญญาณ V-Syne ของ Field ใหม่เข้ามา

การที่ Load เป็น High เพื่อที่จะให้การทำงานของวงจรไม่ขึ้นกับ Load เนื่องจากทุกตัวทำงานเมื่อ Clock เป็น Negative จึงต้องมี Inverter Gate ที่ Ripple Carry Output ก่อนเข้าหลักที่สูงขึ้นต่อ ๆ ไป การที่มี 7407 ก็เพื่อทำหน้าที่เป็น Buffer มีคุณสมบัติ Driver with open collector high voltage output ซึ่งขับโหลดได้ดี เพราะสามารถรับกระแสไหลเข้าได้มากกว่าปกติ

#### การ WRITE

การ Write ของ Memory ต้องมีสัญญาณจาก RAM R/W Control ซึ่งทำหน้าที่ SHIFT เป็นตัวเลือกก่อนว่าจะให้ SRAM ตัวไหนทำหน้าที่ Write ข้อมูลเก็บลงไป เมื่อรู้ตัว SRAM ที่จะทำงานแล้วต่อไปก็ต้องมีสัญญาณ Mix Control ที่ทำการบอกให้รู้ว่านำข้อมูล Line ไหนมาทำการเก็บให้เก็บทุก ๆ 1 เส้น

จากสัญญาณภาพ 3 เส้นใน 1 Field (Jump line control) ความถี่ที่ใช้คือ 1.6 MHz เก็บได้ประมาณ 80 จุด 100 เส้นไม่เกิน 8K Byte สัญญาณของ Write RAM Control และ Jump line control จะทำการ Enable ทุก ๆ DATA BUFFER (74LS365) และ Address Buffer (74LS244) โดย DATA BUFFER จะทำให้ข้อมูลไหลผ่าน BUFFER เข้ามาสู่ RAM การเก็บข้อมูลจะวนไปเรื่อย ๆ ภายใน 3 ตัวนี้

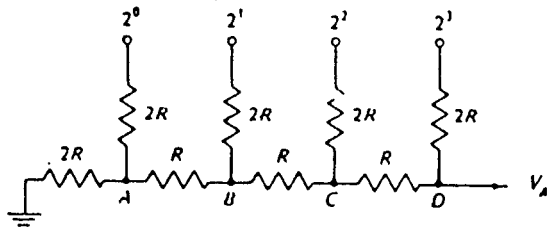
### การ READ

มีวิธีการเลือกตัว SRAM เหมือนกับการ Write คืออาศัย Read/Write Ram control ซึ่ง SHIFT จะทำการเลือกเพื่อไม่ให้ตรงกับการ Write ของ Ram ตัวนั้น ๆ คือให้การ Write และ Read ไม่เกิดพร้อมกันในตัวเดียวกันแล้วทำการจนการ Read ไปเรื่อย ๆ อย่างต่อเนื่องใน 3 ตัว การ Enable ของ DATA BUFFER และ ADDRESS BUFFER อาศัยสัญญาณ Mix Picture Control เมื่อถึง Line ที่ 180-280 Collumm ที่ 90-EO (เลขฐาน 16) กับ สัญญาณ Read Ram Control ซึ่ง Shift เลือก Ram ตัวนั้น ๆ ใช้ความถี่ในการ Read ด้วย 5 MHz

### 3.6 D/A Converter

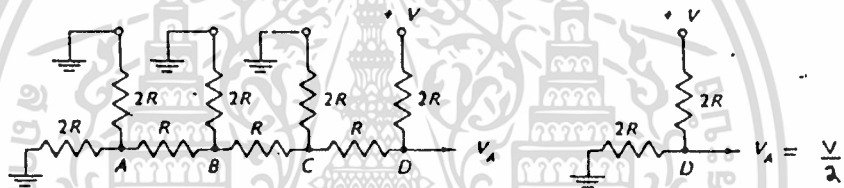
D/A ที่ใช้นี้เป็นแบบ R-2R Ladder เนื่องจากไม่มีปัญหาเรื่องความต้านทานแต่ละค่าที่ต้องใช้ เพราะค่าความต้านทานใช้เพียง 2 ค่าเท่านั้น ไม่ว่าจะมีความต้านทานน้อยเพียงใด เพียงแต่อัตราส่วนของค่าทั้งสองต้องเป็น 2:1 เช่น 20K กับ 10K เป็นต้น สำหรับเน็ตเวิร์คของ R-2R Ladder จะเห็นดังรูปที่ 3.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

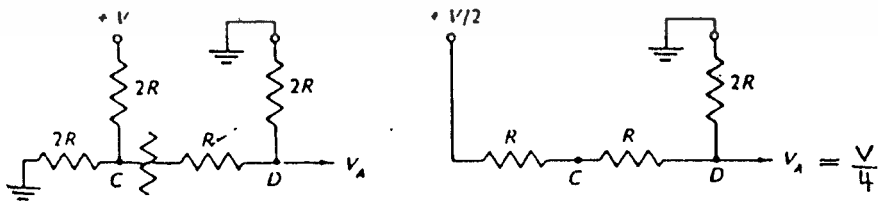
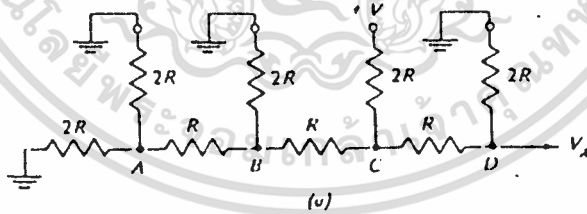


รูปที่ 3. R-2R Ladder Network

สำหรับลักษณะการทำงานของ R-2R Ladder เป็นดังนี้ สมมติว่าบิตที่  $2^i$  ต่อเข้ากับ +V นอกนั้นต่อลงกราว์นจะไดดังรูป



กรณีที่  $2^2$  ต่อกับ +V นอกนั้นต่อลงกราว์นจะไดว่า



สำหรับเอาท์พุทโวลท์เตจของ Binary-Ladder ของบิตอื่นจะเป็นดัง ตารางที่ 3.1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Bit position	Binary Weight	Output Voltage
MSB	1/2	V/2
2d MSB	1/4	V/4
3d MSB	1/8	V/8
4th MSB	1/16	V/16
5th MSB	1/32	V/32
6th MSB	1/64	V/64
7th MSB	1/128	V/128
⋮	⋮	⋮
LSB = Nth MSB	1/2 <sup>N</sup>	V/2 <sup>N</sup>

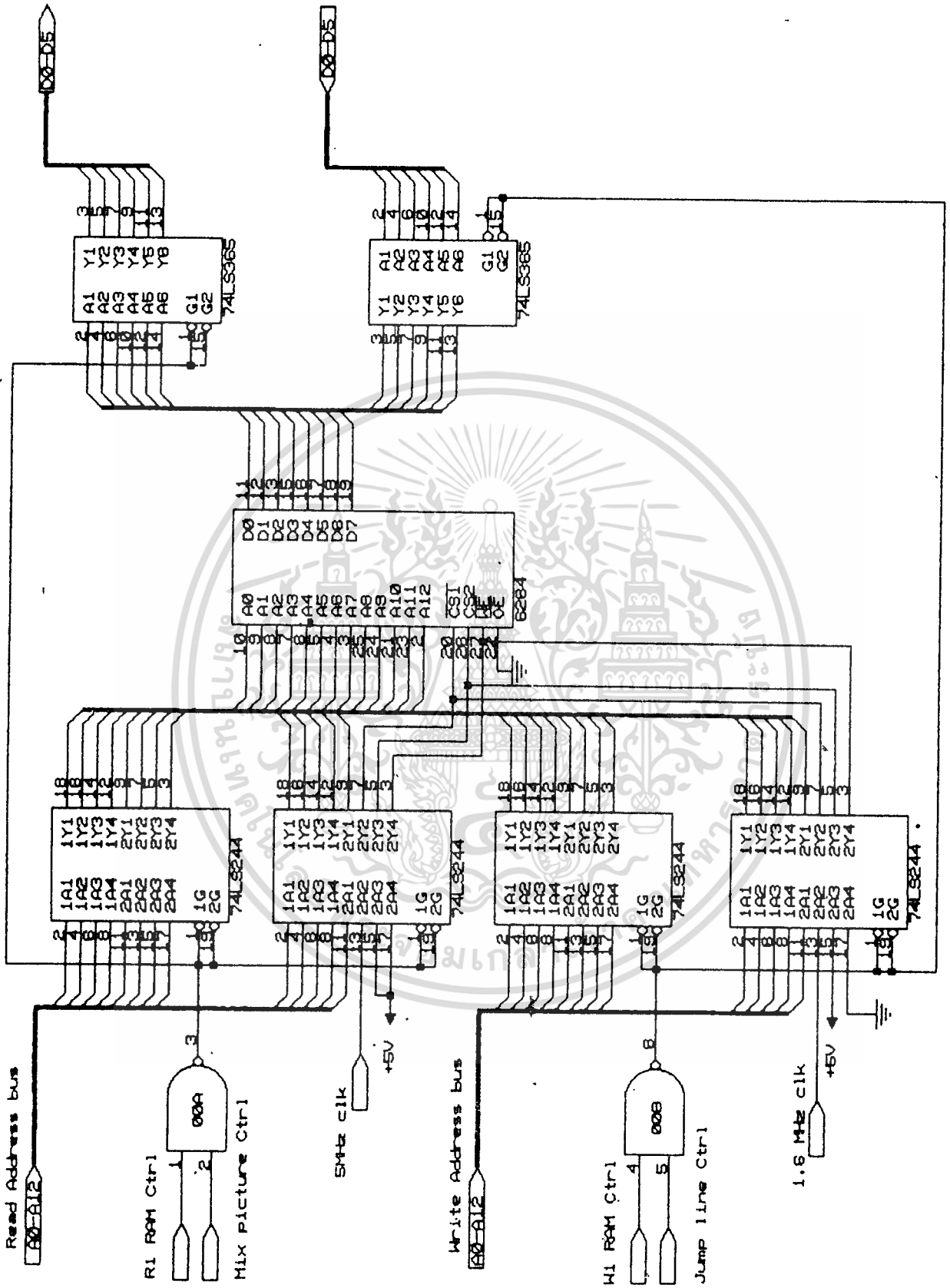
ตารางที่ 3.2 Binary-Ladder Output Voltage

เนื่องจาก Ladder นี้เป็นเน็ตเวิร์คแบบเชิงเส้น (Linear network) จึงสามารถใช้ทฤษฎีซุเปอร์โพสิชัน (Superposition) ได้ ดังนั้น โวลต์เตจเอาต์พุตทั้งหมดจะเป็นผลรวมของโวลต์เตจเอาต์พุตที่ได้จากบิตต่างๆ ดังสมการ

$$V = (V_0 2^0 + V_1 2^1 + V_2 2^2 + \dots + V_{n-1} 2^{n-1}) / 2^n$$

$n$  : จำนวนบิตอินพุตทั้งหมด

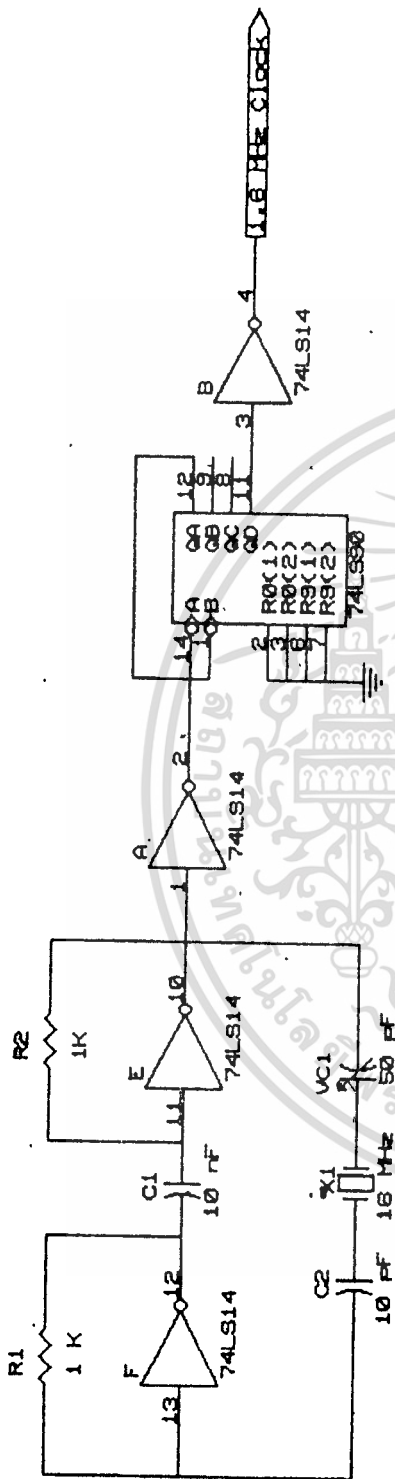
$V_0, V_1, V_2, \dots, V_{n-1}$  คือระดับของโวลต์เตจอินพุต



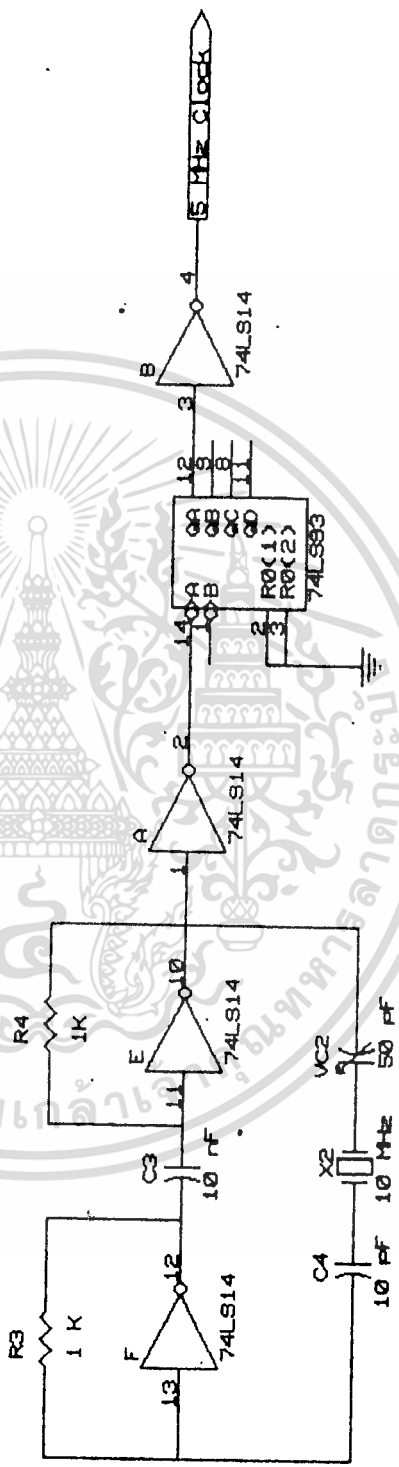
รูป 3.6 Random Access Memory & Buffers

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
 ไม่ว่าการณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้





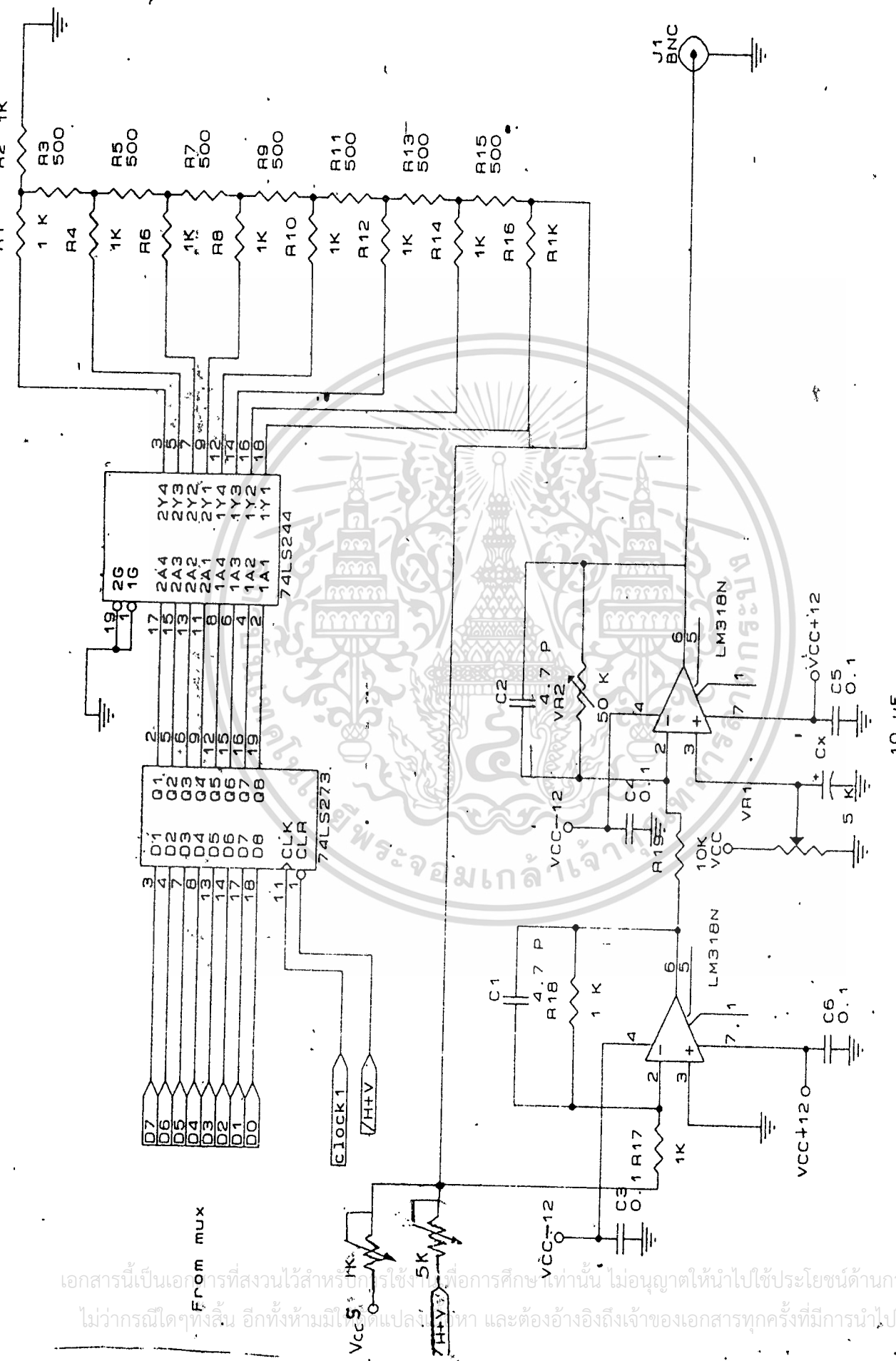
รูป 3.10 วงจรสร้างสัญญาณ CLOCK 1.6 MHz



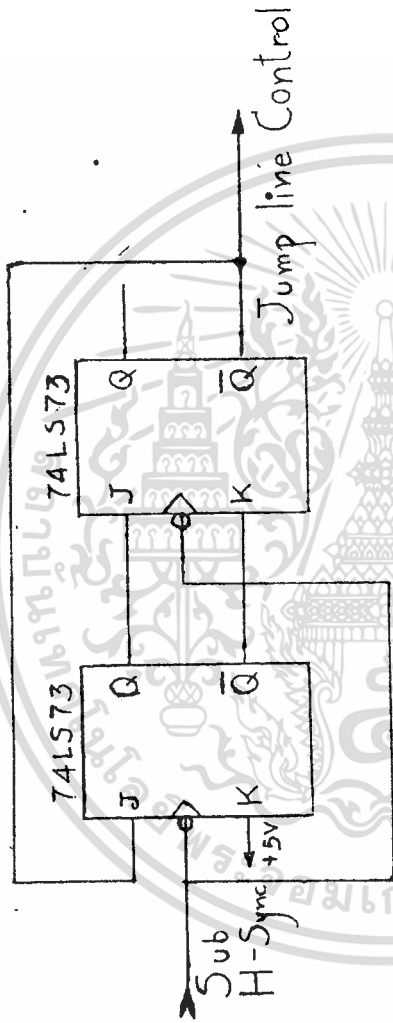
รูป 3.11 วงจรสร้างสัญญาณ CLOCK 5 MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้





เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับใช้เพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
 ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตีแปลงหรือทำ และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 3.13 วงจรทรี 3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

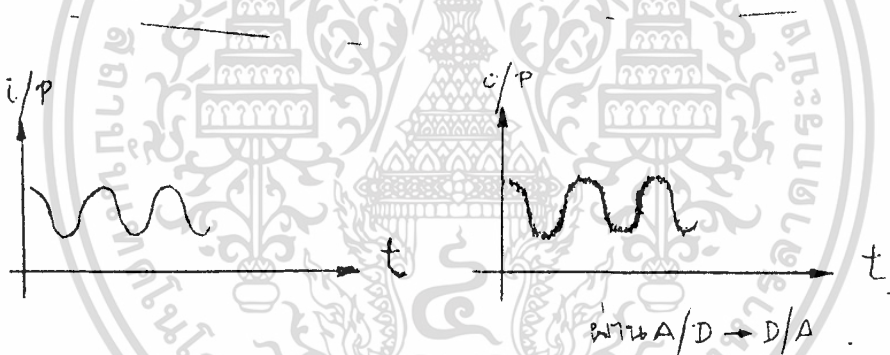
## บทที่ 4 การทดลองและผลการทดลอง

### 4.1 การทดลองและผลการทดลองแยกซิงค์

สัญญาณภาพเมื่อนำมาผ่านวงจรแยกซิงค์จะได้สัญญาณต่างๆ คือ สัญญาณ Composite Video สัญญาณ Horizontal Synchronous สัญญาณ Vertical Synchronous

### 4.2 การทดลองและผลการทดลองวงจร A/D ออกผ่าน D/A

นำสัญญาณทดสอบจากแหล่งกำเนิด ความถี่ (Generator) รูปคลื่นต่างๆ ไม่ว่าจะเป็นสัญญาณ Sine Wave, Square Wave, Triangle Wave จะได้สัญญาณ I/P กับ O/P ใกล้เคียงกันมาก มี High Resolution สูงเช่น



หลังจากนั้นนำมาผ่านการ Sum กับ H+V Syne เข้าวงจร Amplifier เป็นขั้นตอนสุดท้ายได้ขนาดสัญญาณที่มากขึ้นออกเป็นสัญญาณ O/P ต่อไป

### 4.3 ทดลองวงจรควบคุมการผสมสัญญาณดิจิทัล

มีหน้าที่เป็น Counter นั้นเอง เมื่อทดลองแล้วจะได้ O/P ของ FLIP, FLOP เป็นดังที่ออกแบบไว้คือ นับ Line ที่ 180 ถึง 280 และใน 1 Line นับได้ 80 จุดเพื่อที่จะนำสัญญาณมาใช้ในการ Read

## บทที่ 5 สรุปและวิจารณ์

เมื่อได้ทดลอง A/D Converter ได้ผลเป็นที่น่าพอใจ เพราะสามารถให้ Data ออกมาได้ผลแม่นยำ และมี Resolution ที่ค่อนข้างสูง คือมีระดับความเข้มแสงต่างกัน ถึง 64 ระดับ ทำให้ภาพที่ออกมาดูค่อนข้างละเอียดชัดเจนคล้ายต้นกำเนิด



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## กิตติกรรมประกาศ

ผลงานที่ออกมานี้ได้รับความช่วยเหลือจากอาจารย์ที่ปรึกษา คือ  
อ.ประภากร สุวรรณะ และต้องขอขอบพระคุณ ผศ.มนัส สังวรศิลป์ ที่เอื้อเพื่อให้ยืม  
กล้อง, MONITOR, ไอที A/D 3306 และ DATA SHEET ในการทดลองทำโครงการ  
ครั้งนี้ สุดท้ายนี้ต้องขอขอบคุณทุกท่านในห้อง ผศ.มนัส ด้วย



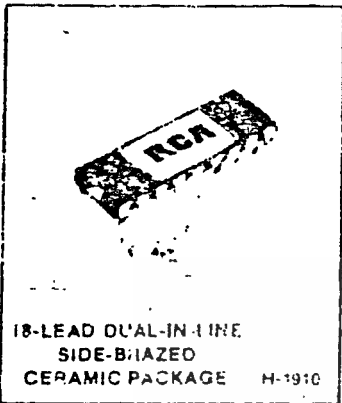
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## หนังสืออ้างอิง

1. Steve Ciarcia " Build a Gray-Scale Video Digitizer " , BYTE ,  
JUNE 1987 ,p.134
2. ดร.ทวี เมฆสุวรรณค์ และ นายโยชิคะชิ ซาวามุระ " เทคนิคการซ่อมเครื่องรับ  
โทรทัศน์สี " บริษัท สำนักพิมพ์ดวงกมล จำกัด , 295 หน้า , 2525
3. บริษัท ซีเอ็ดยูเคชั่น " คู่มือเทียบเบอร์ไอซี TTL " , 2529
4. บริษัท ซีเอ็ดยูเคชั่น " คู่มือไอซีพินพอร์ท และ หน่วยความจำ " , 2529

Linear Integrated Circuits

CA3300



### CMOS Video Speed 6-Bit Flash Analog-to-Digital Converter

For Use In Low-Power Consumption, High-Speed Digitization Applications

**FEATURES:**

- CMOS low power with speed
- Parallel conversion technique
- 15-MHz sampling rate (66-ns conversion time)
- 6-bit latched 3-state output with overflow bit
- 2<sup>1/2</sup> LSB accuracy
- Single supply voltage (3 to 10 V)
- 2 units in series allow 7-bit output
- 2 units in parallel allow 30-MHz sampling rate
- Internal VREF with ext. VREF option

The RCA-CA3300 is a CMOS-50-mV-parallel (FLASH) analog-to-digital converter designed for applications demanding both low-power consumption and high-speed digitization.

The CA3300 operates over a wide full-scale input-voltage range of 2.4 volts up to the dc supply voltage with maximum power consumptions as low as 50 to 200 mW, depending upon the clock frequency selected. When operated from a 5-volt supply at a clock frequency of 11 MHz, the power consumption of the CA3300 is less than 50 mW. When operated from an 8-volt supply at a frequency of 15 MHz, the power consumption is less than 150 mW.

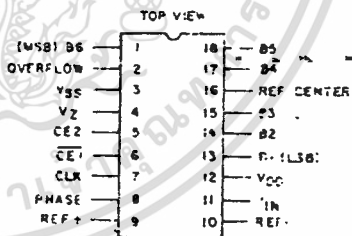
The intrinsic high conversion rate makes the CA3300 ideally suited for digitizing high-speed signals. The overflow bit makes possible the connection of two or more CA3300s in series to increase the resolution of the conversion system. A series connection of two CA3300s may be used to produce a 7-bit high-speed converter. Operation of two CA3300s in parallel doubles the conversion speed (i.e., increases the sampling rate from 15 to 30 MHz). CA3300s in parallel may be combined with a high-speed 6-bit D/A converter, a binary adder control logic, and an op amp to form a very high speed A/D converter.

Sixty-four parallelized auto-balanced voltage comparators measure the input voltage with respect to a known reference to produce the parallel-bit outputs in the CA3300. Sixty-three comparators are required to quantize all input voltage levels in this 6-bit converter, and the additional comparator is required for the overflow bit.

The CA3300 type is available in an 18-lead dual-in-line ceramic package (D suffix) or in chip form (P suffix).

**APPLICATIONS**

- The CA3300 is especially suited for high-speed conversion applications where low power is also important.
- TV video digitizing (industrial security)
- High-speed A/D conversion
- Ultrasound signature analysis
- Transient signal analysis
- High-energy physics research
- High-speed oscilloscope storage display
- General-purpose hybrid ADCs
- Optical character recognition
- Radar pulse analysis
- Motion signature analysis



D.C. 32243-1

**TERMINAL ASSIGNMENT**

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น ยกเว้นกรณีที่มีการเปลี่ยนแปลงเนื้อหา และต้องขอ อนุญาตจาก บริษัท RCA อิเล็กทรอนิกส์ จำกัด ก่อนนำไปใช้

## ELECTRICAL CHARACTERISTICS

CHARACTERISTIC	TEST CONDITIONS	LIMITS			UNITS
		MIN.	TYP.	MAX.	
Resolution		—	—	6	Bits
Linearity Error	V <sub>DD</sub> =8 V, V <sub>REF</sub> =7.68 V CLK=15 MHz, gain adjusted	—	±0.5	±0.8	LSB
Differential Linearity Error	V <sub>DD</sub> =8, V <sub>REF</sub> =7.68 V CLK=15 MHz	—	±0.5	±0.8	
Quantizing Error		-1/2	—	1/2	
Analog Input Full Scale Range	V <sub>DD</sub> =8 V CLK=15 MHz	2.4	—	V <sub>DD</sub> +0.5	V
Input Capacitance		—	50	—	pf
Input Current		—	500	1000	μA
Gain Temperature Coefficient	V <sub>DD</sub> =8 V, CLK=15 MHz	—	0.016	—	LSB/°C
Maximum Conversion Speed	V <sub>DD</sub> =5 V V <sub>DD</sub> =6 V	— 15M	12M 19M	—	SPS
Device Current (Excludes I <sub>REF</sub> , I <sub>Z</sub> )	V <sub>DD</sub> =5 V (CLK=11 MHz) V <sub>DD</sub> =6 V (CLK=15 MHz) V <sub>DD</sub> =5 V (Auto Balance State) V <sub>DD</sub> =8 V (Auto Balance State)	— — — —	7 21 6.4 24	— — 16 40	mA
Load Impedance		1000	1400	1800	Ω
Digital Inputs:					
Low Voltage	V <sub>DD</sub> =5 V V <sub>DD</sub> =8 V	— —	— —	1.5 2.5	V V
High Voltage	V <sub>DD</sub> =5 V V <sub>DD</sub> =8 V	3.5 5.5	— —	— —	V V
Input Current	V <sub>DD</sub> =5 V V <sub>DD</sub> =8 V	— —	±1	—	μA
Digital Outputs:					
Output Low (Sink) Current	V <sub>DD</sub> =5 V, V <sub>O</sub> =0.4 V V <sub>DD</sub> =8 V, V <sub>O</sub> =0.5	1.6 3.2	10 16	—	mA
Output High (Source) Current	V <sub>DD</sub> =5 V, V <sub>O</sub> =4.6 V V <sub>DD</sub> =8 V, V <sub>O</sub> =7.5 V	-0.8 -1.6	6 9	—	
Zener Voltage	I <sub>Z</sub> =10 mA	6.2	6.6	7.2	V
Zener Dynamic Impedance	I <sub>Z</sub> =10 μA	—	10	30	Ω
Zener Temperature Coefficient		—	0.5	—	mV/°C
Digital Output Delay, t <sub>d</sub>	V <sub>DD</sub> =8 V	—	20	—	ns
Aperture Time	V <sub>DD</sub> =8 V	—	25	—	

# Linear Integrated Circuits

## CA3300

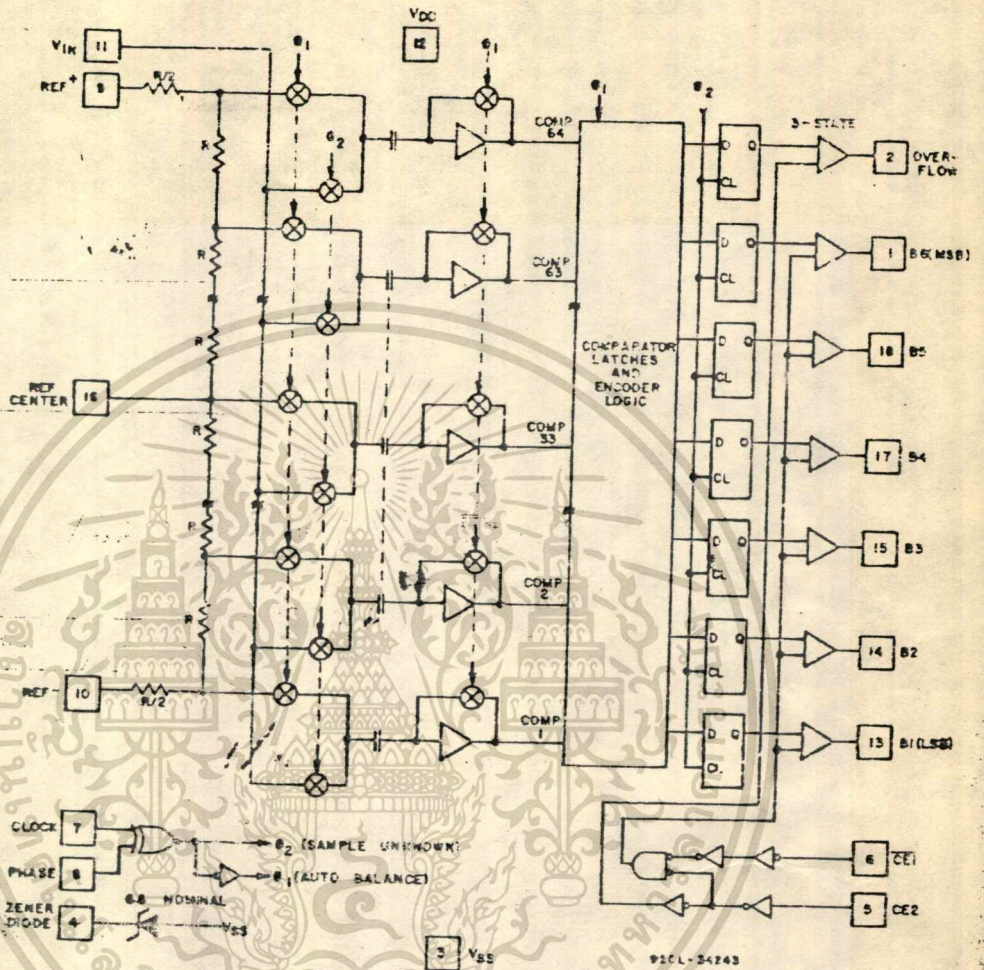


Fig. 1 - Block diagram for the CA3300.

### MAXIMUM RATINGS, Absolute Maximum Values.

DC SUPPLY VOLTAGE RANGE (VDD) (VOLTAGE REFERENCED TO VSS TERMINAL)	-0.5 to +10
INPUT VOLTAGE RANGE ALL INPUTS EXCEPT ZENER (PIN 4)	-0.5 to VDD
DC INPUT CURRENT CLK, PH, CE1, CE2, VIN	±1
POWER DISSIPATION PER PACKAGE (PD) FOR TA = -40 to 55°C	315
FOR TA = 55°C to 85°C	Derate linearly at 3.5 mW/°C
TEMPERATURE RANGE OPERATING	-40 to +125
STORAGE	-65 to +150
TEMPERATURE (DURING SOLDERING)	+
DISTANCE 1/16 ± 1/32 in. (1.59 ± 0.76 mm) FROM CASE FOR 10 s MAX.	+260

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น. ไม่นอนุญาตให้นำไปใช้ประโยชน์ด้านก

ไม่ทำการ... ถ้าหาก... ให้แจ้ง... ถึงเจ้าของเอกสารทุกครั้งที่มีการนำ

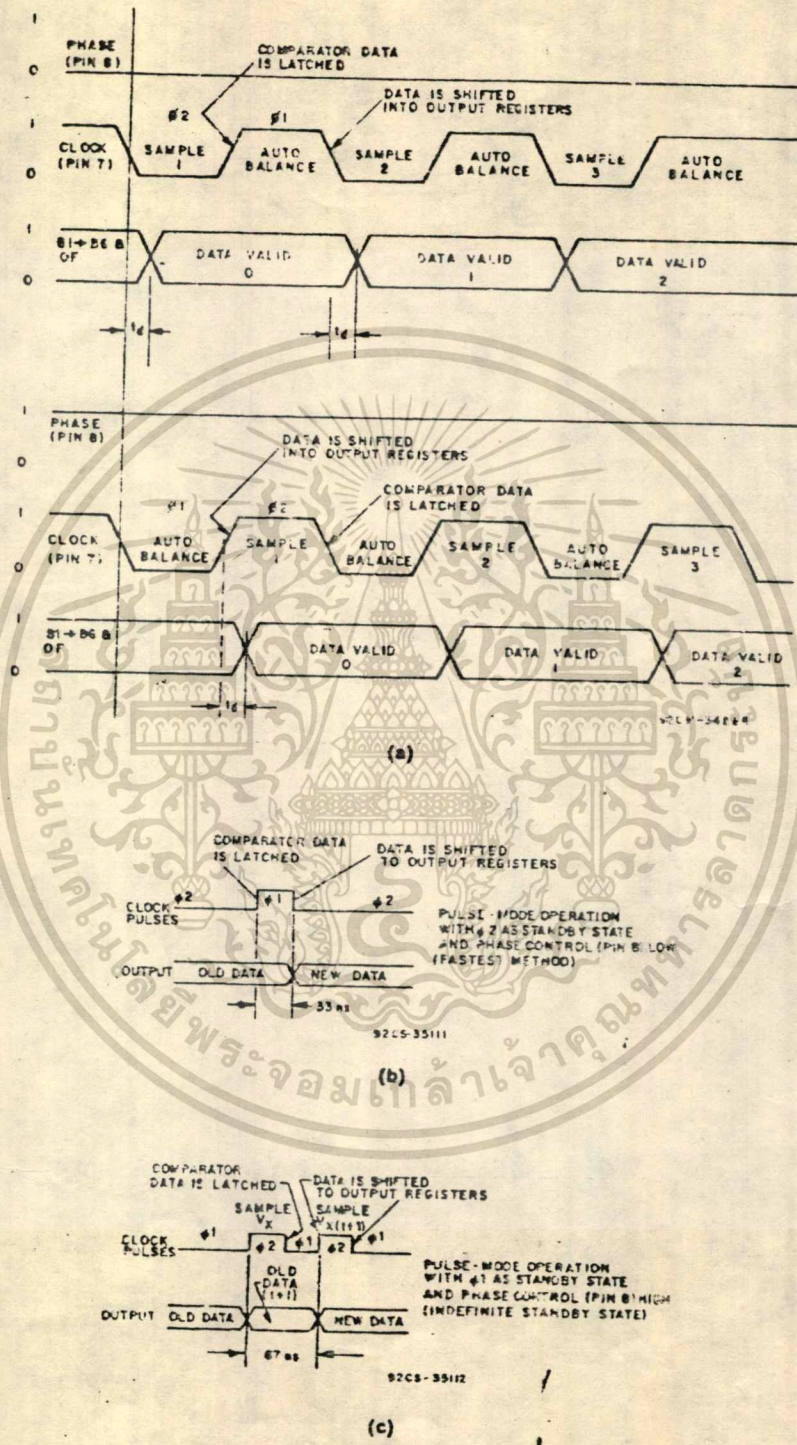


Fig. 2 - Timing diagrams for the CA3300

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

# Linear Integrated Circuits

## CA3300

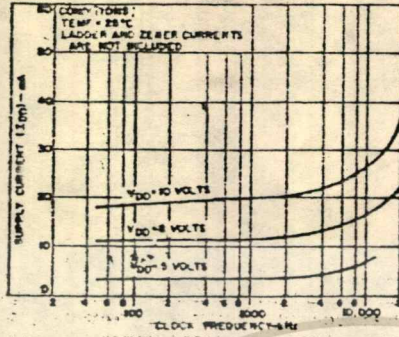


Fig. 3 - Typical current drain versus sampling rate as a function of supply voltage.

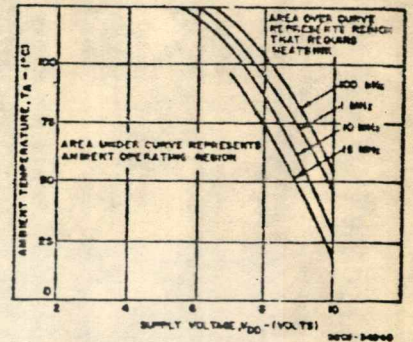


Fig. 4 - Maximum ambient temperature versus supply voltage. (Above curve includes ladder dissipation but not the zener dissipation.)

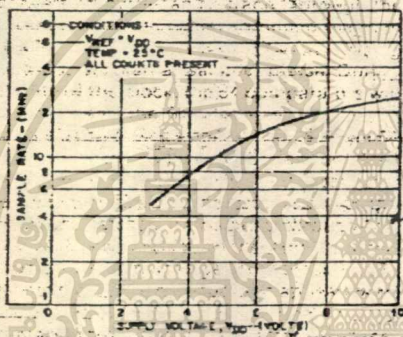


Fig. 5 - Typical maximum sample rate versus supply voltage.

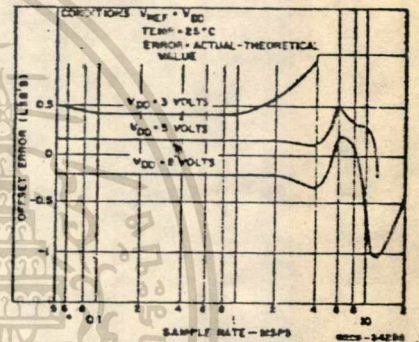


Fig. 6 - Typical offset error versus sample rate as a function of supply voltage. (See literature for offset trim.)

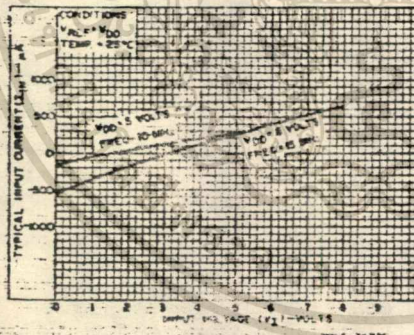


Fig. 7 - Typical input current versus input voltage as a function of supply voltage.

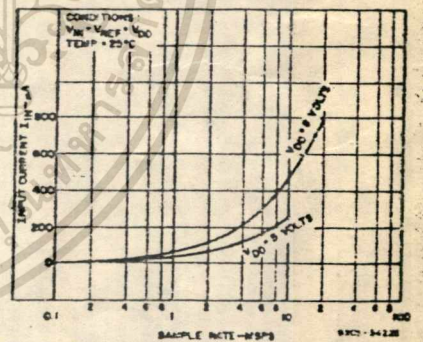


Fig. 8 - Typical input current versus sample rate as a function of supply voltage.

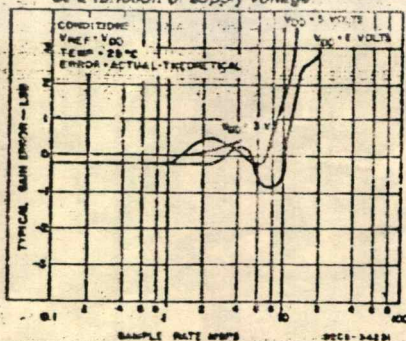


Fig. 9 - Typical gain error versus sample rate as a function of supply voltage. (See literature for gain trim.)

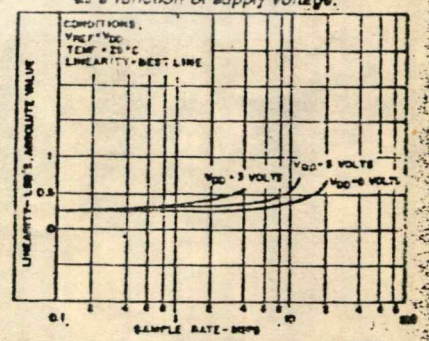


Fig. 10 - Typical linearity versus sample rate as a function of supply voltage.

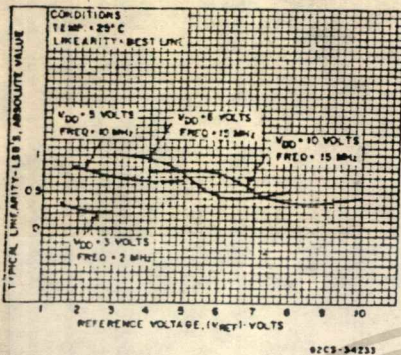


Fig. 11 - Typical linearity versus reference voltage as a function of supply voltage.

#### Device Operation

A sequential parallel technique is used by the CA3300 converter to obtain its high-speed operation. The sequence consists of the "Auto Balance" phase,  $\beta 1$ , and the "Sample Unknown" phase  $\beta 2$ . (Refer to the circuit diagram.) Each conversion takes one clock cycle. With the phase control (pin 8) low, the "Auto Balance" ( $\beta 1$ ) occurs during the High period of the clock cycle, and the "Sample Unknown" ( $\beta 2$ ) occurs during the low period of the clock cycle.

During the "Auto Balance" phase, a transmission switch is used to connect each of 64 commutating capacitors to their associated ladder reference tap. Those tap voltages will be as follows:

$$V_{\text{tap}}(N) = \frac{[V_{\text{REF}}/64] \times N}{2N - 1} = \frac{V_{\text{REF}}}{128}$$

Where:  $V_{\text{tap}}(n)$  = reference ladder tap voltage at point  $n$ .  
 $V_{\text{REF}}$  = voltage across  $R^-$  to  $R^+$   
 $N$  = tap number (1 through 64)

The other side of the capacitor is connected to a single stage amplifier whose output is shorted to its input by a switch. This biases the amplifier at its intrinsic trip point, which is approximately  $(V_{\text{DD}} - V_{\text{SS}})/2$ . The capacitors now charge to their associated tap voltages, priming the circuit for the next phase.

In the "Sample Unknown" phase, all ladder tap switches are opened, the comparator amplifiers are no longer shorted, and  $V_{\text{IN}}$  is switch to all 64 capacitors. Since the other end of the capacitor is now looking into an effectively open circuit, any voltage that differs from the previous tap voltage will appear as a voltage shift at the comparator amplifiers. All comparators with tap voltages greater than  $V_{\text{IN}}$  will drive the comparator outputs to a "low" state, all comparators with tap voltage lower than  $V_{\text{IN}}$  will drive the comparator outputs to a "high" state.

\* This device requires only a single phase clock. The terminology of  $\beta 1$  and  $\beta 2$  refers to the High and Low periods of the same clock.

The status of all these comparator amplifiers are stored at the end of this phase ( $\beta 2$ ), by a secondary latching amplifier stage. Once latched, the status of the 64 comparators is decoded by a 64 to 7 bit decode array and the results are clocked into a storage register at the rising edge of the next  $\beta 2$ .

A 3-state buffer is used at the output of the 7 storage registers which are controlled by two chip-enable signals. CE1 will independently disable B1 through B6 when it is in a high state. CE2 will independently disable B1 through B6 and the OF buffers when it is in the low state.

To facilitate usage of this device a phase control input is provided which can effectively complement the clock as it enters the chip. Also, an onboard zener is provided for use as a reference voltage.

#### Continuous Clock Operation

One complete conversion cycle can be traced through the CA3300 via the following steps. (Refer to timing diagram Fig. 2a.) With the phase control in a "High" state, the rising edge of the clock input will start a "sample" phase. During this entire "High" state of the clock, the 64 comparators will track the input voltage and the 64 latches will track the comparator outputs. At the falling edge of the clock, all 64 comparator outputs are captured by the 64 latches. This ends the "sample" phase and starts the "auto balance" phase for the comparators. During this "Low" state of the clock the output of the latches propagates through the decode array and a 7-bit code appears at the D inputs of the output registers. On the next rising edge of the clock, this 7-bit code is shifted into the output registers and appears with time delay  $t_d$  as valid data at the output of the 3-state drivers. This also marks the start of a new "sample" phase, thereby repeating the conversion process for this next cycle.

#### Pulse Mode Operation

For sampling high-speed nonrecurrent or transient data, the converter may be operated in a pulse mode in one of two ways. The fastest method is to keep the converter in the Sample Unknown phase,  $\beta 2$ , during the standby state. The device can now be pulsed through the Auto Balance phase with as little as 33 ns. The analog value is captured on the leading edge of  $\beta 1$  and is transferred into the output registers on the trailing edge of  $\beta 1$ . We are now back in the standby state,  $\beta 2$ , and another conversion can be started within 33 ns, but not later than 10  $\mu$ s due to the eventual droop of the commutating capacitors. Another advantage of this method is that it has the potential of having the lowest power drain. The larger the time ratio between  $\beta 2$  and  $\beta 1$ , the lower the power consumption. (See timing diagram Fig. 2b.)

The second method uses the Auto Balance phase,  $\beta 1$ , as the standby state. In this state the converter can stay indefinitely waiting to start a conversion. A conversion is performed by strobing the clock input with two  $\beta 2$  pulses. The first pulse starts a Sample Unknown phase and captures the analog value in the comparator latches on the trailing edge. A second  $\beta 2$  pulse is needed to transfer the data into the output registers. This occurs on the leading edge of the second pulse. The conversion now takes place in 67 ns, but the repetition rate may be as slow as desired. The disadvantage to this method is the higher device dissipation due to the low ratio of  $\beta 2$  to  $\beta 1$ . (See timing diagram Fig. 2c.)

#### Increased Accuracy

In most cases the accuracy of the CA3300 should be

## Linear Integrated Circuits

### CA3300

sufficient without any adjustments. In applications where accuracy is of utmost importance, three adjustments can be made to obtain better accuracy, i.e., offset trim, gain trim, and midpoint trim.

#### Offset Trim

In general offset correction can be done in the preamp circuitry by introducing a DC shift to  $V_{IN}$  or by the offset trim of the op-amp. When this is not possible the  $R^-$  (pin 10) input can be adjusted to produce an offset trim. The theoretical input voltage to produce the first transition is  $\frac{1}{2}$  LSB. The equation is as follows:

$$V_{IN} \text{ (0 to 1 transition)} = \frac{1}{2} \text{ LSB} = \frac{1}{2}(V_{REF}/64) \\ = V_{REF}/128$$

If  $V_{IN}$  for the first transition is less than the theoretical, then a single-turn 50-ohm pot connected between  $R^-$  and ground will accomplish the adjustment. Set  $V_{IN}$  to  $\frac{1}{2}$  LSB and trim the pot until the 0 to 1 transition occurs.

If  $V_{IN}$  for the first transition is greater than the theoretical, then the 50-ohm pot should be connected between  $R^-$  and a negative voltage of about 2 LSB's. The trim procedure is as stated previously.

#### Gain Trim

In general the gain trim can also be done in the preamp circuitry by introducing a gain adjustment for the op-amp. When this is not possible, then a gain adjustment circuit should be made to adjust the reference voltage. To perform this trim,  $V_{IN}$  should be set to the 63 to overflow transition. That voltage is  $\frac{1}{2}$  LSB less than  $V_{REF}$  and is calculated as follows:

$$V_{IN} \text{ (63 to 64 transition)} = V_{REF} - V_{REF}/128 \\ = V_{REF} (127/128)$$

To perform the gain trim, first do the offset trim and then apply the required  $V_{IN}$  for the 63 to overflow transition. Now adjust  $V_{REF}$  until that transition occurs on the outputs.

#### Midpoint Trim

The reference center (RC), pin 16, is available to the user as the approximate midpoint of the resistor ladder. The actual

count that is brought out is count 33. To trim the midpoint the offset and gain trims should be done first. The theoretical transition from count 32 to 33 occurs at  $32\frac{1}{2}$  LSB's. That voltage is as follows:

$$V_{IN} \text{ (32 to 33 transition)} = 32.5 (V_{REF}/64)$$

An adjustable voltage follower can be connected to the RC pin or a 2K pot can be connected between  $P^+$  and  $R^-$  with the wiper connected to RC. Set  $V_{IN}$  to the 32 to 33 transition voltage, then adjust the voltage follower or the pot until the transition occurs on the output bits.

The Reference Center point can also be used to create some unique transfer functions. For example, if  $R^-$  is grounded, RC is connected to 3.25 volts, and  $P^+$  is connected to 4.8 volts then the lower order counts, 1 through 33, will have an LSB value of 100 mV while the upper order counts, 34 through Overflow, will have an LSB value of 50 mV. This effectively provides twice the sensitivity in the upper counts as compared to the lower counts.

#### 7-Bit Resolution

To obtain 7-bit resolution, two CA3300s can be wired together. Necessary ingredients include an open-ended ladder network, an overflow indicator, three-state outputs and chip-enabler controls—all of which are available on the CA3300.

The first step for connecting a 7-bit circuit is to totem-pole the ladder networks, as illustrated in Fig. 13. Since the absolute resistance value of each ladder may vary, external trim of the mid-reference voltage may be required.

The overflow output of the lower device now becomes the seventh bit. When it goes high, all counts must come from the upper device. When it goes low, all counts must come from the lower device. This is done simply by connecting the lower overflow signal to the  $CET$  control of the lower  $a-d$  converter and the  $CE2$  control of the upper  $a-d$  converter. The three-state outputs of the two devices (bits 1 through 6) are now connected in parallel to complete the circuitry. The complete circuit for a 7-bit  $a-d$  converter is shown in Fig. 14.

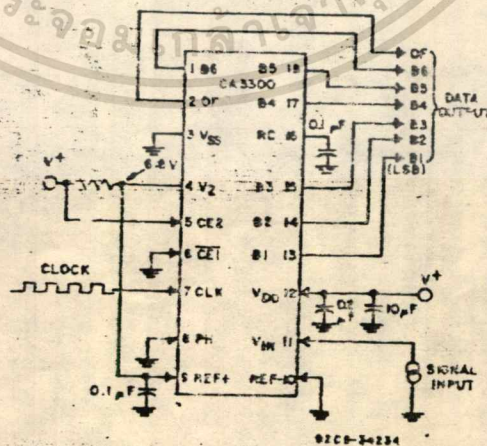


Fig. 12 - Typical CA3300 6-bit configuration 15-MHz sampling rate.

Data Conversion Circuits

CA3300

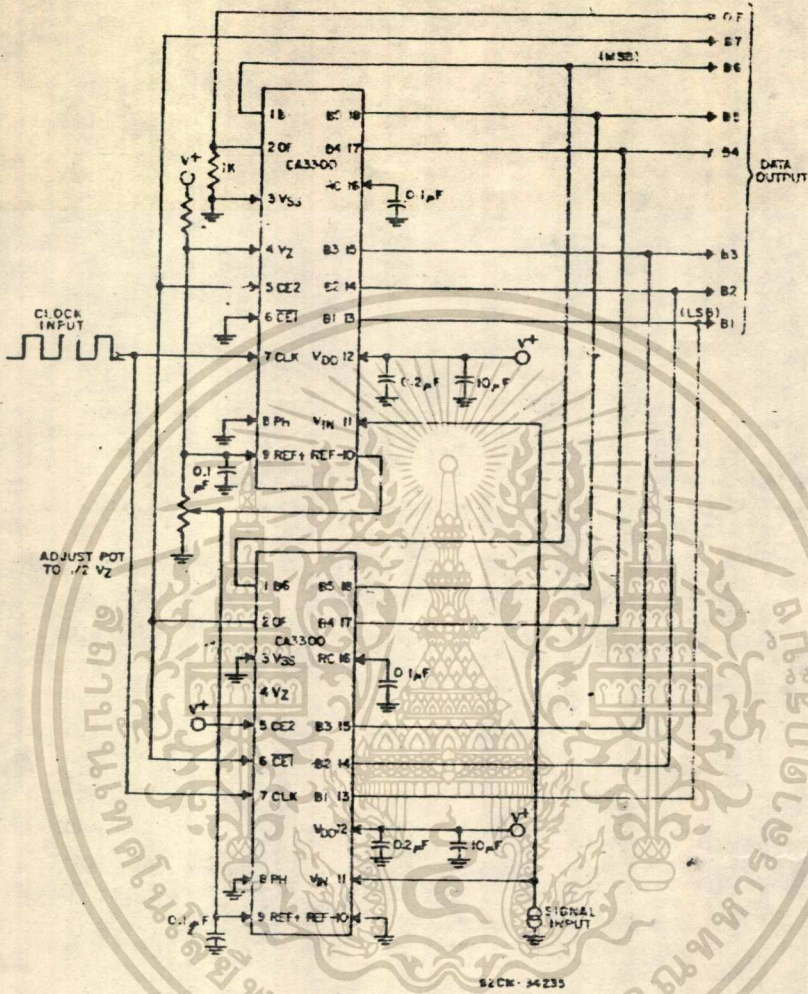
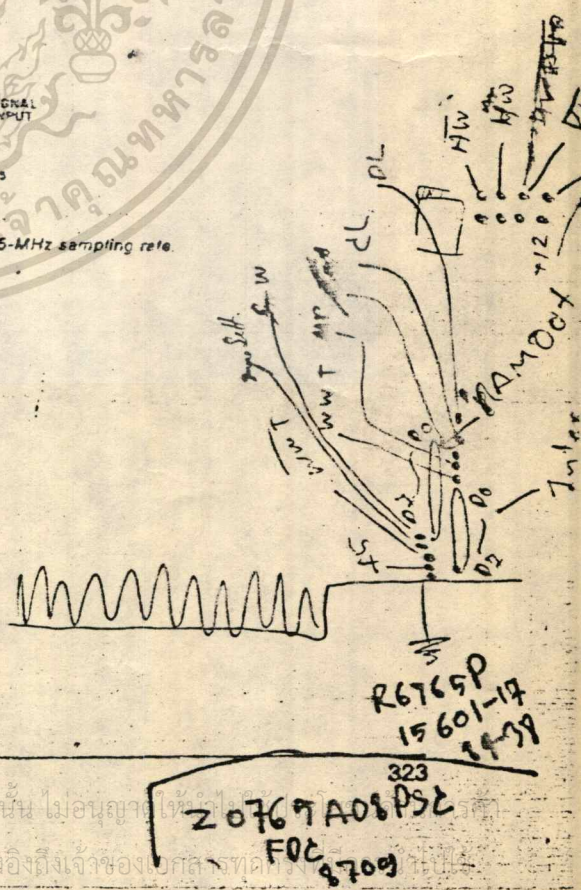
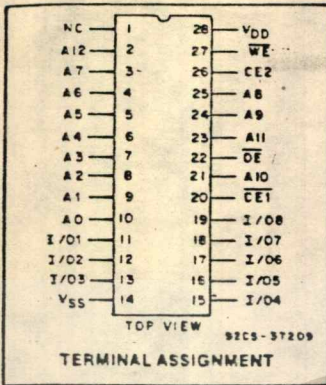


Fig. 13 - Typical CA3300 7-bit resolution configuration 15-MHz sampling rate.



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้  
 20767A08PSE FOC 8700  
 323  
 ไม่ควรแก้ไขใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของลิขสิทธิ์



## CMOS 8192-Word by 8-Bit LSI Static RAM

**Features:**

- Fully static operation
- Single power supply: 4.5 V to 5.5 V
- All inputs and outputs directly TTL compatible
- 3-state outputs
- Industry standard 28-pin configuration
- Input address buffers gated off with chip disable
- Fast access time:  $t_{AA}=150\text{ ns}/120\text{ ns}$  (CDM6264-3/CDM6264-4)
- Low standby and operating power:  $I_{DDBS1}=2\ \mu\text{A}$  typical,  $I_{OPEN2}=40\text{ mA}$  maximum
- Data retention voltage: 2 V min.
- Operating temperature range (max. rating): 0° to 70°C

The RCA-CDM6264 is a 8192-word by 8-bit static random-access memory. It is designed for use in memory systems where high-speed, low power and simplicity in use are desirable. This device has common data input and data output and utilizes a single power supply of 4.5 V to 5.5 V. Either chip enable (CE1 or CE2), when not valid, will gate off the address and output buffers and power down the chip to

minimum standby power with inputs toggling. The output enable (OE) controls the output buffers to eliminate bus contention.

The CDM6264 is supplied in 28-lead, hermetic, dual-in-line side-braced ceramic (D suffix) and in 28-lead dual-in-line plastic (E suffix) packages.

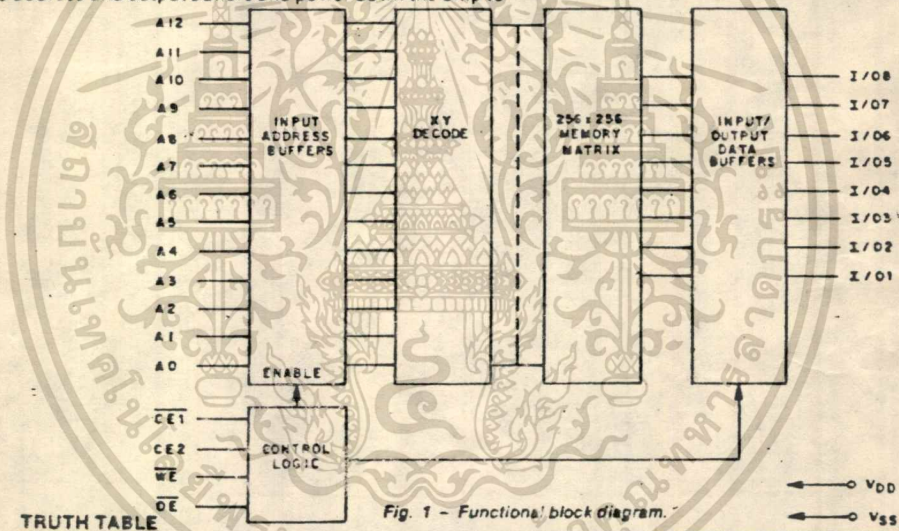


Fig. 1 - Functional block diagram.

**TRUTH TABLE**

CE1	CE2	OE	WE	A0 TO A12	MODE	DATA I/O	DEVICE CURRENT
H	X	X	X	X	NOT SELECTED	HIGH Z	STANDBY
X	L	X	X	X	NOT SELECTED	HIGH Z	STANDBY
L	H	L	H	STABLE	READ	DATA OUT	ACTIVE
L	H	X	L	STABLE	WRITE	DATA IN	ACTIVE
L	H	H	H	STABLE	OUTPUT DISABLE	HIGH Z	ACTIVE

L = LOW H = HIGH X = H OR L

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CDM6264

MAXIMUM RATINGS, Absolute-Maximum Values:

DC SUPPLY-VOLTAGE RANGE, (V<sub>DD</sub>):  
 (Voltage referenced to V<sub>SS</sub> terminal) ..... -0.3 to +7 V

INPUT VOLTAGE RANGE, ALL INPUTS ..... -0.3 to +7 V

POWER DISSIPATION PER PACKAGE (P<sub>D</sub>):  
 For T<sub>A</sub> = 0° to +60° C (PACKAGE TYPE E) ..... 500 mW  
 For T<sub>A</sub> = -50° to +70° C (PACKAGE TYPE E) ..... Derate Linearly at 8 mW/°C to 420 mW  
 For T<sub>A</sub> = 0° to +70° C (PACKAGE TYPE D) ..... 500 mW

DEVICE DISSIPATION PER OUTPUT TRANSISTOR  
 For T<sub>A</sub> = FULL PACKAGE-TEMPERATURE RANGE ..... 100 mW

OPERATING-TEMPERATURE RANGE (T<sub>A</sub>):  
 PACKAGE TYPE D ..... 0 to +70° C  
 PACKAGE TYPE E ..... 0 to +70° C

STORAGE TEMPERATURE RANGE (T<sub>STG</sub>) ..... -55 to +125° C

LEAD TEMPERATURE (DURING SOLDERING):  
 At distance 1/16 ± 1/32 in. (1.59 ± 0.79 mm) from case for 10 s max. .... +265° C

OPERATING CONDITIONS at T<sub>A</sub> = 0 to +70° C

For maximum reliability, operating conditions should be selected so that operation is always within the following ranges:

CHARACTERISTIC	LIMITS		UNITS
	ALL TYPES		
	MIN.	MAX.	
DC Operating Voltage Range	4.5	5.5	V
Input Voltage Range	V <sub>IH</sub>	V <sub>DD</sub> + 0.3	
	V <sub>IL</sub>	-0.3	
Input Signal Rise or Fall Time <sup>Δ</sup>	t <sub>r</sub>	5	μs

<sup>Δ</sup> Input signal rise and fall times with a duration greater than the maximum value can cause loss of stored data in the selected mode.

STATIC ELECTRICAL CHARACTERISTICS at T<sub>A</sub> = 0 to +70° C, V<sub>DD</sub> = 5 V ± 10%, Except as noted

CHARACTERISTIC	CONDITIONS	LIMITS			UNITS		
		ALL TYPES					
		Min.	Typ.*	Max.			
Standby Device Current	I <sub>DDS</sub>	CE1=V <sub>IH</sub> or CE2=V <sub>IL</sub>	-	1.5	3	mA	
	I <sub>DDSI</sub>	CE1=CE2 ≥ V <sub>DD</sub> -0.2 V or CE2 ≤ 0.2 V	-	2	100	μA	
Output Voltage Low Level	V <sub>OL</sub> Max.	I <sub>OL</sub> =2.1 mA	-	-	0.4	V	
		I <sub>OL</sub> =1 μA	-	0.1	-		
Output Voltage High Level	V <sub>OH</sub> Min.	I <sub>OH</sub> =-1 mA	2.4	-	-	V	
		I <sub>OH</sub> =-1 μA	-	V <sub>DD</sub> -0.1	-		
Input Leakage Current	I <sub>IN</sub> Max.	V <sub>IN</sub> =0 V to V <sub>DD</sub>	-	±0.1	±2	μA	
3-State Output Leakage Current	I <sub>OUT</sub>	V <sub>I,O</sub> =0 V to V <sub>DD</sub>	-	±0.5	±2		
Operating Device Current	I <sub>OPER1</sub> <sup>§</sup>	V <sub>IN</sub> =V <sub>IL</sub> , V <sub>IH</sub>	t <sub>CYC</sub> =1 μs	-	4.5	9	mA
			t <sub>CYC</sub> =120 ns	-	22.5	45	
	I <sub>OPER2</sub> <sup>§</sup>	V <sub>IN</sub> =0.2 V, V <sub>DD</sub> -0.2 V	t <sub>CYC</sub> =1 μs	-	2	4	
			t <sub>CYC</sub> =120 ns	-	20	40	
Input Capacitance	C <sub>IN</sub>	V <sub>IN</sub> =0 V, f=1 MHz, T <sub>A</sub> =25° C	-	4	6	pF	
Output Capacitance	C <sub>IO</sub>	V <sub>I,O</sub> =0 V, f=1 MHz, T <sub>A</sub> =25° C	-	6	8		

\*Typical values are for T<sub>A</sub>=25° C and nominal V<sub>DD</sub>.

<sup>§</sup>Outputs open circuited.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
 ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้.

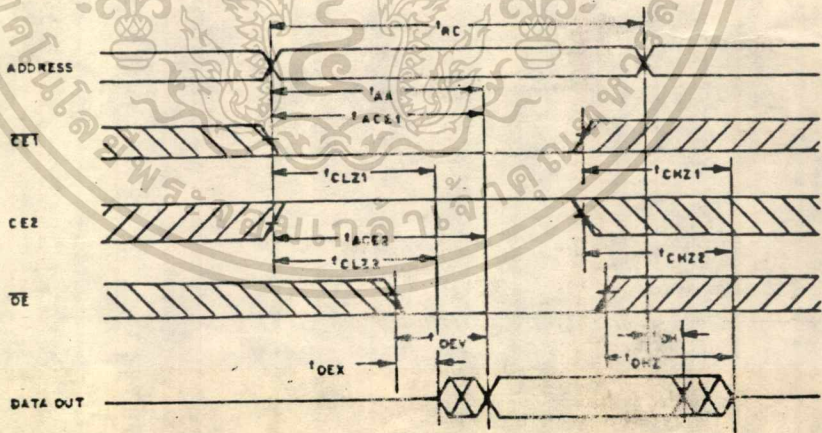
SIGNAL DESCRIPTIONS

- A0-A10 (Address Inputs): These inputs must be stable prior to a write operation, but may change asynchronously during read functions.
- I/O1-I/O8: 8-bit tristate data bus.
- $\overline{CE1}, \overline{CE2}$  (Chip Enable): Either chip enable, when not true, powers down the chip, disables Read and Write functions, and gates off address and output buffers.
- $\overline{OE}$  (Output Enable): Enables tristate outputs if  $\overline{CE1}$  and  $\overline{CE2}$  are valid and  $\overline{WE}$  is high.
- $\overline{WE}$  (Write Enable): Enables Write function, if  $\overline{CE1}$  and  $\overline{CE2}$  are valid.  $\overline{WE}$  will dominate if both  $\overline{WE}$  and  $\overline{OE}$  are low (i.e., the bus will be tristated and a Write will occur).
- $V_{DD}, V_{SS}$ : Power supply connections.

DYNAMIC ELECTRICAL CHARACTERISTICS at  $T_A = 0$  to  $+70^\circ\text{C}$ ,  $V_{DD} = 5\text{ V} \pm 10\%$ , Input  $t_i, t_r = 10\text{ ns}$ ;  $C_L = 100\text{ pF}$  and 1 TTL Load, Input Pulse Levels: 0.8 V to 2.4 V

CHARACTERISTIC	LIMITS				UNITS
	CDM6264-3		CDM6264-4		
	MIN. <sup>†</sup>	MAX.	MIN. <sup>†</sup>	MAX.	
Read Cycle Times, See Fig. 2					
Read Cycle Time	$t_{RC}$	150	—	120	—
Address Access Time	$t_{AA}$	—	150	—	120
Chip Enable Access Time	$t_{ACE1}, t_{ACE2}$	—	150	—	120
Chip Enable to Output Active	$t_{CLZ1}, t_{CLZ2}$	10	—	10	—
Output Enable to Output Valid	$t_{OEV}$	—	70	—	60
Output Enable to Output Active	$t_{OEX}$	5	—	5	—
Chip Disable to Output "High Z"	$t_{CHZ1}, t_{CHZ2}$	0	70	0	50
Output Disable to Output "High Z"	$t_{OHZ}$	0	60	0	40
Output Hold from Address Change	$t_{OH}$	30	—	30	—

<sup>†</sup>Time required by a limit device to allow for the indicated function.



$\overline{WE}$  IS HIGH DURING READ CYCLE TIMING MEASUREMENT REFERENCE LEVEL IS 1.8 V. 92CM-11205

Fig. 2 - Read-cycle timing waveforms.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

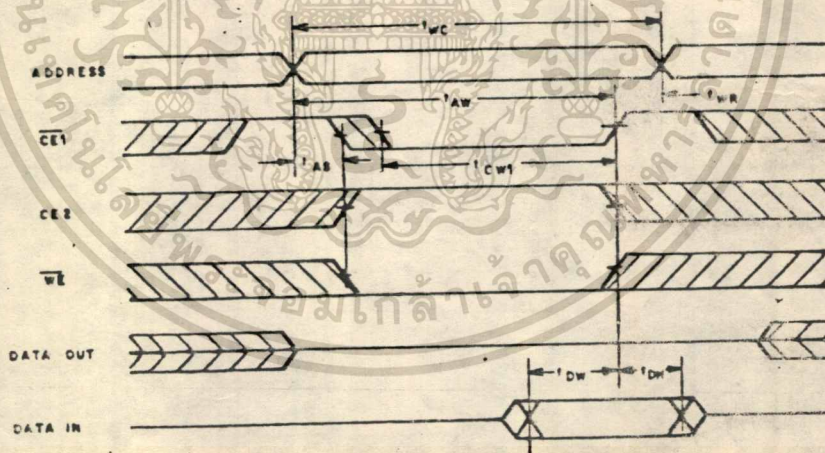
CDM6264

DYNAMIC ELECTRICAL CHARACTERISTICS at  $T_A = 0$  to  $+70^\circ\text{C}$ ,  $V_{DD} = 5\text{V} \pm 10\%$ ,  
 Input  $t_r, t_f = 10\text{ ns}$ ;  $C_L = 100\text{ pF}$  and 1 TTL Load, Input Pulse Levels: 0.8 V to 2.4 V

CHARACTERISTIC		LIMITS				UNITS
		CDM6264-3		CDM6264-4		
		MIN. <sup>†</sup>	MAX.	MIN. <sup>†</sup>	MAX.	
Write Cycle Times, See Fig. 3						
Write Cycle Time	$t_{wc}$	150	—	120	—	ns
Chip Enable to End of WRITE	$t_{cwe}, t_{cws}$	120	—	100	—	
Address Valid to End of WRITE	$t_{aw}$	120	—	100	—	
Address Setup Time	$t_{as}$	0	—	0	—	
Write Enable Width	$t_{ww}$	100	—	80	—	
Write Recovery Time	$t_{wr}$	0	—	0	—	
Write to Output "High Z"	$t_{whz}$	—	70	—	50	
Input Data Setup Time	$t_{dw}$	80	—	50	—	
Input Data Hold Time	$t_{dh}$	0	—	0	—	
Output Active from End of Write	$t_{ow}$	10	—	10	—	

<sup>†</sup>Time required by a limit device to allow for the indicated function.

WRITE CYCLE 1 (CE1 CONTROL)

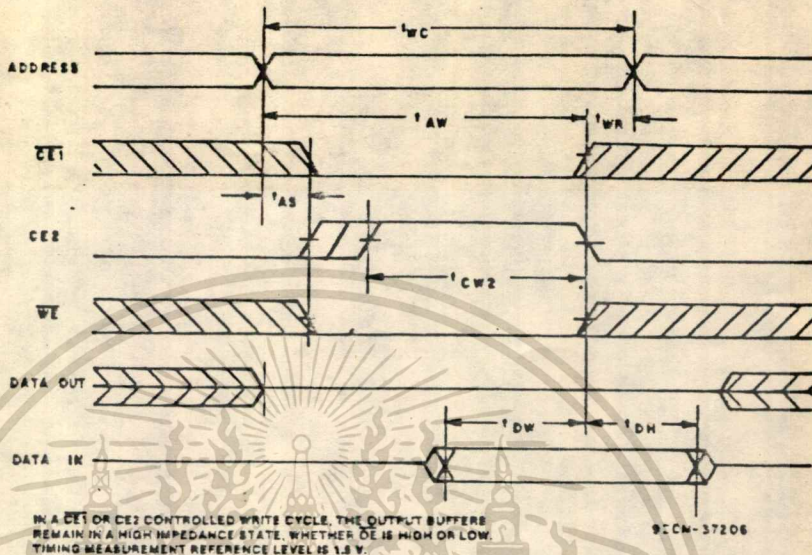


IN A CE1 OR CE2 CONTROLLED WRITE CYCLE, THE OUTPUT BUFFERS REMAIN IN A HIGH IMPEDANCE STATE, WHETHER CE IS HIGH OR LOW. TRIGGER MEASUREMENT REFERENCE LEVEL IS 1.5 V.

Fig. 3 - Write-cycle timing waveforms.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
 ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

WRITE CYCLE 2 (CE2 CONTROL)



WRITE CYCLE 3 (WE CONTROL)

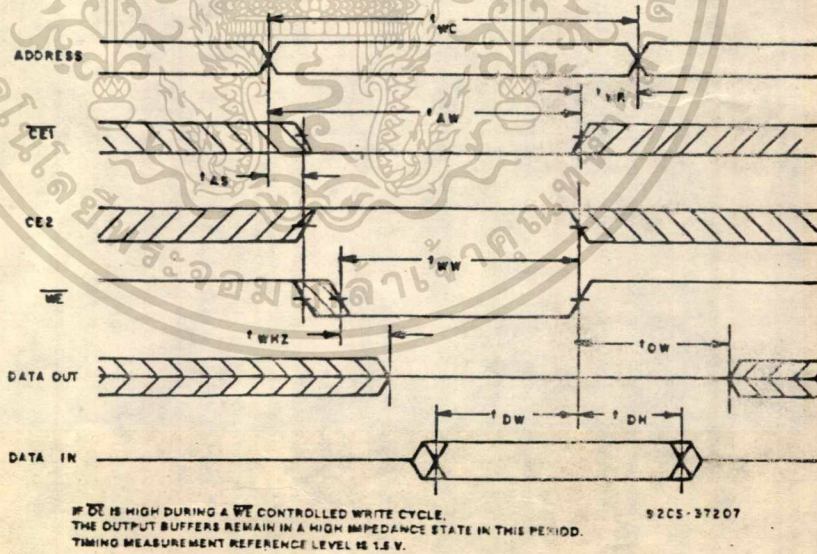


Fig. 3 - Write-cycle timing waveforms (cont'd).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

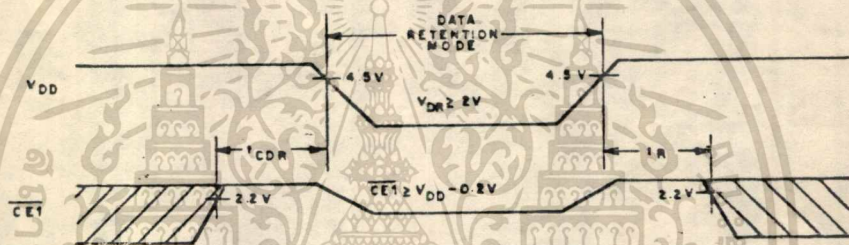
CDM6264

DATA RETENTION CHARACTERISTICS at  $T_A = 0$  to  $70^\circ\text{C}$ ; See Fig. 4.

CHARACTERISTIC	TEST CONDITIONS	LIMITS		UNITS	
		ALL TYPES			
		MIN.	MAX.		
Minimum Data Retention Voltage	$V_{DR}$	$\overline{CE1} \geq V_{DD} - 0.2\text{ V}$ or $CE2 \leq 0.2\text{ V}$	2	5.5	V
Data Retention Quiescent Current	$I_{QDR}$	$V_{DD} = 3\text{ V}$ , $\overline{CE1}, CE2 \geq V_{DD} - 0.2\text{ V}$ or $CE2 \leq 0.2\text{ V}$	—	50	$\mu\text{A}$
Chip Disable to Data Retention Time	$t_{CDR}$	See Fig. 4	0	—	ns
Recovery to Normal Operation Time	$t_R$	See Fig. 4	* $t_{RC}$	—	ns

\* $t_{RC}$  = Read Cycle Time.

DATA RETENTION WAVEFORM 1 ( $\overline{CE1}$  CONTROL)



DATA RETENTION WAVEFORM 2 (CE2 CONTROL)

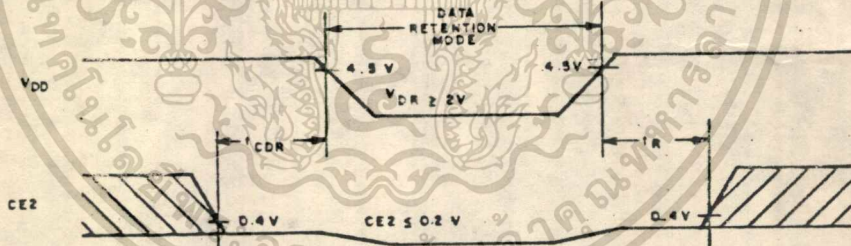


Fig. 4 - Low  $V_{DD}$  data-retention timing waveforms. 92CM-37208

## Absolute Maximum Ratings

Supply Voltage	±20V
Power Dissipation (Note 1)	500 mW
Differential Input Current (Note 2)	±10 mA
Input Voltage (Note 3)	±15V
Output Short-Circuit Duration	Indefinite
Operating Temperature Range	
LM118	-55°C to +125°C
LM218	-25°C to +85°C
LM318	0°C to +70°C
Storage Temperature Range	-65°C to +150°C
Lead Temperature (Soldering, 10 seconds)	300°C

## Electrical Characteristics (Note 4)

PARAMETER	CONDITIONS	LM118/LM218			LM318			UNITS
		MIN	TYP	MAX	MIN	TYP	MAX	
Input Offset Voltage	$T_A = 25^\circ\text{C}$	2	4		4	10		mV
Input Offset Current	$T_A = 25^\circ\text{C}$	6	50		30	200		nA
Input Bias Current	$T_A = 25^\circ\text{C}$		120	250	150	500		nA
Input Resistance	$T_A = 25^\circ\text{C}$	1	3		0.5	3		MΩ
Supply Current	$T_A = 25^\circ\text{C}$	5	8		5	10		mA
Large Signal Voltage Gain	$T_A = 25^\circ\text{C}$ , $V_S = \pm 15\text{V}$ $V_{OUT} = \pm 10\text{V}$ , $R_L \geq 2\text{k}\Omega$	50	200		25	200		V/mV
Slew Rate	$T_A = 25^\circ\text{C}$ , $V_S = \pm 15\text{V}$ , $A_V = 1$	50	70		50	70		V/ $\mu\text{s}$
Small Signal Bandwidth	$T_A = 25^\circ\text{C}$ , $V_S = \pm 15\text{V}$		15		15			MHz
Input Offset Voltage				6		15		mV
Input Offset Current				100		300		nA
Input Bias Current				500		750		nA
Supply Current	$T_A = 125^\circ\text{C}$		4.5	7				
Large Signal Voltage Gain	$V_S = \pm 15\text{V}$ , $V_{OUT} = \pm 10\text{V}$ $R_L \geq 2\text{k}\Omega$	25			20			V/mV
Output Voltage Swing	$V_S = \pm 15\text{V}$ , $R_L = 2\text{k}\Omega$	±12	±13		±12	±13		V
Input Voltage Range	$V_S = \pm 15\text{V}$	±11.5			±11.5			V
Common-Mode Rejection Ratio		80	100		70	100		dB
Supply Voltage Rejection Ratio		70	80		65	80		dB

Note 1: The maximum junction temperature of the LM118 is 150°C, the LM218 is 110°C, and the LM318 is 110°C. For operating at elevated temperatures, devices in the TO-5 package must be derated based on a thermal resistance of 150°C/W, junction to ambient, or 45°C/W, junction to case. The thermal resistance of the dual-in-line package is 100°C/W, junction to ambient.

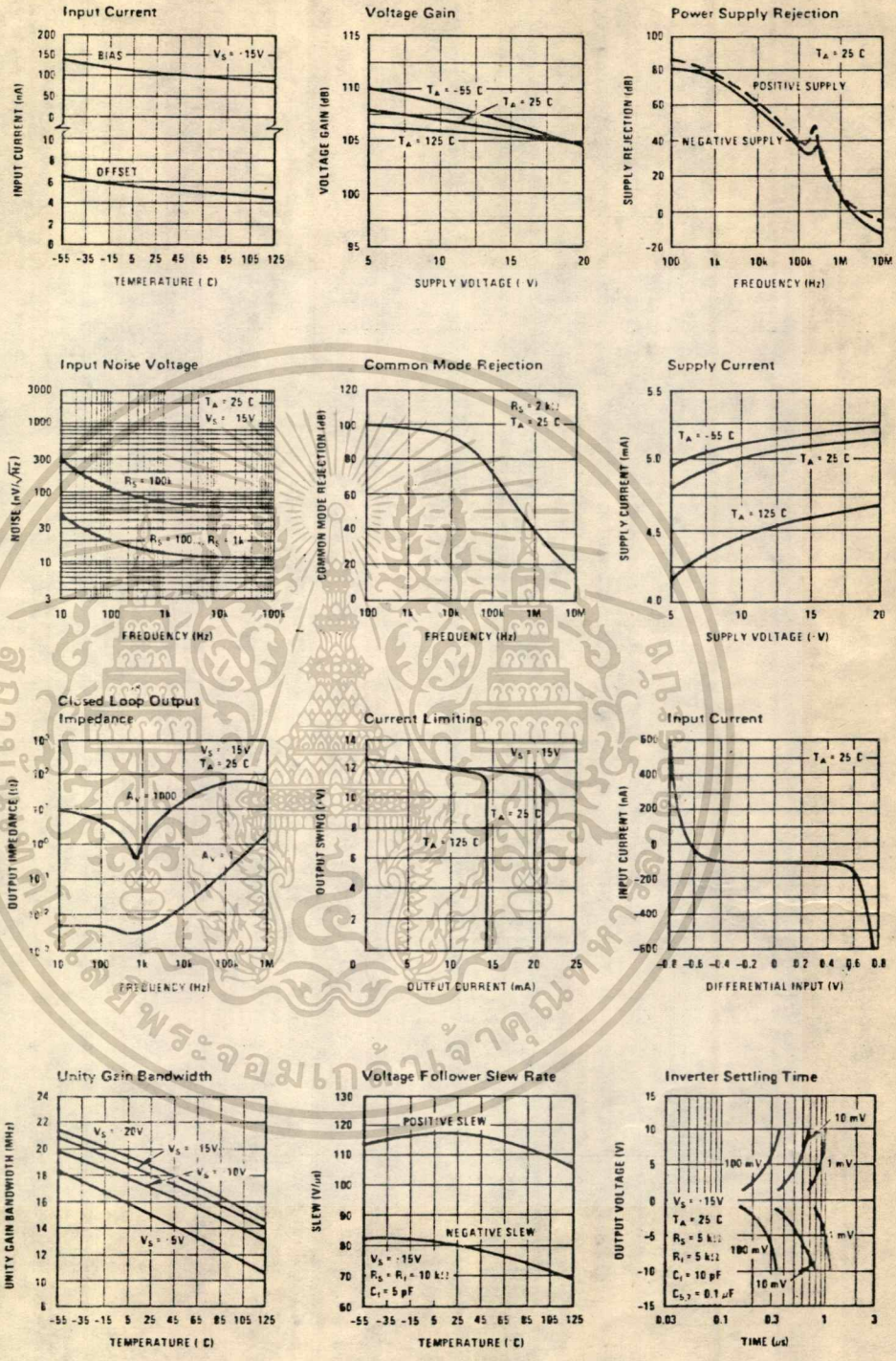
Note 2: The inputs are shunted with back-to-back diodes for overvoltage protection. Therefore, excessive current will flow if a differential input voltage in excess of 1V is applied between the inputs unless some limiting resistance is used.

Note 3: For supply voltages less than ±15V, the absolute maximum input voltage is equal to the supply voltage.

Note 4: These specifications apply for  $\pm 5\text{V} \leq V_S \leq \pm 20\text{V}$  and  $-55^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$  (LM118),  $-25^\circ\text{C} \leq T_A \leq +85^\circ\text{C}$  (LM218), and  $0^\circ\text{C} \leq T_A \leq +70^\circ\text{C}$  (LM318). Also, power supplies must be bypassed with 0.1 $\mu\text{F}$  disc capacitors.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

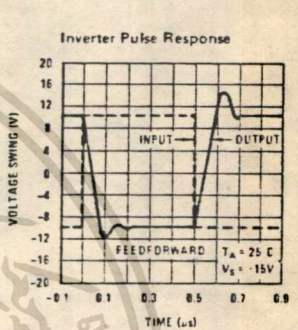
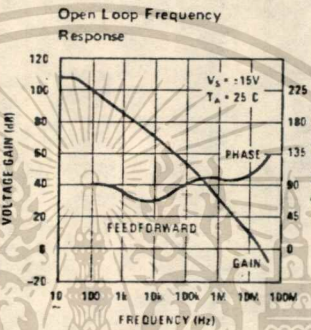
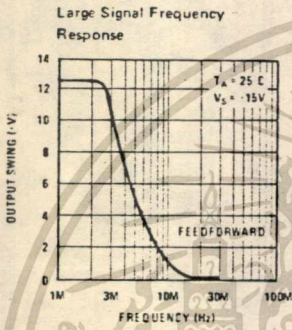
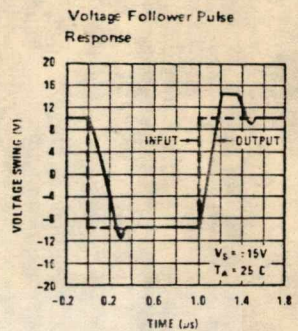
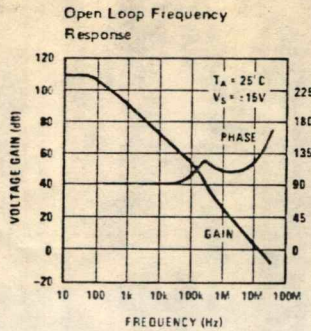
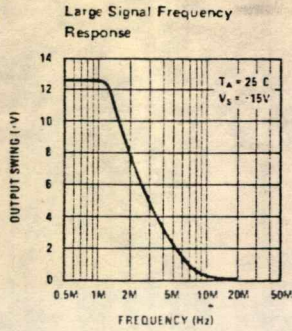
Typical Performance Characteristics LM118, LM218



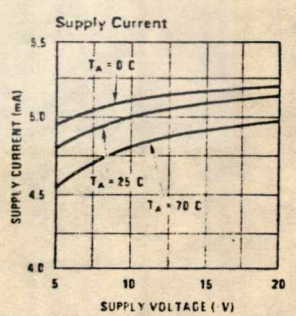
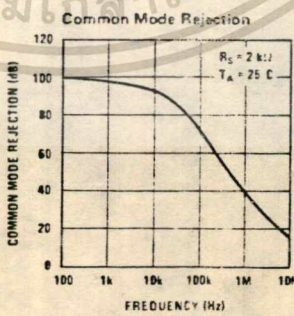
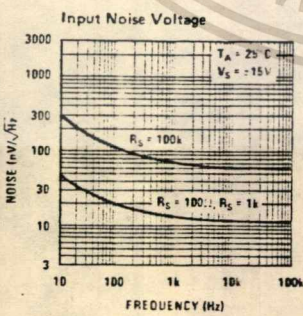
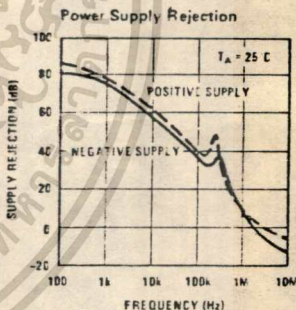
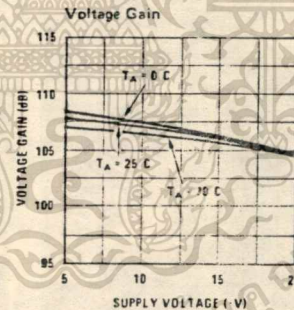
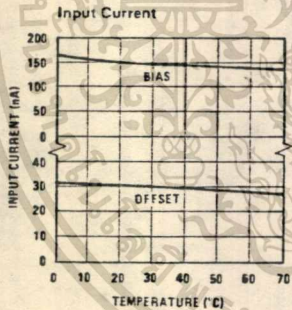
- UNITS
- mV
  - nA
  - nA
  - M $\Omega$
  - V/mV
  - V/ $\mu$ s
  - MHz
  - mV
  - nA
  - nA
  - V
  - V
  - dB
  - dB
  - elevated junction
  - initial input
  - $°C \leq T_A$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
 ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Characteristics LM118, LM218 (Continued)

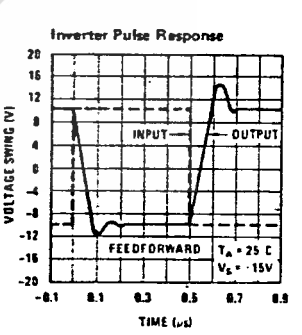
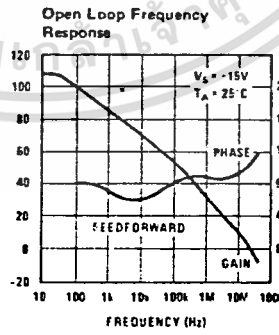
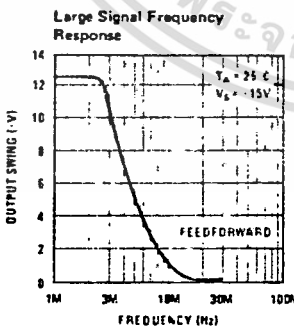
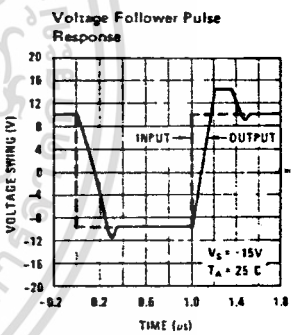
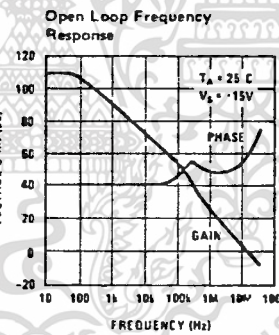
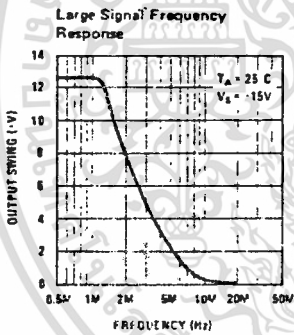
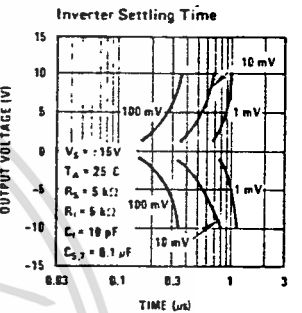
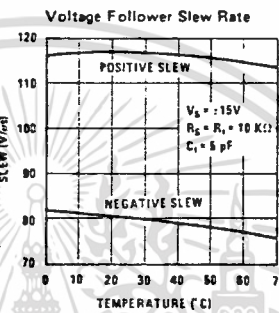
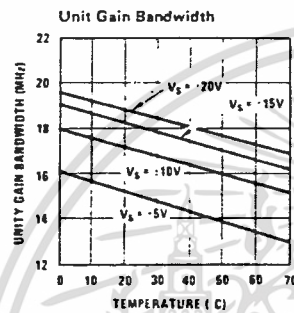
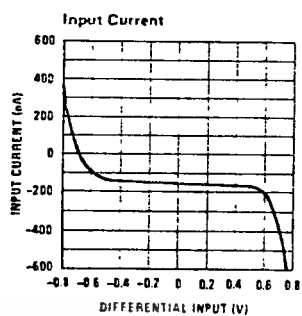
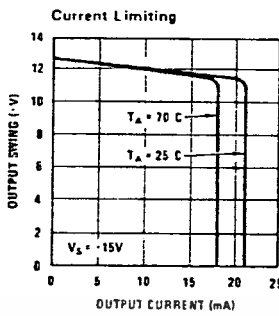
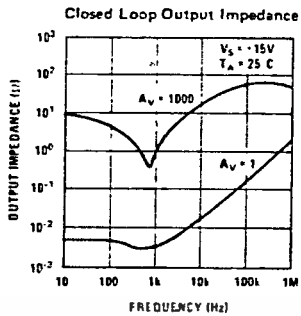


Typical Performance Characteristics LM318



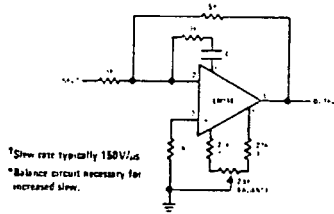
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
 ไม่ว่าการณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Characteristics LM318 (Continued)



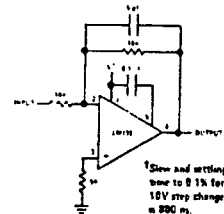
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
 ไม่ว่าการณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Auxiliary Circuits



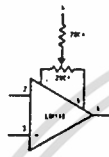
<sup>1</sup>Stew rate typically 150V/μs  
<sup>2</sup>Balance point necessary for increased stew.

Feedforward Compensation for Greater Inverting Stew Rate<sup>1</sup>

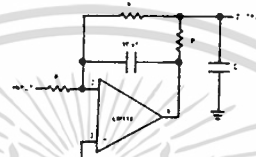


<sup>1</sup>Stew and settling time to 0.1% for a 10V step change in 800 ns.

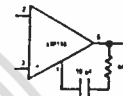
Compensation for Minimum Settling<sup>1</sup> Time



Offset Balancing

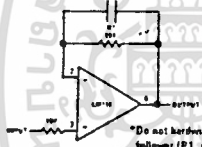


Isolating Large Capacitive Loads



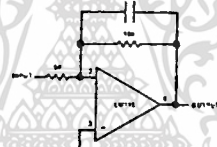
Overcompensation

Typical Applications

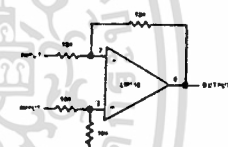


<sup>1</sup>Do not hardware as voltage follower (P1 & B.2)

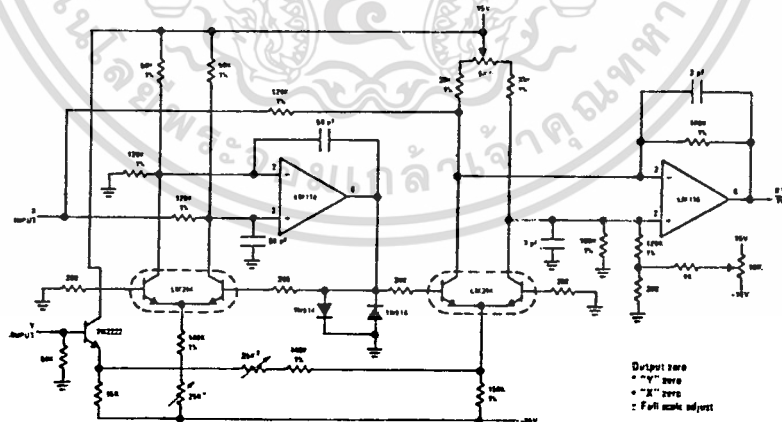
Fast Voltage Follower<sup>1</sup>



Fast Summing Amplifier



Differential Amplifier

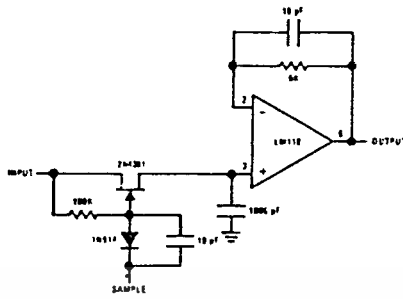


Four Quadrant Multiplier

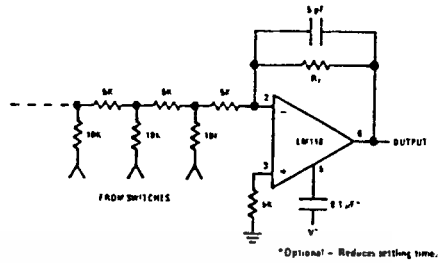
Output zero  
 = 0V zero  
 = 0V zero  
 = Full scale adjust

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
 ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้.

Typical Applications (Continued)

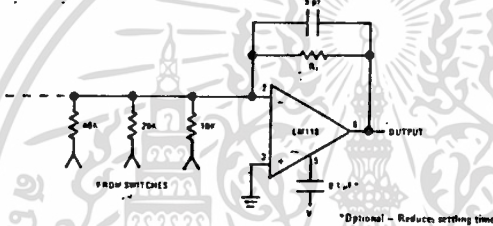


Fast Sample and Hold



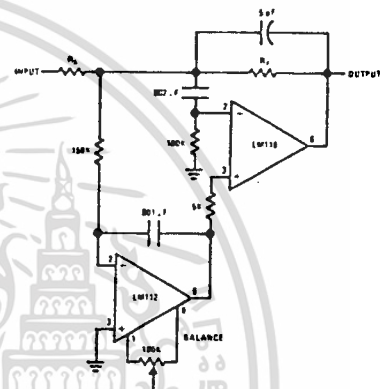
D/A Converter Using Ladder Network

\*Optional - Reduce settling time.

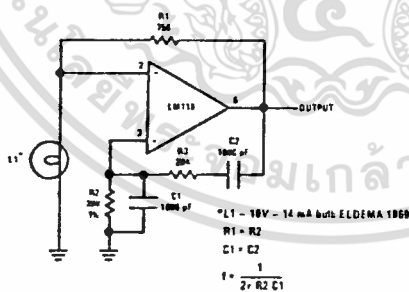


D/A Converter Using Binary Weighted Network

\*Optional - Reduce settling time.

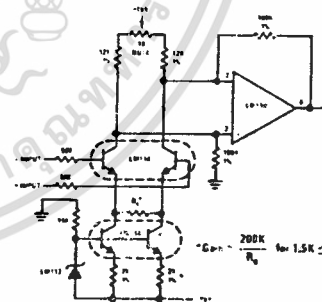


Fast Summing Amplifier with Low Input Current



Wein Bridge Sine Wave Oscillator

\*LT - 10V - 14 mA bulb, ELDEMA 1989  
 $R1 = R2$   
 $C1 = C2$   
 $f = \frac{1}{2\sqrt{R2 C1}}$



Instrumentation Amplifier

\*C<sub>in</sub> = 200k for 1.5k ≤ R<sub>1</sub> ≤ 200k

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้拿去ใช้ประโยชน์ทางการค้า  
 ไม่ว่าการณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้