ปีการศึกษา 2531

เครื่องสื่อสารข้อมูลดิจิตอลผ่านสายส่งไฟฟ้ากำลัง

โดย

นาย กสิน	วิเชียรชม	281019
นาย ธานินทร์	ปัญญานนท์วาท	281104
นาย ยุทธนา	ธงชัยกุล	281188
นาย วสันต์	สุขจิตร	281204
นาย สฐิติ	สมบูรณ์ผล	281249

อาจารย์ที่ปรึกษา

อ.พลผดุง ผดุงกุล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

023135 -8 ส.ค. 2532

ปริญญานิพนธ์ปีการศึกษา 2531

เรื่อง เครื่องสื่อสารข้อมูลดิจิตอลผ่านสายส่งไฟฟ้ากำลัง

ผู้จัดทำ

1. นาย กสิน วิเชียรชม 281119
2. นาย ธานินทร์ ปัญญานนท์วาท 281104
3. นาย ยุทธนา ธงชัยกุล 281188
4. นาย วสันต์ สุชจิตร 281204
5. นาย สฐิติ สมบูรณ์ผล 281249

อาจารย์ที่ปรึกษา

(อ. พลผดุง ผดุงกุล)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

023135

เครื่องสื่อสารข้อมูลดิจิตอลผ่านสายส่งไฟฟ้ากำลัง

นาย กสิน วิเชียรชม 281019
นาย ธานินทร์ ปัญญานนท์วาท 281104
นาย ยุทธนา ธงชัยกุล 281188
นาย วสันต์ สุขจิตร 281204
นาย สฐิติ สมบูรณ์ผล 281249

อาจารย์ที่ปรึกษา

อ.พลผดุง ผดุงกุล

ปีการศึกษา 2531

บทคัดย่อ

เครื่องสื่อสารข้อมูลดิจิตอล (Digital) ผ่านสายส่งไฟฟ้ากำลัง เป็นอุปกรณ์สำหรับการสื่อสารข้อมูลดิจิตอลที่มีลักษณะการส่งแบบอนุกรม โดยเป็นการส่งข้อมูลระหว่างเครื่องคอมพิวเตอร์ 2 เครื่องภายในอาคารเดียวกัน ผ่านสายส่งไฟฟ้ากำลัง ซึ่งจะช่วยลดค่าใช้จ่ายในการเดินสายสำหรับส่งข้อมูลอุปกรณ์ดังกล่าวอาศัยหลักการผสมสัญญาณข้อมูลแบบ เอฟ เอส เค (Frequency Shift Keying Modulation) ระหว่างข้อมูลดิจิตอลกับสัญญาณคลื่นพาห์ความถี่ 125 กิโลเฮิร์ซ(kHz) แล้วส่งผ่านสายไฟฟ้ากำลังภายในอาคารโดยมีรูปแบบการส่ง(Protocal) ที่แน่นอน

สำหรับปริญญานิพนธ์นี้ เป็นการศึกษาถึงความเป็นไปได้ในการสื่อสารข้อมูลด้วยวิธีดังกล่าว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DIGITAL DATA TRANCIEVER BY POWER LINE

KASIN	VICHIENCHOM	281019
THANIN	PANYANONWAT	281104
YUTHANA	THONGCHAIKUL	281188
WASAN	SUKCHIT	281204
SATHITI	SOMBOONPHOL	281249

ADVISER

POLPADUNG PADUNGKUL

YEAR 1988

ABSTRACK

DIGITAL DATA TRANCIEVER BY POWER LINE IS THE EQUIPMENT FOR SERIES DIGITAL DATA COMMUNICATION BETWEEN MICROCOMPUTER IN BUILDING. THIS EQUIPMENT USES A.C. POWER LINE AS TRANSMISSION LINE. THE BASIC OF THE NEW METHOD IS THE USING OF FSK MODULATION BETWEEN DIGITAL SIGNAL AND CARRIER FREQUENCY 125 KHz , THEN COUPLING INTO A.C. POWER LINE. THIS COMMUNICATION MUST HAVE PROTOCAL.

THIS THESIS IS THE STUDY OF POSIBILITY OF THAT METHOD.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

บทที่ 1 บทนำ

บทที่ 2 ทฤษฎีและหลักการ

2.1 ระบบการสื่อสารข้อมูล

2.2 FSK (FREQUENCY SHIFT KEYING)

2.3 LM 1893 CARRIER CURRENT TRANCEIVER

บทที่ 3 การคำนวณ และ การสร้าง

3.1 ลักษณะการทำงาน

3.2 ส่วนควบคุมและประมวลผล

3.3 วงจรเข้ารหัส และ ถอดรหัส

3.4 วงจรเปลี่ยนข้อมูลขนาน เป็น อนุกรม

3.5 วงจรส่วนอินเตอร์เฟสกับสายส่งไฟฟ้ากำลัง

3.6 การทำงานโดยโปรแกรม

บทที่ 4 การทดลอง และ ผลการทดลอง

บทที่ 5 วิจารณ์ และ สรุป

ภาคผนวก

กิตติกรรมประกาศ

หนังสืออ้างอิง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1

บทนำ

ปัจจุบันการสื่อสารได้มีการพัฒนามากขึ้นเป็นลำดับ โดยมีจุดเริ่มแรกจากโทรเลข วิทยุกระจายเสียง โทรศัพท์ จนมาถึงยุคปัจจุบันที่คอมพิวเตอร์ได้เข้ามามีบทบาทสำคัญซึ่งมีส่วนทำให้ระบบการสื่อสารมีประสิทธิภาพสูงมากขึ้นซึ่งทำให้การสื่อสารมีความจำเป็น และมีอิทธิพลต่อความเป็นอยู่ของมนุษย์ทั้งในปัจจุบันและอนาคต กิจการหลายอย่างได้อาศัยความก้าวหน้าและความสะดวกสบายของการสื่อสารข้อมูล เช่น กิจการธนาคาร สายการบิน หรือ ธุรกิจโรงแรม ทำให้มีการพัฒนาและค้นคิดเทคโนโลยีใหม่ ๆ เกี่ยวกับการสื่อสารข้อมูลกันตลอดเวลา ดังนั้นเทคโนโลยีในด้านนี้จึงเป็นเรื่องราวที่น่าสนใจและมีความจำเป็นด้านหนึ่งในปัจจุบันและต่อไปในอนาคต

สำหรับ ปริญญานิพนธ์ นี้เป็นการศึกษาเกี่ยวกับการส่งข้อมูลดิจิตอลโดยผ่านสายส่งไฟฟ้ากำลัง ซึ่งเป็นการส่งข้อมูลรูปแบบหนึ่งโดยสามารถลดค่าใช้จ่ายในการเดินสายส่งข้อมูลลงได้มาก และนอกจากจะใช้เทคนิคนี้ในการส่งข้อมูลแล้วยังสามารถนำมาประยุกต์ใช้ในงานอื่น ๆ อีก เช่น ในระบบรักษาความปลอดภัย , ใช้ในการควบคุมการทำงานของอุปกรณ์ไฟฟ้าภายในบ้าน , การควบคุมระบบจ่ายไฟฟ้าเช่นงานของการไฟฟ้า เป็นต้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2

ทฤษฎี และ หลักการ

2.1 ระบบการสื่อสารข้อมูล

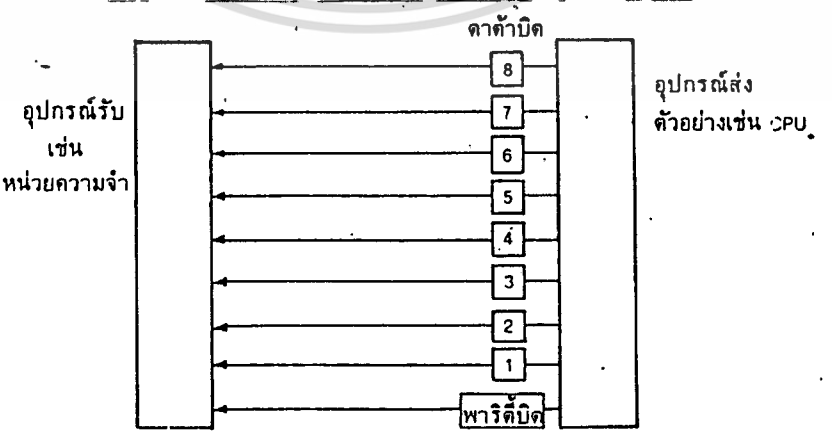
การรับส่งข้อมูลสามารถแบ่งออกได้เป็น 2 วิธีด้วยกันคือ

1. การรับส่งข้อมูลแบบขนาน

ลักษณะการส่งข้อมูลแบบขนาน ทำได้โดยส่งข้อมูลออกมาทีละ 1 ไบต์ คือ 8 บิต จากอุปกรณ์ส่งไปยังอุปกรณ์รับ ตัวกลางระหว่าง 2 เครื่องจะต้องมีช่องทางให้ข้อมูลเดินทางอย่างน้อย 8 ช่องทาง โดยมากจะเป็นสายไฟฟ้าให้กระแสวิ่งมากกว่า จะเป็นตัวกลางชนิดอื่น เนื่องจากมีสัญญาณสูญหายไปกับความต้านทานของสาย ระยะทางระหว่าง 2 เครื่อง ไม่ควรจะเกิน 100 ฟุต ปัญหาที่เกิดขึ้นหากระยะทางของสายมากกว่านี้ก็คือ ระดับของกราวนด์ในทางไฟฟ้าที่จุดรับผิดไปจากจุดส่ง ทำให้เกิดการผิดพลาดในการรับสัญญาณลอจิกทางฝ่ายรับ

นอกจากสายที่เป็นทางเดินข้อมูลแล้วอาจมีทางเดินของสายควบคุมอื่นๆอีก เป็นต้นว่า บิตที่บอกพาริตี้ของสัญญาณ เพื่อเป็นการตรวจสอบความผิดพลาดของการรับสัญญาณที่ปลายทางหรือสายที่ควบคุมการโต้ตอบ (hand-shake)

จะเห็นได้ว่าการรับส่งข้อมูลแบบขนานนั้นถึงแม้ว่าจะมีความเร็วมากกว่าแบบอนุกรมอยู่มากก็ตาม แต่ก็ต้องใช้จำนวนสายในการส่งผ่านข้อมูลเป็นจำนวนมากกว่าแบบอนุกรมทำให้สิ้นเปลืองค่าใช้จ่ายมากขึ้น และยังมีการลดทอนของสัญญาณมากกว่าแบบอนุกรมอีกด้วย ทำให้เกิดความผิดพลาดในการส่งข้อมูลได้ง่าย



รูป 2.1 แสดงการส่งข้อมูลแบบขนาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2. การรับส่งข้อมูลแบบอนุกรม

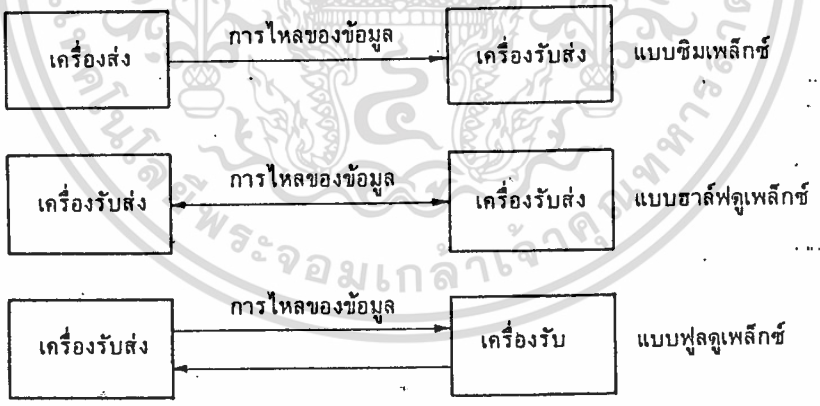
ในการรับส่งข้อมูลแบบอนุกรม ข้อมูลถูกส่งออกมาทีละบิต ระหว่างจุดส่งและจุดรับซึ่งการส่งข้อมูลแบบนี้จะช้ากว่าแบบขนานแน่นอน แต่ตัวกลางที่ใช้ในการสื่อสารจะใช้สายเพียงคู่เดียว ค่าใช้จ่ายในสื่อกลางจะต้องถูกกว่าอย่างแน่นอน สำหรับการสื่อสารในระยะทางไกลๆซึ่งเรามีระบบสื่อสารทางโทรศัพท์ไว้ใช้งานอยู่แล้วจึงย่อมเป็นการประหยัดกว่าที่จะทำการติดต่อสื่อสารทีละ 8 ช่องเพื่อการรับส่งข้อมูลแบบขนาน

การติดต่อสื่อสารแบบอนุกรมมีรูปแบบการติดต่อ 3 รูปแบบด้วยกันคือ

1. แบบซิมเพล็กซ์ (simplex) ข้อมูลจะสามารถส่งได้ในทิศทางเดียวเท่านั้น บางครั้งก็เรียกว่าการส่งข้อมูลทิศทางเดียว (unidirection data bus)

2. แบบฮาล์ฟดูเพล็กซ์ (half duplex) ข้อมูลสามารถส่งได้ทั้ง 2 สถานี แต่จะต้องผลัดกันส่งและผลัดกันรับ จะส่งและรับพร้อมกันไม่ได้

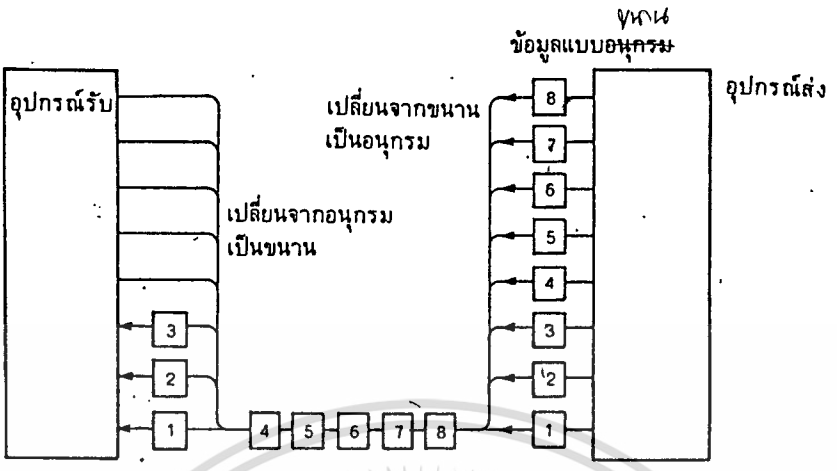
3. แบบฟูลดูเพล็กซ์ (full duplex) ทั้งสองสถานีสามารถรับและส่งได้ในเวลาเดียวกัน



รูปที่ 2.2 รูปแบบการติดต่อสื่อสารข้อมูลแบบอนุกรม

การส่งแบบฟูลดูเพล็กซ์และฮาล์ฟดูเพล็กซ์ ไม่ขึ้นอยู่กับจำนวนของสายในการติดต่อ ซึ่งในการติดต่อสื่อสารกันอาจจะใช้สาย 2 เส้นหรือ 4 เส้นก็ได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

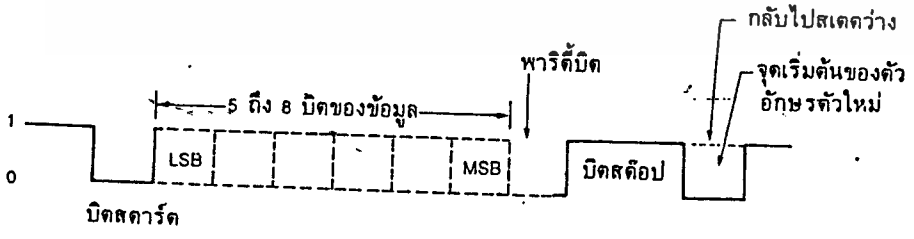


รูปที่ 2.3 การส่งข้อมูลแบบอนุกรม

จากรูปที่ 2.3 แสดงให้เห็นการส่งข้อมูลแบบอนุกรม ข้อมูลจากจุดส่งจะถูกเปลี่ยนให้เป็นอนุกรมเสียก่อนแล้วค่อยทยอยส่งออกทีละบิตไปยังจุดรับ ณ ที่จุดรับจะต้องมีกลไกในการเปลี่ยนข้อมูลที่ส่งมาทีละบิต ให้เป็นสัญญาณแบบขนานเช่นลงตัวพอดีนั่นคือ บิต 1 ลงที่บัสข้อมูลเส้นที่ 1 พอดี การที่จะทำให้การแปลงสัญญาณจากอนุกรมทีละบิตให้ลงพอดีนั้นจำเป็นจะต้องมีกลไกที่เหมาะสมเพื่อป้องกันการผิดพลาดในการรับ กลไกที่ว่านี้แบ่งเป็น 2 แบบคือ

1. การสื่อสารแบบอซิงโครนัส (Asynchronous)

การส่งแบบอซิงโครนัสนี้พัฒนามาจากการส่งโทรพิมพ์สมัยก่อน ลักษณะของสัญญาณแสดงไว้ในรูปที่ 2.4 เพื่อเพิ่มกลไกในการรับส่งอย่างถูกต้อง สัญญาณอซิงโครนัส จะประกอบด้วยบิตเริ่มต้นหรือบิตสตาร์ต (start) และบิตสิ้นสุดหรือบิตสต็อป (stop bit)



รูปที่2.4 ฟอร์แมตการสื่อสารแบบอซิงโครนัส

ขณะที่สถานะของการส่งเป็นแบบว่าง (idle) คือยังไม่มีสัญญาณส่งออกมาจะมีสัญญาณหรือแรงดันตลอดเวลา เพื่อความแน่ใจว่าฝ่ายรับยังคงติดต่ออยู่กับฝ่ายส่ง เมื่อเริ่มจะส่งข้อมูล สัญญาณของอะซิงโครนัสจะเป็น 0 หนึ่งช่วงสัญญาณนาฬิกา บิตนี้เรียกว่า สตาร์ทบิท ตามหลัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ของสตาร์ทบิทก็จะเป็นข้อมูลสำหรับ 1 ตัวอักษร ซึ่งอาจมีขนาดตั้งแต่ 5 บิตจนถึง 8 บิต โดยบิตที่มีค่าน้อยที่สุด (LSB) จะถูกส่งออกมาก่อนไล่ไปจนถึงบิตที่มีค่ามากที่สุด (MSB) การเข้ารหัสนิยมใช้รหัสแอสกี้ ตามหลังข้อมูลจะมีพาริตี้บิทซึ่งเป็นตัวตรวจสอบความถูกต้องของสัญญาณที่ได้รับ โดยอาจเป็นพาริตี้แบบคู่ (Even) หรือแบบคี่ (Odd) ถ้าหากเป็นพาริตี้แบบคู่จำนวนบิตที่เป็น 1 ในช่วงบิตข้อมูลกับบิตพาริตี้รวมแล้วต้องเป็นจำนวนคู่ ผู้ส่งจะต้องทำหน้าที่ตรวจสอบข้อมูลแล้วใส่บิตพาริตี้เอง โดยฝ่ายรับก็จะทำหน้าที่ตรวจสอบดู หากผิดพลาดหมายความว่าสัญญาณที่รับนั้นผิดพลาดไปจากสถานีส่งส่งออกมาและจะต้องผิดพลาดเป็นจำนวนคี่เท่านั้นจึงจะตรวจสอบได้หลังจากบิตพาริตี้แล้วก็จะต้องมีสต็อปบิตซึ่งเป็น 1 ความกว้างของสต็อปบิตอาจเป็น 1,1.5 หรือ 2 พัลซ์ของสัญญาณนาฬิกา แล้วแต่ผู้รับและผู้ส่งจะตกลงกันเอง

ดังนั้นในการใช้พอร์ตอนุกรมจึงจำเป็นต้องตั้งค่าต่างๆ สำหรับการส่งแบบอนุกรมคือ

1. ความเร็วในการส่ง
2. ความยาวรหัส 1 อักขระ
3. พาริตี้บิต
4. จำนวนสต็อปบิต

จะเห็นว่ากลไกในการซิงโครนัสของการสื่อสารอะซิงโครนัส มีลักษณะเป็นไปทีละตัวอักขระ จำนวนพัลซ์ของสัญญาณที่ส่งออกมามีบางส่วนใช้ในการควบคุมการส่ง ทำให้ความเร็วการส่งอักขระต่อวินาทีน้อยลงไป

2. การสื่อสารแบบซิงโครนัส (Synchronous)

ข้อแตกต่างระหว่างวงจรส่งข้อมูลอนุกรมแบบซิงโครนัสและอะซิงโครนัสก็คือความต่อเนื่องของข้อมูลที่ส่ง ในแบบซิงโครนัสข้อมูลที่ส่งออกมาเป็นแบบต่อเนื่องไม่มีบิตสตาร์ตหรือบิตสต็อปหรือแม้กระทั่งบิตพาริตี้ ดังนั้นรูปแบบการส่งข้อมูลที่ใช้ในการส่งข้อมูลหรือโปรโตคอล(Protocal) ที่ใช้ในการส่งแบบซิงโครนัสจึงแตกต่างไปจากโปรโตคอลแบบอะซิงโครนัส เช่นโปรโตคอลไบซิงค์ (Bisync Protocal) ของบริษัท IBMในการซิงโครนัสจะเริ่มทำที่จุดเริ่มต้นของการส่งข้อมูลเลยทีเดียว โดยสถานีส่งจะส่งอักขระนำหน้า (leading pad character)ไปยังสถานีรับก่อนที่จะเริ่มต้นส่งข้อมูล โดยอักขระนำหน้านี้จะประกอบด้วย 0 และ 1 สลับกันไปเพื่อใช้สถานีรับจัดสัญญาณนาฬิกาให้ตรงกันนอกจากนี้ก่อนข้อมูลจะส่งออกมาจะต้องมีอักขระที่เรียกว่า ซิงค์ (syn) ตามหลังแพด(pad) ออกมาก่อนโดยสถานีจะบอกความยาวข้อมูลและเครื่องหมายที่เป็นตัวบอกจุดเริ่มต้นของข้อมูลมาในซิงค์นี้ด้วย โดยอักขระซิงค์จะทำหน้าที่คล้ายบิตเริ่มต้นในอะซิงโครนัสซึ่งทำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หน้าทีบอกให้สถานีรับเตรียมพร้อมรับข้อมูล โดยขณะนี้เครื่องรับจะอยู่ในสถานะภาพฮั้น (Hunt) โดยบิตทุกบิตที่ผ่านเข้ามาจะถูกตรวจค้นหาอักขระซิงค์ก่อน เมื่อได้รับแล้วจึงเริ่มนับบิตที่เข้ามาเป็นจุดเริ่มต้นของสัญญาณ และ ซิงค์ จะถูกส่งออกมา 2 ครั้งก่อนทำการส่งข้อมูลเพื่อป้องกันการผิดพลาด และกลุ่มของข้อมูลส่วนหัวจะมีส่วนหัว(Heading) นำหน้ามาเพื่อบรรยายข้อมูลที่ส่งมแต่ละกลุ่มของข้อมูลที่ถกส่งออกจะได้รับการตรวจสอบความถูกต้องที่ฝ่ายรับโดยบล็อค เช็ค แคแรคเตอร์ (Block Check Character - BCC) ซึ่งเป็นกลุ่มตัวอักษรสำหรับการตรวจสอบความถูกต้อง โดยอาจมีวิธีในการตรวจสอบได้ 3 วิธีด้วยกันคือ

1. การตรวจสอบตามแนวตั้ง (Vertical Redundancy Checking-VRC)

2. การตรวจสอบตามแนวนอน (Longitudinal Redundancy Checking-LRC)

3. การตรวจสอบแบบไซคลิก (Cyclic Redundancy Checking-CRC)

จะเห็นได้ว่าวิธีการแบบซิงโครนัสจะมีประสิทธิภาพดีกว่าแบบอะซิงโครนัส เนื่องจากไม่มีสตาร์ทบิทและสต็อปบิท ทำให้สามารถส่งข้อมูลไปได้ทีละมากๆ

2.2 FSK (Frequency Shift Keying)

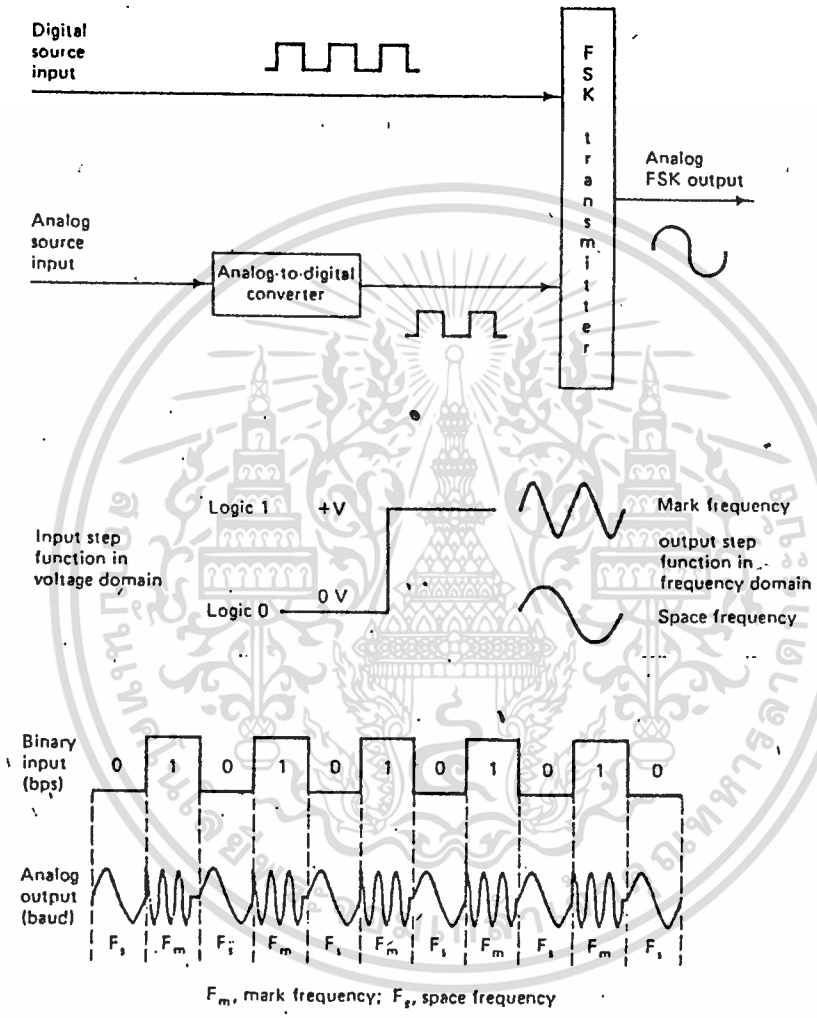
เอฟเอสเค(FSK) เป็นการมอดูเลทแบบดิจิตอล(Digital Modulation) แบบหนึ่งซึ่งมีลักษณะคล้ายคลึงกับการมอดูเลทแบบเอฟเอ็ม(Frequency Modulation) ธรรมดาทั่วไป แต่ต่างกันตรงที่สัญญาณที่จะนำมามอดูเลทด้วยนั้น(Modulating Signal)เป็นลักษณะของไบนารี่พัลซ์ (Binary Pulse) ซึ่งมีระดับโวลเตจคงที่อยู่ 2 ระดับซึ่งแตกต่างกับสัญญาณเอฟเอ็ม ซึ่งมีระดับของสัญญาณเปลี่ยนแปลงอย่างต่อเนื่อง (เป็นลักษณะของสัญญาณแบบอนาลอค (Analog)

ตัวส่งสัญญาณเอฟ เอส เค (FSK Transmitter)

ในสัญญาณแบบไบนารี่ เอฟ เอส เค (Binary FSK) ความถี่พาหะ (Carrier Frequency) จะถูกเลื่อนไปด้วยค่าข้อมูลในรูปเลขฐานสอง (Binary Data Input) ดังนั้นเอาท์พุทของเอฟ เอส เค มอดูเลเตอร์(FSK Modulator)จึงมีลักษณะเป็นเสเต็ปฟังก์ชั่น (Step Function) ในรูปของความถี่ เมื่อสัญญาณแบบไบนารี่ที่ถูกป้อนเข้ามาเปลี่ยนจากลอจิก "0" เป็น ลอจิก "1" (หรือกลับกัน) สัญญาณเอาท์พุทของเอฟ เอส เค จะเลื่อนไปมาระหว่างความถี่ 2 ความถี่ และสถานีรับและสถานีส่งจะใช้ความถี่ต่างกันในการมอดูเลทสัญญาณลอจิก "0" และสัญญาณลอจิก"1" การดีมอดูเลทต้องให้ตรงข้ามกับความถี่ของฝ่ายตรงข้ามส่งมา เช่น โมเด็ม 103 ในกรณีที่เป็นฝ่ายส่งจะส่งสัญญาณลอจิก"1" ด้วยความถี่ 1270 HZ.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ลอจิก "0" ด้วยความถี่ 1070 HZ. ขณะเดียวกันต้องรับด้วยความถี่ 2025 และ 2225 HZ. ตัวอย่างตัวส่งเอฟ เอส เค แบบไบนารี่แสดงดังรูปที่ 2.5



รูป 2.5 ตัวส่งสัญญาณเอฟ เอส เค แบบไบนารี่

แบนด์วิธ (Bandwidth) ของเอฟเอสเค

แบนด์วิธเป็นสิ่งสำคัญสิ่งหนึ่งที่ต้องคำนึงถึงเมื่อออกแบบ ตัวส่งเอฟเอสเคซึ่งแบนด์วิธของเอฟ เอส เค มีลักษณะเหมือนกับของเอฟเอ็มทั่วๆไป และสามารถอธิบายได้โดยหลักการคล้ายคลึงกัน รูป 2.6 แสดงถึงเอฟ เอส เค มอดูเลเตอร์ ซึ่งเป็นเครื่องส่งแบบเอฟเอ็ม แบบหนึ่ง โดยใช้ VCO (Voltage Control Oscillator) ความถี่ fo ของ VCO จะถูกตั้งให้อยู่ตรง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้ง

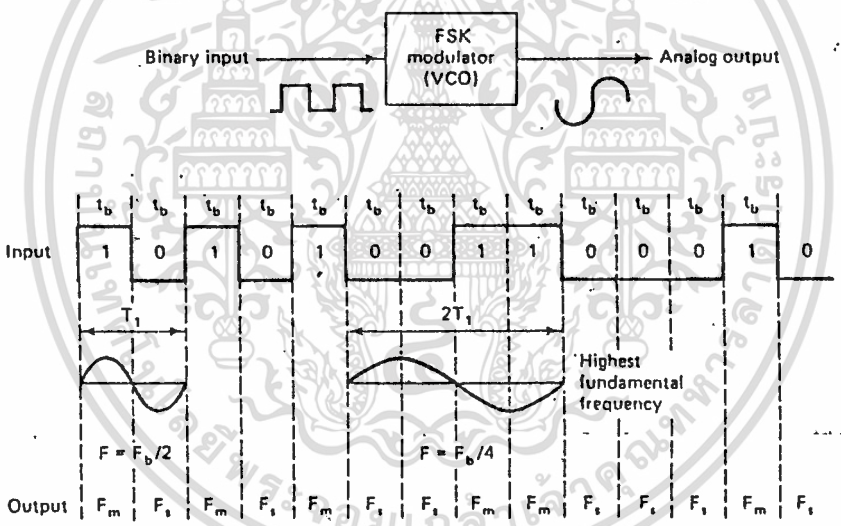
023135

กลางระหว่างความถี่ในสภาวะมาร์ค (Mark)และ สเปซ (Space) ถ้าอินพุทอยู่ในสภาวะลอจิก "1" จะทำให้ความถี่ของ VCO ถูกเปลี่ยนจากความถี่ fo ไปยังความถี่ของระดับสัญญาณมาร์ค (Mark) และที่อินพุทอยู่ในสภาวะลอจิก "0" ความถี่ของVCOจะถูกเปลี่ยนไปยังความถี่ของระดับสัญญาณสเปซ(SPACE) ดังนั้นถ้าอินพุทเป็นสัญญาณไบนารีซึ่งเปลี่ยนระดับจากลอจิก"1" ไปเป็นลอจิก "0" หรือกลับกันความถี่เอ้าท์พุทของ VCO จะเปลี่ยนไปมาระหว่างความถี่มาร์คและความถี่สเปซ และเนื่องจาก เอฟ เอส เค เป็นรูปแบบหนึ่งของเอฟเอ็ม สูตรของ ดัชนีการมอดูเลชั่น (Modulation Index) ของFSK จึงเหมือนกับของ FM โดยที่

ดัชนีการมอดูเลชั่น (MI) = F/Fa

F = Freq. deviation (HZ.)

Fa = Modulating Frequency (HZ.)



FSK modulator. t_b, Time of one bit = 1/bps; F_m, mark frequency; F_s, space frequency; T1, period of shortest cycle; 1/T1, fundamental frequency of binary square wave; F_b, input bit rate (bps).

รูปที่ 2.6 เอฟ เอส เค มอดูเลเตอร์

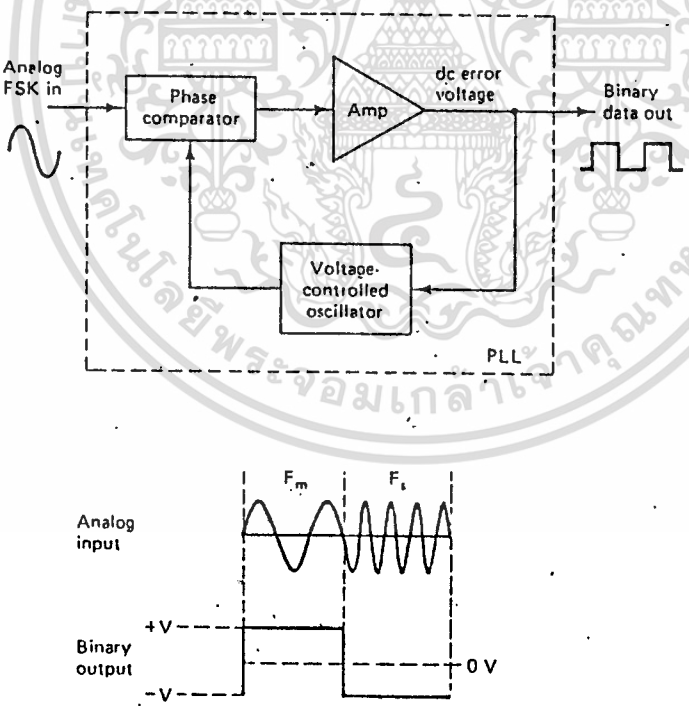
ตัวรับเอฟ เอส เค (FSK Reciever)

วงจรที่ใช้ในการดีมอดูเลท สัญญาณเอฟ เอส เค แบบทั่วๆไปคือเฟส ล็อค ลูฟ (Phase-Locked Loop - PLL) ดังแสดงในรูปที่ 2.7 เฟสล็อคลูฟ-เอฟ เอส เคดีมอดูเลเตอร์(PLL-FSK Demodulator)กับเฟส ล็อค ลูฟ- เอฟเอ็ม ดีมอดูเลเตอร์(PLL FM Demodulator)จะทำงานในลักษณะเดียวกัน อินพุทที่เข้าเฟสล็อกลูปจะเลื่อนไปมา อยู่ระหว่างความถี่ของมาร์คและสเปซ ดังนั้นดีซี โวลเตจ เออร์เรอร์(DC Error Voltage) ที่เอาท์พุทของเฟสคอมพารา-

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เตอร์ (Phase Comparator) จะมีค่าแปรตามความถี่ที่เลื่อนไปนี้ แต่เนื่องจากมีความถี่อินพุทเพียง 2 ความถี่เท่านั้น โดยค่าหนึ่งจะแทนลอจิก "1" และอีกค่าหนึ่งจะแทนลอจิก "0" ดังนั้นเอาท์พุทจึงมีระดับโวลเตจเพียง 2 ระดับเป็นลักษณะของไบนารี่ ซึ่งเป็นผลจากอินพุทที่เป็นแบบเอฟ เอส เค โดยทั่วไปความถี่ f_o ของเฟส ล็อค ลูฟ จะถูกทำให้มีค่าเท่ากับ ความถี่ศูนย์กลาง (Center Freq.) ของเอฟ เอส เค มอดูเลเตอร์ ดังนั้นการเปลี่ยนแปลงของดีซีเออร์เรอร์โวลเตจ จะมีค่าตามการเปลี่ยนแปลงของอินพุทแบบอนาลอก(Analog Input) และสมมาตรที่ระดับโวลเตจดีซี 0 โวลท์

แต่เมื่อเทียบกับการมอดูเลชั่นแบบ PSK หรือ QAM แล้วแบบเอฟ เอส เค จะมีการผิดพลาด มากกว่า ดังนั้นจึงไม่ใช้งานในระบบที่ต้องการความเร็วในการส่งข้อมูลสูงๆ ดังนั้น เอฟ เอส เค จึงใช้งานในระบบที่ต้องการความเร็วไม่สูงมากนัก , ราคาต่ำ เช่นใน การส่งข้อมูลผ่านโมเด็มในแบบอซิงโครนัส(Asynchronous Data Modems) ซึ่งใช้งานในการส่งข้อมูลแบบอนาลอกผ่านสายโทรศัพท์



รูปที่ 2.7 เฟสล็อคลูฟ-เอฟเอสเค ดีมอดูเลเตอร์

2.3 LM 1893 Carrier Current Transceiver

ข้อมูลสามารถส่งผ่านตัวกลางต่างๆกันได้หลายชนิด เช่นแสง (Optical) , ความถี่ย่านวิทยุ (Radio Frequency-RF) , อุลตร้าโซนิคหรือผ่านสายตัวนำต่างๆ ซึ่งแต่ละตัว

เอกสารนี้มีลิขสิทธิ์ ห้ามนำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กลางก็จะมีข้อจำกัดหรือข้อเสียอยู่ในตัวเอง เช่น ความถี่ย่านวิทยุไม่สามารถทะลุผ่านกำแพงได้, การเชื่อมโยงทางแสง สามารถทำงานได้เมื่อแสงสามารถเดินทางถึงเท่านั้น (แสงเดินทางเป็นเส้นตรง) , หรือถ้าส่งข้อมูลโดยผ่านสายตัวนำต่างๆก็จะเสียค่าใช้จ่ายในการเดินสายสูงมาก ดังนั้นวิธีการส่งข้อมูลโดยผ่านสายส่งไฟฟ้ากำลัง จึงถูกพัฒนาขึ้นมาใช้

สายส่งไฟฟ้ากำลังสามารถใช้เป็นตัวกลางในการส่งข้อมูลของระบบใหญ่ๆได้ เนื่องจากภายในอาคารทั่วๆไปจะมีการเดินสายส่งไฟฟ้ากำลังตลอดทั่วทุกจุดอยู่แล้ว ซึ่งนอกจากจะประหยัดค่าใช้จ่ายในการเดินสายแล้ว ยังสามารถติดต่อสื่อสารได้ง่ายโดยผ่านทางปลั๊กไฟซึ่งมีอยู่โดยทั่วไป แต่การส่งข้อมูลโดยใช้สายส่งไฟฟ้ากำลังเป็นตัวกลางนั้นไม่ค่อยจะเป็นที่นิยมทำกัน เนื่องจากปัญหาจากสัญญาณรบกวน เพราะในสายส่งไฟฟ้ากำลังไม่เพียงแต่จะมีเฉพาะไฟ 220 โวลท์เท่านั้น ยังมีสไปค์(Spike)ในสายซึ่งมีค่าสูงเป็นกิโลโวลท์อีกด้วย แต่ปัญหาเหล่านี้สามารถแก้ไขและป้องกันโดยใช้ IC LM 1893 ซึ่งจะทำหน้าที่ในการอินเตอร์เฟสกับสายส่งไฟฟ้ากำลัง (Power Line Interface) โดยสามารถทำหน้าที่เป็นทั้งตัวรับและตัวส่ง (Trenceiver) โดยใช้กระแสในการส่งข้อมูล(Carrier Current System) ซึ่งสามารถทำการติดต่อสื่อสารข้อมูลกับสถานีใกลๆได้เนื่องจากไม่มีการสูญเสีย (Loss) ของกระแสในสาย ซึ่งจะแตกต่างกับการส่งข้อมูลโดยใช้โวลเตจที่โอกาศของข้อมูลที่จะสูญเสีย ไปในสายจะมีมากกว่า และใช้วิธีมอดูเลชั่นแบบเอฟ เอส เค ซึ่งสามารถป้องกันสัญญาณรบกวนได้ดี โดยรูปแบบในการส่งข้อมูลจะเป็นแบบอนุกรม ชนิดฮาลฟ์ดูเพล็กซ์ (Half Duplex) แบบ 2 ทิศทาง(Bidirectional) และสามารถส่งข้อมูลได้ด้วยอัตราเร็วถึง 4800 บอด(Baud) และสามารถเลือกใช้คลื่นพาห์ในช่วงความถี่ 50 - 300 KHZ. นอกจากนี้ LM 1893 ยังถูกออกแบบให้สามารถป้องกันสัญญาณรบกวนแบบอิมพัลซ์ (Impulse Noise) ซึ่งเกิดจากสไปค์ ในสายและป้องกันการรบกวนในย่านคลื่นวิทยุ(RFI) ได้เป็นอย่างดี

วิธีพื้นฐานของการส่งข้อมูลโดยใช้กระแส(Carrier Current Communication)ก็คือการส่งและรับสัญญาณคลื่นพาห์ ซึ่งจะถูกมอดูเลท ด้วยข้อมูลบนสายไฟฟ้ากำลัง ในการส่งข้อมูลสถานีส่งจะต้องปรับตัวให้เหมาะสมกับค่าอิมพีแดนซ์ของสาย และในการรับข้อมูลนั้นสัญญาณที่รับได้จะมีระดับเพียงไม่กี่มิลลิโวลท์ ซึ่งนอกจากจะต้องมีการดีเท็คสัญญาณออกมาจากระดับโวลเตจของสาย (220 โวลท์) แล้ว ยังต้องมีการแยกสัญญาณออกมาจากสัญญาณรบกวน และสไปค์ ซึ่งมีระดับโวลเตจสูงเกิน 2 กิโลโวลท์อีกด้วย

ในการส่งข้อมูลจะใช้วิธีการมอดูเลทแบบ เอฟ เอส เค ซึ่งนอกจากจะป้องกันสัญญาณรบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กวนได้ดีแล้วยังง่ายในการส่งและการรับด้วยโดยจะมีการใช้ CCO (Current Control-Oscillator)ในการมอดูเลท และในภาครับก็จะมีการใช้ CCO เป็นส่วนหนึ่งของเฟสล็อกลูปในการดีมอดูเลท ด้วย

การส่งข้อมูลของ LM 1893

จากรูปที่2.8 ส่วนของ TX.จะมีหน้าที่ 2 อย่างด้วยกันคือ

1. เปลี่ยนสัญญาณอินพุทที่เป็นสัญญาณแบบดิจิตอลให้เป็น เอฟ เอส เค

2. ทำหน้าที่ขับสัญญาณของเอฟ เอส เค ให้เข้าไปในสายส่งไฟฟ้ากำลัง

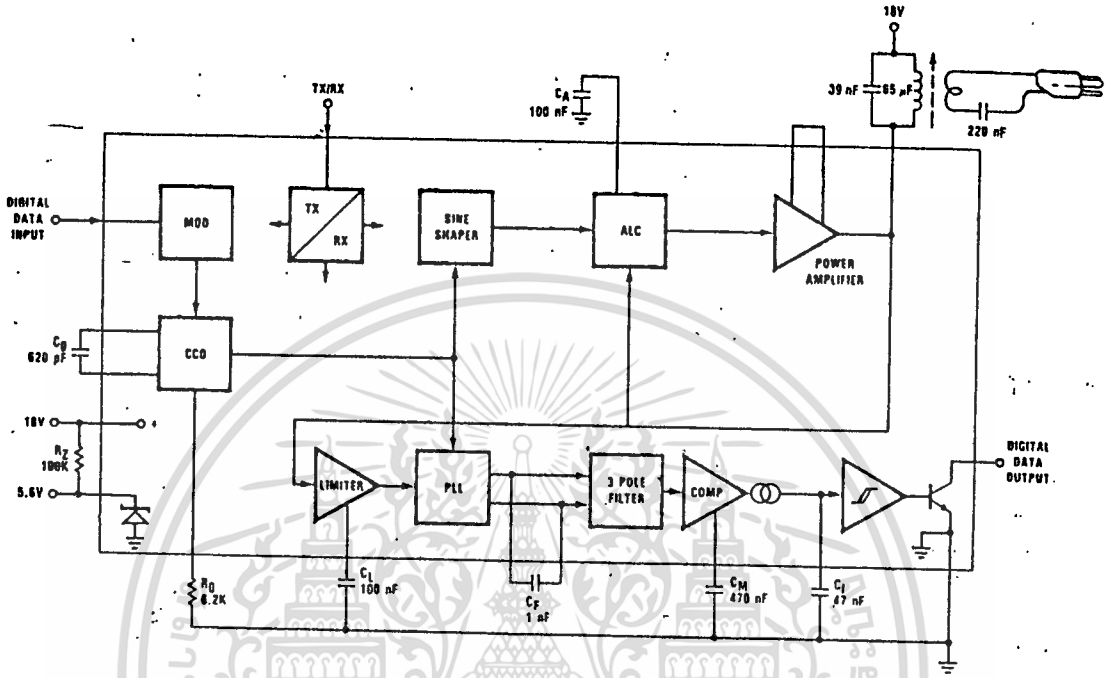
การเลือกโหมดการทำงานให้อยู่ในโหมดส่ง สามารถทำโดยปรับขา TX./RX. ให้อยู่ในสภาวะลอจิก " สูง " สัญญาณอินพุทที่เป็นดิจิตอลซึ่งมีระดับเทรชโฮลด์ (Threshold)ประมาณ 2 โวลท์จะไปกระตุ้นมอดูเลเตอร์ และ มอดูเลเตอร์จะไปทำให้ความถี่ของ CCO เบี่ยงเบนไป 2.5%จากค่าความถี่FO (Center Frequency) โดยความเบี่ยงเบน (ΔF) จะถูกตั้งให้อยู่ในช่วงความถี่ระหว่าง 50 300KHZ.ซึ่งสามารถกำหนดได้ด้วย [illegible] CO (ใช้ในค่าRO) หลังจากนั้นเอาท์พุทจาก CCO ซึ่งเป็นรูปสามเหลี่ยมจะถูกเปลี่ยนให้เป็นสัญญาณซายน์ที่มีความเพี้ยนรวม(Total Harmonic Distortion-THD)น้อยกว่า 2 เปอร์เซนต์โดยวงจรตกแต่งรูปคลื่น (Sine Shaper) ซึ่งสัญญาณซายน์ที่ได้จะผ่านวงจรควบคุมระดับแรงดันอัตโนมัติ(Automatic-Level Control-ALC) ก่อนที่จะเข้าสู่วงจรขยายกำลัง (Power Amp)เพื่อขับกระแส ค่าโวลเตจเอ้าท์พุทที่สวิง (SWING) จะถูกกำหนดโดยกระแสคงที่ 60 มิลลิแอมป์จากเอ้าท์พุทและค่าอิมพีแดนซ์ของโหลด ดังนั้นถ้าอิมพีแดนซ์โหลดมีค่าสูงอาจทำให้เอ้าท์พุทสวิงขึ้นไปสูงเกินกว่าค่าที่วงจรขยายกำลังจะสามารถทำงานได้ ซึ่งวงจรควบคุมระดับแรงดันอัตโนมัติจะช่วยลดเอ้าท์พุทลงมา แต่ถ้าโหลดอิมพีแดนซ์มีค่าต่ำซึ่งจะทำให้เอาท์พุทโวลเตจมีค่าต่ำมากเกินไป วงจรควบคุมระดับแรงดันก็จะทำงานอย่างเต็มที่ (Full Drive)

และเพื่อป้องกันการรบกวนของคลื่นย่านความถี่วิทยุในย่าน เอเอ็ม ซึ่งเกิดจากฮาร์โมนิคค่าต่างๆ ที่เป็นสาเหตุทำให้เอาท์พุทของสัญญาณที่ได้ไม่เป็นรูปซายน์ คัปปิ้งคอยล์ที่เอ้าท์พุท (Output Coupling Coil) ซึ่งมีหน้าที่คัปปิ้งสัญญาณเข้าสู่สายส่งไฟฟ้ากำลังต้องมีค่าQต่ำๆ และต้องออกแบบไม่ให้ฮาร์โมนิคของวงจรขับแบบคลาสบี หรือคลาสซีผ่านเข้ามาได้ ดังนั้นวงจรขับที่ใช้จะต้องเป็นวงจรขับแบบคลาสเอ

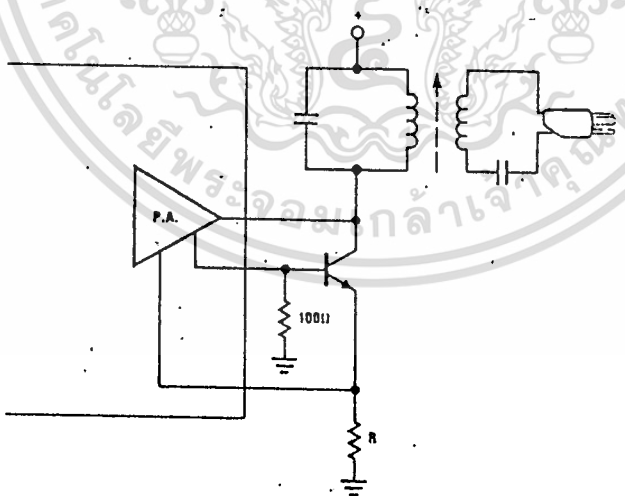
ในกรณีที่สายส่งไฟฟ้ากำลังมีค่าอิมพีแดนซ์ต่ำ จึงจำเป็นต้องเพิ่มกระแสที่เอาท์พุทเพื่อให้ได้ขนาดของแอมพลิจูดของสัญญาณตามต้องการ ดังนั้นจึงจำเป็นต้องต่อทรานซิสเตอร์ 1 ตัวและ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตัวต้านทาน 2 ตัวดังในรูปที่ 2. ซึ่งจะทำให้ได้กระแสที่เอาท์พุทถึง 600 ma p-p (ใช้ค่าตัวต้านทานค่าเท่ากับ 1.1 โอหม์) โดยกระแสที่เอาท์พุทจะเป็นส่วนกลับกับค่าความต้านทานนี้



รูป 2.8 แสดงถึงวงจรภายในของ Carrier Current Transceiver

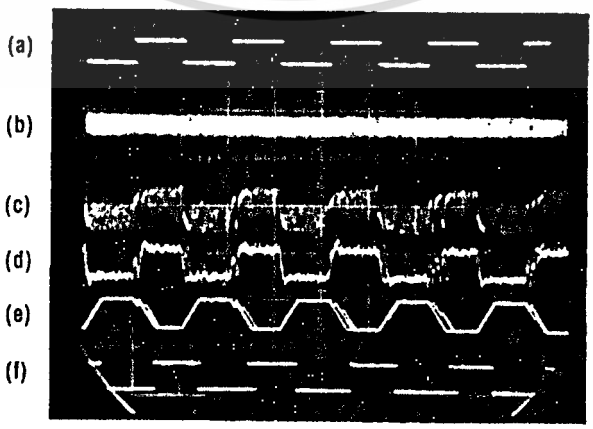


รูป 2.9 แสดงถึงวงจร Boost ของ Power-Amp.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การรับข้อมูล

โหมดรับจะถูกเลือกโดยการทำให้ขา TX/RX เป็นค่าลอจิก" ต่ำ " สัญญาณจะผ่านเข้ามาทางคัปปิ้งคอยล์อันเดียวกับที่ใช้ส่งและผ่านเข้าสู่วงจรลิมิตเตอร์ (Limiter)ซึ่งอินพุทของวงจรอินเวอร์เตอร์ (Inverter) จะต่ออยู่กับเอาท์พุทของวงจรขยายก้าลัง ดังนั้นจึงต้องมีการเลือกโหมดการทำงานให้แน่นอนเพียงโหมดใดโหมดหนึ่ง จากรูป 2.8 C_1 จะเป็นตัวกำหนดความถี่ค่าต่ำ (Low Freq.) ของวงจรลิมิตเตอร์ ส่วนความถี่ค่าสูง (High Freq.) จะถูกตั้งไว้ที่ 300 KHZ. หลังจากนั้นสัญญาณจะผ่านจากวงจรลิมิตเตอร์เข้าสู่วงจรเฟสล็อคลูป ซึ่งจะมีCCO ประกอบอยู่ด้วยโดยวงจรส่วนนี้จะเป็นส่วนของการดีมอดูเลชั่นสัญญาณเอฟเอสเค ซึ่งสัญญาณที่ขี่อยู่บนยอดของข้อมูลที่ดีเท็ค ได้ที่จุดนี้จะมีค่า 100 mv. p-p และมีความถี่เป็น 2 เท่าของความถี่พาห์จากนั้นสัญญาณนี้จะผ่านวงจรโลว์พาสฟิลเตอร์แบบพาสซีพ 3 โพล(Passive 3 Pole Low-Pass Filter) เพื่อกรองเอาสัญญาณที่มีความถี่2เท่าของความถี่พาห์อันนี้ทิ้งไป หลังจากนั้นข้อมูลที่ได้จะถูกทำให้เป็นสัญญาณรูปสี่เหลี่ยม (Square Wave) โดยวงจรดาต้าสไลซ์ซิ่งคอมพาราเตอร์ (Data Slicing Comparator) โดยที่คอมพาราเตอร์ตัวนี้จะมีการใส่ดีซีอ็อฟเซ็ต(DC Offset) ค่าหนึ่งเข้าไปในสัญญาณที่รับเข้ามาเพื่อหักล้างกับอ็อฟเซ็ต ที่เกิดจากภายในและภายนอก และสัญญาณที่ได้จะผ่านวงจรคอมพาราเตอร์ที่มีฮีสเทอรีเรอร์ซิสอีกทีหนึ่ง และเอาท์พุทที่ได้จะถูกต่อผ่านทรานซิสเตอร์แบบคอลเลคเตอร์เปิด (Open Collector) ซึ่งเอาท์พุทที่ได้จะสามารถขับวงจรลอจิกที่จะนำมาต่อในภายหลัง



รูปที่ 2.10 แสดงสัญญาณที่ส่วนต่างๆภายใน IM 1093

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ก. แสดงข้อมูลที่ใช้ส่ง

ข. สัญญาณที่รับจากคัปปิ้งคอยล์

ค. สัญญาณที่เอาท์พุทของเฟสล็อกลูปตัวรับ

ง. สัญญาณที่เอาท์พุทของโลว์พาสฟิลเตอร์แบบ 3 โพล

จ. สัญญาณข้อมูลที่เอาท์พุทของ LM 1496

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3

การคำนวนและการสร้าง

3.1 ลักษณะการทำงานรับส่งข้อมูล

วงจรรับส่งข้อมูลใช้เป็นส่วนอินเตอร์เฟสระหว่างหน่วยรับส่งข้อมูลซึ่งอาจเป็น คอมพิวเตอร์ ระบบรักษาความปลอดภัย

วงจรรับส่งข้อมูลประกอบด้วยส่วนสำคัญ 4 ส่วน คือ

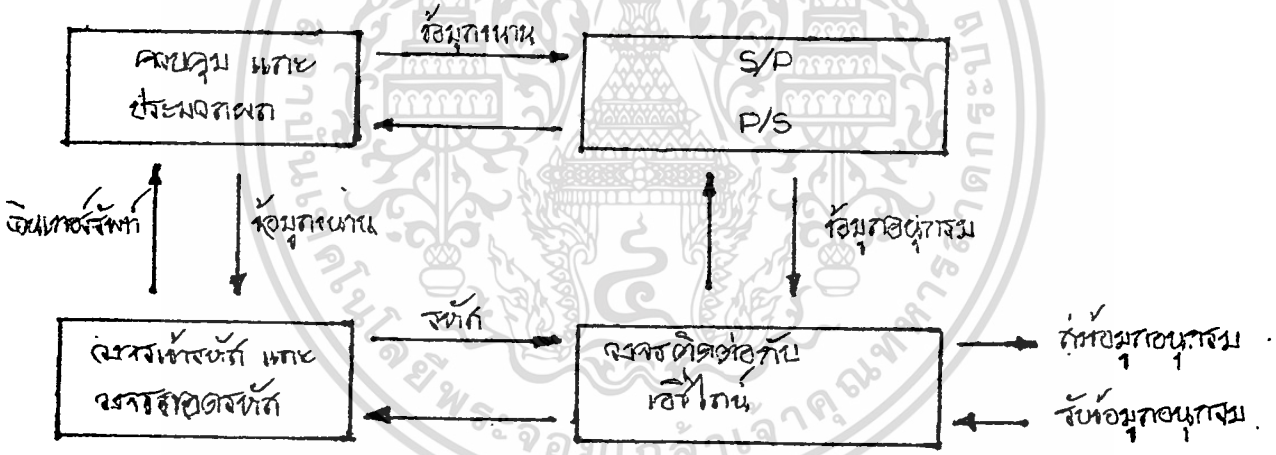
1) ส่วนควบคุมและประมวลผล

2) วงจรเปลี่ยนข้อมูลขนานเป็นอนุกรม และ เปลี่ยนข้อมูลอนุกรมเป็นขนาน

3) วงจรเข้ารหัสและถอดรหัส

4) วงจรส่วนติดต่อกับสายส่งไฟฟ้ากำลัง (Power line Interface)

ซึ่งมีผังการทำงานดังรูปที่ 3.1



รูปที่ 3.1 แผนผังการทำงานรับส่งข้อมูล

3.2 ส่วนควบคุมและประมวลผล

ใช้ไมโครคอมพิวเตอร์ไอบีเอ็มพีซี ที่มีไมโครโปรเซสเซอร์ 8088 เป็นหน่วยประมวลผลกลาง ทำงานที่สัญญานนาฬิกาความถี่ประมาณ 4.7-10 MHZ ทำหน้าที่ควบคุมการทำงานของวงจรทั้งหมดด้วยการสร้างสัญญานควบคุม ประมวลผลการรับส่งข้อมูลและแสดงผล

3.3 วงจรเข้ารหัสและถอดรหัส

จะทำงานสองลักษณะคือ

- เมื่อเป็นตัวส่งวงจรส่วนนี้จะรับข้อมูลจาก 8088 เพื่อเข้ารหัสส่งไปยังวงจรส่วนติดต่อ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สายส่งไฟฟ้ากำลังเพื่อส่งไปยังตัวรับ

เมื่อเป็นตัวรับวงจรนี้จะรับรหัสจากตัวส่งทำการถอดรหัสเปรียบเทียบว่า เป็นรหัสที่ถูกต้องหรือไม่ ถ้าเป็นรหัสที่ถูกต้องจะสร้างสัญญาณอินเทอร์รัพท์ส่งไปยังไอซี 8259 อินเทอร์รัพท์คอนโทรลเลอร์ (Interrupt Controller) สร้างสัญญาณอินเทอร์รัพท์ให้แก่ 8088 ทำให้ 8088 รู้ว่ามีผู้ต้องการติดต่อด้วย

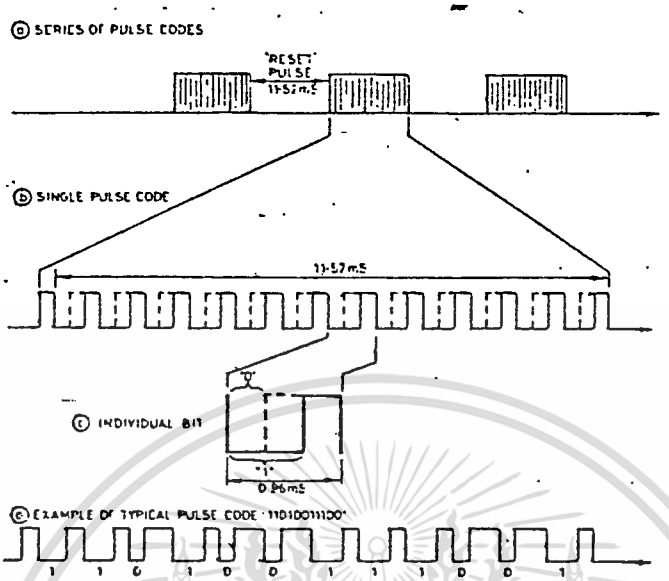
ส่วนสำคัญของวงจรเข้ารหัสและถอดรหัสคือไอซี MM53200N เป็นไอซีแบบมอสมี 18 ขาที่สามารถเข้ารหัสและถอดรหัสในตัวเดียวกันโดยจะมีลักษณะเป็นพัลซ์อนุกรมแบบพีซีเอ็ม(SERIES-PULSE CODE MODULATION)ซึ่งแสดงดังรูปข้างบนแต่ละรหัสจะมีระยะเวลาประมาณ 11.52 ms และระหว่างรหัสแต่ละรหัสจะมีสัญญานริเซ็ตซึ่งจะมีช่วงเวลา 11.52 ms เช่นกัน รหัสแต่ละรหัสประกอบด้วยบิท 12 บิท แต่ละช่วงบิทถ้าเป็นช่วง" ต่ำ " จะหมายถึงลอจิก "0" ถ้าเป็นช่วง" ต่ำ "ยาวจะหมายถึงลอจิก "1" บิททั้ง 12 บิทนี้สามารถกำหนดได้ด้วยการกำหนดสัญญานที่ขาบิท ซีเล็ค(BIT SELECT)ขา1ถึงขา12 ขาบิทซีเล็คนี้มีความต้านทานต่อพูลอัพ (PULL UP RESISTOR)ต่อยู่ภายใน ดังนั้นการปล่อยลอยจึงเท่ากับให้ผลลอจิก "1" และถ้าลงกราวด์จะเป็นลอจิก "0"

การทำงานทั้ง 2 โหมดของ MM53200N ได้แสดงไว้ดังรูปที่ 3.2 และ 3.3 ขา 15 จะเป็นขาเลือกโหมดการทำงานคือ ถ้าต่อไฟเลี้ยงจะเป็นโหมดส่งหรือเข้ารหัส ถ้าต่อลงกราวด์จะเป็นโหมดรับหรือถอดรหัส

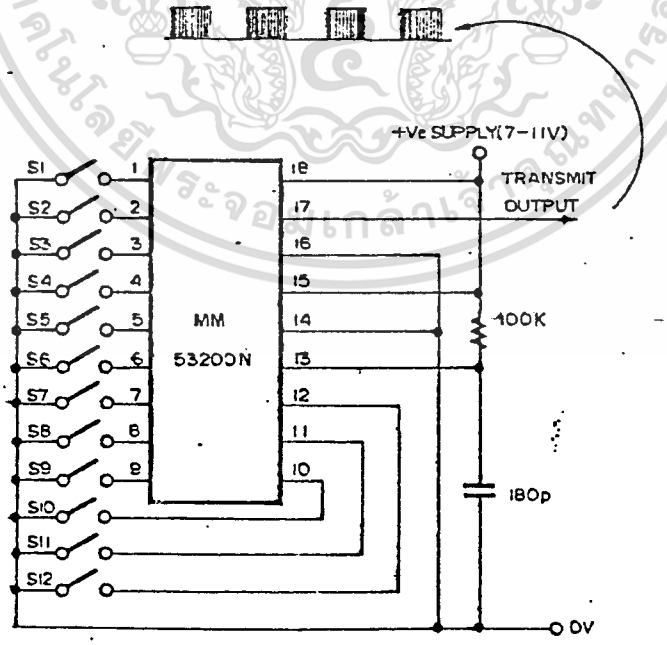
การทำงานในโหมดส่งขาบิทซีเล็คจะถูกสแกนเป็นลำดับจากขาที่ 1ไปขาที่ 12เพื่อผลิตพัลซ์อนุกรมออกทางขา 17 และส่งไปเรื่อยๆตราบใดที่ยังมีไฟเลี้ยงต่ออยู่ ดังนั้นเราจะยุติการส่งได้โดยการเปลี่ยนเป็นโหมดรับหรือถอดรหัส

การทำงานในโหมดรับ จะรับพัลซ์อนุกรมเข้าทางขาที่16 สัญญานอินพุทจะถูกป้อนผ่านวงจรชมิทท์ทริกเกอร์เพื่อตัดสัญญานรบกวนคือพยายามทำให้เป็นคลื่นรูปสี่เหลี่ยมมากที่สุดแล้วเปรียบเทียบกับสัญญานที่กำหนดไว้แล้วจากขาบิทซีเล็ค ถ้าสัญญานอินพุทเป็นรหัสที่ไม่ถูกต้องวงจรภายในจะ รีเซ็ตการเปรียบเทียบในบิทต่อไป และจะรอสัญญานพัลซ์ต่อไป ถ้าสัญญานรหัสเข้ามาใหม่ถูกต้อง ทั้ง 12 บิทวงจรภายในจะสร้างสัญญานแวลิท(VALID)ซึ่งจะถูกเคลียร์ทุกๆ 64 ms และสัญญานแวลิทจะถูกนับด้วย 3 สเตจเค้านท์เตอร์(3 Stage Counter)ดังนั้นเมื่อได้รับรหัสที่ถูกต้อง 4 ครั้ง จะทำให้ขา 17 ซึ่งปกติจะเป็นลอจิก "สูง"เปลี่ยนเป็นลอจิก "ต่ำ"

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

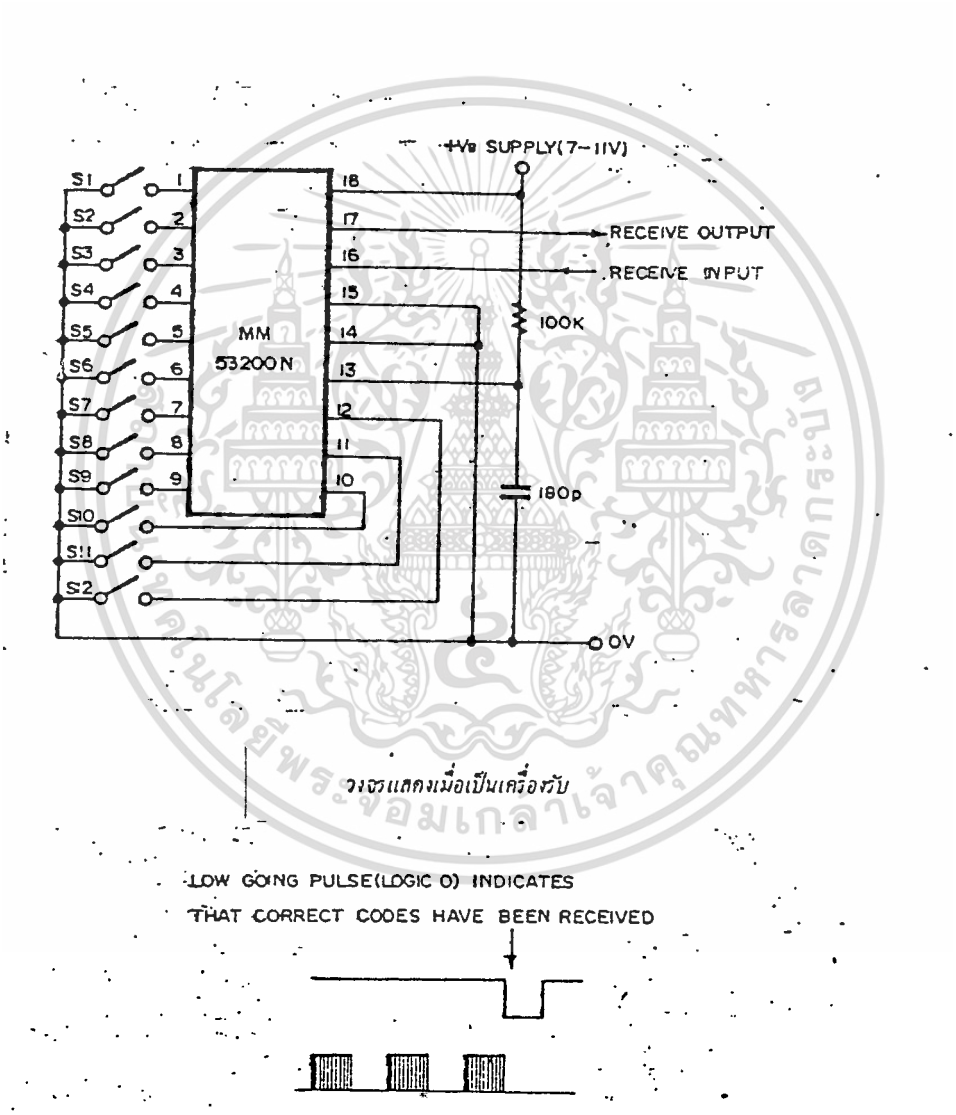


รูปลักษณะต่าง ๆ



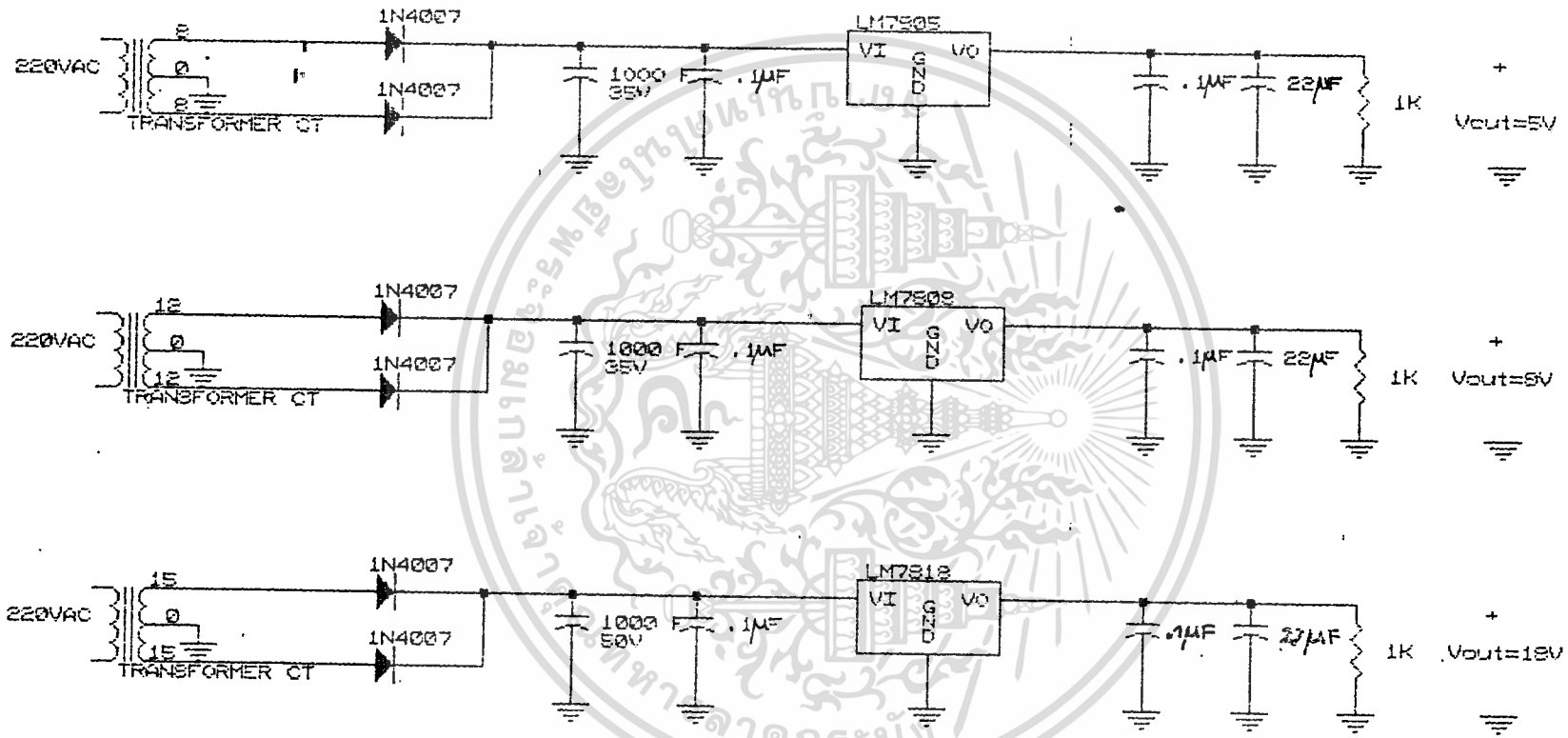
รูปที่ 3.2 วงจรแสดงเมื่อเป็นเครื่องส่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



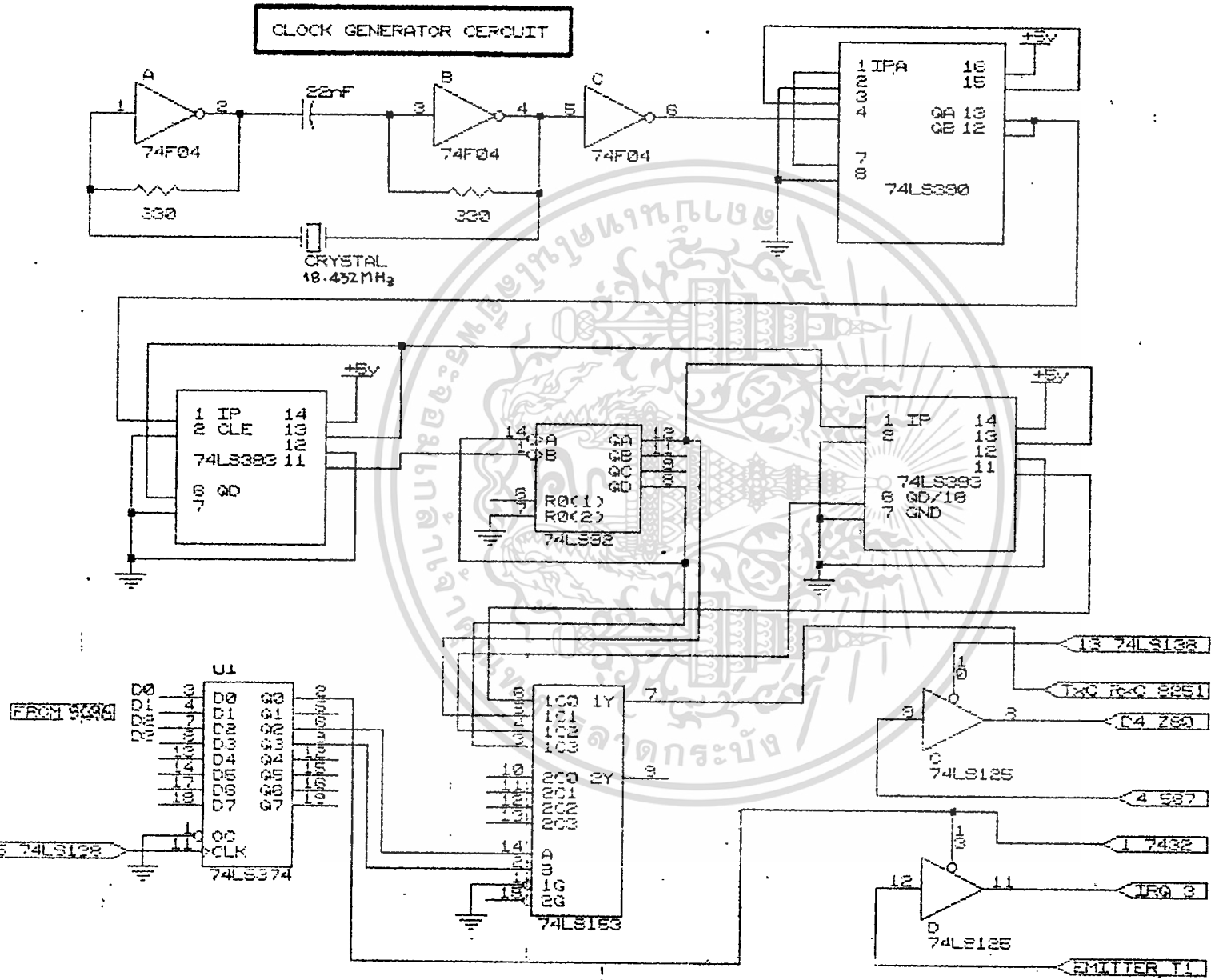
รูปที่ 33 แสดงพัลส์ของอินพุทและเอ้าท์พุทเมื่อขณะรับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

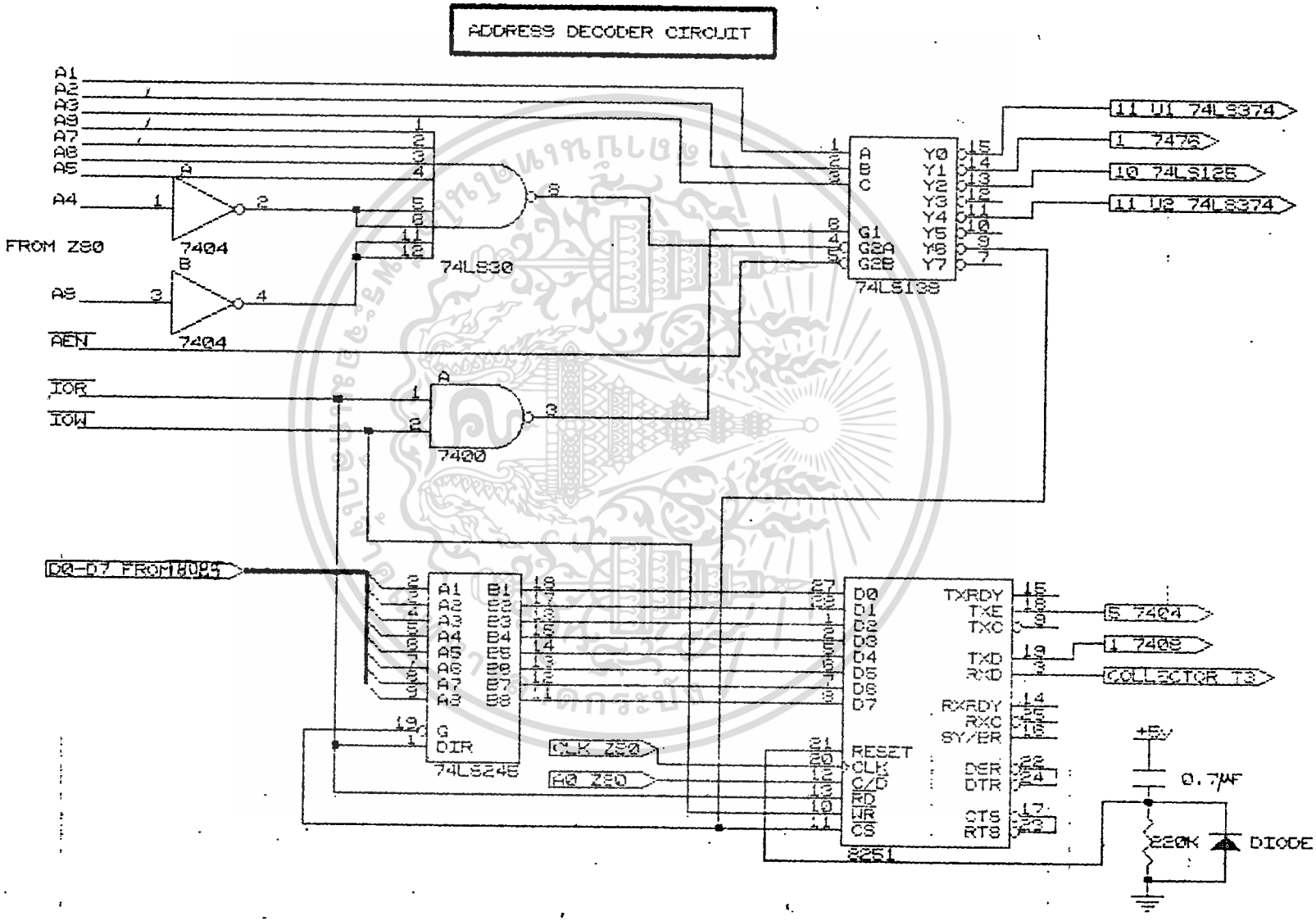


REGULATOR CIRCUIT

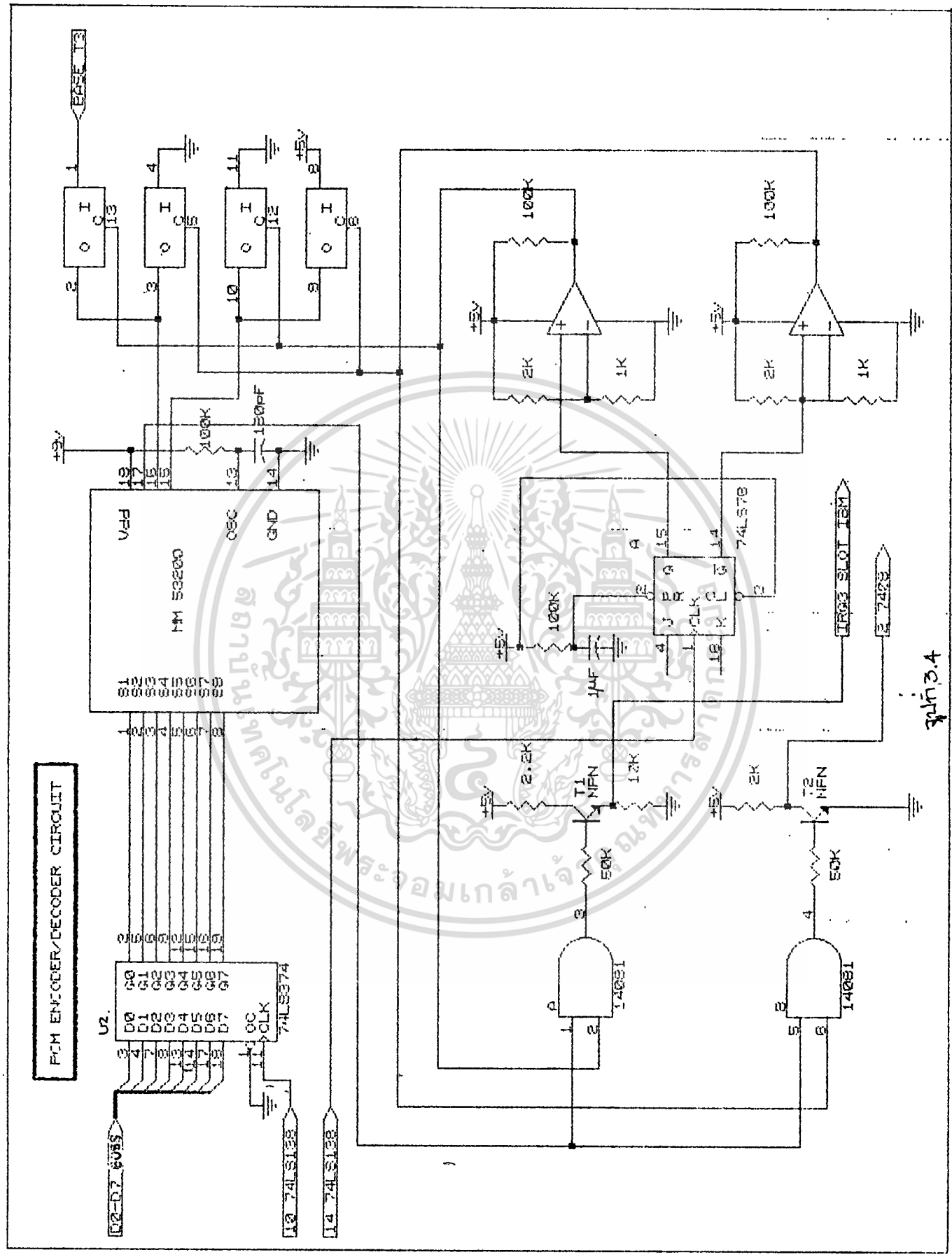
รูปที่ 3.4


CLOCK GENERATOR CERCUIT
A
B
C
74F04
74F04
74F04
22nF
330
330
CRYSTAL
18.432MHz
+5v
1 IPA
2
3
4
7
8
16
15
QA 13
QB 12
74LS390
1 IP
2 CLE
74LS393
6 QD
7
14
12
11
74LS393
6 QD/16
7 GND
74LS393
R0(1)
R0(2)
74LS02
U1
D0
D1
D2
D3
D4
D5
D6
D7
OC
CLK
74LS374
FROM 5C86
IS 74LS138
74LS153
1C0
1C1
1C2
1C3
2C0
2C1
2C2
2C3
1G
2G
1Y
2Y
IR 74LS138
TxC RxC 8251
C4 250
74LS125
4 587
1 7432
IRQ 3
74LS125
EMITTER T1

รูปที่ 3.4

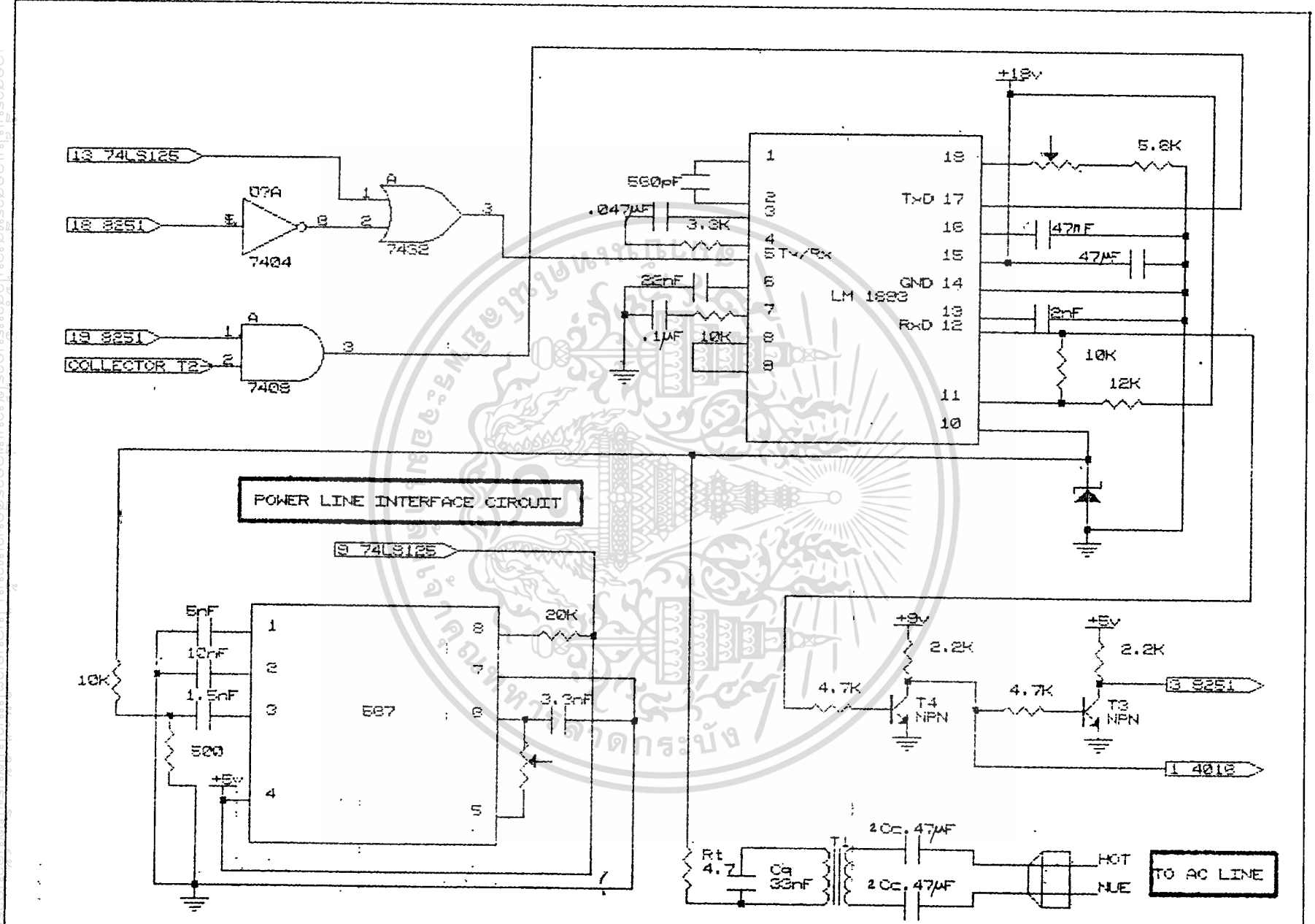

ADDRESS DECODER CIRCUIT
A1
A2
A3
A4
A5
A6
A7
A8
FROM Z80
7404
74LS30
AS
AEN
7404
IOR
IOW
7400
74LS138
11 U1 74LS374
1 7476
10 74LS125
11 U2 74LS374
D0-D7 FROM MOPS
74LS245
CLK Z80
A0 Z80
8251
TXRDY
TXE
TXC
TXD
RXD
RXRDY
RXC
SY/ER
DSR
DTR
CTS
RTS
5 7404
1 7408
COLLECTOR T3
+5V
0.7MF
220K
DIODE

รูปที่ 3.4



รูปที่ 3.4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้


13 74LS125
18 8251
07A
7404
7432
19 8251
COLLECTOR T2
7408
560pF
.047µF
3.3K
22nF
.1µF
10K
LM 1893
TxD
RxD
GND
+12v
5.6K
47nF
47µF
2nF
10K
12K
POWER LINE INTERFACE CIRCUIT
9 74LS125
5nF
10nF
1.5nF
10K
500
+5v
587
20K
3.3nF
+9v
2.2K
4.7K
T4
NPN
T3
NPN
3 8251
1 4018
Rt
4.7
Cg
33nF
T1
2Cc. 47µF
HOT
NUE
TO AC LINE

รูปที่ 3.4

การทำงานของวงจร

จากรูป3.4จะเห็นได้ว่า บัฟเฟอร์ 74LS374 ทำหน้าที่แลทช์ (Latch)สัญญาณข้อมูลที่เป็นรหัส D0-D7 ที่ส่งมาจาก8088ผ่านทางพอร์ต 2EA-2EB ที่ได้จากการถอดรหัสแอดเดรส A1 A9 และสัญญาณ AEN ,IOR IOW จากสลอตของเครื่องไอบีเอ็มโดยไอซีเบอร์ 74LS138 เพื่อป้อนให้กับขาบิทซีเล็คของ MM53200N ขา 1-8 ส่วนขา 9-12 ปล่อยลอยดังนั้นจะเป็นสัญญาณลอจิก"สูง"

สำหรับ MM53200N ต่อให้ใช้งานทั้ง 2 โหมดในตัวเดียวกันโดยใช้อนาล็อคสวิทช์(ไอซี-เบอร์ 4066)ทำหน้าที่สวิทช์ขา15,16และแอนด์เกท(AND GATE) สวิทช์ขาที่ 17ให้ต่อระหว่างโหมดส่งและโหมดรับ สัญญาณควบคุมอนาลอคสวิทช์เป็นสัญญาณท็อกเกิ้ล จาก เจเค ฟลิปฟลอป (JK FLIPFLOP) ที่ควบคุมได้จาก 8088 ผ่านพอร์ต 2E2-2E3 ที่ได้จากการถอดรหัสแอดเดรส A3-A7 เช่นเดียวกัน เนื่องจาก MM53200N ใช้ไฟเลี้ยง 9 โวลท์ดังนั้นอนาล็อคสวิทช์และแอนด์-เกทจึงต้องใช้ 9 โวลท์เช่นกัน ดังนั้นจึงต้องใช้วงจรคอมพาราเตอร์ (COMPARATOR)ยกระดับสัญญาณทอกเกิ้ล จากเจ เค ฟลิปฟลอปก่อนเข้าขาควบคุมของอนาล็อคสวิทช์

เมื่อจ่ายไฟให้วงจร ความต้านทานและตัวเก็บประจุที่ต่อที่ขาพรีเซ็ต (PRESET) จะทำให้แรงดันเพิ่มขึ้นช้า จาก 0 โวลท์เป็น 5 โวลท์ ดังนั้นขาพรีเซ็ตจะได้รับ [illegible] ใช้ Q และ Q เป็นระดับ" สูง " และ " [illegible] " [illegible] ตัวเก็บประจุ [illegible] พรีเซ็ตจะเป็นระดับ" สูง " ทำให้เจ เค ฟลิปฟลอปชนิดต่อแบบทอกเกิ้ลมีสถานะ เอา Q เป็นระดับ " สูง " และ Q เป็นระดับ" ต่ำ "

ที่อนาลอกสวิทช์ใช้ไอซีเบอร์ 4066 หนึ่งตัวต่อเป็นสวิทช์ 2 ทาง 2 ตัว คือสวิทช์ Aกับ B และ C กับ D ของ 4066 เป็นสวิทช์สองทางตัวที่ 1 และ ตัวที่ 2 ตามลำดับ ส่วนสวิทช์สองทางตัวที่3ใช้ไอซีแอนด์เกท 4081แบบซีมอส โดยสวิทช์สองทางตัวที่ใช้แอนด์เกทนั้นจะใช้ในการเลือกโหมดรับหรือส่งโดยเปลี่ยน ขา 17 ของ MM53200N ระหว่างการต่อเป็นโหมดรับกับโหมดส่ง สวิทช์สองทางตัวที่ 1 ใช้เปลี่ยนขา 16 ของ MM53200N ระหว่าง R_{IN} ในโหมดรับกับต่อลงกราวด์ในโหมดส่ง สวิทช์สองทางตัวที่ 2 ใช้เปลี่ยนขา 15 ของ MM53200N ระหว่างกราวด์ในโหมดรับกับไฟเลี้ยงในโหมดส่ง

สถานะแรกของทอกเกิลจะทำให้ MM53200N ต่อในลักษณะโหมดรับเมื่อ 8088 ส่งข้อมูลเป็นรหัสของตัวมันเองผ่านพอร์ต2EA-2EB พอร์ตใดพอร์ตหนึ่งตัวอย่างเช่น

```
MOV  DX,2EA
MOV  AL,CODE
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
OUT   DX,AL
```

จะทำให้ MM53200N พร้อมที่ถอดรหัสค่าดังกล่าวดังนั้นถ้ามีหน่วยอื่นติดต่อมา โดยการส่งรหัสที่ถูกต้องให้แก่ MM53200N อย่างน้อย 4 ครั้งติดต่อกัน MM53200N จะให้สัญญาณเอ้าท์พุทที่มีสภาวะลอจิก " ต่ำ " ที่ขา17ส่งไปอินเทอรัพท์ 8088 ให้ทำงานในโปรแกรมรับส่งข้อมูลที่เขียนขึ้นสนับสนุนโดยเฉพาะ

ต่อมาเมื่อต้องการจะเปลี่ยนเป็นโหมดส่งท้าได้โดยให้ 8088 ส่งข้อมูลอะไรก็ได้ไปยังพอร์ต 2E2-2E3 ตัวอย่างเช่น

```
MOV   DX,2E2
OUT   DX,AL
```

จะได้สัญญานทริกเกอร์ชอบขาลงเป็นอินพุทของขาคล็อก(CLK)ของ เจเค ฟลิบฟลอบทำให้ได้ Q และ Q เปลี่ยนสถานะคือQเปลี่ยนเป็นสถานะลอจิก "ต่ำ" และQเปลี่ยนเป็นสถานะลอจิก "สูง" เป็นผลให้ MM53200N เปลี่ยนจากโหมดรับเป็นโหมดส่งเมื่อต้องการส่งรหัสไปยังหน่วยใดก็ใช้วิธีโปรแกรมผ่าน 8088 ไปเช็คค่าที่ขา 1-8ของ MM53200N เช่นเดียวกับตอนรับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.4 วงจรเปลี่ยนข้อมูลขนานเป็นอนุกรมและอนุกรมเป็นขนาน

วงจรในส่วนนี้มีหน้าที่รับข้อมูลแบบขนานจาก 8088 เปลี่ยนเป็นข้อมูลอนุกรมส่งไปยังส่วนอินเตอร์เฟสของสายส่งไฟฟ้ากำลัง และรับส่งข้อมูลจากสายส่งไฟฟ้ากำลังเปลี่ยนเป็นข้อมูลแบบขนานส่งให้ 8088 ซึ่งจำเป็นต้องใช้อุปกรณ์ที่มีความสามารถเป็นทั้งอุปกรณ์รับและส่งข้อมูลในตัวเดียวกัน การทำงานในลักษณะเช่นนี้เหมาะสมกับไอซี 8251 USART ซึ่งเป็นพอร์ตซึ่งใช้ในการรับส่งข้อมูลแบบอนุกรมที่ประสิทธิภาพมากตัวหนึ่ง

จากรูปที่ 3.4 ขาข้อมูล D0-D7 ต่อผ่าน 74LS245 ซึ่งทำหน้าที่เป็นบัฟเฟอร์กำหนดทิศทางของข้อมูลเข้าและออกด้วยสัญญาณIOR และสัญญาณCS

สัญญาน CS ที่ใช้เอ็นาเบิล (ENABLE) 8251 ได้มาจากการถอดรหัสจากแอดเดรส A1-A9 ของ 8088 ส่วนขา A0 ของ8088 ต่อกับขาC/D (CONTROL DATA) ของ8251 จะทำให้ 8251 ทราบว่า8088ต้องการติดต่อกับรีจิสเตอร์ตัวใดที่อยู่ใน 8251 กล่าวคือถ้าเป็นสภาวะลอจิก" สูง " แสดงว่า8088ต้องการติดต่อกับรีจิสเตอร์ควบคุม แต่ถ้าถ้าเป็นสภาวะลอจิก "ต่ำ" แสดงว่า8088ต้องการติดต่อกับรีจิสเตอร์ข้อมูล จะเห็นได้ว่าพอร์ตแอดเดรส 02b1 จะเป็น 2EDH สำหรับรีจิสเตอร์ควบคุม และจะเป็นพอร์ต 2ECH สำหรับรีจิสเตอร์ข้อมูล

ขาคล็อก 8251 ต่อโดยตรงกับสัญญานนาฬิกาของระบบคือความถี่ประมาณ 4.7 MHZ ขาRxc และขาTxc ของ 8251 เป็นขาที่ใช้ในการกำหนดความเร็วที่ใช้ในการรับและส่งข้อมูลตามลำดับ ซึ่งจะเป็นความถี่ในการกำหนดอัตราบอด(Baud Rate) นั่นเอง โดยปกติจะต้องช้ากว่าสัญญาณคล้อคของระบบไม่น้อยกว่า 30 เท่า จากรูปมีค่าประมาณ 76.8KHz ซึ่งได้จากการหารความถี่ของคริสตอล 18.432 MHz

ขาCTS (CLEAR TO SEND) ต่อช้อตกับขาRTS (REQUEST TO SEND) และขา DTR (DATA TERMINAL READY) ต่อช้อตกับขาDSR(DATA SET READY) เพื่อให้สามารถส่งข้อมูลได้

ขา TxD และ RxD ต่อกับวงจรส่วนอินเตอร์เฟสกับสายส่งไฟฟ้ากำลังเพื่อส่งและรับข้อมูลอนุกรมตามลำดับ

การโปรแกรม 8251

8251 สามารถทำงานได้ 2 โหมด คือ ซิงโครนัส และ อซิงโครนัส การโปรแกรมให้ทำงานในโหมดอซิงโครนัสมี 2 ขั้นตอนคือ

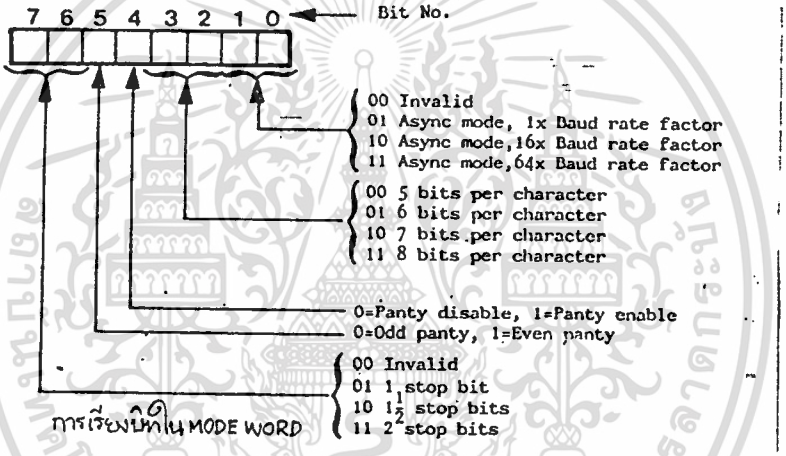
1. โปรแกรมด้วย MODEWORD เพื่อกำหนดรูปแบบของข้อมูลที่จะทำการส่ง สามารถทำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ได้โดย ส่ง MODEWORD ให้รีจิสเตอร์ควบคุมซึ่งมีแอดเดส 2EDH และ 8251 จะถือว่าข้อมูลนี้เป็น MODE WORD ก็ต่อเมื่อเป็นข้อมูลไบท์แรกที่ถูกส่งให้ 8251 หลังจากที่ถูกรีเซ็ต การส่งMODE WORD ทำได้ดังนี้

```
MOVE   DX,2EDH
MOVE   AL,MODEWORD
OUT    DX,AL
```

การจัดเรียงMODE WORD แสดงได้ดังรูปที่3.5



รูปที่ 3.5 แสดงการเรียงบิตใน MODE WORD

สำหรับการทดลองนี้ใช้ MODE WORD ค่าDEH ซึ่งหมายถึงข้อมูลที่ส่งออกแต่ละไบท์มีจำนวน 12 บิท ประกอบด้วยข้อมูล 8 บิต, 1 START BIT, ODD PARITY, 2 STOP BITS และมี BAUD RATE FACTOR เท่ากับ 16

2.โปรแกรมด้วย COMMAND WORD เป็นการโปรแกรมเพื่อกำหนดให้ 8251 สามารถรับส่งข้อมูลได้ พร้อมทั้งเป็นการรีเซ็ตเออร์เรอร์แฟล็ก(ERROR FLAG) ในรีจิสเตอร์สถานะ (STATUS REGISTER) คือ

1) พาริตี้เออร์เรอร์ (PARITY ERROR-PE) จะเป็นสภาวะลอจิก "ต่ำ" ในกรณีที่ 8251 พบความผิดพลาดในการตรวจสอบพาริตี้

2) โอเวอร์รันเออร์เรอร์ (OVERRUN ERROR-OE) จะเป็นสภาวะลอจิก "สูง"เมื่อข้อมูลใหม่ส่งมาทับข้อมูลเก่า โดยที่ข้อมูลเก่ายังไม่ถูกซีพียูอ่านออกไป

3) เฟรมมิงเออร์เรอร์ (FRAMING ERROR-FE) จะเป็นสภาวะลอจิก "สูง"ในกรณี

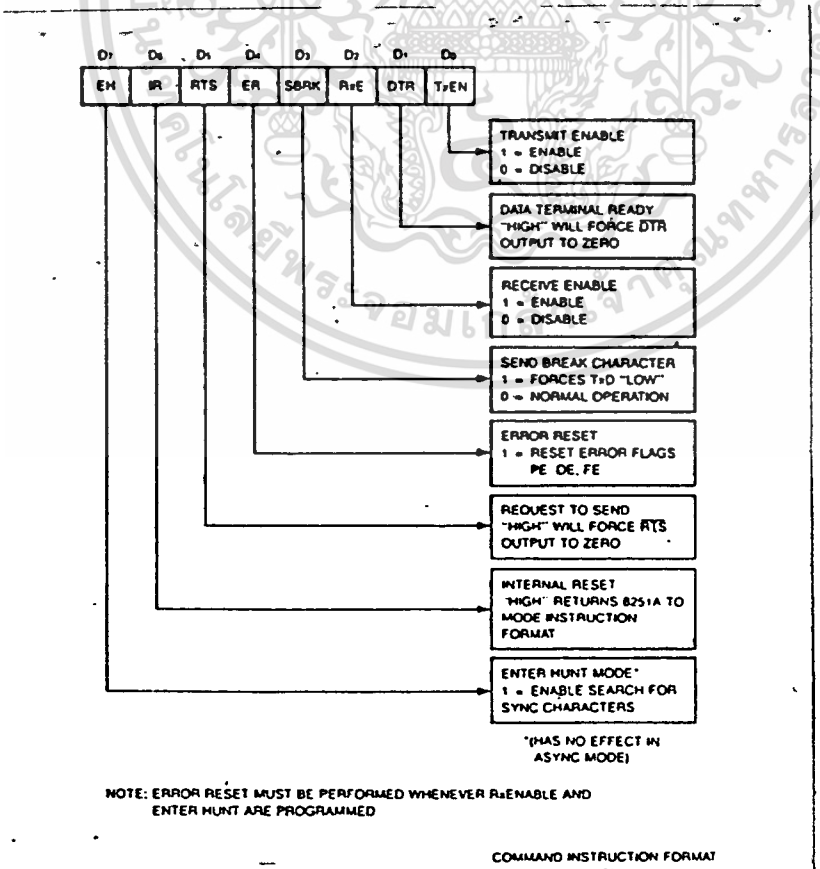
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ที่ 8251 ตรวจหาสต็อปบิตไม่พบ

การโปรแกรม COMMAND WORD ทำได้เช่นเดียวกับ MODE WORD คือ ส่งข้อมูลไปที่พอร์ท 2EDH โดยต้องส่งเป็นไบต์ต่อจาก MODE WORD ดังนี้

```
MOV   AL,COMMAND WORD
OUT   DX,AL
```

รูปแบบของการเรียงบิทใน COMMAND WORD แสดงได้ดังรูป3.6



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 3.6 การจัดเรียงบิทใน COMMAND WORD

3.5 วงจรส่วนอินเตอร์เฟสกับสายส่งไฟฟ้ากำลัง(Power Line Interface)

วงจรในส่วนนี้เป็นส่วนที่ข้อมูลอนุกรมทั้งที่เป็น รหัสแบบพีซีเอ็มจาก MM53200N และข้อมูลจาก 8251 ถูกส่งผ่านเข้าออกสู่สายส่งไฟฟ้ากำลังซึ่งแสดงดังในรูปที่ 3.10

ในโหมดส่ง LM1893 จะรับข้อมูลจาก MM53200N (ในกรณีที่ส่งรหัส) เพื่อกำหนดรหัสของเครื่องที่ต้องการติดต่อด้วย และข้อมูลจาก 8251 แปลงเป็นสัญญาณ เอฟเอสเค ส่งผ่านคัปปิ้งคอยล์ที่ทำหน้าที่เป็น แบนด์พาสฟิลเตอร์(Band Pass Filter) ที่ความถี่ fO เพื่อส่งเข้าสู่สายส่งไฟฟ้ากำลัง

ในโหมดรับ สัญญาณที่รับเข้ามาจากสายส่งไฟกำลังจะอยู่ในรูปของ สัญญาณเอฟเอสเค ซึ่งจะผ่านคัปปิ้งคอยล์เข้าสู่ LM1893 และ LM567 โดยเอาท์พุทจาก LM 1893 จะถูกป้อนสู่ 8251 และ MM53200N(เพื่อเช็ครหัส) ส่วนเอ้าท์พุทของ LM 567 จะเป็นสภาวะลอจิก" สูง " เมื่อมีสัญญาณคลื่นพาห์ในสายส่งไฟฟ้ากำลังหรือสายไม่ว่าง (busy)นั่นเอง และจะเป็นสภาวะลอจิก " ต่ำ " เมื่อไม่มีสัญญาณคลื่นพาห์ในสายส่งไฟฟ้ากำลังหรือสายว่าง (idle) นั่นเอง

การออกแบบ

จะต้องมีการกำหนดค่าต่างๆดังนี้

- จะต้องกำหนดค่าความถี่กลางของสัญญาณคลื่นพาห์ (f_o)
- อัตราการส่งข้อมูล
- ระบบสายส่งไฟฟ้ากำลัง

โดยในปริญญานิพนธ์นี้เลือกใช้ ความถี่กลางของคลื่นพาห์เท่ากับ 125 KHz, อัตราการส่งข้อมูล 4800 บอด และใช้กับระบบส่งไฟฟ้ากำลัง 220 โวลท์ 50 Hz

ค่า f_o ,ค่าความเร็วของอัตราการส่งข้อมูล และค่าความถี่ 50 Hz จะใช้ในการคำนวณค่าอินดักแตนซ์และค่าคาปาซีแตนซ์สำหรับทำคัปปิ้งคอยล์ นอกจากนี้ยังนำไปใช้กำหนดค่าความต้านทานและค่าคาปาซีแตนซ์ที่ใช้กับ LM 1893 โดยใช้ร่วมกับการอ่านค่าจากกราฟแสดงความสัมพันธ์ในดาต้าชีท ซึ่งสามารถกำหนดค่าอุปกรณ์ต่างๆได้ดังนี้

1) C_o และ R_o ใช้ปรับค่า f_o โดยเลือกใช้ค่า 560 PF และ 10กิโลโอหม์ตามลำดับ

2) C_F และ R_F ใช้ปรับค่าโพลและซีโร่ของวงจรส่วนเฟสล็อกลูปของ LM 1893 โดยเลือกใช้ค่า 0.1 ไมโครฟารัด และ 10 กิโลโอหม์ตามลำดับ

3) C_A และ R_A ใช้ปรับค่าโพลและซีโร่ของวงจรควบคุมระดับ (ALC)โดยเลือกใช้ค่า 0.1 ไมโครฟารัด และ 10 กิโลโอหม์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4) C_L ใช้ปรับโพลล่าต่ำ (Lower Pole) ของวงจรแบนด์พาสลิมิตเตอร์ที่จะขจัดความถี่ 50 Hz โดยเลือกใช้ค่า 0.047 ไมโครฟารัด

5) C_M และ C_i เลือกใช้ค่า 20 nF และ 2 nF ตามลำดับ

6) R_c เป็นค่าความต้านทานพูลอัพ ใช้ค่า 10 กิโลโอหม์

7) R_z ใช้สำหรับไบอัสซีเนอร์ไดโอดที่อยู่ภายใน 1893 เลือกใช้ค่า 12 กิโลโอหม์

8) C_s ใช้ลดสัญญาณรบกวนในส่วนจ่ายไฟเลี้ยง(Supply Bypass)ใช้ค่า 100 ไมโครฟารัด

9) Z_T เป็นทรานเซี้ยนแคลมป์ (Transient Clamp) ใช้ค่าเบรกดาวน์โวลเตจมากกว่า 44 โวลท์และทนค่าพีคโวลเตจน้อยกว่า 60 โวลท์

10) RT ใช้จำกัดค่าทรานเซี้ยน โดยใช้ค่าเท่ากับ 1.7 โอหม์

การออกแบบวงจรในส่วนที่คัปปลิ้งกับสายส่งไฟฟ้ากำลัง

ประกอบด้วย C_Q ,T1 และ C_c ซึ่งในการออกแบบจะพิจารณาดังนี้

1) C_Q และ T1 ซึ่งจะต่อกันเป็นลักษณะของวงจรแทงก์ (Tank Circuit) จะต้องมีความถี่รีโซแนนซ์(f_Q) ตรงกับความถี่ของคลื่นพาห์ (f_o) นั่นคือ $f_Q = f_o$ ทำหน้าที่เป็นวงจรแบนด์พาสฟิลเตอร์ที่ความถี่ f_o

2) C_c จะทำหน้าที่กันโวลเตจจากสายส่งไฟฟ้ากำลัง และ C_c และ T1 ด้านที่ต่อกับสายส่งไฟฟ้ากำลังจะต้องเป็น วงจรกรองความถี่สูงแบบแอลซี (LC High Pass Filter)และที่ความถี่ f_o ค่าอิมพีแดนซ์ของC_c จะต้องน้อยกว่าค่าอิมพีแดนซ์ของสายส่งไฟฟ้ากำลัง เพื่อให้T1 สามารถขับพลังงานได้อย่างเต็มที่ แต่ต้องระวังไม่ให้ C_c ,T1 และค่าอิมพีแดนซ์สะท้อนของวงจรแทงก์กลายเป็นวงจรอนุกรมรีโซแนนซ์เพราะจะโหลดสายส่งไฟฟ้ากำลัง

ขั้นตอนการคำนวณ

1) กำหนดค่าอิมพีแดนซ์ของสายส่งไฟฟ้ากำลังให้เป็นค่าต่ำสุดเท่ากับ Z_{LN}

จากค่า Z_{LN} สามารถประมาณค่า Turn Ratio ของT1 ได้โดยอ่านจากกราฟความสัมพันธ์ในดาต้าชีท

2) หาค่า L1 จากสูตร

$$L_1 = \frac{R_Q // |Z_{LN}|'}{2\pi F_o Q_L}$$

และ

$$R_Q // |Z_{LN}|' = \frac{(V_{CC} - V_{ALC})\sqrt{2}}{I_o}$$

เมื่อ Z_{LN} คือ อิมพีแดนซ์สะท้อนของสายส่งไฟฟ้ากาลัง (Reflected Z_{LN})

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Q_L คือ ค่า Q ของT1ตอนมีโหลด

R_Q คือ ค่าที่สมมุติขึ้นแทน Loss ใน T1

V_{cc} คือ ไฟเลี้ยง LM 1893 เท่ากับ 18 โวลท์

I_o คือ กระแสเอาท์พุทของ LM 1893 เท่ากับ 60 มิลลิแอมป์

และ

$$Q_L = \frac{1}{BW(\%\text{ of } F_o)}$$

แทนค่าต่างๆดังนี้

$Z_L N$ = 7 โอหม์

ดังนั้นจะได้ N (Turn Ratio) = 10

$$|Z_{LN}|' // R_Q = \frac{(18V - 4.7V)\sqrt{2}}{60\ mA}$$

ให้ BW (%ของ f_o) = 8.7%

$$Q_L = \frac{1}{8.7/100}$$

$$= 11.5$$

ดังนั้นแทนค่าได้ $L_1 = 49\mu H$

ถ้าพัน L_1 ค่า 49 ไมโครเฮนรี่ด้วยจำนวนรอบ 80 รอบ

ดังนั้นจะได้จำนวนรอบของ $L_2 = \frac{80}{10}$

$= 8$ รอบ

พัน L_2 ด้วยลวดขนาดเท่าเดิมแล้ววัดค่าได้ L_2 เท่ากับ 1.2 ไมโครเฮนรี่

3) หาค่า C_Q จาก

$$C_Q = \frac{1}{(2\pi F_o)^2 L_1}$$

แทนค่าได้

$$C_Q = \frac{1}{(2\pi \cdot 125K)^2 49\mu H}$$

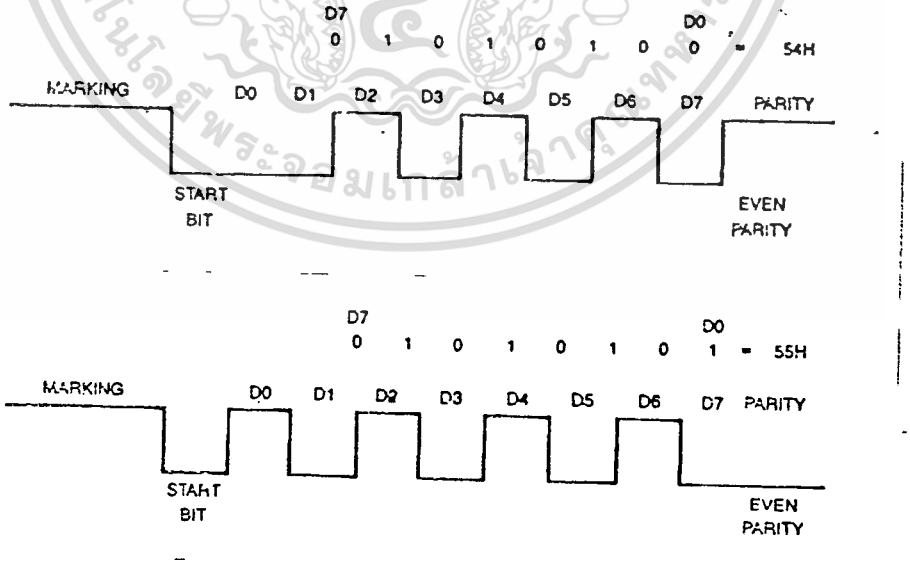
4) เลือกค่า C_c = 0.22 ไมโครฟารัด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.6 การทำงานโดยการควบคุมด้วยโปรแกรม

ก่อนที่จะกล่าวถึงการสื่อสารระหว่างเครื่อง ต้องศึกษารายละเอียดของสัญญาณที่ใช้ในการรับและส่งข้อมูลของเครื่องรับ-ส่งข้อมูลผ่านสายส่งไฟฟ้ากำลังมีลักษณะอย่างไร

ในการรับ-ส่งข้อมูลครั้งนี้จะใช้การถ่ายโอนข้อมูลแบบอนุกรม เนื่องจากตัวกลางการสื่อสารต้องการใช้สายเพียงคู่เดียวโดยผ่านอุปกรณ์ซึ่งสามารถรับและส่งข้อมูลในตัวเดียวกัน โดยใช้ไอซี เบอร์ 8251 USART ซึ่งเป็นพอร์ทที่ใช้ในการรับ-ส่งข้อมูลแบบอนุกรมสามารถที่จะทำงานได้ทั้ง 2 แบบ คือแบบซิงโครนัส (SYNCHRONOUS) และแบบอซิงโครนัส (ASYNCHRONOUS) แต่ในการรับส่งข้อมูลในครั้งนี้จะใช้งาน 8251 USART ในแบบอซิงโครนัส ซึ่งข้อมูลที่ส่งไปด้วยอัตราคงที่ เรียกว่าบอด-เรท (BAUD RATE) เป็นอัตราการเปลี่ยนแปลงของสัญญาณภายใน 1 วินาที ข้อมูลจะถูกส่งออกไปทีละบิท โดยทำการส่ง D0 เป็นบิทแรกและบิท D7 เป็นบิทสุดท้าย และจะเพิ่มข้อมูลอีก 1 บิท เข้าไปหน้าบิท D0 ของข้อมูลเรียกว่าสตาร์ทบิท (START BIT) และเพิ่มพาริตี้บิท (PARITY BIT) เข้าไปหลังบิท D7 ของข้อมูลเพื่อใช้ในการตรวจสอบความผิดพลาดของข้อมูลที่เครื่องรับ สำหรับบิทสุดท้ายที่ถูกเพิ่มเข้าไปที่หลังพาริตี้บิทเรียกว่าสต็อปบิท (STOP BIT) อาจจะมีจำนวน 1, 1.5, หรือ 2บิทก็ได้



รูป3.7 แสดงการเพิ่มพาริตี้บิทลงในข้อมูลแต่ละไบท์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.6.1 การควบคุมการทำงานของ 53200

จะต่อพอร์ทๆหนึ่งที่ใช้ในการควบคุมการทำงานของ 53200 โดยพอร์ทนี้ทำหน้าที่ตั้งรหัสตัวเองและเช็คสัญญาณพีซีเอ็มที่ส่งมา(ในกรณีเป็นตัวรับ)ว่าตรงกับรหัสตัวเองหรือไม่ มีคำสั่งควบคุมดังนี้

```
MOV DX,P_53200   ;พอร์ทควบคุมการทำงานของ 53200
MOV AL,AAH       ;ตั้งรหัสตัวเองมีค่า AA
OUT DX,AL
```

3.6.2 การกำหนดค่าอัตราบอดและการเอ็นเอเบิ้ล (Enable) 74125

ได้ต่อพอร์ทสำหรับเลือกค่าอัตราบอดและเพื่อเอ็นเอเบิ้ล 74LS125 เพื่อให้สัญญาณอินเทอร์รัพเข้าสู่ 8251 ได้โดยส่งข้อมูล 3 บิทคือ D0,D2,D3 โดยที่บิท D0 ใช้ในการเอ็นเอเบิ้ล 74125 บิท D2 และบิท D3 ใช้มัลติเพล็กซ์เลือกสัญญาณนาฬิกาสำหรับการส่งข้อมูลด้วยอัตราบอด 1200, 2400,3600,4800 ตัวอย่างเช่น

```
MOV  DX,BAUD_EN  ;พอร์ทควบคุม
MOV  AL,00       ;ค่าข้อมูลเอ็นเอเบิ้ล 74125และเลือกอัตราบอด2400
OUT  DX,AL
```

3.6.3 การควบคุมพอร์ทที่ใช้ในการตรวจสอบคลื่นพาห์(Detect Carrier)

ได้มีการต่อพอร์ทที่ใช้ในการตรวจสอบคลื่นพาห์ขึ้นหนึ่งพอร์ท สำหรับอ่านสถานะของสายส่งไฟฟ้าก้าลังว่าว่างหรือก้าลังมีการส่งข้อมูลอยู่ โดยพอร์ทนี้จะอ่านค่าสถานะเอาท์พุทของ LM567 (Tone Decoder) เข้ามาเป็นค่า D4 ถ้าตรวจจับได้ว่าค่า D4 เป็นสภาวะลอจิก " สูง " แสดงว่าสายส่งไม่ว่างแต่ถ้า D4 เป็นสภาวะลอจิก " ต่ำ " แสดงว่าสายส่งว่างพร้อมที่จะใช้ส่งข้อมูล ตัวอย่างเช่น

```
MOV  DX,CAR_DET
IN   AL,DX
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.6.4 การควบคุมการส่ง พีซีเอ็ม

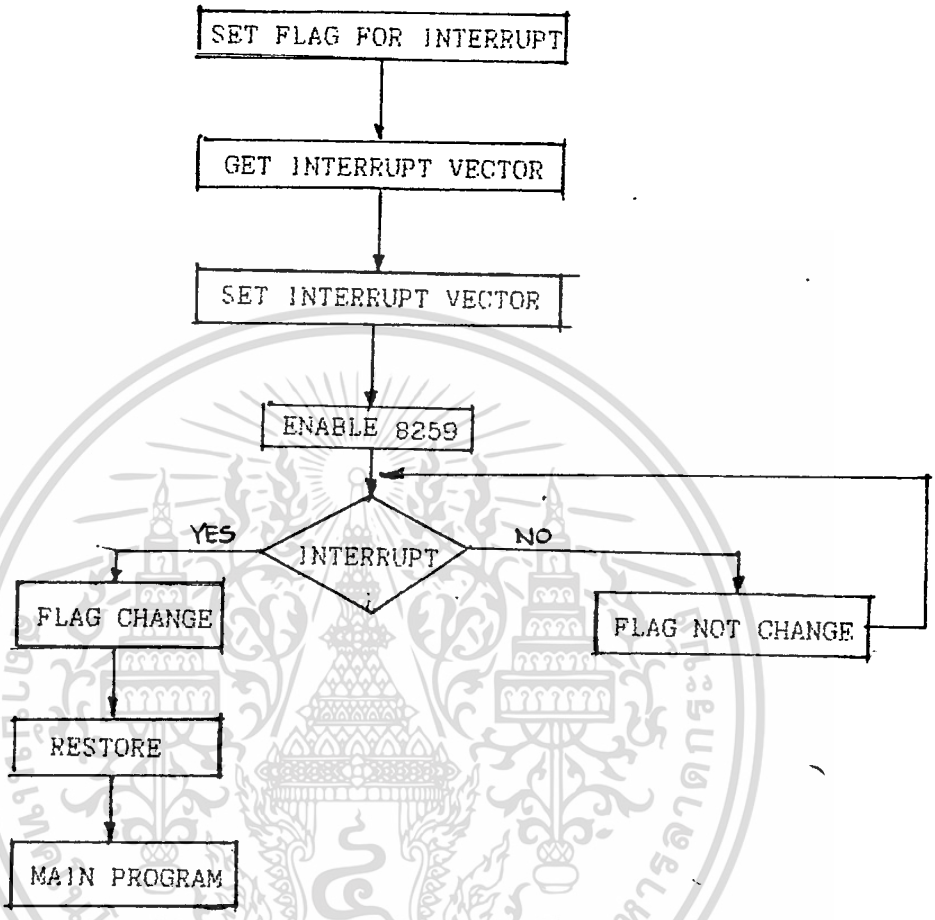
สัญญาณพีซีเอ็มจาก MM53200N สามารถควบคุมระยะเวลาในการส่งโดยการส่งสัญญาณควบคุมให้ MM53200N อยู่ในโหมดส่ง MM53200N จะส่งพีซีเอ็มตามค่าที่เซ็ตไว้ จากนั้นดิเลย์ด้วยระยะเวลาตามต้องการ แล้วจึงส่งสัญญาณควบคุมให้ MM53200N กลับมาเป็นโหมดรับก็จะสิ้นสุดการส่งรหัสพีซีเอ็ม

```
MOV   DX,P_ TOGGLE ;พอร์ทเปลี่ยนโหมด
OUT   DX,AL        ;AL มีค่าอะไรก็ได้
DELAY LOOP
MOV   DX,P_TOGGLE  ;พอร์ทเปลี่ยนโหมด
OUT   DX,AL        ;AL มีค่าอะไรก็ได้
```

3.6.5 การอินเทอร์รัพท์

การติดต่อรับ-ส่งข้อมูลจะเกิดขึ้นก็ต่อเมื่อ MM53200N ในส่วนของตัวรับถูกเรียกด้วยสัญญาณพีซีเอ็มจากตัวส่ง เมื่อ MM53200N ในส่วนของตัวรับถอดรหัสได้จะส่งสัญญาณอินเทอร์รัพท์เพื่อร้องขอการใช้งานในการรับ-ส่งข้อมูล ตัวที่ถูกเรียกจะทำหน้าที่เป็นตัวรับและเก็บข้อมูล (RECEIVER)มีหลักการดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.8 โฟลว์ชาร์ตแสดงขั้นตอนการทำงาน

ลักษณะการควบคุมก็คือจะเซ็ตแฟลกไว้ตัวหนึ่ง เมื่อมีสัญญาณอินเทอร์รัพท์เข้ามาจากไอซี MM53200N แล้วแฟลกนี้จะเปลี่ยนค่า เมื่อเช็คว่าแฟลกนี้เปลี่ยนค่าแล้วก็จะทำการส่งพัลส์ที่ใช้ในการติดต่อกับ MM53200N เพื่อป้องกันการถูกอินเทอร์รัพท์ซ้ำจาก MM53200N อีก

3.6.6 การ INITIAL 8251

การทำงานในโหมดอซิงโครนัสจะต้องส่ง MODE WORD และ COMMAND WORD ให้กับรีจีสเตอร์ควบคุมโดยการอ้างถึงพอร์ทแอดเดรสที่ใช้ในการควบคุมและเมื่อ 8251 รับข้อมูลเข้ามาแล้วก็จะทำการตรวจสอบ สตารท์บิท และ สต็อปบิท และจะไปแสดงในรีจีสเตอร์สถานะ

สำหรับรีจีสเตอร์สถานะ ซีพียูสามารถที่จะทำการตรวจสอบได้โดยการอ่านข้อมูลจากพอร์ท

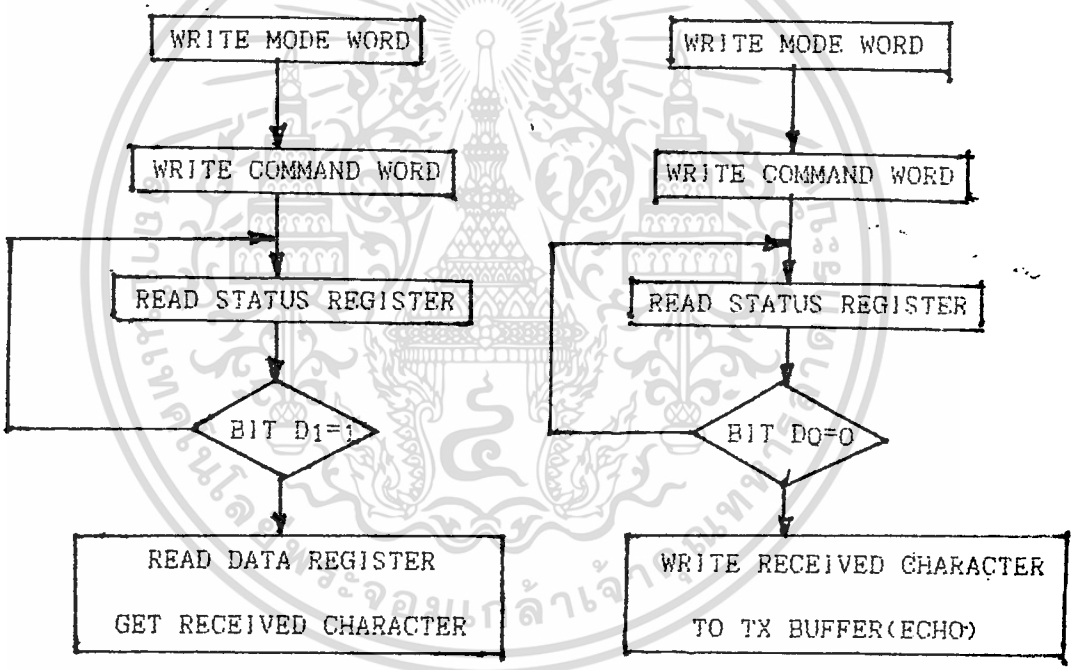
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

คอนโทรล ส่วนบิทต่าง ๆ ที่ใช้ในการแสดงสถานะคือ DSR,SYNDET,RxRDY และ TxRDYนั้นช่วยให้ทราบถึงความพร้อมของอุปกรณ์รับส่งข้อมูล สำหรับอีก 3 บิทที่เหลือนั้นจะแสดงความผิดพลาดที่เกิดขึ้นจากการรับส่งข้อมูลของ 8251 มีดังนี้ คือ

1. PE (PARITY ERROR) จะเป็น 1 ในกรณีที่ 8251 พบว่ามีความผิดพลาดในการตรวจสอบพาริตี้

2. OE (OVERRUN ERROR) จะเป็น 1 เมื่อข้อมูลใหม่ถูกส่งเข้ามาทับข้อมูลเก่า โดยที่ข้อมูลเก่ายังไม่ถูก ซีพียู อ่านออกไป

3. FE (FRAMING ERROR) จะเป็น 1 ในกรณีที่ 8251 ตรวจหาสต็อปบิทไม่พบ



รูปที่3.9 แสดงโฟลว์ชาร์ตของโปรแกรมการรับส่งข้อมูล

3.6.7 การใช้โปรโตคอล

เทคนิคในการควบคุมการรับส่งข้อมูลก็คือ การใช้โปรโตคอล (เป็นการกำหนดรูปแบบการรับส่งข้อมูล) เทคนิคนี้จำเป็นจะต้องมีการกำหนดรูปแบบให้เหมือนกันทั้งฝ่ายรับและฝ่ายส่ง โดยการใช้อักขระควบคุมในตารางของ แอสกี้ สำหรับควบคุมการรับส่งข้อมูลออกมาเป็นกลุ่มที่มีขนาดคงที่

การใช้โปรโตคอลอาจจะใช้อักขระต่อไปนี้ ในการควบคุมการรับส่งข้อมูลเป็นกลุ่มๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ETB End of tranmission block

ETB มีค่าเท่ากับ 23 ในตารางแอสกี้ เป็นการบอกฝ่ายรับว่าขณะนี้สิ้นสุดการส่งข้อมูลกลุ่มหนึ่งแล้ว

ETX End of Text

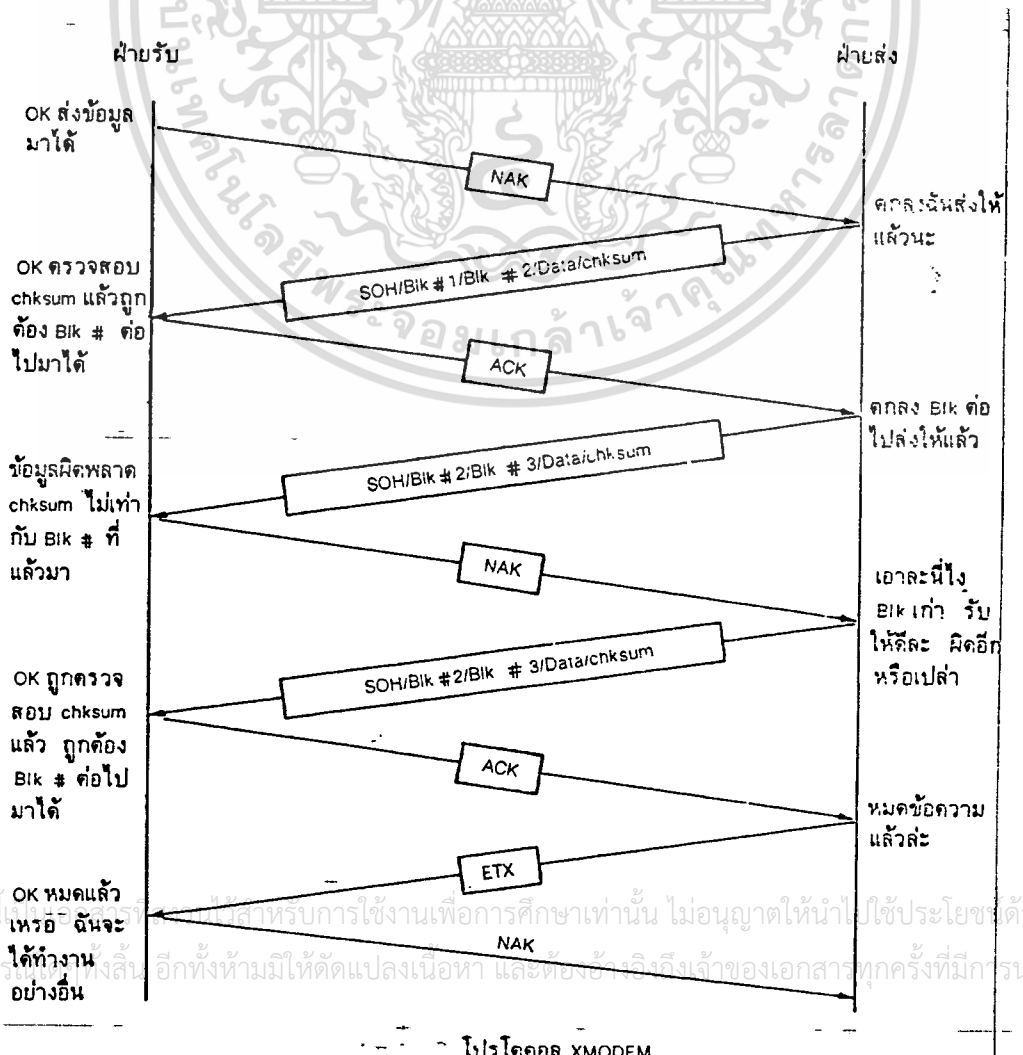
ETX มีค่าเท่ากับ 03 ในตาราง แอสกี้ เป็นการบอกฝ่ายรับว่าขณะนี้สิ้นสุดการส่งข้อมูลแล้ว

NAK Negative Acknowledge

ในตารางรหัส แอสกี้ มีค่าเท่ากับ 021 เป็นการบอกฝ่ายส่งว่าข้อมูลที่ได้รับนั้นผิดพลาด

ACK Acknowledge เป็นการบอกฝ่ายส่งว่าข้อมูลที่ได้รับนั้นถูกต้องแล้ว เป็นรหัสแอสกี้เท่ากับ 06

โปรโตคอลที่ใช้ในไอบีเอ็มพีซี ส่วนมากจะเป็นโปรโตคอลที่ใช้ XMODEM ดังแสดงการงานแสดงไว้ในรูปที่ 3.10



โปรโตคอล XMODEM

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ฝ่ายส่งจะไม่ส่งข้อมูลจนกว่าจะได้รับNAKจากฝ่ายรับ ฝ่ายส่งจะส่งข้อมูลออกไปโดยมีรูปแบบเริ่มด้วย SOH ตามด้วยอักขระ 2 ตัว สำหรับบอกกลุ่มของข้อมูลที่ส่งและตามด้วยส่วนเติมเต็ม 1 (1 s complement)ของกลุ่มต่อไปที่จะส่ง ต่อจากนั้นก็จะเป็นข้อมูล 128 ไบต์ ตามหลังด้วยการตรวจสอบข้อผิดพลาดโดยวิธีตรวจสอบผลบวก(checksum) การตรวจสอบผลบวกคำนวณมาจากการบวกค่าแอสกี้ของข้อมูลที่ส่งออกไปทั้งหมด 128 ไบต์ แล้วหารด้วย 225 เศษที่เหลือก็คือค่าchecksum

ข้างฝ่ายรับเมื่อแยกเอา SOH (Start of Head) และหมายเลขบล็อกทั้งสองออกไปแล้วก็จะเอาข้อมูลทั้ง 128 ไบต์มารวมกันเพื่อหาค่าchecksum เอาค่าchecksumที่หาได้เปรียบเทียบค่าที่ได้รับ หากตรงกันก็ถือว่าข้อมูลที่ได้รับถูกต้องจึงส่งสัญญาณ ACK ไปให้ฝ่ายส่งได้รู้ว่าขณะนี้ได้รับข้อมูลไว้ถูกต้องแล้วส่งกลุ่มของข้อมูลต่อไปมาได้ ถ้าหากค่าchecksumไม่ถูกต้อง ฝ่ายรับก็จะส่ง NACK ให้ฝ่ายส่งเพื่อเป็นการบอกให้รู้ว่าข้อมูลที่ได้รับผิดพลาด ช่วยส่งกลุ่มข้อมูลมาให้ใหม่ฝ่ายส่งก็จะส่งข้อมูลกลุ่มเก่ามาให้ใหม่ การส่งใหม่จะดำเนินงานไป 9 ครั้ง หากยังคงได้รับแต่สัญญาณ NACK ฝ่ายส่งจะหยุดทำงานแสดงว่าตัวกลางการสื่อสารแย่มาก

การที่ XMODEM ใช้เลขบอกกลุ่ม 2 ตัว (ตัวหนึ่งบอกกลุ่มที่ส่งขณะนี้ อีกตัวหนึ่งเป็นส่วนเติมเต็ม 1 ของกลุ่มต่อไป) เพื่อความแน่นอนในกลุ่มเดียวกันจะไม่ถูกส่งออกไปสองครั้ง ถ้าหากอักขระควบคุมการส่งเกิดสูญหายไประหว่างการส่ง ฝ่ายรับจะตรวจสอบดูว่ากลุ่มของข้อมูลที่ส่งมาเป็นกลุ่มที่ฝ่ายรับต้องการหรือไม่ ถ้าหากกลุ่มเก่าส่งมาใหม่อีกด้วยความผิดพลาด จาก ACK เป็น NACK ของฝ่ายส่ง ฝ่ายรับก็จะจับข้อมูลที่รับมาโยนทิ้งไป เมื่อทุกอย่างดำเนินไปอย่างเรียบร้อยจนสิ้นสุดแฟ้มที่จะส่ง ฝ่ายส่งก็จะส่ง ETX เป็นการบอกฝ่ายรับว่าหมดข้อความที่จะส่งแล้ว

XMODEM เหมาะสำหรับไอบีเอ็มพีซีเหนือโปรโตคอลชนิดอื่น 3 ข้อ คือ

1. ใช้อักขระควบคุมที่มีอยู่แล้วใน แอสกี้
2. สามารถจะใช้ภาษาในระดับสูงควบคุมได้เช่น ภาษาเบสิก ภาษาปาสคาล
3. ต้องการบัฟเฟอร์สื่อสารแค่ 256 ไบท์
4. ระบบบริการข่าวสารด้วยคอมพิวเตอร์ โดยทั่วไปใช้โปรโตคอล XMODEM

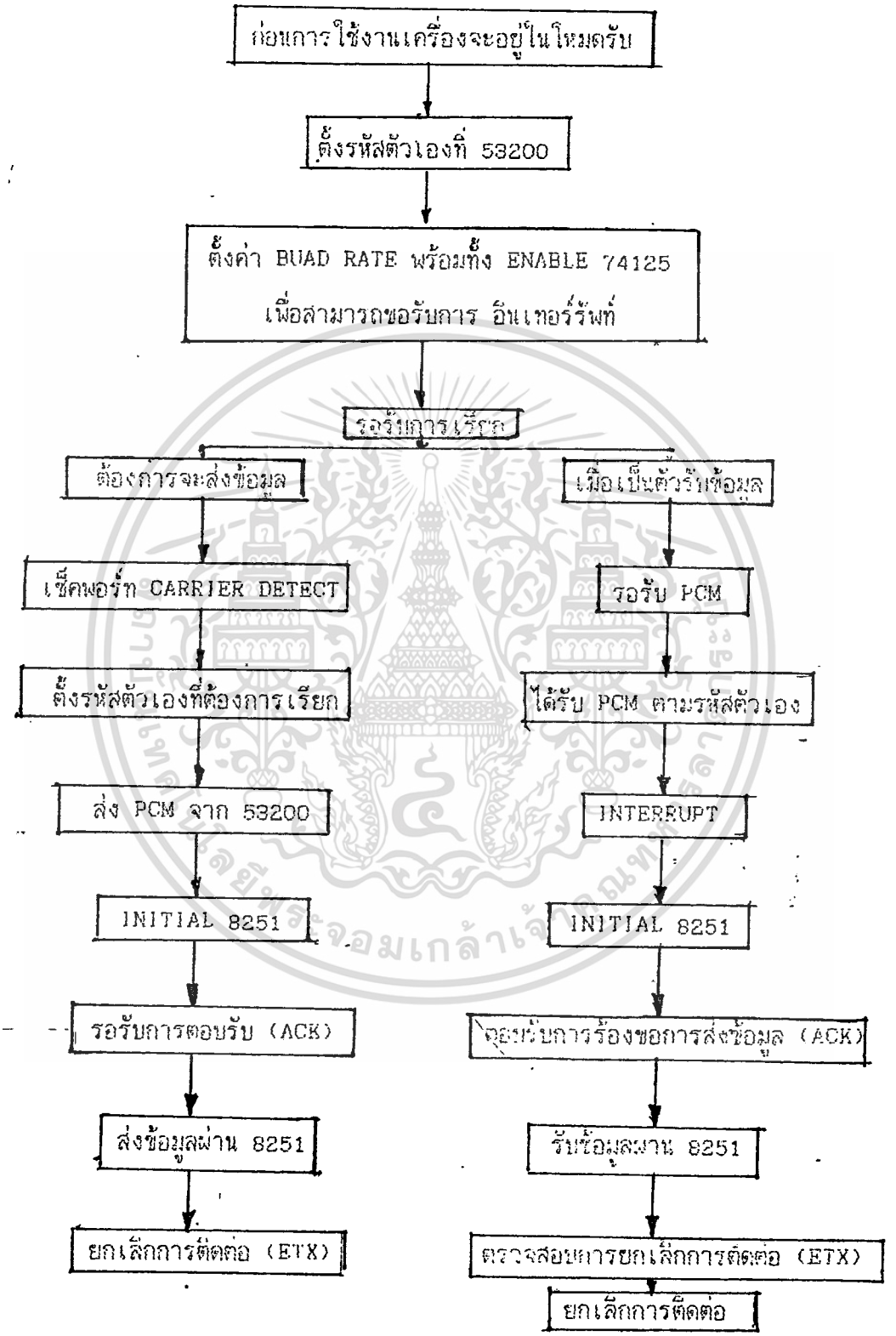
ข้อดีของระบบการควบคุมการรับส่งข้อมูลแบบอนุกรมโดยการใช้ระบบการใช้โปรโตคอลก็คือ

1. โปรโตคอลบางชนิดสามารถเลือกขนาดของข้อมูลได้
2. สามารถส่งข้อมูลที่ไม่ใช่แอสกี้ได้ โดยไม่ต้องกลัวว่ารหัสนั้นจะไปทับกับรหัสควบคุมของแอสกี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3. การตรวจสอบโดยวิธีตรวจผลรวมผลบวก(checksum)มีความสามารถตรวจสอบความผิดพลาดได้ดีกว่าพาริตี้บิทในอะซิงโครนัส ในขณะที่พาริตี้บิทสามารถให้ประสิทธิภาพได้ 95% แต่ checksum สามารถให้ประสิทธิผล99.5% หากพบการผิดพลาดด้วยบิทพาริตี้ไม่ทำให้การส่งใหม่เกิดขึ้นแต่ข้อผิดพลาดจาก checksum ทำให้เกิดการส่งข้อมูลมาใหม่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่3.11 โฟล์วชาร์ตโครงสร้างการทำงานของระบบ

3.6.8 การอ่านและเขียนไฟล์

ในการอ่านและเขียนไฟล์กับดิสค์ ไฟล์จะถูกแบ่งเป็นเรคคอร์ดย่อยๆ การอ่านหรือเขียนจะทำทีละเรคคอร์ดโดยเริ่มจากเรคคอร์ดแรกไปจนถึงเรคคอร์ดสุดท้าย ในอันดับแรกต้องบอกชื่อไฟล์ที่โปรแกรมต้องการติดต่อ อันดับสองต้องมีหน่วยความจำส่วนหนึ่งที่ใช้เก็บข้อมูลที่จะอ่านหรือเขียน หน่วยความจำส่วนนี้เราเรียกว่า DATA TRANSFER AREA (DTA) อันดับสามก่อนที่จะมีการอ่านหรือเขียนจะต้องมีการเปิดไฟล์เสมอ อันดับสุดท้ายหลังจากการอ่านหรือเขียนไฟล์แล้วต้องปิดไฟล์เสมอมิฉะนั้นข้อมูลอาจสูญหายได้

3.6.9 การเปิดไฟล์

ฟังก์ชันการเปิดไฟล์ (OPEN FILE FUNCTION)

Reg AH = 0FH

Reg DS = เซกเมนต์แอดเดรสของ FCB

Reg DX = ออฟเซตแอดเดรสของ FCB

INT 21

ทั้งชื่อไฟล์และนามสกุลต้องใส่ไว้ในไฟล์ควบคุม (FILE CONTROL BLOCK)

ค่าที่ส่งกลับ:

Reg AL = 00 ถ้าพบไฟล์

= FFH ถ้าไม่พบไฟล์

drive number , current block , record size , file size , และ ข้อมูลจะถูกเติมในไฟล์ควบคุม (FILE CONTROL BLOCK)

ในการที่บอกชื่อไฟล์ที่เราต้องการจะเปิด โปรแกรมของเราต้องเตรียมหน่วยความจำส่วนหนึ่งไว้ใช้เก็บชื่อไฟล์ ซึ่งหน่วยความจำส่วนนี้เป็นส่วนที่โปรแกรมและในระบบจัดการรับรู้แล้ว หน่วยความจำส่วนนี้เราเรียกว่า FILE CONTROL BLOCK หรือ FCB

3.6.10 ขนาดของไฟล์ (FILE SIZE)

สมมติว่ามีไฟล์ซึ่งกินหน่วยความจำมาก การโหลดข้อมูลจากไฟล์เข้ามาเก็บในหน่วยความจำของคอมพิวเตอร์นั้น ไฟล์อาจจะใหญ่เกินไปจนไม่สามารถเก็บในหน่วยความจำของเครื่องได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แต่เราสามารถหลีกเลี่ยงได้คือ แบ่งไฟล์ออกเป็นเรคคอร์ดย่อยๆก่อน จากนั้นจึงค่อยโหลดทีละเรคคอร์ดเข้าไปเก็บในหน่วยความจำของคอมพิวเตอร์

3.6.11 การอ่านไฟล์

เมื่อเปิดไฟล์แล้ว ต่อไปจะต้องอ่านข้อมูลที่อยู่ในไฟล์บนแผ่นดิสค์เข้าไปเก็บยังหน่วยความจำของคอมพิวเตอร์ โดยใช้ SEQUENTIAL READ DOS FUNCTION

ฟังก์ชัน SEQUENTIAL READ

Reg AH = 14h

Reg DS = เซกเมนต์แอดเดรสของ FCB ที่จะเปิด

Reg DX = ออฟเซตแอดเดรสของ FCB ที่จะเปิด

INT 21h

ชื่อไฟล์และนามสกุล และ current block , current record , record size จะต้องเก็บไว้ใน FCB

ค่าที่ส่งกลับ:

Reg AL = 00 ถ้าเรคคอร์ดถูกอ่านอย่างสมบูรณ์

= 01 ถ้าพบ end-of-file ไม่มีข้อมูลในเรคคอร์ด

= 02 ถ้า DTA เล็กเกินไป - หยุดการส่งถ่าย

= 03 ถ้าพบ end-of-file , เรคคอร์ดย่อย

3.6.12 DATA TRANSFER AREA

ถ้าโปรแกรมมีการอ่านข้อมูลจากไฟล์ ระบบจัดการจะอ่านข้อมูลจากแผ่นดิสค์เข้าไปเก็บยังหน่วยความจำ และถ้าโปรแกรมมีการเขียนข้อมูลบนแผ่นดิสค์ โปรแกรมต้องนำข้อมูลเหล่านี้เข้าไปเก็บในหน่วยความจำส่วนนี้เช่นกัน เรียกหน่วยความจำนี้ว่า DATA TRANSFER AREA หรือ DTA

3.6.13การสร้างไฟล์

การจะเขียนข้อมูลลงแผ่นดิสค์ ในกรณีที่ไม่มีไฟล์นั้นอยู่บนแผ่นดิสค์เลย จะต้องสร้างไฟล์นั้นขึ้นมาก่อนที่จะมีการเปิดไฟล์ แต่ถ้ามีไฟล์นั้นแล้วข้อมูลเก่าจะถูกลบทิ้งไป ข้อมูลที่นำเข้าไปภายหลังจะเก็บไว้ในไฟล์ใหม่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ฟังก์ชัน CREATE FILE

Reg AH = 16H

Reg DS = เซกเมนต์แอดเดรสของ FCB

Reg DX = ออฟเซตแอดเดรสของ FCB

INT 21H

ชื่อไฟล์และนามสกุลจะต้องใส่ใน FILE CONTROL BLOCK

ค่าที่ส่งกลับ:

Reg AL = 00 ถ้าการสร้างสำเร็จเรียบร้อย

= FFH ถ้าไม่มีที่เหลือแล้ว

drive number , current block , record size , file size และข้อมูลต้องเติมใน FILE CONTROL BLOCK

3.6.14 การเขียนแบบซีเควนเชียล

ก่อนที่จะเขียนไฟล์นั้นจะต้องมีการเปิดก่อนเสมอ และชื่อของไฟล์ต้องนำไปเก็บใน FCB แต่ละครั้งที่ใช้ฟังก์ชัน เรคคอร์ดใหม่จะถูกนำเข้าไปเก็บในไฟล์ และ record number จะถูกเพิ่มค่าขึ้น ความจริงแล้วเรคคอร์ดไม่ได้ถูกเขียนลงบนแผ่นดิสค์ทุกครั้งที่มีการใช้ฟังก์ชันนี้ ถ้าเรคคอร์ดที่ถูกเขียนมีความยาวไม่เพียงพอที่จะนำเข้าไปเก็บในส่วนของแผ่นดิสค์ที่เรียกว่า SECTOR หรือจนกว่าไฟล์จะถูกปิดลง (1 SECTOR = 512 BYTE)

ฟังก์ชัน SEQUENTIAL WRITE

Reg AH = 15H

Reg DS = เซกเมนต์แอดเดรสของ FCB ที่จะเปิด

Reg DX = ออฟเซตแอดเดรสของ FCB ที่จะเปิด

INT 21H

ชื่อไฟล์และนามสกุล , current block , current record , record size จะต้องถูกใส่ใน FCB

Reg AL = 00 ถ้าเรคคอร์ดถูกเขียนอย่างสมบูรณ์

= 01 ถ้าแผ่นดิสค์เต็ม

= 02 ถ้า DTA เล็กเกินไป และ จบการส่งถ่ายข้อมูล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4

การทดลองและผลการทดลอง

การทดลองแบ่งออกเป็น 3 กรณี

กรณีที่ 1

-สื่อสารข้อมูลระหว่าง MPF-1 กับ MPF-1 ระหว่างชั้นภายในอาคารเดียวกัน

-อัตราเร็วในการส่ง 1200-4800 buad

ผลการทดลอง

สามารถรับส่งข้อมูลได้แต่ยังมีความผิดพลาด

กรณีที่ 2

-สื่อสารข้อมูลระหว่าง MPF-1 กับ IBM-PC ระหว่างชั้นภายในอาคารเดียวกัน

-อัตราเร็วในการส่ง 1200-4800 buad

ผลการทดลอง

กรณีนี้พบว่ามีสัญญาณรบกวนจากไอบีเอ็ม ซึ่งปรากฏผลอย่างเด่นชัดเช่น จะทำให้ลักษณะสัญญาณ FSK เพี้ยนไป อย่างไรก็ตามก็ยังคงสามารถปรับค่า ความต้านทานกับตัวเก็บประจุ จนกระทั่งรับส่งข้อมูลได้ดีแต่ก็ยังมีข้อผิดพลาด

กรณีที่ 3

- การสื่อสารข้อมูลระหว่างไอบีเอ็ม กับ ไอบีเอ็ม ระหว่างชั้นภายในอาคารเดียวกัน

- อัตราเร็วในการส่งข้อมูล 1200-4800

ผลการทดลอง

ภายหลังการปรับค่า ความต้านทาน และ ตัวเก็บประจุที่ LM 1893จนเหมาะสมก็สามารถรับส่งข้อมูลได้ดีแต่ก็ยังมีข้อผิดพลาดเช่นกัน

ทั้ง 3 กรณีสิ่งที่เป็นปัญหาสำคัญก็คือ สัญญาณรบกวนภายในสายส่งไฟฟ้ากำลัง ซึ่งอาจทำให้ข้อมูลผิดพลาดได้ ปกติแล้วการปรับค่าความต้านทาน,ค่าคาปาซิเตอร์และค่าอินดักแตนซ์ ของวงจรที่อินเตอร์เฟสกับสายส่งไฟฟ้ากำลังสามารถแก้ปัญหานี้ได้ดีพอสมควร นอกจากนี้ความถูกต้องของข้อมูลยังขึ้นกับตัวแปรอื่นๆด้วย เช่นความถี่ของคลื่นพาห์ และอัตราการส่งข้อมูล พบว่าที่อัตราการส่งข้อมูลต่ำๆจะมีความถูกต้องมากกว่า และถ้าใช้ความถี่ของคลื่นพาห์ที่สูงขึ้นจะทำให้อัตราเร็วของข้อมูลสูงสุดเพิ่มขึ้นด้วย

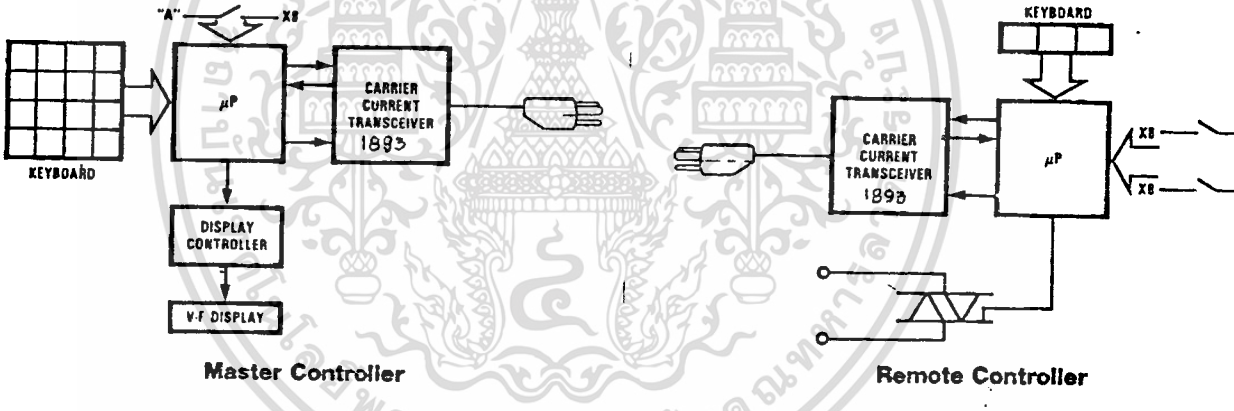
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5

บทวิจารณ์ และ สรุป

เครื่องสื่อสารข้อมูลดิจิตอลผ่านสายส่งไฟฟ้ากำลัง สามารถใช้ข้อมูลได้ประมาณ 4800 บอด ในลักษณะอาสลัฟดูเพล็กซ์ มีโปรโตคอลที่แน่นอน จึงสามารถพัฒนาเป็นระบบโครงข่ายย่อย ๆ แบบประหยัดที่ไม่ต้องการความเร็วสูงมาก เช่น โครงข่ายของไมโครคอมพิวเตอร์ภายในสำนักงาน อุปกรณ์นี้ยังช่วยลดค่าใช้จ่ายต่าง ๆ อันเนื่องมาจากการเดินสายข้อมูลเพราะในระบบนี้ใช้สายส่งไฟฟ้ากำลังที่ติดตั้งอยู่ภายในอาคารอยู่แล้ว

เทคนิคของการส่งข้อมูลโดยผ่านสายส่งไฟฟ้ากำลังยังสามารถนำมาประยุกต์ใช้ในงานด้านอื่น ๆ เช่น ใช้ในการควบคุมอุปกรณ์ไฟฟ้าต่าง ๆ และ ระบบรักษาความปลอดภัยที่ใช้คอมพิวเตอร์ควบคุม ดังตัวอย่างในรูป 5.1



รูป 5.1 แสดงการประยุกต์ใช้งาน

อย่างไรก็ตามอุปกรณ์ดังกล่าวยังอยู่ในขั้นศึกษาถึงความเป็นไปได้ ต้องมีการแก้ไขข้อบกพร่องบางประการ เช่น ความผิดพลาดของข้อมูลเนื่องจากผลของสัญญาณรบกวนภายในสายส่งไฟฟ้ากำลัง เป็นต้น จึงสมควรที่จะได้พัฒนาต่อไปให้เป็นระบบที่สมบูรณ์ยิ่งขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

PRELIMINARY

BI-LINE™

LM1893 Carrier-Current Transceiver†

General Description

Carrier-current systems use the power mains to transfer information between remote locations. This bipolar carrier-current chip performs as a power line interface for half-duplex (bi-directional) communication of serial bit streams of virtually any coding. In transmission, a sinusoidal carrier is FSK modulated and impressed on most any power line via a rugged on-chip driver. In reception, a PLL-based demodulator and impulse noise filter combine to give maximum range. A complete system may consist of the LM1893, a COPS™ controller, and discrete components.

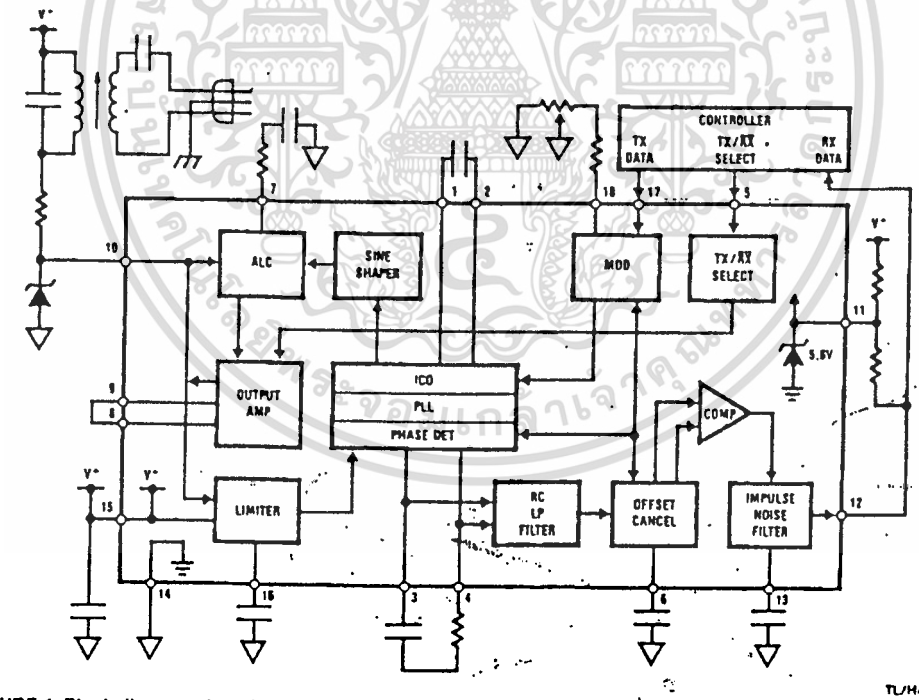
Features

- Noise resistant FSK modulation
- User-selected impulse noise filtering
- Up to 4.8 kBaud data transmission rate
- Strings of 0's or 1's in data allowed
- Sinusoidal line drive for low RFI
- Output power easily boosted 10-fold
- 50 to 300 kHz carrier frequency choice
- TTL and MOS compatible digital levels
- Regulated voltage to power logic
- Drives all conventional power lines

Applications

- Energy management systems
- Home convenience control
- Inter-office communication
- Appliance control
- Fire alarm systems
- Security systems
- Telemetry
- Computer terminal interface

Typical Application



TL/H/8750–1

FIGURE 1. Block diagram of carrier—current chip with a complement of discrete components making a complete transceiver. Use caution with this circuit—dangerous line voltage is present.

†Carrier-Current Transceivers are also called Power Line Carrier (PLC) transceivers.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings

Supply voltage	30 V
Voltage on pin 12	55 V
Voltage on pin 10 (Note 1)	41 V
Voltage on pins 5 and 17	40 V
5.6 V DC zener current	100 mA

Junction temperature: transmit mode	150°C
receive mode	125°C
Maximum continuous dissipation, $T_A = 25°C$, (Note 2): plastic DIP N	1.66 W
Operating ambient temp. range	−25 to 85°C
Storage temperature range	−65 to 150°C
Lead temp., soldering, 7 seconds	260°C

General Electrical Characteristics (Note 3). The test conditions are: $V^+ = 18$ V and $F_O = 125$ kHz, unless otherwise noted.

#	Parameter	Conditions	Typical	Test Limit (Note 4)	Design Limit (Note 5)	Limit Units
1	5.6 V Zener voltage, V_Z	Pin 11, $I_Z = 2$ mA	5.6	5.2 5.9		V min. V max.
2	5.6 V Zener resistance, R_Z	Pin 11, $R_Z = (V_Z@10\text{ mA} - V_Z@1\text{ mA})/(10\text{ mA} - 1\text{ mA})$	5			Ω
3	Carrier I/O peak survivable transient voltage, V_{OT}	Pin 10, discharge 1 μF cap. charged to V_{OT}	80	60		V max.
4	Carrier I/O clamp voltage, V_{OC}	Pin 10, $I_{OC} = 10$ mA, RX mode 2N2222 diode pin 8 to 9	44	41 50		V min. V max.
5	Carrier I/O clamp resistance, R_{10}	Pin 10, $I_{OC} = 10$ mA	20			Ω
6	TX/$\overline{RX}$ low input voltage, V_{IL}	Pin 5	1.8	0.8		V max.
7	TX/$\overline{RX}$ high input voltage, V_{IH}	Pin 5 (Note 9)	2.2	2.8		V min.
8	TX/$\overline{RX}$ low input current, I_{IL}	Pin 5 at 0.8 V	−2	−20 1		μA min. μA max.
9	TX/$\overline{RX}$ high input current, I_{IH}	Pin 5 at 40 V	10^{-4}	−1 10		μA min. μA max.
10	RX−TX switch-over time, T_{RT}	Time to develop 63% of full current drive through pin 10	10			μs
11	TX−RX switch-over time, T_{TR}	1 bit time $T_B = 1/(2F_{DATA})$ Time T_{TR} is user controlled with C_M, see Apps. Info.	2			bit
12	ICO initial accuracy of F_O	TX mode, $R_O = 6.65$ kΩ, $C_O = 560$ pF	125	113 137		kHz min. kHz max.
13	ICO temperature coefficient of F_O	TX mode, $(F_{OMAX} - F_{OMIN})/(T_{JMAX} - T_{JMIN})$	(±200)			PPM/°C
14	Temperature drift of F_O	TX mode, $-25 \le T_J \le 150°C$	(±2.0)		(±5.0)	% max.

Transmitter Electrical Characteristics (Note 3). The test conditions are: $V^+ = 18$ V and $F_O = 125$ kHz unless otherwise noted. The transmit center frequency is F_O, FSK low is F_1, and FSK high is F_2.

#	Parameter	Conditions	Typical	Test Limit (Note 4)	Design Limit (Note 5)	Limit Units
15	Supply voltage, V^+, range	Meets test 17 spec. at $T_J = 25°C$ and: $\lvert(F_1[14V] - F_1[18V])/F_1[18V]\rvert < 0.01$ $\lvert(F_1[24V] - F_1[18V])/F_1[18V]\rvert < 0.01$	(13)	14 24	(15) (23)	V min. V max.
16	Total supply current, I_{OT}	Pin 15, Pin 12 high. I_{OT} is I_O through pin 15 and the average current I_{ODC} of the Carrier I/O through pin 10	42	79		mA max.
17	Carrier I/O output current, I_O	100Ω load on pin 10	70	45		mApp min.
18	Carrier I/O lower swing limit, V_{ALC}	Pin 10. Set internally be ALC 2N2222 diode pin 8 to 9	4.7	4.0 5.7		V min. V max.
19	THD of I_O (Note 6)	Q of 10 tank driving 10Ω line 100Ω load, no tank	0.6 5.5		(2.0) 9	% max. % max.
20	FSK deviation, $F_2 - F_1$	$(F_2 - F_1)/([F_2 + F_1]/2)$	4.4	3.7 5.2		% min. % max.
21	Data In, low input voltage, V_{IL}	Pin 17	1.7	0.8		V max.
22	Data In, high input voltage, V_{IH}	Pin 17 (Note 9)	2.1	2.8		V min.
23	Data In, low input current, I_{IL}	Pin 17 at 0.8 V	−1	−10 1		μA min. μA max.
24	Data In, high input current, I_{IH}	Pin 17 at 40 V	10^{-4}	−1 10		μA min. μA max.

Note 1: Transients may reach above 60 V; see the transient peak voltage characteristic curve.

Note 2: The maximum power dissipation rating should be derated for device operation above 25°C to insure that the junction temperature remains below the maximum [illegible] rating. Use a θ_{JA} of 75°C/W for the N package using a socket in still air. Consult the Application Information section for more detail.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Receiver Electrical Characteristics (Note 3). The test conditions are: $V^+ = 18$ V, $F_O = 125$ kHz, ±2.2% deviation FSK, $F_{DATA} = 2.4$ kHz, $V_{IN} = 100$ mVpp, in the receive mode, unless otherwise noted.

#	Parameter	Conditions	Typical	Test Limit (Note 4)	Design Limit (Note 5)	Limit Units
25	Supply voltage, V^+, range	Functional receiver (Note 7)	(12)	13 30	(13.5) (28)	V min. V max.
26	Supply current, I_{QT}	I_{QT} is pin 15 (V_+) plus pin 10 (Carrier I/O) current. 2.4 kΩ Pin 13 to GND.	11	5 14		mA min. mA max.
27	Carrier I/O input resistance, R_{10}	Pin 10	19.5	15 30		kΩ min. kΩ max.
28	Max. data rate, F_{MD}	Functional receiver (Note 7) square-wave data, 2.4 kHz = 4.8 kBaud	10	4.8	(2.4)	kBaud
29	PLL capture range, F_C	$C_F = 100$ pF, $R_F = 0\ \Omega$	±40	±20		% min.
30	PLL lock range, F_L	$C_F = 100$ pF, $R_F = 0\ \Omega$	±45	±20		% min.
31	Receiver input sensitivity, S_{IN}	For a functional receiver (Note 8) Referred to chip side (pin 10) of the line-coupling XFMR: $F_O = 50$ kHz $F_O = 300$ kHz Referred to line side of XFMR: (assuming a 7.07:1 XFMR) $F_O = 50$ kHz $F_O = 300$ kHz	... 1.8 2.0 1.4 0.26 0.29 0.20	... 10	... (12)	... mV_{RMS} mV_{RMS} mV_{RMS} mV_{RMS} mV_{RMS} mV_{RMS}
32	Tolerable input dc voltage offset range, V_{INDC}	Pin 10 lower than pin	.2	0.1		V max.
33	Data Out, breakdown voltage	Pin 12, leakage I ≤ 20 μA	70	55		V min.
34	Data Out, low output, V_{OL}	Pin 12, sat. voltage at $I_{OL} = 2$ mA	0.15	0.4		V max.
35	Impulse noise filter current, I_I	Pin 13 charge and discharge current	±50	±45 ±85		μA min. μA max.
36	Offset hold cap. bias voltage, V_{CM}	Pin 6	2.0	1.3 3.5		V min. V max.
37	Offset hold capacitor max. drive current, I_{MCM}	Pin 6. V(pin 3) − V(pin 4) = ±250 mV	±48	±25 ±80		μA min. μA max.
38	Offset hold bias current, I_{OHB}	Pin 6, TX mode. Bias pin 6 as it self-biased during test 32.	−0.5	−20	(−40) (40)	nA min. nA max.
39	Phase comparator current, I_{PC}	Bias pins 3 and 4 at 6.5 V I_{PC} = I(pin 3) + I(pin 4), TX mode	100	50 200		μA min. μA max.
40	Phase detector output resistance, R_{PD}	Pins 3 and 4. R_{PD} = (V@100μA − V@50μA)/(50μA)	10	6 18		kΩ min. kΩ max.
41	Phase detector demodulated output voltage, V_{PD}	Pin 3 to 4, measured after filtering out the $2F_O$ component	100	60 180		mVpp min. mVpp max.
42	Fast offset cancel voltage "window" -to-V_{PD} ratio, V_W/V_{PD}	$V_{PIN3} - V_{PIN4} = \pm V_{WINDOW}$ + DC offset Drive for ±1 μA pin 6 current	0.95	0.70 1.20		V/V min. V/V max.
43	Power supply rejection, PSRR	$C_L = 0.1$ μF. PSRR = CMRR. 120 Hz	80			dB min.

Note 3: The values inside parentheses ( ) apply over the full operating temperature range after warmup for the specified supply voltage range. All other numbers apply at $T_A = T_J = 25°C$.

Note 4: Guaranteed and 100% production tested.

Note 5: Guaranteed (but not 100% production tested) over the temperature and supply voltage ranges. These limits are not used to calculate outgoing quality levels.

Note 6: Total harmonic distortion is measured using THD = [I_{RMS} (all components at or above $2F_O$)]/[I_{RMS} (fundamental)].

Note 7: Receiver function is defined as the error-free passage of 1 cycle of 50% duty-cycle 2.4 kHz square-wave data (2 sequential 208 μS bits), with the first bit being a "1." All of the data transitions (edges) must fall within ±10% (±20.8 μs) of their noise-free positions. RX time delay is minimized by using no impulse noise filter cap. C_I for this test.

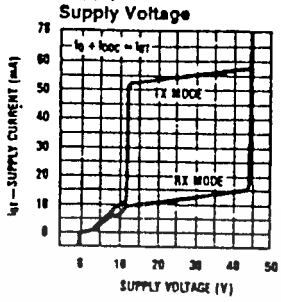
Note 8: During the sensitivity check, note 7 requirements are followed with these exceptions: (1) data rate $F_{DATA} = 1.2$ kHz, (2) all of the data transitions must fall within ±20% (±41.6 μs) of their noise-free positions, and (3), a time-domain filter capacitor (C_I) is used. The time delay of C_I is ½ bit, or 208 μs. (C_I is approximately 8200 pF).

Note 9: For TTL compatibility use a pull-up resistor to increase min. V_{OH} to above 2.8 V.

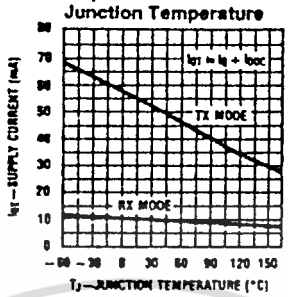
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Characteristics ($V^+ = 18V$, $F_O = 125$ kHz, circuit of *Figure 1*)

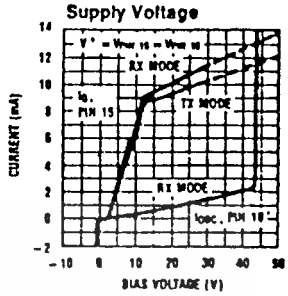
Supply Current vs. Supply Voltage



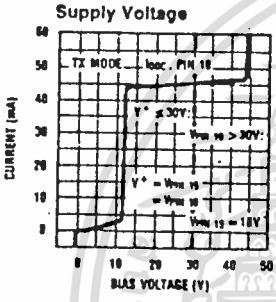
Supply Current vs. Junction Temperature



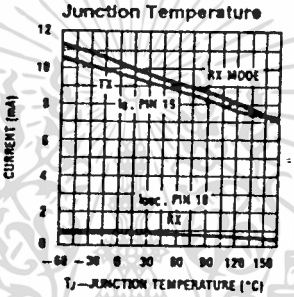
Bias Currents vs. Supply Voltage



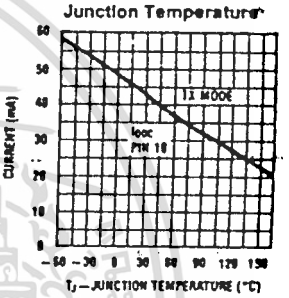
Pin 10 Current vs. Supply Voltage



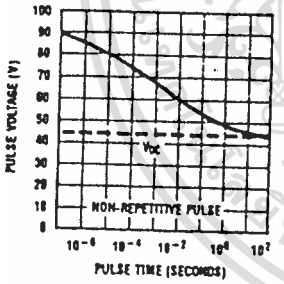
Bias Currents vs. Junction Temperature



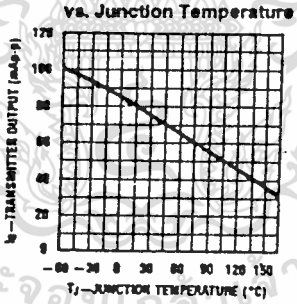
Pin 10 Current vs. Junction Temperature



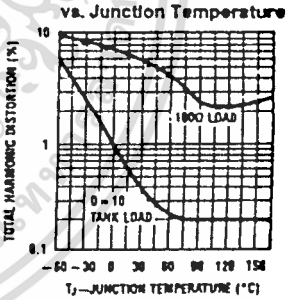
Transient Voltage Survival vs. Pulse Time



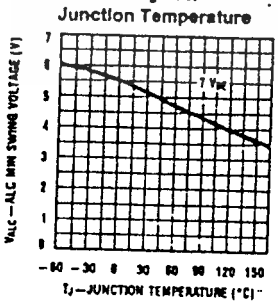
Transmitter Output Current vs. Junction Temperature



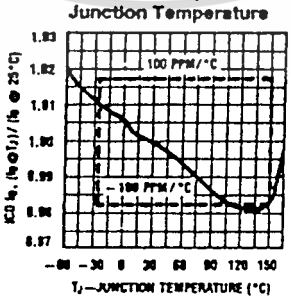
Transmitter Sinusoid THD vs. Junction Temperature



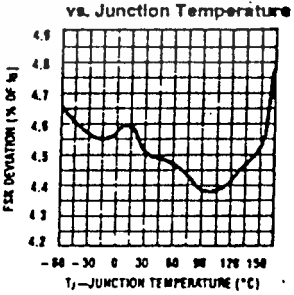
ALC Voltage vs. Junction Temperature



ICO Frequency vs. Junction Temperature



Transmitter FSK Deviation vs. Junction Temperature

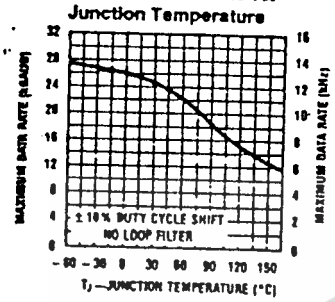


TL/H/8780–36

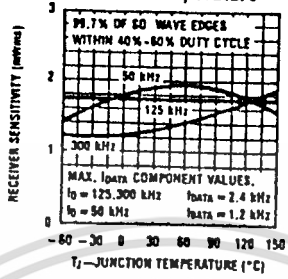
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Characteristics ($V^+ = 18V$, $F_O = 125$ kHz, circuit of *Figure 1*) (Continued)

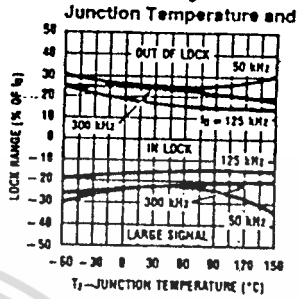
Maximum Data Rate vs. Junction Temperature



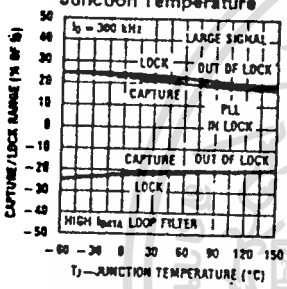
Receiver Sensitivity vs. Junction Temperature



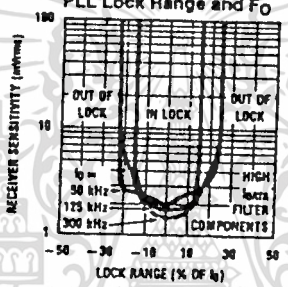
PLL Lock Range vs. Junction Temperature and F_O



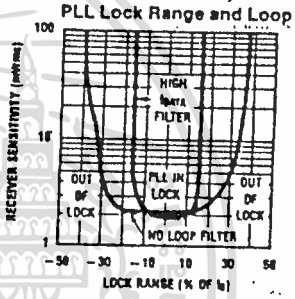
PLL Capture & Lock Range vs. Junction Temperature



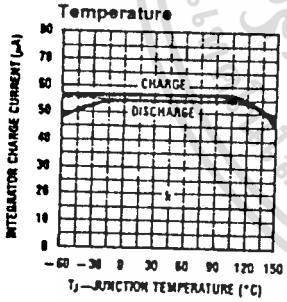
Receiver Sensitivity vs. PLL Lock Range and F_O



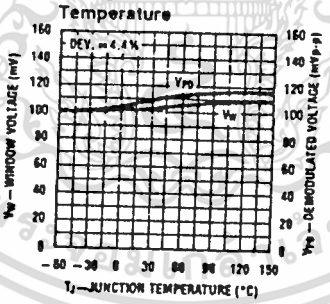
Receiver Sensitivity vs. PLL Lock Range and Loop Filter



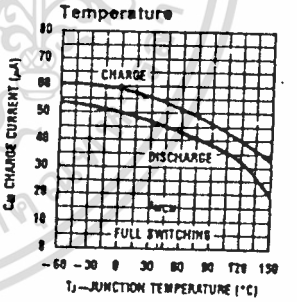
Impulse Noise Filter Current vs. Junction Temperature



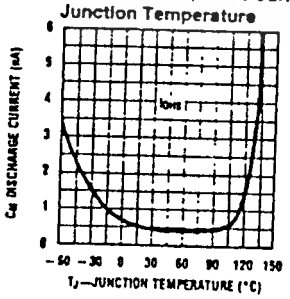
Phase Detector Output Voltage vs. Junction Temperature



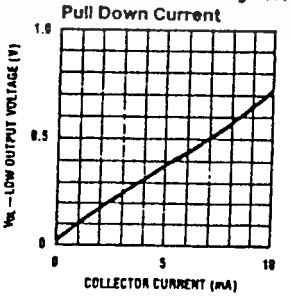
Offset Hold Cap. Charge Currents vs. Junction Temperature



Offset Hold Cap. Bias Current vs. Junction Temperature



Data Out Low Voltage vs. Pull Down Current



TL/H/8750-39

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Application Information

THE DATA PATH

The BI-LINE™ chip serves as a power line interface in the carrier-current transceiver (CCT) system of *Figure 3*. *Figure 4* shows the interface circuit now discussed. The controller may select either the transmit (TX) or receive (RX) mode. Serial data from the controller is used to generate a FSK-modulated 50 to 300 kHz carrier on the line in the TX mode. In the RX mode line signal passes through the coupling transformer into the PLL-based receiver. The recreated serial bit stream drives the controller.

With the IC in the TX mode (pin 5 a logic high), baseband data to 5 kHz drive the modulator's Data In pin to generate a switched 0.987I/1.022I control current to drive the low TC, triangle-wave, current-controlled oscillator to ±2.2% deviation. The tri-wave passes through a differential attenuator and sine shaper which deliver a current sinusoid through an automatic level control (ALC) circuit to the gain of 200 current output amplifier. Drive current from the Carrier I/O develops a voltage swing on T_1's (*Figure 4*) resonant tank proportional to line impedance then passes through the step-down transformer and coupling capacitor C_C onto the line. Progressively smaller line impedances cause reduced signal swing, but never clipping-thus avoiding potential radio frequency interference. When large line impedances threaten to allow excessive output swing on pin 10, the ALC shunts current away from the output amplifier, holding the voltage swing constant and within the amp's compliance limit. The amplifier is stable with a load of any magnitude or phase.

In the RX mode (pin 5 a logic low), the TX sections on the chip are disabled. Carrier signal, broad-band noise, transient spikes, and power line component impinge of the receiver's input highpass filter, made up of C_C and T_1, and the tank bandpass filter. In-band carrier signal, band-limited noise, heavily attenuated line frequency component, and attenuated transient energy pass through to produce voltage swing on the tank, swinging about the positive supply to drive the carrier I/O receiver input. The balanced Norton-input limiting amplifier removes DC offsets, attenuates line frequency, performs as a bandpass filter, and limits the signal to drive the PLL phase detector differentially. The differential demodulated output signal from the phase detector, containing AC and DC data signal, noise, system DC offsets, and large twice-the-carrier frequency component, passes through a 3-stage RC lowpass filter to drive the offset cancel circuit differentially. The offset cancelling circuit works by insuring that the (fixed) ±50 mV signal delivered to the data squaring ("slicing") comparator is centered around the 0 mV comparator switch point. Whenever the comparator signal plus DC offset and noise moves outside the carefully matched ±50 mV voltage "window" of the offset cancel circuit, it adjusts its DC correction voltage in series with the differential signal to force the signal back into the window. While the signal is within the ±50 mV window, the DC offset is stored on capacitor C_M. By grace of the highly non-linear offset hold capacitor charging during offset cancelling, the DC cancellation is done much more quickly than with an AC coupling capacitor normally used in place of the offset cancel circuit. Since impulse noise spikes normally ring the signal symmetrically around 0 V, the fully bilateral offset cancel topology affords excellent noise rejection. The switched current output of the comparator drives the impulse noise filter integrator capacitor that rejects all data pulses of less than the integrator charge time. False bits and noise may appear as duty-cycle jitter errors at the open collector serial data output.

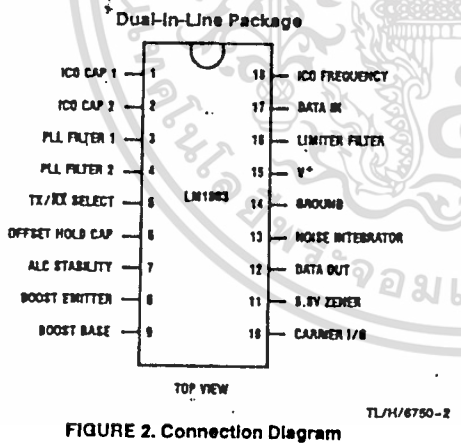


FIGURE 2. Connection Diagram

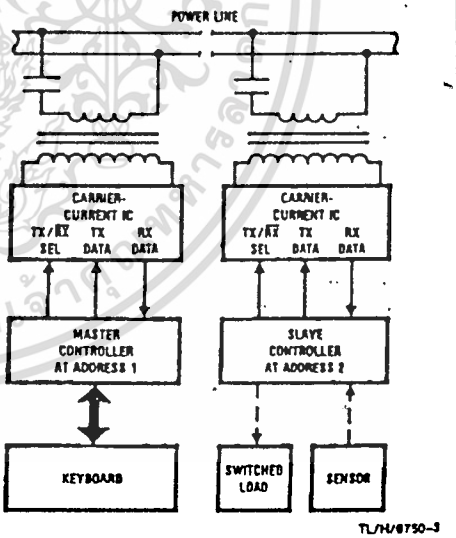


FIGURE 3. The block diagram of a carrier-current system using the BI-Line chip to interface digital controllers via the power line

See NS Package Number N18A
Order Part LM1893N

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Application Information (Continued)

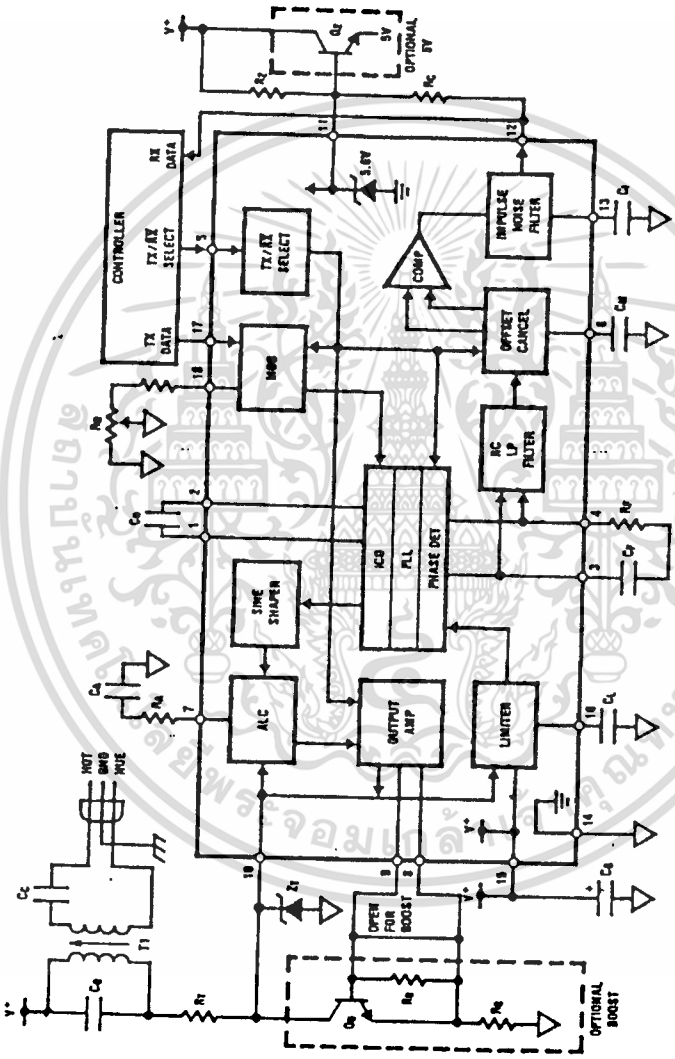


FIGURE 4. Block diagram of a CCT system with the boost and 5V supply options shown in dashed boxes

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Application Information (Continued)

#	Recommended Value	Purpose	Effect of making the component value: Smaller	Larger	Notes
C_O R_O	560 pF 6.2 kΩ	Together, C_O and R_O set ICO F_O.	Increases F_O Increases F_O <5.6 k not recommended.	Decreases F_O Decreases F_O >7.6 k not recommended.	± 5% NPO ceramic. Use low TC 2 k pot and 5.6 k fixed R. Poor F_O TC with <5.6 k R_O.
C_F R_F	0.047 µF 3.3 kΩ	PLL loop filter pole PLL loop filter zero	Less noise immune, higher F_{DATA}, more PLL stability. PLL less stable, allows less C_F. Less ringing.	More noise immune, lower F_{DATA}, less PLL stability. PLL more stable, allows more C_F. More ringing.	Depending on R_F value and F_O, PLL unstable with large C_F. See Apps. Info. C_F and R_F values not critical.
C_C	0.22 µF	Couple F_O to line. C_C and T_1 low-pass attenuates 60 Hz.	Low TX line amplitude. Less 60 Hz T_1 current. Less stored charge.	Drives lower line Z. More 60 Hz T_1 current. More stored charge.	≥ 250 V non-polar. Use $2C_C$ on hot and neutral for max. line isolation, safety.
C_O T_1	0.033 µF Use recommended XFMR	Tank matches line Z, bandpass filters, isolates from line, and attenuates transients.	Tank F_O up or increase L of T_1 for constant F_O. Smaller L: higher F_O or increase C_C; decreased F_O line pull.	Tank F_O down or decrease L of T_1 for constant F_O. Larger L: lower F_O or decrease C_C; increased F_O line pull.	100 V nonpolar, low TC, ± 10% High large-signal Q needed. Optimize for low F_O line pull with control of F_O TC and Q.
C_A R_A	0.1 µF 10 kΩ	ALC pole ALC zero	Noise spikes turn ALC off. Less stable ALC.	Slower ALC response. More stable ALC.	R_A optional. ALC stable for $C_A \geq 100$ pF.
C_L	0.047 µF	Limiter 50 kHz pole, 60 Hz rejection.	Higher pole F, more 60 Hz reject. F_O attenuation?	Lower pole F, less 60 Hz reject, more noise BW.	Any reasonably low TC cap. 300 pF guarantees stability.
C_M	0.47 µF	Holds RX path V_{OS}	Less noise immune, shorter V_{OS} hold, faster V_{OS} acquisition, shorter preamble.	More noise immune, longer V_{OS} hold, slower V_{OS} acquisition, longer preamble.	Low leakage ± 20% cap. Scale with F_{DATA}.
C_I	0.047 µF	Rejects short pulses like impulse noise.	Less impulse reject, delay, more pulse jitter.	More impulse reject, delay, less pulse jitter.	C_I charge time ½ bit nom. Must be < 1 bit worst-case.
R_C	10 kΩ	Open-col. pull-up	Less available sink I.	Less available source I.	$R_C \geq 1.5$ kΩ on 5.6 V
R_Z	12 kΩ	5.6 V Zener bias	Larger shunt current, more chip dissipation.	Smaller shunt current, less V+ current draw.	$1 < I_Z < 30$ mA recommended. (Chip power-up needs 5.6 V)
Z_T R_T	≥ 44 V BV <60 V peak 4.7 Ω	Transient clamp Transient I limit	Higher R_Z-excess peak V, Zener and chip damage. Damage Z_T, pull up V+.	Lower R_Z gives enhanced transient clamp. Costly. Excessive TX attenuation.	Recommend Zener rated for ≥ 500 W for 1 ms Carbon comp. recommended
R_B Q_B R_G	180 Ω Power NPN 1.1 Ω	Base bleed Boost gain device Current setting R	Faster, lower THD I_O. Excessive T_J and V_{SAT}. More I_O, need higher h_{fe}.	Inadequate turn-off speed. More rugged, but costly. Less I_O, lower min. h_{fe}.	Boost optional. Q_B F(−3 dB) of >200 MHz. R_B > 24 Ohm. $I_O = 700[(10 + R_G)/10R_G]$ mApp
C_B	≥ 47 µF	Supply bypass	Transients destroy chip.	Less supply spike.	V+ never over abs. max.

FIGURE 5. A quick explanation of the external component function using the circuit of *Figure 4*. Values given are for $V^+ = 18$ V, $F_O = 125$ kHz, $F_{DATA} = 360$ Baud (180 Hz), using a 115 V 60 Hz power line

Component Selection

Assuming the circuit of *Figure 4* is used with something other than the nominal 125 kHz carrier frequency, 180 Hz data rate, 18V supply voltage, etcetera, the component values listed in *Figure 5* will need changing. This section will help direct the CCT designer in finding the required component values with emphasis placed on look-up tables and charts instead of circuit theory. It is assumed that the designer has selected values for carrier center frequency, F_O; data rate, F_{DATA}; supply voltage, V_+; and power line voltage, V_L, and frequency, F_L. If one or more of those parameters is not defined, one may read the data sheet and make an educated guess - or just pick a nominal value and try the circuit.

Maxims to keep in mind, based on CCT electrical performance considerations only, are: 1) the higher the F_O the better, 2) the lower the maximum data rate the better, and 3) the more time and frequency filtering the better.

Use *Figure 5* as a quick reference to the external component function.

The Transmitter

C_O

Central to chip operation is the low TC of F_O emitter-coupled oscillator. With proper C_O, the F_O of the $2V_{BE}$ amplitude triangle-wave oscillator output may vary from near DC to above 300 kHz. While C_O may have any value, C_O should

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

The Transmitter (Continued)

be made above 10 pF so that parasitic capacitance is not dominant. Excessive or unbalanced common-mode-to-ground capacitance should be avoided. A low temperature coefficient (TC) of capacitance (<100 PPM/°C), such as a monolithic NPO ceramic multilayer type, preserves low TC of F_O. *Figure 6* finds a C_O value given F_O.

R_O

Resistor R_O is used by the IC to generate a V_{BE}/R related current that is multiplied by 2 to produce the 200 μA ICO control current that sets F_O. The control current TC "bucks" the V_{BE} related tri-wave amplitude across C_O to effect a low TC of F_O. Vary R_O to trim F_O within limits. Raising F_O more than 20% above its untrimmed value by means of decreasing R_O more than 20% is not recommended. Low R_O, and so high control current, risks ICO saturation and poor TC under worst-case conditions. Raising R_O reduces the demodulated signal amplitude from the phase detector; raising R_O by more than a factor of 2 (1 octave) is not recommended.

Since lower TC pots are relatively costly, it is recommended that R_O be made up of a 5.6 k fixed (<100 PPM/°C) resistor with a 2 kΩ (<250 PPM/°C) series pot.

C_A and R_A

Components C_A and R_A control the dynamic characteristics of the transmitter output envelope. Their values are not critical. Use the values given in *Figure 5*. C_A and R_A are functions of loaded T_1 tank Q, R_O, F_{DATA}, and line impulse noise. Any changes made in C_A and R_A should be made based on empirical measurements of a CCT on the line. Roughly, C_A acts as an ALC pole and R_A an ALC zero.

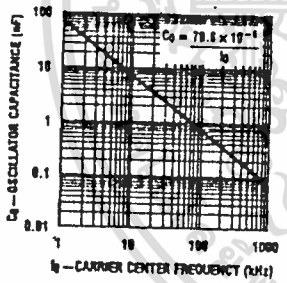
T_1

At this point, the CCT system designer may choose to use one of the recommended transformers or to design T_1 oneself. Consult "The Coupling Transformer" section to help with the design of T_1 if a new or boost-capable transformer is needed. The recommended 125 kHz transformer functions with an I_O of up to 600 mApp.

It is recommended that CCT systems use the recommended transformers, described in *Figure 7*, for T_1. The 3 transformers are optimized for use in the ranges of 50–100 kHz, 100–200 kHz, and 200–400 kHz with unloaded Q's (Q_U) of about 35, and loaded Q's (Q_L) of about 12. Three secondary taps are supplied with nominal 7.07, 10, and 14.1 turns ratios (N) to drive industrial and residential power line impedances of 3.5, 7, and 14Ω respectively. All are inexpensive, all have the same pin-outs for easy exchange in a PC board, and all are small - on the order of 10 mm diameter at the base.

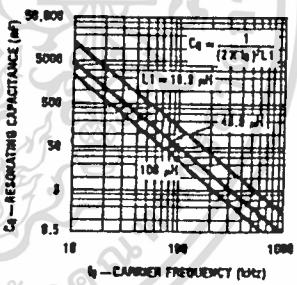
C_O

Tank resonant frequency F_O must be correct to allow passage of transmitter signal to the line. Use *Figure 8* to find C_O's value. Trimming F_O to equal F_O is done with T_1's trimming slug. The inductance of T_1 has a TC of +150 PPM/°C which may be cancelled by using a −150 PPM/°C cap such as polystyrene. Since circulating current in the tank is ¼ A_{RMS}, C_O should have a low series resistance (a 1 Ω series resistance is too much). Polypropelene caps are excellent, "orange drop" mylars are adequate, while many other mylars are inadequate. A 100V rating is needed for transient protection.



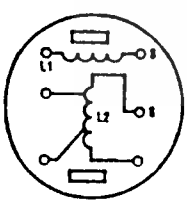
TL/H/8750–5

FIGURE 6. Find C_O's value knowing F_O

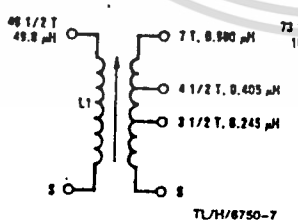


TL/H/8750–10

FIGURE 8. Find C_O's value given F_O

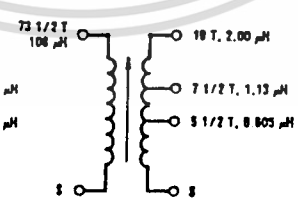


TL/H/8750–6



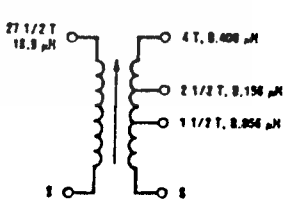
TL/H/8750–7

125 kHz
C^2 10UL-001
Toko 707VX-A042YUK



TL/H/8750–8

50 kHz
C^2 10UL-002
Toko 707VX-A043YUK



TL/H/8750–9

300 kHz
C^2 10UL-003
Toko 161XN-A207YUK

FIGURE 7. The recommended T_1 transformers. All are available through:
1) C^2 Electronics, 1787 Veta Highway, Central Islip, N.Y., 11722 (516) 348-6839 or,
2) Toko America, 5520 W. Touhy Ave., Skokie, IL, 60077, (312) 677-3640.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

The Transmitter (Continued)

C_C

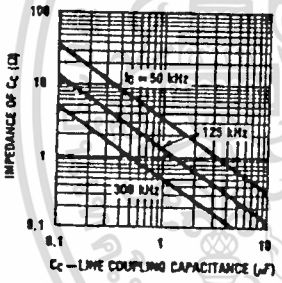
Capacitor C_C's primary function is to block the power line voltage from T_1's line-side winding. Also, C_C and T_1's line-side winding comprise a LC highpass filter. The self-inductance of T_1 is far too low to support a direct line connection. C_C must have a low enough impedance at F_O to allow T_1 to drive transmitted energy onto the line. To drive a 14 Ω power line, the impedance of C_C should be below 14 Ω.

Use *Figures 9* and *10* to find the reactive impedance of C_C to check that it is less than the line impedance. Then check to see that the power line current is small enough to keep T_1 well out of saturation; the recommended transformers can withstand a 10 Amp-turn magnetizing force (1 Amp through the worst-case 10 turn line-side winding).

Caution is required when choosing C_C to avoid series resonance of the series combination of C_C, the transformer inductance, and the reflected tank impedance. The low resistance of the network under series resonance will load the line, possibly decreasing range. For your particular line coupling circuit, measure for series resonance using some expected line impedance load.

R_B

This base-bleed resistor turns Q_B off quickly - important since the amplifier output swing is about 200 V/μs. An R_B below about 24 Ω will conduct excessive current and overload the chip amplifier and is not recommended.



TL/H/8750-11

FIGURE 9. C_C's Impedance should be, as a rule-of-thumb, smaller than the lowest expected line impedance

R_G

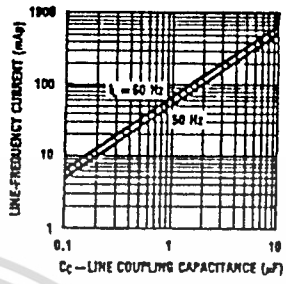
This resistor, in parallel with the internal 10 Ω resistor, fixes the current gain of the output amplifier, and so the output current amplitude. *Figure 11* gives output current and minimum AC current gain h_{fe} for Q_B when R_G is used to boost output current.

Q_B

The boost gain transistor Q_B must be fast. Double-diffused devices with 50 MHz F_T's work, slower transistors (epi-base types) do not preserve a sinusoidal waveform when F_O is high or oscillate. Q_B must have a certain minimum h_{fe} for given boost levels, as shown in *Figure 11*. *Figure 12* shows the power Q_B must dissipate continuously operating with a shorted output. BV_{CER} ($R = R_B$) must be 60 V or greater and Q_B must have adequate SOA for transient survival.

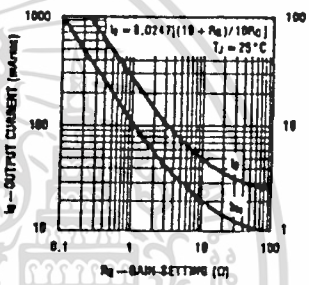
Z_T

Unfortunately, potentially damaging transient energy passes through transformer T_1 onto the Carrier I/O pin (instantaneous power of greater than 1 KW has been measured using the recommended transformers). For self protection, the Carrier I/O has an internal 44 V voltage clamp with a 20 Ω series resistance. A parallel low impedance 44 V external transient suppression diode will then conduct the lion's share of any current when transients force the Carrier I/O to a high voltage.



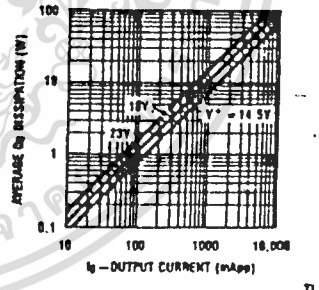
TL/H/8750-12

FIGURE 10. A graph showing the AC line-induced current passed by C_C



TL/H/8750-13

FIGURE 11. Output amplifier current and required min. Q_B h_{fe} versus gain-setting resistor R_G



TL/H/8750-14

FIGURE 12. Boost transistor power dissipation versus amplifier output current

Z_T must be used unless some precaution is taken to protect the Carrier I/O pin from line transients or transients caused when stored line energy in C_C is discharged by the random phase of power line connection and disconnection. Worst case, C_C may discharge a full peak-to-peak line voltage into the tuned circuit. Another way to reduce the need for Z_T is by placing another magnetic circuit in the signal path that relies on a high, but easily saturated, permeability to couple a primary and secondary winding - a toroidal transformer for example. Toroids cost more than Z_T.

Use an avalanche diode designed specifically for transient suppression — they have orders of magnitude higher pulse power capability than standard avalanche diodes rated for

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

The Transmitter (Continued)

Breakdown Voltage	44–49V @ 1 mA
Maximum Leakage	1 μA @ 40V
Capacitance	300 pF @ 8V
Maximum Clamp Voltage	64.5V @ 7.8A
Peak Non-Repetitive Pulse Power (REA Standard Exponential Pulse)	10 kW for 1 μs
Surge Current	70A for 1/120s

FIGURE 13. Key specifications for a recommended transient suppressor Z_T available from General Semiconductor, 2001 West Tenth Place, Tempe, AZ 85281, 602–968-3101, part no. SA40A

equal DC dissipation. Metal oxide varistors have not proven useful because of their inferior clamping coefficient. Specifications for an example minimum diode are given in *Figure 13*.

The Receiver

The receiver and transmitter share components C_C, T_1, C_O, R_T, Z_T, C_O, R_O, and peripheral supply and bias components that are not in need of change for RX mode operation. Values for the balance of the components are now found.

Line-Frequency Rejection

To use the ultimate sensitivity of the device, fully 110 dB of 115 V, 60 Hz attenuation is required between the line and the limiter amplifier output. Using the circuit topology of *Figure 4*, the combined attenuation of the C_C/T_1 highpass, the tuned transformer, and the bandpass filter attenuation of the limiter amplifier give far more line rejection than the above-stated minimum. However, if some other CCT line coupling circuit is used, line rejection will become important to the system designer.

Receiver input power supply rejection (PSRR) and common-mode rejection (CMRR) are one-in-the-same using the supply-referenced signal input of *Figure 4*. Ripple swings both differential inputs of the Norton amp. equally, while the single-ended input signal swings only the positive input. Overall PSRR consists of the input CMRR (set by the input stage component matching) and the ripple-frequency attenuation of the input amplifier bandpass response that passes carrier frequency but stops low frequencies. A typical 1% resistor and 1 mV n-p-n mirror offsets give 26 dB of attenuation, the bandpass gives 54 dB 120 Hz attenuation, for an overall 80 dB PSRR to allow tens of volts of ripple before impacting ultimate sensitivity.

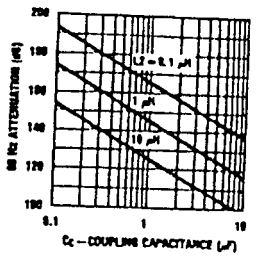
C_C

A value was chosen earlier. Knowing T_1's secondary inductance allows a check of LC line attenuation using *Figure 14*.

C_L

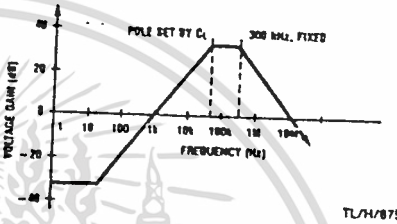
The Norton input limiter amplifier has a bandpass filter for enhanced receiver selectivity, noise immunity, and line frequency rejection. The nominal response curve for F_O = 50 kHz is shown in *Figure 15*. The 300 kHz pole is fixed. The 50 kHz pole is set by C_L's value. After C_L is found, the resulting line frequency attenuation is found for the bandpass filter.

Use *Figure 15* to find a C_L value given for F_O. The approximate line frequency attenuation of the bandpass filter may then be found in *Figure 16*. *Figure 15* returns a value for C_L 33% larger than nominal, giving a low frequency pole 33% low to allow for component tolerances.

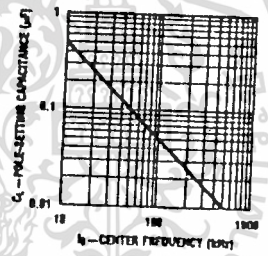


TL/H/6750–15

FIGURE 14. The 60 Hz line rejection of the highpass filter made up of C_C and T_1's line-side winding (neglecting capacitive coupling)



TL/H/6750–16

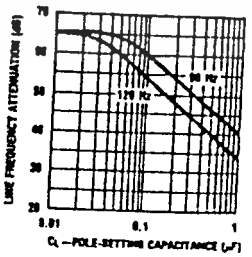


TL/H/6750–17

FIGURE 15. Given F_O, C_L is found. Also shown is the input amplifier's small signal amplitude response

C_F and R_F

These phase-locked loop (PLL) loop filter components remove some of the noise and most of the $2F_O$ components present in the demodulated differential output voltage signal from the phase detector. They affect the PLL capture range, loop bandwidth, loop overshoot, damping, and capture time. Because the PLL has an inherent loop pole due to the integrator action of the ICO (via C_O), the loop pole set by C_F and the zero set by R_F gives the loop filter a classical 2nd-

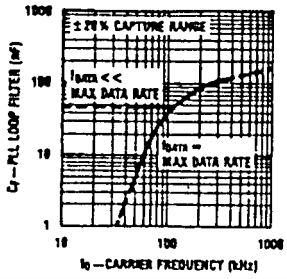


TL/H/6750–18

FIGURE 16. The Norton-input limiter amplifier bandpass filter line-frequency signal attenuation given C_L

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

The Transmitter (Continued)



TL/H/6750–19

FIGURE 17. Find C_F given F_O. *Figure 19* gives the maximum data rate

order response. Zero C_F and R_F give the most stable PLL with the fastest response. Large C_F's with a too-small R_F cause PLL loop instability leading to poor capture range and step response or oscillation.

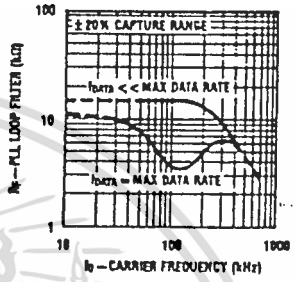
Calculation of C_F and R_F is quite difficult, involving not only the 2nd-order loop step response, but also the PLL non-dominant poles, the tuned transformer stepped-frequency response, and the RC lowpass step response (for data rates approaching 1 kHz). C_F and R_F values are best found empirically. Tolerance is not critical. Component values are selected to give the best possible impulse noise rejection while preserving a ±20% capture range and wide stability margin. *Figures 17* and *18* give C_F and R_F values versus F_O.

Note that C_F and R_F are a function of data rate only for high data rates and are not plotted against data rate - as one might expect. The reason for this is important to understand if the CCT system designer wishes to find C_F and R_F empirically. Data signal is, loosely speaking, passed through the PLL loop and is therefore potentially attenuated if the loop bandwidth is on the order of the 3rd harmonic of the data rate, or less. Overall loop bandwidth is held as low as possible for maximum noise rejection while passing the data. Loop bandwidth is roughly proportional to the geometric mean of the unfiltered loop bandwidth and the filter pole set by C_F. Therefore, C_F is related to data rate. Unfortunately, the loop capture range falls to critically low values when large enough values of C_F are used to reduce loop bandwidth down to the 100's of Hz range, for low data rates. The obvious way out is to then reduce the unfiltered loop bandwidth. That bandwidth is approximately proportional to the value of C_O. For a fixed F_O, unfiltered loop bandwidth reduction requires a larger C_O and larger control current. With this chip, changing the control current is not allowed. So one is forced to choose a C_F/R_F combination with some minimum capture range, say ±20%, that is within some guardband from the point of loop instability. Happily, impulse noise tends to last only fractions of a millisecond so that the lack of low bandwidth loop response with low data rates is not a heavy penalty. As long as there is adequate capture range, the impulse noise filter performs admirably. Note that reducing F_O will reduce the no-filter loop bandwidth, and indeed the maximum data rate falls below the limit set by the RC lowpass filter as F_O falls below 100 kHz.

The tuned transformer characteristics will affect the demodulated data waveform more than C_F and R_F at low data rates. Tank Q and off-tuning will affect overshoot during the FSK frequency steps. This is a property of tuned circuits.

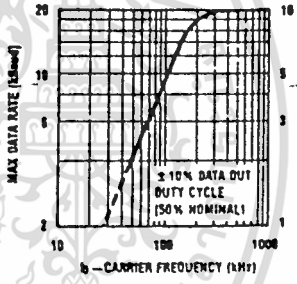
C_M

Capacitor C_M stores a voltage corresponding to a correction factor required to cancel the phase detector differential output DC offsets. The stored voltage is ¼ of the DC offset plus some bias level of about 2.2 V. A large C_M value increases the time required to bias-up the receive path at the beginning of transmission. A large C_M does filter well and store its bias voltage long. Because of the initial random charge of C_M, the receiver must be given both a positive-going and a negative-going data transition to charge to the proper bias voltage. Therefore, reducing C_M's value to one that may be charged in less than 1 bit time will not save biasing time and is not recommended.



TL/H/6750–3

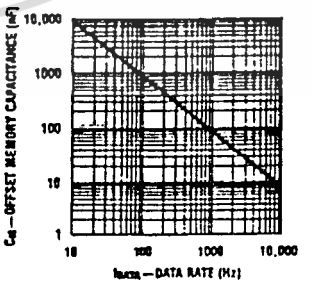
FIGURE 18. Find R_F given F_O with F_{DATA} a parameter



TL/H/6750–21

FIGURE 19. The maximum data rate versus F_O using loop filter components optimized for max. noise performance while retaining a min. ±20% capture range (large signal)

Use *Figure 20* to find C_M's value knowing F_{DATA}, assuming the standard 2 bit receive charge time is desired. The cap. value and TC are not critical, but the capacitor should have low leakage.



TL/H/6750–22

FIGURE 20. Size C_M assuming a 2 bit-time receive bias time

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

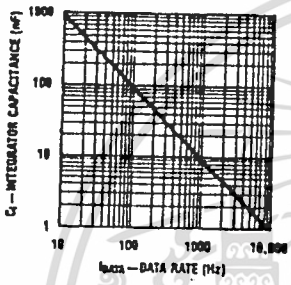
The Transmitter (Continued)

C_I

The impulse noise filter integrator capacitor C_I is used to disallow the passage of any pulse shorter than the integrator charge time. That charge time, set to a nominal ½ bit time, is the time required for a ±50 µA charge current to swing C_I over a 2 V_{BE} range. Charge time under worst case conditions must never be greater than a bit time since no signal could then pass. Using a ±10% capacitor, full junction temperature range, and full specified current range, a maximum nominal charge time of ½ bit is recommended. *Figure 21* gives C_I versus data rate under those conditions.

R_C

The collector pull-up resistor is sized to supply adequate pull-up current drive and speed while preserving adequate output low current drive.



TL/H/8750–24

FIGURE 21. Impulse noise filter cap, C_I versus F_{DATA} where the charge time is ½ bit time

Breadboarding Tips

During CCT system evaluation, some techniques listed below will simplify certain measurements.

— Use caution when working on this circuit - dangerous line voltages may be present.

— When evaluating PLL operation, offset cancel circuit operation, and loop filter values, use the filter of *Figure 22* to view the demodulated signal minus the $2F_O$ and noise components. This filter models the RC lowpass filter on chip.

— When evaluating CCT system noise performance on a real power line, it is desirable to vary the signal amplitude to the receiver. This is not easy. An in-line line-proof L-pad is fine except that the line impedance is unknown and variable and so the L-pad will rarely match. Instead, the power output of a chip transmitter may be controlled using the circuit of *Figure 23*. This circuit controls the ALC.

— Monitoring charge current in C_M is sometimes important to analyze the offset cancel circuit. Measuring the current by dropping more than a few mV in a series resistor affects operation and is not recommended. A workable method is to make C_M small so that it may follow any data signal. Any change in pin 6 voltage shows that the data signal reaching the offset cancel circuit is larger than its nominal ±50 mV voltage window. A C_M on the order of 500 pF with a 1 µA pull-down allows pin 6 to follow the internal signal (with a gain of about 5.6).

— It is sometimes desirable to place impulse noise on the line. A simple light dimmer with a 100 W light bulb load produces representative impulse noise.

— Do not allow peak currents of over 1 A through the 5.6 V Zener. In other words, don't short charged capacitors into this low-impedance device. Take care not to momentarily short pins 10 and 11 - damaging the IC.

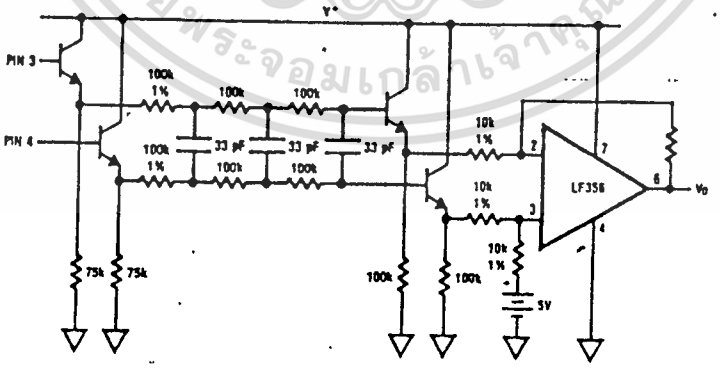
— *Figure 24* shows some typical signals beginning with serial data transmitted to received signal.

Tuning Procedure

First, trim F_O by putting the chip in the TX mode, setting a logical high data input, and measuring the TX high frequency, 1.022 F_O, on the Carrier I/O using these steps:

1. Take pin 17 to a logic low.
2. Take pin 5 to a logic high.
3. Place a counter on pin 10.
4. Adjust R_O on pin 18 for $F = 1.022F_O$.

Second, the line transformer is tuned. The chip is placed in the TX mode, a resistive line load is connected to disable the ALC by reducing tank voltage swing below its limit. FSK data is then passed through the tank so that the tank envelope may be adjusted for equal amplitude for high and low data.



TL/H/8750–25

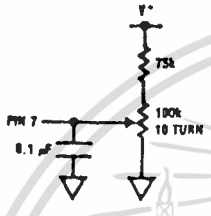
FIGURE 22. Circuit to view the differential demodulated data signal, minus the noise and $2F_O$ components, conveniently with a single-ended gain-of-ten output

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

The Transmitter (Continued)

1. Take pin 5 to a logic high.
2. Place a logic-level square wave at or below the receiver's maximum data rate on pin 17.
3. Temporarily place a 330 Ω resistor across the tank.
4. Place a scope on pin 10.
5. Adjust the transformer slug for the lowest envelope modulation.

In lieu of the 330 Ω resistive load, T_1 may be coupled to the power line to better simulate actual load and tank pull conditions during tank tuning. Alternatively, a passive network representing an average line impedance may be connected to the line side of T_1. The circuit of *Figure 23* should then be used to defeat the leveling effect of the ALC.



TL/H/6750-26

FIGURE 23. A means of transmitter output amplitude control is shown

Thermal Considerations

It is desirable to place the largest possible signal on the power line for maximum range, limited only by the chip power dissipation and maximum junction temperature T_J. The falling output power at elevated T_J allows a more optimal power output - high power at low T_J and lower power at high T_J for chip self-protection. However, it is still possible to exceed the maximum T_J within the specified ambient temperature limit (T_A = 85°C) under worst case conditions of 100% TX duty cyle, high supply, shorted load, poor PC board layout (with small copper foil area), and an above nominal current part. Under those conditions, a part may dissipate 2140 mW, reaching a T_J = 170°C worst-case (admittedly a rare occurrence). Proper system design includes the measurement or calculation of T_J max. to guarantee function under worst-case operation. Like all devices with failure modes modeled by the Arrhenius model, the high chip reliability is further enhanced by keeping the die temperature mercifully below the absolute maximum rating.

A direct method of measuring operating junction temperature is to measure the V_{BE} voltage on pin 18, which is always available under all operating modes. The graph of *Figure 25* may be used to find T_J, knowing V_{BE} at the operating point in question and V_{BE} at $T_A = T_J = 25°C$. V_{BE} is found by powering up a chip (in RX mode) that has been dissipating zero power at some T_A for some time and measuring V_{BE} in under 1 s (for better than 5°C accuracy).

Alternately, T_J may be calculated using:

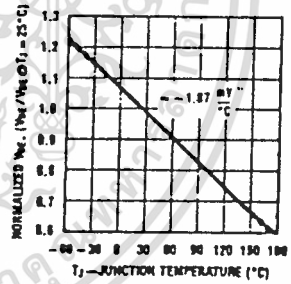
$$T_J = T_A + \theta_{JA} P_D$$

where θ_{JA} is 75°C/W for the plastic (N) package using a socket. That θ_{JA} value is for a high confidence level; nominal θ_{JA} for an N package is 60°C/W, lower with good PC board layout. Since P_D is a relatively strong function of T_J, an iterative solution process starting with an initial guess for T_J is used. With the estimated T_J, find the total supply current found in the typical performance characteristics.

Transmit-To-Receive Switch-Over Time

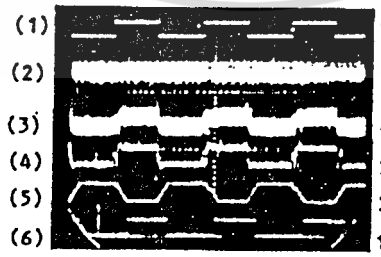
An important figure-of-merit for a half-duplex CCT link, affecting effective-data rate, is the TX-to-RX switch time T_{TR}. Using the recommended component values gives this part a nominal 2 bit-time (1 bit time = $1/(2F_{DATA})$) over a wide range of operating conditions, where the receiver requires 1 positive-going and 1 negative-going data transition. T_{TR} cannot be decreased significantly but does increase as Sec noise filtering, especially via C_M, is increased. Impulse noise at switch, signals near the limiting sensitivity, poor F_O match between receiver and transmitter because of poor trim or worst-case conditions, and the statistical nature of PLL locking may all contribute to increase T_{TR} to possibly 4 bit-times.

T_{TR} is lower when a pair of LM1893's handshake rapidly. The receiver was designed to "remember" the RX-mode DC operating points on C_M and C_F while in the TX mode.



TL/H/6750-27

FIGURE 25. T_J may be found by using the temperature coefficient of pin 18 V_{BE} if V_{BE} is known at 25°C



TL/H/6750-23

FIGURE 24. Oscillogram revealing signals at several important nodes under weak signal (0.5 mV_{RMS}) conditions with SCR spikes on an otherwise quiet 115 V, 60 Hz power line. The signals are: 1) transmitted data, 2) RX carrier on the tuned transformer, 3) demodulated signal from the PLL, 4) signal after RC lowpass, 5) data at impulse noise filter integrator, and 6) received data. Horizontal scale is 10 ms per div.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

The Transmitter (Continued)

Under noisey worst case conditions, C_M will discharge to the point of false operation after 35 bit-times in the TX mode (400 bit times with no noise and a nominal part, F_{DATA} = 300 Hz). T_{TR} is about 0.8 ms (proportional to the selected Q) plus ½ bit-time.

The major components of T_{TR} are described below for a nominal 125 kHz F_O, 180 Hz F_{DATA}, lightly-loaded tank with a Q of 20, and the circuit of *Figure 4*. The remote CCT has been operating in the TX mode with a 26.6 V_{PP} tank swing and is now selected as a receiver. An incoming signal requiring the ultimate receiver sensitivity immediately is placed on the line.

First, the tank stored energy at the transmit frequency must decay to a level below the 2.8 mV_{PP} swing caused by the 1.14 mV_{RMS} incoming line signal containing the information to be received.

$$\text{decay time} = \frac{Q}{\pi F_O} \ln\left(\frac{V_1}{V_O}\right) =$$

$$\frac{20}{\pi \times 125\,000} \ln\left(\frac{26.6}{0.0028}\right) = 0.466 \text{ ms} \qquad (2)$$

That is 0.47 ms of delay (proportional to $1/F_O$ and Q).

Second, the PLL must acquire the signal, it must lock and settle. Acquisition time is statistical and may take any length of time, but average acquisition time depends on the loop filter components C_F and R_F and the difference in center frequencies, ΔF_O, of the TX/RX pair. Using the recommended C_F and R_F (47 nF and 6.2 kΩ) with a ±4.4% ΔF_O (a ± 100 mV DC offset on C_F and R_F), lock was measured to take less than 50 cycles of F_O. That is a 0.40 ms delay (proportional to $1/F_O$).

Acquisition is incomplete until the second order PLL loop settles. For the above-mentioned C_F and R_F, the loop natural frequency F_N and damping factor are found to be (reference 1) 2.3 kHz and 1.0 respectively. Settling to within ±25 mV of the ±100 mV DC offset change requires 2.7 periods of F_N, or 1.2 ms (a function of C_F and R_F).

Third, the RC lowpass filter introduces a 0.12 ms delay.

Fourth, C_M must charge up to ±(5/6)100 = 83 mV depending on the polarity of F_O. Borderline data squaring with zero noise immunity is possible with only ±(5/6) 50 mV of charging. C_M charge current is a linear and asymptotic function approximated by assuming a 50 µA charge current and a full 83 mV charge voltage. C_M charge time is then 1.7 ms (proportional to $1/F_{DATA}$).

Fifth, the impulse noise filter adds a ½ bit-time delay

Total T_{TR} is 3.9 ms plus ½ bit-time for a total of 1.9 bit-times at 360 Baud.

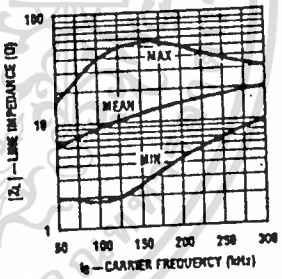
Receive-To-Transmit Switch-Over Time

Assume the chip has been in the RX mode and the TX mode is now selected. In less than 10 µs, full output current is exponentially building tank swing. 50% of full swing is achieved in less than 10 cycles - or under 80 µs at 125 kHz. In the same 10 µs that the output amp went on, the phase detector and loop filter are disconnected and the modulator input is enabled. FSK modulation is produced in 10 µs after switching to TX mode.

Power Line Impedance

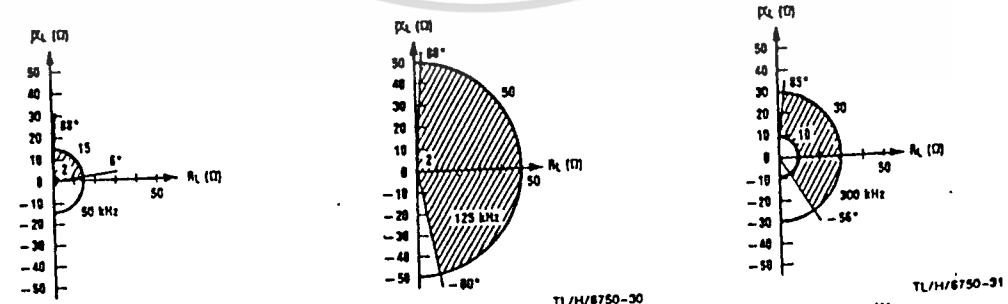
Irrespective of how wide the limits on power line impedance Z_L are placed, there are no guarantees. However, since the CCT design requires an estimate of the lowest expected line impedance Z_{LN} encountered for the most efficient transmitter-to-line coupling, line impedance should be measured and Z_L limits fixed to a given confidence level. Resonable values for T_1 turns ratio, loaded Q, and tank resonant frequency pull F_O may be found to enable a CCT system design that functions with the overwhelming majority of power lines.

A limited sampling of Z_L was made during the LM1893 design of residential and commercial 115 V 60 Hz power line. Data was also drawn from the research of Nicholson and Malack (reference 2), among others, to produce *Figures 26* and *27*. All measured impedances are contained within the shaded portions of *Figure 27*. A nominal 3.5, 7.0 and 14 Ω Z_{LN} is used throughout the application information with a nominal 45° phase (0° is sometimes used for simplicity).



TL/H/6750-26

FIGURE 26. Measured line impedance range for residential and commercial 115V, 60 Hz lines



TL/H/6750-29 TL/H/6750-30 TL/H/6750-31

FIGURE 27. Complex-plane plots of measured 115V, 60 Hz line impedance where $Z_L = R_L + jX_L$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

The Transmitter (Continued)

Power Line Attenuation

The wiring in most US buildings is a flat 3 conductor cable called Amerflex, BX, or Romex. All referenced line impedances refer to hot-to-neutral impedances with a grounded center conductor. The cable has a 100 Ω characteristic impedance, a 125 kHz quarter-wavelength of 600 m (250 m at 300 kHz), and a measured 7 dB attenuation for a 50 m run with a 10 Ω termination. Generally, line loads may be treated as lumped impedances. Instrument line cords exhibit about 0.7 μH and 30 pF per meter.

Limited tests of CCT link range using this chip show extensive coverage while remaining on one phase of a distribution transformer (100's of m) with link failure across transformer phases or through transformers unless coupling networks are utilized. Total line attenuation allowed from full signal to limiting sensitivity is more than 70 dB. Typically, signal is coupled across transformer phases by parasitic winding capacitance, typically giving 40 dB attenuation between phased 115 V windings. Coupling capacitors must be installed for link operation across phases. Power factor correcting capacitor banks on industrial lines or filter capacitors across the power lines of some electronic gear short carrier signal and should be isolated with inductors. Increasing range is sometimes accomplished by electing to install the isolating inductors and coupling capacitors, as well as by electing to use the boost option and by building repeaters.

The Coupling Transformer

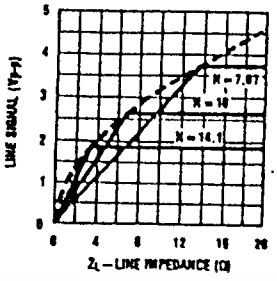
The design arrived at for T_1 is the result of an unhappy compromise - but a workable one. The goals of 1) building T_1 with a stable resonant frequency, F_O, that is little affected by the de-tuning effect of the line impedance Z_L, and of 2) building a tightly line-coupled transformer for transmitted carrier with loose coupling for transients, are somewhat mutually exclusive. The tradeoffs are exposed in the following pedagogue for the CCT designer attempting a new boost-capable or different core transformer design.

The compromises might be eliminated by separating the TX output and RX input. An untuned TX coupling transformer with only core coupling (not air-coupled solenoid windings) would employ a high permeability, high magnetic field, low loss, square saturating, toroidal core. The resonant RX path would be isolated from line-pull problems by a unilateral amplifier that operates at line voltages with much more than 110 dB of dynamic range. The solution is prohibitively complex and expensive, and is not used.

First, choose the turns ratio N based on an estimated lowest Z_L likely encountered, Z_{LN}. *Figure 28* shows graphically how N affects line signal. N should be as large as possible to drive Z_{LN} with full signal. If T_1 has an unloaded Q, Q_U, of well less than 35, a guess of N somewhat high should be used and later checked for accuracy. The recommended transformers have secondary taps giving a choice of N = 7.07, 10, and 14.1 (nominally) for driving Z_{LN}'s of 14, 7.0, and 3.5 Ω respectively (at T_J = 25°C, V+ = 18V, and Q_U = 35).

The resonating inductance of the tuned primary, L_1, is sought. Note that, while standard transformer design gives a transformer self-inductance with an impedance at operating frequency well above load impedance, the tuned transformer requires a low L_1 for adequate Q_U and minimum line pull. Result: relatively poor mutual coupling.

$$L_1 = \frac{R}{2\pi F_O Q} \qquad (3)$$



TL/H/6750-9

FIGURE 28. Impressed line voltage for a given Z_L for each of the 3 taps available on the recommended transformers

It is known that resonant frequency $F_O = F_O$ and some minimum bandwidth, or maximum Q, will be required to pass signal under full load conditions.

$$L_1 = \frac{R_O \parallel |Z_{LN}|'}{2\pi F_O Q_L} \qquad (4)$$

$|Z_{LN}|'$ is the reflected Z_{LN}, Q_L is the loaded Q, and parallel resistance R_O models all transformer losses and sets Q_O.

$R_O \parallel |Z_{LN}|'$ is found knowing that it absorbs full rated power.

$$P_O = I_O V_O = \frac{I_{OPP}}{2\sqrt{2}}\left[\frac{2(-V_{ALC}+V_+)}{2\sqrt{2}}\right] = \frac{(-4.7+V_+)I_O}{4} \qquad (5)$$

where I_O is in App. at an elevated T_J

$$P_O = \frac{(18-4.7)\,0.06}{4} = 0.200\ W \qquad (6)$$

$$R_O \parallel |Z_{LN}|' = \frac{V_O^2}{P_O} = \frac{(-V_{ALC}+V_+)\sqrt{2}}{I_O} = 442\ \Omega \qquad (7)$$

R_O is found using Z_{LN} and the value for N found when assuming Q_U = 35.

$$|Z_{LN}|' = N^2 Z_{LN} = (7.07)^2\,13.9 = 695\ \Omega \qquad (8)$$

$$R_O = \frac{1}{\frac{1}{R_O \parallel |Z_{LN}|'} - \frac{1}{|Z_{LN}|'}} = \frac{1}{\frac{1}{442} - \frac{1}{695}} = 1210\ \Omega \qquad (9)$$

$$R_{OS} = \frac{R_O}{1+Q_U^2} = \frac{1210}{1+35^2} = 1\ \Omega \qquad (10)$$

Only Q_L remains to be found to calculate L_1. Q_L is related to the −3 dB (half-power) bandwidth by

$$Q_L = \frac{1}{BW\ (\%\ of\ F_O)} \qquad (11)$$

An iterative solution is forced where line pull, ΔF_O, must be guessed to find Q_L and L_1. L_1 is then used to check the line pull guess; a large error requires a new guess. Try a BW of 8.7% - that is 4.4% for deviation, 1% for TC of F_O, and 3.3% for F_O - giving Q_L = 11.5.

$$L_1 = \frac{442}{2\pi \times 125\,000 \times 11.5} = 49.0\ \mu H$$

Knowing the core inductance per turn, L, and L_1, the number of turns is found.

$$T_1 = \sqrt{\frac{L_1}{L}} = 49.0 = 49\ 1/2\ turns \qquad (12)$$

T is normally an integer, but these transformers require so few turns that half-turns are specified, remembering that the remaining ½ turn is completed on the P.C. board and is loosely coupled. The secondary turns are calculated

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

The Transmitter (Continued)

$$T_2 = \frac{T_1}{N} = \frac{49.5}{7.07} = 7.00 = 7 \text{ turns} \qquad (15)$$

giving an L_2 of 0.98 µH. Note that the recommended 125 kHz transformer mirrors these specifications. The resonating capacitor is

$$C_Q = \frac{1}{(2\pi F_O)^2 L_1} = 33.1 \times 10^{-9} = 33 \text{ nF} \qquad (16)$$

Line pull ΔF_O was calculated (reference 5) for a Z_L magnitude of 14Ω and up with any phase angle from −90° to 90°. ΔF_O was 6.4% - well above the 3.3% estimate. Referring to (11), an 11.8% bandwidth is required, forcing L_1 to be reduced to reduce Q. That fix was not implemented; some signal attenuation under worst-case drift and ΔF_O is allowed. L_1 is already so small that the 31 gauge winding conducts a ¼ A_{RMS} circulating current.

Line Carrier Detection

While the addition of a carrier detection circuit (for a mute or squelch function) will only decrease receiver ultimate sensitivity, there is sometimes good reason to employ it to free the controller from watching for RX signal when no carrier is incoming, or to employ it to reduce the probability of line collisions (when multiple transmitters operate simultaneously to cause one or more transmissions to fail). Unless the detector is heavily filtered or uses a high carrier amplitude threshold, there will be false outputs that force the controller to have Data Out data checking capability just as is required when using no carrier detector. If false triggering is minimized, the probability of line collisions is increased due to the inability to sense low carrier amplitudes and because of sense delay. The property of the LM1893 to change output state infrequently (although the polarity is undefined) when in the RX mode, even with no incoming carrier, reduces the desire to implement carrier detection and preserves the full ultimate sensitivity. Also, many impulse-noise insensitive transmission schemes, like handshaking, are easily modified to recover from line collisions.

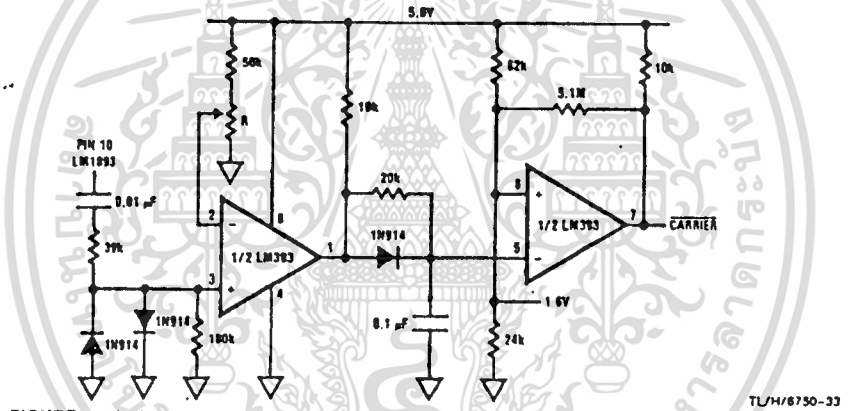


FIGURE 29. A simple carrier amplitude detector with output low when carrier is detected

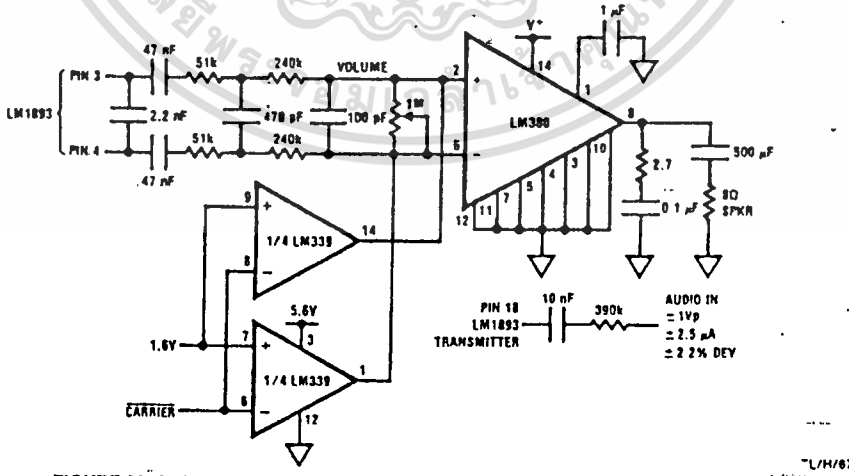


FIGURE 30. A simple linear analog audio transmitter and receiver are shown. The carrier and 1.6V inputs are derived from the carrier detector of *Figure 29*. The remaining 2 LM339 comparators may be used to build the carrier detector circuit.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Line Carrier Detection (Continued)

Figure 29 shows a low cost carrier amplitude detection circuit. Pot. R gives a variable threshold; R may be replaced by a fixed resister when the threshold has been chosen. A 150Ω R gives a 10 mV_{RMS} threshold. The circuit exhibits a 1 ms delay and a 2 ms off delay. Minimize the capacitance of the node including pin 3, especially for operation a high carrier frequencies.

Audio Transmission

The LM1893 is designed to allow analog data transmission and reception. Base-band audio-bandwidth signals FM modulate the carrier passing through the tuned transformer (placing a limit on the usable percent modulation) onto the power line to be linearly demodulated by the receiver PLL. Because the receiver data path beyond the phase detector will pass only digital signal, external audio filtering and amplification is required. *Figure 30* shows a very simple audio transmitter and receiver circuit utilizing a carrier detection mute circuit. A single LM339 quad. comparator may be used to build the carrier detect and mute. Filter bandwidth is held to a minimum to minimize noise, especially line-related correlated noise.

Data Encoding

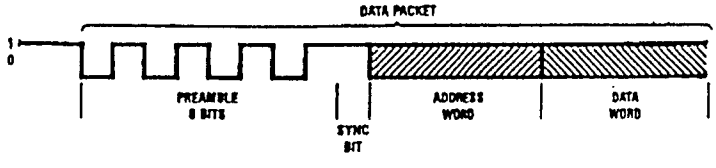
At the beginning of a received transmission, the first 0 to 2 bits may be lost while the chip's receiver settles to the DC bias point required for the given transmitter/receiver pair carrier frequency offset. With proper data encoding, dropped start bits can be tolerated and correct communication can take place. One recommended data encoding scheme is now discussed.

Generally, a CCT system consists of many transceivers that normally listen to the line at all times (or during predetermined time windows), waiting for a transmission that directs one or more of the receivers to operate. If any receiver finds its address in the transmitted data packet, further action such as handshaking with the transmitter is initiated. The receiver might tell the transmitter, via retransmission, that it received this data, waiting for acknowledgement before acting on the received command. Error detecting and correcting codes may be employed throughout. The transmitter must have the capability to retransmit after a time if no response from the receiver is heard - under the assumption that the receiver didn't detect its address because of noise, or that the response was missed because of noise or a line collision. (A line collision happens when more than 1 transmitter operates at one time - causing one or more of the communications to fail). After many re-transmissions the transmitter might choose to give up. Collision recovery is achieved by waiting some variable amount of time before retransmission, using a random number of bits delay or a delay based on each transmitter's address, since each transceiver has a unique address.

An example recommended transmission data packe shown in *Figure 31*. The 8 bit 50% duty-cycle preambl long enough to allow receiver biasing with enough bits over to allow the receiver controller to detect the squa wave that signals the start of a transmission. If there h been no transmission for some time, the receiver would s ply need to note that a data transition had occurred s begin its watch for a square-wave. If the receive contro detected the alternating-polarity data square-wave it wo then use the sync. bit to signal that the address and d were immediately following. The address data would th be loaded, assuming the fixed format, and tested against own. If the address was correct, the receiver would th load and store the data. If the address was not corre either the transmission was not meant for this receiver noise has fooled the receiver. In the former case, when a transmission was not meant for the receiver, the contro should immediately return to watching the incoming data s its address. If the later case were true, then the recei controller would continue to detect edges, tieing itself up loading false data and being forced to handshake. T square-wave detection and address load and check r tines should be fast to minimize the time spent in loops aft being false-triggered by noise. If the controller detects a error (a received data packet that does not conform to t pre-defined encoding format) it should immediately resum watching the LM1893's Data Out for transmissions. Be receiver operation is obtained when the receive control has the ability to store all incoming data in a shift regist the length of a data packet. The controller would then ch the whole packet for proper format. If the test failed, next bit would be shifted in and the process repeated. Eva possible incoming bit sequence would then be checked a dead time reduced.

A line-synchronous CCT system passing 3 bits per half-c cle may replace the long 8 bit preamble and sync pulse wi a 2 bit start-of-transmission bias preamble. The receive co troller might then assume that preamble always starts aft bit 1 (the first bit after zero-crossing) so that any data tra sition at a zero crossing must be the start of the address bi and is tested as such. The line synchronous receiver ope ates with a simpler controller than an asynchronous syster

Discussion has assumed that the controller has alway known when the Data Out is high or low. The controlle must sample at the proper time to check the Data Out state Since noise shows itself as pulse width jitter, symmetrical placed about the no-noise switch-points, optimum Data Ou sampling is done in the center of the received data pulse The receive data path has a time delay that, at low data rates, is dominated by the impulse noise filter integrator and is nominally ½ bit (¼ to 1 bit over tolerance and tempera ture). At a 2 kHz data rate, an additional delay of approx mately $\frac{1}{10}$ bit is added because of the cumulative delay o



TL/H/8750–35

FIGURE 31. A recommended encoded data packet, generated by the transmit controller is shown. The horizontal axis is time where 1 bit time is $1/(2F_{DATA})$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

...udio Transmission (Continued)

...nbles remainder of the receiver. *Figure 32* shows that Data ...its bit sampling occurs conveniently at the transmitted data ...qualities for the line synchronous data transmission scheme ...e mentioned in the previous paragraph. With the asynchro... ...id bus system suggested, the receive controller must sample ...d as Data Out pin often to determine, with several bits of ...throu... ...wor... ...f da... ...f the ...nsfo... ...f the ...orre... ...ver... ...in n... ...tros... ...ta s... ...ce... ...up ...T... ...rc... ...ch... ...ts t... ...o t... ...but... ...Be... ...ro...

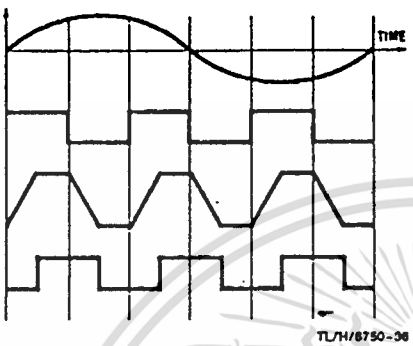


FIGURE 32. Operating waveforms of a line-synchronized transceiver pair are shown. The diagram shows how the transmitted data transitions may be used as received data sampling points

...accuracy, where the square-wave data transitions take ...place, average their positions assuming a known data rate, ...and calculate where the center of the data bits are and will ...continue to be as the address and data are read. A long ...preamble is helpful. Software that continuously updates the ...center-of-bit time estimate, as address and data are received, works even better. Alternatively, a coding scheme employing an embedded clock can be used.

A line-synchronous system using the LM1893 and COPS™ controller that transmits data packets with a start-of-transmission signal, address word, and data word has been built. Handshaking routines are employed that have proven to be very effective - no false operation or AC lines has ever been observed. Covered range, while operating in residential environs, is excellent. Operation in commercial and, especially, industrial buildings may be limited because of low line impedance and high noise levels unless the boost option, inductive isolation of capacitors, and capacitive transformer bridging are resorted too.

References:

1. Gray, Paul R. and Robert G. Meyer; "Analysis and Design of Integrated Circuits;" John Wiley and Sons; 1977; pp. 575–593; (Phase-Locked Loop tutorial)
2. Nicholson, J.R. and J.A. Malack; "RF Impedance of Power Lines and Line Impedance Stabilization Network in Conducted Interference Measurements;" IEEE Transactions on Electromagnetic Compatibility; May 1973; (line impedance data)
3. Southwick, R.A.; "Impedance Characteristics of Single-Phase Power Lines;" Conference Rec.; 1973 IEEE Int. Symp. on Electromagnetic Compatibility; (line impedance data)
4. Hayt, William H. Jr. and Jack E. Kemmerly; "Engineering Circuit Analysis;" McGraw-Hill Books; 1971; pp. 447–453; (linear transformer reflected impedance)
5. FCC, "Notice of Proposed Rule Making," Docket 20780, adopted Apr. 14, 1976, (Proposed regulation)
6. Monticelli, Dennis M. and Michael E. Wright; "A Carrier Current Transceiver IC for Data Transmission Over the AC Power Lines;" IEEE J. Solid-State Circuits; vol. SC-17; Dec. 1982; pp. 1158-1165; (LM1893 circuit description)
7. Lee, Mitchell; "A New Carrier Current Transceiver IC;" IEEE Trans. on Consumer Electronics; vol. CE-28; Aug. 1982; pp. 409–414; (Application of LM1893)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

MM53200 Encoder/Decoder

The MM53200 Encoder/Decoder is an MOS/LSI Digital Code Transmitter — Receiver system.

Features

- A single chip contains both the Encoder and Decoder.
- Oscillator stability is non-critical, 5% components may be used.
- Cross interference of receivers in close proximity is virtually eliminated by circuitry which requires 4 valid words to be received, each within 64 ms of the other.

Operation

In the transmit mode the twelve inputs are scanned sequentially producing the output pattern shown in Figure 1. This code is generated at the rate of 0.96 ms/bit, or 11.52 ms/word with 11.52 ms reset pulse between words.

In the receiver mode, the incoming signal is compared to the local code in a sequential manner; if there is an error, the system is reset and begins its comparison on the next pulse. If all twelve bits are received correctly, a "valid" signal will be generated. This signal clears a 64 ms counter and clocks a 3 stage counter. The 3 stage counter counts the "valid" pulses and when 4 pulses have been received, the transmit/receive output goes low. After the transmit/receive output is enabled, the next "valid" must be received within 128 ms, giving a one valid in 6 requirement to keep the transmit/receive output low.

Connection diagrams for the device in the Receive and Transmit modes are shown in Figures 2 and 3.

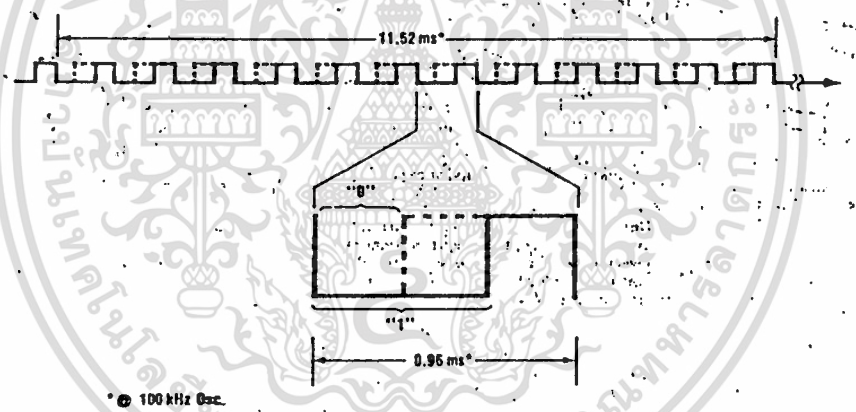


Figure 1. Output Waveform

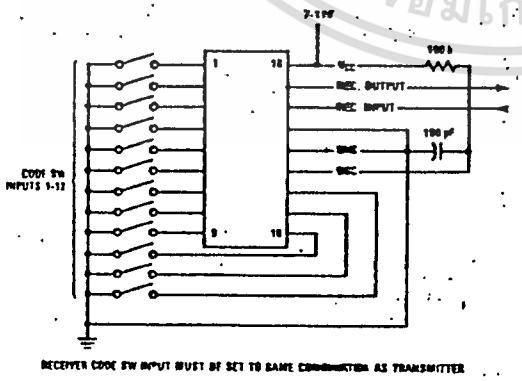


Figure 2. Pin Connections for Receiver Mode

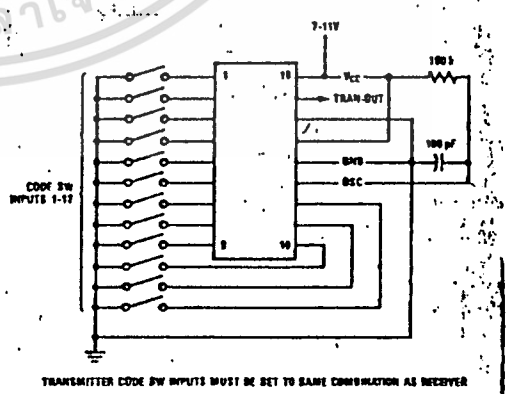


Figure 3. Pin Connections for Transmitter Mode

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

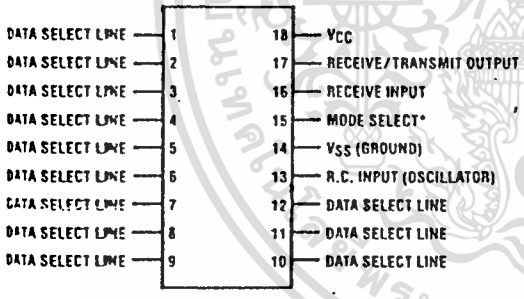
Design Specifications

Storage Temperature	−65°C to +125°C
Operating Temperature	−25°C to +70°C
Lead Temperature, Max. (Soldering, 10 seconds)	+300°C
Power Supply	
V_{DD}	V_{SS} + 7V to V_{SS} + 11V
I_{DD}	12mA Max.

Electrical Characteristics

Parameter	Conditions	Min.	Typ.	Max.	Units
Input Voltage Levels					
Schmitt Trigger Input	Level 1	V_{SS} + 4			V
	Level 0			V_{SS} + 2	V
All Other Inputs	Level 1	V_{DD} − 0.5		V_{DD}	V
	Level 0	V_{SS}		V_{SS} + 0.5	V
Input Resistor to V_{DD}		200k		1.2M	Ω
Output Voltge (trans/rec)					
Logic High "1"	I_{SOURCE} 5μA	V_{DD} − 0.5		V_{DD}	
Logic Low "0"	I_{SINK} 2mA	V_{SS}		V_{SS} + 1.0	
Oscillator Frequency	± 15% exclusive of external components		100		kHz

18-Pin DIP — Top View



*a. GROUND CONNECTION IS RECEIVER MODE
b. V_{DD} CONNECTION IS TRANSMITTER MODE

Order Number MM53200N
See Package 20

Pin Functions

Pin #

1-12 These Data Select lines are used to set the address of the encoder/decoder pair. They have on-chip pull-ups and input switches should pull them to ground.

13 The R.C. input is the connection point for the single pin Oscillator. A resistor is hooked from this pin to V_{CC} and a capacitor from this pin to GND. The frequency = 2/RC. The frequency may be decreased by increasing the resistor value.

14 V_{SS} is the Ground Pin.

15 The Mode Select pin changes operation of the IC from Receiver to Transmitter. By grounding pin 15 the IC is put in the Receiver mode. By connection to V_{CC} the IC is put in the Transmitter mode.

16 The Receiver Input receives the digital PCM waveform from the Detector circuit.

17 The Output pin produces the PCM waveform when in the Transmit mode and is active low in the Receive mode.

18 V_{CC} is the positive supply pin.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                        ;=============================================
                        ==

                         TITLE    DATA COMMUNICATION (SENDER)

                        ;=============================================
                        ==

0000                     CSEG     SEGMENT   BYTE PUBLIC 'CODE'
                                 ASSUME    CS:CSEG , DS:DSEG

                        ;---------------------------------------------
                        --

= 02E8                   P_53200  equ       02E8h
= 027D                   P_8251C  equu      027Dh
= 027C                   P_8251D  equ       027Ch
= 02F0                   P_CODE   equ       02F0h
= 02E2                   P_BUAD   equ       02E2h
= 000C                   MAGIC1   equ       0Ch
= 000D                   MAGIC2   equ       0Dh
= 000E                   MAGIC3   equ       0Eh

                        ;---------------------------------------------
                        --

0000                     sender   proc      near

0000  B8 ---- R                   mov       ax , DSEG
0003  8E D8                       mov       ds , ax
                        ; get DATA SEGMENT

0005  BA 02E8                     mov       dx , P_53200
0008  B0 AA                       mov       al , 0AAh
                        ; set code 53200
000A  EE                          out       dx , al
                        ; out code

000B  BA 02E2                     mov       dx , P_BUAD
000E  B0 0C                       mov       al , magic1
                        ; set buad rate , protect clear
0010  EE                          out       dx , al
                        ; connect bus

0011  BA 02E2                     mov       dx , P_BUAD
0014  B0 0D                       mov       al , magic2
                        ; disconnect bus
0016  EE                          out       dx , al

0017  BA 02E8                     mov       dx , P_53200
001A  B0 BB                       mov       al , 0BBh
                        ; set code receiver
001C  EE                          out       dx , al
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                        ; call receiver

001D  BA 02F0                   mov     dx , P_CODE
0020  B0 EE                     mov     al , 0EEh
                        ; set code PCM
0022  EE                        out     dx , al
                        ; out PCM

0023  B9 00FF                   mov     cx , 0FFh
0026                    s1:
0026  E2 FE                     loop    s1
                        ; length of PCM

0028  BA 02F0                   mov     dx , P_CODE
002B  B0 EE                     mov     al , 0EEh
002D  EE                        out     dx , al
                        ; change mode(Tx to Rx)


002E  BA 027D                   mov     dx , P_8251C
                        ; initial 8251
0031  32 C0                     xor     al , al
0033  B9 0003                   mov     cx , 3
0036                    s2:
0036  EE                        out     dx , al
0037  E2 FD                     loop    s2
0039  B0 40                     mov     al , 40h
                        ; software reset
003B  EE                        out     dx , al
003C  B0 DE                     mov     al , 0DEh
                        ; set MODE WORD
003E  EE                        out     dx , al
003F  B0 37                     mov     al , 37h
                        ; set COMMAND WORD
0041  EE                        out     dx , al


0042  B9 000F                   mov     cx , 0Fh
0045                    s3:
0045  E2 FE                     loop    s3
                        ; delay

0047                    s4:
0047  BB 0000                   mov     bx , 0
004A  BA 027D                   mov     dx , P_8251C
004D                    s5:
004D  4B                        dec     bx
004E  74 10                     jz      s6
0050  EC                        in      al , dx
                        ; read status register
0051  24 02                     and     al , 02h
                        ; test bit 1 = 1
0053  74 F8                     jz      s5
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
0055 BA 027C                    mov     dx , P_8251D
0058 EC                         in      al , dx
0059 3C 06                      cmp     al , 06h
                        ; check ACK
005B 74 EA                      jz      s4
005D E9 1C 90                   jmp     s7

0060                    s6:
0060 E8 0247 R                  call    clr
                        ; clear screen
0063 E8 0270 R                  call    midcurs
                        ; set cursor
0066 B4 40                      mov     ah , 40h
                        ; write to device
0068 BB 0001                    mov     bx , 1
                        ; standard output
006B B9 001E                    mov     cx , 30
                        ; length to write
006E BA ---- R                  mov     dx , SEG DSEG : contmsg
                        ; address of buffer for
0071 8E DA                      mov     ds ,dx
                        ; record to be written
0073 BA 00A9 R                  mov     dx , OFFSET DSEG : contmsg
0076 CD 21                      int     21h
0078 E9 0117 R                  jmp     exit
                        ; exit to dos

007B                    s7:
007B E8 0247 R                  call    clr
007E E8 011D R                  call    open
                        ; open file
0081                    s8:
0081 B9 000F                    mov     cx , 0Fh
0084 E8 015D R                  call    read
                        ; read data
0087 80 3E 00A7 R 00            cmp     byte ptr ds:[endcde] , 00
                        ; not end of file
008C 74 30                      jz      s10
008E 80 3E 00A7 R 03            cmp     byte ptr ds:[endcde] , 03
                        ; end of file
0093 74 03                      jz      s9
0095 E9 0117 R                  jmp     exit

0098                    s9:
0098 E8 0290 R                  call    sum
                        ; sum of data
009B E8 0247 R                  call    clr
                        ; clear screen
009E E8 01B6 R                  call    disp
                        ; display data
00A1 E8 01C6 R                  call    dispsum
                        ; display summing
00A4 E8 01D6 R                  call    sdata
                        ; send data
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
00A7  E8 01F7 R                 call    ssum
                        ; send summing
00AA  E8 0220 R                 call    setx
                        ; send end of text
00AD  E8 02AB R                 call    ack
                        ; check ack
00B0  80 3E 00A8 R 01           cmp     byte ptr ds:[ackcde] , 01
00B5  74 57                     jz      s13
                        ; if ACK
00B7  80 3E 00A8 R 02           cmp     byte ptr ds:[ackcde] , 02
00BC  74 DA                     jz      s9                      ;
                         if NAK

00BE                    s10:
00BE  E8 025D R                 call    curs
00C1  E8 0290 R                 call    sum
                        ; sum of data
00C4  E8 0247 R                 call    clr
                        ; clear screen
00C7  E8 01B6 R                 call    disp
                        ; display data
00CA  E8 01C6 R                 call    dispsum
                        ; display summing
                        ;       jmp     exit
00CD  E8 01D6 R                 call    sdata
                        ; send data
00D0  E8 01F7 R                 call    ssum
                        ; send summing
00D3  E8 020D R                 call    setb
                        ; send endof transmission block
00D6  E8 02AB R                 call    ack
                        ; check ACK
00D9  80 3E 00A8 R 01           cmp     byte ptr ds:[ackcde] , 01
                        ; if ACK
00DE  74 24                     jz      s12
00E0  E2 1B                     loop    s11

00E2  E8 0247 R                 call    clr
                        ; clear screen
00E5  E8 0270 R                 call    midcurs
                        ; set cursor
00E8  B4 40                     mov     ah , 40h
                        ; write to device
00EA  BB 0001                   mov     bx , 1
                        ; standard output
00ED  B9 0012                   mov     cx , 18
                        ; length to write
00F0  BA ---- R                 mov     dx , SEG DSEG : datamsg
                        ; address of buffer for
00F3  8E DA                     mov     ds , dx
                        ; record to be written
00F5  BA 010D R                 mov     dx , OFFSET DSEG : datamsg
00F8  CD 21                     int     21h
00FA  EB 1B 90                  jmp     exit
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                        ; exit to DOS

00FD                    s11:
00FD  80 3E 00A8 R 02           cmp     byte ptr ds:[ackcde] , 02
                        ; if NAK
0102  74 BA                     jz      s10

0104                    s12:
0104  80 3E 00A7 R 03           cmp     byte ptr ds:[endcde] , 03
                        ; check end of file
0109  74 03                     jz      s13
                        ; if end of file
010B  E9 0081 R                 jmp     s8
                        ; if not end of file

010E                    s13:
010E  E8 0188 R                 call    close
                        ; close file
0111  E8 0243 R                 call    eot
                        ; end of transmission
0114  E8 0247 R                 call    clr
                        ; clear screen
0117                    exit:
0117  B4 4C                     mov     ah , 4Ch
0119  B0 00                     mov     al , 0
011B  CD 21                     int     21h
                        ; exit to DOS

                        sender  endp

                        ;=======================================
                        ==

                        ;
                        ;======= OPEN DISK FILE ================
                        ==
                        ;

0110                    open    proc    near

011D  52                        push    dx
011E  50                        push    ax
                        ; save register

011F  B4 0F                     mov     ah , 0Fh
                        ; request open
0121  8D 16 0000 R              lea     dx , fcbrec
0125  CD 21                     int     21h
0127  3C 00                     cmp     al , 0
                        ; file found?
0129  75 13                     jnz     open1
                        ; no - error

012B  B4 1A                     mov     ah , 1Ah
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
012D  C7 06 000E R 0080          mov     fcbrcsz , reclen
                                ; set record length
0133  BD 16 0025 R               lea     dx , sector
                                ; sel address of DTA
0137  CD 21                      int     21h

0139  58                        pop     ax
013A  5A                        pop     dx
                                ; return register

013B  EB 1F 90                   jmp     open2

013E                            open1:
013E  E8 0247 R                  call    clr
                                ; clear screen
0141  E8 0270 R                  call    midcurs
                                ; set cursor
0144  B4 40                      mov     ah , 40h
                                ; write to device
0146  BB 0001                    mov     bx , 1
                                ; standard output
0149  B9 0012                    mov     cx , 18
                                ; length to write
014C  BA ---- R                  mov     dx , SEG DSEG : openmsg
                                ; address of buffer for
014F  8E DA                      mov     ds , dx
                                ; record to be written
0151  BA 00E9 R                  mov     dx , OFFSET DSEG : openmsg
0154  CD 21                      int     21h

0156  B4 4C                      mov     ah , 4Ch
0158  B0 00                      mov     al , 0
015A  CD 21                      int     21h
                                ; exit to DOS

015C                            open2:
015C  C3                         ret

                                open    endp

                                ;
                                ;======= READ DISK SECTOR ====================
                                ==
                                ;

015D                            read    proc    near

015D  B4 14                      mov     ah , 14h
                                ; request read
015F  BD 16 0000 R               lea     dx , fcbrec
0163  CD 21                      int     21h
0165  A2 00A7 R                  mov     byte ptr ds:[endcde] , al
0168  3C 02                      cmp     al , 2
                                ; normal read
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
016A  75 1E                     jnz     read1
                        ; exit if normal read

016C  E8 0247 R                 call    clr
                        ; clear screen
016F  E8 0270 R                 call    midcurs
                        ; set cursor
0172  B4 40                     mov     ah , 40h
                        ; write to device
0174  BB 0001                   mov     bx , 1
                        ; standard output
0177  B9 0012                   mov     cx , 18
                        ; length to write
017A  BA ---- R                 mov     dx , SEG DSEG : readmsg
                        ; address of buffer for
017D  8E DA                     mov     ds , dx
                        ; record to be written
017F  BA 00FB R                 mov     dx , OFFSET DSEG : readmsg
0182  CD 21                     int     21h

0184  B4 4C                     mov     ah , 4Ch
0186  B0 00                     mov     al , 0
0188  CD 21                     int     21h
                        ; exit to DOS

018A                    read1:
018A  C3                        ret

                        read    endp

                        ;
                        ;===== = CLOSE FILE ==========================
                        ==
                        ;]

018B                    close   proc    near

018B  B4 10                     mov     ah , 10h
                        ; request close file
018D  8D 16 0000 R              lea     dx , fcbrec
0191  CD 21                     int     21h
0193  3C 00                     cmp     al , 00
0195  74 1E                     jz      close1

0197  E8 0247 R                 call    clr
                        ; clear screen
019A  E8 0270 R                 call    midcurs
                        ; set cursor
019D  B4 40                     mov     ah , 40h
                        ; write to device
019F  BB 0001                   mov     bx , 1
                        ; standard output
01A2  B9 0018                   mov     cx , 24
                        ; length to write
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
01A5  BA ---- R                 mov     dx , SEG DSEG : closemsg
                        ; address of buffer for
01A8  8E DA                     mov     ds , dx
                        ; record to written
01AA  BA 011F R                 mov     dx , OFFSET DSEG : closemsg

01AD  CD 21                     int     21h

01AF  B4 4C                     mov     ah , 4Ch
01B1  B0 00                     mov     al , 0
01B3  CD 21                     int     21h
                        ; exit to DOS

01B5                    closel:
01B5  C3                        ret

                        close   endp

                        ;
                        ;=== === DISPLAY SECTOR ======================
                        ==
                        ;

01B6                    disp    proc    near

01B6  52                        push    dx
01B7  50                        push    ax
                        ; save register

01B8  B4 09                     mov     ah , 09h
                        ; request display
01BA  8D 16 0025 R              lea     dx , sector
01BE  CD 21                     int     21h
01C0  E8 025D R                 call    curs

01C3  58                        pop     ax
01C4  5A                        pop     dx
                        ; return register

01C5  C3                        ret

                        disp    endp

                        ;
                        ;======= DISPLAY SUMMING ======================
                        ==
                        ;

01C6                    dispsum proc    near

01C6  E8 0280 R                 call    concurs
                        ; set cursor

01C9  52                        push    dx
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
01CA 50                         push    ax
                        ; save register

01CB B4 02                      mov     ah , 2
01CD 8A 16 00A6 R               mov     dl , byte ptr ds : summing
                        ; display summing
01D1 CD 21                      int     21h

01D3 58                         pop     ax
01D4 5A                         pop     dx
                        ; return register

01D5 C3                         ret

                        dispsum endp

                        ;
                        ;======= SEND DATA ============================
                        ==
                        ;

01D6                    sdata   proc    near

01D6 52                         push    dx
01D7 51                         push    cx
01D8 53                         push    bx
01D9 50                         push    ax
                        ; save register

01DA BB 0025 R                  mov     bx ; offset sector
01DD B9 0080                    mov     cx , 128
01E0 BA 027D                    mov     dx , P_8251C
01E3                    sdata1:
01E3 EC                         in      al ; dx
                        ; read status register
01E4 24 01                      and     al , 01h
                        ; test bit 0 = 1
01E6 74 FB                      jz      sdata1
                        ; buffer not empty , polling

01E8 BA 027C                    mov     dx , P_8251D
01EB 8A 07                      mov     al , [bx]
                        ; read data from buffer
01ED EE                         out     dx , al
01EE 43                         inc     bx
01EF 49                         dec     cx
01F0 75 F1                      jnz     sdata1

01F2 58                         pop     ax
01F3 5B                         pop     bx
01F4 59                         pop     cx
01F5 5A                         pop     dx
                        ; return register
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
01F6  C3                        ret

                        sdata   endp

                        ;
                        ;======= SEND SUMMING ========================
                        ==
                        ;

01F7                    ssum    proc    near

01F7  52                        push    dx
01F8  53                        push    bx
01F9  50                        push    ax
                        ; save register

01FA  BA 027D                   mov     dx , P_8251C
01FD                    ssum1:
01FD  EC                        in      al , dx
                        ; read status buffer
01FE  3C 01                     cmp     al , 01h
                        ; test bit 0 = 1
0200  74 FB                     jz      ssum1
                        ; buffer not empty , polling

0202  BA 027C                   mov     dx , P_8251D
0205  A0 0000 R                 mov     al , byte ptr ds:[summing]
0208  EE                        out     dx , al
                        ; send summing

0209  58                        pop     ax
020A  58                        pop     bx
020B  5A                        pop     dx
                        ; return register

020C  C3                        ret

                        ssum    endp

                        ;
                        ;======= SEND ETB ============================
                        ==
                        ;

020D                    setb    proc    near

020D  52                        push    dx
020E  50                        push    ax
                        ; save register

020F  BA 027D                   mov     dx , P_8251C
0212                    setb1:
0212  EC                        in      al , dx
                        ; read status register
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
0213  24 01                    and     al , 01h
                          ; test bit 0 = 1
0215  74 0E                    jz      setx1
                          ; buffer not empty , polling

0217  BA 027C                  mov     dx , P_8251D
021A  B0 23                    mov     al , 23h
                          ; send ETB
021C  EE                       out     dx , al

021D  58                       pop     ax
021E  5A                       pop     dx
                          ; return register

021F  C3                       ret

                          setb    endp
                          ;
                          ;======= SEND ETX ============================
                          ==
                          ;
0220                      setx    proc    near

0220  52                       push    dx
0221  50                       push    ax
                          ; save register

0222  BA 027D                  mov     dx , P_8251C
0225                      setx1:
0225  EC                       in      al , dx
                          ; read status register
0226  24 01                    and     al , 01h
                          ; test bit 0 = 1
0228  74 FB                    jz      setx1
                          ; buffer not empty , polling

022A  BA 027D                  mov     dx , P_8251C
022D  B0 03                    mov     al , 03h
                          ; send ETX
022F  EE                       out     dx , al

0230  58                       pop     ax
0231  5A                       pop     dx
                          ; return register

0232  C3                       ret

                          setx    endp
                          ;
                          ;======= SEND SEOT ===========================
                          ==
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของผลงานทุกครั้งที่มีการนำไปใช้

```
                        ;

0233                    seot    proc    near

0233 B9 00FF                    mov     cx , 0FFh
                        ; set counter
0236                    seot1:
0236 BA 027D                    mov     dx , P_8251C
0239                    seot2:
0239 EC                         in      al , dx
                        ; read status buffer
023A 24 01                      and     al , 01h
                        ; test bit 0 = 1
023C 74 FB                      jz      seot2
                        ; buffer not empty , polling

023E BA 027C                    mov     dx , P_8251D
0241 B0 04                      mov     al , 04h
                        ; send EOT
0243 EE                         out     dx , al
0244 E2 F0                      loop    seot1

0246 C3                         ret

                        seot    endp

                        ;
                        ;===== CLEAR SCREEN =====
                        ==
                        ;

0247                    clr     proc    near

0247 52                         push    dx
0248 51                         push    cx
0249 53                         push    bx
024A 50                         push    ax
                        ; save register

024B B8 0006                    mov     ax , 6
                        ; entire window is blanked
024E B7 07                      mov     bh , 7
                        ; normal video attribute
0250 B9 0000                    mov     cx , 0
                        ; upper
0253 BA 184F                    mov     dx , 184Fh
                        ; lower
0256 CD 10                      int     10h

0258 58                         pop     ax
0259 5B                         pop     bx
025A 59                         pop     cx
025B 58                         pop     ax
                        ; return register
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
025C  C3                        ret

                        clr     endp

                        ;
                        ;======= SET CURSOR ============================
                        ==
                        ;

025D                    curs    proc    near

025D  52                        push    dx
025E  53                        push    bx
025F  50                        push    ax
                        ; save register

0260  B4 02                     mov     ah , 2
0262  B7 00                     mov     bh , 0
                        ; select page 0
0264  8A 36 0137 R              mov     dh , rowctr
                        ; row (y coordinate)
0268  B2 00                     mov     dl , 0
                        ; coloum (x coordinate)
026A  CD 10                     int     10h

026C  58                        pop     ax
026D  5B                        pop     bx
026E  5A                        pop     dx
                        ; return register

026F  C3                        ret

                        curs    endp

                        ;
                        ;======= SET CURSOR MIDDLE SCREEN =============
                        ==
                        ;

0270                    midcurs proc    near

0270  52                        push    dx
0271  53                        push    bx
0272  50                        push    ax
                        ; save register

0273  B4 02                     mov     ah , 2
0275  B7 00                     mov     bh , 0
                        ; select page 0
0277  BA 091A                   mov     dx , 091Ah
                        ; (x,y) coordinate
027A  CD 10                     int     10h
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
027C  58                        pop     ax
027D  5B                        pop     bx
027E  5A                        pop     dx
                        ; return register

027F  C3                        ret

                         midcurs  endp

                        ;
                        ;======= SET CURSOR SCREEN CORNER =============
                        ==
                        ;

0290                     concurs  proc    near

0280  52                        push    dx
0281  53                        push    bx
0282  50                        push    ax
                        ; save register

0283  B4 02                     mov     ah , 2
0285  B7 00                     mov     bh , 0
                        ; select page 0
0287  BA 164D                   mov     dx , 164Dh
                        ; (x,y) coordinate
028A  CD 10                     int     10h

028C  58                        pop     ax
028D  5B                        pop     bx
028E  5A                        pop     dx
                        ; return register

028F  C3                        ret

                         concurs  endp

                        ;
                        ;======= SUM OF DATA ============================
                        ==
                        ;

0290                     sum     proc    near

0290  51                        push    cx
0291  53                        push    bx
0292  50                        push    ax
                        ; save register

0293  C6 06 00A6 R 00           mov     byte ptr ds : summing , 0
0298  B9 0080                   mov     cx , 128
029B  BB 0025 R                 mov     bx , offset sector
029E                    suml:
029E  8A 07                     mov     al , [bx]
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
02A0  00 06 00A6 R              add     byte ptr ds : summing , al
02A4  43                        inc     bx
02A5  E2 F7                     loop    sum1

02A7  58                        pop     ax
02A8  5B                        pop     bx
02A9  59                        pop     cx
                        ; return register

02AA  C3                        ret
                      sum       endp

                        ;
                        ;======= CHECK ACK ====================== =====
                        ==
                        ;

02AB                    ack     proc    near

02AB  B9 005F                   mov     cx , 05Fh
02AE                    ack1:
02AE  E2 FE                     loop    ack1
                        ; delay

02B0  BA 027D                   mov     dx , P_8251C
02B3                    ack2:
02B3  EC                        in      al , dx
                        ; read status register
02B4  24 02                     and     al , 02h
                        ; test bit 1 = 1
02B6  74 FB                     jz      ack2

02B8  BA 027C                   mov     dx , P_8251D
02BB  EC                        in      al , dx
02BC  3C 06                     cmp     al , 06h
                        ; check ACK
02BE  74 22                     jz      ack3
02C0  3C 15                     cmp     al , 15h
02C2  74 24                     jz      ack4

02C4  E8 0247 R                 call    clr
                        ; clear screen
02C7  E8 0270 R                 call    midcurs
                        ; set cursor
02CA  B4 40                     mov     ah , 40h
                        ; write to device
02CC  BB 0001                   mov     bx , 1
                        ; standard output
02CF  B9 0022                   mov     cx , 34
                        ; length to write
02D2  BA ---- R                 mov     dx , SEG DSEG : ackmsg
                        ; address of buffer for
02D5  8E DA                     mov     ds , dx
                        ; record to be written
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
02D7  BA 00C7 R                 mov     dx , OFFSET DSEG : ackmsg
02DA  CD 21                     int     21h

02DC  B4 4C                     mov     ah , 4Ch
02DE  B0 00                     mov     al , 0
02E0  CD 21                     int     21h
                        ; exit to DOS

02E2                    ack3:
02E2  C6 06 00A8 R 01           mov     byte ptr ds:[ackcde] , 01
02E7  C3                        ret

02E8                    ack4:
02E8  C6 06 00A8 R 02           mov     byte ptr ds:[ackcde] , 02
02ED  C3                        ret

                        ack     endp

02EE                    CSEG    ENDS

                        ;=============================================
                        ==

0000                    DSEG    SEGMENT  BYTE PUBLIC 'DATA'

0000                    fcbrec  label   byte
0000  00                fcbdriv db      00
0001  74 65 73 74 20 20 20     fcbname db      'test    '
      20
0009  61 73 6D                  fcbext  db      'asm'
000C  0000              fcbblk  dw      0000
000E  0000              fcbrcsz dw      0000
0010  ????????                 dd      ?
0014  ????                      dw      ?
0016  ??????????????????       dt      ?
      ?
0020  00                fcbsqrc db      00
0021  ????????                dd      ?
= 0080                  reclen  equ     128
0025  0080[             sector  db      reclen dup(' '),'$'
            20
                    ]
               24

00A5  00                        summing db      00
00A7  00                        endcde  db      00
00A8  00                        ackcde  db      00
00A9  2A 2A 2A 20 43 4F 4E      contmsg db      '*** CONTACT RECEIVER ERROR
                                ***'
      54 41 43 54 20 52 45
      43 45 49 56 45 52 20
      45 52 52 4F 52 20 2A
      2A 2A
00C7  2A 2A 2A 20 43 41 4E      ackmsg  db      '*** CAN NOT RECEIVE ACK OR
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                                NAK ***'
      20 4E 4F 54 20 52 45
      43 45 49 56 45 20 41
      43 4B 20 4F 52 20 4E
      41 4B 20 2A 2A 2A
00E9  2A 2A 2A 20 4F 50 45    openmsg  db       '*** OPEN ERROR ***'
      4E 20 45 52 52 4F 52
      20 2A 2A 2A
00FB  2A 2A 2A 20 52 45 41    readmsg  db       '*** READ ERROR ***'
      44 20 45 52 52 4F 52
      20 2A 2A 2A
010D  2A 2A 2A 20 44 41 54    datamsg  db       '*** DATA ERROR ***'
      20 45 52 52 4F 52
      20 2A 2A 2A
011F  2A 2A 2A 20 43 4C 4F    closemsg db       '*** CLOSE FILE ERROR ***'
      53 45 20 46 49 4C 45
      20 45 52 52 4F 52 20
      2A 2A 2A
0137  00                      rowclr   db       00

0139                          DS       ????

                              ;=======  ==========  ======  ======  ======  ==========
                              ==

0000                          STACK    SEGMENT  STACK

0000  0040[                             dw       64 dup(?)
        ????
                              ]

0080                          STACK    ENDS

                                       END      SENDER
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                        ;=========================================

                        TITLE   DATA COMMUNICATION (RECEIVER)

                        ;=========================================

0000                    CSEG    SEGMENT BYTE PUBLIC 'CODE'
                                ASSUME  CS:CSEG,DS:DSEG,SS:STACK

                        ;
                        ;-----------------------------------------
                        ;

= 02EA                  P_53200 equ     02EAh
                        ; port set 53200
= 02E1                  P_8251C equ     02E1h
                        ; port 8251 control
= 02E0                  P_8251D equ     02E0h
                        ; port 8251 data
= 02E2                  P_BUAD  equ     02E2h
                        ; port set buad rate
= 000C                  MAGIC1  equ     0Ch
= 000D                  MAGIC2  equ     0Dh
= 00FF                  YES     equ     0FFh
= 0020                  EOI     equ     20h
= 0020                  PIC_EOI equ     20h

                        ;
                        ;========== PROGRAM PART ==================
                        ;

0000                    receive proc    near

0000  B8 ---- R                 mov     ax , DSEG
                        ; get DATA SEGMENT
0003  8E D8                     mov     ds , ax

0005  C6 06 0004 R 00           mov     byte ptr ds:int_flag , 0
                        ; set interrupt flag

000A  BA 02EA                   mov     dx , P_53200
000D  B0 BB                     mov     al , 0BBh
                        ; set own code 53200
000F  EE                        out     dx , al
                        ; out code

0010  BA 02E2                   mov     dx , P_BUAD
0013  B0 0C                     mov     al , magic1
                        ; set buad rate,protect clear,
0015  EE                        out     dx , al
                        ; connect bus IR03
0016                    init:
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
0016  B8 350B                  ; start INIT
                                        mov     ax , 350Bh
                                ; get interrupt vector
0019  CD 21                             int     21h
001B  89 1E 0002 R                      mov     ds:int0B_off , bx
                                ; and save
001F  8C 06 0000 R                      mov     ds:int0B_seg , es

0023  1E                                push    ds
0024  0E                                push    cs
0025  1F                                pop     ds
                                ; DS contains segment
0026  BA 0000 R                         mov     dx , offset service
                                ; DX contains offset
0029  B8 250B                           mov     ax , 250Bh
                                ; function 25h
002C  CD 21                             int     21h
                                ; changes interrupt vector 0Bh
002E  1F                                pop     ds

002F  E4 21                             in      al , 21h
                                ; read current interrupt mask
0031  24 F7                             and     al , 0F7h
                                ; enable interrupt no. 3
0033  E6 21                             out     21h , al
                                ; write to 8259 port mask

                                ; end INIT
0035                            j0:
0035  80 3E 0004 R FF                   cmp     byte ptr ds:int_flag , yes
                                ; test interrupt flag
003A  74 02                             jz      restore
                                ; if no interrupt occured
003C  EB F7                             jmp     j0

003E                            restore:
                                ; start RESTORE
003E  E4 21                             in      al , 21h
0040  0C 08                             or      al , 08h
                                ; disable interrupt no.3
0042  E6 21                             out     21h , al

0044  1E                                push    ds
                                ; save DS
0045  8B 16 0002 R                      mov     dx , ds:int0B_off
                                ; DX contains offset
0049  A1 0000 R                         mov     ax , ds:int0B_seg
004C  8E D8                             mov     ds , ax
                                ; DS contains segment
004E  B8 250B                           mov     ax , 250Bh
                                ; change interrupt vector
0051  CD 21                             int     21h
0053  1F                                pop     ds
                                ; restore DS
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                        ;
                                ; end RESTORE
                        ;========== MAIN PROGRAM ====================
                        ;
0054  BA 02E1                   mov     dx , P_8251C
                        ; initial 8251
0057  32 C0                     xor     al , al
0059  B9 0003                   mov     cx , 3
005C                    j1:
005C  EE                        out     dx , al
005D  E2 FD                     loop    j1
005F  B0 40                     mov     al , 40h
                        ; software reset
0061  EE                        out     dx , al
0062  B0 DD                     mov     al , 0DDh
                        ; set MODE WORD
0064  EE                        out     dx , al
0065  B0 37                     mov     al , 37h
                        ; set COMMAND WORD
0067  EE                        out     dx , al
0068  B9 000F                   mov     cx , 0Fh
006B                    j2:
006B  E2 FE                     loop    j2
                        ; delay
006D  E8 0247 R                 call    ack
                        ; send ACK
0070  E8 01C2 R                 call    open
                        ; open file
0073  E8 01EF R                 call    stx
                        ; check STX
0076  B9 0005                   mov     cx , 5
0079                    receive1:
0079  E8 01CF R                 call    recdata
                        ; store data in buffer
007C  E8 020C R                 call    sum
                        ; check sum
007F  E8 035F R                 call    clr
                        ; clear screen
0082  E8 0375 R                 call    curs
                        ; set cursor
0085  E8 02F6 R                 call    disp
                        ; display buffer
0088  E8 0307 R                 call    dispsum
                        ; display summing
008B  8A 1E 008C R              mov     bl , byte ptr ds:summing
008F  8A 97 0090                mov     dl , byte ptr ds:[bx+128]
0093  3A DA                     cmp     bl , dl
```

เอกสารนี้จัดทำขึ้นไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
0095  74 20                    ; compare summing
                                        jz      receive2
                              ; correct , save in diskette
0097  E8 028E R                        call    nak
009A  E2 DD                             loop    receive1
                              ; not correct , receive again

009C  E8 035F R                         call    clr
                              ; clear screen
009F  E8 0389 R                         call    midcurs
                              ; set cursor
00A2  B4 40                             mov     ah , 40h
                              ; write to device
00A4  BB 0001                           mov     bx , 1
                              ; standard output
00A7  B9 0017                           mov     cx , 23
                              ; length to write
00AA  BA ---- R                         mov     dx , SEG DSEG : summsg
                              ; address of buffer for
00AD  8E DA                             mov     ds , dx
                              ; record to be written
00AF  BA 021C R                         mov     dx , OFFSET DSEG : summsg
00B2  CD 21                             int     21h
00B4  EB 40 90                          jmp     exit
                              ; exit to DOS

00B7                          receive2:
00B7  E8 0239 R                         call    etx
                              ; check ETX
00BA  3C 00                             cmp     al , 00
                              ; if ETX error
00BC  75 20                             jnz     receive4
00BE  E8 028E R                         call    nak
                              ; send NAK
00C1  E2 B6                             loop    receive1

00C3  E8 035F R                         call    clr
                              ; clear screen
00C6  E8 0389 R                         call    midcurs
                              ; set cursor
00C9  B4 40                             mov     ah , 40h
                              ; write to device
00CB  BB 0001                           mov     bx , 1
                              ; standard output
00CE  B9 001B                           mov     cx , 27
                              ; length to write
00D1  BA ---- R                         mov     dx , SEG DSEG : etxmsg
                              ; address of buffer for
00D4  8E DA                             mov     ds , dx
                              ; record to be written
00D6  BA 016C R                         mov     dx , OFFSET DSEG : etxmsg
00D9  CD 21                             int     21h
00DB  EB 19 90                          jmp     exit
                              ; exit to DOS
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
00DE                    receive4:
00DE  3C 01                     cmp     al , 01
00E0  75 03                     jnz     receive5
                        ; if not end of data
00E2  E8 0145 R                 call    write
                        ; save data in diskette
00E5  E8 0247 R                 call    ack
                        ; send ACK
00E8  EB BF                     jmp     receive1
                        ; receive data again
00EA                    receive5:
00EA  E8 0146 R                 call    write
                        ; save data in diskette
00ED  E8 0164 R                 call    close
                        ; close file
00F0  E8 0247 R                 call    ack
                        ; if end of data , send ACK
00F3  E8 0317 R                 call    endc
                        ; end of communication

00F6                    exit:
00F5  BA 02E2                   mov     dx , 02E2h
00F9  B0 0C                     mov     al , magic1
                        ; clear 7474 , connect bus
00FB  EE                        out     dx , al
00FC  B4 4C                     mov     ah , 4Ch
00FE  B0 00                     mov     al , 0
0100  CD 21                     int     21h
                        ; exit to DOS

                        receive endp
                        ;
                        ;=============================================
                        ;

                        ;
                        ;========== OPEN DISK FILE ======  ==========
                        ;
0102                    open    proc    near

0102  52                        push    dx
0103  50                        push    ax
                        ; save register

0104  B4 16                     mov     ah , 16h
                        ; request create file
0106  8D 16 0605 R              lea     dx , fcbrec
                        ; address of FCB
010A  CD 21                     int     21h
010C  3C 00                     cmp     al , 00
                        ; check status
010E  75 11                     jnz     open1
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                        ; jump, create failed

0110  C7 06 ---- R 0049         mov     fcbrcsz , reclen
                        ; record size
0116  BA 16 0028 R              lea     dx , namefld
                        ; set address to DTA
011A  B4 1A                     mov     ah , 1Ah
011C  CD 21                     int     21h

011E  59                        pop     ax
011F  5A                        pop     dx
                        ; return

0120  C3                        ret
0121                    open1:
0121  E8 03EF R                 call    clr
                        ; clear screen
0124  E8 ---- R                 call    midcurs
                        ; set cursor
0127  B4 40                     mov     ah , 40h
                        ; write to device
0129  BB 0001                   mov     bx , 1
                        ; standard output
012C  B9 0013                   mov     cx , 19
                        ; length to write
012F  BA ---- R                 mov     dx , SEG DSEG : openmsg
                        ; address of buffer for
0132  8E DA                     mov     ds , dx
                        ; record to be written
0134  BA 0187 R                 mov     dx , OFFSET DSEG : openmsg

0137  CD 21                     int     21h

0139  B4 0F52                   mov     dx , P_QUAD
013C  B0 0C                     mov     al , logic1
                        ; clear 7474 , conect bus
013E  EE                        out     dx , al
013F  B4 4C                     mov     ah , 4Ch
0141  B0 00                     mov     al , 0
0143  CD 21                     int     21h
                        ; exit to DOS

0145  C3                        ret

                        open    endp

                        ;
                        ;========== WRITE DISK RECORD ===============
                        ;
0146                    write   proc    near

0146  B4 15                     mov     ah , 15h
                        ; request write
0148  BA 16 0005 R              lea     dx , fcbrec
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
014C  CD 21                   ; address of FCB
                                      int     21h
014E  A2 00A0 R                       mov     byte ptr ds:endcde , al
0151  3C 00                           cmp     al , 00
                              ; check status
0153  75 01                           jnz     write1
                              ; jump, write failed
0155  C3                              ret
                              ; successful, return
0156                          write1:
0156  3C 01                           cmp     al , 01
                              ; check disk full status
0158  75 25                           jnz     write2
                              ; jump, segment wrap
015A  E8 035F R                       call    clr
                              ; clear screen
015D  E8 03B3 R                       call    midcurs
                              ; set cursor
0160  B4 40                           mov     ah , 40h
                              ; write to device
0162  BB 0001                         mov     bx , 1
                              ; standard output
0165  B9 0018                         mov     cx , 24
                              ; length to write
0169  BA ---- R                       mov     dx , SEG DSEG : writmsg
                              ; address of buffer for
016C  8E DA                           mov     ds , dx
                              ; record to be written
016E  BA 0107 R                       mov     dx , OFFSET DSEG : writmsg

0171  CD 21                           int     21h

0173  BA 02E2                        mov     dx , P_8UAD
0176  B0 0C                           mov     al , magic1
                              ; clear 7474 , connect bus
0178  EE                              out     dx , al
0179  B4 4C                           mov     ah , 4Ch
017B  B0 00                           mov     al , 0
017D  CD 21                           int     21h
                              ; exit to DOS

017F  C3                              ret

0180                          write2:
0180  E8 0.0F R                       call    clr
                              ; clear screen
0183  E8 03B3 R                       call    midcurs
                              ; set cursor
0186  B4 40                           mov     ah , 40h
                              ; write to device
0188  B9 0018                         mov     bx , 1
                              ; standard output
                                      mov     cx , 24
                              ; length to write
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                        ;
01CF                    recdata proc    near

01CF  52                        push    dx
01D0  51                        push    cx
01D1  53                        push    bx
01D2  50                        push    ax
                        ; save register

01D3  BB 00AD R                 mov     bx , offset buffer
                        ; set buffer
01D6  B9 0082                   mov     cx , 130
                        ; set counter
01D9                    recdata1:
01D9  88 07                     mov     [bx] , al
                        ; save data in buffer
01DB  43                        inc     bx

01DC  BA 02E1                   mov     dx , P_8251C
01DF                    recdata2:
01DF  EC                        in      al , dx
01E0  24 02                     and     al , 02h
                        ; test bit 1 = 1
01E2  74 FB                     jz      recdata2
                        ; buffer not empty , polling

01E4  BA 02E0                   mov     dx , P_8251D
01E7  EC                        in      al , dx
01E8  E2 EF                     loop    recdata1

01EA  58                        pop     ax
01EB  5B                        pop     bx
01EC  59                        pop     cx
01ED  5A                        pop     dx

01EE  C3                        ret

                        recdata endp

                        ;
                        ;========== CHECK STX ======================
                        ;
01EF                    stx     proc    near

01EF  B9 000F                   mov     cx , 0Fh
01F2                    stx1:
01F2  E2 FE                     loop    stx1
                        ; delay
01F4                    stx2:
01F4  BB 0000                   mov     bx , 0
01F7  BA 02E1                   mov     dx , P_8251C
01FA                    stx3:
01FA  4B                        dec     bx
01FB  74 0E                     jz      stx4
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
01FD  EC                        in      al , dx
                        ; read status register
01FE  24 02                     and     al , 02h
                        ; test bit 1 = 1
0200  74 F8                     jz      stx3
                        ; buffer not empty , polling

0202  BA 02E0                   mov     dx , P_8251D
0205  EC                        in      al , dx
0206  3C 02                     cmp     al , 02h
                        ; test STX
0208  74 EA                     jz      stx2
                        ; if STX , polling

020A  C3                        ret
020B                    stx4:
020B  E8 035F R                 call    clr
                        ; clear screen
020E  E8 0CE9 R                 call    midcurs
                        ; set cursor
0211  B4 40                     mov     ah , 40h
                        ; write to device
0213  BB 0001                   mov     bx , 1
                        ; standard output
0216  B9 001B                   mov     cx , 27
                        ; length to write
0219  BA ---- R                 mov     dx , SEG DSEG : stxmsg
                        ; address of buffer for
021C  8E DA                     mov     ds , dx
                        ; record to be written
021E  BA 0151 R                 mov     dx , OFFSET DSEG : stxmsg
0221  CD 21                     int     21h

0223  BA 02E2                   mov     dx , P_BUAD
0226  B0 0C                     mov     al , magic1
                        ; clear 7474 , connect bus
0228  EE                        out     dx , al
0229  B4 4C                     mov     ah , 4Ch
022B  B0 00                     mov     al , 0
022D  CD 21                     int     21h
                        ; exit to dos

022F  C3                        ret

                        stx     endp

                        ;
                        ;========== CHECK ETX ======================
                        ;
0230                    etx     proc    near

0230  8A 1E 012E R              mov     bl , byte ptr ds:[buffer+1
                                        291
0234  80 FB 20                  cmp     bl , 20h
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                        ; ETX = SP
0237  74 03                     jz      etx1
                        ; correct , receive data again

0239  80 FB 03                  cmp     bl , 03h
                        ; ETX = ETX
023C  74 05                     jz      etx2
                        ; correct , end of data

023E  B0 00                     mov     al , 00
                        ; not correct , ETX error
0240  C3                        ret
0241                    etx1:
0241  B0 01                     mov     al , 01
0243  C3                        ret
0244                    etx2:
0244  B0 02                     mov     al , 02
0246  C3                        ret

                        etx     endp

                        ;
                        ;========== SEND ACK ======================
                        ;
0247                    ack     proc    near

0247  52                        push    dx
0248  51                        push    cx
0249  53                        push    bx
024A  50                        push    ax
                        ; save register

024B  B9 00FF                   mov     cx , 0FFh
                        ; set counter
024E                    ack0:
024E  BB 0000                   mov     bx , 0
0251  BA 02E1                   mov     dx , P_8251C
0254                    ack1:
0254  4B                        dec     bx
0255  74 12                     jz      ack2
0257  EC                        in      al , dx
                        ; read 8251 buffer
0258  24 01                     and     al , 01h
                        ; test bit 0 = 1
025A  74 F8                     jz      ack1
                        ; buffer not empty , polling

025C  BA 02E0                   mov     dx , P_8251D
025F  B0 05                     mov     al , 05h
0261  EE                        out     dx , al
                        ; send ACK
0262  E2 EA                     loop    ack0

0264  58                        pop     ax
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
0265  5B                        pop     bx
0266  59                        pop     cx
0267  5A                        pop     dx
                          ; return

0268  C3                        ret
0269                      ack2:
0269  E8 0[illegible]           call    clr
                          ; clear screen
026C  E8 0383 R                 call    midcurs
                          ; set cursor
026F  B4 40                     mov     ah , 40h
                          ; write to device
0271  BB 0001                   mov     bx , 1
                          ; standard output
0274  B9 0018                   mov     cx , 24
                          ; length to write
0277  BA ---- R                 mov     dx , SEG DSEG : ackmsg
                          ; address of buffer for
027A  8E DA                     mov     ds , dx
                          ; record to be written
027C  BA 0187 R                 mov     dx , OFFSET DSEG : ackmsg
027F  CD 21                     int     21h

0281  BA 02E2                   mov     dx , P_BUAD
0284  B0 0C                     mov     al , magic1
                          ; clear 7474 , connect bus
0286  EE                        out     dx , al
0287  B4 4C                     mov     ah , 4Ch
0289  B0 00                     mov     al , 0
028B  CD 21                     int     21h
                          ; exit to DOS

028D  C3                        ret

                          ack     endp

                          ;
                          ;========== SEND NAK ======================
                          ;
028E                      nak     proc    near

028E  52                        push    dx
028F  51                        push    cx
0290  53                        push    bx
0291  50                        push    ax
                          ; save register

0292  B9 005F                   mov     cx , 0FFh
0295                      nak0:
0295  BB 0000                   mov     bx , 0
0298  BA 02E1                   mov     dx , P_8251C
029B                      nak1:
029B  4B                        dec     bx
```

เอกสารนี้จัดทำขึ้นเพื่อสงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
029C  74 C8                     jz      ack2
029E  EC                        in      al , dx
                        ; read 8251 buffer
029F  24 01                     and     al , 01h
                        ; test bit 0 = 1
02A1  74 F8                     jz      nak1

02A3  BA 02E0 R                 mov     dx , P_8251D
02A6  B0 15                     mov     al , 15h
02A8  EE                        out     dx , al
                        ; send NAK
02A9  E2 EA                     loop    nak0

02AB  58                        pop     ax
02AC  5B                        pop     bx
02AD  59                        pop     cx
02AE  5A                        pop     dx
                        ; return
02AF  C3                        ret
02B0                    nak3:
02B0  E8 035F R                 call    clr
                        ; clear screen
02B3  E8 0368 R                 call    midcurs
                        ; set cursor
02B6  B4 40                     mov     ah , 40h
                        ; write to device
02B8  BB 0001                   mov     bx , 1
                        ; standard output
02BB  B9 0019                   mov     cx , 24
                        ; length to write
02BE  BA ---- R                 mov     dx , SEG DSEG : nakmsg
                        ; address of buffer for
02C1  8E DA                     mov     ds , dx
                        ; record to be written
02C3  BA 019F R                 mov     dx , OFFSET DSEG : nakmsg
02C6  CD 21                     int     21h

02C8  BA 02E2                   mov     dx , P_BUAD
02CB  B0 0C                     mov     al , magic1
                        ; clear 7474 , connect bus
02CD  EE                        out     dx , al
02CE  B4 4C                     mov     ah , 4Ch
02D0  B0 00                     mov     al , 0
02D2  CD 21                     int     21h
                        ; exit to DOS

02D4  C3                        ret

                        nak     endp
                        ;
                        ;========== SUM OF DATA ====================
                        ;
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
02D5                    sum     proc    near

02D5  51                        push    cx
02D6  56                        push    si
02D7  50                        push    ax

02D8  C6 06 00AC R 00           mov     byte ptr ds : summing , 0
02DD  B9 0080                   mov     cx , 128
02E0  BB 00AD R                 mov     bx , offset buffer
02E3                    sum1:
02E3  8A 07                     mov     al , [bx]
02E5  00 06 00AC R              add     byte ptr ds : summing , al

02E9  43                        inc     bx
02EA  E2 F7                     loop    sum1

02EC  58                        pop     ax
02ED  5B                        pop     bx
02EE  59                        pop     cx

02EF  C3                        ret

                        sum     endp

                        ;
                        ;========== DISPLAY BUFFER ==================
                        ;
02F0                    disp    proc    near

02F0  E8 0375 R                 call    curs
                        ; set cursor

02F3  52                        push    dx
02F4  51                        push    cx
02F5  53                        push    bx
                        ; save register

02F6  B9 0080                   mov     cx , 128
02F9  BB 00AD R                 mov     bx , offset buffer
                        ; set address of data
02FC                    disp1:
02FC  8A 17                     mov     dl , [bx]
                        ; display data
02FE  CD 21                     int     21h
0300  43                        inc     bx
0301  E2 F9                     loop    disp1

0303  5B                        pop     bx
0304  59                        pop     cx
0305  5A                        pop     dx
                        ; return
0306  C3                        ret
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                        disp    endp

                        ;
                        ;========== DISPLAY SUMMING ================
                        ;
0307                    dispsum proc    near

0307  E8 0143 R                  call    corncurs
                        ; set cursor

030A  52                          push    dx
030B  50                          push    ax
                        ; save register

030C  B4 02                       mov     ah , 2
030E  8A 16 0A82 R                mov     dl , byte ptr dsisumming
                        ; display summing
0312  CD 21                       int     21h

0314  58                          pop     ax
0315  5A                          pop     dx
                        ; return

0316  C3                          ret

                        dispsum endp

                        ;
                        ;========== END OF COMMUNICATION ============
                        ;
0317                    endc    proc    near
0317  B9 0001                    mov     cx , 16
031A                    endc_1:
031A  BA 03E1                     mov     dx , P_8251C
031D  EC                          in      al , dx
031E  A8 02                       test    al , 02h
0320  75 F8                       jnz     endc1
0322  BA 03E0                     mov     dx , P_8251D
0325  EC                          in      al , dx
0326  3C 04                       cmp     al ,04
0328  74 2F                       jz      endc2
032A  E2 EE                       loop    endc1

032C  E8 0000 E                   call    clr
                        ; clear screen
032F  E8 0142 R                   call    midcurs
                        ; set cursor
0332  1E                          push    ds
0333  B4 40                       mov     ah , 40h
                        ; write to device
0335  B9 0001                     mov     bx , 1
                        ; standard output
0339  B8 0029                     mov     bx , 41
                        ; length to write
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
033B  BA ---- R                 mov     dx , SEG DSEG : erdmsg
                        ; address of buffer for
033E  8E DA                     mov     ds , dx
                        ; record to be written
0340  BA 0233 R                 mov     dx , OFFSET DSEG : endmsg
0343  CD 21                     int     21h
0345  1F                       pop     ds
0346  BA 02E2                   mov     dx , P_BUAD
0349  B0 0C                     mov     al , magic1
                        ; clear 7474 , connect bus
034B  EE                        out     dx , al
034C  B4 4C                     mov     ah , 4Ch
034E  B0 00                     mov     al , 0
0350  CD 21                     int     21h
                        ; exit to DOS
0352  C3                        ret

                        endc2:
0353
0353  E8 0247 R                call    ack
0356  C3                       ret
                        ;
                        ;========== DELAY LOOP ====================
                        ;
0357                    delay   proc    near

0357  51                       push    cx

0358  B9 00FF                   mov     cx , 0FFh
0358                    delay1:
035B  E2 FE                     loop    delay1

035D  59                        pop     cx

035E  C3                        ret

                        delay   endp

                        ;
                        ;========== CLEAR SCREEN ==================
                        ;
035F                    clr     proc    near

035F  52                        push    dx
0360  51                        push    cx
0361  53                        push    bx
0362  50                        push    ax

0363  B8 0600                   mov     ax , 6
                        ; entire window is blanked
0366  B7 07                     mov     bh , 7
                        ; normal video attribute
0368  B9 0000                   mov     cx , 0
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                        ; upper
036B  BA 184F                   mov     dx , 184Fh
                        ; lower
036E  CD 10                     int     10h

0370  58                        pop     ax
0371  5B                        pop     bx
0372  59                        pop     cx
0373  5A                        pop     dx

0374  C3                        ret

                        clr     endp

                        ;
                        ;========== SET CURSOR ========== =====
                        ;
0375                    curs    proc    near

0375  52                        push    dx
0376  53                        push    bx
0377  50                        push    ax

0378  B4 02                     mov     ah , 2
037A  B7 00                     mov     bh , 0

                        ; select page 0
037C  8A 36 0125 R              mov     dh , rowctr
                        ; row (y coordinate)
0380  B2 00                     mov     dl , 0
                        ; column (x coordinate)
0382  CD 10                     int     10h

0384  58                        pop     ax
0385  5B                        pop     bx
0386  5A                        pop     dx

0387  C3                        ret

                        curs    endp

                        ;
                        ;========== SET CURSOR MIDDLE SCREEN ========
                        ;
0388                    midcurs proc    near

0388  52                        push    dx
0389  53                        push    bx
038A  50                        push    ax

038B  B4 02                     mov     ah , 2
038D  B7 00                     mov     bh , 0
                        ; select page 0
038F  BA 091A                   mov     dx , 091Ah
                        ; (x,y) coordinate
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
0392  CD 10                     int     10h

0394  58                        pop     ax
0395  5B                        pop     bx
0396  5A                        pop     dx

0397  C3                        ret

                        midcurs endp

                        ;
                        ;========== SET CURSOR SCREEN CORNER ========
                        ;
0398                    corncurs proc   near

0398  52                        push    dx
0399  53                        push    bx
039A  50                        push    ax

039B  B4 02                     mov     ah , 2
039D  B7 00                     mov     bh , 0
                        ; select page 0
039F  BA 1640                   mov     dx , 1640h
                        ; (x,y) coordinate
03A2  CD 10                     int     10h

03A4  58                        pop     ax
03A5  5B                        pop     bx
03A6  5A                        pop     dx

03A7  C3                        ret

                        corncurs endp

                        ;
                        ;========== SERVICE ROUTINE ================
                        ;
03A8                    service proc    far

03A8  FB                        sti

03A9  50                        push    ax
03AA  1E                        push    ds
03AB  52                        push    dx

03AC  BA 02E2                   mov     dx , P_BUAD
03AF  B0 80                     mov     al , magic2
                        ; disable interrupt 53200
03B1  EE                        out     dx , al

03B2  B8 ---- R                 mov     ax , DSEG
                        ; get DATA SEGMENT
03B5  8E D8                     mov     ds , ax
03B7  C6 06 0004 R FF           mov     byte ptr ds:int_flag , yes
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับใช้เพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                        ; interrupt occurs
03BC  B0 20                     mov     al , eoi
                        ; acknowledge 8259
03BE  E6 20                     out     pic_eoi , al

03C0  5A                        pop     dx
03C1  1F                        pop     ds
                        ; return
03C2  58                        pop     ax

03C3  CF                        iret

                        service ends

03C4                    CSEG    ENDS

                        ;
                        ;=============================================
                        ;

0000                    DSEG    SEGMENT BYTE PUBLIC 'DATA'
0000  ????              int08_seg dw    ?
0002  ????              int0B_off dw    ?
0004  00                int_flag db     0
0005                    fcbrec  label   byte
0005  00                fcbdriv db      00
0006  6E 61 6D 65 66 69 6C fcbname db    'namefile'
      65
000E  74 73 74          fcbext  db      'tst'
0011  0000              fcbblk  dw      0000
0013  ????              fcbrcsz dw      ?
0015  ????????          fcbflsz dd      ?
0019  ????                      dw      ?
001B  ????????????????????             dt      ?
      ?
0025  00                fcbsqrc db      00
0026  ??????                  dd      ?

= 0080                  reclen  equ     128
002A  80                maxlen  db      reclen
002B  0080[             namefld db      reclen dup(?)
        ??
                    ]

00AB  00                endcde  db      00

00AC  00                sumsing db      00
00AD  0082[             buffer  db      130 dup(?)
        ??
                    ]

012F  00                rowctr  db      00

0130  2A 2A 2A 20 43 41 4E intmsg db    '*** CAN NOT RECEIVE INTER
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                                RUPT ***'
      20 4E 4F 54 20 52 45
      43 45 49 56 45 20 49
      4E 54 45 52 52 55 50
      54 20 2A 2A 2A
0151  2A 2A 2A 20 43 41 4E    stxmsg    db      '*** CAN NOT RECEIVE STX *
                              **'
      20 4E 4F 54 20 52 45
      43 45 49 56 45 20 53
      54 58 20 2A 2A 2A
016C  2A 2A 2A 20 43 41 4E    etxmsg    db      '*** CAN NOT RECEIVE ETX *
                              **'
      20 4E 4F 54 20 52 45
      43 45 49 56 45 20 45
      54 58 20 2A 2A 2A
0187  2A 2A 2A 20 43 41 4E    ackmsg    db      '*** CAN NOT SEND ACK ***'

      20 4E 4F 54 20 53 45
      4E 44 20 41 43 4B 20
      2A 2A 2A
019F  2A 2A 2A 20 43 41 4E    nakmsg    db      '*** CAN NOT SEND NAK ***

      20 4E 4F 54 20 53 45
      4E 44 20 4E 41 4B 20
      2A 2A 2A
01B7  2A 2A 2A 20 4F 50 45    openmsg   db      '*** OPEN ERROR ***'
      4E 20 45 52 52 4F 52
      20 2A 2A 2A
01C9  2A 2A 2A 20 44 49 53    writmsg   db      '*** DISK FULL WRITE ERROR
                              ***'
      46 20 46 55 4C 4C 20
      57 52 49 54 45 20 45
      52 52 4F 52 20 2A 2A
      2A
01E5  2A 2A 2A 20 57 52 49    writ2msg  db      '*** WRITE ERROR ***'
      54 45 20 45 52 52 4F
      52 20 2A 2A 2A
01FE  2A 2A 2A 20 46 49 4C    closemsg  db      '*** FILE NOT FOUND IN DIR
                              ECTORY ***'
      45 20 4E 4F 54 20 46
      4F 55 4E 44 20 49 4E
      20 44 49 52 45 43 54
      4F 52 59 20 2A 2A 2A

021C  2A 2A 2A 20 43 48 45    summsg    db      '*** CHECK SUM ERROR ***'
      43 4B 20 53 55 4D 20
      45 52 52 4F 52 20 2A
      2A 2A
0233  2A 2A 2A 20 43 41 4E    endmsg    db      '*** CAN NOT SEND END OF C
                              OMMUNICATION ***'
      20 4E 4F 54 20 53 45
      4E 44 20 45 4E 44 20
      4F 46 20 43 4F 4D 4D
      55 4E 49 43 41 54 49
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น ห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
      4F 4E 20 25 2A 2A
025C                            DSEG    ENDS

                                ;
                                ;=============================================
                                ;

0000                            STACK   SEGMENT  STACK
0000  0040[                             dw      64 dup(?)
        ????
                        ]

0080                            STACK   ENDS

                                END     RECEIVE
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ปริญญานิพนธ์ฉบับนี้มีอาจที่จะสำเร็จลงได้ตามจุดประสงค์ ถ้าขาดการให้คำแนะนำจาก อาจารย์ที่ปรึกษา อ.พลผดุง ผดุงกุล ตลอดจนความร่วมมือในการคิดแก้ไขปัญหาต่างๆของ เพื่อนร่วมงานทุกๆคนในกลุ่ม และความช่วยเหลือจากเพื่อนๆทุกคน จึงขอขอบคุณมา ณ โอกาสนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอกสารอ้างอิง

DENNIS M.MONTICELLI AND MICHALE E.WRIGHT,MEMBER,IEEE, "A CARRIER CURRENT TRANCEIVER IC FOR DATA TRANMISSION OVER THE AC POWER LINES", IEEE JOURNAL OF SOLID-STATE CIRCUITS,VOL.SC17 NO 6 , P. 1158-1159, DECEMBER 1982

JAMES W. COFFRON.," Z-80 APLICATION ",COPY RIGHT,SYBEX. INC,PP. 209-238,1987

RUSSEL RECTOR AND GEORGE ALEXY OSBOURNE , " THE 8086 BOOK " MG GRAW - HILL

RAY DUNCAN , " ADVANCED MS DOS VERSION 1.1 - 3.2 ", MICROSOFT PRESS , 1986

PETER ABEL , " ASSEMBLER FOR THE IBM PC AND PC-XT " , PRENTICE HALL , 1984

รศ.ยืน ภู่วรวรรณ น.ต.ดร.ไพศาล สงวนหมู่,"การสื่อสารข้อมูล และ ไมโครคอมพิวเตอร์เนตเวอร์ค",บริษัท ซีเอ็ดยูเคชั่น จำกัด,พิมพ์ครั้งที่ 9,2529

JSK GROUP ," แอสเซมบลี้ 8086/8088 " ฟิสิกส์เซ็นเตอร์การพิมพ์

" การใช้งาน Z80 " , ฟิสิกส์เซนเตอร์การพิมพ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้