ปีการศึกษา 2531

ชุดเตือนภัยพูดได้

โดย

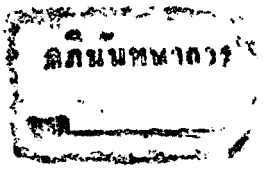
นายทวีศักดิ์ พร้อมสุข

นายเสถียร วัฒนาโภคยกิจ

นางสาวเพลินจิตต์ ไพบูลย์

อาจารย์ที่ปรึกษา

อาจารย์สุพรรณ กุลวานิชย์



ปริญญานิพนธ์ปีการศึกษา 2531

ภาควิชาการวัดคุมทางอุตสาหกรรม

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง ชุดเตือนภัยพูดได้

ผู้จัดทำ

1. นายทวีศักดิ์ พร้อมสุข 28.6708
2. นายเสถียร วัฒนาโภคยกิจ 28.6725
3. น.ส.เพลินจิตต์ ไพบูลย์ 28.6714

.....อาจารย์ที่ปรึกษา

(นายสุพรรณ กุลวานิชย์)

023127

ชุดเตือนภัยพูดได้

ทวีศักดิ์ พร้อมสุข
เสถียร วัฒนาโภคยกิจ
เพลินจิตต์ ไพบูลย์
อ.สุพรรณ กุลวาณิชย์ อาจารย์ที่ปรึกษา
ปีการศึกษา 2531

บทคัดย่อ

ในวิทยานิพนธ์ฉบับนี้ เรียบเรียงขึ้นจากผลงานที่ได้สร้างขึ้นเป็นอุปกรณ์ที่ใช้ป้องกันหรือเตือนภัย การป้องกันภัยมีด้วยกันหลายวิธีแต่ปัจจุบันวิธีการทางอิเล็กทรอนิกส์ นิยมใช้กันอย่างมากและมีขนาดเล็กลงกว่าเดิม และยังได้ถูกพัฒนาให้มีเสียงพูดออกมาพร้อมๆกับการเตือนด้วยทำให้บุคคลทั่วไปสามารถทราบได้ว่าเตือนอย่างไร มิใช่เพียงแต่จะเตือนด้วยสัญญาณเตือนเพียงอย่างเดียว

ซึ่งชุดเตือนภัยชุดนี้อาศัยหลักการเก็บเสียงพูดลงไปบนไอซีหน่วยความจำชนิดไดนามิกแรม (Dynamic RAM)แล้วใช้ชุดวงจรนับ(Countor) เป็นตัวกวาดหาจุดที่ถูกบุกรุกหรือถูกบ้อนไฟเพื่อนำเอาไฟเปลี่ยนเป็นรหัส BCD แล้วไปถอดเอาข้อมูลที่เก็บอยู่ในไดนามิกแรมซึ่งมีข้อความต่าง ๆ เก็บไว้ใน ADDRESS ต่าง ๆ กัน เพื่อนำเอาไปขยายเสียงออกลำโพงเตือนภัยเป็นคำพูดให้บุคคลทั่วไปได้รับทราบข้อความที่เตือน

Warning Alarm Speech

TAWEESAK PROMSUK
SATHIAN WATTANAPOKAYAKIT
PLERNJIT PAIBOON
SUPUN KULWANICH Advisor
1988

Abtract

This thesis is written from the work which is built for the equipment. It is used for protecting and warning. There are many ways for protecting. The most pupular way is the electronics because it is smaller than the old one and it is developed for using sound and warning at the same time. Many persons know that, "How is the warning ?" It is not only alarm signal.

This Warning Alarm Speech is used the method collects the word in the kind of IC memory dynamic RAM unit and using counter circuit for finding the thing which is attacked or turn on the electricity for changing to BCD code. And it decode the data which is corrected from dynamic RAM which there are many different passages which is corrected in different address taking to amplify the sound to the warning speaker. The warning speaker is the word for every person knows the warning passage.

สารบัญ

หน้า

บทคัดย่อ

บทที่ 1 บทนำ

1.1 จุดประสงค์ 1

1.2 ความสำคัญของปัญหา 1

1.3 ประโยชน์ที่คาดว่าจะได้รับ 1

บทที่ 2 ทฤษฎีสัมพันธ์

2.1 การบันทึกเสียงพูดระบบดิจิตอล 2

2.2 การแปลงสัญญาณอนาลอกเป็นดิจิตอล 11

2.3 การแปลงสัญญาณดิจิตอลเป็นอนาลอก 22

2.4 การใช้งานไดนามิก 27

2.5 วงจรนับ (Counter) 40

2.6 ทฤษฎีการใช้งาน IC 555 50

บทที่ 3 การออกแบบและการสร้าง

3.1 ส่วนวงจรวิเคราะห์เสียงพูด 54

3.2 ส่วนวงจรสแกนและการดีโค้ต 61

บทที่ 4 สรุปและวิจารณ์ผล

ภาคผนวก

DATA IC เบอร์ 41256

กิตติกรรมประกาศ

เอกสารอ้างอิง

บทที่ 1
บทนำ

1.1 จุดประสงค์ในการทำ Project

ทุกวันนี้เทคโนโลยีทางด้านอิเล็กทรอนิกส์ได้ก้าวหน้าไปมาก โดยเฉพาะเทคโนโลยีด้านคอมพิวเตอร์แต่ก่อนถ้าเราต้องการจะบันทึกเสียงเก็บไว้ เราก็ต้องเก็บไว้ในเส้นเทปหรือแผ่นเสียง และเราต้องใช้กลไกต่าง ๆ ทางแมคคานิค (Machanic) เข้ามาช่วย แต่ในปัจจุบันนี้การบันทึกเสียงเราไม่จำเป็นต้องใช้เส้นเทปและปราศจากกลไกเคลื่อนไหวใด ๆ แต่เราจะใช้อุปกรณ์หน่วยความจำเก็บข้อมูลเสียงแทนเทปหรือแผ่นเสียง ซึ่งปัจจุบันนี้อุปกรณ์หน่วยความจำเก็บข้อมูลเสียงนี้ก็มีราคาถูกลงและสามารถนำมาใช้ประโยชน์มากมายแทนเส้นเทปและแผ่นเสียง

แต่ก่อนเรามีชุดอุปกรณ์ป้องกันภัยหรือเตือนภัยระบบต่าง ๆ มากมายแต่อุปกรณ์เตือนภัยดังกล่าวก็เตือนได้เฉพาะเสียงสัญญาณเตือนเพียงอย่างเดียวเท่านั้น ไม่ได้บอกออกมาเป็นคำพูด ดังนั้นจึงคิดว่าถ้านำเอาชุดเตือนภัยแบบเก่า ๆ ที่มีมาประยุกต์ใช้ร่วมกันชุดบันทึกเสียงพูดระบบดิจิตอลนี้ คงจะมีประโยชน์ในการเตือนภัยแบบต่าง ๆ ดีขึ้นกว่าเดิม เพราะจะมีเสียงพูดออกมาด้วย และยังคงสามารถนำไปประยุกต์ใช้งานด้านต่าง ๆ ได้อีกมากมาย

โครงงานนี้เป็นส่วนหนึ่งของการศึกษาวิชา Project ซึ่งเป็นวิชาหนึ่งในหลักสูตรปริญญาตรีของคณะวิศวกรรมศาสตร์

1.2 ความสำคัญของปัญหา

ปัญหาในการจัดทำโครงงานก็คือ จะทำอย่างไรที่จะนำเอาชุดเตือนภัยแบบเก่า ๆ มาประยุกต์ใช้ร่วมกับชุดบันทึกเสียงพูดได้โดย เสียงพูดที่เตือนออกมานั้นไม่ผิดเพี้ยนหรือได้ข้อความชัดเจนพร้อมทั้งสามารถนำชุดที่สร้างนี้ไปเตือนได้หลาย ๆ จุด โดยไม่ต้องสร้างชุดเตือนภัยหลาย ๆ ชุด จะต้องมีประสิทธิภาพในการทำงานที่เที่ยงตรง และง่ายต่อการตรวจสอบแก้ไข

1.3 ประโยชน์ที่คาดว่าจะได้รับ

ชุดเตือนภัยพูดได้นี้คงจะอำนวยความสะดวกความสบายให้แก่ผู้ที่นำเอาไปใช้ได้เป็นอย่างดี ในการเตือนภัยในสิ่งต่าง ๆ พร้อมทั้งบุคคลอื่นก็คงสามารถรู้ว่ามีภัย เพราะจะมีเสียงพูดเตือนออกมาด้วย

คณะผู้จัดทำหวังว่าชุดเตือนภัยพูดได้นี้คงจะมีประโยชน์ต่อชีวิต และทรัพย์สินของผู้เป็นเจ้าของ และคนที่อยู่ข้างเคียงได้เป็นอย่างดี

บทที่ 2

ทฤษฎีสัมพันธ์

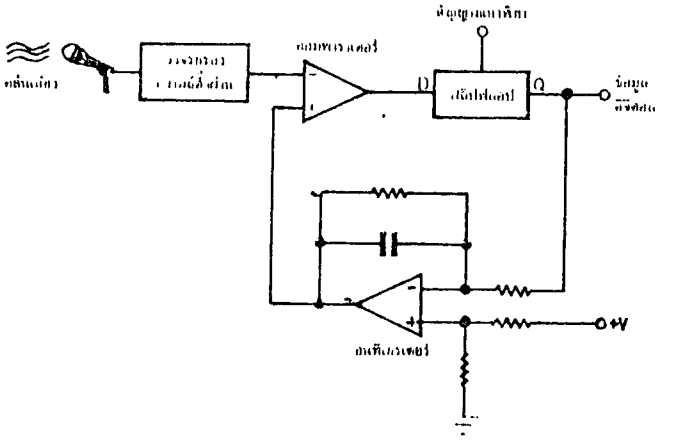
2.1 การบันทึกเสียงในระบบดิจิตอล

การบันทึกเสียงสำหรับนำกลับมาใช้ใหม่โดยใช้วิธีการทางด้านดิจิตอลทำให้ไม่จำเป็นต้องใช้กลไกเคลื่อนไหวใด ๆ ดังเช่นแบบเดิม แต่จะใช้อุปกรณ์หน่วยความจำเก็บข้อมูลเสียงแทนเส้นเทปหรือแผ่นเสียง เทคนิคการบันทึกเสียงด้วยระบบดิจิตอลมีด้วยกันหลายวิธี ในที่นี้จะพูดถึงแต่การใช้เทคนิคที่เรียกว่า เดลต้ามอดูเลชั่น

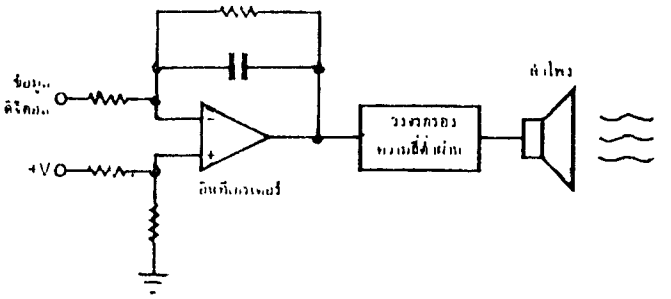
ในการบันทึกเสียงระบบดิจิตอลไม่ว่าจะใช้วิธีการอะไร ก็จะประกอบด้วย 3 ส่วนสำคัญ คือ ส่วนแรกทำหน้าที่แปลงสัญญาณเสียงที่เป็นอนาลอกให้เป็นข้อมูลดิจิตอล แล้วจึงนำไปบันทึกลงในหน่วยความจำซึ่งเป็นส่วนที่สอง และส่วนสุดท้ายคือส่วนที่ทำหน้าที่แปลงข้อมูลดิจิตอลจากหน่วยความจำออกมาเป็นสัญญาณอนาลอก

2.1.1 เดลต้ามอดูเลชั่น

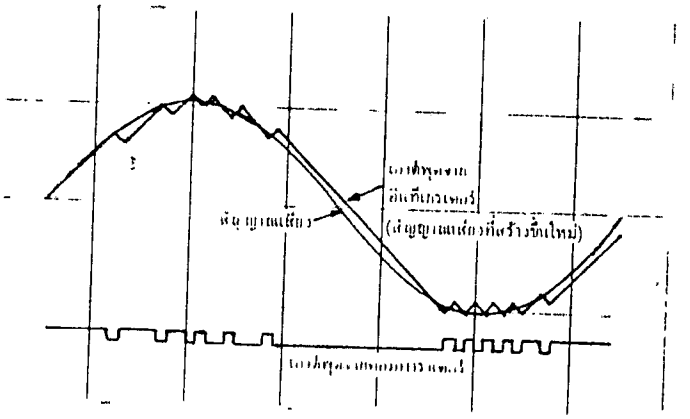
เทคนิคของเดลต้ามอดูเลชั่นจะไม่ใช้การสุ่มสัญญาณหนึ่งจุด แล้วแปลงเป็นข้อมูลดิจิตอลหนึ่งเวิร์ด ที่มีความละเอียดเป็นจำนวนบิทที่ต้องการ แต่จะใช้วิธีเปรียบเทียบความสูงหรือการเปลี่ยนแปลงของสัญญาณเสียงแทน



รูปที่ 1 วงจรเบื้องต้นของเดลต้ามอดูเลชั่นในส่วนของการแปลงจาก
สัญญาณเสียงเป็นดิจิตอล



รูปที่ 2 วงจรที่ใช้แปลงกลับจากข้อมูลดิจิตอลเป็นสัญญาณเสียง



รูปที่ 3 เปรียบเทียบสัญญาณอินพุตกับข้อมูลที่ได้สัญญาณอนาลอกจากอินทิเกรเตอร์

ข้อมูลที่ได้ก็คือ ทิศทางของการเปลี่ยนแปลงซึ่งก็มีเพียง ขึ้นหรือลงเท่านั้นดังนั้นความกว้างของข้อมูลดิจิตอลจึงใช้เพียงบิทเดียวก็เพียงพอ ข้อดีของวิธีการเดลต้ามอดูเลชั่นก็คือใช้หน่วยความจำน้อยกว่าวิธีการแบบอื่น ๆ

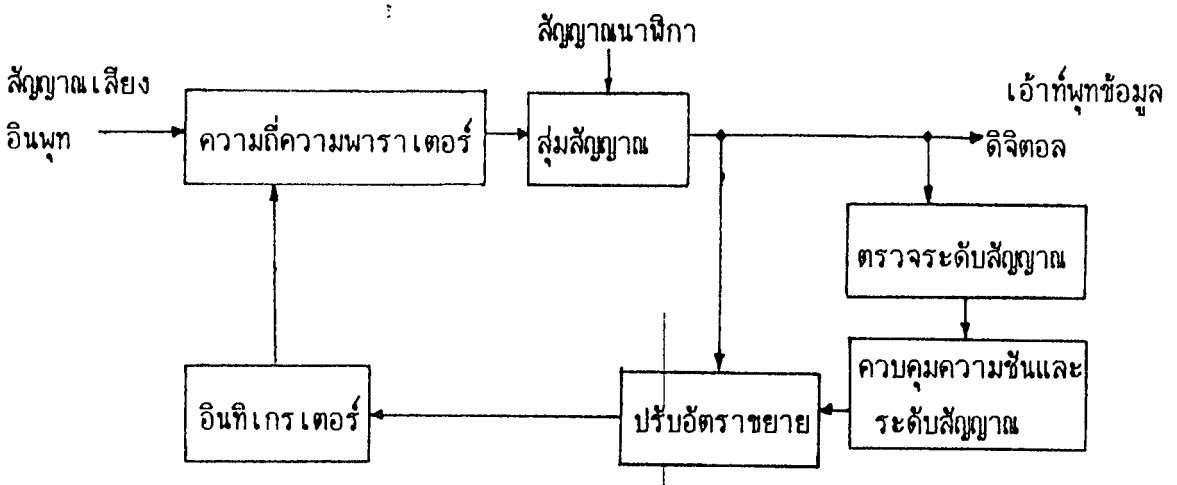
รูปที่ 1 เป็นวงจรเบื้องต้นของเดลต้ามอดูเลชั่น คอมพาราเตอร์จะทำหน้าที่เปรียบเทียบสัญญาณอินพุทปัจจุบันกับสัญญาณอินพุทก่อนหน้า ซึ่งได้จากการป้อนกลับมายังอินทิเกรเตอร์ เอาต์พุทจากการเปรียบเทียบถูกป้อนผ่านฟลิปฟลอบที่ควบคุมด้วยสัญญาณนาฬิกาเพื่อให้ได้เป็นข้อมูลดิจิตอล ซึ่งก็คือการกำหนดอัตราการสุ่มสัญญาณนั่นเอง

สัญญาณที่ได้จากตัวเปรียบเทียบและจากอินทิเกรเตอร์ เปรียบเทียบกับสัญญาณอินพุทแสดงในรูปที่ 3 ลักษณะเช่นนี้จะพบว่า ยิ่งความถี่ของสัญญาณนาฬิกามีค่าสูงก็ยิ่งสามารถบันทึกการเปลี่ยนแปลงที่แคบได้มากขึ้น ทำให้คุณภาพเสียงที่ดีขึ้น แต่ก็สิ้นเปลืองหน่วยความจำมากขึ้นตามไปด้วย ความถี่เท่าใดจึงจะเพียงพอคงต้องใช้การทดลองโดยการนำเอาท์พุทสุดท้ายที่เป็นข้อมูลดิจิตอลผ่านวงจรแปลงกลับในรูปที่ 2 แล้วฟังเสียงที่ได้ หากฟังเป็นภาษามนุษย์รู้เรื่องก็ใช้ที่ค่านั้น สำหรับ

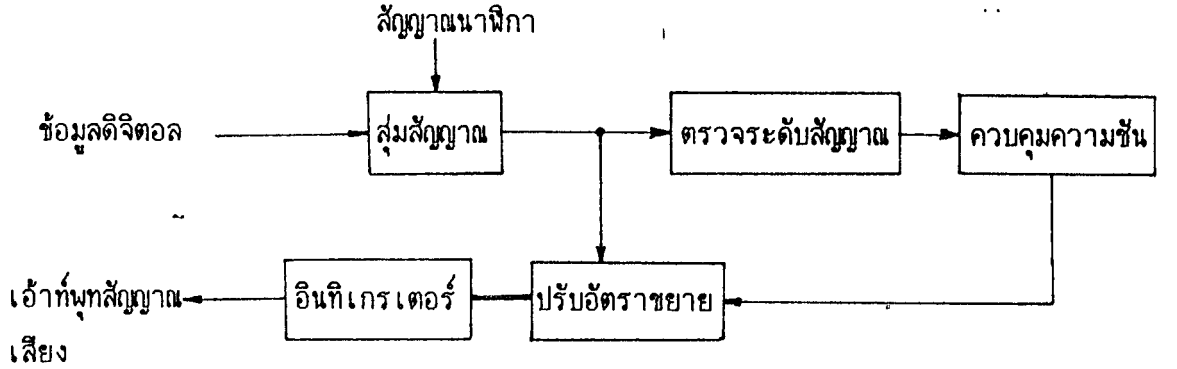
เสียงพูดคุณภาพเทียบเท่าเสียงจากโทรศัพท์ซึ่งมีแถบกว้างประมาณ 4 kHz ก็ใช้เพียง 16 kHz แต่ที่ความถี่ต่ำถึง 9.6 kHz ก็ยังฟังรู้เรื่องความถี่นี้จะเป็นตัวกำหนดอัตราเร็วข้อมูล (Bit rate) ซึ่งที่ 16 kHz ก็เท่ากับ 1600 บิทต่อวินาที

2.1.2 CVSD

ข้อจำกัดของวิธีการเดลต้ามอดูเลชั่น แถบกว้างความถี่ใช้งาน ซึ่งถูกจำกัดโดยความถี่สัญญาณนาฬิกา และจะสูงกว่าความถี่สูงสุดของสัญญาณอินพุทมากกว่า 2 เท่าขึ้นไป อีกอันหนึ่งคือความเร็วของการเปลี่ยนแปลงความสูงของสัญญาณ หรือไดนามิกเรนจ์ ระบบเดลต้ามอดูเลชั่นธรรมดามีค่าไดนามิกเรนจ์ที่แคบ จำเป็นต้องมีส่วนเพิ่มเติมทำหน้าที่ขยายไดนามิกเรนจ์ให้กว้างโดยการควบคุมอัตราการขยายของอินทิเกรเตอร์ เพื่อให้ตอบสนองต่อสัญญาณที่มีความชันมาก ๆ ได้ทัน ระบบนี้มีชื่อเรียกใหม่ว่า ระบบเดลต้ามอดูเลชั่นแบบเปลี่ยนแปลงความชันต่อเนื่อง หรือ CVSD (continuous variable slope modulation)



รูปที่ 4 แผนผังการทำงานของระบบ CVSD ในส่วนของการแปลงจากสัญญาณเสียงเป็นข้อมูลดิจิตอล



รูปที่ 5 แผนผังการทำงานของระบบ CVSD ในส่วนแปลงกลับจากดิจิตอลเป็นสัญญาณเสียง

ระบบ CVSD ทั้งส่วนแปลงจากอนาลอกเป็นดิจิตอล และส่วนแปลงกลับจากดิจิตอลเป็นอนาลอก แสดงในรูปที่ 4 และ 5 ตามลำดับ วิธีการของ CVSD ก็คือการตรวจระดับสัญญาณโดยอาจใช้วิธีการจัดให้มีรีจิสเตอร์สำหรับเก็บข้อมูลดิจิตอลล่าสุดจำนวน 3 ถึง 4 บิทแล้วตรวจดูว่าเป็น"0" หมด หรือ "1" หมดหรือไม่ ถ้าใช่แสดงว่าขณะนี้อัตราขยายของอินทิเกรเตอร์ต่ำเกินไป ตอบสนองต่อความชันของสัญญาณไม่ทัน ก็จะทำการเพิ่มอัตราขยายให้สูงขึ้นเฉพาะในช่วงนั้น

ในส่วนของการแปลงกลับก็จะต้องมีการทำงานในลักษณะเดียวกัน คือมีรีจิสเตอร์ตรวจดูข้อมูลว่าเป็น "0" หมดหรือ "1" หมดหรือไม่ แล้วจัดการควบคุมอัตราขยายของอินทิเกรเตอร์ให้สอดคล้องกัน

2.1.3 ไอซีบันทึกเสียงสำเร็จรูป

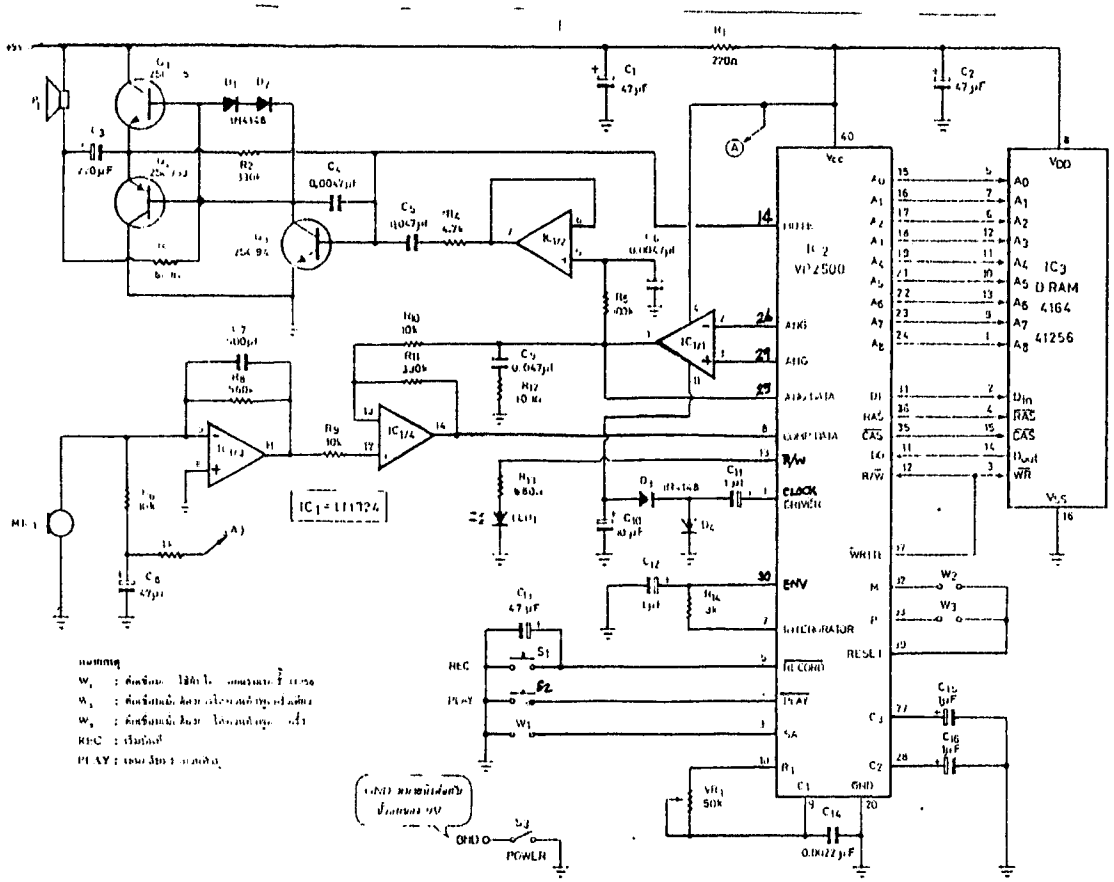
เมื่อรู้จักทฤษฎีการทำงานของการบันทึกเสียงโดยใช้เทคนิค CVSD แล้วก็มารู้จักกับไอซีสำเร็จรูปที่ทำหน้าที่ดังกล่าวกันสัก 2 เบอร์ ซึ่งออกแบบมาสำหรับงานบันทึกเสียงพูดและเล่นกลับโดยมีวงจรจัดการเกี่ยวกับหน่วยความจำให้ด้วยเสร็จสรรพ จากที่ได้กล่าวมา บิทเรตหรืออัตราเร็วของข้อมูลสำหรับวิธีการเดลต้ามอดูเลชั่นมีค่าเท่ากับความถี่สัญญาณนาฬิกา เสียงพูดคุณภาพเท่าระบบโทรศัพท์มีแถบกว้างความถี่ 4 kHz ได้ข้อมูลดิจิตอลที่บิทเรต 16 K บิทต่อวินาทีหรือพูดอีกอย่างได้ว่า การบันทึกเสียง 1 วินาทีต้องใช้หน่วยความจำ 16 K bits ถ้าต้องการเวลาบันทึกยาวนานขึ้นก็ต้องใช้หน่วยความจำมากขึ้นเป็นทวีคูณ จึงหลีกไม่พ้นที่จะต้องใช้ไดนามิกแรมซึ่งมีความจุสูง

เบอร์ VP 2500

เบอร์แรกคือ VP2500 เป็นของไต้หวัน ต่อกับไดนามิกแรมขนาด 64 K x 1 บิท หรือ 256 K x 1 บิทได้ 1 ตัวโดยตรง ซึ่งให้คุณภาพเสียงที่ดีในช่วงบิทเรต 24 K ถึง 28 K แต่ก็สามารถก็สามารถใช้ได้ต่ำถึง 9.6 K โดยที่คุณภาพเสียงยังคงยอมรับได้ ใช้แรงดันซัพพลาย 3-6 โวลท์ ภาคออลซิเลเตอร์ใช้ RC ธรรมดารูปร่างภายนอกเป็น DIP ขนาด 40 ขา

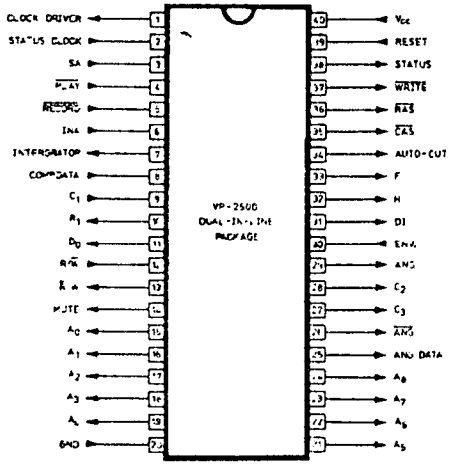
VP2500 ยังไม่สมบูรณ์ในตัว ส่วนของคอมพาราเตอร์อินทิเกรเตอร์ และภาคขยายไม่มีอยู่ในตัวต้องเพิ่มเติมจากภายนอก วงจรบันทึกเสียงที่สมบูรณ์แสดงในรูปที่ 6 โดยมี $IC_{1/4}$ เป็นคอมพาราเตอร์ $IC_{1/1}$ ควบคุมอัตราขยายของอินทิเกรเตอร์ส่วน $IC_{1/2}$ และ Q1,Q2,Q3 ทำหน้าที่ขยายเสียงในขณะเล่นกลับมี VR_1 เป็นตัวปรับบิทเรต

วงจรนี้ที่บิทเรต 16 K ถ้าใช้ไดนามิกแรม ขนาด 64 K x 1 บิท (4156) จะบันทึกได้นาน 4 วินาที แต่ถ้าใช้ขนาด 256 x 1 บิท (41256) จะบันทึกได้นาน 16 วินาที



รูปที่ 6 วงจรที่สมบรูณ์ของเครื่องบันทึกเสียงพูดระบบดิจิตอลที่ใช้ VP2500 บันทึกได้นาน 16 วินาที

รายละเอียดขาใช้งานของ VP2500



$A_0 - A_8$: ขาแอดเดรสต่อไปยังแรม

D_1 / D_0 : ขาดาต้าอินพุท-เอ้าท์พุท ต่อกับแรม

$\overline{CAS}, \overline{RAS}$: เอ้าท์พุทต่อกับแรม สำหรับแลตช์แอดเดรส

$\overline{WRITE}$: เอ้าท์พุท แอคทีฟโลว์ ทำงานหรือแอคทีฟเมื่ออยู่ในโหมดบันทึก ใช้งานควบคุมวงจรภายนอกอื่น ๆ

$\overline{RECORD}$: อินพุท แอคทีฟโลว์ เมื่อมีการทริกที่อินพุทนี้เป็นการเข้าสู่โหมดการบันทึก

$\overline{PLAY}$: อินพุท แอคทีฟโลว์ เมื่อทริกที่อินพุทนี้เป็นการเปลี่ยนไปโหมดอ่านหรือเล่นกลับ

ANG และ $\overline{ANG}$: เป็นขาเอ้าท์พุตของสัญญาณอนาลอกที่มีเฟสตรงข้ามกัน

ANG DATA : เป็นขาอินพุทป้อนกลับสำหรับควบคุมอัตราขยายของอินทิเกรเตอร์

INTEGRATOR : เอ้าท์พุทที่จะต่อไปยังอินทิเกรเตอร์ภายนอก

ENVELOPE : อินพุทสำหรับต่อกับเอ้าท์พุทจากอินทิเกรเตอร์

COMPDATA : อินพุทที่เป็นสัญญาณเปรียบเทียบจากคอมพาราเตอร์

R_1 , C_1 : ขาออสซิลเลเตอร์ ถ้าต่อกับสัญญาณนาฬิกาจากภายนอกให้ต่อเข้าขา C_1

CLOCK DRIVER : ขาเอ้าท์พุทใช้กำเนิดแรงดันลบ

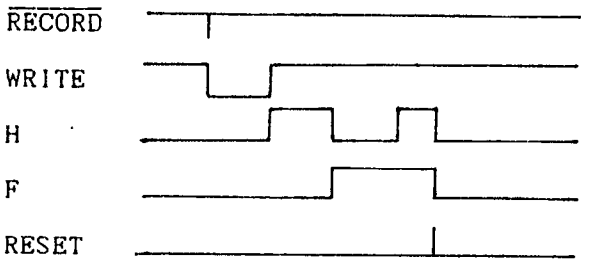
SA : เลือกขนาดหน่วยความจำ ถ้าเปิดวงจรใช้กับแรมขนาด 64 K
ถ้าต่อลงกราวด์ ใช้กับแรมขนาด 256 K

RESET : อินพุท แอคทีฟไฮ เมื่อรีเซตเป็นการทำให้ไอซีอยู่ในโหมด Stand by

C_2 และ C_3 : ขาเพิ่มเติมพิเศษ สำหรับมอดูเลทสัญญาณ

H และ F : เอ้าท์พุทจากเคาน์เตอร์ชุดท้ายสุดจากภายใน

$R/\overline{W}$: ขาอินพุตสำหรับเลือกโหมดทำงาน เมื่อเป็นโลว์เป็นโหมดบันทึก และไฮเป็นโหมดเล่นกลับ



$\overline{R/W}$: ขาเอ้าท์พุทสำหรับแสดงโหมดการทำงานในขณะนั้นรองรับกระแสได้ 10 ma

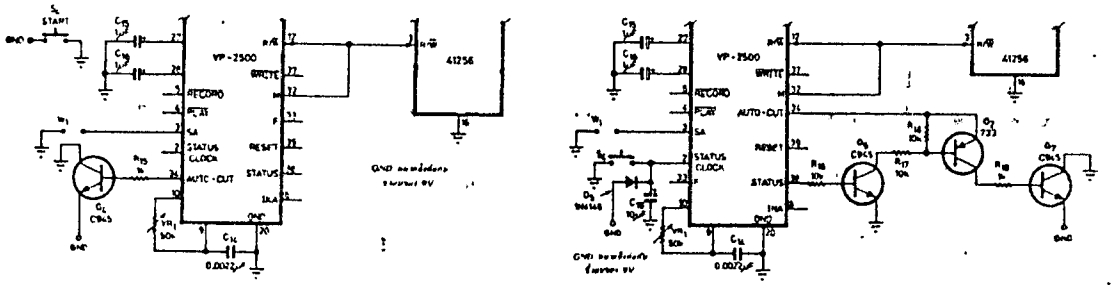
MUTE : สำหรับตัดเสียง วงจรขยายเสียงภายนอก เป็นเอ้าท์พุทแบบ open collector

AUTO-CUT : เมื่อจัดวงจรให้เป็นเอคโค่ (โดยต่อขา $R/\overline{W}$ ให้เป็นไฮ) ซึ่งเป็นไฮในขณะทำงาน และเปลี่ยนเป็น High Impedance หลังจากเล่นกลับทวนซ้ำครบ 8 ครั้ง

INA : ขานี้เมื่อต่อกับกราวด์จะทำเสียงเป็นหุ่นยนต์แบบในภาพยนตร์

STATUS and STATUS CLOCK : เป็นขาสัญญาณสถานะเคาน์เตอร์ภายใน ขา STATUS เป็นเอ้าท์พุทจะเปลี่ยนสภาวะเป็นไฮที่ขอบขาลงของสัญญาณที่ขา STATUS CLOCK

V_{cc} และ GND : ขาไฟเลี้ยง



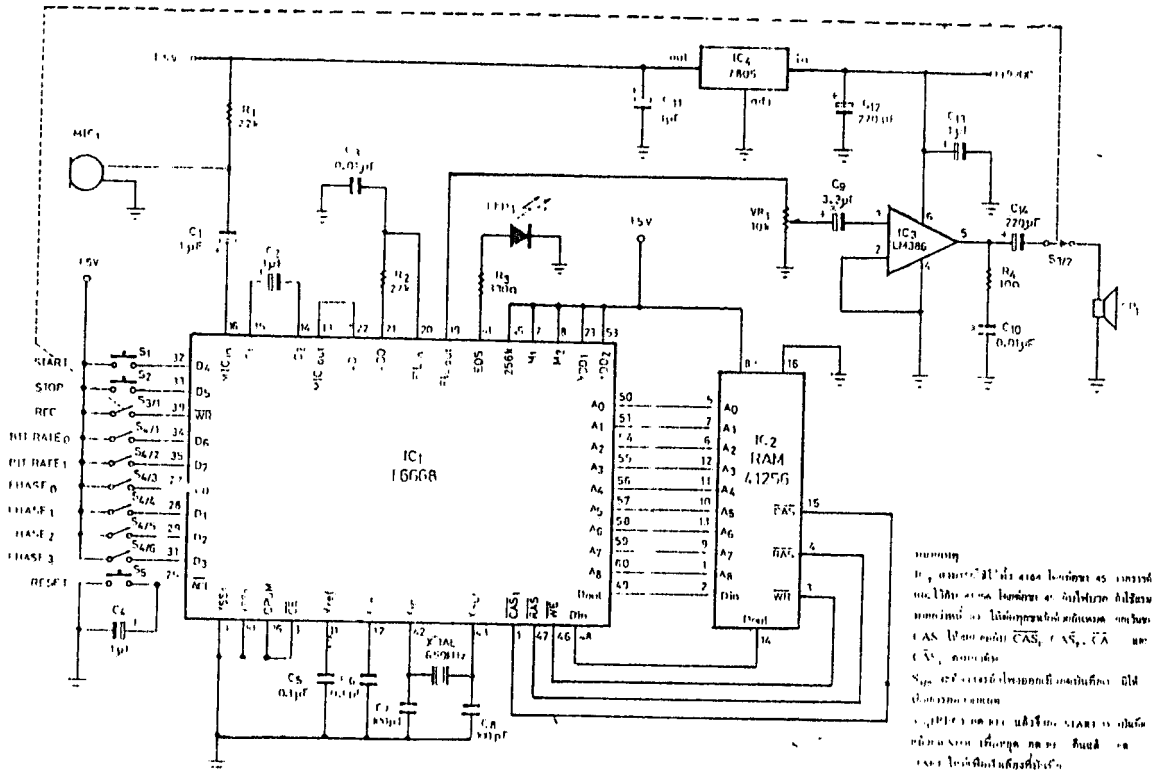
(ก) ทวนคำพูด 8 ครั้งแล้วหยุดเอง (ข) ทวนคำพูด 8 ครั้งโดยกดสวิทช์หยุดและต่อได้ครบแล้วหยุดเองเหมือนกัน

รูปที่ 8 การดัดแปลง VP2500 ให้ทำงานในลักษณะทวนคำพูด 8 ครั้ง (หรือเอคโค่)

เบอร์ T6668

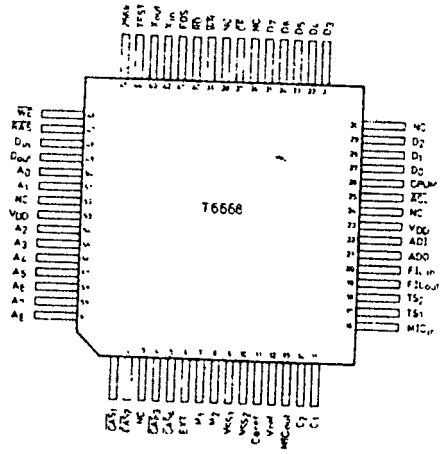
เบอร์ที่สองนี้คือ T6668 เป็นของโตชิบา มีฟังก์ชั่นใช้งานค่อนข้างสมบรูณ์ประยุกต์ใช้งานได้กว้างและสะดวกกว่า มีรูปร่างภายนอกเป็นแบบติดตั้งบนผิวหรือเซอร์เฟสเมาต์ขนาด 60 ขา ต่อกับหน่วยความจำชนิดไดนามิก ขนาด 64 Kx1 บิท หรือ 256 Kx1 บิทได้โดยตรง 4 ตัว ใช้คริสตอลควบคุมความถี่นาฬิกา เปลี่ยนบิทเรตโดยใช้ดิฟสวิทช์ เลือกหน้าของหน่วยความจำแยกบันทึก/เล่นกลับได้ เมื่อใช้หน่วยความจำ 256 Kx1 บิท(41256) จำนวน 4 ตัว ที่บิทเรต 16 K จะสามารถบันทึกได้นานถึง 64 วินาที หรือนาทีเศษ ๆ

T6668 นี้สมบรูณ์ในตัว ทางด้านอินพุทสามารถต่อไมโครโฟนเข้ากับไอซีได้เลย ด้านเอ้าท์พุทก็เพิ่มภาคขยายอีกส่วนเดียว วงจรที่สมบรูณ์ของเครื่องบันทึกเสียงแสดงในรูปที่ 9 เนื่องจาก T6668 เป็นแบบเซอร์เฟสเมาต์ มีขาชิดกันมากและจำเป็นต้องใช้แผ่นวงจรพิมพ์แบบสองหน้าชนิดเพรตทรูโฮลด์



รูปที่ 9 วงจรสมบรูณ์ของเครื่องบันทึกเสียงพูดที่ใช้ไอซี T6668 บันทึกได้นาน 16 วินาที ต่อแรม 1 ตัว (สูงสุด 4 ตัว) แบ่งหน้าบันทึกได้

รายละเอียดขาใช้งานของ T6668



$A_0 - A_8$: ขาแอดเดรสต่อกับแรม

Din, Dout : ขาดาต้าต่อกับแรม

$\overline{RAS}$, $\overline{WE}$: สัญญาณควบคุมแรม

023127

$\overline{CAS}_1$ - $\overline{CAS}_4$: ขาเลือกแรมแต่ละตัว รวม 4 ตัว

M_1 ,M_2 : ใช้กำหนดจำนวนแรมที่ใช้ ดูตารางที่ 1

256 K : เลือกขนาดแรม ต่อกราวด์ใช้ 4146 ต่อไฟบวกใช้ 41256

EOS : เอ้าท์พุท เป็นไฮเมื่อจบข้อความที่บันทึก

MIC_{in} ,MIC_{out} : อินพุทและเอ้าท์พุทของภาคขยายส่วนหน้า

AD_1 ,AD_0 : อินพุทสัญญาณอนาลอกที่จะนำไปแปลงเพื่อบันทึก และเอ้าท์พุทอนาลอกที่ได้จากการอ่าน

FILin ,FILout : วงจรกรองความถี่ต่ำผ่าน

C_1 ,C_2 : ต่อตัวเก็บประจุภายนอก

$\overline{ACL}$: ขารีเซต แอคทีฟโลว์

Xin ,Xout : คริสตอลออสซิลเลเตอร์ความถี่ 650 KHz

CPUM,$\overline{CE}$: ขาสัญญาณควบคุมสำหรับอินเตอร์เฟสกับ CPU

$\overline{WR}$: ขาอินพุทสัญญาณควบคุมสำหรับเปลี่ยนไปโหมดการบันทึก

D_4 ,D_5 : เริ่มต้น (D4) และหยุด (D5) การนับของเคาน์เตอร์ภายใน สำหรับการบันทึก และการเล่นกลับ

D_6 ,D_7 : กำหนดบิทเรต ดูตารางที่ 2

D_0 - D_3 : เลือกหน้าของหน่วยความจำสำหรับบันทึกแบ่งได้สูงสุด 16 หน้า ตามรหัสเลขฐานสองแต่ละหน้าไม่กำหนดความยาว แล้วแต่จะกด STOP (D5) เมื่อใดก็จะมีการบันทึกเอาไว้ โดยอัตโนมัติ

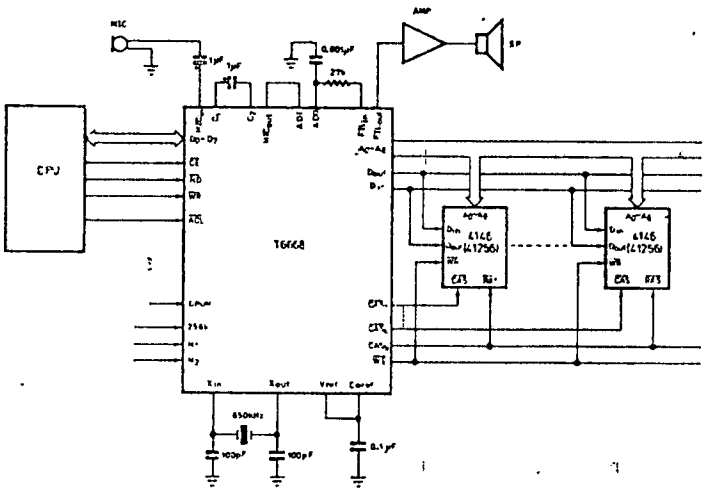
V_{DD} , V_{SS} : ขาไฟเลี้ยงและกราวด์

ตารางที่ 1 การกำหนดชนิดและจำนวนแรมที่ใช้

ชนิดและจำนวน	256 (ขา 45)	M_2	M_1
4164x1	0	0	0
4164x2	0	0	1
4164x3	0	1	0
4164x4	0	1	1
41256x1	1	0	0
41256x2	1	0	1
41256x3	1	1	0
41256x4	1	1	1

ตารางที่ 2 การกำหนดอัตราเร็วข้อมูลหรือบิทเรต

บิทเรต	D7 (ขา 35)	D (ขา 34)
8K	Ø	Ø
11K	Ø	1
16K	1	Ø
32K	1	1



รูปที่ 9 การต่ออินเตอร์เฟส T6668 เข้ากับ CPU เพื่อควบคุมการทำงาน

สำหรับ T6668 ตัวนี้นอกจากจะใช้งานโดยตัวเองแล้ว ยังสามารถต่ออินเตอร์เฟสกับไมโครโปรเซสเซอร์ได้ดังแสดงในรูปที่ 9

2.2 การแปลงสัญญาณจากอนาลอกเป็นดิจิตอล (ANALOG TO DIGITAL)

เมื่อเราใช้งานในวงจรดิจิตอล หรือวงจรที่ทำงานด้วยไมโครโปรเซสเซอร์ข้อมูลที่ใช้ในวงจร จะอยู่ในรูปของข้อมูลดิจิตอล แต่เมื่อเราต้องการต่อวงจรเหล่านี้เข้ากับอุปกรณ์ภายนอกซึ่งให้ข้อมูลที่เป็นอนาลอก เราจำเป็นจะต้องใช้อุปกรณ์ที่แปลงข้อมูลจากอนาลอกเป็นข้อมูลดิจิตอล ซึ่งนิยมเรียกย่อ ๆ ว่า A/D คอนเวอร์เตอร์ (Analog to Digital Converter)

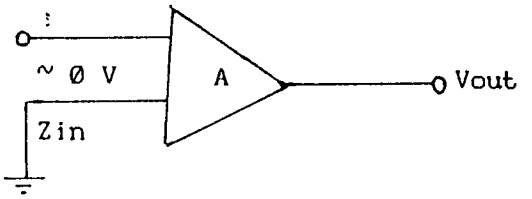
ในทางตรงกันข้ามถ้าเราต้องการจะแปลงข้อมูลทางดิจิตอล ให้อยู่ในรูปของแรงดันหรือกระแสที่เป็นอนาลอก เราจะต้องใช้อุปกรณ์แปลงข้อมูลซึ่งเรียกว่า D/A คอนเวอร์เตอร์ (Digital to Analog Converter)

ทฤษฎีเกี่ยวกับออปแอมป์เบื้องต้น

ก่อนจะเข้าเรื่องขอทบทวนเรื่องออปแอมป์เสียก่อน เพื่อทำให้เข้าใจในคำว่า D/A และ A/D ได้ง่ายขึ้น

จากรูปที่ 10 แสดงสัญลักษณ์ของออปแอมป์ (op-amp) ซึ่ง Vout เป็นแรงดันวัดที่เอ้าท์พุทเทียบกับกราวด์ และ A เป็นอัตราการขยายแรงดันแบบโอเพ่นลูป (OpenLoop Voltage Gain) ซึ่งปกติแล้วจะมากกว่า 100,000 ในที่นี้ขารับสัญญาณคือ ขาอินเวอร์ติ้ง(-input) และขานอนอินเวอร์ติ้ง (+input) ลงกราวด์

เนื่องจากอัตราการขยายแรงดันมีค่ามาก และสัญญาณอินพุทมีค่าเป็นไมโครโวลท์ จึงประมาณให้มีค่าเป็นศูนย์โวลท์ นอกจากนี้แล้วค่าอินพุทอิมพีแดนซ์ของอินเวอร์ติ้ง อินพุทอิมพีแดนซ์ของอินเวอร์ติ้งอินพุทมีค่าเข้าใกล้อินฟินิตี้ (infinity) จึงทำให้ที่อินเวอร์ติ้งอินพุทเกิดเป็นเวอร์ชวลกราวด์ (Virtual ground point) ซึ่งเวอร์ชวลกราวด์จะต่างจากกราวด์ธรรมดาคือ กราวด์ธรรมดาคือ กราวด์ธรรมดาที่จุดนั้นจะมีแรงดันเป็น 0 โวลท์ และจะมีกระแสจำนวนหนึ่ง ไหลผ่านที่จุดนั้นสำหรับที่จุดเวอร์ชวลกราวด์ แรงดันที่จุดนั้นเป็น 0 โวลท์ แต่จะไม่มีกระแสไหลผ่าน สรุปง่าย ๆ ว่าเวอร์ชวลกราวด์เป็นกราวด์สำหรับแรงดันแต่ไม่เป็นกราวด์สำหรับกระแส



รูปที่ 10

พิจารณาแรงดันและกระแสเอ้าท์พุท

จากรูปที่ 11 (ก) แสดงวงจรอินเวอร์ติ้งออปแอมป์ ที่มีตัวต้านทานอินพุทและเอ้าท์พุท Vin เป็นค่าแรงดันอินพุทวัดเทียบกับกราวด์และ Vout เป็นแรงดันเอ้าท์พุทวัดเทียบกับกราวด์ เนื่องจากว่าอัตราขยายแรงดันและค่าอินพุทอิมพีแดนซ์มีค่าสูง จึงสมมุติให้ที่อินพุทของออปแอมป์เป็นเวอร์ชวลกราวด์

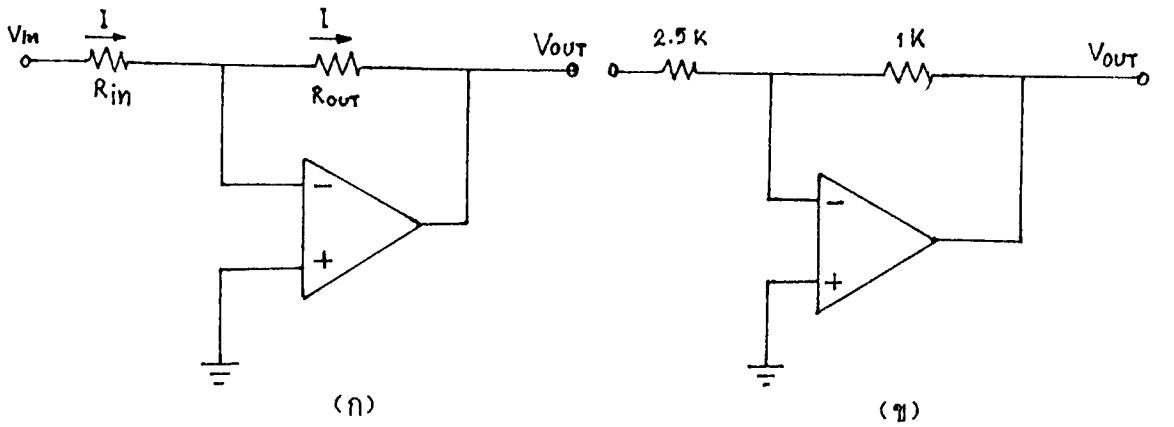
ดังนั้นแรงดันอินพุททั้งหมดจะตกคร่อมตัวต้านทานอินพุทซึ่งสามารถหาค่ากระแสอินพุทได้คือ

$$I = Vin/Rin$$

เนื่องจากไม่มีกระแสอินพุทไหลผ่านเวอร์ชวลกราวด์ ดังนั้นกระแสที่ไหลผ่านตัวต้านทานที่อินพุทจะเท่ากับกระแสที่ไหลผ่านตัวต้านทานเอ้าท์พุท ซึ่งสามารถหาค่าแรงดันเอ้าท์พุทได้คือ

$$Vout = - IxRout$$

เครื่องหมายลบ หมายถึง การกลับเฟส เช่นถ้าแรงดันอินพุทเป็นบวกแรงดันเอ้าท์พุทจะเป็นลบ



รูปที่ 11 กระแสเอ้าท์พุทมีค่าเท่ากับกระแสอินพุท

จากรูปที่ 11 (ข) สามารถจะคำนวณหาค่ากระแสอินพุทและเอ้าท์พุทโวลท์เต็จได้ดังนี้

กระแสอินพุท I = 5 V / 2.5 K = 2 mA

แรงดันเอ้าท์พุท Vout = (-2 mA)(1 K)

= - 2 Volts

วงจรซัมมิ่ง (Summing Circuit)

จากรูปที่ 3 เป็นวงจรซัมมิ่งซึ่งกระแสเอ้าท์พุทจะมีค่าเท่ากับผลรวมของกระแสอินพุท เพราะว่าทุก ๆ จุด ของแต่ละอินพุทเป็นเวอร์ชวลกราวด์ ดังนั้นกระแสของแต่ละอินพุทหาได้ดังนี้

$$I_0 = V_0 / R_0$$

$$I_1 = V_1 / R_1$$

$$I_2 = V_2 / R_2$$

$$I_3 = V_3 / R_3$$

และผลรวมของกระแสอินพุทคือ

$$I = I_0 + I_1 + I_2 + I_3$$

เนื่องจากเราทราบว่าแต่ละอินพุทเป็นเวอร์ชวลกราวด์ ดังนั้นจึงแน่ใจได้ว่า กระแสอินพุททั้งหมดจะไหลผ่านไปยังตัวต้านทานเอ้าท์พุท ซึ่งจะได้ว่า

Vout = - I.Rout

พื้นฐานของ D/A คอนเวอร์เตอร์

จากวงจรซัมมิ่งเราสามารถสร้างเป็น D/A คอนเวอร์เตอร์ได้โดยใช้ค่าตัวต้านทานที่อินพุทให้เป็นค่าตามน้ำหนักของเลขไบนารี่ พิจารณาจากรูปที่ 13 ตัวต้านทานที่อินพุทจะมีค่าจากบิทน้อยไปหาบิทมากเป็น 8,4,2 และ 1 เท่า ตามลำดับ V_{REF} เป็นค่าโวลท์เตจสำหรับอ้างอิงซึ่งค่าคงที่และเที่ยงตรง โดยที่สวิทช์ 4 ตัว สามารถเปิดหรือปิดได้ เมื่อสวิทช์เปิดทั้งหมดกระแสอินพุทจะเป็นศูนย์ และกระแสเอ้าท์พุทก็จะเป็นศูนย์เช่นกัน

ตอนนี้เราลองมาพิจารณาถ้าสวิทช์ปิดทั้งหมด หมายถึงข้อมูลทุกบิทเป็น "1" หมด จะได้กระแสอินพุท ดังนี้

$I_3 = Vref / R$, $I_2 = Vref / 2R$

$I_1 = Vref / 4R$, $I_0 = Vref / 8R$

กระแสเอ้าท์พุทจะเป็นผลรวมของกระแสอินพุทซึ่งมีค่า

$I = Vref (1 + 0.5 + 0.25 + 0.125) / R$

หรือ $I = Vref (1.875) / R$

จากการที่เราเปิดและปิดสวิทช์ทั้ง 4 ตัวนี้ เราจะได้ค่ากระแสเอ้าท์พุทถึง 16 ค่า ความแตกต่างกันจาก 0 ถึง 1.875 Vref / R

กรณีที่อินพุทเป็นค่าที่ดิจิตอลใด ๆ

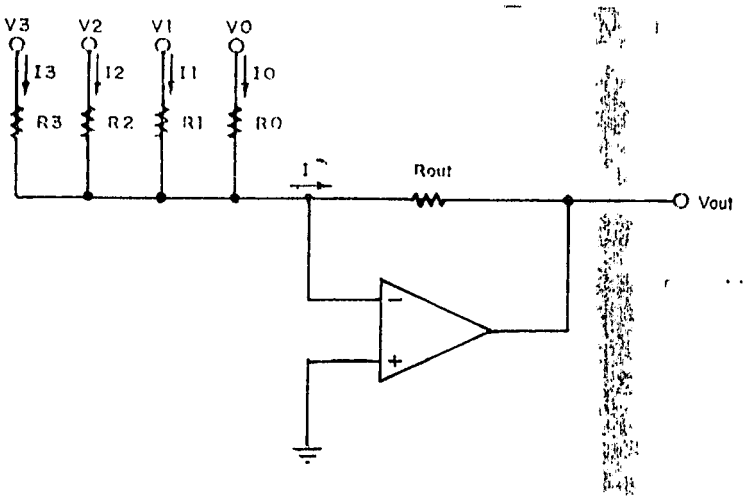
ถ้าเราให้ "0" แทนสวิทช์เปิด และ "1" แทนสวิทช์ปิด เราสามารถจะเขียนกระแสเอ้าท์พุทได้ดังนี้

$I = Vref (D_3 + 0.5D_2 + 0.25D_1 + 0.125D_0) / R$

หรือในรูปของยกกำลังสองได้

$I = Vref (D_3 + 2^{-1} D_2 + 2^{-2} D_1 + 2^{-3} D_0) / R$

นั่นก็คือกระแสเอ้าท์พุทจะเป็นผลรวมของน้ำหนักค่าไบนารี่ของกระแสอินพุท หรืออีกความหมายหนึ่งก็คือ D/A คอนเวอร์เตอร์นั่นเองสมมุติว่าเราให้ Vref = 5 V และ R = 5 K เราจะได้ค่าของกระแสเอ้าท์พุทเปลี่ยนแปลงจาก 0 ถึง 1.875 mA ซึ่งแสดงได้ดังตารางที่ 1



รูปที่ 12 กระแสเอ้าท์พุทมีค่าเท่ากัน ผลรวมของกระแสอินพุท

สวิทช์ทำงานด้วยกระแส

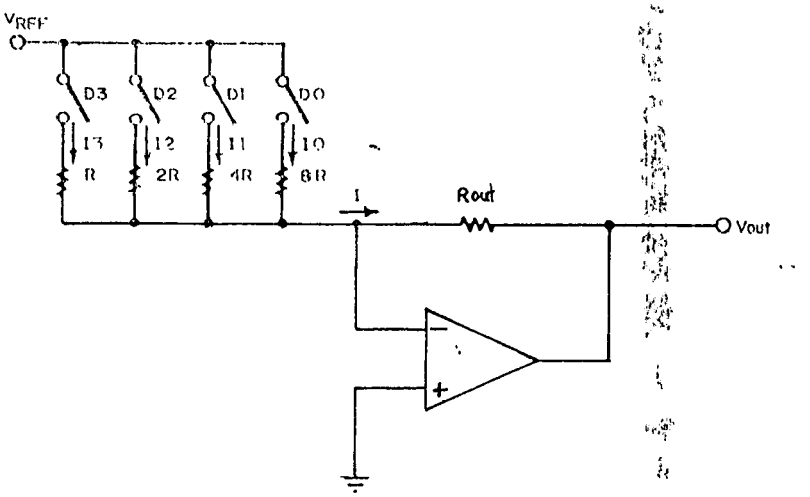
จากที่กล่าวมาแล้วในรูปที่ 4 เราจะเปลี่ยนสวิทช์ธรรมดาเป็นทรานซิสเตอร์สวิทช์ซึ่งแสดงดังรูปที่ 5 โดยข้อมูลบิท D_3 ถึงบิท D_0 จะส่งให้ขาเบสของทรานซิสเตอร์ ผ่านทางตัวต้านทานกำจัดกระแสเมื่อบิทใดมีค่าเป็น "1" ก็จะทำให้มีกระแสเบสไหลมีค่าเป็น "1" ก็จะทำให้มีกระแสเบสไหล ทรานซิสเตอร์จะอยู่ในสภาวะอิ่มตัว ทำให้กระแสอิมิเตอร์ไหล แต่เมื่อบิทมีค่าเป็น "Ø" ทรานซิสเตอร์จะคัทออฟไม่มีกระแสอิมิตเตอร์ไหล การที่ทรานซิสเตอร์อิ่มตัวและคัทออฟเช่นนี้ก็เปรียบเสมือนสวิทช์ที่ทำหน้าที่ปิดหรือเปิดนั่นเอง

ศัพท์เทคนิค

ก่อนที่จะกล่าวถึงเรื่อง D/A คอนเวอร์เตอร์ต่อไป ขอพูดถึงเรื่องศัพท์เทคนิคให้เข้าใจกันก่อน เพราะว่าทุกครั้งที่เราใช้คู่มือไอซีก็จะพบกับคำศัพท์เหล่านี้

เรสโซรูชั่น

เอ้าท์พุทที่ได้จาก A/D คอนเวอร์เตอร์จะเป็นรูปขั้นบันได จากรูปที่ 6 (ก) เป็นขั้นบันไดที่สมบรูณ์แบบ เราเรียกแต่ละขั้นว่า "การเพิ่มค่า LSB" เพราะว่าแต่ละขั้นบันได เกิดมาจากการเปลี่ยนแปลงค่า LSB (LSB ย่อมาจาก Least Significant Bit เป็นบิทที่มีค่าต่ำสุดทางดิจิตอล) ค่าเรสโซรูชั่นนี้ เป็นวิธีหนึ่งที่ใช้บอกคุณภาพของ D/A คอนเวอร์เตอร์ซึ่งหาได้จากอัตราส่วนของการเพิ่มค่า LSB กับค่าสูงสุดของเอ้าท์พุท เขียนเป็นสูตรได้ดังนี้



รูปที่ 13 D/A คอนเวอร์เตอร์ใช้ตัวต้านทานตามน้ำหนักของเลขไบนารี่กรณีที่สวิทช์ปิดทั้งหมด

เรสโซรูชั่น = $1 / (2^N - 1)$

เช่น D/A คอนเวอร์เตอร์ 4 บิท จะมีเรสโซรูชั่น คือ

เรสโซรูชั่น = $1 / (2^4 - 1)$

= 1/15

จำนวนความแตกต่างของขั้นบันได ในการแปลงข้อมูล n บิท หาได้จาก

จำนวนขั้นบันได = $2^N - 1$

ดังนั้นเราอาจจะหาค่าเรสโซรูชั่นได้จาก

เรสโซรูชั่น = 1 / จำนวนขั้นบันได

และเปอร์เซ็นต์ของเรสโซรูชั่น หรือโดย

เปอร์เซ็นต์เรสโซรูชั่น = เรสโซรูชั่น x 100 %

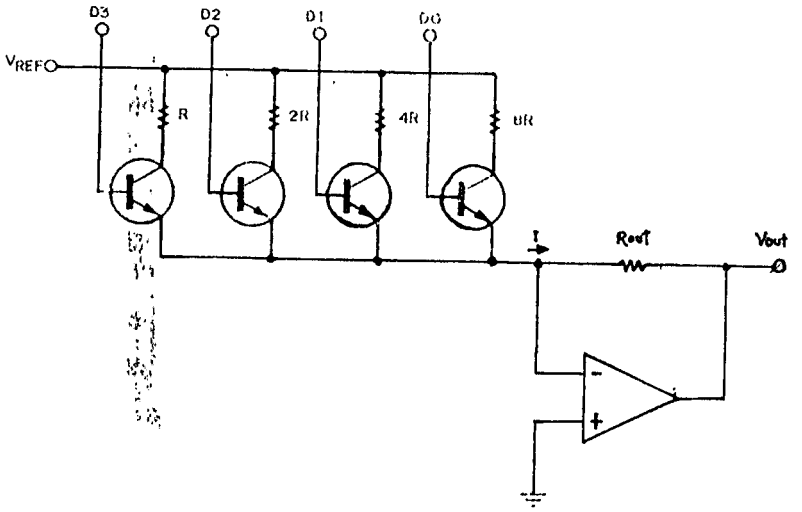
ถ้าเรสโซรูชั่นเท่ากับ 1/15

ดังนั้นเปอร์เซ็นต์เรสโซรูชั่น = 1 x 100 /15 %

= 6.67 %

D_3	D_2	D_1	D_0	กระแสเอ้าท์พุท mA	เทียบอัตราส่วนกับค่าสูงสุด
0	0	0	0	0	0
0	0	0	1	0.125	1/15
0	0	1	0	0.25	2/15
0	0	1	1	0.375	3/15
0	1	0	0	0.5	4/15
0	1	0	1	0.625	5/15
0	1	1	0	0.75	6/15
0	1	1	1	0.875	7/15
1	0	0	0	1	8/15
1	0	0	1	1.125	9/15
1	0	1	0	1.25	10/15
1	0	1	1	1.375	11/15
1	1	0	0	1.5	12/5
1	1	0	1	1.625	13/5
1	1	1	0	1.75	14/15
1	1	1	1	1.875	15/15

ตารางที่ 1 แสดงการเปลี่ยนค่าดิจิตอลเป็นอนาลอก



รูปที่ 5 วงจรทรานซิสเตอร์แทนสวิทช์ สำหรับ D/A คอนเวอร์เตอร์

จะเห็นได้ว่าจำนวนบิทมากค่าเรสโซรูชั่นจะดีขึ้น (เปอร์เซ็นต์เรสโซรูชั่นจะน้อยลง) ในปัจจุบันถ้าเราดูจากคู่มือ IC จะนิยมบอกค่าเรสโซรูชั่นตามค่าจำนวนบิท เช่นคอนเวอร์เตอร์ชนิด 8 บิทก็จะเขียนว่า 8-Bit resolution คงจะเป็นเพราะว่าเป็นวิธีง่าย และสะดวกในการที่จะบอกค่าเรสโซรูชั่นนี้

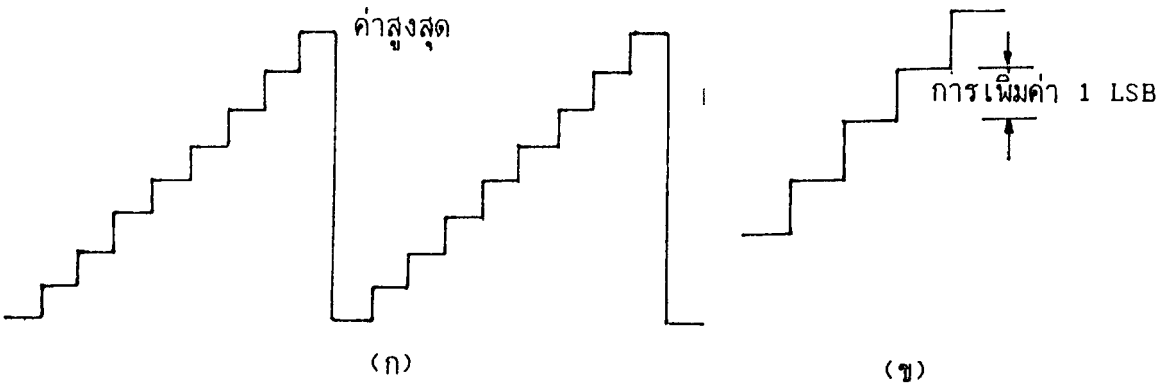
ความเที่ยงตรง (Accuracy)

ความเที่ยงตรงในที่นี้จะมี 2 ค่าคือค่าความเที่ยงตรงสัมบรูณ์ (Absolution Accuracy) และความเที่ยงตรงสัมพันธ์ (Relative Accuracy)

ความเที่ยงตรงสัมบรูณ์ หมายถึงค่าความใกล้เคียงของกระแสเอ้าท์พุทที่ได้ กับค่าในอุดมคติ (Ideal) เช่นจากรูปที่ 14 ค่าความเที่ยงตรงสัมบรูณ์ จะขึ้นอยู่กับแรงดันอ้างอิง (Vref) ค่าผิดพลาดของตัวต้านทาน และค่าความแตกต่างของทรานซิสเตอร์แต่ละตัวเป็นต้น

ความเที่ยงตรงสัมพันธ์ หมายถึงค่าความใกล้เคียงของแต่ละระดับของกระแสเอ้าท์พุท กับค่าทางอุดมคติของค่านั้น เมื่อเทียบเป็นเศษส่วนกับค่าสูงสุดของเอ้าท์พุทเช่น 4 บิท คอนเวอร์เตอร์ เศษส่วนกับค่าสูงสุดจะเป็น 0 , 1/15 , 2/15 , 3/15 ตามลำดับ

ค่าความเที่ยงตรงสัมพันธ์นี้จะขึ้นอยู่กับตัวต้านทาน ที่เป็นค่าน้ำหนักของเลขไบนารี่เป็นหลัก ถ้าเราใช้ตัวต้านทานที่มีค่า R,2R,4R และ 8R แน่นอนทุก ๆ ขั้นบันไดจะมีค่า 1 LSB แต่ถ้าตัวต้านทานนี้ผิดพลาดจากค่าที่กำหนดนี้จะทำให้แต่ละขั้นบันไดมากกว่า หรือน้อยกว่า 1 LSB ค่าของความผิดพลาดนี้จะบอกในรูปของ LSB เช่นจากรูปที่ 16(ก) แสดงได้เป็นเส้นทึบ ซึ่งผิดพลาดจากจากเอ้าท์พุทในอุดมคติที่เป็นเส้นประ 1 LSB จากรูปที่ 16(ข) จะเห็นว่ามีทั้งค่าความผิดพลาดทั้งช่วงบวก (+1 LSB) และตามด้วยค่าความผิดพลาดในช่วงลบ (- 1 LSB)



รูปที่ 15 (ก) รูปคลื่นของกระแสเอ้าท์พุทเป็นขั้นบันได
(ข) แต่ละขั้นจะเท่ากับการเพิ่มค่า LSB

โมโนโตนิคซิตี้ (Monotonictity)

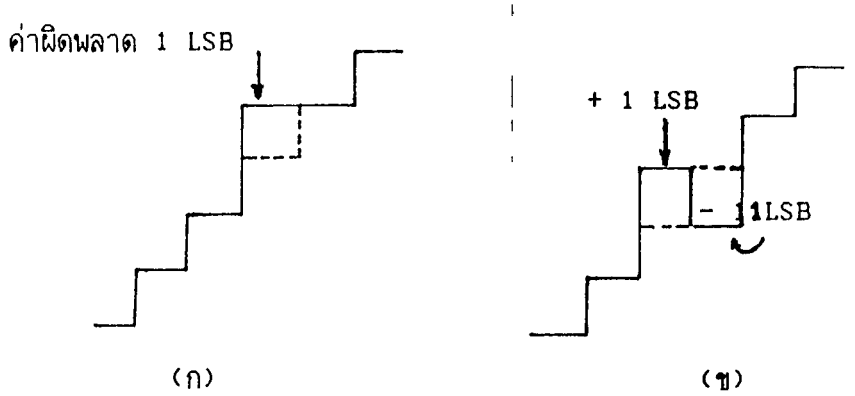
D/A คอนเวอร์เตอร์ที่เป็นโมโนโตนิค หมายถึงกระแสเอ้าท์พุทของมันจะเพิ่มขึ้นหรือคงที่ เมื่ออินพุทมีค่าข้อมูลเพิ่มขึ้นจากค่าหนึ่ง ปกติแล้วค่าโมโนโตนิค จะต้องน้อยกว่า ±1/2 LSB ของแต่ละระดับเอ้าท์พุท เพราะว่าอย่างในกรณีของรูปที่ 17 เกิดการผิดพลาด + 1/2 LSB และตามด้วย - 1/2 LSB จะทำให้เกิดจุดวิกฤตเอ้าท์พุทที่ได้จะผิดพลาดไปมาก

เซลลิ่งไทม์ (setting time)

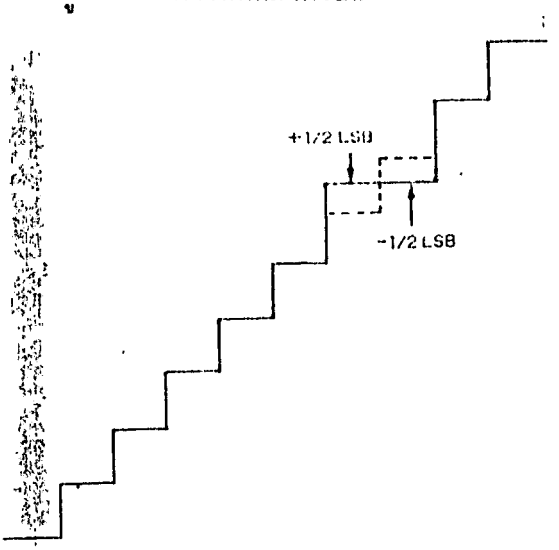
เซลลิ่งไทม์ เป็นค่าที่บอกถึงเวลาที่ใช้ในการแปลงค่าจากดิจิตอลเป็นอนาลอก โดยคิดจากจุดที่ 50% ของการเปลี่ยนแปลงข้อมูลอินพุท ถึงจุดที่ทำให้เอ้าท์พุทมีค่าคงที่ซึ่งประมาณ 1/2 LSB ของค่าสุดท้ายของเอ้าท์พุท ค่าเซลลิ่งไทม์เป็นสิ่งสำคัญ เพราะเป็นค่าที่บอกความเร็วของตัว D/A ตอนคอนเวอร์เตอร์ ซึ่งปกติจะอยู่ระหว่างนาโนวินาทีถึงไมโครวินาที

ข้อเสียของตัวต้านทานตามน้ำหนักของเลขไบนารี่

สำหรับตัวต้านทานที่ใช้จะทำให้วงจรเป็นโมโนโตนิคนั้นค่าผิดพลาดของตัวต้านทานจะต้องน้อยกว่าเปอร์เซ็นต์เรสโซรูชั่น เช่นถ้าเรสโซรูชั่น 1/15 (6.67%) ตัวต้านทานจะต้องมีค่าผิดพลาดน้อยกว่า ± 6.67% ถึงจะให้รูปขั้นบันไดที่เป็นโมโนโตนิค ถ้าเรสโซรูชั่น 1/255 (ประมาณ 0.4%) ตัวต้านทานที่ใช้ค่าความผิดพลาดน้อยกว่า + 0.4%) ตัวต้านทานที่ใช้ค่าความผิดพลาดต้องน้อยกว่า ±0.4% จะเห็นว่ายิ่งบิทมากขึ้นค่าความผิดพลาดของตัวต้านทานต้องน้อยลง นอกจากนี้ในกรณีที่เพิ่มบิทมากค่าของตัวต้านทานจะมากมายหลายค่าตามไปด้วย เช่น กรณี 8 บิท เราต้องใช้ตัวต้านทาน R,2R,4R,.....,128R ค่าที่มากที่สุดจะเท่ากับ 128 เท่าของตัวที่น้อยที่สุด หรือกรณี 12 บิทค่าที่มากที่สุดต้องใช้ 2,048 ของค่าที่น้อยที่สุดจากปัญหาดังกล่าวมานี้จึงทำให้ D/A คอนเวอร์เตอร์ที่ใช้ตัวต้านทานตามน้ำหนักเลขไบนารี่ ไม่สามารถสร้างได้ง่ายในทางปฏิบัติ



รูปที่ 16 การผิดพลาดเป็น LSB



รูปที่ 17 จุดวิกฤตของโมโนโตนิคซิตี้

วิธีแลดเดอร์ (ladder method)

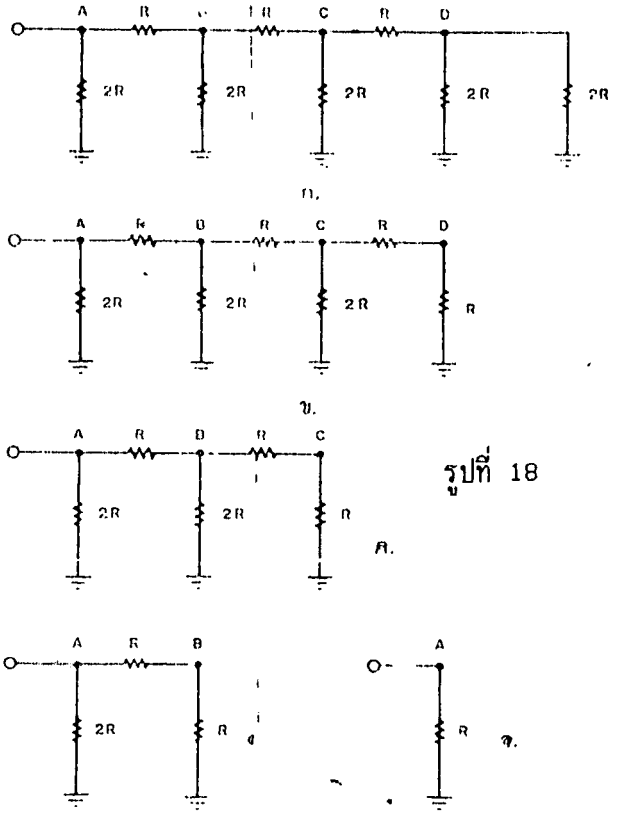
การแก้ปัญหาของ D/A คอนเวอร์เตอร์ที่ใช้ตัวต้านทานตามน้ำหนักของเลขไบนารี่จะใช้ "วงจรแลดเดอร์" (ladder circuit) จากรูปที่ 18 (ก) เป็นตัวอย่างของวงจร R-2R แลดเดอร์ที่นิยมใช้ในการสร้าง D/A คอนเวอร์เตอร์ จะเห็นได้ว่ามีตัวต้านทาน 2 ค่าเท่านั้นซึ่งในวงจรซึ่งแก้ปัญหาเรื่องความต้านทานหลาย ๆ ค่า และในการสร้างจะสร้างตัวต้านทานทั้งหมดให้อยู่บนชิพเดียวกันจึงทำให้มีลักษณะสมบัติเหมือนกัน ตลอดจนค่าผิดพลาดน้อยลงนอกจากนี้ในกรณีที่จำนวนบิทเพิ่มมากขึ้น วงจรแลดเดอร์สามารถแบ่งกระแสแยกไหลได้แน่นอนกว่าแบบตัวต้านทานตามน้ำหนักของเลขไบนารี่

คุณสมบัติของวงจรแลดเดอร์

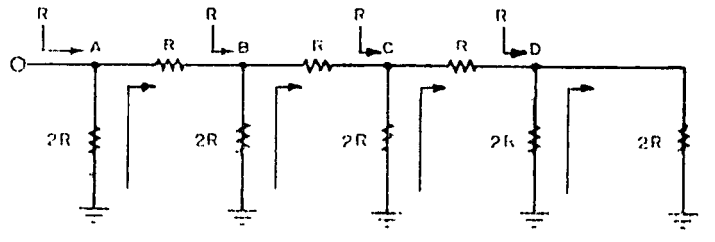
วงจร R-2R แลดเดอร์มีสิ่งที่น่าสนใจเกี่ยวกับค่าของ Impedance เป็นอย่างยิ่งจากรูปที่18 (ก) ที่โหนด (node) D มีค่าความต้านทานสมบูรณ์ มีค่าเท่ากับ 2R ขนานกับ 2R ซึ่งเท่ากับ R

จากรูปที่ 18 (ข) ที่ด้านขวาของโหนด C จะมี R อนุกรมกับ R มีค่าเท่ากับ 2R ดังนั้นที่โหนด C จะมี 2R ขนานกับ 2R ซึ่งเท่ากับ R ในทำนองเดียวกันจากรูปที่ 18(ค) ,รูปที่ 18(ง) และรูปที่ 18 (จ) ทุก ๆ โหนดจะเกิดเป็นค่า 2R ขนานดับ 2R ซึ่งมีค่าเท่ากับ R ในที่สุด

จากรูปที่ 21 เราสามารถสรุปค่า Impedance ของวงจรแลดเดอร์ได้ว่า ถ้าเรามองเข้ามาที่ด้านซ้ายของแต่ละโหนดจะเห็นได้ว่าความต้านทานสมมูลย์เท่ากับ R และถ้าเรามองมาทางด้านขวาของแต่ละโหนดจะได้ค่าความต้านทานสมมูลย์ 2R ซึ่งจากเหตุการณ์นี้เป็นประโยชน์อย่างมากในการสร้าง A/D คอนเวอร์เตอร์แบบใหม่ แทนที่แบบตัวต้านทานตามน้ำหนักของไบนารี่



รูปที่ 18



รูปที่ 19 อิมพีแดนซ์ของวงจรแลดเดอร์

การแบ่งกระแสให้เป็นไบนารี่

จากรูปที่ 20 แสดงให้เห็นถึงวิธีแบ่งกระแสให้เป็นค่าระดับของเลขไบนารี่โดยวงจรแลดเดอร์ โดยให้ค่ากระแสอ้างอิง (Iref) เท่ากับ 2 mA ที่ใต้ของตัวต้านทาน 2R แต่ละตัวจะต่อกับสวิทช์ลงกราวด์ทั้ง 2 ตำแหน่ง เมื่อสวิทช์ถูกผลักไปทางขวากระแสไหลผ่านตัวต้านทานผ่านกราวด์บน และเมื่อสวิทช์ถูกผลักไปทางซ้ายกระแสจะไหลผ่านกราวด์ล่าง ตำแหน่งของสวิทช์ที่แสดงในรูป Iout จะเป็น "0"

ถ้าเรามองที่โหนด A จะเห็นค่าความต้านทานสมมูลย์เท่ากับ 2R ดังนั้นกระแส 2mA จึงแบ่งออกเป็นสองส่วนเท่า ๆ กัน ที่โหนด A ทำนองเดียวกันที่โหนด B จะเปรียบเสมือนตัวต้านทาน 2R ขนานกันกระแส 1 mA ก็จะถูกแบ่งออกเป็นสองส่วนเท่า ๆ กันเป็น 0.5 mA กระแสจะถูกทำให้แบ่งไหลจนถึงบิทสุดท้ายซึ่งจะได้กระแสเป็น 1, 0.5, 0.25, และ 0.125 mA ตามลำดับ

ในกรณีที่เราผลักสวิทช์ไปอีกตำแหน่งหนึ่ง เราไม่ได้เปลี่ยนค่าการแยกไหลของกระแสที่โหนดนั้น ๆ เลย กระแสยังคงไหลเท่าเดิมในแต่ละโหนด เพียงแต่กระแสไหลเท่าเดิมในแต่ละโหนด ซึ่งกระแสจะไหลไปสู่กราวด์ล่างเท่านั้น ถ้านำเอาข้อมูลบิท D_3 ถึง D_0 ไปควบคุมทรานซิสเตอร์สวิทช์ซึ่งดังที่เคยกล่าวมาแล้วเราจะได้

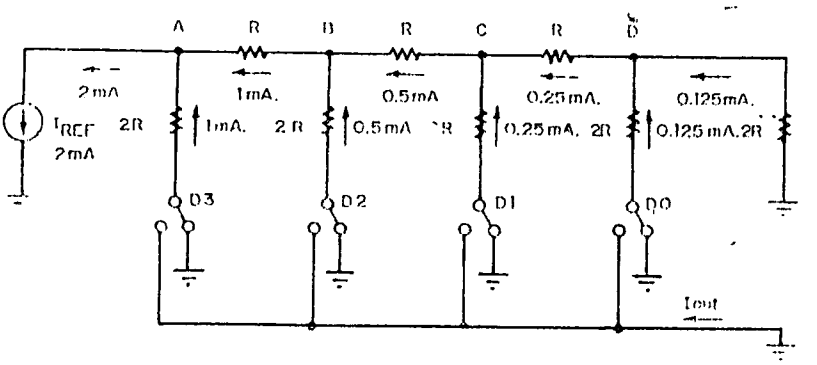
$$Iout = (D_3 + 2^{-1} D_2 + 2^{-2} D_1 + 2^{-3} D_0) * (Iref/2)$$

ดังนั้นกระแสเอ้าท์พุทสำหรับวงจรแลดเดอร์ 4 บิท จะมีค่าจาก 0 ถึง (15/16)*Iref

ถ้าวงจรแลดเดอร์ที่มีบิทมากขึ้นกระแสเอ้าท์พุทก็จะหาได้จาก

$$I_{out} = (D_{n-1} + 2^{-1} D_{n-2} + \ldots + 2^{1-n} D_0) \quad \frac{REF}{2}$$

ตัวอย่างเช่น วงจรแลดเดอร์ 8 บิท จะให้ค่ากระแสเอ้าท์พุทสูงสุด (255/256)*Iref โดยที่การเพิ่ม LSB เท่ากับ (1/255)x Iref



รูปที่ 20 D/A คอนเวอร์เตอร์ แบบวงจร R-2R แลดเดอร์

หลักการของวงจรแลดเดอร์ที่เขียนมานี้ เป็นวงจรที่ใช้การกลับทิศทางของกระแส (current steering) ซึ่งออกจะยุ่งยากสักหน่อย แต่มีประโยชน์อย่างมากเพราะใช้ค่ากระแสคงที่ซึ่งจะทำให้แรงดันคงที่ด้วย และหมายความว่าผลของตัวเก็บประจุตกค้าง(stray capacitor) มีน้อยมากจะไม่มีการประจุและคายประจุเมื่อเปลี่ยนแรงดันตลอดจนช่วยลดค่าเซลลิ่งไทม์ จากเหตุผลนี้จึงทำให้ไอซีคอนเวอร์เตอร์นิยมใช้วิธีการกลับทิศทางของกระแสตามรูปที่ 20

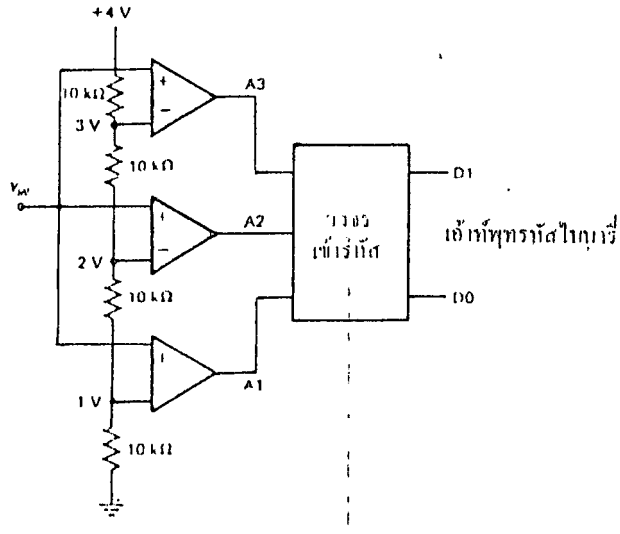
2.3 การแปลงสัญญาณจากดิจิตอลเป็นอนาลอก (Digital to Analog)

เรื่องของ A/D คอนเวอร์เตอร์ ซึ่งเป็นวิธีการแปลงค่าแรงดันอนาลอก เป็นค่าทางดิจิตอลในปัจจุบัน A/D คอนเวอร์เตอร์มีหลายวิธี แต่เราจะขอกล่าวถึงวิธีที่นิยมใช้กันบางวิธีเท่านั้น เริ่มจากวิธีคอมพาราเตอร์แบบขนาน

วิธีนี้เป็นวิธีที่ง่าย และใช้เวลาในการแปลงค่าเร็วมาก จากรูปที่ 21วงจรจะประกอบด้วยตัวต้านทานต่อกันแบบโวลท์เตจดีไวเดอร์ ซึ่งจะทำให้เกิดเป็นโวลท์เตจอ้างอิง ให้ออปแอมป์คอมพาราเตอร์ทั้ง 3 ตัวในวงจรนี้โวลท์เตจอ้างอิงที่จ่ายให้ตัวต้านทานเป็น 4 โวลท์ ซึ่งจะเป็นค่าสูงสุดของแรงดันอินพุทเช่นกัน

ค่าเอ้าท์พุทของคอมพาราเตอร์แต่ละตัวจะเป็น "1" ถ้าแรงดันอินพุทที่ขานอนอินเวอร์ติ้ง (+) มากกว่าแรงดันอ้างอิงที่ขาอินเวอร์ติ้ง (-) แรงดันอนาลอกจะถูกป้อนเข้าที่ขานอนอินเวอร์ติ้ง (+) ของคอมพาราเตอร์ทุกตัวพร้อมกันเป็นแบบขนานจากตารางที่ 1 จะเห็นได้ว่าถ้าแรงดันอินพุทน้อยกว่า 1 โวลท์ จะไม่มีคอมพาราเตอร์ตัวไหนให้เอ้าท์พุทเป็น "1" กรณีที่แรงดันอินพุทอยู่ระหว่าง 1 ถึง 2 โวลท์คอมพาราเตอร์ A1 จะให้เอ้าท์พุทเป็น "1"กรณีที่แรงดันมีค่าอยู่ระหว่าง 2 ถึง 3 โวลท์ คอมพาราเตอร์ A1 และ A2 จะให้เอ้าท์พุทเป็น "1" และในกรณีที่แรงดันมากกว่า 3 โวลท์ขึ้นไป คอมพาราเตอร์ทุกตัวจะให้เอ้าท์พุทเป็น "1" หมด สัญญาณที่ได้จากคอมพาราเตอร์ A1,A2 และ A3 จะป้อนให้กับวงจรเข้ารหัส (encoder) เพื่อแปลงเป็นค่าไบนารี่ต่อไป

วงจรคอมพาราเตอร์แบบขนานที่ยกตัวอย่างนี้เป็นชนิด 2 บิท เรสโซรูชั่น ซึ่งจะใช้ออปแอมป์คอมพาราเตอร์ 3 ตัวถ้าต้องการชนิด N บิท เรสโซรูชั่นจะต้องใช้ออปแอมป์คอมพาราเตอร์ถึง 2-1 ตัว เช่น 8 บิท เรสโซรูชั่น ต้องใช้ออปแอมป์คอมพาราเตอร์ 255 ตัว การที่ต้องใช้ออปแอมป์คอมพาราเตอร์จำนวนมาก จึงเป็นข้อเสียของ A/D คอนเวอร์เตอร์ชนิดนี้ แต่ถึงอย่างไร A/Dชนิดนี้ก็มีข้อดีในเรื่องของความเร็ว ค่าดิจิตอลจะได้รับทันที หลังจากค่าพรอบพาเกชั่น ดีเลย์ ไทม์ (Propagation Delaytime) ของคอมพาราเตอร์และวงจรเข้ารหัส ดังนั้น A/D ชนิดนี้ จึงมีชื่ออีกชื่อหนึ่งว่า "แฟลช" (Flash) เนื่องจากความเร็วในการแปลงข้อมูล



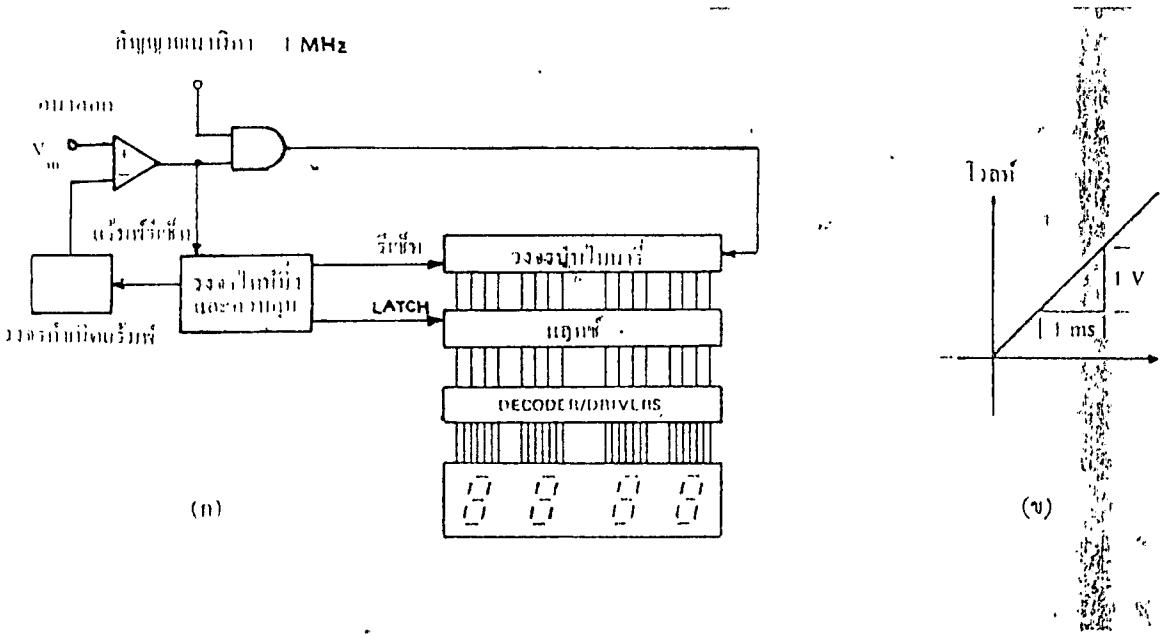
รูปที่ 21 วงจรคอมพาราเตอร์แบบขนาน

Vin (Volt) :	เอ้าท์พุทคอมพาราเตอร์			เอ้าท์พุทไบนารี่	
	A1	A2	A3	D1	DØ
Ø to 1	Ø	Ø	Ø	Ø	Ø
1 to 2	1	Ø	Ø	Ø	Ø
2 to 3	1	1	Ø	1	Ø
3 to 4	1	1	1	1	1

ตารางที่ 1 ค่าเอ้าท์พุทจากแรงดันอินพุทหลายค่า

วิธีชิงเก็ลแรมพ์หรือชิงเก็ลสโลป

A/D คอมพาราเตอร์ชนิดนี้ (ดังนี้รูปที่ 11 ก) ประกอบด้วยวงจรกำเนิดสัญญาณแรมพ์ คอมพาราเตอร์ และ BCD หรือไบนารี่เคาน์เตอร์ เมื่อเริ่มต้นการแปลงข้อมูล วงจรกำเนิดสัญญาณแรมพ์และเคาน์เตอร์จะถูกรีเซ็ตเป็น Ø แรงดันอนาลอกจะถูกป้อนทางขาอนอินเวอร์ติ้ง (+)ของออปแอมป์ ของออปแอมป์คอมพาราเตอร์ เมื่อใดที่อินพุทนี้มีค่าเป็นบวกมากกว่าขาอินเวอร์ติ้ง (-) เอ้าท์พุทของคอมพาราเตอร์จะเป็น "1" ตลอด และค่า "1" นี้จะอีนาเบิ้ล (enable) แอนด์เกท ทำให้สัญญาณนาฬิกา (clock pulse) เข้าไปสู่วงจรเคาน์เตอร์ พร้อมทั้งเป็นจุดเริ่มต้นของการกำเนิดสัญญาณแรมพ์ ค่าแรงดันแรมพ์จะเป็นบวกไปจนกระทั่งเกินค่าของแรงดันอินพุท ซึ่งจะทำให้เอ้าท์พุตของคอมพาราเตอร์เป็น "Ø" ส่งให้ AND เกทตัดสัญญาณนาฬิกา และส่งให้วงจรควบคุมรีเซ็ทวงจรกำเนิดสัญญาณแรมพ์พร้อมทั้งแลทช์ (Latch) วงจรเคาน์เตอร์ เพื่อนำค่าดิจิตอลเอ้าท์พุทไปแสดงผล

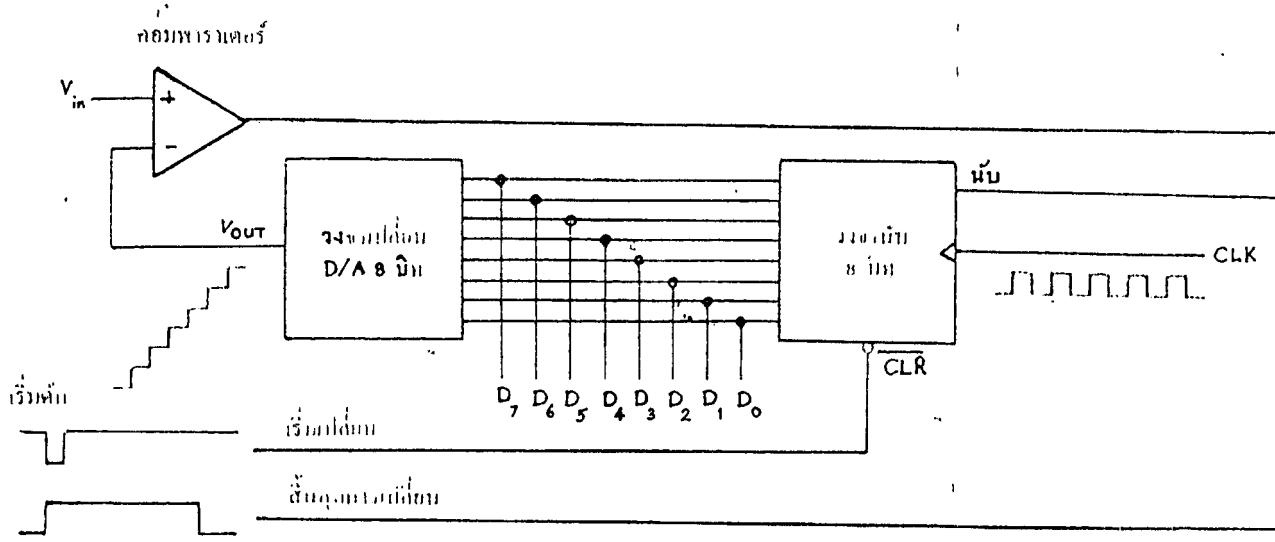


รูปที่ 22 ซิงเกิ้ลแรมพ์ A/D คอนเวอร์เตอร์
(ก) Block Diagram (ข) ความเอียงของแรมพ์

สมมุติว่าถ้าให้สัญญาณนาฬิกามีความถี่ 1 MHz วงจร BCD เคาน์เตอร์ 4 หลัก แรงดันอินพุท (Vin) มีค่า 2,000 V และวงจรกำเนิดสัญญาณแรมพ์ให้สโลป (Slope) 1 V/ms ดังแสดงรูปที่ 22 (ข) ดังนั้นถ้าป้อนแรงดันอินพุทให้วงจร A/D คอนเวอร์เตอร์ทำงาน วงจรกำเนิดสัญญาณแรมพ์จะใช้เวลา 2 ms เพื่อกำเนิดสัญญาณจากจุดเริ่มต้นถึง 2 โวลท์ แล้วหยุดวงจรเคาน์เตอร์จากเวลา 2 ms นี้ สัญญาณนาฬิกาจะมีทั้งหมด 2000 พลัซ์ ซึ่งจะถูกนับโดยเคาน์เตอร์วงจรควบคุมจะส่งสัญญาณแลทช์เพื่อส่งค่าดิจิตอลไปแสดงผล ถ้าเราใส่จุดทศนิยมที่เหมาะสมให้กับ LED แสดงผลเป็นทศนิยม 3 ตำแหน่งเราจะได้ค่า 2000 ซึ่งก็เท่ากับค่าแรงดันอนาลอกที่ป้อนทางอินพุทคือ 2 โวลท์วงจรที่ยกตัวอย่างนี้สามารถให้แรงดันอนาลอกได้ถึง 9.999 โวลท์ จากหลักการอันนี้สามารถนำไปสร้างเป็นเป็นดิจิตอลโวลท์มิเตอร์แบบง่าย ๆ ได้อีกด้วย

วิธีเคาน์เตอร์

A/D คอนเวอร์เตอร์ วิธีเคาน์เตอร์ (ดังรูปที่ 23) ประกอบด้วยคอมพาราเตอร์ 8 บิท D/A คอนเวอร์เตอร์ และ 8 บิทเคาน์เตอร์ แรงดันอนาลอกจะป้อนเข้าทาง Vin และค่าดิจิตอลเอ้าท์พุทที่ได้จะได้จาก 8 บิท เคาน์เตอร์ D_7 ถึง D_0 เคาน์เตอร์จะทำงานเมื่อขา COUNT เป็น "1" และจะหยุดทำงานเมื่อขา COUNT เป็น "Ø" ค่าดิจิตอลเอ้าท์พุทที่ได้จะผ่าน D/A คอนเวอร์เตอร์ได้เป็นค่าอนาลอกเอ้าท์พุท Vout เพื่อป้อนให้ขาอินเวอร์ติง (-) ของคอมพาราเตอร์



รูปที่ 23 A/D คอนเวอร์เตอร์วิธีเคาน์เตอร์

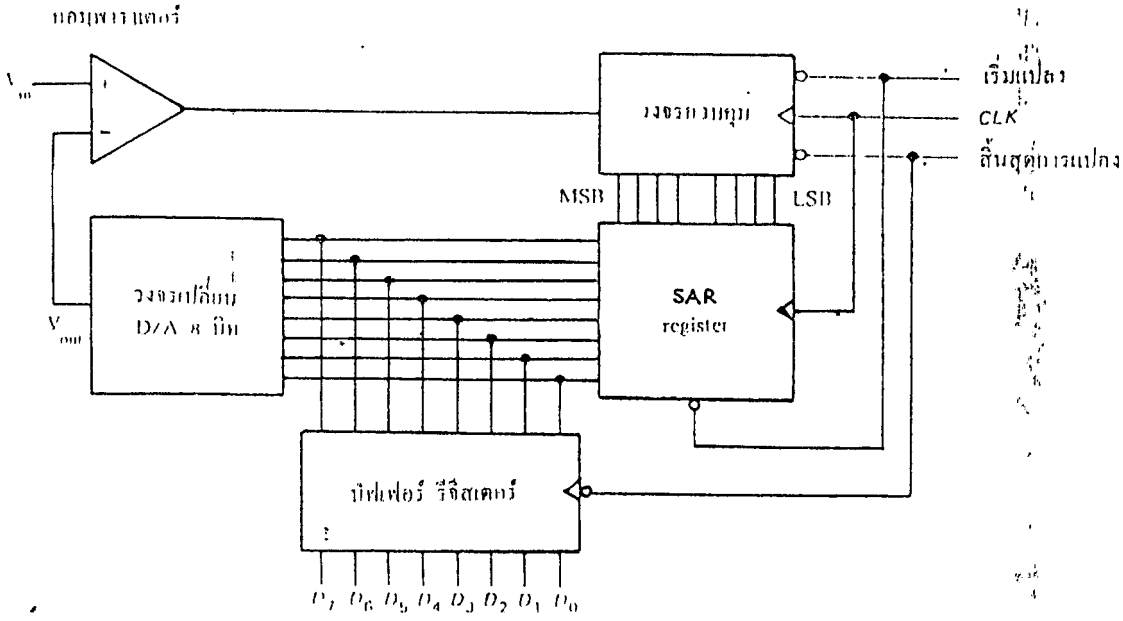
การทำงานเริ่มจากขา START จะส่งพัลซ์มาเป็นลอจิก "Ø"เพื่อเคลียร์ 8 บิทเคาน์เตอร์ เมื่อขา START กลับไปเป็น "1" เคาน์เตอร์ก็พร้อมที่จะนับ ในขณะนี้ที่ขา Vout มีค่าเป็นศูนย์ ดังนั้น เมื่อป้อนค่าแรงดันอนาลอก (Vin) ออปแอมป์คอมพาราเตอร์จะให้เอ้าท์พุทเป็น "1"นั่นคือขา COUNT เป็น "1" เคาน์เตอร์จะเริ่มนับจากศูนย์ขึ้นไป เนื่องจากเอ้าท์พุทจากเคาน์เตอร์ไปให้ D/A คอนเวอร์เตอร์ ทำให้ได้เอ้าท์พุทจาก D/A คอนเวอร์เตอร์ (Vout) เป็นรูปขั้นบันได เมื่อใดที่ Vin มีค่ามากกว่า Vout คอมพาราเตอร์ก็จะให้ลอจิก "1" และเคาน์เตอร์ก็จะนับต่อไปได้ค่า Vout เป็นรูปขั้นบันไดสูงขึ้นเรื่อย ๆ จนกระทั่งถึงจุด ๆ หนึ่งที่ Vout มีค่ามากกว่า Vin ทำให้เอ้าท์พุทจากคอมพาราเตอร์เป็นลอจิก "Ø" และขา COUNT เป็นลอจิก "Ø" เคาน์เตอร์จะหยุดนับ เราก็จะได้ค่าดิจิตอลเอ้าท์พุท D_7 ถึง D_0 ซึ่งเป็นค่าที่แปลงมาจากแรงดันอนาลอกทางอินพุท สัญญาณขอบขาลงของCOUNT เรียกว่า สัญญาณสิ้นสุดการแปลงข้อมูล (end of conversion signal) ซึ่งใช้สำหรับบอกให้วงจรอื่น ๆ ที่ทำงานร่วมกันว่าการแปลงข้อมูลจากอนาลอกเป็นดิเจิตอลได้สิ้นสุดแล้ว

ถ้าข้อมูลอนาลอกอินพุทมีการเปลี่ยนแปลงอีก วงจรภายนอกจะต้องส่งพัลซ์ STAT เพื่อมาเริ่มต้นการแปลงข้อมูลอีกครั้ง จนกระทั่งได้ค่าดิจิตอลเอ้าท์พุท สัญญานสิ้นสุดการแปลงข้อมูลก็จะตกเป็นขอบขากลาง

ข้อเสียของวิธีเคาน์เตอร์นี้คือ ใช้เวลาในการแปลงค่านาน เพราะว่าวงจรเคาน์เตอร์จะนับจนกระทั่งถึงจุดที่ Vout เริ่มจะมากกว่าอนาลอกอินพุท ตัวอย่างเช่น 8 บิทคอนเวอร์เตอร์ต้องใช้เวลาในการแปลงถึง 255 คาบของสัญญานนาฬิกา (clock period) หรือ 12 บิทคอนเวอร์เตอร์ต้องใช้เวลาในการแปลงถึง 4,095 คาบของสัญญาณนาฬิกา

วิธีซัคเซสซีฟ แอปพรอคซิเมชั่น (Successive Approximation)

วิธีนี้จะเป็นวิธีที่นิยมใช้กันมากที่สุด (ดังรูปที่ 24) สิ่งที่ต่างจากวิธีเคาน์เตอร์คือ วงจรควบคุม , SAR รีจิสเตอร์ (Sucessive Approximation Register)



รูปที่ 24 A/D คอนเวอร์เตอร์วิธีซัดเซสซีฟ แอปพรอคซิเมชั่น

และบัฟเฟอร์รีจิสเตอร์ เมื่อการแปลงสัญญาณสิ้นสุดเราจะได้รับข้อมูลดิจิตอลเอ้าท์พุทผ่านทางบัฟเฟอร์รีจิสเตอร์ คือ D_0 ถึง D_7

เมื่อการเริ่มต้นการแปลงข้อมูลสัญญาณเริ่มต้นการแปลง (Start of conversion) จะเป็น "0" SAR รีจิสเตอร์จะถูกเคลียร์และ Vout จะมีค่าเป็นศูนย์เมื่อสัญญาณเริ่มต้นการแปลงเป็น "1" การแปลงข้อมูลก็จะเริ่มต้นโดยการนับเพิ่มครั้งละ 1 บิทจากการเซ็ทค่าที่ MSB (most significant Bit) ก่อนดังนี้

ในระหว่างพัลซ์แรกของสัญญาณนาฬิกา วงจรควบคุมจะส่ง "1" ของ MSB มาที่ SAR รีจิสเตอร์ ซึ่งทำให้เอ้าท์พุทของ SAR รีจิสเตอร์ มีค่าเท่ากับ

1000 0000

ทันทีที่ค่าดิจิตอลเอ้าท์พุทนี้เกิดขึ้น D/A คอนเวอร์เตอร์ก็จะแปลงค่าได้ Vout เท่ากับ 128/255 เท่า ถ้าค่า Vout ที่ได้นี้มากกว่าค่าอนาลอกอินพุท (Vin) คอมพาราเตอร์จะส่งสัญญาณเอ้าท์พุทที่เป็นลบไปวงจรควบคุมเพื่อรีเซ็ท MSB ในทางตรงข้าม ถ้า Vout น้อยกว่าค่าอนาลอกอินพุท (Vin) MSB ก็จะยังคงเซ็ทค่าอยู่

ในกรณีที่ MSB ยังไม่ถูกรีเซ็ท ค่าที่อยู่ใน SAR รีจิสเตอร์ปัจจุบันคือ 1000 0000 ในช่วงของพัลซ์สัญญาณนาฬิกาต่อไปก็จะเซ็ทค่าบิทที่ต่อจาก MSB หรือบิท D6 ก็จะได้ดิจิตอลเอ้าท์พุทเท่ากับ

1100 0000

Vout ก็จะเพิ่มขึ้นเป็น 192/255 เท่า ถ้า Vout มากกว่าค่าอนาลอกอินพุท (Vin) สัญญาณเอ้าท์พุทที่เป็นลบจากคอมพาราเตอร์ก็จะรีเซ็ทค่าบิท D6 แต่ถ้า Vout น้อยกว่าค่าอนาลอกอินพุท บิท D6 ก็จะยังคงอยู่

การเพิ่มค่าจำนวนบิท และทำการทดลองสอบค่าด้วยคอมพาราเตอร์จะถูกกระทำทุก ๆ พัลซ์สัญญาณนาฬิกา ดังนั้นการแปลงข้อมูลจะสิ้นสุดหลังจาก 8 พัลซ์สัญญาณนาฬิกาเมื่อสิ้นสุดการแปลงข้อมูลแล้ว วงจรควบคุมจะส่งสัญญาณ "Ø" บอกว่าสิ้นสุดการแปลงข้อมูล (end of coversion) ไปให้บัฟเฟอร์ รีจิสเตอร์ ข้อมูลดิจิตอลเอ้าท์พุทก็จะถูกเก็บอยู่ในบัฟเฟอร์รีริสเตอร์ ถึงแม้ว่าจะเริ่มวงจรการแปลงข้อมูลใหม่อีกครั้งหนึ่ง

ข้อดีของวิธีซัคเซสซีฟ แอปพรอคซิเมชั่นนี้คือ ในด้านความเร็วจะเห็นได้ว่าใช้เวลาเพียงแค่ n พัลซ์สัญญาณนาฬิกา ก็จะให้ค่า n บิท เรสโซรูชั่นของค่าอนาลอกซึ่งจะดีกว่าวิธีเคาน์เตอร์อย่างมากมาย

2.4 การใช้ไดนามิกแรม (Dynamic RAM)

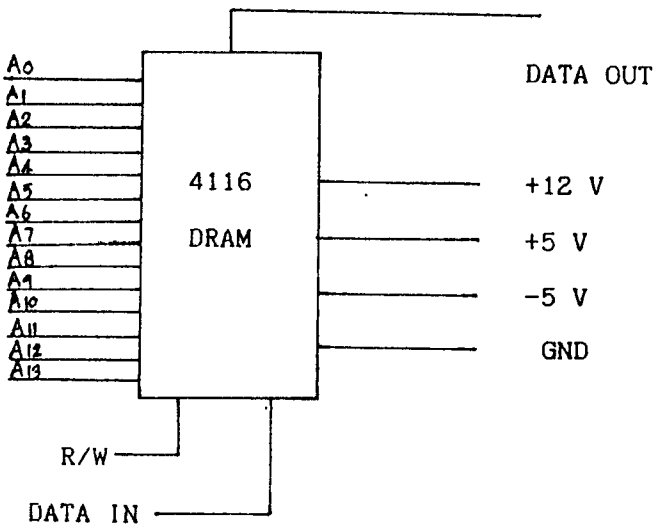
ในยุคแรกของการใช้หน่วยความจำเป็นการใช้หน่วยความจำประเภท วงแหวนแม่เหล็กกรรมวิธีการเชียน-อ่านค่อนข้างยุ่งยากมาก แต่ครั้นถึงยุคของหน่วยความจำประเภทสารกึ่งตัวนำการเชื่อมโยงกับวงจรอิเล็กทรอนิกส์ก็ดูจะง่ายขึ้นมากหน่วยความจำสารกึ่งตัวนำที่เชียน-อ่าน ได้มีชื่อเรียกว่า RAM ซึ่งความจริงแล้วน่าจะเรียก.Read Write Memory หรือใช้ตัวย่อว่า RWM มากกว่า มาดูการทำงานของไดนามิกแรม 4116

ถึงแม้ว่าไอซี 4116 จะเป็นไอซีที่ดูจะเก่าไปบ้าง แต่ก็หาซื้อและใช้ได้ง่ายมีราคาถูกเป็นไอซีที่ใช้บนเครื่องแอปเปิ้ล II โครงสร้างของ 4116 เป็นไอซีขนาด 16k x 1 บิท 4116 อาจมีชื่อเรียกแตกต่างออกไปได้บ้าง เช่น ถ้าเป็นไอซียี่ห้อ NEC จะมีชื่อเป็น uPD416

หากพิจารณาขนาดของหน่วยความจำ จะต้องบอกได้ทันทีว่ามีสายแอดเดรสจำนวน 14เส้น และถ้า 4116 ใช้แรงดันไฟเลี้ยงเป็น +2, +5 และ -5 โวลท์ กับกราวด์ ไอซี 4116 ควรจะมีขาทั้งสิ้นดังนี้

แอดเดรส	14	ขา
ข้อมูลออก	1	ขา
ข้อมูลเข้า	1	ขา
ไฟเลี้ยง	4	ขา
ขา WE	1	ขา

ซึ่งต้องมีขาทั้งสิ้น 21 ขา ดังรูปที่ 25



รูปที่ 25 แสดงจำนวนขาของไอซี 4116 ที่ควรจะเป็น

NEC Microcomputers, Inc.

NEC
μPD416
μPD416-1
μPD416-2
μPD416-3
μPD416-5

16384 x 1 BIT DYNAMIC MOS
RANDOM ACCESS MEMORY

DESCRIPTION

The NEC μPD416 is a 16,384 words by 1 bit Dynamic MOS RAM. It is designed for memory applications where very low cost and large bit storage are important design objectives.

The μPD416 is fabricated using a double poly layer N-channel silicon gate process which affords high storage cell density and high performance. The use of dynamic circuitry throughout, including the sense amplifiers, assures minimal power dissipation.

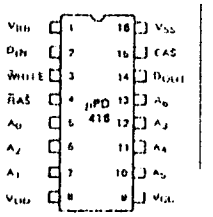
Multiplexed address inputs permit the μPD416 to be packaged in the standard 16 pin dual in line package. The 16 pin package provides the highest system bit densities and is available in either ceramic or plastic. Nonexistent clock timing requirements allow use of the multiplexing technique while maintaining high performance.

FEATURES

- 16,384 Words x 1 Bit Organization
- High Memory Density - 16 Pin Ceramic and Plastic Packages
- Multiplexed Address Inputs
- Standard Power Supplies +12V, 5V, -5V
- Low Power Dissipation, 462 mW Active (MAX), 40 mW Standby (MAX)
- Output Data Controlled by $\overline{CAS}$ and Unlatched at End of Cycle
- Read-Modify-Write, $\overline{RAS}$-only Refresh, and Page-Mode Capability
- All Inputs TTL Compatible and Low Capacitance
- 128 Refresh Cycles
- 5 Performance Ranges

	ACCESS TIME	R/W CYCLE	RMW CYCLE
μPD416	300 ns	510 ns	570 ns
μPD416-1	250 ns	410 ns	465 ns
μPD416-2	200 ns	375 ns	375 ns
μPD416-3	150 ns	375 ns	375 ns
μPD416-5	120 ns	320 ns	320 ns

PIN CONFIGURATION

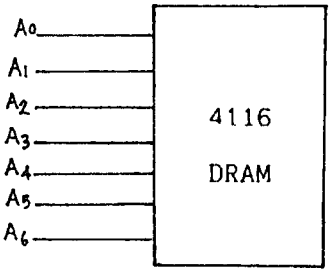


A0-A6	Address Inputs
CAS	Column Address Strobe
DIN	Data In
DOUT	Data Out
RAS	Row Address Strobe
WRITE	Read/Write
VBB	Power (-5V)
VCC	Power (+5V)
VDD	Power (+12V)
VSS	Ground

รูปที่ 26 รายละเอียดที่แสดงไว้ในหนังสือคู่มือของไอซี 4116

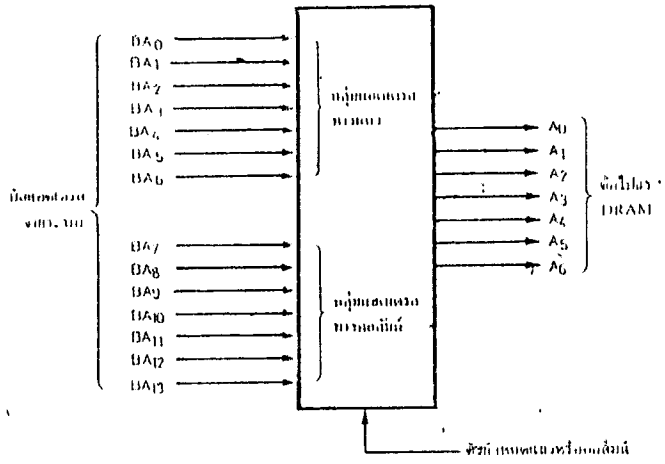
แต่ปรากฏว่า 4116 มีขา 16 ขาเท่านั้น ซึ่งถ้าดูผิวเผินจะคิดว่าไม่น่าเป็นไปได้ แต่ที่จริงแล้วเป็นไปได้เพราะการกำหนดแอดเดรสของหน่วยความจำนี้ กำหนดแบบมัลติเพล็กซ์ โดยแบ่งแยกแอดเดรส 14 เส้น ออกเป็น 2 กลุ่ม คือกลุ่มละ 7 เส้น กลุ่มแรกเป็นกลุ่มที่เริ่มจากแอดเดรส A_0 - A_6 เราเรียกแอดเดรสด้านแถว (Row address) กลุ่มที่ 2 คือจาก A_7 - A_{13} เรียกว่าแอดเดรสด้านคอลัมน์ (Column Address) แต่เมื่อต่อเข้ากับ 4116 จะมีเพียง 7 เส้น ดังนั้นจึงต้องมีการบอกว่าเป็นแอดเดรสแถวหรือคอลัมน์

จะเห็นว่า 4116 ใช้หลักการมัลติเพล็กซ์แอดเดรส จึงทำให้ลดจำนวนค่าจากที่ควรจะเป็น 14 ขา เหลือเพียง 7 ขาเท่านั้น ดังนั้นโครงสร้างการจัดหน่วยความจำภายในชิพ 4116 จึงเป็นแบบเมตริกซ์ การกำหนดแอดเดรสจึงกำหนดทางแถวและทางคอลัมน์ โดยใช้ขาร่วมกันคือ ผ่านเข้าทาง A_0 - A_6 ของ RAM ดังรูปที่ 27



รูปที่ 27 ขาแอดเดรสของ 4116 จะมีเพียง 7 ขา

ภายในเซลหน่วยความจำจะต้องมีการรับแอดเดรสผ่านเข้ามาทางขา โดยต้องทราบแน่ชัดว่า ขณะที่มีสัญญาณป้อนเข้ามาที่ A_0 - A_6 นั้นเป็นแอดเดรสของแถวหรือคอลัมน์ ซึ่งจะต้องมีตัวเลือกส่งแอดเดรสเข้ามาให้แบบมัลติเพล็กซ์ ดังรูปที่ 28



รูปที่ 28 แสดงการจัดแอดเดรสเพื่อต่อกับ DRAM

การรวมแอดเดรสแถวและคอลัมน์

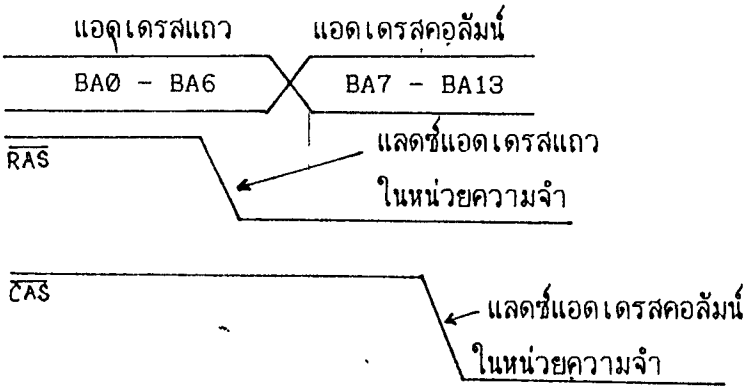
ไดนามิกแรมหรือ DRAM มีการรับแอดเดรสเพียงครั้งหนึ่งเท่านั้น เช่น 4116 มีค่าแอดเดรส 8 เส้น หรือ 41256 ก็มีขาแอดเดรส 9 เส้น

เมื่อเป็นเช่นนี้ การป้อนแอดเดรสเข้าสู่ขาแอดเดรสนี้ จำเป็นจะต้องมัลติเพล็กซ์เข้าไป เช่น 4116 เราจะให้แอดเดรส A_0 - A_6 จากบัสเข้าไปก่อนแล้วตามด้วย A_7 - A_{13} การรวมแอดเดรสจำเป็นจะต้องมีฮาร์ดแวร์ควบคุมการมัลติเพล็กซ์

ถ้าสังเกตุส่วนขาของ DRAM ในรูปที่ 26 จะพบขาที่เพิ่มจากแรมทั่วไปอีก 2 ขาคือ $\overline{RAS}$ หรือ row address strobe และ $\overline{CAS}$ หรือ Column address strobe นั่นคือในขณะที่จะป้อนแอดเดรส A_0 - A_6 เข้า ก็จะให้ $\overline{RAS}$ ทำการสโตรปเพื่อทำการแลตช์แอดเดรสภายในชิพก่อนแล้วตามด้วย A_7 - A_{13} จากนั้นก็สโตรปด้วย $\overline{CAS}$ แล้วจึงทำการเขียนหรืออ่านได้

ไดอะแกรมเวลาของการกำหนดแอดเดรสแสดงดังรูปที่ 29

ในการเชื่อมต่อ DRAM เข้ากับระบบนั้น จึงต้องมีขบวนการในการมัลติเพล็กซ์แอดเดรสในส่วนของแถวและคอลัมน์เข้าด้วยกันและกำหนดสัญญาณ $\overline{RAS}$ และ $\overline{CAS}$ ให้กับหน่วยความจำอย่างถูกต้องและที่สำคัญคือ ช่วงเวลาของการกำหนดแอดเดรส $\overline{RAS}$ และ $\overline{CAS}$ จะเกิดขึ้นอย่างรวดเร็ว และเป็นจังหวะ ซึ่งในกรณีนี้ปัญหาที่พบอยู่เสมอคือการหน่วงสัญญาณในสาย อาจทำให้ช่วงเวลาการทำงานผิดพลาดก็ได้

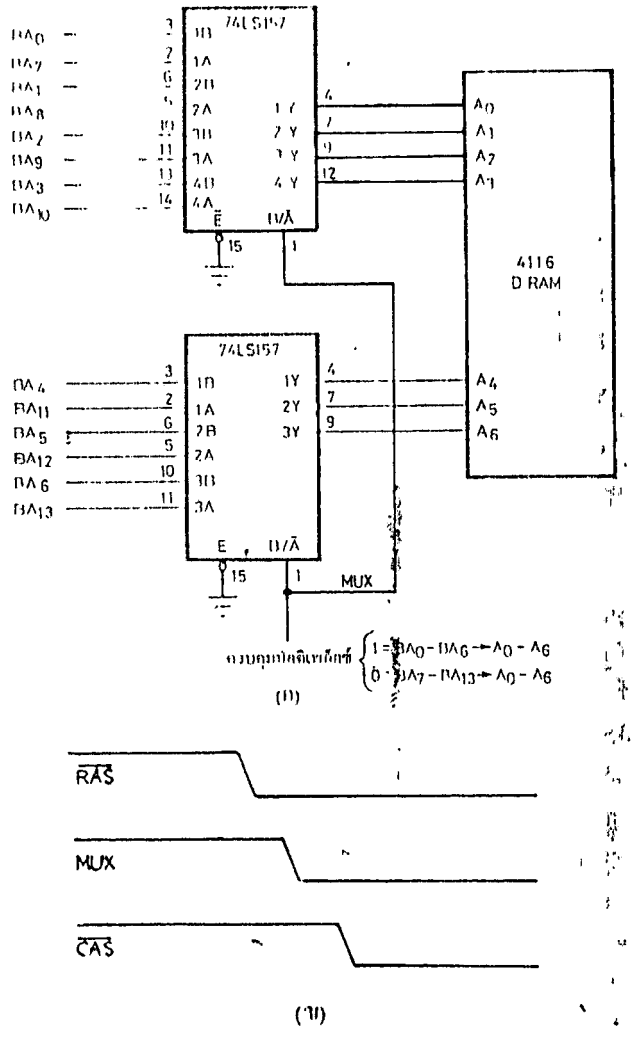


รูปที่ 29 ไดอะแกรมเวลากำหนดแอดเดรสให้กับหน่วยความจำ DRAM

วงจรที่ใช้ในการมัลติเพล็กซ์สัญญาณแอดเดรสที่ใช้กันทั่วไป ใช้ไอซีประเภท data selector หรือตัวเลือกข้อมูลวงจรในรูปที่ 30 เป็นตัวอย่างเลือกข้อมูล และวงจรตัวอย่างการมัลติเพล็กซ์แอดเดรสเพื่อใช้กับ DRAM

ในการจัดการมัลติเพล็กซ์แอดเดรสเพื่อต่อกับ DRAM ในที่นี้ใช้ไอซีตัวเลือกข้อมูลเบอร์ 74LS157 เป็นวงจรกำหนดแอดเดรสทางด้านแถวคอลัมน์ให้กับ DRAM เมื่อสัญญาณ MUX เป็น "1"

ตัวเลือกข้อมูล จะเลือกข้อมูลแถวเข้าสู่ A_0 - A_6 นั่นคือเลือก BA_0 - BA_6 แต่ถ้าเลือก BA_7 - BA_{13} เข้าสู่ A_0 - A_6 ดังนั้นสัญญาณ MUX จะต้อง Active ในช่วงเวลาระหว่าง $\overline{RAS}$ และ $\overline{CAS}$ ดังไดอะแกรมเวลารูปที่ 30 (ข)



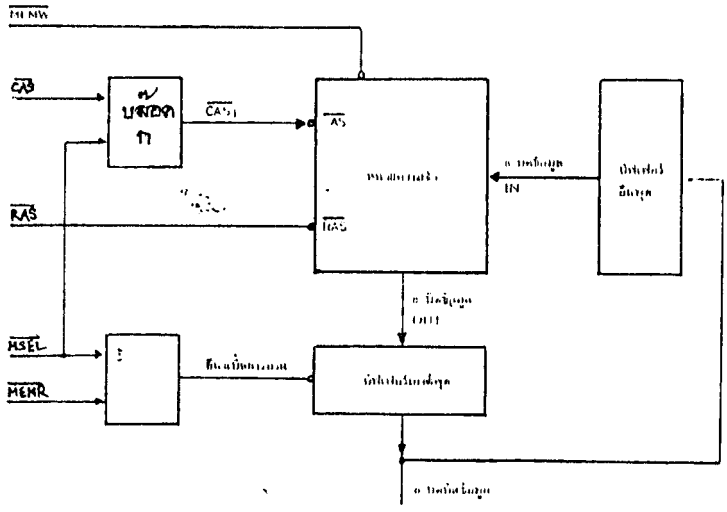
รูปที่ 30 ก.วงจรมัลติเพล็กซ์แอดเดรสให้กับ DRAM และ
ข. ไดอะแกรมเวลาแสดงลำดับของสัญญาณ $\overline{RAS}$, MUX และ $\overline{CAS}$

เมื่อต่อ 4116 เข้าสู่ระบบ

Z80 มีขาแอดเดรส 16 เส้นมีการกำหนดสัญญาณรีเฟรชในตัว แต่สัญญาณเฟรชที่สัมพันธ์

กับแอดเดรสมีขนาดจำนวนบิทเพียง 7 บิทดังนั้นการเลือกการต่อ DRAM กับ Z80 ด้วยข้อมูลเพียง16K นี้จึงใช้หลักการตรงไปตรงมา ซึ่งถ้าต้องการต่อหน่วยความจำให้ใหญ่ขึ้นก็ทำได้แต่ต้องมีวงจรพิเศษเพิ่มเติม ซึ่งจะได้อธิบายต่อไป

การเชื่อมโยง DRAM เข้ากับ Z80 นั้นเป็นเรื่องที่ไม่ยาก แต่อย่างไรก็ตามถ้าต่อกับหน่วยความจำแรมจำนวนไม่มาก ผู้ออกแบบมักเลือกต่อกับแรม แบบสแตติกเพราะทำได้สะดวก แต่ถ้าต่อกับหน่วยความจำจำนวนมาก เรามักเลือก DRAM



รูปที่ 31 แสดงลักษณะการเชื่อมโยงหน่วยความจำ DRAM เข้ากับระบบ Z80

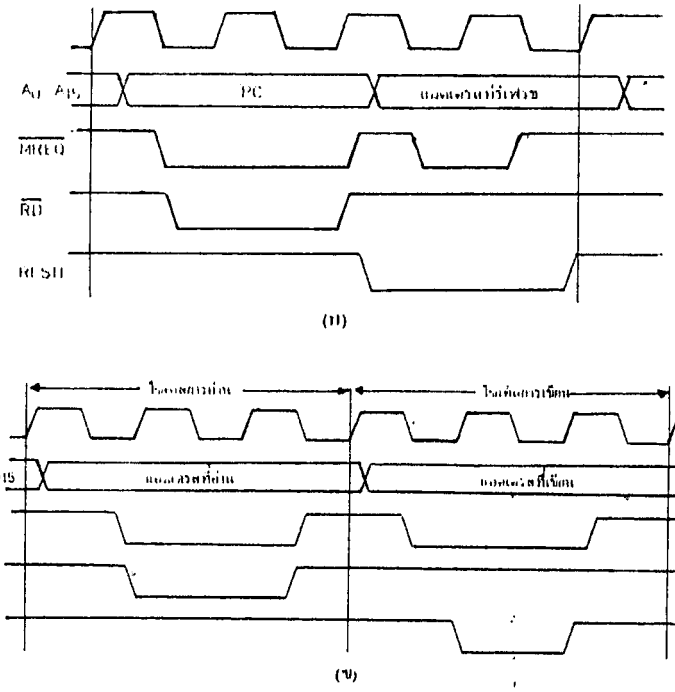
แผนผังวงจรของการเชื่อมโยงกับ DRAM แสดงไว้ดังรูปที่ 31 การต่อกับหน่วยความจำ DRAM จำเป็นต้องสร้างสัญญาณ $\overline{CAS}$ และ $\overline{RAS}$ และการมัลติเพล็กซ์แอดเดรส วงจรกำเนิด $\overline{CAS}$ เป็นวงจรในบล็อค ก. ซึ่งจะได้ให้รายละเอียดต่อไป

สำหรับการต่อหน่วยความจำ 4116 นี้จะมีแอดเดรสเพียง 14 เส้นคือจาก A_0 – A_{13} ดังนั้นจึงควรเลือกว่าจะให้อยู่ใน 16K ใด ในที่นี้จะใช้ A_{14} และ A_{15} เป็นตัวเลือกเมื่อ A_{14} และ A_{15} เป็น "1" จะเลือกหน่วยความจำแรมนี้

Z80 มีสัญญาณควบคุมหลายเส้น เช่น $\overline{MEMR}$ และ $\overline{MEMW}$ ซึ่งสัญญาณนี้ได้จาก $\overline{MREQ}$ และ $\overline{RD}$, $\overline{WR}$

การสร้างสัญญาณ $\overline{RAS}$, $\overline{CAS}$ และ MUX

Z80 สร้างสัญญาณควบคุมในการเขียน – อ่านหน่วยความจำอย่างมีลำดับอยู่แล้ว สัญญาณควบคุมที่ใช้ในการเขียนอ่านประกอบด้วย $\overline{MREQ}$, $\overline{RD}$ และ $\overline{WR}$ แต่เมื่อใช้กับ DRAM เราจะใช้ $\overline{RFSH}$ อีกหนึ่งสัญญาณเพื่อใช้ประโยชน์ ลองย้อนไปดูไดอะแกรมเวลาของ Z80 ดูก่อน รูปที่ 32 เป็นไดอะแกรมหน่วยความจำ

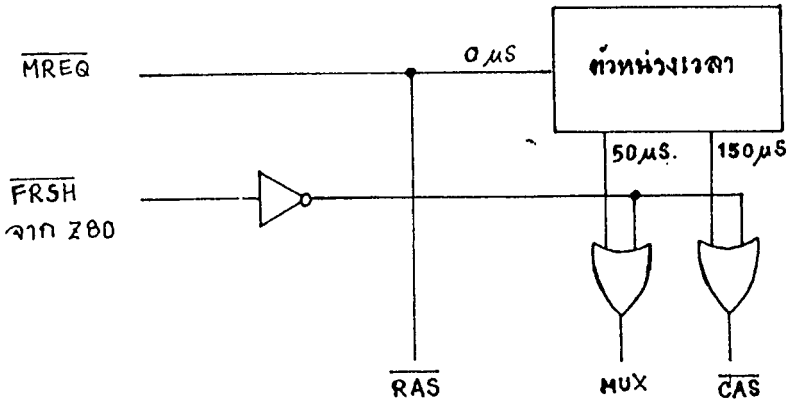


รูปที่ 32 ก. ไดอะแกรมเวลา $\overline{M1}$ ขณะเฟรชข้อมูล

ข. ไซเคิลการเขียน - อ่าน

เมื่อต่อกับ DRAM เรามีความจำเป็นต้องสร้างสัญญาณ $\overline{RAS}$,MUX และ $\overline{CAS}$ ขึ้นมา สัญญาณทั้ง 3 นี้จะเป็นตัวร่วมทำงานที่สำคัญในการเชื่อมโยงกับหน่วยความจำ

การสร้างสัญญาณ $\overline{RAS}$ นั้น เราเริ่มจาก $\overline{MREQ}$ โดยตรงเพราะ $\overline{MREQ}$ เป็นสัญญาณจากไมโครคอมพิวเตอร์ที่จะติดต่อกับหน่วยความจำ ส่วนสัญญาณ MUX จะผ่านการหน่วงเวลาประมาณ 50 uS และหน่วงเวลาอีก 150 uS จาก $\overline{RAS}$ เพื่อสร้างสัญญาณ $\overline{CAS}$ ดังรูปที่ 33

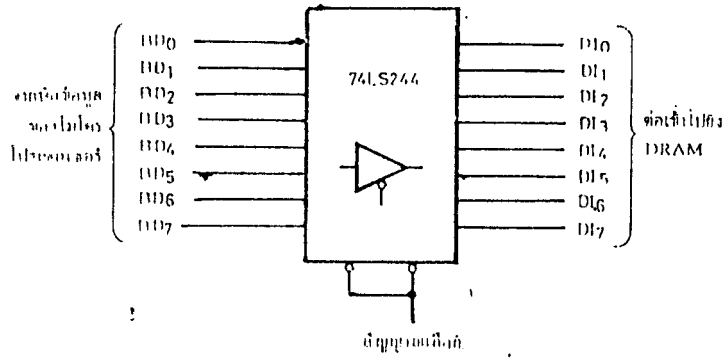


รูปที่ 33 การสร้างสัญญาณ $\overline{RAS}$,MUX และ $\overline{CAS}$

สังเกตุว่าสัญญาณ MUX และ $\overline{CAS}$ จะผ่าน OR เกทกับสัญญาณ $\overline{RFSH}$ ที่ผ่านอินเวอร์เตอร์ นั่นหมายความว่าสัญญาณ MUX และ $\overline{CAS}$ จะแอคทีฟเมื่อ $\overline{RFSH}$ ไม่แอคทีฟ

การต่อส่วนข้อมูลอินพุทบัฟเฟอร์

ไอซี 4116 DRAM แยกขาข้อมูลอินพุทและขาข้อมูลเอ้าท์พุทออกจากกันในการต่อเข้ากับระบบไมโครคอมพิวเตอร์ซึ่งเป็นบัสแบบสองทิศทาง จึงต้องมีวิธีที่จะรวมขาข้อมูลอินพุทกับขาข้อมูลเอ้าท์พุทของ DRAM เข้าด้วยกัน และวิธีหนึ่งที่จะรวมเข้าคือการหาไอซีแบบ 3 สถานะมาเชื่อมต่อไอซีลอจิก 3 สถานะที่นิยมและหาใช้ง่ายคือ 74LS244



รูปที่ 34 วงจรบัฟเฟอร์อินพุทให้กับข้อมูล

รูปที่ 35 เป็นการใช้ไอซี 74LS244 เป็นไอซีบัฟเฟอร์ข้อมูลระหว่างบัสข้อมูลกับหน่วยความจำแรม

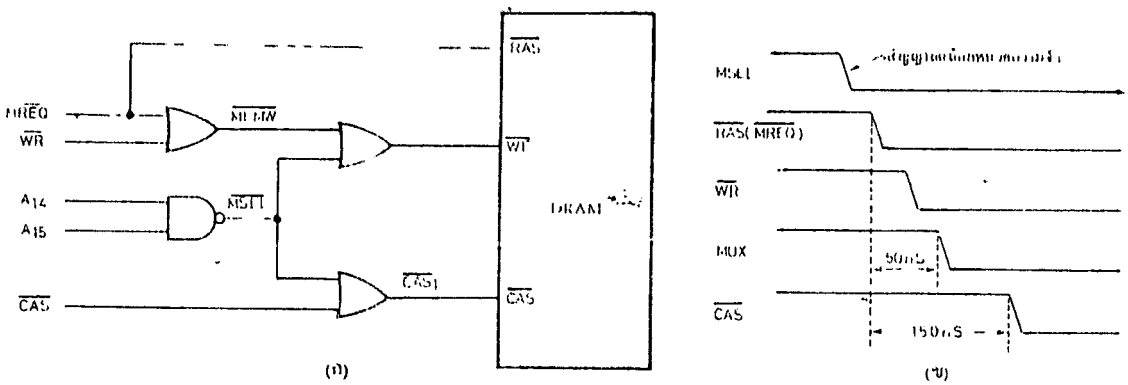
การต่ออินพุทบัฟเฟอร์เข้าสู่ระบบ DRAM ก็เพื่อเป็นตัวแยก DRAM ออกจากบัสโดยตรง เพื่อว่าเมื่อต่อกับ DRAM เป็นจำนวนมากหาก DRAM ตัวใดตัวหนึ่งเสียจะยังไม่ทำให้ระบบบัสเสียไป นอกจากนี้บัฟเฟอร์ยังช่วงลดสัญญาณที่เกิดขึ้น เนื่องจากการทำงานของ DRAM หลาย ๆ ตัว ไม่ให้เข้าไปรบกวนในบัส

การเขียนข้อมูลบน DRAM

Z80 ส่งสัญญาณเขียนข้อมูลในหน่วยความจำด้วยสัญญาณ $\overline{MREQ}$ และ $\overline{WR}$ สัญญาณทั้งสองนี้จะรวมกันเป็น $\overline{MEMW}$ และเมื่อรวมกับการเลือกแอดเดรสซึ่งในที่นี้ต้องการให้แอดเดรสของหน่วยความจำอยู่ในบล็อค C000H - FFFFH หรือกำหนดให้ A_{14} และ A_{15} จะสร้างเป็นสัญญาณอีนาเบิ้ลการเขียน $\overline{WE}$ ซึ่งสัญญาณ $\overline{WE}$ จะเกิดขึ้นหลังจากการกำหนดแอดเดรสทางด้านคอลัมน์ให้กับ DRAM แล้ว

ไดอะแกรมเวลาของการเขียนข้อมูล และตัวอย่างวงจรการเขียนข้อมูลจะเป็นดังรูปที่ 36

คราวนี้ลองสมมุติว่าเมื่อไมโครโปรเซสเซอร์กำลังเขียนข้อมูลที่ไม่ใช่ตำแหน่งที่ถูกเลือกโดย A_{14} และ A_{15} สัญญาณเลือกหน่วยความจำจะไม่แอคทีฟ ($\overline{MSEL}$ ="1") แต่สัญญาณ $\overline{RAS}$ จะยังคงแอคทีฟเพราะมาจาก $\overline{MREQ}$ ส่วน MUX จะตามมาแต่สัญญาณ $\overline{CAS}$ มาจาก $\overline{CAS1}$ ซึ่งถูกกำหนดโดย $\overline{MSEL}$ กับ $\overline{CAS}$ จึงทำให้ไม่แอคทีฟดังนั้นเมื่อมี $\overline{WE}$ ก็จะไม่เกิดการเขียนข้อมูลในหน่วยความจำนี้ การจะเขียนข้อมูลลงไปได้นั้นสัญญาณที่ $\overline{CAS}$ และ $\overline{RAS}$ ต้องเป็น "Ø" ทั้งคู่

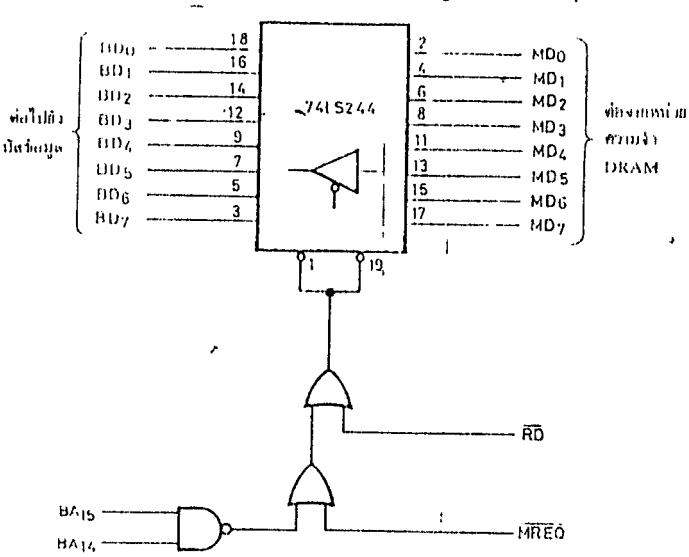


รูปที่ 36 วงจรและไดอะแกรมเวลาการเขียนข้อมูลลงหน่วยความจำ

การอ่านข้อมูลจาก DRAM

ในการอ่านข้อมูลบน DRAM ก็เหมือนกับการอ่านข้อมูลบน RAM ชนิดสแตติกแรมทั่วไปโดยเมื่อสัญญาณเลือก $\overline{RAS}$, MUX และ $\overline{CAS}$ ครบหมดแล้ว ข้อมูลก็จะได้รับการอ่านถ้าสัญญาณ $\overline{WE}$ เป็น "1" และมีการเลือกแอดเดรสถูกต้อง

การอ่านจะได้รับข้อมูลมายังบัสภายใต้การควบคุมของสัญญาณ $\overline{MREQ}$ A_{15} ,A_{14} และ $\overline{RD}$ สัญญาณเหล่านี้จะประกอบรวมกันเพื่อควบคุมการอ่านข้อมูลโดยควบคุมบนบัสดังรูปที่ 37 เป็นวงจรควบคุมการอ่านข้อมูล

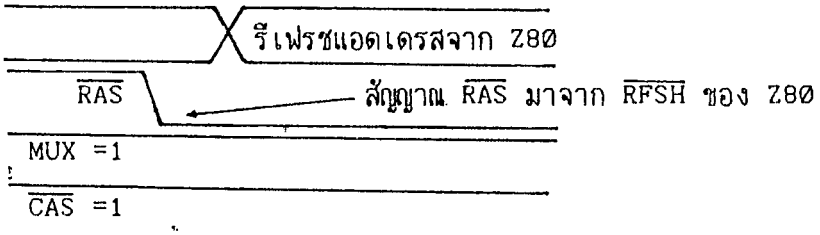


รูปที่ 37 วงจรควบคุมการอ่านข้อมูล

การรีเฟรชไดนามิกแรม

การใช้หน่วยความจำแบบไดนามิกแรมนี้ จำเป็นจะต้องมีการรีเฟรชข้อมูลอยู่ตลอดเวลา การรีเฟรชหน่วยความจำนี้จะเสมือนเป็นการแอคเซส (ACCESS) หน่วยความจำ โดยไดนามิกแรมจะต้องถูกแอคเซสทุกแอดเดรสในช่วงเวลาไม่เกิน 2 มิลลิวินาที

เมื่อพิจารณาการแอคเซสซึ่งเสมือนการอ่าน จะต้องกำหนดแอดเดรสทางแถวโดยกำหนด A_0 - A_6 ซึ่งเสมือนกับมีจำนวนแถว 2^7 = 128 แถว การรีเฟรชนี้จะต้องวนแอดเดรสทั้ง 128แถวนี้ให้เสร็จใน 2 มิลลินาทีสำหรับ Z80 มีโครงสร้างภายในที่สร้างแอดเดรสของการรีเฟรชอยู่แล้ว 7 เส้น ในแอดเดรส A_0 - A_6 เช่นกัน และจะส่งปรากฏออกมาขณะที่สัญญาณ $\overline{RFSH}$ แอคทีฟการส่งนี้จะส่งออกมาในจังหวะ M_1 เท่านั้น ซึ่งถ้าพิจารณาจากการทำงานของ Z80 ที่อัตราสัญญาณนาฬิกาปกติก็จะพบว่า Z80 มีเวลารีเฟรชอย่างพอเพียง



รูปที่ 38 ไดอะแกรมเวลาการเฟรชแอดเดรส

การกำหนดสัญญาณรีเฟรชจะกระทำด้วยไดอะแกรมเวลาดังรูปที 38

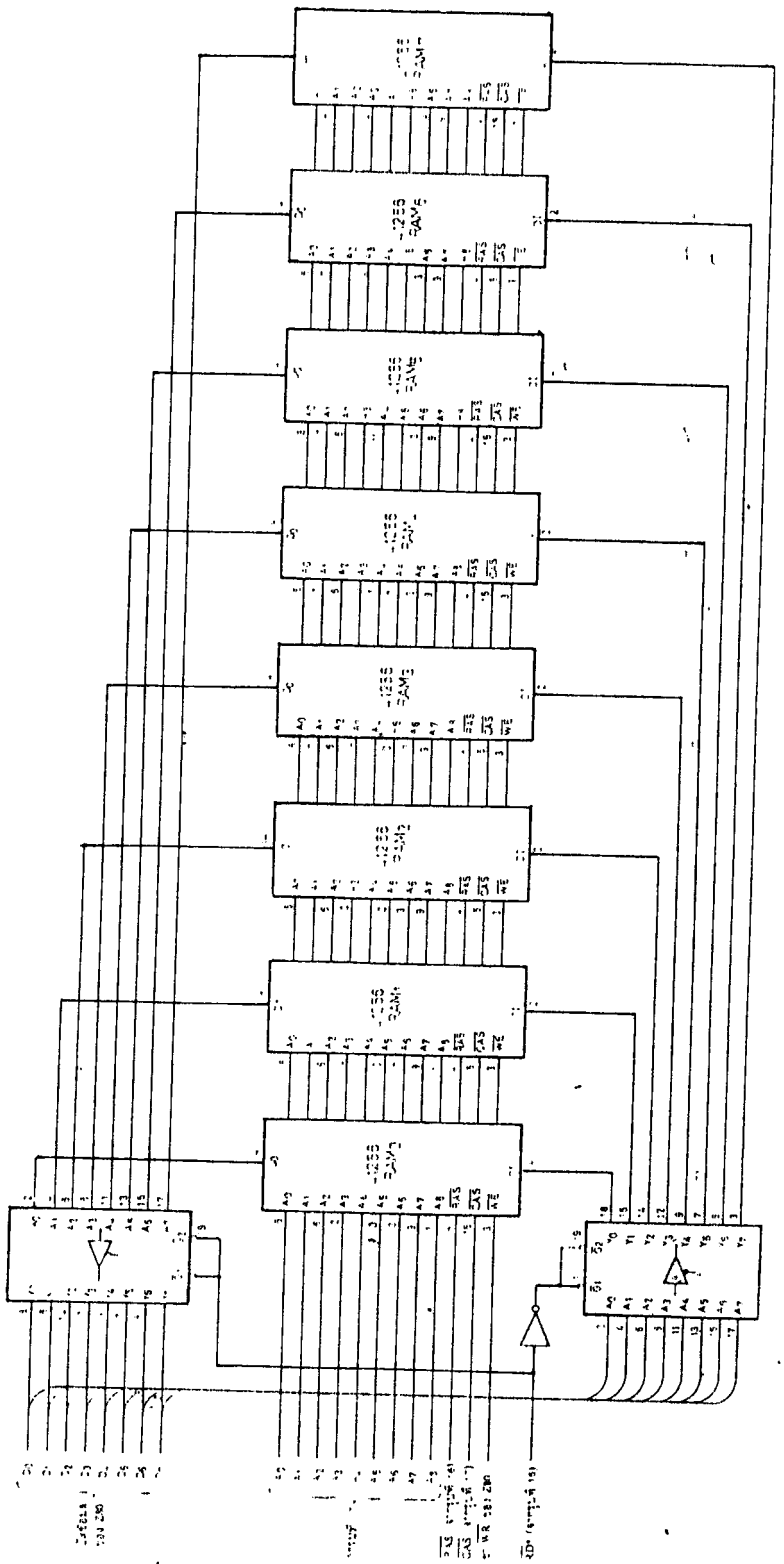
ตัวอย่างการต่อ DRAM ขนาด 256 KB กับ Z80

การใช้งานในบางครั้งอาจมีความจำเป็นจะต้องนำข้อมูลจำนวนมาก มาเก็บไว้ในหน่วยความจำ เช่น การทำแรมดิสค์ การเก็บข้อมูลภาพ การเก็บข้อมูลเสียง ซึ่งปัจจุบัน DRAM ขนาดใหญ่นี้มีราคาถูกลง และสามารถใช้งานได้ง่าย เช่น ออกแบบใช้กับ Z80 ในการเก็บข้อมูลเสียง หรือข้อมูลภาพ

รูปที่ 39 เป็นตัวอย่างของการต่อ DRAM เบอร์ 41256

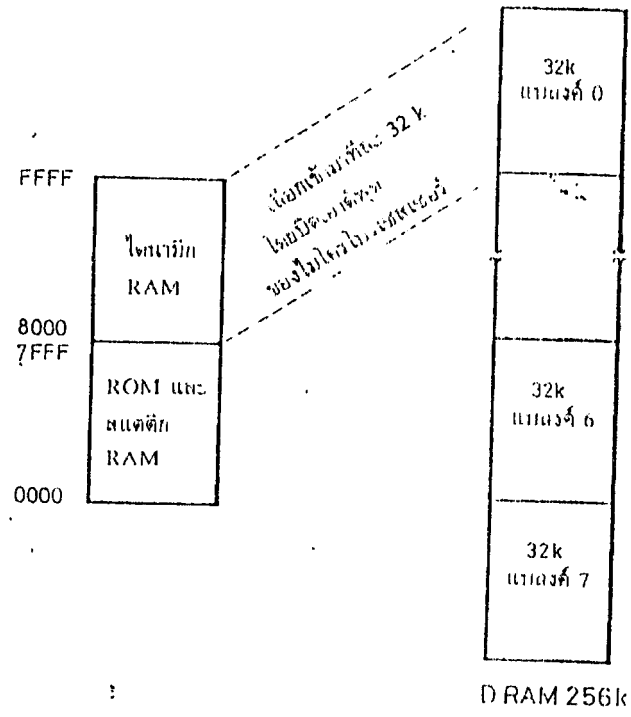
สังเกตุว่าไดนามิกแรมชนิดนี้ใช้แอดเดรส 9 เส้นคือ A_0 - A_8 ซึ่งก็มีแอดเดรสทางแถวและคอลัมน์ทั้งสิ้น 18 สายทำให้มีหน่วยความจำทั้งสิ้น 2^{18} หรือ 256 K ส่วนรูปแบบการควบคุมหน่วยความจำ ในส่วนของ$\overline{RAS}$ และ $\overline{CAS}$ ก็เหมือนกันกับไอซีประเภท DRAM เบอร์อื่น และ 41256 ยังมีขา D1 และขา D0 แยกจากกัน

เนื่องจาก Z80 มีหน่วยความจำที่ถูกอ้างอิงได้เพียงบิท A_0 - A_{15} ดังนั้นเมื่อจะต่อกับ Z80 จึงต้องแยกเป็นแบลงค์ ๆ ละ 32 k โดยใช้บิทของพอร์ตเอ้าท์พุทเป็นตัวเลือกแบลงค์ และจัดให้แอดเดรส 0000H-7FFFH หรือ 32 k แรกบน จะเป็นที่อยู่ของไดนามิกแรม โดยแบ่งเป็น 8 แบลงค์ ดังรูปที่ 40 เป็นการใช้วิธีกำหนดแอดเดรสเข้ามาทีละแบลงค์ด้วยการส่งค่าให้พอร์ตเอ้าพุทก่อน

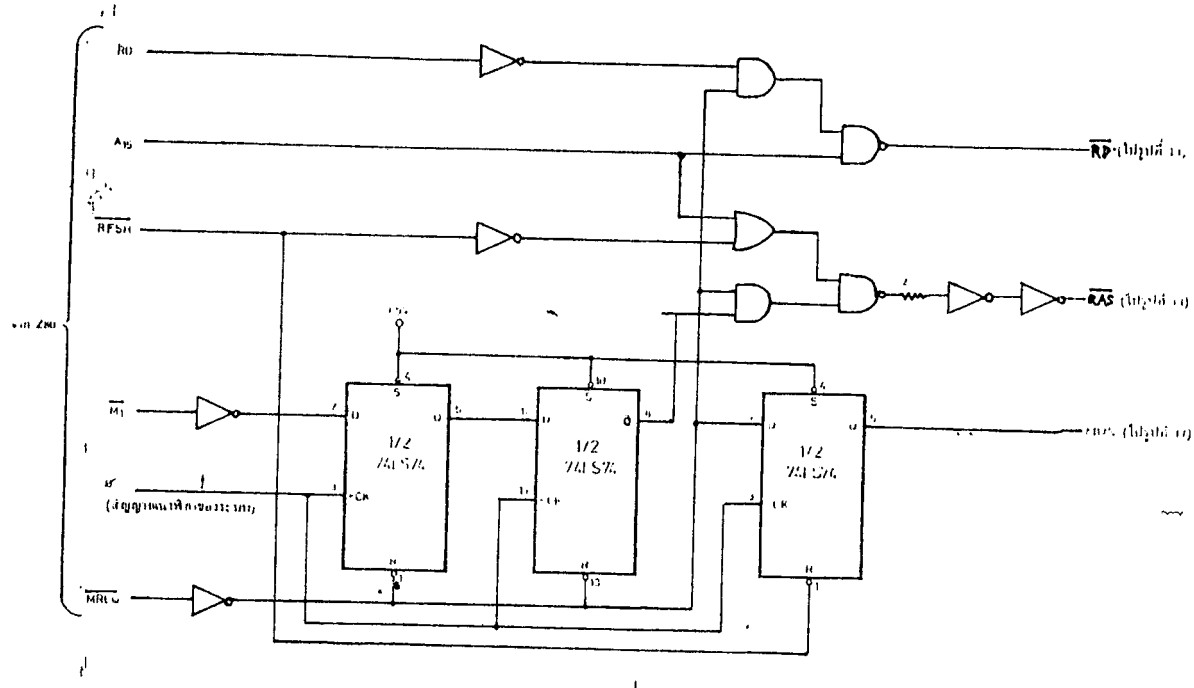


รูปที่ 39 วงจรการต่อ DRAM เบอร์ 41256

วงจรสำคัญอีกส่วนหนึ่งคือ วงจรการควบคุม DRAM ซึ่งประกอบด้วยการนำเอาสัญญาณ DRAM ซึ่งประกอบด้วยการนำเอาสัญญาณ $\overline{M1}$,$\overline{MREQ}$,$\overline{RFSH}$,$\overline{RD}$ วงจรควบคุมลอจิกนี้ จะสร้างสัญญาณ MUX,$\overline{RAS}$ และ $\overline{RD}$ ดังรูปที่ 41

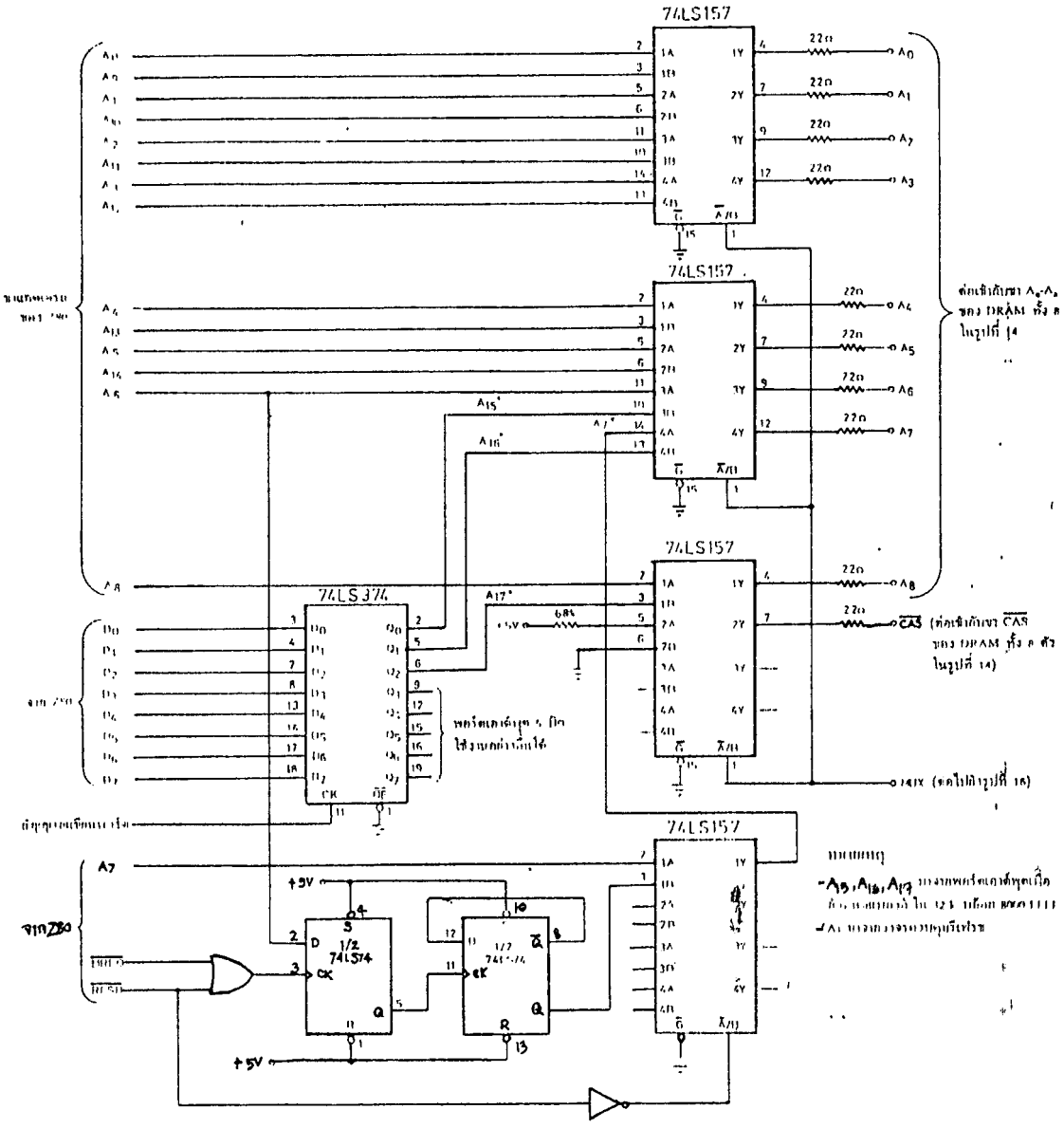


รูปที่ 40 การจัดตำแหน่งขนาด 256 K เข้ากับระบบร่วมกับสแตติกแรม



รูปที่ 41 วงจรควบคุมการทำงานของไดนามิกแรม

ถ้าหากสังเกตวิธีการรีเฟรชของ Z80 จะพบว่า Z80 สร้างแอดเดรสรีเฟรชที่พอดีกับ $\overline{RFSH}$ เพียง 7 บิท ดังนั้นจึงต้องสร้างแอดเดรสรีเฟรชเพิ่มเติมอีก 1 บิท โดยใช้ฟลิบฟลอบและนำ A_6 ในขณะ $\overline{RFSH}$ มาหารด้วย 2 เป็นสัญญาณรีเฟรชบิทที่ A_7



รูปที่ 42 วงจรมัลติเพล็กซ์แอดเดรสและพอร์ตเอ้าท์พุทสร้าง A_{15} ,A_{16} ,A_{17}

รูปที่ 42 เป็นวงจรในส่วนมัลติเพล็กซ์แอดเดรส วงจรควบคุมการรีเฟรชและพอร์ตเอ้าท์พุทเลือกแบลงค์

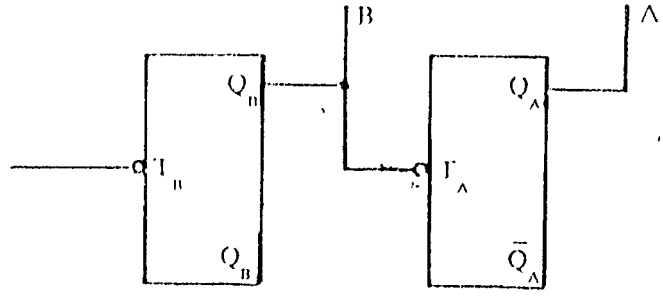
ตัวอย่างที่กล่าวมาทั้งหมดนี้ เป็นการประยุกต์ใช้กับ DRAM ผู้เขียนมีความเห็นว่าหากต้องการใช้หน่วยความจำขนาดใหญ่แล้วก็ต้องใช้ DRAM อย่างแน่นอน แต่ DRAM ขนาด 256 kB นี้ถ้าต่อกับ CPU บางเบอร์ เช่น 8088 หรือ 8086 จะไม่จำเป็นต้องเลือกแบลงค์

อนึ่งการต่อ DRAM นี้ปัญหาอาจเกิดขึ้นได้จากการกำหนดช่วงเวลา $\overline{RAS}$, MUXและ $\overline{CAS}$ สังเกตว่า $\overline{CAS}$ และ MUX ในตัวอย่างหลังนี้ เราใช้ช่วงเวลาหน่วยของไอซีช่วยด้วย

2.5 วงจรนับ (COUNTER)

2.5.1 วงจร Binary Ripple Counter

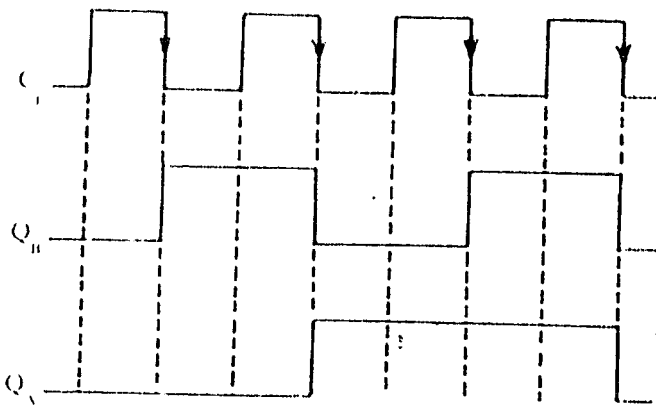
วงจรนับเป็นการประยุกต์ในงานของ Flip Flop โดยถือหลักการว่า Flip Flop จะเป็นตัวนับได้ 2 (0 ถึง 1) คือสภาวะหนึ่งอาจจะเป็น 0 เมื่อมีการ Trigger อีกครั้งจะเป็น 1 สลับกันไปเช่นนี้ นั่นคือ Flip Flop 1 ตัวสามารถนับได้ 2 เลขคือ 0 กับ 1 ดังนั้นถ้า Flip Flop 2 ตัว ต่อกันเช่น มี T-Flip Flop 2 ตัว โดยที่แต่ละตัวทำงาน เมื่อ Trigger ที่ขอบของขาดังรูปที่ 43



รูปที่ 43 วงจรนับ 4 โดยใช้ T-Flip Flop 2 ตัว

จากรูปที่ 43 เป็น T-Flip Flop 2 ตัว ต่อกันในลักษณะขา T ของตัวหลังต่อกับ Q ของตัวหน้า สมมุติว่า ขณะที่ Q_A และ Q_B เป็น 0 ทั้งคู่ เมื่อ Clock pulse ที่ขาของ Clock input เปลี่ยนระดับจาก 0 เป็น 1 T-Flip Flop ตัวแรก (T) ยังไม่มีการเปลี่ยนสภาวะ เพราะเป็นการ Trigger ที่ขอบขาขึ้น จนกระทั่งเมื่อ Clock pulse เปลี่ยนระดับจาก 1 เป็น 0 Q_B จะเปลี่ยนสภาวะเป็น 1 ถึงแม้ T_A จะต่ออยู่กับ Q_B ก็ตาม แต่ Flip Flop ตัวหลังไม่ทำงาน เพราะเป็นขอบขาขึ้น ซึ่งมันจะสนใจเฉพาะขอบขาลงเท่านั้นหลังจาก Clock pulse ลูกแรกผ่านไป ขณะนี้ Q_B เป็น 1 ในขณะที่ Q_A เป็น 0 คือเลข (01) นั่นเองต่อมาเมื่อ Clock pulse ลูกที่สองผ่านไป Q_B จะเปลี่ยนจาก 1 เป็น 0ในขณะที่ Clock pulseเปลี่ยนสภาวะที่ขอบขาเมื่อ Q_B เปลี่ยนสภาวะจาก 1 เป็น 0 Q_A จะเปลี่ยนสภาวะจาก 0 เป็น 1 บ้างเพราะ T_A ได้รับการ Trigger ที่

ขอบขาลงของ Q_D นั่นเอง ในขณะนี้ Q_A เป็น 1 และ Q_B เป็น 0 คือเลข (10)2 หรือ $(2)_{10}$ เมื่อ Clock pulse ลูกที่ 3 ผ่านไป Q_B จะเปลี่ยนกลับเป็นสภาวะ 1 ใหม่ แต่ Q_A ไม่เปลี่ยนแปลง เนื่องจาก T_A ได้รับการ Trigger ที่ขอบขาขึ้น ซึ่งก็คือ Q_A = 1 และ Q_B = 1 คือเลข (11)2 หรือ$(3)_{10}$ จนกระทั่ง Clock pulse ลูกที่ 4 ผ่านไป Q_B เปลี่ยนกลับมาเป็นสภาวะ 0 ใหม่ ทำให้ Q_A เปลี่ยนกลับมาเป็นสภาวะ 0 ด้วยการทำงานจะเห็นได้ชัดจาก diagram ตามรูปที่ 6.13 และตารางการนับ



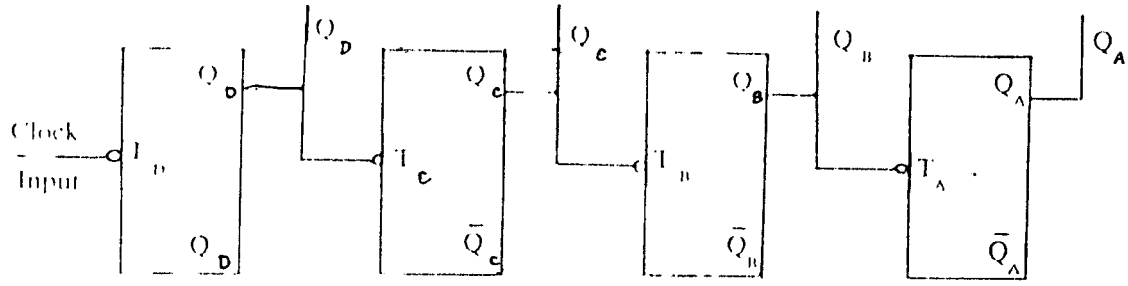
Input pulse	QA (2^1)	Qn(2^0)
0	0	0
1	0	1
2	1	0
3	1	1
4 OR 0	0	0

ตารางที่ 6.7 ตารางการนับ 16

รูปที่ 44 Timing diagram ของวงจรนับ 4

เราจะคิดกกันอย่างง่าย ๆ จำนวนเลขฐานที่จะนับได้ เท่ากับจำนวน 2^N เมื่อ N เป็นจำนวน Stage ของ Flip Flop ในที่นี้ Filp Flop มี 2 ตัว จำนวนที่จะนับได้ทั้งหมดจึงเท่ากับ 2^N หรือเท่ากับ 4 คือ นับจาก 0 ถึง 3 แล้วกลับมานับ 0 ใหม่

ถ้าหากต้องการนับ 16(จาก 0 ถึง 15 หรือ 0000 ถึง 1111)ก็ต้องใช้ Flip Flop จำนวน 4 ตัว ต่อแบบอันดับ ตามรูปที่ 6.14



รูปที่ 45 วงจรนับ 16

Input pulse	$Q_A(2)^1$	$Q_B(2)^2$	$Q_C(2^3)$	$Q_D(2^4)$
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1
10	1	0	1	0
11	1	0	1	1
12	1	1	0	0
13	1	1	0	1
14	1	1	1	0
15	1	1	1	1
16 (หรือ 0)	0	0	0	0

ตารางที่ 6.8 ตารางการนับ 16

จากรูปที่ 45 เป็นวงจรนับ 16 หรือ วงจรนับ 4 stages ซึ่งมีลักษณะการต่อเหมือนวงจรนับ 4 เพียงแต่ว่าจำนวน Flip Flop เพิ่มขึ้น ทำให้สามารถนับจำนวนได้มากขึ้นด้วย เราอาจเปรียบ Flip Flop เป็น bit ของเลขฐานสองได้ คือ 1 bit มีการเปลี่ยนแปลงได้ 2 สถานะคือ 0 กับ 1 ถ้ามี 2 bit (Flip Flop 2 ตัว) ก็จะมีสถานะที่ไม่เหมือนกันได้ 8 สถานะคือ 000,001 010,011,100,101,110,111 เป็นต้นในตารางนับ 4 Stage (ตารางที่ 6.8) จะสังเกตว่า Q_D จะมีการเปลี่ยนแปลงสถานะตลอดเวลาที่ขอบขาของ Clock pulse แต่สำหรับ Q_C การเปลี่ยนแปลงสถานะจะเกิดขึ้นเมื่อ Q_D เปลี่ยนสถานะจาก 1 เป็น 0 เท่านั้น ในทำนองเดียวกัน Q_B และ Q_A ก็จะมีการเปลี่ยนแปลงสถานะก็ต่อเมื่อ Q_C และ Q_B เปลี่ยนสถานะในช่วงขอบขาลงตามลำดับ

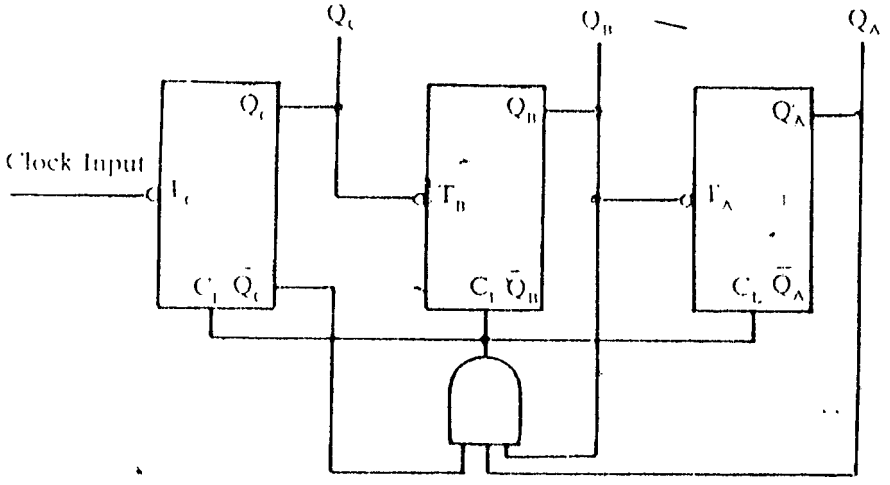
2.5.2 <u>วงจรนับถอยหลัง</u>

วงจรนับที่ได้กล่าวมาแล้วเป็นการนับจำนวนเลขฐานสอง Input Clock pulse ที่เริ่มจากน้อยไปมาก จนกระทั่งนับเต็มที่แล้วจึงกลับมาเริ่มต้นนับที่ 0 ใหม่ จงสังเกตดูว่าในขณะที่เรากำลังสนใจ Q_A ,Q_B ,Q_C และ Q_D อยู่นั้น $\bar{Q}_A$,$\bar{Q}_B$,$\bar{Q}_C$ และ$\bar{Q}_D$ ก็มีการเปลี่ยนแปลงเช่นกัน ในขณะที่ Q_A ,Q_B ,Q_C เป็น $(0000)_2$ หรือ $(0)_{10}$ $\bar{Q}_A$,$\bar{Q}_B$,$\bar{Q}_C$,$\bar{Q}_D$ ก็ต้องเป็น $(1111)_2$

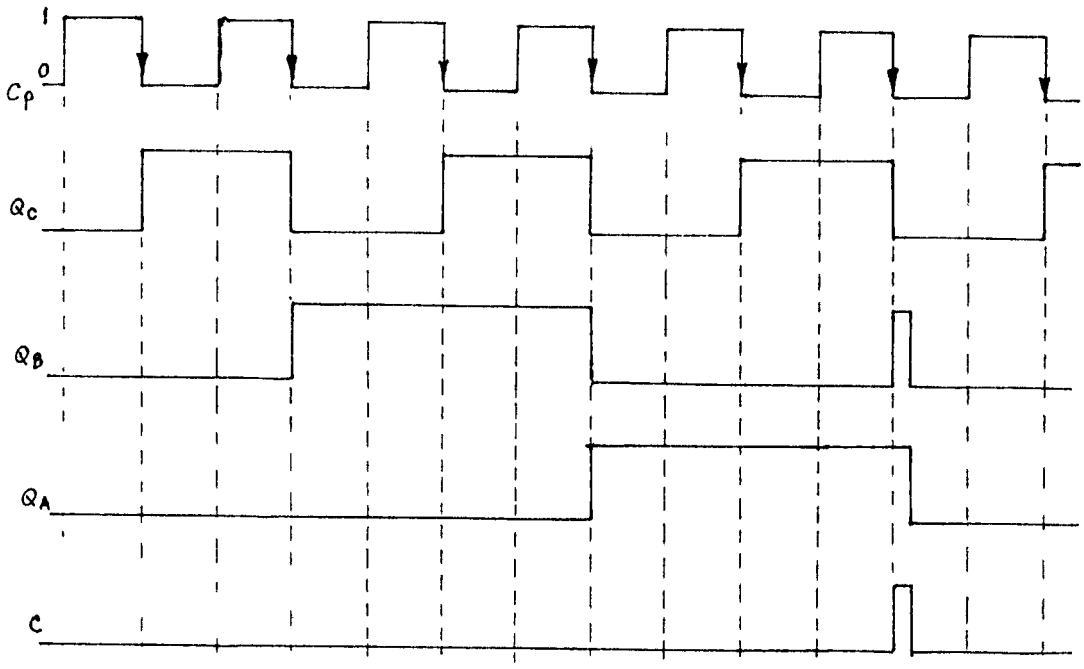
หรือ $(15)_{10}$ ด้วยถ้า Input Clock pulse ผ่านไป 1 ลูก Output ก็จะเป็น $(0001)_2$ หรือ $(1)_{10}$ ซึ่ง Output Complement ($\bar{Q}$) ก็จะเป็น $(1110)_2$ หรือ $(14)_{10}$ เป็น เช่นนี้ไปเรื่อย เรื่อย จนกระทั่ง Output เป็น $(1111)_2$ Output Complement ($\bar{Q}$) ก็จะเป็น $(0000)_2$ แล้วจึงเริ่มต้นใหม่ นั่นคือ ถ้าต้องการให้เป็นวงจรนับถอยหลังก็นำ Output Complement คือ $\bar{Q}_A$ $\bar{Q}_B$,$\bar{Q}_C$ และ $\bar{Q}_D$ มาใช้งาน ในการทำ Ripple counter สามารถใช้ Flip Flopชนิดอื่น ๆ ได้เช่นกัน เช่นใช้ D-Flip Flop และ JK-Flop Flop โดยการดัดแปลง D-Flip Flop JK-Flip Flop ให้เป็น T-Flip Flop แล้วจึงต่อเป็นวงจร Counter

2.5.3 Modulus Counter

วงจรนับที่กล่าวมาแล้วเป็นการนับที่ลงตัว เช่นถ้าใช้ Flip Flop 2 ตัว ก็จะเป็นการนับ 4 หรือ ถ้าใช้ Flip Flop 3 ตัว ก็เป็นการนับ 8 ฯลฯ เมื่อนับจนครบแล้วก็กลับมาเริ่มต้นที่ 0 ใหม่ในกรณีที่ไม่ต้องการนับลงตัวกับจำนวน Flip Flop เช่น นับ 6 นับ 10 นับ 12 เมื่อครบแล้วก็กลับเป็น 0 ใหม่ ในกรณีเช่นนี้เรียกว่า Modulus 6,modulus 10 หรือ Decade,Modulus 12 ซึ่งจะต้องใช้การ Fecdback สัญญาณมา clear เพื่อให้เป็น 0 ใหม่ ดังนั้น การเลือกจำนวน Flip Flop ต้องเลือกจำนวนที่สามารถนับได้มากกว่าเช่นถ้าต้องการนับ 6 ก็ต้องเลือก Flip Flop 3 ตัว เพราะสามารถนับได้ถึง 8 ถ้าเลือก 2 ตัว จะนับได้ แค่ 4 หรือถ้าจะนับ 10,12 ก็ต้องเลือก Flip Flop 4 ตัว เป็นต้น



รูปที่ 46 วงจร Modulus 6



รูปที่ 47 Timing Diagram ของวงจร Modulus 6.

จากรูปที่ 46 เป็นวงจร Modulus 6 คือนับจาก Ø ถึง 5 ในการออกแบบให้คิดว่าวงจร Modulus 6 หรือ นับ 6 คือการไม่ให้เกิดเลข 6 หรือเลข(110)2 ดังนั้นเลข (110)2 จึงใช้ในการ Feedback เพื่อกลับมา Clear ให้ Output Q ทุกตัวเป็น Ø หมดโดยขา Clear ของ Flip Flop ทุกตัวต่อร่วมกันหมดและรับสัญญาณมาจากวงจร Logic ซึ่งมี Function เป็น $C_1 = Q_A \; Q_B \; \bar{Q}_C$ ซึ่งหามาได้จากการที่ QA = 1 QB = 1 และ QC = Ø ไม่ยอมให้เกิดขึ้นนั่นเองในกรณีที่ขา Clear เป็นชนิด Active low Function จะเป็น $C1 = \overline{QA \; QB \; \bar{Q}C}$ ลักษณะการทำงานก็เหมือนวงจร Counter ที่ได้กล่าวมาแล้วข้างต้น

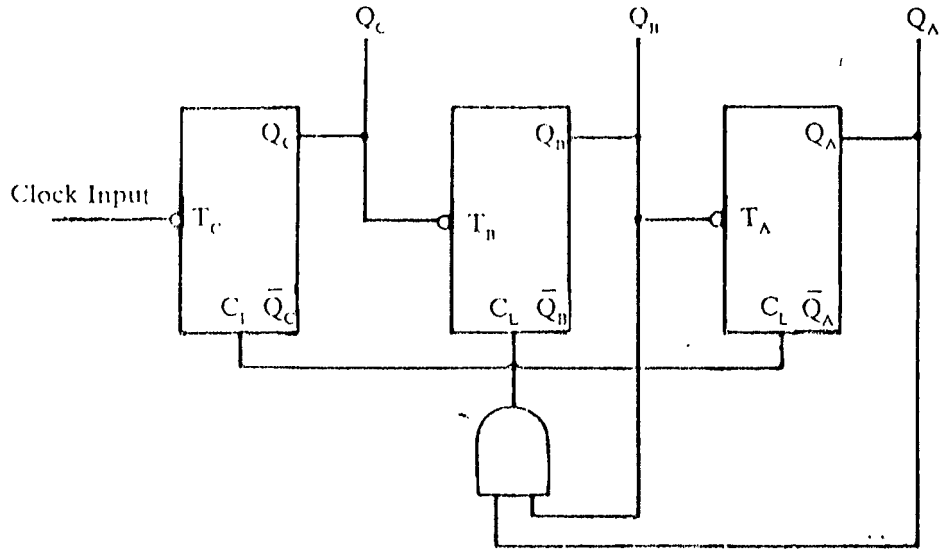
ตารางที่ 6.9 ตารางการนับ 6

Input pulse	Q_A	Q_B	Q_C
0	0	0	0
1	0	0	1
2	0	1	0
3	0	1	1
4	1	0	0
5	1	0	1
6	1	1	0
↓	↓	↓	↓
0	0	0	0

แต่จะต่างกันตรงที่ว่าเมื่อวงจรนับนับถึง 6 คือ QA = 1,QB = 1 และ QC = Ø จะทำให้ Output ของ AND gate เป็น 1 ทำให้ Flip Flop ถูก Clear หมด Output ของ AND gate จะกลับมาเป็น Ø ใหม่ ช่วงเวลาที่ Output ของ AND gate เป็น 1 นั้นสั้นมาก (ตามรูป 47 เขียนไว้เพื่อให้เกิดความเข้าใจ) จนไม่สามารถจะตรวจจับการเกิดเลข 6 ได้ ดังนั้นเมื่อวงจรนับถึงเลข 5 และ clock pulse ลูกที่ 6 ผ่านไป Output ของ QA ,QB และ QC จะเป็น Ø หมด จาก Timing diagram ตามรูปที่ 47 จะสังเกตเห็นว่า QA และ Q_B เป็นØ ช้ากว่า QC สำหรับตารางการนับจะเป็นไปตามตารางที่ 6.9

จากตารางที่ 6.9 จะเห็นว่าที่ Input pulse ลูกที่ 6 QA ,QB และQC เป็น 11Ø แล้วก็กลับเป็น ØØØ ด้วยการ Feedback สัญญานมา Clear ดังแสดงการเปลี่ยนสภาวะด้วยลูกศร

ในทางปฏิบัติจริง ๆแล้ว QA และ QB มีโอกาสเป็น 1 พร้อมกันโดย QC เป็น Øและ QC ไม่มีโอกาสเป็น 1 พร้อมกับ QA และ QB ดังนั้นการ Feedback จากQC จึงไม่มีความจำเป็น เพราะ QC ไม่มีโอกาสเป็น 1 ในขณะที่ QA และ QB เป็น 1 พร้อมกันนั่นเอง จากข้อสังเกตอันทำให้เราสามารถใช้ AND gate 2 Input ก็เพียงพอแล้ว ดังวงจรตามรูปที่ 48



รูปที่ 48 วงจร Modulus 6

เพื่อความเข้าใจการทำงานของวงจร Counter อย่างเพียงพอ ก็ควรที่ตรวจสภาวะการทำงานของ Flip Flop แต่ละตัว ตั้งแต่เริ่ม Clock pulse ลูกแรกซึ่งจะสมมุติให้ Flip Flop ทุกตัวมีสภาวะเป็น Ø หมด จนกระทั่ง Clock pulse ลูกที่ 6 ผ่านไป ด้วยวิธีนี้ จะทำให้เกิดความเข้าใจในการทำงานของวงจรได้ และเป็นผลให้การศึกษาวงจรนับชนิดอื่น ทำได้รวดเร็วและเข้าใจดีขึ้นนั่นเอง

2.5.4 Synchronous Counter

Synchronous หรือ Parallel Counter เป็น Counter ที่ Flip Flop ทุกตัวเปลี่ยนสภาวะพร้อม ๆกัน เนื่องจาก Flip Flop แต่ละตัวได้รับการ Tigger จาก Clock pulse เหมือนกันหมด Counter แบบนี้จะดีกว่า Ripple Counter เนื่องจากสามารถทำงานในความถี่สูงๆ ได้ ในขณะที่ Ripple Counter ทำงานที่ความถี่สูงมาก แล้วจะเกิดการผิดพลาดขึ้นได้ เนื่องจาก Flip Flop แต่ละตัวต่อแบบอันดับ การเปลี่ยรสภาวะของ Flip Flop แต่ละตัวต้องรอการเปลี่ยนสภาวะจาก Flip Flop ตัวหน้าก่อนจึงทำงานได้ในความถี่ที่ไม่สูงมากนัก

ก่อนที่จะกล่าวถึง Synchronous Counter ก็จะขอกล่าวถึง Action table ของ JK-Flip Flop เสียก่อน

Input		Output	
J	K	Q_{n+1}	
0	0	Q_n	No Change
0	1	0	Reset
1	0	1	Set
1	1	$\bar{Q}_n$	Toggle

(ก)

Output state action		Input	
Q_n	Q_{n+1}	J	K
0	0	0	d
0	1	1	d
1	0	d	1
1	1	d	0

(ข)

ตารางที่ 6.10 Truth table ของ JK Flip Flop

ตารางที่ 6.10 (ก) เป็น Truth table ของ JK-Flip Flop และตารางที่ 6.10 (ข) JK-Flip Flop ซึ่งเป็นตารางที่หาได้จากิ Truth table ของ JK-Flip Flop นั่นเอง แบ่งออกเป็น 2 ช่องช่องแรกคือช่อง Output แสดงถึง Output ที่สภาวะปัจจุบัน(Present state หรือ Qn) และสภาวะหลัง Clock pulse (Next state หรือ Qn+1) ซึ่งจะกำหนด Input J และ K ว่าเป็นอย่างไรจึงจะได้ Output ตามช่องแรก เช่น ถ้าสภาวะปัจจุบัน (Qn) เป็น Ø และสภาวะหลัง Clock pulse (Qn+1) ก็ยังเป็น Ø อยู่เราจะต้องให้ Input J และ K เป็นอย่างไรจึงจะได้ Output เช่นนี้ออกมา วิธีพิจารณาก็คือ กลับมาดู Truth table ของ JK-Flip Flop ใหม่ Output Q ที่เวลาหลัง Clock pulse ผ่านไป (Qn+1)แล้ว เป็น Ø มีกี่กรณี กรณีแรกเมื่อให้ J=Ø และ K=1 output Q จะเป็น Ø อีกกรณีหนึ่งก็คือ ถ้าสมมุติว่า Q ของเดิมเป็น Ø อยู่แล้ว

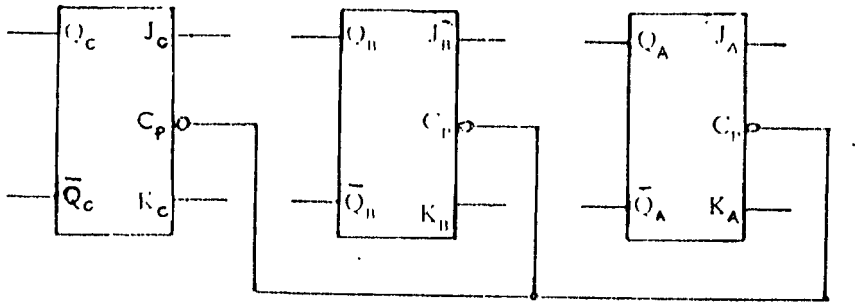
ให้ J=Ø และ K=Ø Output Q จะไม่เปลี่ยนสภาวะ (No change) คือยังคงเป็น Ø อยู่นั่นเอง ดังนั้นจะเห็นว่า ทั้ง 2 กรณี J=Ø ทั้งคู่ ในขณะที่ K=1 ในกรณีแรก และ K=Ø ในกรณีหลังนั่นคือ ถ้ากรณีที่ Q เป็น Ø อยู่แล้วและยังต้องการให้ Q เป็น Ø อยู่หลังจากป้อน Clock pulse แล้ว ต้องให้ Input J=Ø ส่วน K ส่วน K เป็นอะไรก็ได้ไม่สนใจ (d = don't eare term) ในกรณีนี้ช่อง J จึงใส่ Ø และช่อง K ใส่ d ในตารางทางด้านขวามือ ในกรณีต่อมาถ้า Q เป็น Ø อยู่และต้องการให้ Q ในเวลาต่อมาเป็น 1 เราต้องให้ J และ K เป็นอะไรจึงจะทำให้ Q=1 หลังจากป้อน Colck pulse แล้ว เราก็ดูจาก Truth table ก็พบว่า J = 1, K = Ø และ J = 1,K = 1 ซึ่งเป็น Toggle ที่เป็น J = 1,K = 1 เพราะก่อนมีClock pulse Q = Ø หลังจาก Clock pulse ผ่านไปแล้ว Q = 1 นี่เป็นลักษณะของ Toggle นั่นเอง ดังนั้นจึงเลือกเงื่อนไขอันนี้ด้วยนั่นคือ J ต้องเท่ากับ 1 ส่วน K เป็น Ø หรือ 1 ก็ได้ไม่สนใจ

ในกรณีที่ Q เปลี่ยนจาก 1 เป็น Ø มีเงื่อนไขคือ J = Ø,K = 1 หรือ J = 1,K = 1 ดังนั้น K ต้องเท่ากับ 1 ส่วน J เป็นอะไรก็ได้ (don't care term)

กรณีสุดท้าย Q เปลี่ยนจาก 1 เป็น 1 หรือไม่มีการเปลี่ยนสภาวะ แม้ว่าจะมี Clock pulse ก็ตาม จะมีเงื่อนไขดังนี้คือ J = Ø,K = Ø หรือ J = 1,K = Ø ดังนั้น K ต้องเท่ากับ Ø ส่วน J เป็นอะไรก็ได้ (don't care term)

เมื่อได้ Action Table ของ JK-Flip Flop แล้ว ก็จะมาศึกษาเกี่ยวกับเรื่อง Synchronous counter ต่อไป

2.5.5 การออกแบบ Modulus – 5 Synchronous counter



รูปที่ 5Ø จุดเริ่มต้นการออกแบบวงจร Mod – 5 Synchronous Counter

ในการออกแบบวงจร Mod - 5 Synchronous Counter จะใช้วงจรตามรูปที่ 50 เป็นจุดเริ่มต้น จากนั้นก็จะใช้ Action table เพื่อกำหนดสภาวะเมื่อ Clock pulse ผ่านไปแต่ละลูก วิธีการออกแบบแบ่งออกเป็น ขั้นตอน ดังจะอธิบายได้ดังนี้

- ขั้นตอนที่หนึ่ง เขียนวงจร JK-Flip Flop ตามจำนวนที่ต้องการใช้ ในที่นี้เป็นวงจรนับ 5 จึงใช้ JK-Flip Flop 3 ตัว ส่วนขาอื่น ๆ ยกเว้น C ปล่อยลอยไว้ก่อน (แสดงไว้แล้วตามรูปที่ 50)
- ขั้นตอนที่สอง เขียนตารางการนับ (แสดงไว้แล้วตามตารางที่ 6.11) ตารางนี้จะทำให้เราทราบว่าเมื่อมี Clock pulse ป้อนเข้ามา แต่ละตัวจะมีการเปลี่ยนแปลงเป็นอย่างไร ในที่นี้สภาวะเริ่มแรก Qutput Q ของ Flip Flop ทุกตัวเป็น Ø หมด เมื่อมี Clock pulse ลูกที่หนึ่งถูกป้อนเข้ามา จะทำให้สภาวะต่อไป คือ Q_C = Ø Q_B= Ø และ Q_A= 1 เป็นต้น

Clock pulse	Q_C	Q_B	Q_A
0	0	0	0
1	0	0	1
2	0	1	0
3	0	1	1
4	1	0	0
5	0	0	0

ตารางที่ 6.11 ตารางการนับ 5

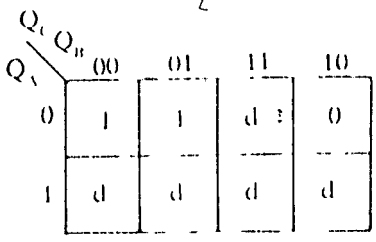
- ขั้นตอนที่สาม จากตารางที่ 6.11 และ Action table ของ JK-Flip Flop เราสามารถเขียน Transition table ได้ดังนี้

Present state			Next state			Input					
Q_C	Q_B	Q_A	Q_C	Q_B	Q_A	J_C	K_C	J_B	K_B	J_A	K_A
0	0	0	0	0	1	0	d	0	d	1	d
0	0	1	0	1	0	0	d	1	d	d	1
0	1	0	0	1	1	0	d	d	0	1	d
0	1	1	1	0	0	1	d	d	1	d	1
1	0	0	0	0	0	d	1	0	d	0	d

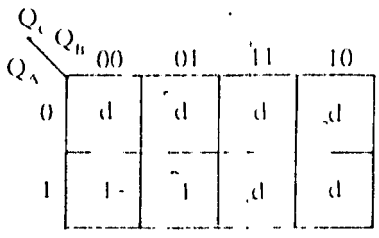
ตารางที่ 6.12 Transition table ของ Mod.5 Synchronous Counter

ที่มาของตารางที่ 6.12 อธิบายได้ดังนี้คือ ช่อง Next state ได้มาจากตารางการนับ (ตารางที่ 6.11) กล่าวคือ สภาวะเดิม (Present state) Qc = Ø, Qb = Ø,Qa = Ø เมื่อมี Clock pulse ถูกป้อนเข้ามาหนึ่งลูก ทำให้สภาวะต่อไป (Next state) เป็น Qc = Ø,Qb =1 เป็นต้น ต่อไปช่องของ JK Input แต่ละตัวก็ได้มาจากการ ตรวจดูว่าเมื่อ Clock pulse ลูกที่หนึ่งผ่านไปทำให้ Qc เปลี่ยนสภาวะจาก Ø เป็น 1 (หรือไม่เปลี่ยนสภาวะ) Jc = Ø,Kc = d (ตามค่าของ Action table ส่วน Qb ก็เช่นเดียวกัน และ Qa เปลี่ยนสภาวะจาก Ø เป็น 1 เราจะได้ Ja = 1, Ka = d สำหรับ Clock pulse ลูกที่สองที่ถูกป้อนเข้าไป เราก็พิจารณาแบบนี้เช่นเดียวกัน

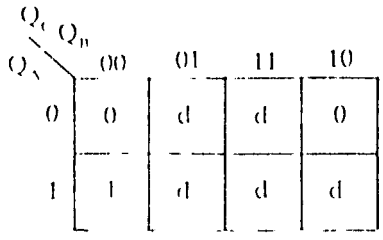
- ขั้นตอนที่สี่ เมื่อเขียน Transition table ได้แล้ว เราก็หาค่าของ JK Input ตัวโดยใช้ Karnaugh map ดังนี้



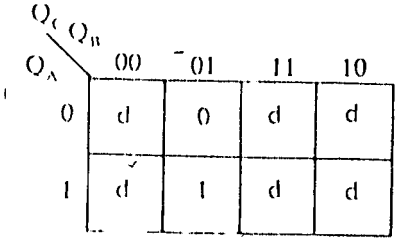
$J_A \quad \bar{Q}_C$



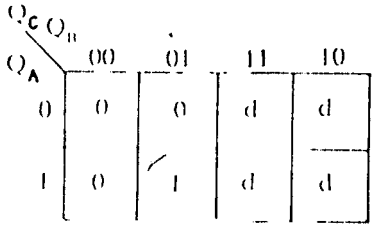
$K_A = 1$



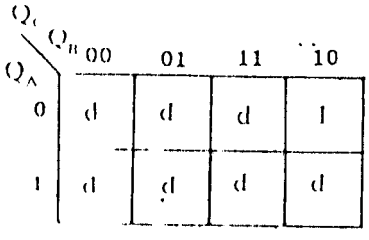
$J_B \quad Q_A$



$K_B = Q_A$

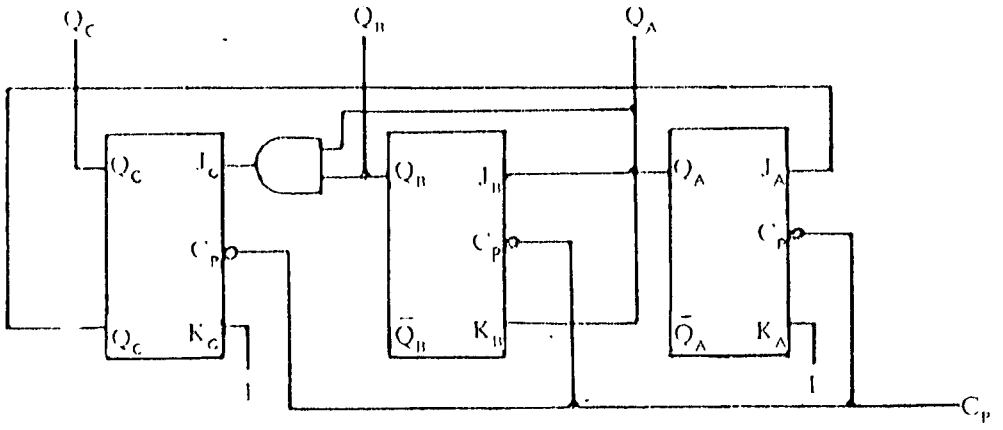


$J_C \quad Q_A Q_B$



$K_C = 1$

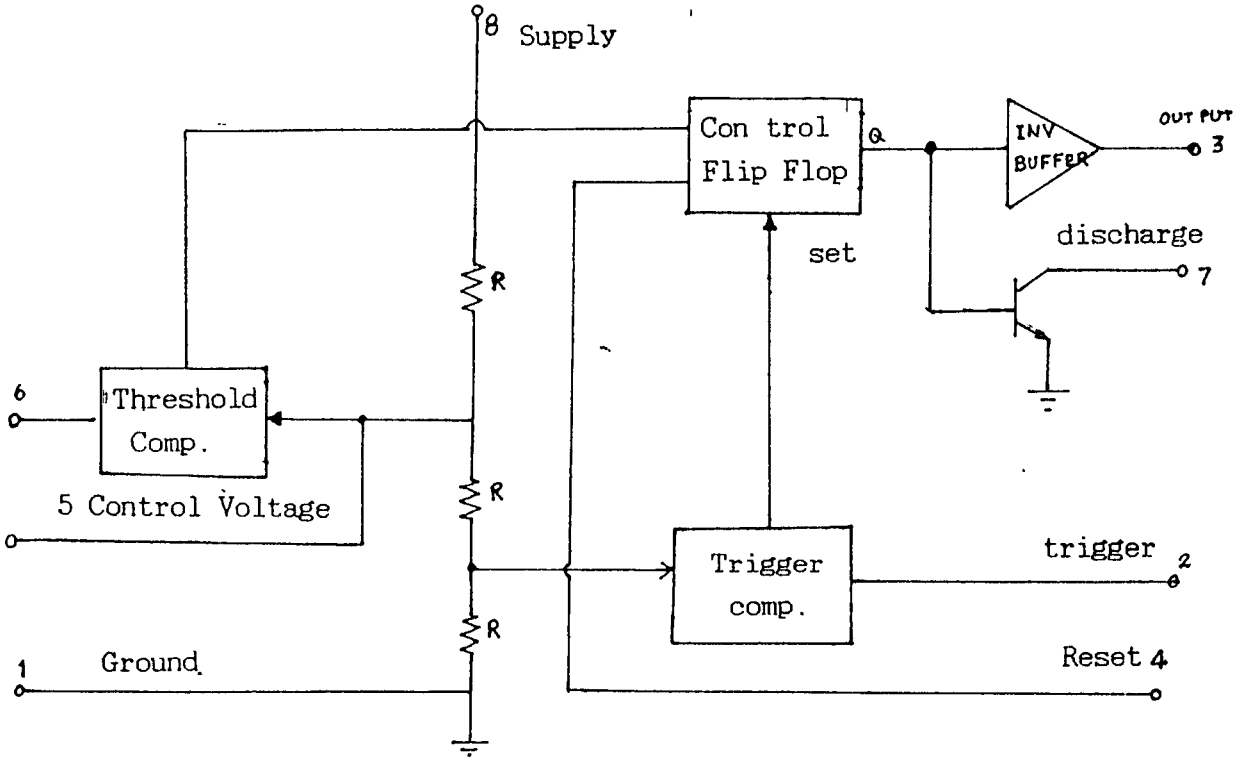
- ขั้นตอนที่ 5 เมื่อได้ค่า JK Input แต่ละตัวแล้วก็นำไปเติมให้กับวงจรรูปที่ 50



รูปที่ 51 วงจร Mod - 5 Synchronous Counter

2.6 ทฤษฎีการทำงานของ IC 555

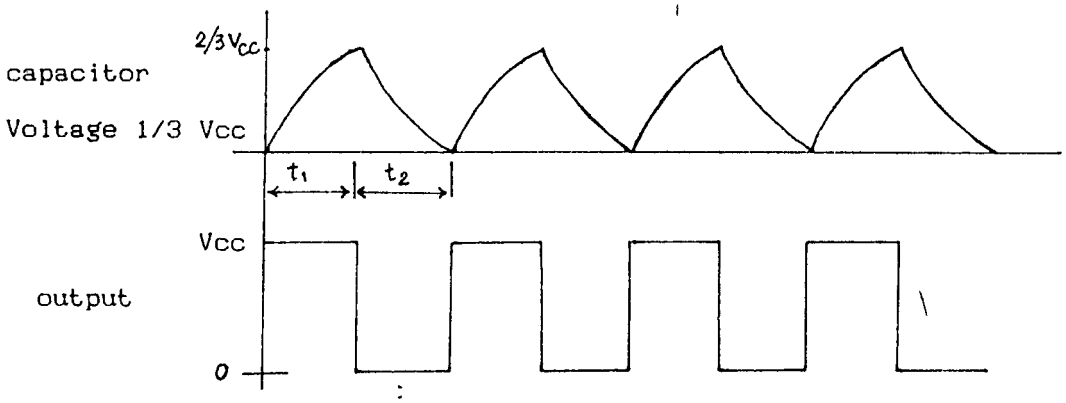
IC เบอร์ 555 เป็น Timer IC ชนิด Monolithic Integrated Circuits ภายในประกอบด้วย transistor มากกว่า 20 ตัว ซึ่งมี Block Diagram ดังรูป



Block Diagram 555

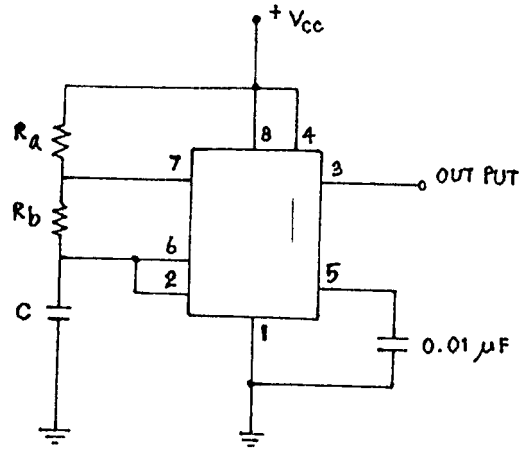
จากรูปเป็น Block Diagram ของ IC 555 โดยแบ่งออกเป็นส่วนต่าง ๆ เช่น ส่วนที่ทำหน้าที่ควบคุม (Function of control) ส่วนทริกเกอร์ (Triggering) ส่วนตรวจจับระดับหรือส่วนเปรียบเทียบสัญญาณ (Level sensing or Theshold comparator) ส่วนคายประจุ (Discharge) และส่วนกำลังที่เอ้าท์พุท (Power output)

วงจรอะสเตเบิ้ล มัลติไวเบรเตอร์ (Astable Multivibrator)



จากรูปเป็นวงจร Astable Multivibrator โดยมีตัวต้านทาน Ra และ Rb ทำหน้าที่เป็น timing resistor เมื่อวงจรได้รับแรงดันไบอัสจากแหล่งจ่ายกำลัง Vcc ตัวเก็บประจุ C (ซึ่งทำหน้าที่เป็น Timing Capacitor และ charge ประจุผ่านตัวต้านทาน Ra และ Rb จนกระทั่งแรงดันตกคร่อม C มีค่าเป็น 2/3 Vcc จะทำให้วงจร upper Comparator กระตุ้นวงจร Flip Flop ภายใต้ IC และมีผลทำให้ตัวเก็บประจุ C เริ่มคายประจุผ่านตัวต้านทาน Rb จนแรงดันตกคร่อม C มีค่าเหลือเป็น 1/3 Vcc วงจร Lower comparator ใน IC ก็จะถูกกระตุ้น และเริ่มการทำงานของวงจรใหม่อีกครั้ง

แสดงการเปรียบเทียบแรงดันที่ output ของวงจร และแรงดันตกคร่อม C ตัวประจุ C จะทำการ Charge ประจุและ Discharge ประจุสลับกันไปมา อย่างสม่ำเสมอทำให้แรงดันตกคร่อม C มีค่าระหว่าง 2/3 Vcc และ 1/3 Vcc ตามลำดับ แรงดันคงที่ของวงจรจะมีค่าสูงในขณะที่ C ทำการ Charge ประจุซึ่งถ้าให้ T คือช่วงเวลาที่ output มีค่าแรงดันสูงดังนั้น



$$t = (Ra + Rb)\, C \log e \left(\frac{Vcc - \frac{2}{3} Vcc}{Vcc - \frac{1}{3} Vcc} \right)$$

หรือ

$$t_1 = 0.693\ (Ra + Rb)\ c \text{ วินาที}$$

และแรงดันที่ output จะมีค่าต่ำในขณะที่ตัว C ทำการ discharge ประจุ ถ้า t เป็นช่วงเวลาที่ output มีค่าแรงดันต่ำ

$$t_2 = 0.693 \times C \quad \text{วินาที}$$

ช่วงเวลาสำหรับ การ Charge และ discharge ประจุคือ

$$T = t_1 + t_2$$

$$t = 0.693\ (Ra + 2Rb)\ C \quad \text{วินาที}$$

T คือความกว้างของ pulse ใน 1 Cycle

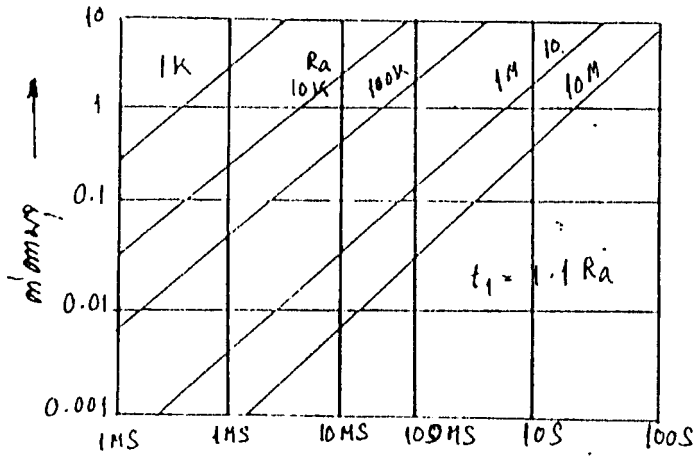
ความถี่ของ output ก็คือ f

$$f = \frac{1}{T} = \frac{1}{0.693\ (Ra + 2Rb)C}$$

$$= \frac{1.443}{(Ra + 2Rb)\ C}$$

และค่าของ (Ra + 2Rb) และ C จะให้ความถี่ของ pulse ที่ output ค่าต่าง ๆ กัน ซึ่งกราฟความสัมพันธ์นี้เขียนแสดงไว้ดังรูป

รูปกราฟ



ความถี่ของ pulse ที่ output

กราฟแสดงค่าความถี่ของ pulse ที่ output ในวงจร Astable multivibrator ที่มีค่าความจุไฟฟ้า C และค่าความต้านทาน (Ra + 2Rb) ค่าต่าง ๆ

และค่า duty cycle คืออัตราส่วนของช่วงเวลาที่ output มีแรงดันสูง กับช่วงเวลาทั้งหมดของ pulse 1 cycle

$$\text{duty cycle} = D = t_1 / T$$

$$= (Ra + Rb)/(Ra + 2Rb)$$

ซึ่งจะเห็นว่าความต้านทานของ Ra และ Rb จะเป็นตัวกำหนดค่า duty cycle

บทที่ 3
การสร้าง การประกอบและการใช้งาน

สำหรับการสร้างเราแบ่งออกเป็น 2 ส่วนคือ

1. ส่วนวิเคราะห์วงจรเสียงพูด
2. ส่วนวงจรการสแกนและการดีโค้ต

3.1 ส่วนวงจรวิเคราะห์เสียงพูด

ความก้าวหน้าของเทคโนโลยีนับวันก็จะยิ่งสูงขึ้นจนยากที่จะตามได้ทันยิ่งวงการอิเลคทรอนิคส์ด้วยแล้วก้าวไปไกลมากทีเดียว ดังเช่นโครงงานชุดวิเคราะห์เสียงพูดนี้จะทำหน้าที่บันทึกเสียงพูดหรือเสียงต่าง ๆ เก็บไว้แล้วถ่ายทอดออกมาให้เราได้ฟังโดยที่เสียงนั้นๆ ไม่มีการผิดเพี้ยนไปจากเสียงเดิมเลย และไม่ต้องอาศัยเทปคาสเซ็ทหรือส่วนประกอบทางแมคคานิคใดๆ เข้ามาเกี่ยวข้อง เมื่อพูดถึงการบันทึกเสียงอันดับแรกเราจะนึกถึงเทปคาสเซ็ททันที แต่เดี๋ยวนี้การการเก็บหรือบันทึกเสียงไม่จำเป็นต้องใช้เทปอีกต่อไปแล้ว เพราะปัจจุบันมีการคิดค้นและออกแบบวงจรอิเลคทรอนิคส์ขึ้นมาทำหน้าที่บันทึกและถ่ายทอดเสียงแทนเทปซึ่งให้ความสะดวกและถึงแม้วงจรอิเลคทรอนิคส์จะบันทึกหรือเก็บเสียงไว้ได้ไม่มากเท่ากับเทป แต่เมื่อเทียบกับประโยชน์ในการใช้งานบางอย่างแล้วก็นับว่าคุ้มค่ากว่า

3.1.1 วงจรการทำงาน

จากวงจรในรูปที่ 2 เป็นวงจรสมบูรณ์ของชุดวิเคราะห์เสียงพูด หัวใจสำคัญของวงจรอยู่ที่ IC_1 และ IC_2 ซึ่งเป็นไอซีไมโครโปรเซสเซอร์และหน่วยความจำตัว IC_1 เองถูกออกแบบขึ้นมาเพื่อใช้งานด้านวิเคราะห์เสียงโดยเฉพาะ ซึ่งเป็นผลิตผลการประดิษฐ์ของบริษัทโตชิบาแห่งประเทศญี่ปุ่น เป็นไอซีชนิด CMOS LSI ลักษณะโครงสร้างภายนอกและตำแหน่งขาต่าง ๆ แสดงไว้ในรูปที่ 1

128 วินาที

2. D_7 D_6 เป็น 0,1 จะทำให้อัตราแปลงข้อมูลเป็น 11K bitต่อวินาที ทำให้อัดหรือเล่นได้นาน 93 วินาที

3. D_7-D_6 เป็น 1,0 ทำให้อัตราการแปลงข้อมูลเป็น 16K bit ทำให้อัดหรือเล่นได้นาน 64 วินาที

4. D_7-D_6 เป็น 1,1 ทำให้อัตราการแปลงข้อมูลเป็น 32K bitทำให้อัดหรือเล่นได้นาน 32 วินาที

การทดลองใช้ X-TAL 650KH$_z$ เป็นฐานความถี่และต่อกับ RAM 256K จำนวน 4 ตัวทำให้ความจุของ memory เพิ่มเป็น 1M bit ดังวงจรรูปที่ 3 การอัดเมื่อเราอัดที่สปีดใดสปีดหนึ่งเสร็จแล้ว เราสามารถที่จะนำกลับมาเล่นในสปีดอื่นได้ทำให้เราสามารถเร่งหรือลดสปีดของเสียงได้ตามต้องการ ถ้าเราต้องการอัดเสียงสูง ๆ ให้ได้ผลดี ควรจะใช้สปีดสูง ๆ ในการอัดด้วย จึงจะทำให้เสียงที่อัดออกมาดี

3.1.2 T6668 กับ MEMORY

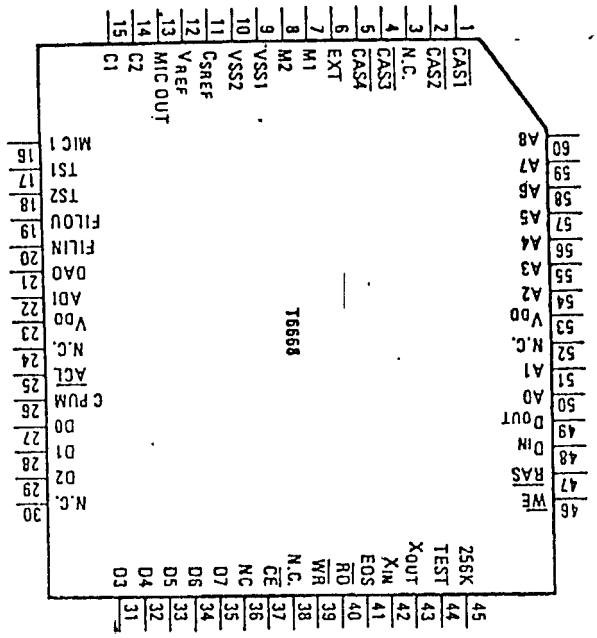
T6668 สามารถเลือกใช้ memory ได้ 2 ขนาดคือ 64K DRAM กับ 256K DRAM โดยการเลือกที่ขา 45 ของ IC(ที่เขียนไว้ว่า 256K) คือเมื่อเราจะต่อ DRAM 256K ให้กับ ICเราจะต้องเลือกต่อขา 45 กับไฟบวกและเมื่อเราต้องการต่อ DRAM 64K ให้กับ IC เราต้องต่อขา 45 กับกราวด์ T6668 ก็จะรู้ว่าเราใช้เมมโมรี่ขนาดเท่าใดกับมัน

การเพิ่มเมมโมรี่ให้กับ IC T6668 สามารถกำหนดได้โดยการต่อขาM_2 (ขา 8),M_1(ขา ๗)ตามตารางที่ 2 นี้คือ ถ้าเราต่อ M_2, M_1 ลงกราวด์ T6668 จะทำการเขียนหรืออ่านข้อมูลจาก 00000H ไปจนถึง 0FFFFH แล้วตัวมันเองก็จะเลิกการอ่านหรือการเขียนมารอการเริ่มต้นใหม่

ดังนั้น เราจึงกำหนดขนาดของเมมมรี่ได้ตามต้องการ เพื่อการประหยัดการนำไปใช้งานที่ต้องการขนาดเมมโมรี่ต่างกันได้

แผนภูมิของเมมโมรี่ที่ใช้ในการทำงานทั้ง 2 แบบ ตามรูปที่ 5

การต่อเมมโมรี่เพิ่มเติมทำโดยการง้างขา $\overline{CAS}$ (ขา 15 ของ 41256) ออกมาแล้วซ้อนทับไปดังรูปที่ 6 จากนั้นก็ต่อขา $\overline{CAS}$ไปยัง $\overline{CAS2}$,$\overline{CAS3}$ และ$\overline{CAS4}$ ของไอซีT6668



รูปที่ 1 แสดงตำแหน่งขาต่าง ๆ ของไอซี T6668

การทำงาน IC_1 จะทำการรับสัญญาณเสียงพูดเข้ามาจากนั้นทำการขยาย แล้วเปลี่ยนจากสัญญาณอนาล็อกไปเป็นข้อมูลดิจิตอล แล้วไปเก็บไว้ที่ไดนามิคแรม(DRAM) IC_2 โดย CPU ภายในจะทำการเปลี่ยนแอดเดรสที่จะนำเข้าไปเก็บเองโดยอัตนมัติ เมื่อทำการแปลงข้อมูลจาก D/A จะใช้อัตรา 10 BIT D/A เพื่อเปลี่ยนกลับมาเป็นเสียงเช่นเดิม การอัดเข้าไป เราจะสามารถเลือก speed ได้ 4 speed โดยเลือกที่ D_6-D_7

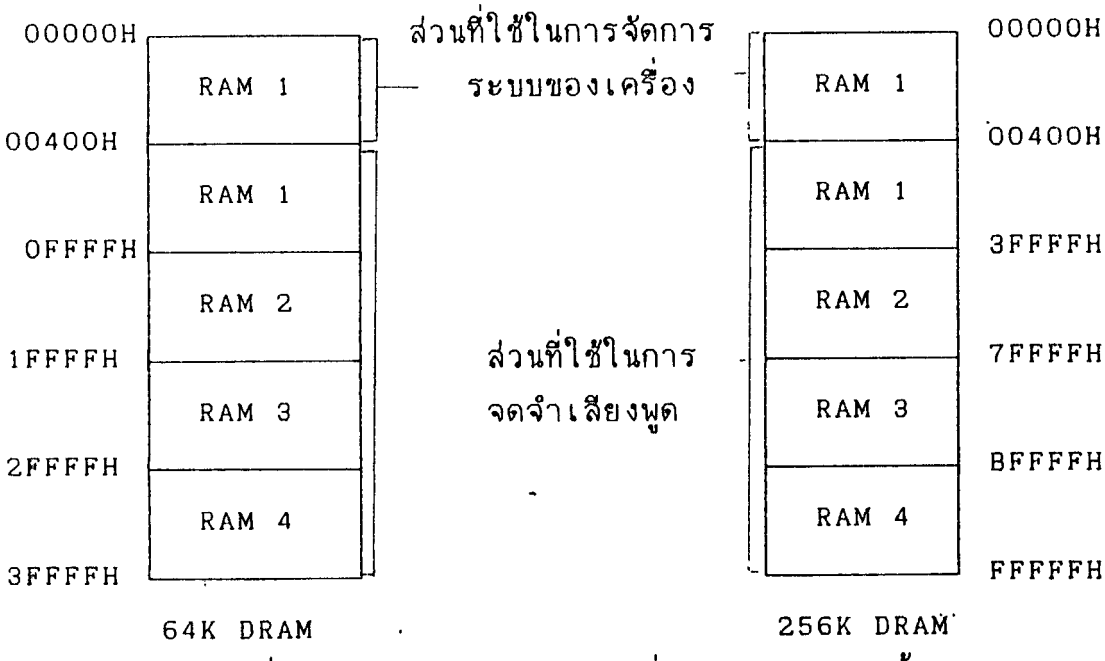
จากตารางที่ 1

KBPS	D7	D6
8	0	0
11	0	1
16	1	0
32	1	1

1. ถ้าเราเลือกสวิทช์ D_7_D_6 ไปที่ 0, 0 จะทำให้อัตราความเร็วของการแปลงข้อมูลเป็น 8K bit ต่อวินาที ทำให้อัดหรือเล่นได้นาน

ชนิดของ RAM	256K	M_2	M_1	ADDRESS ที่หยุด
64KDRAM ตัวที่ 1	0	0	0	0FFFFH
64KDRAM ตัวที่ 2	0	0	1	1FFFFH
64KDRAM ตัวที่ 3	0	1	0	2FFFFH
64KDRAM ตัวที่ 4	0	1	1	3FFFFH
250KDRAM ตัวที่ 1	1	0	0	3FFFFH
250KDRAM ตัวที่ 2	1	0	1	7FFFFH
250KDRAM ตัวที่ 3	1	1	0	BFFFFH
250KDRAM ตัวที่ 4	1	1	1	FFFFFH

ตารางที่ 2



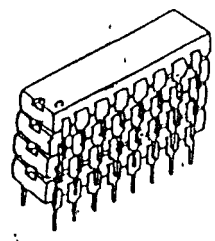
รูปที่ 4 แผนภูมิของ Memory ที่ใช้ในการทำงานทั้ง 2 แบบ

D_0	D_1	D_2	D_3	ช่องที่
0	0	0	0	1
0	0	0	1	2
0	0	1	0	3
0	0	1	1	4
0	1	0	0	5
0	1	0	1	6
0	1	1	0	7
0	1	1	1	8
1	0	0	0	9
1	0	0	1	10
1	0	1	0	11
1	0	1	1	12
1	1	0	0	13
1	1	0	1	14
1	1	1	0	15
1	1	1	1	16

ตารางที่ 3

ช่อง / ระยะเวลา	D_7	D_6
128 วินาที	0	0
93 วินาที	0	1
64 วินาที	1	0
32 วินาที	1	1

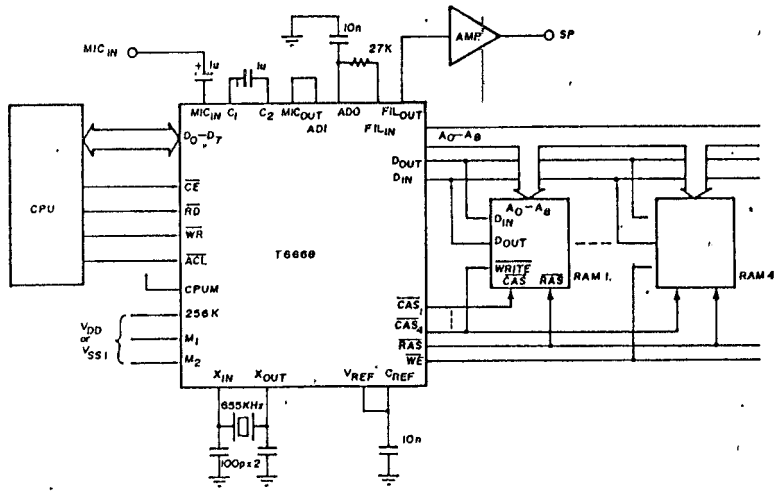
ตารางที่ 4



รูปที่ 6 วิธีการต่อ RAM เพิ่มเติม

3.1.3 การใช้งานในแบบธรรมดา

1. เปิดเครื่องจะเห็น LED ติดอยู่
2. กดสวิทช์ไปที่อัดค้างไว้ (CE จะต้องต่อกับกราวด์ด้วย)
3. เลือกช่องที่จะอัดเข้าไปโดยช่องที่จะอัดมีอยู่ 4 ตัว สวิทช์นี้เป็นไบนารี่โค๊ต ดังตารางที่ 3
4. เลือกสปีดโดยตั้ง D_7-D_6 ได้ตามต้องการ (เวลาที่แสดงนี้ใช้เมมโมรี่ 1M bit)



รูปที่ 4 ตัวอย่างวงจรการใช้ CPU เข้ามาควบคุมการทำงาน

5. กดปุ่มสวิทช์ START แล้วไฟที่ LED จะดับ แสดงว่าเครื่องกำลังอัดคำพูดเข้าไปเก็บ เมื่อพูดจนพอใจแล้วจึงกดสวิทช์ STOP อีกครั้งหนึ่งไฟที่ LED จะสว่างในกรณีที่เราพูดนานเกินกว่าเวลาที่กำหนดในข้อที่ 4 เมื่อถึงกำหนดเวลาเครื่องจะหยุดการอัดโดยอัตโนมัติ ไฟที่ LED จะสว่างขึ้นมาเพื่อบอกให้เรารู้เป็นการสิ้นสุดขั้นตอนการอัดใน 1 ช่อง

6. ถ้าเราต้องการอัดในช่องอื่น ๆ อีกก็ทำเช่นเดียวกัน ตั้งแต่ต้นจนถึงข้อ 5 (เวลารวมของแต่ละช่องต้องไม่เกินเวลาที่ได้กำหนดไว้)

7. การอ่านทำโดยการยกเลิกสวิทช์ WR ขึ้น (CE ต่อกราวด์เหมือนเดิม)

8. เลือกช่องที่จะอ่านและสปีด

9. กดสวิทช์ START เครื่องจะพูดตามที่อัดไว้ ถ้าเรากดสวิทช์ซ้ำกันหลายครั้ง ในระหว่างพูดเครื่องจะจำได้ว่ามีการกดสวิทช์ START ขึ้นเพียงครั้งเดียว และจะพูดซ้ำอีกเมื่อพูดจบ

10. เมื่อต้องการให้เครื่องพูดติดต่อกันทำโดยเลือกช่องแรกกด START เสร็จแล้วเปลี่ยนช่องแล้วกดสวิทช์ซ้ำอีกทีหนึ่ง เครื่องจะพูดซ้ำอีกตามต้องการได้

จากที่กล่าวมาข้างต้นจึงทำให้เครื่องนี้สามารถตัดต่อคำพูดได้ พูดซ้ำได้ เร่งหรือลดสปีดคำพูดได้ ทำให้เกิดเป็นเสียงแปลก ๆในซาวด์แทรกภาพยนตร์ได้ เครื่องนี้สามารถควบคุมได้จาก CPU โดยตรง ซึ่งทำให้สามารถไปประยุกต์ใช้งานต่าง ๆ ได้ตามต้องการ

3.1.4 การแก้ปัญหาเสียงหวีดในขณะบันทึกเสียง

ปัญหาหนึ่งที่เกิดกับชุดวิเคราะห์เสียงพูด คือเกิดเสียงหวีดขึ้นที่ลำโพง ทำให้เสียงที่บันทึกถูกรบกวน สาเหตุของเสียงหวีด เกิดจากการป้อนกลับของสัญญาณระหว่าง ไมค์กับลำโพง วิธีแก้ไขให้ต่อสวิทช์สำหรับตัดลำโพงออก ขณะที่ทำการบันทึกโดย จะใช้สวิทช์ตัวเดียวกับ SW_3 (REC) หรือต่อสวิทช์เพิ่มขึ้นต่างหากก็ได้

3.1.5 รายการอุปกรณ์

ตัวต้านทาน ขนาด 1/4W 5%

R_1	22 Kohm
R_2	27 Kohm
R_3	330 ohm
R_4	10 ohm

โพเทนชิโอมิเตอร์

VR_1	10 Kohm (เกือกม้าแบบนอนขนาดเล็ก)

ตัวเก็บประจุ

C_1-C_3, C_{12}, C_{13}	1 F/16V แทนทาลั่ม
C_4, C_{10}	.01 F/50V ไมล่าร์
C_5, C_6	.1 F/50V
C_7, C_8	100PF/50V เซรามิค
C_9	3.3 F/16V อีเลคโตรไลติคส์
C_{11}, C_{14}	220 F/10V อีเลคโตรไลติคส์

อุปกรณ์สารกึ่งตัวนำ

IC_1	T66668
IC_2	UM41256
IC_3	LM386
IC_4	LM7805
LED_1	ไดโอดเปล่งแสงสีแดง

อื่น ๆ

X-TAL คริสตอลความถี่ 650 KH_z คอนเดนเซอร์ไมค์ ลำโพงขนาด 8 โอห์ม สวิทช์กดติดปล่อยดับ 3 ตัว ดิพสวิทช์ 8 ขา ขั้วถ่าน 9V สายไฟ ฯลฯ

3.2 ส่วนวงจรการสแกนและการดีโค้ด

อุปกรณ์ชุดนี้จัดสร้างขึ้น เพื่อ ให้เครื่องเตือนภัยของเรา เตือนเราถึงระบบต่างๆ ของอุปกรณ์ที่ยังไม่พร้อม เช่น การนำไปใช้ในรถยนต์ เมื่อประตูรถเปิดแล้วปิดไม่สนิท หรือว่าเบรคมือยังขึ้นค้างอยู่และอื่นๆ อีกแล้วแต่ผู้นำไปใช้จะนำไปต่อเข้ากับส่วนใด

จากวงจรในรูปที่ ๑ แสดงการต่ออุปกรณ์ต่างๆ และอุปกรณ์ที่อยู่ภายในเส้นประทั้งหมด คือ ชุด IC พูดได้ กรอบสี่เหลี่ยมตัวที่ 1-9 คือไบนารี่โค๊ตสวิทช์ เป็นสวิทช์ที่หมุนเลือกค่าได้ค่าต่างๆ จะออกทางขา 1-2-4-8 ของตัวสวิทช์โดยมีขาร่วม (COMMON) อยู่อีกขาหนึ่งใช้ต่อกับไฟหรือกราวด์ แล้วแต่ชนิดของสวิทช์ นี้ในวงจรนี้ไบนารี่โค๊ตสวิทช์ได้ทุกแบบไม่ว่าจะเป็นชนิดไฟบวกหรือชนิดไฟลบหรือชนิด 10 จุด และชนิด 16 จุด โดยไม่ต้องเปลี่ยนแปลงวงจรแต่อย่างใดไดโอดที่ต่ออยู่กับไบนารี่โค๊ตใช้ป้องกันไฟย้อนกลับไปยังตัวอื่น ซึ่งจำทำให้โวลท์เตจบางช่วงลดลงไปเนื่องจากเกิดการขนานกันของ R_1-R_9, R_1-R_9 เป็นโหลดลดแรงดันเพื่อไปป้อนให้ไบนารี่โค๊ต Q_1 เป็นตัวขับรีเลย์เพื่อให้ไฟที่ป้อนเข้า LED_1 เป็นตรงกันข้าม D_{37} ใช้ป้องกันไฟสูงที่จะเกิดจากรีเลย์เมื่อปิดและเปิดประตู IC_1 เป็นตัวสแกนหาจุดที่จะทำให้เครื่องเตือน IC_2 เป็นตัวสร้างสัญญานาฬิกาให้กับ IC_1

3.2.1 การทำงาน

ชุดวิเคราะห์เสียงพูด T6668 จะสามารถอัดเสียงต่างๆ ได้โดยผ่านทางไมค์ แล้วเข้าไปเก็บไว้ใน RAM โดยอัดได้สูงสุด 16 ช่อง และนานสุด 128 วินาที โดยการที่ T6668 สามารถเลือกช่องที่จะเล่นหรืออัดได้โดยอิสระ เราจึงใช้ไบนารี่โค๊ตสวิทช์เป็นตัวแปลงเลือกช่องต่าง ๆกัน โดยเราจะตั้งไว้ที่ 1-9 เราจะไม่ตั้งช่อง 0 เพราะว่าเมื่อเราเล่นกลับในขณะที่ทุก ๆ อย่างเป็นปกติ เครื่องจะเริ่มที่ช่อง 0 ทุกๆ ครั้งเนื่องจากช่องนี้สามารถเริ่มต้นได้โดยไม่จำเป็นต้องมีไฟจากทางอินพุทเข้ามา ดังนั้นถ้าเราอัดเข้าในช่องนี้เครื่องจะพูดที่ช่องนี้ติดต่อกันตลอดไปไม่มีการหยุด และทำให้ไม่สามารถรับอินพุทอื่น ๆ ได้ถ้าข้อความในช่องนี้ยาวพอ

อินพุทช่องที่ 1 เมื่อมีไฟเข้ามาจะทำให้ Q_1 นำกระแส รีเลย์จะเปิดหน้าคอนแทค ไม่มีไฟไปยัง LED_1 ซึ่งในขณะนี้ LED ทุกตัวจะดับหมด IC_2 เป็นตัวสร้างสัญญาณนาฬิกาขึ้นมาโดยกำหนดความถี่จาก R_{20}-R_{21} และ C_2 แล้วส่งไปยังสวิทช์ SW_5 เพื่อเลือกแล้วส่งไปเป็นสัญญาณนาฬิกาของ IC_1 และเป็นสัญญาณเริ่มต้นให้กับ T6668 IC_1 รับสัญญาณนาฬิกามาแล้วนับเปลี่ยนเป็นดิจิตอลเพื่อสแกนหาว่าช่องไหนมีสัญญาณไฟปรากฏขึ้นที่อินพุทบ้าง โดยผ่าน R_{22} ถึงR_{31} เพื่อเป็นไบอัสให้แก่ Q_2-Q_{10} ในกรณีที่อินพุท 2 ถึง 9 เกิดมีไฟปรากฏขึ้นจะทำให้ช่องอื่นๆ มีกระแสไหลผ่าน R 10 ohm,R 680 ohm,LEDและทรานซิสเตอร์ เมื่อ C_1 สแกนมาถึงจะเกิดโวลท์เตจตกคร่อม R680 ohm ขึ้นประมาณ 4Vและไฟ 4V นี้จะถูกไบนารี่โค๊ตสวิทช์แปลงเป็นระหัส BCD แล้วส่งเข้าไปยัง T6668 ซึ่ง T6668 จะรับรู้ช่วงที่ต้องการนั้นและเริ่มต้นที่ช่องนั้นๆ ให้

3.2.2 การนำไปใช้งาน

ชุดเตือนภัยพูดได้ชุดนี้จำนำไปติดตั้งตามที่ต้องการได้โดยใช้ไฟ 12 V การต่อไฟมาเข้าชุดนี้ควรทำสวิทช์ตัดต่อไว้ด้วย เพราะว่าสวิทช์นี้จะใช้เป็นสวิทช์ลบความจำทั้งหมดออก เมื่อไม่ต้องการให้พูดหรือต้องการเปลี่ยนแปลงข้อมูลใหม่จะต้องลบข้อมูลเก่าออกก่อนเพื่อไม่ให้ข้อมูลเก่ากับใหม่ปนกัน

จากนั้นก็ต่อไฟเลี้ยง 12V เข้าที่ชุดสแกนเพียงชุดเดียวพอแล้วต่ออินพุทเข้ากับจุดที่ต้องการต่างๆ ภายในรถโดยจุดที่ 1 เข้ากับสวิทช์ประตูนอกจากนั้นก็แล้วแต่ความต้องการและความสะดวก เมื่อต่อเสร็จแล้วก็จะต้องทำการใส่ข้อมูลเสียงพูดลงไปในช่องต่างๆ โดยเริ่มทำดังต่อไปนี้

1. ตั้งสวิทช์ SW_5 ไปที่ manual แล้วคอยหรือปิดสวิทช์ SW_1 ไว้ก่อน

2. เปิดไฟเข้าเครื่องแล้วทำให้อินพุทที่ต่อทุก ๆ อินพุทมีไฟปรากฏขึ้น เราจะเห็น LED ติดอยู่ 1 ดวง ถ้าไม่มีดวงใดติดเลยแสดงว่าเครื่องอยู่ที่ช่อง0 ให้กด SW_4 ให้ช่องที่ 1 ติด จากนั้นกให้ไล่ไปทีละช่องโดยกด SW_4 ทีละครั้งไป จนครบทุกช่องในขะนี้จะต้องสังเกตุด้วยว่า LED ที่แสดงการทำงานของ T6668 จะต้องติดสว่างอยู่ตลอดเวลาถ้าหาก LED ตัวนี้ดับไปที่ช่องใด ๆ แสดงว่าความจำบางช่องยังไม่ว่างให้ปิดสวิทช์ไฟเสี้ยงเพื่อลบข้อมูลนั้นออกเสีย แล้วเปิดใหม่และตรวจดู ตามข้อนี้ใหม่จนแน่ใจว่าทุกช่องว่างแล้ว จึงลงมือทำขั้นตอนต่อไป

3. เลือกช่องที่จะอัดเข้าไปโดยอัดจากช่อง 1 ไปยังช่อง 9ให้กดSW_4 ไปจน LED ดับหมดคืออยู่ช่อง 0

4. กด SW_3 เป็นการรีเซ็ทระบบ T6668 ก่อนเพื่อให้สามารถอัดเข้าไปได้

5. โยก SW_1 ไปเป็นการต่อวงจรเพื่ออัด เมื่อพร้อมจะพูดแล้วให้กด SW_4 1 ครั้งแล้ว เริ่มพูดได้เลย (เมื่อขณะพูดไมค์มักจะหอน เพราะว่าไมค์ใกล้ลำโพงมากเกินไปควรจะใช้สวิทช์โยก 2 ชั้นเป็นSW_1 เพื่อขณะทำการอัดจะตัดลำโพงออกไปก่อน)สังเกตุว่า LED_1 จะสว่างขึ้นคือ ขณะนี้เรากำลังอัดเข้าไปช่องที่ 1 อยู่

6. เมื่อพูดจนพอแล้วให้กด SW_2 เพื่อหยุดทำการอัด

7. มาถึงตรงนี้แล้วควรทำการตรวจสอบดูว่า การอัดเข้าไปนั้นใช้ได้หรือไม่โดยทำดังนี้

7.1 เปลี่ยนสวิทช์อัดไปตำแหน่ง OFF และต่อลำโพง

7.2 กด SW_4 วนไปจนสุดจนถึงช่อง 0 แล้วกดอีก 1 ครั้ง ไฟจะมาติดอยู่ที่ 1 และ LED ที่ชุด T6668 จะต้องดับและมีเสียงพูดของเราที่อัดเข้าไปดังออกมา

7.3 ถ้าหาก LED ของ T6668 ดับแต่ไม่มีเสียงพูดออกมาแสดงว่าอาจมีข้อผิดพลาดในการใช้สวิทช์ต่างๆ ขอให้เปิดไฟเสี้ยงเพื่อลบข้อมูลออกแล้วกลับไปเริ่มต้นข้อ 1 ใหม่

8. จากในข้อที่ 7 เมื่อทำการทดสอบแล้วใช้ได้ ให้ทำการอัดช่องต่อ

ไปได้เลยโดยตั้ง SW_1 ไปยังตำแหน่ง ON เพื่ออัดอีกครั้งหนึ่ง(จะต้องตั้งช่องให้ LED_1 ติดอยู่คือ เตรียมอัดช่อง 2) จากนั้นก็กด SW_4 1 ครั้ง แล้วเริ่มพูดเข้าไปเก็บไว้ในช่องที่ 2 สังเกตุ LED_2 จะต้องติดเมื่อเรากดสวิทซ์หยุด

9. ขณะนี้เราจะอัดช่องต่าง ๆ ที่เหลืออยู่โดยจะทำการอัดติดต่อกันไปเป็นช่วงๆ ตามลำดับให้ทำดังนี้

9.1 กด SW_1 แล้วพูดลงยังช่องต่อไปโดยสังเกตุ LED จะเลื่อนไป 1 ตำแหน่ง

9.2 เมื่อพอแล้วให้กด SW_2 เป็นการหยุด (stop)ทุกครั้ง

10. เมื่ออัดครบทุกๆ ช่องแล้ว(บางช่องที่ไม่ได้ใช้ไม่จำเป็นต้องอัดเข้าไปเครื่องก็ทำงานได้) ขอให้ยกเลิกไฟที่อินพุททุกๆ อินพุทแล้วโยก SW_2 ไปยังตำแหน่ง auto เพื่อทำการสแกนหาตำแหน่งของอินพุทที่จะพูดต่อไป

11. ทดลองทำให้อินพุทใดอินพุทหนึ่งมีไฟปรากฏขึ้น จะเห็น LED ที่ตำแหน่งนั้นกระพริบแล้วจะมีเสียงพูดขึ้นมาตามที่เราอัดไว้ เมื่อเราปิดอินพุทนั้นสักครู่หนึ่งเสียงกจะเงียบลง

12. ทดลองเปิดทุกๆ อินพุทพร้อมๆ กันหรือหลายๆ อินพุทพร้อมกันจะเห็น LED วิ่งไปเป็นเส้นเรื่อยๆ พร้อมกับมีเสียงพูดอินพุทใด อินพุทหนึ่งออกมาเมื่อเราปิดอินพุทนั้นจะมี อินพุทอื่นที่ยังสว่างอยู่พูดขึ้นมาแทน

การประกอบ

จะต้องประกอบและทดลองชุด T6668 ให้ใช้งานได้เสียก่อน จากนั้นจึงลงมือประกอบชุดสแกนต่อไป เมื่อประกอบเสร็จแล้วจึงนำเอาทั้ง 2 ชุดมาต่อเข้าด้วยกันโดยใช้ลวดจั้มจุดที่ตรงกันขึ้นถึงกันแล้วจึงทดลองรวมกันอีกครั้งหนึ่งดยใช้ไฟ 12V ป้อนเข้าที่จุดไฟเข้า และอินพุท 2-9 แล้วทำการเหมือนการนำไปใช้งาน

3.2.3 รายการอุปกรณ์

ตัวต้านทาน 1/4 วัตต์ 5%

R_1-R_9	680 ohm
R_{10}-R_{18}	10 ohm
R_{19}-R_{20}	4.7 Kohm

R_{21}	1 Mohm
$R_{22}-R_{31}$	3.3 Kohm

คาปาซิเตอร์

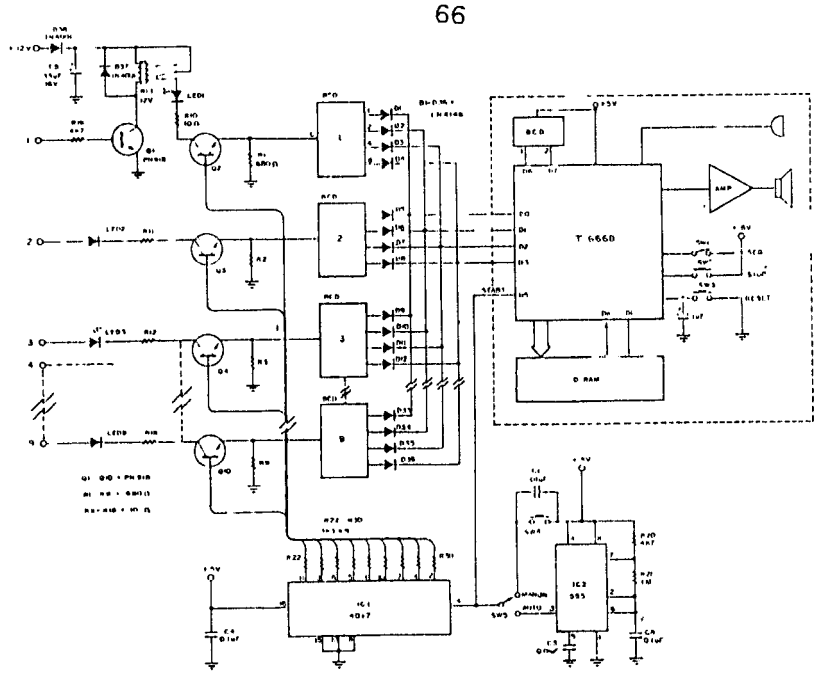
C_1, C_3	.01 F/50V ไมล่าร์
C_2, C_4	.1 F/50V ไมล่าร์
C_5	33 F/16V อีเลคโตรไลติคส์

อุปกรณ์สารกึ่งตัวนำ

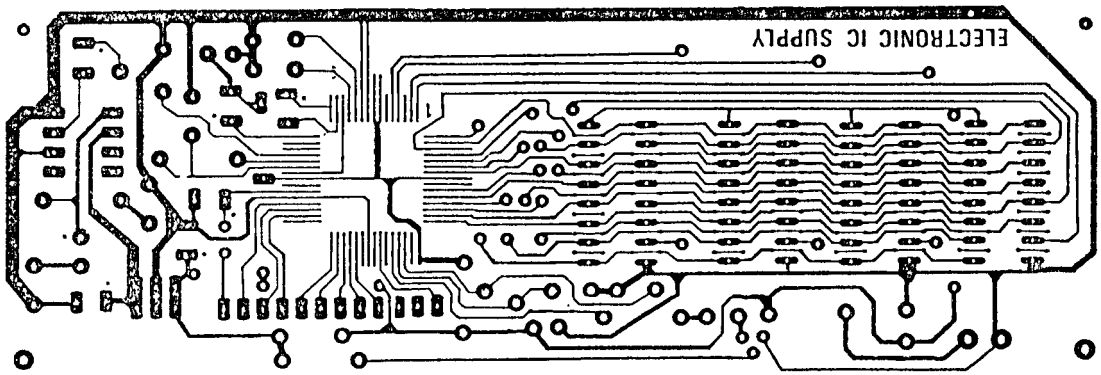
IC_1	CD4017
IC_2	NE555
TR_1-TR_{10}	PN918 หรือ 2N918
D_1-D_{36}	1N4148
D_{37-D38}	1N4001
LED_1-LED_{10}	ไดโอดเปล่งแสง

อื่น ๆ

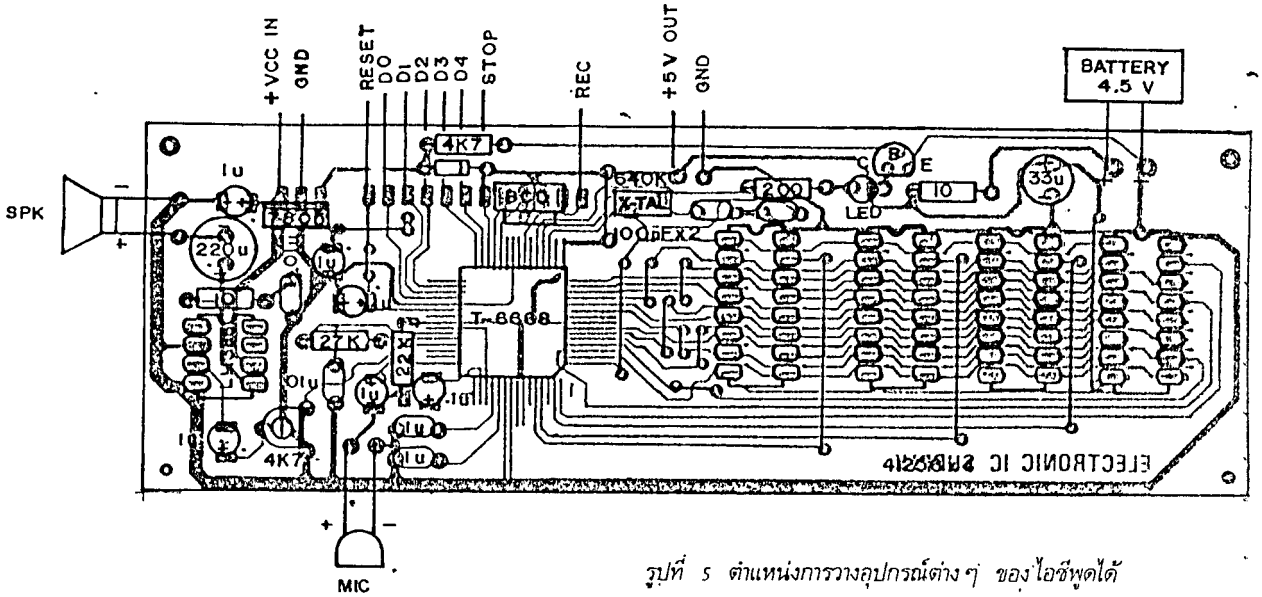
ไบนารี่โค๊ตสวิทช์	9 ตัว
สวิทช์กดติดปล่อยดับ	3 ตัว
สวิทช์โยก 1 ชั้น	1 ตัว
สวิทช์โยก 2 ชั้น	1 ตัว
รีเลย์ 12 ชั้น	1 ตัว
ชุดไอซีพูดได้ T6668	1 ชุด
แผ่นปริ้น,สายไฟ ฯลฯ	



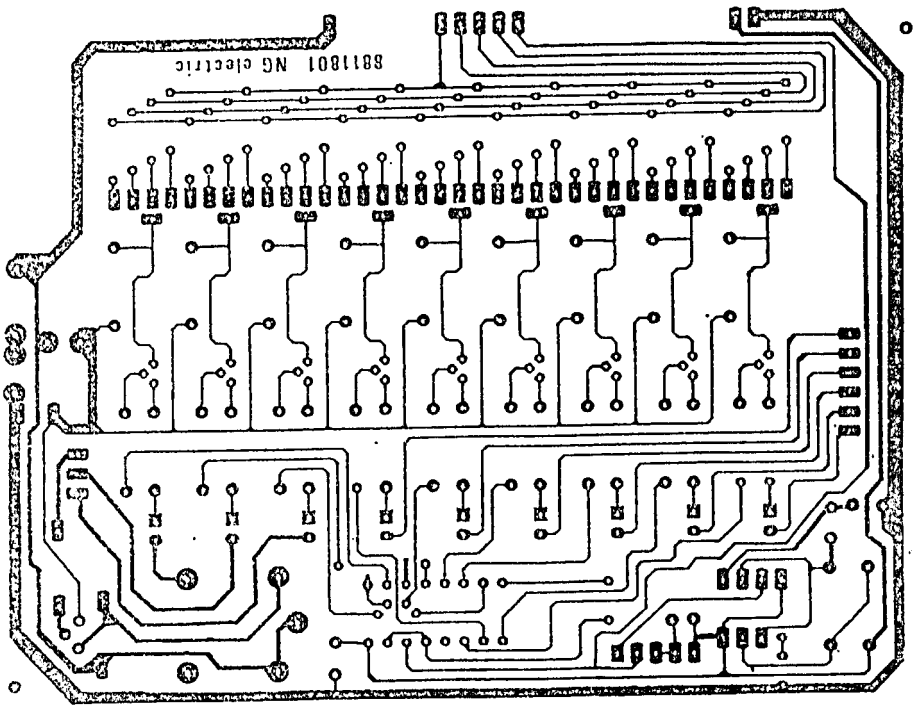
รูปที่ 1 วงจรสมบูรณ์ของเครื่องเตือนภัยพูดได้



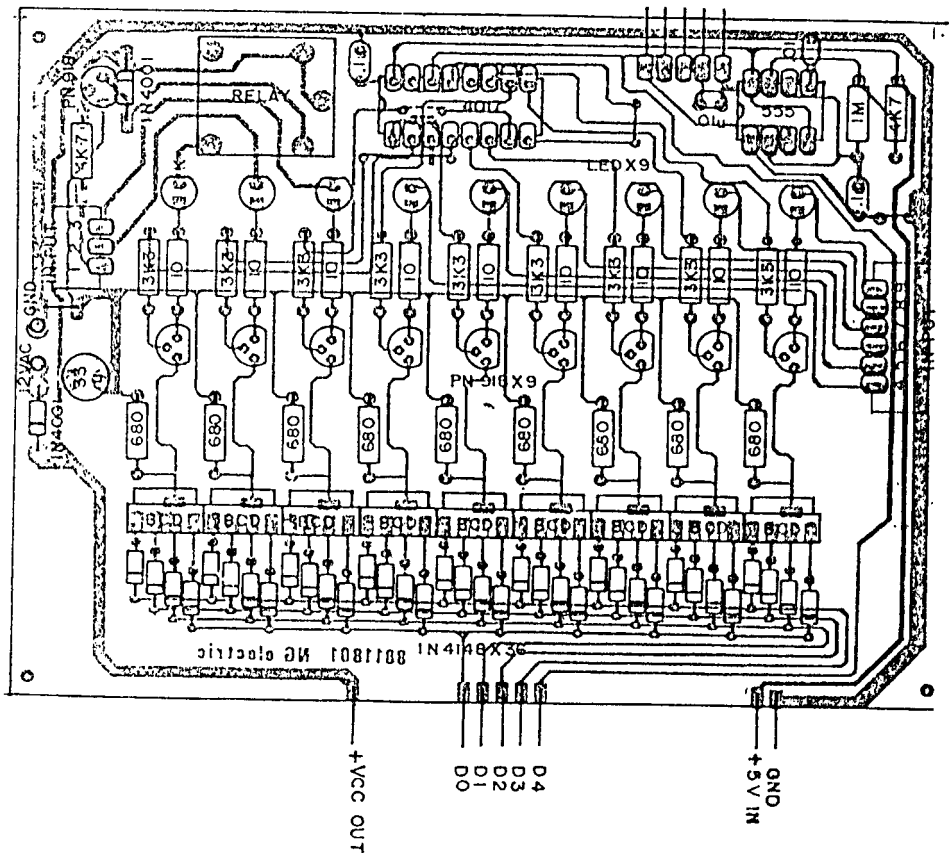
รูปที่ 4 ลายปริ้นของไอซีพูดได้ T6668



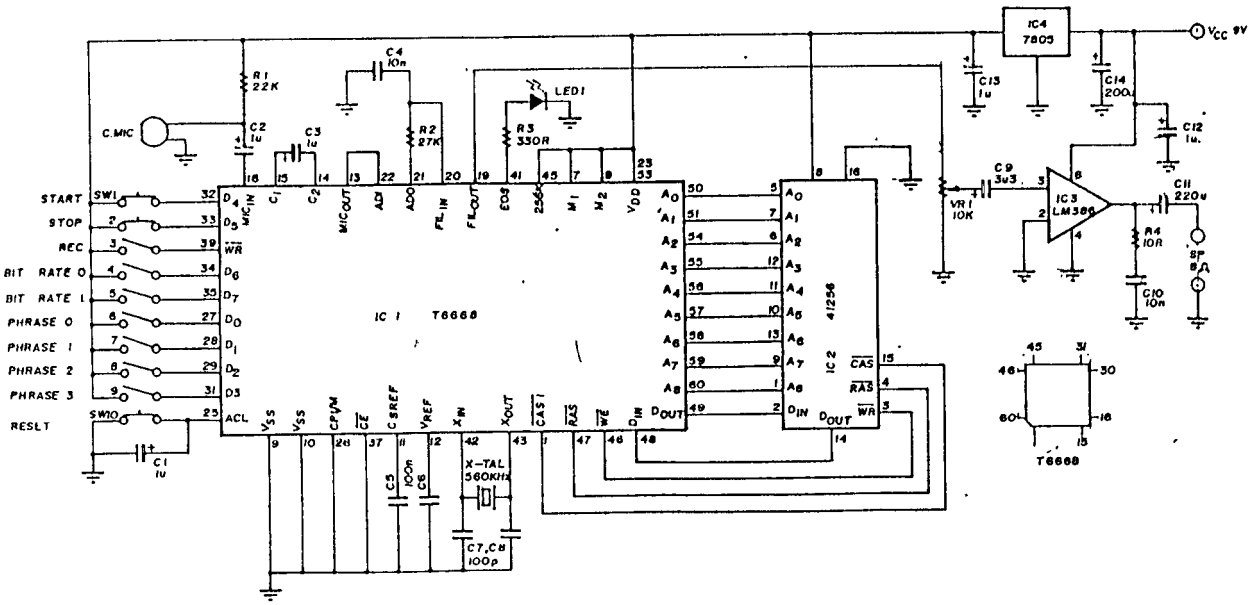
รูปที่ 5 ตำแหน่งการวางอุปกรณ์ต่าง ๆ ของไอซีพูดได้



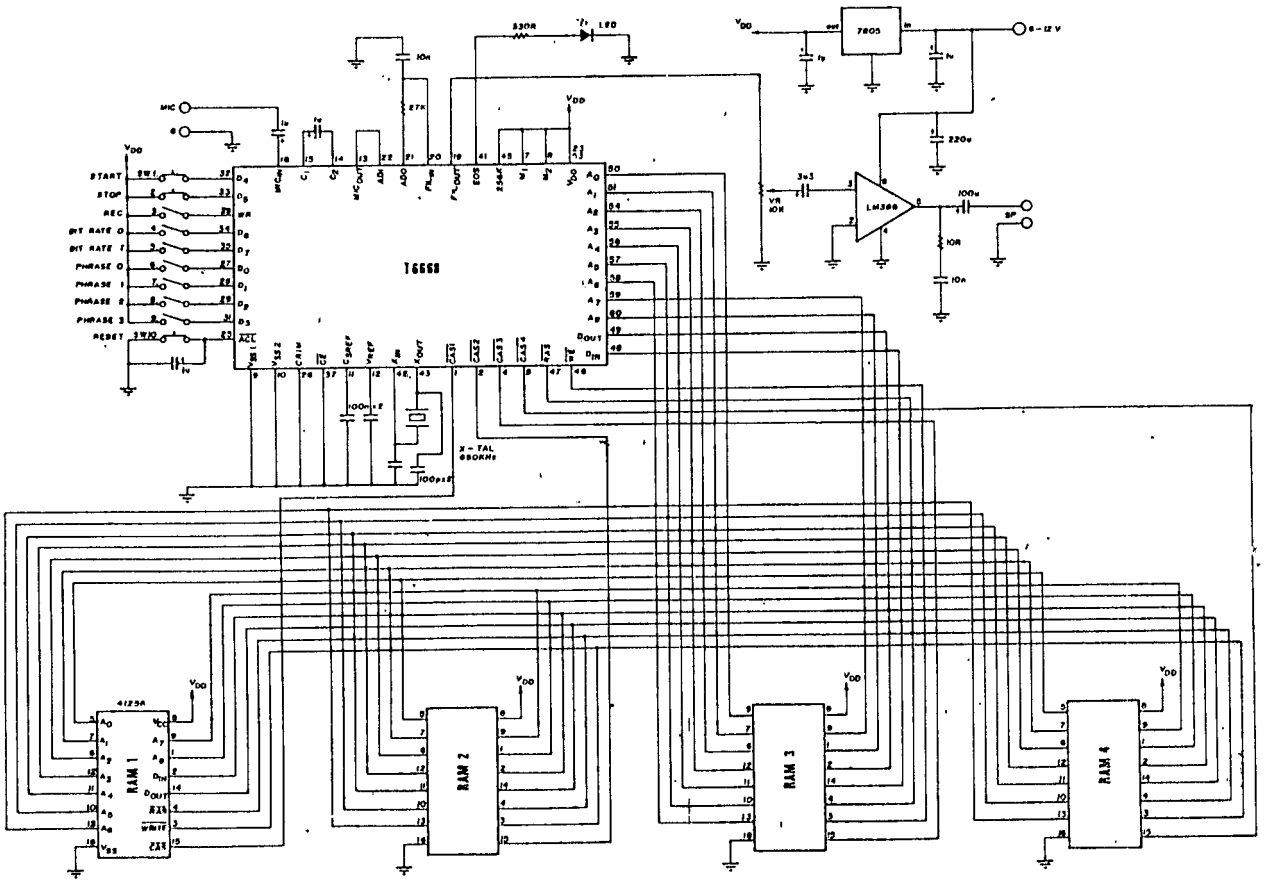
รูปที่ 2 ลายปริ้นของชุดสเกน



รูปที่ 3 ตำแหน่งการวางอุปกรณ์ต่าง ๆ ของชุดสเกน



รูปที่ 2 วงจรสมบูรณ์ของชุดวิเคราะห์เสียงพูด



รูปที่ 3 วงจรสมบูรณ์ของชุดวิเคราะห์เสียงพูดเมื่อต่อ RAM 4 ตัว

บทที่ 4
สรุปและวิจารณ์

โครงงานที่ทำนี้ก็มีปัญหาบ้างพอควร เกี่ยวกับเรื่องการจัดหาอุปกรณ์ การสร้างและระยะเวลาในการดำเนินงาน ซึ่งปัญหาแรกที่เกี่ยวกับการจัดหาอุปกรณ์ก็คือ อุปกรณ์บ้างตัวนั้นหาซื้อตามท้องตลาดได้ยาก เพราะเป็นอุปกรณ์ที่ใช้เฉพาะงาน เช่น ไอซี T6668 ซึ่งเป็น ไอซีบันทึกเสียงพูดสำเร็จรูป ปัญหาอันที่สองก็คือปัญหาเกี่ยวกับการสร้างนั้น ไม่เป็นไปตามจุดประสงค์ที่ได้ออกแบบวงจรไว้ คือให้วงจรสามารถทำการสแกนหาจุดที่ต้องการได้เองโดยอัตโนมัติ ซึ่งจุดนี้เป็นจุดที่ต้องใช้เวลาพอสมควรของการทำ Project ทั้งหมด แต่ถ้าใช้มือปรับเปลี่ยนที่ Binary Switch (ทำงานแบบ manual) วงจรจะสามารถ Decode และทำงานได้ตามที่ออกแบบไว้ สำหรับแบบ Auto นั้น ก็สามารถแก้ไขได้ที่วงจรตัวกำเนิดสัญญาณนาฬิกา คือที่วงจร IC 555 โดยการเปลี่ยนค่า R ที่ขา 6 หรือ 7 ขาใดขาหนึ่งของ IC 555 และปัญหาเกี่ยวกับการสร้างอีกอันหนึ่งก็คือ เวลาบันทึกเสียงจะเกิดการหวีดหอน หรือเกิดสัญญาณ Feedblack จากลำโพงไปสู่ไมค์ซึ่งสามารถแก้ไขได้ โดยอาจจะใช้สวิชท์ตัดต่อสายลำโพง หรือใช้วงจร - detector ขณะบันทึกไม่ต้องให้ภาคขยายทำงานก็ได้ ส่วนปัญหาอันสุดท้ายก็คือระยะเวลาในการทำโครงงานนี้ค่อนข้างน้อย เพราะว่าพวกคณะผู้จัดทำนี้มีระบบการเรียนไม่เหมือนกับนักศึกษาตามหลักสูตรภาคปกติ พวกข้าพเจ้ามีระยะเวลาเรียนเพียงแค่ประมาณ 3 เดือนเศษเท่านั้น จึงทำให้มีผลกระทบต่อการทำโครงงานในวิชา PROJECT II ในเทอมนี้ด้วย แต่ถึงแม้ว่าจะมีปัญหาอย่างไรก็ตาม ทางคณะผู้จัดทำก็ได้พยายามเร่งทำ จนสำเร็จตามวัตถุประสงค์ที่ตั้งไว้

ภาคผนวก

ภาคผนวก

ภาคผนวก

262,144 WORD X 1 BIT DYNAMIC RAM

N-CHANNEL SILICON GATE MOS

TMM41256C-12
TMM41256C-15

* This is advance information and specifications are subject to change without notice.

DESCRIPTION

The TMM41256C is the new generation dynamic RAM organized 262,144 words by 1 bit, it is successor to the industry standard TMM4164P.

The TMM41256C utilizes TOSHIBA's N-channel Silicon gate process technology as well as advanced circuit techniques to provide wide operating margins, both internally and to the system user.

Multiplexed address inputs permit the TMM-41256C to be packaged in a standard 16 pin ceramic DIP. This package size provides high system bit densities and is compatible with widely available automated testing and insertion equipment.

System oriented features include single power supply of 5V ±10% tolerance, direct interfacing capability with high performance logic families such as Schottky TTL.

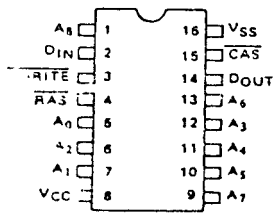
FEATURES

- 262,144 words by 1 bit organization
- Fast access time and cycle time

DEVICE	t_{RAC}	t_{CAC}	t_{RC}
TMM41256C-12	120 ns	60 ns	220 ns
TMM41256C-15	150 ns	75 ns	260 ns

- Single power supply of 5V ±10% with a built-in V_{BB} generator
- Low Power:
  330mW Operating (MAX.) (TMM41256C-12)
  275mW Operating (MAX.) (TMM41256C-15)
  27.5mW Standby (Max.)
- Industry standard 16 pin ceramic DIP
- Output unlatched at cycle end allows two-dimensional chip selection
- Common I/O capability using "EARLY WRITE" operation
- Read-Modify-Write, $\overline{RAS}$-only refresh, Hidden refresh, and Page Mode capability.
- All inputs and output TTL compatible
- 256 refresh cycles/4ms

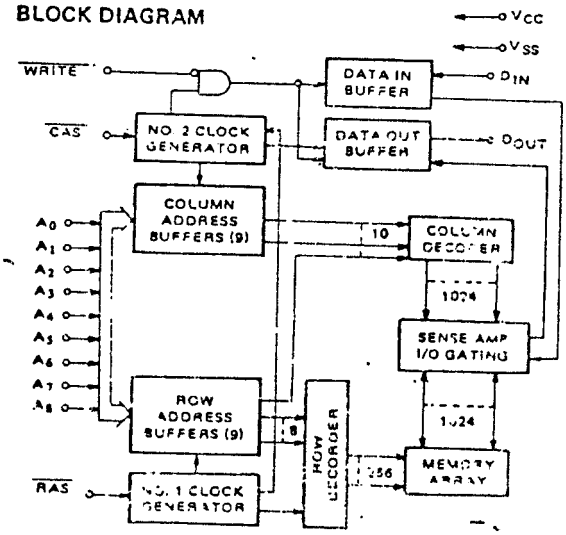
PIN CONNECTION (TOP VIEW)



PIN NAMES

$A_0 \sim A_8$	Address Inputs
$\overline{CAS}$	Column Address Strobe
D_{IN}	Data In
D_{OUT}	Data Out
$\overline{RAS}$	Row Address Strobe
$\overline{WRITE}$	Read/Write Input
V_{CC}	Power (+5V)
V_{SS}	Ground

BLOCK DIAGRAM



ABSOLUTE MAXIMUM RATINGS

ITEM	SYMBOL	RATING	UNITS	NOTES
Input and Output Voltage	V_{IN}, V_{OUT}	−1 ~ 7	V	1
Power Supply Voltage	V_{CC}	−1 ~ 7	V	1
Operating Temperature	T_{OPR}	0 ~ 70	°C	1
Storage Temperature	T_{STG}	−55 ~ 150	°C	1
Soldering Temperature · Time	T_{SOLDER}	260 · 10	°C · sec	1
Power Dissipation	P_D	1	W	1
Short Circuit Output Current	I_{OUT}	50	mA	1

RECOMMENDED DC OPERATING CONDITIONS (Ta = 0 ~ 70°C)

SYMBOL	PARAMETER	MIN.	TYP.	MAX.	UNITS	NOTES
V_{CC}	Supply Voltage	4.5	5.0	5.5	V	2
V_{IH}	Input High Voltage	2.4		6.5	V	2
V_{IL}	Input Low Voltage	−1.0		0.8	V	2

DC ELECTRICAL CHARACTERISTICS (V_{CC} = 5V ± 10%, Ta = 0 ~ 70°C)

SYMBOL	PARAMETER		MIN.	MAX.	UNITS	NOTES
I_{CC1}	OPERATING CURRENT Average Power Supply Operating Current ($\overline{RAS}$, $\overline{CAS}$ Cycling: t_{RC} = t_{RC} MIN.)	TMM41256C-12		60	mA	3, 4
		TMM41256C-15		50		
I_{CC2}	STANDBY CURRENT Power Supply Standby Current ($\overline{RAS}$ = $\overline{CAS}$ = V_{IH})			5	mA	
I_{CC3}	REFRESH CURRENT Average Power Supply Current, Refresh Mode ($\overline{RAS}$ Cycling, $\overline{CAS}$ = V_{IH} : t_{RC} = t_{RC} MIN.)	TMM41256C-12		45	mA	3
		TMM41256C-15		40		
I_{CC4}	PAGE MODE CURRENT Average Power Supply Current, Page Mode ($\overline{RAS}$ = V_{IL}, $\overline{CAS}$ Cycling : t_{PC} = t_{PC} MIN.)	TMM41256C-12		45	mA	3, 4
		TMM41256C-15		40		
$I_{I(L)}$	INPUT LEAKAGE CURRENT Input Leakage Current, any input (0V ≦ V_{IN} ≦ 6.5V, All Other Pins Not Under Test = 0V)		−10	10	μA	
$I_{O(L)}$	OUTPUT LEAKAGE CURRENT (D_{OUT} is disabled, 0V ≦ V_{OUT} ≦ +5.5V)		−10	10	μA	
V_{OH}	OUTPUT LEVEL Output "H" Level Voltage (I_{OUT} = −5mA)		2.4		V	
V_{OL}	OUTPUT LEVEL Output "L" Level Voltage (I_{OUT} = 4.2mA)			0.4	V	

ELECTRICAL CHARACTERISTICS AND RECOMMENDED OPERATING CONDITIONS

(V_{CC} = 5V ± 10%, Ta = 0 ~ 70°C) (Notes 5, 6, 7)

SYMBOL	PARAMETER	TMM41256C-12		TMM41256C-15		UNITS	NOTES
		MIN.	MAX.	MIN.	MAX.		
t_{RC}	Random Read or Write Cycle Time	220	–	260	–	ns	
t_{RWC}	Read-Write Cycle Time	240	–	285	–	ns	
t_{RMW}	Read-Modify-Write Cycle Time	260	–	310	–	ns	
t_{PC}	Page Mode Cycle Time	120	–	145	–	ns	
t_{RAC}	Access Time from $\overline{RAS}$	–	120	–	150	ns	8, 10
t_{CAC}	Access Time from $\overline{CAS}$	–	60	–	75	ns	9, 10
t_{OFF}	Output Buffer Turn-Off Delay	0	35	0	40	ns	11
t_T	Transition Time (Rise and Fall)	3	50	3	50	ns	6
t_{RP}	$\overline{RAS}$ Precharge Time	90	–	100	–	ns	
t_{RAS}	$\overline{RAS}$ Pulse Width	120	10,000	150	10,000	ns	
t_{RSH}	$\overline{RAS}$ Hold Time	60	–	75	–	ns	
t_{CSH}	$\overline{CAS}$ Hold Time	120	–	150	–	ns	
t_{CAS}	$\overline{CAS}$ Pulse Width	60	10,000	75	10,000	ns	
t_{RCD}	$\overline{RAS}$ to $\overline{CAS}$ Delay Time	25	60	25	75	ns	13
t_{CRP}	$\overline{CAS}$ to $\overline{RAS}$ Precharge Time	0	–	0	–	ns	
t_{CPN}	$\overline{CAS}$ Precharge Time	25	–	25	–	ns	
t_{CP}	$\overline{CAS}$ Precharge Time (for Page Mode Cycle Only)	50	–	60	–	ns	
t_{ASR}	Row Address Set-Up Time	0	–	0	–	ns	
t_{RAH}	Row Address Hold Time	15	–	15	–	ns	
t_{ASC}	Column Address Set-Up Time	0	–	0	–	ns	
t_{CAH}	Column Address Hold Time	35	–	45	–	ns	
t_{AR}	Column Address Hold Time Referenced to $\overline{RAS}$	95	–	120	–	ns	
t_{RCS}	Read Command Set-Up Time	0	–	0	–	ns	
t_{RCH}	Read Command Hold Time Referenced to $\overline{CAS}$	0	–	0	–	ns	12
t_{RRH}	Read Command Hold Time Referenced to $\overline{RAS}$	15	–	20	–	ns	12
t_{WCH}	Write Command Hold Time	35	–	45	–	ns	
t_{WCR}	Write Command Hold Time Referenced to $\overline{RAS}$	95	–	120	–	n	
t_{WP}	Write Command Pulse Width	35	–	45	–	ns	
t_{RWL}	Write Command to $\overline{RAS}$ Lead Time	35	–	45	–	ns	
t_{CWL}	Write Command to $\overline{CAS}$ Lead Time	35	–	45	–	ns	
t_{DS}	Data-In Set-Up Time	0	–	0	–	ns	14
t_{DH}	Data In Hold Time	35	–	45	–	n	14
t_{DHR}	Data-In Hold Time Referenced to $\overline{RAS}$	95	–	120	–	ns	
t_{REF}	Refresh Period	–	4	–	4	ms	
t_{WCS}	Write Command Set-Up Time	−10	–	−10	–	ns	15
t_{CWD}	$\overline{CAS}$ to $\overline{WRITE}$ Delay	40	–	50	–	ns	15
t_{RWD}	$\overline{RAS}$ to $\overline{WRITE}$ Delay	100	–	125	–	ns	15

CAPACITANCE

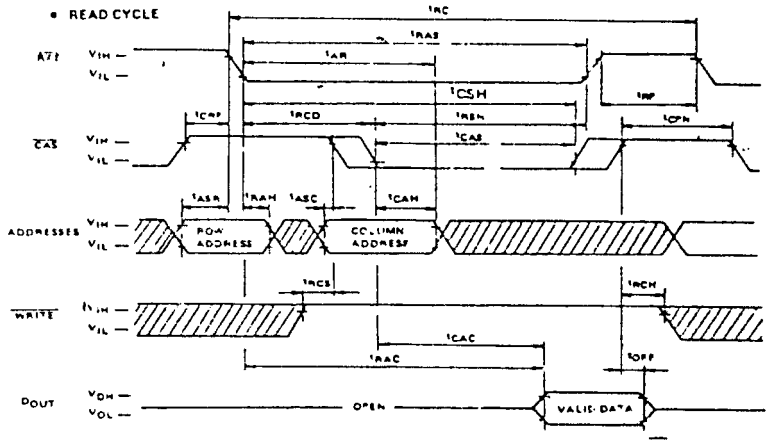
(V_{CC} = 5V ±10%, f = 1MHz, T_a = 0 ~ 70°C)

SYMBOL	PARAMETER	MIN.	MAX.	UNITS
C_{I1}	Input Capacitance ($A_0 \sim A_8$, D_{IN})		6	pF
C_{I2}	Input Capacitance ($\overline{RAS}$, $\overline{CAS}$, $\overline{WRITE}$)		7	pF
C_O	Output Capacitance (D_{OUT})		7	pF

NOTES

1. Stresses greater than those listed under "Absolute Maximum Ratings" may cause permanent damage to the device.
2. All voltages are referenced to V_{SS}.
3. I_{CC1}, I_{CC3}, I_{CC4} depend on cycle rate.
4. I_{CC1}, I_{CC4} depend on output loading. Specified values are obtained with the output open.
5. An initial pause of 200μs is required after power-up followed by any 8 $\overline{RAS}$ cycles before proper device operation is achieved.
6. AC measurements assume t_T = 5 ns.
7. V_{IH} (min.) and V_{IL} (max.) are reference levels for measuring timing of input signals. Also, transition times are measured between V_{IH} and V_{IL}.
8. Assumes that $t_{RCD} \leqq t_{RCD}$ (max.). If t_{RCD} is greater than the maximum recommended value shown in this table, t_{RAC} will increase by the amount that t_{RCD} exceeds the value shown.
9. Assumes that $t_{RCD} \geqq t_{RCD}$ (max.)
10. Measured with a load equivalent to 2 TTL loads and 100pF
11. t_{OFF} (max.) defines the time at which the output achieves the open circuit condition and is not referenced to output voltage levels.
12. Either t_{RCH} or t_{RRH} must be satisfied for a read cycle.
13. Operation within the t_{RCD} (max.) limit insures that t_{RAC} (max.) can be met. t_{RCD} (max.) is specified as a reference point only: If t_{RCD} is greater than the specified t_{RCD} (max.) limit, then access time is controlled exclusively by t_{CAC}.
14. These parameters are referenced to $\overline{CAS}$ leading edge in early write cycles and to $\overline{WRITE}$ leading edge in read-write or read-modify-write cycles.
15. t_{WCS}, t_{CWD} and t_{RWD} are not restrictive operating parameters. They are included in the data sheet as electrical characteristics only. If $t_{WCS} \geqq t_{WCS}$ (min.), the cycle is an early write cycle and the data out pin will remain open circuit (high impedance) throughout the entire cycle; If $t_{CWD} \geqq t_{CWD}$ (min.) and $t_{RWD} \geqq t_{RWD}$ (min.), the cycle is a read-write cycle or read-modify-write cycle and the data out will contain data read from the selected cell: If neither of the above sets of conditions is satisfied, the condition of the data out (at access time) is indeterminate.

TIMING WAVEFORMS



APPLICATION INFORMATION

ADDRESSING

The 18 address bits required to decode 1 of the 262,144 cell locations within the TMM41256C are multiplexed onto the 9 address inputs and latched into the on-chip address latches by externally applying two negative going TTL-level clocks.

The first clock, the Row Address Strobe ($\overline{RAS}$), latches the 9 row address bits into the chip. The second clock, the Column Address Strobe ($\overline{CAS}$), subsequently latches the 9 column address bits into the chip. Each of these signals, $\overline{RAS}$ and $\overline{CAS}$, triggers a sequence of events which are controlled by different delayed internal clocks.

The two clock chains are linked together logically in such a way that the address multiplexing operation is done outside of the critical path timing sequence for read data access. The later events in the $\overline{CAS}$ clock sequence are inhibited until the occurrence of a delayed signal derived from the $\overline{RAS}$ clock chain. This "gated $\overline{CAS}$" feature allows the $\overline{CAS}$ clock to be externally activated as soon as the Row Address Hold Time specification (t_{RAH}) has been satisfied and the address inputs have been changed from Row address to Column address information.

DATA INPUT/OUTPUT

Data to be written into a selected cell is latched into an on-chip register by a combination of $\overline{WRITE}$ and $\overline{CAS}$ while $\overline{RAS}$ is active. The later of the signals ($\overline{WRITE}$ or $\overline{CAS}$) to make its negative transition is the strobe for the Data In (D_{IN}) register. This permits several options in the write cycle timing. In a write cycle, if the $\overline{WRITE}$ input is brought low (active) prior to $\overline{CAS}$, the D_{IN} is strobed by $\overline{CAS}$ and the set-up and hold times are referenced to $\overline{CAS}$. If the input data is not available at $\overline{CAS}$ time or if it is desired that the cycle be a read-write cycle, the $\overline{WRITE}$ signal will be delayed until after $\overline{CAS}$ has made its negative transition. In this "delayed write cycle" the data input set-up and hold times are referenced to the negative edge of $\overline{WRITE}$ rather than $\overline{CAS}$. (To illustrate this feature, D_{IN} is referenced to $\overline{WRITE}$ in the timing diagrams depicting the read-write and page mode write cycles while the "early write" cycle diagram shows D_{IN} referenced to $\overline{CAS}$).

Data is retrieved from the memory in a read cycle by maintaining $\overline{WRITE}$ in the inactive or high state throughout the portion of the memory cycle in which $\overline{CAS}$ is active (low). Data read from the selected cell will be available at the output within the specified access time.

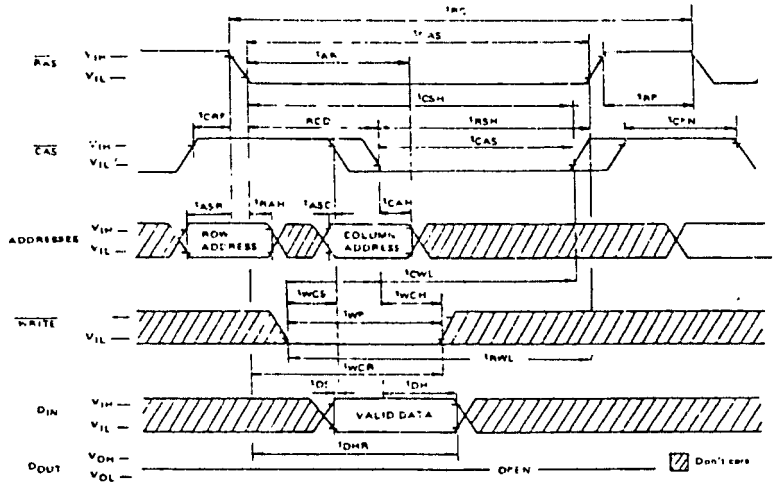
DATA OUTPUT CONTROL

The normal condition of the Data Output (D_{OUT}) of the TMM41256C is the high impedance (open circuit) state. This is to say, anytime $\overline{CAS}$ is at a high level, the D_{OUT} pin will be floating. The only time the output will turn on and contain either a logic 0 or logic 1 is at access time during a read cycle. D_{OUT} will remain valid from access time until $\overline{CAS}$ is taken back to the inactive (high level) condition.

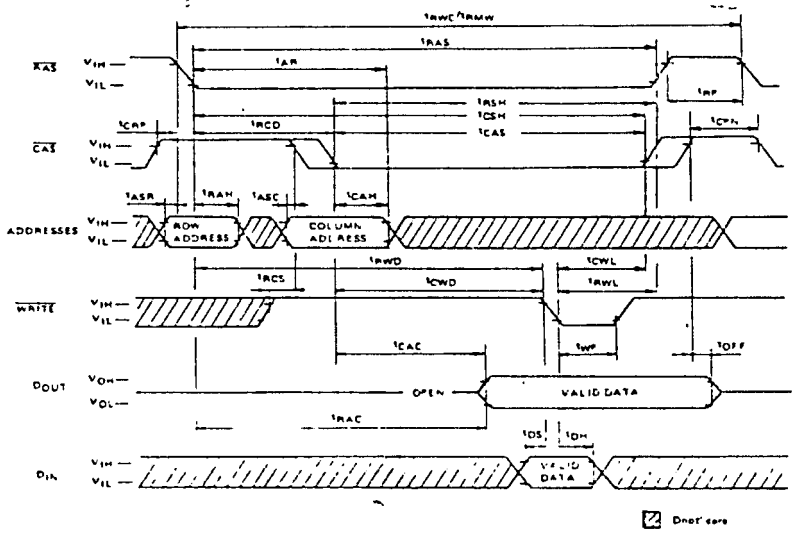
PAGE MODE

The "Page-Mode" feature of the TMM41256C allows for successive memory operations at multiple column locations of the same row address with increased speed without an increase in power. This is done by strobing the row address into the chip and maintaining the $\overline{RAS}$ signal at a logic 0 throughout all successive memory cycles in which the row address is common. This "Page Mode" of operation will not dissipate the power associated with the negative going edge of $\overline{RAS}$. Also, the time required for strobing in a new row address is eliminated, thereby decreasing the access and cycle times.

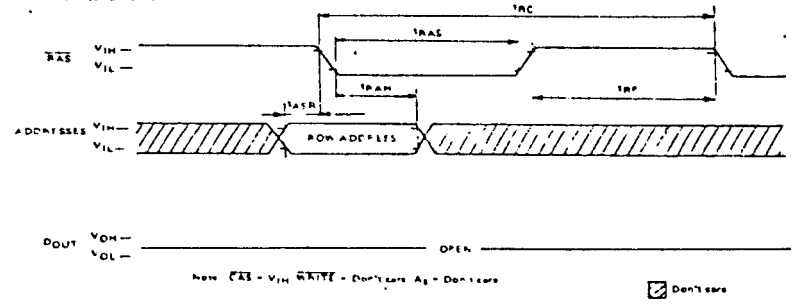
• WRITE CYCLE (EARLY WRITE)



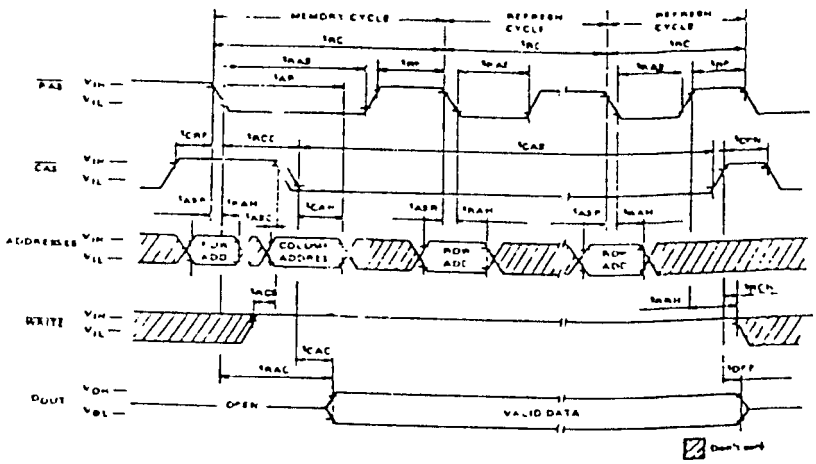
• READ-WRITE/READ-MODIFY-WRITE CYCLE



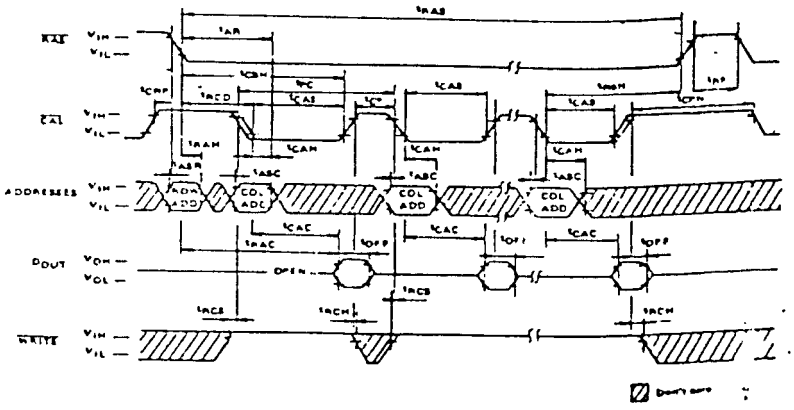
• "RAS-ONLY" REFRESH CYCLE



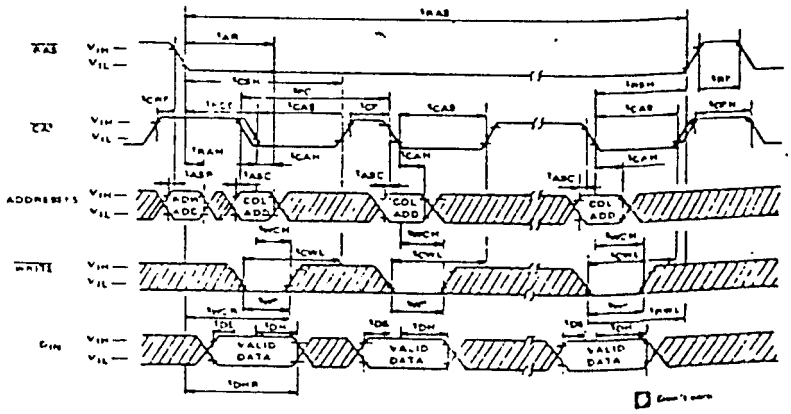
• HIDDEN REFRESH CYCLE



• PAGE MODE READ CYCLE



• PAGE MODE WRITE CYCLE



กิตติกรรมประกาศ

ข้าพเจ้าคณะผู้จัดทำ ชุดเตือนภัยพูดได้ขอขอบพระคุณเป็นอย่างยิ่งต่อคณะอาจารย์ในภาควิชาการวัดคุมทางอุตสาหกรรม ที่กรุณาเพิ่มพูนความรู้ ประสบการณ์ในการทำงาน และตลอดจนให้คำปรึกษาแนะนำ ให้แก่พวกข้าพเจ้าเกี่ยวกับปัญหาต่าง ๆ ที่เกิดขึ้นในการจัดทำชุดเตือนภัยพูดได้ชุดนี้

อนึ่ง ข้าพเจ้าคณะผู้จัดทำต้องขออภัยต่อท่านผู้อ่านหนังสือชุดเตือนภัยพูดได้ ทุกท่านมา ณ ที่นี้ด้วย หากมีข้อบกพร่องประการใดเกิดขึ้นในการจัดพิมพ์ของหนังสือเล่มนี้

ทวีศักดิ์ พร้อมสุข
เสถียร วัฒนาโภคยกิจ
เพลินจิตต์ ไพบูลย์
14 มีนาคม 2532

หนังสืออ้างอิง

1. ร.อ.ธวัชชัย เลื่อนฉวี "ดิจิตอลเทคนิค" สยามบรรณการพิมพ์ หน้า 168, 2527

2. ประเสริฐ โรจน์สุธีวัฒน์ "เครื่องบันทึกเสียงพูดดิจิตอล" วารสารเซมิคอนดัคเตอร์,ฉบับที่ 84, 2531, หน้าที่ 144 - 151

3. สมชาย ไตรยสุริยธรรมมา "ดิจิตอล/อนาลอกคอนเวอร์เตอร์" ,วารสารอิเล็กทรอนิคส์เวิลด์,ฉบับที่ 108,2530 หน้า 128-134 ฉบับที่ 109, 2530 หน้า 105 - 108

4. ยืน ภู่วรวรรณ "มุมนักทดลองดิจิตอล" ,วารสารเซมิคอนดัคเตอร์ ฉบับที่ 79, 2530 หน้า 214 - 222