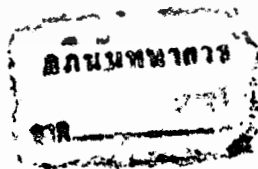




ปีการศึกษา 2531

เครื่องวัดระดับน้ำตาลในเลือด



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไปลงภาคไหนนำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

023125

-8.ลค. ๖52

ปริญญาโทปีการศึกษา 2531

ภาควิชา อิเลคทรอนิกส์

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง เครื่องวัดระดับน้ำตาลในเลือด

ผู้จัดทำ

1. นายณัฐวุฒิ ไกยรวงศ์ 28.1073
2. นายธีรยุทธ เทพรักษา 28.1109
3. นายปฏิพัทธ์ ชูอ่อน 28.1135

.....  
( อาจารย์ขนิษฐา แซ่ตั้ง )



## สารบัญ

บทที่	หน้า
1 บทนำ	1
2 ทฤษฎี และหลักการ	2
2.1 ทฤษฎี	
2.2 หลักการทำงาน	
3 การคำนวณและการออกแบบ	6
3.1 ส่วนฮาร์ดแวร์	
3.2 ส่วนซอฟต์แวร์	
4 การทดลอง และผลการทดลอง	35
5 สรุปวิจารณ์	36
ภาคผนวก	
กิตติกรรมประกาศ	
หนังสืออ้างอิง	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## สารบัญรูปภาพ และตาราง

รูปที่	หน้า	
2.1	กราฟแสดงคุณสมบัติ	2
2.2	วงจรอินทิเกรเตอร์ (Integrator) เบื้องต้น	3
2.3	a) กราฟแสดงค่าของกระแส (Iin) กับเวลา b) กราฟของค่า $V_o$ กับเวลา	3
2.4	วงจรคอมพาราเรเตอร์พื้นฐาน	4
2.5	บล็อกไดอะแกรมการทำงานของเครื่องวัดระดับน้ำตาลในเลือด	5
3.1	ตัวถังของส่วนเซนเตอร์	6
3.2	วงจรส่วนเซนเตอร์	7
3.3	บล็อกไดอะแกรมของส่วนประมวลผล	8
3.4	a) แรมแอดเดเรส b) พอร์ตแอดเดเรส	8
3.5	การเชื่อมต่อ Z-80 กับ 8255	9
3.6	รหัสควบคุม 8255	11
3.7	การเชื่อมต่อระหว่าง Z-80 กับ 8253	12
3.8	รหัสควบคุม 8253	13
3.9	การทำงานของ 8253 ในโหมด 4	14
3.10	แสดงข้อมูลโค้ดของดิสเพลย์	15
3.11	โฟลว์ชาร์ทลำดับการทำงานของเครื่อง	16

## เครื่องวัดระดับน้ำตาลในเลือด

นายณัฐวุฒิ ไกยรวงศ์  
นายธีรยุทธ เทพรักษา  
นายปฏิพัทธ์ ชูอ่อน  
อ. ขนิษฐา แซ่ตั้ง อาจารย์ที่ปรึกษา  
ปีการศึกษา 2531

### บทคัดย่อ

ในวิทยานิพนธ์ฉบับนี้ เรียบเรียงจากผลงานที่ได้พัฒนาขึ้นเป็นเครื่องวัดระดับน้ำตาลในเลือด โดยใช้แผ่นสติกซ์โทรสติกซ์ (Dextrostix) โดยที่เครื่องวัดนี้จะวัดปริมาณแสงที่สะท้อนมาจากแผ่นสติกซ์ (strix) ซึ่งแผ่นสติกซ์นี้จะเปลี่ยนสีไปตามปริมาณน้ำตาลในเลือด ทำให้ปริมาณแสงสะท้อนที่วัดได้นี้ เป็นสัดส่วนกับความเข้มข้นของกลูโคสในเลือด ในการวัดปริมาณแสงสะท้อนนี้จะใช้แสงที่มีความยาวคลื่นที่เหมาะสมกับโทนสีของแผ่นสติกซ์ โดยใช้ฟิลเตอร์ (filter) กรองแสงสะท้อน เอาเฉพาะความยาวคลื่นที่ต้องการ การวัดแสงสะท้อนนี้จะใช้โฟโตไดโอด (Photo diode) ร่วมกับวงจรรวมอินทิเกรเตอร์ (Integrator) และ วงจรคอมพาราเตอร์ (Comparator) ผลลัพธ์จะเป็นพัลส์ที่มีความกว้างพัลส์ (Pulse Width) แปรผันตามปริมาณกลูโคสในเลือด ขั้นตอนการทำงานเครื่องวัด ตลอดจนการเปลี่ยนพัลส์ให้เป็นระดับน้ำตาลนี้ จะถูกควบคุมโดยไมโครโปรเซสเซอร์เบอร์ Z-80 และเนื่องจากแผ่นสติกซ์นี้มีหลายชนิดซึ่งแต่ละชนิดจะเปลี่ยนสีในโทนสีที่แตกต่างกัน ดังนั้นจึงต้องเปลี่ยนฟิลเตอร์ของเครื่อง เพื่อกรองเฉพาะแสงที่มีความยาวคลื่นที่เหมาะสมกับสติกซ์แต่ละชนิด และต้องเปลี่ยนโปรแกรมการคำนวณหาระดับน้ำตาล โดยการเปลี่ยน อีพროม (EPROM) ของเครื่อง เครื่องวัดนี้สร้างขึ้นให้สอดคล้องกับความต้องการ ชิดความสามารถ และราคาอุปกรณ์ที่เหมาะสม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## Gluco Meter

Nattavut Kaiyoorawong

Teerayuth Tephrukxa

Bradipat Chuorn

Khanittha Saetung Adviser

1988

### Abstract

This thesis is composed from Gluco Meter. It's used for measure the glucose levels in blood. In this method must use the dextrostix. It's color will change by the glucose levels. The measuring is measure the intensity of the reflectance that be filtered only suitable frequency for each type of dextrostix. Photo diode is the photo detector. After passing the Integrator and the Comparator circuit, the result is converted to be pulse. Pulse width should be varying on the glucose values. All of the processes are controlled by the microprocessor Z-80. For the other types of dextrostix, the wavelength of the light source should be change by changing the filter and change EPROM in the processing unit for the new monitor program.

## บทที่ 1

### บทนำ

ในปัจจุบัน โรคเบาหวานจัดว่าเป็นปัญหาทางสาธารณสุขที่สำคัญอย่างหนึ่ง เนื่องจากเป็นโรคที่บั่นทอนชีวิต สุขภาพทางใจ และสร้างปัญหาทางเศรษฐกิจเป็นอย่างมาก ในสหราชอาณาจักรพบว่ามีผู้เป็นเบาหวานประมาณร้อยละ 5 ของจำนวนประชากร เป็นโรคที่มีอันตรายอันดับ 5 มีการสูญเสียทางเศรษฐกิจปีละประมาณ 8 ล้านดอลล่าร์ และเป็นตัวการสำคัญที่ทำให้คนตาบอดและสูญเสียอวัยวะ

จุดสำคัญของการช่วยชีวิตผู้ป่วยอยู่ที่การตรวจพบความผิดปกติของ เมตาบอลิซึมของกลูโคสเสียแต่เนิ่น ๆ และควบคุมระดับกลูโคสในพลาสมาให้อยู่ในระดับที่เหมาะสม เพื่อป้องกันมิให้ผู้ป่วยมีอาการอยู่ในขั้นรุนแรง

สำหรับการวัดปริมาณน้ำตาลในเลือด โดยใช้แผ่นดีกซ์โตรสติกซ์นี้ จะมีวิธีการอยู่ 2 แบบ คือ

#### 1.1 แบบลำแสงเดี่ยว (Single Beam)

จะมีการวัด 2 ครั้ง ครั้งแรกจะวัดปริมาณแสงที่สะท้อนกับจุดอ้างอิงก่อน ครั้งที่ 2 จะวัดปริมาณแสงที่สะท้อนกับแผ่นสติกซ์ แล้วนำปริมาณทั้งสองมาเปรียบเทียบหาปริมาณแสงสะท้อนที่แท้จริง แล้วจึงนำไปประมวลผลเป็นปริมาณน้ำตาล

#### 1.2 แบบลำแสงคู่ (Double Beam)

จะมีการวัดแค่ครั้งเดียว โดยจะวัดปริมาณแสงสะท้อนจากจุดอ้างอิงไปพร้อม ๆ กับการวัดแสงสะท้อนจากแผ่นสติกซ์ แล้วจึงนำปริมาณทั้งสองมาประมวลผล โดยวิธีนี้จะให้ค่าผลลัพธ์ที่มีความเที่ยงตรงสูง

ทั้งสองวิธีนี้จะทำให้ เครื่องวัดมีโครงสร้างของตัวเครื่องแตกต่างกัน ซึ่งแบบลำแสงคู่จะมีโครงสร้างที่ซับซ้อนกว่า

ส่วนเครื่องที่ค้นคว้าและพัฒนาขึ้น เป็นแบบลำแสงเดี่ยว โดยที่การออกแบบและการสร้างได้ใช้อุปกรณ์ที่มีจำหน่ายอยู่ตามท้องตลาดทุกชั้น เพื่อให้เป็นการสะดวกต่อการสร้างและซ่อมแซมเอง

## บทที่ 2 ทฤษฎี และ หลักการ

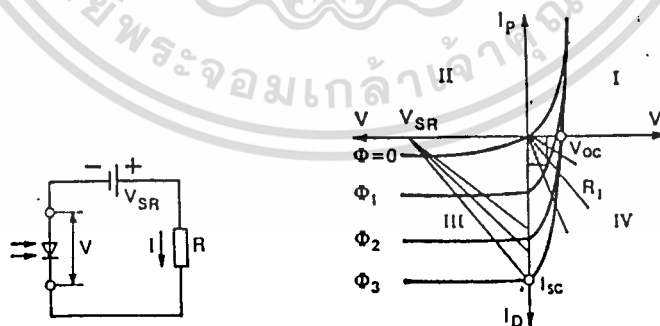
### 2.1 ทฤษฎี

แผ่นเต็กร์โทรสติ๊กซ์ เป็นแผ่นพลาสติกที่ฉาบด้วยสารเคมี และ เอนไซม์ 2 ชนิด คือ เอนไซม์กลูโคสออกซิเดส และเอนไซม์เพอออกซิเดส เอนไซม์กลูโคสออกซิเดสจะเป็นตัวเร่งปฏิกิริยาระหว่าง กลูโคส กับออกซิเจน และน้ำ ทำให้เกิดกรดกลูโคนิก ส่วนเอนไซม์เพอออกซิเดส จะเป็นตัวเร่งปฏิกิริยาระหว่าง กรดกลูโคนิกกับสารเคมี ทำให้ สารเคมีเปลี่ยนสี ซึ่งเราจะต้องรอเวลาให้มันทำปฏิกิริยากันประมาณ 1 นาที

สำหรับการวัดปริมาณแสงจะใช้ โฟโตไดโอด ร่วมกับวงจรอินทิเกรเตอร์ และวงจรคอมพิวเตอร์ แล้วนำไปประมวลผลโดยไมโครโปรเซสเซอร์

#### 2.1.1 โฟโตไดโอด

โฟโตไดโอด เป็นสารกึ่งตัวนำที่มีรอยต่อ พี-เอ็น กว้างและ ตื้น เพื่อให้การรับแสงให้ได้ปริมาณมาก เมื่อมีแสงตกกระทบจะเกิด กระแสไหลในวงจร ซึ่งเราสามารถแสดงคุณสมบัติของ โฟโตไดโอดได้ ดังรูปที่ 2.1



รูปที่ 2.1 กราฟแสดงคุณสมบัติของโฟโตไดโอด

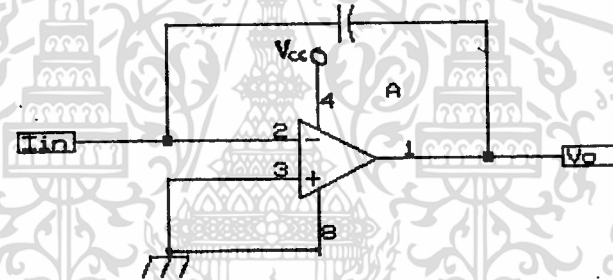
ในวงจรอาจใช้โฟโต้ไดโอด ในช่วงของไบอัสย้อนกลับหรือแรงดันเป็นลบนั่นเอง และกระแสที่ได้จากโฟโต้ไดโอด ก็จะนำไปเป็นกระแสอินพุทของวงจรรีทีเกรเตอร์ ซึ่งจากภาพจะเห็นได้ว่า เมื่อความเข้มแสงที่มาตกกระทบมากขึ้น ก็จะได้กระแสสูงขึ้นตามไปด้วย

2.1.2 วงจรรีทีเกรเตอร์

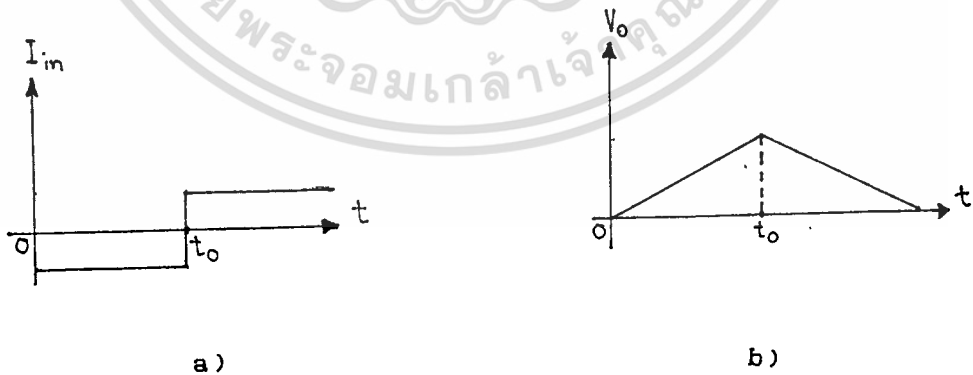
อาศัยคุณสมบัติของคาปาซิเตอร์ที่ว่า เมื่อมีกระแสค่าน้อย ๆ จ่ายให้กับคาปาซิเตอร์ แรงดันที่ตกคร่อมคาปาซิเตอร์จะเพิ่มขึ้นเป็นเชิงเส้น เมื่อพิจารณารูปที่ 2.2 จะเห็นว่า

$$I_c = -I_{in}$$

ดังนั้น ถ้า  $I_{in}$  มีค่าเป็นลบ เราจะได้  $V_o$  เพิ่มขึ้นอย่าง เป็นเชิงเส้น และในทางกลับกัน ถ้า  $I_{in}$  มีค่าเป็นบวก จะได้  $V_o$  ลดลงอย่าง เป็นเชิงเส้น ดังรูปที่ 2.3



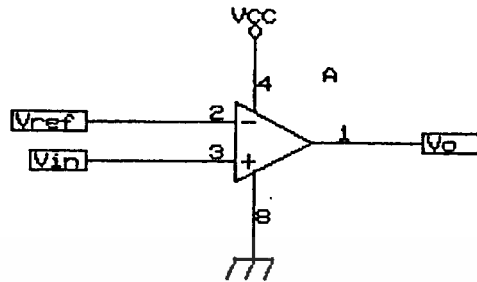
รูปที่ 2.2 วงจรรีทีเกรเตอร์ (Integrator) เบื้องต้น



รูปที่ 2.3 a) กราฟแสดงค่าของกระแส ( $I_{in}$ ) กับเวลา  
b) กราฟของค่า  $V_o$  กับเวลา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### 2.1.3 วงจรคอมพาราเตอ์



รูปที่ 2.4 วงจรคอมพาราเตอ์พื้นฐาน

จากรูปที่ 2.4  $V_{ref}$  เป็นค่าแรงดันค่าหนึ่งที่กำหนดให้ ส่วน  $V_{in}$  เป็นแรงดันที่ไม่ทราบค่า จ่ายให้แก่คอมพาราเตอ์

ถ้า  $V_{in}$  น้อยกว่า  $V_{ref}$  แรงดันเอาต์พุตจะเป็น  $-V_o(sat)$  แต่จากรูปจะได้  $V_o = 0$  โวลต์

และในทางกลับกันถ้า  $V_{in}$  มากกว่า  $V_{ref}$  แรงดันเอาต์พุตจะเป็น  $+V_o(sat)$  จากรูปเราจะได้  $V_o = 5$  โวลต์

#### 2.1.4 ส่วนประมวลผล

หน่วยประมวลผลจะใช้ไมโครโปรเซสเซอร์ เป็นตัวประมวลผลที่ได้จากส่วนเซ็นเซอร์ โดยไมโครโปรเซสเซอร์จะทำงานร่วมกับหน่วยความจำ (อีพ롬และแรม), พอร์รับส่งข้อมูลแบบขนาน (8255), ตัวนับสัญญาณเวลา, พวงแหวนและฟลิปฟล็อปต่าง ๆ นอกจากนั้นยังใช้ไมโครโปรเซสเซอร์เป็นตัวควบคุมการทำงานต่าง ๆ ของเครื่องให้เป็นไปตามขั้นตอนที่วางไว้

#### 2.2 หลักการทำงาน

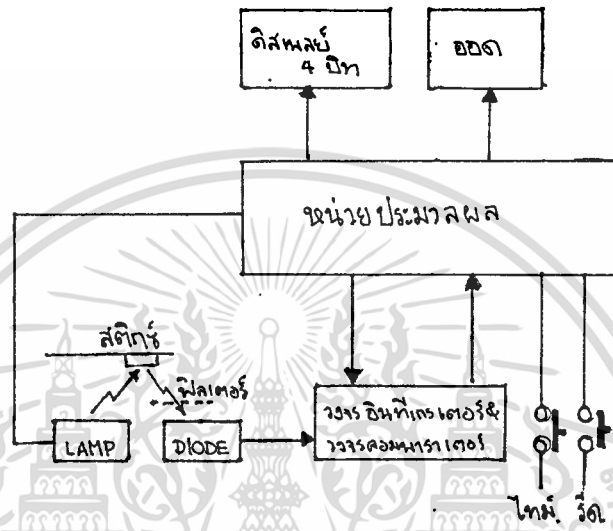
การทำงานของเครื่องพอจะอธิบายได้ด้วยแผนผังในรูปที่ 2.5

การทำงานในส่วนวงจรเซ็นเซอร์ (Sensor) จะใช้โฟโตไดโอดเป็นตัววัดปริมาณแสงสะท้อน ซึ่งจะได้เปลี่ยนเป็นปริมาณกระแสและกระแสที่ได้นี้ จะไปเป็นกระแสอินพุตของวงจรอินทิเกรเตอ์ และวงจรคอมพาราเตอ์ ซึ่งวงจรนี้จะถูกควบคุมการทำงานโดยไมโครโปรเซสเซอร์ ผลลัพธ์จากวงจรเซ็นเซอร์นี้จะเป็นพัลส์ ที่มีความยาวพัลส์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ประมวลผล เพื่อเปลี่ยนเป็นปริมาณน้ำตาลในเลือดของผู้วัดได้ การทำงานทั้งหมดนี้ ผู้ใช้ควบคุมได้จาก สวิตช์ ไทม์ (TIME) และสวิตช์ ริด (READ)



รูปที่ 2.5 บล็อกไดอะแกรม การทำงานของเครื่องวัดระดับน้ำตาลในเลือด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### บทที่ 3

#### การคำนวณและการออกแบบ

#### 3.1 ส่วนอาร์คแวร์

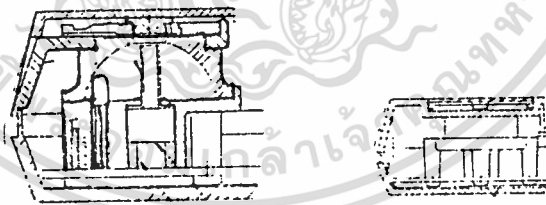
##### 3.1.1 ส่วนเซนเซอร์

ได้นำเอาวงจรต่าง ๆ มารวมกันเป็นส่วนเซนเซอร์ ดังรูปที่

##### 3.2

ถ้าปริมาณน้ำตาลน้อยจะทำให้สติกซ์มีสีจาง และสะท้อนแสงได้มากทำให้ได้พัลส์ที่มีความกว้างมาก และในทางกลับกัน ถ้ามีปริมาณน้ำตาลมาก ก็จะทำให้สติกซ์มีสีเข้มและจะได้พัลส์ที่มีความกว้างน้อย ซึ่งก็จะนำไปคำนวณค่าได้ปริมาณออกมาไม่เท่ากัน

วงจรนี้จะมีส่วนที่สำคัญมาก คือ ส่วนของตัวถังเครื่อง ซึ่งจะต้องออกแบบมาให้มีการรวมแสงไปยังแผ่นสติกซ์ และสะท้อนมายังโฟโตไดโอดให้มากที่สุด ดังนั้นการออกแบบอาจจะออกแบบให้เครื่องมีลักษณะดังรูปที่ 3.1 ที่มีผิวสะท้อนเป็นผิวทรงกลม เพื่อรวมแสงให้ตกลงที่แผ่นสติกซ์ และมีท่อนำแสงที่จะรับเฉพาะแสงสะท้อนเท่านั้นมาตกกระทบโฟโตไดโอด จะเห็นว่าเครื่องจะมีประสิทธิภาพมากน้อยแค่ไหน ขึ้นอยู่กับการออกแบบส่วนนี้เป็นสำคัญ

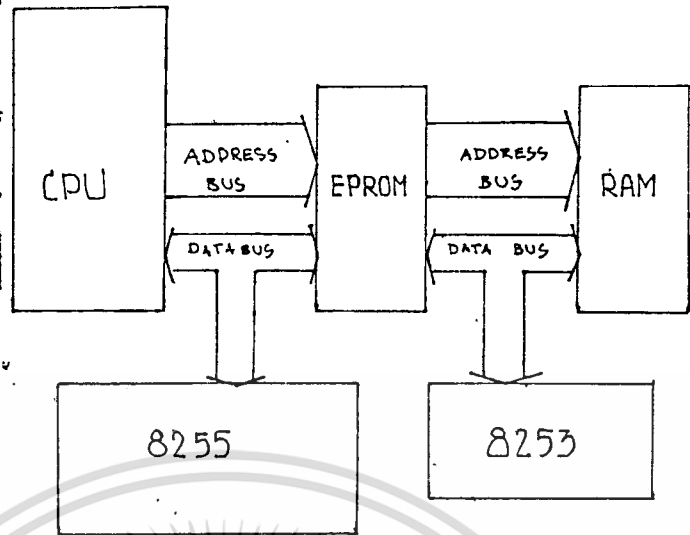


รูปที่ 3.1 ตัวถังของส่วนเซนเซอร์

##### 3.1.2 ส่วนประมวลผล

ส่วนประมวลผลนี้ใช้ชิพยูเบอร์ Z-80 ซึ่งต้องใช้กับสัญญาณเคลอคที่มีความถี่ไม่เกิน 2.5 MHz ในส่วนประมวลผลนี้ จะมีอุปกรณ์อื่นที่ใช้ทำงานร่วมกับ Z-80 โดยมีอุปกรณ์หลักคือ หน่วยความจำได้แก่ อิพรอมเบอร์ 2732 มีขนาด 4 กิโลไบต์ และแรมเบอร์ 6116 มีขนาด 2 กิโลไบต์ มีชิพซัพพอร์ตเบอร์ 8255 และ 8253 ลักษณะการเชื่อมต่อ

เอกสารนี้เป็นเอกสารลิขสิทธิ์ของมหาวิทยาลัยเทคโนโลยีพระจอมเกล้าธนบุรี การศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.3 บล็อกไดอะแกรมของส่วนประมวลผล

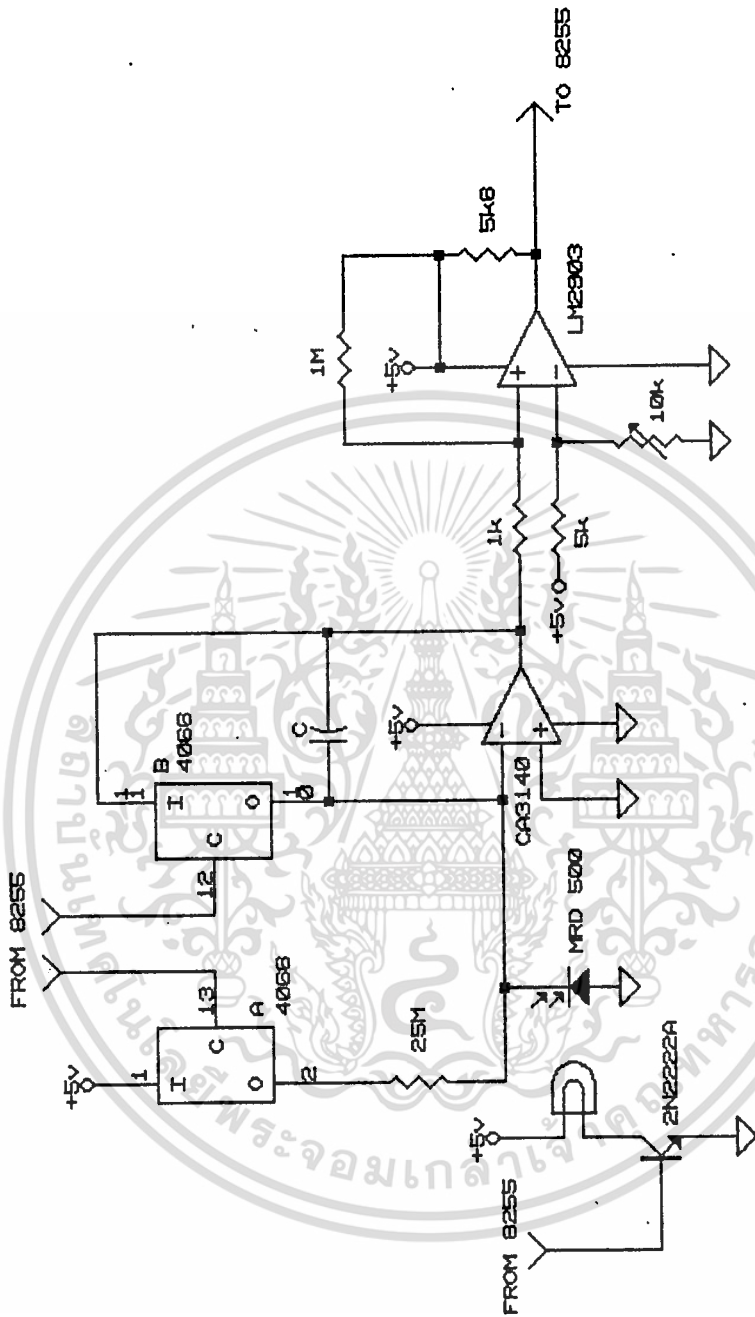


a)

b)

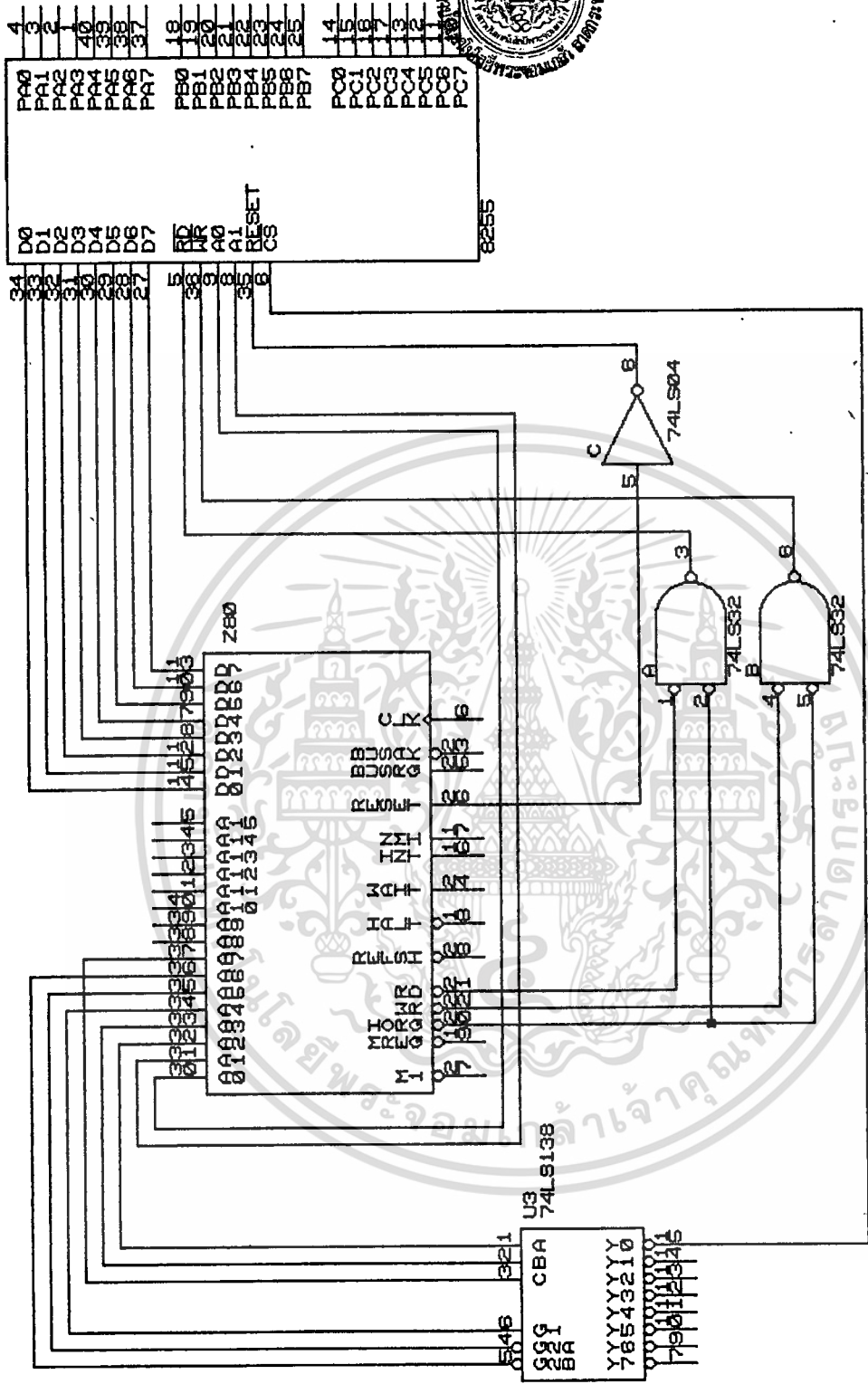
รูปที่ 3.4 a) แรมแอดเดรส b) พอร์ตแอดเดรส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.2 วงจรส่วนเซนเซอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.5 การเชื่อมต่อ Z-80 กับ 8255

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

023125

Title	I/O PORT
Size Document Number	REV
A	1
Date: January 1, 1980	Sheet 1 of 1

อีพรมจะเป็นหน่วยความจำที่เก็บมอนิเตอร์โปรแกรม ส่วนแรม เป็นหน่วยความจำที่ใช้คำนวณค่าปริมาณน้ำตาล 8255 เป็นพอร์ทอินพุท-เอาต์พุท แบบขนาน ส่วน 8253 เป็นโปรแกรมเมเบิลไทม์เมอร์ ตารางแอตเต็รส์ของหน่วยความจำ และแอตเต็รส์ของพอร์ทแสดงดังรูปที่ 3.4

การติดต่อระหว่างซีพียู (Z-80) กับ อุปกรณ์ภายนอก เช่น display หรือ วงจร sensor จะกระทำผ่าน 8255 ซึ่งเป็น อินพุท-เอาต์พุทพอร์ทแบบขนาน

โดย 8255 จะเป็นไอซี 40ขา มีพอร์ท 4 พอร์ท ประกอบด้วย 1 พอร์ทควบคุม และ 3 พอร์ทอินพุท-เอาต์พุท คือ Pa 0-7, Pb 0-7 และพอร์ท Pc 0-3 (Cล่าง) Pc 4-7 (Cบน)

การเชื่อมต่อ Z-80 กับ 8255 เป็นไปดังรูปที่ 3.5 โดยเชื่อมต่อตาต้าบัสเข้าด้วยกันจาก D0-D7 และการเลือกชิพ (CS) โดยใช้ แอตเต็รส์ A2-A7 ต่อเข้ากับ 74LS138 ซึ่งเป็น decoder เพื่อถอดรหัสมาเข้าขา CS ของ 8255 ให้ทำงาน ส่วนขา A0, A1 ของ Z-80 จะต่อตรงเข้า A0, A1 ของ 8255 เพื่อเป็นสัญญาณเลือกพอร์ทภายในของ 8255 ที่มีอยู่ 4 พอร์ท โดยถ้า

A0, A1 มีลอจิกเป็น 00 คือพอร์ท A

A0, A1 มีลอจิกเป็น 01 คือพอร์ท B

A0, A1 มีลอจิกเป็น 10 คือพอร์ท C

A0, A1 มีลอจิกเป็น 11 คือพอร์ทควบคุม

สัญญาณอีกชุดที่คุม 8255 คือ สัญญาณการอ่านและการเขียนพอร์ท (RD และ WR) สัญญาณการอ่านและเขียนจาก Z-80 ก่อนที่จะเข้าสู่ 8255 จะผ่านการ AND ร่วมกับสัญญาณ IORQ โดยแอกทีฟทั้ง RD และ IORQ ในการอ่านพอร์ท และ WR กับ IORQ ในการเขียนพอร์ท เพื่อให้แตกต่างไปจากการเขียนและอ่านหน่วยความจำ

สัญญาณ RESET ของ Z-80 จะผ่านอินเวอร์ทเตอร์ก่อน เนื่องจาก RESET ของ 8255 จะแอกทีฟที่ลอจิก 1 ส่วนของ Z-80 แอกทีฟที่ลอจิก 0

การทำงานของ 8255 มี 3 โหมด คือ 0, 1, 2 แต่นำเฉพาะโหมด 0 มาใช้ ดังนั้นจะขอกล่าวเฉพาะโหมด 0 เท่านั้น

โหมด 0 เป็นโหมด อินพุท-เอาต์พุท แบบพื้นฐาน ซึ่งในการอ่านหรือเขียนพอร์ทของ 8255 Z-80 จะต้องส่งรหัสควบคุมไปที่ พอร์ทควบคุม (13H) เสียก่อน โดยรหัสควบคุมมีขนาด 8 บิต ดังรูปที่ 3.6

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปเผยแพร่ภายนอก

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ซึ่งมีความหมายดังนี้

D <sub>7</sub>	D <sub>6</sub>	D <sub>5</sub>	D <sub>4</sub>	D <sub>3</sub>	D <sub>2</sub>	D <sub>1</sub>	D <sub>0</sub>
----------------	----------------	----------------	----------------	----------------	----------------	----------------	----------------

รูปที่ 3.6 รหัสควบคุม 8255

- D<sub>7</sub> เป็น 1 แสดงว่าไบต์นี้เป็นรหัสควบคุม
- D<sub>6,5</sub> เลือกโหมด 0, 1, 2 ถ้าโหมด 0 จะมีลอจิก 00
- D<sub>4</sub> เป็น 1 พอร์ต A จะเป็นอินพุตพอร์ต ถ้าเป็น 0 พอร์ต A จะเป็นเอาต์พุต
- D<sub>3</sub> เป็น 0 พอร์ต C บน (C<sub>4</sub>-C<sub>7</sub>) จะเป็นเอาต์พุต
- D<sub>2</sub> เลือกโหมดของพอร์ต B ถ้าเป็น 0 จะเป็นโหมด 0 ถ้าเป็น 1 จะเป็นโหมด 1
- D<sub>1</sub> กำหนดอินพุต-เอาต์พุตของพอร์ต B ถ้าเป็น 0 จะเป็นเอาต์พุต
- D<sub>0</sub> กำหนดพอร์ต C ล่าง (C<sub>0</sub>-C<sub>3</sub>) คือจะเป็นเอาต์พุตเมื่อมีลอจิก 0 เช่นถ้าใช้โหมด 0 โดยกำหนดให้พอร์ต A, B เป็นเอาต์พุต C บนเป็นอินพุต และ C ล่าง เป็นเอาต์พุต จะมีรหัสควบคุมว่า 1000100 หรือ 88H

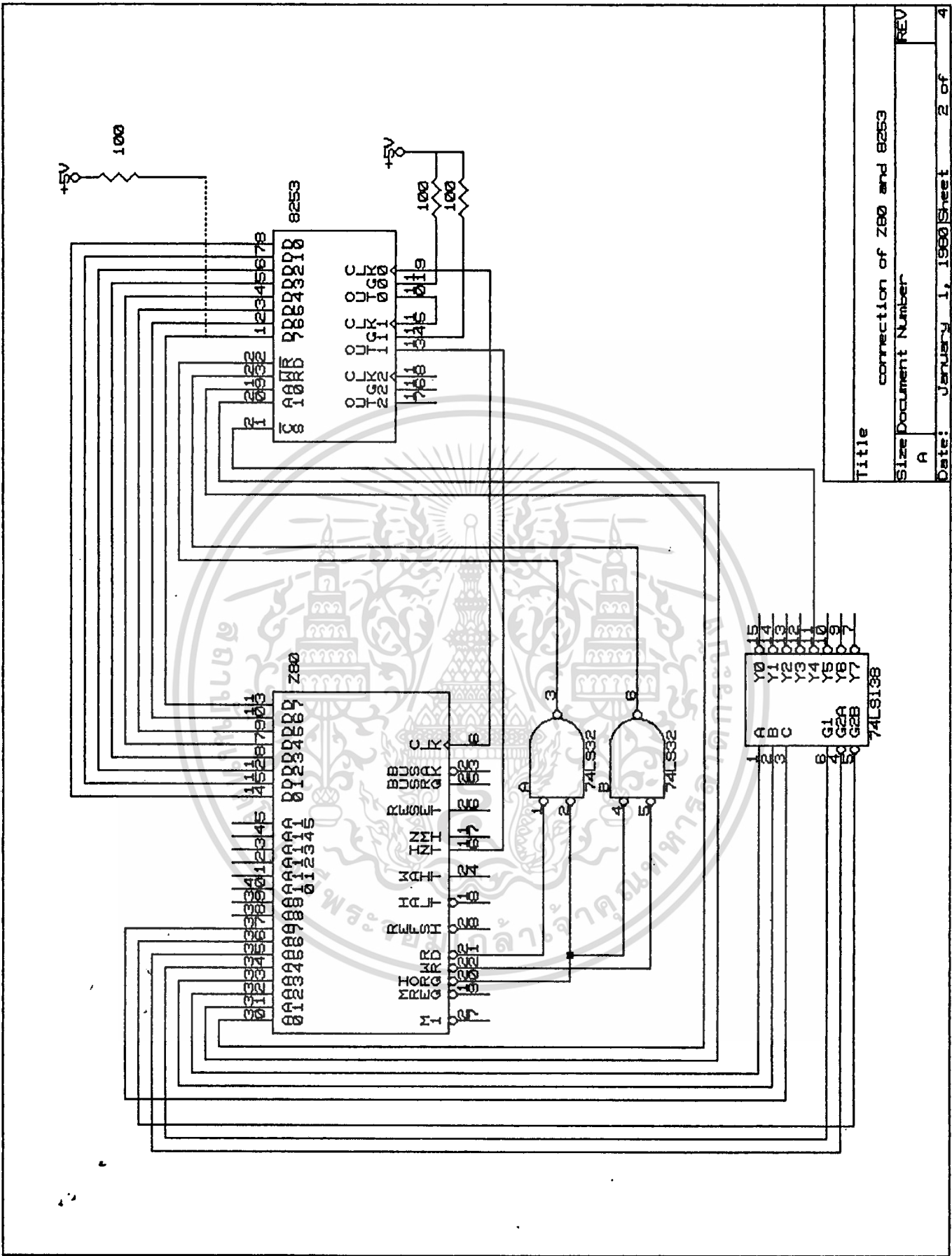
8253 เป็นไทม์เมอร์ที่โปรแกรมได้ ซึ่งภายในตัวจะมีเคาน์เตอร์ที่เป็นอิสระกันอยู่ 3 ชุด แต่ละชุดจะมีขาอินพุตคือขา CLOCK และขา GATE ส่วนเอาต์พุตคือขา OUT หน้าที่ของขาทั้งสามนี้จะแล้วแต่การโปรแกรม แต่โดยทั่วไปจะมีหน้าที่ดังนี้

- CLOCK เป็นขาอินพุต บ้อนสัญญาณคลอคให้แก่เคาน์เตอร์
- GATE เป็นขาอินพุต ที่จะยอมหรือไม่ยอมให้สัญญาณคลอคผ่านเข้าไปยังเคาน์เตอร์
- OUT เป็นขาเอาต์พุตของเคาน์เตอร์ ซึ่งการทำงานจะขึ้นอยู่กับโปรแกรม

ในการใช้งาน เราต้องบ่อนโปรแกรมข้อมูลให้แก่รีจิสเตอร์ควบคุมเสียก่อน ซึ่งจะเป็นข้อมูลได้ก็ต่อเมื่อขา A<sub>0</sub> และ A<sub>1</sub> มีลอจิก "1"

#### การต่อ 8253 กับ Z-80

8253 จะเป็นเสมือนพอร์ตอินพุต-เอาต์พุต 4 พอร์ต ที่เป็นอิสระ เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



Title	connection of Z80 and 8253
Size Document Number	REV
A	
Date	January 1, 1980 Sheet 2 of 4

รูปที่ 3.7 การเชื่อมต่อ Z-80 กับ 8253

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ต่อกัน เมื่อ Z-80 ต้องการเลือกพอร์ทเหล่านี้ Z-80 จะต้องโหลดค่าแอดเดรสที่ถูกต้องไปให้ 8253 ซึ่งจะทำให้สัญญาณเลือกชิพของ 8253 แอคทีฟ สัญญาณเลือกชิพนี้เกิดจากเอาท์พุทของวงจรถอดรหัสของแอดเดรส A2-A7 ของ Z-80 ในวงจรมีพอร์ทแอดเดรสที่ 90H-93H สัญญาณ RD และ WR ของ 8253 ก็ต่อเข้ากับ RD และ WR ของ 8255 และเชื่อมต่อบัสข้อมูลของ Z-80 และ 8253 เข้าด้วยกัน การต่อระหว่าง 8253 กับ Z-80 แสดงไว้ดังรูปที่ 3.7

#### การโปรแกรม 8253

การโปรแกรมจะทำได้โดย เขียนคำสั่งควบคุมลงไปที่รีจิสเตอร์ควบคุม โดยให้ A0, A1 เป็น 1 นั่นคือแอดเดรสพอร์ทที่ (93H) ความหมายของรหัสควบคุมมีดังรูปที่ 3.8

D <sub>7</sub>	D <sub>6</sub>	D <sub>5</sub>	D <sub>4</sub>	D <sub>3</sub>	D <sub>2</sub>	D <sub>1</sub>	D <sub>0</sub>
----------------	----------------	----------------	----------------	----------------	----------------	----------------	----------------

รูปที่ 3.8 รหัสควบคุม 8253

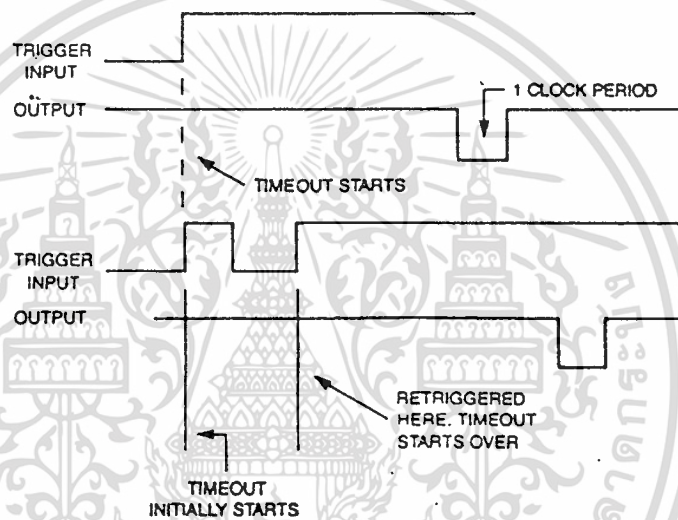
D <sub>7</sub> , D <sub>6</sub>	เป็นการเลือกเคาน์เตอร์ของ 8253 ที่มีอยู่ 3 ตัว โดยที่ถ้ามีลอจิกเป็น
00	เป็นการเลือกเคาน์เตอร์ หมายเลข 0
01	เป็นการเลือกเคาน์เตอร์ หมายเลข 1
10	เป็นการเลือกเคาน์เตอร์ หมายเลข 2
11	ไม่มีความหมาย
D <sub>5</sub> , D <sub>4</sub>	จะเป็นคำสั่ง READ/LOAD เคาน์เตอร์ วงจรมีใช้ลอจิก 11 หมายถึง READ/LOAD ไบต์ที่มีนัยสำคัญต่ำก่อนแล้วค่อยตามด้วยไบต์ที่มีนัยสำคัญสูง
D <sub>3</sub> , D <sub>2</sub> , D <sub>1</sub>	เลือกโหมดที่มีอยู่ 5 โหมด
0 0 0	โหมด 0
0 0 1	โหมด 1
X 1 0	โหมด 2
X 1 1	โหมด 3
1 0 0	โหมด 4
	โหมด 5

เอกสารนี้เป็นเอกสารที่ 0 วอนไว้สำหรับโหมด 5 เพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DO ถ้าเป็น 1 หมายถึง เคาน์เตอร์จะนับแบบ BCD

ถ้าเป็น 0 หมายถึง เคาน์เตอร์จะนับแบบ BINARY

การออกแบบ 8253 ในวงจร ได้ออกแบบให้ใช้เคาน์เตอร์ หมายเลข 0. ในโหมด 3 นั่นคือให้มันเป็นตัวหารความถี่สัญญาณคล็อก ด้วยค่าในเคาน์เตอร์ ทำให้เอาท์พุทที่ได้มีความถี่ลดลง แล้วนำเอาท์พุทนี้ไปเป็นสัญญาณคล็อกให้กับเคาน์เตอร์ หมายเลข 1 โดยที่เคาน์เตอร์ หมายเลข 1 นี้จะทำงานในโหมด 4 ซึ่งเป็นโหมดการหน่วงเวลา โดยจะนับถอยหลังค่าในเคาน์เตอร์ จนกระทั่งค่าในเคาน์เตอร์เท่ากับ 0 จึงให้เอาท์พุทเป็น 0 มีคาบเวลาเท่ากับคาบเวลาของคล็อก 1 ลูก และจะกลับเป็น 1 อีก การทำงานในโหมด 4 จะแสดงในรูปที่ 3.9

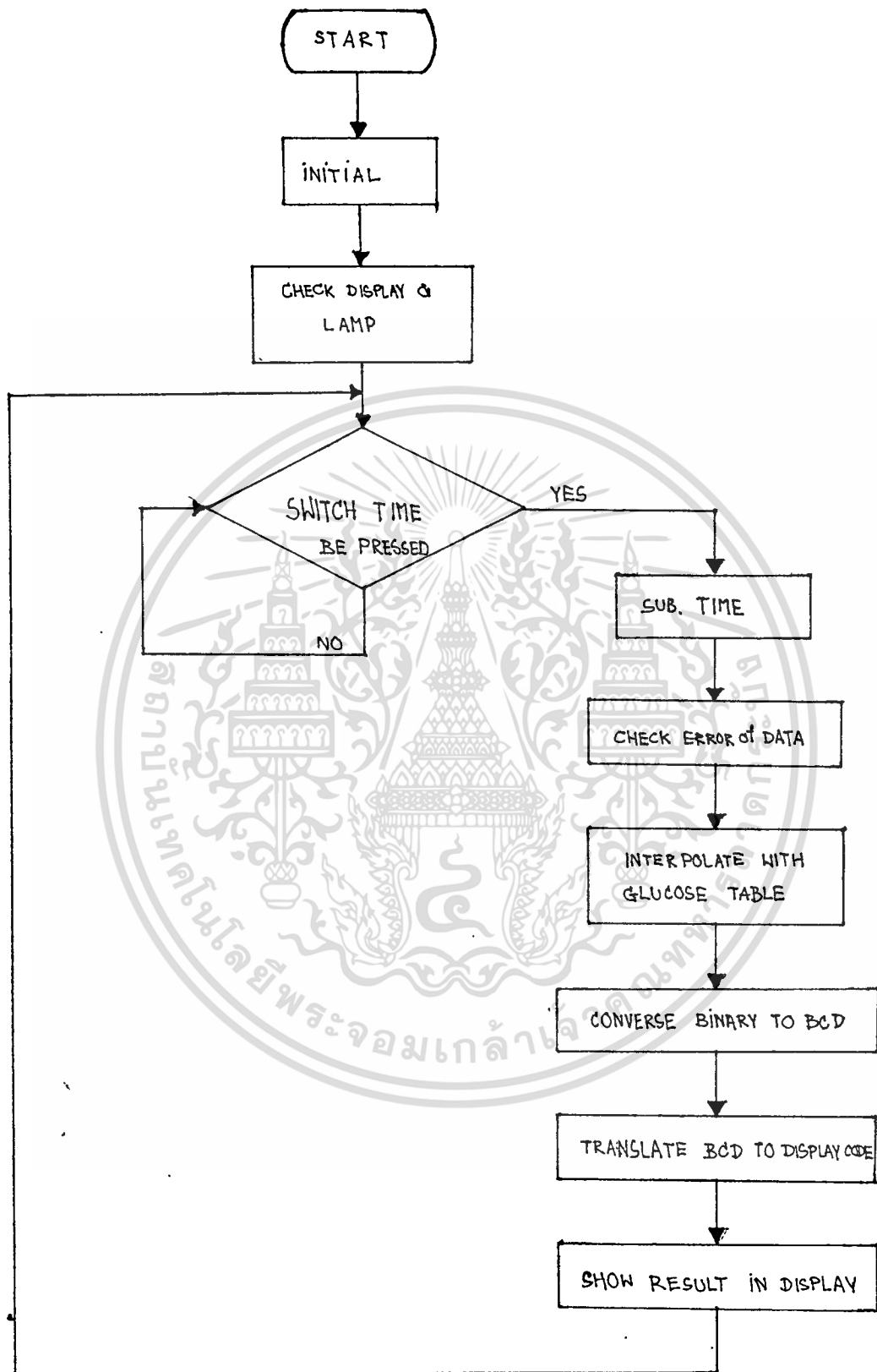


รูปที่ 3.9 การทำงานของ 8253 ในโหมด 4

เอาท์พุทของเคาน์เตอร์ หมายเลข 1 จะเป็นสัญญาณการอินเทอร์รัพท์ ของ Z-80 เพื่อให้ Z-80 ไปทำตามโปรแกรมการตอบสนองการอินเทอร์รัพท์ เมื่อครบเวลาที่ตั้งไว้

### ส่วนแสดงผล

ในการแสดงผลทาง display นั้นจะใช้ ตัวเลข 7 ส่วน 4 หลัก โดย ตัวเลข 7 ส่วน ที่ใช้เป็นแบบ "คอมมอน คาโทด" คือ ถ้าต้องการให้ ตัวเลข 7 ส่วน ตัวใดเปล่งแสง คือการทำให้ขา คอมมอน ของ ตัวเลข 7 ส่วน ตัวนั้นมีโวลเตจเป็น 0 โวลต์



รูปที่ 3.11 โฟลว์ชาร์ตลำดับการทำงานของเครื่อง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

IX+3 เป็นข้อมูลของหลักพัน (ตัวซ้ายสุด)

ขั้นตอนการ สแกนดิสเพลย์ 1 รอบ มีดังนี้

1. ส่งข้อมูล 1110 ออกทางพอร์ท 11H ให้ ตัวเลข7หลัก ตัวขวาสุดติด และส่งข้อมูลที่จะแสดงออกไปทางพอร์ท 10H ตัวเลข7หลัก ตัวขวาสุดก็จะแสดงข้อมูล
2. ส่งข้อมูล 1101 ทางพอร์ท 11H และข้อมูลในแอดเดรส IX+1 ออกทางพอร์ท 10H ตัวเลข7หลัก ตัวที่ 2 จากขวาก็จะแสดงข้อมูล
3. ส่งข้อมูล 1011 ออกทางพอร์ท 11H และข้อมูลหลักร้อยในแอดเดรส IX+2 ทางพอร์ท 10H ตัวเลข7หลัก ตัวที่ 3 จะแสดงข้อมูล
4. ทำเช่นเดิม ส่ง 0111 ทางพอร์ท 11H ข้อมูลหลักพันทางพอร์ท 10H หลักซ้ายสุดก็จะติด

### 3.2 ส่วนซอฟต์แวร์

เป็นส่วนสำคัญในการทำงานของเครื่อง เนื่องจากใช้ Z-80 เป็นซีพียู จึงต้องใช้การเขียนโปรแกรมในภาษาแอสเซมบลี 8 บิต ควบคุมการทำงานของเครื่อง ตั้งไฟล์ชาร์ทการทำงานในรูปที่ 3.11

เมื่อเปิดเครื่องโปรแกรมจะเริ่มทำงานที่แอดเดรส 0000 ซึ่งโปรแกรมส่วนแรกนี้จะเป็นการอ้างโหมดการทำงานต่าง ๆ ของซีพียู โดยปกติแล้ว ซีพียูจะเซ็ทตัวเองให้ ดิสเอเบิล อินเทอร์พท์, อินเทอร์พท์โหมด 0, เซ็ทรีจิสเตอร์ I = 00 และเริ่มการทำงานที่แอดเดรส 0000

#### 3.2.1 การอินิเชียล (Initial)

จะเซ็ท 8255 ให้อยู่ในโหมดที่ต้องการใช้งาน ตั้งค่าแอสตค เซ็คแรม และเขียนโปรแกรมตอบสนองการอินเทอร์พท์ โหมด 1 ไว้ที่แอดเดรส 0038 โปรแกรมการอินิเชียลทั้งหมด แสดงดังต่อไปนี้

LD	B, 0	
DJNZ	*	ช่วงเวลาตอนเปิดเครื่อง
LD	A, 88	
OUT	(13H), A	เซ็ท 8255
LD	SP, SYSTK	ตั้งค่าแอสตค
LD	HL, RAM	
LD	A, (HL)	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

LD    (HL),A
LD    A,(HL)
CPL
LD    (HL),A
CP    (HL)          เช็ครวม
CALL  NZ,FLASH ERROR
JR    START        กระโดดไปเริ่มทำงาน
.....
0038  EX    AF,AF'   โปรแกรมการตอบสนองการอินเทอ
      EXX          รัทท์โหมด 1 เป็นโปรแกรมสวิตช์
      LD    A,0001 0101 B ให้อินทีเกรเตอร์ สร้างแรมป์ลง
      OUT  (12H),A
      EXX
      EX    AF,AF'
      EI
      RETI

```

### 3.2.2 เช็คดีสเพลย์และหลอดไฟ

เมื่อเสร็จจากการอินนิเซียลแล้ว คำสั่งสุดท้าย คือ JR START คือการกระโดดไปเริ่มทำงานที่แอดเดรส START ซึ่งคำสั่งแรกของการทำงาน คือการเช็คลอดไฟ โดยให้หลอดไฟติด 1 วินาที ต่อมาก็เช็คดีสเพลย์ โดยสั่งให้ดิสเพลย์ติดทีละหลัก เรียงกันไป จนถึงหลักที่ 4 เพื่อให้ผู้ใช้สังเกตเห็นว่า มิติสเพลย์หลักไหนชำรุดบ้าง แล้วจึงสแกนคำว่า "GLUCO METER" เป็นอันว่าเครื่องพร้อมทำงาน ซึ่งทั้งหมดนี้ มีโปรแกรมการทำงานดังต่อไปนี้

ส่งค่า A ไปที่พอร์ท C ทำให้หลอดไฟติดนาน 1 วินาที และรีเซ็ต วงจรอินทีเกรเตอร์

```

START LD    A,0000 0011 B
      OUT  (12H),A
      CALL DELAY
      LD    A,0000 0010 B
      OUT  (12H),A

```

สแกนดิสเพลย์ให้ติดทีละหลัก เรียงกันไป

```
LD    B,04H
LD    IX, BYTE
LD    (IX), FFH
CALL  PLAY
```

สแกนคำว่า "GLUCO METER"

```
LD    B,0FH
LD    IX, GLUCO
CALL  PLAY
```

SUB. DELAY นี้จะเลื่อนเวลาไป 1 วินาที  
SUB. PLAY จะเป็นการดิสเพลย์ แล้วจะเลื่อนค่าไปทางซ้าย 1 บิต  
แล้วสแกนไปเรื่อย ๆ จนหมดค่า B มีโปรแกรมดังนี้

```
SUB. PLAY
YOUN LD    C,50H
TOE  CALL  SCAN I
      DEC  C
      JR   NZ, TOE
      DEC  IX
      DJNZ YOUN
      RET
```

### 3.2.2 ขั้นตอนการทำงาน

หลังจากที่เครื่องสแกนคำว่า "GLUCO METER" แล้ว เครื่องจะรอผู้ไขกด สวิตช์ใหม่ โดยจะกดหลังจากหยุดเลือดส่งบนแผ่นสติ๊กเกอร์ แล้ว โปรแกรมการรอสัญญาณสวิตช์ใหม่ เป็นดังนี้

```
LD    IX, TIME
WAIT CALL  SCAN I
      IN   A, (12H)
      BIT  6, A
      JR   Z, WAIT
TOO  CALL  TIME
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ระหว่างที่ผู้ใช้ยังไม่กดสวิทช์ไทม์ ดิสเพลย์จะสแกนคำว่า "TIME" ไว้ เพื่อเตือนผู้ใช้ให้ทำตามขั้นตอน สวิทช์ไทม์นี้เป็นขา C6 ของ 8255 เป็นขาอินพุท เมื่อถูกกดจะเป็น 1 ทำให้โปรแกรมเรียกไปยัง ซับรูทีน ไทม์

### ซับรูทีน ไทม์ (SUB. TIME)

การทำงานของซับรูทีน จะอ่านค่าของจุดอ้างอิงโดยใช้ซับรูทีน ริดดาต้า (SUB. READ DATA) แล้วนำค่าของจุดอ้างอิงนี้มาเช็คดูว่า อยู่ในเกณฑ์ที่ยอมรับได้หรือไม่ ถ้ายอมรับไม่ได้จะสแกนคำว่า "ERROR" ผู้ใช้จะต้องเปิดเครื่องใหม่ ถ้าค่าจุดอ้างอิงนี้สามารถยอมรับได้ ก็จะเก็บไว้ที่แอดเดรส REF หลังจากนั้นจะเป็นโปรแกรมนับถอยหลัง 60 วินาที โดยจะแสดงผลทางดิสเพลย์ด้วย ต่อมาจะรอผู้ใช้กดสวิทช์ ริด (READ) ระหว่างที่รอสวิทช์นี้ก็จะสแกนคำว่า "READ" ทางดิสเพลย์ไปด้วย เพื่อเตือนผู้ใช้ให้ทำตามขั้นตอน เมื่อสวิทช์ ริด ถูกกดแล้ว เครื่องจะอ่านข้อมูลโดยโปรแกรม ริดดาต้าอีกครั้งหนึ่ง และข้อมูลจะเก็บไว้ที่แอดเดรส RAW โปรแกรมการทำงานของซับรูทีน ไทม์ จะเป็นดังนี้

อ่านค่าจุดอ้างอิง (REF)  
 CALL READ DATA  
 โปรแกรมต่อไปนี้เป็นกรเช็คค่าจุดอ้างอิงว่าอยู่ในระดับที่ยอมรับได้หรือไม่ ถ้ายอมรับได้ก็จะเก็บค่าของจุดอ้างอิงไว้ที่แอดเดรส REF

```

LD BC, (REF. LOW)
LD HL, (RAW)
CALL CH.ERROR
LD HL, (REF. HI)
LD BC, (RAW)
CALL CH.ERROR
LD BC, (RAW)
LD (REF), BC
CALL BUZZER
  
```

โปรแกรมต่อไปนี้เป็นโปรแกรมการนับถอยหลัง 60 วินาที

```

LD IX,OUTBF
LD HL,COL.1
LD DE,COL.2
LD B,0
LD (IX+2),B
LD (IX+3),B
LD B,1
LD A,3F
AND A
SLOW PUSH AF
LD A,(HL)
LD (IX),A
LD A,DE
LD (IX+1),A
PUSH BC
LD B,61H
OR CALL SCAN I
DJNZ OR
POP BC
DJNZ SUB
10SEC INC HL
DEC DE
POP AF
RR A
LD B,2
JRC SLOW
JR OUT
SUB LD B,8
SEC PUSH AF
LD A,(HL)
LD IX,A
POP AF

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

PUSH BC
LD B,61H
PINGLO CALL SCAN I
DJNZ PINGLO
POP BC
DJNZ SEC
PUSH AF
LD HL, COL.1
LD A, (HL)
LD (IX), A
POP AF
LD B,61H
NAE CALL SCAN I
DJNZ NAE
JR 10SEC
OUT CALL BUZZER
LD IX, READ
PRESS CALL SCAN I
IN A, (12H)
BIT 5, A
JR Z, PRESS

```

เสร็จจากการนับถอยหลัง โปรแกรมต่อไปนี้จะเป็นการเช็คสัญญาณการกดสวิทช์ ริด ขณะที่เช็คก็จะสแกนคำว่า "READ" เพื่อเตือนให้ผู้ใช้ปฏิบัติตามขั้นตอน

```

LD IX, READ
PRESS CALL SCAN I
IN A, (12H)
BIT 5, A
JR Z, PRESS

```

เมื่อผู้ใช้กดสวิทช์ ริด แล้ว เครื่องจะอ่านข้อมูลซึ่งก็คือแผ่นสต็อกซ์โดยชิบรูทีน ริดดาต้า

```

CALL READ DATA
RET

```

ในชิบรูทีน ไทม์ จะมีการอ่านข้อมูลโดยใช้ชิบรูทีน ริดดาต้า โปรแกรมของชิบรูทีน ริดดาต้า จะเป็นการเช็ค Z-80 ให้อินเทอร์พรีทโหมด 1 ควบคุมสวิทช์ให้วงจรอินทิเกรเตอร์สร้างแรมป์ขึ้น และเช็ค 8253 ให้เป็นไทม์เมอร์ตั้งเวลาตามที่กำหนด เมื่อถึงเวลาที่กำหนดก็จะส่งสัญญาณขออินเทอร์พรีทมาที่ Z-80 แต่หลังจากที่ Z-80 เช็ค 8253

ให้เป็นไทม์เมอร์แล้ว Z-80 จะคอยรับอินพุทที่ขา C4 ของ 8255 เพื่อ  
เปลี่ยนเป็นจำนวนนับ เก็บไว้ที่แอดเดรส RAW สำหรับการเปลี่ยนสัญ  
ญาณพัลส์ให้เป็นจำนวนนับ โปรแกรมจะทำงานเป็นวงจรรันความถี่  
โดยตั้งความถี่ได้ ช่วงเวลาที่นับคือช่วงความกว้างพัลส์ที่เข้ามา

SUB. READ DATA

IM 1

LD BC,0000H

โปรแกรมต่อไปนี้เป็นโปรแกรมสั่งให้หลอดไฟติด 1 วินาทีก่อนเพื่อให้  
แสงมีความสว่างคงที่

LD A,0000 0011 B

OUT (12H),A

PUSH HL

CALL DELAY

POP HL

โปรแกรมต่อไปนี้เป็น การควบคุมสวิทช์ให้สร้างแรมป์ขาขึ้น

LD A,01H

OUT (12H),A

ต่อไปจะเป็นการสั่งให้ 8253 ให้ทำงานในโหมดที่ต้องการ

LD A,34H

OUT (93H),A

LD A,DOH

OUT (90H),A

LD A,07H

OUT (90H),A

LD A,78H

OUT (93H),A

ตั้งเวลา 8253 โดยตั้งค่า RAMP กับค่า ON

LD A,RAMP

OUT (91H),A

LD A,ON

OUT (91H),A

อินาเบิลการอินเทอร์พท์

เอกสารนี้เป็นเอกสารที่ E.I. ไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ต่อไปจะเป็นโปรแกรมคอยรับอินพุตที่เข้ามา และเปลี่ยนเป็น  
จำนวนนับเก็บไว้ที่แอดเดรส RAW

```
COM   IN   A, (12H)
      BIT  4, A
      JR   Z, COM
```

เมื่อพัลส์เข้ามา วงจรนับก็จะตั้งค่าความถี่ที่ใช้ นับ โดยตั้งค่า QUENCY

```
FREQ  LD   HL, QUENCY
COUNT ADD HL, DE
      JR   C, COUNT
      INC  BC
      IN   A, (12H)
      BIT  4, A
      JR   NZ, FREQ
```

เมื่อนับเสร็จแล้ว จะรีเซ็ตวงจรอินทิเกรเตอร์พร้อมกับดับไฟ เก็บค่าที่  
นับได้ไว้ที่แอดเดรส RAW และดิสเอเบิล การอินเทอร์พรัท

```
LD   A, 0000 0010 B
OUT  (12H), A
LD   (RAW), BC
DI
RET
```

และในซับรุติน ไทม์ จะมีซับรุติน CH.ERROR เป็นซับรุตินที่ใช้เช็คข้อมูล  
ว่ายอมรับได้หรือไม่ ซึ่งมีโปรแกรมการทำงานดังนี้

```
SUB. CH.ERROR
      AND  A
      SBC  HL, DE
      CALL C, FLASH ERROR
      RET
```

ถ้าข้อมูลผิดพลาดจะเรียกไปยังซับรoutines FLASH ERROR ซึ่งจะสแกนค่า  
ว่า "ERR" ผู้ใช้ต้องปิดแล้วเปิดเครื่องใหม่

SUB. FLASH ERROR

```

LD HL,ZERO
PUSH HL
LD IX,ERROR
FLASH EX (SP),IX
LD B,50H
SEG CALL SCAN I
DJNZ SEG
JR FLASH

```

ในซับรoutines ไทม์ จะมีซับรoutines BUZZER ซึ่งซับรoutines นี้จะสั่งให้ออดดัง 1  
วินาที โดยที่ออดนี้ถูกควบคุมด้วยขา C3 ของ 8255 มีโปรแกรมดังนี้

SUB. BUZZER

```

LD A,0000 1010 B
OUT (12H),A
CALL DELAY
LD A,0000 0010 B
OUT (12H),A
RET

```

SUB. PLAY

```

LD DE,FFFFH
LD HL,FBOOH
DEE AND FFH
ADD HL,DE
JR C,DEE
RET

```

ชิบรูทีนสุดท้ายที่เรียกจากโปรแกรมของชิบรูทีน ไทม์ คือชิบรูทีน SCAN I  
โดยจะสแกนเพียง 1 รอบเท่านั้น มีโปรแกรมดังนี้

SUB. SCAN I

```

EX    AF,AF'
EXX
LD    E,0000 1110 B
LD    H,4
SCAN LD    A,E
OUT   (11H),A
LD    A,(IX)
OUT   (10H),A
LAY  LD    B,FAH
LD    A,FFH
DJNZ  LAY
OUT   (11H),A
INC   IX
LD    A,E
OR    FOH
RLC   A
AND   OFH
LD    E,A
DEC   H
JR    NZ,SCAN
LD    DE,-4H
ADD   IX,DE
EXX
EX    AF,AF'
RET

```

### การใช้ค่าผิดพลาดของข้อมูล

หลังจากที่เครื่องทำงานในชิบรูทีน ไทม์ไปแล้ว ก็จะได้ค่าข้อมูลอยู่ที่แอดเดรส RAW และค่าจุดอ้างอิงที่แอดเดรส REF เครื่องจะนำค่าของข้อมูลที่อยู่ที่แอดเดรส RAW มาใช้ผิดพลาดว่าข้อมูลอยู่ในไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ช่วงที่ยอมรับได้หรือไม่ ซึ่งเราจะยอมให้ข้อมูลอยู่ระหว่าง (D.LOW) - (D.HIGH) ถ้าข้อมูลอยู่นอกช่วงนี้จะเป็นความผิดพลาดไป เครื่องจะสแกน "ERR" ผู้ใช้จะต้องปิดเครื่องแล้วเริ่มวัดใหม่ การ์์ เซ็คค่าผิดพลาดมีโปรแกรมดังต่อไปนี้

```
LD BC, (D.LOW)
LD HL, (RAW)
CALL CH.ERROR
LD HL, (D.HIGH)
LD BC, (RAW)
CALL CH.ERROR
```

จากนั้นแล้วจะต้องหา ผลต่างระหว่างค่าที่วัดจากสติกซ์ กับค่า ที่วัดจากจุดอ้างอิง เพื่อจะนำผลต่างนี้ไปประมาณค่าจากตารางน้ำตา ลที่เราทดลองได้ ซึ่งผลต่างนี้จะเก็บไว้ที่แอดเดรส DATA และมีโปรแกรมดังต่อไปนี้

```
LD BC, (RAW)
LD HL, (REF)
AND A
SBC HL, BC
LD (DATA), HL
```

TABLE

จำนวนนับ 2 ไบต์

ปริมาตรน้ำตา ล 2 ไบต์

จำนวนนับ 2 ไบต์

ปริมาตรน้ำตา ล 2 ไบต์

⋮  
⋮  
⋮

รูปที่ 3.12 ตารางน้ำตา ล

### การประมวลผลโดยเปรียบเทียบกับตารางน้ำตาล

ในหน่วยความจำ อินทรม จะมีตารางน้ำตาลเก็บไว้ ซึ่งตารางนี้เป็นตารางที่ได้จากการทดลองหลาย ๆ ครั้ง เพื่อนำค่าจำนวนนับที่เป็นผลต่างของแผ่นสติกซ์ กับจุดอ้างอิงมาแปรค่าเป็นปริมาณน้ำตาลในเลือด โดยนำเลือดที่รู้ค่าปริมาณน้ำตาลแน่นอนอยู่แล้ว มาหาค่าจำนวนนับหลาย ๆ ครั้งแล้วหาค่าเฉลี่ย ซึ่งลักษณะตารางจะเป็นดังรูปที่ 3.12

ปริมาณน้ำตาล 2 ไบต์ จะเป็นคู่ของจำนวนนับ 2 ไบต์ ที่อยู่ก่อน ซึ่งมันจะเป็นคู่ลำดับเช่นนี้ 30-50 คู่เพื่อความละเอียดในการวัด และจำนวนนับนี้จะเรียงจากน้อยลงมาหามาก

เมื่อเครื่องได้จำนวนนับเก็บไว้ที่แอดเดรส DATA แล้ว เวลาประมวลผลจะนำค่าจำนวนนับมาเปรียบเทียบกับจำนวนนับ 2 ไบต์ไปเรื่อย ๆ ถ้ามีจำนวนนับใดที่ค่ามากกว่าค่าของข้อมูลแล้ว ก็จะหยุดและทำการประมาณค่าโดยที่

X = จำนวนนับที่มีค่ามากกว่าค่าข้อมูล

Y = จำนวนนับที่น้อยกว่า ที่อยู่ถัดขึ้นไป

a = ปริมาณน้ำตาลของ X

b = ปริมาณน้ำตาลของ Y

O = จำนวนนับของแผ่นสติกซ์ (ที่เก็บไว้ที่แอดเดรส DATA)

P = ปริมาณน้ำตาลของแผ่นสติกซ์

$$P = b + (O - Y)(a - b)/(X - Y)$$

เมื่อได้ปริมาณน้ำตาลเป็นไบนารีแล้ว จะเก็บไว้ที่แอดเดรส BIN.GLUCO โปรแกรมการทำงานของเครื่องประมวลผลมีดังต่อไปนี้ นำค่าข้อมูลเปรียบเทียบกับตารางไปเรื่อย ๆ

```
LD IX, TABLE
INCR LD HL, (DATA)
LD E, (IX)
LD D, (IX+1)
AND A
SBC HL, DE
JRC STOP
```

เอกสารนี้เป็นเอกสารที่ INC ใช้สำหรับ IX การใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

INC IX
INC IX
INC IX
JR INCR

```

เมื่อพบว่ามีจำนวนนับใดมีค่ามากกว่า ก็จะหยุดพร้อมทั้งหาผลต่างของ  
จำนวนนับที่มากกว่าข้อมูล กับที่น้อยกว่าถัดไป เก็บที่แอดเดรส SUB.COUNT  
ปริมาณน้ำตาลของจำนวนนับทั้งสอง เก็บที่แอดเดรส SUB.SUGAR  
ข้อมูล กับจำนวนนับที่น้อยกว่าถัดไป เก็บที่แอดเดรส REAL COUNT  
โดยที่ผลลัพธ์ทั้งหมดจะมีขนาด 1 ไบต์

```

STOP LD HL, DE
DEC IX
DEC IX
DEC IX
LD D, (IX)
DEC IX
LD E, (IX)
AND A
SBC HL, DE
LD (SUB. COUNT), L
LD HL, (DATA)
AND A
SBC HL, DE
LD (REAL COUNT), L
INC IX
INC IX
LD E, (IX)
INC IX
LD D, (IX)
INC IX
INC IX
INC IX

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับใช้ในการเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

INC    IX
LD     H, (IX)
AND    A
SBC    HL, DE
LD     (SUB. SUGAR), L

```

นำค่าทั้ง 3 นี้มาเทียบบัญญัติไตรยางค์ ผลลัพธ์เก็บที่แอดเดรส RESULT โดยที่  $(RESULT) = (SUB. SUGAR)(REAL\ COUNT)/(SUB. COUNT)$  โดยที่ส่วนแรกของโปรแกรมจะเป็น  $(SUB. SUGAR)(REAL\ COUNT)$  ส่วนผลลัพธ์จะอยู่ที่แอดเดรส OPERATE มีขนาด 2 ไบต์

```

LD     E, (REAL COUNT)
LD     A, (SUB. SUGAR)
LD     B, 8
XOR    D
LD     H, D
LD     L, D
MULTI  ADD    HL, HL
RLC    A
JR     NZ, NOADD
ADD    HL, DE
NOADD  DJNZ  MULTI
LD     (OPERATE), HL

```

ต่อมาจะนำเอา  $(OPERATE)/(SUB. COUNT)$  ผลลัพธ์อยู่ที่  $(RESULT)$  มีขนาด 2 ไบต์

```

LD     DE, (OPERATE)
LD     C, (SUB. COUNT)
XOR    B
LD     H, B
LD     L, B
LD     A, 16H
DVO    RL    E
RL     D
ADC    HL, HL
SBC    HL, BC

```

```

JR    NC, DV1
ADD   HL, BC
DV1   CCF
DEC   A
JR    NZ, DVO
EX    DE, HL
ADC   HL, HL
LD    (RESULT), HL

```

นำค่าปริมาณน้ำตาลของจำนวนนับที่น้อยกว่าข้อมูล บวกกับค่าในแอดเดรส RESULT ก็จะเป็นค่าปริมาณน้ำตาลของแผ่นสติ๊กเกอร์ตามต้องการ เก็บที่แอดเดรส BIN. GLUCO

```

DEC   IX
DEC   IX
DEC   IX
DEC   IX
LD    D, (IX)
DEC   IX
LD    E, (IX)
LD    HL, (RESULT)
ADD   HL, DE
LD    (BIN. GLUCO), HL

```

การเปลี่ยน ไบนารี เป็น BCD

จะใช้คำสั่ง DAA มาช่วยในการเปลี่ยนค่า การทำงานคือจะเลื่อนค่าของ BIN. GLUCO เข้าไปในบิททศ แล้วนำค่านี้มาเลื่อนเข้า A โดยคำสั่ง ADC A,A แล้วสั่ง DAA ทำให้ผลลัพธ์ถูกจัดให้เป็น BCD ทำเช่นเดียวกันจนครบทุกบิท จะได้ค่า BCD ที่แอดเดรส BCD. GLUCO ซึ่งโปรแกรมจะแสดงดังต่อไปนี้

```

XOR   A
LD    B, 2
LD    HL, BCD. GLUCO
CLEAR LD (HL), A

```

เอกสารนี้เป็นเอกสารที่ INC วัสดุ HL กับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

DJNZ CLEAR
LD C,10H
BITC LD L,BIN. GLUCO
LD B,2
SHLB RL (HL)
INC HL
DJNZ SHLB
LD L,(BCD GLUCO)
LD B,2
BCD LD A,(HL)
ADC A,A
DAA
LD (HL),A
INC HL
DJNZ BCD
DEC C
JR NZ,BITC

```

### การเปลี่ยนค่า BCD เป็น ดิสเพลย์โค้ด

การเปลี่ยน BCD เป็นดิสเพลย์โค้ด ทำได้โดยจะใช้ชิบรูทีน HEX7 ซึ่งชิบรูทีนนี้จะเปลี่ยนค่าจากเลขฐาน 2 เป็น ดิสเพลย์โค้ด โดยเปลี่ยน 4 บิตล่างของ A เท่านั้น เมื่อเปลี่ยนได้แล้วจะมีขนาดเป็น 8 บิต ซึ่งอยู่ที่ A อย่างเดิม เราจึงต้องโหลดค่าใน A ไปเก็บที่อื่น แล้วจึงค่อยนำค่าเลขฐาน 2 จำนวนเดิมโหลดใส่ A อีกครั้ง หมุนวนขวา 4 ครั้ง หลังจากนั้นใช้ชิบรูทีน HEX7 อีกครั้งหนึ่ง เพื่อเปลี่ยนค่าเลขฐาน 2 ให้เป็นดิสเพลย์โค้ด แล้วจึงค่อยโหลดค่าที่ได้ไปเก็บในหน่วยความจำอีกครั้งหนึ่ง ฉะนั้น ค่าไบนารี 8 บิตจะเปลี่ยนเป็นดิสเพลย์โค้ด 16 บิต โดยที่ดิสเพลย์โค้ด 8 บิตจะกลายเป็นตัวเลข 1 ตัว โปรแกรมการเปลี่ยนค่า BCD เป็นดิสเพลย์โค้ด มีดังนี้

```

LD DE,BCD. GLUCO
LD HL,OUTBF
LD B,4

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
 CONV LD A,(DE)  
 ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

PUSH AF
CALL HEX7
LD (HL),A
INC HL
POP AF
RRCA
RRCA
RRCA
RRCA
CALL HEX7
LD (HL),A
INC HL
INC DE
DJNZ CONV

```

เนื่องจากเราเปลี่ยน ค่า BCD ขนาด 2 ไบต์ ดังนั้นเราจะได้ค่าดิสเพลย์โค็ดที่ OUTBF เรียงลงไป 4 ไบต์ โดยที่หลักหน่วยจะอยู่บนสุดเรียงลงไปจนถึงหลักพัน

ขั้นสุดท้าย HEX7 เป็นการเปลี่ยนค่าเลขฐานสองที่อยู่ใน 4 บิตล่างของรีจิสเตอร์ A ให้เป็นค่าดิสเพลย์โค็ด โดยที่ใช้หลักการสร้างตารางดิสเพลย์โค็ดไว้ก่อน ตัวแรกของตารางจะเป็นโค็ดของ "0" แล้วเรียงลงมาจนถึงโค็ดของ "9" จะนำแอดเดรสของตารางตัวแรกบวกกับ 4 บิตล่างของรีจิสเตอร์ A ผลลัพธ์ที่ได้จะชี้ไปที่แอดเดรสที่มีค่าโค็ดของ 4 บิตล่างของ A ดังโปรแกรมต่อไปนี้

```
SUB. HEX7
```

```

PUSH HL
LD HL,SEGTAB
AND OFH
ADD A,L
LD L,A
LD A,(HL)
POP HL

```

```
RET
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### การแสดงค่าปริมาณน้ำตาล

เมื่อได้ค่าดิสเพลย์โค้ดมาแล้ว จะแสดงค่าปริมาณน้ำตาลทันที ระหว่างที่แสดงค่านี้ก็จะตรวจสัญญาณสวิทช์ ไทม์ ว่าผู้ใช้ต้องการจะอ่านค่าแผ่นสติกซ์อีกหรือไม่ ถ้ามีการกดสวิทช์ ไทม์ เครื่องก็จะกระโดดไปทำโปรแกรมหลัก เพื่อหาค่าปริมาณน้ำตาลค่าใหม่อีก แต่ถ้าไม่มีการกดสวิทช์ เครื่องจะวนตรวจสวิทช์ ไทม์ไปเรื่อย ๆ พร้อมทั้งสแกนค่าปริมาณน้ำตาลอยู่อย่างนี้ เป็นอันครบวงจรการทำงานของเครื่อง โปรแกรมการแสดงผลค่าปริมาณน้ำตาล และการตรวจสัญญาณสวิทช์ ไทม์จะแสดงดังต่อไปนี้

```
LD      IX,OUTBF
SHOW   CALL SCAN I
        IN    A,(12H)
        BIT   6,A
        JR   Z,SHOW
        JR   TOO
```

## บทที่ 4

## การทดลองและผลการทดลอง

ในการวัดค่าระดับน้ำตาลในเลือดทุกครั้ง สิ่งที่สำคัญที่สุดคือการทำ  
ให้การวัดค่าระดับน้ำตาลในเลือดมีค่าเท่ากันได้ผลออกมาเท่ากันทุกครั้ง คือ  
ผลลัพธ์เสถียรนั่นเอง

ปัจจัยที่ทำให้ผลลัพธ์เสถียรมี 2 ประการ ได้แก่ ความแน่นอนของ  
แหล่งกำเนิดแสงต้องให้แสงที่มีความเข้มแสงคงที่เสมอ และการปรับสร้าง  
แรมป์ให้มีค่าที่เหมาะสมที่สุด ซึ่งถ้าปรับค่าที่ได้ค่านี้แล้วความไม่เสถียรของ  
การวัดจะมีค่าน้อยมาก

การกำหนดการสร้างแรมป์มีตัวแปรที่สำคัญอยู่ 4 ตัวคือ

1. คาบเวลาที่กำหนดให้สร้างแรมป์ขาขึ้น ( $T_{on}$ ) โดยจะบ่อน  
ค่านี้ให้กับ 8253 ทำการหน่วงเวลา
2. ค่าตัวเก็บประจุ ( $C$ ) ที่คร่อมอินทิเกรเตอร์อยู่ซึ่งจะควบคุม  
แอมพลิจูดของแรมป์โดยจะต้องไม่ให้มีขนาดถึงระดับอิ่มตัว
3. แรงดันอ้างอิงที่วงจรมพาราเตอร์ ( $V_{ref}$ ) ซึ่งสามารถ  
กำหนดความกว้างของพัลส์ที่ออกมาทางด้านเอาต์พุทของวงจรได้
4. ความถี่ที่ส่วนประมวลผลจะทำการนับพัลส์จากวงจรมพารา  
เตอร์ทำให้จำนวนนับที่ส่วนประมวลผลนับได้มีค่าแตกต่างกันไป

ในการทดลองหาค่าตัวแปรต่าง ๆ ที่เหมาะสม จะทำการวัดเทียบกับ  
แถบกระดาษที่มีสีคล้ายคลึงกับสีของระดับน้ำตาลค่าต่าง ๆ โดยเป้าหมาย  
สำคัญคือการวัดที่ได้ผลลัพธ์เสถียรที่สุด จากการทดลองพบว่าค่าแรงดันอ้างอิง  
ของคอมพาราเตอร์ที่เหมาะสมที่สุด คือ  $V_{ref} = 0.5$  โวลต์ ถ้าใช้  
 $V_{ref}$  สูงกว่านี้ จะไม่สามารถอ่านค่าระดับน้ำตาลที่สูงกว่า 400 mg/dl  
ได้ แต่ถ้าต่ำกว่า 0.5 โวลต์ จะได้ผลลัพธ์ที่ไม่เสถียร

การเลือกค่าตัวเก็บประจุจะขึ้นอยู่กับช่วงเวลา  $T_{on}$  โดยจะให้  
แรมป์มีแอมพลิจูดสูงสุดแต่ยังไม่เข้าสู่ภาวะอิ่มตัว จากตาราง 3.1 เราจึง  
เลือกค่าเวลา  $T_{on}$  เท่ากับ 1 วินาที

สำหรับการเลือกค่าความถี่ของการนับจะดูได้จากตารางที่ 3.2  
และจากตารางที่ 3.2 จะสรุปได้ว่าถ้าเวลาที่เหมาะสมที่สุดจะแสดงไว้ใน  
ตารางที่ 3.3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น เมื่ออนุญาตให้เผยแพร่ไปยังหน่วยงานอื่น  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## บทที่ 5 สรุปวิจารณ์

เครื่องวัดระดับน้ำตาลในเลือดนี้ยังมีข้อบกพร่องอยู่โดยเฉพาะส่วน เซนเซอร์ ซึ่งเป็นตัวกำหนดความแม่นยำของเครื่อง เช่นแหล่งกำเนิดแสงคือหลอดไฟ จะต้องให้แสงมีความเข้มแสงคงที่ตลอดทุกครั้งที่ทำการวัด เพื่อให้ปริมาณที่แสงสะท้อนมีค่าใกล้เคียงกับเมื่อสร้างตารางเปรียบเทียบค่า อาจทำได้โดยการเรกกูเลต (regulate) ไฟเลี้ยง 2-3 ชั้น ก่อนบ่อนเข้าหลอดไฟ เพื่อให้แรงดันที่จ่ายให้หลอดไฟมีความเสถียรมาก ๆ หรือใน ส่วนสร้างแรมป์ (วงจรรินทีเกรเตอร์และวงจรรคอมพาราเตอร์) ซึ่งมีปัจจัยหลายอย่างในการปรับให้การสร้างแรมป์มีความเหมาะสมที่สุด อาทิ เวลาในการสร้างแรมป์ขาขึ้นที่เราต้องกำหนด ค่าตัวเก็บประจุที่คร่อมอินทิเกรเตอร์ซึ่งจะมีผลทำให้แรมป์มีแอมพลิจูดต่างกันแต่จะต้องไม่ถึงระดับอิ่มตัว ค่าความถี่ที่ส่วนประมวลผลใช้นับความกว้างพัลส์ ซึ่งจะทำให้จำนวนนับที่ส่วนประมวลผลนับได้มีค่ามากน้อยต่างกันไป และค่าแรงดันอ้างอิง ที่ตั้งไว้กับวงจรรคอมพาราเตอร์ ซึ่งจะมีค่าต่ำกว่าแรงดันของแรมป์ที่อ่านได้จากระดับน้ำตาลที่มีค่าสูงที่สุด

การทำให้เครื่องมีประสิทธิภาพมากขึ้นนั้น อาจทำได้โดยการเปลี่ยนลักษณะการวัดจากลำแสงเดี่ยว (Single Beam) เป็นลำแสงคู่ (Double Beam) ซึ่งจะมีการวัดการสะท้อนแสงจากจุดอ้างอิงและแถบสีเท็กซ์โตรสติกซ์พร้อมกันในการฉายแสงเพียงครั้งเดียว จะทำให้การวัดมีความแม่นยำกว่าแบบลำแสงเดี่ยว



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



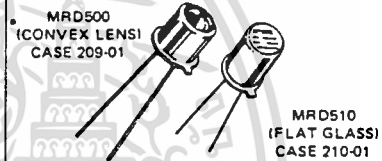
**MRD500  
MRD510**

**PIN SILICON PHOTO DIODES**

... designed for application in laser detection, light demodulation, detection of visible and near infrared light-emitting diodes, shaft or position encoders, switching and logic circuits, or any design requiring radiation sensitivity, ultra high-speed, and stable characteristics.

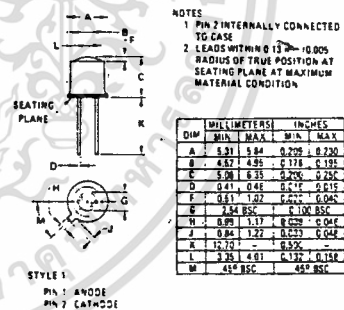
- Ultra Fast Response – (<1.0 ns Typ)
- High Sensitivity – MRD500 (1.2  $\mu\text{A}/\text{mW}/\text{cm}^2$  Min)  
MRD510 (0.3  $\mu\text{A}/\text{mW}/\text{cm}^2$  Min)
- Available With Convex Lens (MRD500) or Flat Glass (MRD510) for Design Flexibility
- Popular TO-18 Type Package for Easy Handling and Mounting
- Sensitive Throughout Visible and Near Infrared Spectral Range for Wide Application
- Annular Passivated Structure for Stability and Reliability

**PHOTO DIODES  
PIN SILICON  
100 VOLTS  
100 MILLIWATTS**



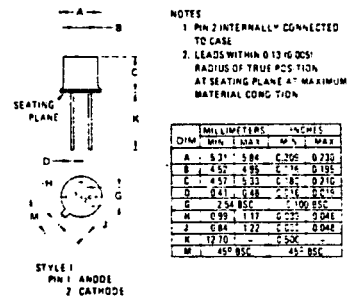
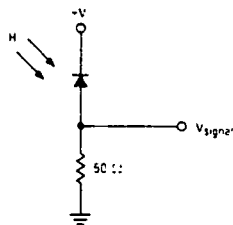
**MAXIMUM RATINGS ( $T_A = 25^\circ\text{C}$  unless otherwise noted)**

Rating	Symbol	Value	Unit
Reverse Voltage	$V_R$	100	Volts
Total Power Dissipation @ $T_A = 25^\circ\text{C}$ Derate above $25^\circ\text{C}$	$P_D$	100 0.57	mW mW/ $^\circ\text{C}$
Operating and Storage Junction Temperature Range	$T_J, T_{stg}$	-65 to +200	$^\circ\text{C}$



CASE 209-01

FIGURE 1 - TYPICAL OPERATING CIRCUIT



CASE 210-01

# MRD500, MRD510

## TYPICAL ELECTRICAL CHARACTERISTICS

FIGURE 2 – IRRADIATED VOLTAGE – CURRENT CHARACTERISTIC FOR MRD500

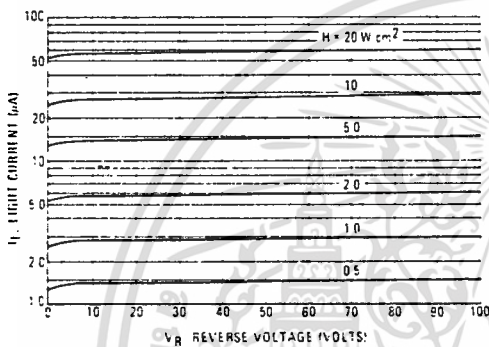


FIGURE 3 – IRRADIATED VOLTAGE – CURRENT CHARACTERISTIC FOR MRD 510

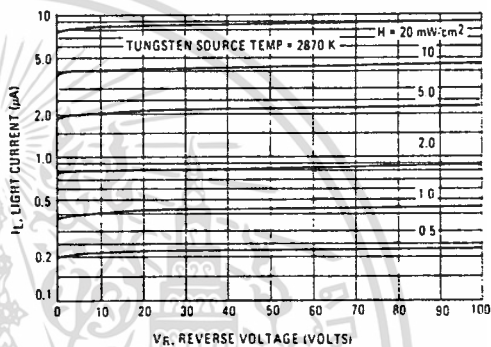


FIGURE 4 – DARK CURRENT versus TEMPERATURE

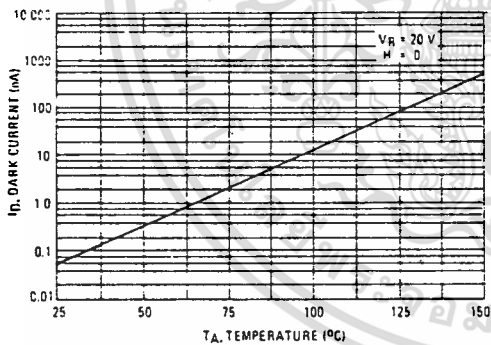


FIGURE 5 – DARK CURRENT versus REVERSE VOLTAGE

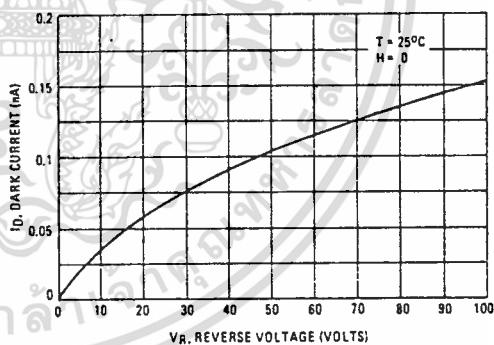


FIGURE 6 – CAPACITANCE versus VOLTAGE

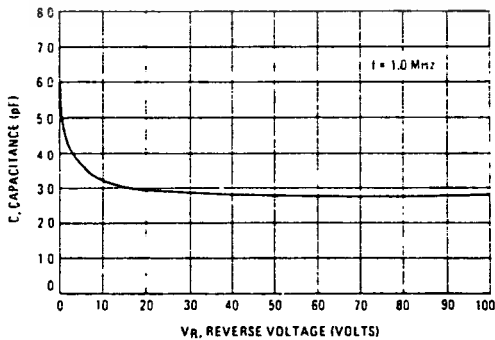
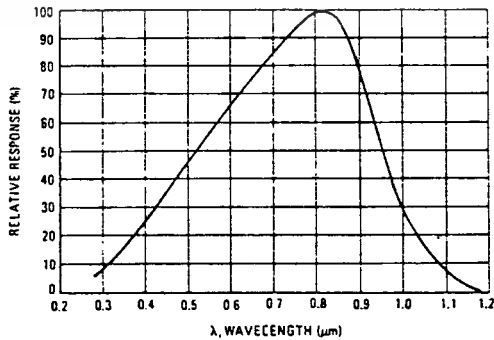


FIGURE 7 – RELATIVE SPECTRAL RESPONSE



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

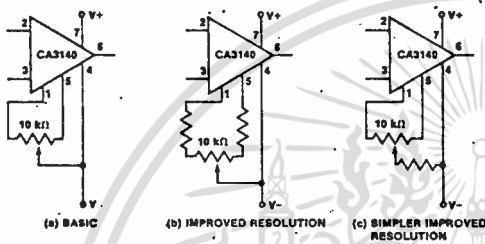
# BIMOS OPERATIONAL AMPLIFIERS WITH MOS/FET INPUT, BIPOLAR OUTPUT

# CA3140B, CA3140A, CA3140

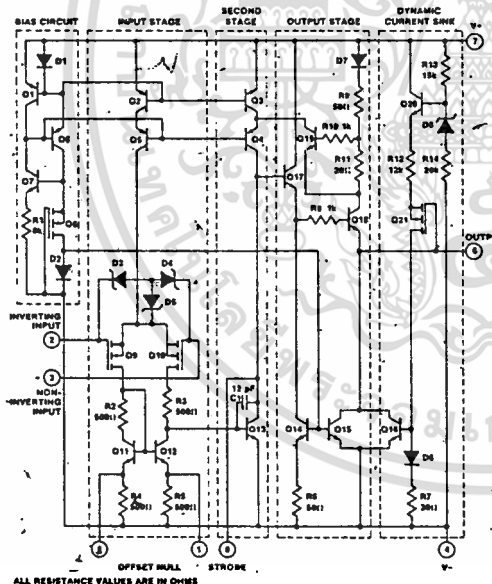
## FEATURES

- MOS/FET Input Stage
  - (a) Very high impedance —  $1.5 \times 10^{12} \Omega$  typ.
  - (b) Very low input current — 10 pA typ. at  $\pm 15$  V
  - (c) Low input-offset voltage — to 2 mV max.
  - (d) Wide common-mode input-voltage range — can be swung 0.5 volt below negative supply-voltage rail
  - (e) Output swing complements input common-mode range
  - (f) Rugged input stage — bipolar diode protected
- Directly replaces industry type 741 in most applications

## VOLTAGE OFFSET NULL CIRCUITS:



## EQUIVALENT CIRCUIT



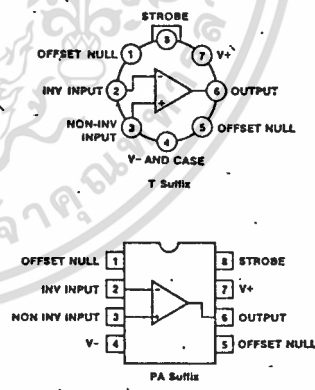
## GENERAL DESCRIPTION

The CA3140B, CA3140A, and CA3140 are integrated-circuit operational amplifiers that combine the advantages of high-voltage PMOS transistors with high-voltage bipolar transistors on a single monolithic chip.

The CA3140B, CA3140A, and CA3140 BiMOS operational amplifiers feature gate-protected MOS/FET (PMOS) transistors in the input circuit to provide very-high-input impedance, very-low-input current, and high-speed performance. The CA3140B operates at supply voltages from 4 to 44 volts; the CA3140A and CA3140 from 4 to 36 volts (either single or dual supply). These operational amplifiers are internally phase-compensated to achieve stable operation in unity-gain follower operation, and, additionally, have access terminals for a supplementary external capacitor if additional frequency roll-off is desired. Terminals are also provided for use in applications requiring input offset-voltage nulling. The use of PMOS field-effect transistors in the input stage results in common-mode input-voltage capability down to 0.5 volt below the negative-supply terminal, an important attribute for single-supply applications. The output stage uses bipolar transistors and includes built-in protection against damage from load-terminal short-circuiting to either supply-rail or to ground.

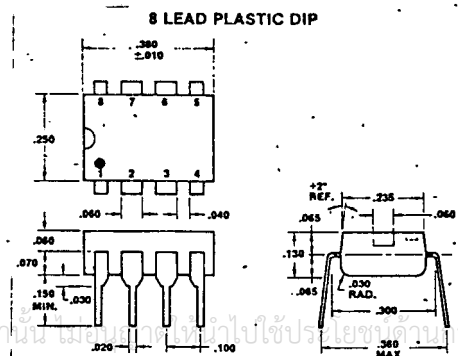
The CA3140 Series has the same 8-lead terminal pin-out used for the "741" and other industry-standard operational amplifiers.

## CONNECTION DIAGRAMS, TOP VIEW



## ORDERING INFORMATION

PART NUMBER	TEMPERATURE RANGE	PACKAGE	ORDER NUMBER
3140B	-55°C to +125°C	TO99	CA3140BT
3140A	-55°C to +125°C	TO99	CA3140AT
3140A	-25°C to +85°C	MINI-DIP	CA3140APA
3140	-55°C to +125°C	TO99	CA3140T
3140	-25°C to +85°C	MINI-DIP	CA3140PA
3140 (DICE)	-55°C to +125°C	DICE	CA3140/D



เอกสารนี้เป็นเอกสารของบริษัทที่สงวนลิขสิทธิ์ไว้เพื่อใช้ในการศึกษาเท่านั้น ไม่ควรนำเอกสารนี้ไปใช้ประโยชน์ทางการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## ABSOLUTE MAXIMUM RATINGS

	CA3140, CA3140A	CA3140B
DC Supply Voltage (Between V+ and V- Terminals)	36V	44V
Differential-Mode Input Voltage	+8V	+8V
Common-Mode DC Input Voltage	(V+ +8V) to (V- -0.5V)	
Input-Terminal Current	1mA	
Device Dissipation:		
Without Heat Sink -		
Up to 55°C	630mW	
Above 55°C	Derate linearly 6.67 mW/°C	
With Heat Sink -		
Up to 55°C	1W	
Above 55°C	Derate linearly 16.7 mW/°C	
Operating Temperature Range:		
T Package	-55 to +125°C	
PA Package	-25° to +85°C	
Storage Temperature Range	-65 to +150°C	
Output Short-Circuit Duration*	INDEFINITE	
Lead Temperature (During Soldering):		
At Distance 1/16 + 1/32 inch (1.59 + 0.79 mm)		
From Case for 10 Seconds Max	+265°C	

\* Short circuit may be applied to ground or to either supply.

## GUARANTEED ELECTRICAL CHARACTERISTICS

At V+ = 15 V, V- = -15 V, TA = 25°C Unless Otherwise Specified

CHARACTERISTIC	LIMITS									UNITS
	CA3140B			CA3140A			CA3140			
	Min.	Typ.	Max.	Min.	Typ.	Max.	Min.	Typ.	Max.	
Input Offset Voltage	-	0.8	2	-	2	5	-	5	15	mV
Input Offset Current	-	0.5	10	-	0.5	20	-	0.5	30	pA
Input Current	-	10	30	-	10	40	-	10	50	pA
Large Signal Voltage Gain ①	50 k	100 k	-	20 k	100 k	-	20 k	100 k	-	V/V
	94	100	-	86	100	-	86	100	-	dB
Common Mode Rejection Ratio	-	20	50	-	32	320	-	32	320	μV/V
	86	94	-	70	90	-	70	90	-	dB
Common Mode Input Voltage Range	-15	-15.5 to +12.5	+12	-15	-15.5 to +12.5	+12	-15	-15.5 to +12.5	+11	V
Power Supply Rejection Ratio	-	32	100	-	100	150	-	100	150	μV/V
	80	90	-	76	80	-	76	80	-	dB
Max. Output Voltage ②	Pos	+12	+13	-	+12	+13	-	+12	+13	V
	Neg	-14	-14.4	-	-14	-14.4	-	-14	-14.4	-
Supply Current	-	4	6	-	4	6	-	4	6	mA
Device Dissipation	-	120	180	-	120	180	-	120	180	mW
Input Current ③	-	10	30	-	10	-	-	10	-	nA
Input Offset Voltage ③	-	1.3	3	-	3	-	-	10	-	mV
Input Offset Voltage Temp. Drift	-	5	-	-	6	-	-	8	-	μV/°C
Large Signal Voltage Gain ③	20 k	100 k	-	-	100 k	-	-	100 k	-	V/V
	86	100	-	-	100	-	-	100	-	dB
Max. Output Voltage ④	VOM+	+19	+19.5	-	-	-	-	-	-	V
	VOM-	-21	-21.4	-	-	-	-	-	-	-
Large Signal Voltage Gain ④ ⑤	20 k	50 k	-	-	-	-	-	-	-	V/V
	86	94	-	-	-	-	-	-	-	dB

### NOTE:

1 At Vo = 26Vp-p, +12V, -14V and RL = 2 kΩ.

2 At RL = 2 kΩ.

3 At TA = TMIN to TMAX, V+ = 15 V, V- = -15V, Vo = 26Vp-p, RL = 2 kΩ.

4 At V+ = 22 V, V- = -22V.

5 At Vo = +19 V, -21 V, and RL = 2 kΩ.

เอกสารนี้เป็นเอกสารของบริษัทสงวนไว้สำหรับการใช้งานเท่านั้น ไม่ให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## Voltage Comparators

### LM193/LM293/LM393, LM193A/LM293A/LM393A, LM2903

### Low Power Low Offset Voltage Dual Comparators

#### General Description

The LM193 series consists of two independent precision voltage comparators with an offset voltage specification as low as 2.0 mV max for two comparators which were designed specifically to operate from a single power supply over a wide range of voltages. Operation from split power supplies is also possible and the low power supply current drain is independent of the magnitude of the power supply voltage. These comparators also have a unique characteristic in that the input common-mode voltage range includes ground, even though operated from a single power supply voltage.

Application areas include limit comparators, simple analog to digital converters; pulse, squarewave and time delay generators; wide range VCO; MOS clock timers; multivibrators and high voltage digital logic gates. The LM193 series was designed to directly interface with TTL and CMOS. When operated from both plus and minus power supplies, the LM193 series will directly interface with MOS logic where their low power drain is a distinct advantage over standard comparators.

- Eliminates need for dual supplies
- Allows sensing near ground
- Compatible with all forms of logic
- Power drain suitable for battery operation

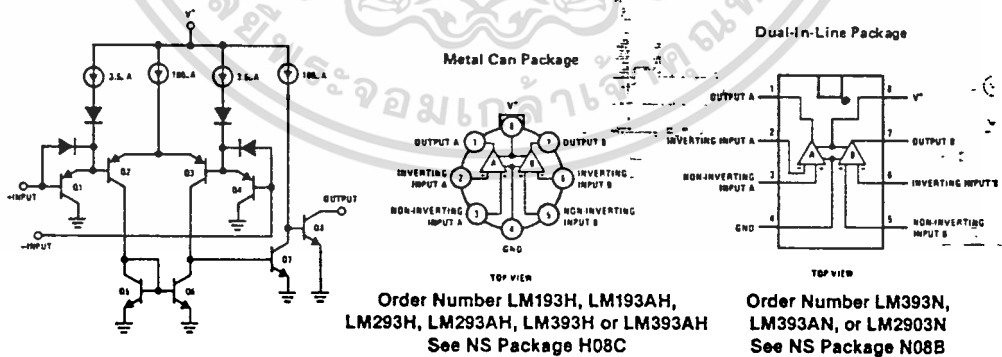
#### Features

- Wide single supply Voltage range  $2.0 V_{DC}$  to  $36 V_{DC}$  or dual supplies  $\pm 1.0 V_{DC}$  to  $\pm 18 V_{DC}$
- Very low supply current drain (0.8 mA)—independent of -supply voltage (1.0 mW/comparator at  $5.0 V_{DC}$ )
- Low input biasing current 25 nA
- Low input offset current  $\pm 5$  nA and maximum offset voltage  $\pm 3$  mV
- Input common-mode voltage range includes ground
- Differential input voltage range equal to the power supply voltage
- Low output saturation voltage 250 mV at 4 mA
- Output voltage compatible with TTL, DTL, ECL, MOS and CMOS logic systems

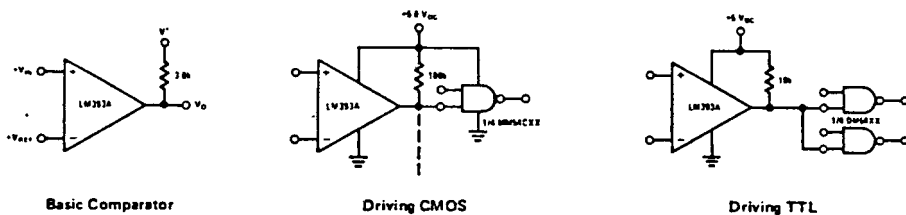
#### Advantages

- High precision comparators
- Reduced  $V_{OS}$  drift over temperature

#### Schematic and Connection Diagrams



#### Typical Applications ( $V^+ = 5.0 V_{DC}$ )



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## Application Hints

The LM193 series are high gain, wide bandwidth devices which, like most comparators, can easily oscillate if the output lead is inadvertently allowed to capacitively couple to the inputs via stray capacitance. This shows up only during the output voltage transition intervals as the comparator changes states. Power supply bypassing is not required to solve this problem. Standard PC board layout is helpful as it reduces stray input-output coupling. Reducing the input resistors to  $< 10 \text{ k}\Omega$  reduces the feedback signal levels and finally, adding even a small amount (1.0 to 10 mV) of positive feedback (hysteresis) causes such a rapid transition that oscillations due to stray feedback are not possible. Simply socketing the IC and attaching resistors to the pins will cause input-output oscillations during the small transition intervals unless hysteresis is used. If the input signal is a pulse waveform, with relatively fast rise and fall times, hysteresis is not required.

All pins of any unused comparators should be grounded.

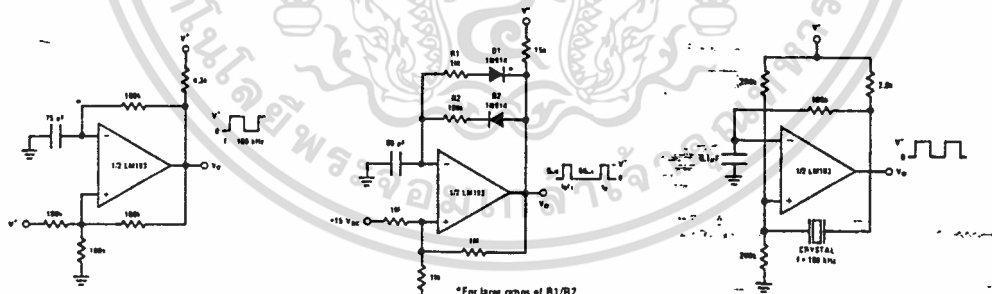
The bias network of the LM193 series establishes a drain current which is independent of the magnitude of the power supply voltage over the range of from  $2.0 \text{ V}_{\text{DC}}$  to  $30 \text{ V}_{\text{DC}}$ .

It is usually unnecessary to use a bypass capacitor across the power supply line.

The differential input voltage may be larger than  $V^+$  without damaging the device (see Note 8). Protection should be provided to prevent the input voltages from going negative more than  $-0.3 \text{ V}_{\text{DC}}$  (at  $25^\circ\text{C}$ ). An input clamp diode can be used as shown in the applications section.

The output of the LM193 series is the uncommitted collector of a grounded-emitter NPN output transistor. Many collectors can be tied together to provide an output OR'ing function. An output pull-up resistor can be connected to any available power supply voltage within the permitted supply voltage range and there is no restriction on this voltage due to the magnitude of the voltage which is applied to the  $V^+$  terminal of the LM193 package. The output can also be used as a simple SPST switch to ground (when a pull-up resistor is not used). The amount of current which the output device can sink is limited by the drive available (which is independent of  $V^+$ ) and the  $\beta$  of this device. When the maximum current limit is reached (approximately 16 mA), the output transistor will come out of saturation and the output voltage will rise very rapidly. The output saturation voltage is limited by the approximately  $60\Omega \text{ } r_{\text{SAT}}$  of the output transistor. The low offset voltage of the output transistor (1.0 mV) allows the output to clamp essentially to ground level for small load currents.

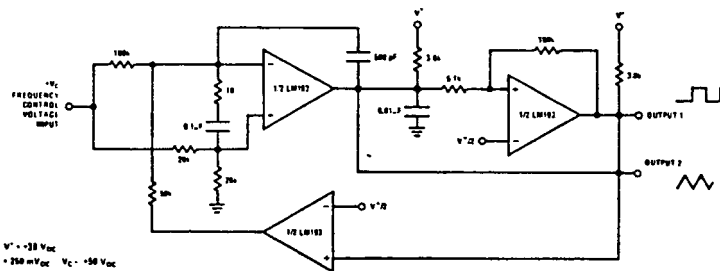
## Typical Applications (Continued) ( $V^+ = 15 \text{ V}_{\text{DC}}$ )



Squarewave Oscillator

Pulse Generator

Crystal Controlled Oscillator



Two-Decade High-Frequency VCO

$V^+ = 20 \text{ V}_{\text{DC}}$   
 $V_{\text{OC}} = 250 \text{ mV}_{\text{DC}}$   
 $f_{\text{O}} = 700 \text{ Hz}$ ,  $f_{\text{C}} = 100 \text{ kHz}$

SCL4066B



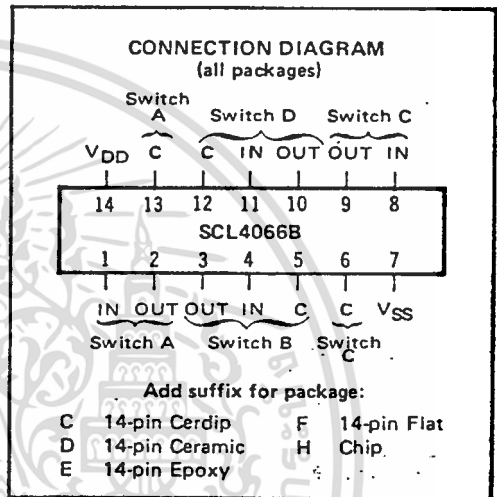
# CMOS QUAD ANALOG SWITCH

## FEATURES

- ◆ Transmission or Multiplexing of Analog or Digital Signals
- ◆ 80Ω Typical ON-Resistance for 15-Volt operation
- ◆ Switch ON-Resistance Matched to within 5Ω over 15-Volt Signal-Input Range
- ◆ ON-Resistance Flat over Full Peak-to-Peak Signal Range
- ◆ High Degree of Linearity:
  - ≤ 0.5% Distortion (typ) @  $f_{is} = 1\text{kHz}$ ,  $V_{is} = 5\text{V}_{p-p}$ ,  $V_{DD} - V_{SS} \geq 10\text{V}$ ,  $R_L = 10\text{k}\Omega$
- ◆ Extremely Low OFF switch Leakage Resulting in very Low Offset Current and High Effective OFF Resistance:
  - 10pA (typ) @  $V_{DD} - V_{SS} = 10\text{V}$ ,  $T_A = 25^\circ\text{C}$
- ◆ Extremely High Control Input Impedance (Control Circuit Isolated from Signal Circuit):
  - $10^{12}\Omega$  (typ)
- ◆ Low Crosstalk between Switches:
  - 50dB (typ) @  $f_{is} = 0.9\text{MHz}$ ,  $R_L = 1\text{k}\Omega$
- ◆ Matched Control-Input to Signal-Output Capacitance Reduces Output Signal Transients
- ◆ Frequency Response, Switch ON = 40MHz (typ)

## DESCRIPTION

The SCL4066B is a Quad Bilateral Switch intended for the transmission or multiplexing of analog or digital signals. It is pin-for-pin compatible with the SCL4016B, but exhibits a much lower ON-resistance. In addition, the ON-resistance is relatively constant over the full input signal range. The SCL4066 consists of four independent bilateral switches. A single control signal is required per switch. Both the P and the N device in a given switch are biased ON or OFF simultaneously by the control signal. As shown below, the well of the N-channel device on each switch is either tied to the input when the switch is ON or to  $V_{SS}$  when the switch is OFF. This configuration minimizes the variation of the switch-transistor threshold



## RECOMMENDED OPERATING CONDITIONS

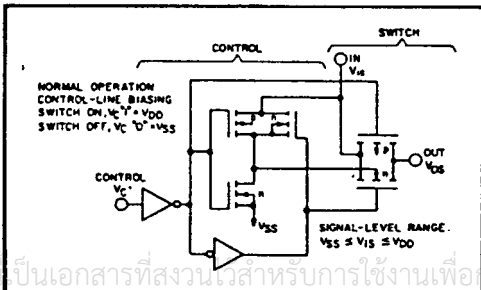
For maximum reliability:

DC Supply Voltage	$V_{DD} - V_{SS}$	3 to 15	Vdc
Operating Temperature	$T_A$	-55 to +125	°C
C, D, F, H Device		-40 to +85	°C
E Device			

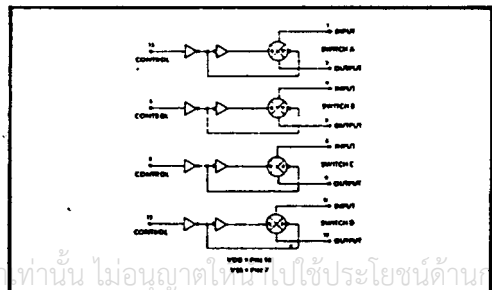
voltage with input-signal, and thus keeps the ON-resistance low over the full operating range.

The advantages over single-channel switches include peak input-signal voltage swings equal to the full supply voltage, and more constant ON-impedance over the input-signal range. For sample-and-hold applications, however, the SCL4016 is recommended.

## SCHEMATIC DIAGRAM (one of four switches)



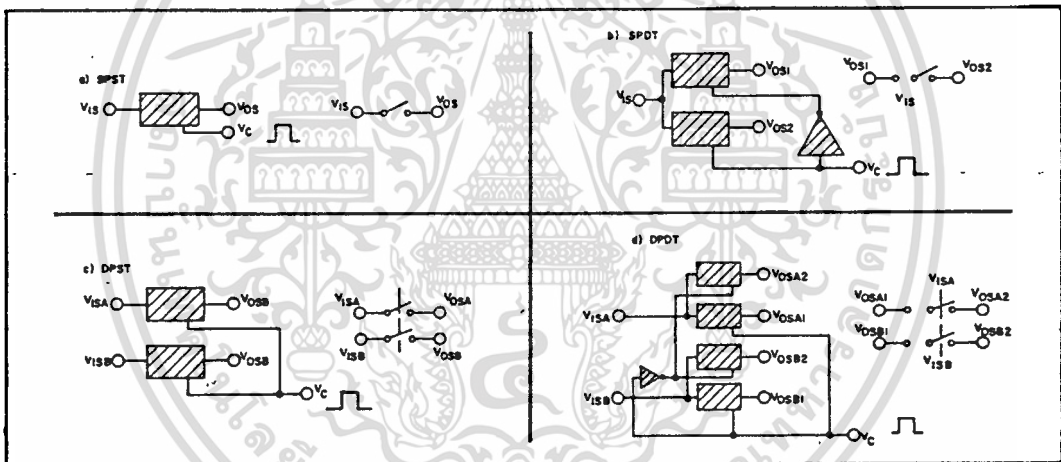
## LOGIC DIAGRAM



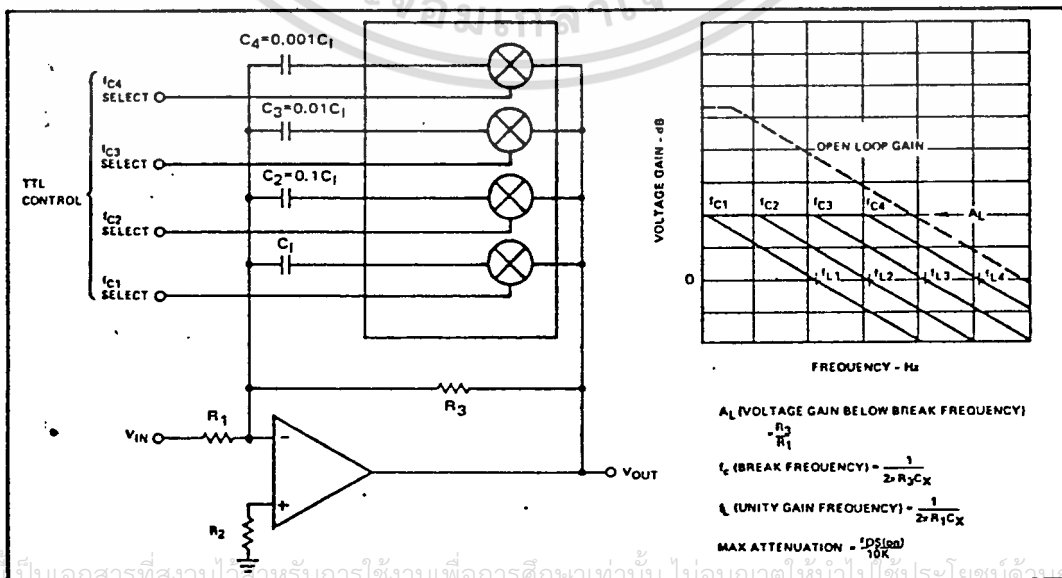
### SPECIAL CONSIDERATIONS – SCL4066B

1. In applications where separate power sources are used to drive  $V_{DD}$  and the signal inputs, the  $V_{DD}$  current capability should exceed  $V_{DD}/R_L$  ( $R_L$  = effective external load of the 4 SCL4066B bilateral switches). This provision avoids any permanent current flow or clamp action on the  $V_{DD}$  supply when power is applied or removed from SCL4066B.
2. In certain applications, the external load-resistor current may include both  $V_{DD}$  and signal-line components. To avoid drawing  $V_{DD}$  current when switch current flows into terminals 1, 4, 8, or 11, the voltage drop across the bidirectional switch must not exceed 0.8 volt (calculated from  $R_{ON}$  values shown). No  $V_{DD}$  current will flow through  $R_L$  if the switch current flows into terminals 2, 3, 9, or 10. Failure to observe this condition may result in distortion of the signal.

### APPLICATIONS INFORMATION



Basic Switch Functions using the SCL4066B



Active Low Pass Filter with Digitally Selected Break Frequency

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับกรใช้เฉพาะเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้ทำซ้ำโดยไม่ได้รับอนุญาต  
 ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



# 5432/7432 Quaduple 2-Input Positive-OR Gate

	Schottky TTL				High-Speed TTL				Low-Power Schottky TTL				Standard TTL				Low-Power TTL				
	Device Type	Package			Device Type	Package			Device Type	Package			Device Type	Package			Device Type	Package			
		C	P	M	CF		C	P	M	CF		C	P	M	CF		C	P	M	CF	
T.I.	SN54S32	J	D		WD						SN54LS32	J	D		WD	SN5432	J	D		WD	
	SN74S32	J	D	ND							SN74LS32	J	D	ND		SN7432	J	D	ND		
FAIRCHILD	FMS432/FMS32	ND			FD						FMS4LS32/FMSLS32	ND			FD	FMS432/FMS32	DC				FL
	FC7432/FC32	ND	PD		FD						FC74LS32/FC7LS32	ND	PD		FD	FC7432/FC32	DC	P			
MOTOROLA											SN74LS32			PD							
N.S.C.											DM74LS32			D		DM5432	J	D	ND		WD
											DM54LS32			D		DM7432	J	D	ND		WD
PHILIPS	N74S32										N74LS32			D		N7432					
SIGNETICS											N74LS32			A	D	5432					FL
											N74LS32			A	D	7432					FL
SIEMENS																FLH631					
FUJITSU											74LS32			ND							
HITACHI											HO74LS32			P	T	HO7432					
MITSUBISHI											M53LS32			P	D						
											M53LS32			P	D						
NEC											74LS32			C	D						
											74LS32			C	D						
TOSHIBA																					

## Electrical Characteristics SN54LS32, SN74LS32

absolute maximum ratings over operating free-air temperature range

Supply voltage, V <sub>CC</sub>	TV	Operating free-air temperature range	SN54LS	-55°C to +25°C
Input voltage	TV	Storage temperature range	SN74LS	0°C to 70°C
				-65°C to 150°C

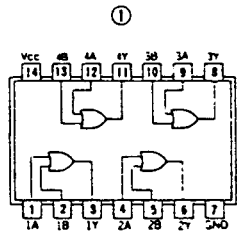
recommended operating conditions

	SN54LS32		SN74LS32		UNIT
	MIN	MAX	MIN	MAX	
Supply voltage, V <sub>CC</sub>	4.5	5	5.5	6.75	V
High-level output current, I <sub>OH</sub>			-400		mA
Low-level output current, I <sub>OL</sub>			4	5	mA
Operating free-air temperature, T <sub>A</sub>	-55	75	0	70	°C

## electrical characteristics over recommended operating free-air temperature range

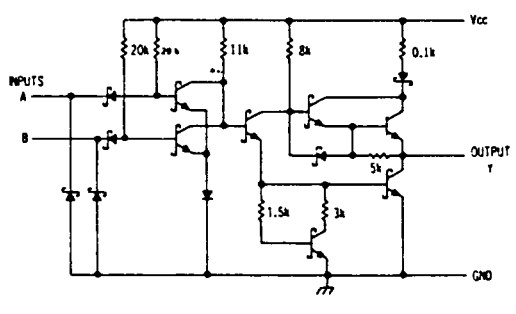
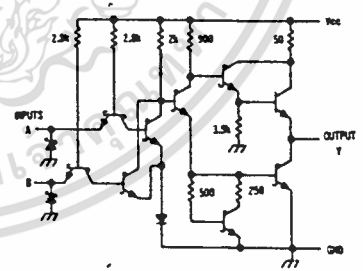
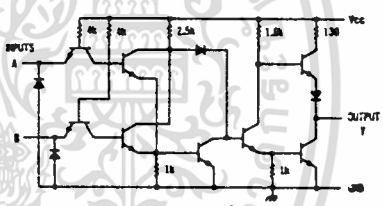
PARAMETER	TEST CONDITIONS †	MIN	TYP ‡	MAX	UNIT	
V <sub>IH</sub>	High-level input voltage		2		V	
V <sub>IL</sub>	Low-level input voltage		0.8		V	
V <sub>I</sub>	Input clamp voltage	V <sub>CC</sub> = MIN, I <sub>I</sub> = -1.8 mA		-1.5	V	
V <sub>OH</sub>	High-level output voltage	V <sub>CC</sub> = MIN, V <sub>IH</sub> = 2V, I <sub>OH</sub> = MAX	2.7	3.4	V	
V <sub>OL</sub>	Low-level output voltage	V <sub>CC</sub> = MIN, V <sub>IL</sub> = V <sub>IL</sub> max, I <sub>OL</sub> = 4 mA	0.25	0.4	V	
I <sub>I</sub>	Input current at maximum input voltage	V <sub>CC</sub> = MAX, V <sub>I</sub> = 2V		0.1	mA	
I <sub>IH</sub>	High-level input current	V <sub>CC</sub> = MAX, V <sub>IH</sub> = 2.7V		20	µA	
I <sub>IL</sub>	Low-level input current	V <sub>CC</sub> = MAX, V <sub>IL</sub> = 0.4V		-0.4	mA	
I <sub>OS</sub>	Short-circuit output current	V <sub>CC</sub> = MAX	54LS Family	-20	-100	mA
			74LS Family	-20	-100	mA
I <sub>CCQ</sub>	Supply current	V <sub>CC</sub> = MAX	Total, outputs high	3.1	6.2	mA
I <sub>CCL</sub>	Supply current	V <sub>CC</sub> = MAX	Total, outputs low	4.9	9.8	mA
I <sub>CC</sub>	Supply current	V <sub>CC</sub> = 5V	Average per gate (50% duty cycle)	1.0		mA
t <sub>PLH</sub>	Propagation delay time, low-to-high-level output	V <sub>CC</sub> = 5V, T <sub>A</sub> = 25°C, C <sub>L</sub> = 150fF, R <sub>L</sub> = 2kΩ		14	22	ns
t <sub>PHL</sub>	Propagation delay time, high-to-low-level output	V <sub>CC</sub> = 5V, T <sub>A</sub> = 25°C, C <sub>L</sub> = 150fF, R <sub>L</sub> = 2kΩ		14	22	ns

## Pin Assignment (Top View)



positive logic:  
Y = A + B

## Schematics (each gate)



Resistor values shown are nominal and in ohms

† For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.  
‡ All typical values are at V<sub>CC</sub> = 5V, T<sub>A</sub> = 25°C.  
• Not more than one output should be shorted at a time.

ไม่ว่าการนี้ใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



# รายละเอียดข้อมูลไมโครโปรเซสเซอร์และชิพสนับสนุน

## Z80®-CPU

## Z80A-CPU

## Product Specification

MARCH 1978

The Zilog Z80 product line is a complete set of micro-computer components, development systems and support software. The Z80 microcomputer component set includes all of the circuits necessary to build high-performance microcomputer systems with virtually no other logic and a minimum number of low cost standard memory elements.

The Z80 and Z80A CPU's are third generation single chip microprocessors with unrivaled computational power. This increased computational power results in higher system through-put and more efficient memory utilization when compared to second generation microprocessors. In addition, the Z80 and Z80A CPU's are very easy to implement into a system because of their single voltage requirement plus all output signals are fully decoded and timed to control standard memory or peripheral circuits. The circuit is implemented using an N-channel, ion implanted, silicon gate MOS process.

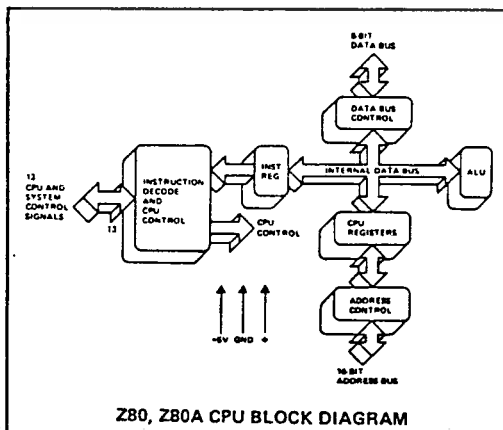
Figure 1 is a block diagram of the CPU, Figure 2 details the internal register configuration which contains 208 bits of Read/Write memory that are accessible to the programmer. The registers include two sets of six general purpose registers that may be used individually as 8-bit registers or as 16-bit register pairs. There are also two sets of accumulator and flag registers. The programmer has access to either set of main or alternate registers through a group of exchange instructions. This alternate set allows foreground/background mode of operation or may be reserved for very fast Interrupt response. Each CPU also contains a 16-bit stack pointer which permits simple implementation of

multiple level interrupts, unlimited subroutine nesting and simplification of many types of data handling.

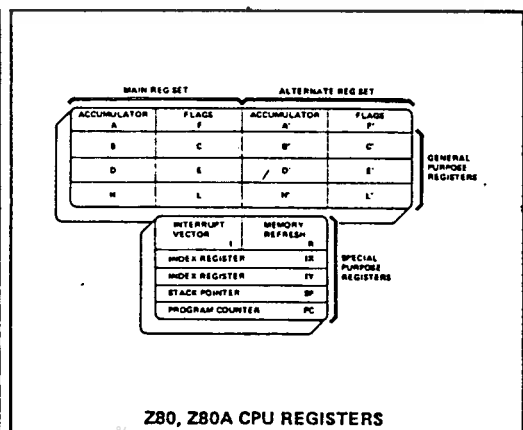
The two 16-bit index registers allow tabular data manipulation and easy implementation of relocatable code. The Refresh register provides for automatic, totally transparent refresh of external dynamic memories. The I register is used in a powerful interrupt response mode to form the upper 8 bits of a pointer to an interrupt service address table, while the interrupting device supplies the lower 8 bits of the pointer. An indirect call is then made to this service address.

### FEATURES

- Single chip, N-channel Silicon Gate CPU.
- 158 instructions—includes all 78 of the 8080A instructions with total software compatibility. New instructions include 4-, 8- and 16-bit operations with more useful addressing modes such as indexed, bit and relative.
- 17 internal registers.
- Three modes of fast interrupt response plus a non-maskable interrupt.
- Directly interfaces standard speed static or dynamic memories with virtually no external logic.
- 1.0  $\mu$ s instruction execution speed.
- Single 5 VDC supply and single-phase 5 volt Clock.
- Out-performs any other single chip microcomputer in 4-, 8-, or 16-bit applications.
- All pins TTL Compatible
- Built-in dynamic RAM refresh circuitry.

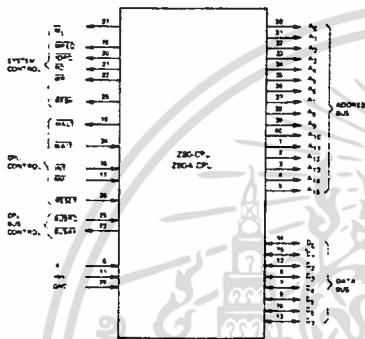


Z80, Z80A CPU BLOCK DIAGRAM



Z80, Z80A CPU REGISTERS

## Z80, Z80A-CPU Pin Description



Z80, Z80A CPU PIN CONFIGURATION

**A<sub>0</sub>-A<sub>15</sub>**  
(Address Bus)

Tri-state output, active high. A<sub>0</sub>-A<sub>15</sub> constitute a 16-bit address bus. The address bus provides the address for memory (up to 64K bytes) data exchanges and for I/O device data exchanges.

**D<sub>0</sub>-D<sub>7</sub>**  
(Data Bus)

Tri-state input/output, active high. D<sub>0</sub>-D<sub>7</sub> constitute an 8-bit bidirectional data bus. The data bus is used for data exchanges with memory and I/O devices.

**M<sub>1</sub>**  
(Machine Cycle one)

Output, active low.  $\overline{M_1}$  indicates that the current machine cycle is the OP code fetch cycle of an instruction execution.

**MREQ**  
(Memory Request)

Tri-state output, active low. The memory request signal indicates that the address bus holds a valid address for a memory read or memory write operation.

**IORQ**  
(Input/Output Request)

Tri-state output, active low. The IORQ signal indicates that the lower half of the address bus holds a valid I/O address for a I/O read or write operation. An IORQ signal is also generated when an interrupt is being acknowledged to indicate that an interrupt response vector can be placed on the data bus.

**RD**  
(Memory Read)

Tri-state output, active low.  $\overline{RD}$  indicates that the CPU wants to read data from memory or an I/O device. The addressed I/O device or memory should use this signal to gate data onto the CPU data bus.

**WR**  
(Memory Write)

Tri-state output, active low.  $\overline{WR}$  indicates that the CPU data bus holds valid data to be stored in the addressed memory or I/O device.

**RFSH**  
(Refresh)

Output, active low.  $\overline{RFSH}$  indicates that the lower 7 bits of the address bus contain a refresh address for dynamic memories and the current  $\overline{MREQ}$  signal should be used to do a refresh read to all dynamic memories.

**HALT**  
(Halt state)

Output, active low.  $\overline{HALT}$  indicates that the CPU has executed a HALT software instruction and is awaiting either a non-maskable or a maskable interrupt (with the mask enabled) before operation can resume. While halted, the CPU executes NOP's to maintain memory refresh activity.

**WAIT**  
(Wait)

Input, active low.  $\overline{WAIT}$  indicates to the Z-80 CPU that the addressed memory or I/O devices are not ready for a data transfer. The CPU continues to enter wait states for as long as this signal is active.

**INT**  
(Interrupt Request)

Input, active low. The Interrupt Request signal is generated by I/O devices. A request will be honored at the end of the current instruction if the internal software controlled interrupt enable flip-flop (IFF) is enabled.

**NMI**  
(Non Maskable Interrupt)

Input, active low. The non-maskable interrupt request line has a higher priority than INT and is always recognized at the end of the current instruction, independent of the status of the interrupt enable flip-flop. NMI automatically forces the Z-80 CPU to restart to location: 0066H.

**RESET**

Input, active low.  $\overline{RESET}$  initializes the CPU as follows: reset-interrupt enable flip-flop, clear PC and registers I and R and set interrupt to 8080A mode. During reset time, the address and data bus go to a high impedance state and all control output signals go to the inactive state.

**BUSRQ**  
(Bus Request)

Input, active low. The bus request signal has a higher priority than NMI and is always recognized at the end of the current machine cycle and is used to request the CPU address bus, data bus and tri-state output control signals to go to a high impedance state so that other devices can control these busses.

**BUSAK**  
(Bus Acknowledge)

Output, active low. Bus acknowledge is used to indicate to the requesting device that the CPU address bus, data bus and tri-state control bus signals have been set to their high impedance state and the external device can now control these signals.

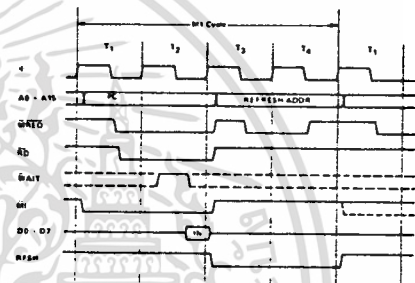
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปเผยแพร่โดยไม่ได้รับอนุญาต

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## Timing Waveforms

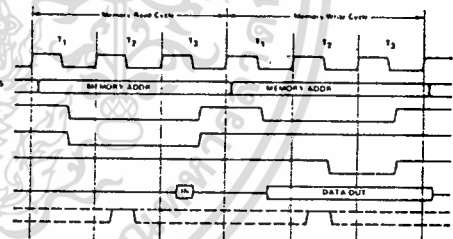
### INSTRUCTION OP CODE FETCH

The program counter content (PC) is placed on the address bus immediately at the start of the cycle. One half clock time later MREQ goes active. The falling edge of MREQ can be used directly as a chip enable to dynamic memories. RD when active indicates that the memory data should be enabled onto the CPU data bus. The CPU samples data with the rising edge of the clock state  $T_3$ . Clock states  $T_3$  and  $T_4$  of a fetch cycle are used to refresh dynamic memories while the CPU is internally decoding and executing the instruction. The refresh control signal RFSH indicates that a refresh read of all dynamic memories should be accomplished.



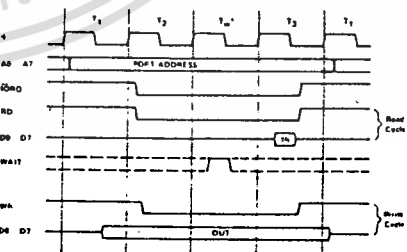
### MEMORY READ OR WRITE CYCLES

Illustrated here is the timing of memory read or write cycles other than an OP code fetch ( $M_1$  cycle). The MREQ and RD signals are used exactly as in the fetch cycle. In the case of a memory write cycle, the MREQ also becomes active when the address bus is stable so that it can be used directly as a chip enable for dynamic memories. The WR line is active when data on the data bus is stable so that it can be used directly as a R/W pulse to virtually any type of semiconductor memory.



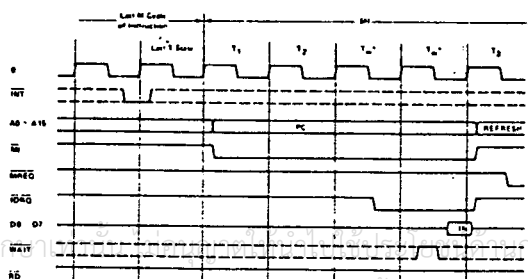
### INPUT OR OUTPUT CYCLES

Illustrated here is the timing for an I/O read or I/O write operation. Notice that during I/O operations a single wait state is automatically inserted ( $T_w^*$ ). The reason for this is that during I/O operations this extra state allows sufficient time for an I/O port to decode its address and activate the WAIT line if a wait is required.



### INTERRUPT REQUEST/ACKNOWLEDGE CYCLE

The interrupt signal is sampled by the CPU with the rising edge of the last clock at the end of any instruction. When an interrupt is accepted, a special  $M_1$  cycle is generated. During this  $M_1$  cycle, the IORQ signal becomes active (instead of MREQ) to indicate that the interrupting device can place an 8-bit vector on the data bus. Two wait states ( $T_w^*$ ) are automatically added to this cycle so that a ripple priority interrupt scheme, such as the one used in the Z80 peripheral controllers, can be easily implemented.



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น การนำเอกสารนี้ไปใช้โดยไม่ได้รับอนุญาตถือว่าผิดกฎหมาย

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## Absolute Maximum Ratings

Temperature Under Bias  
Storage Temperature  
Voltage On Any Pin—  
with Respect to Ground  
Power Dissipation

Specified operating range  
-65°C to +150°C  
-0.3V to +7V  
1.5W

\*Comment

Stresses above those listed under "Absolute Maximum Rating" may cause permanent damage to the device. This is a stress rating only and functional operation of the device at these or any other condition above those indicated in the operational sections of this specification is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

Note For Z80-CPU all AC and DC characteristics remain the same for the military grade parts except  $I_{CC}$

$I_{CC} = 300 \text{ mA}$

## Z80-CPU D.C. Characteristics

$T_A = 0^\circ\text{C}$  to  $70^\circ\text{C}$ ,  $V_{CC} = 5\text{V} \pm 5\%$  unless otherwise specified

Symbol	Parameter	Min.	Typ.	Max.	Unit	Test Condition
$V_{ILC}$	Clock Input Low Voltage	-0.3		0.45	V	
$V_{IHC}$	Clock Input High Voltage			$V_{CC} + 0.3$	V	
$V_{IL}$	Input Low Voltage	-0.3		0.8	V	
$V_{IH}$	Input High Voltage	2.0		$V_{CC}$	V	
$V_{OL}$	Output Low Voltage			0.4	V	$I_{OL} = 1.5 \text{ mA}$
$V_{OH}$	Output High Voltage	2.4			V	$I_{OH} = -250 \mu\text{A}$
$I_{CC}$	Power Supply Current			150	mA	
$I_{LI}$	Input Leakage Current			10	$\mu\text{A}$	$V_{IN} = 0$ to $V_{CC}$
$I_{LOH}$	Tri-State Output Leakage Current in Float			10	$\mu\text{A}$	$V_{OUT} = 2.4$ to $V_{CC}$
$I_{LOL}$	Tri-State Output Leakage Current in Float			-10	$\mu\text{A}$	$V_{OUT} = 0.4\text{V}$
$I_{LD}$	Data Bus Leakage Current in Input Mode			$\pm 10$	$\mu\text{A}$	$0 < V_{IN} < V_{CC}$

## Capacitance

$T_A = 25^\circ\text{C}$ ,  $f = 1 \text{ MHz}$ ,  
unmeasured pins returned to ground

Symbol	Parameter	Max.	Unit
$C_{\phi}$	Clock Capacitance	35	pF
$C_{IN}$	Input Capacitance	5	pF
$C_{OUT}$	Output Capacitance	10	pF

## Z80-CPU Ordering Information

C - Ceramic  
P - Plastic  
S - Standard 5V  $\pm 5\%$  0° to 70°C  
E - Extended 5V  $\pm 5\%$  -40° to 85°C  
M - Military 5V  $\pm 10\%$  -55° to 125°C

## Z80A-CPU D.C. Characteristics

$T_A = 0^\circ\text{C}$  to  $70^\circ\text{C}$ ,  $V_{CC} = 5\text{V} \pm 5\%$  unless otherwise specified

Symbol	Parameter	Min.	Typ.	Max.	Unit	Test Condition
$V_{ILC}$	Clock Input Low Voltage	-0.3		0.45	V	
$V_{IHC}$	Clock Input High Voltage			$V_{CC} + 0.3$	V	
$V_{IL}$	Input Low Voltage	-0.3		0.8	V	
$V_{IH}$	Input High Voltage	2.0		$V_{CC}$	V	
$V_{OL}$	Output Low Voltage			0.4	V	$I_{OL} = 1.5 \text{ mA}$
$V_{OH}$	Output High Voltage	2.4			V	$I_{OH} = -250 \mu\text{A}$
$I_{CC}$	Power Supply Current		90	300	mA	
$I_{LI}$	Input Leakage Current			10	$\mu\text{A}$	$V_{IN} = 0$ to $V_{CC}$
$I_{LOH}$	Tri-State Output Leakage Current in Float			10	$\mu\text{A}$	$V_{OUT} = 2.4$ to $V_{CC}$
$I_{LOL}$	Tri-State Output Leakage Current in Float			-10	$\mu\text{A}$	$V_{OUT} = 0.4\text{V}$
$I_{LD}$	Data Bus Leakage Current in Input Mode			$\pm 10$	$\mu\text{A}$	$0 < V_{IN} < V_{CC}$

## Capacitance

$T_A = 25^\circ\text{C}$ ,  $f = 1 \text{ MHz}$ ,  
unmeasured pins returned to ground

Symbol	Parameter	Max.	Unit
$C_{\phi}$	Clock Capacitance	35	pF
$C_{IN}$	Input Capacitance	5	pF
$C_{OUT}$	Output Capacitance	10	pF

## Z80A-CPU Ordering Information

C - Ceramic  
P - Plastic  
S - Standard 5V  $\pm 5\%$  0° to 70°C

เอกสารนี้เป็นเอกสารของบริษัทไมโครอิเล็กทรอนิกส์ จำกัด ขอสงวนสิทธิ์ในข้อมูลและเงื่อนไขการใช้งาน กรุณาติดต่อฝ่ายขายเพื่อขอข้อมูลเพิ่มเติม

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดลอกเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## 2732A 32K (4K x 8) UV ERASABLE PROM

- 200 ns (2732A-2) Maximum Access Time . . . HMOS<sup>®</sup>-E Technology
- Compatible with High-Speed 8MHz iAPX 186...Zero WAIT State
- Two Line Control
- Compatible with 12 MHz 8051 Family
- Industry Standard Pinout . . . JEDEC Approved
- Low Standby Current...30 mA Maximum
- $\pm 10\%$  V<sub>CC</sub> Tolerance Available
- Intelligent Identifier™ Mode
- TTL Compatible

The Intel 2732A is a 5V only, 32,768 bit ultraviolet erasable and electrically programmable read-only-memory (EPROM). The standard 2732A access time is 250 ns with speed selection (2732A-2) available at 200 ns. The access time is compatible with high performance microprocessors such as the 8 MHz iAPX 186. In these systems, the 2732A allows the microprocessor to operate without the addition of WAIT-states.

An important 2732A feature is the separate output control, Output Enable ( $\overline{OE}$ ), from the Chip Enable control ( $\overline{CE}$ ). The  $\overline{OE}$  control eliminates bus contention in microprocessor systems. Intel's Application Note AP-72 describes the microprocessor system implementation of the  $\overline{OE}$  and  $\overline{CE}$  controls on Intel's EPROMs. AP-72 is available from Intel's Literature Department.

The 2732A has a standby mode which reduces power consumption without increasing access time. The maximum active current is 125 mA, while the maximum standby current is only 35 mA, a 70% saving. The standby mode is selected by applying the TTL-high signal to the  $\overline{CE}$  input.

The 2732A is fabricated with HMOS<sup>®</sup>-E technology, Intel's high-speed N-channel MOS Silicon Gate Technology.

<sup>®</sup>HMOS is a patented process of Intel Corporation.

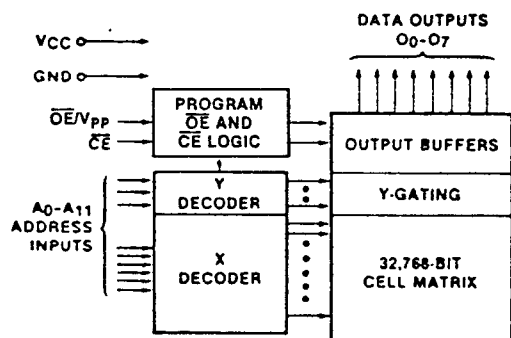


Figure 1. Block Diagram

### PIN NAMES

A <sub>0</sub> -A <sub>11</sub>	ADDRESSES
$\overline{CE}$	CHIP ENABLE
$\overline{OE}/V_{PP}$	OUTPUT ENABLE/ V <sub>PP</sub>
O <sub>0</sub> -O <sub>7</sub>	OUTPUTS

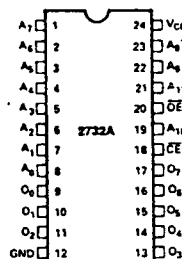


Figure 2. Pin Configuration

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่ควรเอาไปใช้ประโยชน์ด้านการค้า  
 ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## 2732A

### ABSOLUTE MAXIMUM RATINGS\*

Temperature Under Bias	-10°C to +80°C
Storage Temperature	-65°C to +125°C
All Input or Output Voltages with Respect to Ground	+6V to -0.3V
Voltage on Pin 22 with Respect to Ground	+13.5V to -0.3V
V <sub>PP</sub> Supply Voltage with Respect to Ground During Programming	+22V to -0.3V

\*NOTICE: Stresses above those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress rating only and functional operation of the device at these or any other conditions above those indicated in the operational sections of this specification is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

### D.C. AND A.C. OPERATING CONDITIONS DURING READ

	2732A/A-2/A-3/A-4	2732A-20/A-25/A-30
Operating Temperature Range	0°C-70°C	0°C-70°C
V <sub>CC</sub> Power Supply <sup>1,2</sup>	5V ± 5%	5V ± 10%

### READ OPERATION

#### D.C. CHARACTERISTICS

Symbol	Parameter	Limits			Units	Conditions
		Min.	Typ. <sup>[1]</sup>	Max.		
I <sub>IL</sub>	Input Load Current			10	μA	V <sub>IN</sub> = 5.5V
I <sub>LO</sub>	Output Leakage Current			10	μA	V <sub>OUT</sub> = 5.5V
I <sub>CC1</sub> <sup>2</sup>	V <sub>CC</sub> Current (Standby)			35	mA	$\overline{CE} = V_{IH}, \overline{OE} = V_{IL}$
I <sub>CC2</sub> <sup>2</sup>	V <sub>CC</sub> Current (Active)			100	mA	$\overline{OE} = \overline{CE} = V_{IL}$
V <sub>IL</sub>	Input Low Voltage	-0.1		0.8	V	
V <sub>IH</sub>	Input High Voltage	2.0		V <sub>CC</sub> + 1	V	
V <sub>OL</sub>	Output Low Voltage			0.45	V	I <sub>OL</sub> = 2.1 mA
V <sub>OH</sub>	Output High Voltage	2.4			V	I <sub>OH</sub> = -400 μA
V <sub>PP</sub> <sup>2</sup>	V <sub>PP</sub> Read Voltage	3.8		V <sub>CC</sub>	V	V <sub>CC</sub> = 5.0V ± 0.25V

#### A.C. CHARACTERISTICS

Symbol	Parameter	2732A-2 2732A-20		2732A 2732A-25		2732A-3 2732A-30		2732A-4		Units	Test Conditions†
		Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.		
t <sub>ACC</sub>	Address to Output Delay		200		250		300		450	ns	$\overline{CE} = \overline{OE} = V_{IL}$
t <sub>CE</sub>	$\overline{CE}$ to Output Delay		200		250		300		450	ns	$\overline{OE} = V_{IL}$
t <sub>OE</sub>	$\overline{OE}$ to Output Delay		70		100		150		150	ns	$\overline{CE} = V_{IL}$
t <sub>DF</sub> <sup>[4]</sup>	$\overline{OE}$ High to Output Not Driven	0	60	0	60	0	130	0	130	ns	$\overline{CE} = V_{IL}$
t <sub>OH</sub>	Output Hold from Addresses, $\overline{CE}$ or $\overline{OE}$ Whichever Occurred First	0		0		0		0		ns	$\overline{CE} = \overline{OE} = V_{IL}$

#### †A.C. TEST CONDITIONS

Output Load ..... 1 TTL gate and C<sub>L</sub> = 100 pF  
 Input Rise and Fall Times ..... ≤ 20 ns  
 Input Pulse Levels ..... 0.45V to 2.4V

Timing Measurement Reference Level:  
 Inputs ..... 0.8 and 2.0V  
 Outputs ..... 0.8 and 2.0V

- NOTES: 1. V<sub>CC</sub> must be applied simultaneously or before V<sub>PP</sub> and removed simultaneously or after V<sub>PP</sub>.  
 2. V<sub>PP</sub> may be connected directly to V<sub>CC</sub> except during programming. The supply current would then be the sum of I<sub>CC</sub> and I<sub>PP</sub>.  
 3. Typical values are for t<sub>A</sub> = 25°C and nominal supply voltages.  
 4. This parameter is only sampled and is not 100% tested. Output Float is defined as the point where data is no longer driven — see timing diagram on page 3.

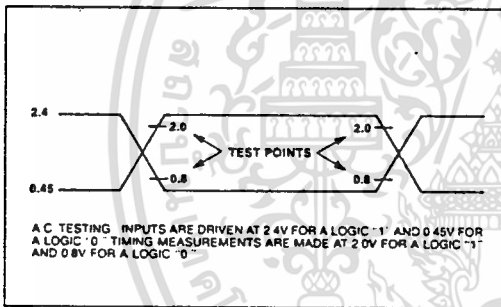
เอกสารนี้เป็นเอกสารลิขสิทธิ์ของ บริษัท เซมิคอนดักเตอร์ ไทเป จำกัด  
 ไม่ว่ากรรมใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2732A

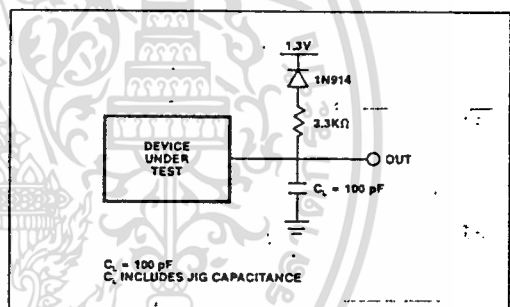
CAPACITANCE<sup>[2]</sup> (T<sub>A</sub> = 25°C, f = 1 MHz)

Symbol	Parameter	Typ.	Max.	Unit	Conditions
C <sub>IN1</sub>	Input Capacitance Except OE/V <sub>PP</sub>	4	6	pF	V <sub>IN</sub> = 0V
C <sub>IN2</sub>	OE/V <sub>PP</sub> Input Capacitance		20	pF	V <sub>IN</sub> = 0V
C <sub>OUT</sub>	Output Capacitance	8	12	pF	V <sub>OUT</sub> = 0V

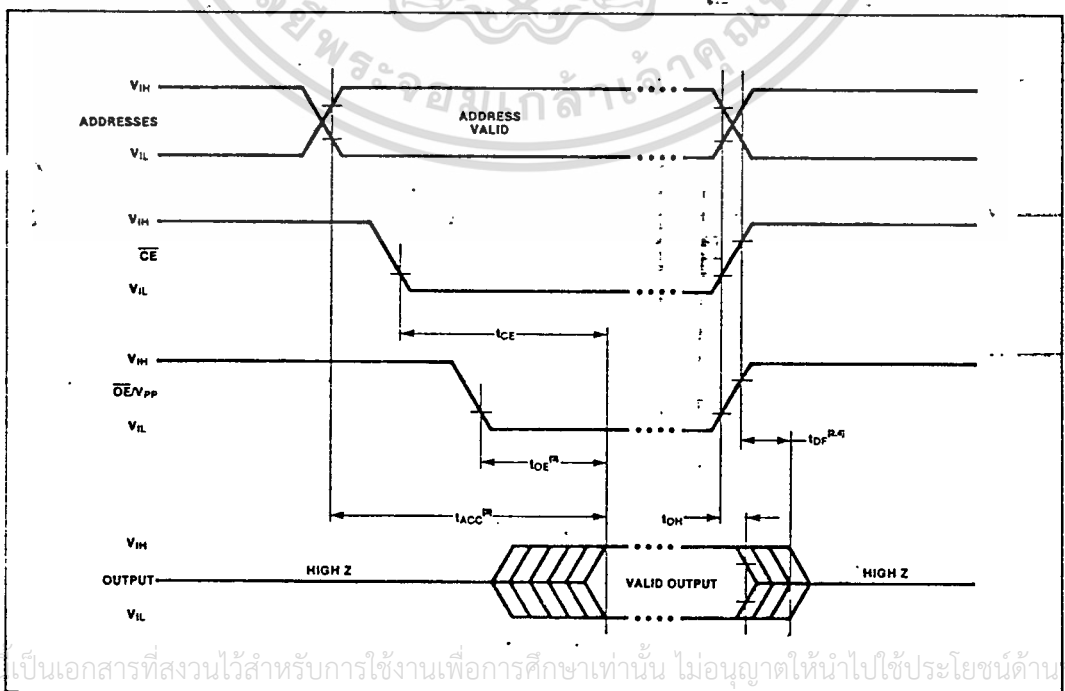
A.C. TESTING INPUT/OUTPUT WAVEFORM



A.C. TESTING LOAD CIRCUIT



A.C. WAVEFORMS



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

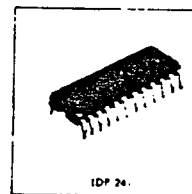
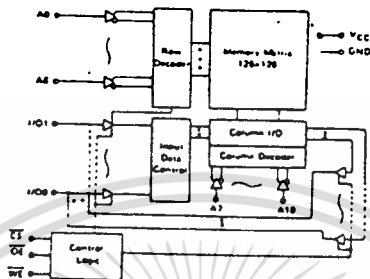
# HM6116P-2, HM6116P-3, HM6116P-4

2048-word X 8-bit High Speed Static CMOS RAM

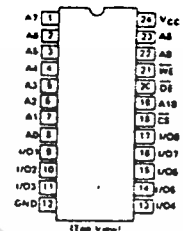
## FEATURES

- Single 5V Supply and High Density 24 pin Package
- High Speed Fall Access Time 120ns/180ns/200ns (max)
- Low Power Standby and Low Power Operation Standby 100mW (typ) Operation 180mW (typ)
- Commercial Static RAM No clock or Timing Strobe Required
- Directly TTL Compatible All Input and Output
- Pin Out Compatible with Standard 1Kb EPROM/MASK ROM
- Equal Access and Cycle Time

## FUNCTIONAL BLOCK DIAGRAM



## PIN ARRANGEMENT



## ABSOLUTE MAXIMUM RATINGS

Item	Symbol	Rating	Unit
Voltage on Any Pin Relative to GND	$V_{PI}$	-0.5 to +7.0	V
Operating Temperature	$T_{OP}$	0 to +70	°C
Storage Temperature	$T_{STG}$	-65 to +175	°C
Temperature Under Bias	$T_{UB}$	-18 to +85	°C
Power Dissipation	$P_T$	1.0	W

## TRUTH TABLE

CS	OE	WE	Memory	VCC Current	I/O Pin	Ref. Cycle
H	X	X	Not Accessed	$I_{CC}$	High Z	
L	L	X	Read	$I_{CC}$	$D_{in}$	Read Cycle (1) (2)
L	H	L	Write	$I_{CC}$	$D_{in}$	Write Cycle (1)
L	L	L	Write	$I_{CC}$	$D_{in}$	Write Cycle (2)

## RECOMMENDED DC OPERATING CONDITIONS (T<sub>a</sub> = 0 to +70°C)

Item	Symbol	min	typ	max	Unit
Supply Voltage	VCC	4.5	5.0	5.5	V
	GND	0	0	0	V
Input Voltage	V <sub>IN</sub>	2.7	3.5	6.0	V
	V <sub>IL</sub>	-1.0*	-	0.8	V

## DC AND OPERATING CHARACTERISTICS (VCC = 5V, I<sub>OH</sub> = 0V, T<sub>a</sub> = 0 to +70°C)

Item	Symbol	Test Conditions	HM6116P-2			HM6116P-3			Unit
			min	typ	max	min	typ	max	
Input Leakage Current	$I_{IL1}$	VCC = 5.5V, I <sub>IN</sub> = GND to VCC	-	-	10	-	-	10	μA
Output Leakage Current	$I_{LO}$	V <sub>IN</sub> = 1.0V or 0V, V <sub>IO</sub> = GND to VCC	-	-	10	-	-	10	μA
Operating Power Supply Current	$I_{CC}$	CS = 1.0V, I <sub>IO</sub> = 0mA	-	40	80	-	35	70	mA
	$I_{CC}^{(1)}$	V <sub>IN</sub> = 3.5V, V <sub>IO</sub> = 0.5V, I <sub>IO</sub> = 0mA	-	36	-	-	30	-	mA
Average Operating Current	$I_{CC}^{(2)}$	Min. cycle duty = 100%	-	40	80	-	35	70	mA
Standby Power Supply Current	$I_{SB}$	CS = 1.0V	-	5	15	-	5	15	mA
	$I_{SB}^{(1)}$	CS = 1.0V, V <sub>IN</sub> = 2.7V, V <sub>IO</sub> = 0.2V	-	0.02	2	-	0.02	2	mA
Output Voltage	V <sub>OL</sub>	I <sub>OL</sub> = 4mA	-	-	0.4	-	-	-	V
	V <sub>OL</sub>	I <sub>OL</sub> = 2.1mA	-	-	-	-	-	0.4	V
	V <sub>OH</sub>	I <sub>OH</sub> = -1.0mA	2.4	-	-	2.4	-	-	V

\* VCC = 5V, T<sub>a</sub> = 25°C

\*\* Reference Only

## AC CHARACTERISTICS (VCC = 5V, I<sub>OH</sub> = 0V, T<sub>a</sub> = 0 to +70°C)

### AC TEST CONDITIONS

Input Pulse Levels: 0 to 1.0V  
Input Rise and Fall Times: 10 ns

Input and Output Timing Reference Levels: 1.5V  
Output Load: 1 TTL Gate and C<sub>L</sub> = 100pF (including scope and jig)

### READ CYCLE

Item	Symbol	HM6116P-2		HM6116P-3		HM6116P-4		Unit
		min	max	min	max	min	max	
Read Cycle Time	$t_{RC}$	120	-	150	-	200	-	ns
Address Access Time	$t_{AA}$	-	120	-	150	-	200	ns
Chip Select Access Time	$t_{ACS}$	-	120	-	150	-	200	ns
Chip Select to Output in Low Z	$t_{CLZ}$	10	-	15	-	15	-	ns
Output Enable to Output in Low Z	$t_{OEZ}$	-	80	-	100	-	120	ns
Output Enable to Output in High Z	$t_{OEHZ}$	10	-	15	-	15	-	ns
Chip deassertion to Output in High Z	$t_{CHZ}$	10	40	0	50	0	60	ns
Chip Disable to Output in High Z	$t_{CDZ}$	0	40	0	50	0	60	ns
Output Hold from Address Change	$t_{OH}$	10	-	15	-	15	-	ns

### WRITE CYCLE

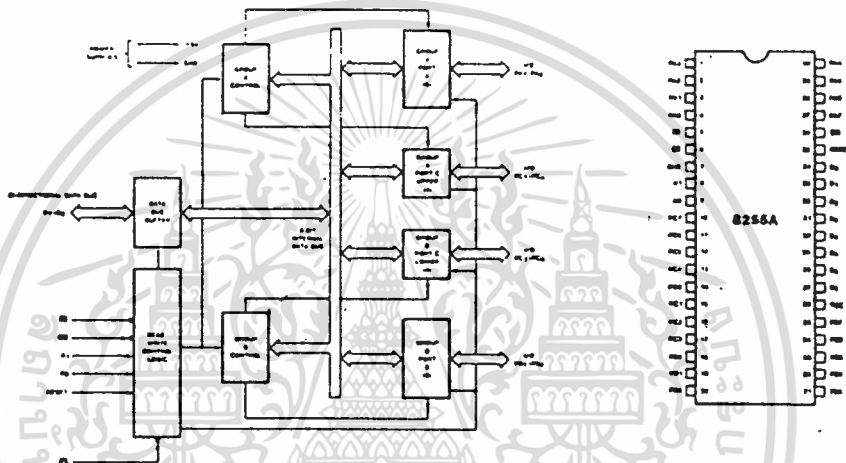
Item	Symbol	HM6116P-2		HM6116P-3		HM6116P-4		Unit
		min	max	min	max	min	max	
Write Cycle Time	$t_{WC}$	120	-	150	-	200	-	ns
Chip Select to End of Write	$t_{CS}$	70	-	90	-	120	-	ns
Address Valid to End of Write	$t_{AV}$	105	-	120	-	140	-	ns
Address Set Up Time	$t_{AS}$	30	-	30	-	30	-	ns
Write Pulse Width	$t_{WP}$	70	-	90	-	120	-	ns
Write Recovery Time	$t_{WR}$	5	-	15	-	10	-	ns
Output Disable to Output in High Z	$t_{ODHZ}$	0	40	0	50	0	60	ns
Write to Output in High Z	$t_{OWHZ}$	0	60	0	80	0	90	ns
Write to Write Time Overlap	$t_{DW}$	35	-	40	-	60	-	ns
Data Hold from Write Time	$t_{DH}$	5	-	10	-	10	-	ns
Output Access from End of Write	$t_{OA}$	5	-	10	-	10	-	ns

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับ...  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดลอกเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกแห่งที่ปรากฏในใบนี้

## 8255A/8255A-5 PROGRAMMABLE PERIPHERAL INTERFACE

- MCS-85™ Compatible 8255A-5
- Direct Bit Set/Reset Capability Easing Control Application Interface
- 24 Programmable I/O Pins
- 40-Pin Dual In-Line Package
- Completely TTL Compatible
- Reduces System Package Count
- Fully Compatible with Intel® Micro-processor Families
- Improved DC Driving Capability
- Improved Timing Characteristics

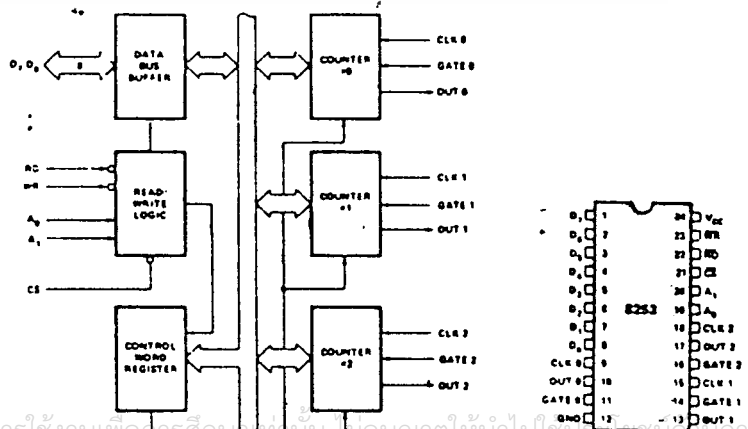
The Intel® 8255A is a general purpose programmable I/O device designed for use with Intel® microprocessors. It has 24 I/O pins which may be individually programmed in 2 groups of 12 and used in 3 major modes of operation. In the first mode (MODE 0), each group of 12 I/O pins may be programmed in sets of 4 to be input or output. In MODE 1, the second mode, each group may be programmed to have 8 lines of input or output. Of the remaining 4 pins, 3 are used for handshaking and interrupt control signals. The third mode of operation (MODE 2) is a bidirectional bus mode which uses 8 lines for a bidirectional bus, and 5 lines, borrowing one from the other group, for handshaking.



## PROGRAMMABLE INTERVAL TIMER

- MCS-85™ Compatible 8253-5
- Count Binary or BCD
- 3 Independent 16-Bit Counters
- Single +5V Supply
- DC to 2 MHz
- Programmable Counter Modes
- 24-Pin Dual In-Line Package

The Intel® 8253 is a programmable counter/timer chip designed for use as a microcomputer peripheral. It uses CMOS technology with a single +5V supply and is packaged in a 24 pin plastic DIP. It is organized as 3 independent 16 bit counters, each with a count rate of up to 2 MHz. All modes of operation are software programmable.



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น มิอนุญาตให้นำไปใช้ประโยชน์ในการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหานี้หรืออ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## กิตติกรรมประกาศ

ผลงานการวิจัยชิ้นนี้ สำเร็จลุล่วงไปด้วยดีด้วยความช่วยเหลือของ อาจารย์ขนิษฐา แซ่ตั้ง และ พี่สมชาย สุจริตวณิชพงศ์ ที่ได้พยายามช่วยหาข้อมูล และให้คำปรึกษามาโดยตลอด ที่ขาดเสียมิได้คือ ภาควิชาเทคนิคการแพทย์ มหาวิทยาลัยมหิดล ที่ได้ให้ความรู้ ข้อคิด และ ตัวอย่างเลือดสำหรับการทดลอง ซึ่งพวกเราต้องขอขอบพระคุณไว้ ณ ที่นี้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## หนังสืออ้างอิง

1. แพทย์สมาคมแห่งประเทศไทย, "จดหมายเหตุทางแพทย์ ฉบับที่ 71/3", แพทย์สมาคมแห่งประเทศไทย, 136 หน้า, 2531
2. ยืน ภู่วรวรรณ, "Z-80กับ 8255", วารสารเคมีคอนดักเตอร์ อิเล็กทรอนิกส์, ฉบับที่ 81, หน้า 226-273, 2530
3. ศูนย์ภาษาคอมพิวเตอร์, "การใช้งาน Z-80", พิลิกส์เซ็นเตอร์ การพิมพ์, 284 หน้า, 2529
4. Peter S. Ivanov, "Opto Electronics", Miv Publishers, 256 P., 1987
5. Rodney Zaks., "Programming the Z-80", Sybex, 522 P., 1979

