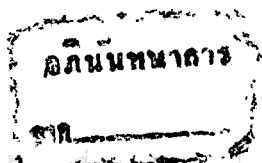




อาจารย์ที่ปรึกษา

ผศ.ดร. วัลลภ สุระกำพลธร



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึง 023120-8.ลค.2532

เน็ตเวอร์ค อนาไลเซอร์

NETWORK ANALYZER

วิวัฒน์ สุวรรณพิบูลย์

อาจารย์ที่ปรึกษา ดร.วัลลภ สุระกำพลธร

ปีการศึกษา 2531

บทคัดย่อ

ในการหาผลตอบสนองความถี่ (FREQUENCY RESPONSE) ของวงจร เป็นความยากลำบากในการที่จะวัดผลตอบสนองความถี่ที่ละเอียด เพื่อที่จะนำมาวาดกราฟผลตอบสนองความถี่ของวงจรนั้นๆ

สำหรับโครงงานเน็ตเวอร์คอนาไลเซอร์นี้ เป็นวงจรที่ออกแบบมาให้สามารถแสดงผลตอบสนองความถี่ตั้งแต่ 10 เฮิร์ตถึงความถี่ 100 กิโลเฮิร์ต โดยการสร้างวงจรกวาดความถี่ (SWEEP GENERATOR) ป้อนเข้าสู่วงจรที่ต้องการทดสอบ จากนั้นก็นำสัญญาณเอาต์พุตมาประมวลผล โดยไมโครคอมพิวเตอร์ เพื่อดำเนินการแสดงผลตอบสนองความถี่

เน็ตเวอร์ค อนาไลเซอร์

NETWORK ANALYZER

วิวัฒน์ สุวรรณเพ็ญ

อาจารย์ที่ปรึกษา ดร.วัลลภ สุระกำพล

ปีการศึกษา 2531

Abstract

If we want to know the frequency respond, it is hard-working for us to measure the respond at each frequency .So we want some tools to solve this problem.

" Network Analyzer " is the project that design to find the frequency respond of network from 10 Hz to 100KHz by used "Digital Sweep Generation" method ,then plot the frequency curve on IBM PC monitor.

สารบัญ

	หน้า
บทที่ 1 บทนำ	1
บทที่ 2 หลักการเบื้องต้นเกี่ยวกับเน็ตเวิร์คออนไลน์	2
บทที่ 3 รายละเอียดวงจรและการออกแบบ	
3.1 การออกแบบวงจรเชื่อมต่อกับ IBM PC	5
3.2 การออกแบบวงจรภาคทฤษฎี	11
3.3 การออกแบบวงจรวัดขนาดสัญญาณ	39
3.4 การออกแบบโปรแกรม	44
บทที่ 4 การทดลองและผลการทดลอง	53
บทที่ 5 บทวิจารณ์และสรุปผล	56
ภาคผนวก	
ก. สรุปวงจรรวม	
ข. ข้อมูลของไอซีที่จำเป็น	

(1)

บทที่ 1

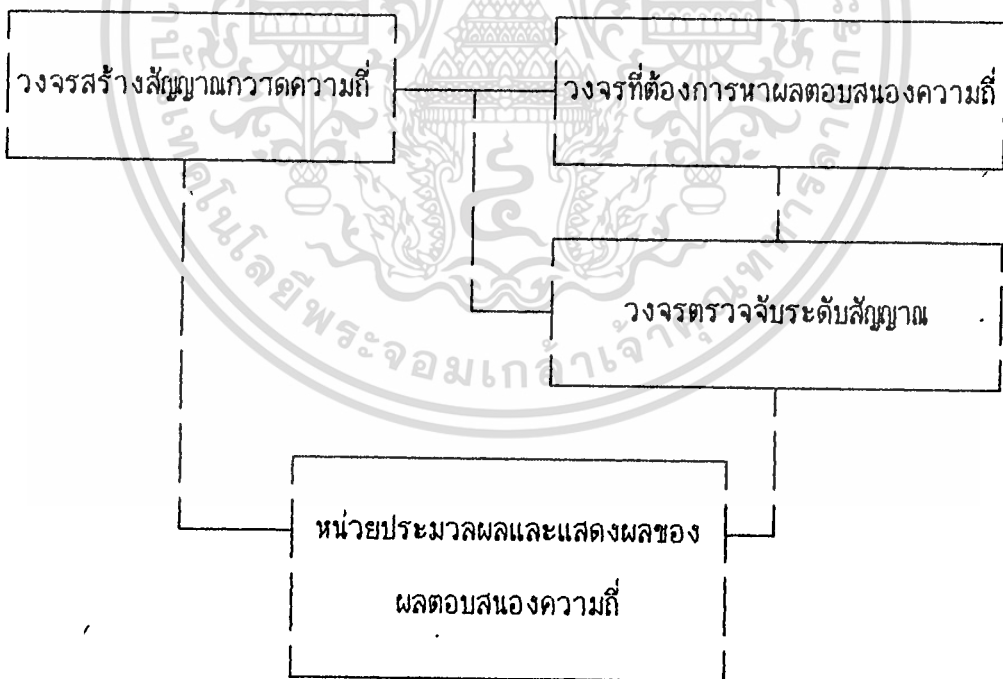
บทนำ

ในวงการอิเล็กทรอนิกส์ปัจจุบัน เราจะพบว่าเครื่องมือที่ใช้กันโดยทั่วไปมักจะประกอบด้วย ออสซิลโลสโคป (OSCILLOSCOP) แหล่งจ่ายไฟตรง (POWER SUPPLY) และเครื่องสร้างสัญญาณความถี่ (FREQUENCY GENERATOR) เป็นหลักในการตรวจสอบและตรวจสอบวงจร ซึ่งถ้าการตรวจสอบนั้นเป็นการตรวจสอบสนองความถี่ (FREQUENCY RESPONSE) เพียงไม่กี่ค่าความถี่ การใช้เครื่องมือเพียงแค่นั้นก็ควรจะเพียงพอแล้ว แต่ถ้าเป็นการตรวจสอบความถี่ในช่วงกว้าง การที่จะค่อยๆ วัดผลตอบสนองความถี่ทีละค่าย่อมไม่ใช่หนทางที่ผู้ที่มีความรู้ทางอิเล็กทรอนิกส์จะพึงกระทำ โครงการงานเน็ตเวอร์คออนไลน์เซอร์นี้จึงถูกเสนอขึ้นมาเพื่อแก้ปัญหานี้

บทที่ 2หลักการของเนตเวอร์คออนไลน์เซอร์

ในการหาผลตอบสนองความถี่ (FREQUENCY RESPONSE) ของวงจร เราสามารถหาได้โดยการป้อนสัญญาณให้วงจรนั้น หลังจากนั้นก็ทำการนำสัญญาณออกของวงจรมาเปรียบเทียบกับสัญญาณเข้า เพื่อหาอัตราขยายสัญญาณที่ความถี่นั้น จากวิธีการนี้ถ้าเราเปลี่ยนความถี่ไปในช่วงกว้าง เราก็สามารถหาผลตอบสนองความถี่ของวงจรในช่วงความถี่ที่เราต้องการได้

จากเนื้อหาข้างต้นเราอาจจะสรุปเป็นแผนผังดังภาพที่ 2.1



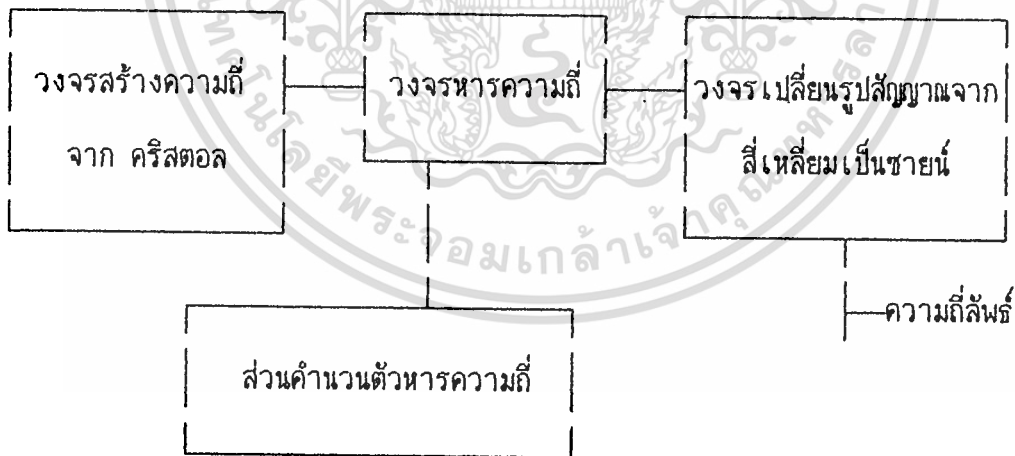
ภาพที่ 2.1 การทำงานของเนตเวอร์คออนไลน์เซอร์

ซึ่งสามารถสรุปหลักการแต่ละหัวข้อได้ดังนี้

วงจรสร้างสัญญาณกวาดความถี่ (SWEEP FREQUENCY GENERATOR)

โดยทั่วไปในการสร้างสัญญาณกวาดความถี่ เรามักจะใช้วงจรควบคุมความถี่ด้วยตัวกำเนิดความถี่ ด้วยการสร้างสัญญาณฟันเลื่อย (SAWTOOTH) มาควบคุมการกวาดของสัญญาณ วิธีนี้เป็นวิธีที่รวบรัดและง่าย แต่มีข้อเสียอยู่ที่ไม่สามารถกำหนดจุดความถี่ที่แน่นอนลงไปได้ เนื่องจากระดับศักดาที่ควบคุมการกวาดมีขนาดเล็กเกินไป (ส่วนใหญ่จะประมาณ 5 โวลต์) ดังนั้นถ้ามีการแบ่งความถี่ย่อยมาก จะทำให้สัญญาณรบกวนมีผลต่อความแน่นอนของความถี่ นอกจากนี้การที่จะออกแบบให้ใช้เวลาในการกวาดมากพอที่จะวัดค่าได้หลายความถี่ก็ทำได้ยาก

ในโครงการนี้จึงได้เลือกใช้วิธีสร้างสัญญาณกวาดความถี่แบบดิจิทัล ซึ่งมีแผนผังการทำงานดังภาพที่ 2.2



ภาพที่ 2.2 แสดงการทำงานของวงจรกวาดความถี่แบบดิจิทัล

จากแผนภาพที่ 2.2 แสดงถึงหลักการกวาดความถี่โดยเริ่มจากการสร้างความถี่หลัก

ขึ้นมาค่าหนึ่ง จากนั้นก็นำเข้าวงจรหารความถี่ โดยการเปลี่ยนค่าตัวหารความถี่ ก็จะได้
เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ ไม่ให้เผยแพร่โดยไม่ได้รับอนุญาต การนำเอกสารไปใช้
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณกวาดความถี่ออกมา แต่สัญญาณกวาดความถี่ที่ได้จะเป็นสัญญาณในรูปอิมพัลส์ (impulse) ดังนั้นจึงต้องนำเข้าสู่วงจรเปลี่ยนเป็นสัญญาณชานีอีกครั้งหนึ่ง

วงจรตรวจจับระดับสัญญาณ

จากวงจรสร้างสัญญาณกวาดความถี่ เมื่อเราป้อนสัญญาณให้กับ วงจรที่ต้องการทดสอบแล้ว เราก็จำเป็นที่จะต้องมียุทธวิธีที่ทำหน้าที่ตรวจวัดสัญญาณทั้งสัญญาณส่วนที่ป้อนเข้าสู่วงจรและสัญญาณส่วนที่ผ่านวงจรมาแล้วเพื่อส่งผลให้กับ ส่วนประมวลผลทำการหาผลตอบสนองความถี่อีกครั้งหนึ่ง ดังนั้นในส่วนตรวจจับระดับสัญญาณ จึงพอจะแบ่งเป็นส่วนๆได้เป็น

-วงจร Amplitude detector

-วงจร A/D

หน่วยประมวลผลและแสดงผลของผลตอบสนองความถี่

จากสองส่วนข้างต้น จะพบว่ายังไม่เพียงพอสำหรับการทำงานเป็นเน็ตเวิร์คคอมพิวเตอร์แต่ยังต้องมีส่วนประกอบอื่นอีก เพื่อทำหน้าที่ที่ยังขาดอยู่คือ การคำนวณหาค่าตัวหารและการแสดงผลตอบสนองความถี่ออกมา ในปฏิทินฉบับนี้ได้มีการกำหนดให้แสดงผลออกทาง IBM PC ดังนั้นจึงมีความจำเป็นที่ต้องสร้างวงจรที่ทำหน้าที่เชื่อมต่อ (interface) กับเครื่อง IBM PC นอกจากนี้ก็ยังสามารถใช้เครื่อง IBM PC ในการคำนวณค่าตัวหารในพร้อมๆกันด้วย

บทที่ 3

การออกแบบและการสร้างวงจร เนตเวอร์คออนไลน์เซอร์

สำหรับส่วนของวงจร เนตเวอร์คออนไลน์เซอร์นี้ เราสามารถแบ่งวงจรออกเป็น 4 ส่วนด้วยกันคือ

- 1 ส่วนเชื่อมโยงกับไอบีเอ็ม พีซี
- 2 ส่วนสร้างสัญญาณกวาดความถี่
- 3 ส่วนตรวจวัดระดับสัญญาณ
- 4 โปรแกรมควบคุมการทำงานและแสดงผล

ที่จะแจกแจงรายละเอียดตามหัวข้อข้างล่างนี้

3.1 ส่วนเชื่อมโยงกับไอบีเอ็ม พีซี

ในการที่จะเชื่อมโยงวงจรหนึ่งกับเครื่อง ไอบีเอ็ม พีซีนั้น จะต้องมีการเชื่อมต่อสายสัญญาณผ่านสล๊อตดังต่อไปนี้

1) D0-D7

2) A0-A9

3) แหล่งจ่ายไฟได้แก่ GND, +5V, -5V, +12V และ -12V โดย แหล่งจ่ายไฟ 5V ใช้สำหรับวงจรทางดิจิทัล ส่วน แหล่งจ่ายไฟที่เหลือใช้กับวงจรลิเนียร์ (LINEAR)

4) AEN

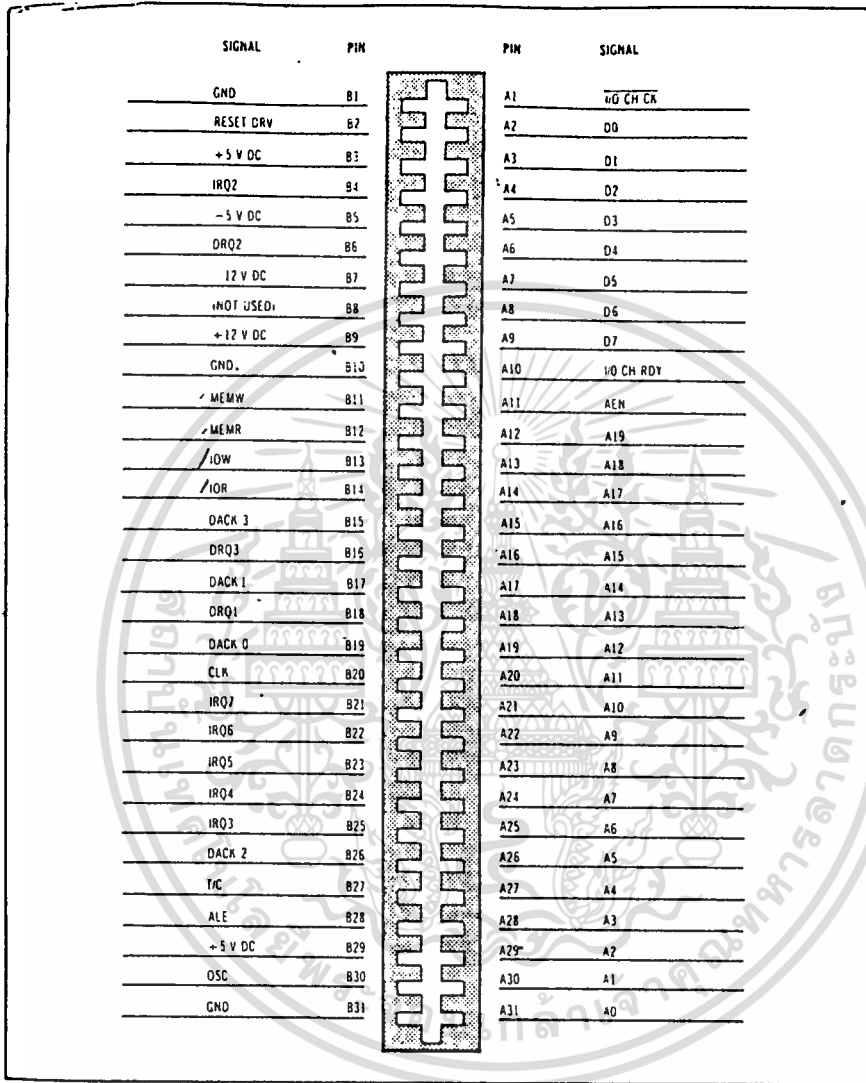
5) IOR, IOW

6) IRQ2

สำหรับสล๊อตในไอบีเอ็ม พีซี นั้นมีอยู่ 8 สล๊อต แต่จะมี 7 สล๊อต (J1-J7) เท่านั้น ที่มีสัญญาณเหมือนกัน ส่วน J8 จะต้องมีสัญญาณไปเรียกจึงจะทำงานได้ ดังนั้นจึงสามารถใช้ได้เพียง สล๊อตที่ J1-J7 เท่านั้น ซึ่งจะสามารถเลือกใช้สล๊อตใดก็ได้ที่เหลือจากการใช้ปกติ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำหรับสล็อตต่างๆมีขาสัญญาดังภาพที่ 3.1



ภาพที่ 3.1 แสดงขาสัญญาของสล็อตบนเครื่อง ไอบีเอ็ม พีซี

การถอดรหัสพอร์ต (Decode Port)

แต่ในการเชื่อมต่อกับไอบีเอ็ม พีซี นี้ ในกรณีที่เป็นส่วนที่เชื่อมต่อทางพอร์ตเราก็ต้อง

ทำการกำหนดเลขที่พอร์ตที่จะใช้ ซึ่งตามความเป็นจริงแล้วไมโครโปรเซสเซอร์ 8086

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1

-

ภาพที่ 3.2 แผนผังฟอร์ทที่ใช้บนเมนบอร์ด

		HEX ADDRESS	USES
0200H	1	0200H	NOT USED
0201H	1	0201H	GAME CONTROL ADAPTER
0202H	118	0202H - 0277H	NOT USED
0277H	8	0278 - 027FH	SECOND PRINTER PORT ADAPTER
027FH	120	0280H - 02F7H	NOT USED
0280H	8	02F8H - 02FFH	SECOND SERIAL PORT ADAPTER CARD
02F7H	120	0300H - 0377H	NOT USED
02F8H	8	0378H - 037FH	PRINTER PORT ADAPTER CARD
02FFH	18	0380H - 03AFH	NOT USED
0300H	16	03B0H - 03B7H	MONOCHROME AND PRINTER ADAPTER
0377H	16	03C0H - 03CFH	NOT USED
0378H	16	03D0H - 03DFH	COLOR GRAPHICS ADAPTER
037FH	16	03E0H - 03EFH	NOT USED
0380H	8	03F0H - 03F7H	5 1/4 INCH DISKETTE DRIVE ADAPTER CARD
03AFH	8	03F8H - 03FFH	SERIAL PORT ADAPTER CARD
03B0H			
03B7H			
03C0H			
03CFH			
03D0H			
03DFH			
03E0H			
03EFH			
03F0H			
03F7H			
03F8H			
03FFH			

NOTE: NEW FEATURES BY IBM AND OTHER MANUFACTURERS MAY USE SOME OF THE SPARE I/O ADDRESS DECODES

ภาพที่ 3.3 แผนผังพอร์ตที่ใช้สำหรับสล็อต

นอกจากสัญญาณแอดเดรสแล้ว ก็ยังมีสัญญาณ AEN ซึ่งแอดทันทึลลอจิก 1 (5 โวลต์)

อันจะแสดงถึงสภาวะลอย (Float) ของขาสัญญาณต่างๆ ดังนั้นจึงจำเป็นที่ต้องนำเอาขา

AEN ไปทำการถอดรหัสด้วย โดยต้องกำหนดให้ทำการถอดรหัสเมื่อ AEN เป็นลอจิก 0

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(๑ โวลต์)

อนึ่งในบางกรณีที่มีการใช้ร่วมกับคาร์ตอื่นซึ่งไม่ได้กำหนดเลขที่พอร์ทไว้ในแผนผัง อาจจะเป็นไปได้ที่ มีการกำหนดพอร์ทซ้ำกันดังนั้นจึงจำเป็นที่จะต้องออกแบบวงจรถอดรหัสที่สามารถเปลี่ยนเลขที่พอร์ทได้ดังนั้นจึงได้ออกแบบวงจรไว้ดังภาพที่ 3.4 ที่กำหนดให้

สวิตช์ที่ 1 คือการกำหนดขาแอดเดรสที่ 4 (A4)

สวิตช์ที่ 2 คือการกำหนดขาแอดเดรสที่ 5 (A5)

สวิตช์ที่ 3 คือการกำหนดขาแอดเดรสที่ 6 (A6)

สวิตช์ที่ 4 คือการกำหนดขาแอดเดรสที่ 7 (A7)

สวิตช์ที่ 5 คือการกำหนดขาแอดเดรสที่ 8 (A8)

สวิตช์ที่ 6 คือการกำหนดขาแอดเดรสที่ 9 (A9)

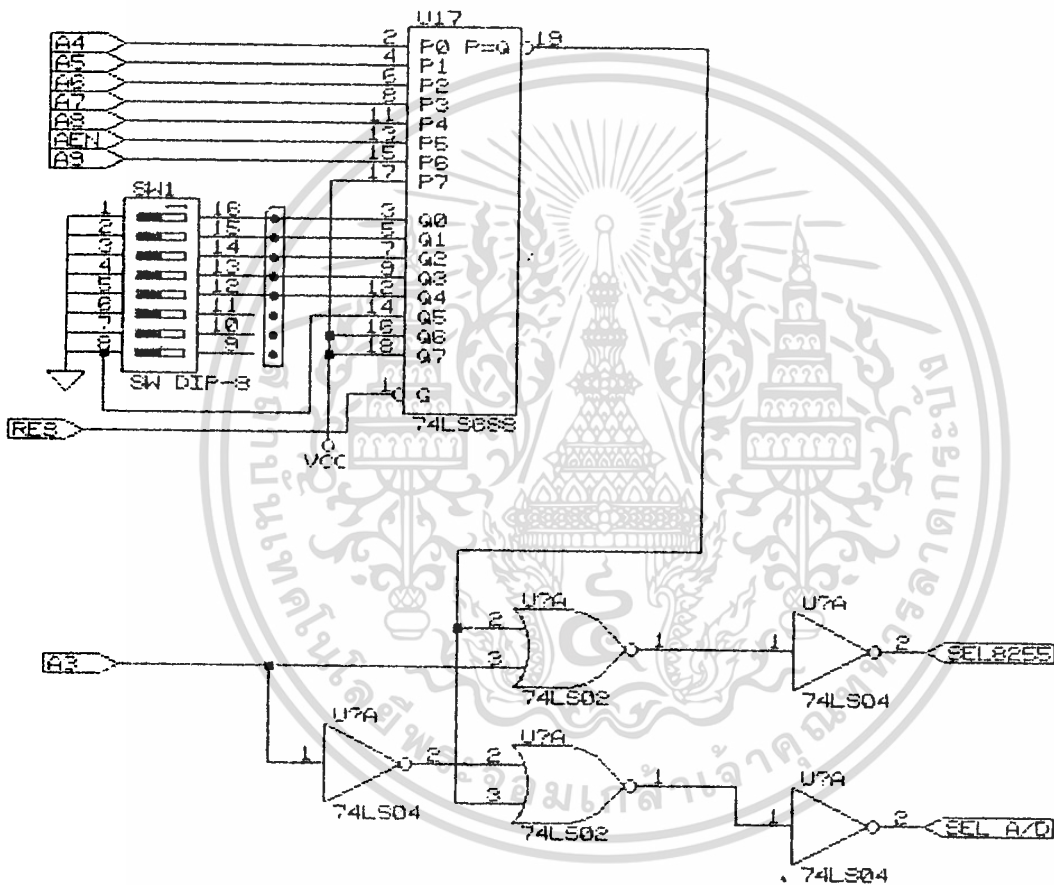
ในที่นี้เรากำหนดให้แอดเดรสอยู่ในช่วง 0280h-028fh

เพราะฉะนั้นต้องกำหนดให้สวิตช์ที่ 4 , 6 เป็น on

เพราะฉะนั้นต้องกำหนดให้สวิตช์ที่ 1 , 2 , 3 , 5 เป็น off

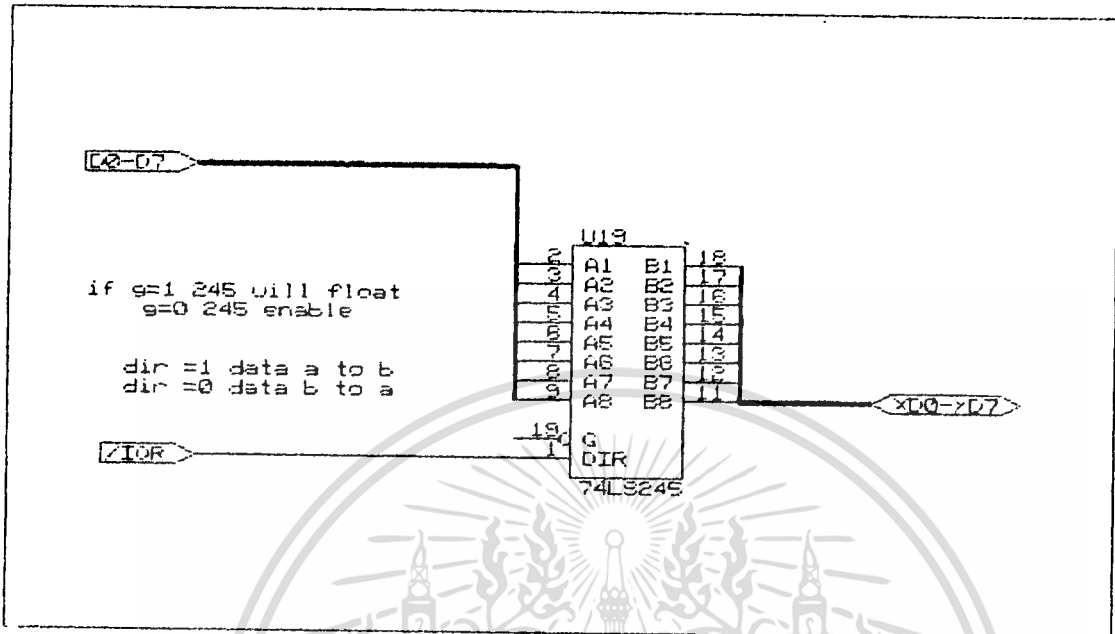
หากว่ามีคาร์ตอื่นที่มีแอดเดรสซ้ำกันก็สามารถปรับสวิตช์เพื่อเปลี่ยนแอดเดรสพอร์ทได้

นอกจากการถอดรหัสสายแอดเดรสแล้วยังมีอีกส่วนหนึ่งที่ต้องพิจารณาคือสายข้อมูล สำหรับสายข้อมูลนี้เป็นแบบสองทิศทาง(Bidirectional) เพราะฉะนั้นจึงต้องออกแบบวงจรที่ทำการตัดการติดต่อกับสายข้อมูลเมื่อการถอดรหัสไม่ตรงกับวงจรที่กำหนด และเชื่อมต่อข้อมูลเมื่อการถอดรหัสตรงกับวงจรที่กำหนดไว้ โดยมีทิศทาง การผ่านของข้อมูลเข้าเมื่อสัญญาณ IOW มีลอจิก 0 และมีทิศทางไหลออกเมื่อ IOR มีลอจิก 0 ซึ่งได้ ออกแบบไว้ดังรูปที่ 3.5



ภาพที่ 3.4 แสดงวงจรถอดรหัสพอร์ท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ภาพที่ 3.5 วงจรส่วนเชื่อมต่อสายข้อมูล

3.2 วงจรสร้างสัญญาณกวาดความถี่ (SWEEP FREQUENCY GENERATOR)

โดยทั่วไปในการสร้างสัญญาณกวาดความถี่ เรามักจะใช้วงจรควบคุมความถี่ด้วยคิกดา (VCO) เป็นตัวกำเนิดความถี่ ด้วยการสร้างสัญญาณฟันเลื่อย (SAWTOOTH) มาควบคุมการกวาดของสัญญาณ วิธีนี้เป็นวิธีที่รวดเร็วและง่าย แต่มีข้อเสียอยู่ที่ไม่สามารถกำหนดจุดความถี่ที่แน่นอนลงไปได้ เนื่องจากระดับคิกดาที่ควบคุมการกวาดมีขนาดเล็กเกินไป (ส่วนใหญ่จะประมาณ 5 โวลต์) ดังนั้นถ้ามีการแบ่งความถี่ย่อยมาก จะทำให้สัญญาณรบกวนมีผลต่อความแน่นอนของความถี่ ในโครงงานนี้จึงได้เลือกใช้วิธีสร้างสัญญาณกวาดความถี่แบบดิจิตอล ซึ่งพอจะแบ่งส่วนการพิจารณาได้เป็น

3.2.1 วงจรสร้างสัญญาณความถี่โดยอาศัยหลักการทางดิจิตอล

3.2.2 วงจรเปลี่ยนสัญญาณอิมพัลส์เป็นสัญญาณดิจิตอลชานน์

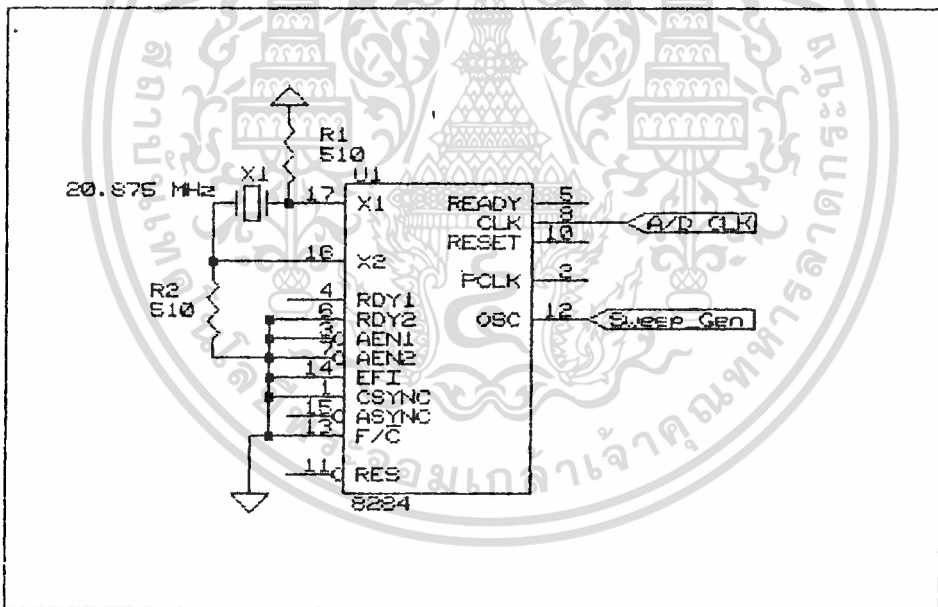
3.2.3 วงจรเปลี่ยนสัญญาณดิจิตอลชานน์ เป็นสัญญาณชานน์แบบบริสท์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2.1 หลักการทำงานของวงจรสร้างสัญญาณกวาดความถี่โดยอาศัยหลักการทางดิจิทัล

(DIGITAL METHOD OF SWEEP FREQUENCY GENERATION)

จากแผนภาพในหน้าที่แล้ว เราจะอธิบายการทำงานได้โดยเริ่มจากการที่เราสร้างสัญญาณความถี่สูงขึ้นมาค่าหนึ่ง โดยที่นี้สร้างมาจาก ไอซีกำเนิดความถี่แบบคริสตัล (Crystal Oscillator) เบอร์ 8284 และคริสตัลความถี่ 20.875 MHz เพื่อสร้างสัญญาณสี่เหลี่ยมความถี่ 20.875 MHz ที่ใช้เป็นความถี่มูลฐานในการหารความถี่ อันจะมีวงจรดังภาพที่ 3.6



ภาพที่ 3.6 วงจรสร้างความถี่จากคริสตัล

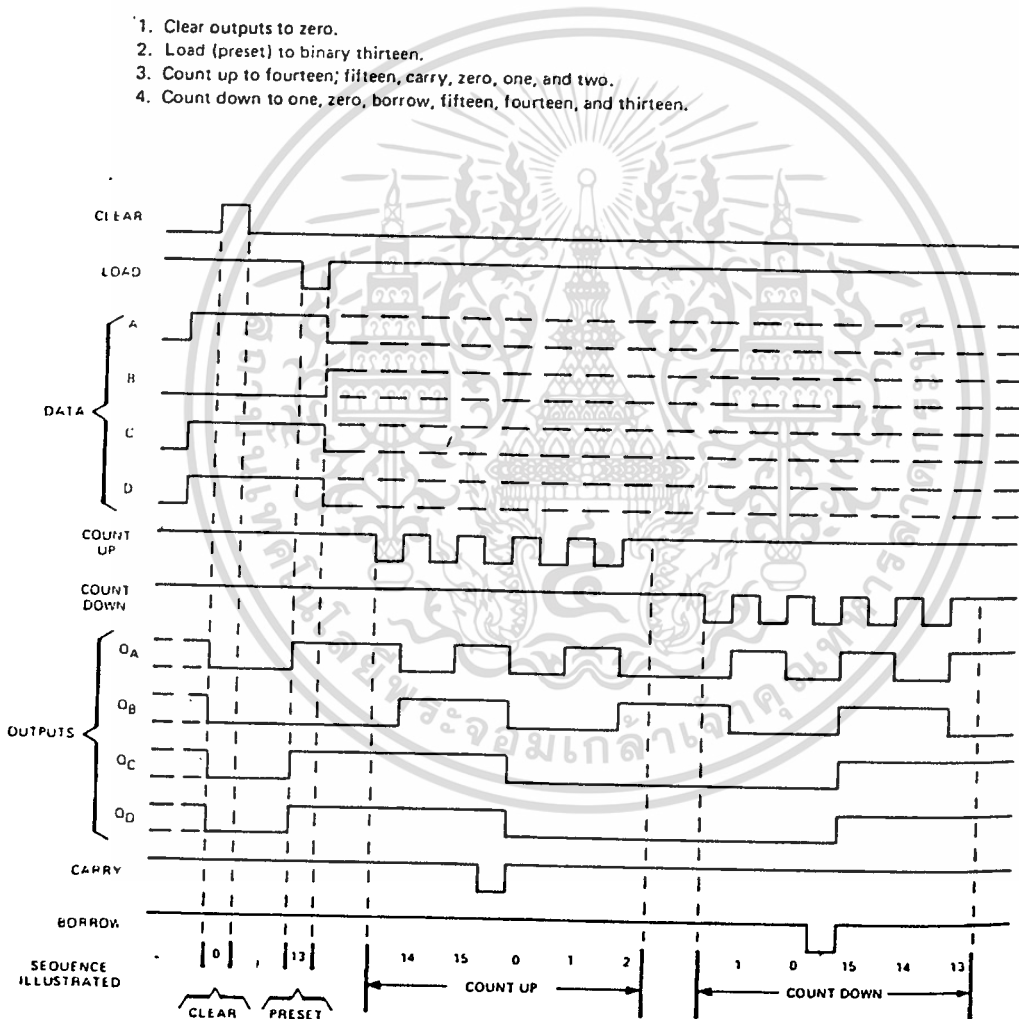
จากนั้นเราก็นำความถี่มูลฐานเข้าสู่วงจรหารความถี่ ดังนั้นเราจะพบว่าถ้าเรา

เปลี่ยนตัวหารไป เราก็จะได้อัตราความถี่ที่เปลี่ยนไปเรื่อยๆแบบที่แปรผกผันกับตัวหาร สำ-
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

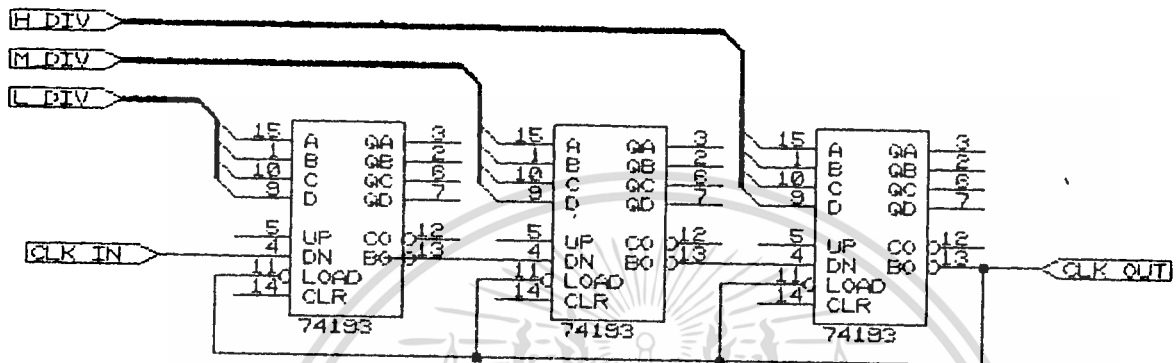
ห้รับการหาความถี่นี้ ก็สามารถใช้ไอซี ทีทีแอล เบอร์ 74LS193 (PRESETTABLE BINARY UP & DOWN COUNTER) ซึ่งมีแผนผังการทำงานดังภาพที่ 3.7 และเราสามารถนำมาหาความถี่ได้ดังวงจรดังภาพที่ 3.8

Illustrated below is the following sequence:

1. Clear outputs to zero.
2. Load (preset) to binary thirteen.
3. Count up to fourteen; fifteen, carry, zero, one, and two.
4. Count down to one, zero, borrow, fifteen, fourteen, and thirteen.



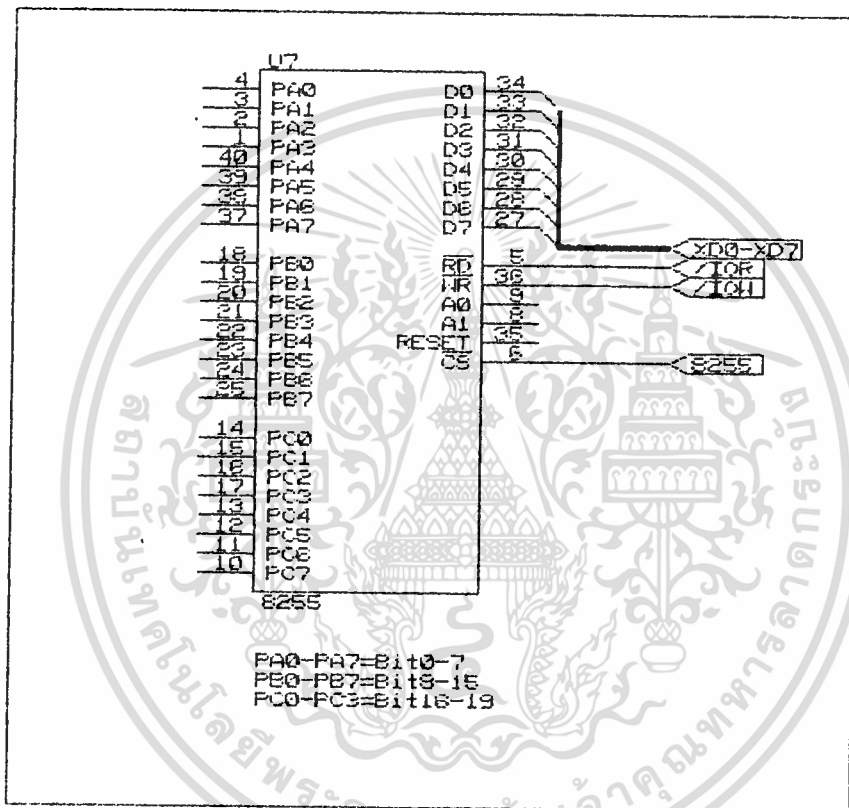
ภาพที่ 3.7 แผนผังการทำงานของ 74LS193



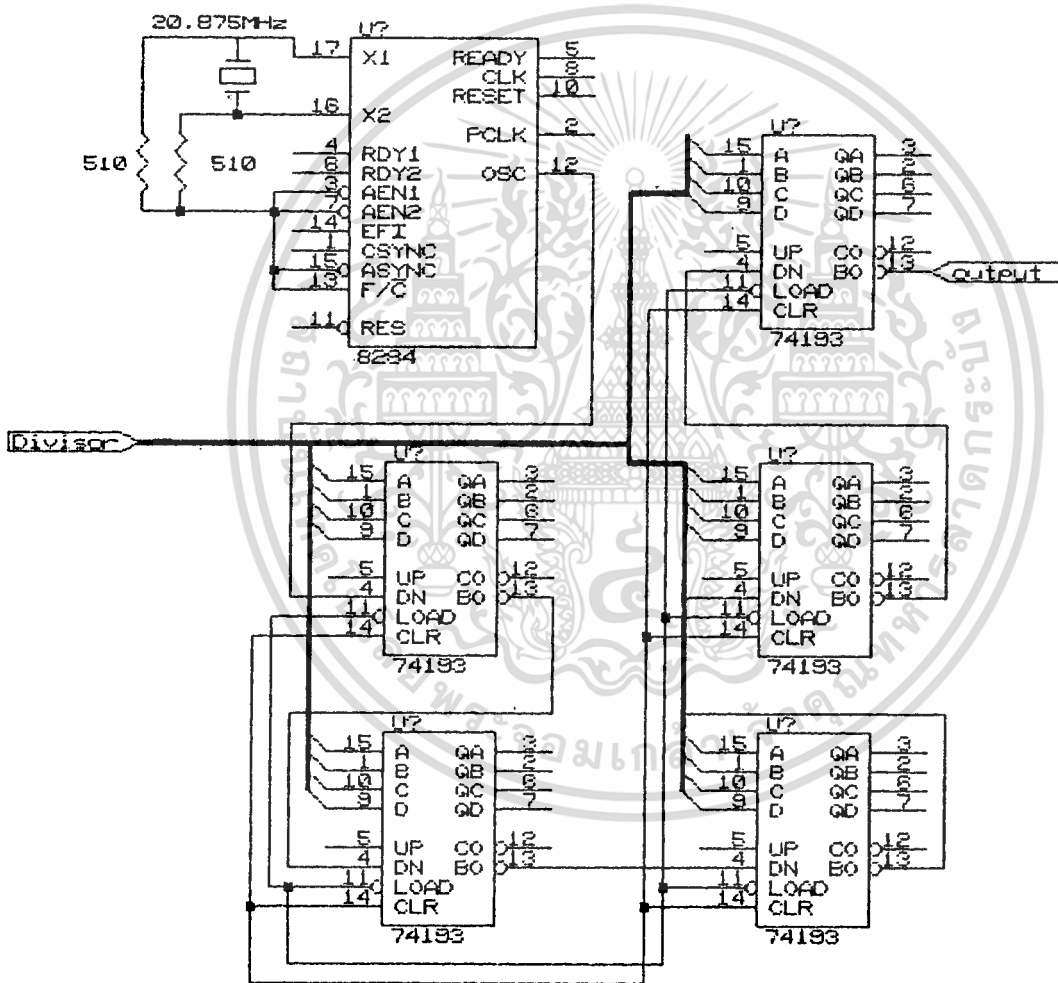
ภาพที่ 3.8 วงจรหารความถี่

สำหรับค่าตัวหารเราก็สามารถใช้ซอฟต์แวร์ในการคำนวณหาจากนั้นก็ส่งข้อมูลออกมาที่ 8255 โดยกำหนดให้ พอร์ต A เป็นบิตที่ 0-7 พอร์ต B เป็นบิตที่ 8-15 และ พอร์ต C เป็นบิตที่ 16-19 โดยมีแผนผังการต่อวงจรดังภาพที่ 3.9

ดังนั้น ณ จุดนี้เราก็สามารถเสนอวงจรสร้างสัญญาณกวาดความถี่โดยมีสัญญาณความถี่ลิ้นซ์เป็นสัญญาณอินพุตส์ได้ดังภาพที่ 3.10



ภาพที่ 3.9 แสดงการใช้ 8255 เป็นพอร์ต



ภาพที่ 3.10 วงจรสร้างสัญญาณกวาดความถี่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากภาพของ timing diagram นั้นเป็นการแสดงถึงการออกแบบสร้างสัญญาณดิจิทัลโดยใช้ D Flip-Flop จำนวน 6 ตัว แต่ที่จริงแล้วเราสามารถที่จะออกแบบ ให้สัญญาณดิจิทัลมีความใกล้เคียงกับสัญญาณช่ายไม่มากนักอีกก็ได้ โดยการ ใช้จำนวน D Flip-Flop ให้มากขึ้น สำหรับขนาดอาร์โมนิคส์ที่มีค่าสูงสุดรองจากความถี่มูลฐานสำหรับการออกแบบโดยใช้ Working-Ring Oscillator ที่มีจำนวนตั้งแต่ 5-12 ตัว และค่าความต้านทานที่ใช้สำหรับการออกแบบแต่ละแบบก็สามารถแสดงได้ตาม ตารางที่ 3.1 โดยมีอีกสิ่งหนึ่งซึ่งเราต้องพิจารณาควบคู่กันไปก็คือ จำนวน D Flip-Flop ยิ่งมากเท่าใด ความใกล้เคียงกับสัญญาณช่ายก็จะยิ่งมากขึ้น แต่ความถี่ที่ได้ก็จะถูกหาร จากความถี่ที่ป้อนเข้าสู่วงจร Working-Ring Oscillator มากขึ้นเท่านั้น ดังนั้นใน การออกแบบจึงต้องพิจารณาถึงความใกล้เคียงของความถี่ที่ยอมรับได้เทียบกับขนาดความถี่ที่ ยอมรับให้ถูกหารได้

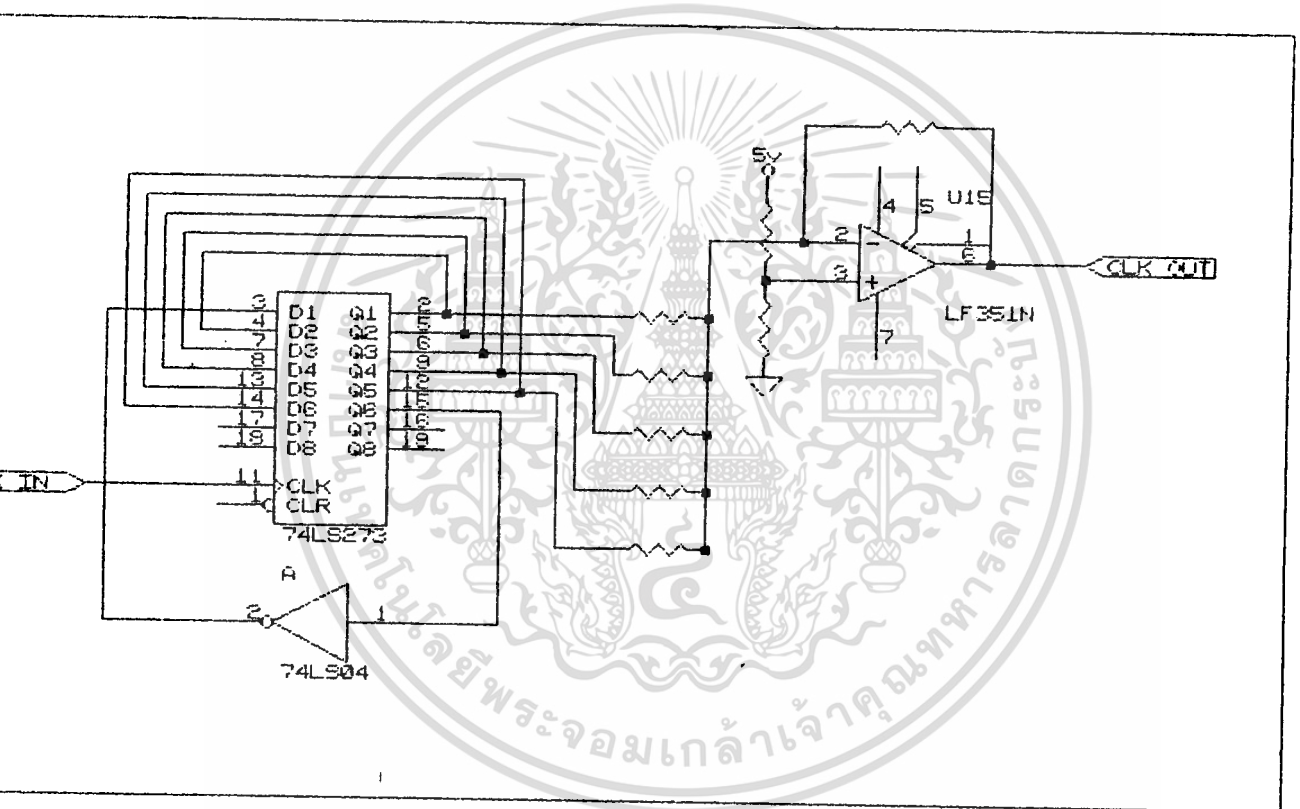
Stages	Clock	Resistors	Harmonics
6	12X	22.1K; 38.3K; 44.2K; 39.3K; 22.1K (1.000) (1.732) (2.000) (1.732) (1.000)	11H(-21 dB) 23H(-27 dB)
7	14X	22.1K; 40.2K; 49.9K; 49.9K; 40.2K; 22.1K (1.000) (1.803) (2.248) (2.248) (1.803) (1.000)	13H(-23 dB) 25H(-28 dB)
8	16X	22.1K; 41.2K; 53.6K; 57.6K; 53.6K; 41.2K; 22.1K (1.000) (1.849) (2.412) (2.613) (2.413) (1.849) (1.000)	13H(-23 dB) 27H(-29 dB)
9	18X	22.1K; 41.2K; 56.2K; 63.4K; 63.4K; 56.2K; 41.2K; 22.1K (1.000) (1.877) (2.532) (2.879) (2.879) (2.532) (1.877) (1.000)	15H(-24 dB) 29H(-29 dB)
10	20X	22.1K; 42.2K; 57.6K; 68.1K; 71.5K; 68.1K; 57.6K; 42.2K; 22.1K (1.000) (1.896) (2.618) (3.077) (3.236) (3.077) (2.618) (1.896) (1.000)	15H(-24 dB) 29H(-29 dB)
16	32X	22.1K; 43.2K; 63.4K; 80.6K; 93.1K; 105K; 110K; 113K; (1.000) (1.961) (2.847) (3.624) (4.262) (4.736) (5.027) (5.125) 110K; 105K; 93.1K; 80.6K; 63.4K; 43.2K; 22.1K (5.027) (4.736) (4.262) (3.624) (2.847) (1.96) (1.000)	17H(-25 dB) 31H(-30 dB)
n	2nX	$1; \frac{\sin \frac{2\pi}{n}}{\sin \frac{\pi}{n}}; \frac{\sin \frac{3\pi}{n}}{\sin \frac{\pi}{n}}; \frac{\sin \frac{4\pi}{n}}{\sin \frac{\pi}{n}}; \dots; \frac{\sin \frac{(n-1)\pi}{n}}{\sin \frac{\pi}{n}}$	17H(-25 dB) 31H(-30 dB)
			$\begin{matrix} (2n-1)H(1/2n-1) \\ (2n+1)H(1/2n+1) \end{matrix} \quad \begin{matrix} (4n-1)H(1/4n-1) \\ (4n+1)H(1/4n+1) \end{matrix}$

Resistor values in () are exact ratios; "K" values are rounded to stock 1% values.

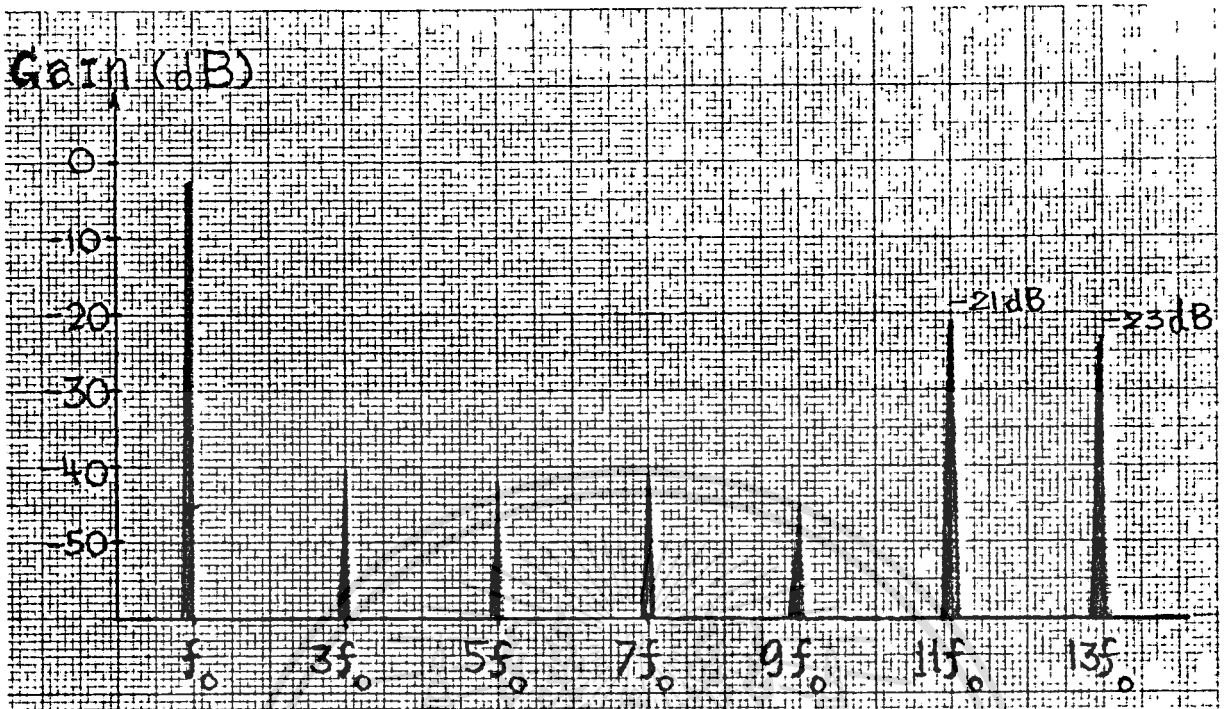
ตารางที่ 3.1 คุณสมบัติของสัญญาณดิจิทัล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำหรับปริภูมิตฤษฎีได้ออกแบบวงจรให้มีจำนวน D Flip-flop จำนวน 6 ตัว โดยใช้ไอซี เบอร์ 74LS273 ซึ่งมีวงจรดังภาพที่ 3.14 และจากการทดลองก็สามารถแสดง ถึงฮาร์โมนิกส์ของสัญญาณได้ตามภาพที่ 3.15



ภาพที่ 3.14 วงจรสร้างสัญญาณดิจิทัลหลายตัว



ภาพที่ 3.15 ภาพแสดงอาร์โมนิคส์ของสัญญาณดิจิทัลชายน

3.2.3 วงจรเปลี่ยนสัญญาณดิจิทัลชายน เป็นสัญญาณชายนแบบบริสุทธิ์

จากสัญญาณดิจิทัลชายน จะพบว่ายังเป็นสัญญาณชายนที่ไม่บริสุทธิ์พอแต่ยังประกอบด้วยอาร์โมนิคส์ที่ 11 และ 13 อีก ดังนั้นจึงควรจะมีวงจรซึ่งทำหน้าที่กรองความถี่อีกครั้งเพื่อให้ได้สัญญาณที่บริสุทธิ์มากยิ่งขึ้นต่อไป แต่สัญญาณกวาดความถี่แบบดิจิทัลชายนในวงจรนี้เป็นการกวาดความถี่แบบช่วงความถี่กว้าง ดังนั้นจึงเป็นไปได้ที่ในช่วงจรกรองความถี่เพียงชุดเดียว แต่ถ้าใช้วงจรกรองความถี่หลายชุดก็จำเป็นที่จะมีวงจรทำการเลือกวงจรกรองความถี่อีกครั้ง เพราะฉะนั้นจึงสามารถแบ่งวงจรออกได้เป็นอีกสองส่วนคือ

- วงจรกรองสัญญาณแบบ แอคทีฟเน็ตเวิร์ค(Active Network)
- วงจรกำหนดช่วงการกรองความถี่

อันสามารถแจกแจงรายละเอียดเพิ่มเติมได้ตามหัวข้อข้างล่าง

วงจรกรองสัญญาณแบบ แอคทีฟเน็ตเวิร์ค(Active Network)

ในอดีตก่อนที่จะมีการสร้างออปแอมป์(Op-Amp)เราได้ใช้ ความต้านทาน(R), ตัวเก็บประจุ(C), ตัวเหนี่ยวนำ (L) ในการออกแบบวงจรกรองสัญญาณ แต่ต่อมาเมื่อมีการออกแบบออปแอมป์มาใช้งาน ทำให้เราสามารถออกแบบ วงจรกรองสัญญาณที่มีอัตราขยายสัญญาณมากกว่าหนึ่งได้ซึ่งเราเรียกว่าวงจรกรองสัญญาณแบบแอคทีฟ (Active Filter) นอกจากนี้เรายังพบว่าเรายังสามารถออกแบบวงจรกรองสัญญาณแบบแอคทีฟโดยใช้อุปกรณ์ เพียง ความต้านทานและตัวเก็บประจุเท่านั้นซึ่งจะทำให้สามารถแก้ปัญหาการที่วงจรกรองสัญญาณมีตัวเหนี่ยวนำขนาดใหญ่ได้

สำหรับการออกแบบวงจรกรองสัญญาณนี้ก็สามารถแบ่งขั้นตอนการออกแบบได้เป็น

ก. การหาทรานสเฟอว์ฟังก์ชันของวงจร

ข. การสร้างและการคำนวณค่าอุปกรณ์

การหาทรานสเฟอว์ฟังก์ชันของวงจร

ในการออกแบบวงจรกรองสัญญาณนี้ จะพบว่าโดยทั่วไปจะไม่ให้ความสนใจกันมากนัก แต่มักจะเป็นการนำวงจรสำเร็จจากหนังสือคู่มือต่าง ๆ มาออกแบบโดยไม่ได้แทนค่ากันเป็นส่วนใหญ่ ซึ่งก็มีทั้งคนที่ได้วงจรที่เหมาะสมและที่ได้วงจรที่ไม่เหมาะสม ทั้งๆที่วงจรกรองสัญญาณนี้เป็นวงจรพื้นฐานที่สำคัญอีกวงจรหนึ่งสำหรับวงจรอิเล็กทรอนิกส์ ดังนั้นสิ่งที่จึงได้อธิบายการออกแบบวงจรกรองสัญญาณไว้อย่างละเอียด โดยเริ่มตั้งแต่การออกแบบทรานสเฟอว์ฟังก์ชันของวงจร

การออกแบบทรานสเฟอว์ฟังก์ชันของวงจร เท่าที่มีใช้กันจนเป็นที่รู้จักกันดีก็ประกอบด้วยวิธีต่างๆดังนี้คือ

-วิธีของบัตเตอร์เวิร์ท(Butterworth Approximation)

-วิธีของเชบิเชฟ(Chebyshev Approximation)

-วิธีของคาวเออร์(Cour Approximation, Elliptic Approximation)

-วิธีของเบลสเซล(Bessel Approximation)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แต่วิธีที่ใช้กันอย่างแพร่หลายก็ได้แก่วิธีของบัตเตอร์เวิร์ทและวิธีของเซบีเซฟซึ่งจะขยายความต่อไปดังนี้

วิธีของบัตเตอร์เวิร์ท (Butterworth Approximation)

ในการที่จะออกแบบทรานสเฟอร์ฟังก์ชันเราก็มีความจำเป็นที่จะต้องทำความเข้าใจเกี่ยวกับทรานสเฟอร์ฟังก์ชัน โดยทรานสเฟอร์ฟังก์ชันนี้เราสามารถเขียนในรูปสมการทั่วไปได้เป็น

$$|T(j\omega)| = |V_o(j\omega)/V_{in}|$$

แต่ในการออกแบบวงจรมักจะออกแบบในรูปของ $H(j\omega)$ หรือในรูปฟังก์ชันการลดตงสมการต่อไปนี้อีกกว่า

$$|H(j\omega)| = |V_{in}/V_o|$$

และ $H(j\omega)$ นี้เราก็ยังสามารถเขียนกระจายเป็นสมการได้อีก

$$|H(j\omega)|^2 = 1 + |K(j\omega)|^2$$

ซึ่งถ้าพิจารณาว่า $K(j\omega)$ เราจะพบว่าค่า $K(j\omega)$ จะต้องมีค่าน้อยเมื่ออยู่ในช่วงสัญญาณผ่าน (passband) และจะต้องมีค่ามากเมื่ออยู่ในช่วงห้ามสัญญาณ (stopband) นอกจากนี้เราก็สามารถเขียนค่า $K(j\omega)$ ให้อยู่ในรูปสมการพหุนามคือ

$$K(j\omega) = a_0 + a_1 s + a_2 s^2 + \dots + a_n s^n$$

ซึ่งค่า $K(j\omega)$ นี้ก็ได้มีการพยายามสรุปรวมเป็นแนวใดเดียวโดยการประมาณค่าแบบต่างๆทำให้เกิดการออกแบบทรานสเฟอร์ฟังก์ชันแบบต่างๆขึ้น สำหรับการประมาณค่าแบบบัตเตอร์เวิร์ทเรากำหนดให้

$$K(j\omega) = E(s/\omega_c)^n \quad ; \omega_c = \text{ความถี่คัทออฟ}$$

$$; E = \text{ค่าคงที่}$$

โดยวิธีนี้เราจะพบว่าเราจะได้ทรานสเฟอร์ฟังก์ชันซึ่งจะมีผลตอบสนองของวงจรก่อน

ถึงจุดคัทออฟซึ่งค่อนข้างจะคงที่ และพอจะสรุปอัตราการลดของสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

(25)

$$A(w) = 10 \log \{ 1 + E^2 (w/w_p)^{2n} \} \text{ dB}$$

โดยถ้าความถี่ = w_p แล้ว เราก็จะได้

$$A(w_p) = 10 \log (1 + E^2)$$

และค่า $A(w_p)$ นี้เราจะเรียกว่า A_{max} แต่ถ้า $w \gg w_p$ เราก็สรุปได้ว่า

$$A(w_p) = 10 \log E (w/w_p)^n$$

แต่เพื่อลดปัญหาเรื่องตัวเลขในการคำนวณ ก็ทำให้มีการแปลงเป็นความถี่นอร์มอลไลซ์

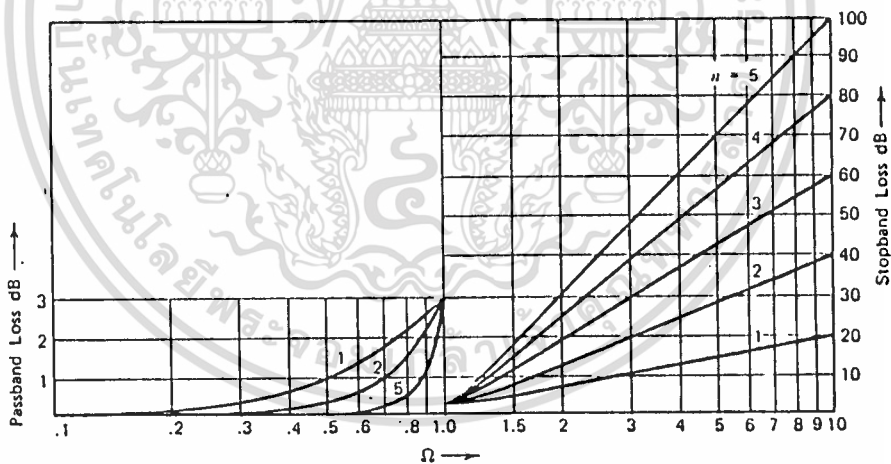
(Normalize Frequency) ที่ $w_p = 1$ โดยการแทนค่า

$$\omega = E^{1/n} (w/w_p) \quad ; \quad \omega = \text{normalize frequency}$$

ทำให้ได้

$$A(\omega) = 10 \log (1 + \omega^{2n})$$

ซึ่งเราจะพบว่าอัตราการลดจะเป็น 6ndB/Octave หรือ 20 dB/Decade ดังภาพ 3.16



ภาพที่ 3.16 อัตราการลดของวงจรกรองความถี่ต่ำที่ความถี่นอร์มอลไลซ์

ตามวิธีของบัตเตอร์เวิร์ท

จากหลักการทั้งหมดทำให้เราหารากของ s ได้

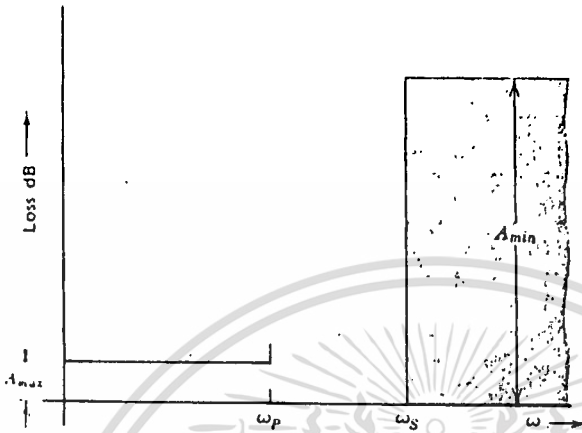
$$S_k = \exp [j(Pi)/2 \{ (2k+n-1)/n \}] \quad ; k=1, 2, \dots, 2n$$

$$H(s) = (s-s_1)(s-s_2) \dots (s-s_n)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดังนั้นก็สามารถสรุปวิธีหา ทรานสเฟอร์ฟังก์ชัน ตามวิธีของบัตเตอร์เวิร์ทได้ดังนี้

1. กำหนดค่า $A_{max}, A_{min}, w_p, w_s$ ดัง ภาพที่ 3.17



ภาพที่ 3.17 แผนผังการกำหนดค่าในการออกแบบวงจรกรองความถี่ต่ำ

2. หาค่า E

$$E = (10^{0.1 A_{max}} - 1)^{1/2}$$

3. คำนวณค่า n

$$n = \log(10^{0.1 A_{min}} - 1) / \log(w_s / w_p)^2$$

โดยค่า n ที่ได้ถ้าเป็นทศนิยม ก็ให้ปัดขึ้นเป็นจำนวนเต็ม

4. หาค่ารากของ s ตามสมการ

$$S_k = \exp [j(Pi)/2 \{ (2k+n-1)/n \}] ; k=1, 2, \dots, 2n$$

5. แทนค่าให้เป็นความถี่ที่ใช้งานด้วยค่า

$$S = s(E^{1/n} / w_p)$$

ก็จะได้ทรานสเฟอร์ฟังก์ชันที่สามารถนำเอาไปใช้ในการคำนวณค่าอุปกรณ์ได้ ดังตัวอย่าง

ตามตาราง 3.2 ที่แสดงถึง $H(s)$ ที่ n ค่าต่างๆ

n	H(s)
1	$s+1$
2	$s^2+1.414s+1$
3	$(s^2+s+1)(s+1)$
4	$(s^2+0.76537s+1)(s^2+1.84776s+1)$
5	$(s^2+0.61803s+1)(s^2+1.61803s+1)(s+1)$

ตาราง 3.2 ค่า H(s) ที่ได้จากวิธี Butterworth Approximation

วิธีของเชบีเชฟ (Chebyshev Approximation)

จากวิธีของบัตเตอร์เวิร์ทที่เรากำหนดให้

$$K(j\omega) = E(s/w_p)^n \quad ; w_p = \text{ความถี่คัตออฟ}$$

; E = ค่าคงที่

แต่วิธีของเชบีเชฟนี้กำหนดให้

$$\begin{aligned} K(j\omega) = C_n(n) &= \cos(ncos^{-1}\omega) & ; |\omega| \leq 1 \\ &= \cosh(ncosh^{-1}\omega) & ; |\omega| > 1 \end{aligned}$$

โดย $\omega = w/w_p$

ดังนั้นจะได้

$$H(j\omega) = (1 + E^2 C_n^2(n))^{1/2}$$

และ

$$A_{\max} = 10 \log(1 + E^2)$$

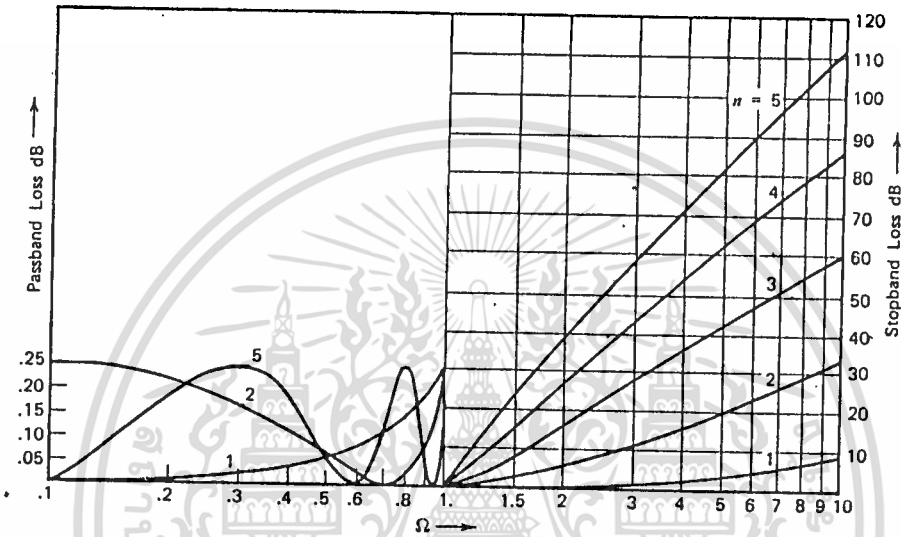
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

(28)

แต่

$$E = (10^{0.1 A_{\max}} - 1)^{1/2}$$

โดยสามารถแสดงกราฟของ $H(s)$ ได้ดังภาพที่ 3.18



ภาพที่ 3.18 อัตราการลดของวงจรกรองความถี่ต่ำที่ความถี่นอร์มอลไลซ์

ตามวิธีของเซบีแซพ โดยกำหนดให้ $A_{\max} = 0.25$ dB

แต่ถ้า $w \gg w_p$ เราก็สามารถประมาณได้ว่า

$$A(\omega) \Big|_{\omega \gg \omega_p} = 20 \log EC_n(\omega) \quad \dots (3.1)$$

ดังนั้นเมื่อ $\omega \gg \omega_p$ แล้ว

$$C_n(\omega) \sim 2^{n-1} \omega^n$$

ทำให้สมการ(3.1) เปลี่ยนเป็น

$$A(\omega) \Big|_{\omega \gg \omega_p} = 20 \log [E(w/w_p) 2^{n-1}]$$

ดังนั้นอัตราการลดทอนของสัญญาณจึงเท่ากับ $6(n-1)$ dB

และถ้ากำหนดรากของ $H(s) = +jw$

เอกสารก็จะได้ว่าเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$= +\sin[(P_k/2)(1+2k)/n].\sinh[1/n(\sinh^{-1}(1/E))]$$

$$w_k = \cos[(P_k/2)(1+2k)/n].\cosh[1/n(\sinh^{-1}(1/E))]$$

ซึ่งได้มีการยกตัวอย่างแสดงตามตารางที่ 3.3

n	H(s)	constant K
1	$s+4.10811$	4.10811
2	$s^2+1.79668s+2.11403$	2.05405
3	$(s^2+0.76722s+1.33863)(s+0.76722)$	1.02702
4	$(s^2+0.42504s+1.16195)(s^2+1.02613s+0.45485)$	0.51532
5	$(s^2+0.27005s+1.09543)(s^2+0.7070s+0.53642)(s+0.43695)$	0.25676

ตาราง 3.3 ค่า H(s) ที่ได้จากวิธี Chebychev Approximation

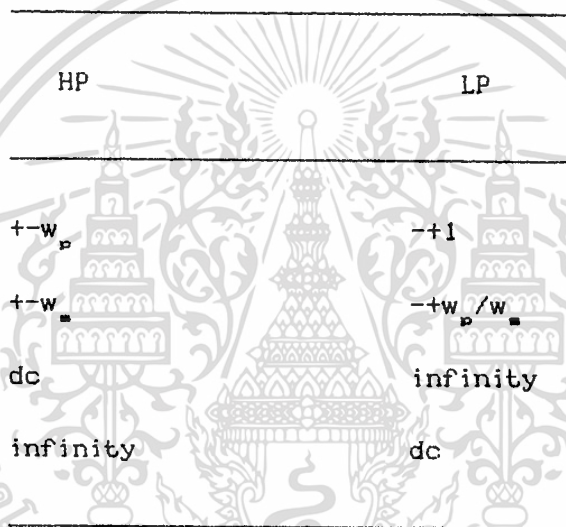
โดยกำหนดให้ $A_{max} = 0.25$ dB

จากหลักการดังกล่าวเบื้องต้นนี้เป็นวิธีการออกแบบวงจรกรองสัญญาณความถี่ต่ำ แต่บางครั้งเราอาจต้องการวงจรกรองสัญญาณแบบอื่นก็ได้ ซึ่งแทนที่เราจะแยกวิธีการคิดออกเป็นแบบต่างๆ เราก็สามารถสรุปแนวคิดต่างๆให้เป็นวิธีเดียวกัน จากนั้นจึงทำการแปลงให้อยู่ในรูปต่างๆได้ ซึ่งเรียกกันว่า การแปลงความถี่ (Frequency transformation) อันมีรายละเอียดดังต่อไปนี้

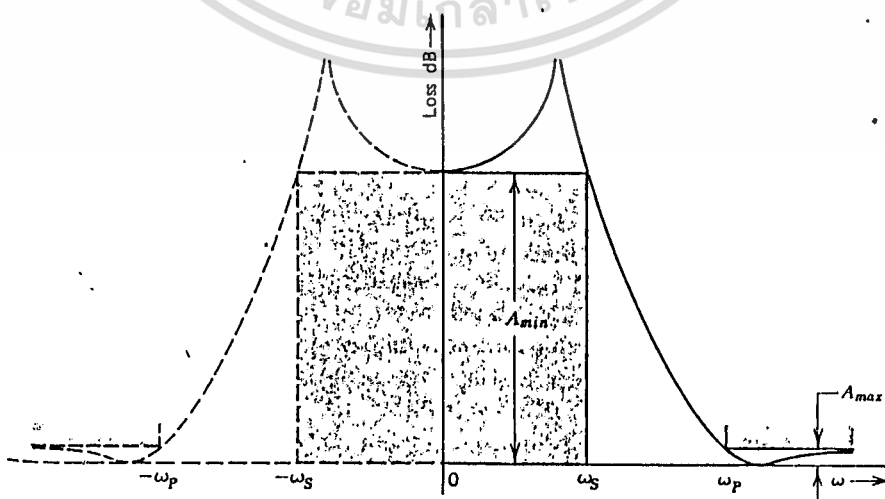
-การแปลงวงจรกรองสัญญาณความถี่ต่ำเป็นวงจรกรองความถี่สูง เราสามารถแปลงได้โดยแทนค่าดังนี้ $S = w_p/s$

แต่การแปลงวงจรกรองสัญญาณความถี่สูงเป็นวงจรกรองความถี่ต่ำที่ความถี่นอร์มอล เราสามารถแปลงได้โดยแทนค่า $@ = -w_p/w$

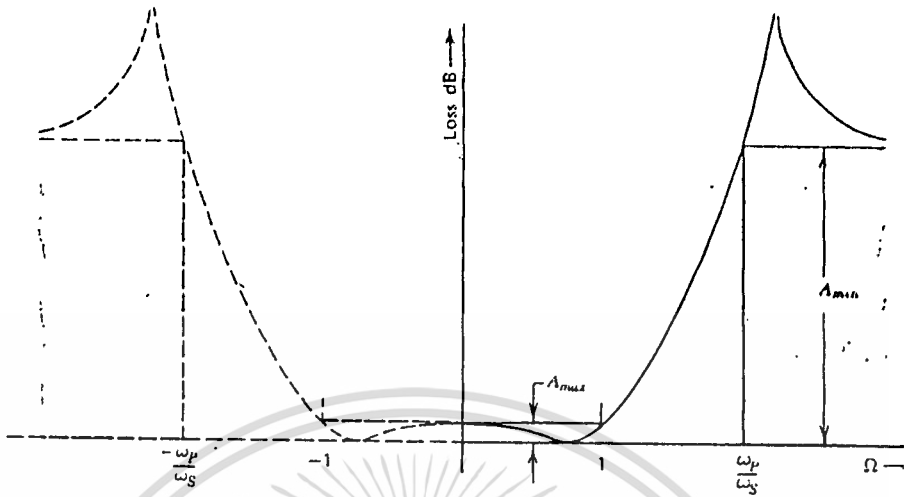
ซึ่งพอจะสรุปความสัมพันธ์ของค่าในทรานสเฟอว์ฟังก์ชันของทั้งสองทรานสเฟอว์ฟังก์ชันได้ดังตาราง 3.4 และตามภาพที่ 3.19 (ก), (ข)



ตาราง 3.4 ความสัมพันธ์ระหว่าง วงจรกรองความถี่ต่ำและสูง



เอกสารนี้เป็นเอกสารที่เผยแพร่โดยมหาวิทยาลัยเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ภาพที่ 3.19 ข ความสัมพันธ์ในการแปลงวงจรกรองความถี่สูงเป็นต่ำ

-การแปลงเป็นวงจรกรองความถี่ผ่านเป็นช่วง (bandpass filter) เราสามารถแปลงได้โดยแทนค่าต่าง ๆ ดังนี้

$$S = (s^2 + \omega_o^2) / Bs \quad ; B = \omega_2 - \omega_1$$

$$; \omega_o = (\omega_1 \omega_2)^{1/2}$$

แต่การแปลงวงจรกรองสัญญาณความถี่ผ่านเป็นช่วงเป็นวงจรกรองความถี่ต่ำที่ความถี่นอร์มอล เราสามารถแปลงได้โดยแทนค่า

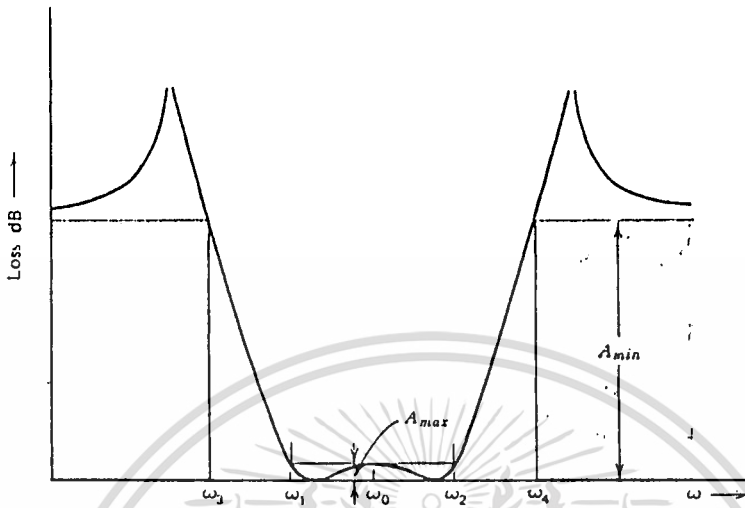
$$\omega = -\omega^2 + \omega_o^2 / (\omega_2 - \omega_1)$$

ทำให้ได้ค่า

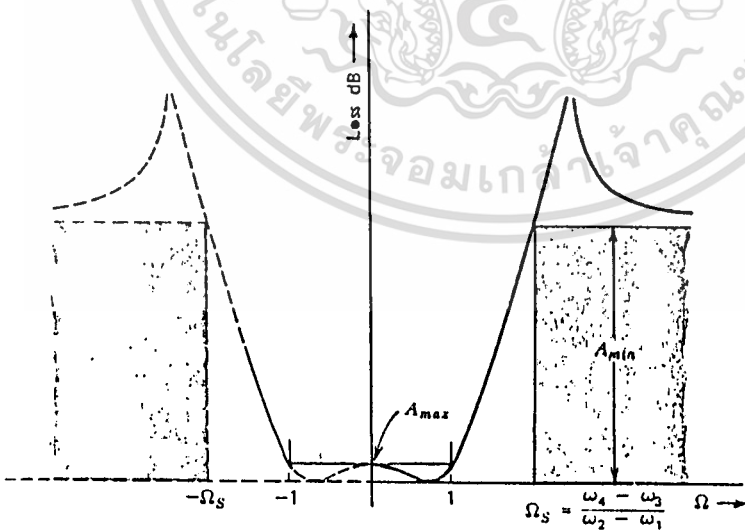
$$\omega_o = 1 \quad ; \quad \omega_s = (\omega_2 - \omega_1) / (\omega_2 - \omega_1)$$

ซึ่งพอจะสรุปความสัมพันธ์ของค่าในทรานสเฟอว์ฟังก์ชันของทั้งสองทรานสเฟอว์ฟังก์ชันได้ดัง

ภาพที่ 3.20 (ก), (ข)



ภาพที่ 3.20ก แผนผังการกำหนดค่าในการออกแบบวงจรกรองความถี่ผ่านเป็นช่วง



ภาพที่ 3.20 ข ความสัมพันธ์ในการแปลงวงจรกรองความถี่สูงเป็นต่ำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

-การแปลงเป็นวงจรห้ามความถี่เป็นช่วง (Band-Reject) เราสามารถแปลงได้
โดยแทนค่าต่างๆดังนี้

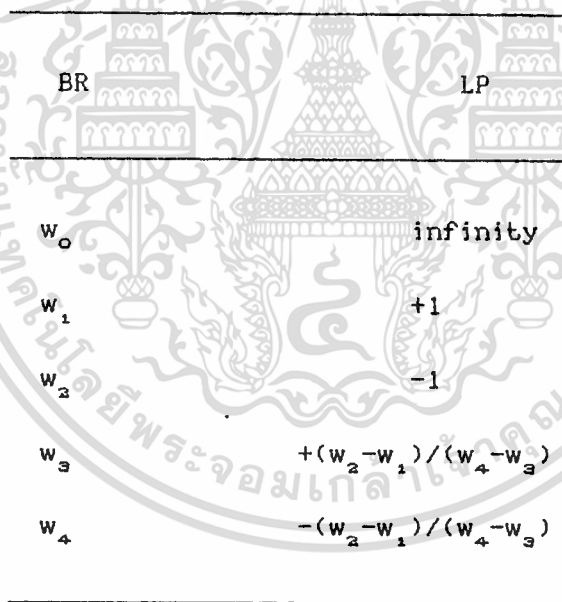
$$S = Bs/s^2 + w_o^2 \quad ; B = w_2 - w_1$$

$$; w_o = (w_1 w_2)^{1/2}$$

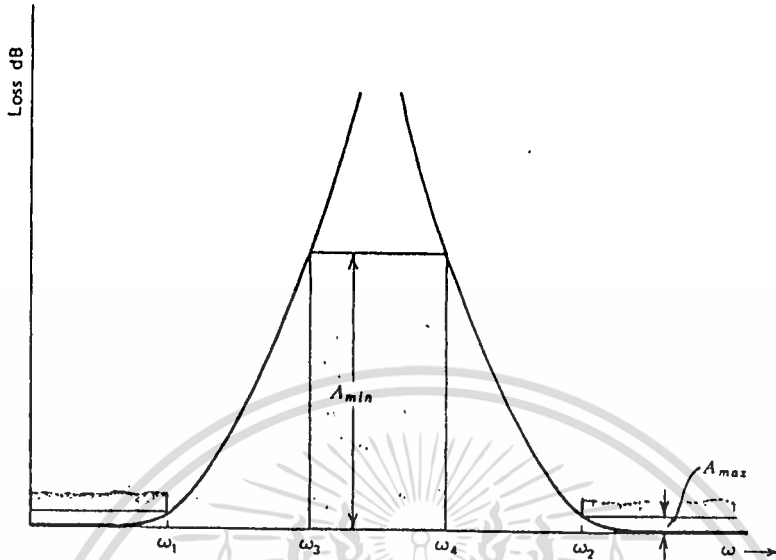
แต่การแปลงวงจรห้ามความถี่เป็นช่วงเป็นวงจรกรองความถี่ต่ำที่ความถี่นอร์มอล เรา
สามารถแปลงได้โดยแทนค่า

$$\omega = (w_2 - w_1)w / -w^2 + w_o^2$$

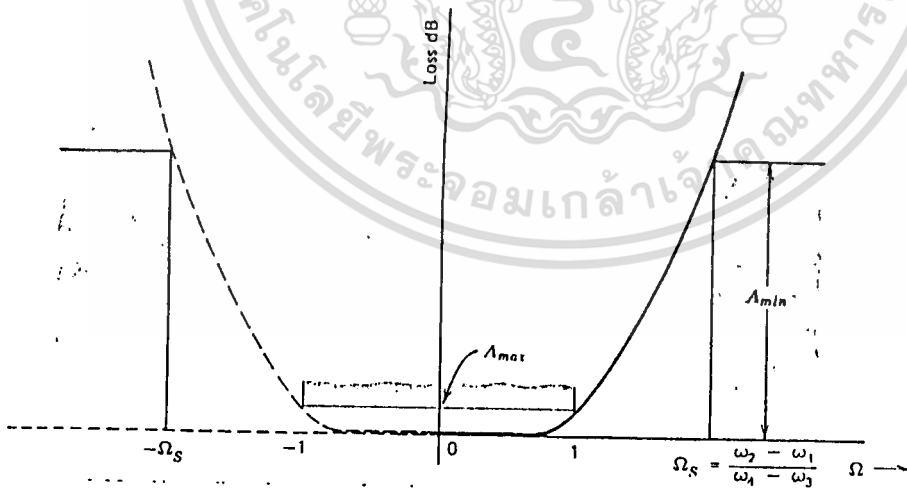
ซึ่งพอจะสรุปความสัมพันธ์ของค่าในทรานสเฟอว์ฟังก์ชันของทั้งสองทรานสเฟอว์ฟังก์ชันได้ดัง
ตาราง 3.5 และภาพที่ 3.21 (ก), (ข)



ตาราง 3.5 ความสัมพันธ์ระหว่าง วงจรกรองความถี่ต่ำและวงจรห้ามความถี่เป็นช่วง



ภาพที่ 3.21ก แผนผังการกำหนดค่าในการออกแบบวงจรห้ามความถี่เป็นช่วง



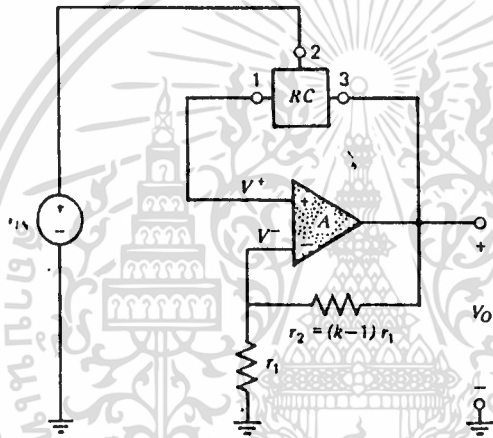
ภาพที่ 3.21 ข ความสัมพันธ์ในการแปลงวงจรห้ามความถี่เป็นช่วงเป็นกรองความถี่ต่ำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การสร้างและการคำนวณค่าอุปกรณ์

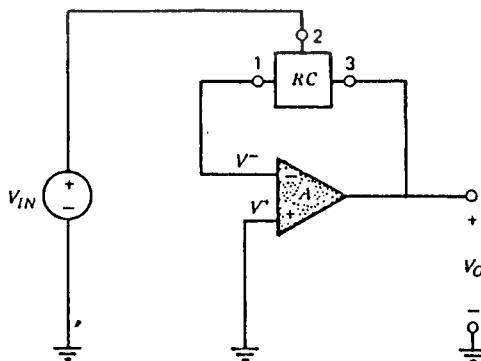
หลังจากที่ออกแบบทรานสเฟอ์ฟังก์ชันแล้ว ก็จำเป็นต้องมีการนำทรานสเฟอ์ฟังก์ชันมาสร้างวงจรเพื่อนำไปใช้งาน ซึ่งวิธีสร้างวงจรกรองสัญญาณก็ยังสามารถแยกเป็นข้อย่อยได้อีกคือ

- อาศัยหลักการป้อนกลับแบบบวก (Positive Feedback Topology) ได้แก่ วงจรกรองสัญญาณของ เซลเลน และ คีย์ (Sallen and Key) แบบต่างๆ ซึ่งมีภาพแสดงหลักการดังภาพที่ 3.22



ภาพที่ 3.22 วงจรที่อาศัยหลักการป้อนกลับแบบบวก (Positive Feedback Topology)

- อาศัยหลักการป้อนกลับแบบลบ (Negative Feedback Topology) ได้แก่ วงจรกรองสัญญาณของ เดลยานิส (Delyanis) ซึ่งมีภาพแสดงหลักการดังภาพที่ 3.23

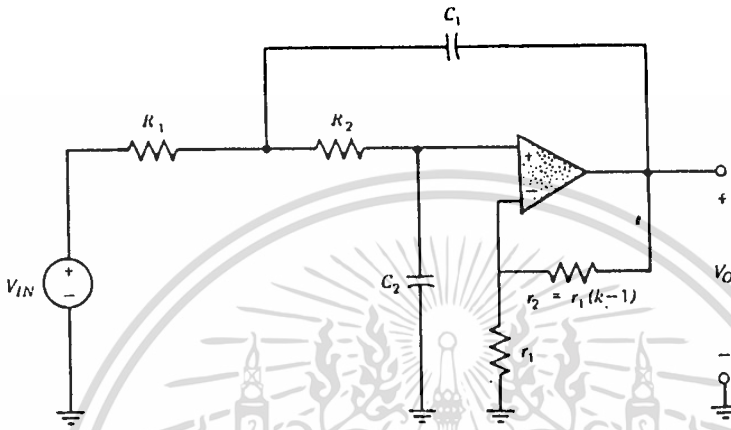


ภาพที่ 3.23 วงจรที่อาศัยหลักการป้อนกลับแบบลบ (Negative Feedback Topology)

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ไว้เพื่อการศึกษาเท่านั้น ไม่อนุญาตให้เผยแพร่ไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรกรองสัญญาณความถี่ของแซลเลน และ คีย์ (Sallen and Key)

เป็นวงจรดังภาพที่ 3.24



ภาพที่ 3.24 วงจรกรองความถี่ของ แซลเลนและคีย์

จากทรานสเฟอว์ฟังก์ชันของแบบทั่วไปวงจรกรองสัญญาณความถี่ต่ำซึ่งเท่ากับ

$$T_{LP} = K / (s^2 + (w_p / Q_p) s + w_p^2)$$

ก็สามารถหาค่า w_p, Q_p, K ได้

$$w_p = (1/R_1 R_2 C_1 C_2)^{1/2}$$

$$Q_p = w_p / (bw)_p = [(1/R_1 R_2 C_1 C_2)^{1/2}] / [1/R_1 C_1 + 1/R_2 C_1 + (1-k)/R_2 C_2]$$

$$K = k / R_1 R_2 C_1 C_2$$

ซึ่งในการกำหนดค่า k นั้นนอกจากจะมีผลต่อวงจรตามที่กำหนดแล้วยังพบอีกว่ามีผลต่อsensitivity ของอุปกรณ์ ต่อวงจรด้วย ดังนั้นจึงต้องมีการกำหนดค่าที่เหมาะสม เพื่อให้ความไวต่อการเปลี่ยนแปลงค่าของอุปกรณ์ที่มีต่อวงจรและค่า Q มีความเหมาะสมกับวงจรที่ใช้ โดยค่า k ที่นิยมใช้กันพอจะแบ่งเป็น 3 ค่าคือ

แบบที่ 1 กำหนดค่า $k=1$ ทำให้ได้

$$R_1 = R_2 = 1 ; C_1 = 2Q_p / w_p ; C_2 = 1 / 2w_p Q_p$$

เอกสารนี้เป็นเอกสารสงวนลิขสิทธิ์ของภาควิชาวิศวกรรมไฟฟ้าเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

(37)

แบบที่ 2 กำหนดค่า $k=3-1/Q_p$ ทำให้ได้

$$C_1 = C_2 = 1 ; R_1 = R_2 = 1/w_p$$

แบบที่ 3 กำหนดค่า $k=4/3$ ทำให้ได้ (หรือเรียกว่าวงจรของ Saraga)

$$R_1 = 1/w_p Q_p ; R_2 = 1/(3)^{1/2} w_p ; C_1 = (3)^{1/2} Q_p ; C_2 = 1$$

โดยมีค่าความไวต่อการเปลี่ยนค่าของอุปกรณ์ดังตาราง

	Design 1	Design 2	Design 3 (Saraga)
$S_{R_1, R_2, C_1, C_2}^{w_p}$	$-\frac{1}{2}$	$-\frac{1}{2}$	$-\frac{1}{2}$
$S_k^{w_p}$	0	0	0
$S_{R_1}^{Q_p}$	0	$-\frac{1}{2} + Q_p$	$-\frac{1}{2} + 0.58Q_p$
$S_{R_2}^{Q_p}$	0	$\frac{1}{2} - Q_p$	$\frac{1}{2} - 0.58Q_p$
$S_{C_1}^{Q_p}$	$\frac{1}{2}$	$-\frac{1}{2} + 2Q_p$	$\frac{1}{2} + 0.58Q_p$
$S_{C_2}^{Q_p}$	$-\frac{1}{2}$	$\frac{1}{2} - 2Q_p$	$-\frac{1}{2} - 0.58Q_p$
$S_{C_1}^{Q_p} = -S_{C_2}^{Q_p}$	0	$2Q_p - 1$	$0.58Q_p$
S_{R_1, R_2, C_1, C_2}^k	-1	-1	-1
$S_{C_1}^k = -S_{C_2}^k$	0	$1 - \frac{1}{3 - 1/Q_p}$	$\frac{1}{3}$

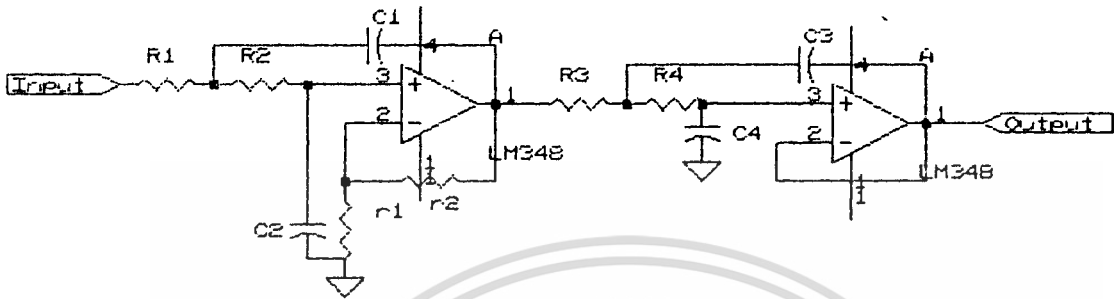
ตาราง 3.6 sensitivity ของวงจร แคลเลน และคีย์แบบต่างๆ

จากหลักการทั้งหมดที่กล่าวมาแล้วเกี่ยวกับการออกแบบวงจรทำให้สามารถสรุป และ ออกแบบออกมาเป็นวงจรกรองถี่ดังภาพที่ (3.25) ซึ่งเป็นวงจรกรองความถี่ที่ออกแบบโดย อาศัยหลักการออกแบบทรานสเฟอ์ของเชบีเชฟ ซึ่งจะได้ทรานสเฟอ์ฟังก์ชันเป็น

$$H(s) = 0.245 / [(s^2 + 0.279073s + 0.98650)(s^2 + 0.67374s + 0.2794)]$$

ดังนั้นจึงได้วงจรดังภาพที่ (3.25)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ภาพที่ 3.25 วงจรกรองความถี่ต่ำ 4th order ที่ใช้ในวงจรจริง

วงจรถ่ายทอดช่วงการกรองความถี่

จากสัญญาณดิจิทัลหลายนี้ เมื่อเรานำผ่านวงจรกรองความถี่ก็สามารถสร้างสัญญาณชานโมริสท์ออกมาได้ แต่ก็พิจารณาได้เช่นกันว่าในการใส่สัญญาณความถี่ที่กวาดเป็นช่วงกว้างผ่านวงจรกรองความถี่ที่มีจุดคutoffคงที่ย่อมจะไม่สามารถให้ผลลัพธ์ที่เป็นสัญญาณชานโมริสท์ได้ ดังนั้นจึงต้องหาวิธีแก้ไข ซึ่งพอจะมีหนทางแก้ไข 2 วิธี

- สร้างวงจรกรองสัญญาณที่สามารถเปลี่ยนจุดคutoffได้
- แบ่งช่วงสัญญาณความถี่จากนั้นก็แยกสัญญาณความถี่แต่ละช่วงเข้าวงจรกรอง

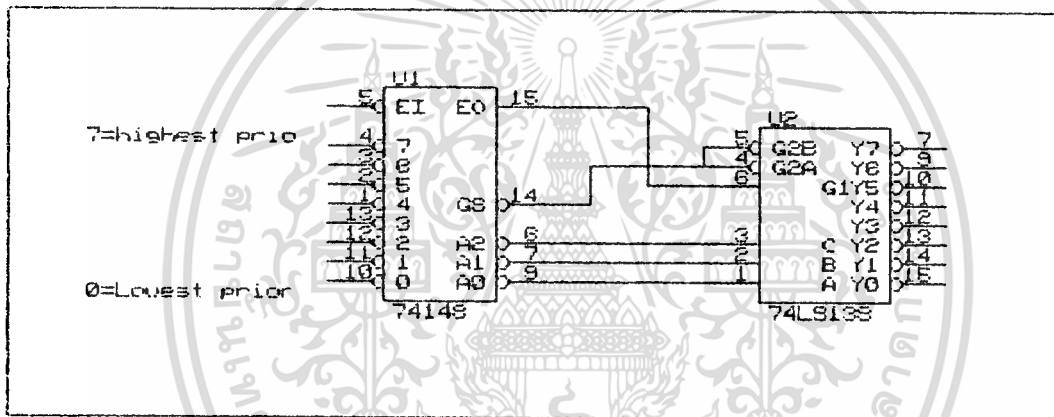
สัญญาณแยกชุดกัน

แต่จากการทดลอง ปรากฏว่าไม่สามารถสร้างวงจรกรองสัญญาณที่สามารถเปลี่ยนจุดคutoffตั้งแต่ความถี่ 10 เฮิรตซ์ ถึง 100 กิโลเฮิรตซ์ จึงจำเป็นต้องใช้วงจรที่แบ่งช่วงความถี่สัญญาณ

สำหรับการแบ่งช่วงความถี่ ก็ทำได้โดยการเอาค่าตัวหารความถี่มาใช้ จาก

ตัวหารความถี่ตั้งแต่เริ่มต้นซึ่งมีถึง 20 บิต จะพบว่าค่าที่ตัวหารเปลี่ยนไปจะมีผลทำให้ค่า

ความถี่เปลี่ยนไปด้วย โดยความถี่ต่ำจะมีค่าตัวหารมาก เช่นความถี่ 10 เฮิรตซ์ จะมีบิทที่ 19 เป็น 1 ขณะที่ความถี่ 100 กิโลเฮิรตซ์ จะมีบิทที่สูงสุดที่เป็น 1 คือบิทที่ 4 ดังนั้น หากเรานำค่าตัวหารความถี่มาเข้าวงจรกำหนดความสำคัญตามลำดับ (priority) ก็จะสามารถใช้อินาลอกสวิตช์มาควบคุมสัญญาณที่จะให้ผ่านวงจรกรองสัญญาณแต่ละชุดได้ สำหรับวงจรกำหนดความสำคัญตามลำดับและการควบคุมการผ่านของสัญญาณก็สามารถแสดงได้ดังภาพที่ (3.26)



ภาพที่ 3.26 วงจรกำหนดความสำคัญ

3.3 ส่วนตรวจวัดระดับสัญญาณ

วงจร Amplitude Detector

เป็นวงจรที่ทำหน้าที่วัดระดับคักดาของสัญญาณ ซึ่งประกอบด้วยวงจรสอง

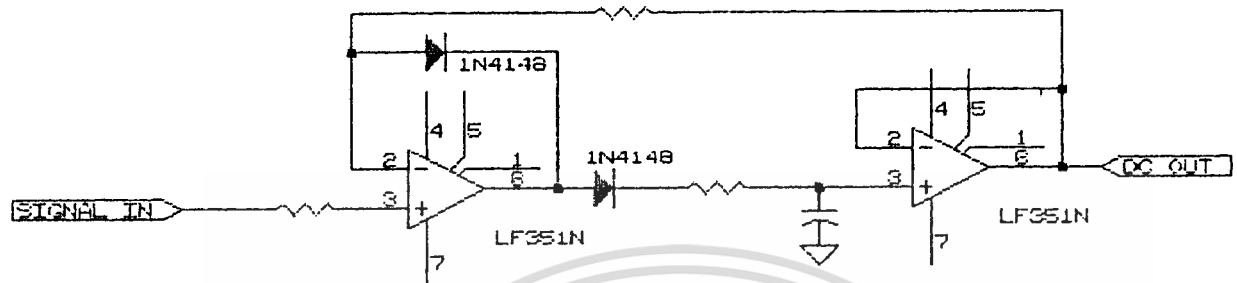
ส่วนคือ

-วงจร Rectifier

-วงจร กรองสัญญาณความถี่ต่ำ

ซึ่งสามารถสรุปวงจรได้ดังภาพ(3.27)

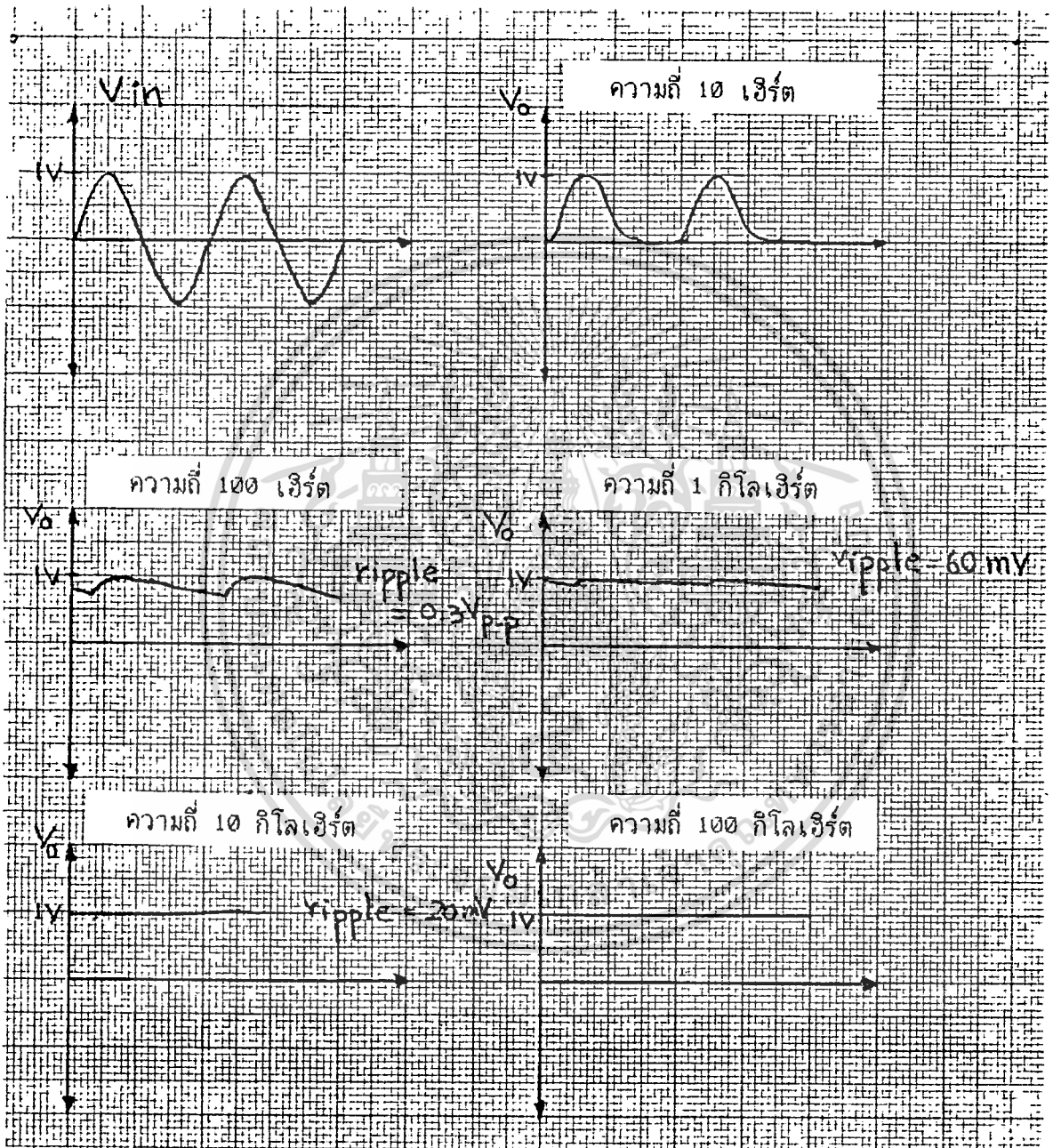
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ภาพที่ 3.27 วงจรตรวจวัดระดับสัญญาณ

และจากวงจรจากภาพ เราก็สามารถแสดงผลของสัญญาณที่วัดทางเอาต์พุตได้เมื่อเทียบกับสัญญาณ อินพุตได้ดังภาพที่ 3.28 ซึ่งจากผลการการวัด จะพบว่าผลจากการวัดที่ความถี่ต่ำจะมีการกระเพื่อม(ripple)สูงมาก ถ้าหากว่าในการวัดได้วัดในส่วนที่เป็นช่วงสัญญาณต่ำ ก็จะทำให้ผลการวัดที่ได้มีข้อผิดพลาดได้

ดังนั้นจึงต้องมีการออกแบบวงจรเพิ่มเติม เพื่อให้การวัดสัญญาณตรงกับจุดยอดของสัญญาณจริง ๆ ซึ่งในการหาจุดยอดของสัญญาณสามารถพิจารณาได้จาก Timing Diagram ของวงจร Walking Ring Oscillator จะพบว่าจุดยอดของสัญญาณคือจุดที่ Q1 และ Q5 มีลอจิกเป็น 1 ดังนั้นถ้าสามารถออกแบบวงจรให้วัดค่าสัญญาณเฉพาะที่จุดนี้ ก็สามารถวัดค่าสัญญาณที่ถูกต้องมากยิ่งขึ้นได้ สำหรับวงจรดังกล่าวก็ออกแบบเป็นวงจรตามภาพที่ (3.29)ซึ่งจะเป็นการนำเอา ฮาร์ดแวร์ อินเตอร์รัพท์ (IRQ2) ของ IBM PC มาใช้ เพราะฮาร์ดแวร์ อินเตอร์รัพท์ ของ IBM PC นี้มีอยู่ดังแผนภาพที่ (3.30)ซึ่งจะมีเพียง IRQ2 เท่านั้นที่ ยังไม่ได้ใช้



ภาพที่ 3.28 สัญญาณที่ได้จากวงจรตรวจจับระดับสัญญาณที่ความถี่ต่างๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาพที่ 3.29 วงจรฮาร์ดแวร์ อินเตอร์รัพท์

Number	Usage
NMI	Parity
0	Timer
1	Keyboard
2	Reserved
3	Asynchronous Communications (Secondary) SDLC Communications BSC (Secondary)
4	Asynchronous Communications (Primary) SDLC Communications BSC (Primary)
5	Fixed Disk
6	Diskette
7	Printer

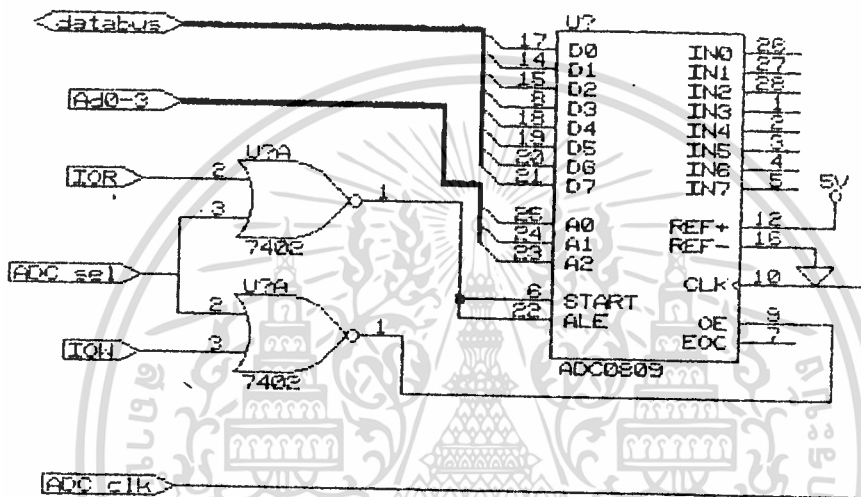
ภาพที่ 3.30 ตารางการใช้ฮาร์ดแวร์ อินเทอร์เน็ต ของ IBM PC

เมื่อเราทำการวัดระดับสัญญาณออกมาแล้วสัญญาณที่ได้เป็นสัญญาณอนาลอก ที่ IBM PC ไม่สามารถรับรู้ระดับสัญญาณได้ ดังนั้นจึงต้องเปลี่ยนสัญญาณให้เป็นสัญญาณดิจิทัล และ ไอซีที่ออกแบบมาสำหรับการเปลี่ยนสัญญาณอนาลอกเป็นดิจิทัลก็มีอยู่หลายเบอร์ เช่น

เอกส ADC0800, ADC0804, ADC0808, ADC0809 และอื่นๆ แต่หมายเลขที่เป็นที่นิยมใช้กันอย่าง

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แพร์หลายที่สุดก็คือหมายเลข ADC0809 ซึ่งเป็น ADC แบบมัลติเพล็กซ์ 8 ช่องทาง และสามารถศึกษารายละเอียดภายในของไอซีหมายเลขนี้ได้จากภาคผนวก สำหรับการใช้งาน ไอซีประเภท A/D นี้เราจะทำการมองแต่ละช่องทางในรูปของ พอร์ต ดังนั้นจึงออกแบบ วงจรได้ดังภาพที่ (3.31)



ภาพที่ 3.31 วงจรเปลี่ยนสัญญาณแอนาล็อกเป็นดิจิตอล

เมื่อได้วงจรที่ทำการเปลี่ยนสัญญาณแอนาล็อกเป็นดิจิตอลแล้ว ก็ต้องพิจารณาสัญญาณที่จะนำมาทำการบ้อนเข้าสู่วงจร จากสัญญาณที่ผ่านออกมาจากวงจรกรองสัญญาณ จะพบว่า สัญญาณแต่ละความถี่จะมีคึกดาไม่เท่ากัน ดังนั้นจึงต้องทำการวัดค่าสัญญาณที่จะจ่ายเข้าสู่ วงจรต่างๆ และจากคุณสมบัติของ ADC 0809 ซึ่งมีความละเอียดในการวัดสัญญาณระหว่าง 0-5 โวลต์ ดังนั้นความละเอียดของสัญญาณที่วัดได้จะมีความละเอียดประมาณ 20 มิลลิโวลต์ ทำให้ช่วงสัญญาณที่เปลี่ยนแปลงจากค่าสูงสุดไปต่ำสุดเท่ากับ 256 เท่า หรือ 60 เดซิเบล โดยประมาณ ซึ่งจะเห็นได้ว่าความละเอียดของสัญญาณที่วัดได้จะต่ำไป แต่ ถ้ามีการออกแบบวงจรให้ขยายสัญญาณและลดทอนสัญญาณ ก่อนที่จะบ้อนเข้าสู่วงจรตรวจวัด เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

IN2:  mov     dx,ADC_IN2_PORT
      out     dx,AL
      call    WAIT_END_ADC
      in      AL,dx
      mov     _output_res,AL
      mov     AL,200
      mov     _output_mul,AL
      mov     _i_index,1
      pop     ax
      iret

```

```

IN3:  mov     dx,ADC_IN3_PORT
      out     dx,AL
      call    WAIT_END_ADC
      in      AL,dx
      mov     _output_res,AL
      mov     AL,2
      mov     _output_mul,AL
      mov     _i_index,1
      pop     ax
      iret
endp

```

```

irq2
;
;

```

```

WAIT_END_ADC

```

```

WAIT1:

```

```

WAIT_END_ADC

```

```

PROC    NEAR
PUSH    CX
MOV     CX,OFFH
dec     cl
jnz     WAIT1
POP     CX
RET
ENDP

```

```

PROGRAM    ENDS
            end

```

โปรแกรมคำนวณค่าตัวหารและวาดกราฟ

```

#include <dos.h>
#include <math.h>
#include <graphics.h>
#include <stdio.h>
#include <conio.h>

```

```

n()

```

```

void out_div(long divisor);
double root_freq=(2.3958e05);
int num_freq;
int i_index=0;
double sweep_freq=10 ;
long divisor;

int output_resp;
int input_resp;
int output_mul;
float freq_resp [401];
int y_h;
int y_heigh,x_width,f,addr;
int graphdriver, graphmode;

char *n0="Gain(dB)";
char *n1="20",*n2="0",*n3="-20",*n4="-40";
char *n5="-60",*n6="-80",*n7="-100";
char *f0="Frequency(Hz)";
char *f1="10",*f2="100",*f3="1k",*f4="10k",*f5="100k";
char *title1 = "NETWORK";
char *title2 = "ANALYZER";
char *title3 = " Press any key to start. But must be sure
s correct!";

```

```

detectgraph(&graphdriver,&graphmode);
initgraph (&graphdriver,&graphmode,"");
settextjustify (1,1);

```

```

settextstyle(1,0,1);
setusercharsize(150,textwidth(title1),80,textheight(title1));
rectangle(100,20,620,298);
rectangle(98,18,622,300);
outtextxy (360,72,title1);
outtextxy (360,202,title2);
settextstyle(0,0,1);
outtextxy (350,310,title3);
getch();
cleardevice();

```

เอกสารนี้เป็นเอกสารที่เผยแพร่ไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

for (num_freq =0;num_freq <=400;num_freq++)
{
    disable();
    sweep_freq = pow((double)10,(double)(num_freq)/(100));
    divisor=floor(root_freq/sweep_freq);
    printf("\nNumber of frequency  %d  %f  ",num_freq,(float)div
    getch();    /*
    out_div(divisor);
do{
    wait(1);
    enable();
}while (i_index!=0);

    freq_resp[num_freq]=20*(log10(10*(output_resp)/(input_resp*o
);
}

for (addr=0 ;addr<=400;addr++)
    freq_resp[addr]=(float)((addr+120) % 20);
    setcolor(3);/*
    rectangle (110,48,610,298);
    setlinestyle (0,1,2);

    line (160,248,590,248);
    line (160,248,160,98);
    line (160,98,155,103);
    line (160,98,165,103);
    line (590,248,585,243);
    line (590,248,585,253);

    settextstyle(0,0,1);
    settextjustify (1,1);

    setusercharsize(1,1,1,1);
    setlinestyle (1,1,1);
    for (y_heigh=238;y_heigh>=115;y_heigh=y_heigh-10)
    {
        line (160,y_heigh,565,y_heigh);
    }
    outtextxy(130,86,n0);
    outtextxy(140,116,n1);
    outtextxy(142,136,n2);
    outtextxy(132,156,n3);
    outtextxy(132,176,n4);
    outtextxy(132,196,n5);
    outtextxy(132,216,n6);
    outtextxy(128,236,n7);

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

setcolor(4); /*
for (f=1;f<=10;f++)
{ x_width=(100*log10(f))+160;
  line (x_width,249,x_width,113);
}

for (f=10;f<=100;f=f+10)
{ x_width=(100*log10(f))+160;
  line (x_width,249,x_width,113);
}

for (f=100;f<=1000;f=f+100)
{
  x_width=(100*log10(f))+160;
  line (x_width,249,x_width,113);
}

for (f=1000;f<=10000;f=f+1000)
{ x_width=(100*log10(f))+160;
  line (x_width,249,x_width,113);
}

-----outtextxy(510,280,f0);
          outtextxy(155,260,f1);
          outtextxy(255,260,f2);
          outtextxy(355,260,f3);
          outtextxy(455,260,f4);
          outtextxy(555,260,f5);

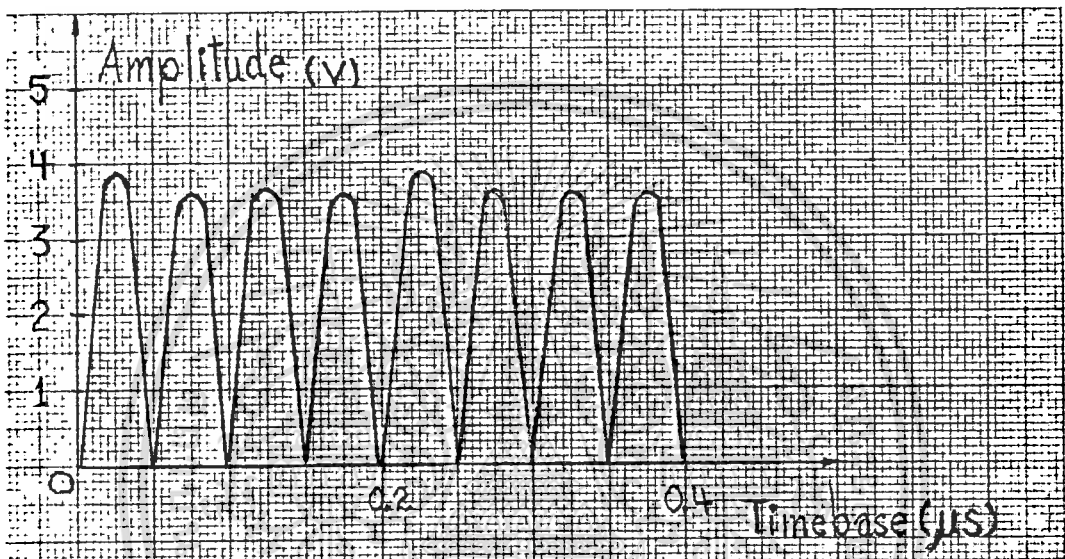
setcolor(5); /*
setlinestyle(0,1,3);
moveto (160,248);
for (addr=0 ;addr<=400;addr++)
  lineto (addr+160,118-(freq_resp[addr]));
getch();
closegraph();

```

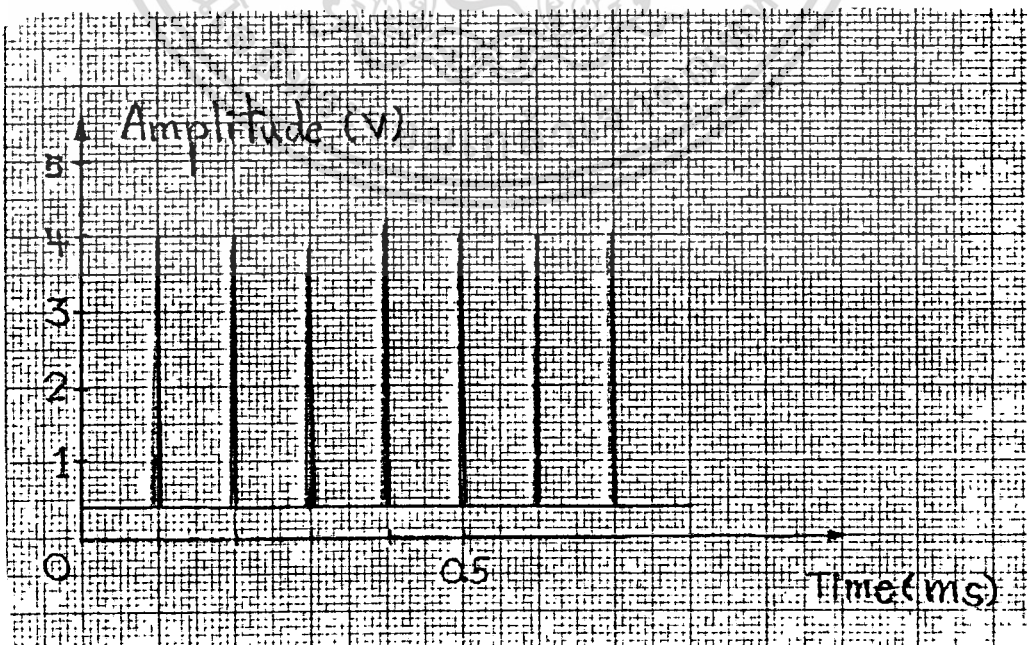
ผลการทดลอง

จากวงจรที่ได้กล่าวถึงหลักการและการออกแบบมาทั้งหมดก็สามารถแสดงผล
ได้ตามผลข้างล่างนี้โดยการวัดค่าสัญญาณตัวอย่างที่ได้จากจุดต่างๆในวงจร

1. สัญญาณจากวงจรสร้างความถี่จากคริสตอล

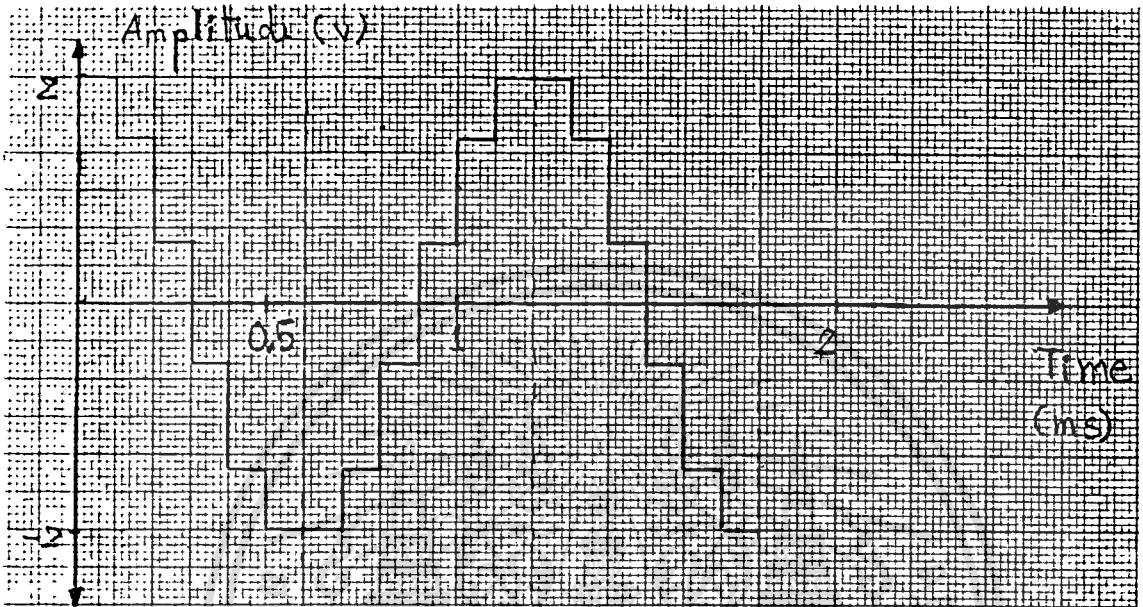


2. สัญญาณที่ได้จากวงจรหาความถี่ที่ความถี่ 10 กิโลเฮิร์ต

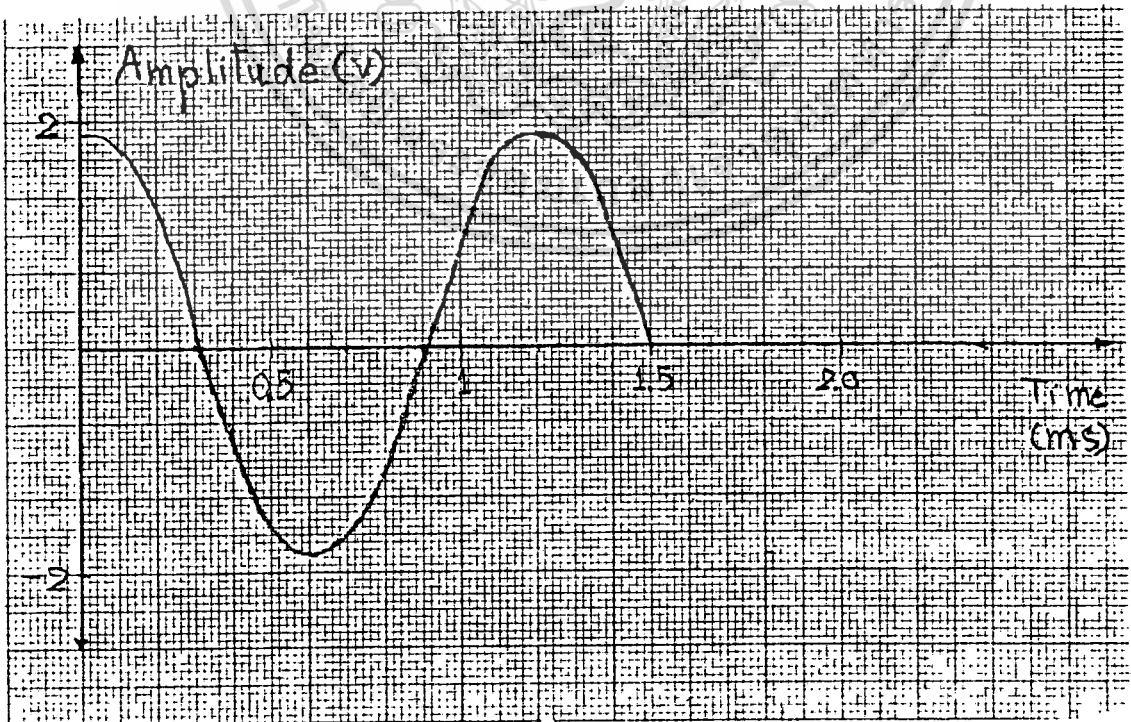


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3. สัญญาณที่ได้จากวงจรสร้างสัญญาณดิจิทัลชายเป็น



4. สัญญาณช่ายที่ได้จากวงจรกรองความถี่ต่ำ 4^{th}



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5

บทวิจารณ์และสรุปผล

จากการทดลองแล้วรวบรวมข้อมูลของเน็ตเวอร์ค-อนาไลเซอร์ ส่วนวงจรวาดความถี่ที่ได้ออกแบบและทดลองในภาคการศึกษานี้มีข้อสรุปดังนี้

1. วงจรวาดความถี่แบบดิจิตอลนี้มีความแน่นอนของความถี่สูง สามารถแบ่งช่วงการกวาดความถี่ได้ละเอียดถึง 100 ต่อ 1 ช่วงของ 10 เท่าของความถี่ แต่เมื่อความถี่ที่ต้องการมีค่าสูงขึ้นหรือตัวหารความถี่ลดลง จะพบว่าความละเอียดของการกวาดความถี่จะลดลง ซึ่งวิธีที่จะเพิ่มความละเอียดก็ทำได้เพียงการเพิ่มความถี่ของคริสตอลเท่านั้น แต่การเพิ่มความถี่ของคริสตอลนั้นก็ยังไม่ดีที่ระดับความถี่สูงสุดของอุปกรณ์ TTL อีก ดังนั้นความถี่สูงสุดที่ทำงานได้จึงทำได้เพียง 100 กิโลเฮิร์ตซ์

2. ลักษณะการเพิ่มลดความถี่เราสามารถกำหนดให้กวาดแบบใดก็ได้ เช่น เพิ่มความถี่อย่างเชิงเส้นหรือเพิ่มตามระบบลอการิทึมก็ได้ โดยการเก็บเป็นค่าลมการในโปรแกรมวิธีนี้จะทำให้สามารถกำหนดจุดเริ่มความถี่ได้

3. สัญญาณจากการกวาดที่เป็นสัญญาณชายนี้นี้ที่ได้จากจากสัญญาณดิจิตอลชายนี้นั้นตามวิธีในเนื้อหาข้างต้น จะมีปัญหาที่ขนาดของสัญญาณแต่ละความถี่ไม่เท่ากัน ทำให้มีการคลาดเคลื่อนสำหรับเน็ตเวอร์คที่คุณสมบัติของวงจร เปลี่ยนตามระดับสัญญาณ

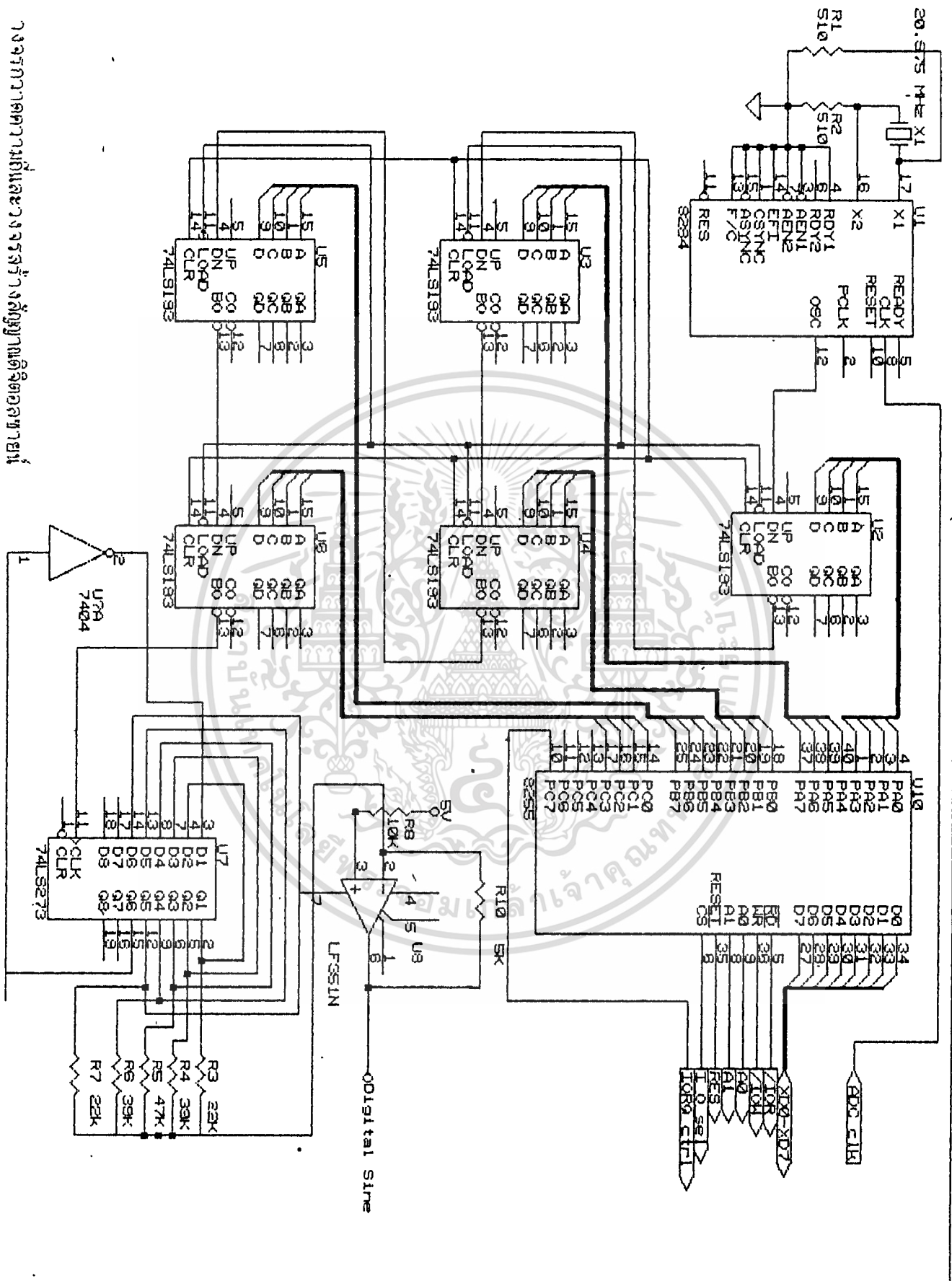
4. สำหรับการคลาดเคลื่อนของผลที่ได้เกิดจาก ส่วนวัดระดับสัญญาณ จะพบว่าที่ความถี่ต่ำ ในการกวาดความถี่เร็ว จะทำให้วงจรตอบสนองการเปลี่ยนแปลงของสัญญาณไม่ทัน ทำให้ผลที่วัดได้ผิดพลาด

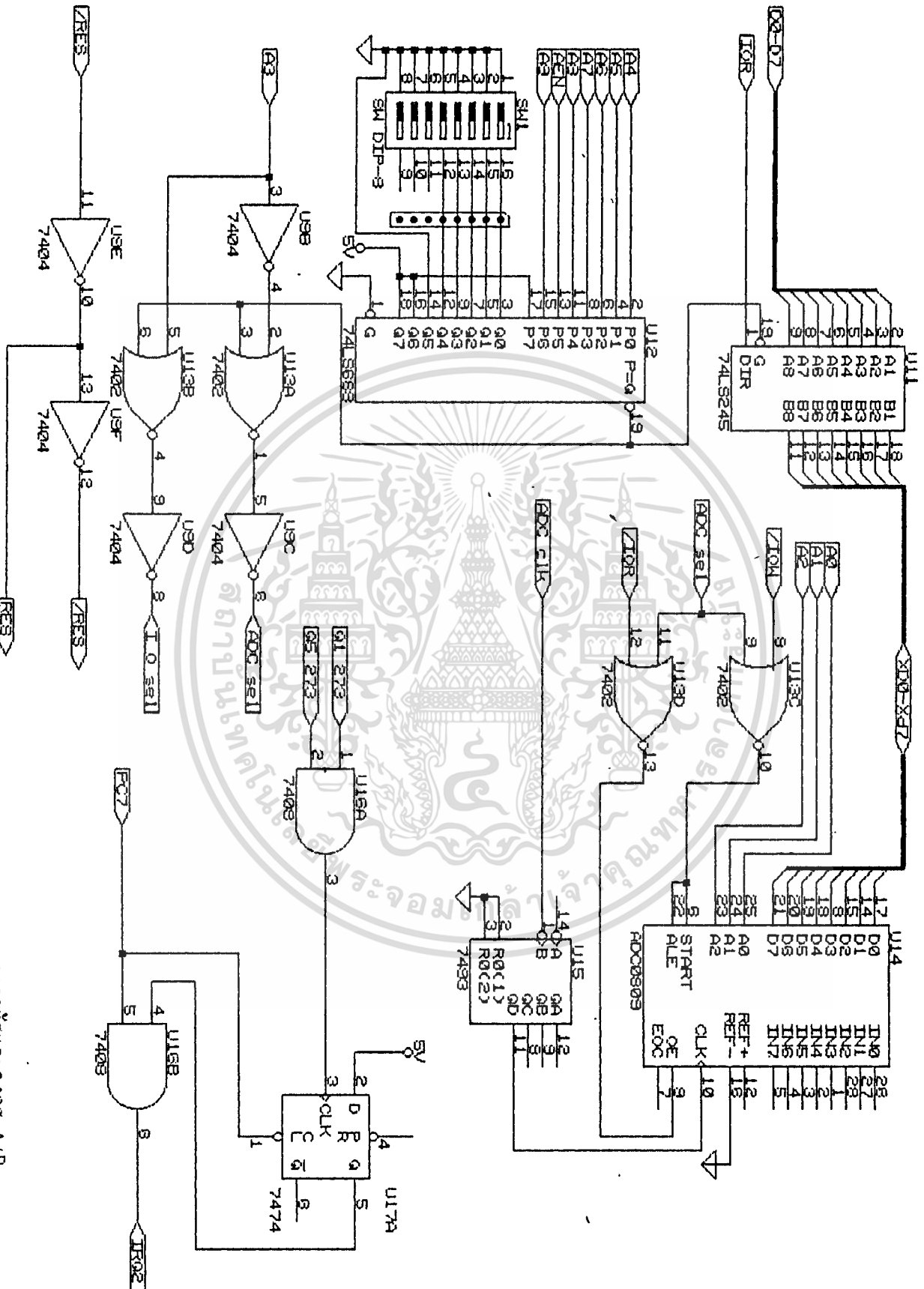
ภาคผนวก

- 1.สรุปงานรวม
- 2.ข้อมูลของไอซีที่สำคัญ
 - ADC ๐8๐9
 - 74LS193



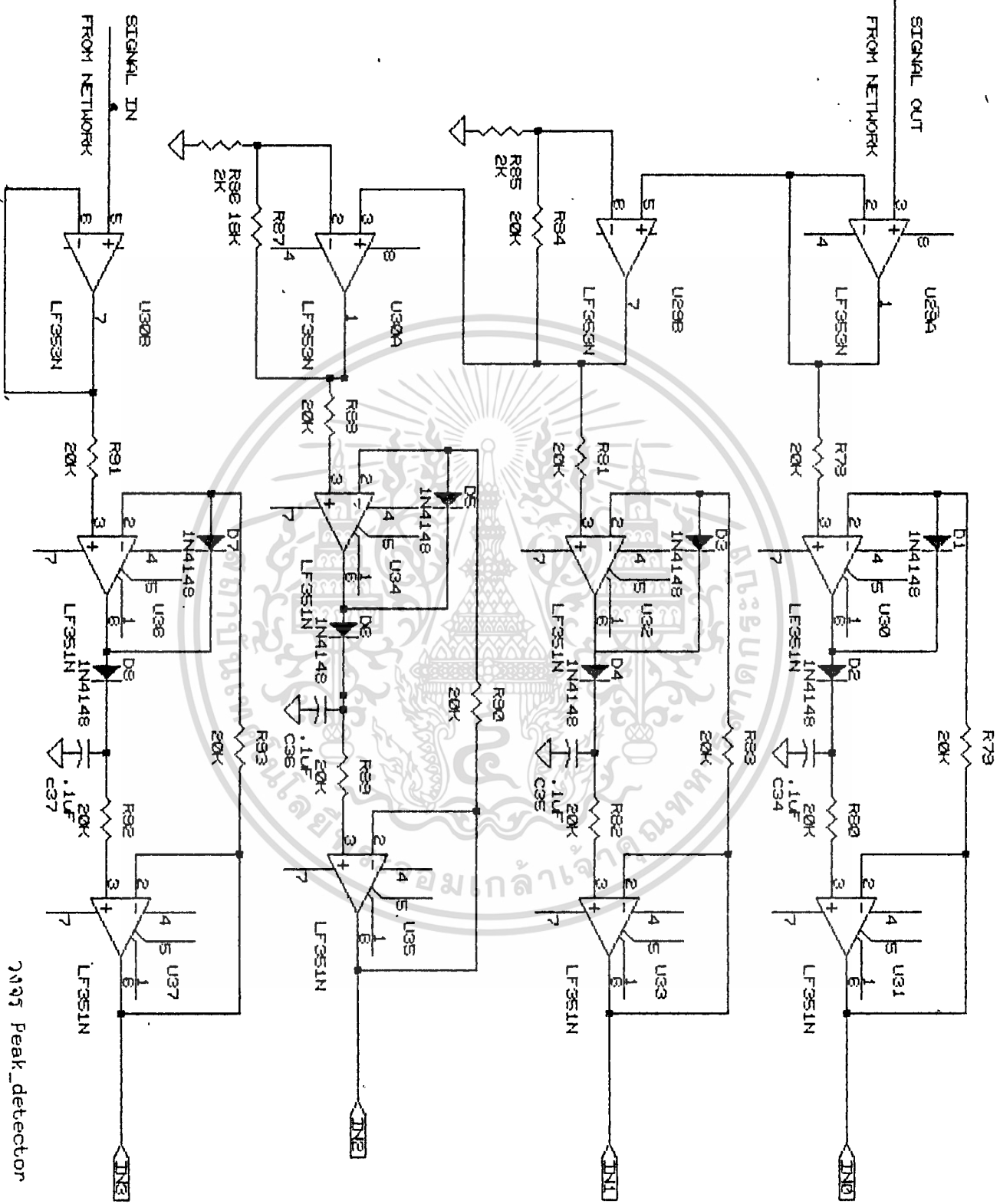
วงจรรวบรวมค่าและวงจรสร้างสัญญาณดิจิทัลภายใน



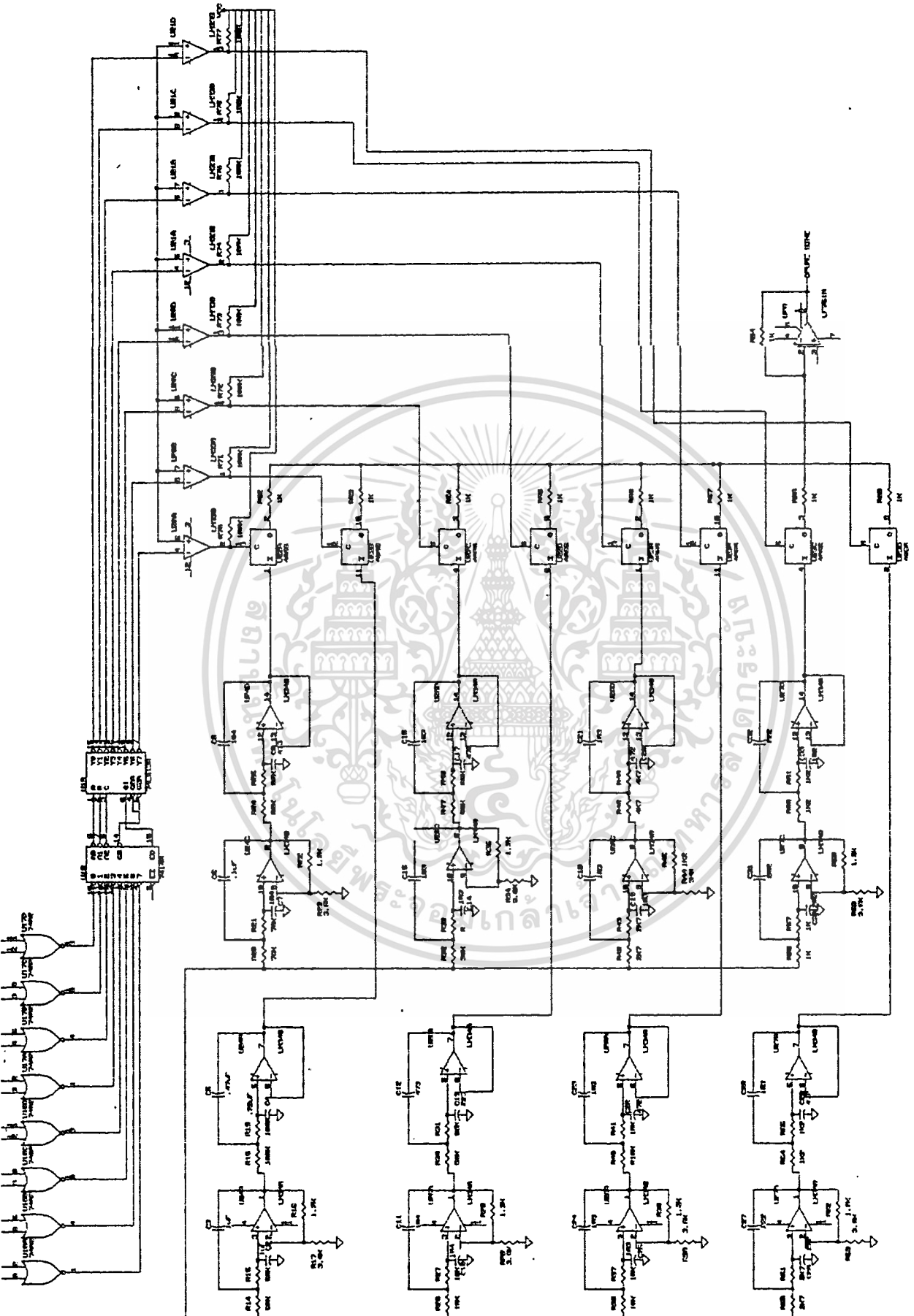


၁၂၃၄၅၆၇၈၉၁၀၁၁၂၁၃၁၄ A/D

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้เผยแพร่ไปยังประโยชน์สาธารณะ
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ปริญญานิพนธ์นี้สามารถสำเร็จลุล่วงลงได้ เนื่องจากการแนะนำทางด้านวิชาการ และความช่วยเหลือด้านอุปกรณ์ต่างๆ จาก ผศ.ดร.วัลลภ สุระกำพลธร ซึ่งเป็นอาจารย์ที่ปรึกษา ตลอดจนเพื่อนนักศึกษาที่ช่วยแสดงความคิดเห็น ผู้จัดทำจึงขอขอบพระคุณในความอนุเคราะห์ของทุกท่านไว้ ณ ที่นี้ด้วย

นายวิวัฒน์ สุวรรณพิบูลย์
ผู้จัดทำ



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



A to D, D to A

ADC0808, ADC0809 8-Bit μ P Compatible A/D Converters With 8-Channel Multiplexer

General Description

The ADC0808, ADC0809 data acquisition component is a monolithic CMOS device with an 8-bit analog-to-digital converter, 8-channel multiplexer and microprocessor compatible control logic. The 8-bit A/D converter uses successive approximation as the conversion technique. The converter features a high impedance chopper stabilized comparator, a 256R voltage divider with analog switch tree and a successive approximation register. The 8-channel multiplexer can directly access any of 8 single-ended analog signals.

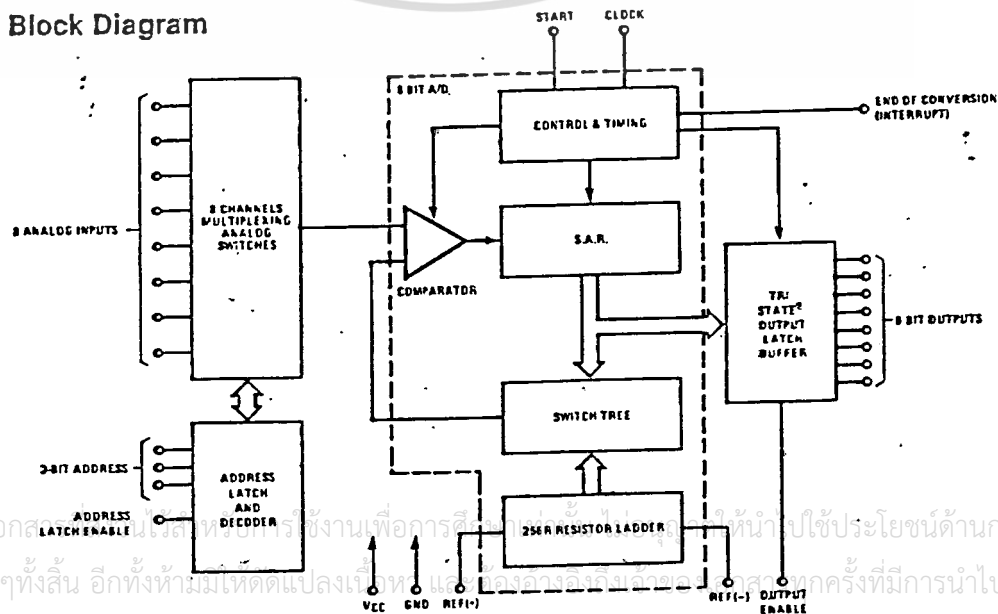
The device eliminates the need for external zero and full-scale adjustments. Easy interfacing to microprocessors is provided by the latched and decoded multiplexer address inputs and latched TTL TRI-STATE[®] outputs.

The design of the ADC0808, ADC0809 has been optimized by incorporating the most desirable aspects of several A/D conversion techniques. The ADC0808, ADC0809 offers high speed, high accuracy, minimal temperature dependence, excellent long-term accuracy and repeatability, and consumes minimal power. These features make this device ideally suited to applications from process and machine control to consumer and automotive applications. For 16-channel multiplexer with common output (sample/hold port) see ADC0816 data sheet. (See AN-247 for more information.)

Features

- Resolution — 8-bits
- Total unadjusted error — $\pm 1/2$ LSB and ± 1 LSB
- No missing codes
- Conversion time — 100 μ s
- Single supply — 5 V_{DC}
- Operates ratiometrically or with 5 V_{DC} or analog span adjusted voltage reference
- 8-channel multiplexer with latched control logic
- Easy interface to all microprocessors, or operates "stand alone"
- Outputs meet T²L voltage level specifications
- 0V to 5V analog input voltage range with single 5V supply
- No zero or fullscale adjust required
- Standard hermetic or molded 28-pin DIP package
- Temperature range — -40°C to $+85^{\circ}\text{C}$ or -55°C to $+125^{\circ}\text{C}$
- Low power consumption — 15 mW
- Latched TRI-STATE[®] output

Block Diagram



TRI-STATE[®] is a registered trademark of National Semiconductor Corp.

Absolute Maximum Ratings (Notes 1 and 2)

Supply Voltage (V_{CC}) (Note 3)	6.5V
Voltage at Any Pin Except Control Inputs	$-0.3V_{IO}(V_{CC} + 0.3V)$
Voltage at Control Inputs (START, OE, CLOCK, ALE, ADD A, ADD B, ADD C)	$-0.3V_{IO}$ to $+15V$
Storage Temperature Range	-65°C to $+150^{\circ}\text{C}$
Package Dissipation at $T_A = 25^{\circ}\text{C}$	875 mW
Lead Temperature (Soldering, 10 seconds)	300°C

Operating Ratings (Notes 1 and 2)

Temperature Range (Note 1)	$T_{MIN} \leq T_A \leq T_{MAX}$ $-55^{\circ}\text{C} \leq T_A \leq +125^{\circ}\text{C}$
ADC0808CJ, ADC0808CCN, ADC0809CCN	$-40^{\circ}\text{C} \leq T_A \leq +85^{\circ}\text{C}$
Range of V_{CC} (Note 1)	$4.5V_{DC}$ to $6.0V_{DC}$

Electrical Characteristics

Converter Specifications: $V_{CC} = 5V_{DC} = V_{REF(+)}$, $V_{REF(-)} = \text{GND}$, $T_{MIN} \leq T_A \leq T_{MAX}$ and $f_{CLK} = 640\text{ kHz}$ unless otherwise stated.

Parameter	Conditions	Min	Typ	Max	Units
ADC0808 Total Unadjusted Error (Note 5)	25°C T_{MIN} to T_{MAX}			$\pm 1/2$ $\pm 3/4$	LSB LSB
ADC0809 Total Unadjusted Error (Note 5)	0°C to 70°C T_{MIN} to T_{MAX}			± 1 $\pm 1 1/4$	LSB LSB
Input Resistance	From $\text{Ref}(+)$ to $\text{Ref}(-)$	1.0	2.5		k Ω
Analog Input Voltage Range	(Note 4) $V(+)$ or $V(-)$	$\text{GND}-0.10$		$V_{CC}+0.10$	V_{DC}
$V_{REF(+)}$ Voltage, Top of Ladder	Measured at $\text{Ref}(+)$		V_{CC}	$V_{CC}+0.1$	V
$\frac{V_{REF(+)} + V_{REF(-)}}{2}$ Voltage, Center of Ladder		$V_{CC}/2-0.1$	$V_{CC}/2$	$V_{CC}/2+0.1$	V
$V_{REF(-)}$ Voltage, Bottom of Ladder	Measured at $\text{Ref}(-)$	-0.1	0		V
Comparator Input Current	$f_c = 640\text{ kHz}$, (Note 6)	-2	± 0.5	2	μA

Electrical Characteristics

Digital Levels and DC Specifications: ADC0808CJ $4.5V \leq V_{CC} \leq 5.5V$, $-55^{\circ}\text{C} \leq T_A \leq +125^{\circ}\text{C}$ unless otherwise noted.
ADC0808CCJ, ADC0808CCN, and ADC0809CCN $4.75V \leq V_{CC} \leq 5.25V$, $-40^{\circ}\text{C} \leq T_A \leq +85^{\circ}\text{C}$ unless otherwise noted.

Parameter	Conditions	Min	Typ	Max	Units
ANALOG MULTIPLEXER					
$I_{OFF(+)}$ OFF Channel Leakage Current	$V_{CC} = 5V$, $V_{IN} = 5V$, $T_A = 25^{\circ}\text{C}$ T_{MIN} to T_{MAX}		10	200 1.0	nA μA
$I_{OFF(-)}$ OFF Channel Leakage Current	$V_{CC} = 5V$, $V_{IN} = 0$, $T_A = 25^{\circ}\text{C}$ T_{MIN} to T_{MAX}	-200 -1.0	-10		nA μA
CONTROL INPUTS					
$V_{IN(1)}$ Logical "1" Input Voltage		$V_{CC}-1.5$		1.5	V
$V_{IN(0)}$ Logical "0" Input Voltage				1.0	V
$I_{IN(1)}$ Logical "1" Input Current (The Control Inputs)	$V_{IN} = 15V$				μA
$I_{IN(0)}$ Logical "0" Input Current (The Control Inputs)	$V_{IN} = 0$	-1.0			μA
I_{CC} Supply Current	$f_{CLK} = 640\text{ kHz}$		0.3	3.0	mA

Electrical Characteristics (Continued)

Digital Levels and DC Specifications: ADC0808CJ $4.5V \leq V_{CC} \leq 5.5V$, $-55^\circ C \leq T_A \leq +125^\circ C$ unless otherwise noted
 ADC0808CCJ, ADC0808CCN, and ADC0809CCN $4.75 \leq V_{CC} \leq 5.25V$, $-40^\circ C \leq T_A \leq +85^\circ C$ unless otherwise noted

Parameter	Conditions	Min	Typ	Max	Units
DATA OUTPUTS AND EOC (INTERRUPT)					
$V_{OUT(1)}$	Logical "1" Output Voltage $I_O = -360 \mu A$	$V_{CC}-0.4$			V
$V_{OUT(0)}$	Logical "0" Output Voltage $I_O = 1.6 \text{ mA}$			0.45	V
$V_{OUT(0)}$	Logical "0" Output Voltage EOC $I_O = 1.2 \text{ mA}$			0.45	V
I_{OUT}	TRI-STATE [®] Output Current $V_O = 5V$ $V_O = 0$	-3		3	μA μA

Electrical Characteristics

Timing Specifications: $V_{CC} = V_{REF(+)} = 5V$, $V_{REF(-)} = GND$, $t_r = t_f = 20 \text{ ns}$ and $T_A = 25^\circ C$ unless otherwise noted.

Symbol	Parameter	Conditions	Min	Typ	Max	Units
t_{WS}	Minimum Start Pulse Width	(Figure 5)		100	200	ns
t_{WALE}	Minimum ALE Pulse Width	(Figure 5)		100	200	ns
t_s	Minimum Address Set-Up Time	(Figure 5)		25	50	ns
t_H	Minimum Address Hold Time	(Figure 5)		25	50	ns
t_D	Analog MUX Delay Time From ALE	$R_S = 0\Omega$ (Figure 5)		1	2.5	μs
t_{H1}, t_{H0}	OE Control to Q Logic State	$C_L = 50 \text{ pF}$, $R_L = 10k$ (Figure 8)		125	250	ns
t_{1H}, t_{0H}	OE Control to Hi-Z	$C_L = 10 \text{ pF}$, $R_L = 10k$ (Figure 8)		125	250	ns
t_c	Conversion Time	$f_c = 640 \text{ kHz}$, (Figure 5) (Note 7)	90	100	116	μs
f_c	Clock Frequency		10	640	1280	kHz
t_{EOC}	EOC Delay Time	(Figure 5)	0		$8 + 2 \mu s$	Clock Periods
C_{IN}	Input Capacitance	At Control Inputs		10	15	pF
C_{OUT}	TRI-STATE [®] Output Capacitance	At TRI-STATE [®] Outputs, (Note 12)		10	15	pF

Note 1: Absolute maximum ratings are those values beyond which the life of the device may be impaired.

Note 2: All voltages are measured with respect to GND, unless otherwise specified.

Note 3: A zener diode exists, internally, from V_{CC} to GND and has a typical breakdown voltage of 7 V_{DC}.

Note 4: Two on-chip diodes are tied to each analog input which will forward conduct for analog input voltages one diode drop below ground or one diode drop greater than the V_{CC} supply. The spec allows 100 mV forward bias of either diode. This means that as long as the analog V_{IN} does not exceed the supply voltage by more than 100 mV, the output code will be correct. To achieve an absolute 0 V_{DC} to 5 V_{DC} input voltage range will therefore require a minimum supply voltage of 4.900 V_{DC} over temperature variations, initial tolerance and loading.

Note 5: Total unadjusted error includes offset, full-scale, linearity, and multiplexer errors. See Figure 3. None of these A/Ds requires a zero or full-scale adjust. However, if an all zero code is desired for an analog input other than 0.0V, or if a narrow full-scale span exists (for example: 0.5V to 4.5V full-scale) the reference voltages can be adjusted to achieve this. See Figure 13.

Note 6: Comparator input current is a bias current into or out of the chopper stabilized comparator. The bias current varies directly with clock frequency and has little temperature dependence (Figure 6). See paragraph 4.0.

Note 7: The outputs of the data register are updated one clock cycle before the rising edge of EOC.

Functional Description

Multiplexer: The device contains an 8-channel single-ended analog signal multiplexer. A particular input channel is selected by using the address decoder. Table I shows the input states for the address lines to select any channel. The address is latched into the decoder on the low-to-high transition of the address latch enable signal.

TABLE I

SELECTED ANALOG CHANNEL	ADDRESS LINE		
	C	B	A
IN0	L	L	L
IN1	L	L	H
IN2	L	H	L
IN3	L	H	H
IN4	H	L	L
IN5	H	L	H
IN6	H	H	L
IN7	H	H	H

CONVERTER CHARACTERISTICS

The Converter

The heart of this single chip data acquisition system is its 8-bit analog-to-digital converter. The converter is designed

to give fast, accurate, and repeatable conversions over a wide range of temperatures. The converter is partitioned into 3 major sections: the 256R ladder network, the successive approximation register, and the comparator. The converter's digital outputs are positive true.

The 256R ladder network approach (Figure 1) was chosen over the conventional R/2R ladder because of its inherent monotonicity, which guarantees no missing digital codes. Monotonicity is particularly important in closed loop feedback control systems. A non-monotonic relationship can cause oscillations that will be catastrophic for the system. Additionally, the 256R network does not cause load variations on the reference voltage.

The bottom resistor and the top resistor of the ladder network in Figure 1 are not the same value as the remainder of the network. The difference in these resistors causes the output characteristic to be symmetrical with the zero and full-scale points of the transfer curve. The first output transition occurs when the analog signal has reached $+1/2$ LSB and succeeding output transitions occur every 1 LSB later up to full-scale.

The successive approximation register (SAR) performs 8 iterations to approximate the input voltage. For any SAR type converter, n-iterations are required for an n-bit converter. Figure 2 shows a typical example of a 3-bit converter. In the ADC0808, ADC0809, the approximation technique is extended to 8 bits using the 256R network.

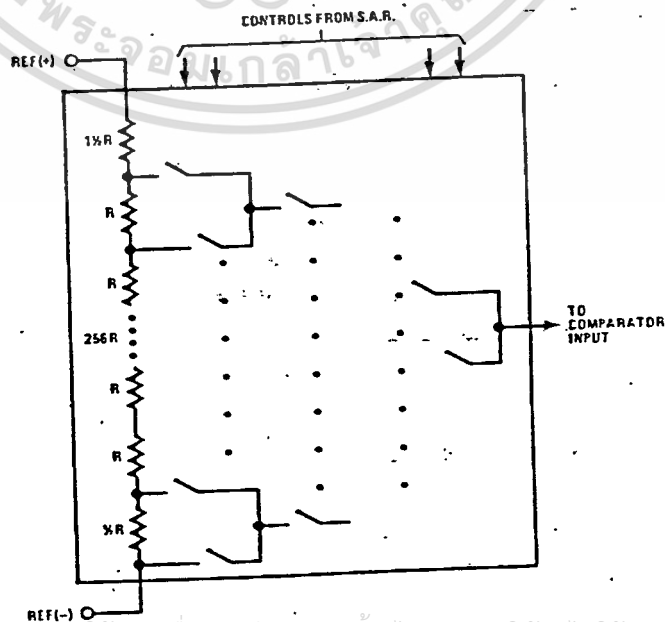


FIGURE 1. Resistor Ladder and Switch Tree

Functional Description (Continued)

The A/D converter's successive approximation register (SAR) is reset on the positive edge of the start-conversion (SC) pulse. The conversion is begun on the falling edge of the start conversion pulse. A conversion in process will be interrupted by receipt of a new start conversion pulse. Continuous conversion may be accomplished by tying the end-of-conversion (EOC) output to the SC input. If used in this mode, an external start conversion pulse should be applied after power up. End-of-conversion will go low between 0 and 8 clock pulses after the rising edge of start conversion.

The most important section of the A/D converter is the comparator. It is this section which is responsible for the ultimate accuracy of the entire converter. It is also the

comparator drift which has the greatest influence on the repeatability of the device. A chopper-stabilized comparator provides the most effective method of satisfying all the converter requirements.

The chopper-stabilized comparator converts the DC input signal into an AC signal. This signal is then fed through a high gain AC amplifier and has the DC level restored. This technique limits the drift component of the amplifier since the drift is a DC component which is not passed by the AC amplifier. This makes the entire A/D converter extremely insensitive to temperature, long term drift and input offset errors.

Figure 4 shows a typical error curve for the ADC0808 as measured using the procedures outlined in AN-179.

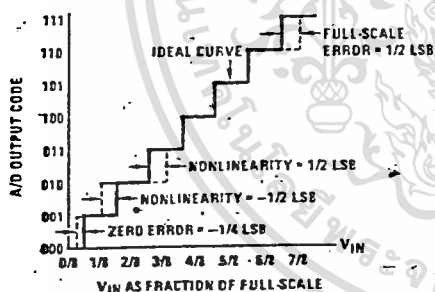


FIGURE 2. 3-Bit A/D Transfer Curve

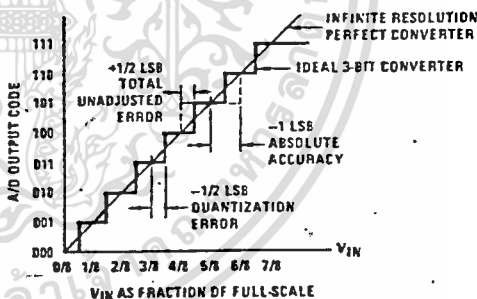


FIGURE 3. 3-Bit A/D Absolute Accuracy Curve

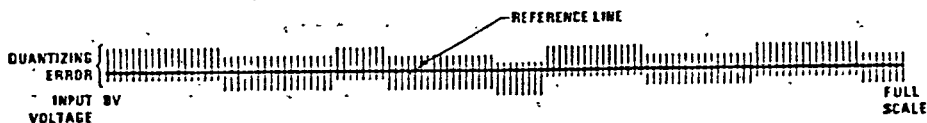
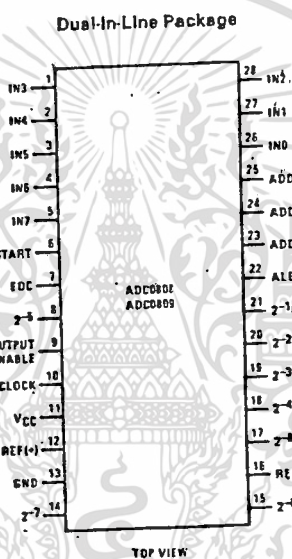
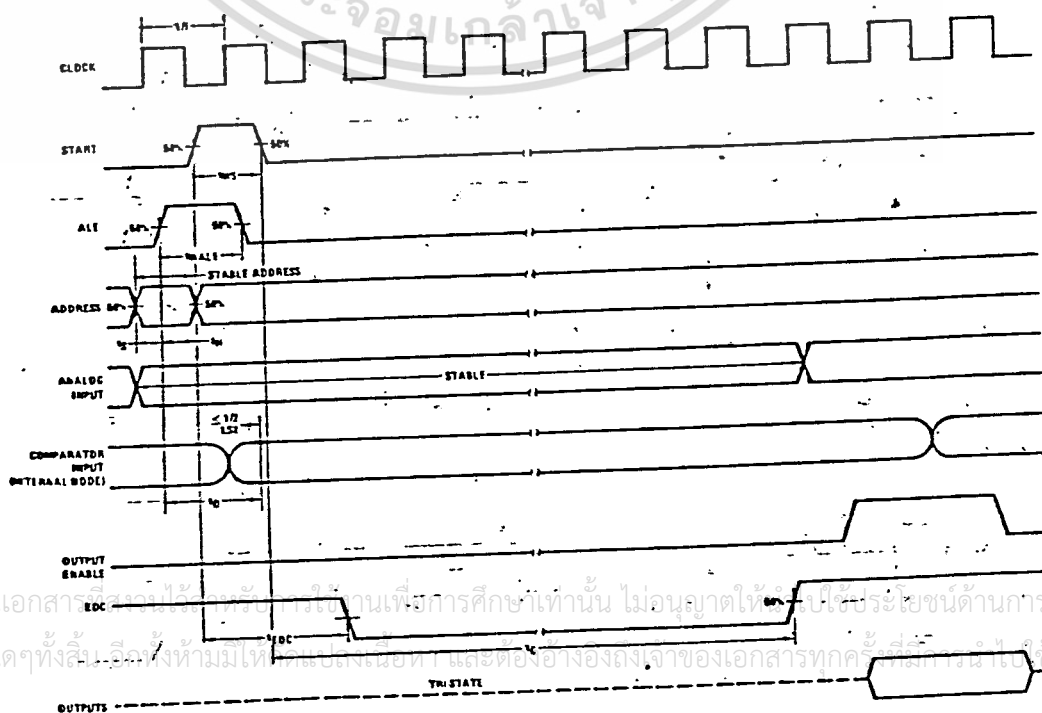


FIGURE 4. Typical Error Curve

Connection Diagram



Timing Diagram



Typical Performance Characteristics

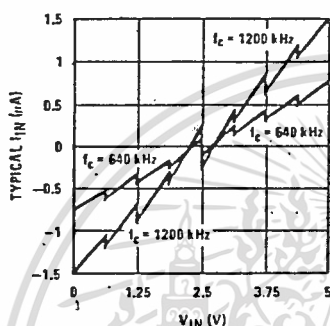


FIGURE 6. Comparator I_{IN} vs V_{IN}
($V_{CC} = V_{REF} = 5V$)

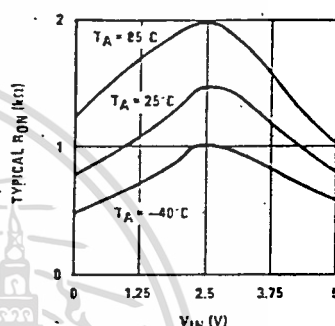


FIGURE 7. Multiplexer R_{ON} vs V_{IN}
($V_{CC} = V_{REF} = 5V$)

TRI-STATE® Test Circuits and Timing Diagrams

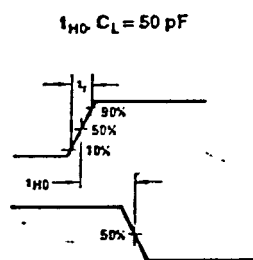
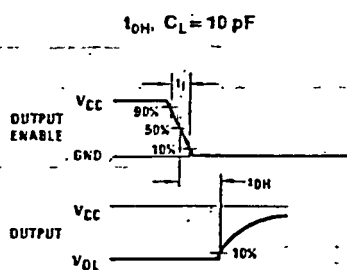
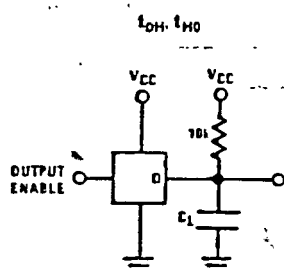
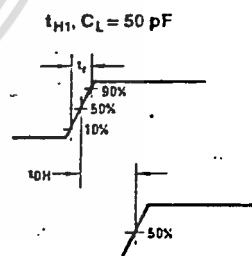
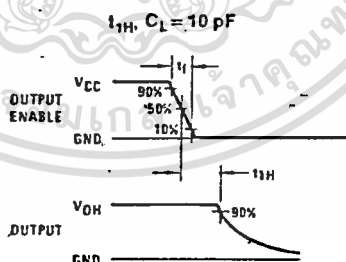
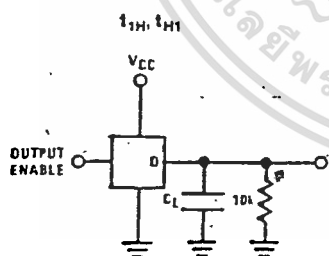


FIGURE 8

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Applications Information

OPERATION

1.0 Ratiometric Conversion

The ADC0808, ADC0809 is designed as a complete Data Acquisition System (DAS) for ratiometric conversion systems. In ratiometric systems, the physical variable being measured is expressed as a percentage of full-scale which is not necessarily related to an absolute standard. The voltage input to the ADC0808 is expressed by the equation

$$\frac{V_{IN}}{V_{IS} - V_Z} = \frac{D_X}{D_{MAX} - D_{MIN}} \quad (1)$$

V_{IN} = Input voltage into the ADC0808

V_{IS} = Full-scale voltage

V_Z = Zero voltage

D_X = Data point being measured

D_{MAX} = Maximum data limit

D_{MIN} = Minimum data limit

A good example of a ratiometric transducer is a potentiometer used as a position sensor. The position of the wiper is directly proportional to the output voltage which is a ratio of the full-scale voltage across it. Since the data is represented as a proportion of full-scale, reference requirements are greatly reduced, eliminating a large source of error and cost for many applications. A major advantage of the ADC0808, ADC0809 is that the input voltage range is equal to the supply range so the transducers can be connected directly across the supply and their outputs connected directly into the multiplexer inputs, (Figure 9).

Ratiometric transducers such as potentiometers, strain gauges, thermistor bridges, pressure transducers, etc., are suitable for measuring proportional relationships; however, many types of measurements must be referred to an absolute standard such as voltage or current. This means a system reference must be used which relates the full-scale voltage to the standard volt. For example, if $V_{CC} = V_{REF} = 5.12V$, then the full-scale range is divided into 256 standard steps. The smallest standard step is 1 LSB which is then 20 mV.

2.0 Resistor Ladder Limitations

The voltages from the resistor ladder are compared to the selected input 8 times in a conversion. These voltages are coupled to the comparator via an analog switch tree which is referenced to the supply. The voltages at the top, center and bottom of the ladder must be controlled to maintain proper operation.

The top of the ladder, Ref(+), should not be more positive than the supply, and the bottom of the ladder, Ref(-), should not be more negative than ground. The center of the ladder voltage must also be near the center of the supply because the analog switch tree changes from N-channel switches to P-channel switches. These limitations are automatically satisfied in ratiometric systems and can be easily met in ground referenced systems.

Figure 10 shows a ground referenced system with a separate supply and reference. In this system, the supply must be trimmed to match the reference voltage. For instance, if a 5.12V is used, the supply should be adjusted to the same voltage within 0.1V.

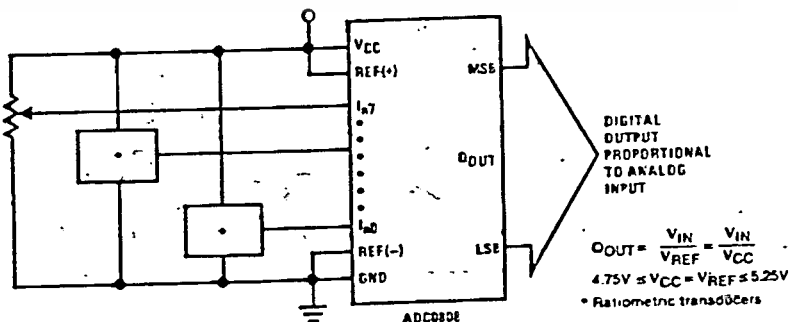


FIGURE 9. Ratiometric Conversion System

Applications Information (Continued)

The ADC0808 needs less than a milliamp of supply current so developing the supply from the reference is readily accomplished. In Figure 11 a ground referenced system is shown which generates the supply from the reference. The buffer shown can be an op amp of sufficient drive to supply the milliamp of supply current and the desired bus drive, or if a capacitive bus is driven by the outputs a large capacitor will supply the transient supply current as seen in Figure 12. The LM301 is overcompensated to insure stability when loaded by the 10 μ F output capacitor.

The top and bottom ladder voltages cannot exceed V_{CC} and ground, respectively, but they can be symmetrically less than V_{CC} and greater than ground. The center of the ladder voltage should always be near the center of the supply. The sensitivity of the converter can be increased, (i.e., size of the LSB steps decreased) by using a symmetrical reference system. In Figure 13, a 2.5V reference is symmetrically centered about $V_{CC}/2$ since the same current flows in identical resistors. This system with a 2.5V reference allows the LSB bit to be half the size of a 5V reference system.

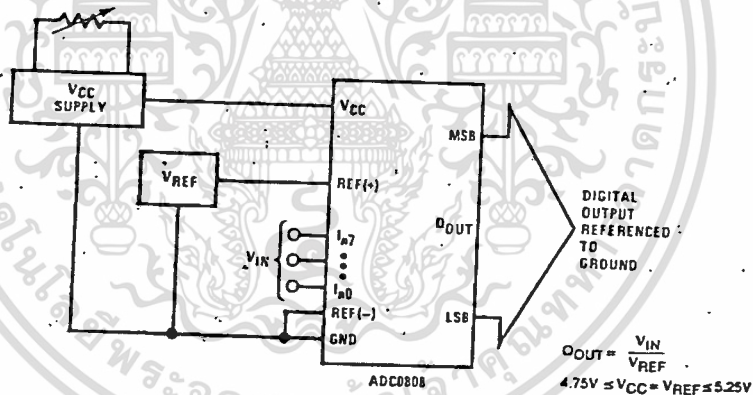


FIGURE 10. Ground Referenced Conversion System Using Trimmed Supply

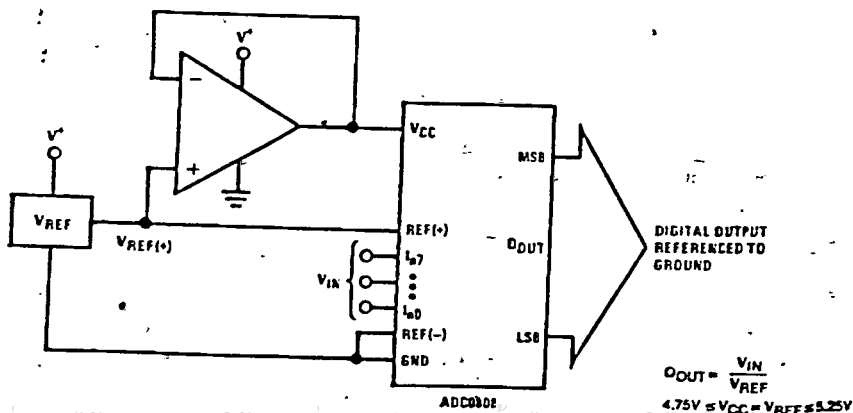


FIGURE 11. Ground Referenced Conversion System with Reference Generating V_{CC} Supply

Applications Information (Continued)

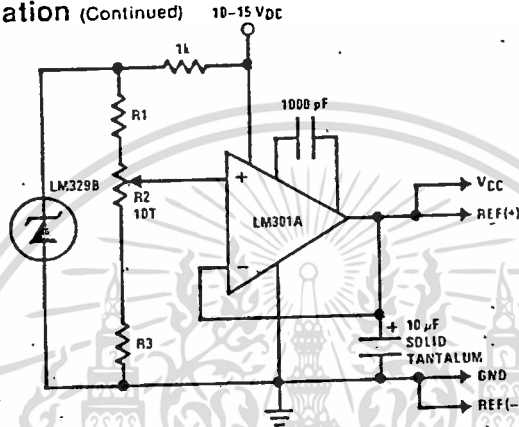


FIGURE 12. Typical Reference and Supply Circuit

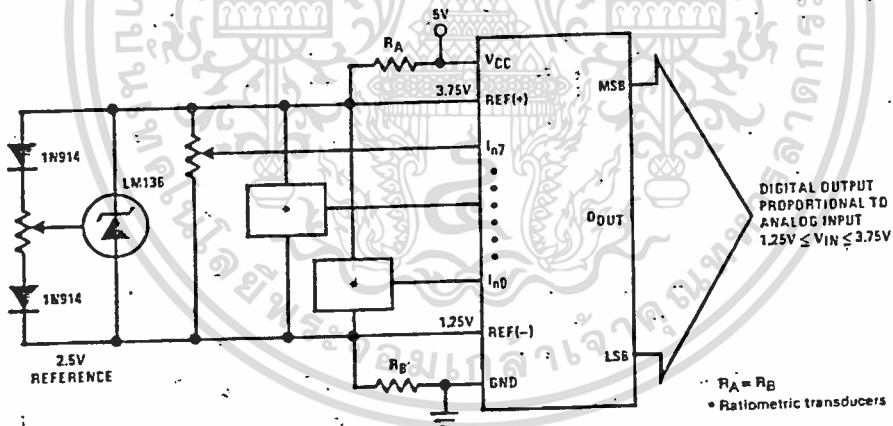


FIGURE 13. Symmetrically Centered Reference

3.0 Converter Equations

The transition between adjacent codes N and $N+1$ is given by:

$$V_{IN} = \left[(V_{REF(+)} - V_{REF(-)}) \left[\frac{N}{256} + \frac{1}{512} \right] \pm V_{TUE} \right] + V_{REF(-)} \quad (2)$$

The center of an output code N is given by:

$$V_{IN} = \left[(V_{REF(+)} - V_{REF(-)}) \left[\frac{N}{256} \right] \pm V_{TUE} \right] + V_{REF(-)} \quad (3)$$

The output code N , for an arbitrary input are the integers within the range:

$$N = \frac{V_{IN} - V_{REF(-)}}{V_{REF(+)} - V_{REF(-)}} \times 256 \pm \text{Absolute Accuracy} \quad (4)$$

where: V_{IN} = Voltage at comparator input

$V_{REF(+)}$ = Voltage at Ref(+)

$V_{REF(-)}$ = Voltage at Ref(-)

V_{TUE} = Total unadjusted error voltage (typically $V_{REF(+)} + 512$)

4.0 Analog Comparator Inputs

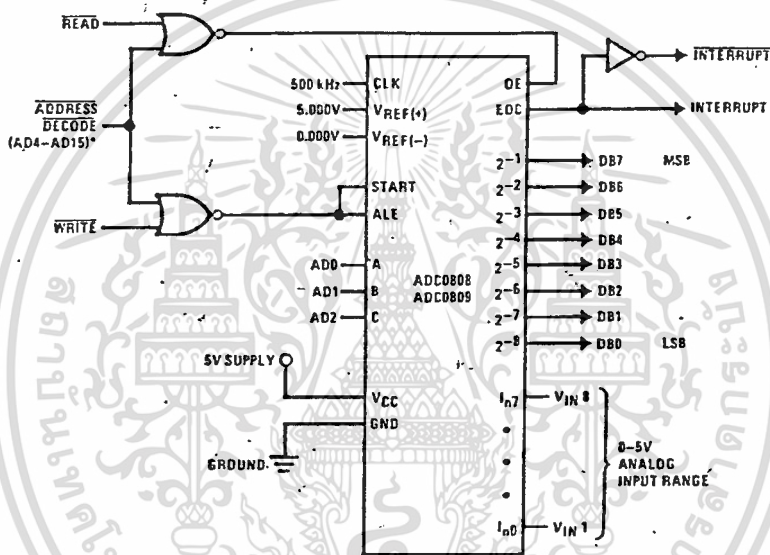
The dynamic comparator input current is caused by the periodic switching of on-chip stray capacitances. These are connected alternately to the output of the resistor ladder/switch tree network and to the comparator input as part of the operation of the chopper stabilized comparator.

The average value of the comparator input current varies directly with clock frequency and with V_{IN} as shown in Figure 6.

If no filter capacitors are used at the analog inputs and the signal source impedances are low, the comparator input current should not introduce converter errors, as the transient created by the capacitance discharge will die out before the comparator output is strobed.

If input filter capacitors are desired for noise reduction and signal conditioning they will tend to average out the dynamic comparator input current. It will then take on the characteristics of a DC bias current whose effect can be predicted conventionally.

Typical Application



* Address latches needed for 8085 and SC/MP Interfacing the ADC0808 to a microprocessor

MICROPROCESSOR INTERFACE TABLE

PROCESSOR	READ	WRITE	INTERRUPT (COMMENT)
8080	MEMR	MEMW	INTR (Thru RST Circuit)
8085	RD	WR	INTR (Thru RST Circuit)
Z-80	RD	WR	INT (Thru RST Circuit, Mode 0)
SC/MP	NRDS	NWDS	SA (Thru Sense A)
6800	VMA↔2-R/W	VMA↔2-R/W	IROA or IROB (Thru PIA)

Ordering Information

TEMPERATURE RANGE		-40°C to +85°C		-55°C to +125°C
Error	± 1/2 Bit Unadjusted	ADC0808CCN	ADC0808CCJ	ADC0808CJ
	± 1 Bit Unadjusted	ADC0809CCN		
Package Outline		N28A Molded DIP	J28A Hermetic DIP	J28A Hermetic DIP

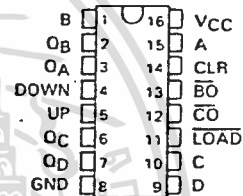
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPES SN54ALS192, SN54ALS193, SN74ALS192, SN74ALS193 SYNCHRONOUS 4-BIT UP/DOWN COUNTERS (DUAL CLOCK WITH CLEAR)

D2661, DECEMBER 1982—REVISED DECEMBER 1983

- Look-Ahead Circuitry Enhances Cascaded Counters
- Fully Synchronous in Count Modes
- Parallel Asynchronous Load for Modulo-N Count Lengths
- Asynchronous Clear
- Package Options Include Both Plastic and Ceramic Chip Carriers in Addition to Plastic and Ceramic DIPs
- Dependable Texas Instruments Quality and Reliability

SN54ALS192, SN54ALS193 . . . J PACKAGE
SN74ALS192, SN74ALS193 . . . N PACKAGE
(TOP VIEW)



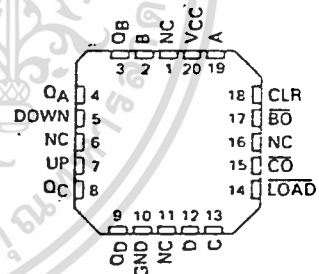
Description

The 'ALS192 and 'ALS193 are synchronous, reversible up/down counters. The 'ALS192 is a 4-bit decade counter and the 'ALS193 is a 4-bit binary counter. Synchronous operation is provided by having all flip-flops clocked simultaneously so that the outputs change coincidentally with each other when so instructed by the steering logic. This mode of operation eliminates the output counting spikes normally associated with asynchronous (ripple clock) counters.

The outputs of the four flip-flops are triggered by a low-to-high-level transition of either count (clock) input (Up or Down). The direction of counting is determined by which count input is pulsed while the other count input is high.

All four counters are fully programmable; that is, each output may be preset to either level by placing a low on the load input and entering the desired data at the data inputs. The output will change to agree with the data inputs independently of the count pulses. This feature allows the counters to be used as modulo-N dividers by simply modifying the count length with the preset outputs.

SN54ALS192, SN54ALS193 . . . FH PACKAGE
SN74ALS192, SN74ALS193 . . . FN PACKAGE
(TOP VIEW)



NC — no internal connection

A clear input has been provided that forces all outputs to the low level when a high level is applied. The clear function is independent of the count and the load inputs. The clock, count, and load inputs are buffered to lower the drive requirements. This significantly reduces the loading on clock drivers, etc., for long parallel words.

These counters were designed to be cascaded without the need for external circuitry. The borrow output (BO) produces a low-level pulse while the count is zero (all outputs low) and the count-down input is low. Similarly, the carry output (CO) produces a low-level pulse while the count is maximum (9 or 15) and the count-up input is low. The counters can then be easily cascaded by feeding the borrow and carry outputs to the count-down and count-up inputs, respectively, of the succeeding counter.

The SN54ALS192 and SN54ALS193 are characterized for operation over the full military temperature range of -55°C to 125°C. The SN74ALS192 and SN74ALS193 are characterized for operation from 0°C to 70°C.

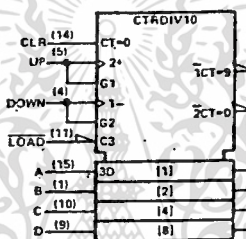
TEXAS
INSTRUMENTS

POST OFFICE BOX 275012 • DALLAS, TEXAS 75265

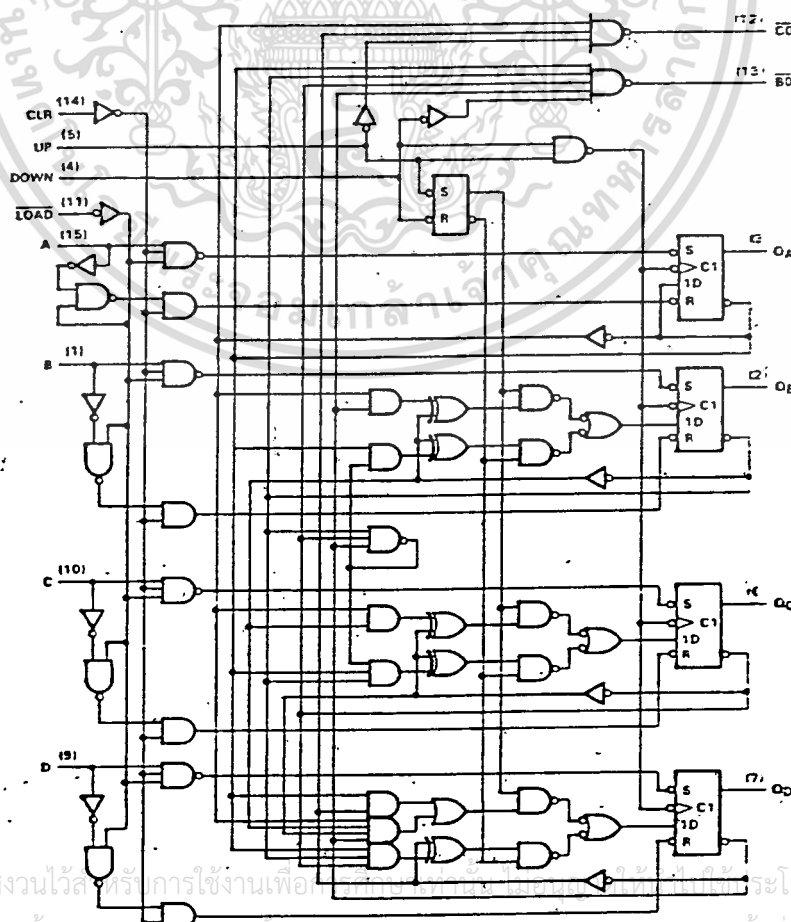
2
ALS AND AS CIRCUITS

TYPES SN54ALS192, SN74ALS192
SYNCHRONOUS 4-BIT UP/DOWN DECADE COUNTERS (DUAL CLOCK WITH CLEAR)

*ALS192 logic symbol



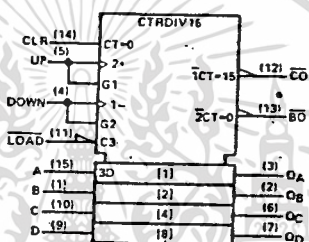
*ALS192 logic diagram (positive logic)



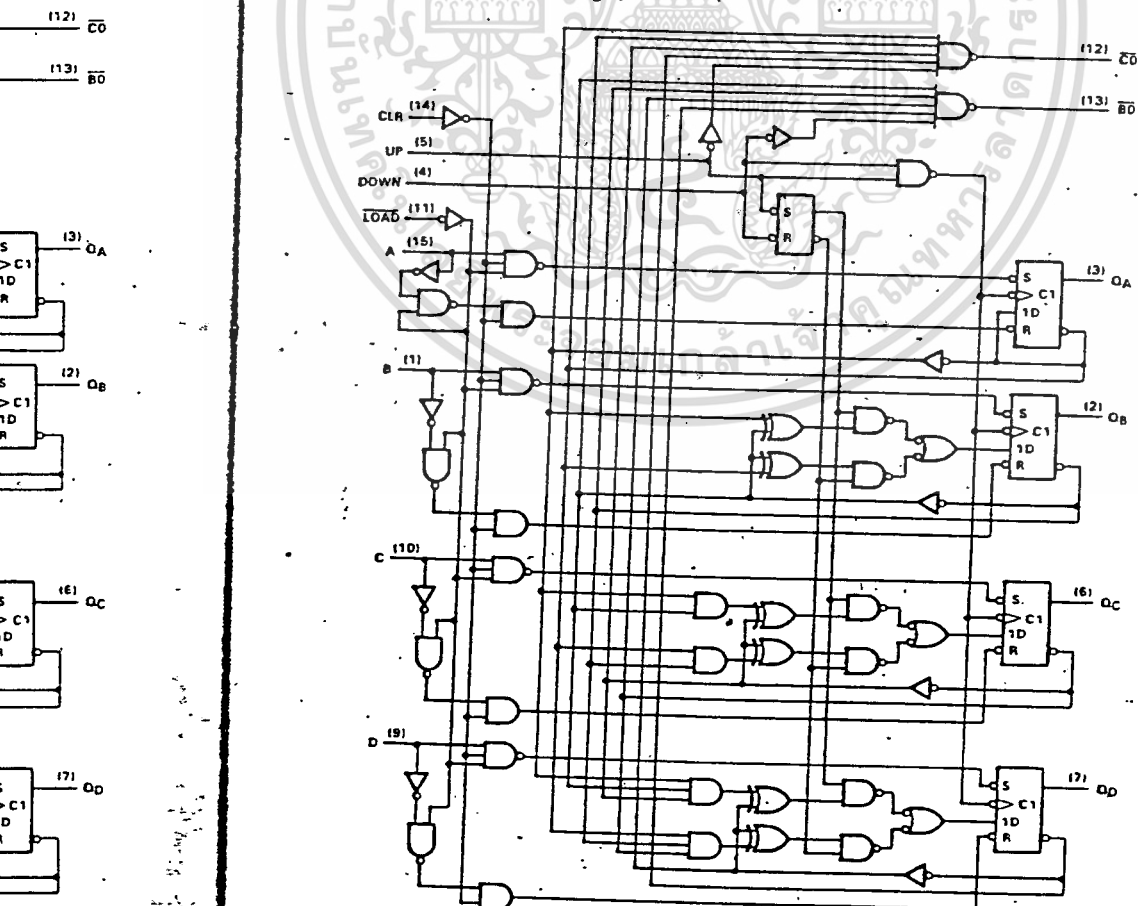
H CLEAR)

TYPES SN54ALS193, SN74ALS193 SYNCHRONOUS 4-BIT UP/DOWN BINARY COUNTERS (DUAL CLOCK WITH CLEAR)

ALS193 logic symbol



ALS193 logic diagrams (positive logic)



2
ALS AND AS CIRCUITS

เอกสารนี้เป็นเอกสารที่เผยแพร่โดย Texas Instruments เพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆ ทั้งสิ้น ออกกฎหมายให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงชื่อของเอกสารทุกครั้งที่สามารถนำไปใช้

TEXAS
INSTRUMENTS

POST OFFICE BOX 225012 • DALLAS, TEXAS 75265

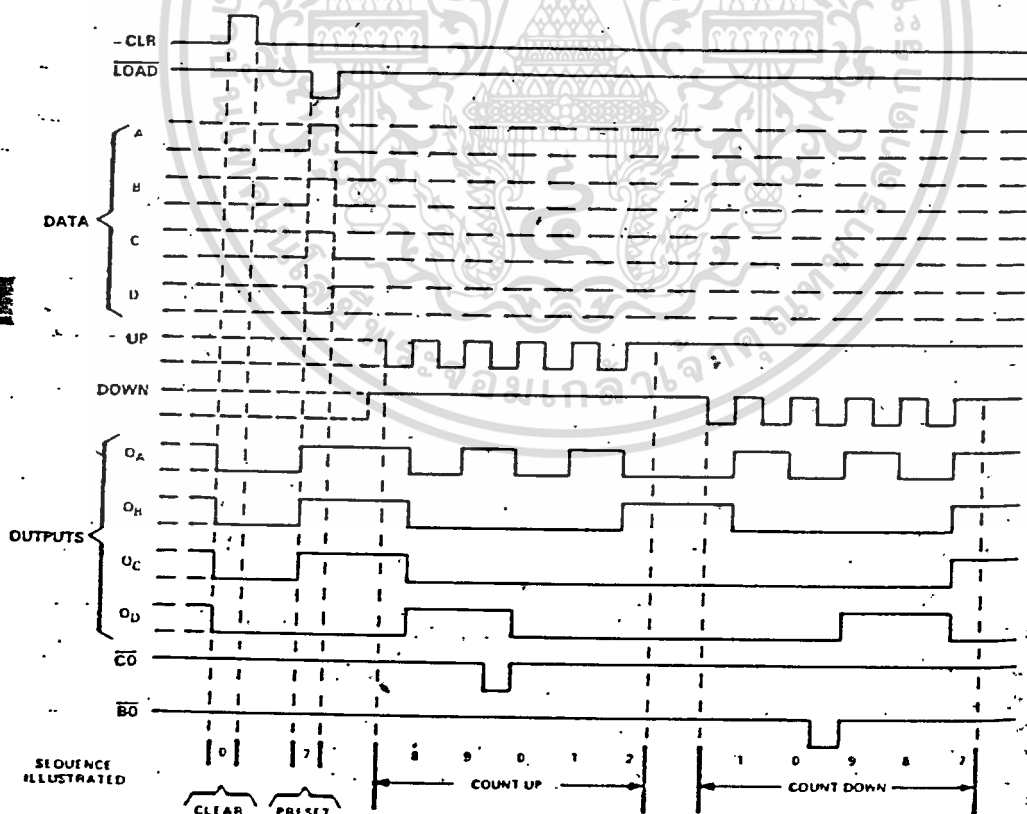
TYPES SN54ALS192, SN74ALS192 SYNCHRONOUS 4-BIT UP/DOWN DECADE COUNTERS (DUAL CLOCK WITH CLEAR)

typical clear, load, and count sequence

ALS192

Illustrated below is the following sequence:

1. Clear outputs to zero.
2. Load (preset) to BCD seven.
3. Count up to eight, nine, carry, zero, one, and two.
4. Count down to one, zero, borrow, nine, eight, and seven.



NOTES: A. Clear overrides load, data, and count inputs.

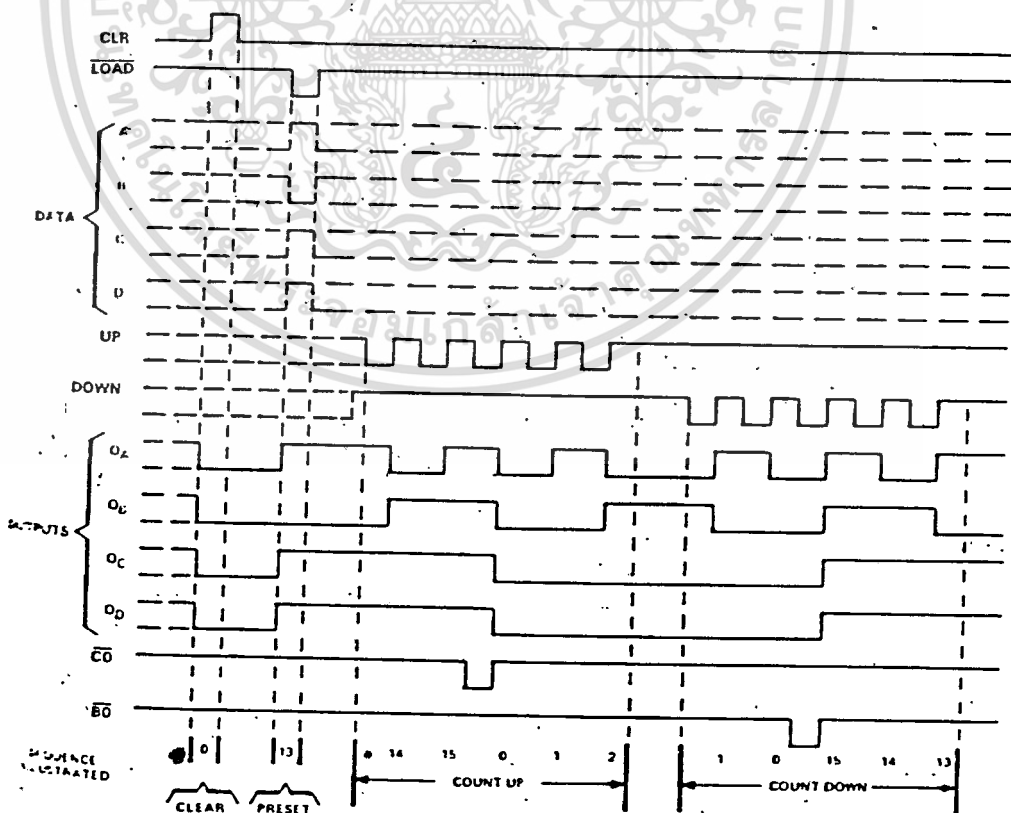
B. When counting up, count-down input must be high; when counting down, count-up input must be high.

NOTES: A. C. B. W.

SYNCHRONOUS 4-BIT UP/DOWN BINARY COUNTERS (DUAL CLOCK WITH CLEAR) TYPES SN54ALS193, SN74ALS193

'ALS193

1. Clear outputs to zero.
2. Load (preset) to binary thirteen.
3. Count up to fourteen, fifteen, carry, zero, one, and two.
4. Count down to one, zero, borrow, fifteen, fourteen, and thirteen.



2 ALS AND AS CIRCUITS

เมื่อการนับค่าขึ้น ล็อกทั้งหน้าให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

R)

otherwise noted)

..... 7V
..... 7V
..... -55°C to 125°C
..... 0°C to 70°C
..... -65°C to 150°C

SN74ALS192 SN74ALS193			UNIT
MIN	NOM	MAX	
4.5	5	5.5	V
2			V
	0.8		V
	-0.4		mA
	8		mA
0	25		MHz
0	30		
10			ns
20			
20			ns
16.5			
20			
20			ns
20			
5			
0			ns
0			
0			
0	70		°C

unless otherwise noted)

SN74ALS192 SN74ALS193			UNIT
MIN	TYP ¹	MAX	
	-1.5		V
V _{CC} -2			V
0.25	0.4		V
0.35	0.5		
	0.1		mA
	20		ps
	-0.2		mA
	-0.1		
-30	-112		mA
12	22		mA

circuit output current, I_{OL}

TYPES SN54ALS192, SN54ALS193, SN74ALS192, SN74ALS193
SYNCHRONOUS 4-BIT UP/DOWN COUNTERS (DUAL CLOCK WITH CLEAR)

switching characteristics (see Note 2)

PARAMETER	FROM (INPUT)	TO (OUTPUT)	VCC = 4.5 V to 5.5 V, CL = 50 pF, RL = 500 Ω, TA = MIN to MAX				UNIT
			SN54ALS192 SN54ALS193		SN74ALS192 SN74ALS193		
			MIN	MAX	MIN	MAX	
fmax		ALS192 ALS193	20 25		25 30		MHz
tPLH	Up	CO	4	19	4	16	ns
tPHL			5	21	5	18	
tPLH	Down	BO	4	19	4	16	ns
tPHL			5	21	5	18	
tPLH	Up or Down	Any Q	4	23	4	19	ns
tPHL			4	20	4	17	
tPLH	LOAD	Any Q	8	35	8	30	ns
tPHL			8	31	8	28	
tPHL	CLR	Any Q	5	20	5	17	ns

1 2 For load circuit and voltage waveforms, see page 1-12. ...

TYPES SN54ALS192, SN54ALS193, SN74ALS192, SN74ALS193 SYNCHRONOUS 4-BIT UP/DOWN COUNTERS (DUAL CLOCK WITH CLEAR)

absolute maximum ratings¹ over operating free-air temperature range (unless otherwise noted)

Supply voltage, V_{CC}	7 V
Input voltage	7 V
Operating free-air temperature range: SN54ALS192, SN54ALS193	-55°C to 125°C
SN74ALS192, SN74ALS193	0°C to 70°C
Storage temperature range	-65°C to 150°C

recommended operating conditions

			SN54ALS192 SN54ALS193			SN74ALS192 SN74ALS193			UNITS
			MIN	NOM	MAX	MIN	NOM	MAX	
V_{CC}	Supply voltage		4.5	5	5.5	4.5	5	5.5	V
V_{IH}	High-level input voltage		2			2			V
V_{IL}	Low-level input voltage				0.8			0.8	V
I_{OH}	High-level output current				-0.4			-0.4	mA
I_{OL}	Low-level output current				4			8	mA
f_{clock}	Clock frequency	ALS192	0		20	0		25	MHz
		ALS193	0		25	0		30	MHz
t_w	Pulse duration	CLR high	10			10			ns
		LOAD low	25			20			ns
		UP or DOWN high or low	25			20			ns
			20			16.5			ns
t_{su}	Setup time	Data before LOAD	25			20			ns
		CLR inactive before UP or DOWN	20			20			ns
		LOAD inactive before UP or DOWN	20			20			ns
		Data after LOAD	5			5			ns
t_h	Hold time	UP high after DOWN	0			0			ns
		DOWN high after UP	0			0			ns
			0			0			ns
T_A	Operating free-air temperature		-55		125	0		70	°C

electrical characteristics over recommended operating free-air temperature range (unless otherwise noted)

PARAMETER	TEST CONDITIONS	SN54ALS192 SN54ALS193			SN74ALS192 SN74ALS193			UNITS
		MIN	TYP ¹	MAX	MIN	TYP ¹	MAX	
V_{IK}	$V_{CC} = 4.5$ V, $I_I = -18$ mA			-1.5			-1.5	V
V_{OH}	$V_{CC} = 4.5$ V to 5.5 V, $I_{OH} = -0.4$ mA	$V_{CC} - 2$			$V_{CC} - 2$			V
V_{OL}	$V_{CC} = 4.5$ V, $I_{OL} = 4$ mA		0.25	0.4		0.25	0.4	V
	$V_{CC} = 4.5$ V, $I_{OL} = 8$ mA					0.35	0.5	V
I_I	$V_{CC} = 5.5$ V, $V_I = 7$ V			0.1			0.1	mA
I_{IH}	$V_{CC} = 5.5$ V, $V_I = 2.7$ V			20			20	µA
I_{IL}	UP, DOWN			-0.2			-0.2	mA
	All others			-0.1			-0.1	mA
I_{OZ}	$V_{CC} = 5.5$ V, $V_O = 2.25$ V	-30		-112	-30		-112	mA
I_{CC}	$V_{CC} = 5.5$ V, See Note 1		12	22		12	22	mA

¹All typical values are at $V_{CC} = 5$ V, $T_A = 25^\circ\text{C}$.

²The output conditions have been chosen to produce a current that closely approximates one-half of the true short-circuit output current, I_{OS} .

NOTE 1: I_{CC} is measured with the clear and load inputs grounded, and all other inputs at 4.5 V.

ALS AND AS CIRCUITS