ปีการศึกษา 2531

เครื่องรับโทรสาร

(FAX RECEIVER)

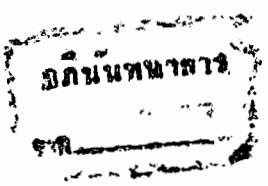
โดย

นางสาว แสงจันทร์ กำลูนเวสารัช

นาย เอกสิทธิ์ ชาญกล้า

อาจารย์ที่ปรึกษา

อาจารย์ พลผดุง ผดุงกุล



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

1.	บทนำ	1
2.	ระบบการทำงานของเครื่องโทรสาร	3
3.	การติดต่อรับส่งข้อมูล ของเครื่องรับโทรสาร	5
	3.1 โปรโตคอลแบบ HDLC	8
	3.2 สัญญาณควบคุม	9
	3.2.1 สัญญาณดิจิตอลที่ใช้ควบคุมการทำงาน	12
	3.2.2 รูปแบบของสัญญาณ FCS	15
	3.2.3 รายละเอียดของแต่ละบิทของ FIF	17
	3.2.4 รูปแบบของรหัส CSI	19
	3.2.5 สัญญาณเทรนนิ่ง (TRAINING)	20
	3.2.6 ผลตอบสนองคำสั่งที่เหมาะสม	21
	3.3 สัญญาณภาพ	22
	3.4 คุณสมบัติทั่วไปของเครื่องโทรสาร	27
4.	หลักการของเครื่องรับโทรสาร	30
	4.1 แผนผังวงจร	31
	4.2 ลำดับการทำงานของเครื่องโทรสาร	44
5.	สรุปผล	47
6.	กิตติกรรมประกาศ	50
7.	ภาคผนวก	
8.	หนังสืออ้างอิง	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เครื่องรับโทรสาร

(FAX RECEIVER)

นางสาวแสงจันทร์ กำลูนเวสารัช
นายเอกสิทธิ์ ชาญกล้า

อาจารย์ที่ปรึกษา
อาจารย์ พลผดุง ผดุงกุล

ปีการศึกษา 2531

บทคัดย่อ

ปริญญานิพนธ์ฉบับนี้เป็นการศึกษาถึงการรับส่งข้อมูลภาพผ่านทางสายโทรศัพท์ ในลักษณะการทำงานของเครื่องโทรสาร(FACSIMILE) ในแบบดิจิตอล กลุ่ม 3 (DIGITAL GROUP 3) ที่ทำการสแกนภาพจากสิ่งตีพิมพ์แปลงเป็นข้อมูลทางดิจิตอล ผ่านการเข้ารหัสข้อมูลแล้วมอดดูเลท กับสัญญาณเสียงโดยใช้โมเด็ม(MODEM) ส่งไปยังปลายทางซึ่งเป็นตัวรับทำหน้าที่แปลงสัญญาณเสียงเป็นข้อมูลแล้วถอดรหัสเป็นข้อมูลภาพโดยที่เครื่องรับโทรสาร(FAX RECEIVER) จะทำหน้าที่เป็นตัวรับ ทำงานร่วมกับโมเด็ม ขนาดความเร็ว 300 บิทต่อวินาที ในการรับส่งคำสั่งควบคุมที่มีโปรโตคอลแบบ HDLC (HIGH-LEVEL DATA LINK CONTROL) และที่ขนาดความเร็ว 2400 บิทต่อวินาที (หรือ 4800 บิทต่อวินาที) ในการรับสัญญาณที่เป็นข้อมูลภาพ ระบบนี้จะถูกควบคุมและลำดับการทำงานโดยไมโครโปรเซสเซอร์ และนำข้อมูลที่ได้เก็บลงหน่วยความจำภายในเพื่อประมวลผลต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Abstract

This project is the research in transceiving of image data on telephone line by the method of digital group 3 facsimile which scans document or picture ,converts picture to digital data then be encoded and modulated with tone-signal by modem sending to the destination which is the receiver acting as converter of the tone-signal into informations , then decodes them into image data . The Fax receiver will act as receiving tool working together with modem-300 bits per second (bps) in transceiving control-data with HDLC protocol and modem-2400 bps or 4800 bps. in transceiving image-data. This system will be controlled by micro-processor and then put the received data into inner memory to process the next action.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1. บทนำ

เครื่องโทรสาร เป็นอุปกรณ์ที่สามารถส่งผ่านรูปภาพ อักษรใด ๆ บนสิ่งตีพิมพ์ที่ต้องการไปยังจุดหมายปลายทาง โดยใช้เครือข่ายโทรคมนาคมสาธารณะที่อาจมีสายหรือไร้สายก็ได้ สายของการเชื่อมโยงทั่วไปเป็นสายโทรศัพท์ เพราะมีใช้กระจายทั่วไป แบ่งออกเป็น 4 กลุ่มคือ :

1. กลุ่ม 1 เป็นเครื่องโทรสารใช้การมอดดูเลท (MODULATE) แบบดับเบิ้ลไซด์แบนด์ (DOUBIE SIDE BAND) โดยไม่มีกรรมวิธีพิเศษใด ๆ มาบีบแบนด์วิธ (BANDWIDTH) ของสัญญาณส่งซึ่งเหมาะสำหรับส่งเอกสารขนาด ISO A 4 โดยมีความละเอียดประมาณ 4 เส้นต่อมิลลิเมตรใช้เวลาประมาณ 3 - 6 นาที ในสายโทรศัพท์มาตรฐานทั่วไป ปัจจุบันไม่นิยมใช้แล้ว

2. กลุ่ม 2 เป็นเครื่องโทรสารที่ใช้เทคนิคการบีบแบนด์วิธ เพื่อที่จะใช้เวลาน้อยลงเป็นประมาณ 2 - 3 นาที สำหรับเอกสาร A 4 มีความละเอียดของภาพประมาณ 4 เส้นต่อ มม. เทคนิคการบีบแบนด์วิธนี้ใช้การเข้ารหัส (ENCODING) หรือ VESTIGALSIDEBAND แต่ไม่รวมถึงการประมวลผลเพื่อลดสัญญาณส่วนที่ไม่จำเป็น (REDUNDANCY SIGNAL)

3. กลุ่ม 3 เป็นเครื่องโทรสารที่มีวิธีการลดข้อมูลส่วนที่ไม่จำเป็นของสัญญาณภาพก่อนจะมอดดูเลทส่งออกไป รวมถึงใช้วิธีกดแบนด์วิธจะใช้เวลาส่งประมาณ 1 นาที สำหรับมาตรฐาน A 4 กับระบบโทรศัพท์ธรรมดา ปัจจุบันนิยมใช้เครื่องโทรสารตามมาตรฐานกลุ่มนี้มากที่สุด

4. กลุ่ม 4 เป็นมาตรฐานล่าสุด เครื่องโทรสารกลุ่มนี้สามารถส่งข้อมูลภาพโดยไม่มีข้อผิดพลาดเกิดขึ้น ทั้งยังส่งได้ด้วยความเร็วสูงถึง 1.92 กิโลบิทต่อวินาที มีจุดประสงค์การใช้บนโครงข่ายข้อมูลสาธารณะ (PUBLIC DATA NETWORK - PDN) รวมถึงระบบ ISDN (INTEGRATED SERVICES DIGITAL NETWORK) แต่ก็สามารถใช้กับระบบโทรศัพท์ได้ถ้ามีขบวนการมอดดูเลทที่เหมาะสม

ทั้ง 4 กลุ่มนี้กำหนดคุณสมบัติตามมาตรฐานตามข้อกำหนดของ CCITT (INTERNATIONAL TELEPHONE AND TELEGRAPH CONSULATIVE COMMITTEE) G1, G2, G3, G4 ตามลำดับ

ปัจจุบันเครื่องโทรสารนิยมใช้กันอย่างแพร่หลายในวงการธุรกิจ อุตสาหกรรม เพราะทำให้การส่งเอกสารที่มีข้อมูล, ภาพ, อักษร เป็นไปอย่างไม่สะดวกและรวดเร็ว ในทำนองเดียวกันคอมพิวเตอร์ก็เข้ามามีบทบาทในวงการธุรกิจและอุตสาหกรรมโดยเฉพาะจำพวก PERSONAL COMPUTER ดังนั้นจึงนำคอมพิวเตอร์มาประยุกต์ใช้ประมวลผลภาพเอกสารที่ส่งมาโดยเครื่อง

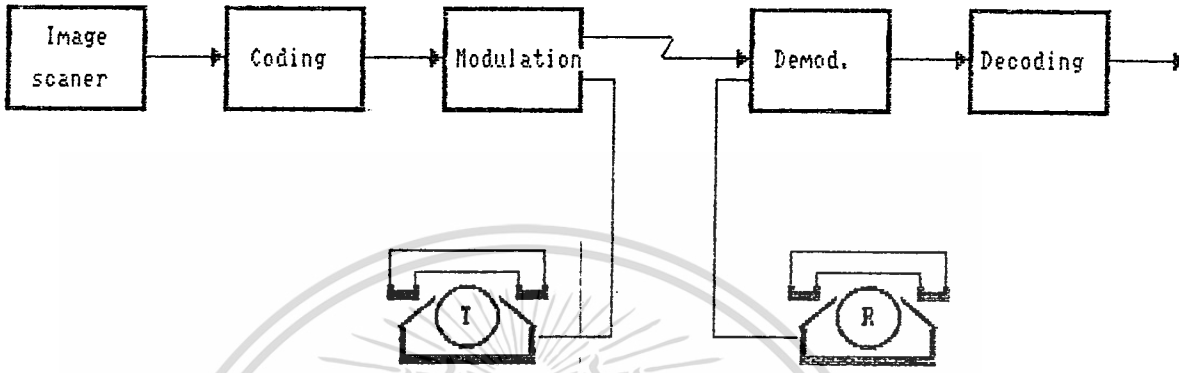
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โทรสาร โดยใช้ร่วมกับโม เด็มและส่วนควบคุมที่ใช้ไมโครโปร เซส เซอร์ต่างหาก เพื่อให้คอมพิว เตอร์สามารถทำงานอื่นได้โดยไม่ต้องมารอรับโทรสาร เพียงอย่าง เดียว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2. ระบบการทำงานของเครื่องโทรสาร

มีระบบการทำงานโดยทั่วไปดังรูป



มีส่วนสำคัญประกอบด้วยส่วนกวาดภาพ (IMAGE SCANNER) ส่วนแปลงรหัส(CODING) ส่วนมอดดูเลท และส่วนรับของมันคือ ดีมอดดูเลท ติดตามด้วยส่วนแปลงรหัสและส่วนพิมพ์ภาพ (IMAGE PRINTING)

การกวาดภาพส่วนใหญ่จะใช้แบบพื้นเรียบ (FLAT BED) ที่เอกสารต้นฉบับจะป้อนเข้าซึ่งต่างจากในอดีตที่มักจะเป็นแบบรูปทรงกระบอก (DRUM) ที่ให้เอกสารกลิ้งตามพื้นผิว เอกสารจะวิ่งเข้าในส่วนกวาดภาพในอัตราเร็วสม่ำเสมอ โดยมีหลอดแสงฉายลงบนเอกสารนั้น จุดดำและขาวบนเอกสารจะสะท้อนแสงโดยให้ระดับความเข้มที่ต่างกันที่ตรวจจับได้ด้วย IMAGE SENSOR และแปลงออกในรูปของสัญญาณไฟฟ้า จากสัญญาณที่ได้มาแปลงเป็นรหัสข้อมูลเพื่อทำการส่งออกโดยผ่านสายโทรศัพท์ หรือเครือข่ายสื่อสารคับที่ปลายทาง เมื่อรับรหัสข้อมูลที่ส่งมาได้ ก็จะทำการแปลกลับเป็นสัญญาณไฟฟ้าและพิมพ์ภาพออกโดยใช้วิถีใช้ความร้อน (THERMAL PRINTING) หรือใช้แสงเลเซอร์บนกระดาษเพื่อเก็บเป็นสำเนา โดยทั่วไปความละเอียดของภาพจะได้ 3.85 เส้นต่อมม. และในอัตราเร็ว 20 - 60 วินาทีต่อแผ่นของเอกสารขนาด A 4 หากต้องการความละเอียดของภาพมากขึ้น เวลาการส่งผ่านก็จะเพิ่มขึ้นตามไปด้วย

นอกจากการทำงานตามขั้นตอนที่ได้กล่าวมาข้างต้น เครื่องโทรสารในปัจจุบันยังได้เพิ่มหน้าที่อีกมากมาย เช่น มีหน่วยความจำทำหน้าที่เป็นบัฟเฟอร์เก็บเอกสารไว้ชั่วหนึ่งก่อน บางเครื่องเก็บได้มากถึง 60 แผ่น ขนาดกระดาษ A4 และใช้เวลาเพียง6 วินาทีในการกวาด

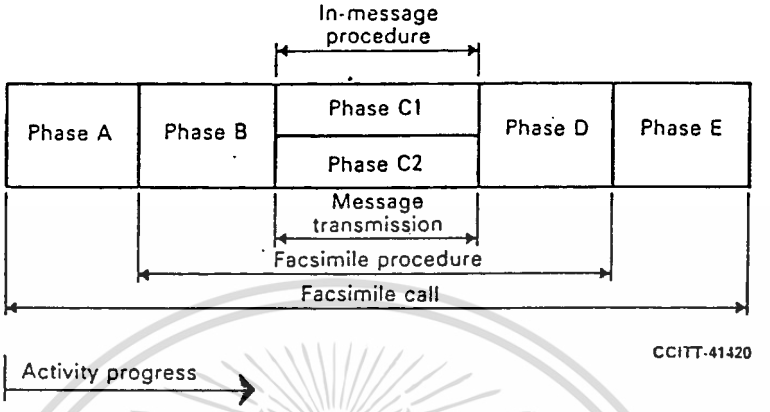
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาพ มีความสามารถในการย่อส่วนเอกสาร (SIZE REDUCTION) การติดต่อทางโทรศัพท์ทำได้โดย AUTO-DIAL และหากการติดต่อจับได้ว่ามีข้อผิดพลาดมาก เครื่องยังสามารถส่งรหัสข้อมูลซ้ำอีกครั้งหนึ่ง (AUTOMATIC PAGE RE-TRANSMISSION) นอกจากนี้ยังสามารถทำการกระจายการส่งได้ (BROADCASTING) คุณลักษณะพิเศษเหล่านี้ช่วยทำให้การใช้งานเป็นไปอย่างสะดวก รวดเร็ว มีประสิทธิภาพและคุณภาพสูง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3. การติดต่อรับส่งข้อมูลของ FAX

สามารถลำดับขั้นการทำงาน เป็นส่วน ๆ ได้ดังนี้ :



1) PHASE A : เริ่มการติดต่อ

แบ่งเป็น 4 ประเภทคือ

1.1 ติดต่อโดยคนทั้งด้านส่งและด้านรับ

1.2 ติดต่อโดยคนด้านส่งและเป็นแบบอัตโนมัติทางด้านรับ

1.3 ติดต่อเป็นแบบอัตโนมัติทางด้านส่งและให้คนทางด้านรับ

1.4 ติดต่อแบบอัตโนมัติทั้งด้านส่งและด้านรับ

2) PHASE B : ขบวนการก่อนส่งข่าวสาร

จะเป็นการซิงค์ให้เครื่องรับและส่งอยู่ในรูปแบบเดียวกัน ที่สามารถสื่อสารกันได้อย่างถูกต้อง

2.1 ลำดับการทำงานและบอกคุณสมบัติของเครื่อง

2.1.1 ทำงานในกลุ่มใด (กลุ่ม 1, 2, 3 หรือ 4)

2.1.2 ยืนยันในการติดต่อว่าสามารถทำได้

2.1.3 บอกเบอร์ของเครื่อง ชื่อของผู้ติดต่อด้วย

2.1.4 บอกลักษณะพิเศษที่แตกต่างจากระบบมาตรฐาน (มีหรือไม่มีก็ได้)

2.2 ส่วนคำสั่ง

2.2.1 บอกคำสั่ง (ใช้คำสั่งในกลุ่มที่ตัวเครื่องทำงานอยู่)

2.2.2 สัญญาณ

2.2.3 สัญญาณซิงค์

2.2.4 คำสั่งที่แตกต่างจากระบบมาตราฐาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3) PHASE C1 : ขบวนการควบคุมการส่งข่าวสาร

จะเกิดขึ้นพร้อม ๆ กับการส่งข่าวสารไป เป็นขบวนการควบคุมการทำงาน ตรวจสอบว่าระบบเกิดผิดพลาดอะไรหรือไม่ ในขั้นตอนการส่งข่าวสาร

4) PHASE C2 : ขบวนการส่งข่าวสาร

ข่าวสารถูกส่งไปยังฝ่ายรับ

5) PHASE D : ขบวนการของคำสั่งบอกถึงการสิ้นสุดของข่าวสาร

มีรูปแบบของคำสั่งต่าง ๆ ดังนี้

5.1 บอกการสิ้นสุดของข่าวสารใน 1 หน้า

5.2 บอกว่าสามารถรับข่าวสารต่อได้อีก ถ้ายังมีข่าวสารที่จะส่งต่อ

5.3 มีข่าวสารหลายหน้ากระดาษ เมื่อหมดหน้าแรกแล้วจะเริ่มส่งหน้าที่สองต่อไปเลย

5.4 สิ้นสุดในการส่งข่าวสาร หน้าสุดท้ายแล้ว

6) PHASE E : ตัดการติดต่อ

จะตัดการติดต่อระหว่างฝ่ายส่งและฝ่ายรับ เป็นการสิ้นสุดการทำงาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาพแสดงลักษณะสัญญาณที่ใช้ เมื่อฝ่ายส่ง เป็นผู้ เรียก

ฝ่ายส่ง เป็นผู้ เรียก		ฝ่ายรับ เป็นผู้ เรียก
เฟส A	←	แจ้งคุณสมบัติและลักษณะของฝ่ายรับ
	←	แจ้งถึงความสามารถ (DIS)
ส่งคำสั่ง (DTC)	→	
เฟส B		
ส่ง PHASING หรือ TRAINING	→	
เฟส C	←	ยืนยันว่าสามารถรับข้อมูลได้
ส่งข้อมูล	→	
ส่งรหัสว่าสิ้นสุดข้อมูล	→	
เฟส D		
	←	ยืนยันว่ารับข้อมูล เรียบร้อยแล้ว

ภาพแสดงลักษณะสัญญาณที่ใช้ เมื่อฝ่ายส่ง เป็นผู้ถูก เรียก

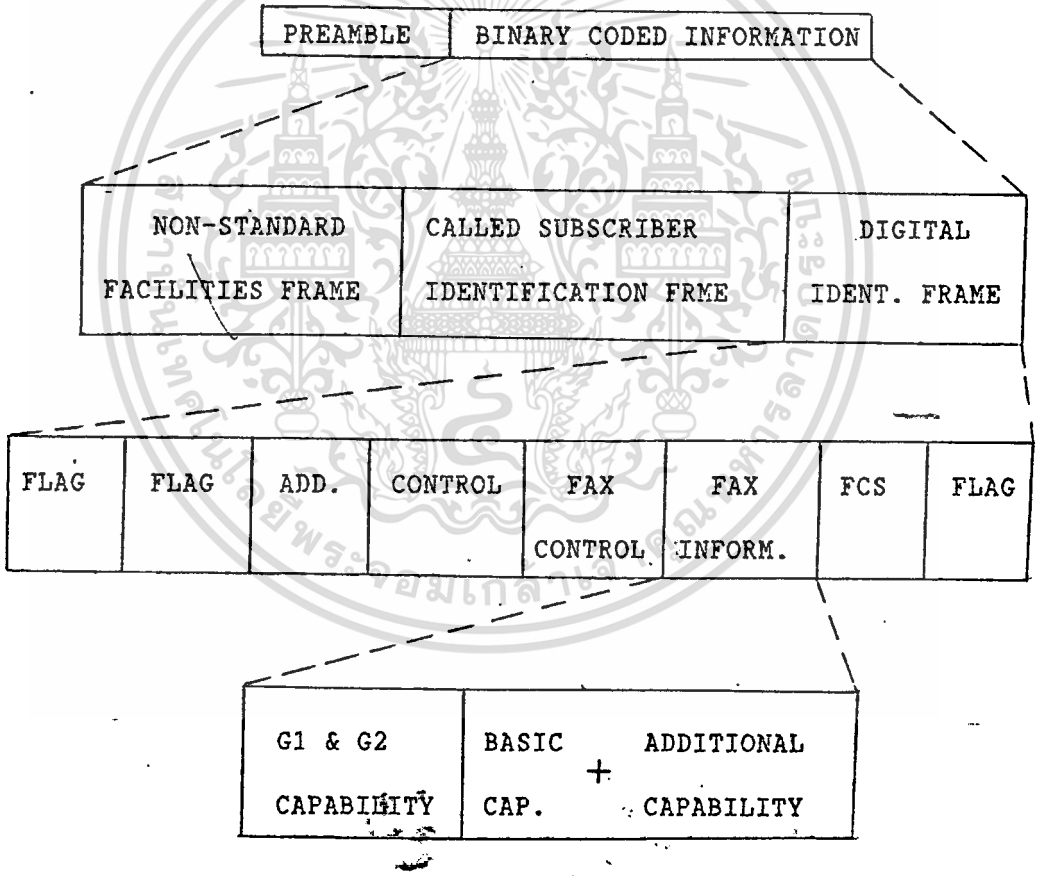
ฝ่ายรับ เป็นผู้ เรียก		ฝ่ายส่ง เป็นผู้ถูก เรียก
เฟส A		
	←	แจ้งคุณสมบัติและลักษณะของผู้ถูก เรียก
	←	แจ้งถึงความสามารถ (DIS)
ส่งคำสั่ง (DTC)	→	
เฟส B		
	←	ส่งคำสั่ง (DCS)
ยืนยันว่าได้รับข้อมูลแล้ว (CFR)	→	
เฟส C		
	←	ส่งข้อมูล
	←	ส่งรหัสว่าสิ้นสุดข้อมูล
เฟส D		
ยืนยันว่ารับข้อมูบ เรียบร้อยแล้ว (MCF)	→	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.1 โปรโตคอลแบบ HDLC (HIGH - LEVEL DATA LINK CONTROL)

โครงสร้างแบบ HDLC ใช้งานในการส่งและรับข้อมูล ควบคุมการทำงานของเครื่องรับโทรสารทั้งหมด โดยรูปแบบ HDLC นี้จะประกอบด้วย เฟรม (FRAME) หนึ่งหรือหลาย เฟรม แต่ละ เฟรมจะแบ่งย่อยออก เป็นฟิลด์ (FIELD) หลายฟิลด์ ซึ่งบ่งบอกชนิดของ เฟรม, การตรวจความผิดพลาดและยืนยันถึงการรับข้อมูลที่ถูกต้อง

ในตัวอย่างดังรูป เป็นรูปแบบที่ใช้ในการ เข้ารหัสสัญญาณไบนารี่ (BINARY CODED SIGNALLING) ของชุดคำสั่ง เริ่มต้นที่บ่งบอกคุณลักษณะของ เครื่องรับ (DIS)



ลักษณะข้อมูลภายในฟิลด์ที่ถูกส่งออกไปจะส่งจากบิทที่มีนัยสำคัญสูงสุดไปต่ำสุดคือจากซ้ายไปขวาตามที่พิมพ์ ยก เว้นรูปแบบของสัญญาณ CSI

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2 สัญญาณควบคุมในกลุ่ม 3

ชื่อสัญญาณ	ตัวย่อ	หน้าที่
DIGITAL ID. SIGNAL	DIS	- บอกลักษณะมาตรฐานของเครื่องที่ถูกเรียก
DIGITAL TRANSMIT	DTC	- สัญญาณตอบรับ DIS บอกลักษณะมาตรฐานของเครื่องผู้เรียก และบอกว่าต้องการรับข้อมูล
DIGITAL COMMAND	DCS	- สัญญาณตอบรับ DIS/DTC บอกถึงลักษณะมาตรฐานของเครื่องผู้เรียกและบอกว่าจะเป็นฝ่ายส่งข้อมูล
TRAINTNG CHECK	TCF	- เพื่อทดสอบการเทรนนิ่ง (TRAINING) ของสายว่าสามารถรับข้อมูลได้อย่างถูกต้องหรือไม่ หลังจากรับสัญญาณนี้แล้ว
CONFIRMATION TO RECEIVE	CFR	- สัญญาณที่ใช้ยืนยันว่าสามารถรับข้อมูลได้อย่างถูกต้อง
FAILURE TO TRAIN	FTT	- บอกว่าเกิดการผิดพลาดขึ้น ให้ส่งสัญญาณเทรนนิ่งใหม่
END OF MESSAGE	EOM	- เสร็จสิ้นการส่งข้อมูลในช่วยนี้ ให้กลับเข้าทำงานในเฟส B
MULTIPAGE SIGNAL	MPS	- เสร็จสิ้นการส่งข้อมูลในช่วงนี้ ให้ส่งสัญญาณตอบรับ MCF เพื่อที่ฝ่ายส่งจะได้ทราบว่าสามารถส่งข้อมูลได้อีก และจะส่งข้อมูลมาใหม่ (กรณีมีหลายหน้า)
END OF PROCEDURE	EOP	- เสร็จสิ้นการส่งข้อมูลทั้งหมดแล้ว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

023117

ชื่อสัญญาณ	ตัวย่อ	หน้าที่
MESSAGE CONFIRMATION	MCF	- บอกถึงว่าฝ่ายรับสามารถรับข้อมูลได้อย่างเรียบร้อย ถ้ายังมีข้อมูลอีกก็สามารถส่งมาได้เลย
RETRAIN NEGATIVE	RTN	- ฝ่ายรับแจ้งถึงความผิดพลาดว่า ไม่สามารถรับข้อมูลที่ส่งมาได้ ถ้าจะส่งข้อมูลให้ได้ต้องเรียกพนักงานมาทำการติดต่อใหม่
NON-STANDARD FACILITY	NSF	- บอกว่าจะใช้การรับส่งในรูปแบบพิเศษที่ผู้ใช้ต้องการ
NON-STANDARD PROCEDURE INT. EOM	NSC	- ตอบรับการส่งข้อมูลและรับข้อมูลแบบ
	PRI-EOM	- คุณสมบัติเหมือน EOM เพียงแต่ไม่สามารถทำงานต่อได้ ถ้าไม่มีพนักงานมาควบคุม
PROCEDURE INT. MPS	PRI-MPS	- คุณสมบัติเหมือน MPS แต่ไม่สามารถทำงานต่อได้ ถ้าไม่มีพนักงานมาควบคุม
PROCEDURE INT. EOP	PRI-EOP	- คุณสมบัติเหมือน EOP แต่ถ้าจะใช้นอกเหนือจากนี้ ต้องให้พนักงานมาควบคุม
DISCONNECT	DCN	- บอกให้ตัดการติดต่อได้ สัญญาณนี้ได้ต้องมีสัญญาณตอบรับ
PROCEDURE INT. POSITIVE	PIP	- ฝ่ายรับบอกฝ่ายส่งว่า ข้อมูลที่ส่งมาได้รับเรียบร้อยแล้ว แต่ไม่สามารถจะรับได้อีกนอกจากให้พนักงานมาทำการติดต่อใหม่
CALLED STATION IDENTIFICATION	CSI	- ผู้ถูกเรียกจะบอกเบอร์โทรศัพท์และชื่อของตัวเองให้แก่ผู้เรียก (อาจจะมีหรือไม่ก็ได้สำหรับสัญญาณนี้)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ชื่อสัญญาณ	ตัวย่อ	หน้าที่
CALLING STATION ID.	CIG	- ผู้เรียกจะบอกเบอร์โทรศัพท์และชื่อของตัวเองให้ผู้ถูกเรียก (อาจจะมีหรือไม่ก็ได้)
TRANSMITTING STATION ID.	TSI	- ฝ่ายส่งจะส่งสัญญาณนี้มาหลังจากเพื่อบอกคุณสมบัติหรือลักษณะของฝ่ายส่งมีไว้เพื่อรักษาความลับของเอกสาร ไม่ให้คนอื่นแกะรหัสได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2.1 สัญญาณดิจิตอลที่ใช้ควบคุมการทำงาน

ปรีแอมเบิล (PREAMBLE) เป็นสัญญาณที่มาก่อนสัญญาณดิจิตอลอื่น ๆ ไม่ว่าการส่งข้อมูลจะเริ่มต้นไปสู่ในทิศทางใด เพื่อให้แน่ใจว่าอุปกรณ์ที่ใช้อยู่ระหว่างการติดต่อ (เช่นตัวลดสัญญาณสะท้อน) อยู่ในสภาพที่เหมาะสมที่จะรับสัญญาณได้อย่างไม่ผิดพลาดสัญญาณปรีแอมเบิลนี้ที่มีความเร็ว 300 บิทต่อวินาทีจะเป็นชุดของแฟลก (FLAG) ต่อเนื่องกันเป็นเวลา 1 วินาที ± 15 %

ไบนารี่ โค๊ด อินฟอร์เมชั่น (BINARY CODE-INFORMATION)

จากตัวอย่างข้างต้นของ IDENTIFICATION FRAME (DIS) รูปมาตรฐานของ DIS อาจถูกส่งโดยไม่มีเฟรมอื่น ๆ ด้วย ถ้ามีเฟรมของ CSI และ NSF อยู่ด้วยแล้ว เฟรม DIS ต้องถูกเป็นเฟรมสุดท้าย

แฟลก (FLAG) HDLC แฟลกเป็นชุดข้อมูล 8 บิท ที่แสดงถึงจุดเริ่มและจุดสิ้นสุดของเฟรม ในกรณีของเครื่องโทรสาร ชุดข้อมูลแฟลกจะถูกใช้ในการซิงโครไนซ์(SYNCHRONIZE) บิทและเฟรมโดย PREAMBLE จะนำ FRAME แรก ส่วนเฟรมต่อมาต้องการแฟลกนำเพียงชุดเดียวก็พอ

การใช้แฟลกอย่างต่อเนื่อง อาจใช้เป็นสัญญาณแสดงถึงการที่เครื่องรับโทรสารยังติดต่ออยู่ แต่ไม่ได้ทำกรรมวิธีใด

(รูปแบบ (FORMAT) 0111 1110)

แอดเดรส ฟิลด์ (ADDRESS FIELD) ชุด HDLC 8บิทนี้เป็นการบอกถึงสถานีรับส่งว่าเป็นข้อมูลประเภทใดในการติดต่อผ่านสายโทรศัพท์ กรณีที่เป็นรูปแบบโทรสารนี้มีรูปแบบเดียวคือ 1111 1111

คอนโทรล ฟิลด์ (CONTROL FIELD) เป็นชุด 8 บทของ HDLC ที่บอกว่าเป็นการทำงานในการควบคุมเครื่องโทรสาร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปแบบ 1100 X000

X = 0 สำหรับเฟรมที่ไม่ใช่เฟรมสุดท้าย

X = 1 สำหรับเฟรมที่เป็นเฟรมสุดท้าย

อินฟอร์เมชั่น ฟิลด์ (INFORMATION FIELD) เป็นฟิลด์ที่เป็นข้อมูลที่ใช้ในการแลกเปลี่ยนหรือควบคุมข่าวสารของสองสถานี มีความยาวที่เปลี่ยนแปลงได้ ในเครื่องโทรสารนี้แบ่งออกเป็น 2 ส่วนคือ :

1) FACSIMILE CONTROL FIELD (FCF) เป็นชุดข้อมูล 8 บิทแรกของอินฟอร์เมชั่น ฟิลด์ที่บอกถึงชนิดของสัญญาณและตำแหน่งของลำดับการทำงาน มีลักษณะที่แตกต่างกัน 2 รูปแบบคือ :

ถ้า X เป็นบิทแรกของ FCF แล้ว

X = 1 เมื่อหมายถึงสถานีที่เป็นฝ่ายรับสัญญาณ DIS (ผู้เรียก)

X = 0 เมื่อหมายถึงสถานีที่รับสัญญาณตอบสนองของ DIS (ผู้ถูกเรียก) และสามารถแบ่งชนิดของข้อมูลเป็น

1.1 ข้อมูลที่ใช้บอกคุณสมบัติเริ่มต้น (INITIAL IDENTIFICATION) เป็นสัญญาณจากสถานีปลายทางที่ถูกเรียกไปยังสถานีต้นทาง

มีรูปแบบเป็น 0000 XXXX มีสัญญาณคือ 0001, 0010, 0100

1.2 คำสั่งให้ส่ง (COMMAND TO SEND) เป็นสัญญาณจากสถานีต้นทางที่ต้องการเป็นฝ่ายรับภาพจากสถานีปลายทางที่สามารถส่งภาพได้

มีรูปแบบเป็น 1000XXXX มีสัญญาณคือ 0001, 0010, 01000

1.3 คำสั่งให้รับ เป็นคำสั่งจากสถานีที่ต้องการจะส่งไปยังสถานีที่ให้รับภาพ

มีรูปแบบเป็น X100XXXX มีสัญญาณคือ DCS, TSI, NSS และสัญญาณตรวจสอบการเทรนนิ่ง (tRAINING CHECK - TCF) ซึ่งเฉพาะ TCF นี้ไม่อยู่ในเฟรมรูปแบบของ HDLC

1.4 สัญญาณตอบสนองก่อนการส่งข่าวสาร (PRE-MESSAGE RESPONSESIGALS) เป็นสัญญาณจากสถานีรับไปยังสถานีส่ง

มีรูปแบบเป็น X010XXXX มีสัญญาณคือ CFR, FTT

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.5 ขบวนการส่งข่าวสาร (IN - MESSAGE PROCEDURE) เป็นสัญญาณภาพจากสถานีส่งไปยังสถานีรับ มีรูปแบบของขบวนการและสัญญาณตาม CCITT RECOMMENDATION T.4

1.6 คำสั่งภายหลังข่าวสาร (POST MESSAGE COMMANDS) เป็นคำสั่งจากสถานีส่งไปยังสถานีรับ

มีรูปแบบสัญญาณคือ X111XXXX มีสัญญาณคือ EOM, MPS, EOP, PRIEOM, PRI-MPS, PRI-EOP

1.7 สัญญาณตอบคำสั่งภายหลังข่าวสาร (POST-MESSAGE RESPONSE) เป็นสัญญาณจากสถานีรับไปยังสถานีส่ง

มีรูปแบบสัญญาณคือ XO11XXXX มีสัญญาณคือ MCF, RTP, RTN, PIP, PIN

1.8 สัญญาณควบคุมอื่น ๆ มีจุดประสงค์เพื่อควบคุมการผิดพลาด และควบคุมสถานะของสายส่ง

มีรูปแบบสัญญาณคือ X101XXXX มีสัญญาณคือ DCN และ CRP

2) FACSIMILE INFORMATION FIELD (FIF) ในหลายกรณีของสัญญาณ FCF จะต้องตามด้วยสัญญาณ 8 บิทอีกหลายชุด ซึ่งปกติจะมีทั้งหมด 24 บิท เพื่อบอกถึงรายละเอียดของขบวนการของ FCF นั้น โดยสัญญาณที่ต้องมี FIF ตามมาได้แก่ DIS, DCS, DTC, CSI, CIG, TSI, NSC, NSF และ NSS

2.1 DIS STANDARD CAPABILITIES เป็นข้อมูลเพิ่มเติมที่จะถูกส่งตามสัญญาณ DIS มาทันที การกำหนดความหมายแต่ละบิทจะถูกกำหนดดังตาราง FIF

2.2 DCS STANDARD COMMAND สำหรับคำสั่งนี้บิทที่ 1,4,9 จะถูกตั้งให้เป็น 0 โดยมีรูปแบบดังตารางเหมือน FIF ของ DIS

2.3 DTC STANDARD COMMAND มีรูปแบบดังตาราง FIF

2.4 CSU CIDUBG มีรูปแบบดังตาราง CSI เป็นข้อมูลที่บอกถึงโทรศัพท์หรือเลขรหัสพื้นที่หรือเลขระบุตำแหน่งใดก็ได้ สามารถส่งได้ถึง 20 ตัว เลขตามตารางโดยที่บิทสุดท้ายของเลขหลักสุดท้ายจะถูกส่งออกไปก่อน

2.5 CIG CODING ลักษณะเดียวกันกับ CSI CODING แต่จะเป็นข้อมูลของสถานีต้นทาง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.6 TSI CODING เป็นข้อมูลของสถานีที่ส่งภาพ อาจนำไปใช้ในการรักษาความปลอดภัยได้ มีรูปแบบเดียวกันกับ CSI CODING

2.7 คุณสมบัติที่ไม่เป็นไปตามมาตรฐาน (NAF, NSC, NSS) เป็น FIF ที่ตามมาทันที่หลังจากมี FCF ประเภทดังกล่าวนี้ จะประกอบไปด้วยชุดข้อมูล 8 บิท เป็นอย่างน้อย 2 ชุด โดยชุดแรกเป็นรหัสประเทศตามหลักมาตรฐาน CCITT และข้อมูลชุดหลังจะอธิบายคุณสมบัติที่ไม่เป็นไปตามมาตรฐานของเครื่อง

3.2.2 รูปแบบของสัญญาณ FCS

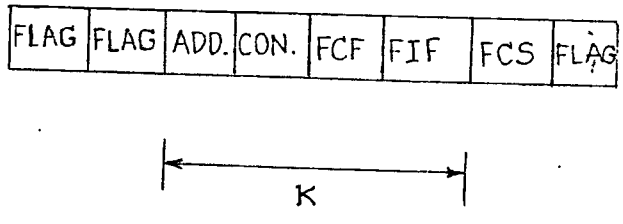
FRAME CHEDKING SEQUENCE (FCS) เป็นข้อมูล 16 บิท ที่ถูกส่งไปเพื่อให้ฝ่ายรับใช้ตรวจสอบความผิดพลาดของข้อมูลที่ได้รับ โดยข้อมูลชุดนี้จะมีความสัมพันธ์กันกับข้อมูลที่อยู่หลังแฟลกเป็นต้นมา จนถึงข้อมูลก่อนหน้า FCS นี้ ทางฝ่ายรับจะนำ FCS มาคำนวณกับข้อมูลที่ได้รับแล้วจะได้ผลออกมาบ่งชี้ว่า ข้อมูลที่รับและส่งได้ มีความผิดพลาดหรือไม่

การตรวจสอบความผิดพลาดในระบบ CRC นี้จะต้องมีสัญญาณตรวจสอบที่เรียกว่า FCS ท้ายข้อมูลจริง (ข้อมูลจะอยู่ในลักษณะกลุ่มหรือบลอดของตัวอักขระ 1 ตัว มีความยาว 8 บิท FCS ก็จะมีความยาก 16 บิท)

FCS จะได้จาก วันคอมพลีเมนท์ (ONE'S COMPLEMENT) ของผลรวมแบบมอดดูโล 2 (MODULO 2) ระหว่าง

1) เศษการหารแบบ มอดดูโล 2 ของ $\frac{X^K(X^{15}+X^{14}+X^{13}+\cdots+X^2+X+1)}{X^{16}+X^{12}+X^5+1}$

โดยที่ K : จำนวนบิทข้อมูลที่ไม่รวมบิทแฟลกและจำนวนบิท FCS

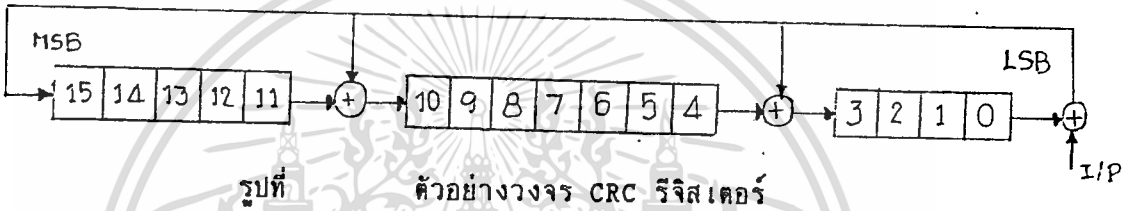


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2) เศษการหารแบบมอดดูโล 2 ของ $\frac{x^{16}\ (\text{ค่าจริงของแต่ละบิตระหว่าง FLAG และ}}{x^{16} + x^{12} + x^{5} + x + 1}$

จากการคำนวณทางคณิตศาสตร์ เราสามารถนำไปออกแบบวงจร CRC รีจิสเตอร์ได้โดยวงจรหลักของระบบนี้ จะใช้รีจิสเตอร์หลาย ๆ ตัวมาต่อเชื่อมกันด้วย EX-OR แต่ละตัว

การต่อรีจิสเตอร์ประเภทนี้เรียกว่า "MULTI-SECTION SHIFT REGISTER" ซึ่งมีลักษณะวงจรดังรูปที่



รูปที่ ตัวอย่างวงจร CRC รีจิสเตอร์

จำนวน EX-OR เกท และตำแหน่งในวงจรขึ้นอยู่กับมาตรฐานของระบบ CRC ที่ถูกกำหนดขึ้น มาตรฐานที่นิยมใช้มีอยู่ 3 แบบคือ CRC - 12, CRC - 16 และ CRC-CCITT ซึ่งในที่นี้เราใช้แบบ CRC-CCITT การทำงานของวงจรนี้ เมื่อเราเป็นฝ่ายส่งจะเริ่มจากเซตค่าในรีจิสเตอร์ทุกตัวให้เป็น 1 และชัพข้อมูลที่เราต้องการส่งตั้งแต่ แอดแครส ฟิลด์จนถึง อินฟอร์เมชั่นฟิลด์เข้าไปทีละบิทจนหมด ค่าสุดท้ายที่ปรากฏอยู่ใน บลอดรีจิสเตอร์มาทำเป็น วันคอมพลีเมนท์และส่งตามอินฟอร์เมชั่น เราจะนำ ฟิลด์ออกไป และในกรณีที่เป็นฝ่ายรับ เราก็จะเซตค่าในรีจิสเตอร์ทุกตัวเป็น 1 เช่นกัน และนำข้อมูลจริงที่รับได้ระหว่างแฟลกเปิด และแฟลกปิด มาชัพเข้าวงจรนี้ทางขาอินพุตทีละบิท จนครบถ้าค่าที่ปรากฏในบลอด รีจิสเตอร์เป็น 0001110100001111 แสดงว่าข้อมูลที่รับได้ถูกต้อง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2.3 ตารางแสดงรายละเอียดของแต่ละบิทของ FIF (สัญญาณตามหลังของ DIS/DTC/DCS)

เลขที่บิท	DIS / DTC	DCS
1 - 8	ทุกบิทเป็น "0"	ทุกบิทเป็น "0"
9	ต้องการส่งเอกสาร	-
10	ต้องการรับเอกสาร	ติดต่อในกลุ่ม 3
11, 12	บอกถึงความเร็วในการรับ	ความเร็วในการส่ง
0, 0	V 27 ter 2400 บิทต่อวินาที	2400 บิทต่อวินาที่ (V27ter)
0, 1	V 27 ter 2400 หรือ 4800 บิทต่อวินาที	4800 บิทต่อวินาที (V27ter)
1, 1	V 29 ter 9600 บิทต่อวินาที V 27 ter 4800 หรือ 2400 บิทต่อวินาที	7200 บิทต่อวินาที (V 29)
13, 14	สำรองไว้สำหรับการพัฒนาระบบ	
15	ความละเอียด 7.7 l/m ในแนวแกนตั้ง	สื่อสารด้วยความละเอียด 7.7 l/m ในแนวตั้ง
16	มีความสามารถในการใช้ MR CODE	การส่งภาพด้วย MR CODE
17, 18	ขนาดใหญ่สุดด้านกว้างของกระดาษที่ใช้รับข้อมูลภาพ	ขนาดใหญ่สุดด้านกว้างของเอกสารที่จะส่ง
0, 0	A 4	A 4
0, 1	A 3	A 3
1, 0	B 4	B 4
19	ขนาดยาวสุดของกระดาษด้านรับเท่ากับ 364 มม.	ขนาดยาวสุดของกระดาษส่งเท่ากับ 364 มม.
20	ขนาดยาวกระดาษไม่จำกัด	ขนาดความยาวกระดาษไม่จำกัด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เลขที่บิท	DIS / DTC	DCS
21, 22, 23	เวลาที่ใช้ในการสแกนภาพทางด้านรับ (ms)	เวลาที่ใช้ในการสแกนภาพทางด้านส่ง (ms)
0 0 0	20 (แบบปกติ), 20 (แบบพิเศษ)	20
0 0 1	40 ("), 40 (")	40
0 1 1	10 ("), 10 (")	10
1 0 0	5 ("), 5 (")	5
0 1 1	10 ("), 5 (")	
1 1 0	20 ("), 10 (")	
1 0 1	40 ("), 20 (")	
1 1 1	0 ("), 0 (")	0
24	ต้องเป็น "1"	ต้องเป็น "1"
25 - 32	ทุกบิทเป็น "0"	ทุกบิทเป็น "0"

หมายเหตุ แต่ละบิทจะถูกเซทเป็น 1 หากใช้ในลักษณะที่เขียนในตาราง และบางบิทจะถูกเซทในรูปแบบตามตารางให้ตรงกับลักษณะที่ใช้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2.4 รูปแบบของรหัส CSI

DIGIT	MSB	BITS	LSB
0	0	011000	0
1	0	011000	1
2	0	011001	0
3	0	011001	1
4	0	011010	0
5	0	011010	1
6	0	011011	0
7	0	011011	1
8	0	011100	0
9	0	011100	1
SPACE	0	010000	0

MSB : MOST SIGNITICANT BIT

LSB : LEAST SIGNITICANT BIT

FB : FILL BIT

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2.5 สัญญาณเทรนนิ่ง (TRAINNING) และ TCF

เป็นสัญญาณที่ถูกส่งมาเพื่อจัดตั้งระบบและทดสอบข้อผิดพลาดของข้อมูลที่ส่งมาไม่เป็นเฟรม ก่อนจะส่งข้อมูลสัญญาณภาพที่ไม่เป็นเฟรมเช่นกัน ออกมาให้สถานีรับ

สัญญาณเทรนนิ่ง จะถูกส่งตามสัญญาณ DCS ด้วยอัตราความเร็วเดียวกันกับความเร็วของสัญญาณ ที่ถูกกำหนดแล้วด้วยสัญญาณ DCS สถานีที่รับภาพจะตั้งอีควอไลเซอร์โดยอัตโนมัติ โดยใช้สัญญาณเทรน แล้วจึงคอยตรวจจับข้อผิดพลาดของสัญญาณ TCF ถ้าการตั้งอีควอไลเซอร์ล้มเหลวหรือตรวจพบความผิดพ ของสัญญาณ TCF สถานีรับภาพจะส่งสัญญาณ FTT ออกไป ถ้าไม่มีข้อผิดพลาดก็จะส่งสัญญาณ CFR ออกไป

สัญญาณ TCF เป็นสัญญาณที่จะใช้เมื่อการรับส่งข้อมูลไม่เป็นรูปแบบเฟรม TCF จะเป็นสัญญาณ "0" เป็นเวลา 1.5 วินาที โดยมีอัตราความเร็วเดียวกันกับสัญญาณเทรนนิ่ง

รูปแบบของสัญญาณ เทรนนิ่ง และ TCF

<table>
<tr><td>ความเร็วโมเด็ม</td><td colspan="6">รูปแบบของสัญญาณ</td></tr>
<tr><td>9600 bps or
7200 bps</td><td>ไม่มีสัญญาณ</td><td colspan="2">สัญญาณไบนารี่ "0" และ "1" สลับกันไป</td><td colspan="2">ข้อมูล"1"ที่เข้ารหัสแล้ว</td><td>TCF</td></tr>
<tr><td rowspan="2">4800 bps or
2d00 bps</td><td colspan="6">253 mSEC</td></tr>
<tr><td>สัญญาณพาหะที่ยังไม่มอดดูเลท</td><td>ไม่มีสัญญาณ</td><td>สัญญาณที่เปลี่ยนเฟส 180องศาอย่างต่อเนื่อง</td><td>สัญญาณเปลี่ยนเฟส 0-180 องศา</td><td>ข้อมูล"1"ที่ที่เข้ารหัสแล้ว</td><td>TCF</td></tr>
<tr><td></td><td colspan="6">923 mSEC : 4800bps
1158 mSEC : 2400bps</td></tr>
</table>

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2.6 รายละเอียดของคำสั่งและผลตอบสนองของแต่ละคำสั่ง

คำสั่ง	ความหมาย	สัญญาณตอบสนอง
(NSF) (CSI) DIS	บอกคุณสมบัติและความสามารถของฝ่ายรับ	(NSC) (CIG) DTC (TSI) DCS (NSF) (CSI) DIS
(NSC) (CIG) DTC	โหมดคำสั่งให้ทำงานจากผู้เรียกคำสั่งนี้จะเป็นคำสั่งแรกในการติดต่อว่าต้องการให้ผู้ถูกเรียกส่งข้อมูลให้	(TSI) DCS (NSF) (CSI) DIS (CRP) (TSI) (NSS)
(TSI) DCS (TSI) (NSS)	โหมดคำสั่งจากฝ่ายส่ง คำสั่งนี้จะตามด้วยสัญญาณ PHASING/TRAINING เป็นคำสั่งว่าผู้เรียกต้องการส่งข้อมูล	CFR FTT (NSC) (CSI) DTC (NSF) (CSI) DIS (CRP)
NPS หรือ EOP หรือ EOM หรือ (PRI-MPS) (PRI-EOP) (PRI-EOM)	คำสั่งสิ้นสุดข้อมูล	MCF RIP RTN PIP PIN (CRP)
DCN	คำสั่งเฟส E ให้ตัดการติดต่อ	ไม่มี

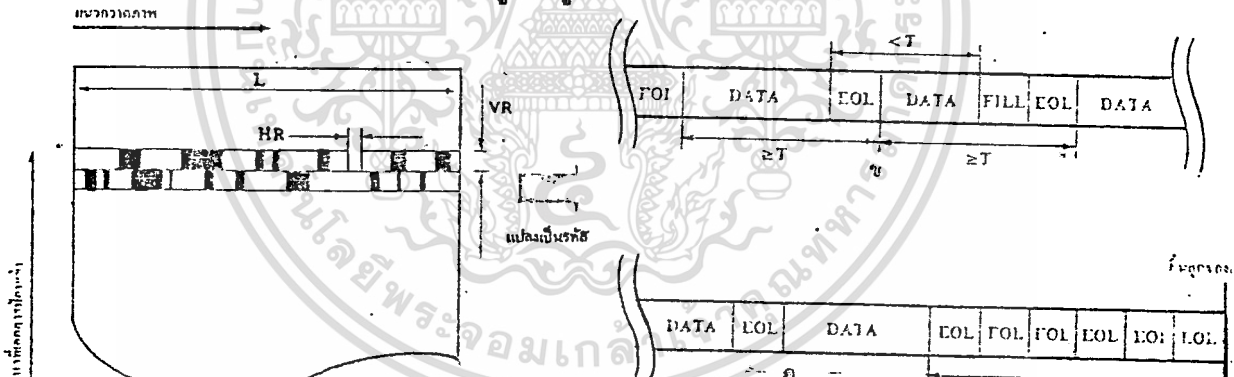
หมายเหตุ ฝ่ายส่ง : ฝ่ายที่ส่งข้อมูล ฝ่ายรับ : ฝ่ายที่รับข้อมูล
ผู้เรียก : ผู้ที่โทรศัพท์ไป ผู้ถูกเรียก : ผู้รับโทรศัพท์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

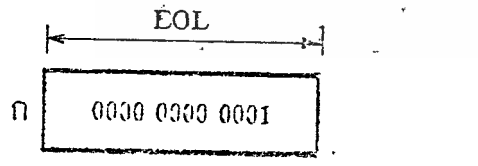
3.3 สัญญาณภาพ

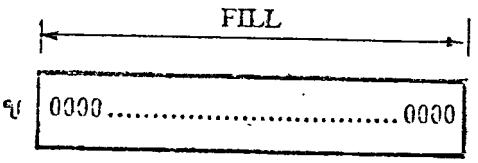
รหัสการส่งข้อมูล เป็นสิ่งจำเป็นขั้นพื้นฐานที่ต้องได้มาตรฐานเดียวกัน เพื่อสามารถใช้ร่วมกันได้ รหัสข้อมูลโทรสารได้มีการปรับปรุง เปลี่ยนแปลงมาหลายยุค ตามมาตรฐานของ CCITT ได้มีกลุ่ม 1 ถึง 4 เรียกว่า G1, G2, G3, และ G4 ใน G1 และ G2 จัดเป็นกลุ่มของ ANALOG FACSIMILE G1 ใช้เวลาในการส่งสาร 4 ถึง 6 นาทีต่อแผ่นขนาดกระดาษ A4 ส่วน G2 ลดเวลาลงเหลือ 2 - 3 นาทีต่อแผ่น สำหรับ G3 และหลังสุดคือ G4 จัดเป็นกลุ่มของ DIGITAL FACSIMILE G3 ใช้เวลาส่งสารไม่เกิน 1 นาทีต่อแผ่นบนสายโทรศัพท์ G4 มีการเปลี่ยนแปลงให้ใช้ได้ทั้งภาพและตัวอักษรปนกันในแผ่นเดียวได้ คือ ใช้ได้ทั้งรหัสของข้อกำหนดใน G3 และหรัสตัวอักษรนอกจากนี้ให้ลดระยะเวลาของการส่งและลดปัญหาความผิดพลาดในการรับข้อมูล

เครื่องโทรสารที่ขายในท้องตลาดปัจจุบัน ส่วนใหญ่ยังอยู่ในมาตรฐาน CCITT G3 และ G2 G2 นับวันจะหมดความสำคัญไป ในที่นี้จึงขอกล่าวเฉพาะ FACSIMILE CODE ของ G3 ประเภท ONE DIMENSION ดังนี้ ดูจากรูปที่ 3.3.1

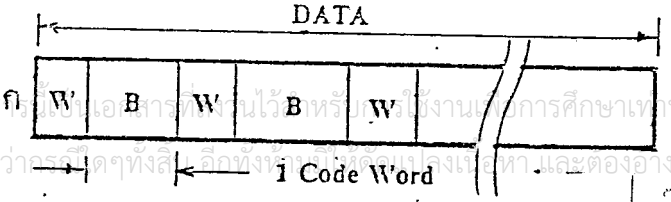


รูปที่ 3.3.1





รูปที่ 3.3.2



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

VR : เป็นความละเอียดของการกวาดภาพตามแนวเอกสารป้อนเข้า มีค่ามาตรฐาน 3.85 เส้นต่อ มม. ± 1% และสำหรับความละเอียดสูง 7.7 เส้นต่อ มม. ± 1%

HR : เป็นความละเอียดไปตามแนวกวาดภาพ มีความละเอียด 8 จุด (PEL) ต่อ มม. โดยค่ามาตรฐาน 1728 PELS (PICTURE ELEMENTS) ต่อความยาว 215 มม. ± 1% หรือ 2048 PELS ต่อ 255 มม. ± 1% หรือ 2432 PELS ต่อ 303 มม. ± 1%

ภาพขาวดำที่กวาดได้ตามแนวนอน ซึ่งมีความ "หนา" VR และความยาว L จะแปลงเป็นรหัสข้อมูลประกอบด้วยรหัสตามรูป 3.3.1 ข.

[DATA] [EOL]

หรือ [DATA] [FILL] [EOL]

T : เป็นค่าต่ำสุดของการส่งผ่านข้อมูล (MINIMUM TRANSMISSION TIME) มีค่ามาตรฐาน 20 msec

รหัส [EOL] บ่งบอกการสิ้นสุดของเส้น มีรหัสเป็น 00000000 0000 00010 หากพบรหัส [EOL] เป็นจำนวน 6 ชุดติดต่อกันก็จะหมายถึงการสิ้นสุดของเอกสาร และกลับคืนสู่โหมดของการควบคุม (RTC = RETURN TO CONTROL) จากรูป 3.3.1 ค.

รหัส [FILL] จะให้รหัส 0 ทั้งหมด โดยจะสอดแทรกอยู่ระหว่างรหัส DATA และ [EOL] เมื่อเวลาของการส่งข้อมูลรวมกันแล้วสั้นกว่า T ตามรูป 3.3.1 ง. และรูป 3.3.2 ข

รหัส [DATA] ซึ่งเป็นเนื้อหาของภาพจะประกอบด้วย CODE WORD ขาว/ดำ สลับกันดังรูป โดยรหัสขาว [W] จะขึ้นต้นก่อนทุกครั้ง หากของจริงในเอกสารแถบภาพดำขึ้นต้นก่อน รหัสความยาวศูนย์ของขาว [W] จะใช้เป็นดำนำหน้า

ใน 1 CODE WORD อาจประกอบด้วยรหัส [TCW] หรือรหัส [MCW] [TCW]

[TCW] (TERMINATING CODE WORD) เป็นรหัสที่ใช้แทนแถบภาพความยาวตั้งแต่ 0-63 PELS

[MCW] (MAKE-UP CODE WOED) เป็นรหัสแทน MULTIPLE ของ 64 เช่น 64, 128, 192,...1728 ตาราง 3.3 แสดงรายละเอียดของรหัส [TCW] และ [MCW] ทั้งของแถบขาวและดำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Terminating codes

White run length	Code word	Black run length	Code word
0	00110101	0	0000110111
1	000111	1	010
2	0111	2	11
3	1000	3	10
4	1011	4	011
5	1100	5	0011
6	1110	6	0010
7	1111	7	00011
8	10011	8	000101
9	10100	9	000100
10	00111	10	0000100
11	01000	11	0000101
12	001000	12	0000111
13	000011	13	00000100
14	110100	14	00000111
15	110101	15	000011000
16	101010	16	0000010111
17	101011	17	0000011000
18	0100111	18	0000001000
19	0001100	19	00001100111
20	0001000	20	00001101000
21	0010111	21	00001101100
22	0000011	22	00000110111
23	0000100	23	00000101000
24	0101000	24	00000010111
25	0101011	25	00000011000
26	0010011	26	000011001010
27	0100100	27	000011001011
28	0011000	28	000011001100
29	00000010	29	000011001101
30	00000011	30	000001101000
31	00011010	31	000001101001
32	00011011	32	000001101010
33	00010010	33	000001101011
34	00010011	34	000011010010
35	00010100	35	000011010011
36	00010101	36	000011010100
37	00010110	37	000011010101
38	00010111	38	000011010110
39	00101000	39	000011010111
40	00101001	40	000001101100
41	00101010	41	000001101101
42	00101011	42	000011011010
43	00101100	43	000011011011
44	00101101	44	000001010100
45	00000100	45	000001010101
46	00000101	46	000001010110
47	00001010	47	000001010111
48	00001011	48	000001100100
49	01010010	49	000001100101
50	01010011	50	000001010010
51	01010100	51	000001010011
52	01010101	52	000000100100
53	00100100	53	000000110111
54	00100101	54	000000111000
55	01011000	55	000000100111
56	01011001	56	000000101000
57	01011010	57	000001011000
58	01011011	58	000001011001
59	01001010	59	000000101011
60	01001011	60	000000101100
61	00110010	61	000001011010
62	00110011	62	000001100110
63	00110100	63	000001100111

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Make-up codes

White run lengths	Code word	Black run lengths	Code word
64	11011	64	0000001111
128	10010	128	000011001000
192	010111	192	000011001001
256	0110111	256	000001011011
320	00110110	320	000000110011
384	00110111	384	000000110100
448	01100100	448	000000110101
512	01100101	512	0000001101100
576	01101000	576	0000001101101
640	01100111	640	0000001001010
704	011001100	704	0000001001011
768	011001101	768	0000001001100
832	011010010	832	0000001001101
896	011010011	896	0000001110010
960	011010100	960	0000001110011
1024	011010101	1024	0000001110100
1088	011010110	1088	0000001110101
1152	011010111	1152	0000001110110
1216	011011000	1216	0000001110111
1280	011011001	1280	0000001010010
1344	011011010	1344	0000001010011
1408	011011011	1408	0000001010100
1472	010011000	1472	0000001010101
1536	010011001	1536	0000001011010
1600	010011010	1600	0000001011011
1664	011000	1664	0000001100100
1728	010011011	1728	0000001100101
EOL	000000000001	EOL	000000000001

Note — It is recognized that machines exist which accommodate larger paper widths whilst maintaining the standard horizontal resolution. This option has been provided for by the addition of the Make-up code set defined as follows:

Run length (black and white)	Make-up codes
1792	00000001000
1856	00000001100
1920	00000001101
1984	000000010010
2048	000000010011
2112	000000010100
2176	000000010101
2240	000000010110
2304	000000010111
2368	000000011100
2432	000000011101
2496	000000011110
2560	000000011111

ตารางที่ 3.3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตัวอย่าง จากการกวาดภาพได้เส้นภาพเส้นหนึ่งเริ่มด้วยเส้นดำ ติดตามด้วยเส้นขาวสลับเส้นดำ จนถึงสิ้นสุดของภาพเส้นนั้น ความยาวเป็น 66, 135,... PELS ตามลำดับ

รหัส [DATA] ของภาพเส้นนี้จะเป็นดังนี้

BLOCK ที่ 1 เป็นเส้นขาวความยาว = 0 รหัสเป็น 0011 0101

BLOCK ที่ 2 เป็นเส้นดำความยาว = 66 หรือ = 64+2

รหัสเป็น 0000 0011 11 11

[MCW] [TCW]

BLOCK ที่ 3 เป็นเส้นขาวความยาว = 135 หรือ = 128+7

รหัสเป็น 10010 1111

[MCW] [TCW]

BLOCK ต่อ ๆ ไป หาได้ในทำนองเดียวกัน

นอกจากการแปลงรหัสของภาพใน ONE DIMENSION แล้วใน G3 ยังมีการแปลงรหัสแบบ TWO DIMENSIONS รายละเอียดติดตามได้ในเอกสารของ CCITT STANDARDIZATION OF GROUP 3FACSIMILE APPARATRS FOR DOCUMENT TRANSMISSIO

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.4 คุณสมบัติทั่วไปของเครื่องโทรสาร กลุ่ม 3

เวลาที่ใช้ส่ง	1 นาที/หน้า สำหรับเอกสารขนาด A 4 (ความละเอียด เส้น/มม. และส่งด้วยอัตราความเร็ว 4800บิท/วินาที)
ความละเอียด	3.85 เส้น/มม. และ 7.7 เส้น/มม. ความยาวบรรทัด 215 มม. 225 มม. หรือ 303 มม. โดยมีจุดภาพ 8 จุด /มม.
การกวาดภาพ	แต่ละจุดภาพ (ขาว/ดำ) จะถูกเปลี่ยนเป็นเลข 0/1 (สำหรับสีเทาจะเปลี่ยนเป็นชุดข้อมูลแทน)
การส่งสัญญาณ	ส่งเป็นชุดข้อมูล 8 บิท ทั้งสัญญาณควบคุมและบอกคุณลักษณะ โดยใช้ฟรีเควนซี มอดดูเลท (FREQUENCY MODULATE) ตาม CCITT V.21 ด้วยความเร็ว 300 บิท/วินาที หรือใช้เฟส มอดดูเลท (PHASSE MODULATE) ตาม CCITT V.27 ter ด้วยความเร็ว 2400 บิท/วินาที ซึ่งในงานชิ้นนี้จะใช้ตาม CCITT V.21
การส่งข้อมูลภาพ	มีการเข้ารหัสภาพและมอดดูเลทสัญญาณโดยใช้วิธีแอมปลิจูด เฟส มอดดูเลท (AMPLITUDE/PHASE DIFFERENCE MODULATE) ซึ่งงานชิ้นนี้จะใช้ตาม CCITT V.27 ter
การเข้ารหัสข้อมูลภาพ	1) หนึ่งมิติ (ONE DIMENTIONAL) : MH = MODIFIED HUFFMANN CODE เป็นการส่งข้อมูลภาพโดยเป็นรหัสบ่งบอกความยาวของจุดขาวและดำต่อเนื่องกันไปของแต่ละบรรทัด 2) สองมิติ (TWO DIMENTIONAL) : MR = MODIFIED READ CODE จะบอกถึงการเปลี่ยนแปลงของจุดภาพโดยมีบรรทัดก่อนนี้เป็นเส้นอ้างอิง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การมอดดูเลท

1) ฟรีเควนซี มอดดูเลชั่น สำหรับการแฮนด์เชค (HAND SHAKE) สัญญาณควบคุม ด้วยความเร็ว 300 บิท/วินาที ตาม CCITT V.21 CHANNEL 2 โดยความถี่ 1650 HZ "1" , 1850 HZ "0"

2) เฟส ดิฟเฟอร์เรนซ์ มอดดูเลชั่น ด้วยความเร็ว 2400 บิท/วินาที ตาม CCITT V. 27 ter มีอัตราบอด (BAUD) 1200 บอด โดยเฟสของสัญญาณพาหะ (1800 HZ) จะเปลี่ยนไปเป็นจำนวนทวีคูณของ 90 องศา ขึ้นอยู่กับข้อมูลครั้งละ 2 บิท

ค่าของไดบิท (DIBIT)		การเปลี่ยนเฟส (องศา)
0	0	0
0	1	90
1	1	180
1	0	270

3) เฟส ดิฟเฟอร์เรนซ์ มอดดูเลชั่น ด้วยความเร็ว 4800 บิท/วินาที ตาม CCITT V. 27 ter มีอัตราบอด 1600 บอด โดยเฟสของสัญญาณพาหะ (1800 HZ) จะเปลี่ยนไปเป็นจำนวนทวีคูณของ 45 องศา ขึ้นอยู่กับข้อมูลชุด 3 บิท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

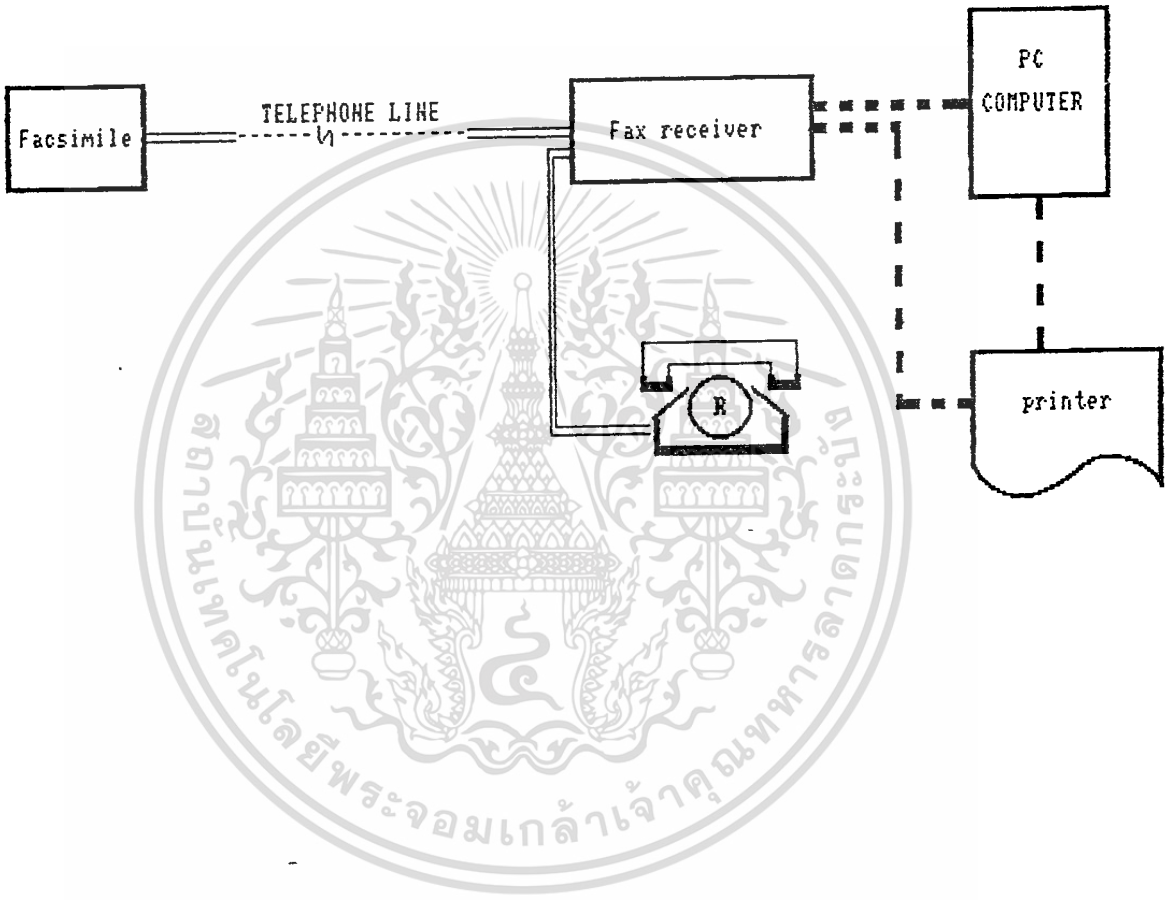
ค่าของไตรบิท (TRIBIT)			การเปลี่ยนเฟส (องศา)
0	0	1	0
0	0	0	45
0	1	0	90
0	1	1	135
1	1	1	180
1	1	0	225
1	0	0	270
1	0	1	315

4) แอมปริจูด/เฟส ดิฟเฟอร์เรนซ์ มอดดูเลชั่น ด้วยความเร็ว 7200 บิท/วินาที หรือ 9600 บิท/วินาที โดยเปลี่ยนเฟสและแอมปริจูดของความถี่ของสัญญาณพาหะ 1700 HZ ตามข้อมูลที่ส่งหรือรับ ตาม CCITT V.29 ในงานชิ้นนี้จะใช้การมอดดูเลทของโมเด็มตาม CCITT V.21 และ V.27 ter

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

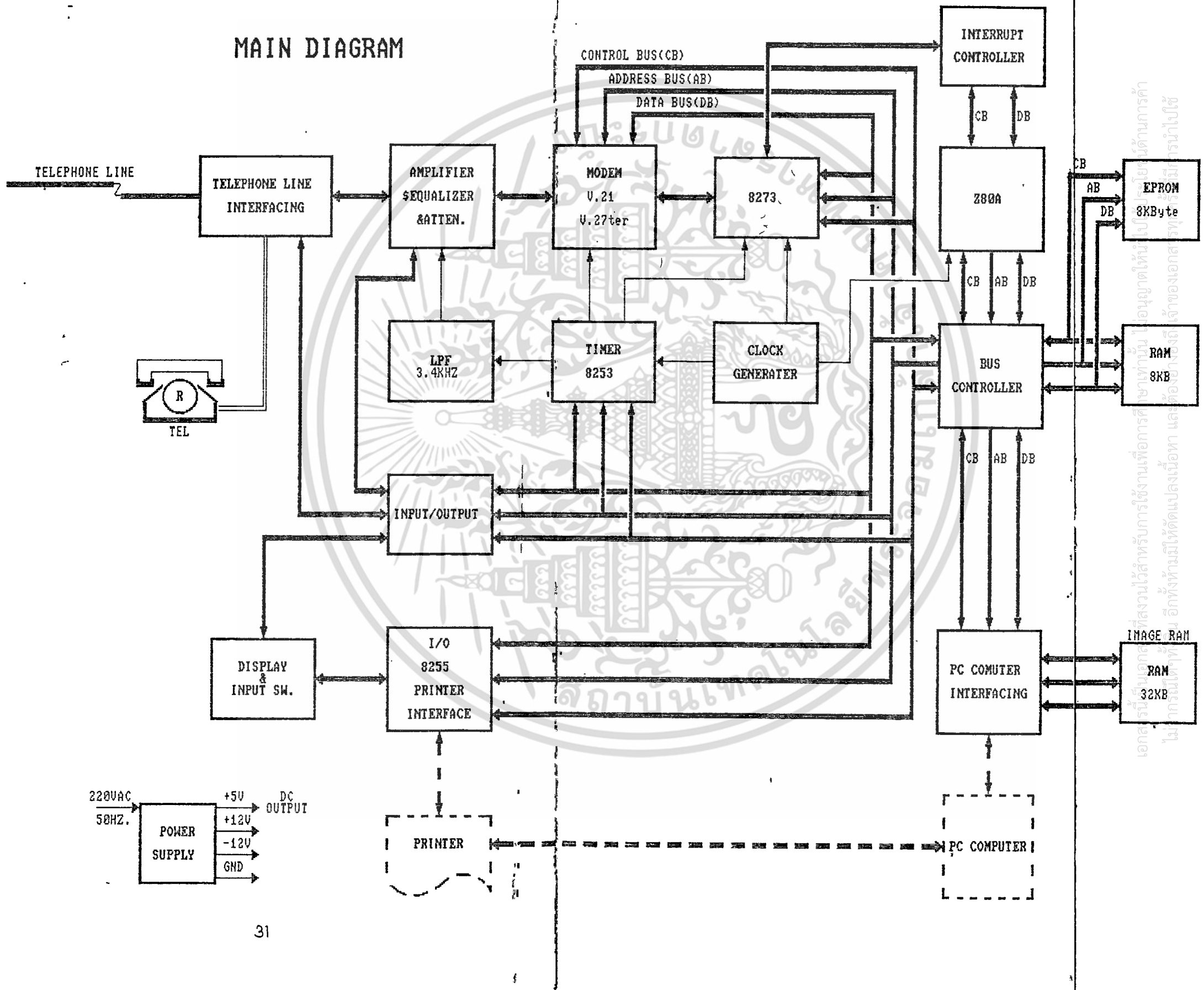
4. หลักการของเครื่องรับโทรสาร

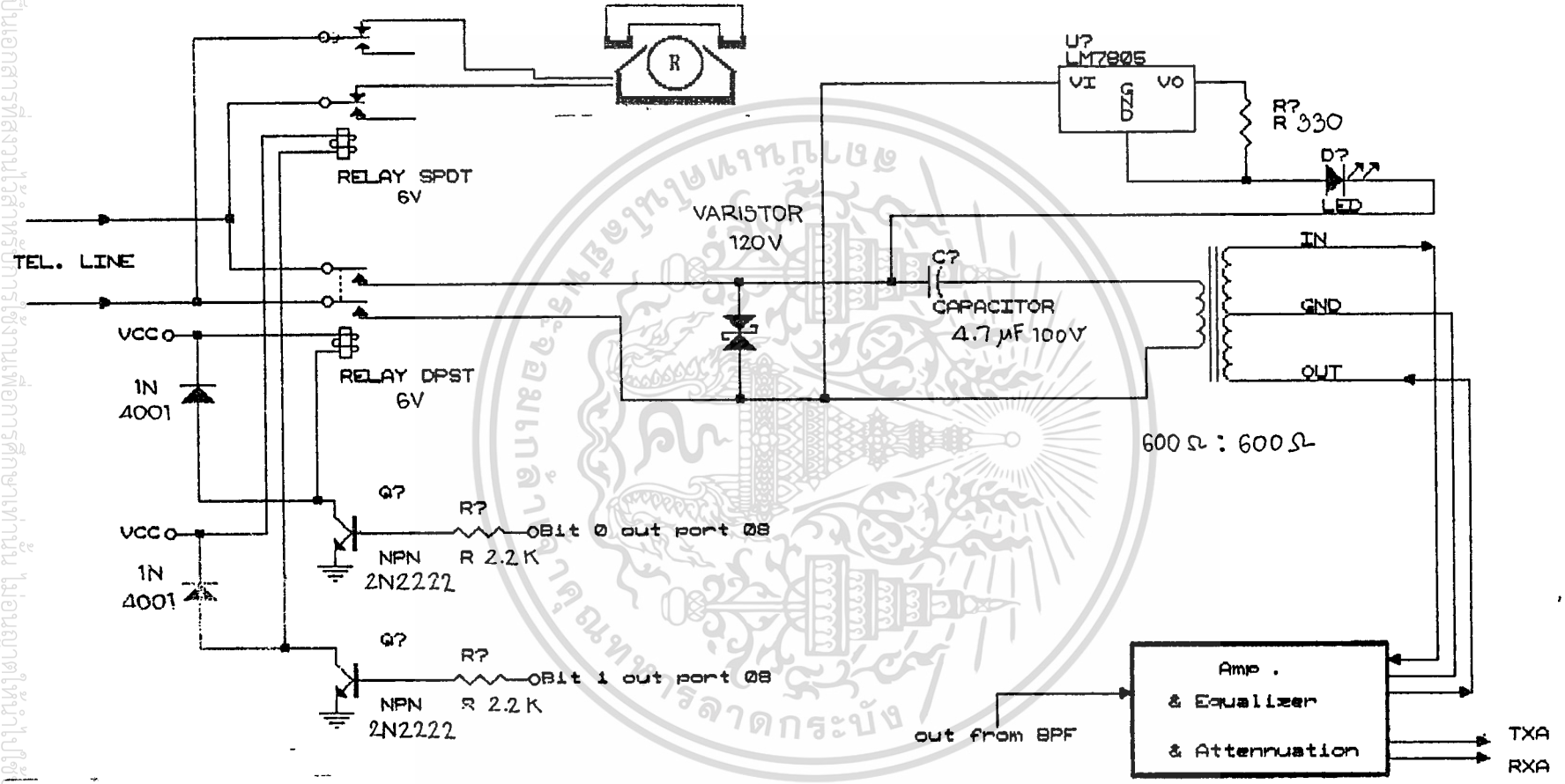
เครื่องรับโทรสารที่สร้างขึ้นนี้ ประกอบด้วยระบบไมโครโปรเซสเซอร์ สามารถทำงานรับโทรสารได้อย่างเอกเทศ ไม่ต้องใช้คอมพิวเตอร์ เมื่อต้องการประมวลผลก็สามารถต่อคอมพิวเตอร์หรือเครื่องพิมพ์เข้ากับระบบในภายหลังได้ โดยมีลักษณะการใช้งานดังรูป



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.1 แผนผังวงจร



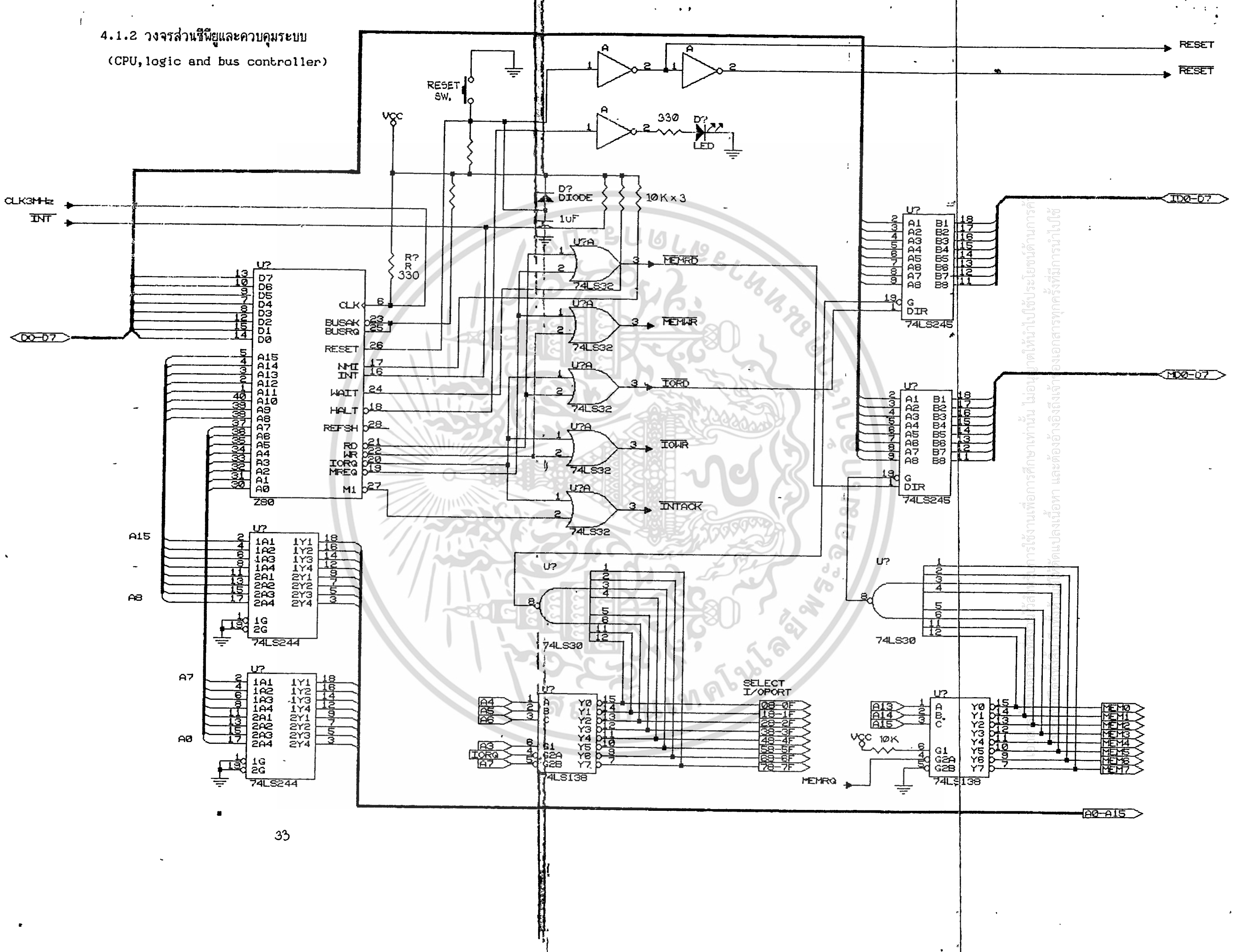


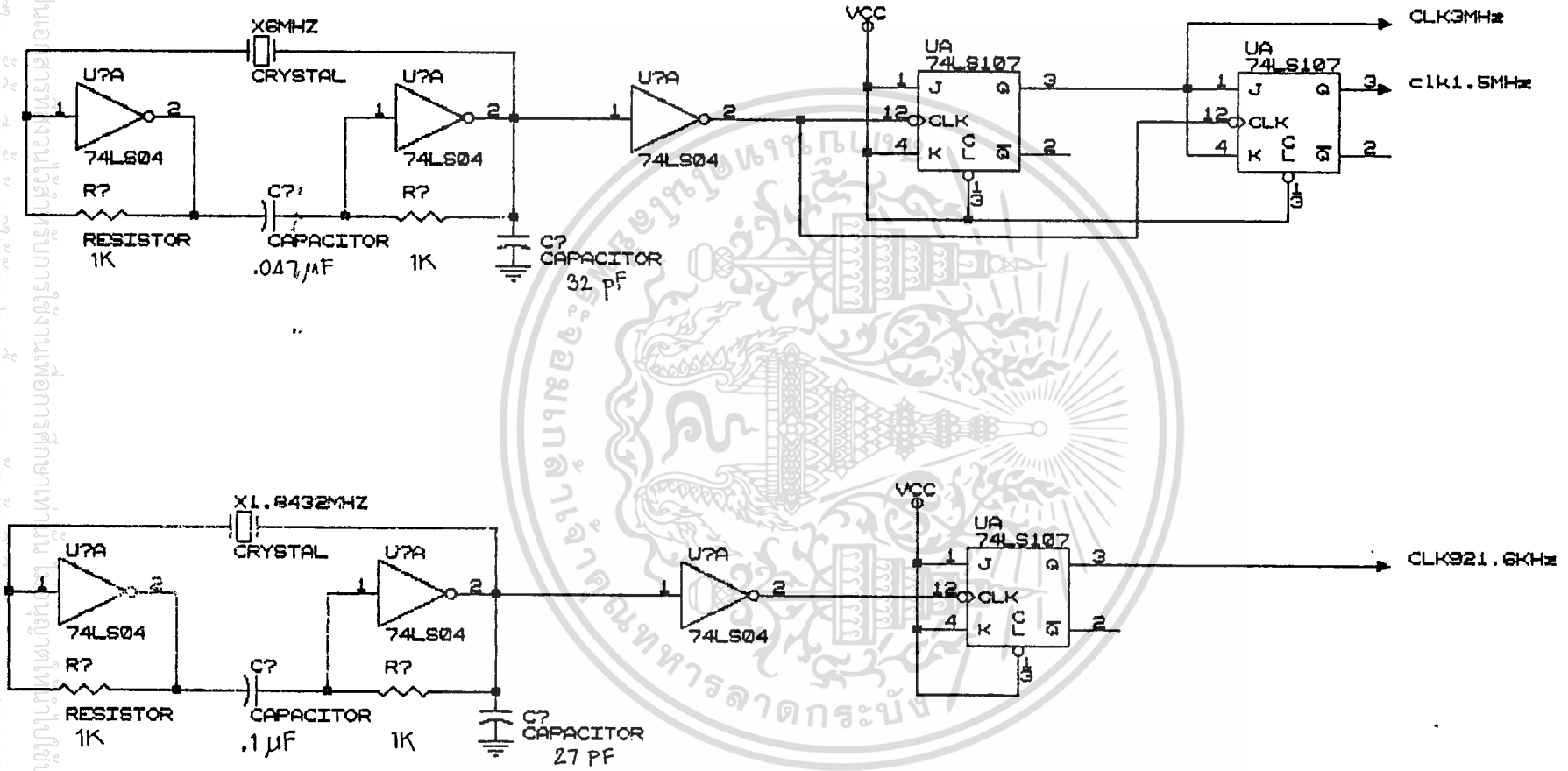
4.1.1 วงจรส่วนเชื่อมต่อกับสายโทรศัพท์

(TELEPHONE LINE INTERFACING)

4.1.2 วงจรส่วนซีพียูและควบคุมระบบ

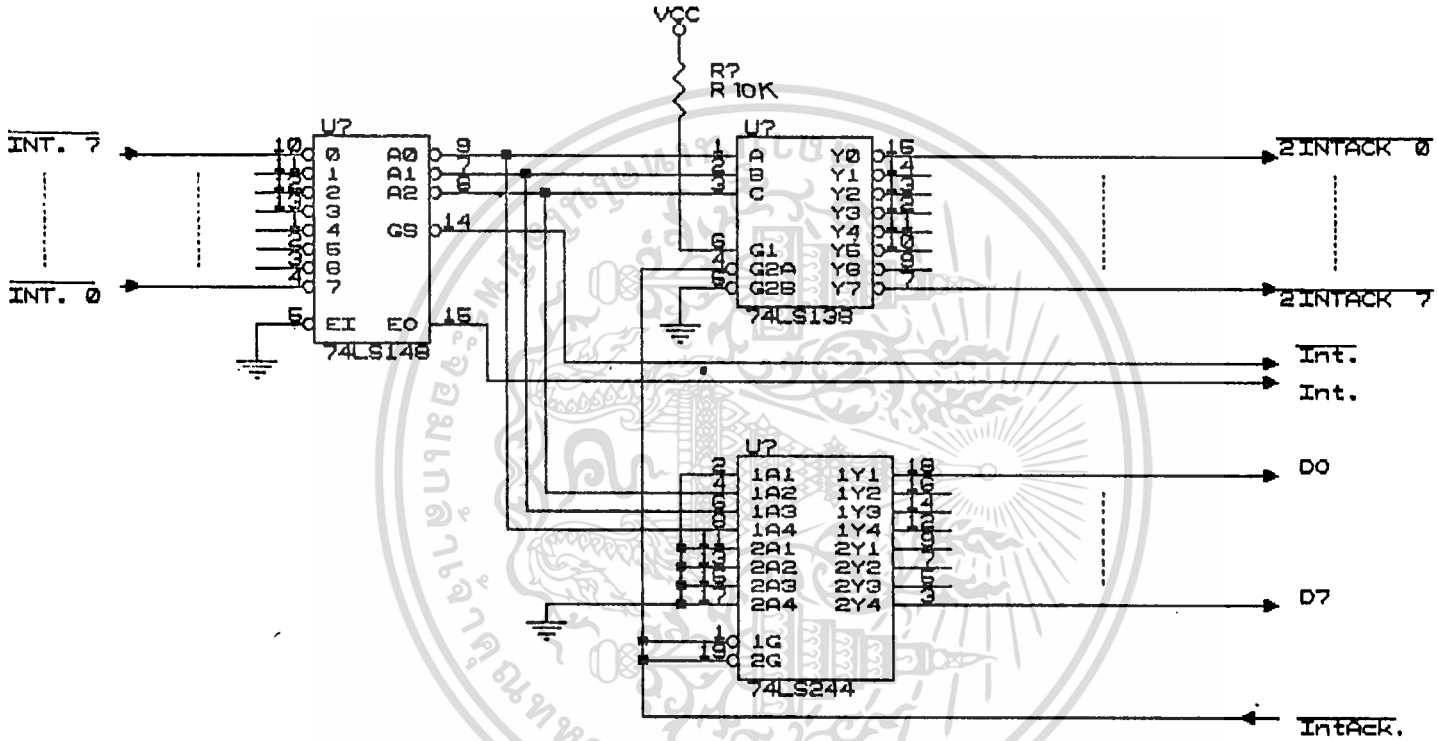
(CPU, logic and bus controller)





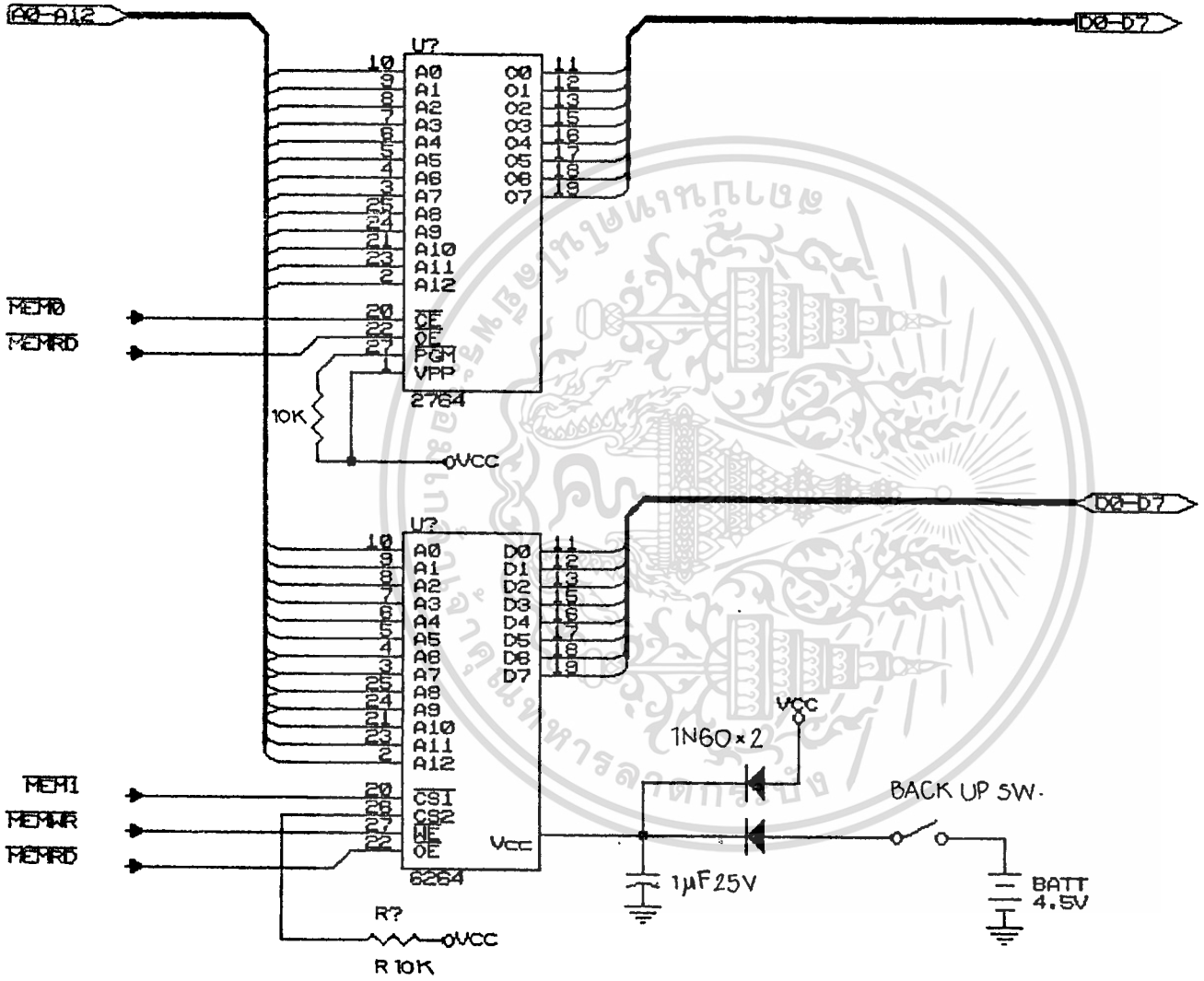
4.1.3 วงจรส่วนกำเนิดสัญญาณนาฬิกา

(CLOCK GENERATION CCT.)

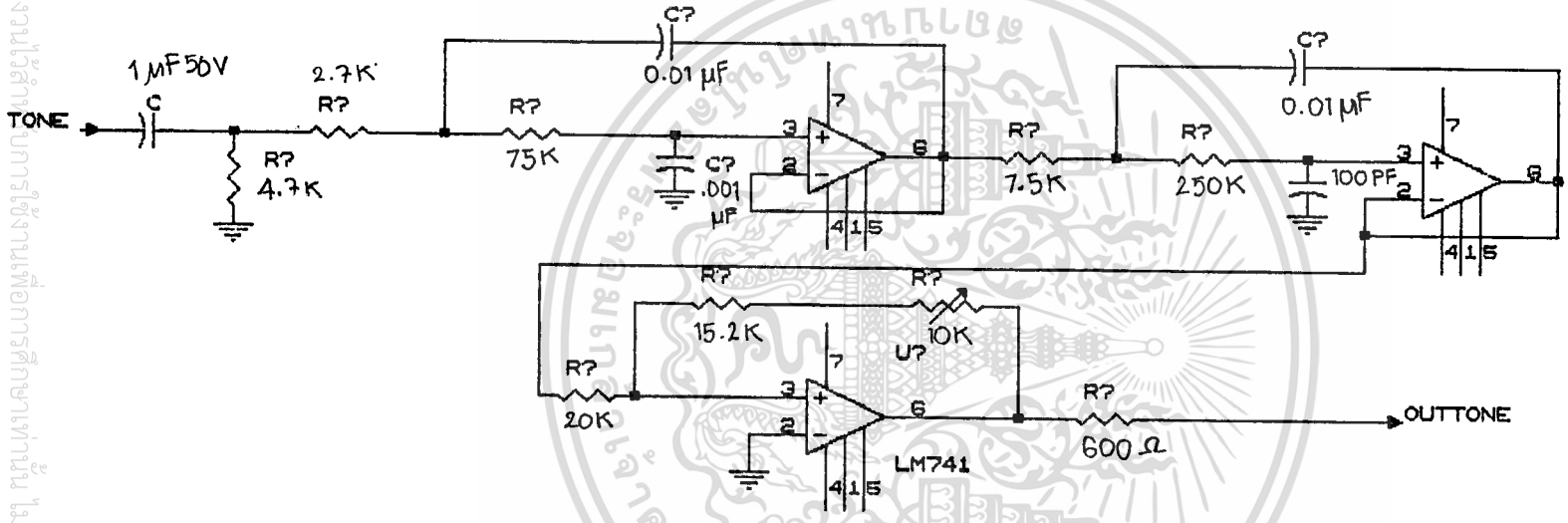


4.1.4 วงจรส่วนควบคุมการอินเทอร์รัพท์

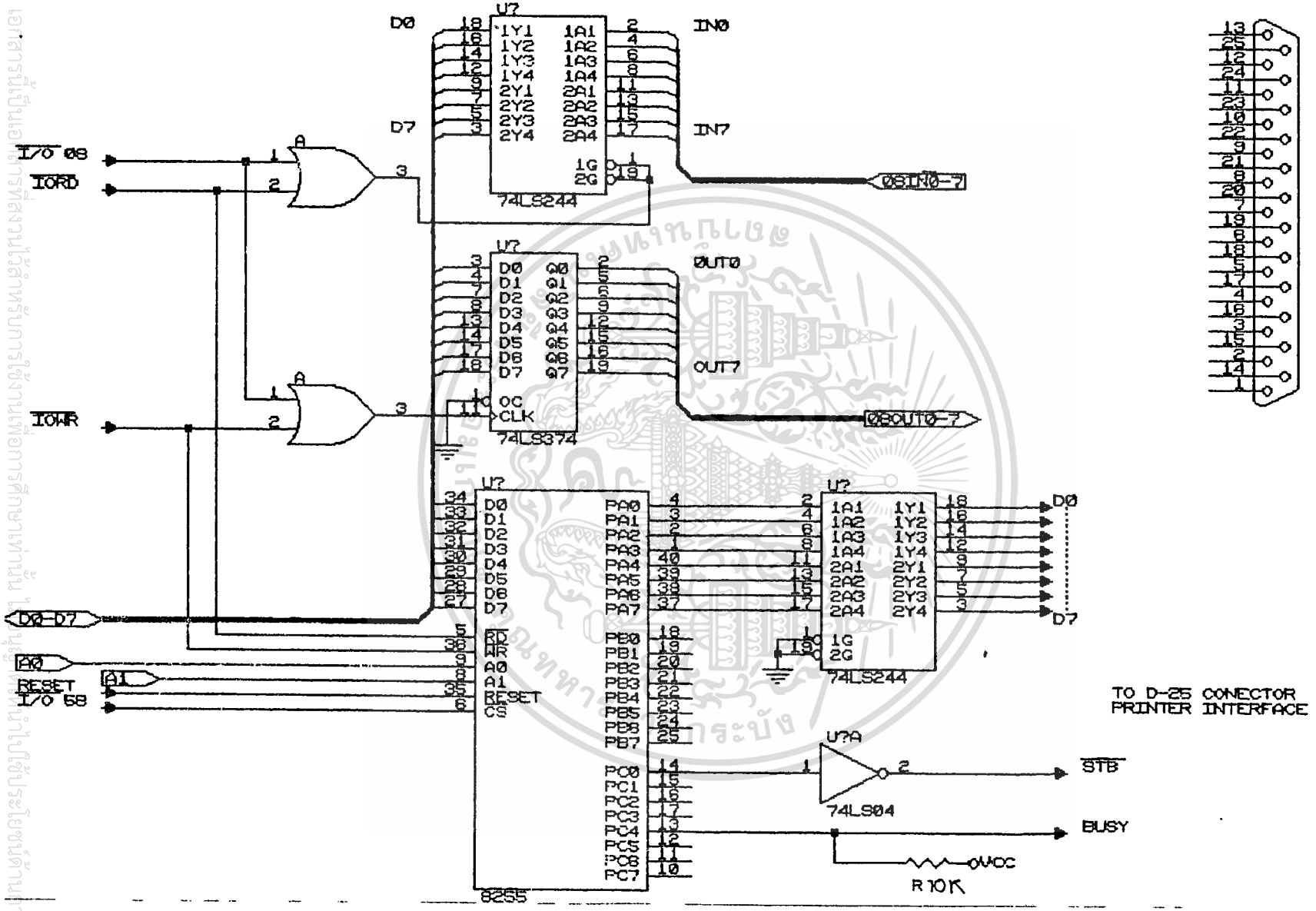
(INTERRUPT CONTROLLER)



4.1.5 วงจรส่วนหน่วยความจำ (MEMORY CCT.)

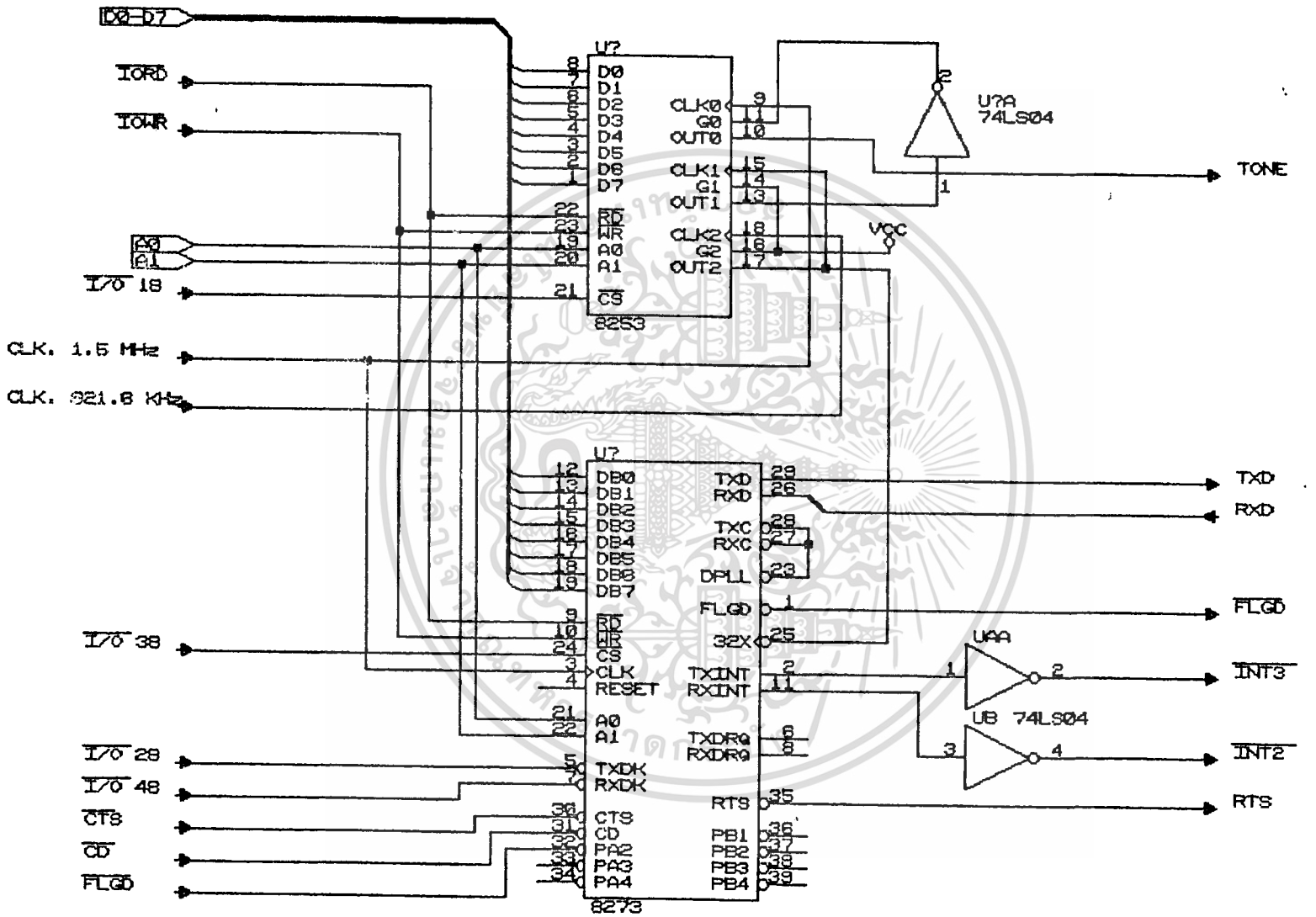


4.1.6 วงจรกรองสัญญาณความถี่ต่ำ (LOW PASS FILTER)

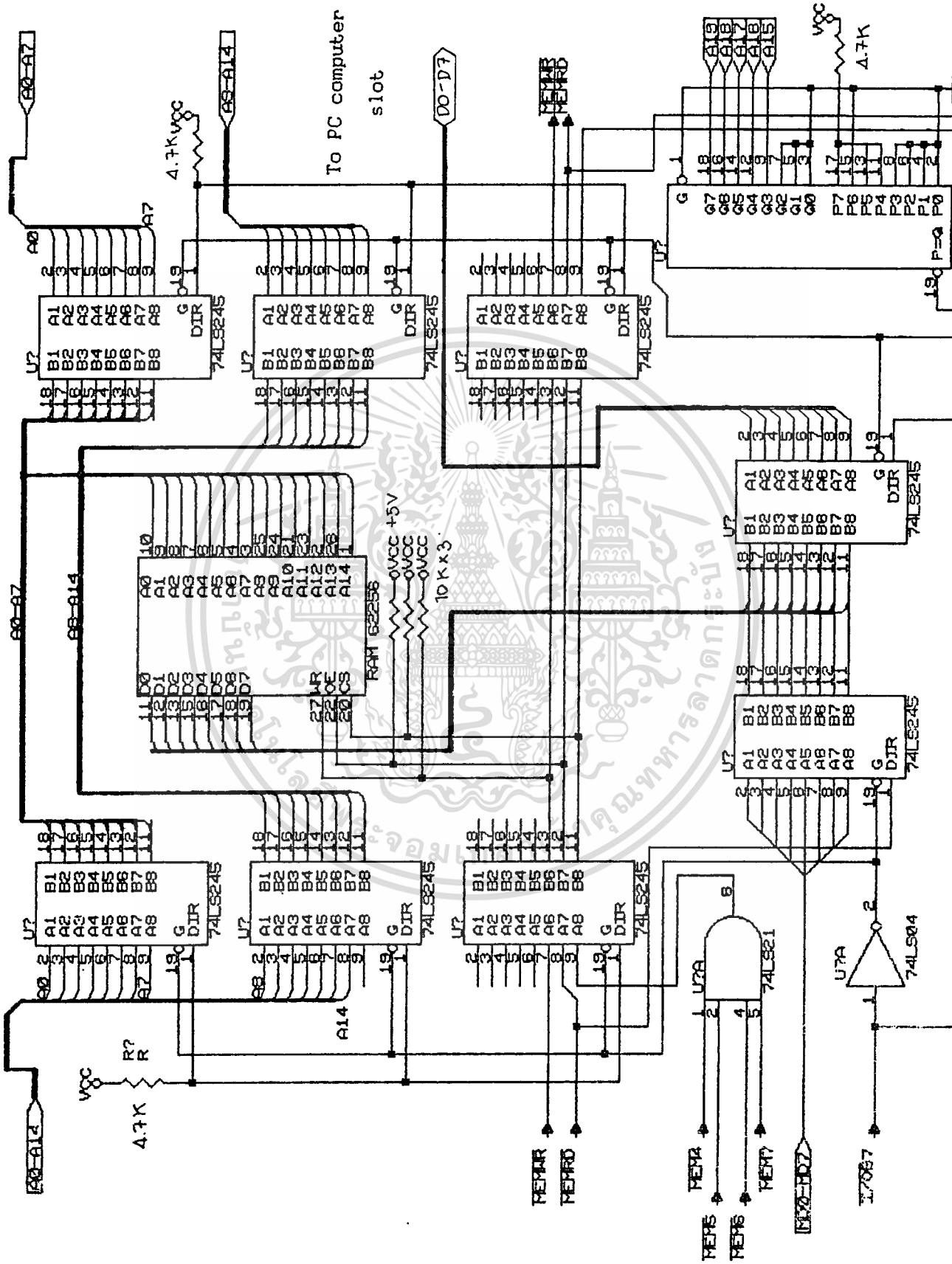


4.1.7 วงจรส่วนอินพุทและเอาพุท และส่วนเชื่อมต่อกับปริ้นเตอร์

(I/O, 8255 AND PRINTER INTERFACING)

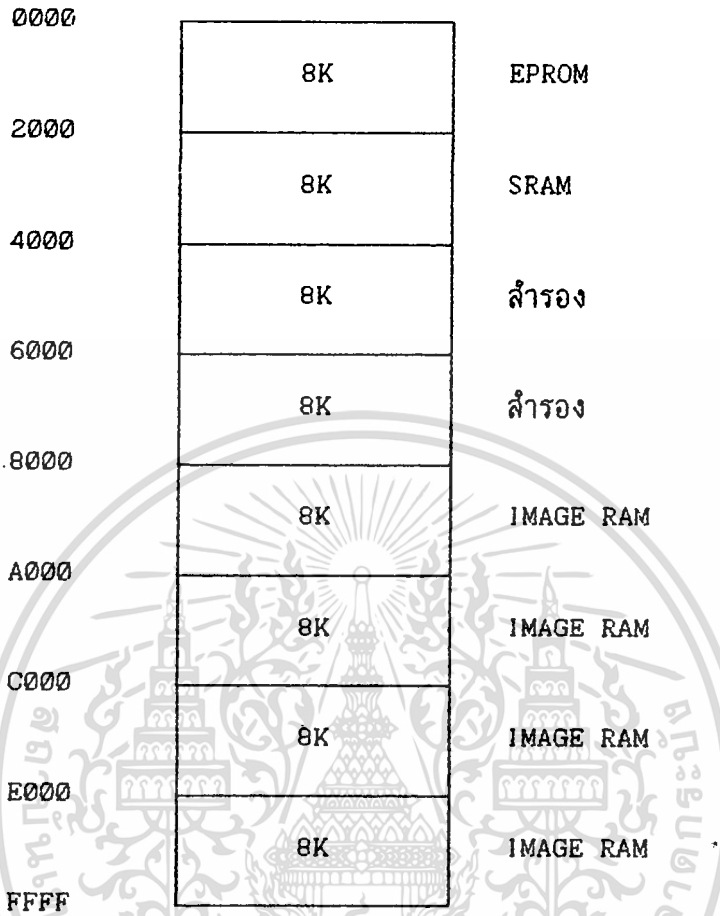


4.1.8 วงจรส่วน 8253 และ 8273



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MEMORY ADD. MAP



FIRST STACK POINTER - ADD. 3FFF

FINAL STACK POINTER - ADD. 3F00

I/O ADD. MAP

เลขที่พอร์ท	การใช้งาน
08-0F	I/O
18-1F	8253
28-2F	ส่งข้อมูล
38-3F	ควบคุมการทำงาน 8273
48-4F	รับข้อมูล
58-5F	8255
68-6F	สำรอง
78-7F	สำรอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

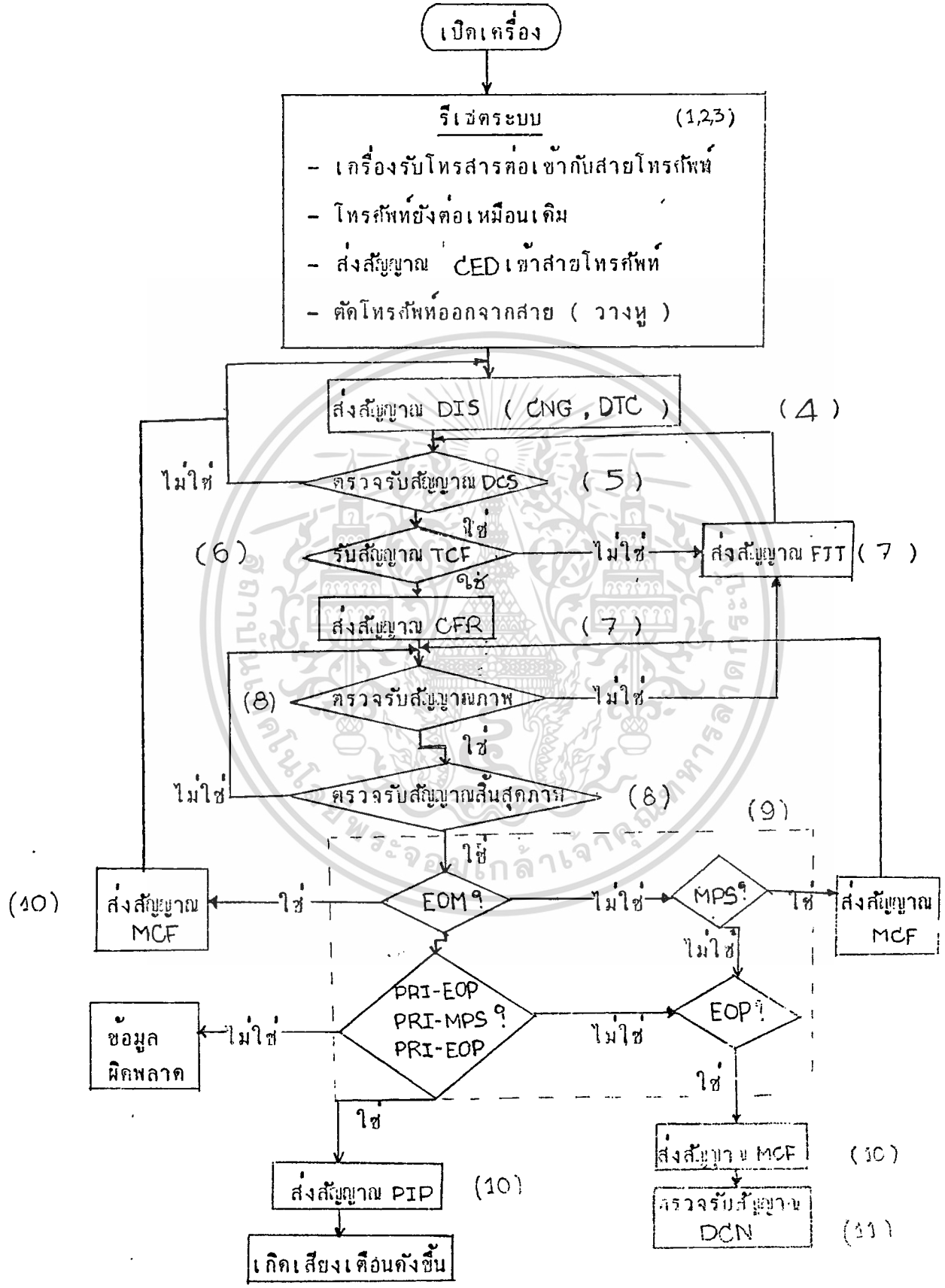
INTERUPT LIST

INTERUPT MODE 2

INT #	INTERUPT VECTER LOW BYTE
0	00
1	02
2	04
3	06
4	08
5	0A
6	0C
7	0E

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MAIN FLOWCHART



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2 ลำดับการทำงานของเครื่องรับโทรสาร

1) เปิดเครื่อง (POWER ON)

- โทรศัพท์จะถูกต่อเข้ากับสายโทรศัพท์อยู่ก่อนแล้วไม่ว่าเครื่องจะ ON หรือ OFF : S 1 ON (NORMAL CLOSE)
- เครื่องรับโทรสารจะยังไม่ถูกต่อเข้ากับสายโทรศัพท์ แต่ระบบจะถูกจ่ายไฟพร้อมที่จะทำการรับ : S 2 OFF (NORMAL OPEN)

2) เริ่มรับ (START)

- เครื่องรับโทรสารจะถูกต่อเข้ากับสายโทรศัพท์ : S 2 ON
- โทรศัพท์ยังถูกต่ออยู่กับสายโทรศัพท์ : S 1 ON
- ส่งสัญญาณ CED เข้าสายโทรศัพท์ : Z - 80 เรียกใช้ 8253 ให้สร้างสัญญาณ CED ส่งผ่านเข้าวงจรแบนพาส ฟิลเตอร์ และวงจรขยาย/ลดทอนไปยังสายโทรศัพท์ โดยมีทรานสฟอร์เมอร์ เป็นตัวคัปปลิ้ง

3) หลังจากส่งสัญญาณ CED แล้ว ไม่ว่าสถานีรับนี้จะวางหูโทรศัพท์หรือไม่ เครื่องรับโทรสารนี้จะตัดโทรศัพท์ออกจากสาย จนกว่าการรับจะเสร็จสิ้นขบวนการ ; S 1 OFF, S 2 ON

4) ส่งสัญญาณ DIS เพื่อบอกคุณลักษณะของฝ่ายรับ : Z - 80 จะควบคุมอัตราการส่งข้อมูลของโมเด็ม และ 8273 ให้เป็น 300 บิท/วินาที จากนั้นส่งสัญญาณDIS โดยเข้าสู่โปรแกรม TFRAME ที่จะทำการส่ง DIS ในโปรโตคอล HDLC

5) ตรวจรับสัญญาณ DCS ซึ่งเป็นการบอกคุณลักษณะของเครื่องฝ่ายส่งในรูปแบบเดียวกับสัญญาณ DIS เพื่อให้ทราบถึงรูปแบบการส่งว่าสอดคล้องกับรูปแบบการรับหรือไม่ : Z - 80 จะเปลี่ยนโหมดโมเด็มและ 8273 จากส่งเป็นรับในอัตราเดียวกันกับข้อมูลที่ส่งมา (300 บิท/วินาที) และจะนำข้อมูลที่รับได้เข้าสู่โปรแกรมเพื่อถอดโปรโตคอล HDLC ออกมาให้ได้ข้อมูลที่ส่งมาใน HDLC นั้นและจะเซทโหมดการรับตามคุณลักษณะที่บ่งบอกมาตาม FIF ของ DCS

6) ตรวจรับสัญญาณเทรนนิ่งและ TCF เพื่อทดสอบสายโทรศัพท์ให้ทราบว่าการส่ง มีข้อผิดพลาดหรือไม่: Z - 80 จะเปลี่ยนโหมดโมเด็มและ 8273 ให้รับในอัตราเดียวกันกับข้อมูลที่ส่งมา คือ 2400 บิท/วินาที หรือ 4800 บิท/วินาที ตามข้อมูล FIF ของ DCS และทำการตรวจสอบสัญญาณที่รับได้ว่ามีข้อผิดพลาดหรือไม่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

7) ส่งสัญญาณ CFR หรือ FTT ในกรณีที่พร้อมที่จะรับสัญญาณภาพแล้ว จะส่งสัญญาณ CFR ออกไป แต่ถ้าสัญญาณจากข้อ 6 เกิดผิดพลาดจะส่งสัญญาณ TCF ออกไปแทน ; ระบบจะเปลี่ยนโหมดเป็นการส่งอัตรา 300 บิท/วินาที และส่งสัญญาณตอบรับไปตามความเหมาะสมในรูปแบบโปรโตคอล HDLC

8) ขั้นตอนการรับสัญญาณภาพ

8.1 ในกรณีที่ส่ง FTT ตอบไป จะทำการตรวจรับสัญญาณคำสั่งซึ่งก็คือ DCS อีกเพื่อส่งสัญญาณเทรนนิ่งและ TCF อีกครั้ง โดยจำกัดจำนวนครั้งไว้ ก่อนจะตัดสายออก เนื่องจากไม่สามารถรับได้ตามกำหนด : ระบบจะเปลี่ยนเป็นโหมดรับข้อมูล

8.2 ในกรณีที่ส่ง CFR ตอบไป จะทำการตรวจสอบสัญญาณพาหะ (ภายในเวลาจำกัด) ซึ่งจะมีมาพร้อมกับสัญญาณเทรนนิ่ง ตามด้วยสัญญาณภาพโดยระบบจะตรวจรับสัญญาณภาพนี้เก็บไว้ในหน่วยความจำโดยใช้โปรแกรม RIMG ที่จะทำการหาสัญญาณสิ้นสุดภาพไปด้วย เพื่อกลับสู่การรับสัญญาณควบคุมที่ใช้อัตรารับข้อมูลต่ำต่อไป : ระบบจะเปลี่ยนเป็นโหมดรับข้อมูลความเร็วสูง ตามสัญญาณที่รับได้ และเมื่อหมดสัญญาณภาพก็จะรับข้อมูลในอัตราความเร็วต่ำตาม V.21 ต่อไป

9) ตรวจรับสัญญาณควบคุมที่เป็นจำพวก POST MESSAGE COMMAND เพื่อส่งสัญญาณตอบรับที่เหมาะสมกลับไป : ระบบตรวจรับข้อมูลนำมาเปรียบเทียบกับตารางในหน่วยความจำรอม (ROM) เพื่อเลือกผลตอบสนองสัญญาณที่เหมาะสม

10) ส่งสัญญาณตอบรับกลับไปตามที่เหมาะสมของขั้นตอนของกระบวนการ : ระบบเลือกส่งข้อมูลจากตารางในรอมไปในรูปแบบ HDLC ด้วย ความเร็ว V.21

11) ระบบจะตรวจรับสัญญาณและส่งสัญญาณตอบ ตามสถานะภาพของกระบวนการตามโปรแกรมตามแต่ละกรณีไป จึงส่งสัญญาณ DCN เพื่อยกเลิกสายออก ; ระบบจะอยู่ในโหมดรับหรือส่งข้อมูล ในอัตรารับ ส่ง ข้อมูลเดียวกับอีกสถานีหนึ่งสัญญาณควบคุมที่ส่งออกไปนั้น ต้องถูกตอบรับมาด้วยสัญญาณที่เหมาะสมดังตาราง ถ้าสัญญาณที่ตอบรับมาไม่เหมาะสม หรือไม่มีสัญญาณตอบรับกลับมาภายใน 3 วินาที + 15% สัญญาณคำสั่งควบคุมจะถูกส่งออกไปอีก รวมเป็นทั้งหมด 3 ครั้ง หลังจากนั้นสถานีส่งจะเปลี่ยนเป็นส่งสัญญาณ DCN ออกมาเพื่อยกเลิกสายสัญญาณ ควบคุม หรือ สัญญาณตอบสนองที่ไม่สนใจดังต่อไปนี้ :

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1 เฟรมใด ๆ ก็ตามที่มีความผิดพลาดที่ FCS

2 เฟรมใด ๆ ที่ใช้เวลาเกิน 3 วินาที + 15%

3 เฟรมสุดท้ายที่คอนโทรลฟิลด์ บิทที่ 5 ไม่ถูกเซทให้เป็น "1"

4 เฟรมสุดท้ายไม่ได้เป็นไปตามมาตรฐานของสัญญาณคำสั่งหรือสัญญาณตอบสนอง

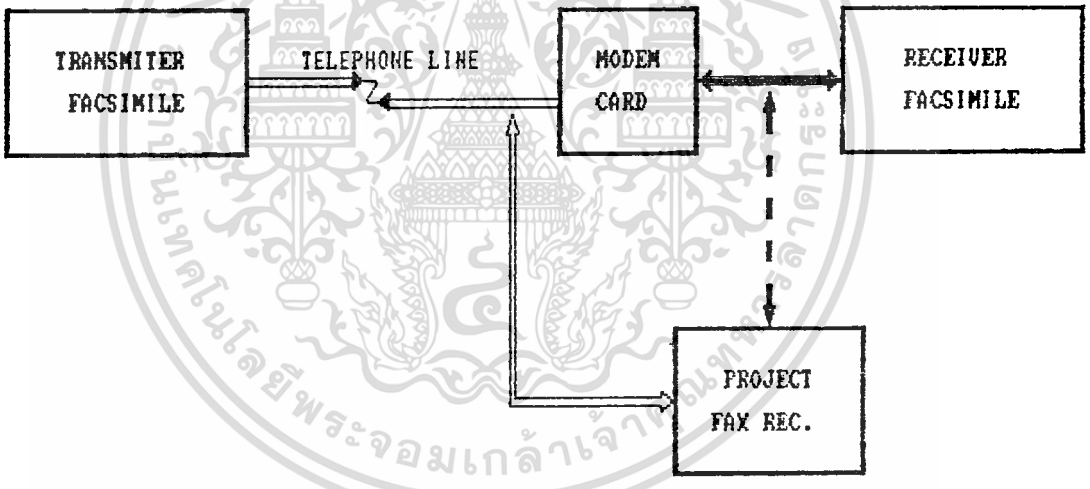
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5 สรุปผล

5.1 การทดลองกับ FAX

เนื่องจากระบบขาดอุปกรณ์สำคัญที่สุดคือ MODEM V.21 และ V.27ter แม้ว่าโมเดม V.21 อยู่ในความสามารถที่จะสร้างได้ แต่ความเชื่อถือได้อาจจะต่ำเกินไป และไม่ตรงจุดประสงค์ของชิ้นงาน ผู้จัดทำจึงพยายามใช้ R96F โมเดมการ์ดที่นิยมใช้กันในเครื่องโทรสารและแฟกซ์การ์ดของหลายยี่ห้อ โดยพยายามติดต่อขอข้อมูลและทดลองใช้งานเอง แต่ไม่ประสบผลสำเร็จ เพราะการทำงานซับซ้อนเกินกว่าจะทำได้ในระยะเวลาอันสั้น

ดังนั้นในการทดสอบจึงทดลองส่งและรับข้อมูลโดยไม่ผ่านโมเดม โดยการดึงข้อมูลออกและส่งข้อมูลเข้าที่จุดต่อของส่วนโมเดมกับเครื่องโทรสาร ดังรูป



เมื่อทำการทดลอง FAX REC. สามารถรับส่งสัญญาณควบคุมกับเครื่องโทรสารได้จนถึงช่วงบริเวณสัญญาณเทรนนิ่งซึ่งส่วน MODEM จะใช้ไว้ปรับอีควอไลเซอร์ภายในตัว FAX REC. จะรับข้อมูลที่ไม่รู้จักเก็บมา แก้ไขโดยไม่สนใจข้อมูลบริเวณนี้ และปล่อยให้เป็นหน้าที่ของ MODEM เอง แล้วคอยรับสัญญาณภาพต่อไปเลย

สัญญาณภาพที่ได้รับมายังไม่สามารถแสดงผลออกเครื่องพิมพ์ได้อย่างถูกต้อง สันนิษฐานว่า

1) ข้อมูลภาพที่ได้รับผิดพลาดไปบ้าง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2) โปรแกรมแกะรหัสยังไม่สามารถควบคุมส่วนที่ผิดพลาดนั้นให้เป็นโซนความผิดพลาดของแต่ละเส้นสแกนได้

การแสดงผลออกทางจอภาพ ยังไม่มีซอฟท์แวร์สนับสนุนส่วนนี้ แต่ได้นำข้อมูลภาพให้ PC อ่านได้ที่หน่วยความจำแอดเดรส A0000-A7FFF ที่เป็นส่วนที่ไม่ได้ใช้งานใด ๆ อย่างไรก็ตามการแสดงผลออกทางจอภาพ จะมีปัญหาคือ ความละเอียดของพิกเซลล์บนจอภาพจะน้อยกว่าที่มาจาก FAX แก้ไขโดยใช้จอความละเอียดสูงสุดเท่าที่จะทำได้ และอาจใช้การย่อภาพลดลงมาหรือทำเป็นการสแกนดูภาพทีละส่วน

เครื่องพิมพ์ที่ใช้เป็นแบบดอทเมตริกซ์ มีความละเอียดไม่เพียงพอที่จะแสดงภาพในคุณสมบัติเดียวกับเครื่องโทรสารทั่วไปที่ใช้กระดาษความร้อน โดยเฉพาะในแนวตั้ง เครื่องพิมพ์แบบเลเซอร์จะเหมาะสมมากกว่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.2 สรุปผล

ระบบนี้ถูกออกแบบมาเพื่อให้ยืดหยุ่นได้มาก สามารถตรวจสอบและทำงานร่วมกับชิงเกิ้ลบอร์ดได้ง่าย เพราะมีระบบบัสที่สามารถถูกควบคุมและกำหนดการทำงานตามต้องการได้ การต่อฮาร์ดแวร์เพิ่มเติมสามารถเพิ่มและแก้ไขได้ง่าย เพื่อสะดวกต่อการพัฒนาในอนาคต

ความสามารถพื้นฐานของระบบขณะนี้คือ

1) สามารถตัดต่อโทรศัพท์เข้ากับสายโทรศัพท์ได้ดังต้องการ

2) ส่งโทนเสียงทุกความถี่ตามต้องการ ในย่านใช้งานกับสายโทรศัพท์ไปตามสายโทรศัพท์ได้

3) สามารถส่งสัญญาณรับส่งข้อมูลแบบอนุกรมได้ ทั้งในแบบ HDLC โปรโตคอล หรือ SDLC โปรโตคอล ทั้งเป็นข้อมูลแบบ NRZ หรือ NRZI ในอัตราถึง 10 Kbps (ตามสเปคได้ถึง 64 Kbps)

4) สามารถควบคุมโมเดมได้ทั้งแบบภายนอกและภายใน ขึ้นอยู่กับซอฟท์แวร์

5) มีส่วนเชื่อมต่อระบบกับ PC คอมพิวเตอร์. ทำให้สามารถเชื่อมโยงข้อมูลและใช้หน่วยความจำร่วมกันได้ ทั้งสามารถขยายหน่วยความจำร่วมนี้ได้ 64 Kb

6) สามารถเชื่อมต่อกับเครื่องพิมพ์ ส่งข้อมูลไปพิมพ์ที่เครื่องพิมพ์ได้ และสามารถใช้งานเป็น printer spooler ได้ โดยการเพิ่มซอร์ฟแวร์ส่วนนี้เข้าไป

การขยายความสามารถของระบบต่อไปได้ คือ

1) เมื่อมีโมเดมที่ใช้งานกับแฟกซ์ได้ (V21 และ V27 ter หรือ V29) ก็จะสามารถติดต่อกับแฟกซ์เครื่องอื่น ๆ โดยผ่านสายโทรศัพท์ได้

2) การพัฒนาโปรแกรมบนชิงเกิ้ลบอร์ดให้สามารถส่งข้อมูลภาพ

3) การพัฒนาส่วนแสดงผลและอินพุทให้สะดวกในการใช้งาน

4) การพัฒนาส่วนโทรศัพท์ โดยเพิ่มเติมหน้าที่ของโทรศัพท์อัตโนมัติเข้าไป

ทั้งนี้การวิจัยและพัฒนาควรแยกเป็นส่วนย่อย เพื่อกระจายงานออกให้การพัฒนาเป็นไปโดยเร็ว

งานชิ้นนี้มีจุดประสงค์เพื่อศึกษาด้านการสื่อสารข้อมูลโดยเน้นในด้านการสื่อสารข้อมูลภาพของเครื่องโทรสาร ซึ่งต้องใช้ความรู้ ความเข้าใจเกี่ยวกับการทำงานของโทรศัพท์, โมเดมและการสื่อสารข้อมูลแบบอนุกรม การทำงานของระบบไมโครโปรเซสเซอร์, คอมพิวเตอร์, เครื่องพิมพ์และการสื่อสารข้อมูลแบบขนาน, โปรโตคอลของการสื่อสาร, การเข้ารหัสของสัญญาณภาพและการถอดรหัส ร่วมกันทั้งหมดจึงนับว่ายังประโยชน์แก่ผู้จัดทำเป็นอย่างยิ่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเอกสารนี้ทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ปริญญานิพนธ์นี้สำเร็จลุล่วงไปตามจุดประสงค์ได้ด้วยดีโดยความช่วยเหลือและร่วมมือของหลายฝ่าย ทางผู้จัดทำต้องขอขอบพระคุณ อ.พลผดุง ผดุงกุล อาจารย์ที่ปรึกษา และดร.รัตติกร วรากูลศิรินันธุ์ ไว้ ณ ที่นี้เป็นอย่างสูงที่ให้ข้อแนะนำ คำปรึกษาและความช่วยเหลือในทุกๆด้าน รวมทั้งอาจารย์ท่านอื่นๆ พี่ๆ และเพื่อนๆที่สละเวลาช่วยเหลือให้ข้อมูล, จัดพิมพ์ปริญญานิพนธ์และให้กำลังใจจนปริญญานิพนธ์นี้เสร็จสมบูรณ์

ทางผู้จัดทำขอมอบคุณความดีทั้งหมดให้แด่ บิดา มารดา ครูและอาจารย์ผู้มีพระคุณด้วยความรักและเคารพอย่างสูง

คณะผู้จัดทำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

8273, 8273-4
PROGRAMMABLE HDLC/SDLC PROTOCOL CONTROLLER

- CCITT X.25 Compatible
- HDLC/SDLC Compatible
- Full Duplex, Half Duplex, or Loop SDLC Operation
- Up to 64K Baud Synchronous Transfers (56K Baud with 8273-4)
- Automatic FCS (CRC) Generation and Checking
- Up to 9.6K Baud with On-Board Phase Locked Loop
- Programmable NRZI Encode/Decode
- Two User Programmable Modem Control Ports
- Digital Phase Locked Loop Clock Recovery
- Minimum CPU Overhead
- Fully Compatible with 8048/8080/8085/8088/8086/80188/80186 CPUs
- Single +5V Supply

The Intel® 8273 Programmable HDLC/SDLC Protocol Controller is a dedicated device designed to support the ISO/CCITT's HDLC and IBM's SDLC communication line protocols. It is fully compatible with Intel's new high performance microcomputer systems such as the MCS1 88/186™. A frame level command set is achieved by a unique microprogrammed dual processor chip architecture. The processing capability supported by the 8273 relieves the system CPU of the low level real-time tasks normally associated with controllers.

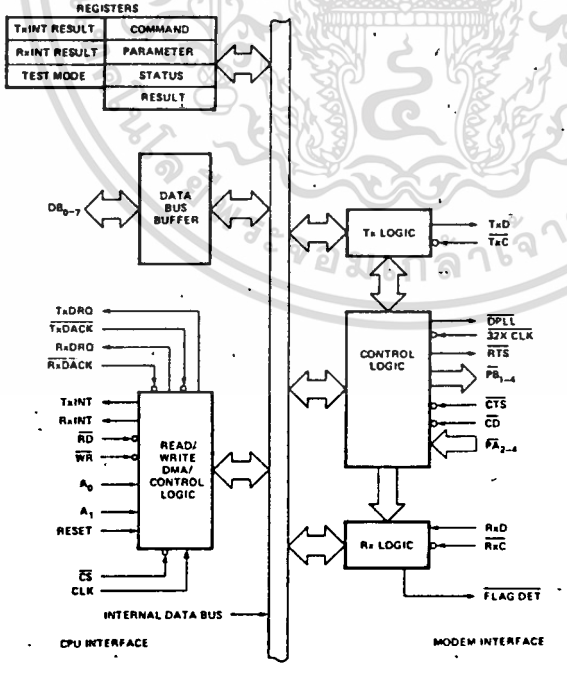


Figure 1. Block Diagram

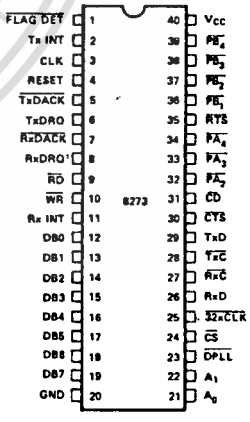


Figure 2. Pin Configuration

Intel Corporation Assumes No Responsibility for the Use of Any Circuitry Other Than Circuitry Embodied in an Intel Product. No Other Circuit Patent Licenses are Implied.
© INTEL CORPORATION, 1982

NOVEMBER 1983
ORDER NUMBER: 210479-002

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

A BRIEF DESCRIPTION OF HDLC/SDLC PROTOCOLS

General

The High Level Data Link Control (HDLC) is a standard communication link protocol established by International Standards Organization (ISO). HDLC is the discipline used to implement ISO X.25 packet switching systems.

The Synchronous Data Link Control (SDLC) is an IBM communication link protocol used to implement the System Network Architecture (SNA). Both the protocols are bit oriented, code independent, and ideal for full duplex communication. Some common applications include terminal to terminal, terminal to CPU, CPU to CPU, satellite communication, packet switching and other high speed data links. In systems which require expensive cabling and interconnect hardware, any of the two protocols could be used to simplify interfacing (by going serial), thereby reducing interconnect hardware costs. Since both the protocols are speed independent, reducing interconnect hardware could become an important application.

Network

In both the HDLC and SDLC line protocols, according to a pre-assigned hierarchy, a PRIMARY (Control) STATION controls the overall network (data link) and issues commands to the SECONDARY (Slave) STATIONS. The latter comply with instructions and respond by sending appropriate RESPONSES. Whenever a transmitting station must end transmission prematurely it sends an ABORT character. Upon detecting an abort character, a receiving station ignores the transmission block called a FRAME. Time fill between frames can be accomplished by transmitting either continuous frame preambles called FLAGS or an abort character. A time fill within a frame is not permitted. Whenever a station receives a string of more that fifteen consecutive ones, the station goes into an IDLE state.

Frames

A single communication element is called a FRAME which can be used for both Link Control and data transfer purposes. The elements of a frame are the beginning eight bit FLAG (F) consisting of one zero, six ones, and a zero, an eight bit ADDRESS FIELD (A), an eight bit CONTROL FIELD (C), a variable (N-bit) INFORMATION FIELD (I), a sixteen bit FRAME CHECK SEQUENCE (FCS), and an eight bit end FLAG (F), having the same bit pattern as the beginning flag. In HDLC the Address (A) and Control (C) bytes are extendable. The HDLC and the SDLC use three types of frames; an Information Frame is used to transfer data, a Supervisory Frame is used for control purposes, and a Non-sequenced Frame is used for initialization and control of the secondary stations.

Frame Characteristics

An important characteristic of a frame is that its contents are made code transparent by use of a zero bit insertion and deletion technique. Thus, the user can adopt any format or code suitable for his system — it may even be a computer word length or a "memory dump". The frame is bit oriented that is, bits, not characters in each field, have specific meanings. The Frame Check Sequence (FCS) is an error detection scheme similar to the Cyclic Redundancy Checkword (CRC) widely used in magnetic disk storage devices. The Command and Response information frames contain sequence numbers in the control fields identifying the sent and received frames. The sequence numbers are used in Error Recovery Procedures (ERP) and as implicit acknowledgement of frame communication, enhancing the true full-duplex nature of the HDLC/SDLC protocols.

In contrast, BISYNC is basically half-duplex (two way alternate) because of necessity to transmit immediate acknowledgement frames. HDLC/SDLC therefore saves propagation delay times and have a potential of twice the throughput rate of BISYNC.

It is possible to use HDLC or SDLC over half duplex lines but there is a corresponding loss in throughput because both are primarily designed for full-duplex communication. As in any synchronous system, the bit rate is determined by the clock bits supplied by the modem, protocols themselves are speed independent.

A byproduct of the use of zero-bit insertion-deletion technique is the non-return-to-zero invert (NRZI) data transmission/reception compatibility. The latter allows HDLC/SDLC protocols to be used with asynchronous data communication hardware in which the clocks are derived from the NRZI encoded data.

References

IBM Synchronous Data Link Control General Information, IBM, GA27-3093-1.

Standard Network Access Protocol Specification, DATAPAC, Trans-Canada Telephone System CCG111

Recommendation X.25, ISO/CCITT March 2, 1976.

IBM 3650 Retail Store System Loop Interface OEM Information, IBM, GA 27-3098-0

Guidebook to Data Communications, Training Manual, Hewlett-Packard 5955-1715

IBM Introduction to Teleprocessing, IBM, GC 20-8095-02

System Network Architecture, Technical Overview, IBM, GA 27-3102

System Network Architecture Format and Protocol, IBM GA 27-3112

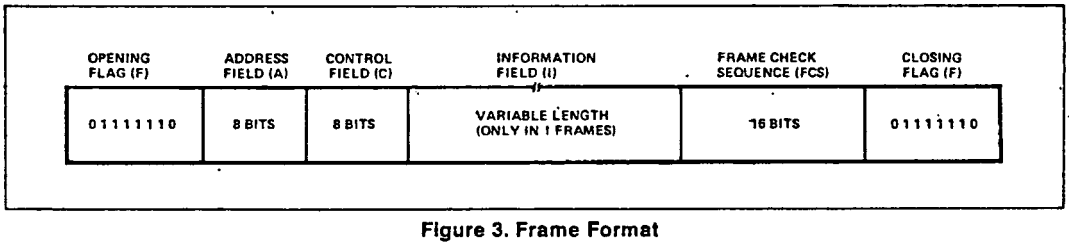


Figure 3. Frame Format

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Table 1. Pin Description

Symbol	Pin No.	Type	Name and Function
V_{CC}	40		**Power Supply:** +5V Supply.
GND	20		**Ground:** Ground.
RESET	4	I	**Reset:** A high signal on this pin will force the 8273 to an idle state. The 8273 will remain idle until a command is issued by the CPU. The modem interface output signals are forced high. Reset must be true for a minimum of 10 TCY.
$\overline{CS}$	24	I	**Chip Select:** The RD and WR inputs are enabled by the chip select input.
DB_7-DB_0	19-12	I/O	**Data Bus:** The Data Bus lines are bi-directional three-state lines which interface with the system Data Bus.
$\overline{WR}$	10	I	**Write Input:** The Write signal is used to control the transfer of either a command or data from CPU to the 8273.
$\overline{RD}$	9	I	**Read Input:** The Read signal is used to control the transfer of either a data byte or a status word from the 8273 to the CPU.
TxINT	2	O	**Transmitter Interrupt:** The Transmitter interrupt signal indicates that the transmitter logic requires service.
RxINT	11	O	**Receiver Interrupt:** The Receiver interrupt signal indicates that the Receiver logic requires service.
TxDRQ	6	O	**Transmitter Data Request:** Requests a transfer of data between memory and the 8273 for a transmit operation.
RxRDQ	8	O	**Receiver DMA Request:** Requests a transfer of data between the 8273 and memory for a receive operation.
$\overline{TxDACK}$	5	I	**Transmitter DMA Acknowledge:** The Transmitter DMA acknowledge signal notifies the 8273 that the TxDMA cycle has been granted.
$\overline{RxDACK}$	7	I	**Receiver DMA Acknowledge:** The Receiver DMA acknowledge signal notifies the 8273 that the RxDMA cycle has been granted.
A_1-A_0	22-21	I	**Address:** These two lines are CPU Interface Register Select lines.
TxD	29	O	**Transmitter Data:** This line transmits the serial data to the communication channel.
$\overline{TxC}$	28	I	**Transmitter Clock:** The transmitter clock is used to synchronize the transmit data.
RxD	26	I	**Receiver Data:** This line receives serial data from the communication channel.
$\overline{RxC}$	27	I	**Receiver Clock:** The Receiver Clock is used to synchronize the receive data.
$\overline{32X\ CLK}$	25	I	**32X Clock:** The 32X clock is used to provide clock recovery when an asynchronous modem is used. In loop configuration the loop station can run without an accurate 1X clock by using the 32X CLK in conjunction with the DPLL output. (This pin must be grounded when not used.)
$\overline{DPLL}$	23	O	**Digital Phase Locked Loop:** Digital Phase Locked Loop output can be tied to RxC and/or TxC when 1X clock is not available. DPLL is used with 32X CLK.
$\overline{FLAG\ DET}$	1	O	**Flag Detect:** Flag Detect signals that a flag (01111110) has been received by an active receiver.
$\overline{RTS}$	35	O	**Request to Send:** Request to Send signals that the 8273 is ready to transmit data.
$\overline{CTS}$	30	I	**Clear to Send:** Clear to Send signals that the modem is ready to accept data from the 8273.
$\overline{CD}$	31	I	**Carrier Detect:** Carrier Detect signals that the line transmission has started and the 8273 may begin to sample data on RxD line.
$\overline{PA_{2-4}}$	32-34	I	**General purpose input ports:** The logic levels on these lines can be Read by the CPU through the Data Bus Buffer.
$\overline{PB_{1-4}}$	36-39	O	**General purpose output ports:** The CPU can write these output lines through Data Bus Buffer.
CLK	3	I	**Clock:** A square wave TTL clock.

FUNCTIONAL DESCRIPTION

General

The Intel® 8273 HDLC/SDLC controller is a microcomputer peripheral device which supports the International Standards Organization (ISO) High Level Data Link Control (HDLC), and IBM Synchronous Data Link Control (SDLC) communications protocols. This controller minimizes CPU software by supporting a comprehensive frame-level instruction set and by hardware implementation of the low level tasks associated with frame assembly/disassembly and data integrity. The 8273 can be used in either synchronous or asynchronous applications.

In asynchronous applications the data can be programmed to be encoded/decoded in NRZI code. The clock is derived from the NRZI data using a digital phase locked loop. The data transparency is achieved by using a zero-bit insertion/deletion technique. The frames are automatically checked for errors during reception by verifying the Frame Check Sequence (FCS); the FCS is automatically generated and appended before the final flag in transmit.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

The 8273 recognizes and can generate flags (01111110), Abort, Idle, and GA (EOP) characters.

The 8273 can assume either a primary (control) or a secondary (slave) role. It can therefore be readily implemented in an SDLC loop configuration as typified by the IBM 3650 Retail Store System by programming the 8273 into a one-bit delay mode. In such a configuration, a two wire pair can be effectively used for data transfer between controllers and loop stations. The digital phase locked loop output pin can be used by the loop station without the presence of an accurate Tx clock.

CPU Interface

The CPU interface is optimized for the MCS-80/85™ bus with an 8257 DMA controller. However, the interface is flexible, and allows either DMA or non-DMA data transfers, interrupt or non-interrupt driven. It further allows maximum line utilization by providing early interrupt mechanism for buffered (only the information field can be transferred to memory) Tx command overlapping. It also provides separate Rx and Tx interrupt output channels for efficient operation. The 8273 keeps the interrupt request active until all the associated interrupt results have been read.

The CPU utilizes the CPU interface to specify commands and transfer data. It consists of seven registers addressed via $\overline{CS}$, A_1, A_0, $\overline{RD}$ and $\overline{WR}$ signals and two independent data registers for receive data and transmit data. A_1, A_0 are generally derived from two low order bits of the address bus. If an 8080 based CPU is utilized, the $\overline{RD}$ and $\overline{WR}$ signals may be driven by the 8228 $\overline{I/OR}$ and $\overline{I/OW}$. The table shows the seven register select decoding:

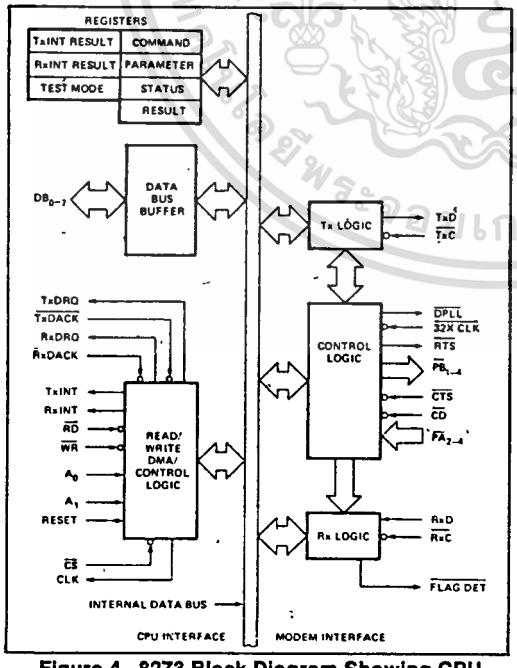


Figure 4. 8273 Block Diagram Showing CPU Interface Functions

A_1	A_0	$\overline{TxDACK}$	$\overline{RxDACK}$	$\overline{CS}$	$\overline{RD}$	$\overline{WR}$	Register
0	0	1	1	0	1	0	Command
0	0	1	1	0	0	1	Status
0	1	1	1	0	1	0	Parameter
0	1	1	1	0	0	1	Result
1	0	1	1	0	1	0	Reset
1	0	1	1	0	0	1	TxINT Result
1	1	1	1	0	1	0	—
1	1	1	1	0	0	1	RxINT Result
X	X	0	1	1	1	0	Transmit Data
X	X	1	0	1	0	1	Receive Data

Register Description

Command

Operations are initiated by writing an appropriate command in the Command Register.

Parameter

Parameters of commands that require additional information are written to this register.

Result

Contains an immediate result describing an outcome of an executed command.

Transmit Interrupt Result

Contains the outcome of 8273 transmit operation (good/bad completion).

Receive Interrupt Result

Contains the outcome of 8273 receive operation (good/bad completion), followed by additional results which detail the reason for interrupt.

Status

The status register reflects the state of the 8273 CPU Interface.

DMA Data Transfers

The 8273 CPU interface supports two independent data interfaces: receive data and transmit data. At high data transmission speeds the data transfer rate of the 8273 is great enough to justify the use of direct memory access (DMA) for the data transfers. When the 8273 is configured in DMA mode, the elements of the DMA interfaces are:

TxDRQ: Transmit DMA Request

Requests a transfer of data between memory and the 8273 for a transmit operation.

$\overline{TxDACK}$: Transmit DMA Acknowledge

The $\overline{TxDACK}$ signal notifies the 8273 that a transmit DMA cycle has been granted. It is also used with $\overline{WR}$ to transfer data to the 8273 in non-DMA mode. Note: $\overline{RD}$ must not be asserted while TxDACK is active.

RxDRQ: Receive DMA Request

Requests a transfer of data between the 8273 and memory for a receive operation.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$\overline{RxDACK}$: Receive DMA Acknowledge

The $\overline{RxDACK}$ signal notifies the 8273 that a receive DMA cycle has been granted. It is also used with $\overline{RD}$ to read data from the 8273 in non-DMA mode. Note: $\overline{WR}$ must not be asserted while $\overline{RxDACK}$ is active.

$\overline{RD}$, $\overline{WR}$: Read, Write

The $\overline{RD}$ and $\overline{WR}$ signals are used to specify the direction of the data transfer.

DMA transfers require the use of a DMA controller such as the Intel 8257. The function of the DMA controller is to provide sequential addresses and timing for the transfer, at a starting address determined by the CPU. Counting of data block lengths is performed by the 8273.

To request a DMA transfer the 8273 raises the appropriate DMA REQUEST. DMA ACKNOWLEDGE and READ enables DMA data onto the bus (independently of CHIP SELECT). DMA ACKNOWLEDGE and WRITE transfers DMA data to the 8273 (independent of CHIP SELECT).

It is also possible to configure the 8273 in the non-DMA data transfer mode. In this mode the CPU module must pass data to the 8273 in response to non-DMA data requests indicated by the status word.

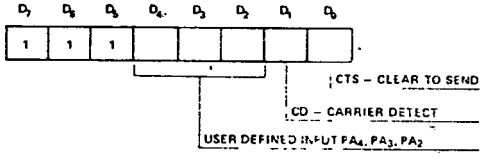
Modem Interface

The 8273 Modem interface provides both dedicated and user defined modem control functions. All the control signals are active low so that EIA RS-232C inverting drivers (MC 1488) and inverting receivers (MC 1489) may be used to interface to standard modems. For asynchronous operation, this interface supports programmable NRZI data encode/decode, a digital phase locked loop for efficient clock extraction from NRZI data, and modem control ports with automatic $\overline{CTS}$, $\overline{CD}$ monitoring and $\overline{RTS}$ generation. This interface also allows the 8273 to operate in PRE-FRAME SYNC mode in which the 8273 prefixes 16 transitions to a frame to synchronize idle lines before transmission of the first flag.

It should be noted that all the 8273 port operations deal with logical values, for instance, bit D0 of Port A will be a one when $\overline{CTS}$ (Pin 30) is a physical zero (logical one).

Port A — Input Port

During operation, the 8273 interrogates input pins $\overline{CTS}$ (Clear to Send) and $\overline{CD}$ (Carrier Detect). $\overline{CTS}$ is used to condition the start of a transmission. If during transmission $\overline{CTS}$ is lost the 8273 generates an interrupt. During reception, if $\overline{CD}$ is lost, the 8273 generates an interrupt.



The user defined input bits correspond to the 8273 PA_4, PA_3 and PA_2 pins. The 8273 does not interrogate or manipulate these bits.

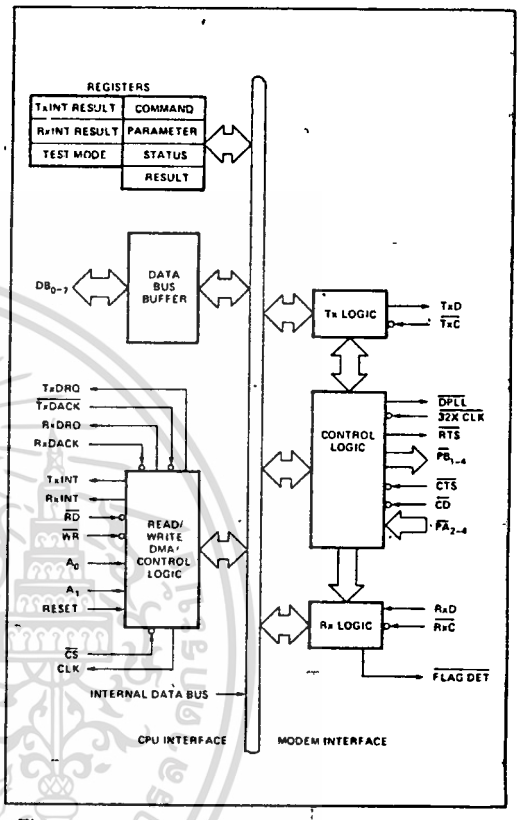
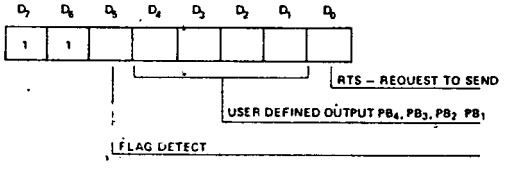


Figure 5. 8273 Block Diagram Showing Control Logic Functions

Port B - Output Port

During normal operation, if the CPU sets $\overline{RTS}$ active, the 8273 will not change this pin; however, if the CPU sets $\overline{RTS}$ inactive, the 8273 will activate it before each transmission and deactivate it one byte time after transmission. While the receiver is active the flag detect pin is pulsed each time a flag sequence is detected in the receive data stream. Following an 8273 reset, all pins of Port B are set to a high, inactive level.



The user defined output bits correspond to the state of PB_4-PB_1 pins. The 8273 does not interrogate or manipulate these bits.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Serial Data Logic

The Serial data is synchronized by the user transmit ($\overline{TxC}$) and receive ($\overline{RxC}$) clocks. The leading edge of $\overline{TxC}$ generates new transmit data and the trailing edge of $\overline{RxC}$ is used to capture receive data. The NRZI encoding/decoding of the receive and transmit data is programmable.

The diagnostic features included in the Serial Data logic are programmable loop back of data and selectable clock for the receiver. In the loop-back mode, the data presented to the TxD pin is internally routed to the receive data input circuitry in place of the RxD pin, thus allowing a CPU to send a message to itself to verify operation of the 8273.

In the selectable clock diagnostic feature, when the data is looped back, the receiver may be presented incorrect sample timing by the external circuitry. The user may select to substitute the $\overline{TxC}$ pin for the $\overline{RxC}$ input on-chip so that the clock used to generate the loop back data is used to sample it. Since TxD is generated off the leading edge of $\overline{TxC}$ and RxD is sampled on the trailing edge, the selected clock allows bit synchronism.

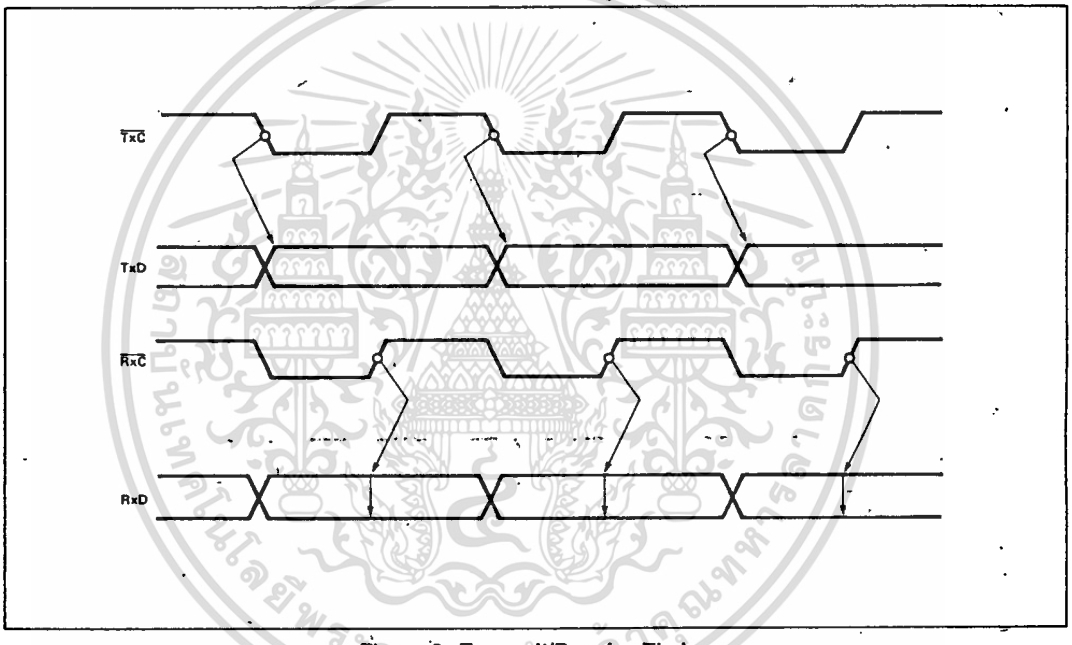


Figure 6. Transmit/Receive Timing

Asynchronous Mode Interface

Although the 8273 is fully compatible with the HDLC/SDLC communication line protocols, which are primarily designed for synchronous communication, the 8273 can also be used in asynchronous applications by using this interface. The interface employs a digital phase locked loop (DPLL) for clock recovery from a receive data stream and programmable NRZI encoding and decoding of data. The use of NRZI coding with SDLC transmission guarantees that within a frame, data transitions will occur at least every five bit times — the longest sequence of ones which may be transmitted without zero-bit insertion. The DPLL should be used only when NRZI coding is used since the NRZI coding will transmit zero sequence as line transitions. The digital phase locked loop also facilitates full-duplex and half-duplex asynchronous implementation with, or without modems.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Digital Phase Locked Loop

In asynchronous applications, the clock is derived from the receiver data stream by the use of the digital phase locked loop (DPLL). The DPLL requires a clock input at 32 times the required baud rate. The receive data (RxD) is sampled with this $\overline{32X\ CLK}$ and the 8273 DPLL supplies a sample pulse nominally centered on the RxD bit cells. The DPLL has a built-in "stiffness" which reduces sensitivity to line noise and bit distortion. This is accomplished by making phase error adjustments in discrete increments. Since the nominal pulse is made to occur at 32 counts of the $\overline{32X\ CLK}$, these counts are subtracted or added to the nominal, depending upon which quadrant of the four error quadrants the data edge occurs in. For example if an RxD edge is detected in quadrant A1, it is apparent that the $\overline{DPLL}$ sample "A" was placed too close to the trailing edge of the data cell; sample "B" will then be placed at T = ($T_{nominal}$ - 2 counts) = 30 counts of the $\overline{32X\ CLK}$ to move the sample pulse "B" toward the nominal center of the next bit cell. A data edge occuring in quadrant B1 would cause a smaller adjustment of phase with T = 31 counts of the $\overline{32X\ CLK}$. Using this technique the $\overline{DPLL}$ pulse will converge to nominal bit center within 12 data bit times, worst case, with constant incoming RxD edges..

A method of attaining bit synchronism following a line idle is to use PRE-FRAME SYNC mode of transmission.

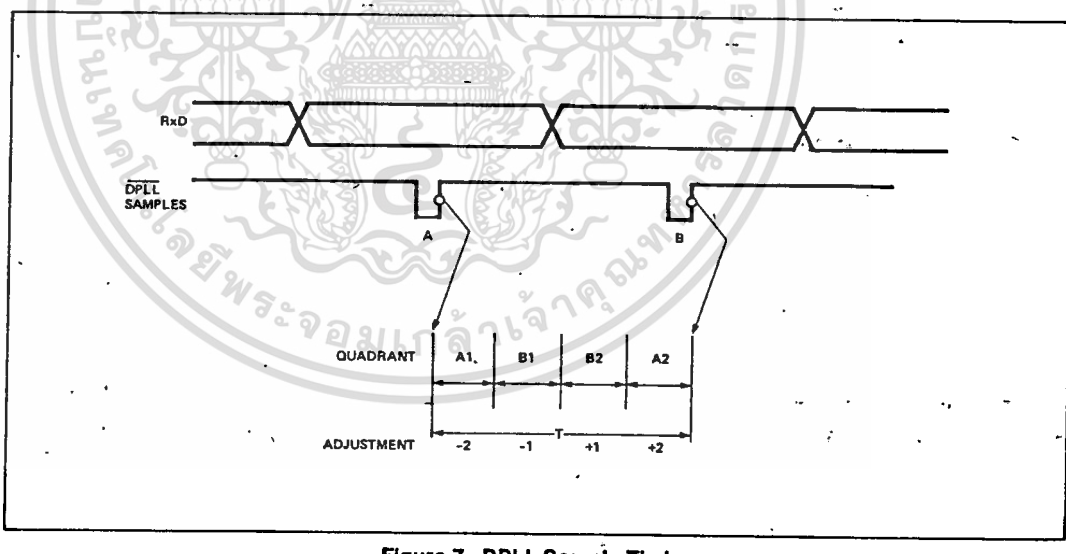
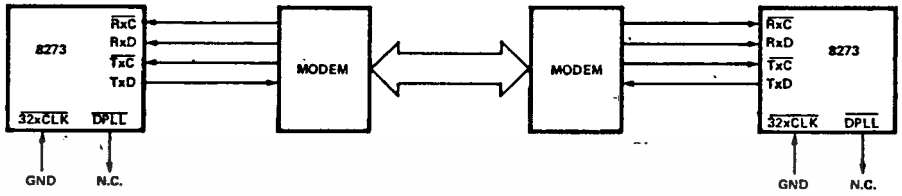


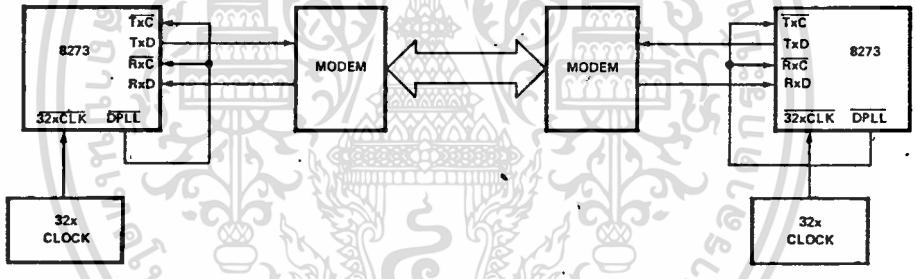
Figure 7. DPLL Sample Timing

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

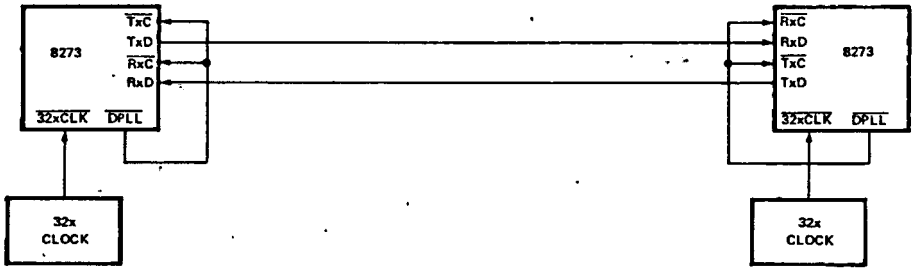
Synchronous Modem — Duplex or Half Duplex Operation



Asynchronous Modems — Duplex or Half Duplex Operation



Asynchronous — No Modems — Duplex or Half Duplex



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SDLC Loop

The DPLL simplifies the SDLC loop station implementation. In this application, each secondary station on a loop data link is a repeater set in one-bit delay mode. The signals sent out on the loop by the loop controller (primary station) are relayed from station to station then, back to the controller. Any secondary station finding its address in the A field captures the frame for action at that station. All received frames are relayed to the next station on the loop.

Loop stations are required to derive bit timing from the incoming NRZI data stream. The DPLL generates sample Rx clock timing for reception and uses the same clock to implement Tx clock timing.

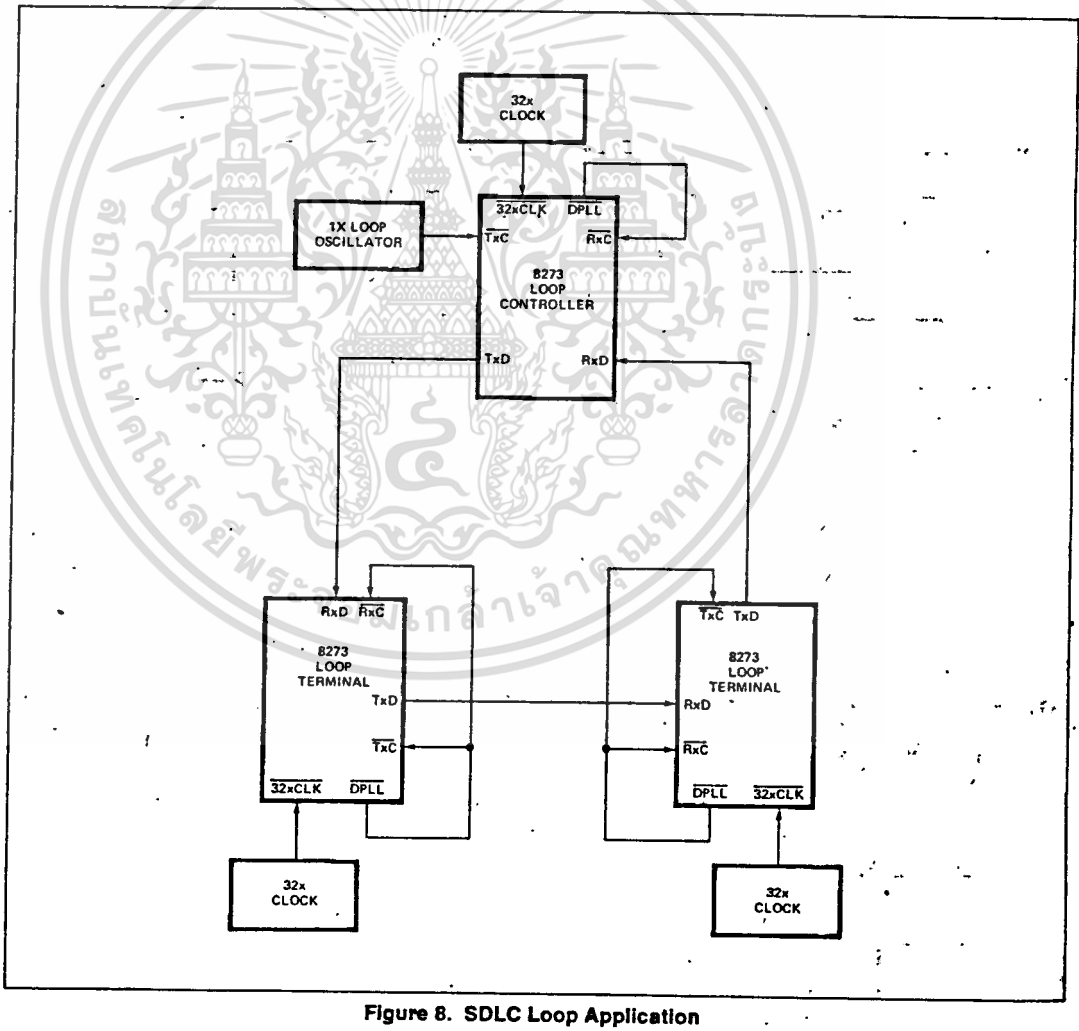


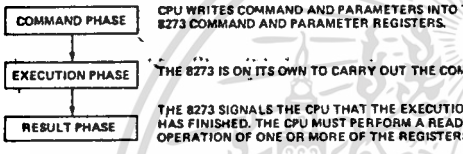
Figure 8. SDLC Loop Application

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PRINCIPLES OF OPERATION

The 8273 is an intelligent peripheral controller which relieves the CPU of many of the rote tasks associated with constructing and receiving frames. It is fully compatible with the MCS-80/85™ system bus. As a peripheral device, it accepts commands from a CPU, executes these commands and provides an Interrupt and Result back to the CPU at the end of the execution. The communication with the CPU is done by activation of $\overline{CS}$, $\overline{RD}$, $\overline{WR}$ pins, while the A_1, A_0 select the appropriate registers on the chip as described in the Hardware Description Section.

The 8273 operation is composed of the following sequence of events:



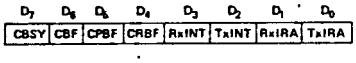
The Command Phase

During the command phase, the software writes a command to the command register. The command bytes provide a general description of the type of operation requested. Many commands require more detailed information about the command. In such a case up to four parameters are written into the parameter register. The flowchart of the command phase indicates that a command may not be issued if the Status Register indicates that the device is busy. Similarly if a parameter is issued when the Parameter Buffer shows full, incorrect operation will occur.

The 8273 is a duplex device and both transmitter and receiver may each be executing a command or passing results at any given time. For this reason separate interrupt pins are provided. However, the command register must be used for one command sequence at a time.

Status Register

The status register contains the status of the 8273 activity. The description is as follows.



Bit 7 CBSY (Command Busy)

Indicates in-progress command, set for CPU poll when Command Register is full, reset upon command phase completion. It is improper to write a command when CBSY is set; it results in incorrect operation.

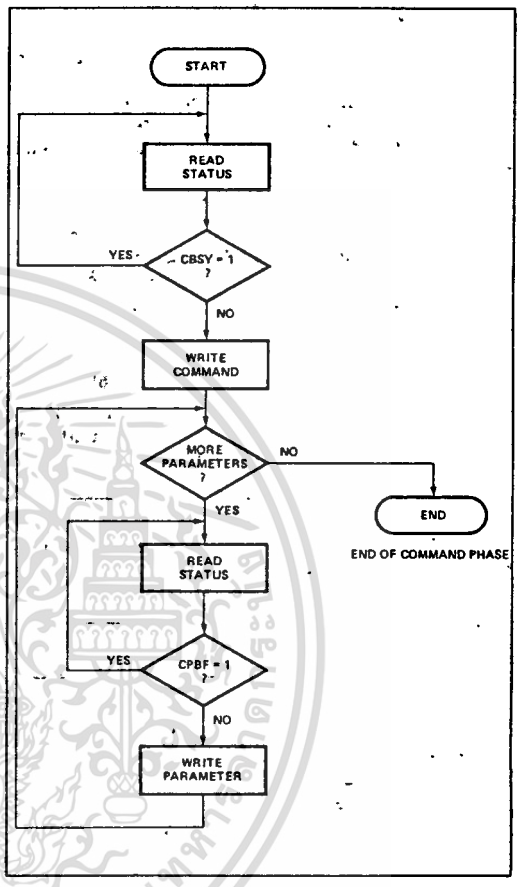


Figure 9. Command Phase Flowchart

Bit 6 CBF (Command Buffer Full)

Indicates that the command register is full, it is reset when the 8273 accepts the command byte but does not imply that execution has begun.

Bit 5 CPBF (Command Parameter Buffer Full)

CPBF is set when the parameter buffer is full, and is reset by the 8273 when it accepts the parameter. The CPU may poll CPBF to determine when additional parameters may be written.

Bit 4 CRBF (Command Result Buffer Full)

Indicates that an executed command immediate result is present in the Result Register. It is set by 8273 and reset when CPU reads the result.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Bit 3 RxINT (Receiver Interrupt)

RxINT indicates that the receiver requires CPU attention. It is identical to RxINT (pin 11) and is set by the 8273 either upon good/bad completion of a specified command or by Non-DMA data transfer. It is reset only after the CPU has read the result byte or has received a data byte from the 8273 in a Non-DMA data transfer.

Bit 2 TxINT (Transmitter Interrupt)

The TxINT indicates that the transmitter requires CPU attention. It is identical to TxINT (pin 2). It is set by 8273 either upon good/bad completion of a specified command or by Non-DMA data transfer. It is reset only after the CPU has read the result byte or has transferred transmit data byte to the 8273 in a Non-DMA transfer.

Bit 1 RxIRA (Receiver Interrupt Result Available)

The RxIRA is set by the 8273 when an interrupt result byte is placed in the RxINT register. It is reset after the CPU has read the RxINT register.

Bit 0 TxIRA (Transmitter Interrupt Result Available)

The TxIRA is set by the 8273 when an interrupt result byte is placed in the TxINT register. It is reset when the CPU has read the TxINT register.

The Execution Phase

Upon accepting the last parameter, the 8273 enters int the Execution Phase. The execution phase may consis of a DMA or other activity, and may or may not requir CPU intervention. The CPU intervention is eliminated i this phase if the system utilizes DMA for the data trans fers, otherwise, for non-DMA data transfers, the CPU is interrupted by the 8273 via TxINT and RxINT pins, fo each data byte request.

The Result Phase

During the result phase, the 8273 notifies the CPU of the execution outcome of a command. This phase is initiated by:

1. The successful completion of an operation
2. An error detected during an operation.

To facilitate quick network software decisions, two types of execution results are provided:

1. An Immediate Result
2. A Non-Immediate Result

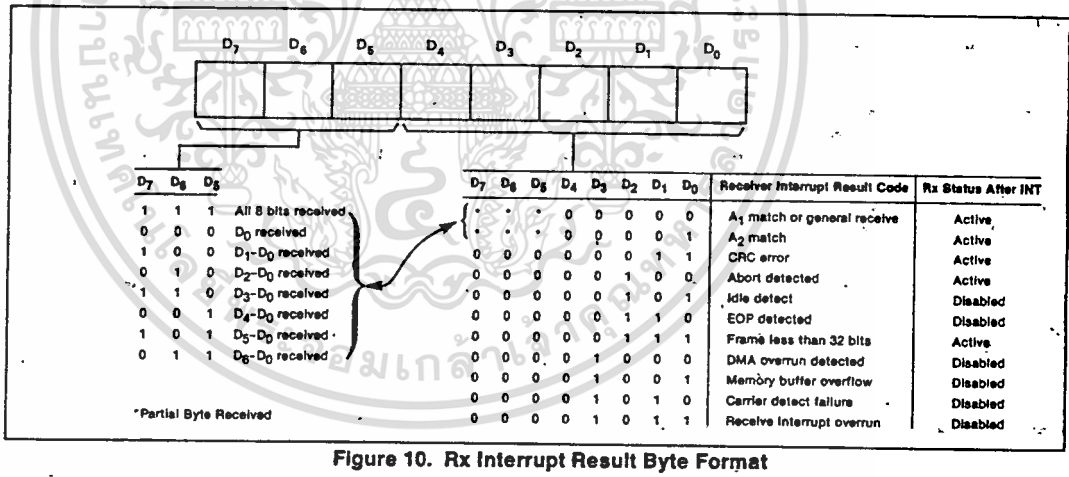


Figure 10. Rx Interrupt Result Byte Format

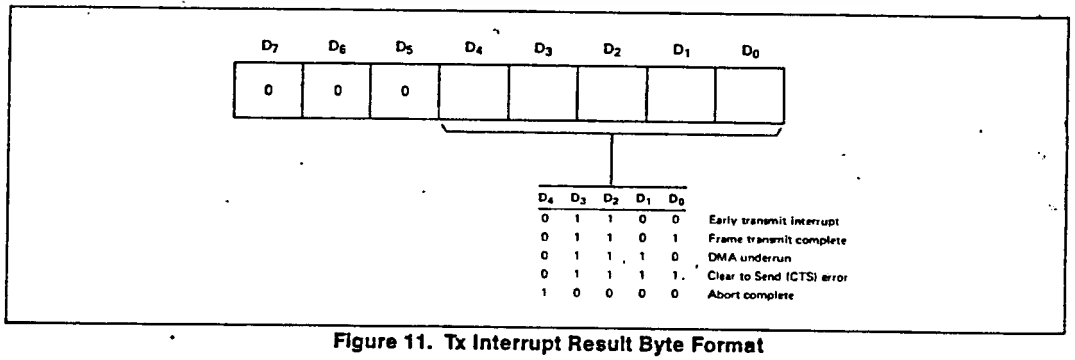


Figure 11. Tx Interrupt Result Byte Format

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Immediate result is provided by the 8273 for commands such as Read Port A and Read Port B which have information ($\overline{CTS}$, $\overline{CD}$, $\overline{RTS}$, etc.) that the network software needs to make quick operational decisions.

A command which cannot provide an immediate result will generate an interrupt to signal the beginning of the Result phase. The immediate results are provided in the Result Register; all non-immediate results are available upon device interrupt, through Tx Interrupt Result Register TxI/R or Rx Interrupt Result Register RxI/R. The result may consist of a one-byte interrupt code indicating the condition for the interrupt and, if required, one or more bytes which detail the condition.

Tx and Rx Interrupt Result Registers

The Result Registers have a result code, the three high order bits D_7-D_5 of which are set to zero for all but the receive command. This command result contains a count that indicates the number of bits received in the last byte. If a partial byte is received, the high order bits of the last data byte are indeterminate.

All results indicated in the command summary must be read during the result phase.

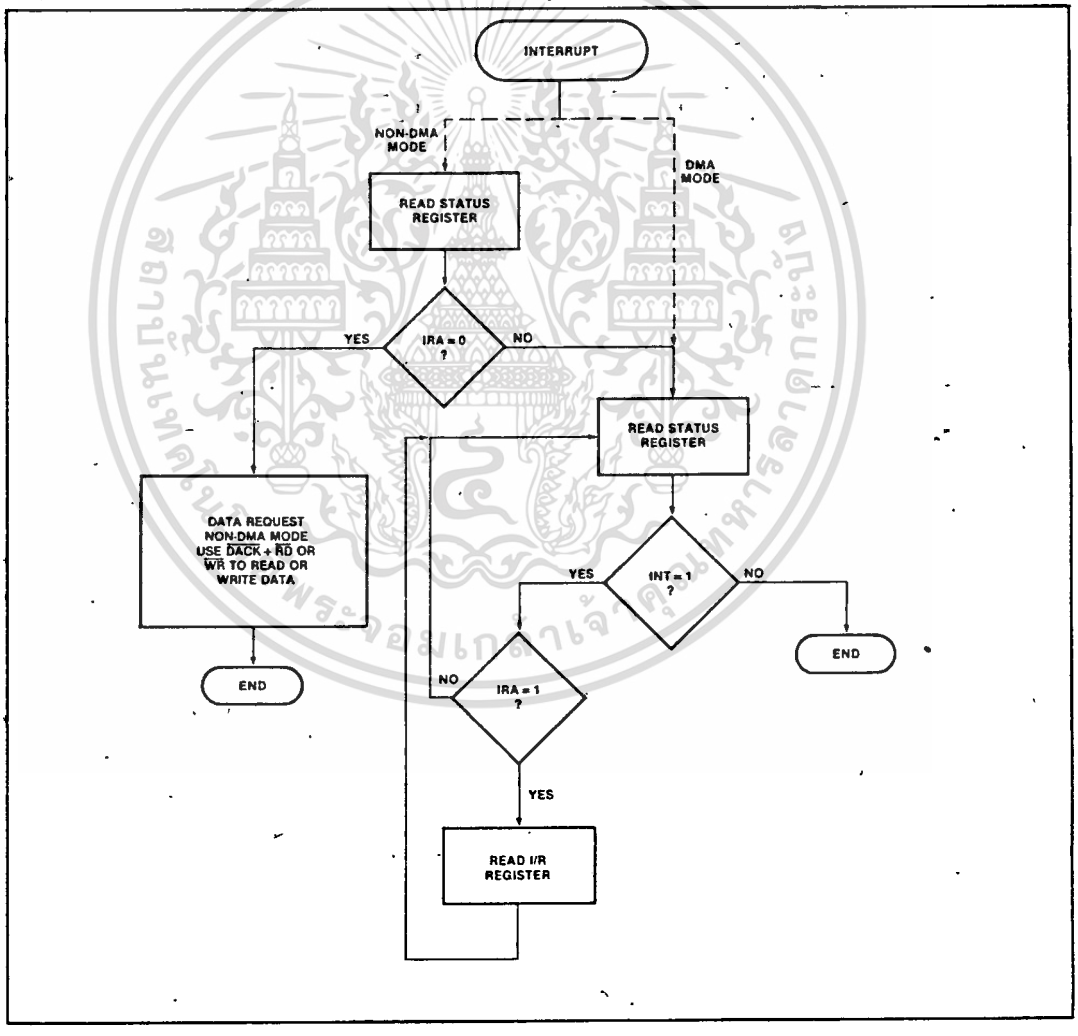


Figure 12. Result Phase Flowchart—Interrupt Results

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

IMMEDIATE RESULTS

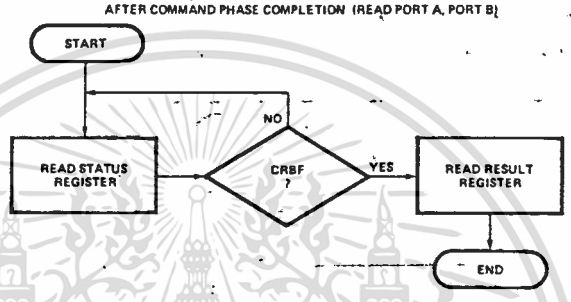


Figure 13. (Rx Interrupt Service)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DETAILED COMMAND DESCRIPTION

General

The 8273 HDLC/SDLC controller supports a comprehensive set of high level commands which allows the 8273 to be readily used in full-duplex, half-duplex, synchronous, asynchronous and SDLC loop configuration, with or without modems. These frame-level commands minimize CPU and software overhead. The 8273 has address and control byte buffers which allow the receive and transmit commands to be used in buffered or non-buffered modes.

In buffered transmit mode, the 8273 transmits a flag automatically, reads the Address and Control buffer registers and transmits the fields, then via DMA, it fetches the information field. The 8273, having transmitted the information field, automatically appends the Frame Check Sequence (FCS) and the end flag. Correspondingly, in buffered read mode, the Address and Control fields are stored in their respective buffer registers and only Information Field is transferred to memory.

In non-buffered transmit mode, the 8273 transmits the beginning flag automatically, then fetches and transmits the Address, Control and Information fields from the memory, appends the FCS character and an end flag. In the non-buffered receive mode the entire contents of a frame are sent to memory with the exception of the flags and FCS.

HDLC Implemenation

HDLC Address and Control field are extendable. The extension is selected by setting the low order bit of the field to be extended to a one, a zero in the low order bit indicates the last byte of the respective field.

Since Address/Control field extension is normally done with software to maximize extension flexibility, the 8273 does not create or operate upon contents of the extended HDLC Address/Control fields. Extended fields are transparently passed by the 8273 to user as either interrupt results or data transfer requests. Software must assemble the fields for transmission and interrogate them upon reception.

However, the user can take advantage of the powerful 8273 commands to minimize CPU/Software overhead and simplify buffer management in handling extended fields. For instance buffered mode can be used to separate the first two bytes, then interrogate the others from buffer. Buffered mode is perfect for a two byte address field.

The 8273 when programmed, recognizes protocol characters unique to HDLC such as Abort, which is a string of seven or more ones (01111111). Since Abort character is the same as the GA (EOP) character used in SDLC Loop applications, Loop Transmit and Receive commands are not recommended to be used in HDLC. HDLC does not support Loop mode.

Initialization Set/Reset Commands

These commands are used to manipulate data within the 8273 registers. The Set commands have a single parameter which is a mask that corresponds to the bits to be set. (They perform a logical-OR of the specified register with the mask provided as a parameter). The Register commands have a single parameter which is a mask that has a zero in the bit positions that are to be reset. (They perform a logical-AND of the specified register with the mask).

Set One-Bit Delay (CMD Code A4)

	A_1	A_0	D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0
CMD:	0	0	1	0	1	0	0	1	0	0
PAR:	0	1	1	0	0	0	0	0	0	0

When one bit delay is set, 8273 retransmits the received data stream one bit delayed. This mode is entered at a receiver character boundary, and should only be used by Loop Stations.

Reset One-Bit Delay (CMD Code 64)

	A_1	A_0	D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0
CMD:	0	0	0	1	1	0	0	1	0	0
PAR:	0	1	0	1	1	1	1	1	1	1

The 8273 stops the one bit delayed retransmission mode.

Set Data Transfer Mode (CMD Code 97)

	A_1	A_0	D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0
CMD:	0	0	1	0	0	1	0	1	1	1
PAR:	0	1	0	0	0	0	0	0	0	1

When the data transfer mode is set, the 8273 will interrupt when data bytes are required for transmission or are available from a receive. If a transmit interrupt occurs and the status indicates that there is no Transmit Result (TxIRA = 0), the interrupt is a transmit data request. If a receive interrupt occurs and the status indicates that there is no receive result (RxIRA = 0), the interrupt is a receive data request.

Reset Data Transfer Mode (CMD Code 57)

	A_1	A_0	D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0
CMD:	0	0	0	1	0	1	0	1	1	1
PAR:	0	1	1	1	1	1	1	1	1	0

If the Data Transfer Mode is reset, the 8273 data transfers are performed through the DMA requests without interrupting the CPU.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Set Operating Mode (CMD Code 91)

	A_1	A_0	D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0
CMD:	0	0	1	0	0	1	0	0	0	1
PAR:	0	1	0	0						

1 = FLAG STREAM MODE
1 = PREFRAME SYNC MODE
1 = BUFFERED MODE
1 = EARLY INTERRUPT MODE
1 = EOP INTERRUPT MODE
1 = HDLC MODE

Reset Operating Mode (CMD Code 51)

	A_1	A_0	D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0
CMD:	0	0	0	1	0	1	0	0	0	1
PAR:	0	1	1	1						

Any mode switches set in CMD code 91 can be reset using this command by placing zeros in the appropriate positions.

(D5) HDLC Mode

In HDLC mode, a bit sequence of seven ones (01111111) is interpreted as an abort character. Otherwise, eight ones (011111111) signal an abort.

(D4) EOP Interrupt Mode

In EOP interrupt mode, an interrupt is generated whenever an EOP character (01111111) is detected by an active receiver. This mode is useful for the implementation of an SDLC loop controller in detecting the end of a message stream after a loop poll.

(D3) Transmitter Early Interrupt Mode (Tx)

The early interrupt mode is specified to indicate when the 8273 should generate an end of frame interrupt. When set, an early interrupt is generated when the last data character has been passed to the 8273. If the user software responds with another transmit command before the final flag is sent, the final flag interrupt will not be generated and a new frame will immediately begin when the current frame is complete. This permits frames to be separated by a single flag. If no additional Tx commands are provided, a final interrupt will follow.

Note: In buffered mode, if a supervisory frame (no Information) Transmit command is sent in response to an early Transmit Interrupt, the 8273 will repeatedly transmit the same supervisory frame with one flag in between, until a non-supervisory transmit is issued.

Early transmitter interrupt can be used in buffered mode by waiting for a transmit complete interrupt instead of early Transmit Interrupt before issuing a transmit frame command for a supervisory frame. See Figure 14.

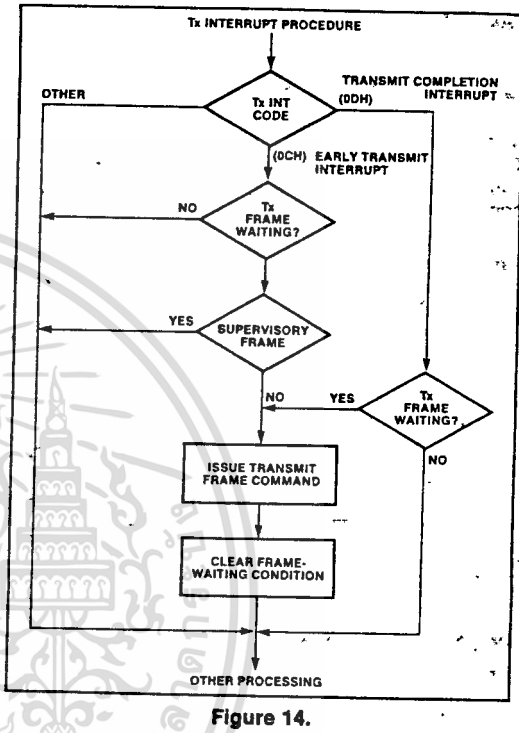


Figure 14.

If this bit is zero, the interrupt will be generated only after the final flag has been transmitted.

(D2) Buffered Mode

If the buffered mode bit is set to a one, the first two bytes (normally the address (A) and control (C) fields) of a frame are buffered by the 8273. If this bit is a zero the address and control fields are passed to and from memory.

(D1) Preframe Sync Mode

If this bit is set to a one the 8273 will transmit two characters before the first flag of a frame.
To guarantee sixteen line transitions, the 8273 sends two bytes of data $(00)_H$ if NRZI is set or data $(55)_H$ if NRZI is not set.

(D0) Flag Stream Mode

If this bit is set to a one, the following table outlines the operation of the transmitter.

TRANSMITTER STATE	ACTION
Idle	Send Flags immediately.
Transmit or Transmit-Transparent Active	Send Flags after the transmission complete
Loop Transmit Active	Ignore command.
1 Bit Delay Active	Ignore command.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

If this bit is reset to zero the following table outlines the operation of the transmitter.

TRANSMITTER STATE	ACTION
IDLE	Send Idles on next character boundary.
Transmit or Transmit-Transparent Active	Send Idles after the transmission is complete.
Loop Transmit Active	Ignore command.
1 Bit Delay Active	Ignore command.

Set Serial I/O Mode (CMD Code A0)

	A_1	A_0	D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0
CMD:	0	0	1	0	1	0	0	0	0	0
PAR:	0	1	0	0	0	0	0			

1 = NRZI MODE
1 = TxC → RxC
1 = LOOP BACK TxD → RxD

Reset Serial I/O Mode (CMD Code 60)

This command allows bits set in CMD code A0 to be reset by placing zeros in the appropriate positions.

	A_1	A_0	D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0
CMD:	0	0	0	1	1	0	0	0	0	0
PAR:	0	1	1	1	1	1	1			

(D2) Loop Back

If this bit is set to a one, the transmit data is internally routed to the receive data circuitry.

(D1) TxC → RxC

If this bit is set to a one, the transmit clock is internally routed to the receive clock circuitry. It is normally used with the loop back bit (D2).

(D0) NRZI Mode

If this bit is set to a one, NRZI encoding and decoding of transmit and receive data is provided. If this bit is a zero, the transmit and receive data is treated as a normal positive logic bit stream.

NRZI encoding specifies that a zero causes a change in the polarity of the transmitted signal and a one causes no polarity change. NRZI is used in all asynchronous operations. Refer to IBM document GA27-3093 for details.

Reset Device Command

	A_1	A_0	D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0
TMR:	1	0	0	0	0	0	0	0	0	1
TMR:	1	0	0	0	0	0	0	0	0	0

An 8273 reset command is executed by outputing a $(01)_H$ followed by $(00)_H$ to the reset register (TMR). See 8273 AC timing characteristics for Reset pulse specifications.

The reset command emulates the action of the reset pin.

1. The modem control signals are forced high (inactive level).
2. The 8273 status register flags are cleared.
3. Any commands in progress are terminated immediately.
4. The 8273 enters an idle state until the next command is issued.
5. The Serial I/O and Operating Mode registers are set to zero and DMA data register transfer mode is selected.
6. The device assumes a non-loop SDLC terminal role.

Receive Commands

The 8273 supports three receive commands: General Receive, Selective Receive, and Selective Loop Receive.

General Receive (CMD Code C0)

General receive is a receive mode in which frames are received regardless of the contents of the address field.

	A_1	A_0	D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0
CMD:	0	0	1	1	0	0	0	0	0	0
PAR:	0	1	LEAST SIGNIFICANT BYTE OF THE RECEIVE BUFFER LENGTH (B0)							
PAR:	0	1	MOST SIGNIFICANT BYTE OF RECEIVE BUFFER LENGTH (B1)							

NOTES:

1. If buffered mode is specified, the R0, R1 receive frame length (result) is the number of data bytes received.
2. If non-buffered mode is specified, the R0, R1 receive frame length (result) is the number of data bytes received plus two (the count includes the address and control bytes).
3. The frame check sequence (FCS) is not transferred to memory.
4. Frames with less than 32 bits between flags are ignored (no interrupt generated) if the buffered mode is specified.
5. In the non-buffered mode an interrupt is generated when a less than 32 bit frame is received, since data transfer requests have occurred.
6. The 8273 receiver is always disabled when an Idle is received after a valid frame. The CPU module must issue a receive command to re-enable the receiver.
7. The intervening ABORT character between a final flag and an IDLE does not generate an interrupt.
8. If an ABORT Character is not preceded by a flag and is followed by an IDLE, an interrupt will be generated for the ABORT followed by an IDLE interrupt one character time later. The reception of an ABORT will disable the receiver.

Selective Receive (CMD Code C1)

	A_1	A_0	D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0
CMD:	0	0	1	1	0	0	0	0	0	1
PAR:	0	1	LEAST SIGNIFICANT BYTE OF THE RECEIVE BUFFER LENGTH (B0)							
PAR:	0	1	MOST SIGNIFICANT BYTE OF RECEIVE BUFFER LENGTH (B1)							
PAR:	0	1	RECEIVE FRAME ADDRESS MATCH FIELD ONE (A1)							
PAR:	0	1	RECEIVE FRAME ADDRESS MATCH FIELD TWO (A2)							

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Selective receive is a receive mode in which frames are ignored unless the address field matches any one of two address fields given to the 8273 as parameters.

When selective receive is used in HDLC the 8273 looks at the first character, if extended, software must then decide if the message is for this unit.

Selective Loop Receive (CMD Code C2)

	A_1	A_0	D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0	
CMD:	0	0	1	1	0	0	0	0	1	0	
PAR:	0	0									LEAST SIGNIFICANT BYTE OF THE RECEIVE BUFFER LENGTH (B0)
PAR:	0	1									MOST SIGNIFICANT BYTE OF RECEIVE BUFFER LENGTH (B1)
PAR:	0	1									RECEIVE FRAME ADDRESS MATCH FIELD ONE (A1)
PAR:	0	1									RECEIVE FRAME ADDRESS MATCH FIELD TWO (A2)

Selective loop receive operates like selective receive except that the transmitter is placed in flag stream mode automatically after detecting an EOP (01111111) following a valid received frame. The one bit delay mode is also reset at the end of a selective loop receive.

Receive Disable (CMD Code C5)

Terminates an active receive command immediately.

	A_1	A_0	D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0
CMD:	0	0	1	1	0	0	0	1	0	1

PAR: NONE

Transmit Commands

The 8273 supports three transmit commands: Transmit Frame, Loop Transmit, Transmit Transparent.

Transmit Frame (CMD Code C8)

	A_1	A_0	D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0	
CMD:	0	0	1	1	0	0	1	0	0	0	
PAR:	0	1									LEAST SIGNIFICANT BYTE OF FRAME LENGTH (L0)
PAR:	0	1									MOST SIGNIFICANT BYTE OF FRAME LENGTH (L1)
PAR:	0	1									ADDRESS FIELD OF TRANSMIT FRAME (A)
PAR:	0	1									CONTROL FIELD OF TRANSMIT FRAME (C)

Transmits one frame including: initial flag, frame check sequence, and the final flag.

If the buffered mode is specified, the L0, L1, frame length provided as a parameter is the length of the information field and the address and control fields must be input.

In unbuffered mode the frame length provided must be the length of the information field plus two and the address and control fields must be the first two bytes of data. Thus only the frame length bytes are required as parameters.

Loop Transmit (CMD Code CA)

	A_1	A_0	D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0	
CMD:	0	0	1	1	0	0	1	0	1	0	
PAR:	0	1									LEAST SIGNIFICANT BYTE OF FRAME LENGTH (L0)
PAR:	0	1									MOST SIGNIFICANT BYTE OF FRAME LENGTH (L1)
PAR:	0	1									ADDRESS FIELD OF TRANSMIT FRAME (A)
PAR:	0	1									CONTROL FIELD OF TRANSMIT FRAME (C)

Transmits one frame in the same manner as the transmit frame command except:

1. If the flag stream mode is not active transmission will begin after a received EOP has been converted to a flag.
2. If the flag stream mode is active transmission will begin at the next flag boundary for buffered mode or at the third flag boundary for non-buffered mode.
3. At the end of a loop transmit the one-bit delay mode is entered and the flag stream mode is reset.

Transmit Transparent (CMD Coded C9)

	A_1	A_0	D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0	
CMD:	0	0	1	1	0	0	1	0	0	1	
PAR:	0	1									LEAST SIGNIFICANT BYTE OF FRAME LENGTH (L0)
PAR:	0	1									MOST SIGNIFICANT BYTE OF FRAME LENGTH (L1)

The 8273 will transmit a block of raw data without protocol, i.e., no zero bit insertion, flags, or frame check sequences.

Abort Transmit Commands

An abort command is supported for each type of transmit command. The abort commands are ignored if a transmit command is not in progress.

Abort Transmit Frame (CMD Code CC)

	A_1	A_0	D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0
CMD:	0	0	1	1	0	0	1	1	0	0

PAR: NONE

After an abort character (eight contiguous ones) is transmitted, the transmitter reverts to sending flags or idles as a function of the flag stream mode specified.

Abort Loop Transmit (CMD Code CE)

	A_1	A_0	D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0
CMD:	0	0	1	1	0	0	1	1	1	0

PAR: NONE

After a flag is transmitted the transmitter reverts to one bit delay mode.

Abort Transmit Transparent (CMD Code CD)

	A_1	A_0	D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0
CMD:	0	0	1	1	0	0	1	1	0	1

PAR: NONE

The transmitter reverts to sending flags or idles as a function of the flag stream mode specified.

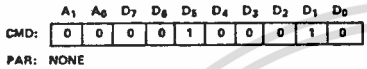
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Modem Control Commands

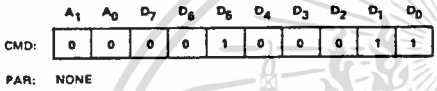
The modem control commands are used to manipulate the modem control ports.

When read Port A or Port B commands are executed the result of the command is returned in the result register. The Bit Set Port B command requires a parameter that is a mask that corresponds to the bits to be set. The Bit Reset Port B command requires a mask that has a zero in the bit positions that are to be reset.

Read Port A (CMD Code 22)

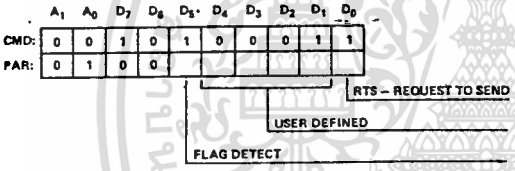


Read Port B (CMD Code 23)



Set Port B Bits (CMD Code A3)

This command allows user defined Port B pins to be set.



(D5) Flag Detect

This bit can be used to set the flag detect pin. However, it will be reset when the next flag is detected.

(D4-D1) User Defined Outputs

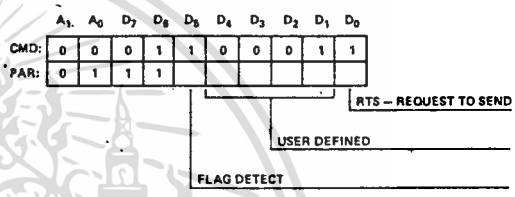
These bits correspond to the state of the PB_4-PB_1 output pins.

(D0) Request to Send

This is a dedicated 8273 modem control signal, and reflects the same logical state of RTS pin.

Reset Port B Bits (CMD Code 63)

This command allows Port B user defined bits to be reset.



This command allows Port B (D_4-D_1) user defined bits to be reset. These bits correspond to Output Port pins (PB_4-PB_1).

8273 Command Summary

Command Description	Command (HEX)	Parameter	Results	Result Port	Completion Interrupt
Set One Bit Delay	A4	Set Mask	None	—	No
Reset One Bit Delay	64	Reset Mask	None	—	No
Set Data Transfer Mode	97	Set Mask	None	—	No
Reset Data Transfer Mode	57	Reset Mask	None	—	No
Set Operating Mode	91	Set Mask	None	—	No
Reset Operating Mode	51	Reset Mask	None	—	No
Set Serial I/O Mode	A0	Set Mask	None	—	No
Reset Serial I/O Mode	60	Reset Mask	None	—	No
General Receive	C0	B0,B1	RIC,R0,R1,(A,C)[2]	RXI/R	Yes
Selective Receive	C1	B0,B1,A1,A2	RIC,R0,R1,(A,C)[2]	RXI/R	Yes
Selective Loop Receive	C2	B0,B1,A1,A2	RIC,R0,R1,(A,C)[2]	RXI/R	Yes
Receive Disable	C5	None	None	—	No
Transmit Frame	C8	L0,L1,(A,C)[1]	TIC	TXI/R	Yes
Loop Transmit	CA	L0,L1,(A,C)[1]	TIC	TXI/R	Yes
Transmit Transparent	C9	L0,L1	TIC	TXI/R	Yes
Abort Transmit Frame	CC	None	TIC	TXI/R	Yes
Abort Loop Transmit	CE	None	TIC	TXI/R	Yes
Abort Transmit Transparent	CD	None	TIC	TXI/R	Yes
Read Port A	22	None	Port Value	Result	No
Read Port B	23	None	Port Value	Result	No
Set Port B Bit	A3	Set Mask	None	—	No
Reset Port B Bit	63	Reset Mask	None	—	No

NOTES:
1. Issued only when in buffered mode.
2. Read as results only in buffered mode.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

8273 Command Summary Key

B0 — Least significant byte of the receive buffer length.
B1 — Most significant byte of the receive buffer length.
L0 — Least significant byte of the Tx frame length.
L1 — Most significant byte of the Tx frame length.
A1 — Receive frame address match field one.
A2 — Receive frame address match field two.
A — Address field of received frame. If non-buffered mode is specified, this result is not provided.
C — Control field of received frame. If non-buffered mode is specified this result is not provided.
RXI/R — Receive interrupt result register.
TXI/R — Transmit interrupt result register.
R0 — Least significant byte of the length of the frame received.
R1 — Most significant byte of the length of the frame received.
RIC — Receiver interrupt result code.
TIC — Transmitter interrupt result code.

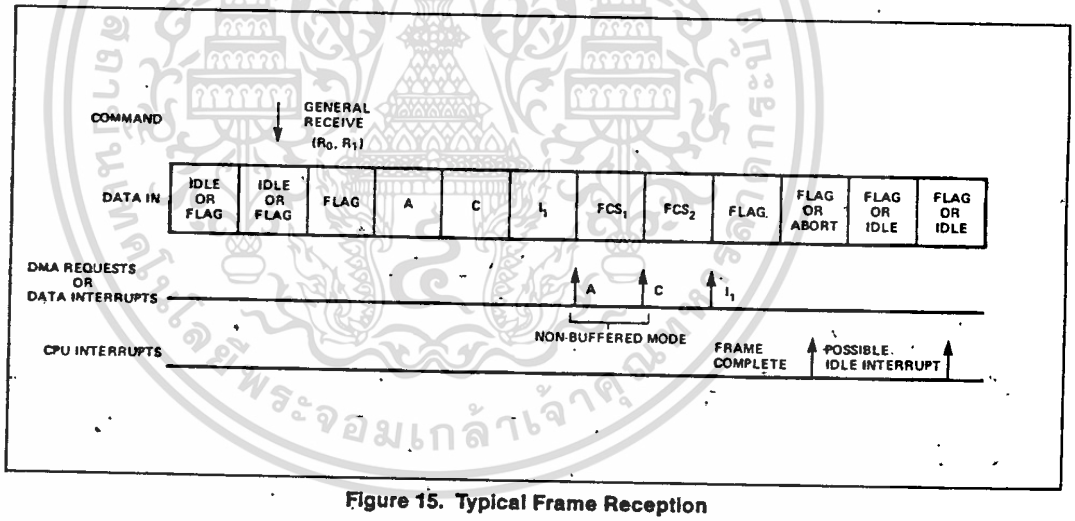


Figure 15. Typical Frame Reception

NOTE:
In order to ensure proper operation to the maximum baud rate, Receive commands or Read/Write Port commands should be written only when either the transmitter or the receiver is inactive. In full duplex systems, it is recommended that these commands be issued after servicing a transmitter interrupt but before a new transmit command is issued.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

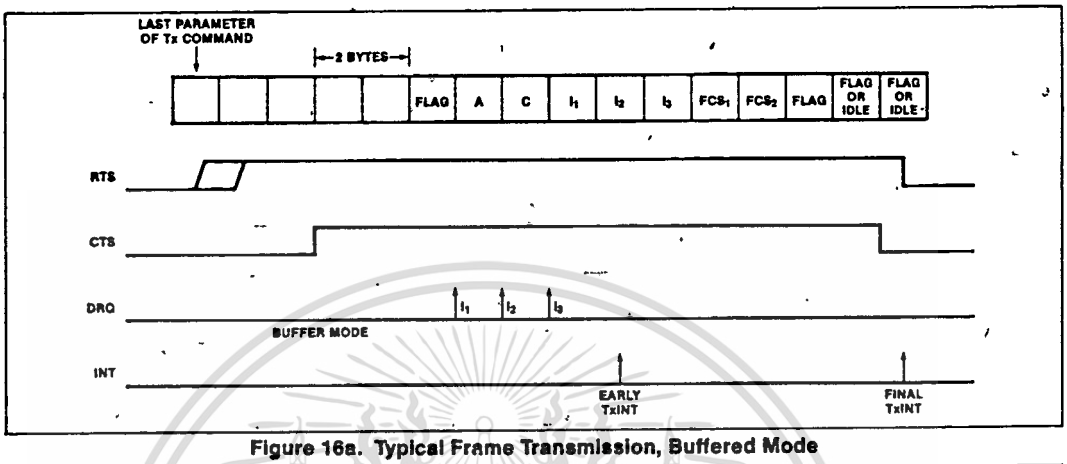


Figure 16a. Typical Frame Transmission, Buffered Mode

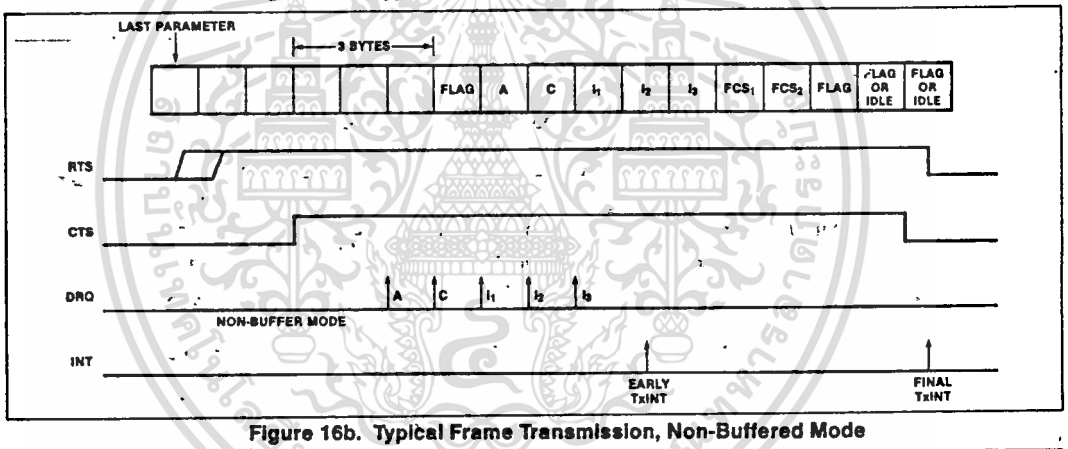


Figure 16b. Typical Frame Transmission, Non-Buffered Mode

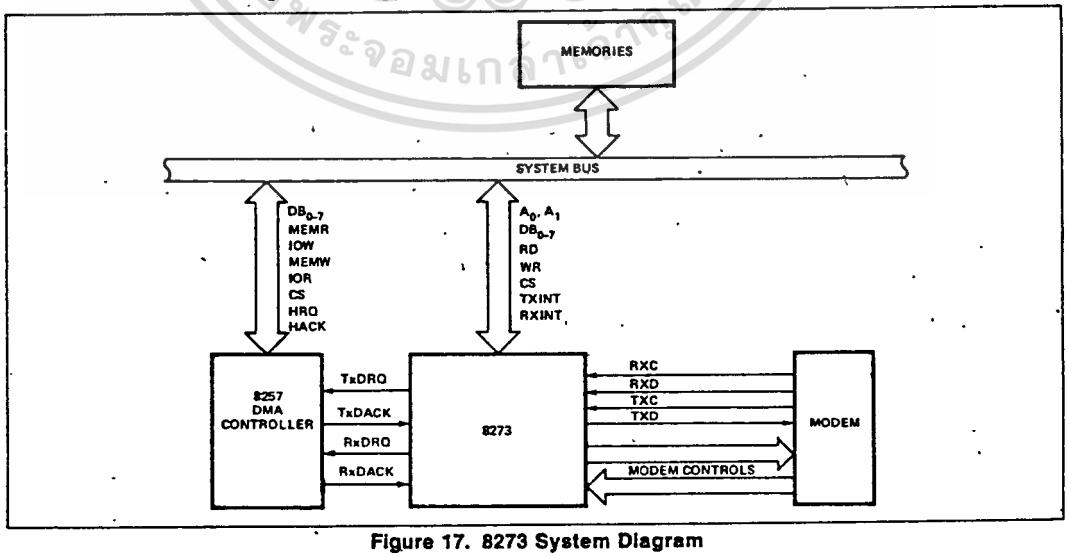


Figure 17. 8273 System Diagram

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

WAVEFORMS

COMMAND PHASE

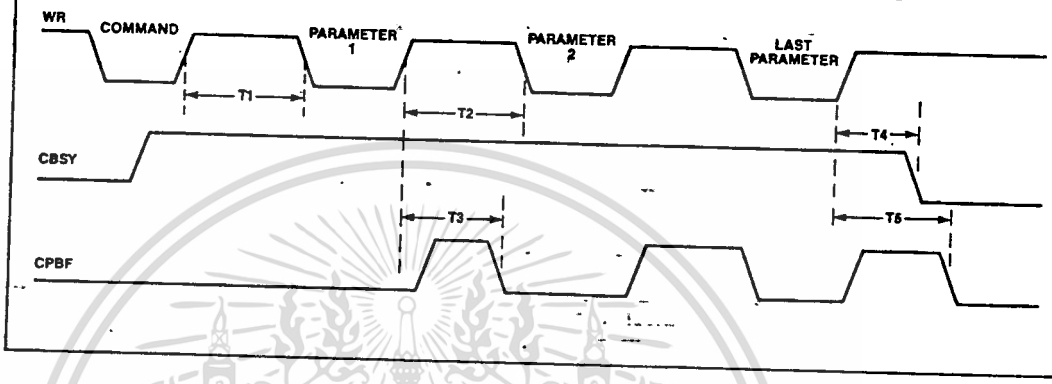


Table 2. Command Phase Timing (Full Duplex)

Symbol	Timing Parameter	Buffered		Non-Buffered		Unit
		Min.	Max.	Min.	Max.	
T1	Between command & first parameter	13	756	13	857	tcy
T2	Between consecutive parameters	10	604	10	705	tcy
T3	Command Parameter Buffer full bit Reset after Parameter loaded	10	604	10	705	tcy
T4	Command busy bit reset after last parameter	128	702	128	803	tcy
T5	CPBF bit reset after last parameter	10	604	10	705	tcy

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

WAVEFORMS (Continued)

RECEIVER INTERRUPT

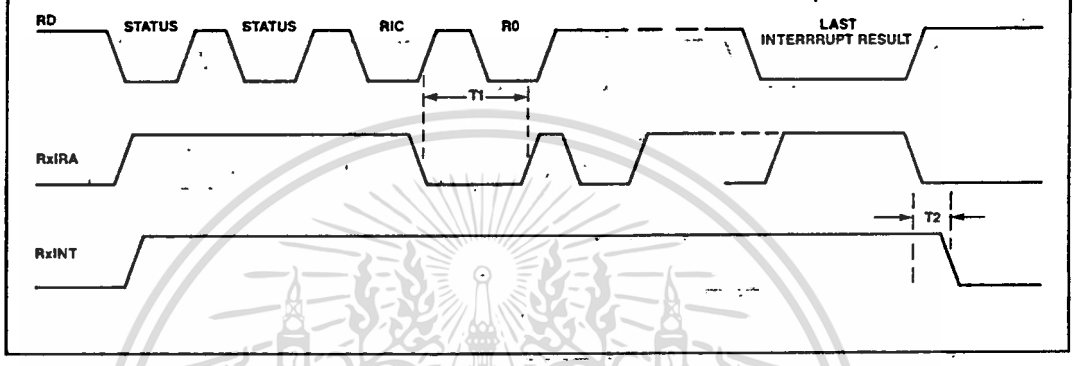


Table 3. Receiver Interrupt Result Timing

Symbol	Timing Parameter (clock cycles)	Buffered		Non-Buffered		Unit
		Min.	Max.	Min.	Max.	
T1	RxIRA bit set after RIC read	18	29	18	29	tcy
T2	RxINT goes away after last Int. Result read	16	27	16	27	tcy

AFN-00743C

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

WAVEFORMS (Continued)

TRANSMIT INTERRUPT

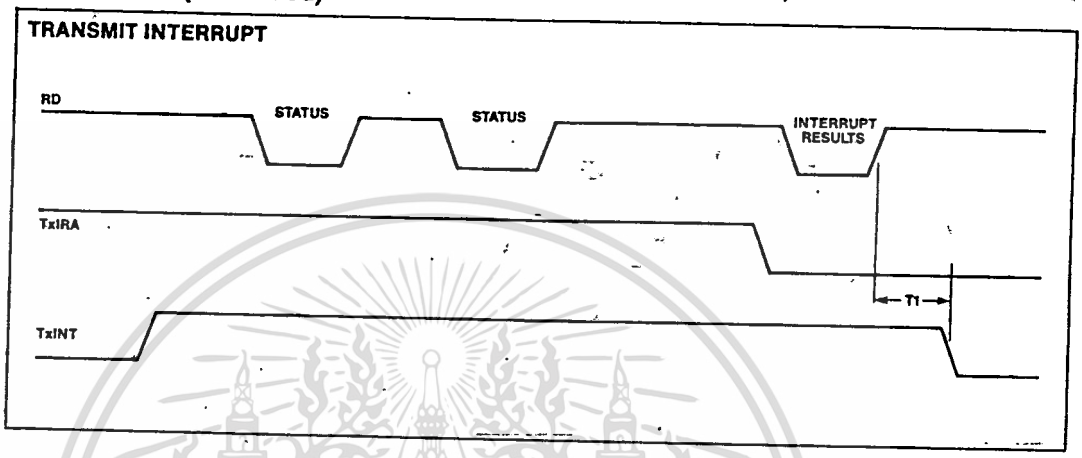


Table 4. Transmit Interrupt Result

Symbol	Timing (Clock Cycle)	Buffered		Non-Buffered		Unit
		Min.	Max.	Min.	Max.	
T1	TxINT inactive after Int. Results read	13	353	13	454	tcy

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ABSOLUTE MAXIMUM RATINGS*

Ambient Temperature Under Bias ..... 0°C to 70°C
Storage Temperature ..... -65°C to +150°C
Voltage on Any Pin With Respect to Ground ..... -0.5V to +7V
Power Dissipation ..... 1 Watt

NOTICE: Stresses above those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress rating only and functional operation of the device at these or any other conditions above those indicated in the operational sections of this specification is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

D.C. CHARACTERISTICS (8273, 8273-4) (T_A = 0°C to 70°C, V_{CC} = +5.0V ± 5%)

Symbol	Parameter	Min.	Max.	Unit	Test Conditions
V_{IL}	Input Low Voltage	−0.5	0.8	V	
V_{IH}	Input High Voltage	2.0	V_{CC} + 0.5	V	
V_{OL}	Output Low Voltage		0.45	V	I_{OL} = 2.0 mA for Data Bus Pins I_{OL} = 1.0 mA for Output Port Pins I_{OL} = 1.6 mA for All Other Pins
V_{OH}	Output High Voltage	2.4		V	I_{OH} = −200 μA for Data Bus Pins I_{OH} = −100 μA for All Other Pins
I_{IL}	Input Load Current		±10	μA	V_{IN} = V_{CC} to 0V
I_{OFL}	Output Leakage Current		±10	μA	V_{OUT} = V_{CC} to .45V
I_{CC}	V_{CC} Supply Current		180	mA	

CAPACITANCE (8273, 8273-4) (T_A = 25°C, V_{CC} = GND = 0V)

Symbol	Parameter	Min.	Typ.	Max.	Unit	Test Conditions
C_{IN}	Input Capacitance			10	pF	f_c = 1 MHz
$C_{I/O}$	I/O Capacitance			20	pF	Unmeasured Pins Returned to GND

A.C. CHARACTERISTICS (T_A = 0°C to 70°C, V_{CC} = +5.0V ± 5%)

CLOCK TIMING (8273)

Symbol	Parameter	Min.	Typ.	Max.	Unit	Test Conditions
t_{CY}	Clock	250		1000	ns	64K Baud Max Operating Rate
t_{CL}	Clock Low	120			ns	
t_{CH}	Clock High	120			ns	

CLOCK TIMING (8273-4)

Symbol	Parameter	Min.	Typ.	Max.	Unit	Test Conditions
t_{CY}	Clock	286		1000	ns	56K Baud Max Operating Rate
t_{CL}	Clock Low	135			ns	
t_{CH}	Clock High	135			ns	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

A.C. CHARACTERISTICS (8273, 8273-4) (T_A = 0°C to 70°C, V_{CC} = +5.0V ± 5%)

READ CYCLE

Symbol	Parameter	Min.	Max.	Unit	Test Conditions
t_{AC}	Select Setup to $\overline{RD}$	0		ns	Note 2
t_{CA}	Select Hold from $\overline{RD}$	0		ns	Note 2
t_{RR}	$\overline{RD}$ Pulse Width	250		ns	
t_{AD}	Data Delay from Address		300	ns	Note 2
t_{RD}	Data Delay from $\overline{RD}$		200	ns	C_L = 150pF, Note 2
t_{DF}	Output Float Delay	20	100	ns	C_L = 20pF for Minimum; 150pF for Maximum
t_{DC}	DACK Setup to $\overline{RD}$	25		ns	
t_{CD}	DACK Hold from $\overline{RD}$	25		ns	
t_{KD}	Data Delay from DACK		300	ns	

WRITE CYCLE

Symbol	Parameter	Min.	Max.	Unit	Test Conditions
t_{AC}	Select Setup to $\overline{WR}$	0		ns	
t_{CA}	Select Hold from $\overline{WR}$	0		ns	
t_{WW}	$\overline{WR}$ Pulse Width	250		ns	
t_{DW}	Data Setup to $\overline{WR}$	150		ns	
t_{WD}	Data Hold from $\overline{WR}$	0		ns	
t_{DC}	DACK Setup to $\overline{WR}$	25		ns	
t_{CD}	DACK Hold from $\overline{WR}$	25		ns	

DMA

Symbol	Parameter	Min.	Max.	Unit	Test Conditions
t_{CQ}	Request Hold from $\overline{WR}$ or $\overline{RD}$ (for Non-Burst Mode)		200	ns	

OTHER TIMING

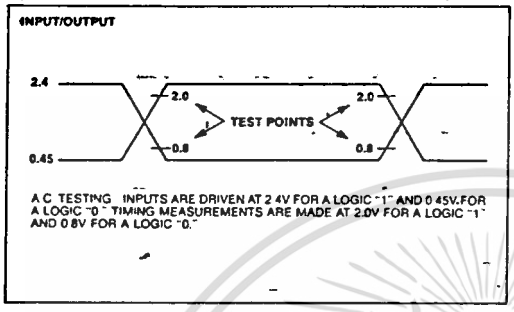
Symbol	Parameter	Min.	Max.	Unit	Test Conditions
t_{RSTW}	Reset Pulse Width	10		t_{CY}	
t_r	Input Signal Rise Time		20	ns	
t_f	Input Signal Fall Time		20	ns	
t_{RSTS}	Reset to First $\overline{IOWR}$	2		t_{CY}	
t_{CY32}	32X Clock Cycle Time	13.02 · t_{CY}		ns	
t_{CL32}	32X Clock Low Time	4 · t_{CY}		ns	
t_{CH32}	32X Clock High Time	4 · t_{CY}		ns	
t_{DPLL}	$\overline{DPLL}$ Output Low	1 · t_{CY} − 50		ns	
t_{DCL}	Data Clock Low	1 · t_{CY} − 50		ns	
t_{DCH}	Data Clock High	2 · t_{CY}		ns	
t_{DCY}	Data Clock	62.5 · t_{CY}		ns	
t_{TD}	Transmit Data Delay		200	ns	Note 3
t_{DS}	Data Setup Time	200		ns	
t_{DH}	Data Hold Time	100		ns	
t_{FLD}	$\overline{FLAG\ DET}$ Output Low	8 · t_{CY} ± 50		ns	

NOTES:

1. All timing measurements are made at the reference voltages unless otherwise specified: Input "1" at 2.0V, "0" at 0.8V; Output "1" at 2.0V, "0" at 0.8V.
2. t_{AD}, t_{RD}, t_{AC}, and t_{CA} are not concurrent specs.
3. If receive commands or Read/Write Port commands are issued while both the transmitter and receiver are active, this specification will be 81.5 T_{CY} min.

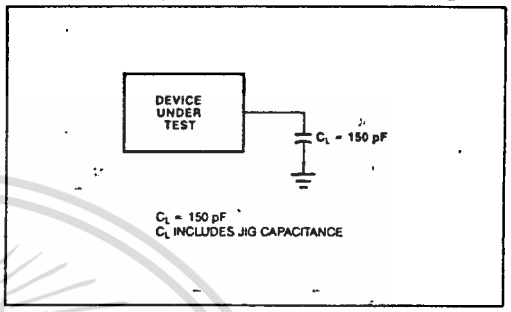
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

A.C. TESTING INPUT, OUTPUT WAVEFORM



A.C. TESTING: INPUTS ARE DRIVEN AT 2.4V FOR A LOGIC "1" AND 0.45V FOR A LOGIC "0". TIMING MEASUREMENTS ARE MADE AT 2.0V FOR A LOGIC "1" AND 0.8V FOR A LOGIC "0."

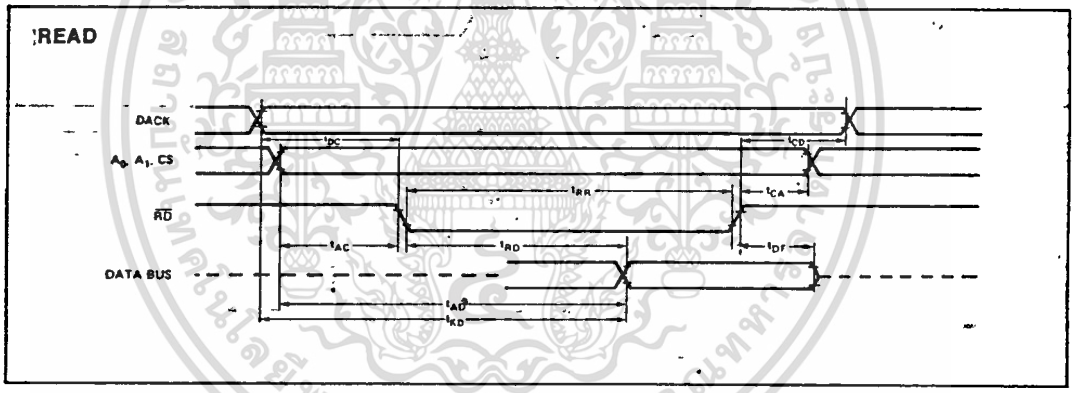
A.C. TESTING LOAD CIRCUIT



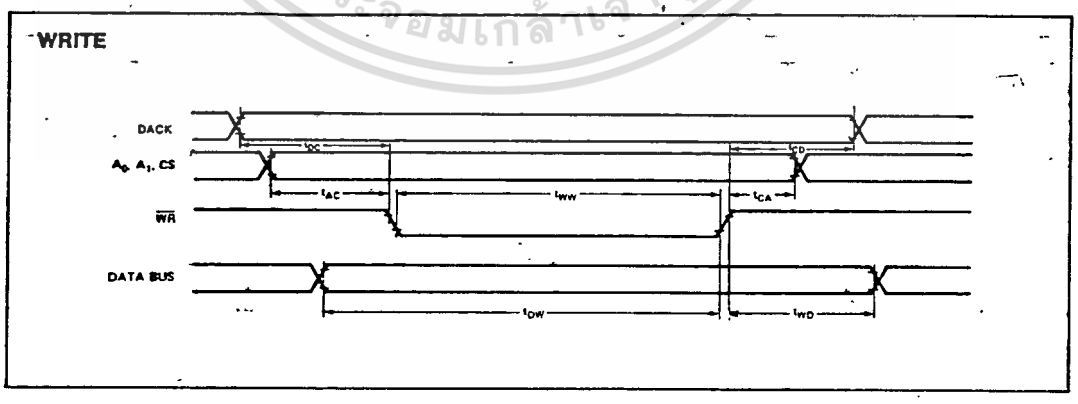
C_L = 150 pF
C_L INCLUDES JIG CAPACITANCE

WAVEFORMS

READ



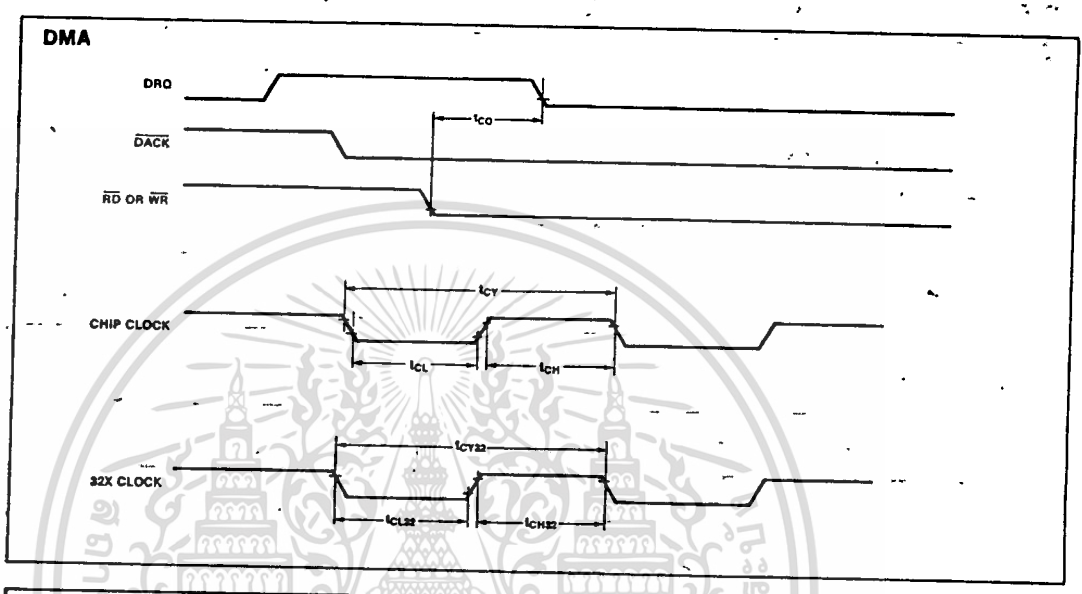
WRITE



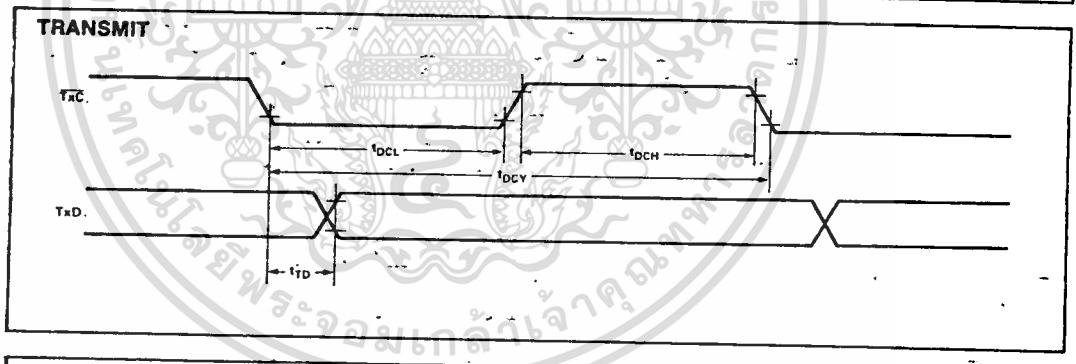
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

WAVEFORMS (Continued)

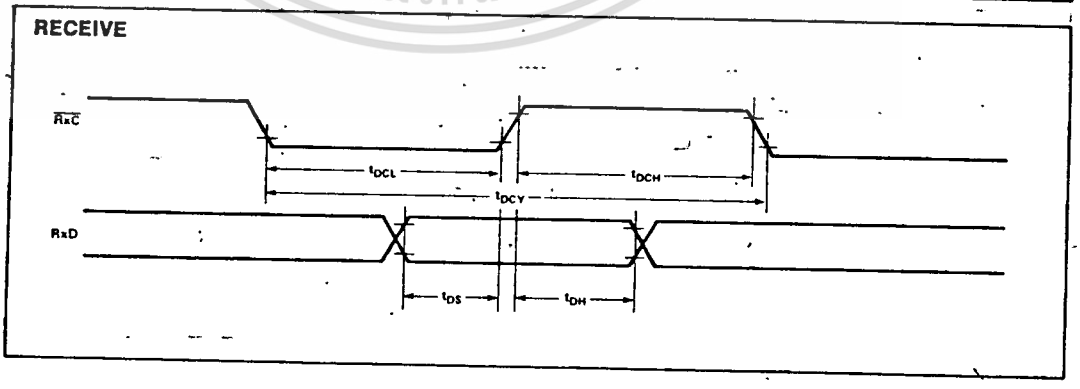
DMA



TRANSMIT

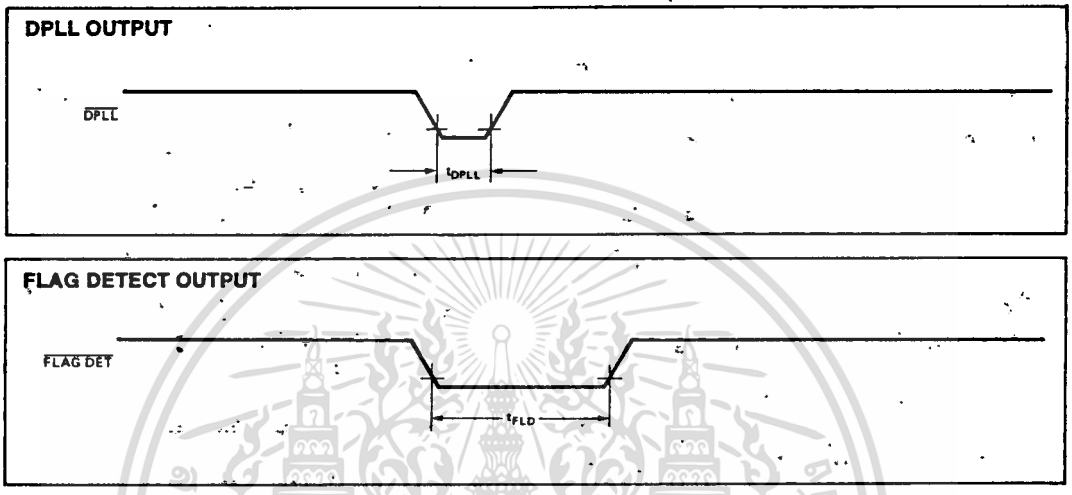


RECEIVE



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

WAVEFORMS (Continued)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หนังสืออ้างอิง

1) CCITT Recommendation Red Book

- VOLUME 7 ; 7.3 terminal equipment and protocols for telematic services recommendation of the T series

- VOLUME 8 ; 8.1 data communication over the telephone network recommendations of the V series

2) Seiko Epson Corporation, "EX800, EX1000 USER guide", Nagano, Japan, 1986

3) TOKYO ELECTRIC CO.LTD, "PN-3000 USER'S guide", TOKYO ELECTRIC CO.LTD, 1986

4) TEC, "VOCOFAX:SERVICE MANUAL PN-3000", TEC1986

5) TOSHIBA Co., "FACSIMILE TF-111/3300 SERVICE MANUAL", TOSHIBA Co.,1987

6) Canon Inc., "FAX-710 SERVICE MANUAL", Canon Inc., 1985

7) Mitsubishi Co., "TECHNICAL DOCUMENTS FOR FA-3300", Mitsubishi Co., 1987

8) JERRY Kane, "An introduction to Microcomputers, v.3,Some real support devices", Osborne&Associates Inc., 1979

9) Intel Co.,"Microsystem Components Handbook Volume 1,2", Intel Corporation, 1984

10) James W. Coffron, "Z80 Applications", SYBEX Inc., 1976

11) Lewis C. Eggebreht, "Interfacing to The IBM Personal Computer", Indianapolis, Howard W. Sen&Co.,Inc,1983

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้