ปีการศึกษา 2531

ไอซีเทสเตอร์บนไมโครคอมพิวเตอร์

และ

พาสซีฟ อินฟราเรด ดีเทคเตอร์

โดย

สมภพ พรหมเมือง

สุรพล คงพูล

อาจารย์ที่ปรึกษา

ดร. ไพศาล นาคพิพัฒน์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

สถาบันหน้าการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของลิขสิทธิ์ที่มีการใช้งาน

023111 -8.ค.2532

ไอซีเทสเตอร์บนไมโครคอมพิวเตอร์ และ พาสซีฟ อินฟราเรด ดีเทคเตอร์

สมภพ พรหมเมือง

สุรพล คงพูล

ดร. ไพศาล นาคพิทักษ์ อาจารย์ที่ปรึกษา

ปีการศึกษา 2531

บทคัดย่อ

ส่วนที่ 1

ไอซีเทสเตอร์บนไมโครคอมพิวเตอร์ จะประกอบด้วย software และ tester card ซึ่งจะเสียบ tester card ลงบน slot ของ mainboard ของ ไมโครคอมพิวเตอร์ และความต้องการที่จะใช้ ไอซีเทสเตอร์นี้ เครื่องคอมพิวเตอร์ต้องมีหน่วยความจำสำรองอย่างน้อย 256 K เป็น IBM PC/XT หรือ COMPATIPLE และมี ฟลอปปี้ดิสไดร์เวอร์อย่างน้อย 360 K 1 ตัว พีซีดอสจะเป็นเวอร์ชั่น 2.0 หรือหลังจากนั้น และ สำหรับ softwareจะมีไฟล์ยูทีลิตี้ 3 ไฟล์ด้วยกัน คือ

ICT.EXE เป็นเมนไฟล์ที่จะทำงาน

PORTSEL.EXE เป็นไฟล์ที่จะใช้เปลี่ยน ตำแหน่งแอดเดรส I/O

ADDR.DOC เป็นไฟล์ที่เก็บการเซ็ท I/O การ์ด

ในการทำงานของไอซีเทสเตอร์บนไมโครคอมพิวเตอร์นี้ จะสามารถเช็คไอซีที่เป็น TTL และ CMOS ว่าดี หรือ เสีย และสามารถที่จะค้นหาเบอร์ของไอซี ที่เราเสียบเข้าไปใน TEXTOOL ได้โดยจะแสดงให้เห็นในมอนิเตอร์

ส่วนที่ 2

ในการตรวจจับความเคลื่อนไหวโดยใช้เครื่องมืออิเลคทรอนิคส์ในสมัยใหม่นี้ ได้พัฒนาขึ้นมาตามลำดับ จนมาถึงในปัจจุบันได้นำการเปลี่ยนแปลงของรังสีอินฟราเรดที่แผ่ออกมาจากตัวคนหรือสัตว์ มาทำการตรวจจับโดยเครื่องมืออิเลคทรอนิคส์ดังจะกล่าวต่อไป

นับได้ว่าเป็นมาตรฐานของการตรวจจับสิ่งกีดขวางก็ว่าได้ โครงการนี้อาศัยการเปลี่ยนแปลงของอินฟราเรดเช่นกัน แต่ไม่ใช่วิธีที่ใช้ตัวส่ง พัลส์ และตัวตรวจจับการเปลี่ยนแปลงของพัลส์ที่ถูกส่งออกมา แต่จะเป็นชนิดที่เรียกได้ว่า "ซิงเกิ้ลเอนด์ (single end type) " คือมีแต่ตัวรับเท่านั้นโดยอาศัยหลักการที่เรียกว่า "พาสซีฟอินฟราเรด ดีเทคเตอร์ (passive infrared detector) คือการตรวจจับการเปลี่ยนแปลงความร้อนจากการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6.3 การติดตั้ง 62

บทที่ 7 ออพเนอร์เรชั่น แอมพลิไฟเออร์

7.1 ออนแอมป์ ทั่ว ๆ ไป 65

7.2 การป้อนกลับ 67

7.3 การออกแบบวงจรขยายแบบกลับ 68

7.4 วงจรขยายแบบอัตตราขยายเท่ากับ 1 69

7.5 ภาคขยายสัญญาณ 71

7.6 วงจรขยายสัญญาณความถี่ต่ำ 71

7.7 ชมิตทริกเกอร์ 74

บทที่ 8 วิจารณ์และสรุปผลการทดลอง

8.1 หลักการทำงาน 78

8.2 วงจร 80

8.3 บล็อคไดอะแกรม 81

ภาคผนวก

กิตติกรรมประกาศ

เอกสารอ้างอิง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เนื้อหาในปริญญานิพนธ์ฉบับนี้ ทางผู้จัดทำได้แบ่งรายละเอียด และ ผลการทดลอง ออกเป็น 2 ส่วน

ส่วนแรกจะเป็น ไอซีเทสเตอร์บนไมโครคอมพิวเตอร์ ซึ่งเป็นการทำงานที่จะใช้ทดสอบ ไอซีทั้ง TTL/CMOS ได้สำหรับ standart TTL จำนวน 118 เบอร์ low power shottky TTL (54/74 LS Series) 146 เบอร์ schottky-clamped TTL (54/74S Series) 38 เบอร์ high-speed TTL (54/74H Series) 20 เบอร์ TTL Equivalent CMOS Device(54/74C Series) 75 เบอร์ และเป็น CD45/4000 Series CMOS Devices(or MC 145/140 Series) จำนวน 75 เบอร์ โดยใช้ในการทดสอบ IC ว่าดี หรือ เสีย และค้นหาเบอร์ IC ดังที่กล่าวมาแล้ว

ส่วนที่สอง จะเป็นการใช้งาน ของ พาสซีฟอินฟราเรด ดีเทคเตอร์ (passive infrared detector) ตัวจับความเคลื่อนไหว โดยไม่ต้องมีตัวส่ง เพียงแต่ใช้แค่ตัวรับเท่านั้น คือ ไพโรอิเลคทริก อาศัยการตรวจจับการแผ่รังสี อินฟราเรด จากผู้บุกรุก ที่มีการเคลื่อนไหวเข้ามาในพื้นที่ในบริเวณที่ตรวจจับอยู่เท่านั้น เมื่อมีคน หรือ สัตว์ เข้ามาในพื้นที่จะทำให้วงจรทำงานแล้วนำสัญญาณที่ ดีเทคได้ ไปขยาย และนำไปเข้าวงจรเปรียบเทียบ และนำเอาท์พุทของวงจรไปขับรีเลย์ให้ทำงาน แล้วจึงนำคอนแทคของ รีเลย์ ไปใช้งานได้กว้างขวาง เช่น ติดตั้งระบบกันโขมย ระบบความปลอดภัยพิเศษของโรงงาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PART I

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณต่าง ๆ บนสล๊อตของ IBM/PC

ภายใน IBM/PC ได้มีการออกแบบให้สามารถที่จะเพิ่มเติมวงจรอินเตอร์เฟสเข้าไปในภายหลังได้ โดยผ่านทางสล๊อตที่อยู่บนเมนบอร์ด (Main Board) สำหรับสล๊อตบนเมนบอร์ดนี้จะมีจำนวน 5 สล๊อต (สำหรับ IBM PC/XT จะมีสล๊อต 8 สล๊อต) ซึ่งแต่ละสล๊อตจะมีจำนวนขาทั้งสิ้น 62 ขา แบ่งออกเป็น 2 ข้าง ๆ ละ 31 ขา ส่วนการเรียกตำแหน่งของขาสล๊อตเหล่านี้จะขึ้นอยู่กับว่าขาข้างนั้นอยู่ข้างใด (ซ้าย หรือ ขวา) ของสล๊อตโดยขาที่อยู่ทางด้านซ้ายจะเรียกโดยใช้อักษร B นำหน้าเลขตำแหน่งของขา เช่น ขา B16 ก็คือขาทางด้านซ้ายของสล๊อตขาที่ 16 (นับจากทางด้านซ้ายของเครื่อง) ส่วนขาที่อยู่ทางด้านขวาของสล๊อตจะเรียกโดยใช้อักษร A นำหน้าของเลขตำแหน่งขา เช่น ขา A24 ก็คือขาทางด้านขวาของสล๊อตขาที่ 24

แต่ละขาของสล๊อตเหล่านี้จะเชื่อมต่อกับเส้นสัญญาณต่าง ๆ บนเมนบอร์ด ทำให้การสร้างวงจรอินเตอร์เฟสกับ IBM/PC สามารถทำได้โดยสดวก ซึ่งเส้นสัญญาณที่เชื่อมต่อกับขาของสล๊อตเหล่านี้จะประกอบไปด้วย เส้นสัญญาณของบัสแอดเดรส(address bus),บัสข้อมูล (data bus),บัสควบคุมสำหรับการเขียน/อ่านข้อมูลจากหน่วยความจำ หรือพอร์ท I/O ,เส้นสัญญาณสำหรับการขออินเตอร์รัพของวงจรอินเตอร์เฟส , เส้นสัญญาณสำหรับการขอ DMA ,สัญญาณฐานเวลา (timing signal) ต่าง ๆ ที่ใช้ในระบบ ,เส้นสัญญาณแสดงการรีเฟรสหน่วยความจำ และ สัญญาณสำหรับการตรวจสอบความผิดพลาด (I/O CHCK)

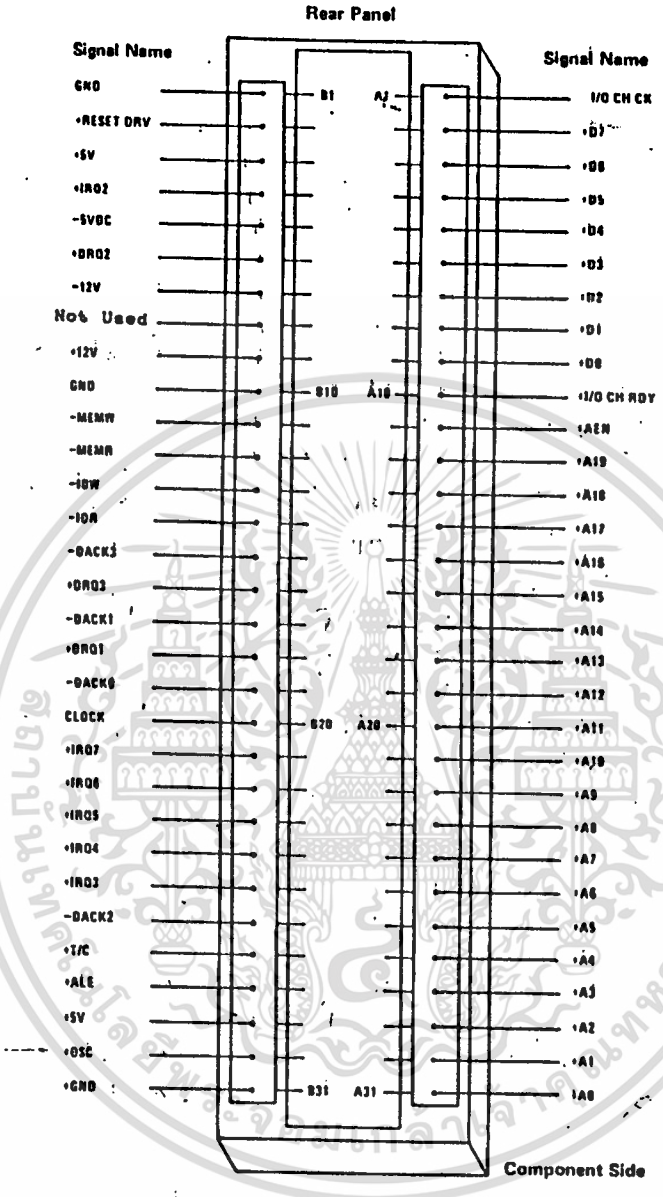
นอกจากเส้นสัญญาณเหล่านี้แล้ว สล๊อตบนเมนบอร์ดยังเชื่อมต่อกับแหล่งจ่ายไฟต่างที่ใช้ในระบบอีกด้วย คือ +5Vdc , -5Vdc , +12Vdc และ -12Vdc

1.1 รายละเอียดเกี่ยวกับสัญญาณต่าง ๆ

OSC (Oscillator ; ขา B30) :

ขานี้เป็นเอาท์พุทที่เชื่อมต่อกับสัญญาณคล๊อกที่มีค่าความถี่สูงสุด บนเมนบอร์ด คือ 14.31818 MHz ซึ่งมีคาบเวลาประมาณ 70 nanosec, และมี duty cycle (ช่วงเวลาใน 1 คาบที่สัญญาณคล๊อกมีลอจิกเป็น 1 หารด้วยคาบเวลาทั้งหมด) ประมาณ 50% สัญญาณคล๊อกอื่นของระบบ เช่น คล๊อกที่ป้อนให้กับ 8088 หรือม ชิพซัพพอร์ทต่าง ๆ นั้นจะถูกสร้างขึ้นโดยการหารสัญญาณคล๊อกนี้ อย่างไรก็ตามสิ่งหนึ่งที่จะต้องคำนึงถึงในการใช้งานสัญญาณ OSC ก็คือ สัญญาณนี้จะไม่ Synchronize กับสัญญาณอื่น ๆ บนบัสของระบบ ดังนั้นจึงไม่ควรที่จะนำสัญญาณจากขา OSC นี้ไปใช้เป็นสัญญาณคล๊อกสำหรับวงจรภายนอกอื่น ๆ ที่ทำงานร่วมกับระบบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



CLK (clock : ขา B20) :

ขาสัญญาณนี้เป็นเอาท์พุท ซึ่งต่อกับสัญญาณคล๊อกที่ถูกสร้างขึ้นโดยการหารสัญญาณ OSC ด้วย 3 ทำให้ได้ความถี่ประมาณ 4.77 MHz(14.31818 MHz/3) หรือมีช่วงเวลาใน 1 คาบ (ช่วงเวลาของคล๊อก 1 ลูก) เท่ากับ 210 nanosec (1/4.77 MHz) สำหรับค่า duty cycle ของสัญญาณนี้จะมีค่าประมาณ 1/3 คือ 1 คาบจะมีช่วงเวลาที่เป็นลอจิก 1 เท่ากับ 1/3 ของคาบเวลาทั้งหมด หรือ ประมาณ 70 nanosec และช่วงเวลาที่เป็นลอจิก 0 เท่ากับ 2/3 ของคาบเวลาทั้งหมด หรือประมาณ 140 nanosec สัญญาณนี้เป็นสัญญาณที่ถูกใช้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เป็นคล๊อกของระบบ

RESET DRV (ขา B2) :

ขาสัญญาณนี้เป็นเอาท์พุท ซึ่งจะแอกทีฟ (ลอจิก 1)ในช่วงที่เราเริ่มจ่ายไฟให้กับระบบ และจะยังคง แอคทีฟไปจนกว่าระบบต่าง ๆ ภายใน IBM/PC จะพร้อมที่จะทำงานได้ จากนั้นสัญญาณนี้ก็จะเปลี่ยนกลับเป็นลอจิก 0 นอกจากนี้ในระหว่างการทำงานของเครื่องคอมพิวเตอร์ ถ้าระดับแรงดันของแหล่งจ่ายไฟตกลง สัญญาณนี้ก็จะถูกทำให้แอกทีฟเช่นกัน โดยทั่วไปแล้วสัญญาณนี้จะถูกนำไปใช้ในการรีเซ็ทวงจรอินเทอร์เฟสหรืออุปกรณ์ I/O ต่าง ๆ ในช่วงที่เริ่มจ่ายไฟให้แก่ระบบ ซึ่งจะเป็นการทำให้วงจรหรืออุปกรณ์เหล่านั้นถูกปรับให้อยู่ในสภาวะที่แน่นอน ก่อนที่จะเริ่มต้นการทำงานในระบบ (สถาวะนี้เป็นสภาวะที่เราทราบ และต้องการให้วงจรทำงานในขณะที่ระบบถูกรีเซ็ท)

A0-A19 (address bus ; ขา A31-A12) :

ขาสัญญาณทั้ง 20 ขานี้เป็นเอาท์พุท ซึ่งใช้สำหรับกำหนดแอดเดรสของหน่วยความจำ หรือ อุปกรณ์ I/O ที่ 8088 ต้องการติดต่อด้วย โดยที่สัญญาณ A0 จะมีนัยสำคัญต่ำสุด (Least Significant Bit) และ A19 จะมีนัยสำคัญสูงสุด (Most Significant Bit) สำหรับค่าแอดเดรสบนบัสแอดเดรส A0-A19 นี้จะถูกกำหนดโดย 8088 ในระหว่างขบวนการอ่าน/เขียนข้อมูลลงในหน่วยความจำหรือ อุปกรณ์ I/O แต่ในช่วงขบวนการ DMA นั้น DMA-Controller จะเป็นผู้กำหนดค่าแอดเดรสบน บัสแอดเดรสเอง (ในระหว่างนี้ 8088 จะถูกตัดออกจากระบบ)

จะเห็นได้ว่าจำนวนเส้นแอดเดรสนี้จะมีอยู่ 20 เส้น ซึ่งสามารถที่จะอ้าง แอดเดรสของหน่วยความจำได้ถึง 1Mbyte แต่อย่างไรก็ตามจะมีแอดเดรสบางแอดเดรสที่ถูกใช้งานโดย IBM/PC อยู่ก่อนแล้ว คือแอดเดรสของหน่วยความจำ RAM บนเมนบอร์ดที่ถูกใช้โดยระบบ จำนวน 64Kbyte และแอดเดรสสำหรับ หน่วยความจำ ROM อีก 48Kbyte ซึ่งถูกจัดในช่วงของแอดเดรสบนสุดใน 1 Mbyte คือ OFC00H จนถึง OFFFFFH

สำหรับการอ้างแอดเดรสของพอร์ด I/O นั้น จะใช้เส้นแอดเดรสเพียง 16 เส้น คือ A0-A15 ซึ่งจะทำให้อ้างแอดเดรสของพอร์ดได้ 64K พอร์ด โดยผ่านชุดคำสั่ง IN และ OUT ส่วนเส้นแอดเดรสที่เหลือคือ A16-A19 นั้นจะไม่ถูกใช้งาน อย่างไรก็ตามภายในเครื่องคอมพิวเตอร์ PC จะใช้เส้นแอดเดรสในการอ้างแอดเดรสของพอร์ดเพียง 10 เส้น คือ จาก A0-A9 และค่าแอดเดรสที่ใช้งานจะต้องอยู่ในช่วง 0200H จนถึง 03FFH เท่านั้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ขาสัญญาณนี้จะเป็นแบบ Bi-Directional ซึ่งต่อกับบัสข้อมูลของระบบ เพื่อทำหน้าที่ในการส่งผ่านข้อมูลระหว่างพอร์ท I/O กับ IBM/PC โดยบิท D0 จะมีนัยสำคัญต่ำสุดและบิท D7 จะมีนัยสำคัญสูงสุด

สำหรับในบัสไซเคิลของการเขียนข้อมูลที่สร้างขึ้นโดย 8088 นั้น ข้อมูลจะถูกส่งออกมาบนบัสข้อมูล ก่อนที่สัญญาณ IOW (ในกรณีที่ต้องการส่งข้อมูลให้กับพอร์ท)หรือ MEMW (ในกรณีที่ต้องการส่งข้อมูลให้กับหน่วยความจำ) จะเปลี่ยนจากลอจิก 0 เป็น ลอจิก 1 ขอบขาขึ้น ซึ่งโดยทั่วไปขอบขาขึ้นของสัญญาณ IOW หรือ MEMW นี้ จะถูกใช้เพื่อสั่งให้พอร์ท I/O หรือหน่วยความจำที่มีแอดเดรสตรงกับค่าแอดเดรสบนบัสแอดเดรสนั้นรับข้อมูลไปเก็บไว้

สำหรับในบัสไซเคิลของการอ่านข้อมูลที่สร้างขึ้นโดย 8088 นั้น พอร์ท I/O หรือหน่วยความจำที่ถูกอ้างถึงจะต้องส่งข้อมูลออกมาบนบัสข้อมูล ก่อนที่สัญญาณ IOR (ในกรณีที่ต้องการอ่านข้อมูลจากพอร์ท) หรือ MEMR (ในกรณีที่ต้องการอ่านข้อมูลจากหน่วยความจำ) จะเปลี่ยนจากลอจิก 0 เป็นลอจิก 1 (ขอบขาขึ้น)

ALE (address latch enable ; ขา B28) :

ขาสัญญาณนี้เป็นสัญญาณเอาท์พุทที่ 8288 Bus Controller สร้างขึ้นเพื่อใช้สำหรับแสดงการเริ่มต้นของบัสไซเคิล และแสดงให้อุปกรณ์ภายนอกทราบว่าแอดเดรสที่ 8088 ต้องการจะติดต่อด้วยนั้นถูกส่งออกมาบนบัสแอดเดรสแล้ว โดยที่สัญญาณ ALE นี้จะเปลี่ยนจากลอจิก 1 เป็น 0 เมื่อค่าแอดเดรสที่ถูกต้องถูกส่งออกมาบนบัสข้อมูลเรียบร้อยแล้ว ดังนั้นขอบขาลงของสัญญาณ ALE นี้จะถูกใช้ในการแลทช์ค่าแอดเดรสจากบัสแอดเดรส/ข้อมูล (address /data bus ; AD0-AD7) ของ 8088 ทำให้สามารถแยกค่าแอดเดรส (A0-A19) และข้อมูล (A0-A7) ออกจากกันได้ อย่างไรก็ตามสัญญาณ ALE จะแอกทีฟเฉพาะในบัสไซเคิลที่สร้างขึ้นโดย 8088 เท่านั้น โดยจะไม่แอกทีฟในระหว่างขบวนการ DMA

I/O CHCK (I/O Channel Check ; ขา A1) :

ขาสัญญาณนี้เป็นอินพุทที่ใช้ในการแสดงความผิดพลาดเกี่ยวกับพาริตี้ ที่เกิดขึ้นในการทำงานของวงจรอินเตอร์เฟส หรือ อุปกรณ์ I/O เมื่อขาสัญญาณนี้ได้รับลอจิก 0 จะทำให้ 8088 ถูกอินเทอร์รัพแบบ Non-Maskable (NMI) อย่างไรก็ตามเราสามารถที่จะกำหนดให้วงจรภายในของคอมพิวเตอร์ ทำการขออินเตอร์รัพ (เมื่อได้รับสัญญาณ I/O CHCK) หรือไม่ก็ได้ โดยการกำหนดลอจิกของบิทข้อมูลของพอร์ท ที่ควบคุมการขออินเตอร์รัพแบบ NMI คือบิท D7 ของพอร์ท 00A0H ในกรณีที่บิท D7 ของพอร์ทนี้ ถูกเซ็ทเป็น 1 ก็จะทำให้วงจรภายนอกขออินเทอร์รัพแบบ NMI ได้ (Enable) แต่ถ้าบิท D7 ของพอร์ท 00A0H ถูกเซ็ทเป็น 0 ก็จะ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เป็นการดิสเอเบิล (Disable) การขออินเตอร์รัพแบบ NMI ดังนี้

Enable : ใช้คำสั่ง OUT ส่งข้อมูล 80H ไปยังพอร์ท 00A0H

Disable : ใช้คำสั่ง OUT ส่งข้อมูล 00H ไปยังพอร์ท 00A0H

และเนื่องจากยังมีอุปกรณ์อื่นที่สามารถขออินเทอร์รัพแบบ NMI ได้อีกดังนั้นซอฟท์แวร์ที่ใช้งานจะต้องสามารถตรวจสอบว่าการขออินเตอร์รัพนั้นเกิดจากแหล่งใดได้ด้วย

I/O CHRDY (I/O Channel Ready ; ขา A10) :

ขาสัญญาณนี้เป็นอินพุทที่ใช้เพิ่มช่วงเวลาในบัสไซเคิลในกรณีที่อุปกรณ์ I/O หรือหน่วยความจำที่เกี่ยวข้องกับขบวนการในบัสไซเคิลที่เกิดขึ้นนั้น ไม่สามารถทำงานทันตามช่วงเวลาปกติของบัสไซเคิลนั้น ๆ ได้ (ช่วงเวลาของบัสไซเคิลที่เกี่ยวกับหน่วยความจำใช้ช่วงเวลา เท่ากับช่วงเวลาของคล๊อก 4 ลูก หรือ 840 nanosec ในขณะที่บัสไซเคิลที่เกี่ยวกับ I/O จะใช้ช่วงเวลาเท่ากับช่วงเวลาของคล๊อก 5 ลูกหรือ 1.05 usec)

เมื่ออุปกรณ์ I/O หรือหน่วยความจำต้องการที่จะเพิ่มช่วงเวลาในบัสไซเคิลให้นานขึ้นอีกนั้น จะสามารถทำได้โดยการป้อนลอจิก 0 ให้กับขา I/O CHRDY ในช่วงเวลาที่ I/O หรือหน่วยความจำที่ถูกกำหนดนั้น ได้รับสัญญาณจากการดีโค้ดแอดเดรส และ สัญญาณ MEMR ,MEMW , IOR หรือ IOW แอกทีฟ

IRQ2-IRQ7 (Interrupt Request 2 Through 7 ; ขา B4 ,B25-B21) :

ขาสัญญาณทั้ง 6 นี้เป็นขาอินพุทที่ใช้สำหรับการขออินเตอร์รัพจาก 8088 โดยสัญญาณเหล่านี้จะต่อให้กับ 8259A บนเมนบอร์ดโดยตรง โปรแกรมในส่วนไบออส ของเครื่องจะทำการโปรแกรม 8259A ให้ IRQ2 มีลำดับความสำคัญสูงสุด (Highest Priority) และ IRQ7 มีลำดับความสำคัญต่ำสุด ในกรณีที่มีการขออินเทอร์รัพเกิดขึ้นคือ ระดับลอจิกที่ขา IRQ ขาใดขาหนึ่งถูกเปลี่ยนจากลอจิก 0 เป็นลอจิก 1(ขอบขาขึ้น) 8259A ก็จะทำการส่งสัญญาณ INT ให้กับ 8088 เพื่อทำการขออินเทอร์รัพท์

สิ่งสำคัญในการอินเตอร์รัพท์โดยผ่านทาง IRQ2-IRQ7 นี้ ก็คืออุปกรณ์ที่ทำการขออินเทอร์รัพท์โดยผ่านทาง IRQ ขาใดก็จะต้องรักษาระดับสัญญาณที่ขา IRQ นั้นให้แอกทีฟอยู่จนกว่าจะได้รับสัญญาณ INTA (interrupt acknowledge) จาก 8088 เสียก่อน ถ้าไม่เช่นนั้นการขออินเตอร์รัพจะถูกยกเลิก และอินเทอร์รัพท์ Level 7 (IRQ7) ก็จะถูกสร้างขึ้นโดยอัตโนมัติ ไม่ว่าการขออินเทอร์รัพท์ที่ถูกยกเลิกนั้นจะเป็นการขออินเตอร์รัพท์ใน Level หรือ ขาใด

แต่อย่างไรก็ตามสัญญาณ INTA นี้จะไม่ถูกต่อออกมาที่ขาของสล๊อตด้วยดังนั้นโปร-

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แกรมที่ทำการตอบสนองต่อการขออิเทอร์รัพท์ (interrupt service routine)จะต้องทำการรีเซทสัญญาณ IRQ เอง โดยใช้คำสั่ง OUT ไปยังพอร์ท I/O ที่เกี่ยวข้อง

IOR (I/O Read ; ขา B14) :

ขาสัญญาณนี้เป็นเอาท์พุทแอกทีฟที่ลอจิก 0 ที่สร้างขึ้นโดย 8288 Bus Controler เพื่อใช้ในการแสดงว่าบัสไซเคิลที่เกิดขึ้นนี้ เป็นบัสไซเคิลของการอ่านข้อมูลจากพอร์ท I/O เพื่อให้ พอร์ท I/O ที่มีแอดเดรสตรงกับแอดเดรสบนบัสแอดเดรสนั้นส่งข้อมูลออกมาบนบัสข้อมูล โดยข้อมูลจะต้องถูกส่งออกมาบนบัสข้อมูลก่อนขอบขาขึ้นของสัญญาณ IOR ประมาณ 30 nanosec เพื่อให้มั่นใจได้ว่า 8088 สามารถรับข้อมูลได้ถูกต้อง สำหรับในขบวนการ DMA 8237A-5 DMA Controller จะทำการสร้างสัญญาณ IOR เองโดยที่ค่าแอดเดรสที่อยู่บนบัสแอดเดรสจะเป็นค่าแอดเดรสของหน่วยความจำ (แทนที่จะเป็นแอดเดรสของพอร์ท I/O)ที่พอร์ท I/O ที่ขอ DMA ต้องการจะนำข้อมูลไปเก็บ การที่พอร์ทใดจะส่งข้อมูลออกมาบนบัสข้อมูลนั้น จะอาศัยสัญญาณ DACK จาก DMA Controller เป็นตัวกำหนดเช่นกรณีที่สัญญาณ DACK1 แอคทีฟก็จะแสดงว่าพอร์ท I/O ที่จะต้องส่งข้อมูลออกมาบนบัสข้อมูลก็คือพอร์ท I/O ที่ขอ DMA ผ่านทางแชนแนลที่ 1 (DRQ1) เป็นต้น

IOW (I/O Write ; ขา B13) :

ขาสัญญาณนี้เป็นเอาท์พุทแอคทีฟที่ลอจิก 0 ซึ่ง 8288 Bus Controller เพื่อใช้แสดงว่าบัสไซเคิลที่เกิดขึ้นนี้เป็นบัสไซเคิลของการเขียนข้อมูลลงบนพอร์ท I/O เพื่อให้พอร์ท I/O ที่มีแอดเดรสตรงกับแอดเดรสบนบัสแอดเดรสนั้น รับข้อมูลที่อยู่บนบัสข้อมูลไปเก็บไว้ อย่างไรก็ตามเนื่องจากในช่วงเวลาที่สัญญาณ IOW นี้แอกทีฟ (ลอจิก 0)นั้นข้อมูลบนบัสข้อมูลอาจจะยังไม่สมบูรณ์ ดังนั้นในการออกแบบจึงควรใช้ขอบขาขึ้นของสัญญาณ IOW แทนขอบขาลงในการทำให้พอร์ท I/O ที่เกี่ยวข้องรับข้อมูลไปเก็บไว้ เพื่อให้ข้อมูลบนบัสข้อมูลสมบูรณ์เสียก่อนสำหรับในขบวนการ DMA นั้น DMA-Controller จะทำการสร้างสัญญาณ IOW เอง โดยที่ค่าแอดเดรสที่อยู่บนบัสแอดเดรสจะเป็นค่าแอดเดรสของหน่วยความจำที่พอร์ท I/O ที่ขอ DMA ต้องการจะอ่านข้อมูล

MEMW (Memory Write ; B11) :

ขานี้เป็นเอาท์พุทแอคทีฟที่ลอจิก 0 ซึ่ง 8288 Bus Controller สร้างขึ้นในระหว่างบัสไซเคิลในการเขียนข้อมูลลงในหน่วยความจำของ 8088 สัญญาณ MEMW นี้จะถูกส่งออกมา เพื่อให้หน่วยความจำที่แอดเดรสตรงกับค่าแอดเดรสบนบัสแอดเดรสนั้น ทำการรับข้อมูลที่อยู่บนบัสข้อมูลไปเก็บไว้ โดยทั่วไปหน่วยความจำจะรับข้อมูลในช่วงขอบขาขึ้นของสัญญาณ MEMW

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำหรับในระหว่างขบวนการ DMA นั้น 8237A-5 DMA-Controller จะทำการควบคุมบัสต่าง ๆ ของระบบแทน 8088 และสัญญาณ MEMW จะถูกใช้ในบัสไซเคิลของการเขียนข้อมูลลงในหน่วยความจำ (ข้อมูลถูกส่งจากอุปกรณ์ I/O ไปให้กับหน่วยความจำ)

MEMR (memory read ; ขา B12) :

ขานี้เป็นเอาท์พุทจาก 8288 ซึ่งสัญญาณนี้จะแอกทีฟ (ลอจิก 0) ในระหว่างบัสไซเคิลของการอ่านข้อมูลจากหน่วยความจำของ 8088 เพื่อให้หน่วยความจำที่มีแอดเดรสตรงกับค่าแอดเดรสบนบัสแอดเดรสนั้น ทำการส่งข้อมูลออกมาบนบัสข้อมูล โดยหน่วยความจำนั้นจะต้องส่งข้อมูลออกมาในช่วงเวลา 30 nanosec ก่อนที่สัญญาณ MEMW จะกลับเป็นลอจิก 1 ทั้งนี้ก็เพื่อให้ 8088 ได้รับข้อมูลที่ถูกต้อง

สำหรับในระหว่างขบวนการ DMA นั้น DMA-Controller จะควบคุมบัสต่าง ๆ ของระบบแทน 8088 และสัญญาณ MEMR จะถูกใช้ในบัสไซเคิลของการข้อมูลจากหน่วยความจำ (ข้อมูลถูกส่งจากหน่วยความจำไปให้กับอุปกรณ์ I/O)

DRQ1-DRQ3 (DMA Request 1-3 ; ขา B18,B6 และขา B16) :

ขาสัญญาณทั้ง 3 นี้เป็นสัญญาณอินพุทแอกทีฟที่ลอจิก 1 ซึ่งอุปกรณ์ภายนอกสามารถใช้ในการขอ DMA จากระบบโดยการป้อนระดับสัญญาณลอจิก 1 ให้กับขา DRQ ขาใดขาหนึ่ง (ขา DRQ ทั้ง 3 นี้จะต่อเข้ากับ DRQ1-DRQ3 ของ 8237A-5)

เมื่อ 8237A-5 ได้รับสัญญาณนี้แล้วก็จะตรวจสอบว่ามีการขอ DMA ในแชลแนลที่มีลำดับความสำคัญสูงกว่าหรือไม่ ถ้าไม่มีก็จะทำการขอ DMA จาก 8088 และการตอบรับการขอ DMA จากอุปกรณ์ภายนอก (สัญญาณ DACK ของแชนแนลที่ขอ DMA จะแอกทีฟ) แต่ถ้ามี 8237A-5 ก็จะทำการขอ DMA ให้กับแชนแนลที่มีลำดับความสำคัญสูงสุดกว่าก่อนแล้วจึงทำการขอ DMA ให้กับแชนแนลที่มีความสำคัญต่ำกว่า ภายใน ROM BIOS ของเครื่อง จะโปรแกรม 8237A-5 ให้ DRQ1 มีความสำคัญสูงสุดและ DRQ3 มีลำดับความสำคัญต่ำสุด ดังนั้นถ้ามีการขอ DMA ของอุปกรณ์ภายนอกผ่านทางแชนแนลที่ 1(DRQ1) และ แชนแนลที่ 2 (DRQ2) 8237A-5 ก็จะทำการขอ DMA ให้กับแชนแนลที่ 1 ก่อน จากนั้นเมื่อเสร็จขบวนการ DMA ของแชนแนลที่1 แล้ว จึงจะทำการขอ DMA ให้กับแชนแนลที่ 2

อย่างไรก็ตาม 8237A-5 ยังมีแชนแนลสำหรับการขอ DMA อยู่อีก 1 แชนแนล คือแชนแนลที่ 0 (DRQ0) ซึ่งในความเป็นจริงแล้วแชลแนลนี้จะมีลำดับความสำคัญที่สูงกว่าแชนแนลที่ 1 แต่จะไม่ถูกต่อออกมายังขาของ สล๊อต เนื่องจาก IBM/PC จะใช้แชนแนลที่0 นี้ในการรีเฟรสหน่วยความจำที่เป็น Dynamic RAM

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ศูนย์วิทยทรัพยากร
จุฬาลงกรณ์มหาวิทยาลัย

ในการขอ DMA นั้นสัญญาณ DRQ จะแอคทีฟอยู่ในช่วงระยะเวลาหนึ่งเท่านั้นถ้าสัญญาณนี้ แอคทีฟอยู่นานเกินไป จะทำให้เกิดขบวนการ DMA ขึ้นมากกว่า 1 ขบวนการได้สำหรับวงจรที่ขอ DMA โดยทั่วไปแล้วจะใช้สัญญาณการตอบรับการขอ DMA หรือ สัญญาณ DACK ของแชนแนลที่ขอ DMA นั้นในการรีเซ็ทสัญญาณ DRQ เช่นอุปกรณ์ที่ขอ DMA ผ่านทางแชนแนลที่ 1 ก็จะคอยตรวจสอบการตอบรับการขอ DMA จากสัญญาณ DACK ของแชนแนลที่ 1 เมื่อได้รับสัญญาณจาก DACK เมื่อได้รับสัญญาณจาก DACK1 แล้ว ก็จะรีเซ็ทสัญญาณ DRQ1 (เปลี่ยนจากลอจิก 1 เป็น 0)

DACKO-DACK3 (DMA Acknowiedge 0-3; ขา B19,B17,B26 และ B15) :

สัญญาณทั้ง 4 นี้เป็นเอาท์พุทแอคทีฟที่ลอจิก 0 ซึ่ง 8237A-5 สร้างขึ้นเพื่อแสดงให้วงจรภายนอกที่ขอ DMA ทราบว่าการขอ DMA นั้นได้รับการตอบสนองแล้วและ 8237A-5 จะเข้าสู่ขบวนการ DMA เพื่อให้การส่งผ่านข้อมูลระหว่างอุปกรณ์ I/O ที่ขอ DMA กับหน่วยความจำเกิดขึ้นได้โดยตรง คือไม่ต้องผ่าน 8088 โดยสัญญาณ DACK นี้จะแอคทีฟในแชนแนลใดก็ขึ้นอยู่กับว่าขบวนการ DMA ที่จะเกิดขึ้นนั้นเป็นการตอบสนองต่อการขอ DMA ในแชนแนลใด เช่นถ้าขบวนการ DMA ในแชนแนลที่ 2 (DRQ2) สัญญาณ DACK2 ก็จะแอคทีฟเป็นต้น

ดังที่ได้กล่าวแล้วว่าสัญญาณ DRQO นั้น จะไม่ถูกต่อออกมายังขาของสล็อต ดังนั้นวงจรอินเทอร์เฟสจึงไม่สามารถจะขอ DMA ผ่านทางแชนแนล 0 ได้ แต่สัญญาณ DACKO จะถูกต่อออกมายังสล็อตด้วย (ขา B 19) ทั้งนี้ก็เพื่อที่จะแสดงให้วงจรอินเทอร์เฟสต่าง ๆ ทราบว่าขบวนการ DMA ที่เกิดขึ้นในช่วงเวลาที่ DACKO แอคทีฟนั้นเป็นขบวนการที่ใช้สำหรับการริเฟรชหน่วยความจำที่เป็น DYNAMIC RAM ซึ่งวงจรอินเทอร์เฟสที่ใช้หน่วยความทรงจำประเภทนี้สามารถจะนำไปใช้ในการรีเฟรช DYNAMIC RAM ที่อยู่ในวงจรได้

โดยที่การรีเฟรชหน่วยความจำนั้นจะเกิดขึ้นในทุก ๆ 15.12 usec.หรือทุก ๆ 72 คล็อก ดังนั้นสัญญาณ DACKO นี้ก็จะแอคทีฟในทุก ๆ 15.12 usec ด้วย

AEN (Address Enable ; ขา A 11)

สัญญาณนี้เป็นเอาท์พุทที่ใช้ในการแสดงว่าบัสไซเคิลที่เกิดขึ้นในช่วงเวลาที่สัญญาณ AEN แอคทีฟ (ลอจิก "1") นั้น เป็นบัสไซเคิลของขบวนการ DMA

สำหรับบนเมนบอร์ดของ IBM/PC นั้น จะใช้สัญญาณนี้ในการดิสเอเบิล (Disable) 8288 Bus Controller และจะใช้ดิสเอเบิลฟอร์ท I/O ต่าง ๆ ที่ไม่เกี่ยวข้องกับขบวนการ DMA ที่เกิดขึ้นนี้ ที่จำเป็นต้องทำเช่นนี้ก็เพราะในระหว่างขบวนการ DMA นั้น 8237A-5 จะส่งแอดแดรสของหน่วยความจำออกมาบนบัสแอดเดรส และจะทำให้สัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

IOR หรือ IOW แอคทีฟด้วย ดังนั้นถ้าไม่ทำการดิสเอเบิลพอร์ท I/O ที่ไม่เกี่ยวข้องไว้ ก็อาจจะทำให้พอร์ท I/O ที่มีแอดเดรสตรงกับค่าแอดแดรสบนบัสแอดเดรส (ซึ่งเป็นแอดเดรสของหน่วยความจำ) นั้น ทำการอ่านหรือส่งข้อมูลออกมาบนบัสข้อมูลทำให้เกิดความผิดพลาดขึ้นได้

T/C (Terminal Count; ขา B27) :

สัญญาณนี้ถูกสร้างขึ้นจากการนำเอาสัญญาณเอาท์พุทที่ขา EOP ของ 8237A-5 มากลับลอจิก (โดยใช้เกท Inverter) ทำให้สัญญาณ T/C นี้แอคทีฟที่ลอจิก "1"

สำหรับสัญญาณนี้จะแอคทีฟเมื่อจำนวนไบท์ในการส่งผ่านข้อมูลของขบวนการ DMA ในแชนแนลใดแชนแนลหนึ่ง ครบตามจำนวนที่กำหนดไว้ (ดูรายละเอียดในบทที่ 7 "การจัด DMA ของระบบ") โดยทั่วไปแล้วสัญญาณที่จะถูกใช้ในการสิ้นสุดขบวนการ DMA ที่ทำการส่งผ่านข้อมูลเป็นบล็อก เนื่องจากสัญญาณนี้จะจะแอคทีฟโดยไม่แสดงว่าเป็นสัญญาณของแชนแนลใด ดังนั้นจึงต้องทำการนำสัญญาณ T/C นี้ผ่านเกท Inverter แล้วนำไป OR กับสัญญาณ DACK เพื่อให้สามารถทราบได้ว่า สัญญาณ T/C ที่เกิดขึ้นนั้นเป็นสัญญาณของแชนแนลใด สำหรับในแชนแนลที่ 0 นั้นสัญญาณ T/C จะแอคทีฟในช่วงเวลาที่คงที่คือ ทุก ๆ 990.804 millisec.ซึ่งก็คือช่วงเวลาที่ใช้ในการรีเฟรชหน่วยความจำขนาด 64 Kbute นั่นเอง

บัสของแหล่งจ่ายไฟของระบบ

+5Vdc ขา B3 และ B29) :

ขาทั้งสองนี้ต่อกับแหล่งจ่ายไฟ DC +5V ของระบบ โดยจะมีค่าความเที่ยงตรง (Regulated) + 5% คืออยู่ในช่วง +4.75 ถึง +5.25 Vdc

+12Vdc (ขา B9) :

ขานี้จะต่อกับแหล่งจ่ายไฟ DC +12V ของระบบ โดยจะมีค่าความเที่ยงตรง (Regulated) + 5% คืออยู่ในช่วง +11.4 ถึง +12.6 Vdc

-5Vdc (ขา B5) :

ขานี้จะต่อกับแหล่งจ่ายไฟ DC -5V ของระบบ โดยจะมีค่าความเที่ยงตรง (Regulated) + 10% คืออยู่ในช่วง -5.5 ถึง -4.5 Vdc

-12Vdc (ขา B7) :

ขานี้จะต่อกับแหล่งจ่ายไฟ DC -12V ของระบบ โดยจะมีค่าความเที่ยงตรง (Regulated) + 10% คืออยู่ในช่วง -13.2 ถึง -10.8 Vdc

GND (ขา B1,B10 และ B31) :

ขาทั้งสามนี้จะต่อเข้ากับกราวด์ (Ground) ของระบบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การจัดสัญญาณบนสล็อตของ IBM PC/XT

สำหรับใน IBM PC/XT นั้นจะมีสล็อตสำหรับเชื่อมต่อกับวงจรภายนอกได้มากขึ้น คือ ใน IBM PC/AT จะทำการเพิ่มจำนวนสล็อตบนเมนบอร์ดขึ้นเป็น 8 สล็อต จากเดิมที่มีอยู่เพียง 5 สล็อตบน IBM PC โดยการจัดสัญญาณต่าง ๆ ในทั้ง 8 สล็อตจะยังคงเหมือนกับใน IBM PC เพียงแต่สัญญาณต่าง ๆ ที่จะถูกส่งออกมายังขาของสล็อตที่ 8 นั้น จะถูกต่อผ่านวงจรขับกระแส (Buffer) ก่อน และในสล็อตที่ 8 นี้ขา B8 จะถูกใช้งานด้วย โดยจะถูกใช้เป็นขา CARD SLCTD (หรือ Card Selected) ซึ่งขาสัญญาณนี้จะเป็นสัญญาณอินพุทจากวงจรภายนอกที่เสียบอยู่บนสล็อตที่ 8 เพื่อให้วงจรบนเมนบอร์ดทราบว่าคาร์ดที่อยู่บนสล็อตนี้ถูกเลือกใช้งานอยู่ ซึ่งจะทำให้ Driver บนเมนบอร์ดทำการอ่านหรือส่งข้อมูลไปยังสล็อตที่ 8

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2

การจัดแอดเดรสสำหรับ I/O

การจัดแอดเดรสสำหรับหน่วยความจำและพอร์ท I/O ต่าง ๆ ภายใน IBM/PC ซึ่งจะแสดงถึงแอดเดรสต่าง ๆ ที่ถูกใช้งานโดยพอร์ท I/O (Input/Output Port) และหน่วยความจำ นอกจากนี้จะได้กล่าวถึงเทคนิคการดีโค้ด (Decode) แอดเดรสในแบบต่าง ๆ ด้วย

2.1 การจัดแอดเดรสสำหรับพอร์ท I/O ใน IBM/PC

ในหัวข้อนี้จะกล่าวถึงวิธีการอ้างและใช้งานแอดเดรสต่าง ๆ ของพอร์ท I/O ที่ใช้งานอยู่ใน IBM/PC

2.2 การอ้างแอดเดรสของพอร์ท I/O

ในการควบคุมและตรวจสอบสภาวะการทำงานรวมทั้งการอ่านข้อมูลจากอุปกรณ์ที่เป็นชิฟ-สัพพอร์ทหรือการ์ดต่าง ๆ ที่ใช้ในระบบของ IBM/PC นั้น จะกระทำโดยผ่านทางพอร์ท I/O ของระบบ ดังนั้นในการที่จะใช้งานหรือควบคุมการทำงานของอุปกรณ์เหล่านี้ จึงจำเป็นต้องศึก-ษาถึงวิธีการควบคุมพอร์ท I/O ต่าง ๆ ของระบบด้วย และเนื่องจากการควบคุมหรือติดต่อกับพอร์ทเหล่านี้ต้องกระทำโดยการอ้างถึงแอดเดรสของพอร์ท I/O เหล่านี้โดยตรง เราจึงจำ-เป็นต้องศึกษาถึงหลักการอ้างแอดเดรสของ 8088 ใน IBM/PC ด้วย

สำหรับแอดเดรสของพอร์ท I/O ต่าง ๆ นั้น จะเป็นแอดเดรสที่ถูกสร้างขึ้นโดย 8088 ซึ่งแอดเดรสเหล่านี้เป็นแอดเดรสที่จัดไว้สำหรับพอร์ท I/O โดยเฉพาะคือแยกจากแอด-เดรสของหน่วยความจำ โดยเด็ดขาด ส่วนการส่งข้อมูลให้กับพอร์ท เหล่านี้จะทำได้โดยการใช้คำสั่ง OUT ของ 8088 ส่งข้อมูลนั้นไปยังแอดเดรสของพอร์ทที่ต้องการ และ สำหรับการตรวจสอบหรือการอ่านข้อมูลจากพอร์ท ก็จะทำได้โดยการใช้คำสั่ง IN ของ 8088 อ่านข้อมูลจากแอดเดรสของพอร์ทที่ต้องการเช่นกัน

ภายในไมโครโปรเซสเซอร์เบอร์ 8088 นี้จะมีแอดเดรสสำหรับใช้กับพอร์ท I/O อยู่ทั้งสิ้น 65,536 หรือ 64K แอดเดรส (ในขณะที่มีแอดเดรสสำหรับหน่วยความจำอยู่ 1 Mbute) ซึ่งทำให้การอ้างแอดเดรสของพอร์ท I/O ที่ทำงานร่วมกับ 8088 นั้น ต้องใช้จำนวนเส้นแอดเดรสในบัสแอดเดรสทั้งสิ้น 16 เส้น คือ A0-A15 แต่สำหรับใน IBM/PC นี้ถูกออกแบบมาให้ใช้เส้นแอดเดรสเฉพาะ 10 เส้นล่าง คือ A0-A9 เท่านั้น ดังนั้น ในการอ้างอิงถึงแอดเดรสของพอร์ทของอุปกรณ์หรือชิฟชัพพอร์ทใด ๆ ที่ใช้ร่วมกับ IBM/PC จึงใช้จำนวนเส้นแอดเดรสเพียง 10 เส้นด้วย โดยเส้นแอดเดรสที่เหลือคือ A10-A15 นั้น จะไม่ถูกนำไปใช้งาน อย่างไรก็ตามถึงแม้ว่าเส้นแอดเดรส A10-A15 นี้จะไม่ถูกนำไปใช้งาน แต่ค่าแอดเดรส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บนเส้นแอดเดรสเหล่านี้ยังคงเปลี่ยนแปลงตามค่าแอดเดรสของพอร์ทที่กำหนดไว้ในคำสั่ง OUT หรือ IN อยู่ด้วย เพียงแต่ไม่ได้ถูกนำมาดีโค้ดร่วมกับแอดเดรส 0010H นั้นจะให้ผลเหมือนกับการส่งข้อมูลไปยังพอร์ทที่ตรงกับแอดเดรส 0410H,0810,0C10H ทั้งนี้เนื่องจากแอดเดรส 6 บิทบนไม่ได้ถูกใช้งาน จึงทำให้การเปลี่ยนแปลงค่าแอดเดรสบนเส้นแอดเดรส A10-A15 นั้นไม่ทำให้เกิดความแตกต่างใด ๆ ขึ้น

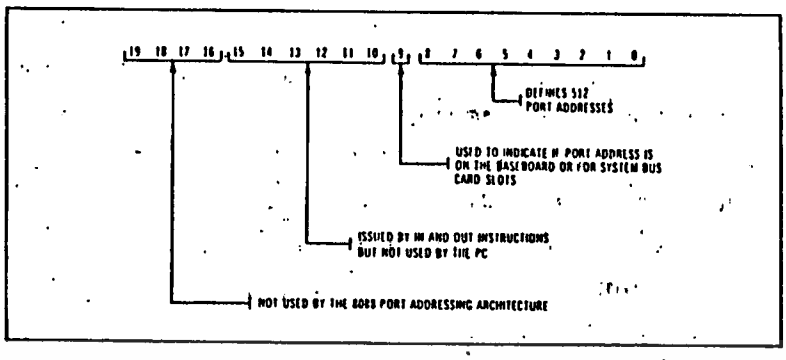
เนื่องจากใน IBM/PC ได้ใช้งานเส้นแอดเดรสเพียง 10 เส้น (คือ A0-A9) ดังนั้นจึงสามารถที่จะอ้างแอดเดรสของพอร์ทได้สูงสุดเพียง 1024 พอร์ท (จากจำนวน 64 K พอร์ท) เท่านั้น นอกจากนี้ในกรณีที่เป็นการอ่านข้อมูลจากพอร์ทของ IBM/PC ข้อมูลในบิท A9 จะถูกจัดให้มีหน้าที่ในการแบ่งพอร์ททั้ง 1024 พอร์ทออกเป็น 2 ส่วน (ส่วนละ 512 พอร์ท) อีกด้วย กล่าวคือถ้าข้อมูลในบิท A9 เป็น "0" แล้วเราจะทำการอ่านข้อมูลได้เฉพาะจากพอร์ทของอุปกรณ์ข้อมูลหรือชิพชัพพอร์ทต่าง ๆ ที่อยู่บนเมนบอร์ดของ IBM/PC เช่น 8253-5,8237-5 หรือ 8259A เท่านั้น แต่ถ้าข้อมูลในบิท A9 นี้เป็น "1" ก็จะทำการอ่านข้อมูลได้เฉพาะจากพอร์ทที่อยู่บนคาร์ดต่าง ๆ เท่านั้น

จากที่กล่าวมานั้น จะสรุปได้ว่าพอร์ทบน IBM/PC ทั้ง 1024 พอร์ทถูกแบ่งออกเป็น 2 กลุ่ม โดยที่กลุ่มแรกเป็นกลุ่มของพอร์ทที่อยู่บนเมนบอร์ด และกลุ่มที่สองเป็นกลุ่มที่จัดเตรียมไว้สำหรับพอร์ทที่อยู่บนคาร์ดต่าง ๆ

สำหรับในกรณีของการส่งข้อมูลให้กับพอร์ททั้ง 1024 พอร์ท เราสามารถที่จะเลือกส่งไปยังพอร์ทใด ๆ ใน IBM/PC ได้ ดังนั้นการเลือกแอดเดรสสำหรับพอร์ทที่อยู่บนคาร์ดจึงสามารถทำได้โดยสะดวก แต่อย่างไรก็ตามสิ่งหนึ่งที่จะต้องคำนึงถึงก็คือถ้าแอดเดรสที่เราเลือกให้กับพอร์ทนี้ตรงกับค่าแอดเดรสเดิมที่มีอยู่บนเมนบอร์ดแล้ว เมื่อเราทำการส่งข้อมูลให้กับพอร์ทที่อยู่ในตำแหน่งแอดเดรสนี้ ก็จะเท่ากับเป็นการส่งข้อมูลให้กับทั้งพอร์ทที่อยู่บนเมนบอร์ดและพอร์ทที่อยู่บนคาร์ดด้วย ซึ่งในกรณีเช่นนี้อาจจะก่อให้เกิดความผิดพลาดขึ้นได้เช่นกัน ดังนั้นในการกำหนดค่าแอดเดรสให้กับพอร์ทที่ถูกสร้างขึ้นบนคาร์ดต่าง ๆ จึงควรจะใช้ค่าแอดเดรสที่แอดเดรสบิท A9 มีค่าเป็น "1" คือแอดเดรส OFFOOH จนถึง OFFFFH เท่านั้น (แอดเดรสบิท A10-A15 ไม่ถูกใช้ในการดีโค้ด แต่เพื่อความสะดวกจึงกำหนดให้มีค่าเป็น "1" ในฐานสองทั้งหมด แต่ในการใช้งานจริงอาจเปลี่ยนให้แอดเดรส A10-A15 แต่ละบิทมีค่าเป็น "1" หรือ "0" ก็ได้)

สำหรับรูปที่ 2-1 นี้จะแสดงถึงการใช้งานแอดเดรสบิทต่าง ๆ ในการอ้างแอดเดรสของพอร์ทใน IBM/PC

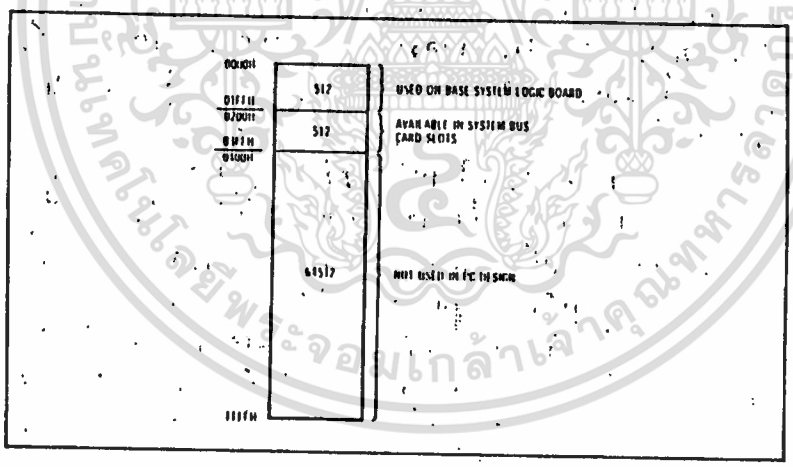
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 2-1 การใช้แอดเดรสบิทต่าง ๆ ในการอ้างแอดเดรสของพอร์ทใน IBM/PC

2.3 การใช้งานแอดเดรสสำหรับพอร์ท I/O ใน IBM/PC

จากที่ได้กล่าวไว้ในหัวข้อที่ผ่านมานั้น พอร์ท I/O ทั้ง 1024 พอร์ทใน IBM/PC จะถูกแบ่งออกเป็น 2 กลุ่ม ๆ ละ 512 พอร์ท สำหรับในหัวข้อนี้จะกล่าวถึงการใช้งานพอร์ทต่าง ๆ เหล่านี้ โดยจะแบ่งออกเป็น 2 กลุ่มตามที่ได้อธิบายไว้ในหัวข้อที่ผ่านมาดังนี้



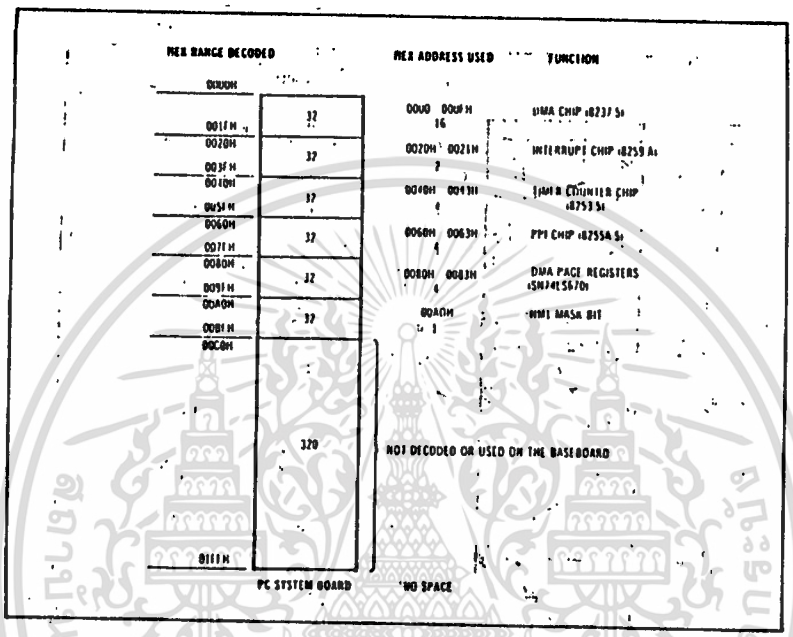
รูป 2-2 การใช้งานแอดเดรสของพอร์ทบน IBM/PC

1. ในกลุ่มแรกนี้เป็นกลุ่มของพอร์ท I/O ที่อยู่บนเมนบอร์ดของ IBM/PC ซึ่งจะมีแอดเดรสอยู่ในตำแหน่ง 0000H จนถึง 01FFH (ขอให้ระลึกอยู่เสมอว่า A10-A15 นั้นไม่ถูกใช้งาน) หรือ แอดเดรสที่มีบิท A9 เป็น "0" นั่นเอง

สำหรับแอดเดรของพอร์ท I/O ในกลุ่มนี้จะถูกใช้ในการอ้างแอดเดรของชิพซัพพอร์ท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

และ อุปกรณ์ที่เป็น I/O ต่าง ๆ บนเมนบอร์ดของ IBM/PC เช่น แอดเดรส 0000H จนถึง 000FH จะถูกใช้เป็นแอดเดรสสำหรับ 8237-5 DMA Controller เป็นต้น ในรูปที่ 9-3 จะแสดงถึงการใช้งานแอดเดรสต่าง ๆ ตั้งแต่ 0000H จนถึง 01FFH ในการอ้างแอดเดรสของชิพซัพพอร์ทและอุปกรณ์ต่าง ๆ ที่ทำหน้าที่เป็น I/O บนเมนบอร์ดของ IBM/PC



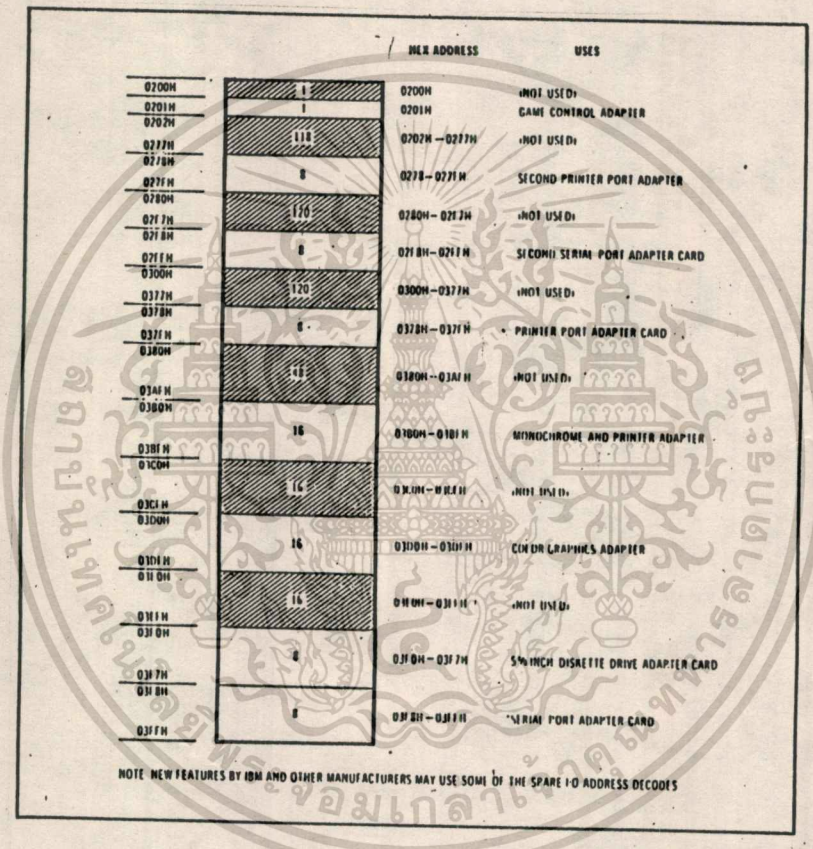
รูปที่ 2-3 การใช้งานแอดเดรสต่าง ๆ สำหรับพอร์ท I/O ของ IBM/PC

จากรูปข้างต้นจะเห็นว่าแอดเดรส 00C0H จนถึงแอดเดรส 01FFH นั้นไม่ได้ถูกใช้งานบนเมนบอร์ดของ IBM/PC ดังนั้นในกรณีนี้เราก็สามารถที่จะใช้งานแอดเดรสต่าง ๆ เหล่านี้ได้ แต่อย่างไรก็ตามแอดเดรสเหล่านี้ยังคงถูกดีโค้ดให้เป็นแอดเดรสที่ใช้ในการอ่านข้อมูลจากพอร์ท I/O บนเมนบอร์ดเท่านั้น ดังนั้นการใช้ค่าแอดเดรส 00C0H-01FFh กับพอร์ท I/O บนคาร์ดหรือวงจรอินเทอร์เฟสที่เราสร้างขึ้นนั้น ต้องเป็นพอร์ทเอาท์พุทเพียงชนิดเดียวเท่านั้น กล่าวคือ จะทำการอ่านข้อมูลจากพอร์ท I/O (ที่ไม่ได้อยู่บนเมนบอร์ด) ที่มีค่าแอดเดรสอยู่ในช่วง 00C0H-01FFH ไม่ได้

2. ในกลุ่มที่สองนี้ จะเป็นกลุ่มของพอร์ท I/O ที่ถูกใช้งานอยู่บนคาร์ดที่ใช้เสียบบนสล็อตต่าง ๆ ของ IBM/PC สำหรับแอดเดรสของพอร์ทเหล่านี้จะเริ่มต้นจากแอดเดรส 0200H จนถึง 03FFH ซึ่งก็คือแอดเดรสที่มีบิท A9 เป็น "1" นั่นเอง สำหรับการใช้งานแอดเดรสของพอร์ท I/O ในกลุ่มนี้จะแสดงได้ดังรูป 2-4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อย่างไรก็ตามการใช้งานแอดเดรสในกลุ่มสนี้อาจจะเปลี่ยนแปลงไปได้ ทั้งนี้ขึ้นอยู่กับการใช้งานคาร์ดต่าง ๆ ร่วมกับ IBM/PC โดยคาร์ดที่ถูกออกแบบผลิตขึ้นใหม่นั้นอาจจะใช้ค่าแอดเดรสต่าง ๆ ที่เหลืออยู่นี้ได้ ดังนั้นก่อนที่จะทำการออกแบบวงจรอินเทอร์เฟสที่จำเป็นต้องใช้ค่าแอดเดรสสำหรับพอร์ท I/O จึงควรจะตรวจสอบดูก่อนว่าคาร์ดต่าง ๆ ที่ใช้อยู่ในระบบของ IBM/PC ที่เราใช้งานอยู่นั้นมีคาร์ดใดบ้าง และคาร์ดเหล่านั้นใช้งานแอดเดรสใดบ้าง จากนั้นจึงทำการออกแบบวงจรอินเทอร์เฟสโดยเลือกใช้เฉพาะแอดเดรสที่ยังไม่ถูกใช้งาน



รูป 2-4 การใช้งานแอดเดรสสำหรับพอร์ท I/O บนคาร์ดต่าง ๆ

2.4 เทคนิคในการดีโค้ดแอดเดรสสำหรับพอร์ท I/O

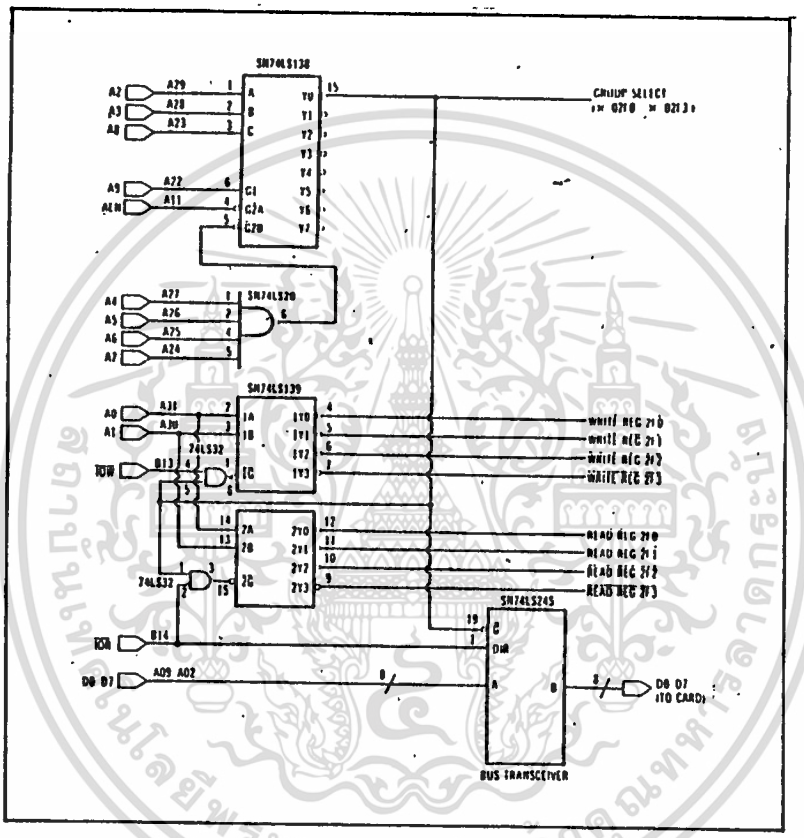
ในหัวข้อต่าง ๆ ที่ผ่านมาข้างต้นนั้น ได้กล่าวถึงการอ้างแอดเดรสและการใช้งานแอดเดรสของพอร์ท I/O ใน IBM/PC สำหรับในหัวข้อนี้จะกล่าวถึงวิธีการต่าง ๆ ที่ใช้ในการดีโค้ดแอดเดรสต่าง ๆ ให้เป็นไปตามที่เราต้องการ

2.5 การดีโค้ดแบบ Fixed

วิธีการดีโค้ดแบบนี้เป็นวิธีที่ง่ายและสะดวกในการดีโค้ดแอดเดรสแอดเดรสหรือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กลุ่มของแอดเดรสของพอร์ท I/O ซึ่งวิธีนี้เป็นการกำหนดจำนวนของแอดเดรสที่เราต้องใช้ จากนั้นจึงทำการเลือกบล็อกของแอดเดรสที่ยังไม่ถูกใช้งานโดยคาร์ดหรือวงจรอินเทอร์เฟสอื่นๆ (บล็อกของแอดเดรสที่เลือกต้องมีจำนวนแคดเดรสเพียงพอกับจำนวนแอดเดรสที่เราต้องการใช้งาน) แล้วจึงออกแบบวงจรที่ทำการดีโค้ดแอดเดรสที่เราต้องการ สำหรับตัวอย่างวงจรที่ใช้ในการดีโค้ดแอดเดรสในแบบนี้จะแสดงได้ดังรูป 2-5



รูปที่ 2-5 ตัวอย่างวงจรดีโค้ดแอดเดรสแบบ Fixed

จากรูปจะเห็นได้ว่า วงจรที่ใช้นี้เป็นวงจรที่สามารถทำการดีโค้ดแอดเดรสได้ 8 กลุ่ม โดยแต่ละกลุ่มจะมีจำนวนแอดเดรส 4 แอดเดรส ซึ่งแอดเดรสทั้ง 8 กลุ่มจะแสดงได้ดังตารางข้างล่าง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กลุ่ม	แอดเดรส
0 (Y0)	02F0H-02F3H
1 (Y1)	02F4H-02F7H
2 (Y2)	02F8H-02FBH
3 (Y3)	02FCH-02FFH
4 (Y4)	03F0H-03F3H
5 (Y5)	03F4H-03F7H
6 (Y6)	03F8H-03FBH
7 (Y7)	03FCH-03FFH

สำหรับในตัวอย่างนี้จะเลือกใช้การดีโค้ดแอดเดรสในกลุ่ม 0 (เริ่มจากแอดเดรส 02F0H จนถึง 02F3H) คือใช้สัญญาณเลาท์พุท (สัญญาณ GROUPSERECT) จากขา Y0 (ขา 15) ของ 74LS138 ไปทำการ OR กับสัญญาณ IOR และ IOW เพื่อสร้างเป็นสัญญาณอีนาเบิลวงจรดีโค้ด (74LS139) แอดเดรสอีก 4 แอดเดรส ซึ่งแบ่งเป็น 2 ชุดคือ ชุดที่เป็น WRITE REG ซึ่งจะแอคทีฟ (ลอจิก "0") เมื่อ CPU ต้องการจะส่งข้อมูลให้กับวงจรภายนอก (สัญญาณ IOW แอคทีฟ) และชุดที่เป็น READ REG ซึ่งจะแอคทีฟเมื่อ CPU ต้องการจะอ่านข้อมูลจากวงจรภายนอก (สัญญาณ IOR แอคทีฟ) สัญญาณ WRITE REG และ READ REG นี้โดยทั่วไปจะนำไปเป็นสัญญาณสโตรป (Strobe) ให้กับวงจรภายนอกที่เกี่ยวข้อง เพื่อให้สามารถส่งหรือรับข้อมูลจาก CPU ได้ในช่วงเวลาที่เหมาะสม นอกจากนี้สัญญาณ GROUPSERECT ยังถูกนำไปใช้ในการอีนาเบิลบัฟเฟอร์ 74LS245 ด้วย เพื่อให้ CPU สามารถส่งหรือรับข้อมูลจากอุปกรณ์ภายนอกได้เมื่อแอดเดรสในกลุ่มนี้ถูกเลือก สำหรับทิศทางของข้อมูลจะถูกควบคุมโดยสัญญาณ IOR ส่วนสัญญาณ AEN จะถูกนำมาใช้ในการดิสเอเบิลวงจรดีโค้ดโดยถ้าสัญญาณ AEN เป็น "1" ซึ่งเป็นช่วงเวลาของขบวนการ DMA นั้น 74LS138 จะถูกดิสเอเบิลทันที ทั้งนี้ก็เพื่อป้องกันความผิดพลาดที่อาจเกิดขึ้น เนื่องจากการดีโค้ดแอดเดรสของพอร์ทในระหว่างขบวนการ DMA นั่นเอง (ในระหว่างนี้แอดเดรสบนบัสแอดเดรสจะเป็นแอดเดรสของหน่วยความจำ คือสัญญาณ MENW หรือ MEMR จะแอคทีฟ แต่ในขณะเดียวกันสัญญาณ IOR หรือ IOW ก็จะแอคทีฟด้วย ดังนั้นถ้าไม่ดิสเอเบิลวงจรดีโค้ดไว้แล้ว อาจจะทำให้วงจรดีโค้ดคิดว่าแอดเดรสบนบัสแอดเดรสเป็นแอดเดรสของพอร์ท I/O ก็ได้)

ในการดีโค้ดแอดเดรสของพอร์ท I/O เราจะต้องคำนึงถึงช่วงเวลาของสัญญาณที่เกิดขึ้นในขบวนการอ่านหรือเขียนข้อมูลลงบนพอร์ท I/O ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1. ในช่วงเริ่มต้นของบัสไซเคิลที่เกี่ยวกับพอร์ท I/O นั้น ถ้าสัญญาณจากวงจรดีโค้ดมีการหน่วงเวลา (Delay) มากเกินไป อาจจะทำให้สัญญาณดีโค้ดนี้เกิดขึ้นหลังจากที่สัญญาณ IOR หรือ IOW แอคทีฟ และเนื่องจากค่าแอดเดรสบนบัสแอดเดรสนั้นเปลี่ยนแปลงได้ตลอดเวลา ดังนั้นก่อนที่ค่าแอดเดรสที่ถูกต้องจะถูกส่งออกมาบนบัสแอดเดรสนั้น วงจรดีโค้ดจะได้รับค่าแอดเดรสอื่น ๆ อยู่ ซึ่งถ้าหากวงจรดีโค้ดมีการหน่วงเวลามากเกินไปแล้ว สัญญาณดีโค้ดแอดเดรสที่ไม่ถูกต้องนี้อาจจะถูกหน่วงเวลาจนเกิดขึ้นในช่วงเวลาที่สัญญาณ IOR หรือ IOW เกิดขึ้นแล้วก็ได้ทำให้ข้อมูลบนบัสข้อมูลนั้นถูกส่งไปยังพอร์ทที่ไม่ถูกต้อง สำหรับใน IBM/PC จะถูกออกแบบให้การหน่วงเวลาในวงจรดีโค้ดนั้นมีค่าไม่เกิน 92 nanosec.

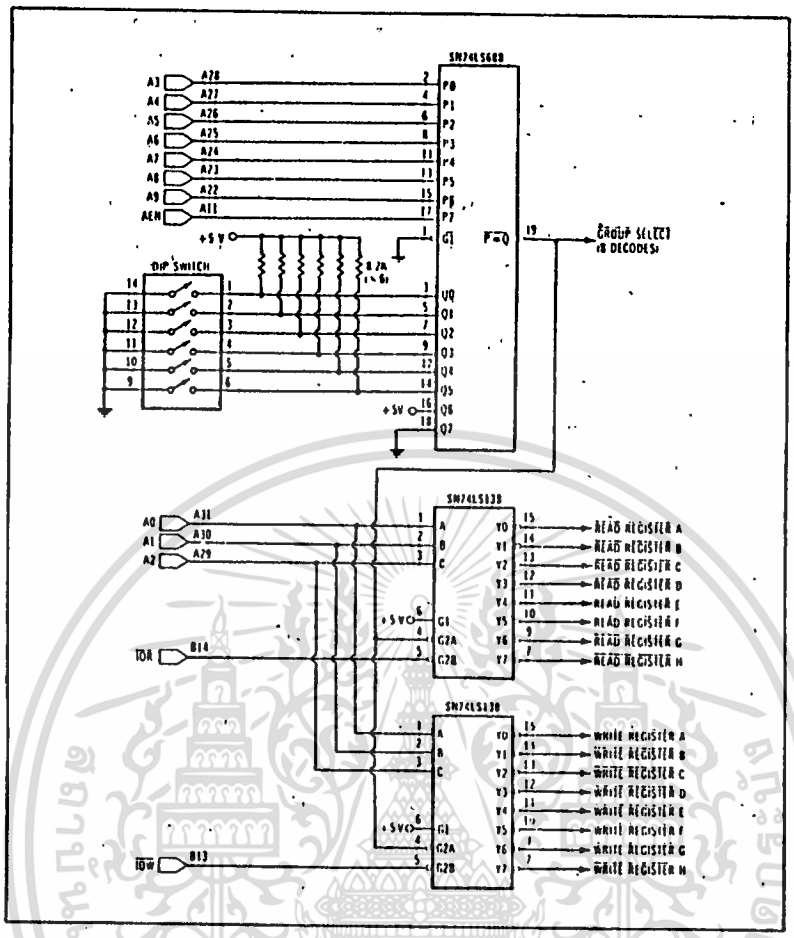
2. ในช่วงท้ายของบัสไซเคิลในการเขียนข้อมูลลงบนพอร์ท I/O นั้น ถ้าสัญญาณ IOW มีการหน่วงเวลาออกไป และวงจรดีโค้ดมีความเร็วในการทำงานสูงแล้ว อาจจะทำให้ข้อมูลในบัสไซเคิลนี้ถูกส่งให้กับพอร์ท I/O ที่มีแอดเดรสตรงกับค่าแอดเดรสในบัสไซเคิลต่อไปก็ได้ สำหรับใน IBM/PC สัญญาณ IOW จะมีการหน่วงเวลาไปไม่เกิน 200 nanosec.

อย่างไรก็ตามช่วงเวลาที่ต้องสนใจมากอีกช่วงเวลาหนึ่ง ก็คือ ช่วงเวลาระหว่างขอบขาขึ้นของสัญญาณ IOW กับช่วงเวลาที่ข้อมูลที่ถูกต้องถูกส่งออกมาบนบัสข้อมูล ถ้าสัญญาณ IOW ถูกหน่วงเวลาไปเกินกว่า 120 nanosec.แล้ว อาจจะทำให้พอร์ท I/O ได้รับข้อมูลที่ไม่ถูกต้องก็ได้ และสำหรับสัญญาณ IOR นั้นถ้ามีการหน่วงเวลาเกิดขึ้นแล้ว ก็จะทำให้ความเร็วในการอ่านข้อมูลถูกลดลง

2.6 การดีโค้ดโดยใช้สวิทช์เลือก

การดีโค้ดในแบบ Fixed ที่ได้กล่าวไว้ในหัวข้อมที่ผ่านมานั้นมีข้อเสียอยู่บางประการ คือ แอดเดรสที่เราเลือกใช้งานไว้นั้นอาจจะซ้ำกับแอดเดรสของคาร์ดอื่นที่เรานำมาเพิ่มเข้าไปในระบบในภายหลังก็ได้ ซึ่งกรณีเช่นนี้เราต้องแก้ไขวงจรเพื่อหลีกเลี่ยงไปใช้แอดเดรสอื่นที่ยังว่างอยู่ และ ไม่ถูกใช้งานโดยคาร์ดที่จะเพิ่มเข้าไปใหม่ ซึ่งยุ่งยากและต้องเสียเวลามากขึ้น ปัญหาเช่นนี้เราสามารถแก้ไขได้โดยใช้วงจรดีโค้ดที่สามารถเปลี่ยนแปลงค่าแอดเดรสได้ โดยเพียงแต่เปลี่ยนตำแหน่งของสวิทช์ (ในที่นี้คือ DIP Switch) ที่เซ็ทไว้ในวงจรเท่านั้น ดังรูปที่ 2-6

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2-6 ตัวอย่างวงจรดีโค้ดโดยใช้สวิทช์เลือก

จากรูปเป็นวงจรที่ทำการดีโค้ดกลุ่มแอดเดรสขนาด 8 แอดเดรส ซึ่งการเลือกกลุ่มแอดเดรสที่จะทำการดีโค้ดนี้จะทำได้โดยการเซ็ท DIP Switch ที่ขา Q0-Q5 ของ 74LS688

สำหรับหน้าที่ของ 74LS688 นี้จะทำการเปรียบเทียบค่าของอินพุท 2 ชุดที่ถูกส่งเข้ามาทางขา P0-P7 และขา Q0-Q7 ถ้าอินพุททั้ง 2 ชุดนี้เท่ากันแล้ว เอาท์พุทที่ขา P=Q จะให้เอาท์พุทเป็นลอจิก "0" จากในวงจรขา P0-P6 ของ 74LS688 ต่อกับแอดเดรสบิท A3-A9 ในขณะที่ขา Q0-Q5 ต่อกับความต้านทานที่ทำหน้าที่เป็น Pull Up (รักษาระดับแรงดันให้เป็นลอจิก "1" ไว้ในกรณีที่ไม่มีอินพุทใด ๆ เข้ามา) และขา Q0-Q5 นี้จะต่อกับปลายข้างหนึ่งของ DIP Switch ด้วย ส่วนปลายอีกข้างหนึ่ง DIP Switch นั้นจะต่อลง Ground (ลอจิก "0") ไว้ ดังนั้นถ้าเราทำการ "ON" DIP Switch ที่ต่อกับขาใดขานั้นก็จะได้รับลอจิก "0" ในขณะที่ถ้า DIP Switch ที่ต่อกับขาใดถูก "OFF" ขานั้นก็จะได้รับลอจิก "1" และ

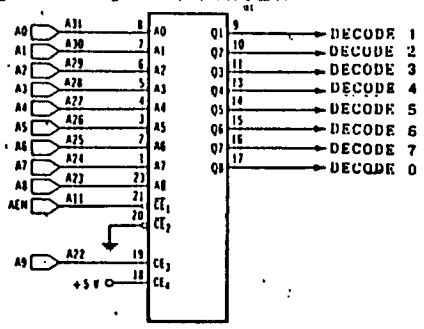
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เนื่องจากอินพุทที่ขา P0-P5 (แอดเดรส A3-A9) ต้องเท่ากับอินพุทที่ขา Q0-Q5 ดังนั้นถ้าเราเปลี่ยนแปลงการเซ็ท DIP Switch เหล่านี้ก็จะทำให้แอเดรสบิท A3-A5 ซึ่งต่อกับขา P0-P5 นั้นต้องเปลี่ยนแปลงตามไปด้วยจึงจะทำให้เอาท์พุทของ 74LS688 แอคทีฟได้ ทำให้เราสามารถเปลี่ยนค่าแอดเดรสที่ต้องการจะดีโค้ดได้ง่ายกว่าวิธีการดีโค้ดแบบ Fixed สำหรับขา Q6 นั้นจะต่อกับลอจิก "1" (+5 V) และขา P6 ต่อกับแอดเดรสบิท A9 ในกรณีเช่นนี้จึงเท่ากับเป็นการบังคับให้แอดเดรสที่จะทำการดีโค้ดได้นั้น จะต้องมีแอดเดรสบิท A9 เป็น "1" เท่านั้น ส่วนขา P7 จะต่อกับสัญญาณ AEN โดยมีขา Q7 ต่อกับลอจิก "0" การต่อในลักษณะนี้ก็เพื่อป้องกันไม่ให้ 74LS688 ทำการดีโค้ดในระหว่างขบวนการ DMA นั่นเอง เอาท์พุทจากขา P=Q ของ 74LS688 นี้ จะถูกนำไปใช้ในการอีนาเบิล 74LS/-ด ซึ่งทำหน้าที่ในการดีโค้ดแอดเดรส 8 แอดเดรสของกลุ่มแอดเดรสที่เราเลือก (โดยใช้ DIP Switch ดังที่ได้กล่าวมาตอนต้น)

วงจรในลักษณะนี้เราสามารถจะนำไปใช้เป็นการดีโค้ดในแบบ Fixed ได้โดยการนำเอา DIP Switch ออก จากนั้นถ้าอินพุทใดต้องการลอจิก "0" จึงจะใช้ตัวนำเชื่อมต่อระหว่างขั้วทั้งสองแทนการเซ็ท DIP Switch ให้ "ON" แต่ถ้าอินพุทใดต้องการลอจิก "1" ก็ปล่อยขั้วทั้งสองนั้นไว้

2.7 การดีโค้ดโดยใช้ PROM

การดีโค้ดในแบบต่าง ๆ ที่กล่าวมาแล้วนั้น เป็นการดีโค้ดในลักษณะที่แอดเดรสของพอร์ทต่าง ๆ อยู่รวมกันเป็นกลุ่ม แต่ในบางกรณีพอร์ทที่เราใช้งานนั้นมีแอดเดรสแยกกันอย่างเป็นอิสระ เช่นในการนำเอาหน้าที่การทำงานที่อยู่บนคาร์ดต่าง ๆ มารวมไว้บนคาร์ดเพียงคาร์ดเดียว และมีความจำเป็นต้องคงค่าแอดเดรสของพอร์ทเดิม (ที่อยู่บนคาร์ดเดิม) ไว้ด้วย ทำให้ไม่สามารถใช้การดีโค้ดในแบบต่าง ๆ ที่ผ่านมาได้ เนื่องจากการใช้วิธีการดีโค้ดในแบบที่ผ่านมานั้นจะทำให้ต้องใช้อุปกรณ์ที่ทำการดีโค้ดนั้นมากเกินไป ในกรณีเช่นนี้เราจำเป็นต้องใช้การดีโค้ดอีกแบบหนึ่งซึ่งจะได้กล่าวถึงในหัวข้อนี้ คือการดีโค้ดโดยใช้ PROM (Programmable Read Only Memory) ดังในรูปที่ 2-7



รูปที่ 2-7 ตัวอย่างวงจรดีโค้ดโดยใช้ PROM

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปข้างต้นเป็นวิธีการง่าย ๆ แบบหนึ่งในการดีโค้ดโดยใช้ PROM ซึ่งจะเห็นได้ว่าเราใช้เส้นแอดเดรส A0-A8 ของระบบต่อเข้ากับเส้นแอดเดรส A0-A8 ของ PROM และใช้บัสข้อมูลทั้ง 8 ของ PROM คือ Q1-Q8 เป็นเอาท์พุท สำหรับใช้เป็นสัญญาณดีโค้ดให้กับพอร์ทต่าง ๆ 8 พอร์ท อย่างไรก็ตามสัญญาณดีโค้ดทั้ง 8 เส้น คือ DECODE1-DECODE8 นี้ยังคงต้องนำไป OR กับสัญญาณ IOR หรือ IOW ก่อนที่จะนำไปอีนาเบิลพอร์ทที่มีแอดเดรสตรงกับแอดเดรสที่ป้อนให้กับ PROM นั้น

จากที่ได้กล่าวมานั้นจะเห็นได้ว่าส่วนของวงจรดีโค้ดนั้น จะมี PROM เพียงตัวเดียวเท่านั้น ซึ่ง PROM ที่จะนำมาใช้งานนี้จะต้องถูกโปรแกรมมาก่อนแล้ว โดยข้อมูลที่โปรแกรมให้กับแอดเดรสต่าง ๆ ของ PROM นั้น จะต้องสัมพันธ์กับสัญญาณดีโค้ดที่เราต้องการ กล่าวคือเราจะต้องทราบเสียก่อนว่าค่าแอดเดรสของพอร์ททั้ง 8 ที่เราต้องการจะดีโค้ดนั้น มีค่าแอดเดรสใดบ้าง แล้วจึงกำหนดว่าพอร์ทใดจะใช้สัญญาณดีโค้ดเส้นใด จากนั้นจึงโปรแกรมข้อมูลให้กับ PROM โดยแอดเดรสใดถ้าต้องการให้สัญญาณดีโค้ดใดแอคทีฟ (ในที่นี้จะกำหนดให้สัญญาณดีโค้ดแอคทีฟที่ลอจิก 0) ก็กำหนดให้ข้อมูลในบิทที่ตรงกับสัญญาณดีโค้ดนั้นเป็น 0 เช่นถ้าเรากำหนดให้แอดเดรสของพอร์ตที่เราต้องการจะดีโค้ดเป็น 0393H และเลือกใช้สัญญาณ DECODE5 เราก็จะต้องทำการโปรแกรมให้แอดเดรส 0193H ของ PROM (เหตุที่แอดเดรสของ PROM เป็น 0193H แทนที่จะเป็นแอดเดรส 0193H เหมือนกับแอดเดรสของพอร์ต ก็เพราะแอดเดรสของ PROM มีเพียง 9 bit คือ A0-A8 เท่านั้นส่วนบิท A9 จะถูกต่อเข้ากับ PROM ในภายหลัง เพื่ออีนาเบิ้ล PROM เมื่อข้อมูลในบิท A9 นี้เป็น 1 เท่านั้น) มีข้อมูลในบิท Q5 (ถ้านับเริ่มจากบิท D0 ก็คือบิท D4) เป็น 0 ส่วนบิทอื่น ๆ นั้นมีค่าเป็น 1 ทั้งหมด ดังนั้นในการโปรแกรมแอดเดรส 0193H ของ PROM จึงต้องโปรแกรมด้วยข้อมูล OEFH เป็นต้นสำหรับข้อมูลในแอดเดรสอื่น ๆ ที่นอกเหนือจากแอดเดรสทั้ง 8 ที่กำหนดแล้ว จะต้องโปรแกรมให้ข้อมูลทุกบิทเป็น 1 ทั้งหมด ซึ่งก็คือโปรแกรมด้วยข้อมูล OFFH นั่นเอง

ตัวอย่างเช่น -

ถ้าแอดเดรสของพอร์ททั้ง 8 ที่เราต้องการจะดีโค้ดเป็น 024A , 02B5 ,0317 0361 , 0382 , 03A8 , 034C และ 03DB ในฐานสิบหกตามลำดับ โดยกำหนดให้สัญญาณจากการดีโค้ดแอดเดรสเหล่านี้เป็นสัญญาณ DECODE1 จนถึง DECODE8 ตามลำดับแล้ว (เช่นสัญญาณจากการดีโค้ด 024AH ก็คือสัญญาณ DECODE1 และสัญญาณจากการดีโค้ด 02B5Hคือสัญญาณ DECODE2 เป็นต้น) เราจะต้องทำการโปรแกรม PROM ให้มีข้อมูลที่สัมพันธ์กับเอาท์พุทที่เราต้องการ ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1. แอดเดรสของพอร์ทเป็นแอดเดรสที่บิท A9 ถูกใช้งานร่วมด้วย โดนในบิทนี้จะต้องมีข้อมูลเป็น 1 ในขณะที่แอดเดรสของ PROM จะมีเพียง 9 บิท คือ A0-A8 เท่านั้น เราจึงจัดแกดเดรสของ PROM เมื่อเทียบกับแอดเดรสของพอร์ตดังนี้

แอดเดรสของพอร์ท (บิท A9 ถูกใช้งาน)	แอดเดรสของ PROM (เฉพาะบิท A0-A8)
024A	04A
02B5	0B5
0317	117
0361	161
0382	182
03A8	1A8
03C4	1C4
03D4	1DB

2. ข้อมูลที่จะโปรแกรมให้กับแอดเดรสทั้ง 8 ของ PROM จะต้องสัมพันธ์กับเอาท์พุทที่ต้องการ เช่น ถ้ามีการอ้างอิงถึงแอดเดรสของพอร์ท 02B5H แล้ว PROM จะต้องให้เอาท์พุทที่มีลอจิก "0" ที่ขา Q2 (DECODE2) ส่วนเอาท์พุทที่ขาอื่นต้องเป็น "1" ดังนั้นจึงต้องโปรแกรมให้แอดเดรส 00B5H แล้ว PROM มีข้อมูลเป็น 1111 1101 (ฐานสอง) หรือ 0FDH เป็นต้น สำหรับแอดเดรสอื่น ๆ นอกเหนือจากแอดเดรสทั้ง 8 นี้แล้วจะต้องถูกโปรแกรมให้มีข้อมูลเป็น OFF (ฐานสิบหก) ทั้งหมด ดังนี้

อย่างไรก็ตามสิ่งสำคัญอีกสิ่งหนึ่งที่จะต้องคำนึงถึงเสมอเมื่อใช้วิธีการดีโค้ดในแบบนี้ก็คือ PROM ที่ใช้นั้นจะต้องใช้เวลาในการทำงานน้อยกว่า 92 nanosec ด้วย

การเพิ่มจำนวนแอดเดรสของพอร์ทบน IBM/PC นั้นได้ออกแบบให้มีการอ้างแอดเดรสของพอร์ท (โดยวงจรอินเทอร์เฟสภายนอก ; ไม่รวมพอร์ทที่อ้างอิงโดยระบบบนเมนบอร์ดของ IBM/PC อีก 512 พอร์ท) ได้เพียง 512 พอร์ท จากจำนวนที่ 8088 สามารถอ้างได้สูงสุดถึง 64K พอร์ท และในจำนวน 512 พอร์ท ดังกล่างนี้ได้ถูกใช้งานโดยอุปกรณ์หรือการ์ดต่าง ๆ ไปไม่น้อย ซึ่งอาจจะทำให้การออกแบบใช้งานวงจรอินเทอร์เฟสที่จำเป็นต้องใช้แอดเดรสของพอร์ทเป็นจำนวนมากขึ้นนั้นเกิดปัญหาขึ้นมาได้ ดังนั้นในหัวข้อนี้จะได้กล่าวถึงวิธีการง่าย ๆ ในการเพิ่มจำนวนแอดเดรสของพอร์ทต่าง ๆ บน IBM/PC

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แอดเดรสของ PROM(ฐานสิบหก)	ข้อมูล(ฐานสิบหก)
000-049	OFF
04A	OFE
04B-0B4	OFF
0B5	OFD
0B6-116	OFF
117	OFB
118-160	OFF
161	OF7
162-181	OFF
182	OEF
183-1A7	OFF
1A8	ODF
1A9-1C3	OFF
1C4	OBF
1C5-1DA	OFF
1DB	O7F
1DC-1FF	OFF

เราได้ทราบมาแล้วว่า การออกแบบวิธีการถอดรหัสแอดเดรสของพอร์ทต่าง ๆ ใน IBM/PC นั้น จะใช้เส้นแอดเดรสเพียง 10 บิทคือ A0-A9 เท่านั้น จากจำนวนทั้งสิ้น 16 บิท (A0-A15) จะเห็นได้ว่ามีจำนวนเส้นแอดเดรสที่ไม่ได้ถูกใช้งานอยู่อีกถึง 6 บิทคือ A10-A15 ในหัวข้อนี้จึงจะกล่าวถึง วิธีการที่จะใช้งานเส้นแอดเดรสเหล่านี้ในการอ้างแอดเดรสของพอร์ทบนวงจรอินเทอร์เฟสที่เราออกแบบขึ้น

ในการที่จะใช้งานเส้นแอดเดรสเหล่านี้ เราจะต้องเริ่มต้นจากการตรวจสอบว่าแอดเดรสใดบ้างที่ถูกใช้งานโดยคาร์ดหรือวงจรอินเทอร์เฟสอื่น ๆ ที่เราเพิ่มเข้าไปในระบบ จากนั้นจึงเรียกแอดเดรสที่ไม่ถูกใช้งานโดยวงจรหรือคาร์ดเหล่านี้มาใช้งาน ทั้งนี้ก็เพื่อให้แน่ใจได้ว่าในขณะที่เราใช้งานแอดเดรส 5 บิทบนอยู่นั้น จะไม่มีผลกับแอดเดรสของพอร์ทเดิมที่มีอยู่บนคาร์ดต่าง ๆ

ตัวอย่างเช่น ถ้าในระบบของเรามีการใช้งานคาร์ดเพียง 2 แผ่นคือ Color/graphics Card ซึ่งจะใช้แอดเดรสของพอร์ทตั้งแต่ 03D0H จนถึง 0DFH ที่ละ 5" 1/4 Disk Drive Adapter Card ซึ่งจะใช้แอดเดรสของพอร์ทตั้งแต่ 03F0H-03F7H แล้วเราก็สามารถจะใช้แอดเดรส 6 บิทบนนี้ กับแอดเดรสใดก็ได้ที่แอดเดรส 10 บิทล่าง ไม่ได้อยู่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

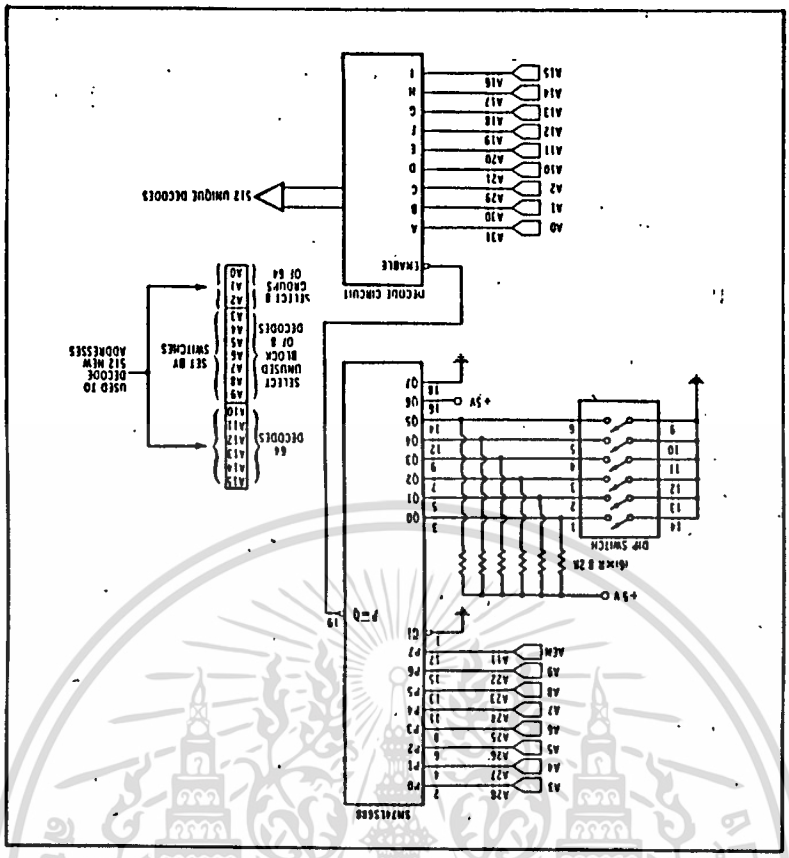
ในช่วงของ 0300H-03DFH และ 03F0H-03F7H ทั้งนี้ก็เพราะแอดเดรสของพอร์ทเหล่านี้ใช้งานเฉพาะเส้นแอดเดรส 10 บิทล่างเท่านั้น ดังนั้นไม่ว่าแอดเดรส 6 บิทบนที่เหลือจะเปลี่ยนแปลงไปอย่างไรก็ตาม โดยที่แอดเดรส 10 บิทล่างยังคงเดิมอยู่พอร์ทเหล่านี้ก็จะถูกทำให้แอดทีฟได้เสมอ เช่น แอดเดรสของพอร์ท 0300H นั้น ไม่ว่าเราจะอ้างแอดเดรสเป็น 0300H,0B00H,3B00H หรือค่าแอดเดรสอื่นใดที่ยังคงมีแอดเดรสบิท A9-A0 เป็น 11 0000 0000 ในฐานสองอยู่ พอร์ท ๆ นี้ก็จะยังคงถูกทำให้แอดทีฟคือสามารถที่จะรับส่งข้อมูลให้กับระบบได้อยู่ดี ดังนั้นเราจึงต้องเลือกใช้เฉพาะแอดเดรสของพอร์ทที่แคดเดรส 10 บิทล่างยังไม่ถูกใช้งานโดยวงจรหรือคาร์ดอื่นใดในระบบ

หลังจากได้แอดเดรส 10 บิทล่างนี้แล้ว จึงใช้สัญญาณที่ได้จากการดีโค้ดแอดเดรส 10 บิทล่างนี้ไปอินาเบิลวงจรดีโค้ดแอดเดรส 6 บิทบนที่เหลือ จากลักษณะเช่นนี้จะเห็นได้ว่าสำหรับแอดเดรส 10 บิทล่างที่เราเลือกไว้ 1 แอดเดรส เมื่อนำมาดีโค้ดร่วมกับแอดเดรส 6 บิทบนที่เหลือ (A10-A15) แล้ว จะทำให้ได้แอดเดรสเพิ่มขึ้นเป็น 64 แอดเดรสเช่นถ้าแอดเดรส 10 บิทล่างที่เราเลือกเป็น 0213H เมื่อนำมาดีโค้ดร่วมกับแอดเดรส 6 บิทบนแล้ว จะทำให้ได้แอดเดรสเพิ่มขึ้นเป็น 64 แอดเดรสคือ

แอดเดรส(ฐานสิบหก)	แอดเดรส(ฐานสอง)
0213	0000 00 100011
0613	0000 01 100011
0A13	0000 10 100011
0E13	0000 11 100011
1213	0001 00 100011
|	|
|	|
|	|
0FA13	1111 10 100011
0FE13	1111 11 100011

จากตัวอย่างข้างต้นจะเห็นได้ว่าแอดเดรส 10 บิทล่างเพียงแอดเดรสเดียว เมื่อนำมาดีโค้ดร่วมกับแอดเดรส 6 บิทบนก็จะทำให้แอดเดรสเพิ่มขึ้นอีก 63 แอดเดรส (64-1) ดังนั้นถ้าเราเลือกกลุ่มของแอดเดรส 10 บิทล่างที่มีจำนวน 8 แอดเดรส ก็จะทำให้เราได้แอดเดรสเพิ่มขึ้นอีกเป็นจำนวนถึง 502 แอดเดรส (63x8 = 502) เมื่อรวมกับแอดเดรสเดิมอีก 8 แอดเดรสก็จะได้จำนวนแอดเดรสทั้งสิ้นถึง 512 แอดเดรส สำหรับรูปข้างล่างนี้จะแสดงวงจรที่สามารถจะใช้ในการดีโค้ดในลักษณะนี้ได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 9-8 ตัวอย่างวงจรดีโค้ดแอดเดรสโดยใช้แอดเดรส 6 บิท

จากรูปข้างต้นนั้นเราจะเลือกกลุ่มของแอดเดรสทั้ง 8 โดยการเซ็ท DIP Switch ที่ขาอินพุท Q0-Q5 ของ IC SN74LS688 สำหรับเอาท์พุท P=Q ซึ่งเป็นสัญญาณที่แอคทีฟเมื่อค่าแอดเดรสบิท A3-A9 บนบัสแอดเดรสของระบบนั้นตรงกับค่าที่เซ็ทไว้ที่อินพุท Q0-Q6 ของ 74LS688 นั้นจะถูกนำไปใช้ในการอีนาเบิลวงจรดีโค้ดแอดเดรส A0-A2 และ A10-A15 ซึ่งจะทำให้สัญญาณจากการดีโค้ดเป็นจำนวนถึง 512 เส้น อย่างไรก็ตามสัญญาณดีโค้ดเหล่านี้ยังจำเป็นต้องนำไป OR หรือ AND กับสัญญาณ IOR หรือ IOW ของระบบก่อนที่จะนำไปใช้งานจริงด้วย (วงจรนี้มีลักษณะเป็นเพียงบล็อกไดอะแกรมอย่างง่าย ๆ เพื่อเป็นแนวทางในการออกแบบวงจรเท่านั้น ในทางปฏิบัติผู้อ่านอาจจะดัดแปลงแก้ไขเพื่อให้เหมาะสมกับสภาพของงานได้ในภายหลัง)

การใช้วิธีอ้างแอดเดรสแบบ Indirect

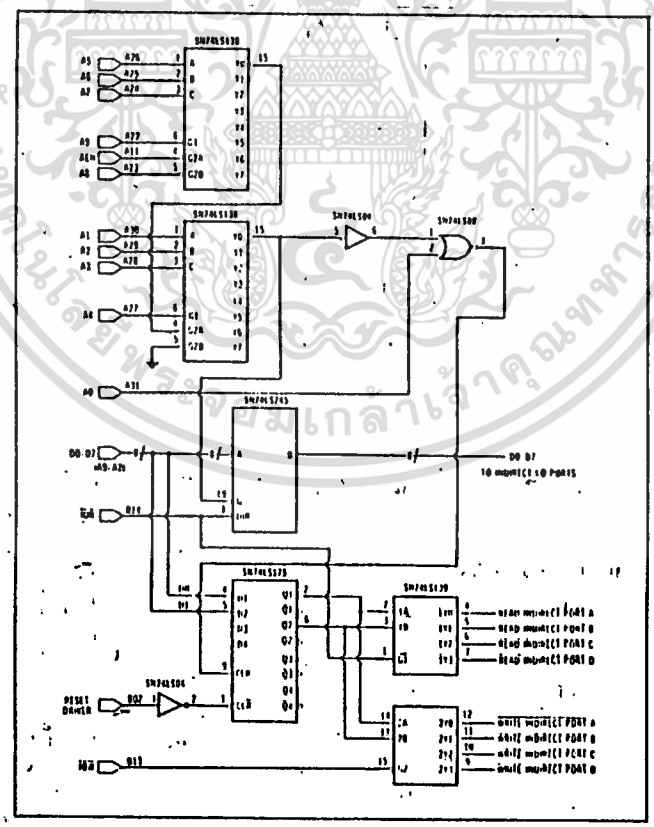
วิธีการอ้างแอดเดรสในแบบนี้เป็นวิธีที่นิยมใช้กันโดยทั่วไป ซึ่งหลักการของวิธีการอ้างแอดเดรสในแบบนี้ ก็คือ ใช้ข้อมูลของพอร์ทหนึ่งในการอ้างแอดเดรสของอีกพอร์ทหนึ่ง กล่าวคือ เมื่อเราส่งข้อมูลไปยังแอดเดรสของพอร์ทที่เรากำหนดให้ใช้สำหรับการอ้างแอดเดรส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แบบ Indirect นี้แล้ว ข้อมูลที่เราส่งไปให้กับพอร์ทนั้น ๆ ก็จะถูกนำไปเข้าวงจรดีโค้ดอีกครั้งหนึ่ง จึงจะได้สัญญาณดีโค้ดเพื่อส่งให้กับพอร์ทต่าง ๆ ที่ต้องใช้การอ้างแอดเดรสแบบ Indirect นี้ ดังนั้นในกรณีที่บัสข้อมูลของระบบเป็นขนาด 8 บิท เมื่อใช้วิธีการอ้างแอดเดรสแบบ Indirect นี้ ทำให้เราสามารถขยายแอดเดรสของพอร์ทขึ้นได้เป็นจำนวนถึง 256 แอดเดรส

สำหรับจำนวนพอร์ทที่ใช้ในการอ้างแอดเดรสแบบ Indirect นี้ เราจำเป็นต้องใช้ 2 พอร์ท คือพอร์ทที่ถูกกำหนดให้ใช้สำหรับการอ้างแอดเดรสแบบ Indirect ซึ่งข้อมูลที่ถูกส่งให้กับพอร์ทนี้ จะเป็นข้อมูลที่ถูกนำไปใช้ในการดีโค้ดเพื่อให้ได้สัญญาณดีโค้ดแอดเดรสของพอร์ทที่เป็นแบบ Indirect ส่วนอีกพอร์ทหนึ่งจะเป็นพอร์ทที่ใช้สำหรับรับหรือส่งข้อมูลให้กับพอร์ทที่เป็นแบบ Indirect นี้โดยเฉพาะ

สำหรับตัวอย่างวงจรที่ใช้สำหรับการดีโค้ดแอดเดรสแบบ Indirect นี้จะแสดงดังในรูป 2-9



รูปที่ 2-9 ตัวอย่างวงจรดีโค้ดแบบ Indirect

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากตัวอย่างวงจรข้างต้นนั้น เป็นวงจรที่ใช้สำหรับการดีโค้ดแอดเดรสของพอร์ทที่เป็นแบบ Indirect 4 พอร์ท โดยแอดเดรสของพอร์ทที่ใช้ในการอ้างแอดเดรสแบบ Indirect นี้คือ แอดเดรส 0211H และแอดเดรสของพอร์ทที่ใช้ในการรับและส่งข้อมูลให้กับพอร์ทแบบ Indirect ทั้ง 4 พอร์ทก็คือแอดเดรส 0210H

จากวงจรนั้นเมื่อเราต้องการจะอ้างถึงแอดเดรสของพอร์ทแบบ Indirect นี้ ก็จะทำได้โดยการใช้คำสั่ง OUT ส่งข้อมูลให้กับพอร์ท 0211H โดยข้อมูลที่ถูกส่งให้กับพอร์ท 0211H นี้จะขึ้นอยู่กับพอร์ทที่เราต้องการติดต่อด้วย เช่น ถ้าเราต้องการจะติดต่อกับพอร์ทที่ 1 ก็ส่งข้อมูลเป็น 01H ให้กับพอร์ท 0211H และ เนื่องจากในวงจรนี้เราทำการดีโค้ดเพียง 4 พอร์ท ดังนั้นข้อมูลจึงมีเพียง 4 ลักษณะคือ 01H,02H,03H และ 04H เมื่อพอร์ท 0211H นี้ได้รับข้อมูลที่เราส่งไปให้แล้ว ก็จะนำเอาข้อมูลบิท D0 และ D1 ไปทำการดีโค้ด ซึ่งจะทำให้ได้สัญญาณดีโค้ดของทั้ง 4 พอร์ทตามที่เราต้องการ ส่วนการอ่านหรือเขียนข้อมูลลงบนพอร์ททั้ง 4 นี้ จะทำได้โดยใช้คำสั่ง IN หรือ OUT รับหรือส่งข้อมูลไปยังพอร์ท 0210H

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3

ชิพชัพพอร์ท SY6521

3.1 ลักษณะของ 6521

- ใช้ POWER SUPPLY +5V
- มี 1/O PORT แบบ BI-DIRECTIONAL ขนาด 8 BIT แต่ละPORT มีตัวควบคุมทิศทางของข้อมูลโดยเฉพาะ
- อุปกรณ์ PERIPHERAL แบบ C-MOS ต่อเข้าได้กับ PORT A-LINE
- มีการควบคุม HANDSHAKE โดยอัตโนมัติ ของการส่งผ่านข้อมูล
- สามารถโปรแกรมการ INTERRUPT
- ใช้กับความถี่ 1 และ 2 MHz
- สามารถแทนได้โดยตรงกับ MC 6821

รายละเอียด

SY 6821 PERICHERAL INTERPHASE (PIA) ถูกออกแบบเพื่อการควบคุมอุปกรณ์ PERRIPHERAL ได้กว้างเข้ากับระบบของไมโครคอมพิวเตอร์ หน้าที่การทำงานเข้ากันได้กับ SY 6520 แต่มีความสามารถในการ DRIVE และการทำงานดีกว่า การควบคุมอุปกรณ์ PERIPHERAL กระทำได้โดยผ่าน 8 BIT BI-DIIRECTIONAL I/O PORT จำนวน 2 PORT ในแต่ละ I/O สามารถที่จะถูกโปรแกรมให้เป็น INPUT PORT หรือ OUTOUT PORT ก็ได้ และมี PERIPHERAL CONTACT LINES จำนวน 4 เส้น เพื่อกระทำการ HAND SHAKE ในระหว่างการส่งผ่านข้อมูล

3.2 รายละเอียดของ INTERJACE SIGNAL

RES (RESET)

สัญญาณที่ถูกใช้สำหรับการเริ่มทำงานของตัว PIA สภาวะ LOW ที่ขานี้จะไปทำให้ PEGISTER ภายในตัว PIA ทุกตัวถูก CLEAR

(INPUT CLOCK)

INPUT นี้เป็นสัญญาณ CLOCK 2 ของระบบ และถูกใช้สำหรับเป็นตัวกระตุ้นเพื่อให้เกิดการส่งผ่านข้อมูล ระหว่างตัว PIA และ MICROPROCESSOR

R/W (READ/WRITE)

สัญญาณนี้ถูกผลิตโดยตัว MICROPROCESSOR และถูกใช้สำหรับควบคุมทิศทางของการส่งผ่านข้อมูล สภาวะ HIGH บนขา R/W จะทำให้ PROCESSOR ทำการอ่านข้อมูลจาก PIA และสภาวะ LOW จะทำให้ PROCESSOR ทำการเขียนข้อมูลลงบน PIA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

IRQA, IRQB (INTERRUPT REQUESTS)

IRQA และ IRQB เป็นสัญญาแการ INTERRUPT ซึ่งกำเนิดโดยตัว PIA สำหรับ PORT A และ PORT B ตามลำดับ สัญญาแเหล่านี้จะ ACTIVE ที่ LOW และมี OUTPUT เป็น OPEN DRIAM ดังนั้นมันจึงยอมให้มีการต่อแบบ MULTIPLE ของสัญญาแ IRQ จาก MULTIPU PIA'S ถูก ARIREDOR เข้าด้วยกันก่อนที่จะต่อเข้ากับเส้นสัญญาณ IRQ ของ MICROPROCESSOR

D0-D7 (DATA BUS)

DATA BUS LINES ทั้ง 8 นี้ใช้สำหรับการส่งผ่านข้อมูลข่าวสารระหว่าง PROCESSOR และตัว PIA สัญญาแเหล่านี้เป็นแบบ BI-DIRECTIONAL และปกติแล้วจะมี HIGH IMPEDANCE นอกจากจะถูกเลือกจาก READ OPERATION

CS0,CS1,CS2 (CHIP SELECTS)

ตัว PIA จะถูกเลือกให้ทำงานก็ต่อเมื่อ CS0 และ CS1 มีสภาวะเป็น HIGH และ CS2 มีสภาวะเป็น LOW เส้น CHIP SELECT ทั้ง 3 นี้ โดยปกติแล้วจะถูกต่ออยู่กับ ADDRESS LINES ของ PROCESSOR หรือไม่ก็จะผ่านวงจร DECVDER CICUIT ที่อยู่ภายนอก

RS0,RS1 (REGISTER,SELECTS)

เส้นสัญญาแทั้ง 2 ใช้สำหรับเลือก REGISTER ต่าง ๆ ที่อยู่ภายในตัว PIA

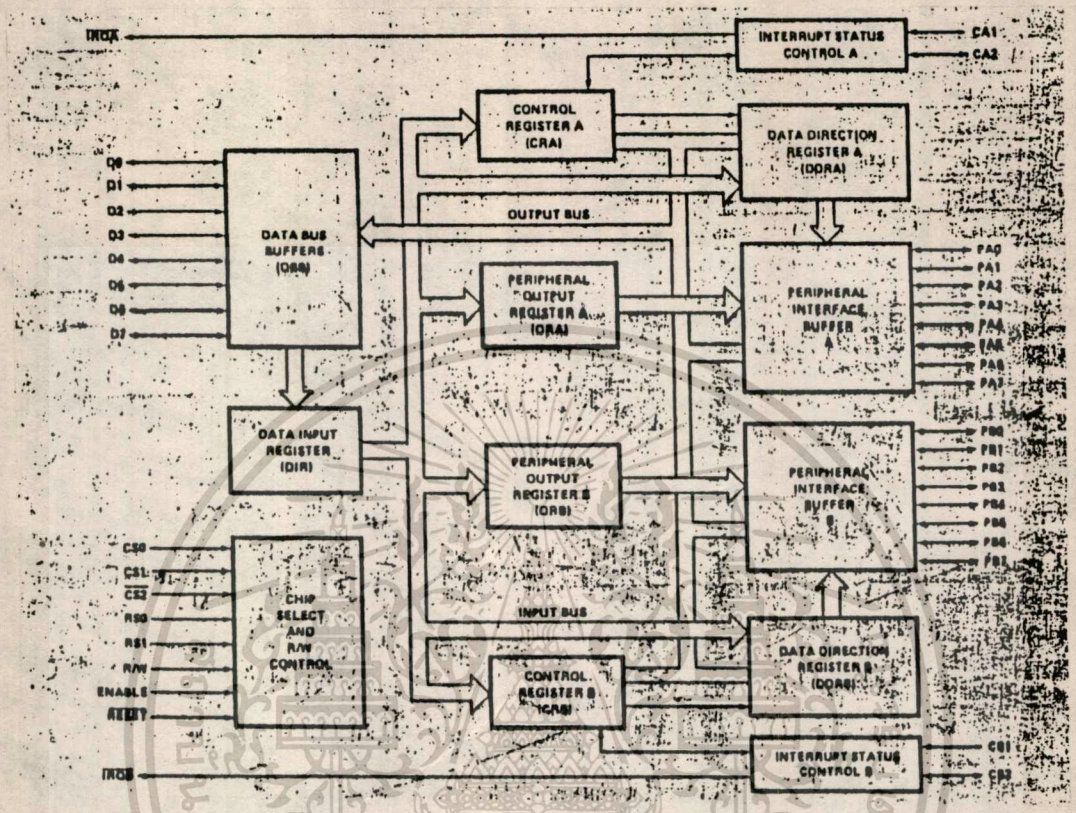
3.3 สถาปัตยกรรมภายในตัว 6821

SY 6520 ถูกกำเนิดเป็นลักษณะ 2 ส่วนแยกกันโดยอิสระ คือด้าน A และด้าน B แต่ละส่วนหรือด้านจะประกอบด้วย CONTROL REGISTER (CRA,CRB) ,DATA DIRECTION REGISTER (DDRA,DDRB) OUTPUT REGISTER (ORA,ORB),INPUT STATUS CONTROL และ BUFFER ที่จำเป็นต่อการ DRIVE PERIPHERD INTER FACE BUSES รูป 12 เป็น BLOCK DIAGRAM ของ SY 6521

	7	6	5 4 3	2	1 0
CRA	IRQA1	IRQA2	CA2 Control	DDRA Access	CA1 Control
	7	6	5 4 3	2	1 0
CRB	IRQB1	IRQB2	CB2 Control	DDRB Access	CB1 Control

รูปที่ 3.1 CONTROL REGISTER

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.2 SY 6521 BLOCK DIAGRAM

DATA INPUT REGISTER

เมื่อ MICROPROCESSOR ทำการเขียนข้อมูลลงบน SY 6521 ข้อมูลซึ่งปรากฏอยู่บน DATA BUS ในระหว่าง PHAX ของ CLOCK PUBE 2 ลูกจะถูก LATCHED เข้าไปใน DATA INPUT REGISTER แล้วก็จะถ่ายทอดเข้าไปยัง 1 ใน 6 ของ REGISTER ภายในของ SY 6521 ในช่องระหว่างขาของขาลงบน PULSE ลูกที่สอง ดังนั้นจึงแน่ใจได้ว่าข้อมูลบน PERIPHERAL OUTPUT LINES มีการถ่ายทอดข้อมูลที่ดีจาก HIGH ไป LOW หรือ LOW ไป HIGH และ VOLTAGE จะยังคง STABLE นอกจากจะมีการเปลี่ยนแปลงของ POLOSITY ในทิศทางตรงกันข้าม

CONTROL REGISTER (CRA และ CRB)

จากรูปที่ 4 แสดงการทำงานและการกำหนด BIT ของ CONTROL REGISTER CONTROL REGISTER จะยอมให้ MICROPROCESSOR ทำการควบคุมการทำงานของ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

INTERRUPT CONTROL INPUTS (CA1,CA2,CB1,CB2) และ PERIPHERAL CONTROL OUTPUT (CA2,CB2) BIT 2 ในแต่ละ REGISTER ใช้ควบคุมการ ADDRESSING ของ DATA DIRESTION REGISTER (DDRA,DDRB) และ OUTPUT REGISTER (ORA,ORB) นอกจากนั้นยังมีอีก 2 BIT (BIT 6 และ 7) ถูกจัดไว้ในแต่ละ CONTROL REGISTER เพื่อใช้แสดงสถานะของ INTERRUPT INPUT LINES (CA1,CA2,CB1,CB2) INTERRUPT STATUS BITS (IRQA1,IRQB2) ปกติแล้วจะถูกตรวจสอบโดย MICROPROCESSOR ในระหว่าง INTERRUPT SERVICE ROUTIME เพื่อกำหนดหรือหาต้นกำเนิดของ ACTIVE INTERRUPT และจะนำไป DRIVE INTERRUPT INPUT (IRQ ION1) ของ MICROPROCESSOR

DATA DIRECTION REGISTERS (DDRA,DDRB)

DATA DIRECTION REGISTER ยอมให้ PROCESSOR ทำการโปรแกรมแต่ละ LINE ใน 8 BIT PERIPHERAL I/O PORT ให้เป็น INPUT หรือ OUTPUT ก็ได้ แต่ละ BIT ใน DDRA จะควบคุม LINE ที่ CORRESPONDING ใน PERIPHERAL A PORT และแต่ละ BIT ใน DDRB จะควบคุม LINE ที่ CORRESPONDING ใน PERIPHERAL 3 PORT ถ้าแทน BIT "0" เข้าไปใน DATA DIRECTION REGISTER จะทำให้ CORRESPONDING PERIPHERAL I/O LINE ทำงานเป็น INPUT และถ้าแทนด้วย "1" จะทำให้การทำงานเป็น OUT PUT

PERIPHERAL OUT PUT REGISTER (ORA,ORB)

PERIPHERAL OUTPUT REGISTER ทำหน้าที่เก็บข้อมูล O/P ซึ่งปรากฏอยู่บน PERIPHERAL I/O PORT การเขียน "0" เข้าไปในบิท ORA จะทำให้ CORRESPOND LINE บน PERIPHERAL A PORT กลายเป็น LOW (<0.4V) ถ้าเป็น LINE นั้นถูกโปรแกรมให้เป็น OUTPUT LOGIC "1" จะทำให้ CORRESPONDING OUTPUT กลายเป็น HIGH LINES ของ PERIPHERAL B PORT ถูกควบคุมโดย ORB ในลักษณะการจัดการแบบเดียวกัน

INTERRUPT STATUS CONTROL

INTERRUPT/PERIPHERAL CONTROL LINES ทั้ง 4 (CA1,CA2,CB1,CB2) ถูกควบคุมโดย INTERRUPT STATUS CONTROL LOGIC (A,B) ลอจิกนี้จะทำการแปล (ให้ความหมาย = INTERPETS) ข้อมูลที่อยู่ใน CORRESPONDING CONTROL REGISTER ตรวจจับ ACTIVE TRANSITION บน INTERRUPT INPUT และกระทำการต่าง ๆ ที่จำเป็นต่อการที่ทำให้การทำงานแน่นอนยิ่งขึ้นของ PERIPHERAL INTERFACE LINES ทั้ง 4 เส้นเหล่านี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PERIPHERAL INTERFACE BUFFERS (A.B) และ DATA BUS BUFFER (DBB)

BUFFER เหล่านี้จะจัดหากระแสและโวลท์เตจที่จำเป็นให้กับ PERIPHERAL I/O PORTS และDATA BUS เพื่อให้การทำงานของระบบเป็นไปได้ด้วยดี

3.4 รายละเอียดของหน้าที่การทำงาน

BIT 2 (DDR) ในแต่ละ CONTROL REGISTER (CRA และ CRB ควบคุมการเข้าถึง DATA DIRECTION REGISTER หรือ PERIPHERAL INTERFACE ถ้า BIT 2 เป็น "1" PERIPHERAL OUTPUT REGISTER (ORA,ORB) จะถูกเลือกและถ้า BIT 2 เป็น "0" DATA DIRECTION REGISTER (DDRA,DDRB) จะถูกเลือก การเข้าถึง CONTROL BIT ของ DATA DIRECTION REGISTER พร้อมด้วยการเลือก REGISTER ภายในของ REGISTER SERECT LINES แสดงในรูปที่ 14

ในกรณีการเขียนข้อมูลเข้าไปใน REGISTER DDRA,ORA,DDRB หรือ ORB BIT 2 ใน CONTROL REGISTER ในตอนแรกจะถูก SET REGISTER ที่ต้องการอาจจะเข้าถึงโดยการกำหนด ADDRESS โดยการใช้ ADDRESS INTERCONNEST TESHNIQUE

REGISTER SELECT LINES (RSO,RSI)

REGISTER SELECT LINES ทั้ง 2 เส้นนี้ถูกใช้สำหรับเลือก REGISTER ต่าง ๆ ที่อยู่ภายในตัว SY6521 INPUT LINES เหล่านี้ถูกใช้ร่วมกับ CONTROL REGISTER ภายในเพื่อทำการเลือก PORTICULAR REGISTER ที่จะถูก ACCESSED โดย MICROPROCESSOR โดยปกติแล้วเส้นสัญญาณเหล่านี้จะถูกต่ออยู่กับ ADDRESS OUTPUT LINES ของตัว MICROPROCESSOR เส้นสัญญาณเหล่านี้จะทำงานพร้อมกับ CHIP SELECT INPUTS เพื่อยอมให้ MICROPROCESSOR กำหนด ADDRESS ของ SINGLE 8 BIT REGISTER ภายใน THE MICROPROCESSOR SPACE REGISTER นี้อาจจะเป็น REGISTER ภายใน (CRA,ORA,ETC) หรือมันอาจจะเป็น PERIPHERAL I/O PORT

PROCESSOR อาจทำการเขียนโดยตรงเข้าไปใน CONTROL REGISTERS (CRA,CRB) DATA DIRECTION REGISTERS (DDRA,DDRB) และPERIPHERAL OUTPUT REGISTER รวมทั้ง PROCESSOR สามารถอ่าน CONTENTS ของ CONTROL REGISTER และ DATA DIRECTION REGISTER ได้โดยตรง การเข้าถึง PERIPHERAL OUTPUT REGISTER สำหรับจุดประสงค์เพื่อทำการอ่านข้อมูลกลับเข้าสู่ PROCESSOR การทำงานจะแตกต่างกันบน REGISTER ORA และ ORB ดังได้แสดงรายละเอียดแยกกันดังข้างล่าง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Register Select Pin		Data Direction Register Access Control Bit		
RS1	RS0	CRA-2	CRB-2	Register Selected
0	0	1	–	Peripheral Interface A
0	0	0	–	Data Direction Register A
0	1	–	–	Control Register A
1	0	–	1	Peripheral Interface B
1	0	–	0	Data Direction Register B
1	1	–	–	Control Register B

รูปที่ 3.3 REGISTER ADDRESSING

การอ่าน PERIPHERAL A I/O PORT

PERIPHERAL A I/O PORT ประกอบด้วย 8 เส้น ซึ่งสามารถจะโปรแกรมให้ทำงานเป็น INPUT หรือ OUTPUT ก็ได้ เมื่อถูกโปรแกรมให้เป็น OUTPUT แต่ละเส้นจะมีข้อมูลเหมือนกับที่อยู่ใน PERIPHERAL OUTPUT REGISTER เมื่อถูกโปรแกรมให้ทำงานเป็น INPUT LINES เหล่านี้จะเป็น LOW หรือ HIGH ขึ้นอยู่กับข้อมูลที่เข้ามา PERIPHERAL OUTPUT REGISTER (ORA) จะไม่มีผลต่อ LINES ที่ถูกโปรแกรมให้ทำงานเป็น INPUT เหล่านั้น ดังนั้นทั้ง 8 LINES ของPERIPHERAL A/I/O PORT จะมีข้อมูล I/P หรือ O/P อย่างใดอย่างหนึ่งบรรจุอยู่ ขึ้นอยู่กับว่าถูกโปรแกรมให้เป็น I/P หรือ O/P

ในการกระทำ READ OPERATION ด้วย RS1 = RS0 = 0 และ DATA DIRECTION REGISTER ACCESS CONTROL BIT (CRA-2) = 1 จะมีการส่งผ่านข้อมูลโดยตรงที่อยู่บน PERIPHERAL A I/O LINES เข้าไปที่ PROCESSOR (โดยผ่าน DATA BUS) จากการกระทำดังกล่าวนี้ จะบรรจุด้วยทั้งข้อมูล INPUT และ OUTPUT PROCESSOR ต้องถูกโปรแกรมให้จำและทำการแปลความหมายของ BIT เหล่านั้นเท่านั้น ซึ่งมีความสำคัญต่อการทำงานของ PERIPHERAL โดยเฉพาะ ที่ถูกกระทำ

ดังนั้น PROCESSOR จะทำการอ่าน PERIPHERAL A I/O PORT PINS เสมอแทนตัว PERIPHERAL OUTPUT REGISTER (ORA) มันเป็นไปได้สำหรับการอ่านข้อมูลเข้าสู่ PROCESSOR ที่จะแตกต่างหรือผิดแผกไปจาก CONTENTS ของ PERIPHERAL OUTPUT REGISTER สำหรับ OUT PUT LINE มันเป็นความจริง เมื่อ I/O PIN มีค่าไม่ถึง +2.4VDC เมื่อ PERIPHERAL OUTPUT REGISTER เป็น ลอจิก "1" ในกรณีนี้ PROCESSOR จะอ่าน "0" จาก PERRIPHERAL A PIN ถึงแม้ว่า BIT ที่ CORRESPOND กับใน PERIPHERAL OUTPUT REGISTER เป็น "1"

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การอ่าน PERIPHERAL B I/O PORT

การอ่าน PERIPHERAL B I/O PORT ยอมให้มีการรวม INPUT และ OUTPUT DATA ในการจัดการคล้าย ๆ กับ PERIPHERAL A PORT อย่างไร ข้อมูลถูกอ่านโดยตรงจาก PERIPHERAL B OUTPUT REGISTER (ORB) สำหรับการโปรแกรมให้ LINE เหล่านั้นเป็น OUTPUT ดังนั้นมันเป็นไปได้ที่ PERIPHERAL B OUTPUT LINES ที่จะถูก LOAD DOWN โดยปราศจาก สาเหตุที่จะทำให้ ข้อมูลที่ไม่ถูกถ่ายทอดกลับเข้าไปใน PROCESSOR ในระหว่าง READ OPERATION

INTERRUPT REQUEST LINES (IRQA,IRQB)

INTERRUPT REQUEST LINES ที่ ACTIVE LOW (IRQA,IRQB) จะทำการขอ INTERRUPT ต่อ MICROPROCESSOR โดยตรงหรือไม่ก็ผ่านวงจรจัดการของ INTERRUPT ภายนอก LINES. เหล่านี้เป็นแบบ "OPEN DRAIN" และสามารถดึงกระแสขนาด 1.6MA จากแหล่งจ่ายกระแสภายนอก INTERRUPT REQUEST LINES. ทั้งหมดนี้ถูกรวมเข้าด้วยกันด้วยรูปแบบของ "ARIRED-OR" "A" และ "B" ในหัวข้อของ LINES เหล่านี้จะสัมพันธ์กับ "A" และ "B" PERIPHERAL PORT ด้วยเหตุนี้แต่ละ INTERRUPT REQUEST LINE จะบริการในแต่ละ PERIPHERAL DATA PORT

แต่ละ INTERRUPT LINE มี INTERRUPT FLAG อยู่ 2 BIT ซึ่งสามารถไปทำให้ INTERRUPT REQUEST LINE กลายเป็น LOW FLAG เหล่านี้ก็คือ BIT 6 และ BIT 7 ใน CONTROL REGISTER ทั้งสอง FLAG ทำการเชื่อมระหว่าง PERIPHERAL INTERRUPT SIGNALS และ INTERRUPT INPUTS ของ MICROPROCESSOR แต่ละ FLAG ก็จะมี CORRESPONDING INTERRUPT DISABLE BIT ซึ่งจะยอมให้ PROCESSOR ทำการ ENABLE หรือ DISABLE การขอ INTERRUPT จากแต่ละ LINE ของ INTERRUPT INPUTS ทั้ง 4 (CA1,CA2,CB1,CB2)

INTERRUPT FLAG ทั้ง 4 ถูก SET โดยการส่งผ่านที่ ACTIVE ของสัญญาณที่อยู่บน INTERRUPT INPUT (CA1,CA2,CB1,CB2)

การควบคุมของ IRQA

BIT7 ของ CONTROL REGISTER ถูก SET โดย ACTIVE TRANSITION ของ CA1 INTERRUPT INPUT SIGNAL เสมอ การ INTERPUT จาก FLAG นี้สามารถถูก DISABLER โดยการ SET BIT 0 ใน CONTROL REGISTER A (CRA) ให้เป็นลอจิก "0" เช่นเดียวกัน CONTROL REGISTER A BIT 6 สามารถถูก SET โดย ACTIVE

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TRANSITION ของ CA2 INTERRUPT INPUT SIGNAL การ INTERRUPT จาก FLAG นี้ สามารถ DISABLE โดยการ SET BIT 3 ใน CONTROL REGISTER ให้เป็น ลอจิก "0"

ทั้งบิท 6 และบิท 7 ใน CRA ถูก RESET โดย "READ PERIPHERAL OUTPUT REGISTER A" OPERATION ดังนั้นมันถูกกำหนดให้ทำงานเปรียบเสมือนกับการทำงานซึ่ง PROPER CHIP-SELECT และ REGISTER-SELECT SIGNALS ถูกจัดให้ยอมให้ PROCESSOR ทำการอ่าน PERIPHERAL A/I/O PORT

การควบคุมของ IRQB

การควบคุมของ IRQA (CONTROL OF IRQB) ถูกกระทำอย่างแน่นอนเหมือนกับดังที่ได้อธิบายไปแล้วจากข้างบนของ IRQA บิท7 ใน CRB ถูก SET โดย ACTIVE TRANSITION บน CB1;การ INTERRUPT จาก FLAG นี้ถูกควบคุมโดย บิท 0 ของ CRB เช่นเดียวกัน บิท6 ใน CRB ถูก SET โดย ACTIVE TRANSITION บน CB2 การ INTERRUPT จาก FLAG นี้ถูกควบคุมโดย BIT 3 ของ CRB

ดังนั้นทั้งบิท 6 และบิท 7 จะถูก RESET โดย "READ PERIPHERAL B OUTPUT REGISTER" OPERATION ด้วย

SUMMARY:
$\overline{IRQA}$ goes low when CRA-7 = 1 and CRA-0 = 1 or when CRA-6 = 1 and CRA-3 = 1
$\overline{IRQB}$ goes low when CRB-7 = 1 and CRB-0 = 1 or when CRB-6 = 1 and CRB-3 = 1

มันถูกเน้น ณ จุดที่ FLAG กระทำเปรียบเสมือนกับตัวเชื่อมระหว่าง PERIPHERAL INTERRUPT SIGNALS และ PROCESSOR INTERRUPT INPUTS INTERRUPT DISABLE BIT จะยอมให้ PROCESSOR ทำการควบคุม หน้าที่ของการ INTERRUPT

การ INTERFACE ระหว่าง SY 6521 และPERIPHERAL DEVICES

SY 6521 มี PORT ขนาด 8 BIT BI-DIRECTIONAL จำนวน 2 PORT และ INTERRUPT/CONTROL LINES จำนวน 4 เส้น สำหรับการ INTERFACE เข้ากับ PERIPHERAL DEVICES PORT และกลุ่มของ INTERRUPT/CONTROL LINES เหล่านี้จะถูกอ้างถึงเป็น "A" SIDE และ "B" SIDE แต่ละ SIDEจะมีลักษณะเฉพาะของตัวมันเอง และดังนั้นมันจะถูกอธิบายโดยแยกกันดังข้างล่าง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PERIPHERAL I/O PORTS

PERIPHERAL A และ PERIPHERAL B I/O PORT มันจะยอมให้ MICROPROCESSOR ทำการ INTERFACE เข้ากับ INPUT LINES บน PERIPHERAL DEVICE โดยการ LOAD ข้อมูลเข้าไปใน PERIPHERAL OUTPUT REGISTER และมันจะยอมให้ PROCESSOR ทำการ INTERFACE กับ O/P LINES ของ PERIPHERAL DEVICES โดยการอ่านข้อมูลบน PERIPHERAL PORT INPUT LINES โดยตรงลงบน DATA BUD และเข้าไปใน REGISTERS ภายในของ PROCESSOR ด้วย

PERIPHERAL A I/O PORT (PA0-PA7)

PERIPHERAL I/O LINES แต่ละเส้นสามารถที่จะโปรแกรมให้กระทำเป็น INPUT หรือ OUTPUT ก็ได้ สามารถทำได้โดยการ SET "1" ในบิทที่ตรงกันใน DATA DIRECTION REGISTION เมื่อต้องการให้ทำงานเป็น OUTPUT และให้เป็น "0" เมื่อต้องการให้ทำงานเป็น INPUT

ตัว BUFFER ซึ่งทำการ DRIVE ตัว PERIPHERAL A I/O LINES จะมีตัว "PASSIVE" POLL-UPS รวมอยู่ด้วยดังแสดงในรูป 15 อุปกรณ์ PULL-UP เหล่านี้โดยธรรมดาจะเป็นตัวต้านทาน และดังนั้นมันจะยอมให้ O/P VOLTAGE มีค่า VCC สำหรับลอจิก "1" การ SUVITENCES นี้สามารถดึงกระแสได้เต็มที่ 1.6 MA ดังนั้น BUFFER นี้สามารถที่จะทำการ DRIVE LOAD ที่เป็น STANDARD TTL ได้

ในกรณีเป็น INPUT MODE อุปกรณ์ PULL-UP ซึ่งแสดงในรูปที่ 15 จะยังคงต่ออยู่กับ I/O PIN และยังคงจ่ายกระแสให้กับ PIN นี้ ด้วยเหตุผลอันนี้ LINES เหล่านี้สามารถที่จะแทน LOAD ที่เป็น STANDARD TTL ในกรณีของ I/P MODE

PERIPHERAL B I/O PORT (PB0-PB7)

PERIPHERAL B I/O PORT จะเทียบเคียงกับหน้าที่หลาย ๆ อย่างของ PERIPHERAL A PORT ขบวนการของการโปรแกรมที่จะทำให้ LINES เหล่านี้กระทำเป็น INPUT หรือ OUTPUT นั้นได้อธิบายไว้ก่อนหน้านี้ เช่นเดียวกับผลของการอ่านหรือการเขียน PORT ได้มีการอธิบายไว้แล้ว มีคุณลักษณะหลายอย่างของ BUFFER ที่ทำการ DRIVE LINES เหล่านี้ ซึ่งมีผลกระทบต่อการใช้ในการ INTERFACE กับ PERIPHERAL

PERIPHERAL B I/O PORT เป็น BUFFER ที่เป็นอุปกรณ์แบบ PUSH-PULL DEVICES ดังแสดงในรูปที่ 16 PULL-UP DEVICES จะ SWITCH OFF ในสภาวะ "0" และจะ ON เมื่อลอจิก"1" ดังนั้นอุปกรณ์เหล่านี้จะเป็นอุปกรณ์แบบ ACTIVE DEVICE VOLTAGE

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ของ ลอจิก "1" จะไม่ถูกรับประกันว่าจะมีค่ามากกว่า 2.4V มันเป็น TTL COMPATIBLE แต่ไม่ใช่ CMOS COMPATIBLE อย่างไรก็ตามอุปกรณ์แบบ ACTIVE PULL-UP DEVICES สามารถจ่ายกระแสได้ถึง 1MA ที่ 1.5V กระแสอันนี้สามารถที่จะขับจากการต่อโดยตรงกับ DARLINGTON TRANSISTOR SWIAHES ได้ ซึ่งมันสามารถที่จะมีการควบคุมอย่างง่าย ๆ ของ RELAY, LAMPS เป็นต้น

เพราะว่า OUTPUT เหล่านี้ถูกออกแบบให้ DRIVE TRANSISTOR โดยตรง ข้อมูล OUTPUT ที่ถูกอ่านตรงจาก PERIPHERAL OUTPUT REGISTER สำหรับ LINES เหล่านั้นจะถูกโปรแกรมให้กระทำเป็น INPUT

ลักษณะอันสุดท้ายซึ่งเป็นหน้าที่ของ PERIPHERAL B PUSH-PULL BUFFERS คือ มีสถานะของ INPUT ที่มี IMPEDANSE สูง เมื่อ PERIPHERAL B I/O LINES ถูกโปรแกรมให้เป็น INPUT, OUTPUT BUFFER เข้าสู่สภาวะ HIGH IMPEDANCE.

INTERRUPT INPUT/PERIPHERAL CONTROL LINES (CA1, CA2, CB1, CB2)

INTERRUPT INPUT/PERIPHERAL CONTROL LINES ทั้ง 4 เส้นได้เตรียมไว้สำหรับจำนวนของหน้าที่การควบคุม PERIPHERAL แบบพิเศษ LINES เหล่านี้ได้เพิ่มความสามารถของ GENERAL PURPOSE INTERFACE PORTS ทั้งสอง (PA0-7, PB0-PB7) เป็นอย่างมาก รูปที่ 17 เป็นตารางสรุปการทำงานของ CONTROL LINES เหล่านี้

PERIPHERAL A INTERRUPT INPUT/PERIPHERAL CONTROL LINES (CA1, CA2)

CA1 เป็น INTERRUPT INPUT เท่านั้น ACTIVE TRANSITION ของสัญญาณบนอินพุทนี้จะไป SET บิท7 ของ CROTROL REGISTER A ให้เป็นลอจิก "1" ACTIVE TRANSIT สามารถถูกโปรแกรมได้โดยการบิท 1 ของ CRA ให้เป็น "0" ถ้า INTERRUPT FLAG (BIT7 ของCRA) SETให้เป็น NEGATIVE TRANSITION ของCA1 SIGNAL หรือเป็น "1" ถ้ามัน SET เป็น POSITIVE TRANSITION

ข้อสังเกตุ A NEGATIVE TRANSITION ถูกกำหนดให้เปรียบเสมือนกับการ TRANSIT จาก HIGH ไป LOW และ POSITIVE TRANSITION ถูกกำหนดให้เปรียบเสมือนกับการ TRANSIT จาก LOW ไป HIGH

การ SET INTERRUPT FLAG จะมีผลไป INTERRUPT ต่อ PROCESSOR โดยผ่าน IRQA ถ้าบิท 0 ของ CRA เป็น"1" ดังได้กล่าวมาแล้วในก่อนหน้านี้ CA2 สามาถถูกทำให้เป็นทั้ง INDIPENDENT INTERRUPT INPUT และเป็นเสมือน PERIPHERAL CONTROL OUTPUT ในการทำให้เป็น INPUT (CRA, บิท5=0) มันจะทำการ SET INTERRUPT FLAG ,

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บิท6 ของ CRA ให้เป็นลอจิก "1" บน ACTIVE TRANSITION ถูกเลือกโดยบิท 4 ของ CRA

CONTROL REGISTER BITS และ INTERRUPT INPUTS เหล่านี้จะมีหน้าที่พื้นฐานต่าง ๆ เหมือนกับที่ได้กล่าวไปแล้วข้างบนสำหรับ CA1 INPUT SIGNAL ทำการ SET INTERRUPT FLAG ซึ่งทำให้มีการเชื่อมต่อระหว่าง PERIPHERAL DEVICE และ PROCESSOR INTERRUPT STRUCTURE INTERRUPT DISABLE BIT จะยินยอมให้ PROCESSOR มีการควบคุมเหนือกว่า INTERRUPT ของระบบ

ในกรณี OUTPUT MODE (CRA บิท 5=1),CA2 สามารถทำงานอย่างอิสระเพื่อกำเนิด SIMPLE PULSE ในแต่ละช่วงเวลาของการอ่านข้อมูลบน RERIPHERAL A I/O PORT ของ MICORPROCESSOR MODE นี้ถูกเลือกโดยการ SET CRA,บิท 4 ให้เป็น "0" และ CRA, บิท3 ให้เป็น "1" PULSE OUT PUT นี้สามารถที่จะถูกนำไปใช้เพื่อควบคุมวงจรนับ, SHIFT REGISTER ETC. ซึ่งทำให้เกิด SEQUENTIAL DATA บน PERIPHERAL INPUT LINE

ในกรณี OUTPUT MODE อันที่สองจะยอมให้ CA2 ถูกใช้ร่วมกับ CA1 เพื่อทำการ "HAND SHAKE" ระหว่าง PROCESSOR และ PERIPHERAL DEVICE ทางด้าน A SIDE จากเทคนิคอันนี้จะยอมให้มี POSITIVE CONTROL ของการส่งผ่านจากอุปกรณ์ PERIPHERAL เข้าไปใน MICROPROCESSOR CA1 INPUT จะส่งสัญญาณบอก PROCESSOR ว่าข้อมูลพร้อมแล้วโดยการ INTERRUPT ตัว PROCESSOR PROCESSOR ก็จะทำการอ่านข้อมูลและจะทำการ SET CA2 ให้เป็น LOW จากการที่ PROCESSOR ทำการ SET CA2 ให้เป็น LOW นี้ อุปกรณ์ PERIPHERAL ก็จะสามารถจัดส่งข้อมูลใหม่สำหรับที่จะส่งไปได้

OUTPUT MODE อันสุดท้าย สามารถที่จะถูกเลือกได้โดยการ SET บิท4 ของ CRA ให้เป็น "1" ใน MODE นี้ CA2 จะเป็น PERIPHERAL CONTROL OUTPUT ธรรมดาซึ่งสามารถที่จะ SET ให้เป็น HIGH หรือ LOW ก็ได้โดยการ SET บิท 3 ของ CRA ให้"1" หรือ "0" ตามลำดับ

PERIPHERAL B INTERRUPT INPUT/PERIPHERAL CONTROL LINES (CB1,CB2)

CB1 ทำงานเป็น INTERRUPT INPUT เท่านั้นเหมือนกับ CA1 บิท7 ของ CRB ถูก SET โดย ACTIVE TRANSITION ถูกเลือกโดย บิท 0ของ CRB เช่นเดียวกัน CB2 INPUT MODE จะทำงานอย่างแน่นอนเหมือนกันกับ CA2 INPUT MODE CB2 OUTPUT MODE,CRB BIT 5=1 แตกต่างจากกรณีของ CA2 PULSE OUTPUTจะเกิดขึ้นเมื่อ PROCESSOR ทำการเขียนข้อมูลเข้าไปใน PERIPHERAL B OUTPUT REGISTER และ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

"HANDS SHAKING" จะทำงานในช่วงระหว่างการส่งผ่านข้อมูลจาก PROCESSOR เข้าไปในอุปกรณ์ PERIPHERAL ด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4

วิจารณ์และสรุปผลการทดลอง

4.1 หลักการทำงานของ IC TESTER

จากบล็อกแรก (bloock 1) เป็น slot ของสัญญาณต่าง ๆ บนเครื่องไมโครคอมพิวเตอร์ พีซี ซึ่งจะเป็น slot ที่จะนำเอาการ์ด ของ IC TESTER ไปเสียบ โดยสัญญาณที่จะนำไปใช้บน CARD IC TESTER นี้มีดังต่อไปนี้

- +5 V
- +12 V
- GND
- CLOCK
- IOW
- IOR
- RESET DRV
- AEN
- D0 - D7
- A0 - A9

สัญญาณ A0 , A1 , IOW จะถูกป้อนเข้าไปที่ ตัว PIA ทั้ง 3 ตัว โดยที่ A0, A1 จะถูกนำไปต่อเข้ากับขา RS0,RS1 ของ PIA และจะทำงานร่วมกับ CS เพื่อยอมให้ processor ทำการเลือก register ภายในตัวของ PIA ซึ่งจะมีผลถึงการกำหนด port ของ PIA แต่ละตัว ส่วนสัญญาณ IOW นั้นจะถูกนำไปต่อเข้ากับขา R/W ของตัว PIA ทั้ง 3 และถูกใช้สำหรับควบคุมทิศทางของการส่งข้อมูลโดย processor สัญญาณ A2-A9 , AEN จะต่ออยู่กับวงจร decode address

Block ที่ 3 เป็นวงจร decode address สัญญาณที่เข้ามาจาก Slot เพื่อทำการเลือก (select) chip ต่าง ๆ เพื่อให้ทำงานตามคำสั่ง read หรือ write operator ซึ่งกระทำด้วย processor ซึ่ง card นี้จะมี dip switch เพื่อใช้เลือก address ที่ทำการ decode ได้ตั้งแต่ 200H - 2FFH

Block ที่ 3 เป็นตัวสร้างสัญญาณ I/O CHRDY จากที่ในแต่ละ bus cycle ของแต่ละ bus cycle ของการ read และ write ของ processor จะใช้ช่วงเวลานานเท่ากับ clock จำนวน 4 ลูก และวงจรนี้จะทำการสร้างสัญญาณ I/O CHRDY เพื่อทำให้มีการสร้าง wait state เพื่อหน่วงเวลาใน bus cycle ให้วงจรอินเทอร์เฟส หรือ card

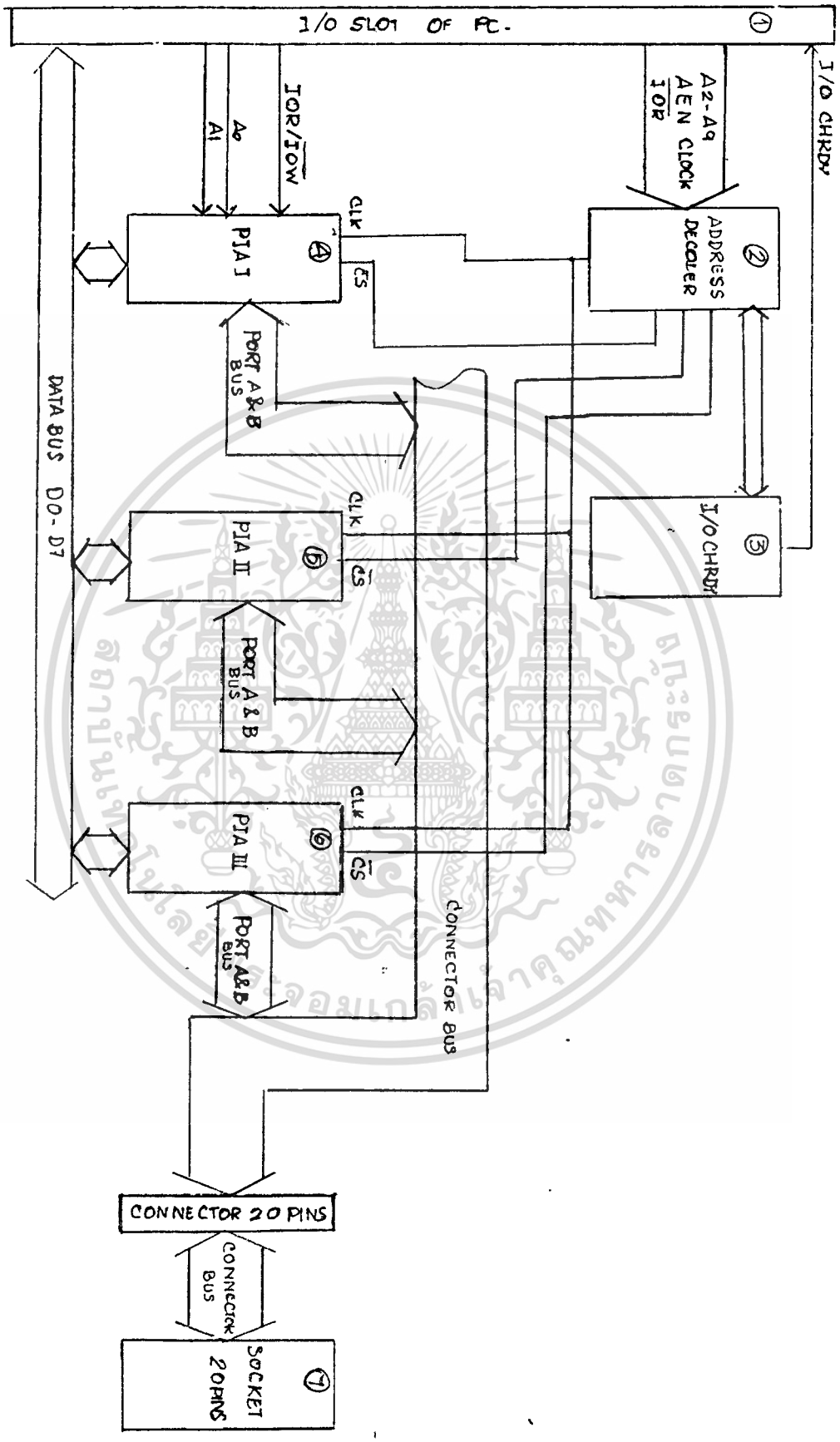
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

นี้ สามารถทำงานตอบสนองต่อ bus cycle เหล่านี้ ได้ทัน โดยที่วงจรสร้าง wait state บนเมนบอดร์ของ microcomputer จะมีการตรวจสอบสถานะของสัญญาณที่ขา I/O CHRDY ในช่วงเวลาขอบขาขึ้นของสัญญาณ clock ลูกที่ 2 ของแต่ละ bus cycle ซึ่งในช่วงเวลาของขอบขาขึ้นของ clock ลูกที่ 2 นี้ถ้าวงจรสร้าง wait state ตรวจพบว่า สัญญาณ I/O CHRDY มีระดับ logic เป็น 1 ก็จะไม่มีการสร้าง wait state แต่ถ้าวงจรนี้พบว่าระดับ logic ของสัญญาณ I/O CHRDY เป็น 0 แล้ว วงจร wait state ก็จะทำการสร้าง wait state ขึ้นใน bus cycle นั้น

Block ที่ 3,4,5 เป็นตัว PIA ซึ่ง card นี้ใช้ IC เบอร์ 6821 ซึ่งแต่ละตัวจะมี port อยู่ 2 port ซึ่งแต่ละ port จะเป็นแบบ directional ซึ่งสามารถที่จะถูกโปรแกรมแต่ละ line ของแต่ละ port ซึ่งมีอยู่ 8 line ในแต่ละ port ให้เป็นอินพุทหรือเอาท์พุทก็ได้ ตัว PIA ทั้ง 3 นั้นจะถูกเลือกใช้จาก processor ในระหว่างขบวนการ read หรือ write ของ processor ซึ่งตัวไหนจะทำงานนั้นจะขึ้นอยู่กับ CS จากวงจร address decoder แต่ละ port เหล่านี้จะถูกต่อผ่านไปยัง connector เพื่อต่อไปยัง socket ของ IC ที่จะถูกทำการทดสอบ หรือ หาเบอร์ ซึ่ง connector และ socket นี้จะมีขนาด 20 pins DATA BUS ของ PIA ทั้ง 3 นี้จะถูกต่อกับ data D0-D7 ของ slot ซึ่งเป็น data bus ของ system ซึ่งเป็นแบบ Bi - directional

เมื่อเราต้องการทดสอบตัว IC ว่าดี หรือ เสีย หรือทำการค้นหาเบอร์ของ IC โดยการพิมพ์คำสั่งตามขั้นตอน ของโปรแกรมใน software ของ IC TESTER รุ่น ICT-301 processor ก็จะมีขบวนการ write หรือ read เพื่อนำข้อมูลที่ได้ไปเปรียบเทียบกับในตารางใน soft ware โดยที่เมื่อมีการส่งแอดเดรสออกมาแล้ววงจร address decoder ก็จะทำการ decode เพื่อสร้างสัญญาณ CS เพื่อทำการเลือกตัว PIA พร้อมกันนั้นก็จะมีการส่งสัญญาณ ที่จำเป็นต่อการสร้างสัญญาณ I/O CHRDY ให้กับ I/O CHRDY GEN เพื่อเพิ่ม wait state เมื่อ PIA ได้รับสัญญาณ CS แล้วจะมีการเลือก register และ port ภายในตัว PIA ตามคำสั่งของ processor แล้วจึงต่อผ่านเข้าไปยัง socket ของตัว IC ที่ทำการทดสอบ และ processor ก็จะทำการ read and write บน socket เพื่อนำข้อมูลมาเปรียบเทียบในตารางใน soft ware ต่อไป

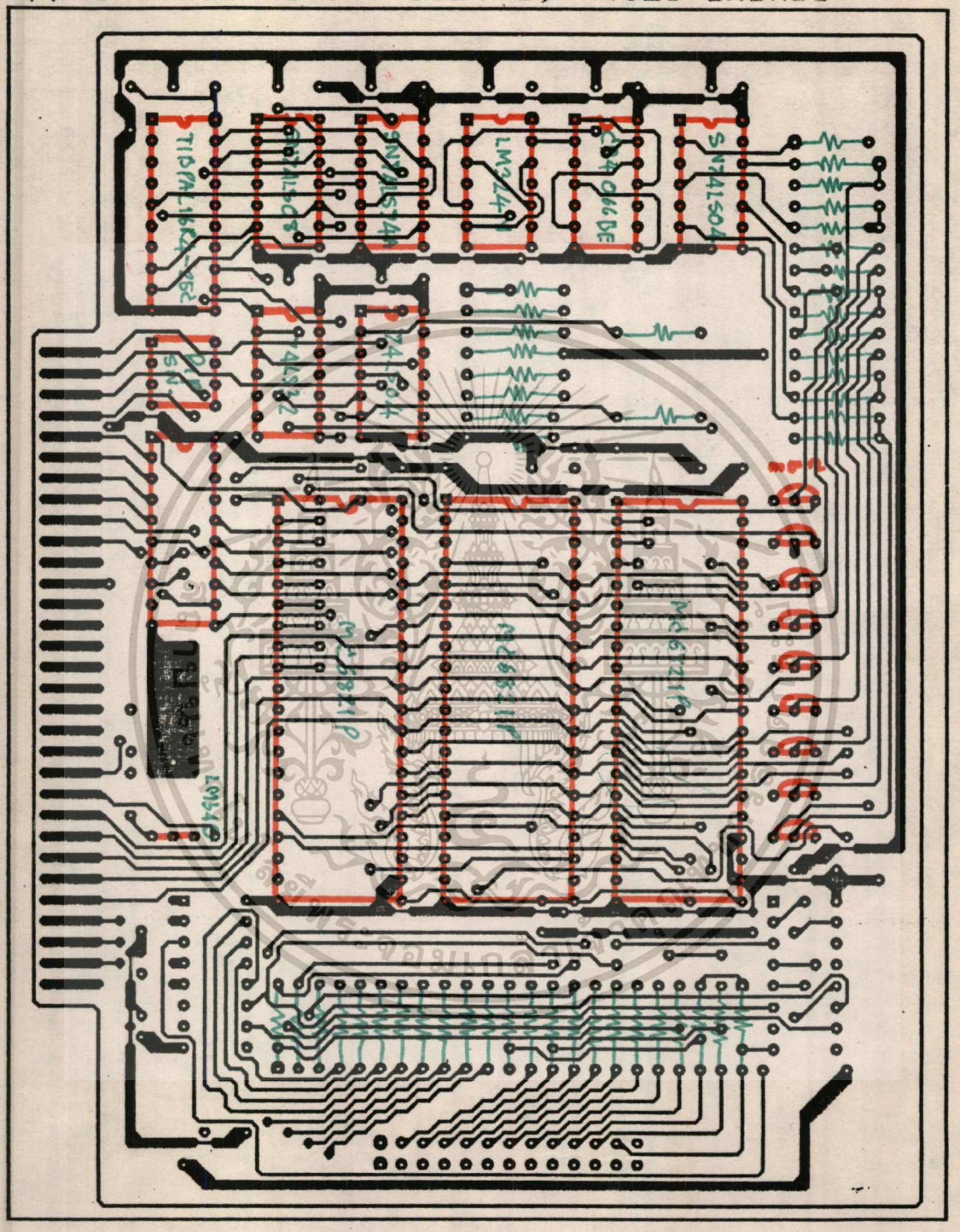
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



BLOCK DIAGRAM OF IC TESTER

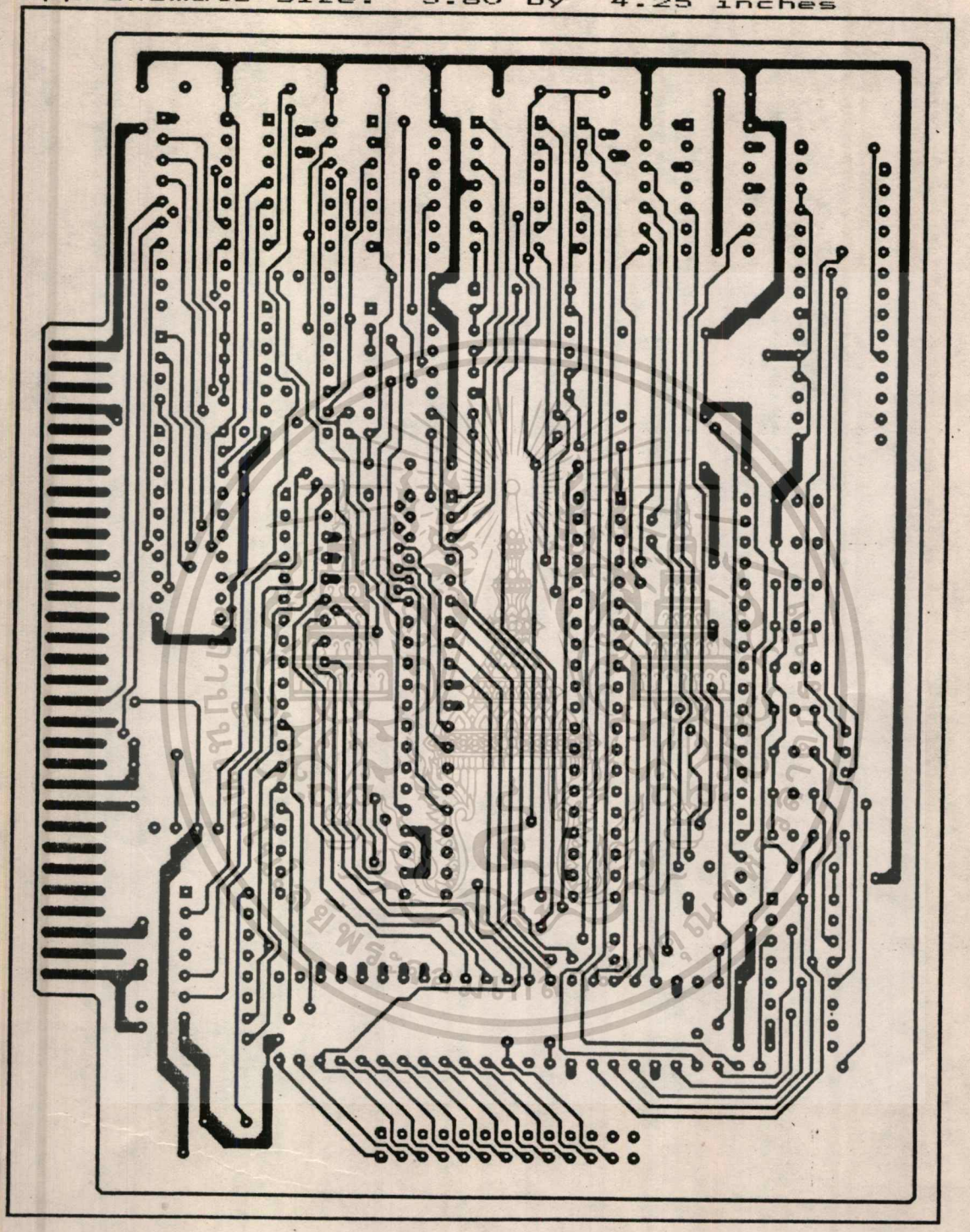
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2X artwork 1 Jan 1980 00:14:14
b:sompop.pcb
v1.2 r3 holes: 615 component side
approximate size: 5.60 by 4.25 inches

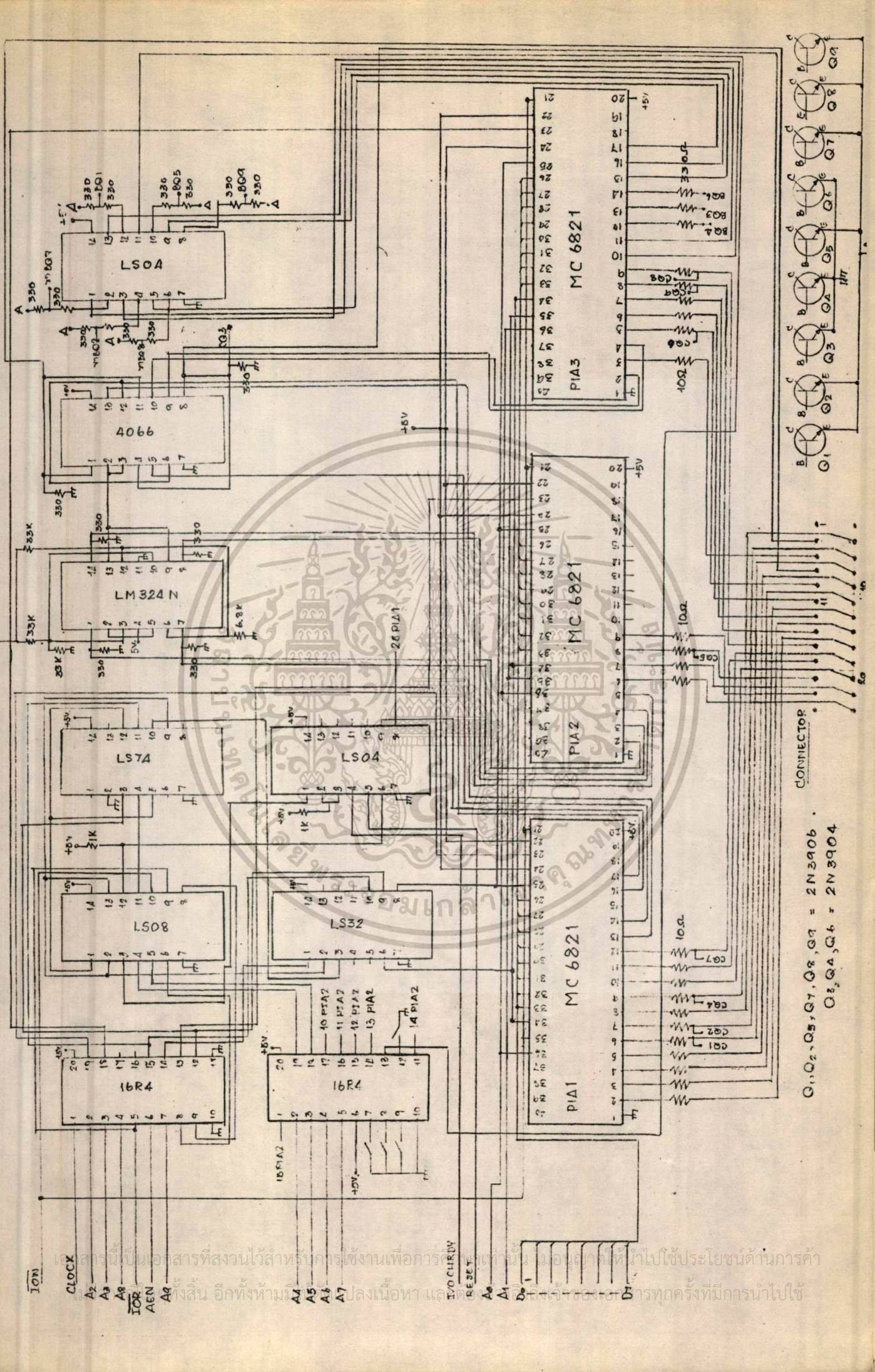


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2X artwork 1 Jan 1980 00:27:31
b:sompop.pcb
v1.2 r3 holes: 615 solder side
approximate size: 5.60 by 4.25 inches



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PART II

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

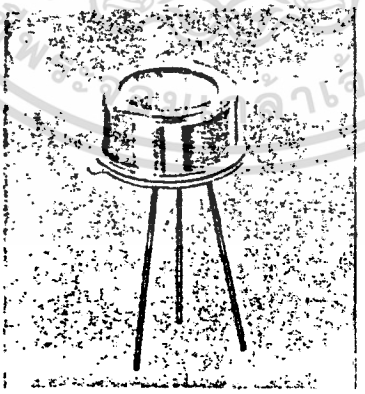
บทที่ 5

ไพโรอิเลคทริก

5.1 อุปกรณ์ตรวจจับรังสีอินฟราเรด

ไพโรอิเลคทริก เป็นตัวตรวจจับคลื่นรังสีอินฟราเรด ที่สามารถนำไปประยุกต์ใช้งานได้อย่างกว้างขวาง เช่น ระบบกันขโมย เตือนไฟไหม้ ประตูเปิดเปิดอัตโนมัติ ระบบตรวจสภาพแวดล้อม ตรวจจับอุณหภูมิเกินใช้ในระบบความปลอดภัยพิเศษของโรงงาน และสามารถนำไปใช้งานในด้านอิเลคโทรนิคได้อย่างกว้างขวาง /ในเรื่องนี้ไพโรอิเลคทริก โดยยึดหลักตามเบอร์ RPY68 ถึง RPY89 ซึ่งออกแบบโดยคณะวิศวกรของบริษัท N.V. Gloeilampen fabricken โดยจะอธิบายตั้งแต่การทำงานของตัวไพโรอิเล็คทริก การออกแบบวงจรปรีแอมป์เพื่อให้สามารถนำไปใช้งานได้ รวมทั้งวงจรขยาย พร้อมด้วยคำแนะนำในการใช้งานด้วย

ระบบความปลอดภัยของโรงงาน ได้ให้ความสนใจกับตัวตรวจจับแบบพาสซีฟอินฟราเรด(passive infrared) เพื่อที่จะนำมาเสริมใช้งานกับระบบ อัลตร้าโซนิคและระบบไมโครเวฟที่มีอยู่แล้ว และทางบริษัทฟิลลิปส์ได้แนะนำตัวตรวจจับอินฟราเรดที่ทำงานได้ในอุณหภูมิห้อง และราคายังถูกอีกต่างหาก คือเบอร์ RPY 86 ถึงเบอร์ RPY 89 (ที่จะกล่าวถึงในบทความนี้)/ตัวตรวจจับแต่ละตัวประกอบด้วยตัวที่มีความไวต่อสัญญาณอินฟราเรด ตัวแมทชิ่งอิมพีแดนซ์ที่มีสัญญาณรบกวนต่ำและช่องที่จะรับแสงอินฟราเรดผ่านเข้าไปกระทบอุปกรณ์ภายใน ซึ่งทั้งหมดบรรจุอยู่ในตัวถังแบบ TO-5 หรือ SOT-49/D



รูปที่ 5.1 ไพโรอิเลคทริกตัวถังแบบ SOT-49/D

อุปกรณ์ที่มีความไวต่อแสงอินฟราเรดนี้ประกอบด้วยแผ่นเซรามิค ซึ่งมีอิเลคโทรดที่เป็นโลหะ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วางขวางกันทั้งสองข้าง ตัวไพโรอิเลคทริกซึ่งเป็นแบบแผ่นเซรามิค จะให้สัญญาแไฟฟ้าที่อิเลคโทรด เมื่อมีอุณหภูมิเปลี่ยนแปลงลักษณะของตัวไพโรอิเลคทริก ตัวไพโรอิเลคทริกบรรจุอยู่ในตัวถังแบบ TO-5 (SOT-49/P) ซึ่งมีช่องให้แสงผ่านได้ดังแสดงในรูปที่5.1 ช่องให้แสงผ่านได้นี้ มีอยู่ 2 ชนิดคือ

- แบบซิลิคอน (silicon) ที่ยอมให้แสงผ่านในย่านความยาวคลื่น 1 um ถึง 15 um

- แบบเดไลต์ฟิลเตอร์ (daylight filter) ตอบสนองต่อแสงที่มีความยาวคลื่นตั้งแต่ 6.5 um ถึงมากกว่า 14 um (เพื่อไม่ให้อุปกรณ์มีผลต่อแสงจากดวงอาทิตย์) จุดที่น่าสนใจในทางปฏิบัติคือ เนื่องจากอุปกรณ์ที่เป็นช่องให้แสงผ่านนี้

มีค่าสัมประสิทธิ์ในการหักเหสูง ดังนั้น ตำแหน่งของตัวไวแสง (sensitive element) ควรมีระยะห่างจากแผ่นช่องให้แสงเข้า 0.7 mm. และขนาดของตัวไวแสงมี 2 ขนาดคือ 2 x 2 mm. หรือ 2 x 1 mm. ซึ่งในตารางที่ 1 แสดงเบอร์ของไพโรอิเลคทริกและขนาดของมัน

ในทางไฟฟ้านั้น ตัวตรวจจับประกอบด้วย

- ตัวเก็บประจุ (ตัวไวแสง)
- เอ็นแชนแนลเฟ็ต (n-channel Fet)
- วงจรนอนลิเนียร์ (Non-linear)

ซึ่งทั้งหมดแสดงในรูปที่ 5.3 ส่วนรูปที่ 5.4 เป็นลักษณะจริง ๆ ภายใน

วงจรนอนลิเนียร์ มีประโยชน์อย่างมากในตัวตรวจจับ คือมันใช้ป้องกันเกตของเฟ็ต (ซึ่งเป็นส่วนหนึ่งของวงจรแมตชิ่งอิมพีแดนซ์) ที่อาจจะเสียหายได้เนื่องจากแรงดันไฟลบที่เข้ามาก ๆ และยังทำหน้าที่จำกัดแรงดันของตัวไพโรอิเลคทริก จากการเปลี่ยนแปลงอุณหภูมิรอบ ๆ ตัวของมัน ซึ่ง จะทำให้เกิดการโอเวอร์โหลดของวงจรปรีแอมป์

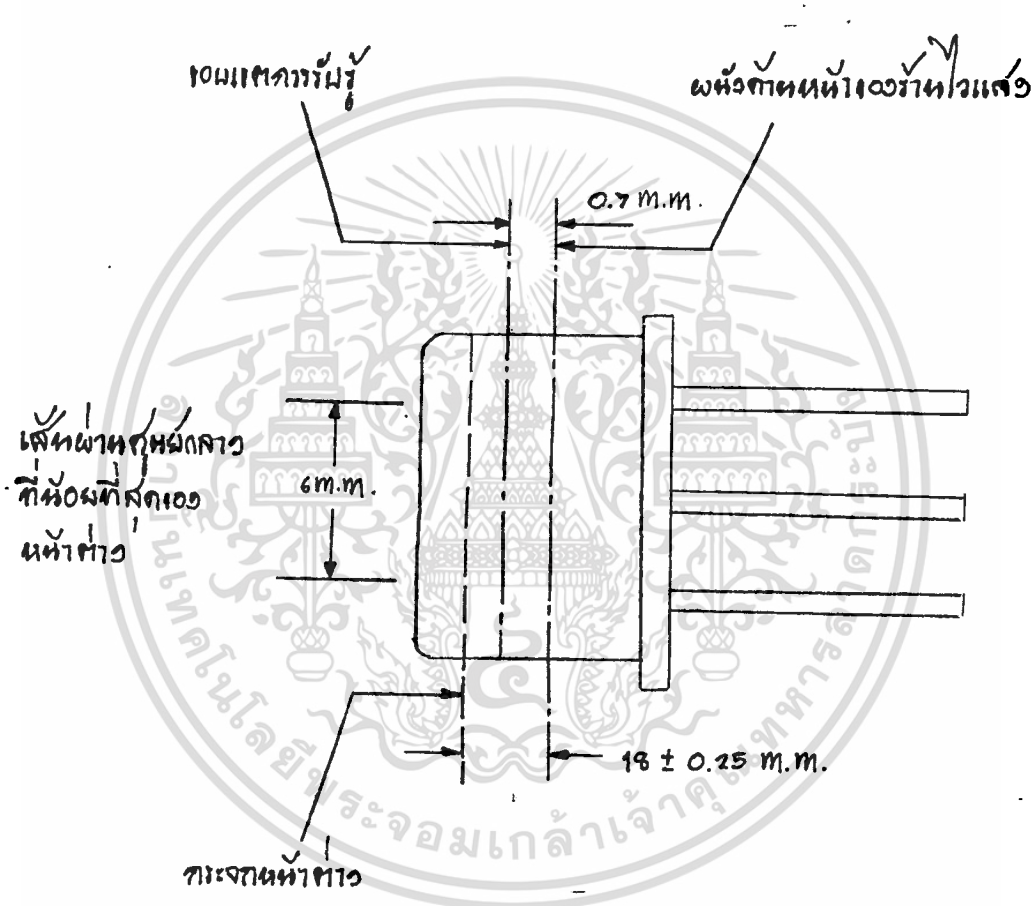
เซรามิค สารที่นำมาทำเป็นตัวไวแสง

ไพโรอิเลคทริกแบบที่ประกอบด้วยแผ่นเซรามิค ซึ่งค้นคว้าได้ที่ห้องทดลองของบริษัทฟิลลิปส์ แผ่นเซรามิคที่มีชื่อว่า ลีนไซโคเนต ไตตาเนต (leanzirconate

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

titanate) ถูกผ่านกรรมวิธีโด๊ปในขนาดที่เพียงพอจนทำให้มีคุณสมบัติในการเป็นตัวตรวจจับสัญญาณอินฟราเรดซึ่งตัวตรวจจับนี้จะไม่มีความไวต่อน้ำและอื่น ๆ ดังนั้น มัน

สามารถจับต้องได้เหมือนกับพวกเซมิคอนดัคเตอร์ที่ใช้ในโรงงานทั่ว ๆ ไป วัสดุชนิดนี้มีอุณหภูมิคูรี่ที่สูงมาก และสามารถทำงานได้กับอุณหภูมิสูงถึง 100 องศา C.ยิ่งไปกว่านั้นมันยังมีผลตอบสนองได้ดีต่อการเปลี่ยนแปลงอุณหภูมิเพียงเล็กน้อย

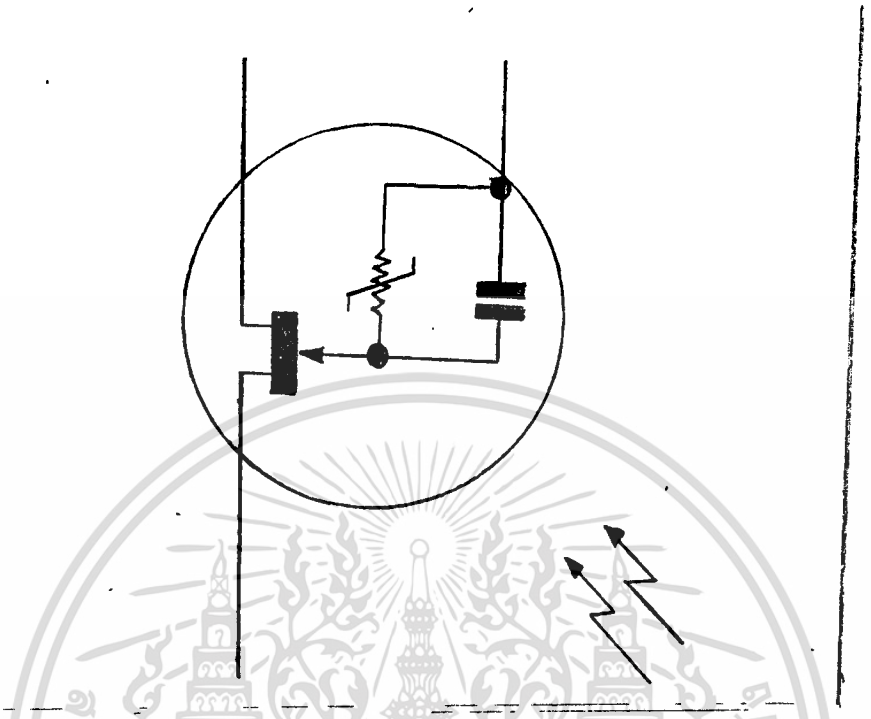


รูปที่ 5.2 ตำแหน่งโดยละเอียดของชิ้นส่วนภายใน

Sensitive element dimensions	Spectral response	
	6.5 to 14 μm	1 to 15 μm
2 × 1 mm	RPY86	RPY87
2 × 2 mm	RPY88	RPY89

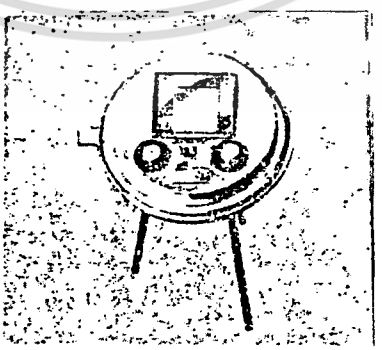
ตารางที่ 1 รุ่นของเซรามิคไพโรอิเลคทริกดีเทคเตอร์ที่มีขาย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.3 สัญลักษณ์ของไพโรอิเลคทริก

อุณหภูมิคูรี่ คืออุณหภูมิที่ทำให้คุณสมบัติการเป็นแม่เหล็กของเนื้อสารเปลี่ยนจากเฟอร์โรแมกเนติก (ferromagnetic) ไปเป็นพาราแมกเนติก (paramagnetic) ปกติต่ำกว่าจุดหลอมละลายของสารนั้น ๆ



รูปที่ 5.4 แสดงรูปทรงภายในตัวจริง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารเฟอร์โรแมกเนติก เป็นสารที่โมเลกุลมีคุณสมบัติเป็นแม่เหล็กอยู่แล้ว เมื่อมีสนามแม่เหล็กภายนอกมากระทำ สนามแม่เหล็กเนื่องจากไดโพลแม่เหล็กภายในเนื้อสารจะเสริมกับสนามภายนอกทำให้สนามผลรวมภายในมีความเข้มสูงกว่าสนามภายนอกหลายเท่า และเมื่อ สนามแม่เหล็กภายนอก ถูกแยกออกไปแล้ว สนามภายใน ก็จะยังมีความเข้มเหลือค้างอยู่บ้าง

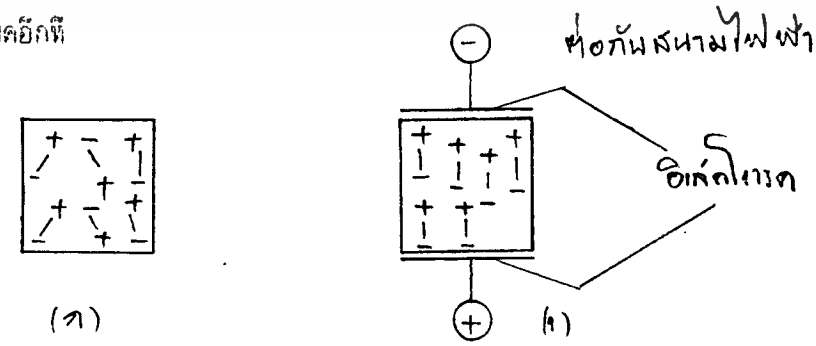
สารพาราแมกเนติก สารชนิดนี้มีคุณสมบัติของแม่เหล็กถาวรอย่างอ่อน แต่จะไม่แสดงตัวเป็นแม่เหล็ก ถ้าไม่มีสนามแม่เหล็กจากภายนอกมากระทำ เมื่อมีสนามแม่เหล็กจากภายนอกมากระทำ ไดโพลแม่เหล็กในเนื้อสารนี้จะให้สนามเสริมกับสนามภายนอกเล็กน้อย ทำให้ขนาดความเข้มผลรวมของสารแม่เหล็กภายในเนื้อสารสูงกว่าภายนอกไม่มากนัก

5.2 ทฤษฎีเบื้องต้นของไพโรอิเลคทริก

ไพโรอิเลคทริก เซรามิค (pyroelectric ceremic) ประกอบด้วยมวลของผลึกเล็ก ๆ มากมาย แต่ละผลึกจะมีลักษณะเป็นขั้วไฟฟ้า 2 ขั้ว คือบวก และ ลบ โดยลักษณะนี้เราเรียกว่า ไดโพลโมเมนต์ (dipole moment) และที่อุณหภูมิสูงกว่า

อุณหภูมิคูรี่(ขึ้นอยู่กับชนิดสาร) ผลึกจะไม่มีสถานะไดโพลโมเมนต์ดังกล่าวแต่ถ้าอุณหภูมิต่ำกว่าอุณหภูมิคูรี่ ขั้วไฟฟ้าของแต่ละผลึกจะมีทิศทางต่าง ๆ กันอย่างไม่เป็นระเบียบ ดังแสดงในรูปที่ 5.5ก

ดังนั้นถ้าเราให้ความร้อนต่ำกว่าอุณหภูมิแคร์รี่ และให้สนามไฟฟ้าแก่มันแต่ละไดโพลโมเมนต์จะเกิดการเรียงตัวกัน อย่างไม่เป็นระเบียบ ตามสนามไฟฟ้าที่ป้อนให้ ดังแสดงให้ดูในรูปที่ 5.5ข หลังจากมันเย็นตัวลง และเอาสนามไฟฟ้าออก สถานะดังกล่าวก็ยังคงอยู่ ทำให้เซรามิคมีลักษณะเป็นขั้วเกิดขึ้น จากนี้เราก็เอาแผนอิเล็คโทรดวางลงบนผิวทั้ง 2 ด้านของเซรามิคอีกที



รูปที่ 5.5ก.ขั้วไฟฟ้าสับสน ข. เรียงเป็นระเบียบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ขนาดของประจุที่ปรากฏที่ผิวหน้าของอิเล็คโทรดสัมพันธ์กับประจุภายใน คือไดโพลโมเมนต์นั่นเอง ซึ่งการรวมตัวและการแยกตัวของประจุแสดงในรูปที่ 5.6

จำนวนไดโพลโมเมนต์ทั้งหมดในเนื้อสารเซรามิค (M) หาได้จาก

$$M = PAd.$$

P คือ ไดโพลโมเมนต์ ต่อหนึ่งหน่วยปริมาตร

d คือ พื้นที่ของอิเลคโทรดทั้ง 2

และประจุบนผิวหน้าของอิเลคโทรด (Qs) มีค่าดังนี้

$$Qs = PA$$

โดยปกติไพโรอิเล็คทริก จะมีการเปลี่ยนแปลงทางไฟฟ้าอันเนื่องมาจากอุณหภูมิ โดยไดโพลแต่ หรือผลรวมของไดโพลโมเมนต์อาจจะลดลง เพื่อไดโพลเกิดการเคลื่อนตัวอย่างไม่เป็นระเบียบ เมื่ออุณหภูมิเปลี่ยนแปลงโดยเร็ว ดังนั้นเมื่ออุณหภูมิของวัสดุเพิ่มขึ้น ประจุที่อยู่บนผิวหน้าของเซรามิคจะลดลง ผลอันนี้จะทำให้เกิดแรงดันไฟฟ้าคร่อมที่อุปกรณ์ตามสมการ

$$Q = CV$$

Q = ประจุ

C = ค่าความจุ

V = แรงดันไฟฟ้า

ประจุที่เกินนี้จะไหลลงสู่วงจรซึ่งตัวไพโรอิเล็คทริกต่ออยู่ ขนาดของประจุที่เกินมานี้ มีความสัมพันธ์กับสัมประสิทธิ์ของตัวไพโรอิเลคทริค (λ) ซึ่งเป็นค่าอัตราส่วนระหว่างการเปลี่ยนแปลงของโพลาไรเซชั่น (polarisation) กับอุณหภูมิโดยรูปที่ 5.7แสดงค่าของต่ออุณหภูมิ

สำหรับการเปลี่ยนแปลงเพียงเล็กน้อยของอุณหภูมิ (ΔT) ประจุที่เกิน (ΔQ) หาได้จาก

$$\Delta Q = \lambda A \Delta T$$

ประจุที่เพิ่มขึ้นทำให้เกิดแรงดันไฟฟ้าเปลี่ยนแปลง หาได้จาก

$$\Delta V = \Delta Q/Ce \quad ,$$

$$= \lambda A \Delta T/Ce$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Ce คือ ค่าความจุทางไฟฟ้า (Electrical capacitance) ระหว่างผิวหน้าของแผ่นอิเล็คโทรดทั้ง 2 เพื่อที่จะให้ได้ผลดีที่สุดในการใช้ไพโรอิเลคทริกเป็นตัวตรวจจับสัญญาณอินฟราเรด เซรามิคที่นำมาทำเป็นตัวไวแสง (sensitive element) ต้องมีขนาดบางมาก ๆ เมื่อพิจารณาความเข้มของสัญญาณอินฟราเรดเป็นกำลังวัตต์ RMS (Wrms) ต่อหนึ่งหน่วยพื้นที่ ซึ่งแอปปลิจุดเปลี่ยนแปลงเป็นลักษณะคลื่นรูปซายน์ ที่ค่าความเร็วเชิงมุมต่าง ๆ (w) ทำให้ Cth (JK) แทนค่าความจุความร้อน (Thermal capacitance) ของตัวความไว ดั้งนั้น λT หาได้จาก

$$\lambda T = WT/jwCth$$

ค่าของ wCthRth มีค่ามากกว่า 1 ซึ่ง Rth คือค่าความต้านทานทางอุณหภูมิ (thermal resistance)

ค่าของ w = 1 / CthRth (สำหรับเบอร์ RPY 86 ถึง 89 มีค่า w = 1 Hz)

เมื่ออุณหภูมิเพิ่มขึ้นทำให้สัญญาณไฟฟ้าเพิ่มขึ้นดังนี้

$$\lambda V = A\lambda T / Ce$$

$$= A\Delta 2.W/jwCthCe$$

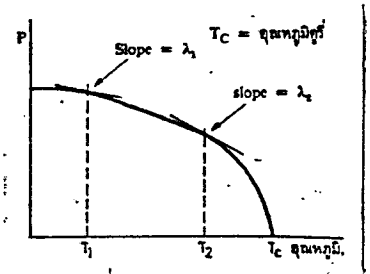
จากสมการด้านบนจะเห็นว่า เมื่อค่าของความถี่เพิ่มขึ้นทำให้แรงดันไฟฟ้าที่เกิดขึ้นลดลง และแรงดันนี้จะล้าหลังสัญญาณจากการแผ่รังสีความร้อนอยู่ 90 องศา และกระแสหาได้จาก

$$i = \lambda V jwCe ,$$

$$= WA\Delta 2/Cth$$

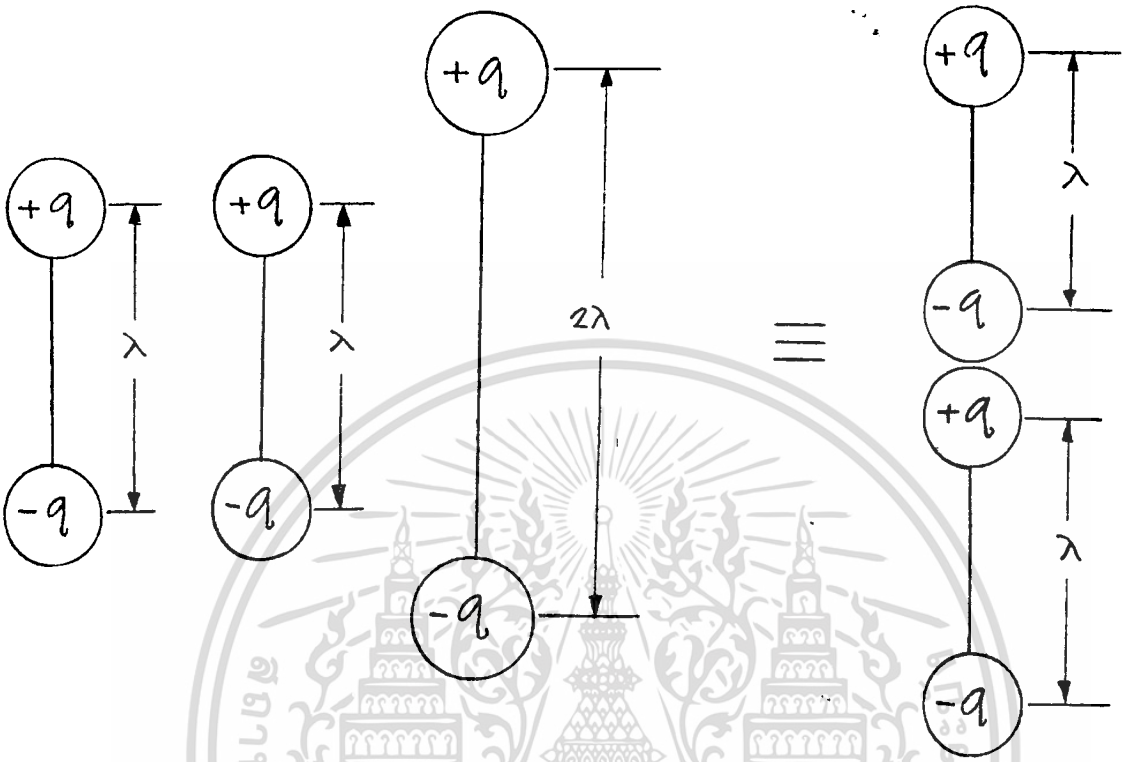
การแมทชิ่งของตัวตรวจจับกับชุดขยายสัญญาณ

ตัวตรวจจับยังประกอบด้วยเฟ็ตที่มีสัญญาณรบกวนต่ำ ซึ่งขาซอร์สและขาเดรนถูกต่อออกไปใช้งานข้างนอก ผู้ใช้สามารถออกแบบภาคปรีแอมป์ได้อย่างอิสระ และเป็นตัวแมทชิ่งอิมพีแดนซ์ ระหว่างตัวความไวกับภาคขยายด้วย



รูปที่ 5.6 การเปลี่ยนแปลงของไพราไรซ์กับอุณหภูมิ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.7 การแยกประจุเพื่อวิเคราะห์

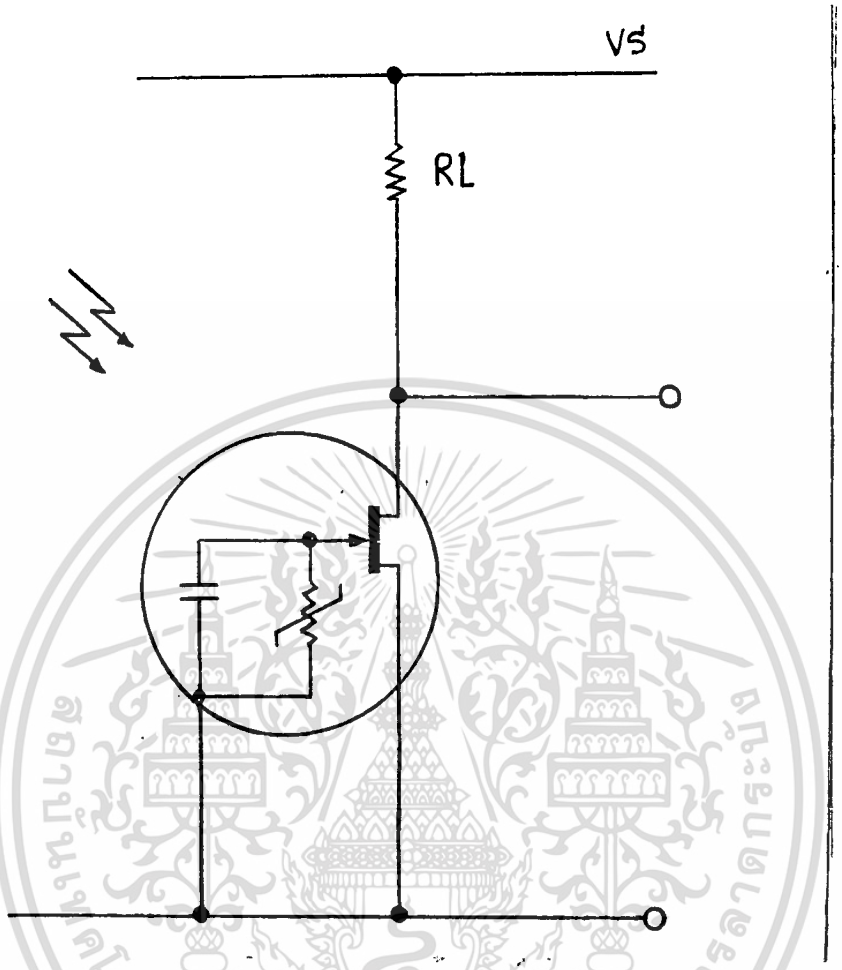
5.3 การออกแบบวงจรปรับแอมป์โดยใช้เฟ็ต

เราต้องมีความเข้าใจในคุณสมบัติทางไฟตรงของเฟ็ตแต่ละชนิดเช่นในรูปที่ 5.8 เกตและซอสมีแรงดันไฟตรงเท่ากัน ดังนั้น กระแสไหลผ่าน RL มีค่าเท่ากับ Idss ของเฟ็ต อย่างไรก็ดี Idss ของเฟ็ตที่ใช้มีค่าอัตราส่วนของ ค่าสูงสุดคือ 3:1 อัตราการขยายของวงจรคือ RLgfs (gfs คือคอมมอนซอร์สมีแรงดันตก-คร่อมเป็น " 0 ")ซึ่ง RL ถูกกำหนดด้วย

Vs / Idss(max)

อัตราขยายของวงจรขึ้นอยู่กับ gfs และสัญญาณอินพุทที่มีค่าเป็นลบเท่านั้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.8 การใช้เฟ็ตเป็นปรีแอมป์

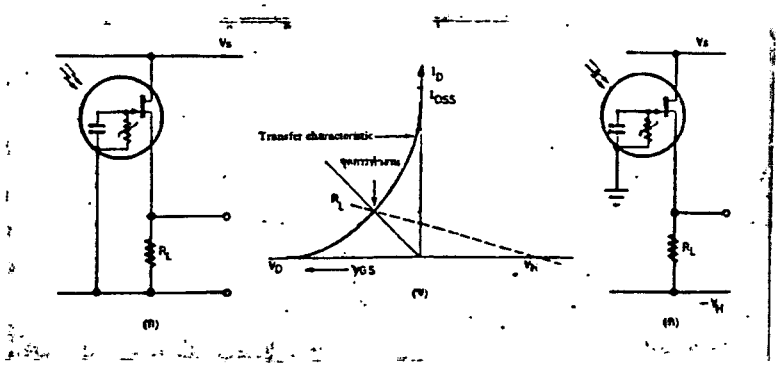
การจัดวงจรแบบซอร์สตาม

ส่วนมากวงจรที่ใช้ในการเป็น แมตชิ่งอิมพีแดนซ์ ของวงจรปรีแอมป์คือวงจรซอร์สฟอลโลเวอร์ ดังแสดงในรูป 5.9 ก ซึ่งวงจรนี้เป็นการให้ไบแอสแบบควบคุมกระแสที่ถูกต้องพอเหมาะด้วยตัวเอง (self bias) ซึ่งจุดการทำงานแสดงในกราฟรูปที่ 5.9 ข

อัตราขยายของวงจรนี้มีค่าน้อยกว่า 1 ซึ่งหาได้จาก

$$G = RL/(RL + 1/gfs)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.9ก.ซอร์สลงดิน ข.เส้นการทำงานและเส้นโหลด ค.ซอร์สต่อไฟลบ

ซอร์สตามกับแหล่งจ่ายไฟลบ

วงจรนี้แสดงดังรูปที่ 5.9ก อัตราการขยายขึ้นอยู่กับค่าของ gfs เพราะค่าของ RL สามารถเพิ่มขึ้นได้ต่อเมื่อมันต่อกับไฟลบ และต้องแน่ใจว่าขาซอร์สเป็นบวกเมื่อเทียบกับขาเกต ดังนั้นกระแสที่ไหลผ่าน RL จึงมีค่าน้อยกว่า Idss(min)

หรือ unity-gain amplifier อัตราขยายของวงจรสามารถให้มีค่าเท่ากับ "1" ได้ โดยอาศัยการป้อนกลับจากขาซอร์สไปยังขาเดรน เมื่อเพิ่มแรงดันที่ขาเกตทำให้กระแสที่ขาเดรนเพิ่มขึ้น ซึ่งเป็นสาเหตุมาจาก PNP ทรานซิสเตอร์นำกระแสมากขึ้น ซึ่งเท่ากับเป็นการเพิ่มแรงดันที่ขาซอร์ส วงจรนี้ทำงานเป็นซอร์สตาม และไม่ต้องการแหล่งจ่ายไฟลบ วงจรแสดงในรูปที่ 5.10

5.4 วงจรขยายสัญญาณไฟสลับ

วงจรขยายแบบนี้แสดงในรูปที่ 1.10 ซึ่งมีผลตอบสนองเฉพาะสัญญาณที่เป็นสัญญาณไฟสลับเท่านั้น และเอาท์พุทที่ได้จะเป็นค่าที่เปลี่ยนแปลง ซึ่งคิดเทียบกับกราวด์สมการที่ใช้ในการคำนวณมีดังนี้

$$wL = 1/C1*R1$$

$$G = (R3 + R2)/R2$$

$$Vio = ILR1((R3 + R2)/R2)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

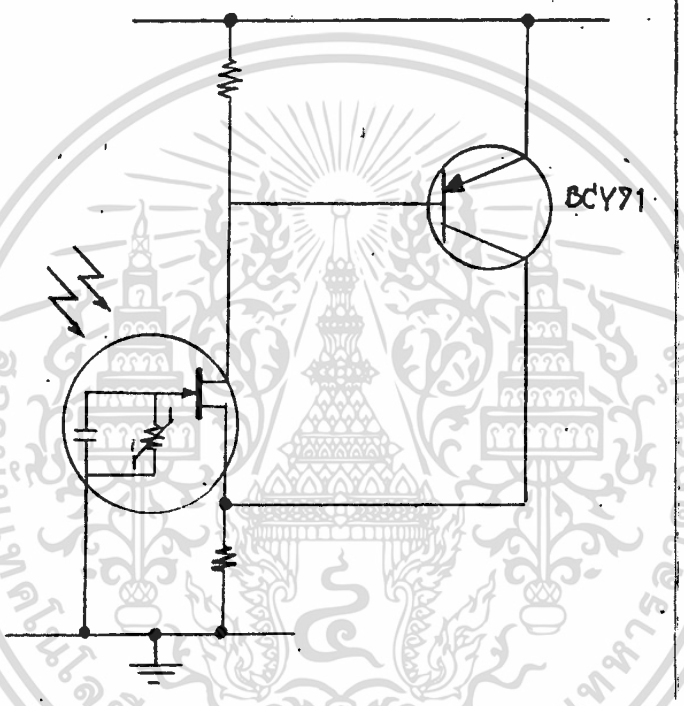
อุปกรณ์ต่าง ๆ มีค่าดังนี้

R1 = 200 Kohm

R2 = 100 Kohm

R3 = 5.6 Mohm

C1 = 4.7 uF



รูปที่ 5.10วงจรขยายไฟสลับ

การชดเชยทางความถี่ของวงจรขยาย

วงจรในรูปที่ 5.11มีผลตอบสนองเฉพาะสัญญาณทางไฟสลับเท่านั้น และยังสามารถใช้สำหรับชดเชยความถี่ได้อีกด้วย แรงดันจากตัวไพโรอิเลคทริกมีค่าลดลงเมื่อความถี่สัญญาณเพิ่มขึ้นซึ่งอัตราการขยายสัญญาณของวงจรมีค่าเพิ่มขึ้นเมื่อความถี่เพิ่มขึ้น(เพื่อชดเชยกัน)

การออกแบบทำได้ดังนี้

wL = 1/C1*R1

G = -R2/R1

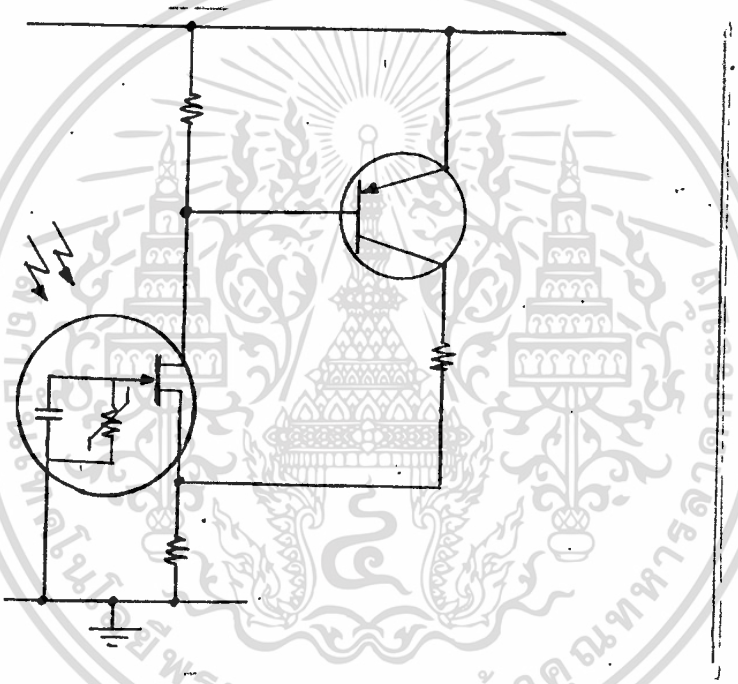
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$Vio = -ILR2$$

ลักษณะการตอบสนองของตัวไพโรอิเลคทริก

หน่วยที่ใช้วัดอัตราการตอบสนองของตัวไพโรอิเลคทริก คือ แรงดันที่เอาท์พุท เป็นโวลต์ (V) ต่อกำลัง เป็นวัตต์ (W) ของรังสีที่ตกกระทบตัวมันโดยสัญญาณเอาท์พุทนี้จะถูกวัดที่เอาท์พุทของภาคปรีแอมป์ ซึ่งในที่นี้มีอัตราการขยาย = 5 เท่า (ดังได้อธิบายไว้แล้ว) แต่ถ้าหาก อัตราขยายนี้เปลี่ยนไป ค่าอัตราการตอบสนองก็จะเปลี่ยนไปด้วย

ในข้อมูลเฉพาะตัวของ ไพโรอิเลคทริก ค่าตอบสนองคือ ค่าในวงเล็บ เช่น (500 k, 10) หรือ (10 um, 10)



รูปที่ 5.11 วงจรขยายขดเชยความถี่

คำแนะนำโดยทั่วไปในการใช้ตัวเซรามิกไพโรอิเลคทริก

1. ไม่ควรเอาพลาสติกที่ครอบตัวมันออกจนกว่าจะนำมันมาประกอบในวงจรเพื่อป้องกันไม่ให้ช่องแสงผ่านเสียหายได้ และป้องกันไขมันบนนิ้วมือเปื้อนช่องผ่านแสงซึ่งจะลบออกยาก ซึ่งจะทำให้คุณสมบัติในการส่งผ่านแสงลดลง

2. แผ่นวงจรพิมพ์และร็อกเก็ตซอล ๆ วงจรปรีแอมป์ต้องสะอาด และอุปกรณ์ที่ใช้ต้องเป็นพวกที่มีสัญญาณรบกวนต่ำ และมีกระแสรั่วไหลน้อย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3. ในการใช้งานต้องระวังไม่ให้ตัวถังสัมผัสกับซาซอส หรือ เดรน เนื่องจากจะทำให้เม็ดเสียหายได้(ในขณะที่ต่อไฟเลี้ยงวงจรแล้ว)

4. ตัวฟิลเตอร์แบบเดย์ไลต์ฟิลเตอร์จะเหมาะสมกับตัวดีเทคบางชนิดเท่านั้น เพราะมันจะป้องกันไม่ให้แสงในย่านตามองเห็น(ซึ่งมาจากแหล่งกำเนิดที่ไม่ทราบแน่นอน)และแสงที่มีความยาวคลื่นสั้นผ่านไปได้ แต่ยอมให้คลื่นยาวผ่านได้

ส่วนแบบซิลิคอน วินโดว์ (silicon window filter)ป้องกันที่แสงช่วงตามองเห็นได้ แต่ไม่ใช่ทั้งคลื่นสั้นและยาว

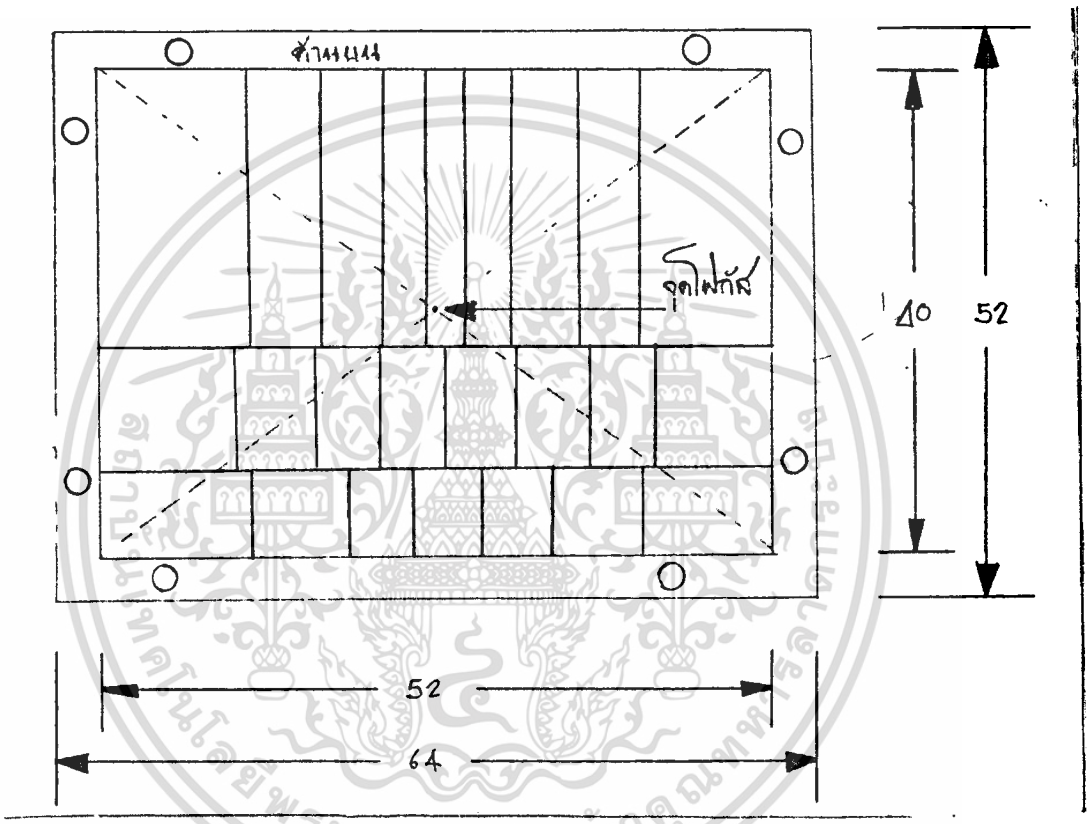
5. ในระบบนี้ทำงานกับความถี่ค่อนข้างต่ำมาก อากาศที่เคลื่อนที่ผ่านตัวดีเทคเตอร์ในแนวระดับสายตา อาจเป็นสาเหตุให้เกิดการทำงานที่ผิดพลาด ดังนั้น ควรเก็บตัวดีเทคไว้ในภาชนะปิดจะช่วยแก้ปัญหาได้ดีขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 6

เฟรสนอลเลนส์

เฟรสนอลเลนส์ ประกอบด้วยเลนส์ขนาดเล็ก ๆ หลายชุดวางเรียงกันไป ซึ่งจะให้ความยาวโฟกัสที่สั้นมาก ทำด้วยวัสดุพลาสติกสังเคราะห์พิเศษจะยอมให้เฉพาะแสงที่ตาคนมองไม่เห็น (แสงอินฟราเรด)ผ่านเข้าไปได้เท่านั้น ประกอบด้วยเลนส์ทั้งหมด 24 ชิ้นรวมกันทำให้มุมในการรับแสงกว้างถึง 90 องศา



รูปที่ 6.1 เลนส์รวมแสงอินฟราเรดแบบ 24 หน้า

(24 FACES INFRARED FLESNALLEN)

เลนส์ 9 อันบน	สำหรับจับระยะไกลได้ถึง	12 เมตร
เลนส์ 8 อันกลาง	สำหรับระยะปกติได้ถึง	8 เมตร
เลนส์ 5 อันล่าง	สำหรับระยะสั้นได้ถึง	4 เมตร
เลนส์ 2 มุมล่าง	สำหรับระยะประชิด	1 เมตร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6.1 คุณสมบัติ (Specification)

โปโรซิลิเคต พลาสติก

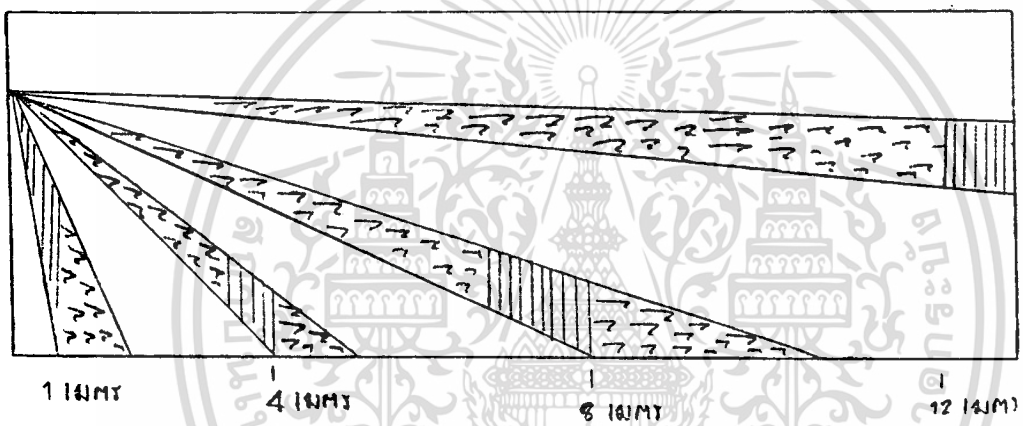
ดัชนีหักเหแสง = 1.52 ที่ 10.6 ไมครอน

Refractive index = 1.52 at 10.6 Micron

โฟกัสแสง = 2.5 ซ.ม.

Focus = 2.5 Cm.

ผิวหน้าเรียบหันออกไปยังด้านแสงเข้า ผิวโค้งหันหน้าเข้าหาตัวรับแสง

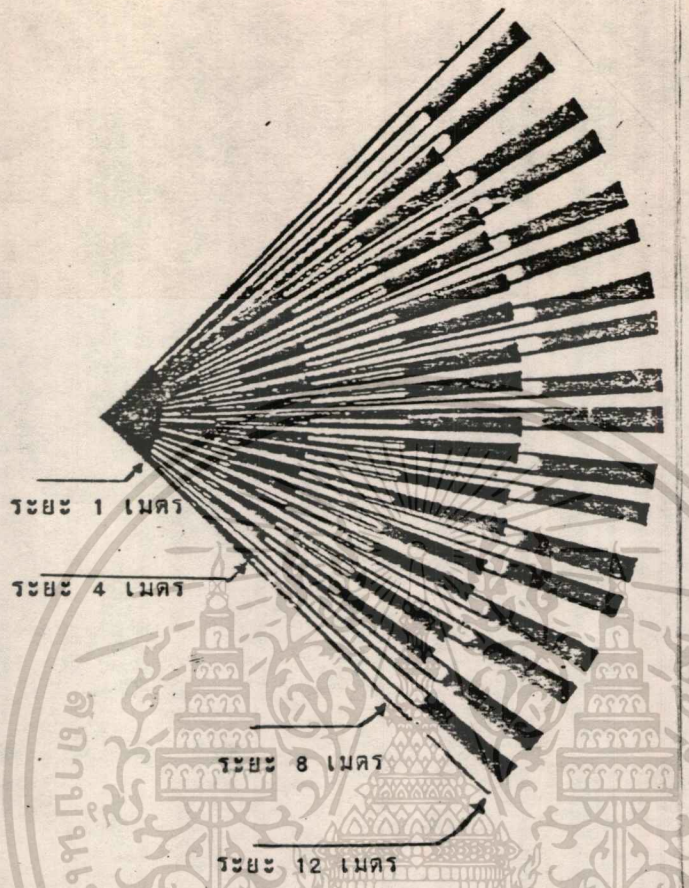


รูปที่ 6.2 รัศมีในการรับตามแนวตั้งเมื่อเลนส์อยู่สูง 2 เมตร

6.2 ประโยชน์ของเฟรสนอลเลนส์

- เพิ่มระยะในการรับ หรือ ตรวจจับของ pyroelectri detector
- เพิ่มระยะในการรับของตัวรับแสงอินฟราเรด เช่น อินฟราเรดโฟโต ทรานซิสเตอร์ อินฟราเรดโฟโตไดโอด โฟโตโวลตาอิค
- ตัดแสงรบกวนให้ตัวรับแสงอินฟราเรดทุกชนิด จากแสงที่ตามองเห็น
- เพิ่มระยะในการบังคับของอินฟราเรดรีโมทคอลโทรล เช่น ทีวี วีดีโอเปิดปิดประตู หรือ โรงรถ หรือ ระบบกันขโมย

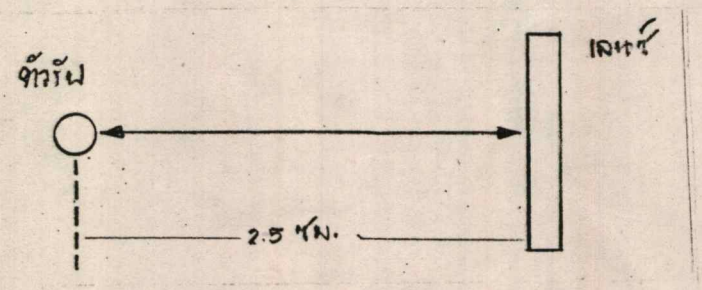
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 6.3 รัศมีในการรับในแนวนอน มุมการรับประมาณ 90 องศา

6.3 การติดตั้ง

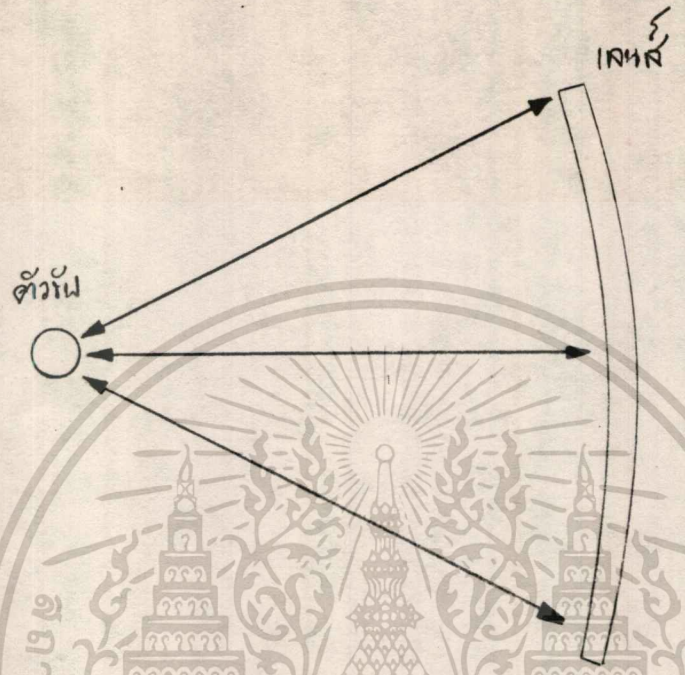
วางเลนส์ห่างจากตัวรับแสง 2.5 เซนติเมตร



รูปที่ 6.4 การวางตัวรับแสงห่างจากเลนส์

ถ้าต้องการให้มุมกว้างขึ้นสามารถวางได้ไม่เกิน 2.5 เซนติเมตร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

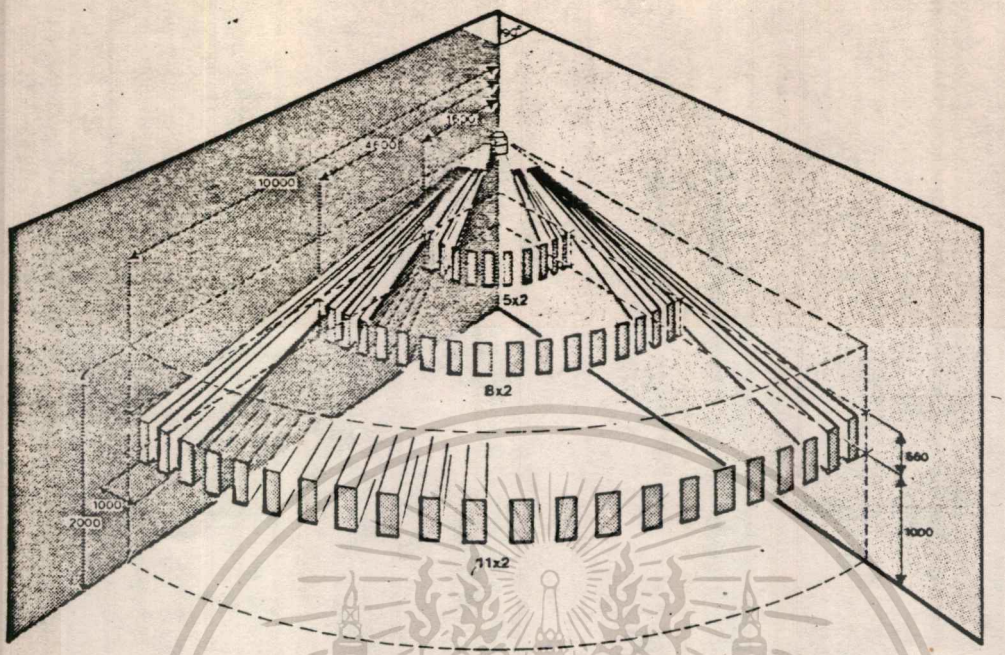


รูปที่ 6.5 การวางเลนส์ห่าง 2.5 เซนติเมตร

ในการใช้งานพื้นที่ที่ถูกตรวจจับจะถูกแบ่งย่อยเป็นส่วน ๆ ตามจำนวนเลนส์ ที่ประกอบเข้าด้วยกัน เมื่อจำนวนเลนส์เพิ่มมากขึ้น ก็จะทำให้สามารถตรวจจับครอบคลุมพื้นที่ได้กว้างขึ้นดังแสดงในรูปที่ 21

เมื่อมีคนหรือสัตว์เคลื่อนที่จากพื้นที่ส่วนหนึ่งไปยังอีกส่วนหนึ่ง ซึ่งอยู่ในรัศมีของเฟรสนอลเลนส์ จะเกิดการเปลี่ยนแปลงในทางอุณหภูมิ โดยมีเลนส์ทำหน้าที่เป็นตัวรวมแสงหรือ พลังงานความร้อนที่แผ่ออกมานี้ไปยังจุดโฟกัส ซึ่ง ณ. จุดนี้เป็นตำแหน่งที่เราติดตั้งตัวรับแสง คือ ไพโรอิเลคทริกไว้ ซึ่งมันจะรับรู้การเปลี่ยนแปลง และ ผลิตสัญญาณป้อนเข้าวงจรกำเนิดสัญญาณเตือนภัยอีกทีหนึ่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 6.6 แสดงพื้นที่ที่ถูกตรวจจับแบ่งออกเป็นส่วน ๆ ตามจำนวนของเลนส์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 7

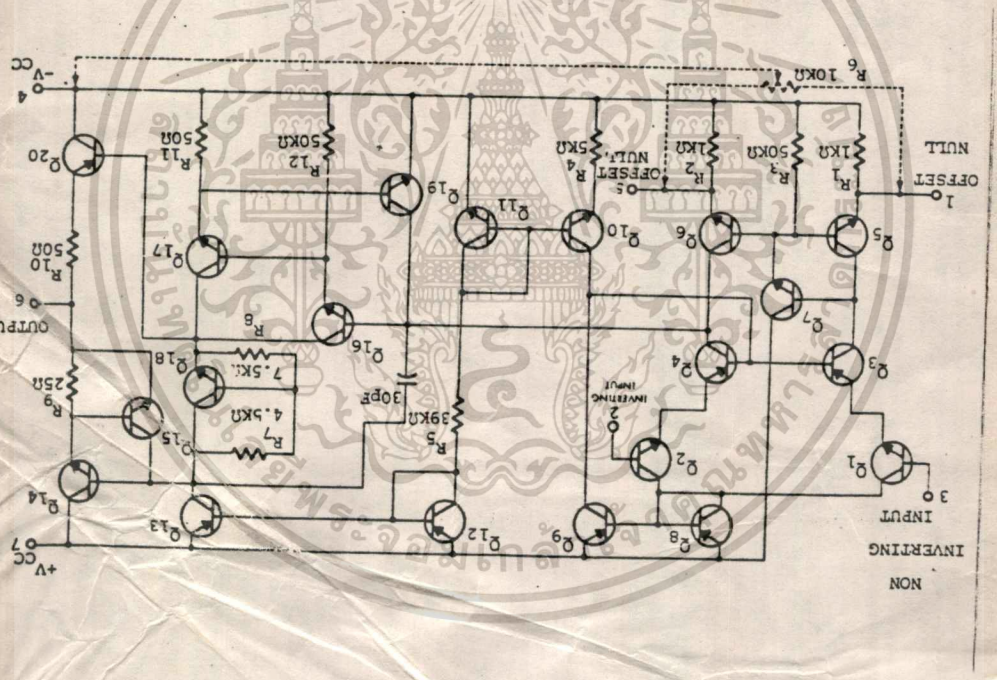
ออพเพอเรชั่นแนล แอมพลิฟายร์

(OPERATIONAL AMPLIFIER)

7.1 ออพแอมป์ทั่ว ๆ ไป

ในรูปที่ 7.1 แสดงวงจรภายในของออพแอมป์ตัวหนึ่งเบอร์ uA 741 ซึ่งจัดได้ว่าสามารถใช้งานได้เอนกประสงค์ และในการอธิบายนี้เลือกใช้เบอร์ดังกล่าวนี้เป็นตัวอย่างในการอธิบาย โดยที่ออพแอมป์เบอร์อื่น ๆ ก็คล้ายคลึงกัน

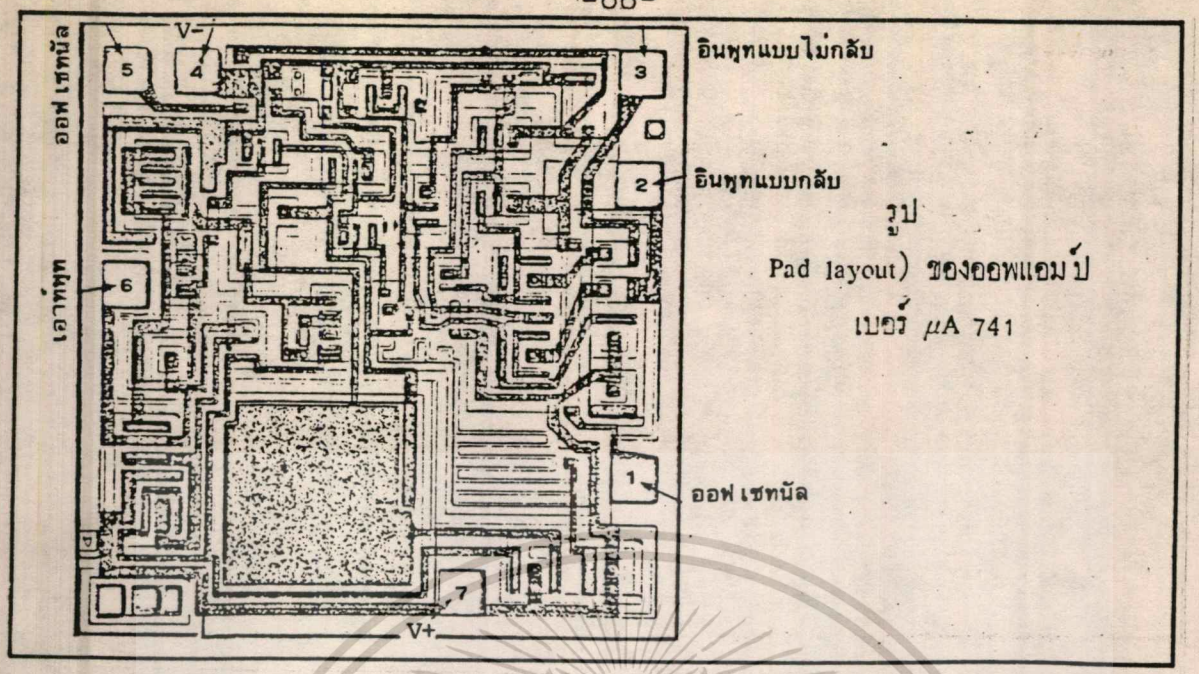
จากรูปที่ 1 จะเห็นว่าวงจรนี้ประกอบด้วย ดิฟเฟอเรนเชี่ยล อินพุท (Q1 และ Q2) ตัวขับดาร์ลิงตั้นมีอัตราการขยายสูง (Q 18) และภาคอินพุท คอมพลีเวนทารี่ ซิมเม็ททรี่ คลาส AB (Q14 และ Q20) ส่วนทรานซิสเตอร์ที่เหลือใช้ในการจัดไบอัส และ ใช้ในวงจรขยาย



รูปที่ 7.1 วงจร equivalent ของออพแอมป์ uA 741

การปรับแต่ง "นัล ออฟเซ็ท" ทำได้ด้วยการใส่โพเทนทิโอมิเตอร์ค่า 10 กิโล-โอห์มระหว่างขาที่ 1 กับขาที่ 5 ของออพแอมป์ และ ต่อขากลาง (ของโพเทนทิโอมิเตอร์) เข้ากับ -Vcc และการป้องกันการลัดวงจรทำได้โดยการใส่ทรานซิสเตอร์จำกัดกระแส (Q15) ที่ภาคเอาท์พุท

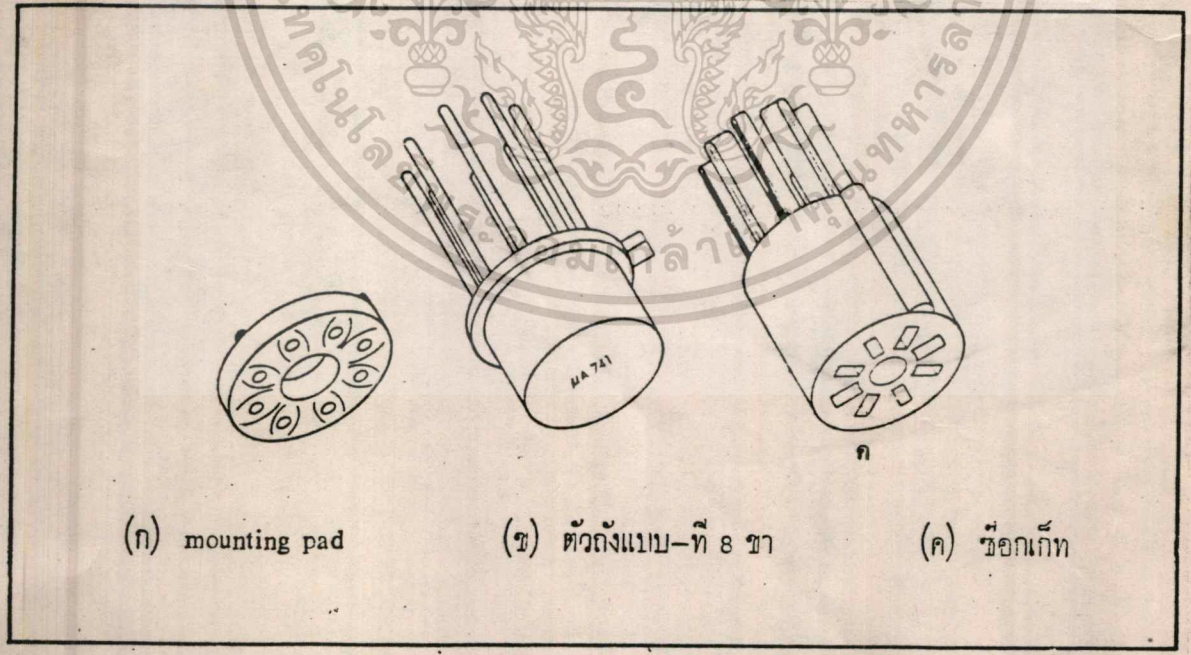
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป Pad layout) ของออพแอมป์ เบอร์ μA 741

รูปที่ 7.2 แสดง Pad layout และลักษณะการต่อจริง

ในรูปที่ 7.2 นั้นแสดง Pad layout และลักษณะการต่อจริง ๆ ของออพแอมป์ uA 741 ขอให้ลองพิจารณาเปรียบเทียบดูกับวงจรในรูปที่ 7.1 สำหรับรูปที่ 7.3 เป็นตัวอย่าง ตัวถัง ซ็อกเก็ต และ mounting ของออพแอมป์ uA 741



(ก) mounting pad (ข) ตัวถังแบบ–ที 8 ขา (ค) ซ็อกเก็ท

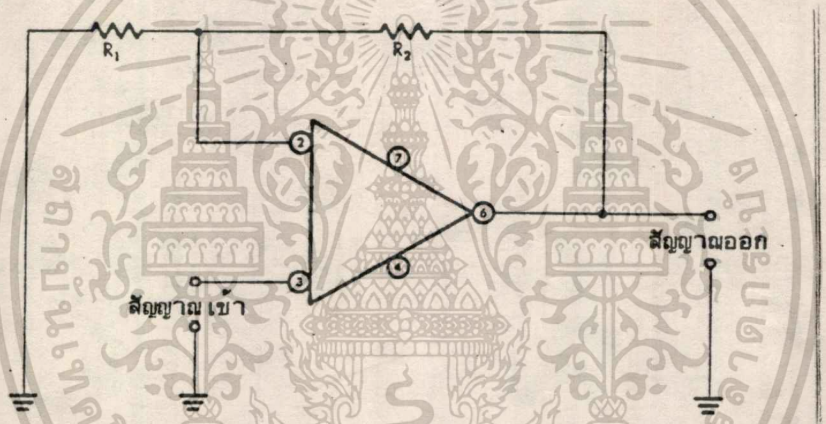
รูปที่ 7.3 ออพแอมป์เบอร์ uA 741

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

7.2 การป้อนกลับ

การป้อนกลับ (feedback) ในออพแอมป์ทำเพื่อให้สามารถนำไปใช้ในงานต่างๆ ได้หลายอย่าง ซึ่งทำได้ง่ายมากทีเดียว โดยการป้อนกลับเข้าระหว่างขาเอ้าท์พุท กับ ขาอินพุทแบบกลับ ด้วยตัวต้านทานเพื่อใช้เป็นตัวแบ่งแรงดัน ตัวแบ่งแรงดันนี้มีความสำคัญมาก เพราะจะทำให้การป้อนกลับทางลบจริง ๆ ที่ระดับขยาย (หรืออัตราขยาย) ที่ต้องการ

ในกรณีวงจรปิด (closed-loop) อัตราขยายนี้ขึ้นอยู่กับขนาดของความต้านทานป้อนกลับ ส่วนกรณีที่วงจรเปิด (open-loop) หรือไม่มีความต้านทานป้อนกลับนั้น อัตราขยายสามารถตัดออกไปได้ในการออกแบบส่วนใหญ่ แต่ก็ใช้ในวงจรเปรียบเทียบแรงดัน และ วงจรตรวจระดับเหมือนกัน



รูปที่ 7.4 การป้อนกลับในวงจรออพแอมป์

หลักการทำงาน

ดังได้กล่าวมาแล้วในหัวข้อของการป้อนกลับว่า อัตราขยายของออพแอมป์นั้นถูกควบคุมจากภายนอก อาจกล่าวได้ว่าออพแอมป์มีอัตราขยายเป็น "อนันต์" (infinity) ภายในการควบคุมของกำลังที่จ่ายให้ และอาจกล่าวได้อีกว่ามีอินพุท อิมพิแดนท์เป็นอนันต์ และเอาท์พุท อิมพิแดนท์เป็น "0" ได้อีกด้วย

ในขณะที่ไม่มีสัญญาณป้อนเข้าที่อินพุทแบบกลับ หรือ อินพุทแบบไม่กลับ อย่างใดอย่างหนึ่ง เอาท์พุทจะเป็น "0" แต่เมื่อมีสัญญาแรงดันหนึ่งป้อนเข้าที่อินพุทอันหนึ่งแล้ว อินพุทที่ตรงข้ามจะพยายามมิให้ต้านเข้าไปถึงระดับสัญญาณนั้น ทั้งนี้เพื่อว่าจะได้มีความแตกต่างระหว่างอินพุททั้งสองเป็น "0" เสมอ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากการที่การป้อนกลับจากเอาท์พุทแบบกลับ ดังนั้นเอาท์พุทก็จะต้องมีขนาดที่จะใช้ขับอินพุทสองอันให้ใกล้ null (หรือค่าต่ำมาก ๆ) เสมอ สำหรับกระแสที่มีค่าค่อนข้างต่ำที่อินพุท จนอาจจะสมมุติได้ว่าไม่มีเลยก็ได้ ส่วนขั้วเอาท์พุทนั้นมีเฟสเดียวกันกับอินพุทแบบไม่กลับ และ ต่างเฟสกับอินพุทแบบกลับ

7.3 การออกแบบวงจรขยายแบบกลับ (Inverting Amplifier)

วงจรขยายแบบกลับที่ใช้ออพแอมป์มีการออกแบบอยู่ด้วยกัน 2 อย่างคือ ไฟตรงกับ ไฟสลับ วงจรขยายเหล่านี้จะให้อัตราขยายกระแส และ อัตราขยายแรงดันค่อนข้างจะสูง สามารถนำไปใช้งานต่าง ๆ ได้อย่างแพร่หลาย เช่น ในระบบการควบคุมอัตโนมัติ ระบบเสียง ระบบสื่อสาร ต่าง ๆ เป็นต้น จากการที่มันมีอัตราขยายแรงดัน และ อัตราขยายกระแสที่สูง โดยปกติจึงต้องป้องกันอุปกรณ์เสียหายด้วยตัวจำกัดกระแส (current limitter) และอินพุทที่ป้อนให้กับวงจรขยายตัวกล่าวจะไม่เกินค่าแรงดันแหล่งจ่าย

วงจรขยายไฟสลับแบบกลับ (Inverting AC Amplifier)

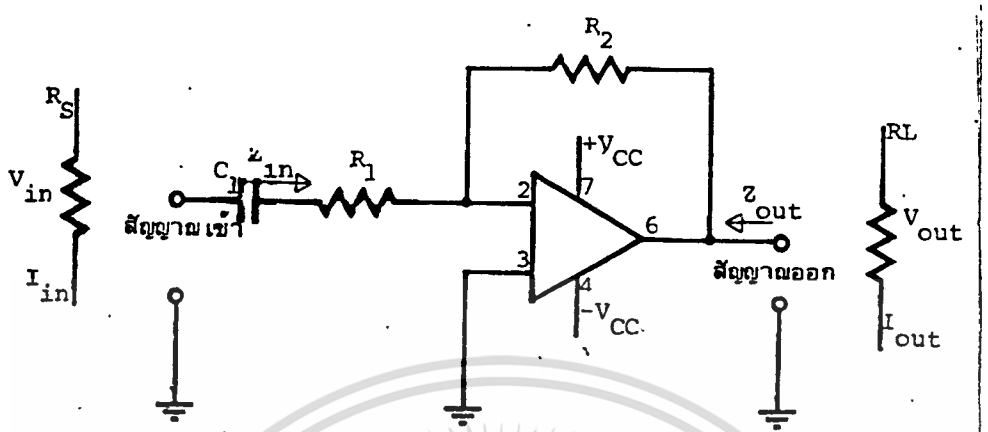
ในกรณีของวงจรขยายไฟสลับแบบกลับ อัตราขยายแรงดันลัญญาสูง ๆ อาจมีค่าถึง 100000 เท่า อินพุท อิมพิแดนท์ ควรมีค่ามากกว่าความต้านทานแหล่งกำเนิด ส่วนเอาท์พุท อิมพิแดนท์นั้นมีค่าต่ำมาก เพราะฉนั้นในการคำนวนสามารถตัดทิ้งได้

ตามรูปที่ 26 ตัวต้านทาน R1 ที่ใช้ควรมีค่ามากกว่าความต้านทานจากแหล่งกำเนิดมาก ๆ โดยตัวต้านทาน R1 นี้อาจกล่าวได้ว่าเท่ากับอินพุท อิมพิแดนท์ เนื่องจากขา 2 เป็น effective ground เพราะขา 3 ลงดินอยู่ ตัวต้านทาน R1 ต่ออยู่ระหว่างอินพุทแบบกลับขา 2 กับสัญญาณอินพุทสำหรับการจัดวงจรป้อนกลับขาในรูปที่ 7.4 จัดไว้ระหว่างเอาท์พุทขา 6 กับอินพุทแบบกลับขา 2 และเช่นเดียวกันกำลังของวงจรจะป้อนเข้าทางขา 4 และขา 7

ถ้าหากปลดกำลังที่ป้อนให้ข้างใดข้างหนึ่งออก ก็จะเกิดปรากฏมีแรงดันเอาท์พุทจำนวนมากที่ขา 6 ซึ่งแน่นอนย่อมขึ้นอยู่กับอุปกรณ์ที่ใช้ สำหรับในกรณีที่อุปกรณ์ไม่มีการป้องกันภายใน ผู้ออกแบบควรคำนึงถึงผลเสียที่อาจเกิดขึ้นเมื่อไม่มีกำลังอินพุทจ่ายให้ด้วย

ตัวเก็บประจุ C1 ที่เห็นในวงจรนั้น การเลือกค่าจะเป็นฟังก์ชั่นหนึ่งของความถี่และ อินพุท วีแอกแตนท์ โดยการออกแบบนี้ที่ความถี่สูงถึง 10 กิโลเฮิร์ต ถ้าใช้ออพแอมป์เบอร์ uA 741 ซึ่งที่ความถี่นั้นลัญญาณจะ roll off ที่ 20 เดซิเบลต่อดีเคด

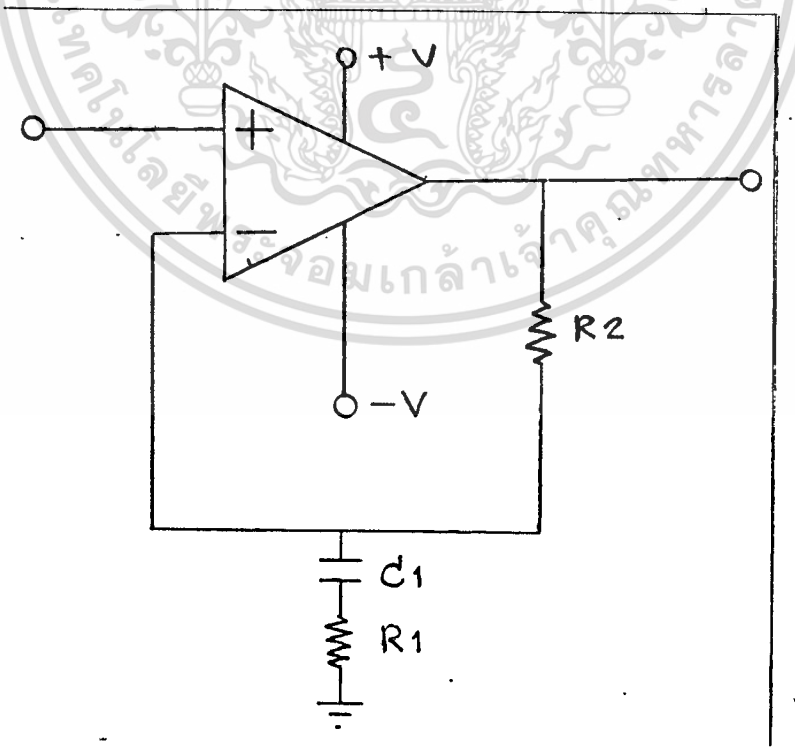
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



$$A_V = \frac{-R_2}{R_1}$$

รูปที่ 7.5 วงจรขยายไฟสลับแบบกลับ

7.4 วงจรขยายแบบอัตราขยายเท่ากับ 1

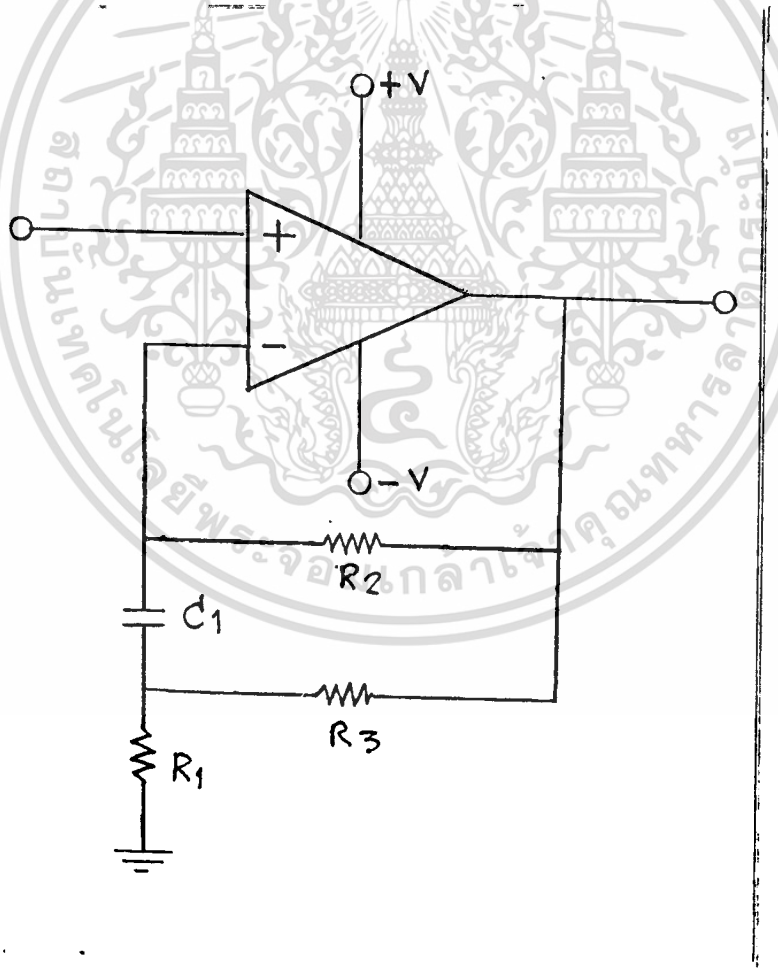


รูปที่ 7.6 ปรีแอมป์อัตราขยายเป็น 1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ข้อเสนอแนะสำหรับวงจรปรีแอมป์

ตัวอย่างของวงจรปรีแอมป์(แสดงดังรูปที่ 11) ซึ่งมีอัตราขยายเท่ากับ 4.8 ซึ่งถูกกำหนดด้วยค่าความต้านทาน 1.8 KILOOHM และ 470 OHM ซึ่งต่ออยู่ที่ขาซอร์ส ความแรงของสัญญาณรบกวนที่เอาท์พุทของวงจรประมาณ 250 nVHzΔ-1/2 ที่ 10 Hz แล้วมีเอาท์พุทอิมพีแดนซ์ประมาณ 200 OHM ไฟตรงที่เอาพุทเมื่ออินพุทมีค่าเป็น "0" จะมีค่าระหว่าง 2 V ถึง 7 V เราสามารถกำหนดอัตราการขยายให้สูงกว่านี้ได้โดยเลือกค่าความต้านทานให้เหมาะสมกับเฟ็ตแต่ละตัวอัตราขยายของวงจรปรีแอมป์มีความสำคัญมาก เพราะจะต้องทำให้มีสัญญาณรบกวนต่ำสุด ซึ่งในการใช้ออปแอมป์เป็นวงจรขยายมักจะมีปัญหาเรื่องสัญญาณรบกวนเข้ามาเกี่ยวข้องด้วย



รูปที่ 7.7 วงจรปรีแอมป์ที่แนะนำให้ใช้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

7.5 ภาคขยายสัญญาณ

ถ้าวงจรขยายที่ต่อจากวงจรปรีแอมป์ปริพาย ทำให้ระดับสัญญาณรบกวนเพิ่มขึ้นน้อยกว่า 10% ดังนั้น ระดับสัญญาณรบกวนที่อินพุทของมันควรมีค่าน้อยกว่า 1/3 ของระดับสัญญาณรบกวนจากเอาพุทของวงจรปรีแอมป์

ถ้าสัญญาณรบกวนทางเอาพุทของวงจรปรีแอมป์มีค่า = 250 nVHz-1/2 ดังนั้น ระดับสัญญาณรบกวนของวงจรขยายก็ควรมีค่า = 80 nVHz-1/2 ที่ 10 Hz

ดังนั้นออปแอมป์เบอร์ TCA520B จึงเหมาะสมจะใช้กับงานนี้ ซึ่งมีสัญญาณรบกวนทางอินพุท = 30 nVHz-1/2 ที่ 10 Hz (ในขณะที่ออปแอมป์เบอร์ 741 มีค่านี้ = 70 nVHz-1/2 ที่ 10 Hz)

ดังนั้นวงจรขยายควรใช้ออปแอมป์ที่ใช้งานสำหรับความถี่ต่ำ ๆ และค่าเวลาในการหน่วง (time-constant( )) ของวงจรควรมีค่ามาก และค่ากระแสรั่วไหลในตัวเก็บประจุต้องน้อยด้วย (ควรใช้ตัวเก็บประจุจำพวกแทนทาลั่ม) การที่ใช้ค่าสูง ๆ ก็เพื่อป้องกันการทำงาน ที่ผิดพลาดจากการ เปลี่ยนแปลงระดับแรงดันโดยเร็วของไฟตรง (DC drift)

ส่วนองค์ประกอบอื่น ๆ ที่ต้องนำมาพิจารณาเช่น ค่าไบแอสที่อินพุทของออปแอมป์เป็นต้น (100 nA สำหรับเบอร์ TCA520B และ 500 nA สำหรับเบอร์ 741)

7.6 วงจรขยายสัญญาณความถี่ต่ำ

วงจรขยายที่แสดงในรูปที่ 12 มีอัตราขยายทางไฟตรง = 1 และต้องการแหล่งจ่ายเดียว ค่าตัวเก็บประจุ C1 ต้องมีค่ากระแสรั่วไหลน้อย สมการในการออกแบบมีดังนี้คือ

ค่าจำกัดทางความถี่ต่ำ

(low-frequency cut-off)wL = 1/C1*R1

อัตราขยายที่เหนือความถี่ wL คือ

$$G = R1 + R2/R1$$

อัตราขยายออฟเซ็ต (amplifier offset)

$$Vio = IL(R2 + R1)$$

ซึ่ง IL เป็นกระแสรั่วไหลผ่าน C1

สำหรับอัตราขยายที่มีค่า = 50 ที่มีความถี่ต่ำกว่า 0.3 Hz ค่าต่าง ๆ ควรเป็นดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

R1 = 100 kohm

R2 = 5.6 kohm

C1 = 4.7 uF

วงจรขยายความถี่ต่ำซึ่งมีสัญญาแรบกวนต่ำ

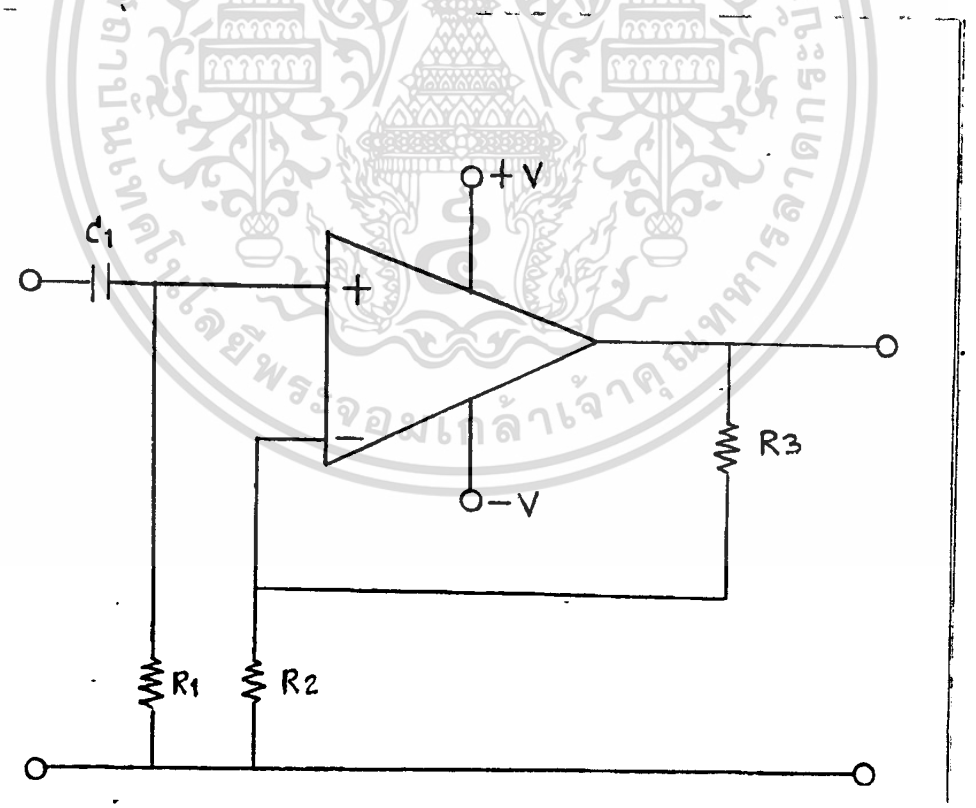
ในรูปที่ 7.9 เป็นวงจรขยายที่มีค่าตอบสนองทางความถี่คล้าย ๆ กับวงจรในรูปที่ 7.8 แต่ให้ระดับสัญญาณรบกวนต่ำกว่าอุปกรณ์ต่าง ๆ มีค่าดังนี้

R1 = 10 Kohm

R2 = 5.6 Mohm

R3 = 560 Kohm

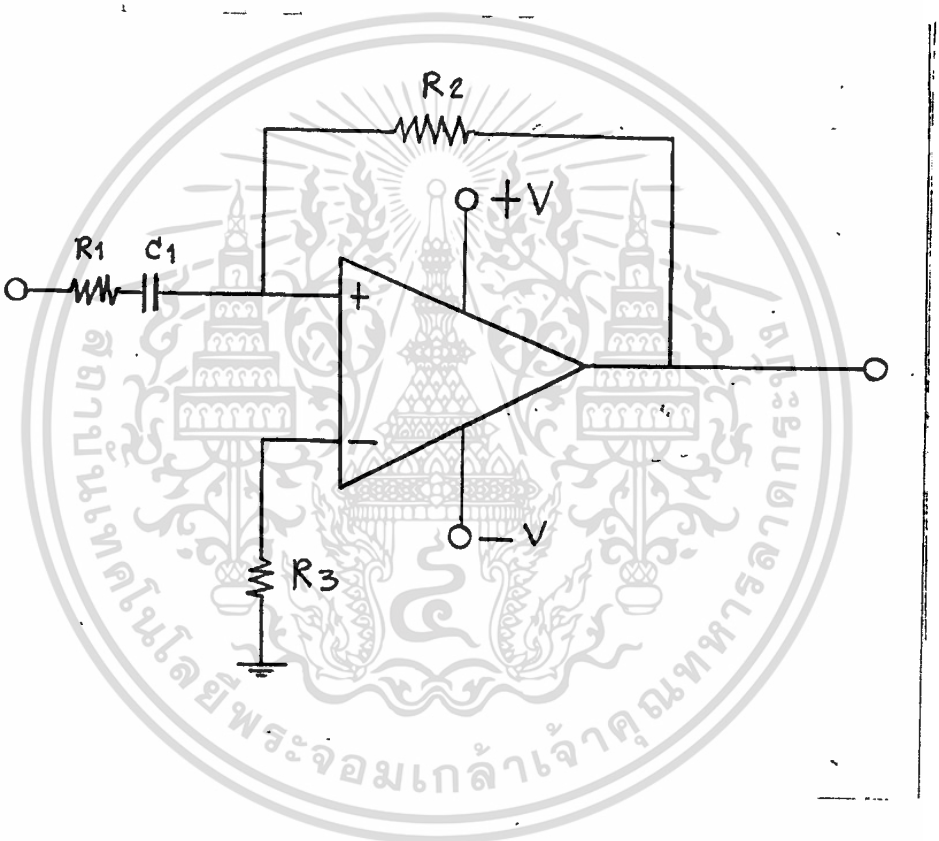
และ C1 = 4.7 uF



รูปที่ 7.8 วงจรขยายความถี่ต่ำไฟตรงเป็น 1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในการที่เราลดค่า R1 ลงไป 10 เท่า นั้นทำให้ค่าของสัญญาณรบกวนลดลงซึ่งมีค่าอยู่ระหว่าง 40 nVHzΔ-1/2 ถึง 13 nVHzΔ-1/2 ผลของการทำงานต่าง ๆ สามารถทำให้เหมือนกับวงจรในรูปที่ 3.8 แต่ค่าของตัวเก็บประจุต้องมีค่า 47 uF ที่มีค่ากระแสรั่วไหลต่ำ



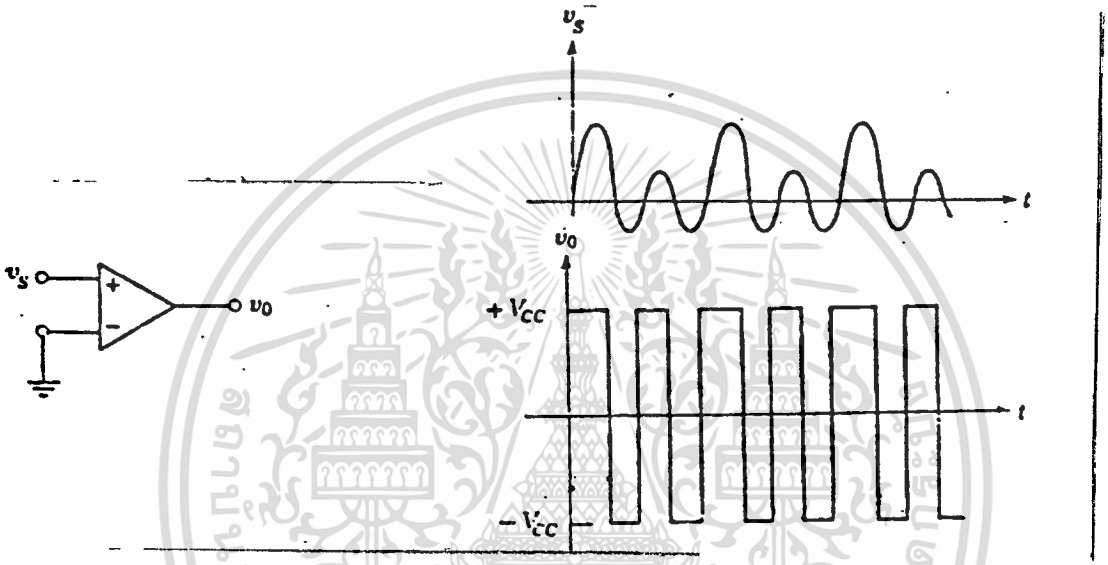
รูปที่ 7.9 เหมือนรูปที่ 7.8 แต่สัญญาณรบกวนต่ำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

7.7 ชมิตทริกเกอร์ (Schmitt Triggers)

7.7.1 หลักการของ คอมพาราเตอร์

วงจร ชมิต ทริกเกอร์ เป็นคอมพาราเตอร์ (comparator) ซึ่งมี ทรานซิสเตอร์ เซอเรคเตอร์ริสติค เป็น hysteresis โดยที่ คอมพาราเตอร์เป็นวงจรเปรียบเทียบ ระหว่างอินพุท กับ โวทเต็จอ้างอิง สัญญาณเอาท์พุทของ คอมพาราเตอร์จะแสดงว่าสูงกว่า หรือ ต่ำกว่า โวลเต็จอ้างอิง ดังแสดงในรูปที่ 7.10

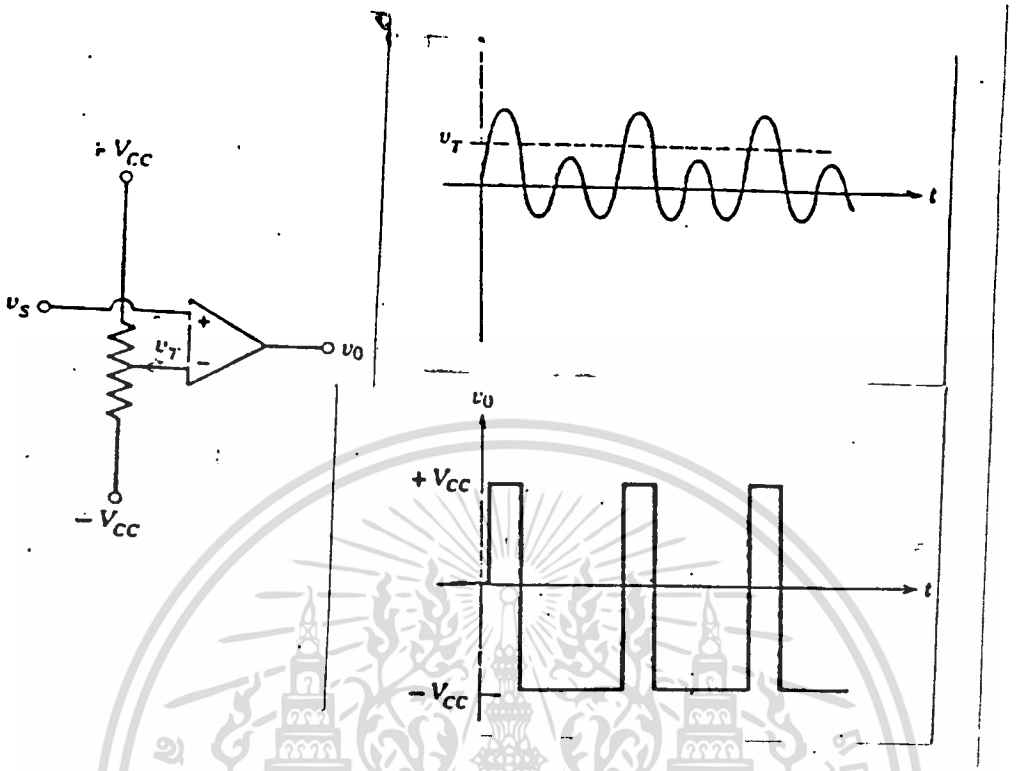


รูปที่ 7.10 วงจรพื้นฐาน คอมพาราเตอร์

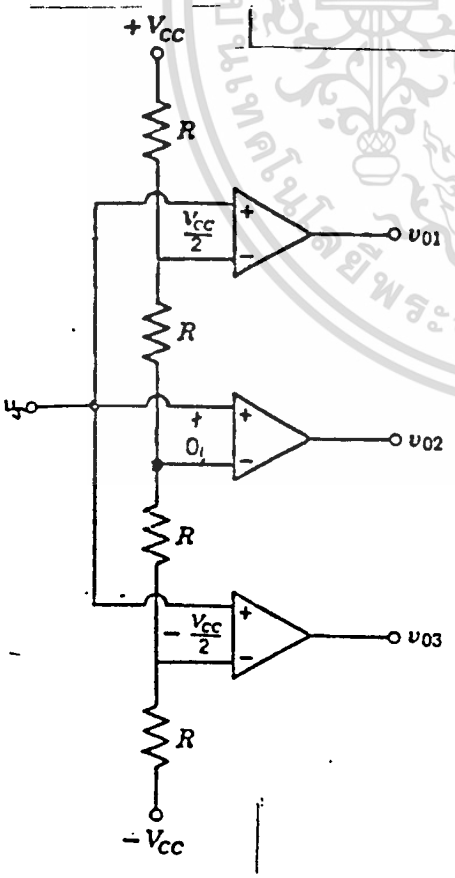
จากรูปที่ 7.11 ถ้าป้อนโวลเต็จเข้าที่ inverting ของคอมพาราเตอร์เอาท์พุทของสัญญาณจะเป็นบวกสำหรับ Vs > Vt และเป็นลบสำหรับ Vs < Vt ในรูปที่ 7.10 โดยที่สัญญาณเอาท์พุทจะเป็นบวกสำหรับส่วนของอินพุทที่เป็นบวก และ เป็นลบสำหรับอินพุทที่เป็นลบโดยสัญญาณเอาท์พุทจะแกว่ง (Swing) อยู่ระหว่าง +Vcc และ -Vcc ดังนั้นรูปสัญญาณจะเป็นสัญญาณ ดิจิตอล

ส่วนในรูปที่ 7.12 แสดงหลักการโค้ด (code)analog Amplitude ให้เป็นสัญญาณดิจิตอล โดยขนาดของสัญญาณเอาท์พุท จะมีขนาดจำเพาะที่ +Vcc หรือ -Vcc ดังที่ได้แสดงให้ในรูปที่ 7.12 ในส่วนของที่เป็น ตาราง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 7.11



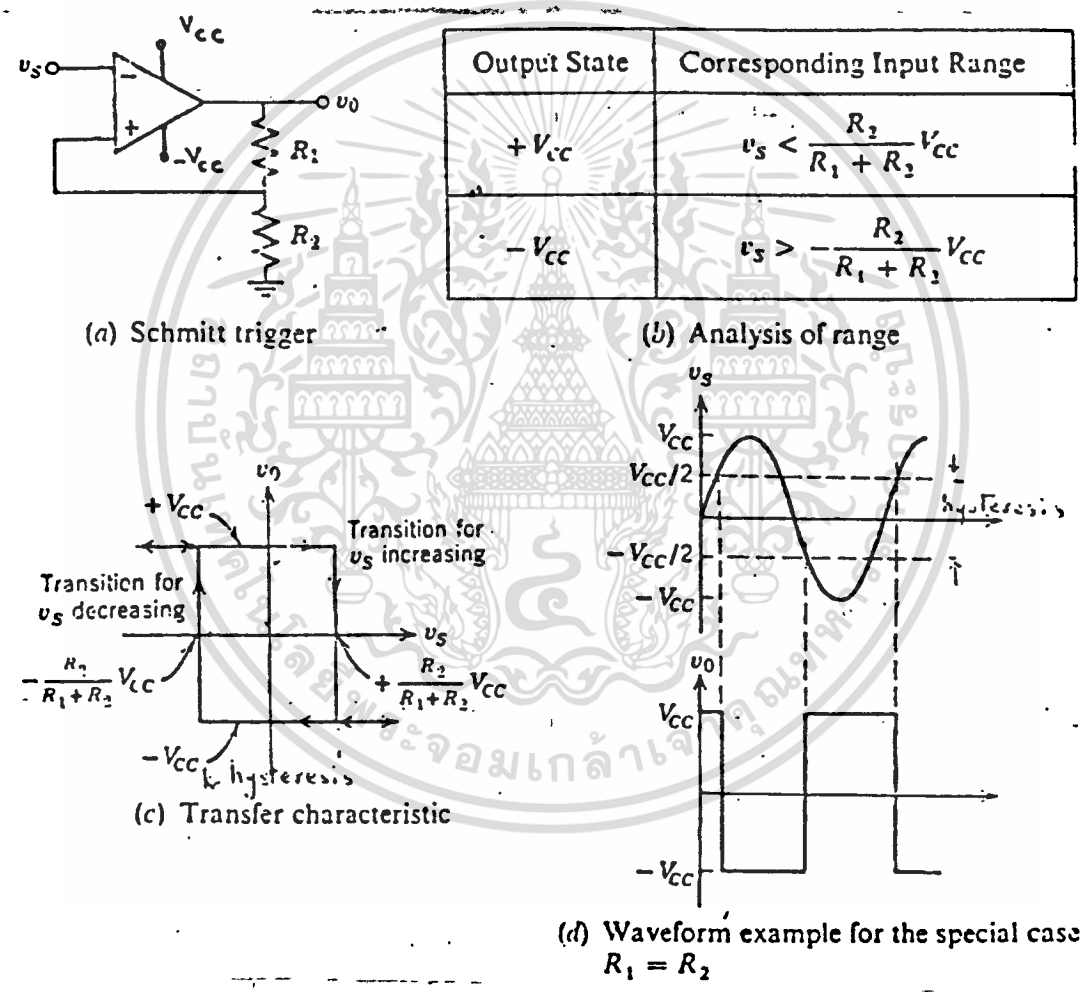
Range for v_S	Output Pattern		
	v_{01}	v_{02}	v_{03}
$v_S > \frac{V_{CC}}{2}$	+	+	+
$\frac{V_{CC}}{2} > v_S > 0$	−	+	+
$0 > v_S > -\frac{V_{CC}}{2}$	−	−	+
$\frac{-V_{CC}}{2} > v_S$	−	−	−

รูปที่ 7.12

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

7.7.2หลักการของ ชมิต ทริกเกอร์

ถ้าใส่ตัวป้อนกลับ (feedback) เข้าที่ขาบวกของออพแอมป์ สถานะของวงจรจะกลับกับสถานะของลิเนียร์ วงจรจะไม่เป็นลิเนียร์ (non-linear) อีกต่อไป การเพิ่มขึ้นของโวลเต็จ (+V) มากกว่า (-V) และถูกขยายโดย A เท่าของ op-amp ล้วถูกป้อนกลับมายังขาบวกของ op-amp จะขับสัญญาณ Vo ให้เป็นบวกมากกว่าจนกระทั่ง Vo saturate ที่ +Vcc ในทำนองเดียวกันถ้า (+V) ต่ำกว่า (-V) สัญญาณ Vo จะเป็นลบมากขึ้นเรื่อย ๆ จน saturate ที่ -Vcc



รูปที่ 7.13แสดงอินเวิทติ้ง ชมิต ทริกเกอร์ (Inverting Schmitt trigger)

โดยทั่วไปแล้วสัญญาณที่ใช้งาน ส่วนมากจะเป็นสัญญาณอนาลอกมีระดับไม่แน่นอน เช่นสัญญาณเสียง เป็นต้น ถ้าต้องการให้วงจรดิจิตอลอ่านสัญญาณเหล่านี้ได้จึงจำเป็นจะต้อง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แปลงสัญญาณอนาลอกให้เป็นสัญญาณดิจิตอล ซึ่งวงจรชมิททริกเกอร์ ก็เป็นวงจรชนิดหนึ่งที่จะช่วยในการแปลงสัญญาณอนาลอกให้เป็นสัญญาณดิจิตอล 2 ระดับ

โดยปกติแล้วขนาดของเอาท์พุทจะมีขนาดสูงสุด และ ต่ำสุดต่ำกว่า

$$Vo\ sat = Vcc - (1\text{-}2)\ volt$$

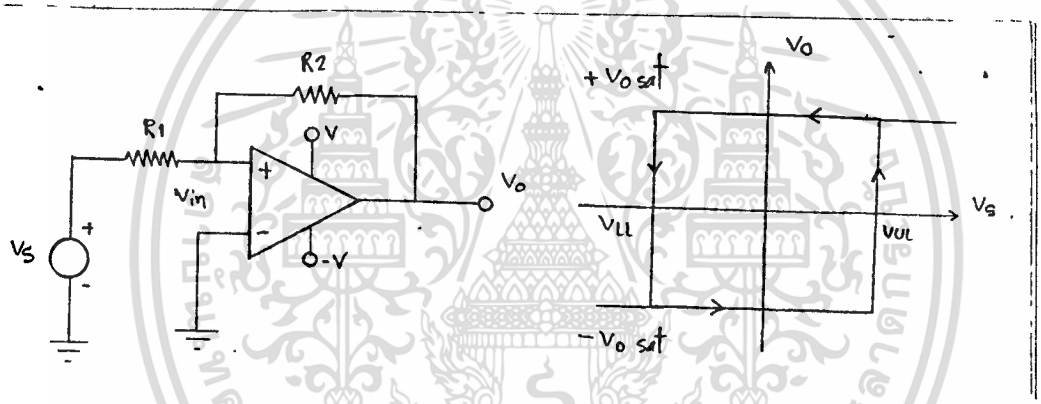
จากวงจรในรูปที่ 30 โวลต์เต็จอ้างอิงช่วงบวก (upper reference voltage) คือ

$$Vul = R1 / (R1 + R2) (+Vo\ sat)$$

และโวลต์เต็จอ้างอิงช่วงลบ (lower limit reference voltage) คือ

$$Vll = R1 / (R1 + R2) (-Vo\ sat)$$

สภาวะของสัญญาณเอาท์พุทดูได้จากตารางในรูปที่ 30.



รูปที่ 7.14 แสดงวงจร noninverting Schmitt Trigger

จากรูปที่ 31 $Vin = R2 / (R1 + R2)Vs + R1 / (R1 + R2)Vo$

ถ้า $Vin > 0$ หรือ $Vs > (-R1/R2)\ Vo$ แล้ว

$$Vo = +Vo\ sat$$

ในทำนองเดียวกัน ถ้า $Vin < 0$ หรือ $Vs < (-R1/R2)*Vo$ แล้ว $Vo = -Vo\ sat$ จากสมการจะเห็นได้ว่า เมื่อ Vin เป็นลบเอาท์พุทจะลดลงจนกระทั่ง Vo มีค่าต่ำสุด หรือ $Vo = Vo(min)$ ซึ่ง Transfer Characteristic ดังแสดงในรูป

โดยที่ $Vul = (R1 / R2)*Vo(max)$

และ $Vll = (R1 / R2)*Vo(min)$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 8

วิจารณ์และสรุปผลการทดลอง

พาสชีพ อินฟราเรด ดีเทคเตอร์

8.1 การทำงานของวงจร

สัญญาณที่ถูกตรวจจับได้จากเลนส์ จะตกกระทบตัวไพโรอิเลคทริกซึ่งมีความยาวคลื่นของรังสีที่เกิด จากคน หรือ สัตว์ที่ถูกตรวจจับจะอยู่ในช่วง 1 - 15 ไมโครเมตร โดยย่านความถี่ที่ได้จากเอาท์พุทของตัวไพโรอิเลคทริกนี้จะอยู่ในช่วง 0.3 - 3 Hz ซึ่งก็พอเพียงสำหรับตรวจจับการเปลี่ยนแปลงการแผ่รังสีอินฟราเรด อันเนื่องมาจากการเคลื่อนไหวของคน และ สัตว์

สัญญาณที่ออกจากตัวตรวจจับจะมีค่าน้อยมากคือ 1 mVp-p จากวงจรสัญญาณที่ถูกตรวจจับได้ จากตัวไพโรอิเลคทริกเซนเซอร์ ซึ่งถูกขยายด้วยเฟ็ตที่อยู่ภายในตัวเซ็นเซอร์ (IC2) จะป้อนให้กับขา 3 ของ IC3 โดยสัญญาณจะคัปปลิ้งผ่านตัวเก็บประจุ C6 จากค่าของตัวเก็บประจุนี้ป้องกันไม่ให้ความถี่ต่ำกว่า 0.3 Hz เข้าไปที่อินพุทของ IC 3 ซึ่ง IC 3 นี้เราต่อให้มีอัตราขยายสูงถึง 40 dB และอัตราการขยายเท่ากับ 1 เมื่อความถี่อินพุทมีค่าประมาณ 10 Hz ตัวความต้านทาน R2 , R5 , R6 , R7, และ R9 ทำหน้าที่เป็นวงจรป้อนกลับ

วงจรขยายชุดที่ 2 จะจัดวงจรเช่นเดียวกับชุดแรก โดยมี IC 4 ต่อเป็นวงจรขยายเฉพาะความถี่มีอัตราการขยายประมาณ 27 dB และมีอัตราการขยายเท่ากับ 1 ที่เอาท์พุทจาก IC 4 จะป้อนให้กับวงจรชมิททริกเกอร์คือที่ขา 3 ของ IC 5 โดยมี VR 1 เป็นตัวตั้งระดับความแรงของสัญญาณที่วงจรจะเริ่มทำงาน ซึ่งก็เปรียบเสมือนการปรับความไวของเครื่องนั่นเอง เอาท์พุทจากขา 6 ของ IC 5 จะป้อนให้กับส่วนทริกเกอร์ซึ่งประกอบด้วย R14 , R12 , C14 , D3 และ D4 ทุก ๆ ครั้งที่เอาท์พุทจาก IC 5 มีค่าเป็น "1" (+ 12 V) C14 ก็จะชาร์จประจุเอาไว้โดยผ่านทาง R14 และ D4 ทุก ๆ ครั้งที่เอาท์พุทจาก IC 5 เป็น "1" (+ 12 V) C 14 ก็จะชาร์จประจุเอาไว้โดยผ่านทาง R14 และ D4 ซึ่งขณะที่ C14 ชาร์จประจุอยู่นี้ก็จะมีการคายประจุไปบางส่วนผ่านทาง R17 ถ้าในขณะนี้ IC 2 สามารถตรวจจับการเปลี่ยนแปลงได้มากพอ เอาท์พุทจาก IC 5 ก็จะเป็น "1" บ่อยขึ้น หรือนานขึ้นทำให้กระแสที่จะไปประจุที่ C14 มากตามไปด้วย เมื่อแรงดันที่ C14 มีค่ามากกว่าแรงดันอ้างอิงซึ่งได้จากการแบ่งแรงดันด้วย R15 , R16 และ VR2 IC 6 จะให้เอาท์พุทเป็น "0" ขับทรานซิสเตอร์ Q1 ให้ทำงานโดยมี LED แสดงสภาวะการทำงานของเครื่อง เอาท์พุท "0" จาก IC 6 ที่จะกระตุ้นให้รีเลย์ทำงานนั้น เราสามารถเลือกให้ทำงานได้ 2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ลักษณะคือ

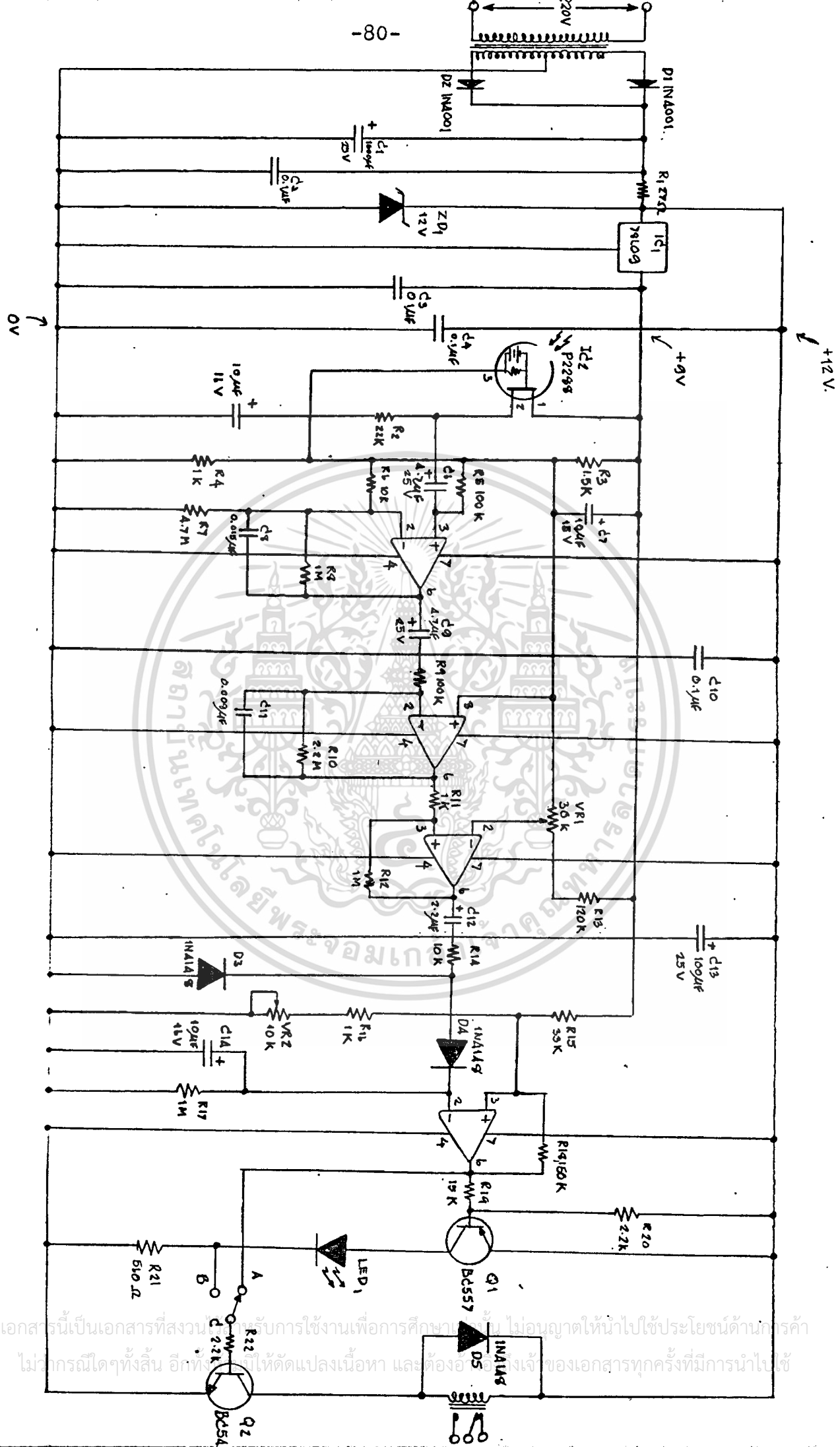
1. ถ้าต่อจุด C เข้ากับ A เอาท์พุท "0" จาก IC 6 จะทำให้ Q2 , รีเลย์หยุดทำงานซึ่งเป็นสภาวะของวงจรปิด

2. แต่ถ้าต่อจุด C เข้ากับจุด B จะทำให้ ทรานซิสเตอร์ Q2 นำกระแสทำให้รีเลย์ทำงาน ทำให้สภาวะวงจรปิด

ในการจ่ายไฟให้กับวงจรจะใช้ 2 ชุดคือ 9V และ 12V โดยชุด 9V จะป้อนให้กับตัวไฟโรอิเลคทริก และชุด 12V จะป้อนให้กับ OP-AMP

จากวงจรใช้ทรานฟอร์มเมอร์ 12/220 , 500 mA ผ่านไดโอดเรคติไฟเออร์ D1 และ D2 ซึ่งต่อแบบ ฟูลเวฟ เรคติไฟเออร์ โดยมี C1 เป็นตัวกรองไฟให้เรียบในขั้นแรก ZD1 ทำหน้าที่รักษาแรงดันของไฟ 12V ให้คงที่และส่งไปป้อนให้กับวงจร OP-AMP ส่วน IC1 ซึ่งเป็น IC regulator + 9V จะทำให้เรคกูเรท แรงดัน และ ส่งไปจ่ายให้กับตัวไฟโรอิเลคทริก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SCL4066B CMOS QUAD ANALOG SWITCH

FEATURES

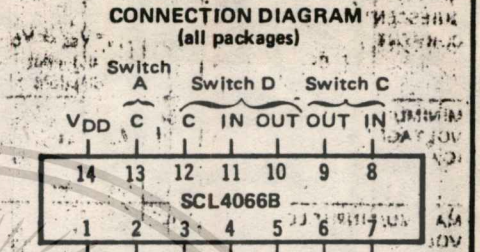
- Transmission or Multiplexing of Analog or Digital Signals
- 80Ω Typical ON-Resistance for 15-Volt operation
- Switch ON-Resistance Matched to within 5Ω over 15-Volt Signal-Input Range
- ON-Resistance Flat over Full Peak-to-Peak Signal Range
- High Degree of Linearity:
  ≤0.5% Distortion (typ) @ f_{is} = 1kHz, V_{is} = 5V_{p-p}, V_{DD}-V_{SS} ≥ 10V, R_L = 10kΩ
- Extremely Low OFF switch Leakage Resulting in very Low Offset Current and High Effective OFF Resistance:
  10pA (typ) @ V_{DD}-V_{SS} = 10V, T_A = 25°C
- Extremely High Control Input Impedance (Control Circuit Isolated from Signal Circuit):
  10^{12} Ω (typ)
- Low Crosstalk between Switches:
  -50dB (typ) @ f_{is} = 0.9MHz, R_L = 1kΩ
- Matched Control-Input to Signal-Output Capacitance Reduces Output Signal Transients
- Frequency Response, Switch ON = 40MHz (typ)

DESCRIPTION

The SCL4066B is a Quad Bilateral Switch intended for the transmission or multiplexing of analog or digital signals. It is pin-for-pin compatible with the SCL4016B, but exhibits a much lower ON-resistance. In addition, the ON-resistance is relatively constant over the full input signal range. The SCL4066 consists of four independent bilateral switches. A single control signal is required per switch. Both the P and the N device in a given switch are biased ON or OFF simultaneously by the control signal. As shown below, the well of the N-channel device on each switch is either tied to the input when the switch is ON or to V_{SS} when the switch is OFF. This configuration minimizes the variation of the switch-transistor threshold voltage with input-signal, and thus keeps the ON-resistance low over the full operating range.

The advantages over single-channel switches include peak input-signal voltage swings equal to the full supply voltage, and more constant ON-impedance over the input-signal range. For sample-and-hold applications, however, the SCL4016 is recommended.

CONNECTION DIAGRAM (all packages)



Add suffix for package:

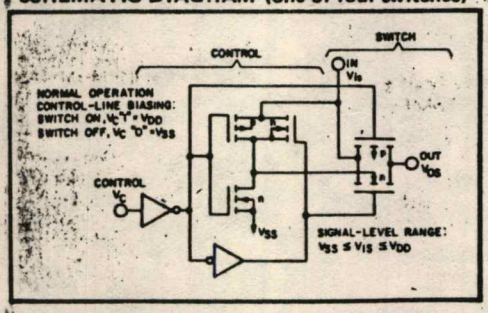
C	14-pin Cerdip	F	14-pin Flat
D	14-pin Ceramic	H	Chip
E	14-pin Epoxy		

RECOMMENDED OPERATING CONDITIONS

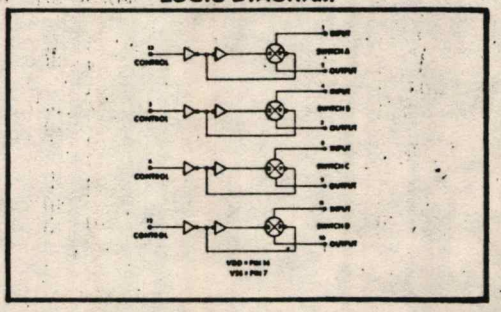
For maximum reliability:

DC Supply Voltage	V_{DD} - V_{SS}	3 to 15	Vdc
Operating Temperature	T_A		
C, D, F, H Device		-55 to +125	°C
E Device		-40 to +85	°C

SCHEMATIC DIAGRAM (one of four switches)



LOGIC DIAGRAM



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SCL40668

ELECTRICAL CHARACTERISTICS

STATIC CHARACTERISTICS [1, 3]

PARAMETER		CONDITIONS	V_{SS} (Vdc)	V_{DD} (Vdc)	T_{LOW} [2] Min.	T_{LOW} [2] Max.	25°C Min.	25°C Typ.	25°C Max.	T_{HIGH} [2] Min.	T_{HIGH} [2] Max.	Units
QUIESCENT DEVICE CURRENT	I_{DD}	$V_{IN} = V_{SS}$ or V_{DD}	0	5	–	0.05	–	0.0005	0.05	–	1.5	µAdc
		All valid input combinations	0	10	–	0.1	–	0.001	0.1	–	3.0	
			0	15	–	0.2	–	0.002	0.2	–	6.0	
MINIMUM INPUT HIGH VOLTAGE (Control Input)	V_{IH}	$V_{IS} = V_{SS}$	0	5	–	4.0	–	2.75	4.0	–	4.0	Vdc
		$V_{OS} = V_{DD}$	0	10	–	8.0	–	5.5	8.0	–	8.0	
		$I_{OS} = 10\mu A$	0	15	–	12.0	–	8.25	12.0	–	12.0	
MAXIMUM INPUT LOW VOLTAGE (Control Input)	V_{IL}	$V_{IS} = V_{SS}$	0	5	1.0	–	1.0	2.25	–	1.0	–	Vdc
		$V_{OS} = V_{DD}$	0	10	2.0	–	2.0	4.5	–	2.0	–	
		$I_{OS} = 10\mu A$	0	15	3.0	–	3.0	6.75	–	3.0	–	
SWITCH INPUT/OUTPUT LEAKAGE	I_{OFF}	$V_C = V_{SS}$ $V_{IS} = \pm 7.5$Vdc	-7.5	+7.5	–	±100	–	±0.01	±100	–	±200	nAdc
ON-RESISTANCE C,D,F,H device	R_{ON}	$V_C = V_{DD}$ $V_{SS} < V_{IS} < V_{DD}$ $R_L = 10k\Omega$	-7.5	+7.5	–	220	–	80	280	–	320	Ω
			0	+15								
			-5	+5	–	310	–	120	400	–	550	Ω
			0	+10								
			-2.5	+2.5	–	2000	–	270	2500	–	3500	Ω
			0	+5								
E device	R_{ON}	$V_C = V_{DD}$ $V_{SS} < V_{IS} < V_{DD}$ $R_L = 10k\Omega$	-7.5	+7.5	–	250	–	80	280	–	300	Ω
			0	+15								
			-5	+5	–	330	–	120	400	–	520	Ω
			0	+10								
			-2.5	+2.5	–	2100	–	270	2500	–	3200	Ω
			0	+5								
ON-RESISTANCE MATCH (Same package)	ΔR_{ON}	$V_C = V_{DD}$ $V_{SS} < V_{IS} < V_{DD}$ $R_L = 10k\Omega$	-7.5	+7.5	–	–	–	5	–	–	–	Ω
			0	+15								
			-5	+5	–	–	–	10	–	–	–	Ω
			0	+10								
			-2.5	+2.5	–	–	–	10	–	–	–	Ω
			0	+5								

NOTES: [1] Remaining Static Electrical Characteristics are listed under "SCL4000B Series Family Specifications".
[2] T_{LOW} = -55°C for C, D, F, H device.
= -40°C for E device.
T_{HIGH} = +125°C for C, D, F, H device.
= + 85°C for E device.
[3] This device has been designed for balanced output drive current specifications. Consult Family Specifications.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

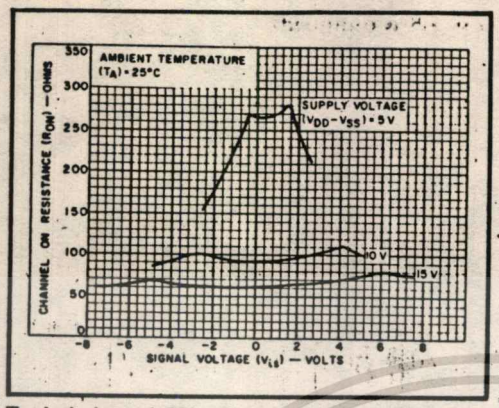
SCL4066B

ELECTRICAL CHARACTERISTICS (Continued)

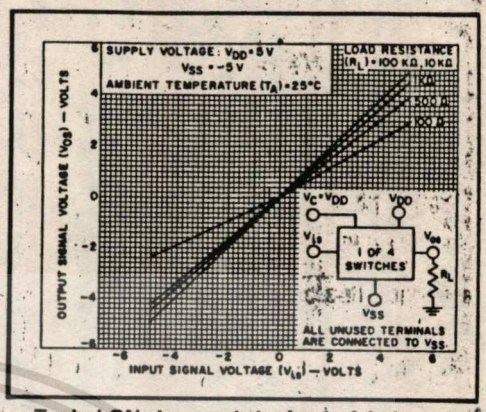
DYNAMIC CHARACTERISTICS (C_L = 50pF, T_A = 25°C)

PARAMETER		CONDITIONS	V_{SS} (Vdc)	V_{DD} (Vdc)	Min.	Typ.	Max.	Units
SIGNAL INPUTS (V_{is}) AND OUTPUTS (V_{os})								
PROPAGATION DELAY TIME Signal Input to Signal Output	t_{PLH}, t_{PHL}	V_c=V_{DD} V_{is}=Square Wave R_L = 10kΩ	0 0 0	5 10 15	– – –	20 10 7.5	40 20 15	ns
BANDWIDTH (-3dB) (Sine Wave)	BW	V_c=V_{DD} R_L V_{is}=5V_{p-p} 1kΩ centered 10kΩ @ 0.0Vdc 100kΩ 1MΩ	-5	+5	– – – –	54 40 38 37	– – – –	MHz
INSERTION LOSS (=20 $\log_{10}\frac{V_{os}}{V_{is}}$)		V_c=V_{DD} R_L V_{is}=5V_{p-p} 1kΩ centered 10kΩ @ 0.0Vdc 100kΩ 1MΩ	-5	+5	– – – –	2.3 0.2 0.1 0.05	– – – –	dB
SIGNAL DISTORTION (Sine Wave)		V_c=V_{DD} V_{is}=5V_{p-p} centered @ 0.0Vdc f_{is}=1.0kHz R_L = 10kΩ	-5	+5	–	0.16	–	%
FEEDTHROUGH (-50dB)		V_c=V_{SS} R_L V_{is}=5V_{p-p} 1kΩ centered 10kΩ @0.0Vdc 100kΩ 1MΩ	-5	+5	– – – –	1250 140 18 2	– – – –	kHz
CROSSTALK (-50dB) Between two switches		V_c(A)=V_{DD} V_c(B)=V_{SS} V_{is}(A)=5V_{p-p} centered @ 0.0Vdc R_L = 10kΩ	-5	+5	–	0.9	–	MHz
CAPACITANCE Input	C_{is}				–	8	–	pF
Output	C_{os}	V_C = V_{SS}	-5	+5	–	8	–	pF
Feedthrough	C_{ios}				–	0.5	–	pF
CONTROL INPUT (V_C)								
PROPAGATION DELAY TIME Turn on	t_{PC}	V_{SS}≤V_{is}≤V_{DD} R_L = 10kΩ	0 0 0	5 10 15	– – –	50 25 20	100 50 40	ns
MAXIMUM INPUT FREQUENCY	f_c	V_{SS}≤V_{is}≤V_{DD} R_L = 1.0kΩ	0 0 0	5 10 15	– – –	5 10 12	– – –	MHz
CROSSTALK (To signal port)		V_c=Square Wave R_L = 10kΩ R_{in} = 1.0kΩ	0 0 0	5 10 15	– – –	30 50 100	– – –	mV

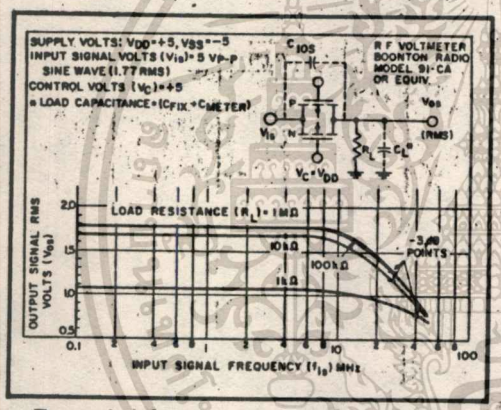
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



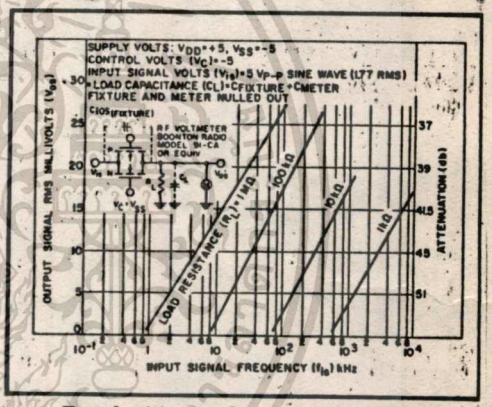
Typical channel ON resistance vs. signal voltage for three values of supply voltage (V_{DD}-V_{SS})



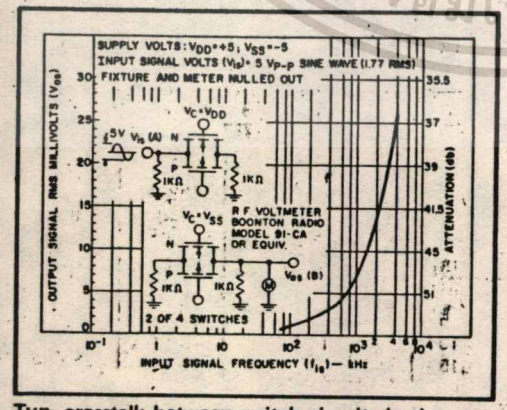
Typical ON characteristics for 1 of 4 channels.



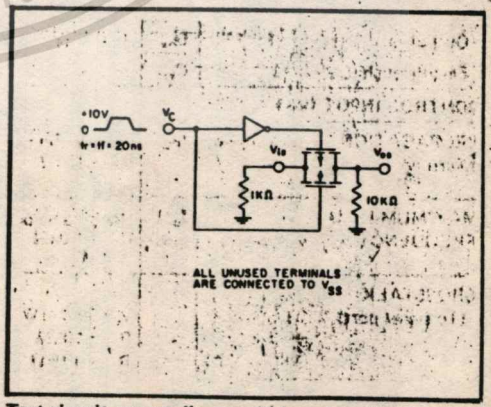
Typ. switch frequency response - switch "ON"



Typ. feedthru vs. freq. — switch "OFF"



Typ. crosstalk between switch circuits in the same package



Test circuit, crosstalk-control input to signal output

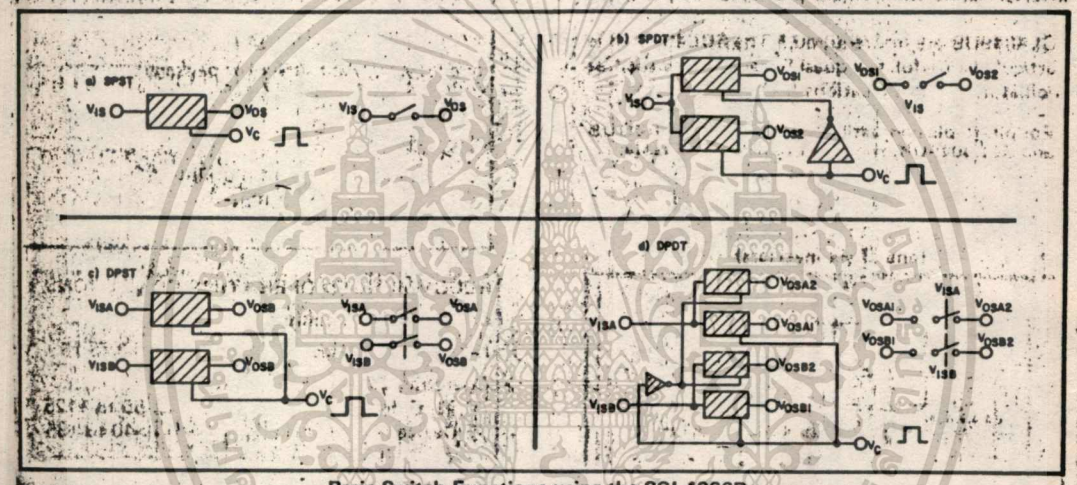
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SCL4066B

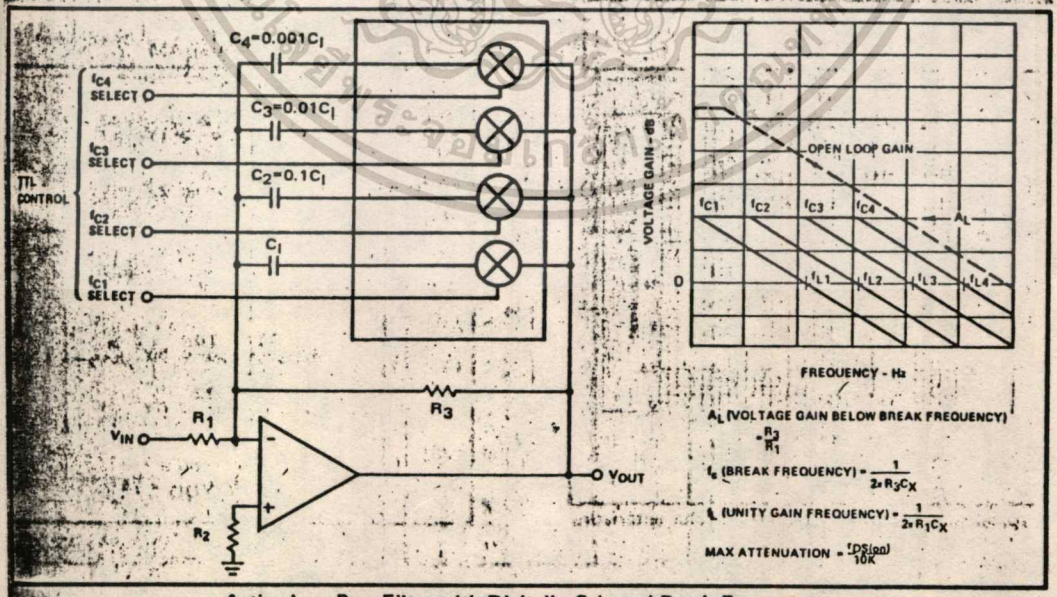
SPECIAL CONSIDERATIONS – SCL4066B

1. In applications where separate power sources are used to drive V_{DD} and the signal inputs, the V_{DD} current capability should exceed V_{DD}/R_L (R_L = effective external load of the 4 SCL4066B bilateral switches). This provision avoids any permanent current flow or clamp action on the V_{DD} supply when power is applied or removed from SCL4066B.
2. In certain applications, the external load-resistor current may include both V_{DD} and signal-line components. To avoid drawing V_{DD} current when switch current flows into terminals 1, 4, 8, or 11, the voltage drop across the bidirectional switch must not exceed 0.8 volt (calculated from R_{ON} values shown). No V_{DD} current will flow through R_L if the switch current flows into terminals 2, 3, 9, or 10. Failure to observe this condition may result in distortion of the signal.

APPLICATIONS INFORMATION



Basic Switch Functions using the SCL4066B



Active Low Pass Filter with Digitally Selected Break Frequency

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CA1/CB1 Control

CRA (CRB) Bit 1	CRA (CRB) Bit 0	Active Transition of Input Signal*	IRQA (IRQB) Interrupt Outputs
0	0	Negative	Disable – remain high
0	1	Negative	Enable – goes low when bit 7 in CRA (CRB) is set by active transition of signal on CA1 (CB1)
1	0	Positive	Disable – remain high
1	1	Positive	Enable – as explained above

*Note: Bit 7 of CRA (CRB) will be set to a logic 1 by an active transition of the CA1 (CB1) signal. This is independent of the state of Bit 0 in CRA (CRB).

CA2/CB2 Input Modes

CRA (CRB) Bit 5	CRA (CRB) Bit 4	CRA (CRB) Bit 3	Active Transition of Input Signal*	IRQA (IRQB) Interrupt Outputs
0	0	0	Negative	Disable – remains high
0	0	1	Negative	Enable – goes low when bit 6 in CRA (CRB) is set by active transition of signal on CA2 (CB2)
0	1	0	Positive	Disable – remains high
0	1	1	Positive	Enable – as explained above

*Note: Bit 6 of CRA (CRB) will be set to a logic 1 by an active transition of the CA2 (CB2) signal. This is independent of the state of Bit 3 in CRA (CRB).

CA2 Output Modes

CRA Bit 5	CRA Bit 4	CRA Bit 3	Mode	Description
1	0	0	"Handshake" on Read	CA2 is set high on an active transition of the CA1 interrupt input signal and set low by a microprocessor "Read A Data" operation. This allows positive control of data transfers from the peripheral device to the microprocessor.
1	0	1	Pulse Output	CA2 goes low for one cycle after a "Read A Data" operation. This pulse can be used to signal the peripheral device that data was taken.
1	1	0	Manual Output	CA2 set low
1	1	1	Manual Output	CA2 set high

CB2 Output Modes

CRB Bit 5	CRB Bit 4	CRB Bit 3	Mode	Description
1	0	0	"Handshake" on Write	CB2 is set low on microprocessor "Write B Data" operation and is set high by an active transition of the CB1 interrupt input signal. This allows positive control of data transfers from the microprocessor to the peripheral device.
1	0	1	Pulse Output	CB2 goes low for one cycle after a microprocessor "Write B Data" operation. This can be used to signal the peripheral device that data is available.
	1	0	Manual Output	CB2 set low
	1	1	Manual Output	CB2 set high

mary of Operation of Control Lines

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5404/7404 Hex Inverter

	Schottky TTL					High-Speed TTL					Low-Power Schottky TTL					Standard TTL					Low-Power TTL				
	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	C
T.I.	SN54S04	J①			W①	SN54H04	J①			W①	SN54LS04	J①			W②	SN5404	J①			W②	SN54L04	J①	N①	T②	
	SN74S04	J①	N①			SN74H04	J①	N①			SN74LS04	J①	N①			SN7404	J①	N①			SN74L04	J①	N①	T②	
FAIRCHILD	FM54S04/FM9S04	D①				FM54H04/FM9H04	D①			F②	FM54LS04/FM9LS04	D①			F①	FM5404/FM9N04	D①			F②					
	FC74S04/FC9S04	D①	P①			FC74H04/FC9H04	D①	P①			FC74LS04/FC9LS04	D①	P①		F①	FM7404/FC9N04	D①	P①							
MOTOROLA						MC3108	L①			F①						MC5404	L①			F②					
						MC3008	L①	P①		F①	SN74LS04		P①			MC7404	L①	P①							
N.S.C.						DM54H04	J①	N①			DM54LS04					DM5404	J①	N①		W②	DM54L04	J①	N①		F
	DM74S04		N①			DM74H04	J①	N①			DM74LS04					DM7404	J①	N①			DM74L04	J①	N①		F
PHILIPS																									
	N74S04		①			N74H04		①			N74LS04		①			FJH241/7404		①							
SIGNETICS	S54S04	F①	A①		W①	S54H04	F①	A①		W②						S5404	F①	A①		W②					
	N74S04	F①	A①		W①	N74H04	F①	A①			N74LS04		A①			N7404	F①	A①							
SIEMENS																									
																FLH211		①							
FUJITSU																									
											74LS04		M①			MB418	①	M①							
HITACHI																									
	HD74S04	①	P①								HD74LS04		P①			HD7404/HD2522	①	P①							
MITSUBISHI																									
	M5S004		P①								M74LS04		P①			M53204		P①							
NEC																									
	74S 4		C①								74LS04		C①			μPB235	D①								
TOSHIBA																									
																TD3404A		P①							

Electrical Characteristics SN54LS04/SN74LS04

absolute maximum ratings over operating free-air temperature range

Supply voltage, V_{CC}	7V	Operating free-air temperature range	SN54LS	−55°C to 125°C
Input voltage	7V		SN74LS	0°C to 70°C
		Storage temperature range		−65°C to 150°C

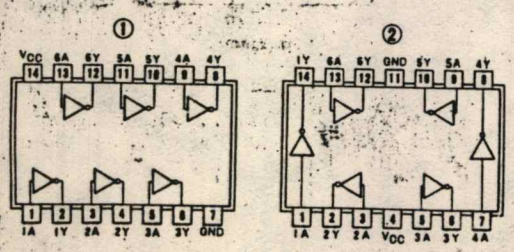
recommended operating conditions

	SN54LS04 MIN	NOM	MAX	SN74LS04 MIN	NOM	MAX	UNIT
Supply voltage, V_{CC}	4.5	5	5.5	4.75	5	5.25	V
High-level output current, I_{OH}			−400			−400	μA
Low-level output current, I_{OL}			4			8	mA
Operating free-air temperature, T_A	−55		125	0		70	°C

electrical characteristics over recommended operating free-air temperature range

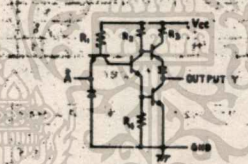
PARAMETER		TEST CONDITIONS †		MIN	TYP‡	MAX	UNIT
V_{IH}	High-level input voltage			2			V
V_{IL}	Low-level input voltage					0.8	V
V_I	Input clamp voltage	V_{CC}=MIN, I_I=−18mA				−1.5	V
V_{OH}	High-level output voltage	V_{CC}=MIN, V_{IL}=V_{IL} max, I_{OH}=MAX		2.7	3.4		V
V_{OL}	Low-level output voltage	V_{CC}=MIN, V_{IH}=2V, I_{OL}=4mA				0.4	V
I_I	Input current at maximum input voltage	V_{CC}=MAX, V_I=7V				0.1	mA
I_{IH}	High-level input current	V_{CC}=MAX, V_{IH}=2.7V				20	μA
I_{IL}	Low-level input current	V_{CC}=MAX, V_{IL}=0.4V				−0.4	mA
I_{OS}	Short-circuit output current ◆	V_{CC}=MAX	54LS Family	−20		−100	mA
			74LS Family	−20		−100	
I_{CCH}	Supply current	V_{CC}=MAX	Total, outputs high		1.2	2.4	mA
I_{CCL}	Supply current		Total, outputs low		3.6	6.6	mA
I_{CC}	Supply current	V_{CC}=5V	Average per gate (50% duty cycle)		0.4		mA
t_{PLH}	*Propagation delay time, low-to-high-level output	V_{CC}=5V, C_L=15PF,	T_A=25°C, R_L=2KΩ		9	15	ns
t_{PHL}	Propagation delay time, high-to-low-level output				10	15	ns

Pin Assignments (Top View)



positive logic:
$Y = \overline{A}$

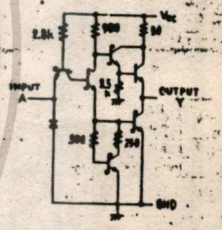
Schematics (each gate)



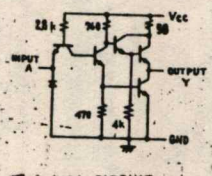
CIRCUIT	R1	R2	R3	R4
'04	4k	1.6k	130	1k
'L04	40k	20k	500	12k

Input clamp diodes not on SN54L/SN74L* circuits.

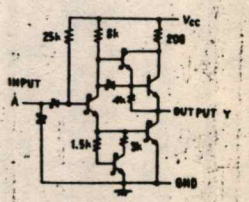
'04, 'L04 CIRCUITS



'304 CIRCUIT



'H04 CIRCUIT



'L304 CIRCUIT

Resistor values shown are nominal and in ohms.

†For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.
‡All typical values are at V_{CC}=5V, T_A=25°C.
◆Not more than one output should be shorted at a time, and for SN54H'/SN74H' and SN54S'/SN74S', duration of short-circuit should not exceed 1 second.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

48

5408/7408 Quadruple 2-Input Positive-AND Gate

	Schottky TTL					High-Speed TTL					Low-Power Schottky TTL					Standard TTL					Low-Power TTL			
	Device Type	Package				Device Type	Package				Device Type	Package				Device Type	Package				Device Type	Package		
		C	P	M	CF		C	P	M	CF		C	P	M	CF		C	P	M	CF		C	P	M
T.I.	SN54S08	J①			W①						SN54LS08	J①			W①	SN5408	J①			W①				
	SN74S08	J①	N①								SN74LS08	J①	N①			SN7408	J①	N①						
FAIRCHILD	FM54S08/FM93S08	D①			F①	FM54H08/FM93H08	D①			F①	FM54LS08/FM93LS08	D①			F①	FM5408/FM93N08	D①			F①				
	FC74S08/FC93S08	P①	P①		F①	FC74H08/FC93H08	D①	P①			FC74LS08/FC93LS08	P①	P①		F①	FC7408/FC93N08	D①	P①						
MOTOROLA						MC3101	L①			F①														
						MC3001	L①	P①		F①	SN74LS08		P①			MC7408		P①						
N.S.C.						DM54H08	J①	N①			DM54LS08		P①			DM5408	J①	N①		W①	DM54L08			
						DM74H08	J①	N①			DM74LS08		P①			DM7408	J①	N①			DM74L08			
PHILIPS																								
	N74S08		I.			N74H08		①			N74LS08		①			N7408		①						
SIGNETICS						S54H08	F①	A①		W①						S5408	F①	A①		W①				
	N74S08		A①			N74H08	F①	A①			N74LS08		A①			N7408	F①	A①						
SIEMENS																								
																FLH381		①						
FUJITSU																								
											74LS08		M①											
HITACHI																								
											HD74LS08		P①			HD7408/HD2550	①	P①						
MITSUBISHI																								
											M74LS08		P①			M53208		P①						
NEC																								
											74LS08		C①			μPB234	D①							
TOSHIBA																								
																TD3408		P①						

Electrical Characteristics SN54LS08/SN74LS08

absolute maximum ratings over operating free-air temperature range

Supply voltage, V_{CC}	7V	Operating free-air temperature range	SN54LS	−55°C to 125°C
Input voltage	7V		SN74LS	0°C to 70°C
Interemitter voltage	5.5V	Storage temperature range		−65°C to 150°C

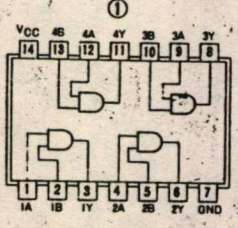
recommended operating conditions

	SN54LS08			SN74LS08			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage, V_{CC}	4.5	5	5.5	4.75	5	5.25	V
High-level output current, I_{OH}			−400			−400	μA
Low-level output current, I_{OL}			4			8	mA
Operating free-air temperature, T_A	−55		125	0		70	°C

electrical characteristics over recommended operating free-air temperature range

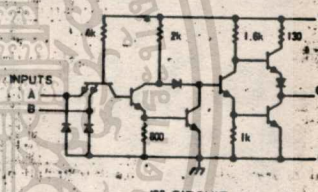
PARAMETER		TEST CONDITIONS†		MIN	TYP‡	MAX	UNIT
V_{IH}	High-level input voltage			2			V
V_{IL}	Low-level input voltage					0.8	V
V_I	Input clamp voltage	V_{CC}=MIN, I_I=−18mA				−1.5	V
V_{OH}	High-level output voltage	V_{CC}=MIN, I_{OH}=MAX	V_{IH}=2V,	2.7	3.4		V
V_{OL}	Low-level output voltage	V_{CC}=MIN, I_{OL}=4mA	V_{IH}=2V		0.25	0.4	V
I_I	Input current at maximum input voltage	V_{CC}=MAX, V_I=7V				0.1	mA
I_{IH}	High-level input current	V_{CC}=MAX	V_{IH}=2.7V			20	μA
I_{IL}	Low-level input current	V_{CC}=MAX	V_{IL}=0.4V			−0.4	mA
I_{OS}	Short circuit output current◆	V_{CC}=MAX	54LS Family	−20		−100	mA
			74LS Family	−20		−100	
I_{CCH}	Supply current	V_{CC}=MAX	Total, outputs high		2.4	4.8	mA
I_{CCL}	Supply current		Total, outputs low		4.4	8.8	mA
I_{CC}	Supply current	V_{CC}=5V,	Average per gate (50% duty cycle)		0.85		mA
t_{PLH}	Propagation delay time, low-to-high-level output	V_{CC}=5V, C_L=15pF,	T_A=25°C, R_L=2kΩ		8	15	ns
t_{PHL}	Propagation delay time, high-to-low-level output				10	20	ns

Pin Assignment (Top View)

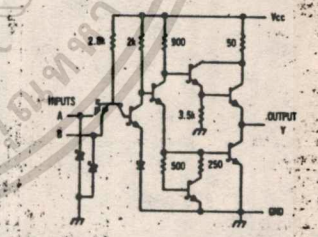


positive logic:
Y=AB

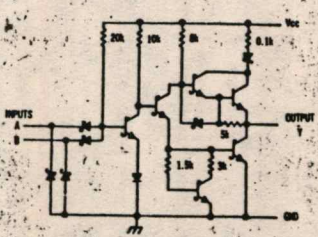
Schematics (each gate)



'08 CIRCUIT



'S08 CIRCUIT



'LS08 CIRCUIT

Resistor values shown are nominal and in ohms.

† For conditions shown as MIN or MAX, use the appropriate values specified under recommended operating conditions.
‡ All typical values are at V_{CC}=5V, T_A=25°C.
◆ Not more than one output should be shorted at a time, and for SN54S'/SN74S', duration of output short circuit should not exceed one second.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5432/7432 Quadruple 2-Input Positive-OR Gate

	Schottky TTL					High-Speed TTL					Low-Power Schottky TTL					Standard TTL					Low-Power TTL				
	Device Type	Package				Device Type	Package				Device Type	Package				Device Type	Package				Device Type	Package			
		C	P	M	CF		C	P	M	CF		C	P	M	CF		C	P	M	CF		C	P	M	CF
TI	SN54S32	J①			W①						SN54LS32	J①			W①	SN5432	J①			W①					
	SN74S32	J①	N①								SN74LS32	J①	N①			SN7432	J①	N①							
FAIRCHILD	FM54S32/FM9S32	D①			F①						FM54LS32/FM9LS32	D①			F①	FM5432/FM9N32	D①			F①					
	FC74S32/FC9S32	D①	P①		F①						FC74LS32/FC9LS32	D①	P①		F①	FC7432/FC9N32	D①	P①							
MOTOROLA											SN74LS32		P①												
N.S.C.											DM74LS32		①			DM5432 ††	J①	N①		W①	DM54L32				
											DM54LS32		①			DM74232	J①	N①			DM74L32				
PHILIPS	N74S32		①								N74LS32		①			N7432		①							
SIGNETICS																5432	F①	A①		W①					
											N74LS32		A①			8432	F①	A①							
SIEMENS																FLH631		①							
FUJITSU											74LS32		M①												
HITACHI											HD74LS32		P①			HD7432	①	P①							
MITSUBISHI											M53LS32		P①												
NEC											74LS32		C①												
TOSHIBA																									

Electrical Characteristics SN54LS32/SN74LS32

absolute maximum ratings over operating free-air temperature range

Supply voltage, V_{CC}	7V	Operating free-air temperature range	SN54LS	−55°C to 125°C
Input voltage	7V		SN74LS	0°C to 70°C
		Storage temperature range		−65°C to 150°C

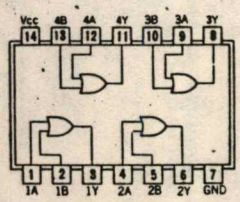
recommended operating conditions

	SN54LS32			SN74LS32			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage, V_{CC}	4.5	5	5.5	4.75	5	5.25	V
High-level output current, I_{OH}			−400			−400	μA
Low-level output current, I_{OL}			4			8	mA
Operating free-air temperature, T_A	−55		125	0		70	°C

electrical characteristics over recommended operating free-air temperature range

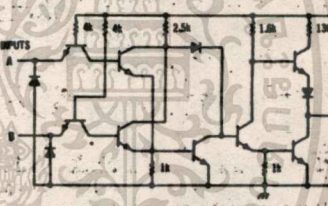
PARAMETER		TEST CONDITIONS†		MIN	TYP‡	MAX	UNIT
V_{IH}	High-level input voltage			2			V
V_{IL}	Low-level input voltage					0.8	V
V_I	Input clamp voltage	V_{CC}=MIN, I_I=−18mA				−1.5	V
V_{OH}	High-level output voltage	V_{CC}=MIN, V_{IH}=2V, I_{OH}=MAX		2.7	3.4		V
V_{OL}	Low-level output voltage	V_{CC}=MIN, V_{IL}=V_{IL} max, I_{OL}=4mA			0.25	0.4	V
I_I	Input current at maximum input voltage	V_{CC}=MAX, V_I=7V				0.1	mA
I_{IH}	High-level input current	V_{CC}=MAX, V_{IH}=2.7V				20	μA
I_{IL}	Low-level input current	V_{CC}=MAX, V_{IL}=0.4V				−0.4	mA
I_{OS}	Short-circuit output current#	V_{CC}=MAX	54LS Family	−20		−100	mA
			74LS Family	−20		−100	
I_{CCH}	Supply current	V_{CC}=MAX	Total, outputs high		3.1	5.2	mA
I_{CCL}	Supply current		Total, outputs low		4.9	9.8	mA
I_{CC}	Supply current*	V_{CC}=5V	Average per gate (50% duty cycle)		1.0		mA
t_{PLH}	Propagation delay time, low-to-high-level output	V_{CC}=5V, C_L=15pF,	T_A=25°C, R_L=2kΩ		14	22	ns
t_{PHL}	Propagation delay time, high-to-low-level output				14	22	ns

Pin Assignment (Top View)

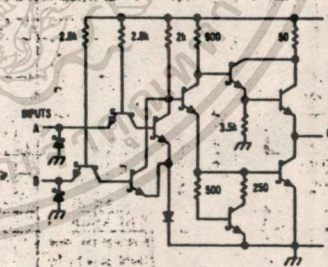


positive logic:
Y=A+B

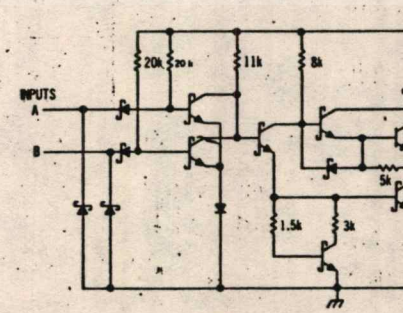
Schematics(each gate)



'32 CIRCUIT



'S32 CIRCUIT



'LS32 CIRCUIT

Resistor values shown are nominal and in ohms.

† For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.
‡ All typical values are at V_{CC}=5V, T_A=25°C.
# Not more than one output should be shorted at a time.

เอกสารนี้จัดทำขึ้นสำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5474/7474 Dual D-Type Positive-Edge-Triggered Flip-Flop with Preset and Clear

	Schottky TTL					High-Speed TTL					Low-Power Schottky TTL					Standard TTL					Low-Power TTL				
	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF
T.I.	SN54S74	J①			W①	SN54H74	J①			W②	SN54LS74	J①			W①	SN5474	J①			W②	SN54L74	J①	N①	T②	
	SN74S74	J①	N①			SN74H74	J①	N①			SN74LS74	J①	N①			SN7474	J①	N①			SN74L74	J①	N①	T②	
FAIRCHILD	FM54S74/FM9S74	D①			F②	FM54H74/FM9H74	D①			F②	FJH54LS74/FJH9LS74	D①			F①	FM5474/FM9N74	D①			F②					
	FC74S74/FC9S74	D①	P①		F②	FC74H74/FC9H74	D①	P①		F②	FCH74LS74/FCH9LS74	D①	P①		F①	FC7474/FC9N74	D①	P①							
MOTOROLA											SN74LS74		P①												
N.S.C.						DM54H74	J①	N①			DM54LS74		P①			DM5474	J①	N①		W②	DM54L74	J①	N①		F②
	DM74S74		N①			DM74H74	J①	N①			DM74LS74					DM7474	J①	N①			DM74L74	J①	N①		F②
PHILIPS	N74S74		①			GJJI31/74H74		①			N74LS74		①			FJJI31/7474		①							
SIGNETICS	8S74S74					S54H74	F①	A①		W①						S5474	F①	A①		W②					
	N74S74					N74H74	F①	A①			N74LS74		A①			N7474	F①	A①							
SIEMENS																									
																FLJI41		①							
FUJITSU											74LS74		M①			MB420	①	M①							
HITACHI	HD74S74	①	P①								HD74LS74		P①			HD7474/HD2510	①	P①							
MITSUBISHI	M74S74		P①								M74LS74		P①			M5327/M5374		P①							
NEC	74S74		C①								74LS74		C①			μPB214	D①	C①							
TOSHIBA																TD3474A		P①							

Electrical Characteristics SN54LS74/SN74LS74

absolute maximum ratings over operating free-air temperature range

Supply voltage, V_{CC}	7V	Operating free-air temperature range	SN54LS	−55°C to 125°C
Input voltage	5.5V		SN74LS	0°C to 70°C
		Storage temperature range		−65°C to 150°C

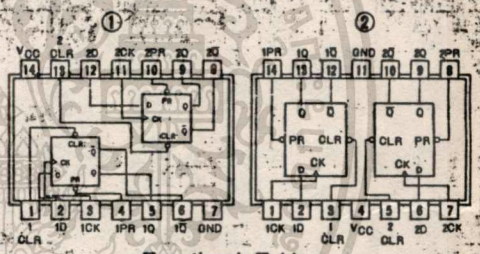
recommended operating conditions

		SN54LS74 MIN	NOM	MAX	SN74LS74 MIN	NOM	MAX	UNIT
Supply voltage, V_{CC}		4.5	5	5.5	4.75	5	5.25	V
High-level output current, I_{OH}				−400			−400	μA
Low-level output current, I_{OL}				4			8	mA
Pulse width, t_w	Clock high	25			25			ns
	Preset or clear low	25			25			
Input setup time, t_{su}	High-level data	25↑			25↑			
	Low-level data	20↑			20↑			
Input hold time, t_h		5↑			5↑			ns
Operating free-air temperature, T_A		−55		125	0		70	°C

electrical characteristics over recommended operating free-air temperature range

PARAMETER*		TEST CONDITIONS†	MIN	TYP‡	MAX	UNIT
V_{IH}	High-level input voltage		2			V
V_{IL}	Low-level input voltage				0.8	V
V_I	Input clamp voltage	V_{CC}=MIN, I_I=−18mA			−1.5	V
V_{OH}	High-level output voltage	V_{CC}=MIN, V_{IH}=2V, V_{IL}=0.8V, I_{OH}=MAX	2.7	3.4		V
V_{OL}	Low-level output voltage	V_{CC}=MIN, V_{IH}=2V, V_{IL}=0.8V, I_{OL}=4mA		0.25	0.4	V
I_I	Input current at maximum input voltage: D, J, K	V_{CC}=MAX, V_I=7V			0.1	mA
	Clear				0.2	
	Preset				0.2	
	Clock				0.1	
I_{IH}	High-level input current: D, J, K	V_{CC}=MAX, V_I=2.7V			20	μA
	Clear				40	
	Preset				40	
	Clock				20	
I_{IL}	Low-level input current: D, J, K	V_{CC}=MAX, V_I=0.4V			−0.4	mA
	Clear				−0.8	
	preset				−0.8	
	Clock				−0.4	
I_{OS}	Short-circuit output current§: Series 54LS	V_{CC}=MAX	−20		−100	mA
	Series 74LS		−20		−100	
I_{CC}	Supply current (Average per flip-flop)	V_{CC}=MAX, See Note 1		4	8	mA
f_{max}	Clock frequency	V_{CC}=5V, T_A=25°C, C_L=15pF, R_L=2kΩ	25	33		MHz
t_{PLH}	From clear, preset, or clock (as appropriate) to Q or $\bar{Q}$			13	25	ns
t_{PHL}				25	40	

Pin Assignments (Top View)

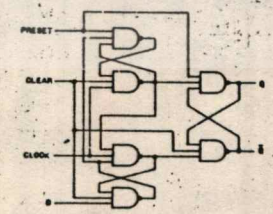


Functional Table

'74, 'H74, 'LS74, 'S74 (See Note 2)

INPUTS PRESET	CLEAR	CLOCK	D	OUTPUTS Q	$\bar{Q}$
L	H	X	X	H	L
H	L	X	X	L	H
L	L	X	X	H*	H*
H	H	↑	H	H	L
H	H	↑	L	L	H
H	H	L	X	Q_0	$\bar{Q}_0$

Functional Block Diagram



'74, 'S74, 'H74, 'LS74, 'L74-DUAL D-FLIP-FLOP WITH CLEAR AND PRESET

NOTES: 1 With all outputs open, I_{CC} is measured with the Q and $\bar{Q}$ outputs high in turn. At the time of measurement, the clock input is grounded.

2 H=high level (steady state), L=low level (steady state), X=irrelevant
↑=transition from low to high level.
Q_0=the level of Q before the indicated input conditions were established.
* This configuration is nonstable; that is, it will not persist when preset and clear inputs return to their inactive (high) level.

*For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.
†All typical values are at V_{CC}=5V, T_A=25°C.
‡Not more than one output should be shorted at a time.
t_{PLH}=propagation delay time, low-to-high-level output;
t_{PHL}=propagation delay time, high-to-low-level output;
The symbol indicates the edge of the clock pulse used for reference: ↑ for the rising edge.

เอกสารนี้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

THE TTL/CMOS IC TESTER OPERATION MANUAL

This documentation descibes the operation and detail Functions of IC TESTER CARD (ICT - 301).

The diskette supplied include 3 utililty files:

1 ICT.EXE ------- this is the main file to be executed.

2 PORTSEL.EXE --- this file should be executed if card I/O address has been changed.

3 ADDR.DOC ------ this file save the set I/O address.

**** these file (ADDR.DOC) must be at the same disk,and also must be at the default disk driver.

MINIMUM COMPUTER SYSTEM NEEDED:

1. IBM PC/XT or compatible system with 256K memory of more.
2. one 360K floppy disk driver.
3. PC DOS V2.0 (or later) or compatible DOS.

PROGRAM EXECUTION :

Insert the tester card supplied on any slot of the computer, while computer power is off.

Booting your system with the dos disk. put this disk at the default disk driver, and key in command below:

ICT <CR>

The on screen menu will be appeared, then select desirde ones. detail function will be described latter.

HAVE A GOOD JOB !

NOTE : Be sure to back up 1 copy of the source disk, and save it at a asfety place.

FUNCTION DESCRIPTION

The function menu will be automatically displayed on the screen after executing ICT.EXE.

Function I : IC TYPE SELECT

Press <I>, the IC type is automatically changed in the sequence of TTL -> CMOS ->HCMOS -> TTL -> .....

Function N : NUMBER SELECT

When you select <N>, you can keyin the IC number you desired then press <CR> to finish NUMBER SELECT.

Function S : SEARCH IC TYPE NUMBER

Press <S> ,the type & number of the IC on the test socket will be found out and displayed.

Function Q : QUIT

Return to DOS.

<SPACE> : TESTING

When you have selected the IC TYPE & NUMBER. and you have put the tested IC on the socket, press SPACE BAR to start testing.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

RD I/O address selection

This card may be inserted into any slot of the computer. Its
O address had been selected to 290H. Some problems may happen,
other card inserted on the computer has the same address as
is card.

e way to solve this problem is shown below.

ep 1 : power off the computer.

ep 2 : selected the 4 position DIP switch (SW1) to new I/O address. the I/O address map is shown below.

ep 3 : Re-insert the card into computer, executing PORTSEL.EXE and enter the new I/O address.

e 4 bit DIP switch selected address position :

position	1	2	3	4	DIP SWITCH ON: 0 OFF: 1
addr line	A4	A5	A6	A7	
200H	ON	ON	ON	ON	
210H	OFF	ON	ON	ON	
220H	ON	OFF	ON	ON	
230H	OFF	OFF	ON	ON	
240H	ON	ON	OFF	ON	
250H	OFF	ON	OFF	ON	
260H	ON	OFF	OFF	ON	
270H	OFF	OFF	OFF	ON	
280H	ON	ON	ON	OFF	
*290H	OFF	ON	ON	OFF	<THE NORMAL SETTING=290H
2A0H	ON	OFF	ON	OFF	
2B0H	OFF	OFF	ON	OFF	
2C0H	ON	ON	OFF	OFF	
2D0H	OFF	ON	OFF	OFF	
2E0H	ON	OFF	OFF	OFF	
2F0H	OFF	OFF	OFF	OFF	

The addr line A9 always = 1, and addr line A8 always = 0.
Don,t care about the lower 4 address lines (A0-A4).
Only address 200H - 2FFH can be selected.

xample change the I/O address to 2E0H :

position	1	2	3	4	ON :0 OFF :1
2E0H	ON	OFF	OFF	OFF	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

THE IC LIST FOR THE TESTER CARD

(1)STANDARD TTL

(54/74Ø0 Series)

7400,7401,7402,7403,7404,7405,7406,7407,7408,
7409,7410,7411,7412,7413,7414,7415,7416,7417,
7420,7421,7422,7423,7425,7426,7427,7428,7430,
7432,7433,7437,7438,7440,7442,7445,7446,7447,
7448,7449,7473,7474,7475,7476,7483,7485,7486,
7490,7491,7492,7493,7494,7495,7496,74107,
74109,74125,74126,74128,74132,74136,74139,
74145,74147,74148,74151,74152,74153,74155,
74156,74157,74158,74160,74161,74162,74163,
74164,74165,74166,74173,74174,74175,74190,
74191,74192,74193,74194,74195,74196,74197,
74246,74247,74248,74249,74251,74257,74259,
74266,74279,74283,74290,74293,74298,74265,
74366,74367,74368,74386,74393,74425,74426,
74490.

(2)LOW POWER SCHOTTKY TTL

(54/74 LS Series)

74LS00,74LS01,74LS02,74LS03,74LS04,74LS05,
74LS08,74LS09,74LS10,74LS11,74LS12,74LS13,

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

74LS14,74LS15,74LS18,74LS19,74LS20,74LS21,
74LS22,74LS24,74LS26,74LS27,74LS28,74LS30,
74LS32,74LS33,74LS37,74LS38,74LS40,74LS42,
74LS47,74LS48,74LS49,74LS51,74LS54,74LS55,
74LS73,74LS74,74LS75,74LS83,74LS85,74LS86,
74LS90,74LS92,74LS93,74LS95,74LS107,74LS109,
74LS112,74LS113,74LS114,74LS125,74LS126,
74LS132,74LS136,74LS138,74LS151,74LS152,
74LS153,74LS155,74LS156,74LS157,74LS158,
74LS160,74LS161,74LS162,74LS163,74LS164,
74LS165,74LS166,74LS168,74LS169,74LS173,
74LS174,74LS175,74LS183,74LS190,74LS191,
74LS193,74LS192,74LS194,74LS195,74LS240,
74LS241,74LS242,74LS243,74LS244,74LS245,
74LS247,74LS248,74LS249,74LS251,74LS253,
74LS257,74LS258,74LS259,74LS260,74LS273,
74LS276,74LS279,74LS280,74LS283,74LS290,
74LS293,74LS295,74LS298,74LS348,74LS352,
74LS266,74LS365,74LS366,74LS367,74LS368,
74LS373,74LS374,74LS375,74LS377,74LS378,
74LS390,74LS393,74LS399,74LS640,74LS641,
74LS642,74LS645,74LS668,74LS669,74LS353,
74LS363,74LS364.

(3)SCHOTTKY-CLAMPED TTL

(54/74S Series)

74S00,74S03,74S04,74S05,74S08,74S09,74S10,

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

74S11,74S15,74S20,74S22,74S30,74S32,74S37,
74S38,74S40,74S74,74S85,74S86,74S107,74S112,
74S113,74S114,74S132,74S133,74S135,74S138,
74S139,74S140,74S151,74S153,74S157,74S158,
74S160,74S161,74S162,74S163,74S168,74S169,
74S174,74S175,74S194,74S195,74S240,74S241,
74S251,74S257,74S258,74S260,74S280,74S283,
74S373,74S374,74S470.

(4)LOW POWER TTL
(54/74L Series)

74L00,74L01,74L02,74L03,74L04,74L05,74L08,
74L10,74L20,74L26,74L30,74L32,74L42,74L43,
74L44,74L46,74L47,74L51,74L55,74L56,74L73,
74L74,74L75,74L85,74L86,74L90,74L91,74L93,
74L95,74L96,74L151,74L153,74L157,74L164,
74L165,74L192,74L193.

(5)HIGH-SPEED TTL
(54/74H Series)

74H00,74H01,74H04,74H05,74H10,74H11,74H15,
74H20,74H22,74H30,74H40,74H51,74H52,74H53,
74H54,74H55,74H73,74H74,74H76,74H183.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

(6)TTL EQUIVALENT CMOS DEVICE

(54/74C Series)

74C00,74C01,74C02,74C04,74C08,74C10,74C11,
74C14,74C20,74C21,74C27,74C30,74C32,74C42,
74C48,74C73,74C74,74C83,74C85,74C86,74C90,
74C93,74C95,74C107,74C112,74C113,74C114,
74C132,74C139,74C151,74C138,74C153,74C154,
74C155,74C157,74C158,74C160,74C161,74C162,
74C163,74C164,74C165,74C173,74C174,74C175,
74C192,74C193,74C194,74C195,74C240,74C241,
74C242,74C243,74C244,74C245,74C253,74C257,
74C258,74C266,74C273,74C298,74C373,74C374,
74C375,74C386,74C390,74C393,74C490.

(7)CD45/4000 SERIES CMOS DEVICES

(OR MC 145/140 Series)

CD4000,CD4001,CD4002,CD4009,CD4010,CD4011,
CD4012,CD4013,CD4015,CD4016,CD4017,CD4020,
CD4022,CD4023,CD4024,CD4025,CD4027,CD4028,
CD4030,CD4035,CD4040,CD4043,CD4044,CD4049,
CD4051,CD4052,CD4053,CD4066,CD4068,CD4069,
CD4070,CD4071,CD4072,CD4073,CD4075,CD4076,
CD4077,CD4078,CD4081,CD4082,CD4093,,CD40106,
CD40160,CD40161,CD40162,CD40163,CD40174,
CD40175,CD40192,CD40193,CD40194,CD40195,
CD4510,CD4512,CD4516,CD4518,CD4520,CD4532,
CD4519,CD4501,CD4502,CD4503,CD4555,CD4556,
CD4572,CD4584,CD4050.

---------- END ----------

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ปริญญานิพนธ์ฉบับนี้สำเร็จลุล่วงไปได้ด้วยดี โดยได้รับความช่วยเหลือเป็นอย่างดีจากอาจารย์ ดร.ไพศาล นาคพิพัฒน์ ได้ถ่ายทอดประสบการณ์ และ ให้คำปรึกษาซึ่งเป็นประโยชน์ และ เพิ่มความรู้ได้มาก รวมทั้งให้ความอนุเคราะห์ทางด้านเครื่องมือ และอุปกรณ์เป็นอย่างดี ซึ่งท่านเป็นอาจารย์ที่ปรึกษาตลอดการทำปริญญานิพนธ์ฉบับนี้ และ คำปรึกษาจากอาจารย์หลายท่าน จึงขอขอบพระคุณ คณาจารย์ทุกท่านไว้ ณ.ที่นี้ด้วย

สมภพ พรหมเมือง

สุรพล คงพูล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หนังสืออ้างอิง

1.สุศักดิ์ พรพันธ์ , " การออกแบบวงจร ไอซี ออพแอมป์ " , อิเลคทรอนิคส์เวิล์ด , 2529

2.กฤษดา วิศวธีรานนท์ , " ไอซี ดิจิตอล " , ซีเอ็ด , 2530

3.ไพสาน ประยืดพลกรัง , " เซมิคอนดัคเตอร์ อิเลคทรอนิคส์ " , ซีเอ็ด , หน้า 187 - 196 , 220 - 225 , 2531

4.ชานินทร์ ถาวรศาสนวงศ์ , พินกร ตุ๊ก , " การอินเทอร์เฟส IBM PC " , PHYSICS CENTER , 2530

5.ยืน ภู่วรวรรณ , ดร.ชัยยงค์ วงศ์ชัยสุวัฒน์ , ดว.ไพศาล สงวนหมู่ , "เทคโนโลยี ไมโครคอมพิวเตอร์ 16 บิท " , ซีเอ็ด , พิมพ์ครั้งที่ 2 , 2532

6.Morrison R. , " DC Amplifiers in Instrumentation " , PP 241 - 245 , 1970

7.Franco S. , " Design with OP-AMP and analog integrated " , McGraw-Hill Book , 1988

8.CHIP SUPPORT AND MEMORY DATA BOOK , " ซีเอ็ด " หจก.เอช-เอน การพิมพ์ , พิมพ์ครั้งที่ 1 , 2529

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้