ปีการศึกษา 2531

เครื่องวิเคราะห์โครงข่าย

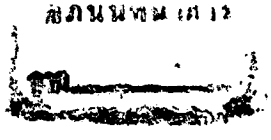
โดย

มุกดา เทพธรณินทรา
วิชิต เต็มอนุภาพกุล

อาจารย์ที่ปรึกษา

อาจารย์ วันชัย ริ้วรุจา

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของลิขสิทธิ์ทุกครั้งที่มีการนำไปใช้

023110

-8.ค.2532

ปริญญานิพนธ์ ปีการศึกษา 2531

ภาควิชา วิศวกรรมระบบควบคุม

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้า เจ้าคุณทหาร ลาดกระบัง

เรื่อง เครื่องวิเคราะห์โครงข่าย

ผู้จัดทำ

1. นางสาว มุกดา เทพธรณินทรา
2. นาย วิชิต เต็มอนุภาพกุล

.....อ-ชัย ริ้วรุจา..... อาจารย์ที่ปรึกษา

(อาจารย์ วันชัย ริ้วรุจา)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

023110

เครื่องวิเคราะห์โครงข่าย

มุกดา เทพธรณินทรา
วิชิต เต็มอนุภาพกุล
อาจารย์ วันชัย ริ้วรุจา อาจารย์ที่ปรึกษา
ปีการศึกษา 2531

บทคัดย่อ

โครงงานในปริญญานิพนธ์นี้ เป็นการพัฒนาเครื่องวิเคราะห์โครงข่าย(Network Analysis) โดยการป้อนความถี่ค่าต่างๆ เข้าในโครงข่ายที่ต้องการทดสอบแล้ววัดระดับสัญญาณ (peak detection) และนำผลที่ได้มาเขียนกราฟให้อยู่ในรูปของขนาดและความถี่ สำหรับโครงงานนี้ สามารถใช้งานในย่านความถี่ ตั้งแต่ 10 Hz ถึง 1 MHz นอกจากนี้ยังใช้ไมโครคอมพิวเตอร์ ติดต่อกับเครื่องวิเคราะห์โครงข่ายทำให้ติดต่อกับผู้ใช้ได้ง่าย ทั้งแสดงผลทางจอภาพ และพิมพ์กราฟได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Network Analysor

Mukda Teptoranintra
Vichit Temanuphatkul
Vanchai Riewruja Advisor
Academy 1988

Abstract

This Thesis is a development of Network Analysor , which tests the networks by generate frequencies into them , measures the results from peak detector , and then plots the results into amplitudes versus frequencies. this Network Analysor can test networks from frequency ranges 10 Hz to 1 MHz. It also uses microcomputer to interface with users and to display the results .

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

1. บทนำ 1

2. ทฤษฎีและหลักการ 3

3. การออกแบบและการสร้าง

3.1 การออกแบบในส่วนสร้างความถี่ 5

3.2 การออกแบบในส่วนวัดระดับสัญญาณ 8

3.3 การออกแบบในส่วนควบคุมการทำงาน 14

3.4 การออกแบบการติดต่อระหว่างตัวควบคุมกับไมโครคอมพิวเตอร์ 22

3.5 การออกแบบซอฟท์แวร์ 27

4. การทดลองและผลการทดลอง

4.1 การทดลองในส่วนสร้างความถี่ 29

4.2 การทดลองในส่วนของเครื่องวัดระดับสัญญาณ 32

4.3 การทดสอบผลตอบสนองความถี่ของโครงข่าย 35

5. บทวิจารณ์และสรุป 38

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทนำ

การวิเคราะห์วงจร (Network Analysis) เป็นการวิเคราะห์คุณสมบัติของระบบ เนื่องจากระบบแต่ละระบบจะมีพฤติกรรมระบบแตกต่างกัน ในการวิเคราะห์ผลของระบบหรือวงจร สามารถกระทำได้ในหลายรูปแบบ เช่น การวิเคราะห์ผลตอบสนองของยูนิตสเตป (Unit Step Response) การวิเคราะห์ Root Locus และการวิเคราะห์ Frequency Response เป็นต้น แต่ที่นิยมวิเคราะห์กัน มักจะใช้การวิเคราะห์ผลตอบสนองทางความถี่หรือวิเคราะห์ทาง Spectum Analysis ซึ่งเป็นการวิเคราะห์อัตราขยายของสัญญาณป้อนเข้าวงจรที่จะทดสอบ และ สัญญาณภายหลังการทดสอบ และการวิเคราะห์ผลของเฟสเลื่อน (Phase shift) แล้วแสดงอยู่ในรูปของ Bode Plot , Polar Plot และ Log-Magnitude Versus Phase Plots

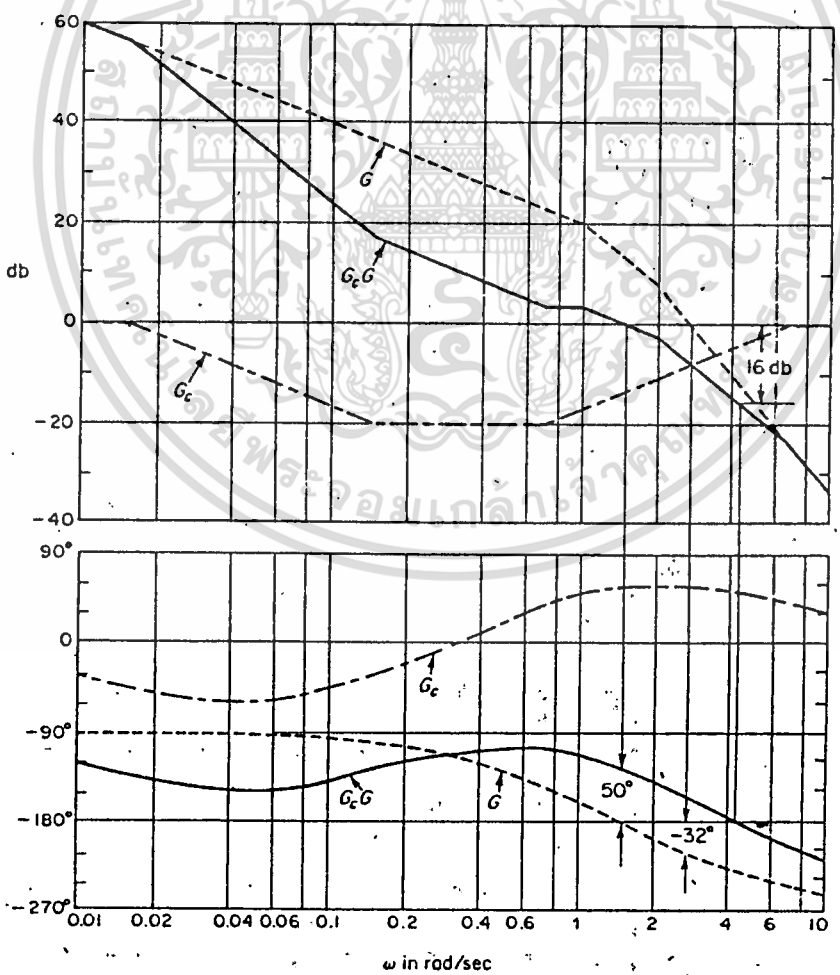
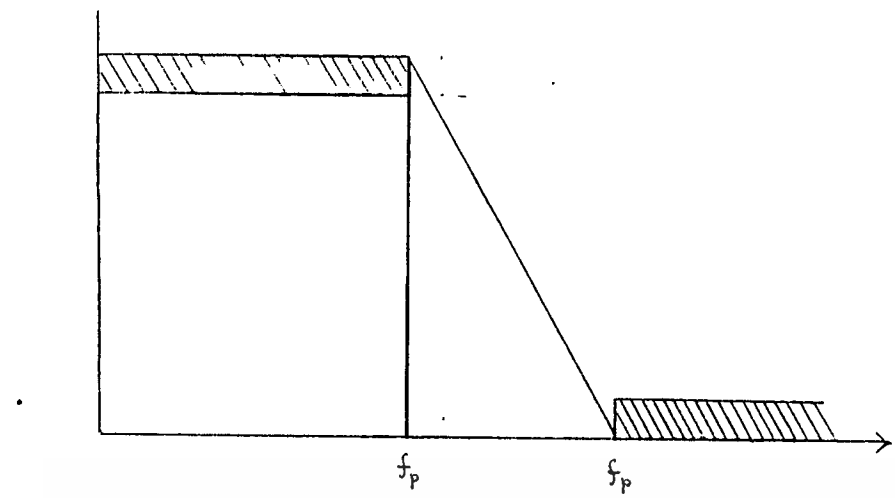
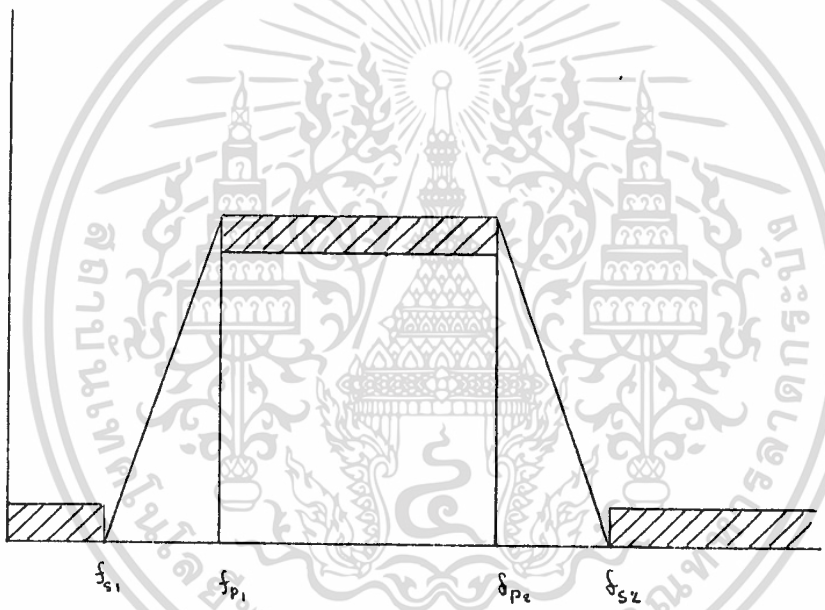


Fig. 10-35. Bode diagrams for the uncompensated system, the compensator, and the compensated system. (G: uncompensated system, G_c: compensator, G_cG: compensated system.)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



Low Pass Filter



Band Pass Filter

แต่ที่นิยมใช้ และสะดวกในการศึกษาวิเคราะห์คือการหาผลตอบสนองทางความถี่ สำหรับผลของแอมปลิจูดจะถูกนำไปใช้ในการวิเคราะห์ วงจรกรองความถี่ (frequency filter) ซึ่งจะศึกษาในเรื่อง ขอบเขตของ filter พวก Pass Band, Transition Band, Stop Band และ window ของ filter ค่า Q ของ filter (ความคมของ filter) นอกจากวงจรกรองความถี่ ยังใช้ศึกษา วงจรอนาลอกทั่วไป การตรวจสอบอุปกรณ์ที่ใช้ในการออกแบบ แก้ไข ทำให้อุปกรณ์สามารถใช้งานได้อย่างมีประสิทธิภาพ เพราะทราบถึงจุดวิกฤติการใช้งานของอุปกรณ์ต่างๆ

ในขณะเดียวกันการศึกษาผลตอบสนองความถี่ ในเรื่องของการเลื่อนเฟส จะนำไปประยุกต์ใช้กับวงจร Oscillate ผลของ Dead Time ของวงจร รวมไปถึงการศึกษาไม่ให้ระบบเกิดการออสซิเลทขึ้นได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2 ทฤษฎีและหลักการ

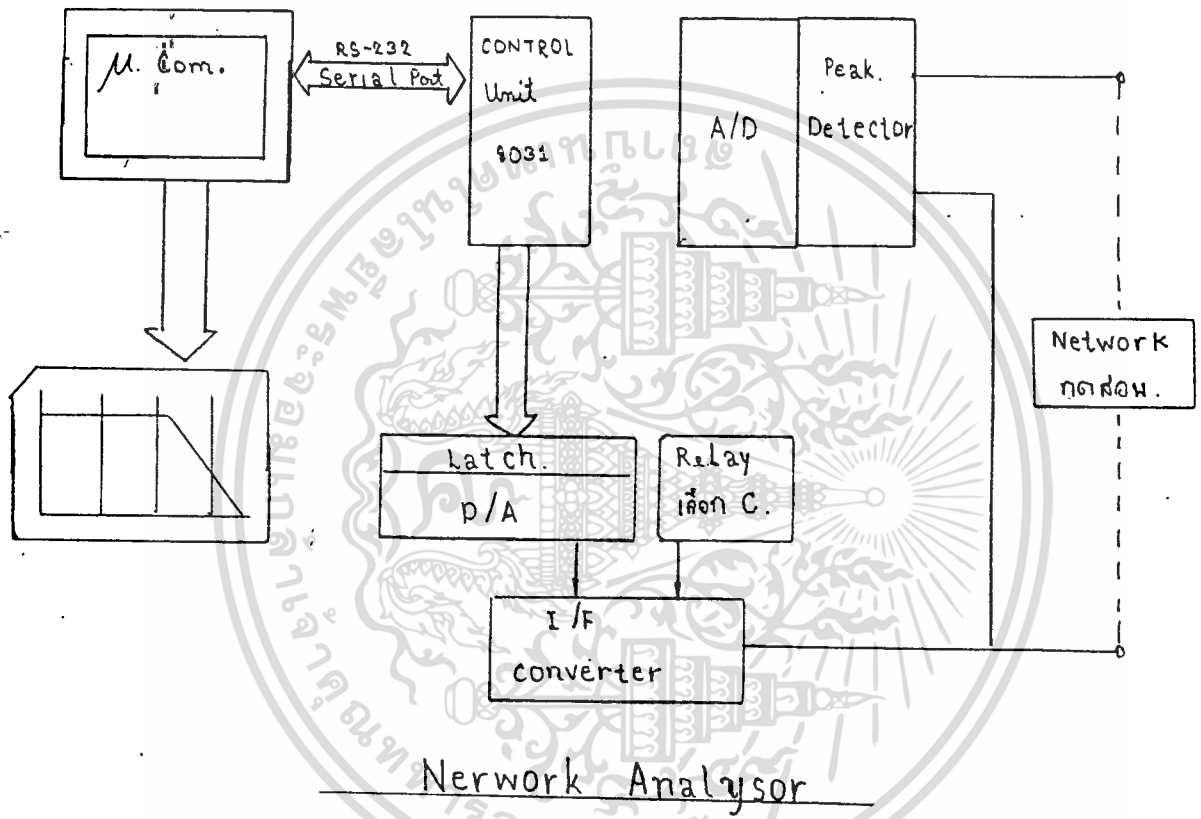
เครื่องวิเคราะห์โครงข่ายนี้ เป็นการวิเคราะห์โครงข่ายทางด้านฟิสิกส์ โดยอาศัยหลักการวิเคราะห์คุณสมบัติของโครงข่ายที่ตอบสนองต่อความถี่ต่าง ๆ ดังนั้นการวิเคราะห์จะใช้การป้อนสัญญาณความถี่ค่าต่าง ๆ เข้าไปยังโครงข่าย แล้วทำการวิเคราะห์ผลตอบสนอง

สำหรับชิ้นงานนี้ จะวิเคราะห์ผลตอบสนองของโครงข่ายที่มีต่อความถี่ ในรูปของการลดทอนของระดับสัญญาณ ชิ้นงานจึงประกอบด้วย 2 ส่วนหลัก ๆ คือ ส่วนสร้างความถี่ และส่วนวัดระดับสัญญาณ แต่เนื่องจากว่าการวิเคราะห์จะเป็นการพิจารณาผลตอบสนองในย่านความถี่ที่กว้าง และต้องการแสดงผลการวิเคราะห์ ดังนั้นจึงเพิ่มเติมส่วนควบคุมการทำงานและส่วนไมโครคอมพิวเตอร์เข้าไปเพื่อใช้แสดงผล สามารถแสดงได้ดังบล๊อกไดอะแกรมหน้าถัดไป

หลักการของแต่ละส่วน

1. ส่วนสร้างความถี่ จะต้องสามารถสร้างความถี่ได้ตั้งแต่ 10 Hz - 1 MHz
2. ส่วนวัดระดับสัญญาณ ทำการวัดค่าของโวลท์เตจสูงสุดของสัญญาณที่มีการเปลี่ยนแปลงได้ และสามารถโฮลค่าของสัญญาณโวลท์เตจเอาท์พุท
3. ส่วนควบคุม ทำการควบคุมการสร้างความถี่ ,การวัดระดับสัญญาณ ,การจัดไทม์มิ่งของสัญญาณที่จะเข้าส่วนวัดระดับสัญญาณ และจัดส่งข้อมูลที่ได้จากการทดสอบผ่านไปยังส่วนไมโครคอมพิวเตอร์
4. ส่วนไมโครคอมพิวเตอร์ ทำการคำนวณผลลัพธ์ที่ต้องการ คือ อยู่ในรูปของ Bode plot แล้วพล๊อตค่าที่ได้แสดงออกทางหน้าจอ เพื่อบอกถึงคุณสมบัติของโครงข่าย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



Nerwork Analysor

บทที่ 3 การออกแบบและการสร้าง

3.1 การออกแบบในส่วนสร้างความถี่

XR2206 เป็นไอซีสำเร็จรูปที่ใช้ทำฟังก์ชันเจนเนเรเตอร์ (Function Generator) ที่สามารถจะสร้างสัญญาณต่าง ๆ จำพวก สัญญาณซายน์ (Sine Wave) , สัญญาณสี่เหลี่ยม (Square Wave) , สัญญาณสามเหลี่ยม (Triangle Wave) นอกจากนี้ ยังนำไปประยุกต์ใช้เป็นสัญญาณ FM , AM , FSK (Frequency Shift Keying) ,สัญญาณพัลส์และแรมป์ (Pulse and Ramp Wave) ฯลฯ สำหรับ XR2206 สามารถที่จะสร้างความถี่ได้ ตั้งแต่ 0.01 Hz ถึง 1 MHz ความเพี้ยนต่ำ และมีค่าความถี่ที่แปรเปลี่ยนกับความต่างศักย์ควบคุมภายนอกเป็นเชิงเส้น (Linear Sweep) ถึง 2000 : 1 ของย่านความถี่ ในไอซี XR-2206 จะประกอบด้วย ฟังก์ชันพล็อต 4 ฟังก์ชัน คือ VCO (Voltage Control Oscillator) , วงจรคุมทางอนาลอก และ วงจรปรับแต่งสัญญาณซายน์ (Analog Mutiplier + Sine Shaper) , วงจรบัฟเฟอร์ (Unity Gain Buffer Amplier) และชุดตัดต่อกระแส (Set of Current Switches) ซึ่งมีหลักการ ดังนี้ VCO จะสร้างความถี่ค่าต่าง ๆ ตามกรแสอินพุท ซึ่งได้จากความต้านทานที่ใช้ไบอัสกระแส ก็จะได้ความถี่ตามสมการ $t = 1/RC$ ชุดตัดต่อกระแสไว้สำหรับใช้ทำ FSK สัญญาณพัลส์และสัญญาณแรมป์ วงจรคูณอนาลอกและวงจรปรับแต่งสัญญาณซายน์ เนื่องจาก VCO จะให้สัญญาณรูปสี่เหลี่ยมออกมา จึงจะต้องมีวงจรปรับแต่งสัญญาณ เพื่อจะได้สัญญาณรูปซายน์มีความคม ความเพี้ยนต่ำ และมีฮาร์โมนิค (Harmonic) น้อย โดยมีส่วนปรับแต่ง 2 ชุด คือ การปรับรูปสัญญาณ (Waveform Adjust) และ การปรับความสมมาตร (Symmetry Adjust) ซึ่งสามารถทำได้ถึง 0.5% ส่วนวงจรคูณจะเป็นวงจรเพื่อขยายสัญญาณ และในส่วนสุดท้าย คือ วงจรบัฟเฟอร์ เพื่อใช้ขับกระแสของสัญญาณที่ได้

หลักการพื้นฐานการใช้งาน XR-2206

IC XR-2206 สามารถจะให้ค่าความถี่ต่าง ๆ ได้ โดยการเลือกใช้ค่าตัวต้านทาน (Timing Resistor) และค่าตัวเก็บประจุ (Timing Capacity) เป็นไปตามสูตร

$t = 1/RC$ Hz

หมายเหตุ ค่าตัวต้านทานจะใช้ในช่วง 4 K-Ohm จนกระทั่ง 200 K-Ohm.

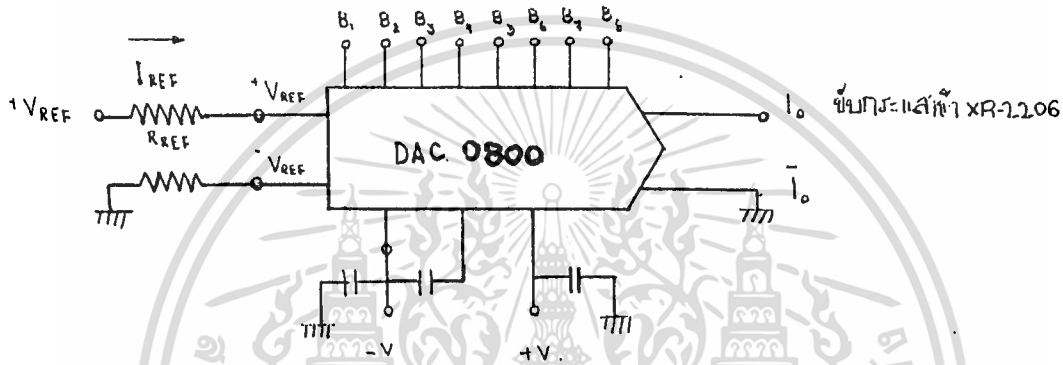
ค่าตัวเก็บประจุจะใช้ในช่วง 1000 pF จนกระทั่ง 100 MicroF

สำหรับการสร้างความถี่เปลี่ยนแปลงเฉพาะช่วง (Frequency Sweep)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากหลักการของความถี่ที่เกิดจากค่ากระแสไบอัสที่ได้จากกระแสเวลารวม (Total Timing Current : It) เราจึงนำค่า It มาใช้ประโยชน์ในการควบคุมความถี่ โดยการไบอัสกระแสใส่ที่ไทม์มิ่ง เทอร์มินอล (Timing Terminal) (ขา 7 หรือ ขา 8) ซึ่งจะได้ผลเป็นไปตามสูตร

f = 320 * It (mA)/C(MicroF) Hz



วงจรขับกระแสไบอัส XR-2206

เนื่องจากขาไทม์มิ่ง เทอร์มินอลมีค่าจุดอิมพีแดนซ์ต่ำ (Low impedance Point) และมีค่าโวลต์ต่ำ และไบอัสภายในเป็น 3 โวลต์ จึงทำให้จะต้องมีขอบเขตของกระแส ตั้งแต่ 1 MicroA ถึง 3 mA ดังนั้น เราจึงสามารถควบคุมความถี่ด้วยความต่างศักย์ได้

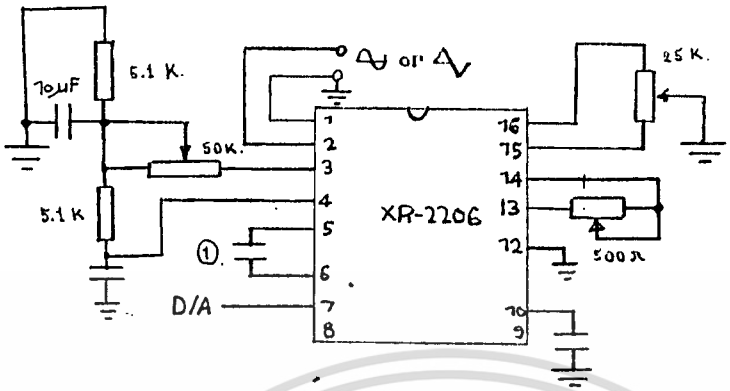
สำหรับการควบคุม แอมปลิจูดของสัญญาณ จะใช้ความต้านทานที่ต่อเข้าที่ขา 3 ซึ่งค่าตัวต้านทานที่ปรับแต่ง จะทำให้สัญญาณมีแอมปลิจูดเปลี่ยนไป สำหรับสัญญาณรูปซายน์จะเป็นค่า

A = 60R(k-Ohm) mV.

ซึ่งเราต้องการขนาดของแอมปลิจูด 2 - 3 Vp.

เนื่องจาก XR-2206 สามารถควบคุมความถี่จากภายนอกด้วยการเลือกค่า C เราจะใช้รีเลย์ในการเปิดปิดวงจร เพราะว่ารีเลย์ไม่มีผลของ C ในวงจร ทำให้ได้ค่าถูกต้อง ส่วนในการไบอัสกระแส เราจะมี IC D/A (Digital To Analog) โดยต่อวงจรขับกระแสเข้าที่ขา 8 ดังรูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ส่วนสร้างความถี่

จาก ①
บนรูปแรก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

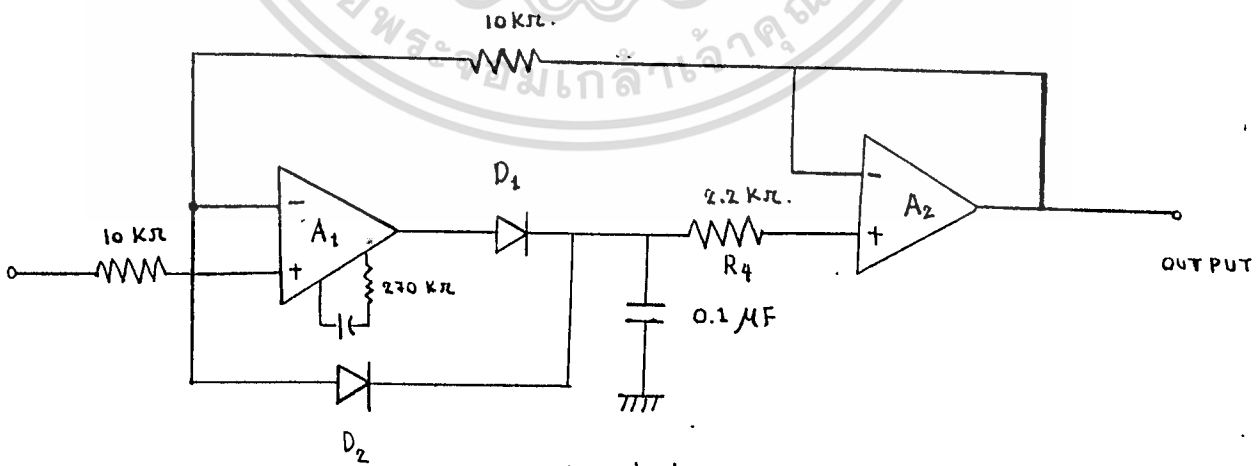
3.2 การออกแบบในส่วนวัดระดับสัญญาณ

<u>วงจรวัดระดับสัญญาณ</u> (Peak Detector) เป็นวงจรที่ใช้วัดค่าระดับสัญญาณสูงสุดของโวลท์เตจที่มีการเปลี่ยนแปลง

วงจรที่นำมาใช้งาน คือ Buffered Peak Detector ซึ่งมีคุณสมบัติ คือ เป็นวงจรที่มีค่าโฮลดิ้งไทม์กว้าง ดังนั้นตัวเก็บประจุที่เลือกใช้จำเป็นที่จะต้องไม่มีค่าการรั่วไหล (bleed-off leakage) ในการออกแบบจะต้องทำให้มีกระแสที่ถูกดิสชาร์ทน้อยที่สุด ตัวเก็บประจุที่ใช้ในการคงค่าโวลท์เตจ จะถูกบัฟเฟอร์โดย low-input-current voltage follower (A2) ซึ่งออปแอมป์ตัวนี้จะเป็นตัวจ่ายกระแสไบอัสให้แก่ออปแอมป์ตัวแรก (A1) และจ่ายกระแสเอาท์พุท ในส่วนของการป้อนกลับจะมีการเพิ่มตัวต้านทานเข้าไปเพื่อให้ออปแอมป์ตัวแรกถูกแคมป์โดยไดโอดตัวที่ 2 (D2) ในสภาวะ off ผลลัพธ์ที่ได้ก็คือการ recovery เร็วขึ้น สำหรับความต้านทาน (R4) ที่เพิ่มเข้าไปในวงจรนั้นเพื่อป้องกันออปแอมป์ตัวที่ 2 (A2) จาก discharge transient

ในกรณีถ้าค่าตัวเก็บประจุมีค่าไม่มากพอ (< หรือ = 50pF) และถูกใช้ในการชดเชย(โดยไม่มีตัวเก็บประจุตัวที่2) วงจรจะไม่เสถียร มีการออสซิลเลทเกิดขึ้น ผลของการออสซิลเลทจะแสดงอยู่ในรูปของ "chatter" คือ ออปแอมป์1 พยายามที่จะขับตัวเก็บประจุตัวแรกให้ได้ค่าโวลท์เตจสูงสุด (Peak voltage) ของสัญญาณอินพุท แต่การออสซิลเลทจะทำให้ไดโอด1 สวิทช์ on และ off อย่างรวดเร็ว

การแก้ปัญหาก็โดยการชดเชยค่า RC time constant ของ r_o -C1 ด้วยค่าความต้านทานอนุกรมกับตัวเก็บประจุตัวที่ 2 โดยทำให้ค่า break frequency ของความต้านทานกับตัวเก็บประจุตัวที่ 2 เกิดขึ้นที่ความถี่เดียวกับของr_o -C1



วงจรวัดระดับสัญญาณ.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ค่าจากตารางนี้เป็นค่าที่ทำให้เกิดเสถียรภาพที่ดีที่สุด

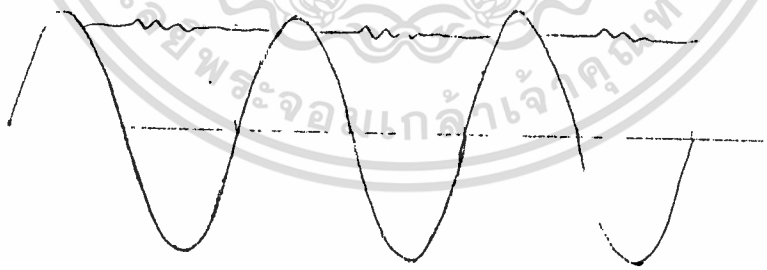
C1	R1
1000 pF	2.7 K
0.01 μF	27.0 K
0.1 μF	270 K
1 μF	2.7 M

อุปกรณ์ที่ใช้ในวงจร

เนื่องจากเครื่องวิเคราะห์วงจรออกแบบมาให้ใช้งานในช่วงสัญญาณความถี่ 10 - 1 MHz อุปกรณ์ที่ใช้จ้าเห็นต้องทำงานได้ถึงช่วงความถี่เกิน 1 MHz จึงเลือกใช้ LF351 Wide Bandwidth JFET Low input bias current ซึ่งมีคุณสมบัติสามารถตอบสนองความถี่ได้ถึง 4 MHz กระแสไบอัสอินพุทต่ำ (50 pA) มีสัญญาณรบกวนต่ำคือทางด้านอินพุทโวลท์เตจมีค่าเท่ากับ 16 nV/$\sqrt{Hz}$ และทางด้านกระแสอินพุทมีค่าเท่ากับ 0.01 pA/$\sqrt{Hz}$

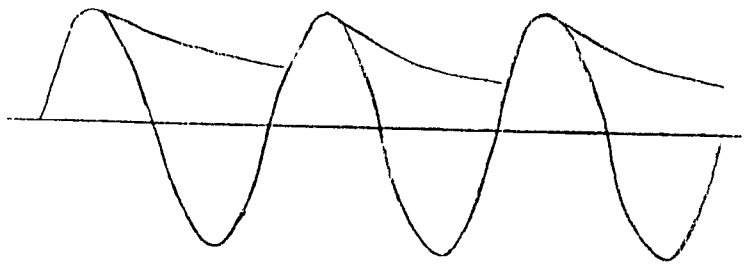
สำหรับการเลือกใช้ signal diode ส่วนใหญ่มี 2 ชนิด คือ ซิลิกอนไดโอด และเยอเมนเนียมไดโอด ซึ่งไดโอดทั้งสองให้ผลตอบสนองความถี่ที่แตกต่างกัน

ซิลิกอนไดโอดมีคุณสมบัติ คือ กระแสรั่วไหลต่ำ ใช้ได้ดีกับความถี่ไม่สูงเกินไป แต่เมื่อใช้ความถี่สูงขึ้น จะทำให้เกิดการลดทอนของสัญญาณสูงขึ้น ยิ่งถ้าระดับสัญญาณต่ำ ๆ จะมีการลดทอนสูงขึ้นมาก และระดับสัญญาณเอาท์พุทที่ได้ไม่เรียบเหมือนที่ความถี่ต่ำ

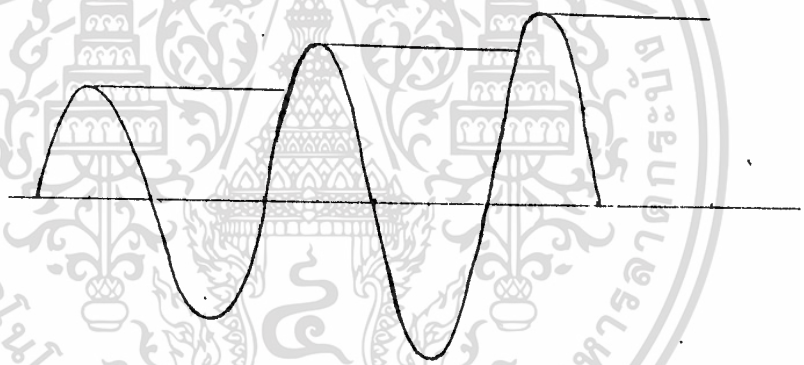


เยอเมนเนียมไดโอดมีคุณสมบัติ คือ สามารถทำงานได้ดีในย่านความถี่สูง สามารถติดตามสัญญาณได้อย่างรวดเร็ว แต่เมื่อใช้ความถี่ต่ำ เยอเมนเนียมไดโอดจะมีค่ากระสแร่วไหลสูง ทำให้ระดับสัญญาณไม่เรียบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
023110



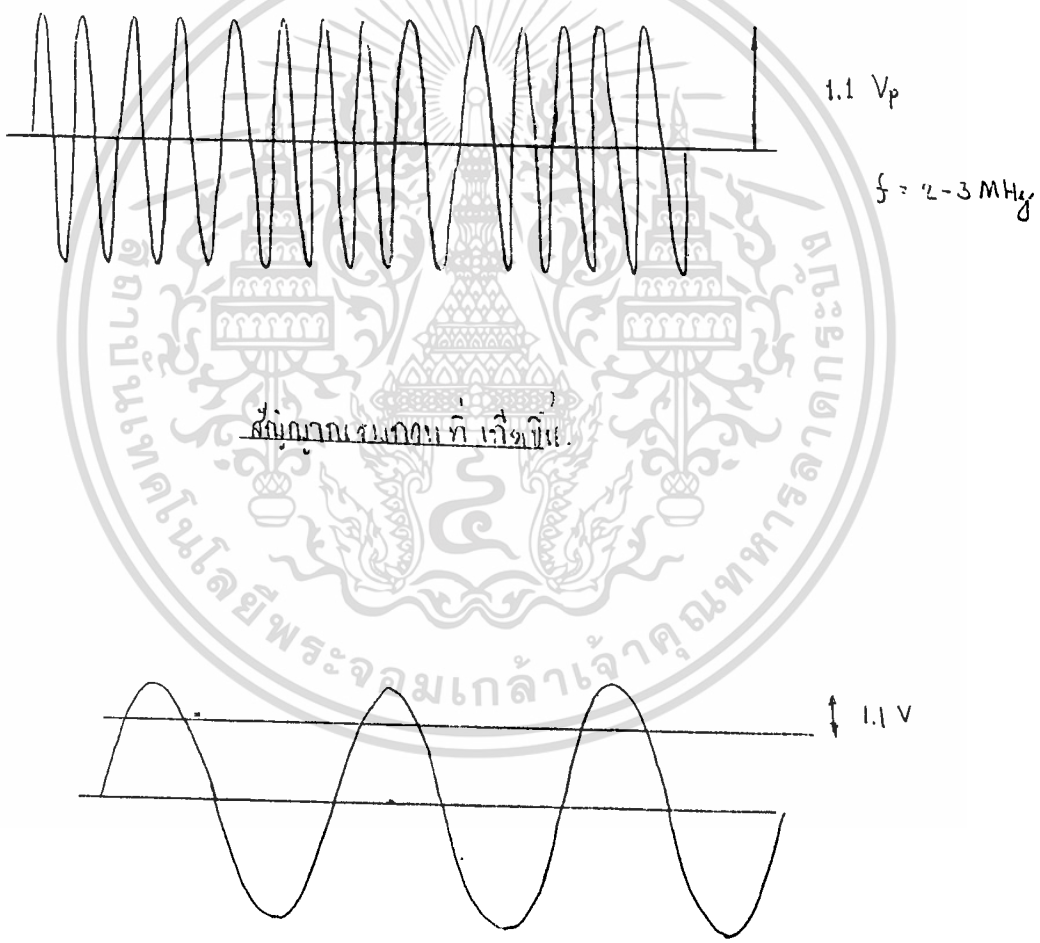
แต่เมื่อนำไดโอด 2 ประเภทนี้มาต่ออนุกรมกันสามารถจะเพิ่มค่า Bandwidth ให้กว้างขึ้น สามารถติดตามระบบได้อย่างรวดเร็ว และแก้ไขการรั่วของสัญญาณได้ ซึ่งเป็นการชดเชยจองไดโอดทั้งสอง



ขณะที่วงจรไม่เกิดการออสซิลเลท ตัววัดระดับสัญญาณจะติดตามสัญญาณได้และมีค่าความผิดพลาดต่ำกว่า 0.05 Volt ซึ่งถือว่าน้อยมาก แต่ในบางขณะก็จะเกิดการออสซิลเลท ซึ่งมีลักษณะดังรูป

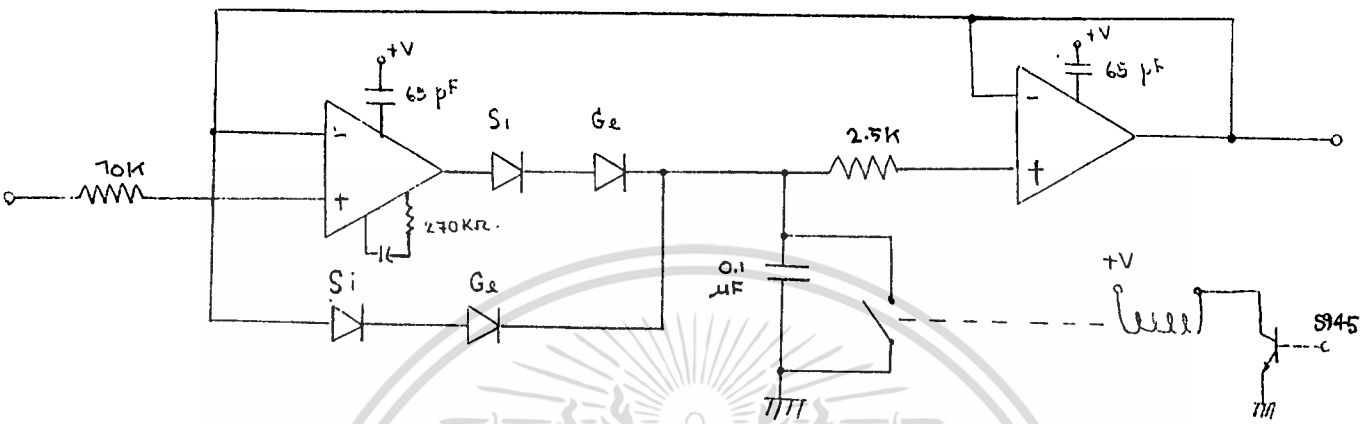
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อวิเคราะห์สัญญาณ ripple จะได้ว่า V_p = 1.1 Volt , t = 2-3 MHz และแหล่งที่มาของสัญญาณรบกวนคือมาจากแหล่งจ่ายไฟ ซึ่งมีความถี่ ripple เท่ากัน จึงจะต้องแก้ปัญหาของสัญญาณรบกวนด้วยการเลือกค่าตัวเก็บประจุ ที่สามารถดึงสัญญาณรบกวนลงกราวด์ได้ ซึ่งได้เลือกใช้ตัวเก็บประจุที่มีค่าต่ำกว่า 100 pF ต่อคร่อมระหว่างไฟ +12 Volt กับ กราวด์ ก็สามารถลด ripple ได้ทั้งหมด แต่ทำให้ระดับสัญญาณมีความผิดพลาดเกิดขึ้น คือมีค่าเท่ากับ 1.1 Volt ตลอดย่านความถี่ดังตาราง

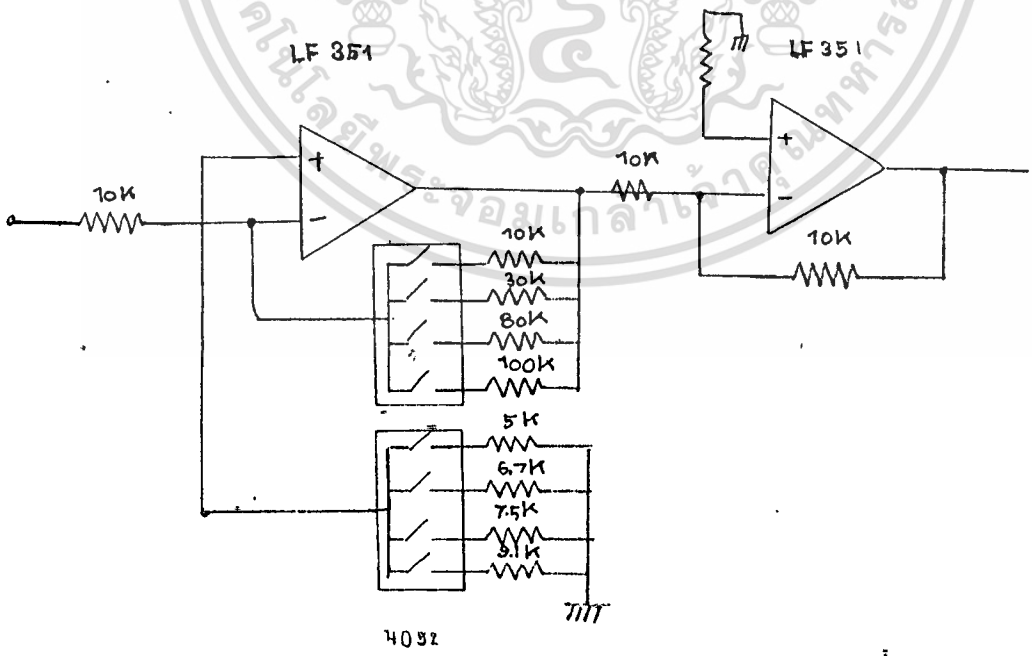


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เพราะฉะนั้นวงจรวัดระดับสัญญาณมีวงจรสมบูรณ์ ดังนี้



เนื่องจากสัญญาณที่วัดจะถูกลดทอนสัญญาณจากอุปกรณ์ต่าง ๆ ที่ความถี่สูง ทำให้การวัดระดับสัญญาณไม่มีความละเอียด ดังนั้นจึงต้องขยายสัญญาณ เพื่อให้การวัดมีประสิทธิภาพ โยควรมีระดับสัญญาณในช่วง 2-4 Volt Peak จึงต้องมีวงจรขยายแบบดิจิตอล วงจรดังกล่าวจะใช้ออปแอมป์ LF351 และ CMOS 4052 ซึ่งเป็นอนาลอกสวิสท์มัลติเพลกเซอร์/ดีมัลติเพลกเซอร์ แบบ 4 ช่องทางร่วม โดยมีวงจรดังรูป



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การออกแบบเลือกใช้อัตราการขยาย 4 ค่า คือ 1,3,8,10 เท่า ซึ่งเพียงพอสำหรับการใช้งาน และมีโปรแกรมในการตรวจเช็คว่าสัญญาณมีระดับ 2-4 Volt หรือไม่ สำหรับวงจรขยายแบบดิจิตอลได้ทดลองผลการขยายสัญญาณในแต่ละความถี่ วิเคราะห์ได้ว่าจะมีการลดทอนที่ความถี่ใกล้ 1 MHz แต่เนื่องจากการประมวลค่าของกระบวนการเป็นการเปรียบเทียบระดับสัญญาณ ทำให้การลดทอนสามารถชดเชยกันได้ ดังสมการ

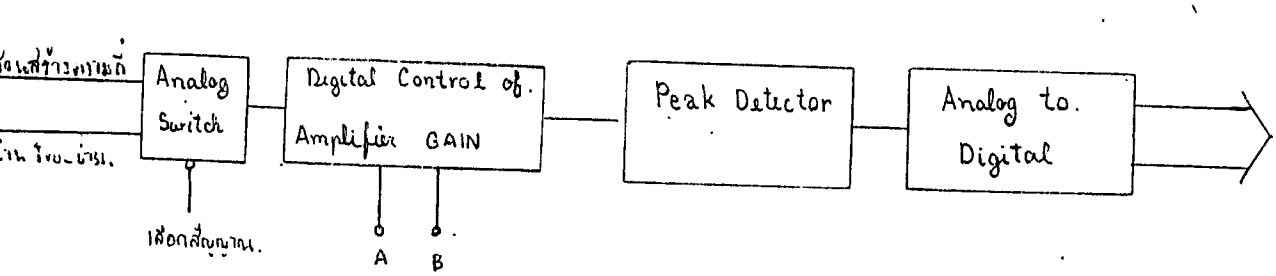
$$A:=20*\log(V_{out}/V_{in})$$

ดังนั้นจึงถือได้ว่า วงจรขยายแบบดิจิตอลสามารถทำงานได้ดีตลอดย่าน 10 - 1 MHz ตามที่ต้องการ

<u>วงจรเลือกสัญญาณ</u> (Signal Selector) เป็นวงจรที่ใช้ในการเลือกสัญญาณที่เข้าสู่วงจรวัดระดับสัญญาณ โดยการเลือกสัญญาณจากความถี่ที่ป้อนเข้าสู่โครงข่ายกับความถี่ที่ได้ภายหลังผ่านโครงข่ายทดสอบแล้ว เนื่องจากอุปกรณ์ของเครื่องวัดระดับสัญญาณแต่ละชุดจะลดทอนสัญญาณได้ไม่เท่ากัน ดังนั้นควรจะมีเครื่องวัดระดับสัญญาณชุดเดียวเพื่อลดความผิดพลาดที่จะเกิดขึ้น สำหรับวงจรเลือกสัญญาณนี้ใช้อนาลอกสวิสท์ เบอร์ 4066 ทำงานที่สัญญาณบวก

การทดสอบวงจรเลือกสัญญาณผลปรากฏว่า ในช่วงความถี่สูง ๆมีการลดทอนของสัญญาณเพียงเล็กน้อย จึงถือได้ว่า สามารถตอบสนองความถี่ได้ตลอดย่านความถี่ 10-1 MHz

ส่วนวัดระดับสัญญาณนั้น สามารถใช้งานได้ตลอดย่านความถี่ 10 - 1 MHz โดยมีค่าผิดพลาดเพียงเล็กน้อยในช่วงความถี่สูงตั้งแต่ 800 KHz แต่สามารถแก้ไขด้วยการเพิ่มอัตราการขยาย การใช้ชุดวัดระดับสัญญาณเพียงตัวเดียว และการอาศัยการประมวลผลด้วยการเปรียบเทียบ ความผิดพลาดที่เกิดขึ้นก็จะถูกชดเชยไป จึงสามารถใช้งานได้จริง



ส่วนวัดระดับสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3 การออกแบบในส่วนควบคุมการทำงาน

ส่วนควบคุมการทำงาน (Controller) ใช้ควบคุมการทำงานของเครื่องวิเคราะห์โครงข่าย รวมทั้งการติดต่อกับไมโครคอมพิวเตอร์และผู้ใช้ โดยมีฟังก์ชั่นการทำงานดังนี้

1. ทำหน้าที่ควบคุมพอร์ทแลทช์ ซึ่งใช้ควบคุมการทำงานต่อไปนี้

1.1 ทำหน้าที่ในการเลือกค่าตัวเก็บประจุที่ใช้ในวงจรส่วนสร้างความถี่

1.2 ทำหน้าที่ควบคุมการคายประจุ ในวงจรส่วนวัดระดับสัญญาณ

1.3 ทำหน้าที่ในการกำหนดอัตราการขยายสัญญาณ ในกรณีที่มีแอมปลิจูดของสัญญาณก่อนเข้าวงจรวัดระดับสัญญาณมีค่าต่ำเกินไป

1.4 ทำหน้าที่ในการเลือกสัญญาณที่จะเข้าสู่ส่วนวัดระดับสัญญาณ ว่าเป็นสัญญาณก่อนเข้าสู่โครงข่ายทดสอบหรือสัญญาณที่ผ่านวงจรทดสอบแล้ว

2. ทำหน้าที่ควบคุมอุปกรณ์แลทช์ของวงจรแปลงสัญญาณดิจิตอลเป็นสัญญาณอนาลอก (D/A) ซึ่งค่าที่แลทช์ไว้นี้จะนำไปใช้ในการควบคุมค่ากระแส เพื่อให้ได้ค่าความถี่ต่าง ๆ ในวงจรส่วนสร้างความถี่

3. ทำหน้าที่รับค่าระดับสัญญาณที่ผ่านตัวแปลงอนาลอกเป็นดิจิตอล(A/D) เพื่อนำไปใช้ในการประมวลผล

4. ทำหน้าที่ในการติดต่อกับไมโครคอมพิวเตอร์ทางพอร์ทอนุกรม เพื่อใช้ในการกำหนดโหมดการทำงานของส่วนควบคุม และจัดส่งข้อมูลที่ได้จากการวิเคราะห์วงจรไปใช้ในการประมวลผลและแสดงผลออกทางจอภาพ

จะเห็นได้ว่า หน้าที่ของส่วนควบคุมมีด้วยกันหลายอย่าง จึงจำเป็นต้องเลือกตัวควบคุมไมโครโปรเซสเซอร์ที่สามารถครอบคลุมการทำงานได้ทั้งหมด ซึ่งก็คือ นอกจากจะต้องมีฟังก์ชันการคำนวณทางคณิตศาสตร์ การคำนวณทางตรรกศาสตร์ เป็นพื้นฐานอยู่แล้ว ยังจำเป็นต้องมีฟังก์ชันในการรับ-ส่งข้อมูลแบบอนุกรม การสร้างฐานเวลา ตัวจับเวลา (Timer) และตัวนับ (Counter)

จากลักษณะการทำงานดังกล่าวข้างต้น จึงได้ทำการเลือก ไมโครโปรเซสเซอร์ชิพเดี่ยว ตระกูล MCS-51 เบอร์ 8031 มาเป็นตัวประมวลผลกลาง ซึ่งไมโครโปรเซสเซอร์เบอร์นี้มีรายละเอียดดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ไมโครโปรเฟสเซอร์ชิพเดี่ยว เบอร์ 8031 เป็นไมโครโปรเฟสเซอร์ในตระกูล MCS-51 ที่ถูกออกแบบมาให้ใช้ในงานควบคุมเป็นหลัก การทำงานจะทำในลักษณะการคำนวณเป็นไบต์ (Byte-Processing) และการคำนวณทางตัวเลข (Numerical Operation) ด้วยรูปแบบการอ้างอิงโหมดที่สามารถเข้าถึงหน่วยความจำภายในได้อย่างรวดเร็ว รวมถึงคำสั่งการทำงานที่สั้น การคำนวณทางคณิตศาสตร์ (บวก ลบ คูณ หาร) ในรูป 8 บิทที่รวดเร็ว สามารถควบคุมการประมวลผลและคำสั่งทางตรรกได้ในระทำให้สามารถใช้ในงานควบคุมได้ดี

องค์ประกอบหลักของ 8031

1.มี ซีพียูขนาด 8 บิท

2.มีพอร์ทอินพุทและเอาท์พุทถึง 32 เส้น และสามารถทำงานในลักษณะพิเศษได้อีก ซึ่งใน 32 เส้น แบ่งเป็น 4 พอร์ท พอร์ทละ 8 บิท

3.มีวงจรออสซิลเลเตอร์และวงจรฐานเวลานาฬิกาบนชิพเดียว

4.สามารถเพิ่มหน่วยความจำข้อมูลภายนอกได้ถึง 64 k

5.สามารถเพิ่มหน่วยความจำโปรแกรมภายนอกได้ถึง 64 k

6.สามารถเพิ่มพอร์ทภายนอกได้อีก โดยอาศัยการดีโค้ดจากแอดเดรส

7.มีตัวตั้งเวลาและตัวนับ ขนาด 16 บิท 2 ตัวอยู่บนชิพ

8.มีชุดแบงค์ของรีจิสเตอร์ 4 ชุด ๆ ละ 8 รีจิสเตอร์

9.มีพอร์ทอนุกรมที่สามารถรับ-ส่งข้อมูลได้พร้อมกัน (Full Duplex) ที่ความเร็วสูง

10.สามารถติดต่อ อินเตอร์รัพท์ (Interrupt) ถึง 5 แหล่ง พร้อมทั้งสามารถปรับความสำคัญ (Priority) ได้ 2 ระดับ

11.สามารถประมวลผลทางตรรกหรือแบบบูลีน (Boolean) สำหรับงานควบคุม

12.มีคำสั่งคูณและหาร ทางฮาร์ดแวร์ ทำได้ภายใน 4 ไมโครวินาที

13.ตัวเลขทางคณิตศาสตร์ ใช้ได้ทั้งแบบไบนารี่และเดซิมัล

14.มีซอฟต์แวร์แฟลก (Flag Sofeware) สำหรับผู้ใช้กำหนดได้ถึง 128 ตำแหน่งบิท

15.การใช้เนื้อที่สแต็ก (Stack) สำหรับโปรแกรมย่อยต่างๆได้กว้าง

16.ชุดคำสั่งของ MCS-51 มักจะเป็นคำสั่ง 1 ไบท์ และมีถึง 256 คำสั่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

พอร์ทของ 8031

Port 0 (P.0.0.-P0.7/AD0-AD7) ขา 32-39 เป็นพอร์ทไอโอขนาด 8 บิท แบบ Open Drain Biderectional สามารถรับโหลด TTL ได้ 8 ตัว การเรียนค่า "1"ไปที่พอร์ทนี้ จะเป็นการลอย (float) ขาของพอร์ทนี้ ทำให้มันทำงานเป็นอินพุท มีสถานะอิมพิแดนซ์สูง พอร์ทโอจะทำงานแบบมัลติพอร์ทด้วย สัญญาณแอดเดรสไบต์ต่ำกับบัสข้อมูลสำหรับการใช้งานด้านหน่วยความจำภายนอก ในการใช้งานแบบนี้จะใช้ลักษณะภายในเป็นพูลอัพ พอร์ทโอยังใช้งานเป็นตัวส่งข้อมูลออกทางพอร์ทนี้

Port 1 (P1.0 - P1.7) เป็นพอร์ทขนาด 8 บิท แบบ Open Drain Bidirectional พร้อมด้วยการพูลอัพภายใน ถ้าเป็นพอร์ทเอาท์พุทบัฟเฟอร์สามารถขับโหลด ทีทีแอลตระกูลแอลเอสได้ 4 ตัว (74LS)

Port 2 (P2.0 - P2.7) เป็นพอร์ทอินพุทเอาท์พุทขนาด 8 บิท แบบ Open Drain Bidirectional ด้วยการพูลอัพภายใน พอร์ท 2 ที่ทำหน้าที่เป็นบัฟเฟอร์เอาท์พุทสามารถจ่ายโหลด ทีทีแอล ตระกูลแอลเอสได้ 4 ตัว (74LS) และพอร์ทนี้จะถูกใช้งานเป็นตัวส่งแอดเดรสไบต์สูงด้วยในกรณีที่ใช้งานร่วมกับหน่วยความจำภายนอกเพื่อให้แอดเดรสได้ 16 บิท เมื่อใช้งานแบบนี้การพูลอัพภายในจะช่วยทำให้การส่งค่า "1" ได้ระดับที่แน่นอน

Port 3 (P3.0 - P3.7) เป็นพอร์ทไอโอ 8 บิทแบบพูลอัพภายใน นอกจากทำเป็นพอร์ทไอโอที่สามารถรับโหลดทีทีแอลตระกูลแอลเอสได้ 4 ตัวแล้ว ยังใช้งานเป็นพิเศษสำหรับตระกูล MCS-51 คือ

ขาพอร์ท	การทำงานตามฟังก์ชั่นพิเศษ
P3.0	RXD พอร์ทอนุกรมอินพุท
P3.1	TXD พอร์ทอนุกรมเอาท์พุท
P3.2	$\overline{\text{INT0}}$ อินเทอร์รัพท์ภายนอกตัวที่ 1
P3.3	$\overline{\text{INT1}}$ อินเทอร์รัพท์ภายนอกตัวที่ 2
P3.4	T0 สัญญาณกระตุ้นเข้าที่ตัวตั้งเวลาและตัวนับ 0
P3.5	T1 สัญญาณกระตุ้นเข้าที่ตัวตั้งเวลาและตัวนับ 1
P3.6	$\overline{\text{WR}}$ สัญญาณควบคุมการเขียน
P3.7	$\overline{\text{RD}}$ สัญญาณควบคุมการอ่าน

การติดต่อหน่วยความจำภายนอก แบ่งได้เป็น 2 กรณีคือ

1.การติดต่อหน่วยความจำโปรแกรมภายนอก ซึ่งจะมีสัญญาณ PSEN เป็นตัวสโตรบเริ่มอ่าน นอกจากนี้ EA ต้องอยู่ในสภาวะกระตุ้นด้วย การเฟ็กซ์ (Fetch) หน่วยความจำโปรแกรมภายนอกจะใช้การอ้างอิงแอดเดรส 16 บิท

2. การติดต่อหน่วยความจำข้อมูลภายนอก จะใช้สัญญาณ RD หรือ WR ไปสโตรบการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เฟิร์ชข้อมูลสามารถใช้การอ้างอิงแอดเดรส 8 บิท หรือ 16 บิทก็ได้ การติดต่อหน่วยความจำภายนอก P จะทำหน้าที่เป็นทั้ง low-byte แอดเดรสบัสกับบัสข้อมูล 8031 จึงมีสัญญาณ ALE ส่งออกไปยังอุปกรณ์แลทช์ภายนอกเพื่อจัดการแลทช์แอดเดรส ออสซิลเลเตอร์และสัญญาณนาฬิกา (Ossillator & Clock) ซึ่งสามารถใช้สัญญาณนาฬิกาภายในและต่อจากภายนอก สัญญาณนาฬิกาจะจ่ายให้ CPU มีค่า = (1/2)*OSC และหนึ่งวัฏจักรคำสั่งจะมี 6 สัญญาณนาฬิกา

<u>ไทม์เมอร์/เคานเตอร์</u> (Timer/Counter) ประกอบด้วยรีจิสเตอร์ 16 บิท จำนวน 2 ตัว คือ TIM0 และ TIM1 ซึ่งมีฟังก์ชันการทำงาน 4 โหมด

โหมด 0 เป็น ไทม์เมอร์/เคานเตอร์ ขนาด 13 บิท

โหมด 1 เป็น ไทม์เมอร์/เคานเตอร์ ขนาด 16 บิท

โหมด 2 ทำงานเป็น 8 บิทเคานเตอร์ โหลดค่าอัตโนมัติ (Counter with auto reloaded)

โหมด 3 ไทม์เมอร์/เคานเตอร์ 0 จะแยกเป็น 2 เคานเตอร์ที่อิสระจากกัน

ไทม์เมอร์/เคานเตอร์ 1 คงค่าการนับได้ ใช้ในกรณีที่ไม่ต้องการอินเทอร์รัพท์

การทำงานทุกโหมดจะถูกควบคุมโดย รีจิสเตอร์ TMOD และ TCON

<u>การติดต่อแบบอนุกรม</u> 8031 สามารถทำงานรับ-ส่งข้อมูลพร้อม ๆ กันได้ โดยมีรีจิสเตอร์ที่ทำหน้าที่เป็นบัฟเฟอร์เก็บข้อมูลอนุกรม(SBUF) ประกอบด้วยการทำงาน 4 โหมด คือ

โหมด 0 การรับ-ส่งข้อมูลจะกระทำผ่าน RXD ส่วน TXD จะเป็นตัวจ่ายสัญญาณนาฬิกาของการเลื่อนข้อมูล การรับ-ส่งข้อมูลจะกระทำทีละ 8 บิท อัตราการส่ง (Baud rate) มีค่าเท่ากับ 1/2 ของค่าความถี่ออสซิลเลท

โหมด 1 การรับ-ส่งข้อมูลกระทำทีละ 10 บิท

- 1 บิทเริ่มต้น (0):(start bit)
- 8 บิทข้อมูล :(data bits)
- 1 บิทหยุด (1) :(stop bit)

ค่าอัตราการส่งสามารถกำหนดได้ การรับกระทำผ่าน RXD ส่วนการส่งกระทำผ่าน TXD

โหมด 2 การรับส่งข้อมูลกระทำทีละ 11 บิท

- 1 บิทเริ่มต้น (0)
- 8 บิทข้อมูล
- 1 บิทข้อมูลโปรแกรมได้
- 1 บิทหยุด (1)

สามารถเลือกค่าอัตราการส่งได้ 2 ค่า คือ 1/32 หรือ 1/64 ของความถี่ออสซิลเลท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โหมด 3 การรับส่งข้อมูลเหมือนกับโหมด 2 คือ 11 บิท แต่อัตราการส่งสามารถกำ-

หนดได้เอง

โหมด 1,3 ค่าอัตราการส่ง = 2^{SMOD} *OSC/(32*12*(256-(TH1))

โดยจะต้องกำหนดให้ ไทม์เมอร์ 1 อยู่ในโหมดการโหลดค่าอัตโนมัติ

การทำงานของพอร์ทอนุกรม จะถูกควบคุมโดย SCON SMOD

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การต่อ 8031 ไปใช้งานเป็นตัวประมวลผลของตัวควบคุม

เนื่องจาก 8031 ไม่มีหน่วยความจำโปรแกรมภายใน และการที่หน่วยความจำข้อมูลมีจำกัด ดังนั้นจึงได้ทำการต่อหน่วยความจำภายนอกทั้งสองชนิดเพิ่มเข้าไป โดยใช้งานพอร์ท 0 และ 2 เป็นขาแอดเดรส พอร์ท 0 เป็นแอดเดรสไบท์ต่ำ ซึ่งต้องทำการแลทช์ค่าแอดเดรสไว้ โดยใช้สัญญาณ ALE เป็นตัวสั่งการแลทช์ ส่วน พอร์ท 2 นั้น P2.0 - P2.4 จะทำหน้าที่เป็นแอดเดรสไบท์สูง ส่วน P2.5 - P2.7 จะนำไปใช้ในการถอดรหัสของ LS138 ซึ่งใช้เลือกอุปกรณ์เพื่อให้ทำงาน นอกจากหน่วยความจำแล้วยังได้ทำการต่อเพิ่มแลทช์เข้าไป 2 ตัวและ A/D อีก 1 ตัว

แลทช์ตัวแรกใช้ควบคุม D/A ในการขับกระแสให้ส่วนสร้างความถี่ เพื่อสร้างความถี่ค่าต่าง ๆ ในขณะที่แลทช์ตัวที่ 2 ใช้ในการควบคุมรีเลย์ของส่วนสร้างความถี่และใช้ควบคุมส่วนวัดระดับสัญญาณ มีการต่อขาแลทช์ไปใช้งานดังนี้

D0	D1	D2	D3	D4	D5	D6	D7
A_{139}	dis-C	G2	B_{139}	-	G1	CS	-

หมายเหตุ

1. A_{139} B_{139}

0	0	รีเลย์ตัวที่ 1	10 µF
0	1	รีเลย์ตัวที่ 2	470 nF
1	0	รีเลย์ตัวที่ 3	5200 pF
1	1	รีเลย์ตัวที่ 4	250 pF

2. G1 G2 ค่าการขยายระดับสัญญาณ

1	1	1 เท่า
1	0	3 เท่า
0	1	8 เท่า
0	0	10 เท่า

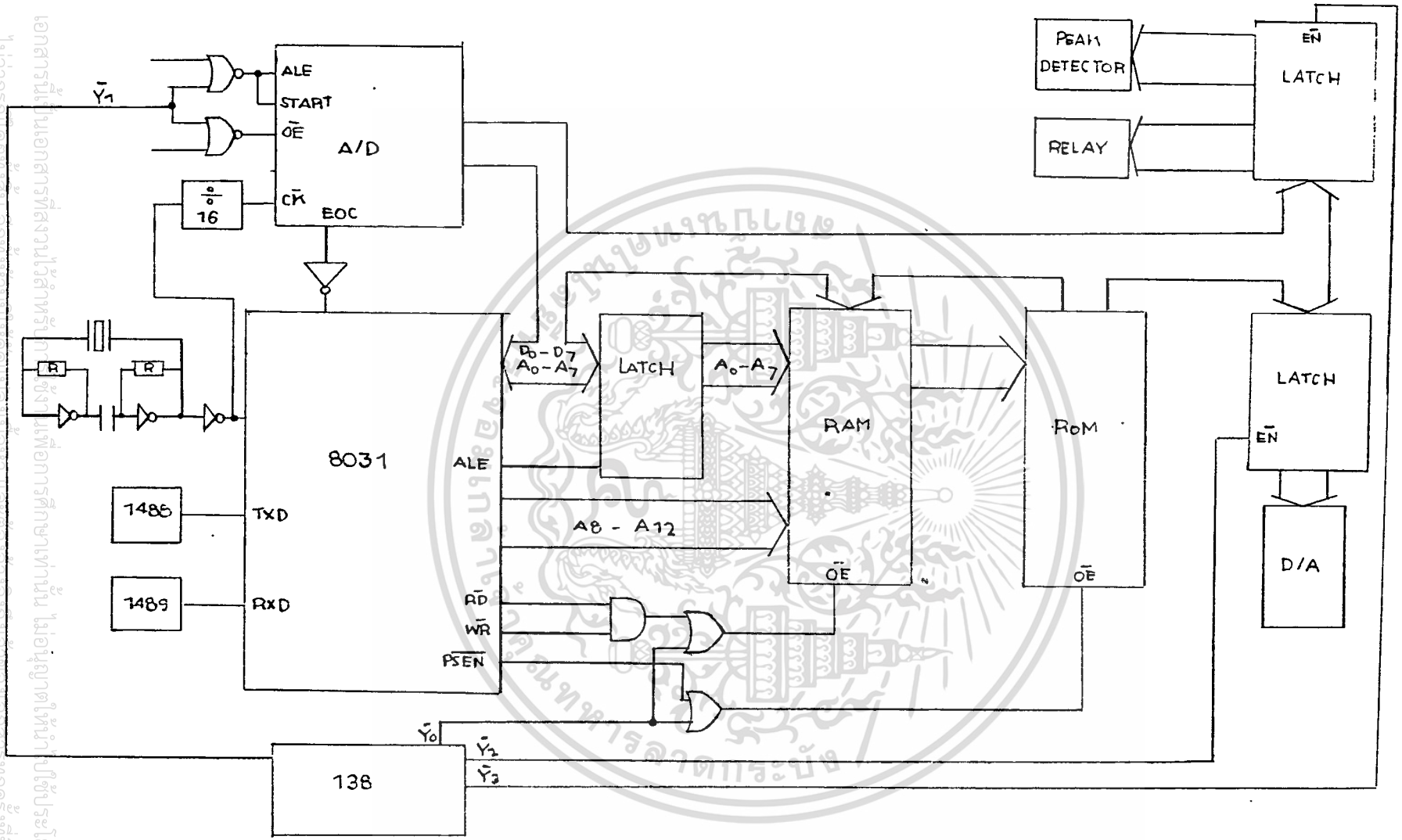
3. CS เลือกสัญญาณเข้าส่วนวัดระดับสัญญาณ

0 : สัญญาณจากส่วนสร้างความถี่

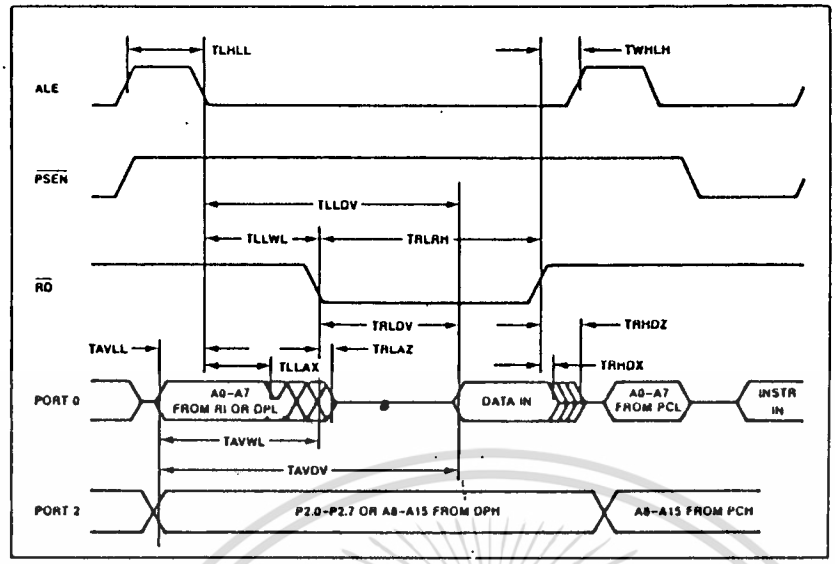
1 : สัญญาณที่ผ่านโครงข่ายแล้ว

ส่วนการติดต่อกับ A/D จะใช้สัญญาณ WR กับสัญญาณเลือกอุปกรณ์ (CS) เป็นตัวเริ่มการทำงาน แล้วรอการแปลงค่าของ A/D ในรูปแบบของการอินเทอร์รัพท์ จากนั้นก็จะทำการอ่านค่าข้อมูลมาเก็บไว้ โดยใช้สัญญาณ RD กับ สัญญาณเลือกอุปกรณ์ (CS) สัญญาณนาฬิกาที่ใช้ได้จากความถี่คริสตอล 6 MHz ที่จ่ายให้ 8031 หารด้วย 16

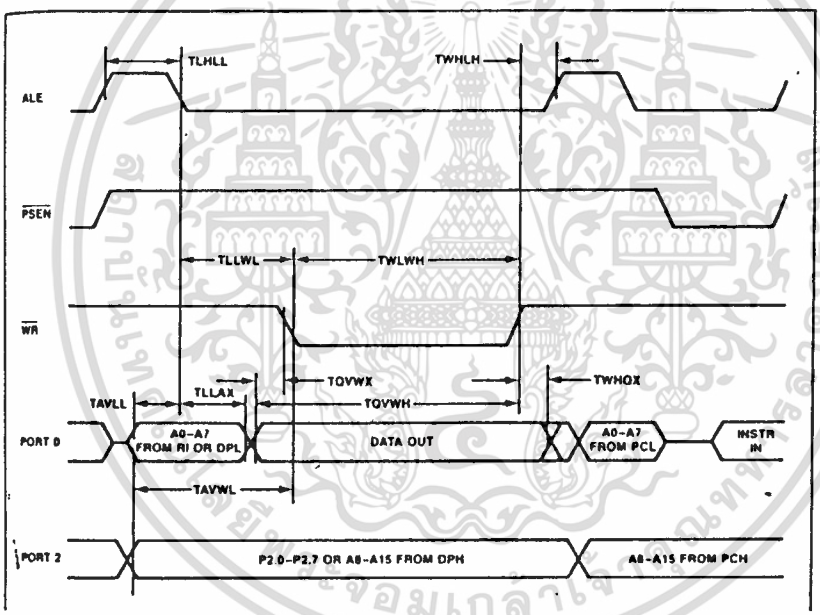
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้


BEAM DETECTOR
RELAY
EN
LATCH
ALE
START
OE
A/D
CK
EOC
÷ 16
Y1
R
R
8031
TXD
RXD
1488
1489
ALE
PSEN
RD
WR
D0 - D7
A0 - A7
LATCH
A0 - A7
RAM
OE
ROM
OE
A8 - A12
LATCH
EN
D/A
Y0
Y2
Y3
138

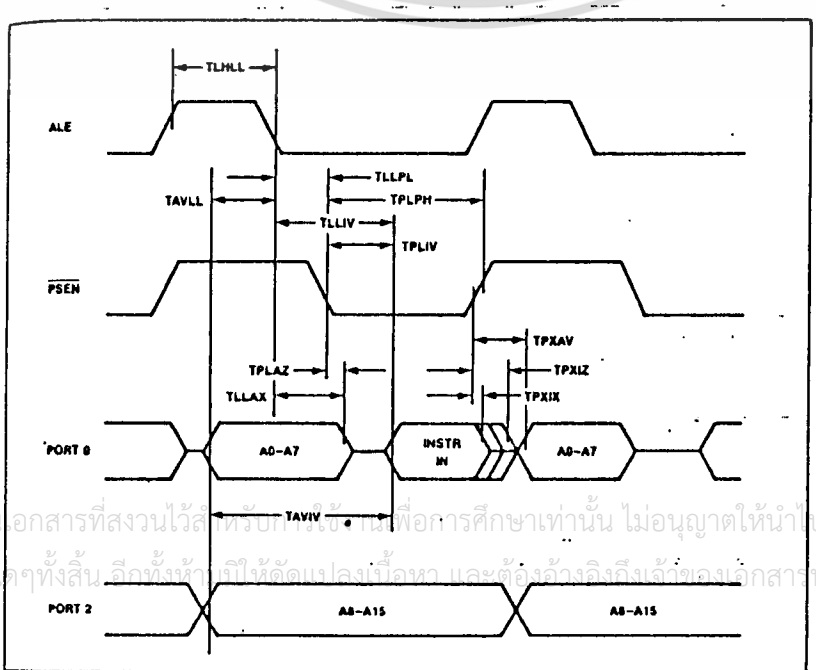
EXTERNAL DATA MEMORY READ CYCLE



EXTERNAL DATA MEMORY WRITE CYCLE



EXTERNAL PROGRAM MEMORY READ CYCLE



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.4 การออกแบบการติดต่อระหว่างตัวควบคุมกับไมโครคอมพิวเตอร์

การติดต่อระหว่างตัวควบคุมกับไมโครคอมพิวเตอร์

ในการทดสอบโครงข่าย โครงข่ายบางโครงข่ายไม่สะดวกแก่การเคลื่อนย้าย ถ้าทำการติดต่อระหว่างตัวควบคุมกับตัวแสดงผลในแบบขนาน จะต้องใช้สายข้อมูลจำนวนมาก ทำให้เกิดการสิ้นเปลือง แต่ถ้าทำการเชื่อมต่อในแบบอนุกรมจะสามารถลดจำนวนสายลงได้ และเนื่องจากว่าทั้งตัวควบคุมและไมโครคอมพิวเตอร์มีพอร์ทอนุกรมอยู่ในตัวอยู่แล้ว จึงทำให้การออกแบบใช้งานง่ายขึ้น

พอร์ทอนุกรม

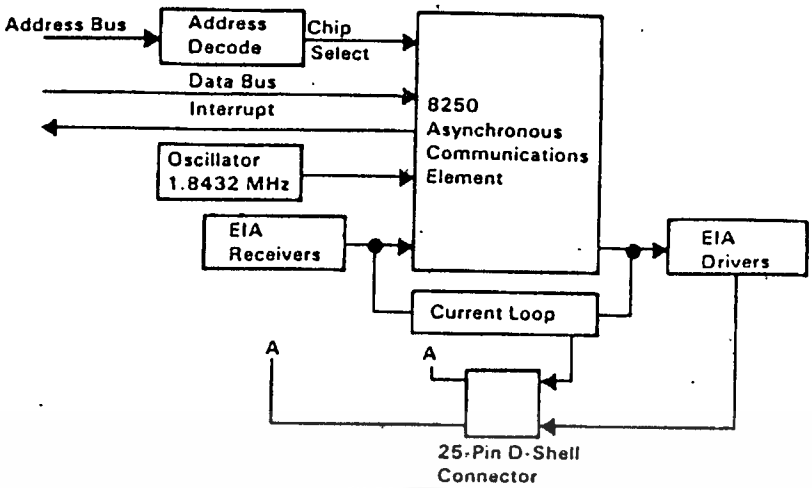
ในการรับส่งข้อมูลแบบอนุกรมเนื่องจากระยะติดต่อไกล อาจจะมีสัญญาณรบกวนเข้ามาทำให้ค่าผิดเพี้ยนไปได้ ดังนั้นการรับส่งข้อมูลแบบนี้จึงมีการแปลงระดับสัญญาณที่อยู่ในรูประดับสัญญานกราวด์ กับสัญญาณบวก ไปเป็นสัญญาณบวก/ลบ เพื่อลดปัญหาอันเกิดจากสัญญาณรบกวน

ดังนั้นในส่วนของตัวควบคุมจึงต้องเพิ่มอุปกรณ์ในการขับระดับสัญญาณและแปลงระดับสัญญาณลง ซึ่งก็คือ IC ตัวขับทางด้านการสื่อสาร เบอร์ 1488 และตัวแปลงระดับสัญญาณลงที่ใช้ทางด้านการสื่อสาร เบอร์ 1489

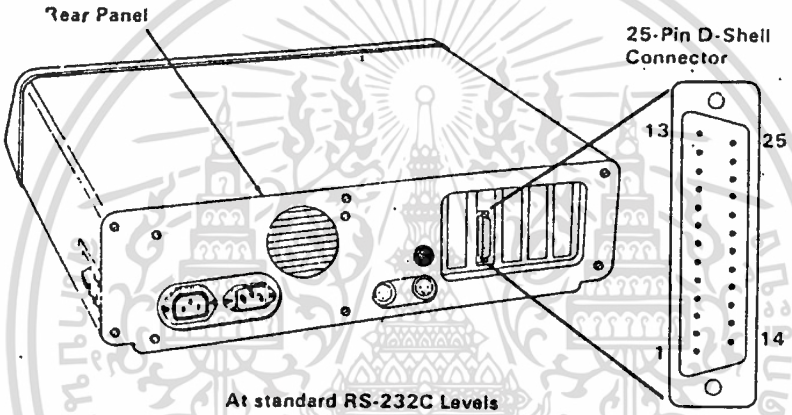
ในส่วนของไมโครคอมพิวเตอร์ มีอุปกรณ์ช่วยต่ออยู่แล้วคือตัวการสื่อสารแบบอะซิงโครนัส(Asynchronous communication adapter) ตัวแปลงนี้สามารถโปรแกรมการทำงานและใช้เฉพาะในงานการสื่อสารติดต่อ สามารถตั้ง baud rate ได้ตั้งแต่ 50-9600 baud rate การรับส่งข้อมูลสามารถเลือกบิทข้อมูลให้มีความยาวได้ตั้งแต่ 5,6,7,8 และ บิทหยุด 1,1.5,2 ตัวรับมีสัญญาณนาฬิกาที่เป็นอิสระ มีฟังก์ชันการควบคุมโมเด็ม

โปรโตคอลการสื่อสารทั้งหมดจะเป็นฟังก์ชันของไมโครโค้ด (The system Microcode) และจะต้องถูกโหลดก่อนเรียกใช้งานทุกครั้ง การติดต่อและการกำหนดสถานะสัญญาณควบคุมต้องถูกจัดการผ่านทางซอฟท์แวร์ ซึ่งมีองค์ประกอบคือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



Asynchronous Communications Adapter Block Diagram



At standard RS-232C Levels
(with exception of current loops)

Description	Pin
NC	1
Transmitted Data	2
Received Data	3
Request to Send	4
Clear to Send	5
Data Set Ready	6
Signal Ground	7
Received Line Signal Detector	8
+Transmit Current Loop Data	9
NC	10
-Transmit Current Loop Data	11
NC	12
NC	13
NC	14
NC	15
NC	16
NC	17
+Receive Current Loop Data	18
NC	19
Data Terminal Ready	20
NC	21
Ring Indicator	22
NC	23
NC	24
-Receive Current Loop Return	25

External Device

Asynchronous Communications Adapter (RS-232C)

Note: To avoid inducing voltage surges on interchange circuits, signals from interchange circuits shall be used to drive inductive devices, such as relay coils.

Connector Specifications

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของลิขสิทธิ์ทุกครั้งที่มีการนำไปใช้

ตัวแปลงสื่อสารจะมีตัวที่ทำหน้าที่คล้าย EIA RS-232 โดยมีขาที่เกี่ยวข้องกับการติดต่อแบบอนุกรมคือ

ขา 2 ข้อมูลที่ส่งออก (transmitted data)

ขา 3 ข้อมูลที่รับเข้ามา (received data)

ขา 4 สัญญาณขอส่งข้อมูล (request to send)

ขา 5 สัญญาณจบการส่งข้อมูล (clear to send)

ขา 6 ข้อมูลพร้อมส่ง (data set ready)

ขา 7 กราวด์ (signal ground)

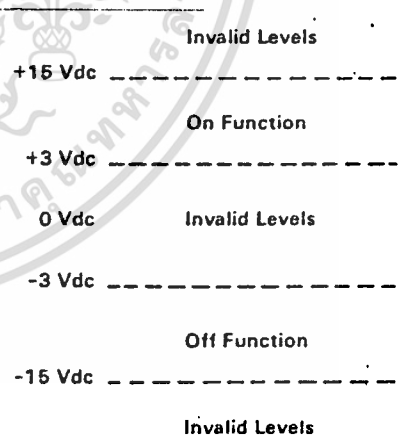
ขา 8 carrier detect

ขา 20 ข้อมูลที่เทอร์มินัลพร้อม (data terminal ready)

ขา 22 ring indicator

ตัวแปลงจะทำการเปลี่ยนสัญญาณไปมาระหว่างระดับสัญญาณที่ทีแอลกับระดับสัญญาณ EIA โวลท์เตจ สัญญาณเหล่านี้จะถูกสุ่มหรือส่งออกไปโดยการควบคุมของชิพควบคุมการสื่อสาร และสามารถเช็คสถานะการติดต่อหรืออุปกรณ์ที่เชื่อมต่อได้โดยซอฟท์แวร์

<u>ระดับสัญญาณโวลท์เตจที่ใช้ในการแลกเปลี่ยน</u>



Voltage Interchange Information

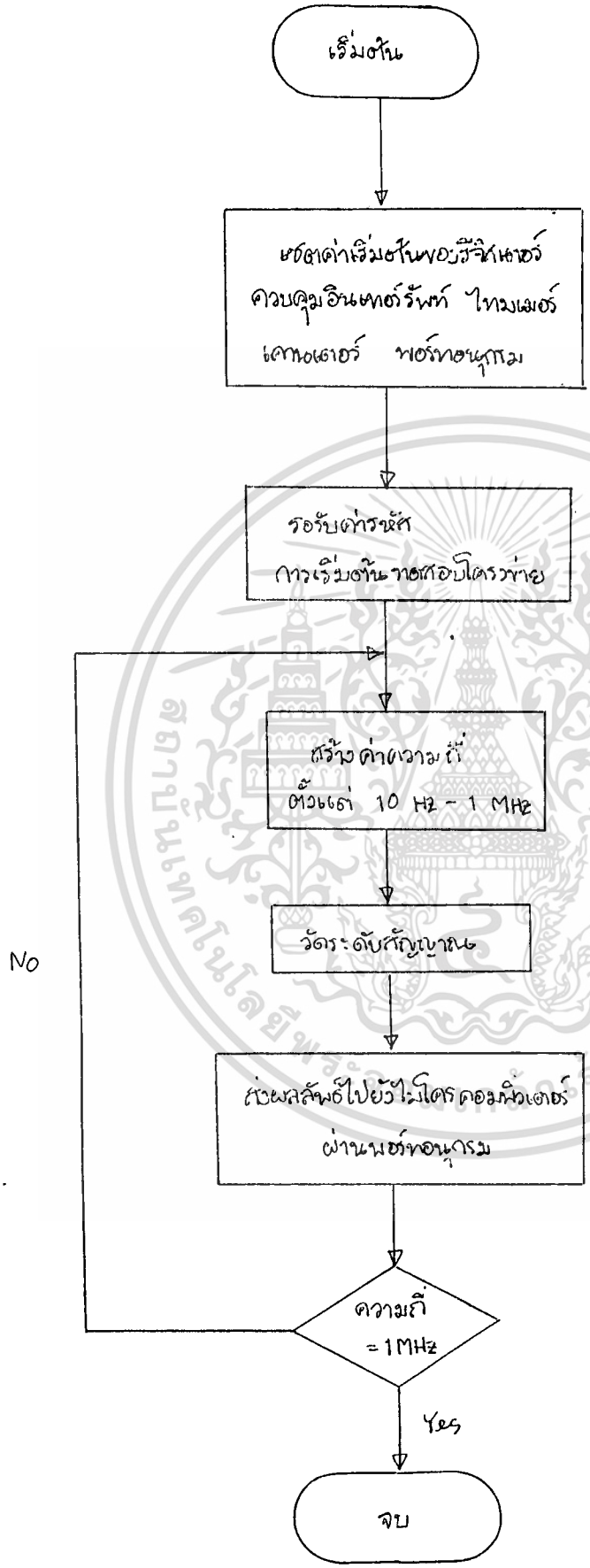
Interchange Voltage	Binary State	Signal Condition	Interface Control Function
Positive Voltage =	Binary (0)	= Spacing	= On
Negative Voltage =	Binary (1)	= Marking	= Off

ระหว่างการรับ-ส่งข้อมูล การมาร์ค (marking) แทนสภาวะ 1 ในระบบเลขฐาน 2 และการสเปซ (spacing) แทนสภาวะ 0 ในระบบเลขฐาน 2

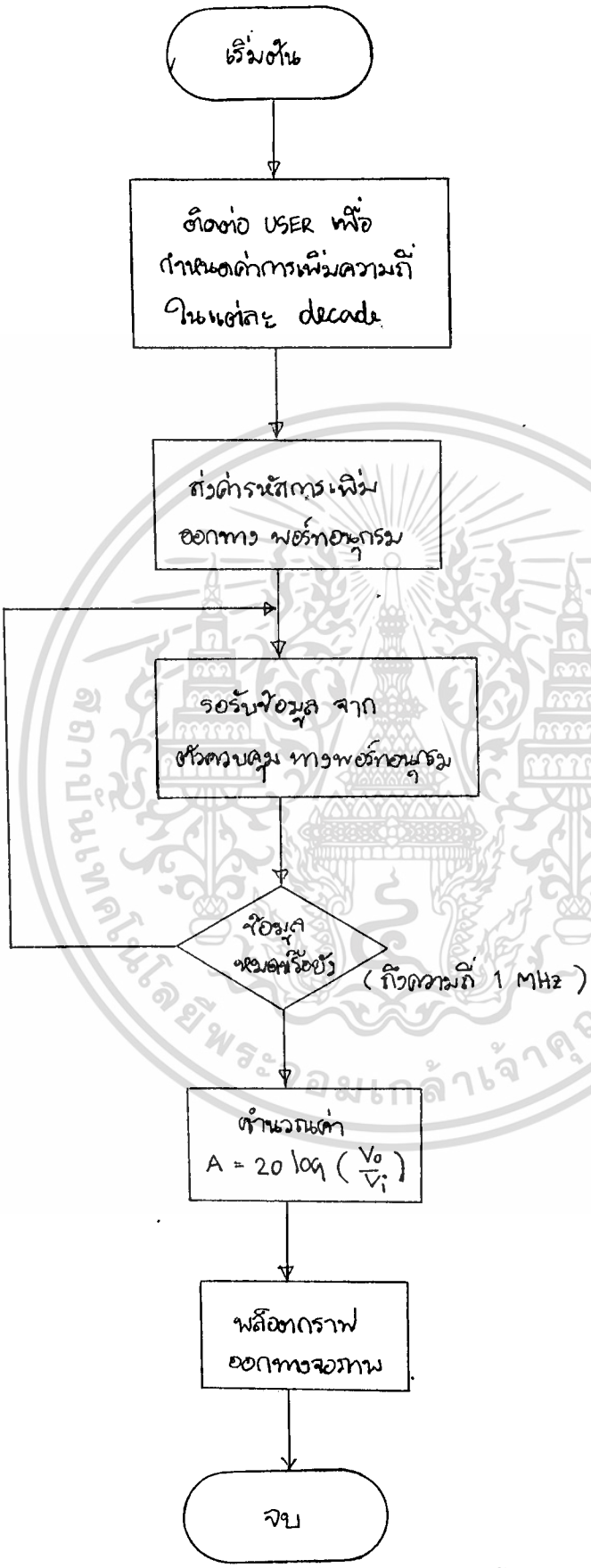
<u>การออกแบบซอฟท์แวร์</u>

จากข้อมูลต่าง ๆ ข้างต้น ซอฟท์แวร์ที่ใช้ประกอบด้วย 2 ส่วน คือ ซอฟท์แวร์ในส่วนของตัวควบคุมและซอฟท์แวร์ในส่วนของไมโครคอมพิวเตอร์ ซึ่งทั้งสองส่วนมีผังโปรแกรมดังรูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.5 การออกแบบซอฟท์แวร์

รายละเอียดของโปรแกรมส่วนควบคุม

โปรแกรมในส่วนนี้ประกอบด้วยโปรแกรมหลัก ๆ คือ

1. โปรแกรมส่วนเซตค่าเริ่มต้น
2. โปรแกรมส่วนรอรับสัญญาณจากไมโครคอมพิวเตอร์ผ่านทางพอร์ทอนุกรม
3. โปรแกรมควบคุมการสร้างความถี่
4. โปรแกรมควบคุมส่วนวัดระดับสัญญาณ
5. โปรแกรมส่วนส่งค่าผ่านพอร์ทอนุกรมไปยังไมโครคอมพิวเตอร์

โปรแกรมส่วนเซตค่าเริ่มต้น จากวงจรทางฮาร์ดแวร์มีการเชื่อมต่อการรับส่งข้อมูลผ่านพอร์ทอนุกรม และ มีการต่อวงจร A/D ที่จะส่งค่าอินเทอร์รัพท์เมื่อทำการแปลงสัญญาณเรียบร้อยแล้ว ดังนั้นจึงต้องทำการเซตค่าการอีนาเบิลอินเทอร์รัพท์ โดยต้องทำการอีนาเบิลอินเทอร์รัพท์ของการรับ-ส่งแบบอนุกรม และทำการอีนาเบิลอินเทอร์รัพท์จากภายนอก โดยจะทำการเซตค่าผ่าน IE รีจิสเตอร์ ในการใช้งานอินเทอร์รัพท์จำเป็นที่จะต้องกำหนดให้อินเทอร์รัพท์จากแหล่งใดมีระดับความสำคัญมากกว่ากัน เพื่อป้องกันการอินเทอร์รัพท์ที่เกิดซ้ำซ้อน ซึ่งได้ออกแบบให้อินเทอร์รัพท์จากพอร์ทอนุกรมมีความสำคัญมากกว่า โดยเซตค่าผ่าน IP รีจิสเตอร์

การใช้งานการรับ-ส่งแบบอนุกรมจะต้องทำการเซตค่าอัตราการรับ-ส่ง และ รูปแบบของข้อมูลที่ใช้ ในโปรแกรมนี้ใช้การอินเทอร์รัพท์โหมด 1 การรับ-ส่งข้อมูลกระทำครั้งละ 10 บิท อัตราการรับ-ส่งมีค่าเท่ากับ 1200 baud โดยจะต้องทำการเซตค่าใน

SCON - เลือกโหมด

TMOD-กำหนดไทมเมอร์1 ให้ทำงานในโหมดการโหลดค่าอัตโนมัติ

PCON-เป็นการไปกำหนดค่า SMOD ซึ่งเป็นตัวที่กำหนดค่าที่ใช้ในการโหลดของไทม์เมอร์1 ว่าเป็น 1 หรือ 2 เท่า

TH1-เป็นรีจิสเตอร์ที่เก็บค่าที่ใช้ในการโหลด

โปรแกรมส่วนรอรับสัญญาณจากไมโครคอมพิวเตอร์ ในโปรแกรมส่วนนี้ก่อนที่จะรับค่าได้ออกแบบให้ดิสเอเบิลทุกอินเทอร์รัพท์ เพื่อที่จะได้ไม่ต้องกระโดดไปทำงานยังอินเทอร์รัพท์เวกเตอร์ แล้วทำการเช็คบิทการรับค่าอนุกรม เมื่อมีเซตค่าเกิดขึ้นก็จะทำการอ่านค่าจากตัวบัฟเฟอร์เพื่อนำไปคำนวณต่อไป แต่ก่อนจะอ่านค่าจะต้องทำการเคลียร์บิทนั้นก่อนเพื่อที่จะสามารถรับการอินเทอร์รัพท์ได้อีก และทำการอีนาเบิลอินเทอร์รัพท์อีกครั้งหนึ่ง

โปรแกรมควบคุมการสร้างความถี่และควบคุมส่วนวัดระดับสัญญาณ เป็นโปรแกรมส่วนที่ทำการควบคุมกระแสที่จะจ่ายให้แก่ XR-2206 ,เลือกค่าตัวเก็บประจุในวงจรสร้างความถี่ , ทำการควบคุมตัวเก็บประจุในส่วนวัดระดับสัญญาณให้คายประจุ ,เลือกสัญญาณให้ผ่านเข้าวงจรทดสอบหรือไม่ ควบคุมค่าอัตราการขยายของสัญญาณ โปรแกรมจะทำการควบคุมแลทช์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2 ตัว ตัวหนึ่งทำการแลทช์ค่าให้แก่ D/A เพื่อจ่ายเป็นกระแส ส่วนอีกตัวทำการแลทช์ค่าควบคุมส่วนที่เหลือ โดยค่าที่จ่ายให้ได้ทำการคำนวณเก็บไว้ในตารางเรียบร้อยแล้ว

<u>โปรแกรมส่วนส่งค่าผ่านพอร์ทอนุกรมไปยังไมโครคอมพิวเตอร์</u> จะเริ่มทำงานโดยการส่งข้อมูลไปเก็บยังบัฟเฟอร์ของพอร์ทอนุกรม แล้วทำการดิสเอเบิลอินเทอร์รัพท์ทุกตัว ตรวจเช็คว่าบิทการส่งเซตค่าหรือไม่ ถ้าเซตแสดงว่าการส่งเรียบร้อย หลังจากนั้นต้องทำการเคลียร์บิทนี้ และทำการอีนาเบิลอินเทอร์รัพท์ เพื่อให้สามารถรับค่าอินเทอร์รัพท์ได้อีก

<u>รายละเอียดของโปรแกรมส่วนไมโครคอมพิวเตอร์</u>

โปรแกรมในส่วนนี้ประกอบด้วยโปรแกรมหลัก ๆ คือ

1. โปรแกรมส่วนติดต่อกับผู้ใช้
2. โปรแกรมส่วนส่งข้อมูลไปยังส่วนควบคุม
3. โปรแกรมส่วนรับข้อมูลจากส่วนควบคุม
4. โปรแกรมการคำนวณค่าผลตอบสนองความถี่ทางด้านแอมปลิจูด
5. โปรแกรมส่วนแสดงผลออกทางจอภาพ

<u>โปรแกรมส่วนติดต่อกับผู้ใช้</u> เป็นส่วนที่ให้ผู้ใช้กำหนดค่าการสร้างความถี่ ว่าจะสร้างความถี่กี่ครั้งในแต่ละ decade

<u>โปรแกรมส่วนส่งข้อมูลไปยังส่วนควบคุม</u> เป็นการนำค่าที่ผู้ใช้กำหนดมาแปลงเป็นรหัสส่งไปยังส่วนควบคุม โดยผ่านพอร์ทอนุกรม

<u>โปรแกรมส่วนรับข้อมูลจากส่วนควบคุม</u> เป็นการรับค่าข้อมูลที่ได้จากการทดสอบโครงข่ายเพื่อนำมาคำนวณต่อไป

โปรแกรมใน 2 ส่วนเป็นการติดต่อผ่านพอร์ทอนุกรมบนเครื่องไมโครคอมพิวเตอร์ ซึ่งก็คือการติดต่อผ่าน EIA RS-232C การใช้งานพอร์ทดังกล่าวจะต้องใช้การอินเทอร์รัพท์ในการออกแบบโปรแกรมเลือกใช้ซอฟท์แวร์อินเทอร์รัพท์ ซึ่งอินเทอร์รัพท์ที่เกี่ยวข้องคืออินเทอร์รัพท์ที่ 14

<u>โปรแกรมการคำนวณค่าผลตอบสนองความถี่ทางด้านแอมปลิจูด</u> เป็นการนำค่าข้อมูลที่ได้มาคำนวณ โดยมีสูตรการคำนวณดังนี้

$$A := 20 * \log(V_{out}/V_{in})$$

โดยที่ V_{in} เป็นค่าที่ได้ก่อนผ่านโครงข่ายที่เข้าทดสอบ

V_{out} เป็นค่าที่ได้หลังจากผ่านโครงข่ายที่เข้าทดสอบแล้ว

<u>โปรแกรมส่วนแสดงผลออกทางจอภาพ</u> ในโปรแกรมส่วนนี้จะต้องทำการสร้างสเกลเซมิลอก และนำค่าที่คำนวณพล้อตออกแสดงบนจอภาพ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4 การทดลองและผลการทดลอง

4.1 การทดลองในส่วนสร้างความถี่

เนื่องจากส่วนสร้างความถี่ต้องการขอบเขตความถี่ ตั้งแต่ 10 Hz – 1 MHz จึงต้องทำการควบคุมค่ากระแสไบอัส และทำการเลือกค่าตัวเก็บประจุ

การทดลองที่ 1 การเลือกใช้ตัวเก็บประจุที่เหมาะสม

ในการทดสอบคุณสมบัติของตัวเก็บประจุแต่ละประเภท และ แต่ละย่านความถี่ ด้วยวิธีไบดัสกระแสต่ำสุด กลาง และสูงสุด ก็คือการดีโค้ดด้วย $01 ,$07 และ $FF อ่านค่าความถี่ที่ได้จากเครื่องนับความถี่(frequency counter) ทำให้ได้ค่าตัวเก็บประจุที่ใช้ในแต่ละย่านความถี่ ดังนี้

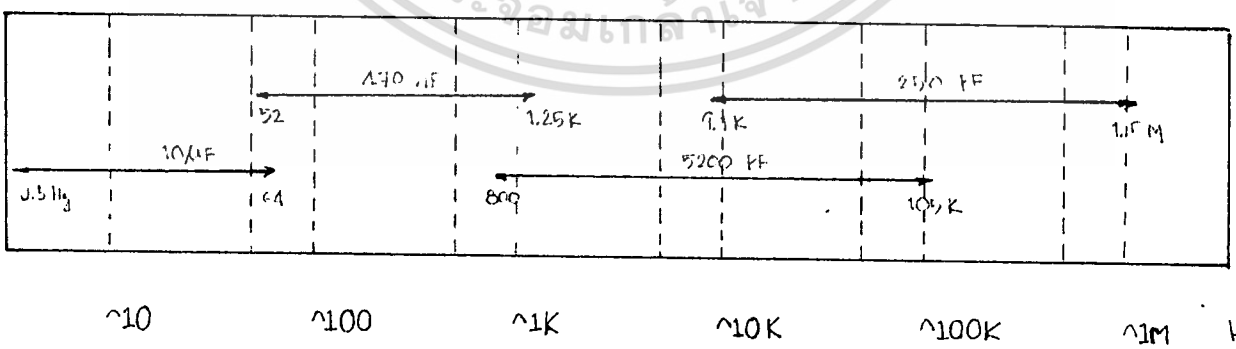
ย่านความถี่ต่ำ คือในย่านความถี่ตั้งแต่ 0.5 Hz – 64 Hz เลือกใช้ตัวเก็บประจุชนิดแทนทาลั่ม ขนาด 10 uF ซึ่งมีกระแสรั่วไหลและความผิดพลาดต่ำกว่าตัวเก็บประจุประเภทอิเลกโตรไลต์ (ตัวเก็บประจุชนิดอื่น จะไม่มีค่าอยู่ในย่านความถี่นี้)

ย่านความถี่ระดับ 2 คือ ในย่านความถี่ตั้งแต่ 52 Hz – 1.25 KHz เลือกใช้ตัวเก็บประจุชนิดโพลี ขนาด 470 nF ซึ่งมีกระแสรั่วไหลและความผิดพลาดต่ำ

ย่านความถี่ระดับ 3 คือ ในย่านความถี่ตั้งแต่ 800 Hz – 105 KHz เลือกใช้ตัวเก็บประจุชนิดไมล่าร์ ขนาด 5200 pF ซึ่งมีกระแสรั่วไหลและความผิดพลาดต่ำ

ย่านความถี่สูง คือ ในย่านความถี่ตั้งแต่ 9.1 KHz – 1.5 MHz เลือกใช้ตัวเก็บประจุชนิดเซรามิค ขนาด 250 pF เนื่องจากค่าตัวเก็บประจุมีค่าต่ำมาก จึงไม่สามารถหาตัวเก็บประจุชนิดไมล่าร์มาใช้ได้

แสดงย่านความถี่กับค่าตัวเก็บประจุแต่ละค่า



การทดลองที่ 2 การสร้างตารางข้อมูลความถี่กับบาหัสควบคุม

หลังจากเลือกค่าตัวเก็บประจุ ต้องเลือกค่กระแสไบอัสที่ทำให้ได้ความถี่ที่ต้องการ เนื่องจากกระแสไบอัสจะถูกควบคุมด้วยรหัสควบคุม ขนาด 8 บิท จึงต้องหารหัสควบคุมไปเก็บไว้ในตารางข้อมูลความถี่ เพื่อเปิดตารางใช้เมื่อต้องการความถี่ต่าง ๆ ดังแสดงในตารางความถี่และรหัสควบคุม ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางการควบคุมความถี่

ใช้ตัวเก็บประจุ ขนาด 10 uF แบบแทนทาลั่ม

ความถี่ (Hz)	รหัสไบนารี	รหัสควบคุม
10	0010 1000	28 H
20	0101 1000	58 H
30	0111 1111	7F H
40	1011 0000	B0 H
50	1101 1000	D8 H

ใช้ตัวเก็บประจุ ขนาด 470 nF แบบโพลี

ความถี่ (Hz)	รหัสไบนารี	รหัสควบคุม
60	0000 1100	0C H
70	0000 1110	0E H
80	0001 0000	10 H
90	0001 0010	12 H
100	0001 0100	14 H
200	0010 1000	28 H
300	0011 1100	3C H
400	0101 0000	50 H
500	0110 0100	64 H
600	0111 1000	78 H
700	1000 1101	8D H
800	1010 0001	A1 H
900	1011 0110	B6 H
1000	1100 1000	C8 H

ใช้ตัวเก็บประจุขนาด 5.6 nF แบบไมล่าร์

ความถี่ (KHz)	รหัสไบนารี	รหัสควบคุม
2	0000 0101	05 H
3	0000 0111	07 H
4	0000 1010	0A H
5	0000 1100	0C H
6	0000 1111	0F H
7	0001 0001	11 H
8	0001 0011	13 H

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ความถี่	รหัสไบนารี	รหัสควบคุม
9	0001 0110	16 H
10	0001 1000	18 H
20	0011 0000	30 H
30	0100 1001	49 H
40	0110 0001	61 H
50	0111 1001	79 H
60	1001 0010	92 H
70	1010 1011	AB H
80	1100 0100	C4 H
90	1101 1101	DD H
100	1111 0110	F6 H

-ใช้ C ขนาด 250 pF แบบ เซรามิค

ความถี่ (KHz)	รหัสไบนารี	รหัสควบคุม
200	0001 1001	19 H
300	0010 0110	26 H
400	0011 0011	33 H
500	0100 0000	40 H
600	0100 0110	46 H
700	0101 0100	54 H
800	0111 0011	73 H
900	1000 1000	88 H
1 M	1001 0000	90 H

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การทดสอบ สัญญาณอินพุท ที่ 2 Vp

คาบเวลา	ความถี่ (Hz)	ความต่างศักย์
50X6 ms	3	0.95
20X6 ms	8	0.95
10X6 ms	15	0.95
5X6 ms	30	0.95
2X6 ms	80	0.95
1X6 ms	150	0.95
0.5X6 ms	300	0.95
0.2X6 ms	800	0.95
0.1X6 ms	1.5 K	0.95
50X6 µs	3 K	0.95
20X6 µs	8 K	0.95
10X6 µs	15 K	0.95
5X6 µs	30 K	0.94
2X6 µs	80 K	0.93
1X6 µs	150 K	0.93
0.5X6 µs	300 K	0.93
0.5X5 µs	400 K	0.92
0.5X4 µs	500 K	0.9
0.5X3 µs	700 K	0.9
0.5X2 µs	1 M	0.85
0.5X1 µs	2 M	0.6

การทดสอบค่าผิดพลาดในแต่ละความต่างศักย์ ทำการทดสอบที่ความถี่ 10 KHz

ความต่างศักย์อินพุท(V)	ความต่างศักย์เอาทพุท(V)	ความผิดพลาด (V)
4	2.9	1.1
3.8	2.7	1.1
3.6	2.5	1.1
3.4	2.2	1.2
3.2	2.1	1.1
3	1.9	1.1
2.8	1.75	1.05

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ความต่างศักย์อินพุท(V)	ความต่างศักย์เอาท์พุท(V)	ความผิดพลาด(V)
2.6	1.5	1.1
2.4	1.3	1.1
2.2	1.1	1.1
2	0.95	1.05

ค่าเฉลี่ยความผิดพลาด = 1.1 โวลท์

4.3 การทดสอบ ผลตอบสนองความถี่ของโครงข่าย

เครื่องวิเคราะห์โครงข่าย จะต้องทำการทดสอบกับโครงข่ายที่ต้องการจะทดสอบ โดยปกติจะทำกานทดสอบกับวงจรกรองความถี่ทั้งแพสซิฟ และแอคทีฟ

การทดลองที่ 5 การทดสอบผลตอบสนองความถี่ ของวงจรกรองความถี่ต่ำแบบแพสซิฟ ทำการทดลองกับวงจร ดังรูป

วงจรกรองความถี่ต่ำแบบแพสซิฟ

การทดสอบ สัญญาณซายน์ป้อนเข้า = 6 Vp ด้วยความถี่ค่าต่าง ๆ

ความถี่(Hz)	สัญญาณเอาท์พุท(V)	อัตราส่วน	อัตราการขยาย
10	6	1	0
20	6	1	0
30	6	1	0
40	6	1	0
50	6	1	0
60	6	1	0
70	5.95	0.99	-0.087
80	5.95	0.99	-0.087
90	5.9	0.98	-0.175
100	5.9	0.98	-0.175
200	5.8	0.97	-0.265
300	5.6	0.93	-0.630

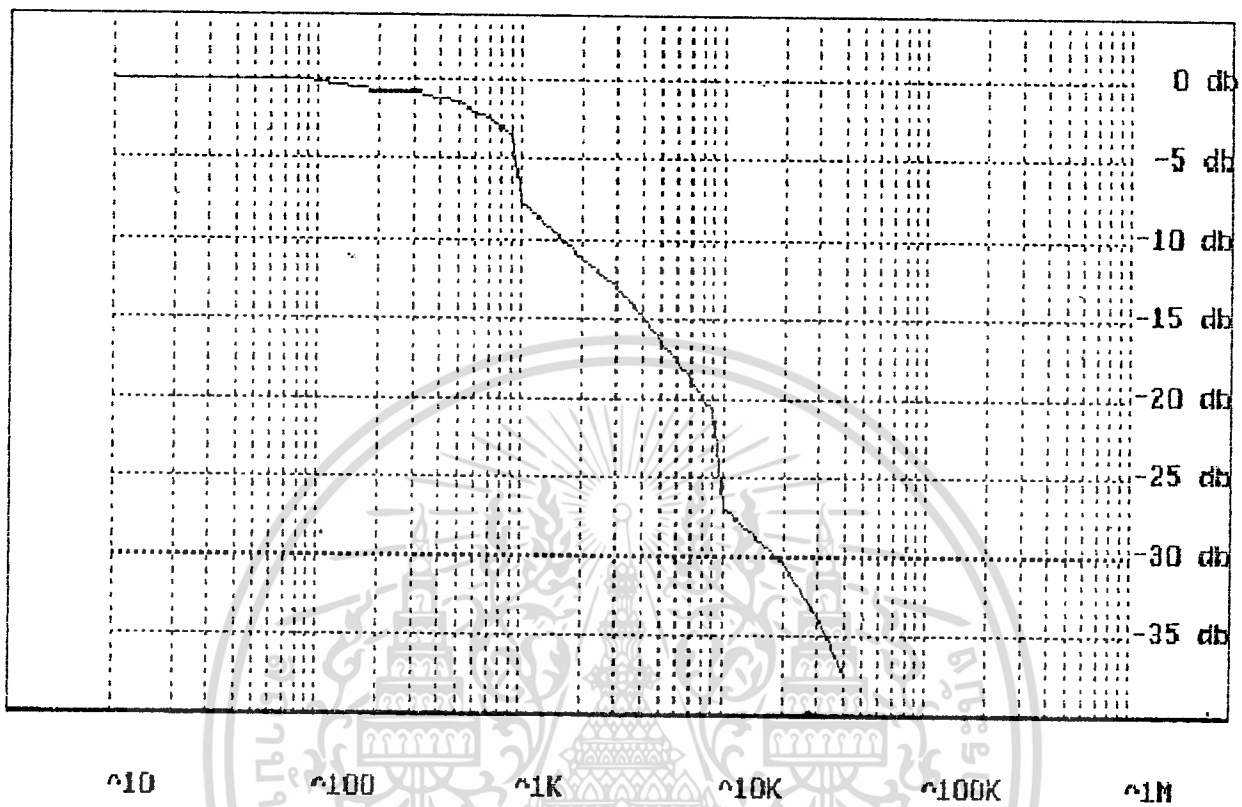
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ความถี่(Hz)	สัญญาณเอาท์พุท(V)	อัตราส่วน	อัตราการขยาย
400	5.4	0.9	-0.915
500	5.2	0.87	-1.210
600	5	0.83	-1.618
700	4.7	0.78	-2.158
800	4.5	0.75	-2.499
900	4.2	0.7	-3.098
1 K	4	0.67	-3.479
2 K	2.5	0.42	-7.535
3 K	1.65	0.275	-11.213
4 K	1.12	0.187	-14.563
5 K	0.9	0.15	-16.478
6 K	0.75	0.125	-18.618
7 K	0.65	0.108	-19.332
8 K	0.57	0.095	-20.446
9 K	0.5	0.083	-21.618
10 K	0.27	0.045	-26.936
20 K	0.27	0.045	-26.936
30 K	0.18	0.03	-30.458
40 K	0.12	0.02	-33.979
50 K	0.08	0.013	-37.721

หมายเหตุ อัตราส่วน = Vout / Vin

อัตราการขยาย = 20 Log Vout / Vin

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5 สรุปและวิจารณ์

การที่จะบอกได้ว่าโครงข่ายสามารถใช้งานได้อย่างมีเสถียรภาพในย่านใด จำเป็นที่จะต้องพิจารณาผลตอบสนองความถี่ของโครงข่ายทั้งทางด้านแอมปลิจูด และ ทางด้านมุมเฟส แต่ชิ้นงานนี้สามารถที่จะหาผลตอบสนองทางด้านแอมปลิจูดได้เพียงอย่างเดียว ทำให้ไม่สามารถบอกได้ว่าวงจรมีเสถียรภาพในย่านนั้นจริงหรือไม่

ดังนั้นชิ้นงานนี้สามารถนำไปพัฒนาต่อได้ โดยการเพิ่มวงจรส่วนหาการเลื่อนเฟส ก็จะทำให้ชิ้นงานนี้ทำงานได้อย่างสมบูรณ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
          ORG    H0000
          LJMP   INIT
          ORG    H0013
          RETI
; (SUBROUTINE FREQUENCY GENERATOR ;CALCULATE CURRENT (D/A))
SFREQ:    MOV    DPTR,#H1500
          MOV    A,#H04              ;  (CALCULATE STEPS OF 1/2 DECADE)
          CLR    C
          SUBB   A,R0
          JNZ    MFREQ               ; (ANOTHER STEPS)
          MOV    A,R1                ; (1/2 DECADE STEP)
          MOV    H0F0,#H02
          DIV    AB
          MOV    A,H0F0
          CLR    C
          SUBB   A,#H00
          JNZ    MFREQ               ;(STEP 4)
          MOV    A,R0                ;(STEP 5)
          INC    A
          LJMP   FREQ
MFREQ:    MOV    A,R0
FREQ:     MOV    H0F0,R1             ;  (B=COUNT)
          MUL    AB
          MOVC   A,@A+DPTR
          MOV    DPTR,#H6000         ;(TABLE-2 CT-D/A I-INPUT OF XR2206)
          MOVX   @DPTR,A
          INC    R1
          RET                        ;(END SUBROUTINE)
;(SUBROUTINE DELAY TIME FOR TRANSMIT SERIAL PORT)
SDELA:    MOV    R4,#H0FF
          MOV    H0F0,#H0FF
DY1:      DJNZ   H0F0,DY1
DY2:      DJNZ   R4,DY2
          RET                        ;(END SUBROUTINE)
;(RESET C)
RESET:    MOV    R0,#H0FF
RST2:     MOV    R1,#H0FF
RST1:     MOV    DPTR,#H4000
          MOV    A,#H02
          MOVX   @DPTR,A
          DJNZ   R1,RST1
          DJNZ   R0,RST2
          RET
;(SUBROUTINE CALCULATE XR-2206'S POINTER & PEAK DETECTOR)
SPEAK:    LCALL  RESET
          MOV    DPTR,#H1000         ;  (SELECT C,GAIN,EN-PEAK)
          MOV    A,R7
          MOVC   A,@A+DPTR
          MOV    DPTR,#H4000         ;(TABLE-1 CT-LATCH)
          MOVX   @DPTR,A
          MOV    DPTR,#H2000
          MOV    A,#H0FF
          MOVX   @DPTR,A
WAIT:     JNB    H8B,WAIT
          MOV    DPTR,#H2000         ;  (INTERRUPT FROM A/D)
          MOVX   A,@DPTR
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        CJNE   A,#H33,NEQU          ; (1 VOLT FROM REF 5 VOLT)
RECD:   MOV    H99,A                ;  (TRANSMIT DATA TO COM)
        ANL    HA8,#H7F             ; (DISABLE ALL INTERRUPT)
        CLR    H99
        ORL    HA8,#H80             ; (ENABLE  ALL INTERRUPT)
        LCALL  SDELA
        INC    R5
        INC    R6                   ; (CALCULATE BASE POINTER)
        MOV    A,R6
        CLR    C
        MOV    HOF0,#H04
        MUL    AB
        MOV    R4,A
        MOV    A,R5
        SUBB   A,#H02
        JZ     SETTB
BPT:    MOV    A,R4
POINT:  MOV    R7,A
        RET
SETTB:  MOV    R5,#H00
        CLR    C
        MOV    A,R0
        SUBB   A,#H09
        JZ     PNTT1
        CLR    C
        MOV    A,R0
        SUBB   A,#H04
        JZ     PNTT2
        LJMP   BPT
PNTT1:  MOV    A,R6
        MOV    HOF0,#H24
        MUL    AB
        LJMP   POINT
PNTT2:  MOV    A,R6
        MOV    HOF0,#H04
        DIV    AB
        MOV    @R1,A
        MOV    A,B
        CJNE   A,00,STEP1
        MOV    A,@R1
        MOV    HOF0,#H09
        MUL    AB
        LJMP   POINT
STEP1:  MOV    A,R6
        CJNE   A,#H02,STEP
        MOV    A,#H20
        LJMP   POINT
STEP:   MOV    HOF0,#H48
        MOV    A,@R0
        MUL    AB
        INC    @R6
        ADD    A,#H20
        LJMP   POINT
NEQU:   JNC    RECD
        INC    R7                   ; (SELECT NEW GAIN)
        LJMP   SPEAK
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
LOOP1:  MOV   R2,#H33       ; (51)
        LJMP  HEAD
LOOP2:  MOV   R2,#H0B       ; (11)
        LJMP  HEAD
;(MAIN)
INIT:   MOV   HA8,#H94
        MOV   HB8,#H10
        MOV   H87,#H00
        MOV   H88,#H40
        MOV   H89,#H20
        MOV   H98,#H50
        MOV   H8D,#H0F3
NEW:    ANL   HA8,#H7F          ;  (DISABLE  ALL  INTERRUPT
RECV:   JNB   H98,RECV          ;  (NO  INTERRUPT  VECTOR) )
        CLR   H98
        MOV   R0,H99
        ORL   HA8,#H80          ;  (ENABLE  ALL  INTERRUPT)
        MOV   R1,#H00
        MOV   R3,#H00
        MOV   R4,#H00
        MOV   R5,#H00
        MOV   R6,#H00
        MOV   R7,#H00
        MOV   @R0,#H01
        MOV   A,R0              ; (CALCULATE LOOP)
        CLR   C
        SUBB  A,#H01
        JZ    LOOP1
        CLR   C
        SUBB  A,#H04
        JZ    LOOP2
        MOV   R2,#H06
HEAD:   INC   R3                ; (LOOP POINTER)
        LCALL SFREQ
        LCALL SPEAK
        LCALL SPEAK
        MOV   H0F0,R2
        CLR   C
        SUBB  A,R3
        JNZ   HEAD
        MOV   A,#H0FF
        MOV   R0,#H02           ; (END SERIAL TRANSMIT)
END:    MOV   H99,A
        ANL   HA8,#H7F
        CLR   H99
        ORL   HA8,#H7F
        LCALL SDELA
        DJNZ  R0,END
        LJMP  NEW
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
ORG     H1000
DB      H24             ; (10-50Hz)
DB      H20
DB      H04
DB      H00
DB      H64
DB      H60
DB      H44
DB      H40
DB      H24
DB      H20
DB      H04
DB      H00
DB      H64
DB      H60
DB      H44
DB      H40
DB      H24
DB      H20
DB      H04
DB      H00
DB      H64
DB      H60
DB      H44
DB      H40
DB      H24
DB      H20
DB      H04
DB      H00
DB      H64
DB      H60
DB      H44
DB      H40
DB      H25             ; (60-1KHz)
DB      H21
DB      H05
DB      H01
DB      H65
DB      H61
DB      H45
DB      H41
DB      H25
DB      H21
DB      H05
DB      H01
DB      H65
DB      H61
DB      H45
DB      H41
DB      H25
DB      H21
DB      H05
DB      H01
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
DB      H65
DB      H61
DB      H45
DB      H41
DB      H25
DB      H21
DB      H05
DB      H01
DB      H65
DB      H61
DB      H45
DB      H41
DB      H25
DB      H21
DB      H05
DB      H01
DB      H65
DB      H61
DB      H45
DB      H41
DB      H25
DB      H21
DB      H05
DB      H01
DB      H65
DB      H61
DB      H45
DB      H41
DB      H25
DB      H21
DB      H05
DB      H01
DB      H65
DB      H61
DB      H45
DB      H41
DB      H25
DB      H21
DB      H05
DB      H01
DB      H65
DB      H61
DB      H45
DB      H41
DB      H25
DB      H21
DB      H05
DB      H01
DB      H65
DB      H61
DB      H45
DB      H41
DB      H25
DB      H21
DB      H05
DB      H01
DB      H65
DB      H61
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        DB      H45
        DB      H41
        DB      H2C             ; (2K-100K)
        DB      H28
        DB      H0C
        DB      H08
        DB      H6C
        DB      H68
        DB      H4C
        DB      H48
        DB      H2C
        DB      H28
        DB      H0C
        DB      H08
        DB      H6C
        DB      H68
        DB      H4C
        DB      H48
        DB      H2C
        DB      H28
        DB      H0C
        DB      H08
        DB      H6C
        DB      H68
        DB      H4C
        DB      H48
        DB      H2C
        DB      H28
        DB      H0C
        DB      H08
        DB      H6C
        DB      H68
        DB      H4C
        DB      H48
        DB      H2C
        DB      H28
        DB      H0C
        DB      H08
        DB      H6C
        DB      H68
        DB      H4C
        DB      H48
        DB      H2C
        DB      H28
        DB      H0C
        DB      H08
        DB      H6C
        DB      H68
        DB      H4C
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
DB      H48
DB      H2C
DB      H28
DB      H0C
DB      H08
DB      H6C
DB      H68
DB      H4C
DB      H48
DB      H2C
DB      H28
DB      H0C
DB      H08
DB      H6C
DB      H68
DB      H4C
DB      H48
DB      H2C
DB      H28
DB      H0C
DB      H08
DB      H6C
DB      H68
DB      H4C
DB      H48
DB      H2C
DB      H28
DB      H0C
DB      H08
DB      H6C
DB      H68
DB      H4C
DB      H48
DB      H2C
DB      H28
DB      H0C
DB      H08
DB      H6C
DB      H68
DB      H4C
DB      H48
DB      H2C
DB      H28
DB      H0C
DB      H08
DB      H6C
DB      H68
DB      H4C
DB      H48
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        DB      H2C
        DB      H28
        DB      H0C
        DB      H08
        DB      H6C
        DB      H68
        DB      H4C
        DB      H48
        DB      H2C
        DB      H28
        DB      H0C
        DB      H08
        DB      H6C
        DB      H68
        DB      H4C
        DB      H48
        DB      H2C
        DB      H28
        DB      H0C
        DB      H08
        DB      H6C
        DB      H68
        DB      H4C
        DB      H48
        DB      H2C
        DB      H28
        DB      H0C
        DB      H08
        DB      H6C
        DB      H68
        DB      H4C
        DB      H48
        DB      H2D     ; (200K-1M Hz)
        DB      H29
        DB      H0D
        DB      H09
        DB      H6D
        DB      H69
        DB      H4D
        DB      H49
        DB      H2D
        DB      H29
        DB      H0D
        DB      H09
        DB      H6D
        DB      H69
        DB      H4D
        DB      H49
        DB      H2D
        DB      H29
        DB      H0D
        DB      H09
        DB      H6D
        DB      H69
        DB      H4D
        DB      H49
        DB      H2D
        DB      H29
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
DB      H0D
DB      H09
DB      H6D
DB      H69
DB      H4D
DB      H49
DB      H2D
DB      H29
DB      H0D
DB      H09
DB      H6D
DB      H69
DB      H4D
DB      H49
DB      H2D
DB      H29
DB      H0D
DB      H09
DB      H6D
DB      H69
DB      H4D
DB      H49
DB      H2D
DB      H29
DB      H0D
DB      H09
DB      H6D
DB      H69
DB      H4D
DB      H49
ORG     H1500
DB      H26
DB      H58
DB      H7F
DB      HB0
DB      HD8
DB      H0C
DB      H0E
DB      H10
DB      H12
DB      H14
```

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
{$R-}     {Range checking off}
{$B-}     {Boolean short circuiting off}
{$S+}     {Stack checking on}
{$I+}     {I/O checking on}
{$N-}     {No numeric coprocessor}
{$M 65500,16384,655360} {Turbo 3 default stack and heap}


uses
Graph,Crt,Dos;


Var
  A,B             : array[1..100] of byte;
  E               : array[1..100] of integer;
  s               : array [1..6] of string;
  i,fstep         : integer;
  Data            : byte;
  graphdriver     : integer ;
  graphmode       : integer ;
  errorcode       : integer ;


function second(n:integer):integer;
var e,i:integer;
begin
   e:=1;
   for i:= 0 to n-1 do
   begin
      e:=e*2;
   end;
   second:=e;
end;



function con_Int(A:byte):integer;
Var C,D:byte;
    n,GT:integer;
Begin
    C:=$01;
    GT:=0;
    for n:=1 to 8 do
    begin
     D:=(A and C) shr (n-1);
     if D=$01 then GT:=(second(n-1))+GT;
     C:=C shl 1;
    end;
    con_Int:=GT;
end;
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
 line(150,80,650,80);
 outtextxy(655,75,'  0 db');
 line(150,105,650,105);
 outtextxy(654,100,' -5 db');
 line(150,130,650,130);
 outtextxy(653,125,'-10 db');
 line(150,155,650,155);
 outtextxy(653,150,'-15 db');
 line(150,180,650,180);
 outtextxy(653,175,'-20 db');
 line(150,205,650,205);
 outtextxy(653,200,'-25 db');
 line(150,230,650,230);
 outtextxy(653,225,'-30 db');
 line(150,255,650,255);
 outtextxy(653,250,'-35 db');
 s[1]:='^10';
 s[2]:='^100';
 s[3]:='^1K';
 s[4]:='^10K';
 s[5]:='^100K';
 s[6]:='^1M';
 for n:=1 to 6 do
   begin
     y:=150+((n-1)*100);
     outtextxy(y,300,s[n]);
   end;
 setlinestyle(solidln,0,normwidth);
 Case fs of
 1: begin
     for n:=1 to i-2 do
     begin
        x:=150+100*(n-1);
        xx:=x+100;
        line(x,80+E[n],xx,80+E[n+1]);
     end;
   end;
 2: begin
      x:=150;
      begin
      n:=1;
      while n<>(i-1) do
      begin
         xx:=x;
         x:=xx+trunc(100*ln(5)/ln(10));
         line(xx,80+E[n],x,80+E[n+1]);
         inc(n);
         xx:=x;
         x:=xx+100-trunc(100*ln(5)/ln(10));
         line(xx,120+E[n],x,120+E[n+1]);
         inc(n);
      end;
      end;
    end;
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
  3: begin
       x:=150;
       z:=1;
       k:=0;
       while (z<(i-1)) do
       begin
         xx:=x;
         inc(k);
         if k=4 then l:=4
         else l:=9;
         for n:=1 to l do
         begin
           inc(z);
           xxx:=x;
           x:=xx+trunc(100*(ln(n+1)/ln(10)));
           if (z<(i)) then
           line(xxx,80+E[z],x,80+E[z+1]);
         end;
       end;
     end;
end;
end;


Procedure Display;
  Begin
  clrscr;
  window(1,3,70,25);
  gotoxy(13,5);
  writeln('************************************************');
  gotoxy(13,7);
  writeln('*  This Network Analysor tests from 10 - 1M Hz. *');
  gotoxy(13,9);
  writeln('************************************************');
  gotoxy(13,12);
  writeln('"Please select step of frequency in each decade."');
  gotoxy(20,14);
  writeln('1.one decade');
  gotoxy(20,16);
  writeln('2.1/2 decade');
  gotoxy(20,18);
  writeln('3.1/10 decade');
  gotoxy(13,23);
  writeln('* After pressing the number then press Enter Key.*');
  end;

Procedure show;
Begin
  semilog(fstep,i);
  repeat until keypressed;
  closegraph;
end;
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
begin{Main}
  Display;
  read(fstep);
  clrscr;
  outdata31(fstep);
 writeln('################');
  indata31;
  calculate(i);
  show;
end.
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

A to D, D to A

ADC0808, ADC0809 8-Bit μP Compatible A/D Converters With 8-Channel Multiplexer

General Description

The ADC0808, ADC0809 data acquisition component is a monolithic CMOS device with an 8-bit analog-to-digital converter, 8-channel multiplexer and microprocessor compatible control logic. The 8-bit A/D converter uses successive approximation as the conversion technique. The converter features a high impedance chopper stabilized comparator, a 256R voltage divider with analog switch tree and a successive approximation register. The 8-channel multiplexer can directly access any of 8-single-ended analog signals.

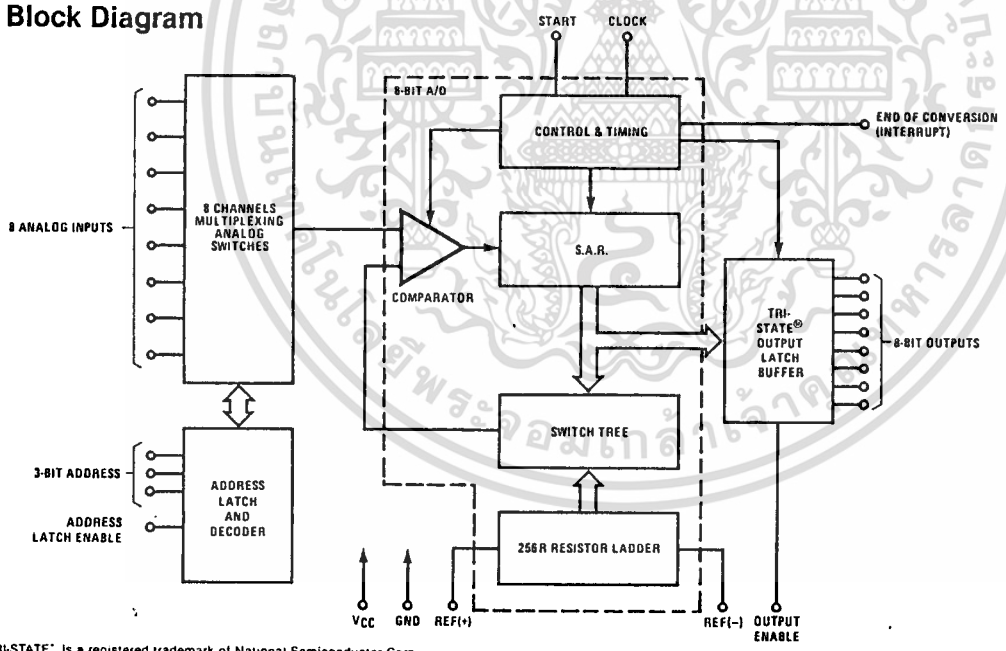
The device eliminates the need for external zero and full-scale adjustments. Easy interfacing to microprocessors is provided by the latched and decoded multiplexer address inputs and latched TTL TRI-STATE® outputs.

The design of the ADC0808, ADC0809 has been optimized by incorporating the most desirable aspects of several A/D conversion techniques. The ADC0808, ADC0809 offers high speed, high accuracy, minimal temperature dependence, excellent long-term accuracy and repeatability, and consumes minimal power. These features make this device ideally suited to applications from process and machine control to consumer and automotive applications. For 16-channel multiplexer with common output (sample/hold port) see ADC0816 data sheet. (See AN-247 for more information.

Features

- Resolution — 8-bits
- Total unadjusted error — ± 1/2 LSB and ± 1 LSB
- No missing codes
- Conversion time — 100 μs
- Single supply — 5 V_{DC}
- Operates ratiometrically or with 5 V_{DC} or analog span adjusted voltage reference
- 8-channel multiplexer with latched control logic
- Easy interface to all microprocessors, or operates "stand alone"
- Outputs meet T^2L voltage level specifications
- 0V to 5V analog input voltage range with single 5V supply
- No zero or full-scale adjust required
- Standard hermetic or molded 28-pin DIP package
- Temperature range −40°C to +85°C or −55°C to +125°C
- Low power consumption — 15 mW
- Latched TRI-STATE® output

Block Diagram



TRI-STATE® is a registered trademark of National Semiconductor Corp.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings (Notes 1 and 2)

Supply Voltage (V_{CC}) (Note 3)	6.5V
Voltage at Any Pin Except Control Inputs	−0.3V to (V_{CC} + 0.3V)
Voltage at Control Inputs (START, OE, CLOCK, ALE, ADD A, ADD B, ADD C)	−0.3V to +15V
Storage Temperature Range	−65°C to +150°C
Package Dissipation at T_A = 25°C	875 mW
Lead Temperature (Soldering, 10 seconds)	300°C

Operating Ratings (Notes 1 and 2)

Temperature Range (Note 1)	$T_{MIN} \le T_A \le T_{MAX}$
ADC0808CJ	−55°C ≤ T_A ≤ +125°C
ADC0808CCJ, ADC0808CCN, ADC0809CCN	−40°C ≤ T_A ≤ +85°C
Range of V_{CC} (Note 1)	4.5 V_{DC} to 6.0 V_{DC}

Electrical Characteristics

Converter Specifications: V_{CC} = 5 V_{DC} = $V_{REF(+)}$, $V_{REF(-)}$ = GND, $T_{MIN} \le T_A \le T_{MAX}$ and f_{CLK} = 640 kHz unless otherwise stated.

	Parameter	Conditions	Min	Typ	Max	Units
	ADC0808					
	Total Unadjusted Error	25°C			± 1/2	LSB
	(Note 5)	T_{MIN} to T_{MAX}			± 3/4	LSB
	ADC0809					
	Total Unadjusted Error	0°C to 70°C			± 1	LSB
	(Note 5)	T_{MIN} to T_{MAX}			± 1 1/4	LSB
	Input Resistance	From Ref(+) to Ref(−)	1.0	2.5		kΩ
	Analog Input Voltage Range	(Note 4) V(+) or V(−)	GND−0.10		V_{CC}+0.10	V_{DC}
$V_{REF(+)}$	Voltage, Top of Ladder	Measured at Ref(+)		V_{CC}	V_{CC}+0.1	V
$\frac{V_{REF(+)}+V_{REF(-)}}{2}$	Voltage, Center of Ladder		V_{CC}/2−0.1	V_{CC}/2	V_{CC}/2+0.1	V
$V_{REF(-)}$	Voltage, Bottom of Ladder	Measured at Ref(−)	−0.1	0		V
	Comparator Input Current	f_c = 640 kHz, (Note 6)	−2	±0.5	2	μA

Electrical Characteristics

Digital Levels and DC Specifications: ADC0808CJ 4.5V ≤ V_{CC} ≤ 5.5V, −55°C ≤ T_A ≤ +125°C unless otherwise noted
ADC0808CCJ, ADC0808CCN, and ADC0809CCN 4.75 ≤ V_{CC} ≤ 5.25V, −40°C ≤ T_A ≤ +85°C unless otherwise noted

	Parameter	Conditions	Min	Typ	Max	Units
ANALOG MULTIPLEXER						
$I_{OFF(+)}$	OFF Channel Leakage Current	V_{CC} = 5V, V_{IN} = 5V,				
		T_A = 25°C		10	200	nA
		T_{MIN} to T_{MAX}			1.0	μA
$I_{OFF(-)}$	OFF Channel Leakage Current	V_{CC} = 5V, V_{IN} = 0,				
		T_A = 25°C	−200	−10		nA
		T_{MIN} to T_{MAX}	−1.0			μA
CONTROL INPUTS						
$V_{IN(1)}$	Logical "1" Input Voltage		V_{CC}−1.5			V
$V_{IN(0)}$	Logical "0" Input Voltage				1.5	V
$I_{IN(1)}$	Logical "1" Input Current (The Control Inputs)	V_{IN} = 15V			1.0	μA
$I_{IN(0)}$	Logical "0" Input Current (The Control Inputs)	V_{IN} = 0	−1.0			μA
I_{CC}	Supply Current	f_{CLK} = 640 kHz		0.3	3.0	mA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Electrical Characteristics (Continued)

Digital Levels and DC Specifications: ADC0808CJ $4.5V \le V_{CC} \le 5.5V$, $-55°C \le T_A \le +125°C$ unless otherwise noted
ADC0808CCJ, ADC0808CCN, and ADC0809CCN $4.75 \le V_{CC} \le 5.25V$, $-40°C \le T_A \le +85°C$ unless otherwise noted

Parameter		Conditions	Min	Typ	Max	Units
DATA OUTPUTS AND EOC (INTERRUPT)						
$V_{OUT(1)}$	Logical "1" Output Voltage	$I_O = -360\ \mu A$	$V_{CC}-0.4$			V
$V_{OUT(0)}$	Logical "0" Output Voltage	$I_O = 1.6$ mA			0.45	V
$V_{OUT(0)}$	Logical "0" Output Voltage EOC	$I_O = 1.2$ mA			0.45	V
I_{OUT}	TRI-STATE® Output Current	$V_O = 5V$			3	μA
		$V_O = 0$	-3			μA

Electrical Characteristics

Timing Specifications: $V_{CC} = V_{REF(+)} = 5V$, $V_{REF(-)} = GND$, $t_r = t_f = 20$ ns and $T_A = 25°C$ unless otherwise noted.

Symbol	Parameter	Conditions	Min	Typ	Max	Units
t_{WS}	Minimum Start Pulse Width	*(Figure 5)*		100	200	ns
t_{WALE}	Minimum ALE Pulse Width	*(Figure 5)*		100	200	ns
t_s	Minimum Address Set-Up Time	*(Figure 5)*		25	50	ns
t_H	Minimum Address Hold Time	*(Figure 5)*		25	50	ns
t_D	Analog MUX Delay Time From ALE	$R_S = 0\Omega$ *(Figure 5)*		1	2.5	μs
t_{H1}, t_{H0}	OE Control to Q Logic State	$C_L = 50$ pF, $R_L = 10$k *(Figure 8)*		125	250	ns
t_{1H}, t_{0H}	OE Control to Hi-Z	$C_L = 10$ pF, $R_L = 10$k *(Figure 8)*		125	250	ns
t_c	Conversion Time	$f_c = 640$ kHz, *(Figure 5)* (Note 7)	90	100	116	μs
f_c	Clock Frequency		10	640	1280	kHz
t_{EOC}	EOC Delay Time	*(Figure 5)*	0		$8 + 2\ \mu s$	Clock Periods
C_{IN}	Input Capacitance	At Control Inputs		10	15	pF
C_{OUT}	TRI-STATE® Output Capacitance	At TRI-STATE® Outputs, (Note 12)		10	15	pF

Note 1: Absolute maximum ratings are those values beyond which the life of the device may be impaired.

Note 2: All voltages are measured with respect to GND, unless otherwise specified.

Note 3: A zener diode exists, internally, from V_{CC} to GND and has a typical breakdown voltage of 7 V_{DC}.

Note 4: Two on-chip diodes are tied to each analog input which will forward conduct for analog input voltages one diode drop below ground or one diode drop greater than the V_{CC} supply. The spec allows 100 mV forward bias of either diode. This means that as long as the analog V_{IN} does not exceed the supply voltage by more than 100 mV, the output code will be correct. To achieve an absolute 0 V_{DC} to 5 V_{DC} input voltage range will therefore require a minimum supply voltage of 4.900 V_{DC} over temperature variations, initial tolerance and loading.

Note 5: Total unadjusted error includes offset, full-scale, linearity, and multiplexer errors. See *Figure 3*. None of these A/Ds requires a zero or full-scale adjust. However, if an all zero code is desired for an analog input other than 0.0V, or if a narrow full-scale span exists (for example: 0.5V to 4.5V full-scale) the reference voltages can be adjusted to achieve this. See *Figure 13*.

Note 6: Comparator input current is a bias current into or out of the chopper stabilized comparator. The bias current varies directly with clock frequency and has little temperature dependence *(Figure 6)*. See paragraph 4.0.

Note 7: The outputs of the data register are updated one clock cycle before the rising edge of EOC.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Functional Description

Multiplexer: The device contains an 8-channel single-ended analog signal multiplexer. A particular input channel is selected by using the address decoder. Table I shows the input states for the address lines to select any channel. The address is latched into the decoder on the low-to-high transition of the address latch enable signal.

TABLE I

SELECTED ANALOG CHANNEL	ADDRESS LINE		
	C	B	A
IN0	L	L	L
IN1	L	L	H
IN2	L	H	L
IN3	L	H	H
IN4	H	L	L
IN5	H	L	H
IN6	H	H	L
IN7	H	H	H

CONVERTER CHARACTERISTICS

The Converter

The heart of this single chip data acquisition system is its 8-bit analog-to-digital converter. The converter is designed to give fast, accurate, and repeatable conversions over a wide range of temperatures. The converter is partitioned into 3 major sections: the 256R ladder network, the successive approximation register, and the comparator. The converter's digital outputs are positive true.

The 256R ladder network approach *(Figure 1)* was chosen over the conventional R/2R ladder because of its inherent monotonicity, which guarantees no missing digital codes. Monotonicity is particularly important in closed loop feedback control systems. A non-monotonic relationship can cause oscillations that will be catastrophic for the system. Additionally, the 256R network does not cause load variations on the reference voltage.

The bottom resistor and the top resistor of the ladder network in *Figure 1* are not the same value as the remainder of the network. The difference in these resistors causes the output characteristic to be symmetrical with the zero and full-scale points of the transfer curve. The first output transition occurs when the analog signal has reached +1/2 LSB and succeeding output transitions occur every 1 LSB later up to full-scale.

The successive approximation register (SAR) performs 8 iterations to approximate the input voltage. For any SAR type converter, n-iterations are required for an n-bit converter. *Figure 2* shows a typical example of a 3-bit converter. In the ADC0808, ADC0809, the approximation technique is extended to 8 bits using the 256R network.

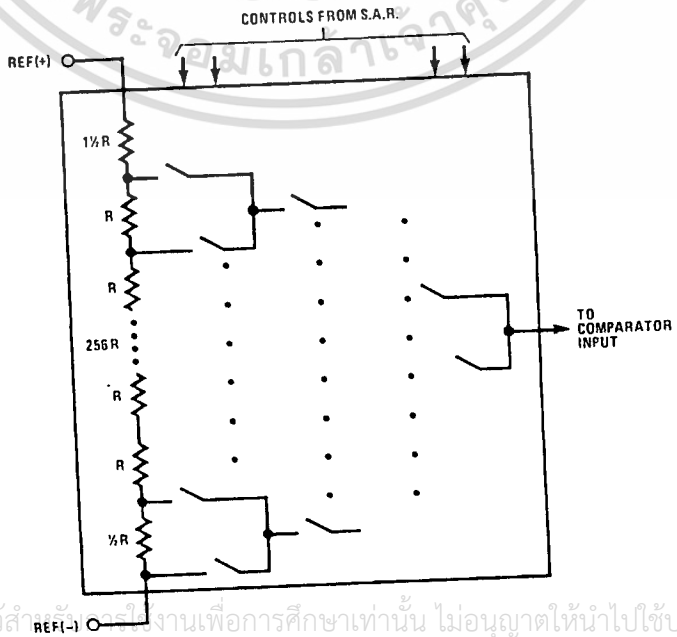


FIGURE 1. Resistor Ladder and Switch Tree

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Functional Description (Continued)

The A/D converter's successive approximation register (SAR) is reset on the positive edge of the start conversion (SC) pulse. The conversion is begun on the falling edge of the start conversion pulse. A conversion in process will be interrupted by receipt of a new start conversion pulse. Continuous conversion may be accomplished by tying the end-of-conversion (EOC) output to the SC input. If used in this mode, an external start conversion pulse should be applied after power up. End-of-conversion will go low between 0 and 8 clock pulses after the rising edge of start conversion.

The most important section of the A/D converter is the comparator. It is this section which is responsible for the ultimate accuracy of the entire converter. It is also the comparator drift which has the greatest influence on the repeatability of the device. A chopper-stabilized comparator provides the most effective method of satisfying all the converter requirements.

The chopper-stabilized comparator converts the DC input signal into an AC signal. This signal is then fed through a high gain AC amplifier and has the DC level restored. This technique limits the drift component of the amplifier since the drift is a DC component which is not passed by the AC amplifier. This makes the entire A/D converter extremely insensitive to temperature, long term drift and input offset errors.

Figure 4 shows a typical error curve for the ADC0808 as measured using the procedures outlined in AN-179.

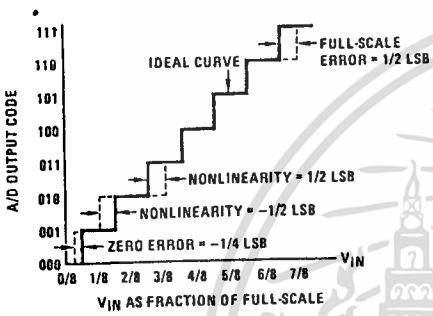


FIGURE 2. 3-Bit A/D Transfer Curve

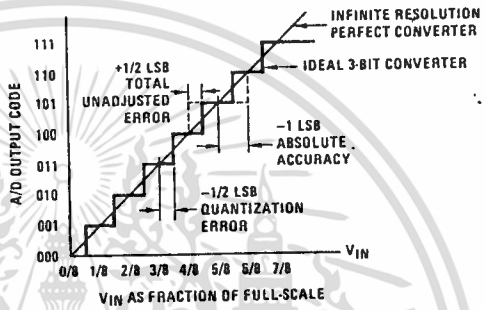


FIGURE 3. 3-Bit A/D Absolute Accuracy Curve

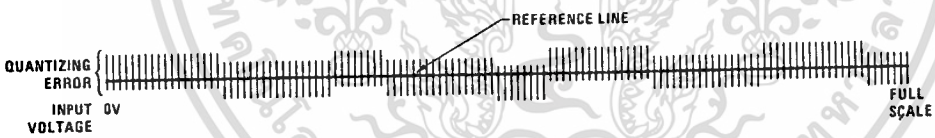
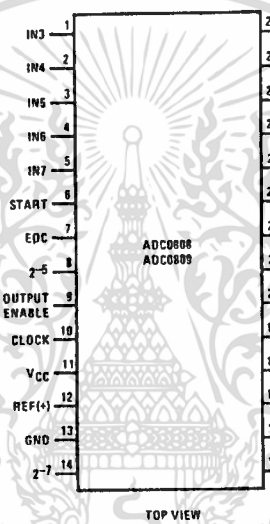


FIGURE 4. Typical Error Curve

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Connection Diagram

Dual-In-Line Package



TOP VIEW

Timing Diagram

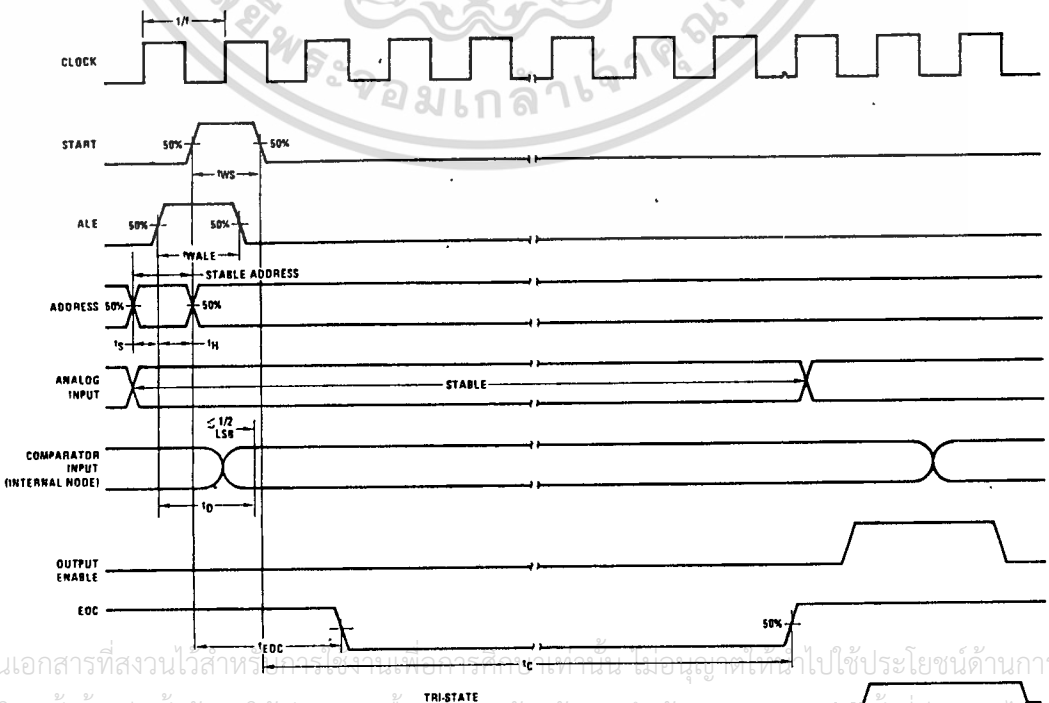


FIGURE 5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Characteristics

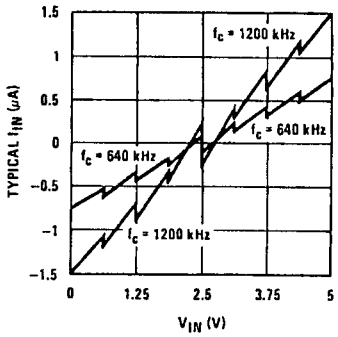


FIGURE 6. Comparator I_{IN} vs V_{IN} ($V_{CC} = V_{REF} = 5V$)

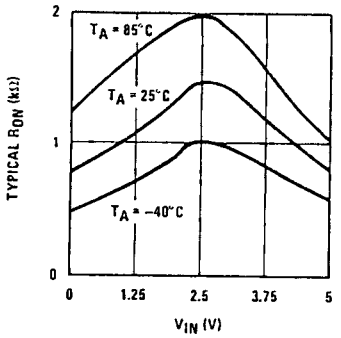


FIGURE 7. Multiplexer R_{ON} vs V_{IN} ($V_{CC} = V_{REF} = 5V$)

TRI-STATE® Test Circuits and Timing Diagrams

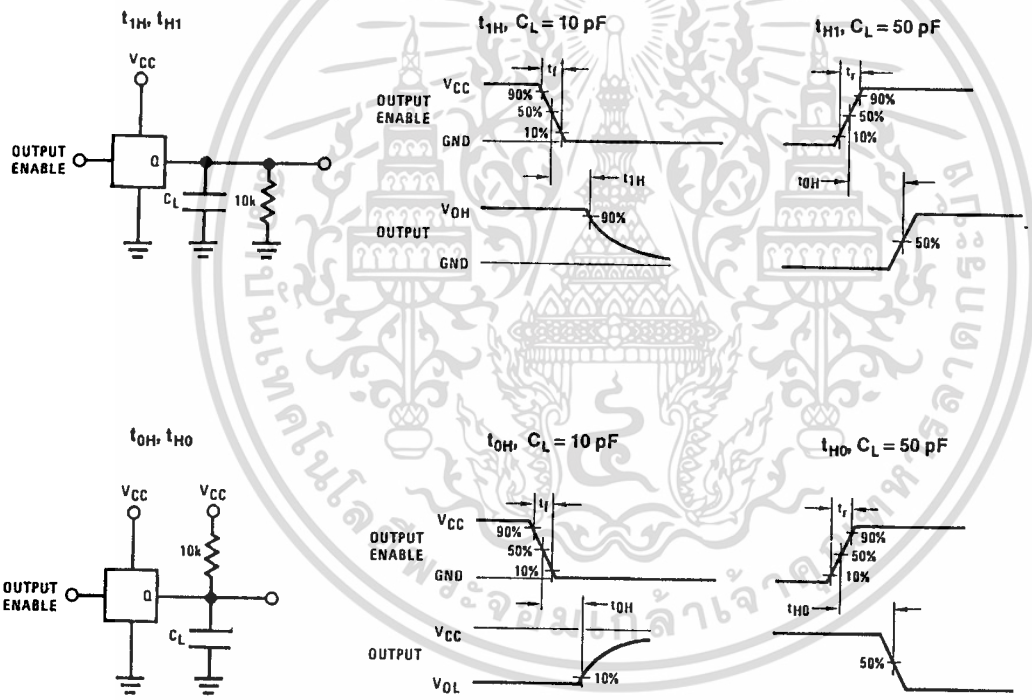


FIGURE 8

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Applications Information

OPERATION

1.0 Ratiometric Conversion

The ADC0808, ADC0809 is designed as a complete Data Acquisition System (DAS) for ratiometric conversion systems. In ratiometric systems, the physical variable being measured is expressed as a percentage of full-scale which is not necessarily related to an absolute standard. The voltage input to the ADC0808 is expressed by the equation

$$\frac{V_{IN}}{V_{fs} - V_Z} = \frac{D_X}{D_{MAX} - D_{MIN}} \quad (1)$$

V_{IN} = Input voltage into the ADC0808
V_{fs} = Full-scale voltage
V_Z = Zero voltage
D_X = Data point being measured
D_{MAX} = Maximum data limit
D_{MIN} = Minimum data limit

A good example of a ratiometric transducer is a potentiometer used as a position sensor. The position of the wiper is directly proportional to the output voltage which is a ratio of the full-scale voltage across it. Since the data is represented as a proportion of full-scale, reference requirements are greatly reduced, eliminating a large source of error and cost for many applications. A major advantage of the ADC0808, ADC0809 is that the input voltage range is equal to the supply range so the transducers can be connected directly across the supply and their outputs connected directly into the multiplexer inputs, *(Figure 9)*.

Ratiometric transducers such as potentiometers, strain gauges, thermistor bridges, pressure transducers, etc., are suitable for measuring proportional relationships; however, many types of measurements must be referred to an absolute standard such as voltage or current. This means a system reference must be used which relates the full-scale voltage to the standard volt. For example, if $V_{CC} = V_{REF} = 5.12V$, then the full-scale range is divided into 256 standard steps. The smallest standard step is 1 LSB which is then 20 mV.

2.0 Resistor Ladder Limitations

The voltages from the resistor ladder are compared to the selected input 8 times in a conversion. These voltages are coupled to the comparator via an analog switch tree which is referenced to the supply. The voltages at the top, center and bottom of the ladder must be controlled to maintain proper operation.

The top of the ladder, Ref(+), should not be more positive than the supply, and the bottom of the ladder, Ref(−), should not be more negative than ground. The center of the ladder voltage must also be near the center of the supply because the analog switch tree changes from N-channel switches to P-channel switches. These limitations are automatically satisfied in ratiometric systems and can be easily met in ground referenced systems.

Figure 10 shows a ground referenced system with a separate supply and reference. In this system, the supply must be trimmed to match the reference voltage. For instance, if a 5.12V is used, the supply should be adjusted to the same voltage within 0.1V.

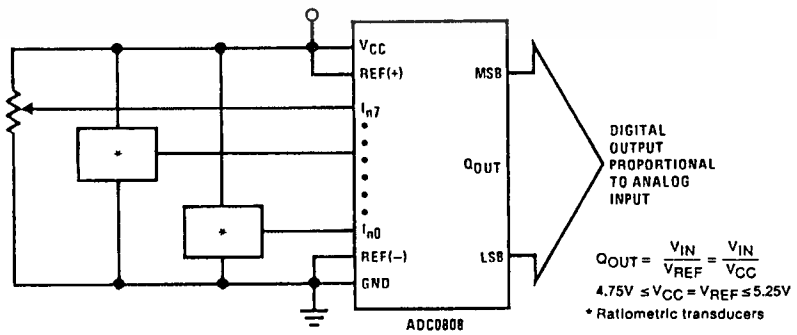


FIGURE 9. Ratiometric Conversion System

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Applications Information (Continued)

The ADC0808 needs less than a milliamp of supply current so developing the supply from the reference is readily accomplished. In *Figure 11* a ground referenced system is shown which generates the supply from the reference. The buffer shown can be an op amp of sufficient drive to supply the milliamp of supply current and the desired bus drive, or if a capacitive bus is driven by the outputs a large capacitor will supply the transient supply current as seen in *Figure 12*. The LM301 is overcompensated to insure stability when loaded by the 10 μF output capacitor.

The top and bottom ladder voltages cannot exceed V_{CC} and ground, respectively, but they can be symmetrically less than V_{CC} and greater than ground. The center of the ladder voltage should always be near the center of the supply. The sensitivity of the converter can be increased, (i.e., size of the LSB steps decreased) by using a symmetrical reference system. In *Figure 13*, a 2.5V reference is symmetrically centered about $V_{CC}/2$ since the same current flows in identical resistors. This system with a 2.5V reference allows the LSB bit to be half the size of a 5V reference system.

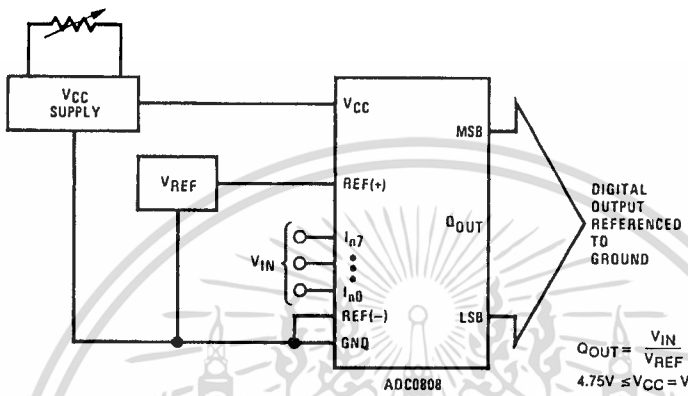


FIGURE 10. Ground Referenced Conversion System Using Trimmed Supply

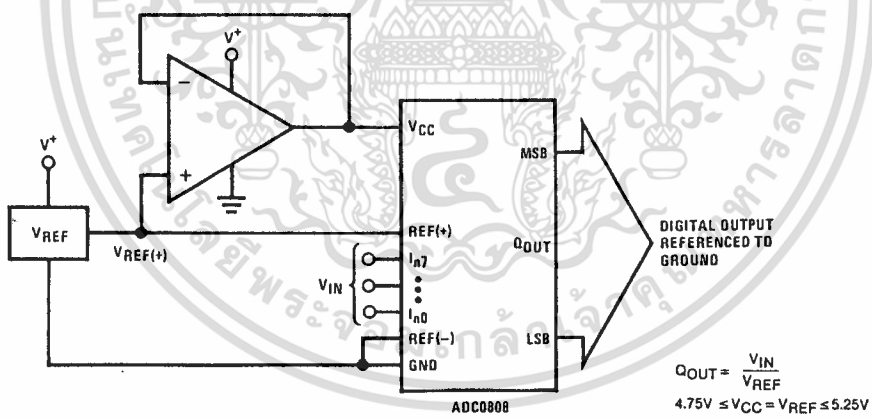


FIGURE 11. Ground Referenced Conversion System with Reference Generating V_{CC} Supply

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Applications Information (Continued)

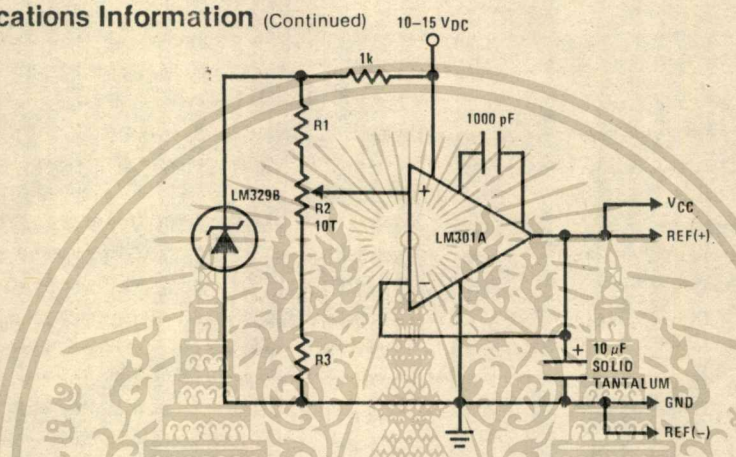


FIGURE 12. Typical Reference and Supply Circuit

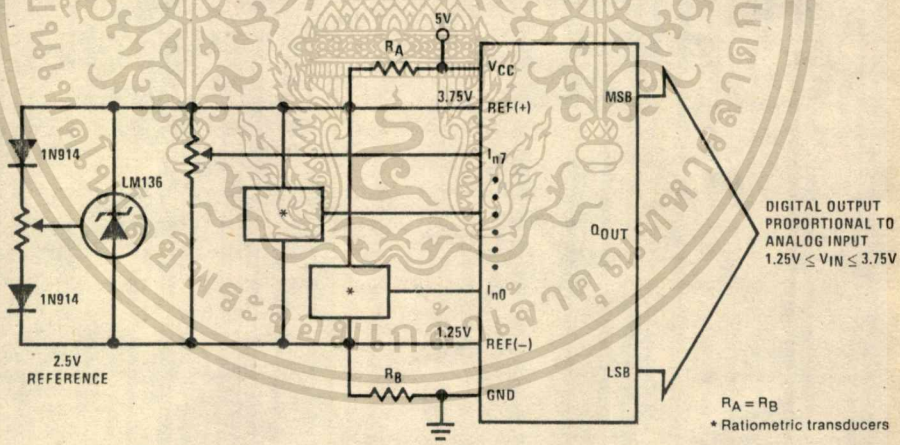


FIGURE 13. Symmetrically Centered Reference

3.0 Converter Equations

The transition between adjacent codes N and N+1 is given by:

$$V_{IN} = \left\{ (V_{REF(+)} - V_{REF(-)}) \left[\frac{N}{256} + \frac{1}{512} \right] \pm V_{TUE} \right\} + V_{REF(-)} \quad (2)$$

The center of an output code N is given by:

$$V_{IN} = \left\{ (V_{REF(+)} - V_{REF(-)}) \left[\frac{N}{256} \right] \pm V_{TUE} \right\} + V_{REF(-)} \quad (3)$$

The output code N for an arbitrary input are the integers within the range:

$$N = \frac{V_{IN} - V_{REF(-)}}{V_{REF(+)} - V_{REF(-)}} \times 256 \pm \text{Absolute Accuracy} \quad (4)$$

where: V_{IN} = Voltage at comparator input
$V_{REF(+)}$ = Voltage at Ref(+)
$V_{REF(-)}$ = Voltage at Ref(–)
V_{TUE} = Total unadjusted error voltage (typically $V_{REF(+)} \div 512$)

4.0 Analog Comparator Inputs

The dynamic comparator input current is caused by the periodic switching of on-chip stray capacitances. These are connected alternately to the output of the resistor ladder/switch tree network and to the comparator input as part of the operation of the chopper stabilized comparator.

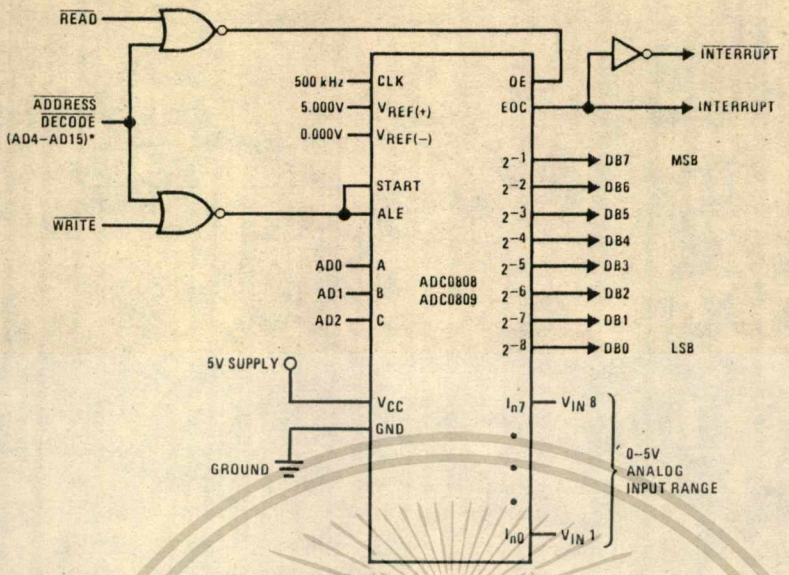
The average value of the comparator input current varies directly with clock frequency and with V_{IN} as shown in *Figure 6.*

If no filter capacitors are used at the analog inputs and the signal source impedances are low, the comparator input current should not introduce converter errors, as the transient created by the capacitance discharge will die out before the comparator output is strobed.

If input filter capacitors are desired for noise reduction and signal conditioning they will tend to average out the dynamic comparator input current. It will then take on the characteristics of a DC bias current whose effect can be predicted conventionally.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่ว่ากรณีใดๆ ห้ามมิให้ทำซ้ำ ดัดแปลงเนื้อหา และต้องอ้างอิง

Typical Application



* Address latches needed for 8085 and SC/MP interfacing the ADC0808 to a microprocessor

MICROPROCESSOR INTERFACE TABLE

PROCESSOR	READ	WRITE	INTERRUPT (COMMENT)
8080	MEMR	MEMW	INTR (Thru RST Circuit)
8085	RD	WR	INTR (Thru RST Circuit)
Z-80	RD	WR	INT (Thru RST Circuit, Mode 0)
SC/MP	NRDS	NWDS	SA (Thru Sense A)
6800	VMA·φ2·R/W	VMA·φ2·R/W	IRQA or IRQB (Thru PIA)

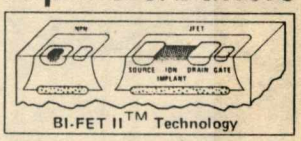
Ordering Information

TEMPERATURE RANGE		−40°C to +85°C		−55°C to +125°C
Error	± 1/2 Bit Unadjusted	ADC0808CCN	ADC0808CCJ	ADC0808CJ
	± 1 Bit Unadjusted	ADC0809CCN		
Package Outline		N28A Molded DIP	J28A Hermetic DIP	J28A Hermetic DIP

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

Operational Amplifiers/Buffers



BI-FET II™ Technology

LF351 Wide Bandwidth JFET Input Operational Amplifier

General Description

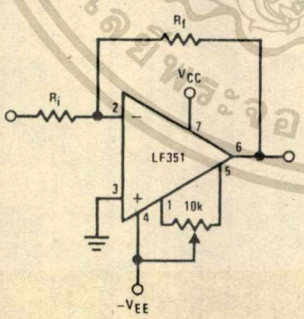
The LF351 is a low cost high speed JFET input operational amplifier with an internally trimmed input offset voltage (BI-FET II™ technology). The device requires a low supply current and yet maintains a large gain bandwidth product and a fast slew rate. In addition, well matched high voltage JFET input devices provide very low input bias and offset currents. The LF351 is pin compatible with the standard LM741 and uses the same offset voltage adjustment circuitry. This feature allows designers to immediately upgrade the overall performance of existing LM741 designs.

The LF351 may be used in applications such as high speed integrators, fast D/A converters, sample-and-hold circuits and many other circuits requiring low input offset voltage, low input bias current, high input impedance, high slew rate and wide bandwidth. The device has low noise and offset voltage drift, but for applications where these requirements are critical, the LF356 is recommended. If maximum supply current is important, however, the LF351 is the better choice.

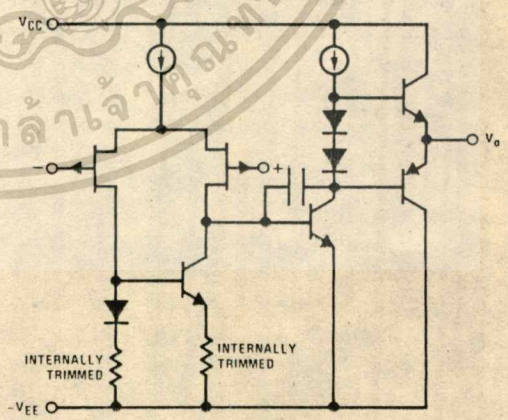
Features

■ Internally trimmed offset voltage	10 mV
■ Low input bias current	50 pA
■ Low input noise voltage	16 nV/√Hz
■ Low input noise current	0.01 pA/√Hz
■ Wide gain bandwidth	4 MHz
■ High slew rate	13 V/μs
■ Low supply current	1.8 mA
■ High input impedance	$10^{12}\Omega$
■ Low total harmonic distortion $A_V = 10$, $R_L = 10k$, $V_O = 20\ V_{p-p}$, BW = 20 Hz-20 kHz	<0.02%
■ Low 1/f noise corner	50 Hz
■ Fast settling time to 0.01%	2 μs

Typical Connection

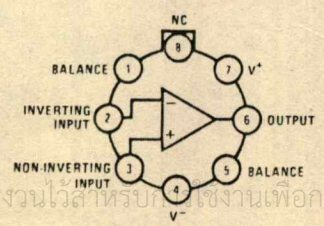


Simplified Schematic



Connection Diagrams (Top Views)

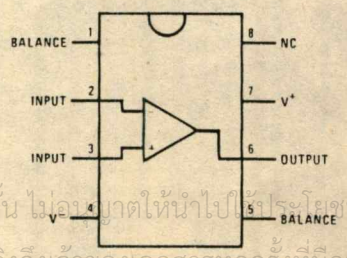
Metal Can Package



Note: Pin 4 connected to case.

Order Number LF351H
See NS Package H08C

Dual-In-Line Package



TOP VIEW

Order Number LF351N
See NS Package N08A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของลิขสิทธิ์ทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings

Supply Voltage	±18V
Power Dissipation (Note 1)	500mW
Operating Temperature Range	0°C to +70°C
$T_{j(MAX)}$	115°C
Differential Input Voltage	±30V
Input Voltage Range (Note 2)	±15V
Output Short Circuit Duration	Continuous
Storage Temperature Range	−65°C to +150°C
Lead Temperature (Soldering, 10 seconds)	300°C

DC Electrical Characteristics (Note 3)

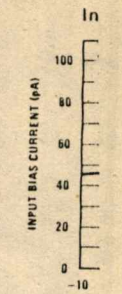
SYMBOL	PARAMETER	CONDITIONS	LF351 MIN	LF351 TYP	LF351 MAX	UNITS
V_{OS}	Input Offset Voltage	$R_S = 10k\Omega$, $T_A = 25°C$ Over Temperature		5	10 13	mV mV
$\Delta V_{OS}/\Delta T$	Average TC of Input Offset Voltage	$R_S = 10k\Omega$		10		µV/°C
I_{OS}	Input Offset Current	$T_j = 25°C$, (Notes 3, 4) $T_j \leq 70°C$		25	100 4	pA nA
I_B	Input Bias Current	$T_j = 25°C$, (Notes 3, 4) $T_j \leq 70°C$		50	200 8	pA nA
R_{IN}	Input Resistance	$T_j = 25°C$		10^{12}		Ω
A_{VOL}	Large Signal Voltage Gain	$V_S = \pm 15V$, $T_A = 25°C$ $V_O = \pm 10V$, $R_L = 2k\Omega$ Over Temperature	25 15	100		V/mV V/mV
V_O	Output Voltage Swing	$V_S = \pm 15V$, $R_L = 10k\Omega$	±12	±13.5		V
V_{CM}	Input Common-Mode Voltage Range	$V_S = \pm 15V$	±11	+15 −12		V V
CMRR	Common-Mode Rejection Ratio	$R_S \leq 10k\Omega$	70	100		dB
PSRR	Supply Voltage Rejection Ratio	(Note 5)	70	100		dB
I_S	Supply Current			1.8	3.4	mA

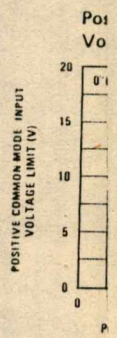
AC Electrical Characteristics (Note 3)

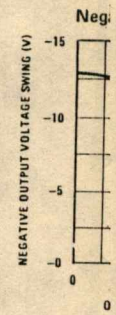
SYMBOL	PARAMETER	CONDITIONS	LF351 MIN	LF351 TYP	LF351 MAX	UNITS
SR	Slew Rate	$V_S = \pm 15V$, $T_A = 25°C$		13		V/µs
GBW	Gain Bandwidth Product	$V_S = \pm 15V$, $T_A = 25°C$		4		MHz
e_n	Equivalent Input Noise Voltage	$T_A = 25°C$, $R_S = 100\Omega$, f = 1000Hz		16		nV/√Hz
i_n	Equivalent Input Noise Current	$T_j = 25°C$, f = 1000Hz		0.01		pA/√Hz

Note 1: For operating at elevated temperature, the device must be derated based on a thermal resistance of 150°C/W junction to ambient or 45°C/W junction to case.
Note 2: Unless otherwise specified the absolute maximum negative input voltage is equal to the negative power supply voltage.
Note 3: These specifications apply for $V_S = \pm 15V$ and $0°C \leq T_A \leq +70°C$. V_{OS}, I_B and I_{OS} are measured at $V_{CM} = 0$.
Note 4: The input bias currents are junction leakage currents which approximately double for every 10°C increase in the junction temperature, T_j. Due to the limited production test time, the input bias currents measured are correlated to junction temperature. In normal operation the junction temperature rises above the ambient temperature as a result of internal power dissipation, P_D. $T_j = T_A + \theta_{jA} P_D$ where θ_{jA} is the thermal resistance from junction to ambient. Use of a heat sink is recommended if input bias current is to be kept to a minimum.
Note 5.: Supply voltage rejection ratio is measured for both supply magnitudes increasing or decreasing simultaneously in accordance with common practice.

Typical







เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MAX	UNITS
10	mV
13	mV
	μV/°C
100	pA
4	nA
200	pA
8	nA
	Ω
	V/mV
	V/mV
	V
	V
	V
	dB
	dB
3.4	mA

MAX	UNITS
	V/μs
	MHz
	nV/√Hz
	pA/√Hz

W junction to ambient

supply voltage

= 0.

e in the junction temperature. In accordance

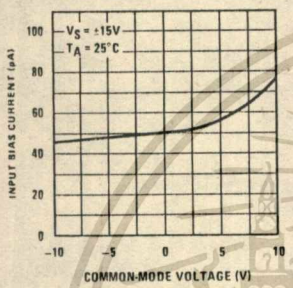
. P_D. $T_j = T_A + \Theta_{jA} P_D$

rent is to be kept

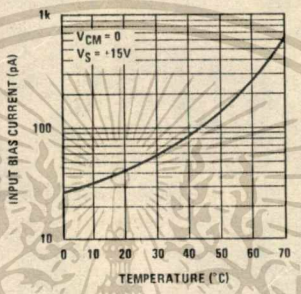
eously in accordance

Typical Performance Characteristics

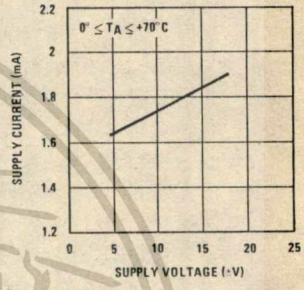
Input Bias Current



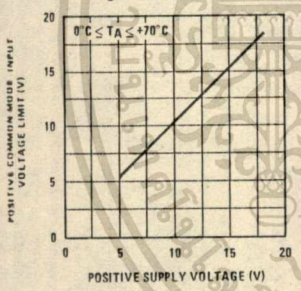
Input Bias Current



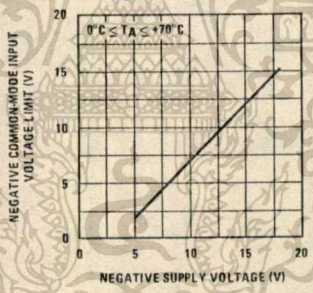
Supply Current



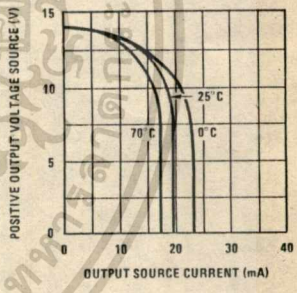
Positive Common-Mode Input Voltage Limit



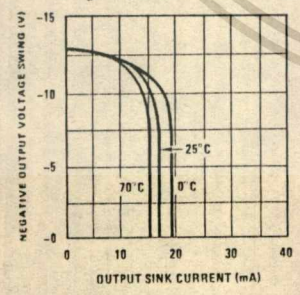
Negative Common-Mode Input Voltage Limit



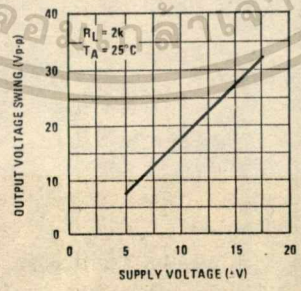
Positive Current Limit



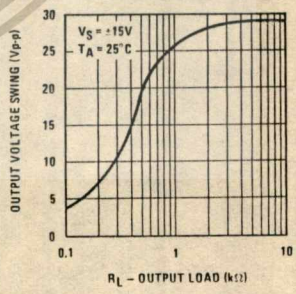
Negative Current Limit



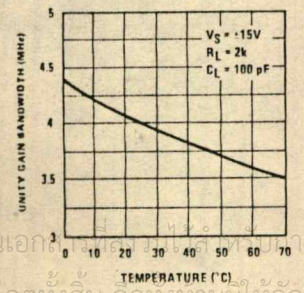
Voltage Swing



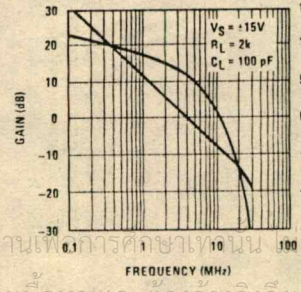
Output Voltage Swing



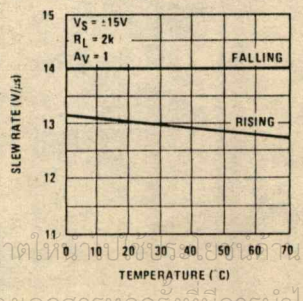
Gain Bandwidth



Bode Plot



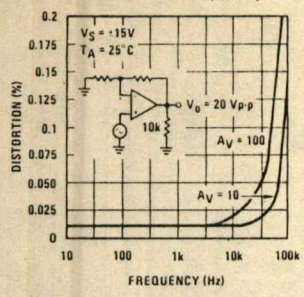
Slew Rate



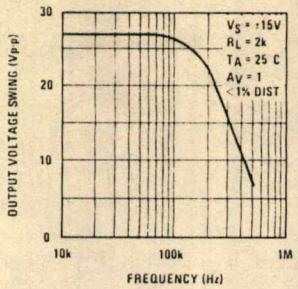
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น อนุญาตให้ใช้งานเพื่อการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Characteristics (Continued)

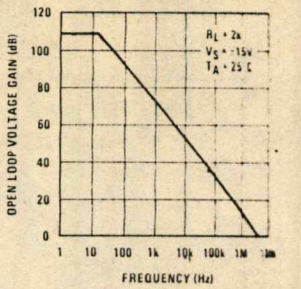
Distortion vs Frequency



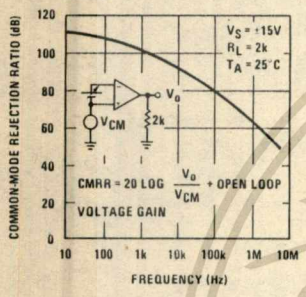
Undistorted Output Voltage Swing



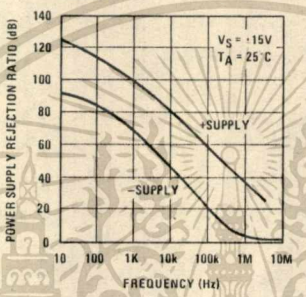
Open Loop Frequency Response



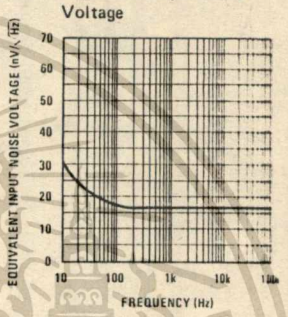
Common-Mode Rejection Ratio



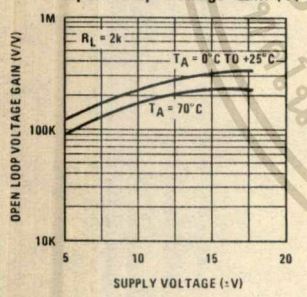
Power Supply Rejection Ratio



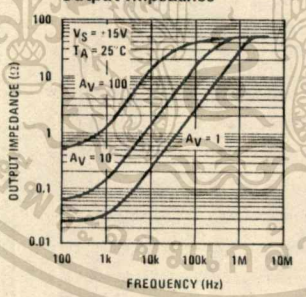
Equivalent Input Noise Voltage



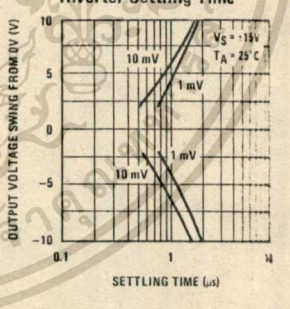
Open Loop Voltage Gain (V/V)



Output Impedance

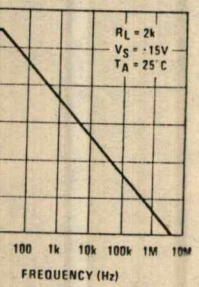


Inverter Settling Time

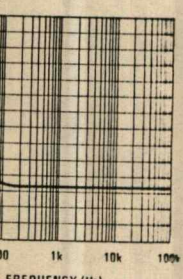


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

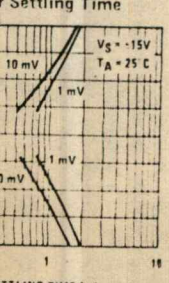
n Loop Frequency Response



alent Input Noise
ge

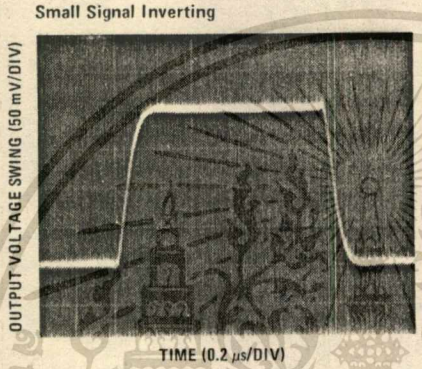


r Settling Time

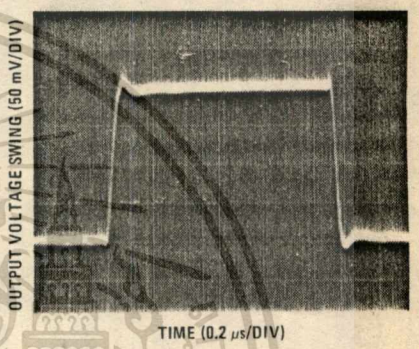


Pulse Response

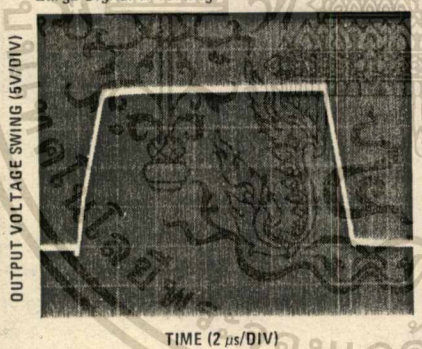
Small Signal Inverting



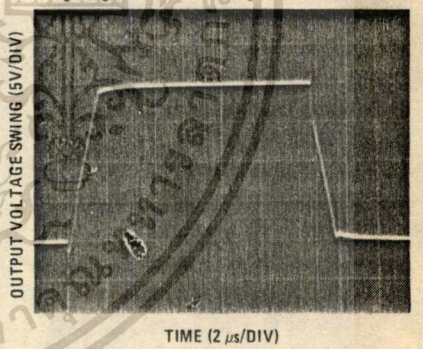
Small Signal Non-Inverting



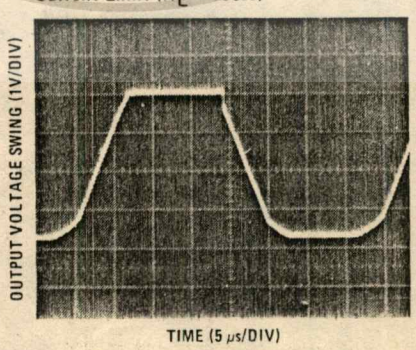
Large Signal Inverting



Large Signal Non-Inverting



Current Limit (R_L = 100Ω)



Application Hints

The LF351 is an op amp with an internally trimmed input offset voltage and JFET input devices (BI-FET II™). These JFETs have large reverse breakdown voltages from gate to source and drain eliminating the need for clamps across the inputs. Therefore, large differential input voltages can easily be accommodated without a large increase in input current. The maximum differential input voltage is independent of the supply voltages. However, neither of the input voltages should be allowed to exceed the negative supply as this will cause large currents to flow which can result in a destroyed unit.

Exceeding the negative common-mode limit on either input will cause a reversal of the phase to the output and force the amplifier output to the corresponding high or low state. Exceeding the negative common-mode limit on both inputs will force the amplifier output to a

เอกสารนี้เป็นเอกสาร... ท่านไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น

Application Hints (Continued)

high state. In neither case does a latch occur since raising the input back within the common-mode range again puts the input stage and thus the amplifier in a normal operating mode.

Exceeding the positive common-mode limit on a single input will not change the phase of the output; however, if both inputs exceed the limit, the output of the amplifier will be forced to a high state.

The amplifier will operate with a common-mode input voltage equal to the positive supply; however, the gain bandwidth and slew rate may be decreased in this condition. When the negative common-mode voltage swings to within 3V of the negative supply, an increase in input offset voltage may occur.

The LF351 is biased by a zener reference which allows normal circuit operation on ±4V power supplies. Supply voltages less than these may result in lower gain bandwidth and slew rate.

The LF351 will drive a 2 kΩ load resistance to ±10V over the full temperature range of 0°C to +70°C. If the amplifier is forced to drive heavier load currents, however, an increase in input offset voltage may occur on the negative voltage swing and finally reach an active current limit on both positive and negative swings.

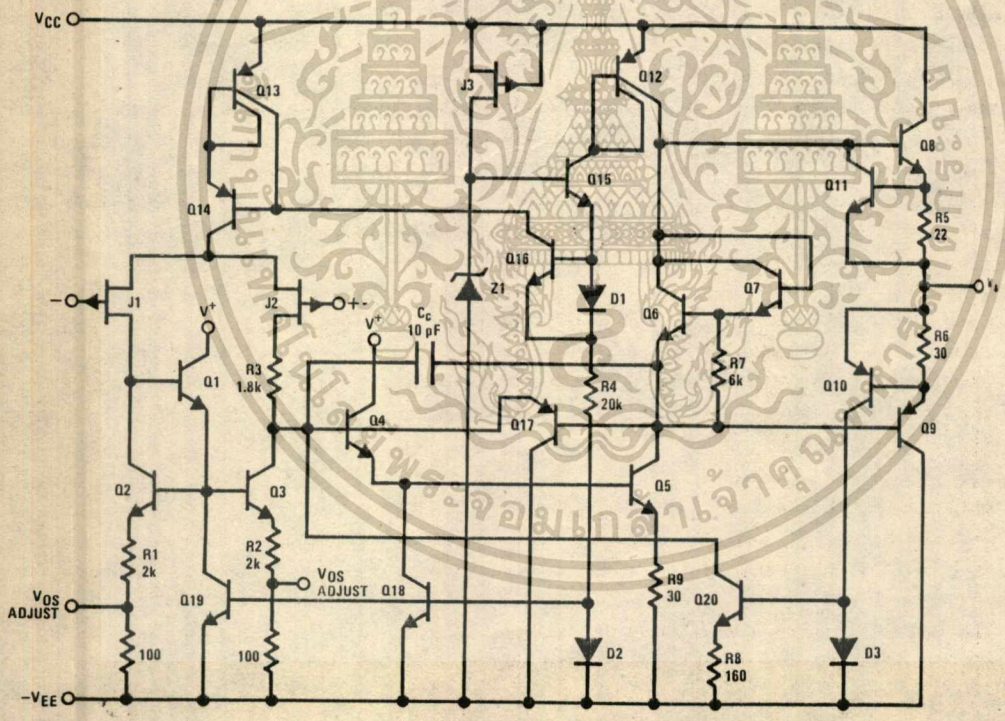
Precautions should be taken to ensure that the power supply for the integrated circuit never becomes reversed in polarity or that the unit is not inadvertently installed backwards in a socket as an unlimited current surge through the resulting forward diode within the IC could cause fusing of the internal conductors and result in a destroyed unit.

Because these amplifiers are JFET rather than MOSFET input op amps they do not require special handling.

As with most amplifiers, care should be taken with lead dress, component placement and supply decoupling in order to ensure stability. For example, resistors from the output to an input should be placed with the body close to the input to minimize "pick-up" and maximize the frequency of the feedback pole by minimizing the capacitance from the input to ground.

A feedback pole is created when the feedback around any amplifier is resistive. The parallel resistance and capacitance from the input of the device (usually the inverting input) to AC ground set the frequency of the pole. In many instances the frequency of this pole is much greater than the expected 3 dB frequency of the closed loop gain and consequently there is negligible effect on stability margin. However, if the feedback pole is less than approximately 6 times the expected 3 dB frequency a lead capacitor should be placed from the output to the input of the op amp. The value of the added capacitor should be such that the RC time constant of this capacitor and the resistance it parallels is greater than or equal to the original feedback pole time constant.

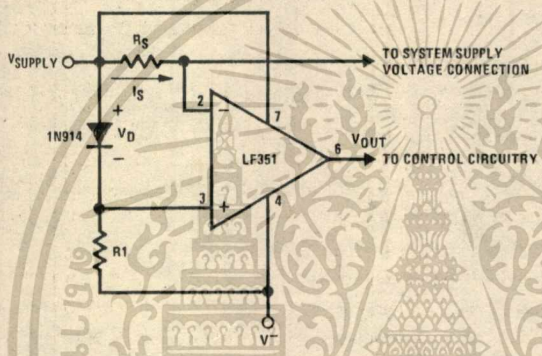
Detailed Schematic



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

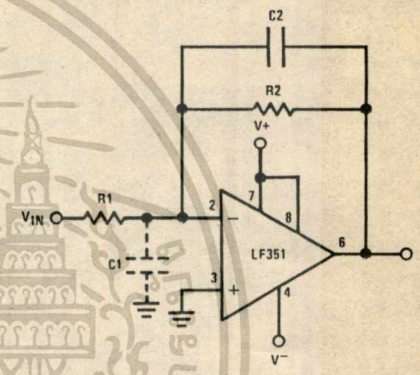
Typical Applications

Supply Current Indicator/Limiter



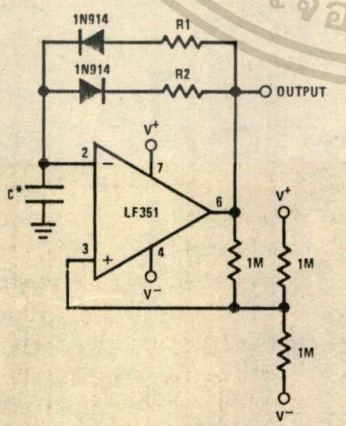
- V_{OUT} switches high when $R_S I_S > V_D$

Hi-Z_{IN} Inverting Amplifier



Parasitic input capacitance C1 ≅ (3 pF for LF351 plus any additional layout capacitance) interacts with feedback elements and creates undesirable high frequency pole. To compensate, add C2 such that: R2C2 ≅ R1C1.

Ultra-Low (or High) Duty Cycle Pulse Generator

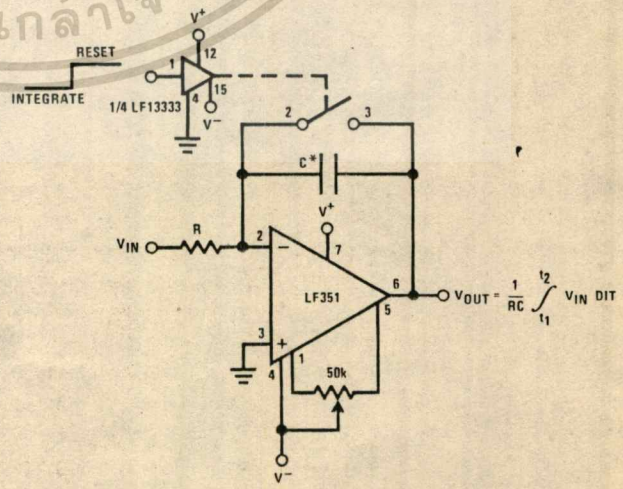


- $t_{OUTPUT\ HIGH} \approx R1C \ell n \dfrac{4.8 - 2V_S}{4.8 - V_S}$
- $t_{OUTPUT\ LOW} \approx R2C \ell n \dfrac{2V_S - 7.8}{V_S - 7.8}$

where $V_S = V^+ + |V^-|$

* low leakage capacitor

Long Time Integrator



* Low leakage capacitor

- 50k pot used for less sensitive V_{OS} adjust

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

EXAR

XR-2206

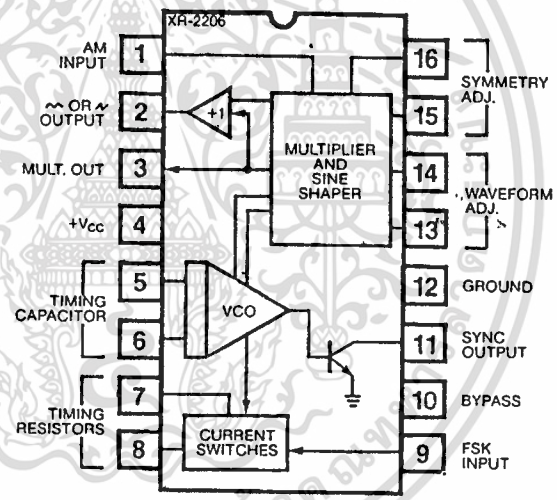
Monolithic Function Generator

GENERAL DESCRIPTION

The XR-2206 is a monolithic function generator integrated circuit capable of producing high quality sine, square, triangle, ramp, and pulse waveforms of high-stability and accuracy. The output waveforms can be both amplitude and frequency modulated by an external voltage. Frequency of operation can be selected externally over a range of 0.01 Hz to more than 1 MHz.

The circuit is ideally suited for communications, instrumentation, and function generator applications requiring sinusoidal tone, AM, FM, or FSK generation. It has a typical drift specification of 20 ppm/°C. The oscillator frequency can be linearly swept over a 2000:1 frequency range, with an external control voltage, having a very small affect on distortion.

FUNCTIONAL BLOCK DIAGRAM



FEATURES

Low-Sine Wave Distortion	0.5%, Typical
Excellent Temperature Stability	20 ppm/°C, Typical
Wide Sweep Range	2000:1, Typical
Low-Supply Sensitivity	0.01%V, Typical
Linear Amplitude Modulation, TTL Compatible FSK Controls	
Wide Supply Range	10V to 26V
Adjustable Duty Cycle	1% to 99%

APPLICATIONS

Waveform Generation
Sweep Generation
AM/FM Generation
V/F Conversion
FSK Generation
Phase-Locked Loops (VCO)

ABSOLUTE MAXIMUM RATINGS

Power Supply	26V
Power Dissipation	750 mW
Derate Above 25°C	5 mW/°C
Total Timing Current	6 mA
Storage Temperature	−65°C to +150°C

ORDERING INFORMATION

Part Number	Package	Operating Temperature
XR-2206M	Ceramic	−55°C to +125°C
XR-2206N	Ceramic	0°C to +70°C
XR-2206P	Plastic	0°C to +70°C
XR-2206CN	Ceramic	0°C to +70°C
XR-2206CP	Plastic	0°C to +70°C

SYSTEM DESCRIPTION

The XR-2206 is comprised of four functional blocks; a voltage-controlled oscillator (VCO), an analog multiplier and sine-shaper; a unity gain buffer amplifier; and a set of current switches.

The VCO actually produces an output frequency proportional to an input current, which is produced by a resistor from the timing terminals to ground. The current switches route one of the timing pins current to the VCO controlled by an FSK input pin, to produce an output frequency. With two timing pins, two discrete output frequencies can be independently produced for FSK Generation Applications.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

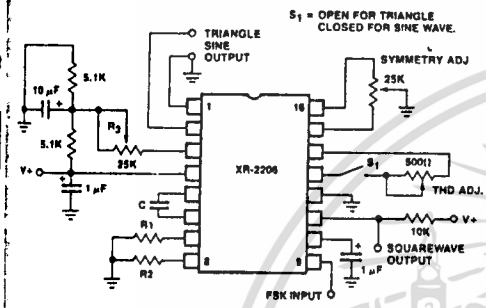


Figure 1. Basic Test Circuit.

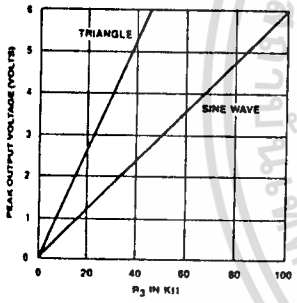


Figure 2. Output Amplitude as a Function of the Resistor, R_3, at Pin 3.

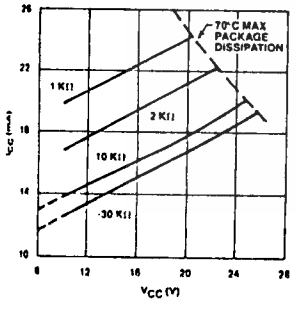


Figure 3. Supply Current versus Supply Voltage, Timing, R.

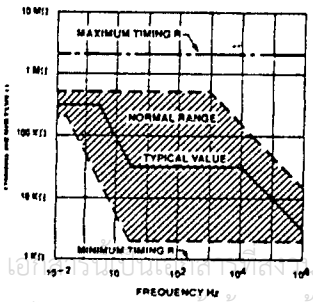


Figure 4. R versus Oscillation Frequency.

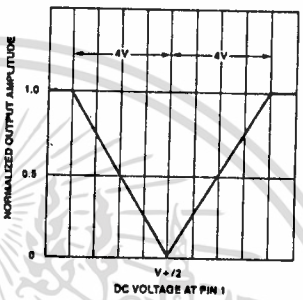


Figure 5. Normalized Output Amplitude versus DC Bias at AM Input (Pin 1).

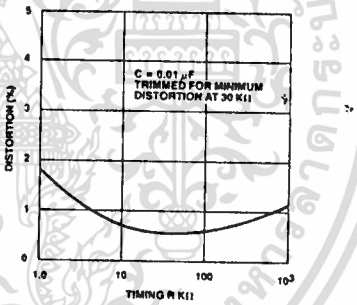


Figure 6. Trimmed Distortion versus Timing Resistor.

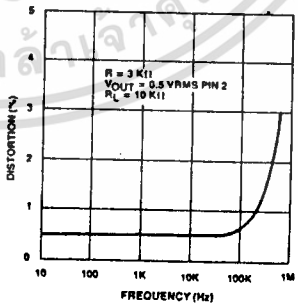


Figure 7. Sine Wave Distortion versus Operating Frequency with Timing Capacitors Varied.

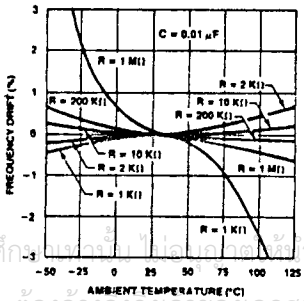


Figure 8. Frequency Drift versus Temperature.

เอกสารนี้จัดทำขึ้นเพื่อใช้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเอกสารทุกครั้งที่มีการนำไปใช้

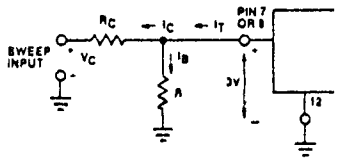


Figure 9. Circuit Connection for Frequency Sweep.

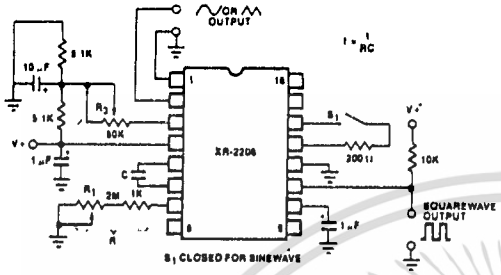


Figure 10. Circuit for Sine Wave Generation without External Adjustment. (See Figure 2 for Choice of R_3).

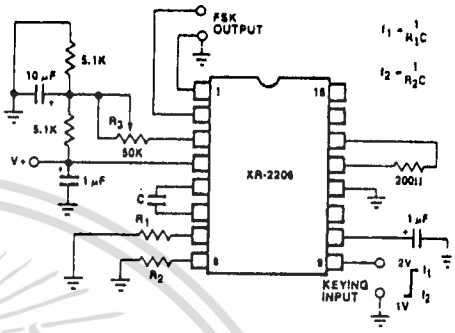


Figure 12. Sinusoidal FSK Generator.

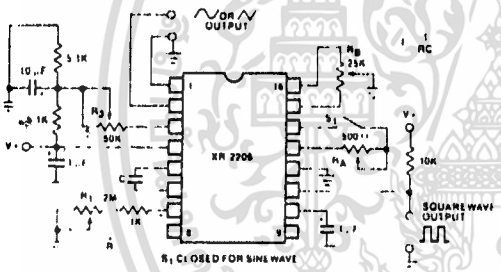


Figure 11. Circuit for Sine Wave Generation with Minimum Harmonic Distortion. (R_3 Determines Output Swing—See Figure 2.)

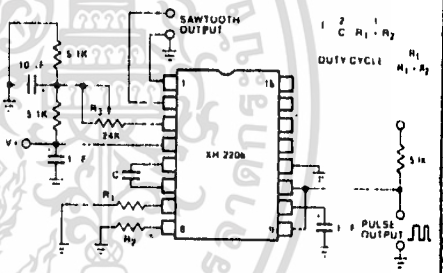


Figure 13. Circuit for Pulse and Ramp Generation.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Frequency-Shift Keying:

The XR-2206 can be operated with two separate timing resistors, R_1 and R_2, connected to the timing Pin 7 and 8, respectively, as shown in Figure 12. Depending on the polarity of the logic signal at Pin 9, either one or the other of these timing resistors is activated. If Pin 9 is open-circuited or connected to a bias voltage ≥2V, only R_1 is activated. Similarly, if the voltage level at Pin 9 is ≤1V, only R_2 is activated. Thus, the output frequency can be keyed between two levels, f_1 and f_2, as:

$$f_1 = 1/R_1C \text{ and } f_2 = 1/R_2C$$

For split-supply operation, the keying voltage at Pin 9 is referenced to V^-.

Output DC Level Control:

The dc level at the output (Pin 2) is approximately the same as the dc-bias at Pin 3. In Figures 10, 11 and 12, Pin 3 is biased midway between V^+ and ground, to give an output dc level of $\approx V^+/2$.

APPLICATIONS INFORMATION

Sine Wave Generation

Without External Adjustment:

Figure 10 shows the circuit connection for generating a sinusoidal output from the XR-2206. The potentiometer, R_1 at Pin 7, provides the desired frequency tuning. The maximum output swing is greater than $V^+/2$, and the typical distortion (THD) is <2.5%. If lower sine wave distortion is desired, additional adjustments can be provided as described in the following section.

The circuit of Figure 10 can be converted to split-supply operation, simply by replacing all ground connections with V^-. For split-supply operation, R_3 can be directly connected to ground.

With External Adjustment:

The harmonic content of sinusoidal output can be reduced to ≈0.5% by additional adjustments as shown in Figure 11. The potentiometer, R_A, adjusts the sine-shaping resistor, and R_B provides the fine adjustment for the waveform symmetry. The adjustment procedure is as follows:

1. Set R_B at midpoint, and adjust R_A for minimum distortion.
2. With R_A set as above, adjust R_B to further reduce distortion.

Triangle Wave Generation

The circuits of Figures 10 and 11 can be converted to triangle wave generation, by simply open-circuiting Pin 13 and 14 (i.e., S_1 open). Amplitude of the triangle is approximately twice the sine wave output.

FSK Generation

Figure 12 shows the circuit connection for sinusoidal FSK signal operation. Mark and space frequencies can be independently adjusted, by the choice of timing resistors, R_1 and R_2; the output is phase-continuous during transitions. The keying signal is applied to Pin 9. The circuit can be converted to split-supply operation by simply replacing ground with V^-.

Pulse and Ramp Generation

Figure 13 shows the circuit for pulse and ramp waveform generation. In this mode of operation, the FSK keying terminal (Pin 9) is shorted to the square-wave output (Pin 11), and the circuit automatically frequency-shift keys itself between two separate frequencies during the positive-going and negative-going output waveforms. The pulse width and duty cycle can be adjusted from 1% to 99%, by the choice of R_1 and R_2. The values of R_1 and R_2 should be in the range of 1 kΩ to 2 MΩ.

PRINCIPLES OF OPERATION

Description of Controls

Frequency of Operation:

The frequency of oscillation, f_o, is determined by the external timing capacitor, C, across Pin 5 and 6, and by the timing resistor, R, connected to either Pin 7 or 8. The frequency is given as:

$$f_o = \frac{1}{RC} \text{ Hz}$$

and can be adjusted by varying either R or C. The recommended values of R, for a given frequency range, as shown in Figure 4. Temperature stability is optimum for 4 kΩ < R < 200 kΩ. Recommended values of C are from 1000 pF to 100 μF.

Frequency Sweep and Modulation:

Frequency of oscillation is proportional to the total timing current, I_T, drawn from Pin 7 or 8:

$$f = \frac{320\ I_T\ (\text{mA})}{C\ (\mu F)} \text{ Hz}$$

Timing terminals (Pin 7 or 8) are low-impedance points, and are internally biased at +3V, with respect to Pin 12. Frequency varies linearly with I_T, over a wide range of current values, from 1 μA to 3 mA. The frequency can be controlled by applying a control voltage, V_C, to the activated timing pin as shown in Figure 9. The frequency of oscillation is related to V_C as:

$$f = \frac{1}{RC}1 + \frac{R}{R_C}\left(1 - \frac{V_C}{3}\right) \text{ Hz}$$

เอกสารนี้สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

where V_C is in volts. The voltage-to-frequency conversion gain, K, is given as:

$$K = \delta f/\delta VC = -\frac{0.32}{R_C C} \text{ Hz/V}$$

CAUTION: For safety operation of the circuit, I7 should be limited to ≤3 mA.

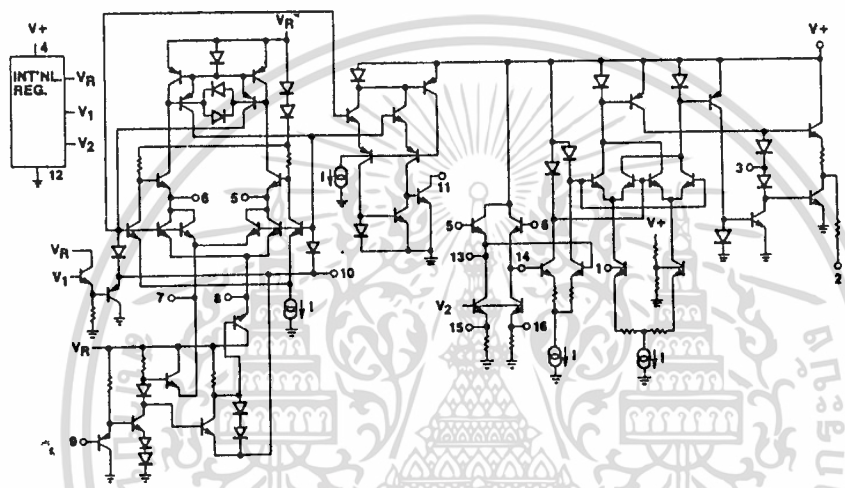
Output Amplitude:

Maximum output amplitude is inversely proportional to the external resistor, R_3, connected to Pin 3 (see Figure 2). For sine wave output, amplitude is approximately 60 mV peak per kΩ of R_3; for triangle, the peak amplitude is approximately 160 mV peak per kΩ of R_3. Thus, for example, R_3 = 50 kΩ would produce approximately ±3V sinusoidal output amplitude.

Amplitude Modulation:

Output amplitude can be modulated by applying a dc bias and a modulating signal to Pin 1. The internal impedance at Pin 1 is approximately 100 kΩ. Output amplitude varies linearly with the applied voltage at Pin 1, for values of dc bias at this pin, within ± 4 volts of V+/2 as shown in Figure 5. As this bias level approaches V+/2, the phase of the output signal is reversed, and the amplitude goes through zero. This property is suitable for phase-shift keying and suppressed-carrier AM generation. Total dynamic range of amplitude modulation is approximately 55 dB.

CAUTION: AM control must be used in conjunction with a well-regulated supply, since the output amplitude now becomes a function of V+.



EQUIVALENT SCHEMATIC DIAGRAM

Volta

GENERAL DES

The XR-2207
tor (VCO) inte
cy stability ar
vides simultar
over a frequer
suited for FM,
well as for pha

The XR-2207 h
°C. The oscilla
a 1000:1 range
duty cycle of b
puts can be v
stable pulse ar

FEATURES

Excellent Temp
Linear Frequer
Adjustable Dut
Two or Four Le
Wide Sweep Ri
Logic Compatib
Wide Supply Vc
Low Supply Sei
Wide Frequenc
Simultaneous Ti

APPLICATIONS

FSK Generatior
Voltage and Cu
Stable Phase-Lc
Waveform Gene
Triangle, Saw
FM and Sweep

ABSOLUTE MAX

Power Supply
Power Dissipati
Ceramic pack
Derate abo
Plastic packa
Derate abo
Storage Temper

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MOTOROLA

MC14051B
MC14052B
MC14053B

ANALOG MULTIPLEXERS/DEMULTIPLEXERS

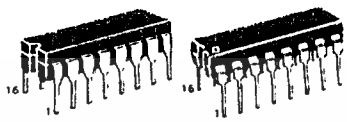
The MC14051B, MC14052B, and MC14053B, analog multiplexers are digitally controlled analog switches. The MC14051B effectively implements an SP8T electronic switch, the MC14052B a 2P4T, and the MC14053B a triple SPDT. All three devices feature low ON impedance and very low OFF leakage current. Control of analog signals up to the complete supply voltage range can be achieved.

- High On/Off Output Voltage Ratio — 65 dB typical
- Quiescent Current = 5.0 nA/package typical @ 5 Vdc
- Low Crosstalk Between Switches — 80 dB typical
- Diode Protection on All Inputs
- Supply Voltage Range = 3.0 Vdc to 18 Vdc
- Transmits Frequencies Up to 65 MHz
- Linearized Transfer Characteristics, $\Delta R_{ON} < 60\ \Omega$ for $V_{in} = V_{DD}$ to V_{EE} @ 15 Vdc
- Low Noise — 12 nV/$\sqrt{\text{Cycle}}$, f ≥ 1 kHz typical
- Pin-for-Pin Replacement for CD4051, CD4052, and CD4053

CMOS MSI

(LOW-POWER COMPLEMENTARY MOS)

ANALOG MULTIPLEXERS/
DEMULTIPLEXERS



CASE 620
L SUFFIX
CERAMIC PACKAGE

CASE 648
P SUFFIX
PLASTIC PACKAGE

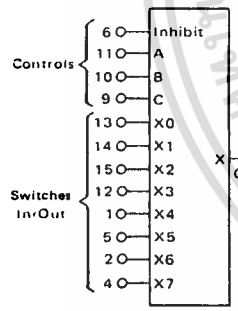
ORDERING INFORMATION

MC14XXXB — Suffix Denotes
- L Ceramic Package
- P Plastic Package
- A Extended Operating Temperature Range
- C Limited Operating Temperature Range

MAXIMUM RATINGS

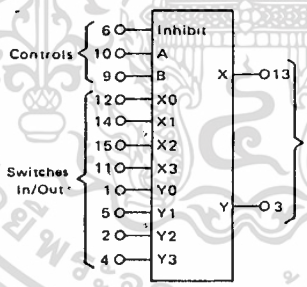
Rating	Symbol	Value	Unit
DC Supply Voltage	V_{DD}-V_{EE}	-0.5 to +18	Vdc
Input Voltage, All Inputs	V_{in}	-0.5 to V_{DD} + 0.5	Vdc
Through Current	I	25	mAdc
Operating Temperature Range — AL Device CL/CP Device	T_A	-55 to +125 -40 to +85	°C
Storage Temperature Range	T_{stg}	-65 to +150	°C

MC14051B
8-Channel Analog Multiplexer/Demultiplexer



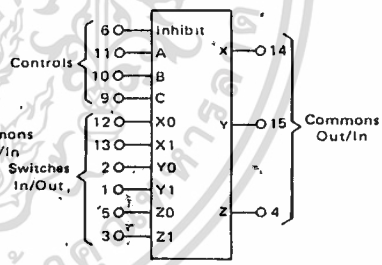
V_{DD} = Pin 16
V_{SS} = Pin 8
V_{EE} = Pin 7

MC14052B
Dual 4-Channel Analog Multiplexer/Demultiplexer



V_{DD} = Pin 16
V_{SS} = Pin 8
V_{EE} = Pin 7

MC14053B
Triple 2-Channel Analog Multiplexer/Demultiplexer



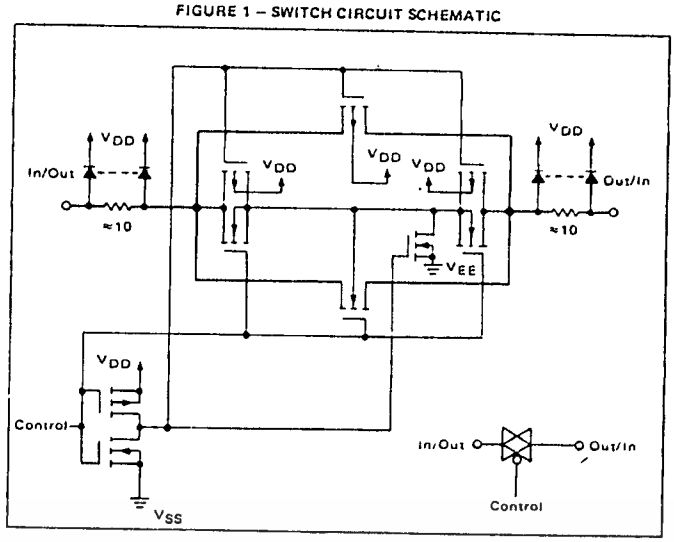
V_{DD} = Pin 16
V_{SS} = Pin 8
V_{EE} = Pin 7

Note: Control Inputs referenced to V_{SS}, Analog Inputs and Outputs reference to V_{EE}. V_{EE} must be ≤ V_{SS}.

7

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FIGURE 1 – SWITCH CIRCUIT SCHEMATIC



TRUTH TABLE

Control Inputs				ON Switches					
	Select								
Inhibit	C*	B	A	MC14051B	MC14052B		MC14053B		
0	0	0	0	X0	Y0	X0	Z0	Y0	X0
0	0	0	1	X1	Y1	X1	Z0	Y0	X1
0	0	1	0	X2	Y2	X2	Z0	Y1	X0
0	0	1	1	X3	Y3	X3	Z0	Y1	X1
0	1	0	0	X4			Z1	Y0	X0
0	1	0	1	X5			Z1	Y0	X1
0	1	1	0	X6			Z1	Y1	X0
0	1	1	1	X7			Z1	Y1	X1
1	x	x	x	None	None		None		

*Not applicable for MC14052
x = Don't Care

FIGURE 2 – MC14051B FUNCTIONAL DIAGRAM

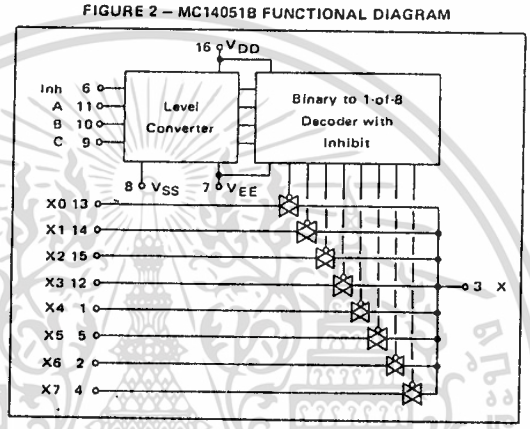


FIGURE 3 – MC14052B FUNCTIONAL DIAGRAM

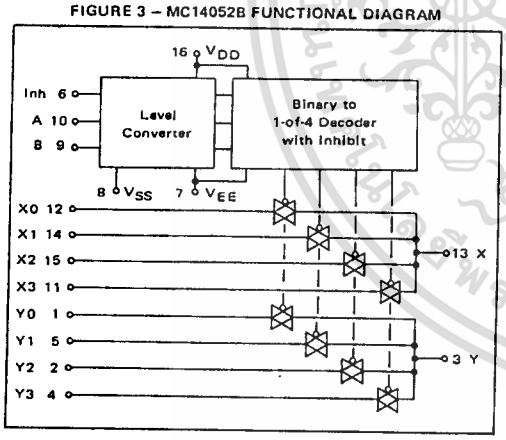
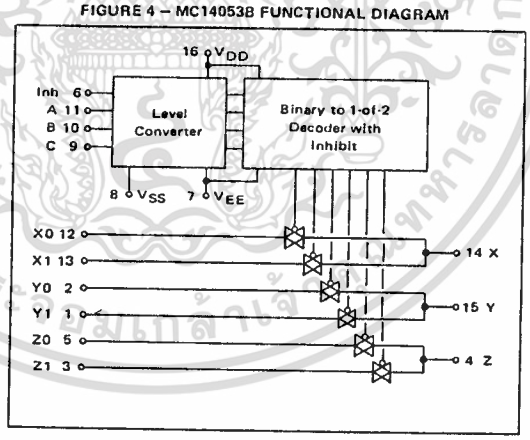


FIGURE 4 – MC14053B FUNCTIONAL DIAGRAM



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS

Characteristic		Symbol	V_{DD}-V_{EE} Vdc	T_{low}* Min	T_{low}* Max	25°C Min	25°C Typ	25°C Max	T_{high}* Min	T_{high}* Max	Unit
Output Voltage	"0" Level	V_{OL}	5.0	–	0.05	–	0	0.05	–	0.05	Vdc
V_{in} = V_{DD} or V_{SS}			10	–	0.05	–	0	0.05		0.05	
V_{SS} = V_{EE}			15	–	0.05	–	0	0.05	–	0.05	
	"1" Level	V_{OH}	5.0	4.95	–	4.95	5.0	–	4.95	–	Vdc
V_{in} = 0 or V_{DD}			10	9.95	–	9.95	10	–	9.95		
			15	14.95	–	14.95	15	–	14.95		
Input Voltage#	"0" Level	V_{IL}									Vdc
(V_O = 4.5 or 0.5 Vdc)			5.0	–	1.5	–	2.25	1.5		1.5	
(V_O = 9.0 or 1.0 Vdc)			10	–	3.0	–	4.50	3.0	–	3.0	
(V_O = 13.5 or 1.5 Vdc)			15	–	4.0	–	6.75	4.0	–	4.0	
	"1" Level	V_{IH}									Vdc
(V_O = 0.5 or 4.5 Vdc)			5.0	3.5	–	3.5	2.75	–	3.5	–	
(V_O 1.0 or 9.0 Vdc)			10	7.0	–	7.0	5.50	–	7.0	–	
(V_O = 1.5 or 13.5 Vdc)			15	11.25	–	11.0	8.25	–	11.0	–	
Input Current (Control, Inhibit)		I_{in}	–	–	–	–	10	–	–	–	pAdc
Input Capacitance		C_{in}									pF
(V_{in} 0)											
Control, Inhibit			–	–	–	–	5.0	–	–	–	
Switch Inputs			–	–	–	–	10	–	–	–	
Output Capacitance	MC14051B	C_{out}	10	–	–	–	60	–	–		pF
	MC14052B		10	–	–	–	32	–	–	–	
	MC14053B		10	–	–	–	17	–	–	–	
Feedthrough Capacitance	MC14051B	C_{in-out}	10	–	–	–	0.18	–	–	–	pF
	MC14052B		10	–	–	–	0.12	–	–	–	
	MC14053B		10	–	–	–	0.10	–	–	–	
Quiescent Current (AL Device)		I_{DD}	5.0	–	5.0	–	0.005	5.0	–	150	μAdc
(Per Package)			10	–	10	–	0.010	10	–	300	
			15	–	20	–	0.015	20	–	600	
Quiescent Current (CL/CP Device)		I_{DD}	5.0	–	20	–	0.005	20	–	150	μAdc
(Per Package)			10	–	40	–	0.010	40	–	300	
			15	–	80	–	0.015	80	–	600	
Total Supply Current**†		I_T	5.0	I_T = (0.07 μA/kHz) f + I_Q							μAdc
(Dynamic plus Quiescent,			10	I_T = (0.20 μA/kHz) f + I_Q							
Per Package)			15	I_T = (0.36 μA/kHz) f + I_Q							
ON Resistance (AL Device)		R_{ON}	5.0	–	880	–	250	1050	–	1200	Ω
			10	–	400	–	120	500	–	550	
			15	–	220	–	80	280	–	320	
ON Resistance (CL/CP Device)		R_{ON}	5.0	–	880	–	250	1050	–	1200	Ω
			10	–	450	–	120	500	–	520	
			15	–	250	–	80	280	–	300	
Δ ON Resistance Between Any		ΔR_{ON}	5.0	–	–	–	25	–	–	–	Ω
Two Channels			10	–	–	–	10	–	–	–	
			15	–	–	–	5.0	–	–	–	
OFF Channel Leakage Current		–									nAdc
Any Channel			15	–	100	–	±0.01	100	–	1000	
(AL Device) All Channels OFF:											
	MC14051B		15	–	100	–	±0.08	100	–	1000	
	MC14052B		15	–	100	–	±0.04	100	–	1000	
	MC14053B		15	–	100	–	±0.02	100	–	1000	
OFF Channel Leakage Current		–									nAdc
Any Channel			15	–	1000	–	±0.01	1000	–	3000	
(CL/CP Device)											
All Channels OFF:	MC10451B		15	–	1000	–	±0.08	1000	–	3000	
	MC10452B		15	–	1000	–	±0.04	1000	–	3000	
	MC10453B		15	–	1000	–	±0.02	1000	–	3000	

*T_{low} = -55°C for AL Device, -40°C for CL/CP Device.
T_{high} = +125°C for AL Device, +85°C for CL/CP Device.
#Noise immunity is defined as the control input voltage coincident with the specified change, ΔV_{out}, at an output in the OFF state.
**The formulas given are for the typical characteristics only at 25°C.
†Total Supply Current, I_T, is the current drawn at device terminals V_{DD} and V_{SS} for total current through the device. The channel component, $(V_{in}-V_{out})/R_{ON}$, should not be included.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SWITCHING CHARACTERISTICS* (C_L = 50 pF, T_A = 25°C)

Characteristic	Symbol	V_{DD}-V_{EE} Vdc	Typ All Types	Max	Unit
Propagation Delay Times	t_{PLH}, t_{PHL}				ns
Switch Input to Switch Output (R_L = 10 kΩ)					
MC14051					
t_{PLH}, t_{PHL} = (0.17 ns/pF) C_L + 26.5 ns		5.0	35	90	
t_{PLH}, t_{PHL} = (0.08 ns/pF) C_L + 11 ns		10	15	40	
t_{PLH}, t_{PHL} = (0.06 ns/pF) C_L + 9.0 ns		15	12	30	
MC14052					
t_{PLH}, t_{PHL} = (0.17 ns/pF) C_L + 21.5 ns		5.0	30	75	ns
t_{PLH}, t_{PHL} = (0.08 ns/pF) C_L + 8.0 ns		10	12	30	
t_{PLH}, t_{PHL} = (0.06 ns/pF) C_L + 7.0 ns		15	10	25	
MC14053					
t_{PLH}, t_{PHL} = (0.17 ns/pF) C_L + 16.5 ns		5.0	25	65	ns
t_{PLH}, t_{PHL} = (0.08 ns/pF) C_L + 4.0 ns		10	8.0	20	
t_{PLH}, t_{PHL} = (0.06 ns/pF) C_L + 3.0 ns		15	6.0	15	
Inhibit to Output (R_L = 10 kΩ):	t_{PHZ}, t_{PLZ},				ns
Output "1" or "0" to High Impedance, or	t_{PZH}, t_{PZL}				
High Impedance to "1" or "0" Level					
MC14051B		5.0	350	700	
		10	170	340	
		15	140	280	
MC14052B		5.0	300	600	ns
		10	155	310	
		15	125	250	
MC14053B		5.0	275	550	ns
		10	140	280	
		15	110	220	
Control Input to Output (R_L = 10 kΩ)	t_{PLH}, t_{PHL}				ns
MC14051B		5.0	360	720	
		10	160	320	
		15	120	240	
MC14052B		5.0	325	650	ns
		10	130	260	
		15	90	180	
MC14053B		5.0	300	600	ns
		10	120	240	
		15	80	160	
Sine Wave Distortion (R_L = 1 kΩ, f = 1 kHz)	–	10	0.04	–	%
Bandwidth (R_L = 1 kΩ, V_{in} = 1/2 (V_{DD} - V_{SS}) p-p, 20 Log 10 $\frac{V_{Out}}{V_{in}$ = -3 dB)	BW				MHz
MC14051B		10	20	–	
MC14052B		10	30	–	
MC14053B		10	55	–	
Feedthrough Attenuation, Input to Output (R_L = 1 kΩ, 20 Log 10 $\frac{V_{out}}{V_{in}$ = -50 dB)	–				MHz
MC14051B		10	4.5	–	
MC14052B		10	30	–	
MC14053B		10	55	–	
Channel Separation (R_L = 1 kΩ, V_{in} = 1/2 (V_{DD} - V_{SS}) p-p, 20 Log 10 $\frac{V_{out(B)}}{V_{in(A)}$ = -50 dB)	–	10	3.0	–	MHz
Feedthrough Control, Input to Output (R_1 = 1 kΩ, R_L = 10 kΩ Control/Inhibit t_{TLH} = t_{THL} = 20 ns)	–	10	30	–	mV
Maximum Control Frequency (R_L = 1 kΩ, V_{out} = 1/2 V_{in})	–	10	10	–	MHz

* The formulas given are for the typical characteristics only.

This device contains circuitry to protect the inputs against damage due to high static voltages or electric fields; however, it is advised that normal precautions be taken to avoid application of any voltage higher than maximum rated voltages to this high impedance circuit. For proper operation it is recommended that V_{in} and V_{out} be constrained to the range $V_{EE} \leq (V_{in}$ or $V_{out}) \leq V_{DD}$.

Unused inputs must always be tied to an appropriate logic voltage level (e.g., either V_{SS} or V_{DD}).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TEST CIRCUITS

FIGURE 5 – INPUT VOLTAGE

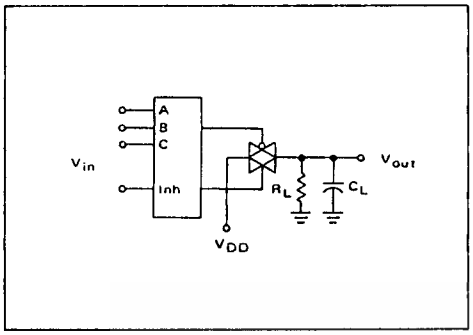


FIGURE 6 – PROPAGATION DELAY TIMES, CONTROL AND INHIBIT TO OUTPUT

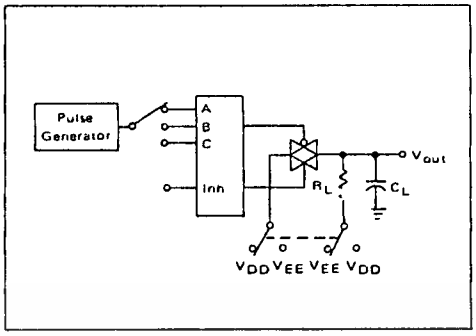


FIGURE 7 – BANDWIDTH AND FEEDTHROUGH ATTENUATION

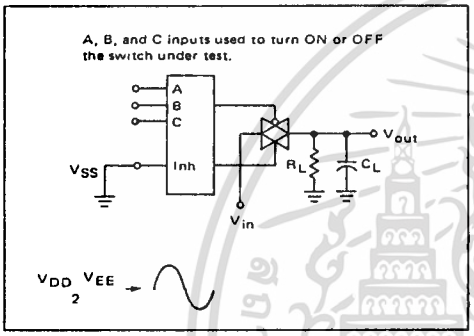


FIGURE 8 – CROSSTALK BETWEEN ANY TWO SWITCHES

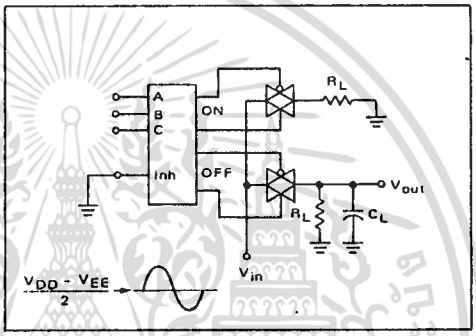


FIGURE 9 – FEEDTHROUGH, CONTROL TO SIGNAL OUTPUT

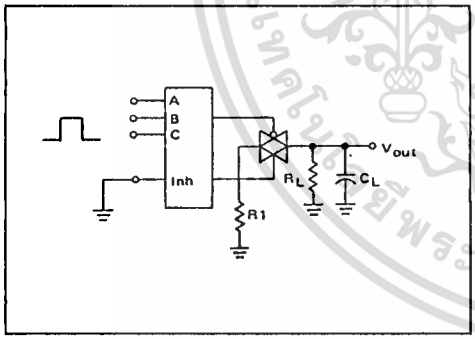
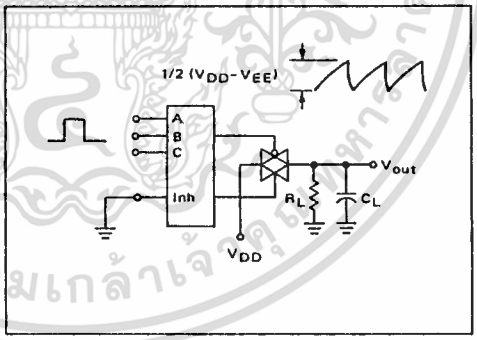


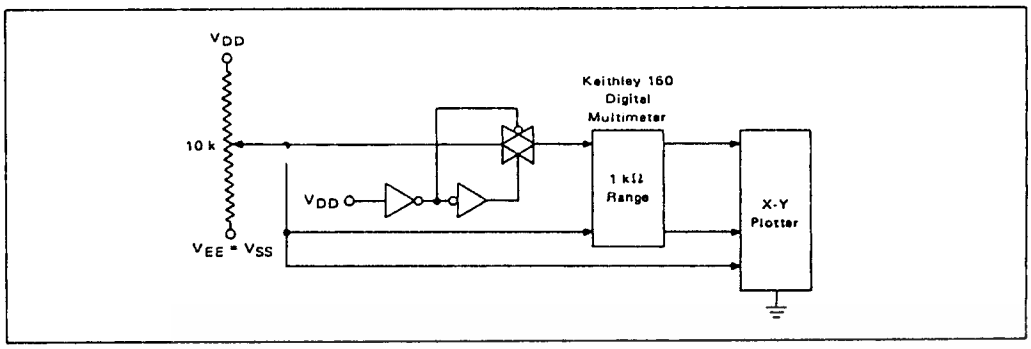
FIGURE 10 – MAXIMUM CONTROL FREQUENCY



7

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FIGURE 11 – CHANNEL RESISTANCE (R_{ON}) TEST CIRCUIT



TYPICAL RESISTANCE CHARACTERISTICS

FIGURE 12 – V_{DD} = 7.5 V, V_{EE} = -7.5 V

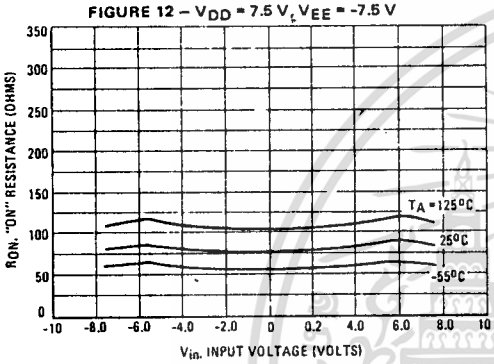


FIGURE 13 – V_{DD} = 5.0 V, V_{EE} = -5.0 V

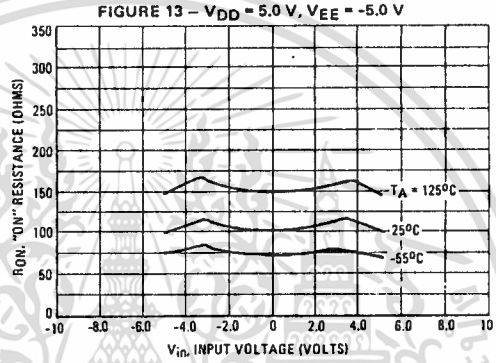


FIGURE 14 – V_{DD} = 2.5 V, V_{EE} = -2.5 V

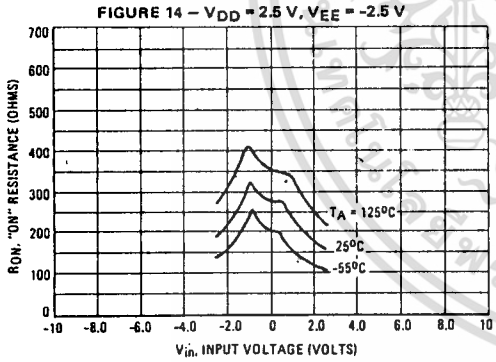
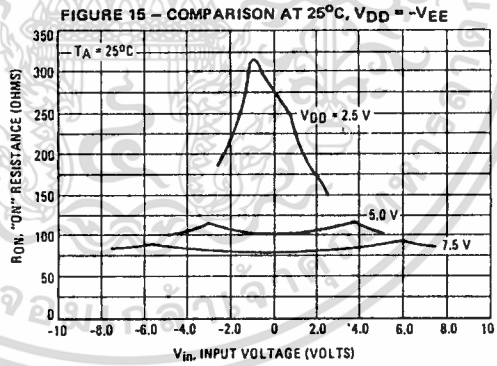


FIGURE 15 – COMPARISON AT 25°C, V_{DD} = -V_{EE}



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MOTOROLA

MC14066B

QUAD ANALOG SWITCH/QUAD MULTIPLEXER

The MC14066B consists of four independent switches capable of controlling either digital or analog signals. This quad bilateral switch is useful in signal gating, chopper, modulator, demodulator and CMOS logic implementation.

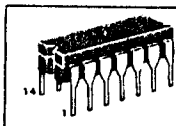
The MC14066B is designed to be pin-for-pin compatible with the MC14016B, but has much lower ON resistance. Input voltage swings as large as the full supply voltage can be controlled via each independent control input.

- High On/Off Output Voltage Ratio — 65 dB typical
- Quiescent Current = 0.5 nA/package typical @ 5 Vdc
- Low Crosstalk Between Switches —50 dB typical @ 8 MHz
- Diode Protection on All Inputs
- Supply Voltage Range = 3.0 Vdc to 18 Vdc
- Transmits Frequencies Up to 65 MHz @ 10 Vdc
- Linearized Transfer Characteristics, ΔR_{ON} <60 Ω for $V_{in} = V_{DD}$ to V_{SS} (at 15V)
- Low Noise — 12 nV/$\sqrt{\text{Cycle}}$, f ≥ 1 kHz typical
- Pin-for-Pin Replacement for CD4016, CD4066, MC14016

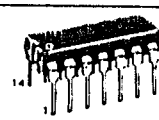
CMOS SSI

(LOW-POWER COMPLEMENTARY MOS)

QUAD ANALOG SWITCH
QUAD MULTIPLEXER



L SUFFIX
CERAMIC PACKAGE
CASE 632



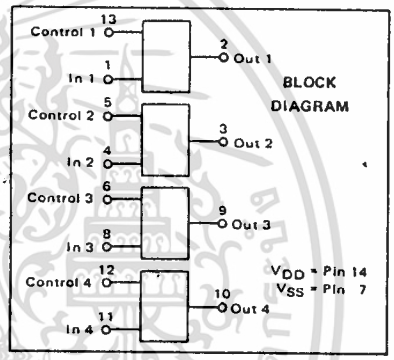
P SUFFIX
PLASTIC PACKAGE
CASE 646

ORDERING INFORMATION

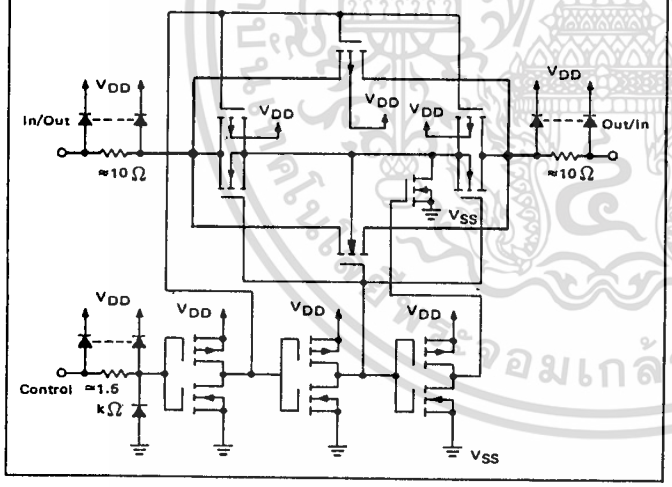
MC14XXX — Suffix Denotes
- L Ceramic Package
- P Plastic Package
- A Extended Operating Temperature Range
- C Limited Operating Temperature Range

MAXIMUM RATINGS (Voltages referenced to V_{SS})

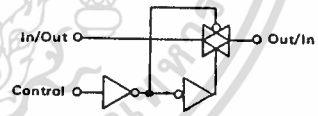
Rating	Symbol	Value	Unit
DC Supply Voltage	V_{DD}	-0.5 to +18	Vdc
Input Voltage, All Inputs	V_{in}	-0.5 to V_{DD} + 0.5	Vdc
Through Current	I	25	mAdc
Operating Temperature Range — AL Device CL/CP Device	T_A	-55 to +125 -40 to +85	°C
Storage Temperature Range	T_{stg}	-65 to +150	°C



CIRCUIT SCHEMATIC
(1/4 OF DEVICE SHOWN)



LOGIC DIAGRAM AND TRUTH TABLE
(1/4 OF DEVICE SHOWN)



Control	Switch
0	OFF
1	ON

Logic Diagram Restrictions
$V_{SS} \le V_{in} \le V_{DD}$
$V_{SS} \le V_{out} \le V_{DD}$

$V_{control}$	V_{in} to V_{out} Resistance
V_{SS}	$>10^9$ Ohms typ
V_{DD}	3×10^2 Ohms typ

7

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS

Characteristic	Symbol	V_{DD} Vdc	T_{low}* Min	T_{low}* Max	25°C Min	25°C Typ	25°C Max	T_{high}* Min	T_{high}* Max	Unit
Input Voltage (Control) "0" Level	V_{IL}									Vdc
(V_O = 4.5 or 0.5 Vdc)		5.0	–	1.5	–	2.25	1.5	–	1.5	
(V_O = 9.0 or 1.0 Vdc)		10	–	3.0	–	4.50	3.0	–	3.0	
(V_O = 13.5 or 1.5 Vdc)		15	–	3.75	–	6.75	3.75	–	3.75	
"1" Level	V_{IH}									Vdc
(V_O = 0.5 or 4.5 Vdc)		5.0	3.5	–	3.5	2.75	–	3.5	–	
(V_O = 1.0 or 9.0 Vdc)		10	7.0	–	7.0	5.50	–	7.0	–	
(V_O = 1.5 or 13.5 Vdc)		15	11.25	–	11.25	8.25	–	11.25	–	
Input Current (AL Device) Control	I_{in}	15	–	±0.1	–	±0.00001	±0.1	–	±1.0	μAdc
Input Current (CL/CP Device) Control	I_{in}	15		±0.3		±0.00001	±0.3	–	±1.0	μAdc
Input Capacitance (V_{in} = 0)	C_{in}									pF
Control Input			–	–	–	5.0	7.5	–	–	
Switch Inputs		10	–	–	–	8.0	15	–	–	
Output Capacitance	C_{out}	10	–	–	–	8.0	–	–	–	pF
Feedthrough Capacitance	C_{in-out}	10	–	–	–	0.5	–	–	–	pF
Quiescent Current (AL Device)	I_Q	5.0	–	0.25	–	0.0005	0.25	–	7.5	μAdc
(Per Package)		10	–	0.50	–	0.0010	0.50	–	15	
		15	–	1.00	–	0.0015	1.00	–	30	
Quiescent Current (CL/CP Device)	I_Q	5.0	–	1.0	–	0.0005	1.0	–	7.5	μAdc
(Per Package)		10	–	2.0	–	0.0010	2.0	–	15	
		15	–	4.0		0.0015	4.0	–	30	
ON Resistance (AL Device)	R_{ON}	5.0	–	800		250	1050	–	1200	Ω
		10	–	400	–	120	500	–	520	
		15	–	220		80	280	–	300	
ON Resistance (CL/CP Device)	R_{ON}	5.0	–	880	–	250	1050	–	1300	Ω
		10	–	450	–	120	500	–	550	
		15	–	250	–	80	280	–	320	
ΔON Resistance Between Any Two of Four Switches	ΔR_{ON}	5.0	–	–	–	25	–	–	–	Ω
		10	–	–	–	10	–	–	–	
		15	–	–	–	5.0	–	–	–	
Input/Output Leakage Current Switch OFF (AL Device)	–	15	–	±100	–	±0.01	±100	–	±1000	nAdc
Input/Output Leakage Current Switch OFF (CL/CP Device)	–	15	–	±300	–	±0.01	±300	–	±1000	nAdc

*The formulas given are for the typical characteristics only.
T_{low} = -55°C for AL Device, -40°C for CL/CP Device.
T_{high} = +125°C for AL Device, +85°C for CL/CP Device.

This device contains circuitry to protect the inputs against damage due to high static voltages or electric fields; however, it is advised that normal precautions be taken to avoid application of any voltage higher than maximum rated voltages to this high impedance circuit. For proper operation it is recommended that V_{in} and V_{out} be constrained to the range $V_{SS} \le (V_{in}$ or $V_{out}) \le V_{DD}$.
Unused inputs must always be tied to an appropriate logic voltage level (e.g., either V_{SS} or V_{DD}).

SWITCH

Propaga	
Inpu	
Cont	
O	
O	
Hi	
Hi	
Sine Wave (V_{in} = R_L =	
Frequency	
(R_L =	
Feedthrou	
(R_L =	
Crosstalk B	
(R_L = 1	
(Switch	
Crosstalk, O	
Maximum O	
(20 Log	

*The formula

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

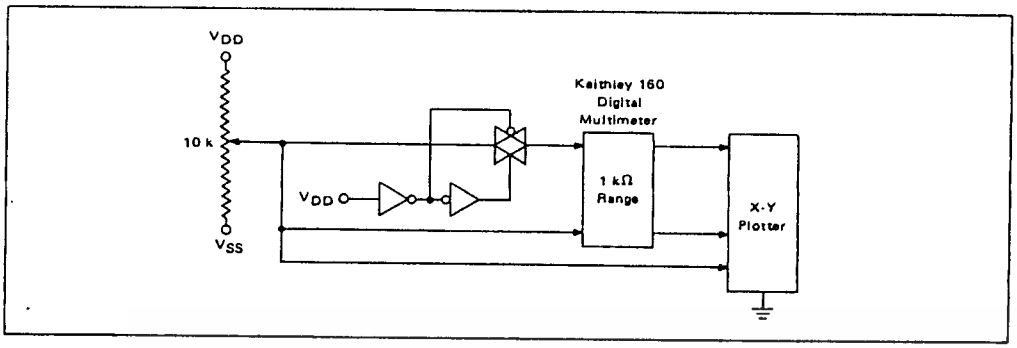
SWITCHING CHARACTERISTICS* (C_L = 50 pF, T_A = 25°C unless otherwise noted.)

Characteristic	Symbol	V_{DD} Vdc	Min	Typ	Max	Unit
Propagation Delay Times V_{SS} = 0 Vdc						
Input to Output (R_L = 10 kΩ)	t_{PLH}, t_{PHL}					ns
t_{PLH}, t_{PHL} = (0.17 ns/pF) C_L + 15.5 ns		5.0	–	20	40	
t_{PLH}, t_{PHL} = (0.08 ns/pF) C_L + 6.0 ns		10	–	10	20	
t_{PLH}, t_{PHL} = (0.06 ns/pF) C_L + 4.0 ns		15	–	7.0	15	
Control to Output (R_L = 1 kΩ)						
Output "1" to High Impedance	t_{PHZ}	5.0	–	40	80	ns
		10	–	35	70	
		15	–	30	60	
Output "0" to High Impedance	t_{PLZ}	5.0	–	40	80	ns
		10	–	35	70	
		15	–	30	60	
High Impedance to Output "1"	t_{PZH}	5.0	–	60	120	ns
		10	–	20	40	
		15	–	15	30	
High Impedance to Output "0"	t_{PZL}	5.0	–	60	120	ns
		10	–	20	40	
		15	–	15	30	
Sine Wave Distortion V_{SS} = −5 Vdc (V_{in} = 1.77 Vdc, RMS Centered @ 0.0 Vdc, R_L = 10 kΩ, f = 1.0 kHz)	–	5.0	–	0.1	–	%
Frequency Response (Switch ON) V_{SS} = −5 Vdc (R_L = 1 kΩ, 20 $\log_{10} \frac{V_{out}}{V_{in}}$ = −3 dB)	–	5.0	–	65	–	MHz
Feedthrough Attenuation (Switch OFF) V_{SS} = −5 Vdc (R_L = 1 kΩ, 20 $\log_{10} \frac{V_{out}}{V_{in}}$ = −50 dB)	–	5.0	–	1.0	–	MHz
Crosstalk Between Any Two Switches V_{SS} = −5 Vdc (R_L = 1 kΩ, 20 $\log_{10} \frac{V_{out(B)}}{V_{in(A)}}$ = −50 dB, (Switch A ON, Switch B OFF)	–	5.0	–	8.0	–	MHz
Crosstalk, Control Input to Signal Output V_{SS} = −5 Vdc	–	5.0	–	300	–	mV
Maximum Control Input Frequency V_{SS} = 0 Vdc	–	5.0	–	6.0	–	MHz
(20 $\log_{10} \frac{V_{out}}{V_{in}}$ = −6 dB)		10	–	8.0	–	
		15	–	8.5	–	

*The formulas given are for the typical characteristics only.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FIGURE 7 – CHANNEL RESISTANCE (R_{ON}) TEST CIRCUIT



TYPICAL RESISTANCE CHARACTERISTICS

FIGURE 8 – V_{DD} = 7.5 V, V_{SS} = -7.5 V

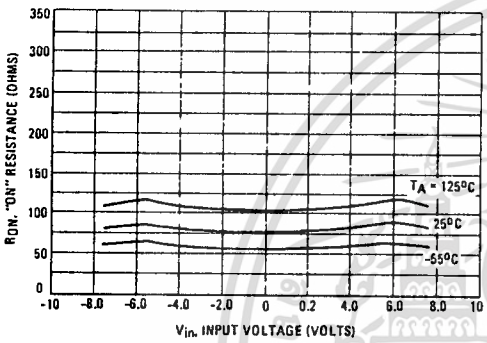


FIGURE 9 – V_{DD} = 5.0 V, V_{SS} = -5.0 V

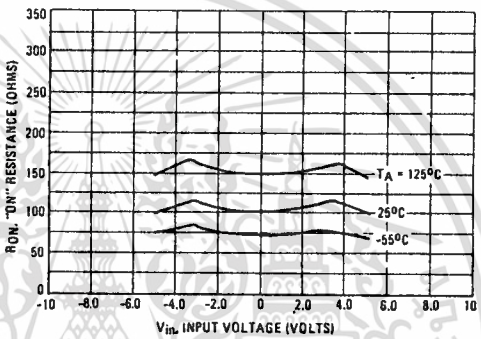


FIGURE 10 – V_{DD} = 2.5 V, V_{SS} = -2.5 V

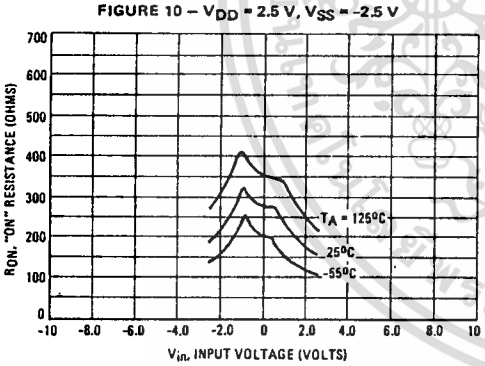
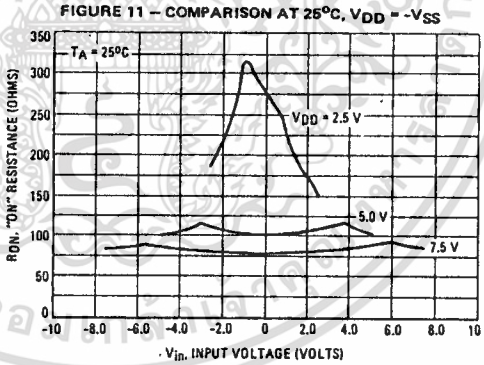


FIGURE 11 – COMPARISON AT 25°C, V_{DD} = -V_{SS}



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TEST CIRCUITS

FIGURE 1 – INPUT VOLTAGE

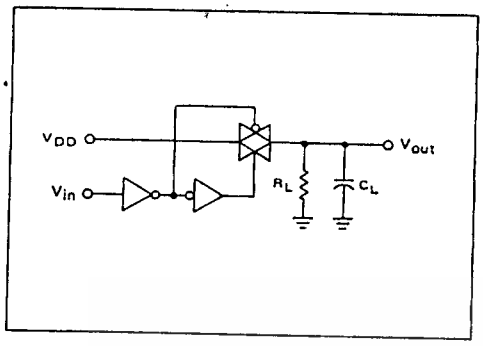


FIGURE 2 – PROPAGATION DELAY TIME, CONTROL TO OUTPUT

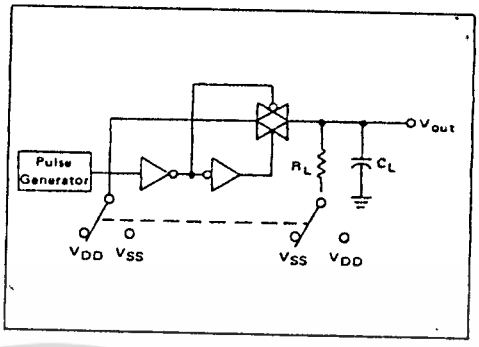


FIGURE 3 – BANDWIDTH AND FEEDTHROUGH ATTENUATION

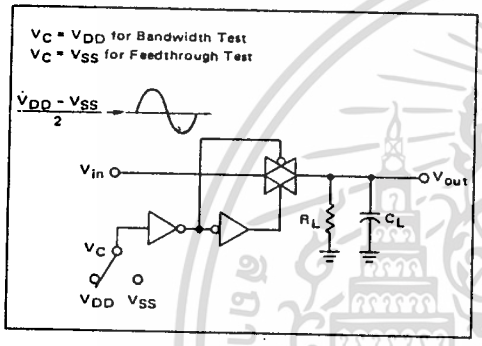


FIGURE 4 – CROSSTALK BETWEEN ANY TWO SWITCHES

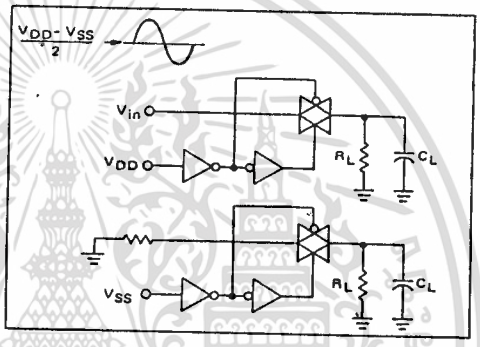


FIGURE 5 – CROSSTALK, CONTROL TO OUTPUT

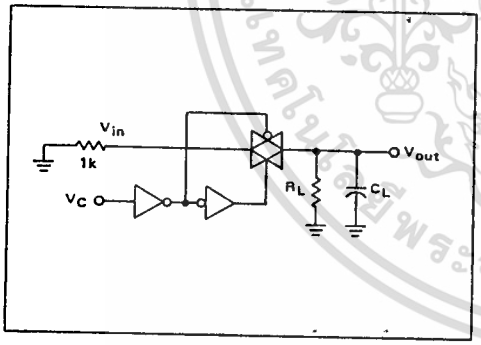
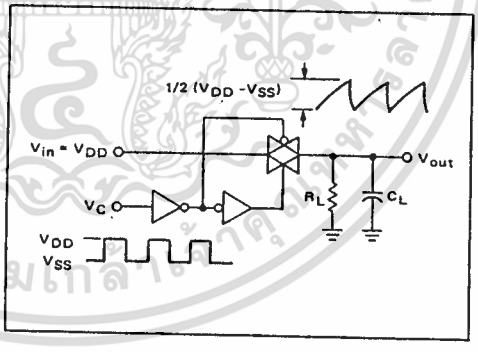


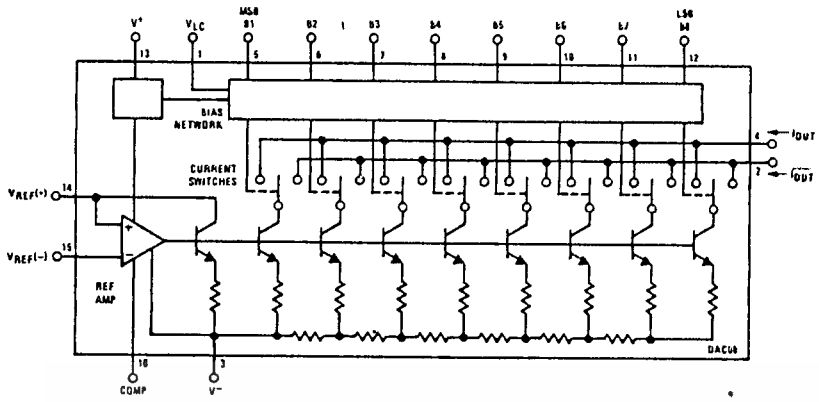
FIGURE 6 – MAXIMUM CONTROL FREQUENCY



7

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Block Diagram



Equivalent Circuit

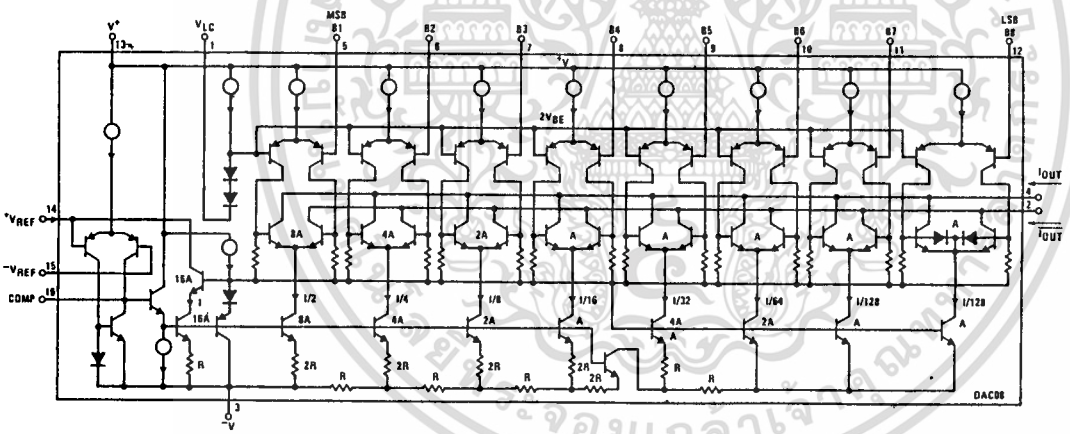
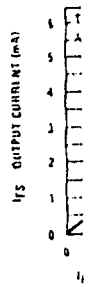
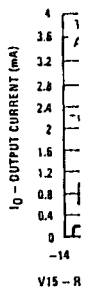
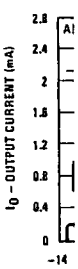


FIGURE 2

Typical







เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Characteristics

Full Scale Current vs Reference Current

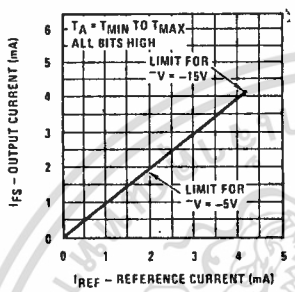


FIGURE 3

LSB Propagation Delay vs I_{FS}

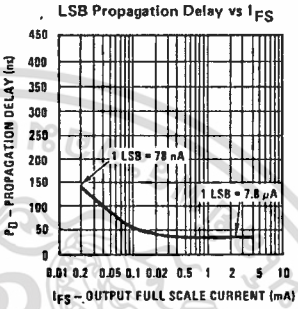
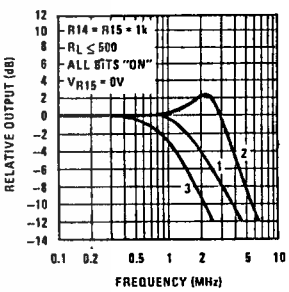


FIGURE 4

Reference Input Frequency Response



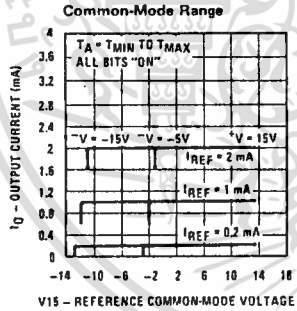
Curve 1: C_C = 15 pF, V_{IN} = 2 Vp-p centered at 1V.

Curve 2: C_C = 15 pF, V_{IN} = 50 mVp-p centered at 200 mV.

Curve 3: C_C = 0 pF, V_{IN} = 100 mVp-p at 0V and applied through 50 Ω connected to pin 14. 2V applied to R14.

FIGURE 5

Reference Amp Common-Mode Range



Note. Positive common-mode range is always (V+) – 1.5V.

FIGURE 6

Logic Input Current vs Input Voltage

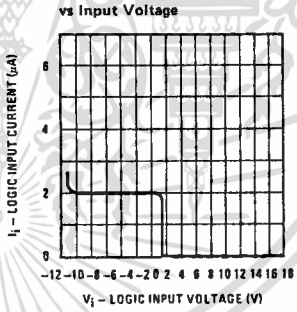


FIGURE 7

$V_{TH} - V_{LC}$ vs Temperature

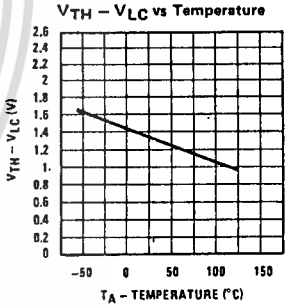


FIGURE 8

Output Current vs Output Voltage (Output Voltage Compliance)

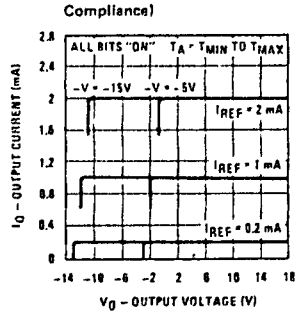


FIGURE 9

Output Voltage Compliance vs Temperature

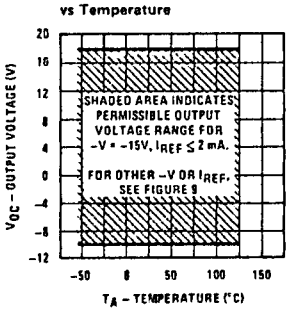
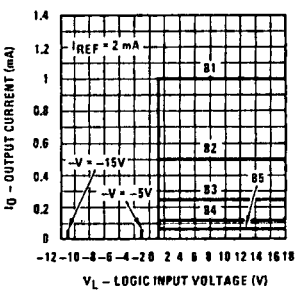


FIGURE 10

Bit Transfer Characteristics



Note. B1–B8 have identical transfer characteristics. Bits are fully switched with less than 1/2 LSB error, at less than ±100 mV from actual threshold. These switching points are guaranteed to lie between 0.8 and 2V over the operating temperature range (V_{LC} = 0V).

FIGURE 11

Typical Performance Characteristics (Continued)

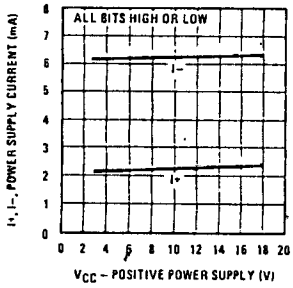


FIGURE 12

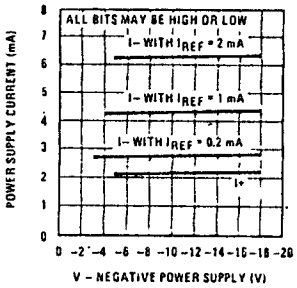


FIGURE 13

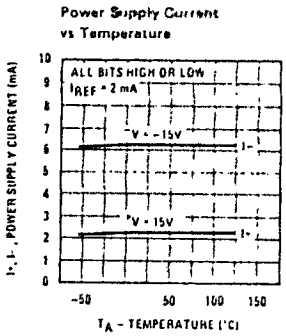
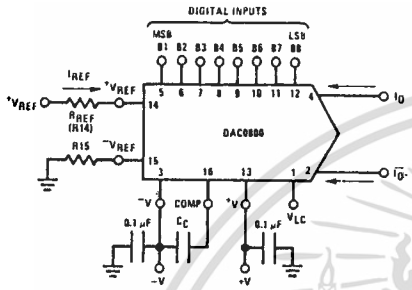


FIGURE 14

Typical Applications (Continued)



$$I_{FS} \approx \frac{+V_{REF}}{R_{REF}} \times \frac{255}{256}$$

$I_O + \overline{I_O} = I_{FS}$ for all logic states

For fixed reference, TTL operation, typical values are:

$V_{REF} = 10.000V$
$R_{REF} = 5.000k$
$R15 \approx R_{REF}$
$C_C = 0.01\ \mu F$
$V_{LC} = 0V$ (Ground)

FIGURE 15. Basic Positive Reference Operation

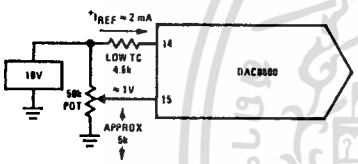
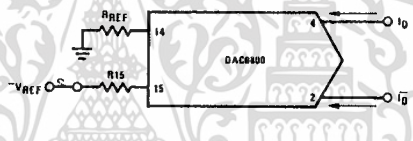


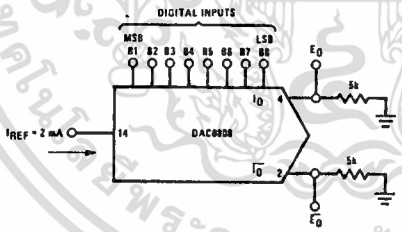
FIGURE 16. Recommended Full Scale Adjustment Circuit



$$I_{FS} \approx \frac{-V_{REF}}{R_{REF}} \times \frac{255}{256}$$

Note. R_{REF} sets I_{FS}; R15 is for bias current cancellation

FIGURE 17. Basic Negative Reference Operation

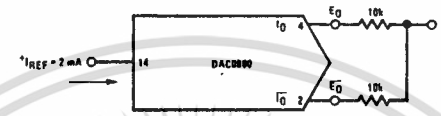


	B1	B2	B3	B4	B5	B6	B7	B8	I_O mA	$\overline{I_O}$ mA	E_O	$\overline{E_O}$
Full Scale	1	1	1	1	1	1	1	1	1.992	0.000	−9.960	0.000
Full Scale−LSB	1	1	1	1	1	1	1	0	1.984	0.008	−9.920	−0.040
Half Scale+LSB	1	0	0	0	0	0	0	1	1.008	0.984	−5.040	−4.920
Half Scale	1	0	0	0	0	0	0	0	1.000	0.992	−5.000	−4.960
Half Scale−LSB	0	1	1	1	1	1	1	1	0.992	1.000	−4.960	−5.000
Zero Scale+LSB	0	0	0	0	0	0	0	1	0.008	1.984	−0.040	−9.920
Zero Scale	0	0	0	0	0	0	0	0	0.000	1.992	0.000	−9.960

FIGURE 18. Basic Unipolar Negative Operation

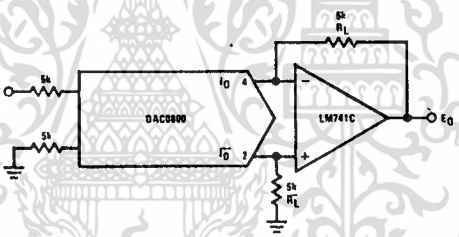
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Applications (Continued)



	B1	B2	B3	B4	B5	B6	B7	B8	E_O	$\overline{E_O}$
Pos. Full Scale	1	1	1	1	1	1	1	1	−9.920	+10.000
Pos. Full Scale−LSB	1	1	1	1	1	1	1	0	−9.840	+9.920
Zero Scale+LSB	1	0	0	0	0	0	0	1	−0.080	+0.160
Zero Scale	1	0	0	0	0	0	0	0	0.000	+0.080
Zero Scale−LSB	0	1	1	1	1	1	1	1	+0.080	0.000
Neg. Full Scale+LSB	0	0	0	0	0	0	0	1	+9.920	−9.840
Neg. Full Scale	0	0	0	0	0	0	0	0	+10.000	−9.920

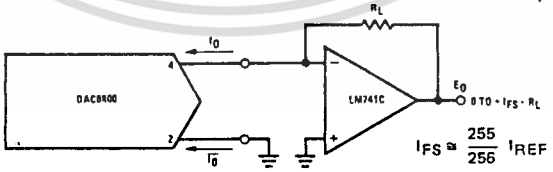
FIGURE 19. Basic Bipolar Output Operation



If $R_L = \overline{R_L}$ within ±0.05%, output is symmetrical about ground

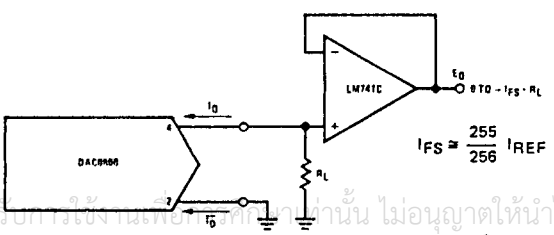
	B1	B2	B3	B4	B5	B6	B7	B8	E_O
Pos. Full Scale	1	1	1	1	1	1	1	1	+9.920
Pos. Full Scale−LSB	1	1	1	1	1	1	1	0	+9.840
(+) Zero Scale	1	0	0	0	0	0	0	0	+0.040
(−) Zero Scale	0	1	1	1	1	1	1	1	−0.040
Neg. Full Scale+LSB	0	0	0	0	0	0	0	1	−9.840
Neg. Full Scale	0	0	0	0	0	0	0	0	−9.920

FIGURE 20. Symmetrical Offset Binary Operation



For complementary output (operation as negative logic DAC), connect inverting input of op amp to $\overline{I_O}$ (pin 2), connect I_O (pin 4) to ground.

FIGURE 21. Positive Low Impedance Output Operation

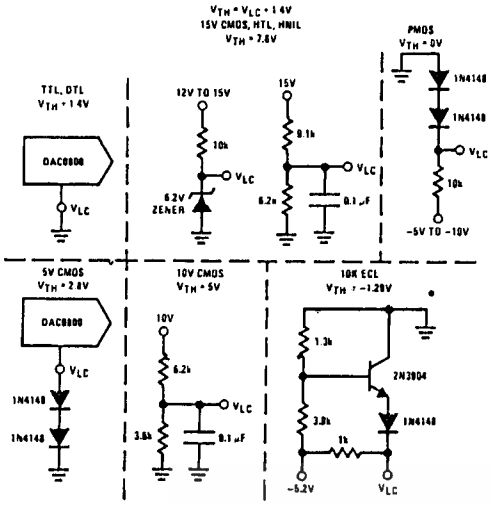


For complementary output (operation as a negative logic DAC) connect non-inverting input of op amp to $\overline{I_O}$ (pin 2); connect I_O (pin 4) to ground.

FIGURE 22. Negative Low Impedance Output Operation

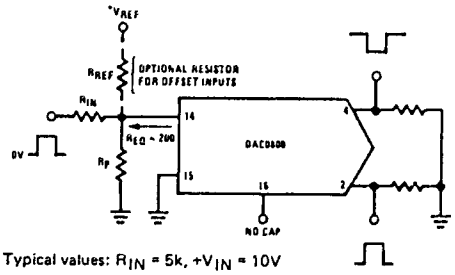
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเอกสารทุกครั้งที่มีการนำไปใช้

Typical Applications (Continued)



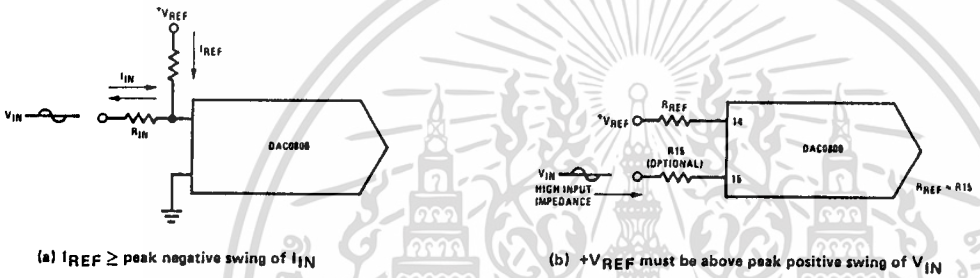
Note. Do not exceed negative logic input range of DAC.

FIGURE 23. Interfacing with Various Logic Families



Typical values: R_{IN} = 5k, $+V_{IN}$ = 10V

FIGURE 24. Pulsed Reference Operation



(a) $I_{REF} \geq$ peak negative swing of I_{IN}

(b) $+V_{REF}$ must be above peak positive swing of V_{IN}

FIGURE 25. Accommodating Bipolar References

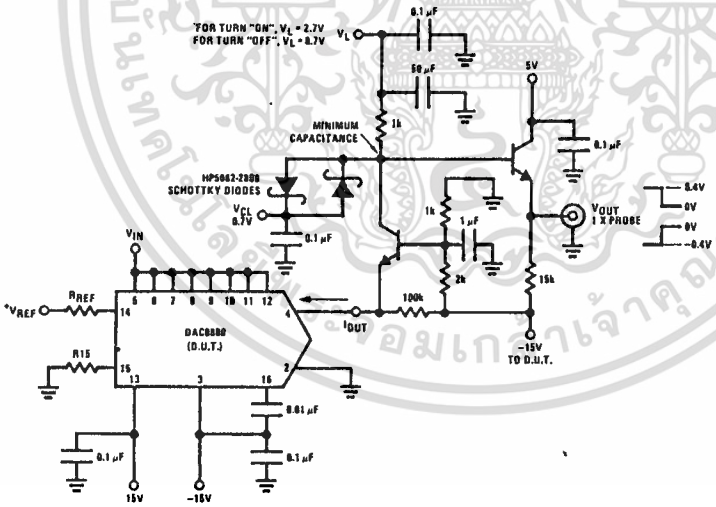
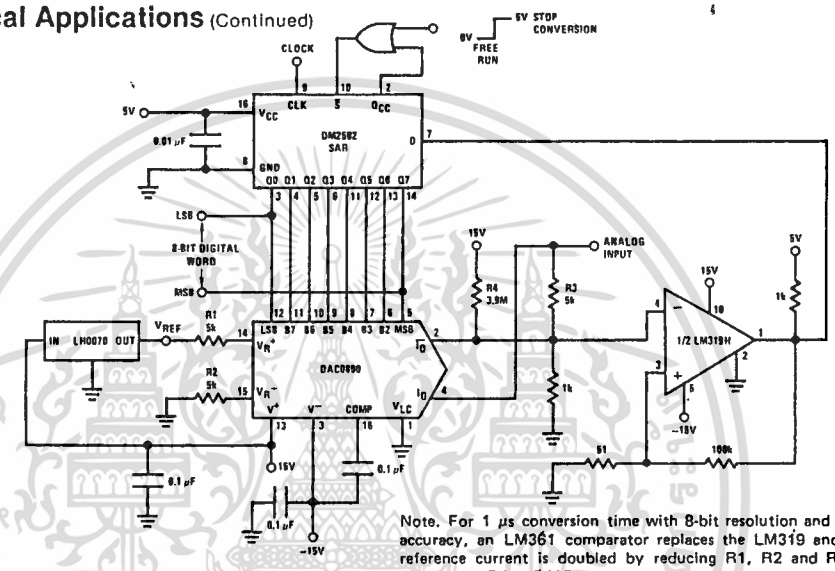


FIGURE 26. Settling Time Measurement

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Applications (Continued)



Note. For 1 µs conversion time with 8-bit resolution and 7-bit accuracy, an LM361 comparator replaces the LM319 and the reference current is doubled by reducing R1, R2 and R3 to 2.5 kΩ and R4 to 2 MΩ.

FIGURE 27. A Complete 2 µs Conversion Time, 8-Bit A/D Converter

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Bit 2 A 1 on this bit indicates the 8251A has no characters to transmit.

Bit 3 The Parity Error bit sets a flag when errors are detected. It is reset by the error reset in the command instruction.

Bit 4 This bit sets a flag when the computers 8088 microprocessor does not read a character before another one is presented. The 8251A operation is not inhibited by this flag, but the overrun character will be lost.

Bit 5 Not used

Bit 6 SYNDET goes to 1 when the synchronization character is found in receive mode. For BSC, SYNDET goes high in the middle of the last bit of the second synchronization character.

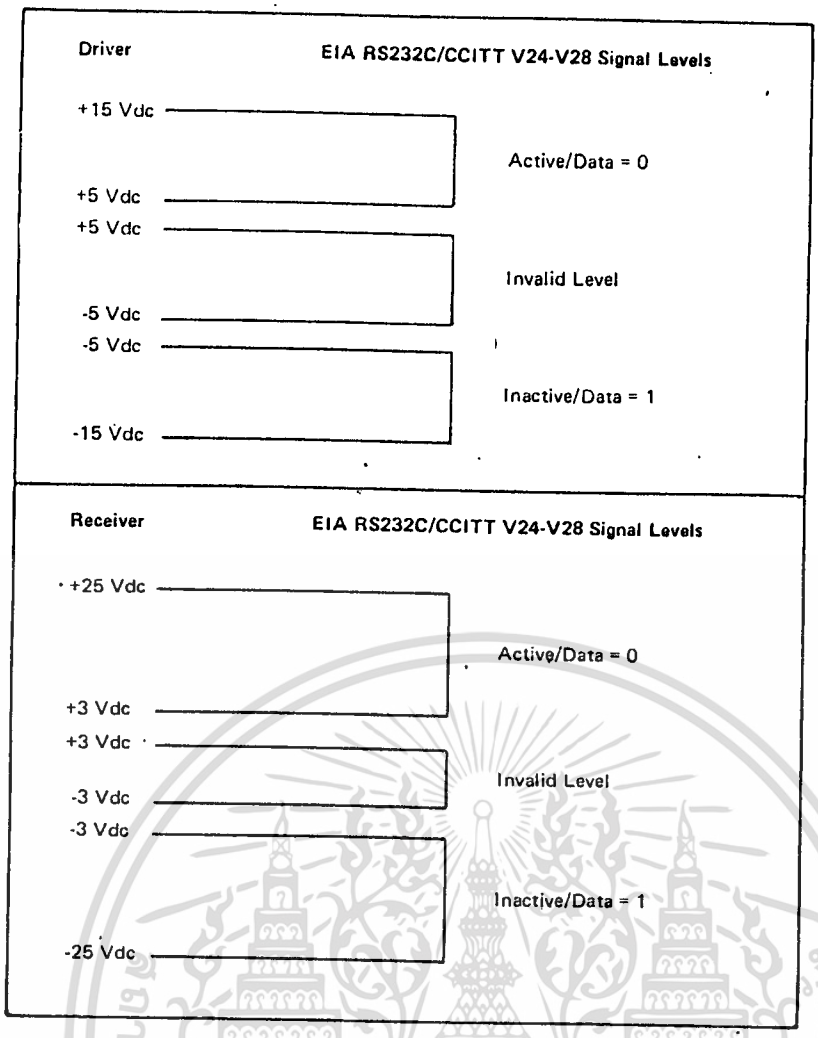
Bit 7 The Data Set Ready bit is a one bit inverting input. It is used to check modem conditions, such as data-set ready.

Interface Signal Information

The BSC adapter conforms to interface signal levels standardized by the Electronics Industry Association (EIA) RS232C Standard. These levels are shown in the following figure.

Additional lines, not standardized by the EIA, are pins 11, 18, and 25 on the interface connector. These lines are designated as Select Standby, Test, and Test Indicate. Select Standby is used to support the switched network backup facility of a modem that provides this option. Test and Test Indicate support a modem wrap function on modems that are designated for business-machine, controlled-modem wraps.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



Interface Voltage Levels

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Interrupt Information

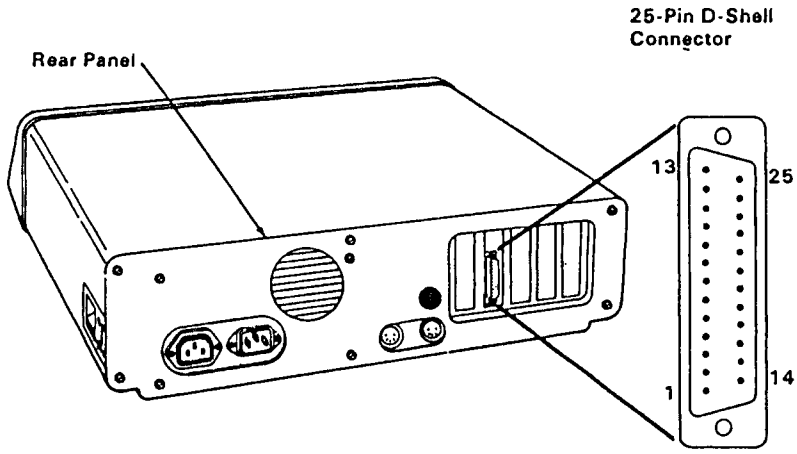
Interrupt Level 4: Transmitter Ready
Counter 1
Counter 2

Interrupt Level 3: Receiver Ready

Hex Address		Device	Register Name	Function
Primary	Alternate			
3A0	380	8255	Port A Data	Internal/External Sensing
3A1	381	8255	Port B Data	External Modem Interface
3A2	382	8255	Port C Data	Internal Control
3A3	383	8255	Mode Set	8255 Mode Initialization
3A4	384	8253	Counter 0 LSB	Not Used in Synch Mode
3A4	384	8253	Counter 0 MSB	Not Used in Synch Mode
3A5	385	8253	Counter 1 LSB	Inactivity Time-Outs
3A5	385	8253	Counter 1 MSB	Inactivity Time-Outs
3A6	386	8253	Counter 2 LSB	Inactivity Time-Outs
3A6	386	8253	Counter 2 MSB	Inactivity Time-Outs
3A7	387	8253	Mode Register	8253 Mode Set
3A8	388	8251	Data Select	Data
3A9	389	8251	Command/Status	Mode/Command USART Status

Device Address Summary

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



	Signal Name — Description	Pin	
	No Connection	1	
←	Transmitted Data	2	
→	Received Data	3	
←	Request to Send	4	
→	Clear to Send	5	
→	Data Set Ready	6	
	Signal Ground	7	
→	Received Line Signal Detector	8	
	No Connection	9	
	No Connection	10	
←	Select Standby*	11	
	No Connection	12	
	No Connection	13	
	No Connection	14	
→	Transmitter Signal Element Timing	15	
	No Connection	16	
→	Receiver Signal Element Timing	17	
←	Test (IBM Modems Only)*	18	
	No Connection	19	
←	Data Terminal Ready	20	
	No Connection	21	
→	Ring Indicator	22	
←	Data Signal Rate Selector	23	
	No Connection	24	
→	Test Indicate (IBM Modems Only)*	25	

External Device

Binary Synchronous Communications Adapter

*Not standardized by EIA (Electronics Industry Association).

Connector Specifications

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
LOC OBJ                 LINE    SOURCE

                        1508
                        1509    ;----- IPL WAS SUCCESSFUL
                        1510
E6E4                    1511    M4:
E6E4 EA007C0000         1512            JMP     BOOT_LOCN
E6E8                    1513            ORG     0E8A2H
E6E8                    1514    BOOT_STRAP      PROC    NEAR
E6E8 FB                 1515            STI                             ; ENABLE INTERRUPTS
E6E9 2BC0               1516            SUB     AX,AX
E6EB 8ED8               1517            MOV     DS,AX
                        1518
                        1519    ;----- RESET DISKETTE PARAMETER TABLE VECTOR
                        1520
E6ED C7067800C7EF       1521            MOV     WORD PTR DISK_POINTER,OFFSET DISK_BASE
E6F3 8C0E7A00           1522            MOV     WORD PTR DISK_POINTER+2,CS
E6F7 A11000             1523            MOV     AX,DATA_WORD[OFFSET EQUIP_FLAG] ; GET THE EQUIPMENT SWITCHES
E6FA A801               1524            TEST    AL,1                    ; ISOLATE IPL SENSE SWITCH
E6FC 741E               1525            JZ      M3                      ; GO TO CASSETTE BASIC ENTRY POINT
                        1526
                        1527    ;----- MUST LOAD SYSTEM FROM DISKETTE -- CX HAS RETRY COUNT
                        1528
E6FE B90400             1529            MOV     CX,4                    ; SET RETRY COUNT
E701                    1530    M1:                                     ; IPL_SYSTEM
E701 51                 1531            PUSH    CX                      ; SAVE RETRY COUNT
E70C B400               1532            MOV     AH,0                    ; RESET THE DISKETTE SYSTEM
E70E CD13               1533            INT     13H                     ; DISKETTE_IO
E710 7207               1534            JC      M2                      ; IF ERROR, TRY AGAIN
E712 B80102             1535            MOV     AX,201H                 ; READ IN ONE SINGLE SECTOR
E715 2BD2               1536            SUB     DX,DX
E717 8EC2               1537            MOV     ES,DX
E719 BB007C             1538            MOV     BX,OFFSET BOOT_LOCN
E71C B90100             1539            MOV     CX,1                    ; SECTOR 1, TRACK 0
E71F CD13               1540            INT     13H                     ; DISKETTE_IO
E721 59                 1541    M2:     POP     CX                      ; RECOVER RETRY COUNT
E722 73C0               1542            JNC     M4                      ; CF SET BY UNSUCCESSFUL READ
E724 E2E5               1543            LOOP    M1                      ; DO IT FOR RETRY TIMES
                        1544
                        1545    ;----- UNABLE TO IPL FROM THE DISKETTE
                        1546
E726                    1547    M3:                                     ; CASSETTE_JUMP:
E726 CD18               1548            INT     18H                     ; USE INTERRUPT VECTOR TO GET TO BASIC
                        1549    BOOT_STRAP      ENDP
                        1550
                        1551    ;-----INT 14-----------------------------------------------------------
                        1552    ; RS232_IO                                                            :
                        1553    ;       THIS ROUTINE PROVIDES BYTE STREAM I/O TO THE COMMUNICATIONS    :
                        1554    ;       PORT ACCORDING TO THE PARAMETERS:                              :
                        1555    ;       (AH)=0  INITIALIZE THE COMMUNICATIONS PORT                     :
                        1556    ;               (AL) HAS PARAMETERS FOR INITIALIZATION                 :
                        1557    ;                                                                      :
                        1558    ;       7       6       5       4       3       2       1       0      :
                        1559    ;       ----- BAUD RATE --      -PARITY--       STOPBIT  --WORD LENGTH-- :
                        1560    ;       000 - 110               X0 - NONE       0 - 1   10 - 7 BITS    :
                        1561    ;       001 - 150               01 - ODD        1 - 2   11 - 8 BITS    :
                        1562    ;       010 - 300               11 - EVEN                              :
                        1563    ;       011 - 600                                                      :
                        1564    ;       100 - 1200                                                     :
                        1565    ;       101 - 2400                                                     :
                        1566    ;       110 - 4800                                                     :
                        1567    ;       111 - 9600                                                     :
                        1568    ;                                                                      :
                        1569    ;       ON RETURN, CONDITIONS SET AS IN CALL TO COMMO STATUS (AH=3)    :
                        1570    ;       (AH)=1  SEND THE CHARACTER IN (AL) OVER THE COMMO LINE         :
                        1571    ;               (AL) REGISTER IS PRESERVED                             :
                        1572    ;                 ON EXIT, BIT 7 OF AH IS SET IF THE ROUTINE WAS UNABLE :
                        1573    ;                          TO TRANSMIT THE BYTE OF DATA OVER THE LINE.  :
                        1574    ;                          IF BIT 7 OF AH IS NOT SET, THE REMAINDER OF AH :
                        1575    ;                          IS SET AS IN A STATUS REQUEST, REFLECTING THE :
                        1576    ;                          CURRENT STATUS OF THE LINE.                  :
                        1577    ;       (AH)=2  RECEIVE A CHARACTER IN (AL) FROM COMMO LINE BEFORE     :
                        1578    ;                          RETURNING TO CALLER                          :
                        1579    ;                 ON EXIT, AH HAS THE CURRENT LINE STATUS, AS SET BY THE :
                        1580    ;                          THE STATUS ROUTINE, EXCEPT THAT THE ONLY BITS :
                        1581    ;                          LEFT ON ARE THE ERROR BITS (7,4,3,2,1)       :
                        1582    ;                          IF AH HAS BIT 7 ON (TIME OUT) THE REMAINING  :
                        1583    ;                          BITS ARE NOT PREDICTABLE.                    :
                        1584    ;                          THUS, AH IS NON ZERO ONLY WHEN AN ERROR      :
```


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
LOC OBJ                 LINE    SOURCE

                        1585    ;                       OCCURRED.                                       :
                        1586    ;       (AH)=3  RETURN THE COMMO PORT STATUS IN (AX)                    :
                        1587    ;               AH CONTAINS THE LINE STATUS                             :
                        1588    ;               BIT 7 = TIME OUT                                        :
                        1589    ;               BIT 6 = TRANS SHIFT REGISTER EMPTY                      :
                        1590    ;               BIT 5 = TRAN HOLDING REGISTER EMPTY                     :
                        1591    ;               BIT 4 = BREAK DETECT                                    :
                        1592    ;               BIT 3 = FRAMING ERROR                                   :
                        1593    ;               BIT 2 = PARITY ERROR                                    :
                        1594    ;               BIT 1 = OVERRUN ERROR                                   :
                        1595    ;               BIT 0 = DATA READY                                      :
                        1596    ;               AL CONTAINS THE MODEM STATUS                            :
                        1597    ;               BIT 7 = RECEIVED LINE SIGNAL DETECT                     :
                        1598    ;               BIT 6 = RING INDICATOR                                  :
                        1599    ;               BIT 5 = DATA SET READY                                  :
                        1600    ;               BIT 4 = CLEAR TO SEND                                   :
                        1601    ;               BIT 3 = DELTA RECEIVE LINE SIGNAL DETECT                :
                        1602    ;               BIT 2 = TRAILING EDGE RING DETECTOR                     :
                        1603    ;               BIT 1 = DELTA DATA SET READY                            :
                        1604    ;               BIT 0 = DELTA CLEAR TO SEND                             :
                        1605    ;                                                                       :
                        1606    ;       (DX) = PARAMETER INDICATING WHICH RS232 CARD (0,1 ALLOWED)      :
                        1607    ;                                                                       :
                        1608    ; DATA AREA RS232_BASE CONTAINS THE BASE ADDRESS OF THE 8250 ON THE     :
                        1609    ;       CARD LOCATION 400H CONTAINS UP TO 4 RS232 ADDRESSES POSSIBLE    :
                        1610    ;       DATA AREA LABEL RS232_TIM_OUT (BYTE) CONTAINS OUTER LOOP COUNT  :
                        1611    ;       VALUE FOR TIMEOUT (DEFAULT=1)                                   :
                        1612    ; OUTPUT                                                                :
                        1613    ;       AX MODIFIED ACCORDING TO PARMS OF CALL                          :
                        1614    ;       ALL OTHERS UNCHANGED                                            :
                        1615    ;-----------------------------------------------------------------------
                        1616            ASSUME  CS:CODE,DS:DATA
E729                    1617            ORG     0E729H
E729                    1618    A1      LABEL   WORD                    ; TABLE OF INIT VALUE
E729 1704               1619            DW      1047                    ; 110 BAUD
E72B 0603               1620            DW      768                     ; 150
E72D 0301               1621            DW      384                     ; 300
E72F C000               1622            DW      192                     ; 600
E731 6000               1623            DW      96                      ; 1200
E733 3000               1624            DW      48                      ; 2400
E735 1800               1625            DW      24                      ; 4800
E737 0C00               1626            DW      12                      ; 9600
                        1627            .
E739                    1628    RS232_IO        PROC    FAR
                        1629
                        1630    ;------ VECTOR TO APPROPRIATE ROUTINE
                        1631
E739 FB                 1632            STI                             ; INTERRUPTS BACK ON
E73A 1E                 1633            PUSH    DS                      ; SAVE SEGMENT
E73B 52                 1634            PUSH    DX
E73C 56                 1635            PUSH    SI
E73D 57                 1636            PUSH    DI
E73E 51                 1637            PUSH    CX
E73F 53                 1638            PUSH    BX
E740 8BF2               1639            MOV     SI,DX                   ; RS232 VALUE TO SI
E742 8BFA               1640            MOV     DI,DX
E744 D1E6               1641            SHL     SI,1                    ; WORD OFFSET
E746 E8F517             1642            CALL    DDS
E749 8B14               1643            MOV     DX,RS232_BASE[SI]       ; GET BASE ADDRESS
E74B 0BD2               1644            OR      DX,DX                   ; TEST FOR 0 BASE ADDRESS
E74D 7413               1645            JZ      A3                      ; RETURN
E74F 0AE4               1646            OR      AH,AH                   ; TEST FOR (AH)=0
E751 7416               1647            JZ      A4                      ; COMMUN INIT
E753 FECC               1648            DEC     AH                      ; TEST FOR (AH)=1
E755 7445               1649            JZ      A5                      ; SEND AL
E757 FECC               1650            DEC     AH                      ; TEST FOR (AH)=2
E759 744A               1651            JZ      A12                     ; RECEIVE INTO AL
E75B                    1652    A2:
E75B FECC               1653            DEC     AH                      ; TEST FOR (AH)=3
E75D 7503               1654            JNZ     A3
E75F E98300             1655            JMP     A10                     ; COMMUNICATION STATUS
E762                    1656    A3:                                     ; RETURN FROM RS232
E762 58                 1657            POP     BX
E763 59                 1658            POP     CX
E764 5F                 1659            POP     DI
E765 5E                 1660            POP     SI
E766 5A                 1661            POP     DX
```


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

Transmission Line Drivers/Receivers

DS1488 Quad Line Driver

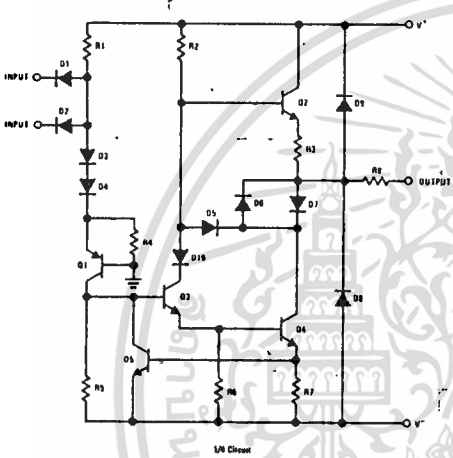
General Description

The DS1488 is a quad line driver which converts standard TTL input logic levels through one stage of inversion to output levels which meet EIA Standard No. RS-232C and CCITT Recommendation V. 24.

Features

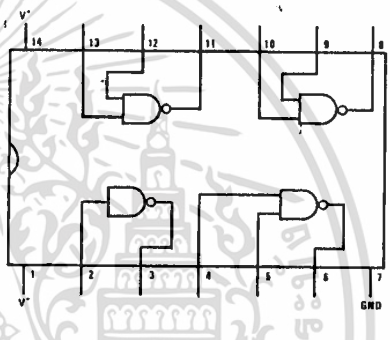
- Current limited output ±10 mA typ
- Power-off source impedance 300Ω min
- Simple slew rate control with external capacitor
- Flexible operating supply range
- Inputs are TTL/LS compatible

Schematic and Connection Diagrams



1/4 Circuit

Dual-In-Line Package

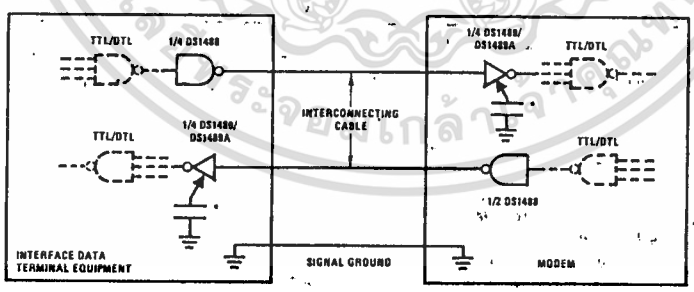


TOP VIEW

Order Number DS1488J or DS1488N
See NS Package J14A or N14A

Typical Applications

RS232C Data Transmission



*Optional for noise filtering

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings (Note 1)

Supply Voltage	
V^+	+15V
V^-	−15V
Input Voltage (V_{IN})	$-15V \leq V_{IN} \leq 7.0V$
Output Voltage	±15V
Operating Temperature Range	0°C to +75°C
Storage Temperature Range	−65°C to +150°C
Maximum Power Dissipation* at 25°C	
Cavity Package	1364 mW
Molded Package	1280 mW
Lead Temperature (Soldering, 10 sec)	300°C

*Derate cavity package 9.1 mW/°C above 25°C; derate molded package 10.2 mW/°C above 25°C.

Electrical Characteristics (Notes 2 and 3) $V_{CC}+ = 9V$, $V_{CC}- = -9V$ unless otherwise specified

	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
I_{IL}	Logical "0" Input Current	$V_{IN} = 0V$			−1.0	−1.3	mA
I_{IH}	Logical "1" Input Current	$V_{IN} = +5.0V$			0.005	10.0	μA
V_{OH}	High Level Output Voltage	$R_L = 3.0\ k\Omega$, $V_{IN} = 0.8V$	$V^+ = 9.0V$, $V^- = -9.0V$	6.0	7.0		V
			$V^+ = 13.2V$, $V^- = -13.2V$	9.0	10.5		V
V_{OL}	Low Level Output Voltage	$R_L = 3.0\ k\Omega$, $V_{IN} = 1.9V$	$V^+ = 9.0V$, $V^- = -9.0V$		−6.8	−6.0	V
			$V^+ = 13.2V$, $V^- = -13.2V$		−10.5	−9.0	V
I_{OS}^+	High Level Output Short-Circuit Current	$V_{OUT} = 0V$, $V_{IN} = 0.8V$		−6.0	−10.0	−12.0	mA
I_{OS}^-	Low Level Output Short-Circuit Current	$V_{OUT} = 0V$, $V_{IN} = 1.9V$		6.0	10.0	12.0	mA
R_{OUT}	Output Resistance	$V^+ = V^- = 0V$, $V_{OUT} = \pm 2V$		300			Ω
I_{CC}^+	Positive Supply Current (Output Open)	$V_{IN} = 1.9V$	$V^+ = 9.0V$, $V^- = -9.0V$		15.0	20.0	mA
			$V^+ = 12V$, $V^- = -12V$		19.0	25.0	mA
			$V^+ = 15V$, $V^- = -15V$		25.0	34.0	mA
		$V_{IN} = 0.8V$	$V^+ = 9.0V$, $V^- = -9.0V$		4.5	6.0	mA
			$V^+ = 12V$, $V^- = -12V$		5.5	7.0	mA
			$V^+ = 15V$, $V^- = -15V$		8.0	12.0	mA
I_{CC}^-	Negative Supply Current (Output Open)	$V_{IN} = 1.9V$	$V^+ = 9.0V$, $V^- = -9.0V$		−13.0	−17.0	mA
			$V^+ = 12V$, $V^- = -12V$		−18.0	−23.0	mA
			$V^+ = 15V$, $V^- = -15V$		−25.0	−34.0	mA
		$V_{IN} = 0.8V$	$V^+ = 9.0V$, $V^- = -9.0V$		−0.001	−0.015	mA
			$V^+ = 12V$, $V^- = -12V$		−0.001	−0.015	mA
			$V^+ = 15V$, $V^- = -15V$		−0.01	−2.5	mA
P_d	Power Dissipation	$V^+ = 9.0V$, $V^- = -9.0V$			252	333	mW
		$V^+ = 12V$, $V^- = -12V$			444	576	mW

Switching Characteristics ($V_{CC} = 9V$, $V_{EE} = -9V$, $T_A = 25°C$)

	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
t_{pd1}	Propagation Delay to a Logical "1"	$R_L = 3.0\ k\Omega$, $C_L = 15\ pF$, $T_A = 25°C$		230	350	ns
t_{pd0}	Propagation Delay to a Logical "0"	$R_L = 3.0\ k\Omega$, $C_L = 15\ pF$, $T_A = 25°C$		70	175	ns
t_r	Rise Time	$R_L = 3.0\ k\Omega$, $C_L = 15\ pF$, $T_A = 25°C$		75	100	ns
t_f	Fall Time	$R_L = 3.0\ k\Omega$, $C_L = 15\ pF$, $T_A = 25°C$		40	75	ns

Note 1: "Absolute Maximum Ratings" are those values beyond which the safety of the device cannot be guaranteed. Except for "Operating Temperature Range" they are not meant to imply that the devices should be operated at these limits. The table of "Electrical Characteristics" provides conditions for actual device operation.

Note 2: Unless otherwise specified min/max limits apply across the 0°C to +75°C temperature range for the DS1488.

Note 3: All currents into device pins shown as positive, out of device pins as negative, all voltages referenced to ground unless otherwise noted. All values shown as max or min on absolute value basis.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Applications

By connecting a capacitor to each driver output the slew rate can be controlled utilizing the output current limiting characteristics of the DS1488. For a set slew rate the appropriate capacitor value may be calculated using the following relationship

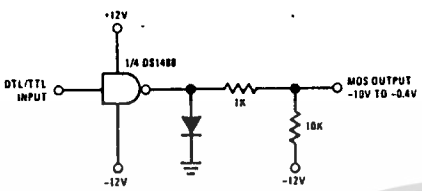
$$C = I_{SC}\ (\Delta T/\Delta V)$$

where C is the required capacitor, I_{SC} is the short circuit current value, and $\Delta V/\Delta T$ is the slew rate.

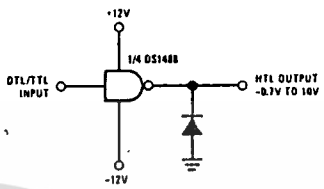
RS232C specifies that the output slew rate must not exceed 30V per microsecond. Using the worst case output short circuit current of 12 mA in the above equation, calculations result in a required capacitor of 400 pF connected to each output.

Typical Applications (Continued)

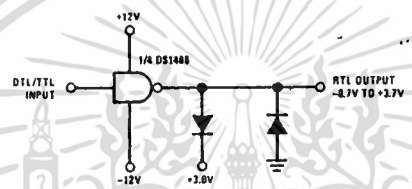
DTL/TTL-to-MOS Translator



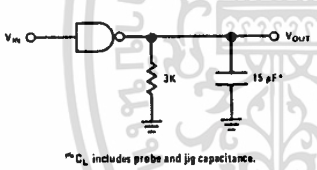
DTL/TTL-to-HTL Translator



DTL/TTL-to-RTL Translator

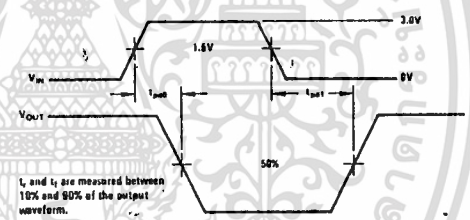


AC Load Circuit



*C_L includes probe and jig capacitance.

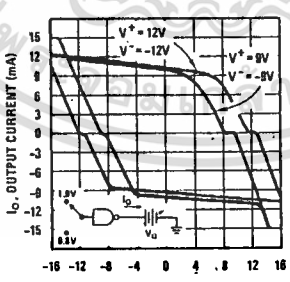
Switching Time Waveforms



t_r and t_f are measured between 10% and 90% of the output waveform.

Typical Performance Characteristics

Output Voltage and Current-Limiting Characteristics



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

Transmission Line Drivers/Receivers

DS1489/DS1489A Quad Line Receiver

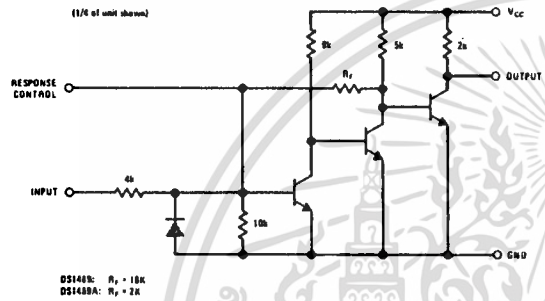
General Description

The DS1489/DS1489A are quad line receivers designed to interface data terminal equipment with data communications equipment. They are constructed on a single monolithic silicon chip. These devices satisfy the specifications of EIA standard No. RS232C. The DS1489/DS1489A meet and exceed the specifications of MC1489/MC1489A and are pin-for-pin replacements.

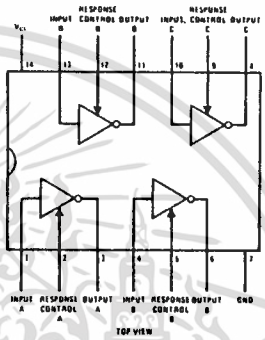
Features

- Four totally separate receivers per package
- Programmable threshold
- Built-in input threshold hysteresis
- "Fail safe" operating mode
- Inputs withstand ±30V

Schematic and Connection Diagrams

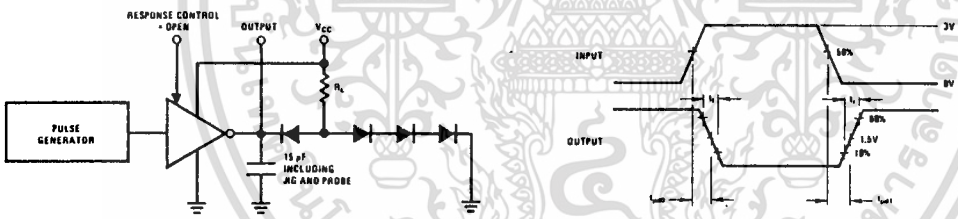


Dual-In-Line Package

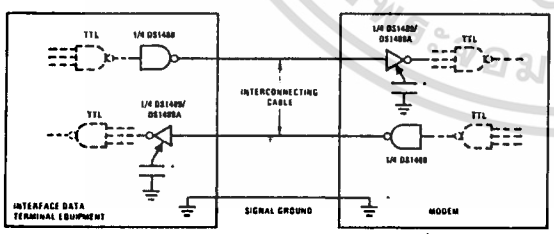


Order Number DS1489J, DS1489AJ, DS1489N or DS1489AN
See NS Package J14A or N14A

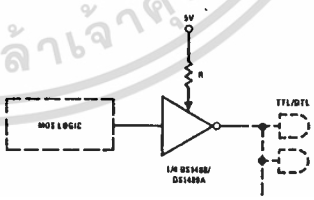
AC Test Circuit and Voltage Waveforms



Typical Applications



RS232C Data Transmission



MOS to TTL/LS Translator

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings (Note 1)

The following apply for $T_A = 25°C$ unless otherwise specified.

Power Supply Voltage	10V
Input Voltage Range	±30V
Output Load Current	20 mA
Power Dissipation (Note 2)	1W
Operating Temperature Range	0°C to +75°C
Storage Temperature Range	-65°C to +150°C
Maximum Power Dissipation* at 25°C	
Cavity Package	1308 mW
Molded Package	1207 mW

*Derate cavity package 8.7 mW/°C above 25°C; derate molded package 9.7 mW/°C above 25°C.

Electrical Characteristics (Notes 2, 3 and 4)

DS1489/DS1489A: The following apply for $V_{CC} = 5.0V \pm 1\%$, $0°C \leq T_A \leq +75°C$ unless otherwise specified.

PARAMETER		CONDITIONS			MIN	TYP	MAX	UNITS
V_{TH}	Input High Threshold Voltage	$V_{OUT} \leq 0.45V$, $I_{OUT} = 10$ mA	DS1489	$T_A = 25°C$	1.0	1.25	1.5	V
					0.9		1.6	V
			DS1489A	$T_A = 25°C$	1.75	2.00	2.25	V
					1.55		2.40	V
V_{TL}	Input Low Threshold Voltage	$V_{OUT} \geq 2.5V$, $I_{OUT} = -0.5$ mA		$T_A = 25°C$	0.75	1.00	1.25	V
					0.65		1.35	V
I_{IN}	Input Current	$V_{IN} = +25V$			+3.6	+5.6	+8.3	mA
		$V_{IN} = -25V$			-3.6	-5.6	-8.3	mA
		$V_{IN} = +3V$			+0.43	+0.53		mA
		$V_{IN} = -3V$			-0.43	-0.53		mA
V_{OH}	Output High Voltage	$I_{OUT} = -0.5$ mA	$V_{IN} = 0.75V$		2.6	3.8	5.0	V
			Input = Open		2.6	3.8	5.0	V
V_{OL}	Output Low Voltage	$V_{IN} = 3.0V$, $I_{OUT} = 10$ mA				0.33	0.45	V
I_{SC}	Output Short Circuit Current	$V_{IN} = 0.75V$				3.0		mA
I_{CC}	Supply Current	$V_{IN} = 5.0V$				14	26	mA
P_d	Power Dissipation	$V_{IN} = 5.0V$				70	130	mW

Switching Characteristics ($V_{CC} = 5V$, $T_A = 25°C$)

PARAMETER		CONDITIONS	MIN	TYP	MAX	UNITS
t_{pd1}	Input to Output "High" Propagation Delay	$R_L = 3.9k$, *(Figure 1)* (ac Test Circuit)		28	85	ns
t_{pd0}	Input to Output "Low" Propagation Delay	$R_L = 390\Omega$, *(Figure 1)* (ac Test Circuit)		20	50	ns
t_r	Output Rise Time	$R_L = 3.9k$, *(Figure 1)* (ac Test Circuit)		110	175	ns
t_f	Output Fall Time	$R_L = 390\Omega$, *(Figure 1)* (ac Test Circuit)		9	20	ns

Note 1: "Absolute Maximum Ratings" are those values beyond which the safety of the device cannot be guaranteed. Except for "Operating Temperature Range" they are not meant to imply that the devices should be operated at these limits. The table of "Electrical Characteristics" provides conditions for actual device operation.

Note 2. Unless otherwise specified min/max limits apply across the 0°C to +75°C temperature range for the DS1489 and DS1489A.

Note 3: All currents into device pins shown as positive, out of device pins as negative, all voltages referenced to ground unless otherwise noted. All values shown as max or min on absolute value basis.

Note 4: These specifications apply for response control pin = open.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

โครงงานและปริญญานิพนธ์ฉบับนี้สำเร็จลงได้ด้วยดี ทั้งนี้ก็ด้วยความช่วยเหลือจากบุคคลหลายๆฝ่าย ซึ่งต้องขอขอบคุณ อาจารย์ วันชัย ริ้วรุจา ที่ให้คำแนะนำปรึกษา ให้การสนับสนุนทางด้านอุปกรณ์ มาโดยตลอด

ขอขอบคุณคุณสุเจตน์ จันทรางค์ ที่ให้ความช่วยเหลือด้านแอสเซมเบลอร์ของ 8031 และขอขอบคุณทางภาควิชาวิศวกรรมระบบควบคุม สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง ที่ให้การสนับสนุนโครงงาน ในด้านเครื่องมือและอุปกรณ์ ในการทดลอง ที่มีส่วนทำให้โครงงานนี้สำเร็จลุล่วงไปด้วยดี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หนังสืออ้างอิง

1.WALTER G.JUNG "IC Op-Amp Cookbook" Howard.W. Sams. and CO.,Inc 591 P.,1977

2.IBM "IBM Technical Reference" IBM 702P.,1983

3.NS "Logic Databook "Volume 2" National Semiconductor corporation,1470P.,1984

4.NS "Linear Databook" National Semicondutor Corporation,1500P.,1982

5.Motorola "CMOS DATABOOK" Motorola,811P.,1987

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้