ปีการศึกษา 2531

การออกแบบวงจรขนาดใหญ่มาก

โดย

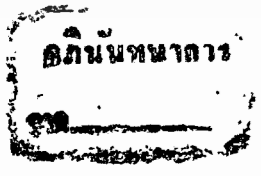
นายเจษฎา พัฒนไพศาลชัย

นายเฉลิม ชาติตระกูล

อาจารย์ที่ปรึกษา

รศ.ดร. สมเกียรติ คุภเดช

อ. สมศักดิ์ ชุ่มช่วย



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

023105

วิทยานิพนธ์ ปีการศึกษา 2531

ภาควิชา อิเล็คทรอนิคส์

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง การออกแบบวงจรรวมขนาดใหญ่มาก

ผู้จัดทำ

1. นาย เจษฎา นัฒนไพศาลชัย
2. นาย เฉลิม ชาติตระกูล

.....อาจารย์ที่ปรึกษา
(.....)

.....อาจารย์ที่ปรึกษา
(.....)

023105

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

คำนำ

ในปัจจุบัน เทคโนโลยีทางด้านอิเล็คทรอนิคส์และคอมพิวเตอร์ได้ก้าวไปไกลมาก โดยเฉพาะอย่างยิ่งสิ่งประดิษฐ์ประเภทสารกึ่งตัวนำ ซึ่งมีผลต่อการวิวัฒนาการของเทคโนโลยีสมัยใหม่มาก เช่น เครื่องไม้เครื่องมือที่ทันสมัยมาก ๆ จะต้องอาศัยสิ่งประดิษฐ์สารกึ่งตัวนำเป็นตัวชูโรง จนมีผู้คาดคะเนไว้ว่าในอนาคตอันใกล้นี้จะมีการผลิตชิ้นส่วนสารกึ่งตัวนำที่สามารถนำไปใช้งานเฉพาะอย่างได้เลย เช่น การ์ดภาษาไทยจะสร้างอยู่บนไอซีเพียงตัวเดียว แทนที่จะทำเป็นการ์ดโดยมีอุปกรณ์ไอซีสนันสนุนอยู่หลายตัว ด้วยเหตุนี้คณะผู้ทำวิทยานิพนธ์ฉบับนี้จึงเล็งเห็นความสำคัญต่อการพัฒนาประเทศในด้านนี้ ด้วยการศึกษาค้นคว้าในเรื่องเหล่านี้

คณะผู้จัดทำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

	หน้า
สารบัญรูป	1
สารบัญตาราง	4
บทคัดย่อ	
บทที่ 1 บทนำ	1-1
บทที่ 2 การทำงานและคุณสมบัติของทรานซิสเตอร์แบบ MOS	2-1
บทที่ 3 เทคโนโลยีของการประดิษฐ์สารกึ่งตัวนำ	3-1
บทที่ 4 การออกแบบวงจรหารความถี่	4-1
บทที่ 5 การออกแบบวงจรสวิทช์	5-1
บทที่ 6 การออกแบบวงจรเก็บข้อมูล	6-1
บทที่ 7 การออกแบบวงจรเข้ารหัสและวงจรถอดรหัส	7-1
บทที่ 8 บทสรุป	8-1
กิตติกรรมประกาศ	
หนังสืออ้างอิง	
ภาคผนวก ก. การใช้ CAD II ในการสร้างวงจรรวม	ก-1
ภาคผนวก ข. คำสั่งต่าง ๆ ใน Ingred	ข-1
ภาคผนวก ค. การออกแบบสเตทแมทชีนโดย fidel	ค-1
ภาคผนวก ง. มอสทรานซิสเตอร์	ง-1
ภาคผนวด จ. ดี-ฟลิป-ฟลอป	จ-1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป

		หน้า
รูปที่ 2.1	แสดงโครงสร้างของมอสทรานซิสเตอร์	2-1
รูปที่ 2.2	แสดงลักษณะโครงสร้างและสัญญลักษณ์ของมอสทรานซิสเตอร์แบบต่าง ๆ	2-5
รูปที่ 2.3	แสดงการไบอัส nMos ทรานซิสเตอร์	2-6
รูปที่ 2.4	แสดงเงื่อนไขการไบอัสทรานซิสเตอร์	2-8
รูปที่ 2.5	แสดงโครงสร้างความสัมพันธ์ระหว่างกระแสกับแรงดัน	2-9
รูปที่ 2.6	กราฟแสดงความสัมพันธ์ระหว่างกระแส I_{ds} กับแรงดัน V_d	2-12
รูปที่ 2.7	แสดงวงจรสำหรับใช้วัดค่า V_T ในทางปฏิบัติ	2-14
รูปที่ 3.1	แสดงขั้นตอนการสร้างทรานซิสเตอร์	3-2
รูปที่ 3.2	แสดงความแตกต่างทางโครงสร้างของสารกึ่งตัวนำชนิดต่าง ๆ	3-3
รูปที่ 3.3	แสดงการเจือสาร	3-5
รูปที่ 3.4	แสดงการเจือสาร	3-6
รูปที่ 3.5	แสดงผลึกซิลิกอน	3-6
รูปที่ 3.6	แสดงการฉายแสงอุลตร้าไวโอเล็ท	3-8
รูปที่ 3.7	แสดงเทคนิคการเติมสารเจือ	3-9
รูปที่ 3.8	แสดงเทคนิคการเติมสารเจือ	3-9
รูปที่ 3.9	แสดงโครงสร้างการสร้าง channel stop หรือ guard rings	3-10
รูปที่ 3.10	แสดงลักษณะโครงสร้างของ เอ็นมอส ชนิดซิลิกอนเกท	3-12
รูปที่ 3.11	แสดงลักษณะโครงสร้างของ ซีมอส ชนิดซิลิกอนเกท	3-13
รูปที่ 4.1	แสดงการต่อวงจรเพื่อสร้างฐานเวลาต่าง ๆ	4-1
รูปที่ 4.2	แสดงไดอะแกรมเวลาของการนับ 5	4-2
รูปที่ 4.3	แสดงวงจรดี-ฟลิป-ฟลอป	4-2
รูปที่ 4.4	แสดงวงจรดี-ฟลิป-ฟลอป จาก ingred	4-3
รูปที่ 4.5	แสดงไดอะแกรมเวลาของดี-ฟลิป-ฟลอป-	4-4
รูปที่ 4.6	แสดงวงจรหาร 5	4-5
รูปที่ 4.7	แสดงวงจรหาร 5 จาก ingred	4-6
รูปที่ 4.8	แสดงไดอะแกรมเวลาของวงจรหาร 5	4-7
รูปที่ 4.9	แสดงวงจรหาร 2	4-8
รูปที่ 4.10	แสดงวงจรหาร 10	4-9
รูปที่ 4.11	แสดงวงจรหาร 10	4-10
รูปที่ 4.12	แสดงไดอะแกรมเวลาของวงจรหาร 10	4-11

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

		หน้า
รูปที่ 4.13	แสดงไดอะแกรมเวลาของวงจรหาร 10	4-12
รูปที่ 4.14	แสดงวงจรหาร 6	4-12
รูปที่ 4.15	แสดงวงจรหาร 6 โดย ingred	4-13
รูปที่ 4.16	แสดงไดอะแกรมเวลาของวงจรหาร 6	4-14
รูปที่ 4.17	แสดงวงจรกำเนิด 1 วินาที	4-16
รูปที่ 4.18	แสดงไดอะแกรมเวลาของวงจรกำเนิด 1 วินาที	4-17
รูปที่ 4.19	แสดงวงจรสร้างฐานเวลา 10 วินาที และ 1 นาที	4-18
รูปที่ 4.20	แสดงไดอะแกรมเวลาของวงจรสร้างฐานเวลา 10 วินาที และ 1 นาที	4-19
รูปที่ 5.1	แสดงวงจรส่วนทำสวิทช์	5-2
รูปที่ 5.2	แสดงวงจรสวิทช์เริ่มทำงานที่สมบูรณ์	5-3
รูปที่ 5.3	แสดงวงจรสวิทช์ที่สร้างจาก ingred	5-5
รูปที่ 5.4	แสดงไดอะแกรมเวลาของวงจรสวิทช์	5-6
รูปที่ 5.6	แสดงการต่อวงจรสร้างและเก็บสัญญาณ	5-8
รูปที่ 5.7	แสดงวงจร JKFFP	5-10
รูปที่ 5.8	แสดงไดอะแกรมเวลาของวงจร JKFFP	5-11
รูปที่ 5.9	แสดงวงจรส่วนสร้างและเก็บสัญญาณ	5-12
รูปที่ 5.10	แสดงไดอะแกรมเวลาของวงจรส่วนสร้างและเก็บสัญญาณ	5-13
รูปที่ 5.11	แสดงวงจรมัลติเฟล็กส์	5-14
รูปที่ 5.12	แสดงวงจรภาคเลือกสัญญาณ	5-15
รูปที่ 5.13	แสดงวงจรภาคเลือกและวงจรภาคมัลติเฟล็กส์	5-16
รูปที่ 5.14	แสดงไดอะแกรมเวลาของวงจรภาคเลือกและวงจรภาคมัลติเฟล็กส์	5-17
รูปที่ 5.15	แสดงรายละเอียดวงจรสวิทช์เลือกช่วงเวลาที่สมบูรณ์	5-18
รูปที่ 5.16	แสดงวงจรสมบูรณ์ที่สร้างจาก ingred	5-19
รูปที่ 5.17	แสดงไดอะแกรมเวลาของวงจรสมบูรณ์ที่สร้างจาก ingred	5-20
รูปที่ 6.1	(a) แสดงบล็อกไดอะแกรมของวงจรเก็บข้อมูล (b) แสดงรายละเอียดวงจรของบล็อกไดอะแกรม	6-3
รูปที่ 6.2	แสดงวงจรส่วนเก็บข้อมูล	6-6
รูปที่ 6.3	แสดงไดอะแกรมของวงจรเก็บข้อมูล	6-7
รูปที่ 7.1	แสดงวงจรเข้ารหัสที่สร้างจาก fidel	7-5
รูปที่ 7.2	แสดงไดอะแกรมเวลาของวงจรเข้ารหัสที่สร้างจาก fidel	7-6
รูปที่ 7.3	แสดงวงจรถอดรหัสที่สร้างจาก fidel	7-9

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 7.4 แสดงไดอะแกรมเวลาของวงจรถอดรหัสที่สร้างจาก fidel 7-10

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญตาราง

		หน้า
ตารางที่ 4.1	แสดงตารางความจริงของดี-ฟลิป-ฟลอป	4-5
ตารางที่ 5.1	แสดงตารางความจริงของดี-ฟลิป-ฟลอป	5-1
ตารางที่ 5.2	แสดงตารางความจริงของวงจรสวิทช์เริ่มการทำงานที่ลมบูรณ์	5-3
ตารางที่ 5.3	แสดงตารางความจริงของ JKFFP	5-8
ตารางที่ 5.4	แสดงตารางความจริงของวงจรสร้างและเก็บสัญญาณ	5-9
ตารางที่ 5.5	แสดงตารางความจริงของวงจรมัลติเฟล็กส์	5-14
ตารางที่ 6.1	แสดงตารางการแทนรหัส บีซีดี ในเลขฐานสิบ	6-1
ตารางที่ 6.2	แสดงตารางคุณสมบัติของดี-ฟลิป-ฟลอป	6-2
ตารางที่ 6.3	แสดงตารางสถานะต่าง ๆ ของดี-ฟลิป-ฟลอป	6-2
ตารางที่ 7.1	แสดงตารางความจริงของวงจรเข้ารหัส	7-2
ตารางที่ 7.2	แสดงตารางความจริงของวงจรถอดรหัส	7-7

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การออกแบบวงจรขนาดใหญ่มาก

เจษฎา พัฒนไพศาลชัย
เฉลิม ชาติตระกูล
รศ.ดร.สมเกียรติ คุภเดช
อ.สมศักดิ์ ชุ่มช่วย
ปีการศึกษา 2531

บทคัดย่อ

ในวิทยานิพนธ์ฉบับนี้ ได้ทำการศึกษาและออกแบบวงจรรวมขนาดใหญ่มาก (Very Large Scale Intregrated Circuit Desigh) เพื่อนำไปใช้เป็นต้นแบบสำหรับผลิตเป็นไอซีเฉพาะงาน โดยใช้คอมพิวเตอร์ขนาด 32 บิต (Workstation Computer , Sun Microsystem , 3/11 o) และโปรแกรมสำเร็จ CIRCAD II ของ UNSW (University of New South Wales) ประเทศออสเตรเลียช่วยในการออกแบบ

วงจรที่ได้ศึกษาและออกแบบประกอบด้วย

1. วงจรสร้างฐานเวลา โดยสามารถสร้างฐานเวลาได้ทั้งหมด 4 ช่วงสัญญาณคือ ช่วง 1 วินาที 10 วินาที และ1ชั่วโมง
2. วงจรสวิทช์สำหรับเลือกสัญญาณช่วงเวลาที่ต้องการ และวงจรสวิทช์เพื่อเริ่มการทำงาน
3. วงจรเก็บข้อมูล ซึ่งสามารถเก็บได้ทั้งหมด 8 บิต
4. วงจรถอดรหัส บี ซี ดี เป็นรหัสวงจร 7 ส่วน
5. วงจรเข้ารหัสเพื่อสร้างรหัส บี ซี ดี แก่วงจร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

VERY LARGE SCALE INTEGRATED CIRCUIT DESIGN

JETSADA PHATTANAPHAISANCHAI
CHALEOM CHATTRAKUL
:ADVISOR
SOMKIET SUPDACH
SOMSAK CHUMCHOUCH

Abstract

This thesis describes the design of Very Large Scale Integrated Circuit using of University of New South Wales

The project that works in specific chip are compose of

1. Timebase circuit : It can generate four period ranges ; 1 sec 10 sec, 1 minute and 1 hour
2. Switch circuit : To select one of four ranges and start to work
3. Encoder circuit : Use for encode a series of data from keyboard
4. Decoder circuit : It is BCD-to-Seven Segment Decoder and Display driver.
5. Storage register : To store a series of data from Encoder and pass it to decoder

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1

บทนำ

ความรู้ทั่วไป ความสำคัญ และทิศทางของไอซีในอนาคต

นับตั้งแต่อดีตที่ผ่านมาจนถึงปัจจุบันและจะต่อไปในอนาคต เทคโนโลยีทางด้านวิศวกรรมอิเลคทรอนิคส์ได้เข้ามามีบทบาทอย่างมากมายต่อการดำเนินชีวิตของมนุษย์ ซึ่งในวงจรอิเลค--ทรอนิคส์เหล่านี้มีส่วนประกอบที่สำคัญยิ่งคือ ชิ้นส่วนอิเลคทรอนิคส์ซึ่งได้รับการพัฒนามาอย่างต่อเนื่อง โดยเฉพาะชิ้นส่วนอิเลคทรอนิคส์แบบแอคทีฟ (electronic active devices) ซึ่งเริ่มตั้งแต่หลอดสูญญากาศ (vacum tube) ที่เป็นชิ้นส่วนอิเลคทรอนิคส์พื้นฐานในวงจรอิเลคทรอนิคส์ยุคแรก จนกระทั่งถึงปี ค.ศ.1950 จึงได้เริ่มมีการนำเอาทรานซิสเตอร์ (Transistor) ซึ่งค้นพบในปี ค.ศ.1947 มาใช้งานแทนหลอดสูญญากาศเนื่องจากมีประสิทธิภาพที่ดีกว่า กินกำลังไฟน้อยกว่า น้ำหนักเบากว่า ขนาดเล็กกว่าและราคาถูกกว่า หลังจากนั้น ทรานซิสเตอร์ก็ได้รับการพัฒนาอย่างต่อเนื่องตลอดมา จนกระทั่งราวปี ค.ศ.1960 ก็ได้มีการค้นพบเทคโนโลยีใหม่ได้แก่เทคโนโลยีในการสร้างวงจรรวม (Integrated Circuit Technology) กล่าวคือ เป็นการสร้างทรานซิสเตอร์จำนวนหลาย ๆ ตัวลงบนชิ้นผลึกสารกึ่งตัวนำซิลิกอนเล็ก ๆ ที่มีขนาดประมาณ 5 ม.ม. * 5 ม.ม. รวมทั้งชิ้นส่วนแบบพาสซีฟ (passive devices) เช่น ตัวความต้านทานและตัวเก็บประจุไฟฟ้าโดยการต่อร่วมกันภายใน (interconection) เป็นวงจรอิเลคทรอนิคส์ที่สมบูรณ์ ชิ้นส่วนลารกึ่งตัวนำนี้เรียกว่า ชิพไอซี (IC Chip) ซึ่งมีจำนวนทรานซิสเตอร์ตั้งแต่ประมาณไม่เกิน 100 ตัวไปจนถึงมากกว่า 1 ล้านตัวขึ้นไป ดังนั้นเราอาจจำแนกไอซีออกเป็นกลุ่ม ๆ ตามขนาดความจุของจำนวนชิ้นส่วนที่รวมอยู่ในชิพได้ดังนี้คือ:-

1) วงจรรวมขนาดเล็ก (Small Scale Integrations:SSI)

SSI เป็นชิพไอซีที่มีจำนวนทรานซิสเตอร์ประมาณไม่เกิน 100 ตัว ตัวอย่างของชิพไอซีประเภทนี้ได้แก่ไอซีจำพวกลอจิกเกทต่าง ๆ พวกฟลิบฟลอบ (Flip-Flops) และพวกพลาน่า (Planar devices) เป็นต้น

2) วงจรรวมขนาดกลาง (Medium Scale Integrations:MSI)

เป็นชิพไอซีที่มีจำนวนทรานซิสเตอร์ประมาณ 100-1000 ตัว ตัวอย่างเช่นชิพไอซีประเภทวงจรนับ (Counters) มัลติเพล็กเซอร์ (Multiplexers) และพวกวงจรทางคณิตศาสตร์ เช่นวงจรบวกเลข (Adder) เป็นต้น

3) วงจรรวมขนาดใหญ่ (Large Scale Integrations:LSI)

ชิพไอซีประเภทนี้จะมีจำนวนทรานซิสเตอร์ประมาณ 1,000-20,000 ตัว เช่นพวกไมโครโปรเซสเซอร์ขนาด 8 บิต (8-Bit Microprocessor) หน่วยความจำรอม (ROM) แรม (RAM) เป็นต้น

4) วงจรรวมขนาดใหญ่มาก (Very Large Scale Integrations:VLSI)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เป็นชิพไอซีที่มีจำนวนทรานซิสเตอร์ประมาณ 20,000-500,000 ตัว ได้แก่ไมโครโปรเซสเซอร์ขนาด 16/32 บิต (16/32-Bit Microprocessor) พวก Sophisticated periferals เป็นต้น

นอกจากนี้ยังมีการคาดว่า ในอีกไม่กี่ปีข้างหน้านี้ ตัวโปรเซสเซอร์ (processor) ชนิดพิเศษจะประกอบด้วยทรานซิสเตอร์ที่มากกว่า 500,000 ตัว เรียกไอซีประเภทนี้ว่า ไอซีขนาดใหญ่ยิ่ง (Ultra Large Scale Integration:ULSI) ตัวอย่างเช่นวงจรจำพวกเรียวไทม์อิมเมจโปรเซสซิ่ง (Realtime image processing) เป็นต้น

และสำหรับไอซีที่มีจำนวนทรานซิสเตอร์มากกว่า 1 ล้านตัวขึ้นไปเรียกว่า ไอซีขนาดยักษ์ (Giant Scale Integrations:GSI)

ดว้ยเหตุที่การออกแบบวงจรรวมโดยเฉพาะอย่างยิ่งตั้งแต่ระดับ VLSI ขึ้นไปนั้นจะมีความสลับซับซ้อนอย่างยิ่ง ดังนั้นในอดีตที่ผ่านมา การออกแบบวงจรรวมจึงเป็นกิจกรรมที่ทำได้เฉพาะในบริษัทผู้ผลิตวงจรรวมขนาดใหญ่มากเท่านั้น วิศวกรผู้ออกแบบต้องมีความรู้อย่างลึกซึ้งทั้งทางด้านวงจรอิเลคทรอนิคส์และด้านขบวนการผลิตวงจรรวม ที่สำคัญก็คือต้องมีประสบการณ์ในการออกแบบเป็นอย่างมาก วงจรรวมที่ได้รับการออกแบบมานี้ จะมีลักษณะการทำงานเป็นวงจรพื้นฐาน เรียกกันว่า Standard Product IC (SPIC) ซึ่งวิศวกรอิเลคทรอนิคส์ จะใช้วงจรรวม SPIC หลาย ๆ ตัวมาต่อ ๆ กันเข้าเป็นวงจรตามความต้องการ โดยติดตั้งลงบนแผ่นวงจรพิมพ์ (Printed Circuit Board:PCB) แล้วจึงนำไปใช้งานในอุปกรณ์และเครื่องมือต่าง ๆ

เมื่อผู้ผลิตสินค้าอิเลคทรอนิคส์ ต้องการวงจรรวมที่มีรายละเอียดการทำงานและคุณสมบัติที่แตกต่างไปจากวงจรรวมมาตรฐานที่มีอยู่ในท้องตลาด หรือมีความต้องการจะลดจำนวนของวงจรทั้งหมดบนแผ่นวงจรพิมพ์ให้มีจำนวนน้อยลง ก็สามารถทำได้โดยการรวบรวมวงจรรวมมาตรฐานหลาย ๆ ตัวเข้าเป็นวงจรรวมตัวเดียวกันจึงเกิดวงจรรวมตระกูลใหม่ขึ้นเรียกว่าไอซีเฉพาะงาน (Application Specific IC:ASIC) การออกแบบวงจรรวม ASIC นี้ ผู้ออกแบบจะใช้คอมพิวเตอร์ช่วยในการออกแบบและจะสามารถออกแบบให้วงจรรวมทำงานได้ตามความต้องการ

ในปัจจุบันวงจรรวม ASIC ได้เข้ามามีบทบาทเพิ่มขึ้นอย่างรวดเร็วในวงการอุตสาหกรรมอิเลคทรอนิคส์ เนื่องจากสามารถออกแบบให้วงจรรวมมีลักษณะการทำงานตามความต้องการได้นี้เอง ทั้งยังผลิตได้ในราคาต้นทุนที่ไม่สูงนัก ทำให้ผู้ที่ต้องการประกอบอุตสาหกรรมซึ่งมีเงินทุนปานกลางสามารถประกอบอุตสาหกรรมขนาดเล็ก และขนาดกลางสำหรับออกแบบและผลิตวงจรรวม ASIC มาใช้ในผลิตภัณฑ์ของตนได้จนมีคำกล่าวว่า ในอนาคตอุปกรณ์อิเลคทรอนิคส์ทั้งหลายจะมีเพียงวงจรรวม ASIC และวงจรรวมประเภทหน่วยความจำเท่านั้น

ปัจจุบัน สามารถจำแนกประเภทของวงจรรวม ตามลักษณะการใช้งานและการออกแบบได้เป็น 2 กลุ่มใหญ่ ๆ คือ:-

1) SPIC (Standard Product IC)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรรวมกลุ่มนี้ แบ่งออกได้เป็น 2 กลุ่มย่อยอีกคือ

- วงจรรวมที่ผู้ผลิตกำหนดหน้าที่การทำงานไว้เป็นที่แน่นอนแล้ว ไม่สามารถเปลี่ยนแปลงได้อีก เช่นวงจรรวมตระกูล ทีทีแอล (TTL) ซีมอส (CMOS) ซึ่งเป็นกลุ่มวงจรรวมที่มีการใช้งานแพร่หลายที่สุดในปัจจุบัน บริษัทที่ผลิตวงจรรวมชนิดนี้ได้แก่ Motorola, Nationnal Semiconductor, Texas Instrument ฯลฯ เป็นต้น ผู้ใช้ก็เพียงแต่นำวงจรรวมเหล่านี้มาต่อเข้าด้วยกันบนแผ่นวงจรพิมพ์ตามความต้องการเท่านั้น

- วงจรรวมที่ผู้ใช้สามารถกำหนดหน้าที่การทำงานได้โดยการป้อนชุดคำสั่งลงไปในตัววงจรรวมนั้น วงจรรวมกลุ่มนี้ที่เป็นที่รู้จักกันได้แก่ วงจรรวมหน่วยความจำต่าง ๆ และไมโครโปรเซสเซอร์ ผู้ใช้ก็เพียงแต่นำมาต่อกันแล้วป้อนชุดคำสั่งให้ทำงานตามที่ตนต้องการ ชุดคำสั่งและวิธีการป้อนต้องเป็นไปตามคู่มือที่ทางบริษัทผู้ผลิตกำหนดเท่านั้น

วงจรรวมทั้งสองกลุ่มนี้ การออกแบบภายในจะเป็นหน้าที่ของบริษัทผู้ผลิตเท่านั้น เนื่องจากวงจรรวม SPIC ถูกออกแบบมาเพื่อใช้งานเป็นวงจรพื้นฐานสำหรับใช้งานทั่วไป จึงได้ผลิตออกมาจำหน่ายครั้งละมาก ๆ ได้ ดังนั้นการออกแบบจึงต้องกระทำอย่างละเอียดและมีประสิทธิภาพสูงสุด การออกแบบจึงต้องกระทำโดยผู้ที่มีความรู้ความชำนาญเท่านั้น ซึ่งก็ได้แก่ทีมงานวิศวกรที่มีความชำนาญสูงนั่นเอง

2) ASIC (Aplication Specific IC)

วงจรรวม ASIC เป็นวงจรที่ได้รับการออกแบบมาโดยมีลักษณะการใช้งานตรงข้ามกับแบบ SPIC กล่าวคือ ผู้ใช้จะเป็นผู้กำหนดหน้าที่การทำงานของวงจรรวมตัวนั้นได้ตามต้องการ วงจรรวม ASIC เกิดจากการที่ผู้ใช้ต้องการวงจรรวมที่สามารถทำหน้าที่ที่แตกต่างไปจากงานที่มีอยู่ในวงจรรวม SPIC หรือต้องการรวบรวมวงจรรวมมาตรฐานหลายตัวมาบรรจุอยู่ในวงจรรวมตัวเดียวกัน หรือต้องการวงจรรวมที่มีลักษณะพิเศษสำหรับใช้งานเฉพาะอย่างในผลิตภัณฑ์ของตนเองเท่านั้น ในขณะที่วงจรรวม SPIC ผลิตจำหน่ายในลักษณะคราวละมาก ๆ และใช้ต้นทุนในการผลิตและออกแบบสูงมาก วงจรรวม ASIC สามารถผลิตในลักษณะตามการสั่งพิเศษของลูกค้า (Custom Made) เป็นจำนวนน้อยได้ ถึงแม้ว่าต้นทุนต่อตัวจะสูงกว่าวงจรรวม SPIC ก็ตาม แต่การลงทุนทั้งหมดจะต่ำกว่า จึงมีบริษัทขนาดเล็กและขนาดกลางจำนวนมากให้บริการออกแบบและเจือสารวงจรรวม ASIC เช่น VLSI Technology Valid Logic Mentor Graphic เป็นต้น

วงจรรวม ASIC สามารถแบ่งเป็น 2 กลุ่มย่อยคือ

- Field Programmable ASIC

วงจรรวมกลุ่มนี้ ผู้ใช้สามารถออกแบบหน้าที่การทำงานของวงจรรวม โดยใช้ซอฟต์แวร์บนไมโครคอมพิวเตอร์ และสามารถใช้เครื่องมือโปรแกรมการใช้งานลงในวงจรรวมเองโดยมิต้องใช้บริการเจือสารจากบริษัทผู้ผลิต วงจรรวมกลุ่มนี้มีลักษณะคล้ายคลึงกับวงจรรวม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SPIC ในกลุ่มที่ผู้ใช้สามารถโปรแกรมการทำงานของวงจรรวมได้เอง แต่ผู้ใช้จะมีอิสระในการกำหนดหน้าที่การทำงานได้มากกว่า วงจรรวมกลุ่มนี้ได้แก่ Programable Logic Array:PLA Erasable Programmable Logic Devices:EPLD

- Mask Programmable ASIC

วงจรรวมกลุ่มนี้ หลังจากที่ผู้ใช้ออกแบบหน้าที่การทำงานแล้วจะต้องส่งให้บริษัทผู้ผลิตทำการเจือสาร (Fabrication) วงจรรวมกลุ่มนี้เป็นกลุ่มที่ผู้ใช้มีบทบาทสำคัญยิ่งในการออกแบบ และมีอิสระในการกำหนดหน้าที่การทำงานสูงมาก โดยทั่วไปจึงต้องใช้คอมพิวเตอร์ระดับ Engineering Workstation หรือ เมนเฟรม (Main Frame) ช่วยในการออกแบบ และต้องมีซอฟต์แวร์ที่ใช้สำหรับออกแบบวงจรรวมโดยเฉพาะ

ข้อดีของการใช้วงจรรวม ASIC ในวงจรอิเลคทรอนิคส์คือ

1) ลดค่าใช้จ่ายในการผลิตวงจรพิมพ์ (PCB)
2) ลดการสูญเสียพลังงานไฟฟ้าที่เกิดขึ้น เนื่องจากจำนวนวงจรรวมให้น้อยลง
3) เพิ่มความถูกต้องของระบบให้สูงขึ้น เนื่องจากมีอุปกรณ์บนแผ่นวงจรพิมพ์น้อยลง
4) ป้องกันการลอกเลียนแบบสินค้าเนื่องจากการลอกเลียนแบบจากวงจรรวม ASIC ทำได้ยาก
5) ต้นทุนการผลิตต่ำกว่าในระยะยาว

จากที่กล่าวมาทั้งหมดนั้น ไม่ว่าจะเป็นวงจรรวมแบบใดก็ตาม ก็ต้องอาศัยเทคโนโลยีการสร้างไอซีซึ่งมีด้วยกัน2 แบบคือ:-

1) เทคโนโลยีของมอส (MOS Technology)
2) เทคโนโลยีของ ไบโพล่าร์ (Bipolar Technology)

เทคโนโลยีของมอสได้แก่ เทคโนโลยีซึ่งใช้สำหรับกระบวนการสร้างชิ้นส่วนประเภทมอส ซึ่งหมายถึงทรานซิสเตอร์แบบมอส หรือเฟทนั่นเอง ส่วนเทคโนโลยีของไบโพล่าร์ได้แก่เทคโนโลยีซึ่งใช้สำหรับกระบวนการสร้างชิ้นส่วนประเภทไบโพล่าร์ ซึ่งหมายถึงไบโพลาร์ทรานซิสเตอร์

การพัฒนาไอซิสามารถกระทำได้ทั้งเทคโนโลยีของมอสและไบโพล่าร์ ซึ่งต่างก็มีข้อดีและข้อเสียแตกต่างกันไป เช่น เทคโนโลยีของไบโพล่าร์จะทำให้ได้วงจรรวมที่มีความเร็วสูงแต่มีขนาดใหญ่ ส่วนเทคโนโลยีของมอสนั้นเหมาะสำหรับการสร้างวงจรรวมที่มีจำนวนชิ้นส่วนมากๆ เช่น วงจรรวมแบบ LSI และ VLSI เนื่องจากกินกำลังไฟต่ำกว่าแบบไบโพล่าร์มาก อย่างไรก็ดี สำหรับวงจรของ nMOS ก็สามารถให้อัตราเร็วของการทำงานที่สูงเป็นที่น่าพอใจ ดังนั้นการสร้างวงจรรวมขนาดใหญ่ (LSI) และขนาดใหญ่มาก (VLSI) เทคโนโลยีของมอสจึงมีความเหมาะสมมากที่สุด

เทคโนโลยีของมอส VLSI หมายถึงเทคโนโลยีที่ใช้สำหรับกระบวนการออกแบบและสร้างวงจรรวมขนาดใหญ่มาก หรือ VLSI ซึ่งก็คือเทคโนโลยีของมอสนั่นเอง ชิ้นส่วนอิเลคทรอนิคส์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หลักที่อยู่ในชิพวงจรรวมแบบนี้ ได้แก่ ทรานซิสเตอร์แบบมอส อาจจะเป็นทรานซิสเตอร์ชนิด เอ็นแชนแนล พีแชนแนล หรือทั้ง 2 ชนิดรวมกันก็ได้ ดังนั้นจึงอาจแบ่งเทคโนโลยีของ MOS VLSI ออกได้เป็น 3 แบบคือ:-

1) เทคโนโลยีแบบเอ็นมอส หมายถึงเทคโนโลยีที่ใช้ทรานซิสเตอร์แบบมอสชนิด เอ็นแชนแนล (n-ch MOSFET) เป็นชิ้นส่วนหลักสำหรับกระบวนการออกแบบและสร้างวงจรรวม ซึ่งเทคโนโลยีแบบนี้มีข้อดีคือ สามารถสร้างวงจรรวมที่มีความเร็วในการทำงานสูง

2) เทคโนโลยีแบบพีมอส หมายถึงเทคโนโลยีที่ใช้ทรานซิสเตอร์แบบมอสชนิดพีแชนแนล (p-ch MOSFET) เป็นชิ้นส่วนหลักสำหรับกระบวนการออกแบบและสร้างวงจรรวม ซึ่งเทคโนโลยีแบบนี้มีข้อดีตรงที่ สามารถสร้างได้ง่าย

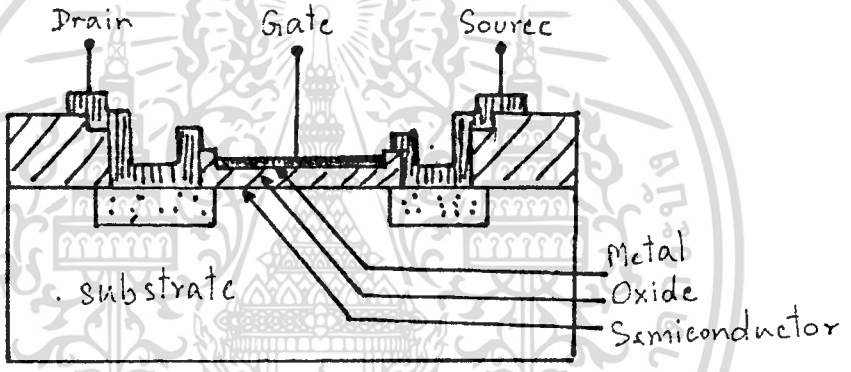
3) เทคโนโลยีแบบซีมอส (Complementary MOS) หมายถึงเทคโนโลยีที่ใช้ทรานซิสเตอร์ทั้งชนิดเอ็นแชนแนลและชนิดพีแชนแนล เป็นชิ้นส่วนหลักสำหรับกระบวนการออกแบบสร้างวงจรรวม เทคโนโลยีแบบนี้มีข้อดีคือ ทำให้ได้วงจรรวมที่กินกำลังไฟฟ้าน้อยมากทำให้ประหยัด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
การทำงานและคุณสมบัติของทรานซิสเตอร์แบบ MOS

<u>มอสทรานซิสเตอร์</u> (MOS transistor)

มอสทรานซิสเตอร์เป็นสิ่งประดิษฐ์สารกึ่งตัวนำชนิดหนึ่ง ในตระกูลของสิ่งประดิษฐ์สารกึ่งตัวนำประเภทผลของสนามไฟฟ้า (Field Effect devices) ซึ่งมีลักษณะเด่นคือมีความต้องการพลังงานในขณะใช้งานต่ำ แต่มีประสิทธิภาพในการทำงานสูงเมื่อเทียบกับสิ่งประดิษฐ์สารกึ่งตัวนำประเภทอื่น ๆ ที่มีลักษณะการใช้งานเช่นเดียวกัน จึงทำให้มอสทรานซิสเตอร์เป็นที่นิยมใช้กันทั่วไป โดยเฉพาะในวงจรที่ต้องการใช้พลังงานต่ำ ๆ หรือในโครงสร้างของวงจรรวม (Integrated Circuit) ที่มีจำนวนตัวประกอบ (component)มาก ๆ เช่น ไอซีระดับ LSI และ VLSI ทั่ว ๆ ไป เป็นต้น



รูปที่ 1 แสดงโครงสร้างของมอสทรานซิสเตอร์ทั่ว ๆ ไป

ภาพตัดขวางแสดงโครงสร้างของมอสทรานซิสเตอร์ทั่ว ๆ ไป แสดงในรูปที่ 1 ซึ่งประกอบด้วยส่วนสำคัญ 3 ส่วน คือ ส่วนเดรน(Drain region) ส่วนเกท(Gate region) และส่วนซอส(Source region) โดยแต่ละส่วนมีหน้าที่การทำงานและคุณสมบัติแตกต่างกันดังนี้

- ส่วนซอส เป็นบริเวณของสารกึ่งตัวนำที่ต่างชนิด (Different type) กับฐานรอง (Substrate) ทำหน้าที่เป็นแหล่งจ่ายประจุพาหะที่ทำให้เกิดกระแสไฟฟ้าของมอส (IDS)

- ส่วนเดรน เป็นอีกบริเวณหนึ่งของสารกึ่งตัวนำที่ต่างชนิดกับฐานรอง แต่เป็นสารกึ่งตัวนำชนิดเดียวกัน(Same type) กับส่วนซอส ทำหน้าที่เป็นทางออกไปสู่วงจรภายนอกของประจุพาหะที่มาจากส่วนซอส

- ส่วนเกท เป็นบริเวณที่เชื่อมอยู่ระหว่างส่วนเดรนกับส่วนซอสมีโครงสร้างทั่ว ๆ ไป ประกอบด้วยชั้นบนสุดเป็นโลหะ(Metal)ตัวนำ ชั้นรองลงมาจะเป็นพวกฉนวนได้แก่ออกไซด์ (Oxide)ของสารตัวนำที่ใช้ และชั้นล่างสุดเป็นสารกึ่งตัวนำ(Semiconductor) ซึ่งใช้เป็นฐานรองด้วย ส่วนเกทนี้จะทำหน้าที่เป็นส่วนควบคุมปริมาณประจุพาหะที่เคลื่อนที่จากส่วนซอสไปยังส่วน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เดรนตามต้องการ

จากลักษณะโครงสร้างดังกล่าวซึ่งบริเวณส่วนเกท ประกอบด้วย Metal - Oxide - Semiconductor นี้จึงเรียกทรานซิสเตอร์ชนิดนี้ว่า MOS Transistor และจะเห็นว่ากระแสไหลผ่านส่วนเกทนี้ไปได้น้อยมาก ๆ เนื่องจากมีชั้นของฉนวนป้องกันอยู่นั่นเองดังนั้นในขณะใช้งานส่วนเกทจึงต้องการเพียงแหล่งจ่ายความต่างศักดาเท่านั้น ไม่ต้องการแหล่งจ่ายกระแสเลยจึงทำให้มอสทรานซิสเตอร์มีความต้องการพลังงานในขณะใช้งาน(Power Consumption) ต่ำนั่นเอง สำหรับส่วนเดรนและส่วนซอสนั้นโดยปกติแล้วจะมีโครงสร้างเหมือนกันทุกประการ ซึ่งสามารถใช้แทนกันได้ อันเป็นคุณสมบัติพิเศษอีกประการหนึ่งของมอสทรานซิสเตอร์ซึ่งเรียกว่ามีความสมมาตร (Bilaterally Symmetric) แต่สำหรับในโครงสร้างของมอสทรานซิสเตอร์ตัวเดี่ยว ๆ นั้น เพื่อความสะดวกในการใช้งานจึงสร้างให้ส่วนซอสต่อเชื่อมกับส่วนของฐานรองเลย อันเป็นการกำหนดส่วนต่าง ๆ ของมอสทรานซิสเตอร์ตัวเดี่ยว ๆ โดยทั่วไปจึงเขียนขาของฐานรอง (Sub) เชื่อมต่อกับขาซอส (S) หรือละเว้นไม่เขียนขาของฐานรองเลย โดยให้เข้าใจเองว่าส่วนของฐานรองต่ออยู่กับส่วนซอสดังกล่าว

เมื่อให้ไบอัสที่เหมาะสมกับส่วนต่าง ๆ ของมอสทรานซิสเตอร์แล้ว ประจุพาหะจากส่วนซอสจะเคลื่อนที่ผ่านช่องทางเดินกระแส (Channel) ในส่วนเกท (ซึ่งเป็นส่วนหนึ่งของฐานรองที่อยู่ใกล้ ๆ กับผิวสัมผัสระหว่างออกไซด์ส่วนเกทกับฐานรองที่เกิดการเปลี่ยนแปลงชนิด (type) ของสารกึ่งตัวนำไปเป็นชนิดเดียวกับสารกึ่งตัวนำส่วนเดรน และส่วนซอสแล้ว) ไปยังส่วนเดรน การเคลื่อนที่ของประจุพาหะดังกล่าวเกิดจากสนามไฟฟ้าที่ตกคร่อมตลอดจากส่วนซอสถึงส่วนเดรน อันเนื่องมาจากความต่างศักดาระหว่างส่วนทั้งสองนั้น ดังนั้นกระแสดังกล่าวจึงเป็นกระแสดริฟท์ ซึ่งขึ้นอยู่กับขนาดของสนามไฟฟ้าที่ตกคร่อมนั้น โดยที่ขนาดของสนามไฟฟ้าดังกล่าวจะขึ้นอยู่กับขนาดของความต่างศักดาและระยะห่างระหว่างส่วนเดรนกับส่วนซอลนั่นเอง กระแสดริฟท์ที่เกิดขึ้นนี้ จะถูกประมาณว่าเกิดจากการเคลื่อนที่ของประจุพาหะส่วนมากที่มีอยู่ในสารกึ่งตัวนำชนิดนั้นเพียงชนิดเดียว ด้วยเหตุนี้มอสทรานซิสเตอร์จึงถูกเรียกว่าเป็นยูนิโพล่าร์ทรานซิสเตอร์ (Unipolar Transistor) และเนื่องจากประจุพาหะส่วนมากในสารกึ่งตัวนำมีเพียง 2 ชนิด คือ อิเลคตรอน หรือประจุลบในสารกึ่งตัวนำชนิด เอ็น และ โฮล หรือประจุบวกในสารกึ่งตัวนำชนิดพี ดังนั้นจึงอาจแบ่งมอสทรานซิสเตอร์ ตามชนิดของประจุพาหะที่ทำให้เกิดกระแสโดยพิจารณาที่ชนิดของประจุพาหะที่บริเวณช่องทางเดินกระแสในขณะที่เกิดกระแสดริฟท์ ได้เป็น 2 ชนิด คือ

- เอ็น แชนแนล มอสทรานซิสเตอร์(n-channel MOS transistor : NMOS) ซึ่งหมายถึง มอสทรานซิสเตอร์ที่มีประจุลบหรืออิเลคตรอนเป็นประจุพาหะส่วนมากที่ทำให้เกิดกระแสดริฟท์ ดังนั้นมอสทรานซิสเตอร์ชนิดนี้ ส่วนเดรนและส่วน ซอส จึงเป็นสารกึ่งตัวนำชนิดเอ็น (N type Semiconductor)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- พี แชนแนล มอสทรานซิสเตอร์(p-channel MOS transistor:PMOS) ซึ่งหมายถึงมอสทรานซิสเตอร์ที่มีประจุบวกหรือโฮลเป็นประจุพาหะส่วนมากที่ทำให้เกิดกระแสดริฟท์ ดังนั้นมอสทรานซิสเตอร์ชนิดนี้ ส่วนเดรน และส่วนซอสจึงเป็นสารกึ่งตัวนำชนิดพี (P-type semiconductor)

อย่างไรก็ตามในสภาวะปกติก่อนให้ไบอัสของมอสทรานซิสเตอร์ทั่ว ๆ ไป สารกึ่งตัวนำบริเวณช่องทางเดินกระแส กับสารกึ่งตัวนำส่วนเดรนและซอสอาจเป็นชนิดเดียวกันหรือต่างชนิดกันก็ได้ ซึ่งแต่ละแบบจะมีผลต่อคุณสมบัติทางไฟฟ้าในขณะใช้งานแตกต่างกัน ดังนั้น จึงมีนิยามคำศัพท์เพื่อบอกประเภทของสารกึ่งตัวนำบริเวณช่องทางเดินกระแสไว้ดังนี้

- ดีพลีทชั่น (depletion) หมายถึง สารกึ่งตัวนำบริเวณช่องทางเดินกระแสที่มีคุณสมบัติเป็นสารกึ่งตัวนำชนิดเดียวกับสารกึ่งตัวนำ ส่วนซอสและเดรน

- เอ็นฮานซ์เมนท์ (enhancement) หมายถึง สารกึ่งตัวนำบริเวณทางเดินกระแสที่มีคุณสมบัติเป็นสารกึ่งตัวนำต่างชนิดกับสารกึ่งตัวนำส่วนซอสและเดรน

ฉนั้น จึงอาจแบ่งมอสทรานซิสเตอร์ตามลักษณะการควบคุมประมาณประจุพาหะในช่องทางเดินกระแสได้เป็น 4 แบบ คือ

1. เอ็น แชนแนล เอ็นฮานซ์เมนท์ โหมด มอสทรานซิสเตอร์ (n-channel enhancement mode MOS transistor) หมายถึง เอ็น แชนแนล มอสทรานซิสเตอร์ที่ในสภาวะปกติก่อนให้ไบอัสที่เกท มีสารกึ่งตัวนำในบริเวณช่องทางเดินกระแสเป็นชนิดพีดังนั้นในขณะใช้งานจึงจำเป็นต้องเหนี่ยวนำให้สารกึ่งตัวนำชนิดพี บริเวแช่องทางเดินกระแสเปลี่ยนเป็นสารกึ่งตัวนำชนิดเอ็นก่อนโดยการให้ศักดาที่เกทเป็นบวก เมื่อเทียบกับฐานรอง

2. เอ็น แชนแนล ดีพลีทชั่น โหมด มอสทรานซิสเตอร์ (n-channel depletion mode MOS transistor) หมายถึง เอ็นแชนแนล มอสทรานซิสเตอร์ที่ในสภาวะปกติก่อนให้ไบอัสที่เกท มีสารกึ่งตัวนำในบริเวณช่องทางเดินกระแสเป็นชนิดเอ็น ทำให้เกิดการเชื่อมต่อเนื้อสารกึ่งตัวนำระหว่างส่วนซอสกับส่วนเดรน อันเป็นผลให้เกิดกระแสดริฟท์ขึ้นทันที ที่มีความต่างศักดาระหว่างส่วนเดรน กับส่วนซอส ในการควบคุมปริมาณกระแสดริฟท์นี้ทำได้ทั้งในทางที่ทำให้ปริมาณกระแสดริฟท์เพิ่มขึ้น โดยการให้ศักดาไฟฟ้าที่เกทเป็นบวกเมื่อเทียบกับฐานรองและในทางที่ทำให้ปริมาณกระแสดริฟท์ลดลง โดยการให้ศักดาไฟฟ้าที่เกทเป็นลบเมื่อเทียบกับฐานรอง

3. พี แชนแนล เอ็นฮานซ์เมนท์ โหมด มอสทรานซิสเตอร์ (P-channel enhancement mode MOS transistor) หมายถึง พีแชนแนลมอสทรานซิสเตอร์ที่ในสภาวะปกติก่อนให้ไบอัสที่เกท มีสารกึ่งตัวนำในบริเวณช่องทางเดินกระแสเป็นชนิดเอ็น ดังนั้นในขณะใช้งานจึงควบคุมปริมาณกระแสให้ไหลมากขึ้นได้ โดยการให้ศักดาที่เกทเป็นลบเมื่อเทียบกับฐานรองเท่านั้น

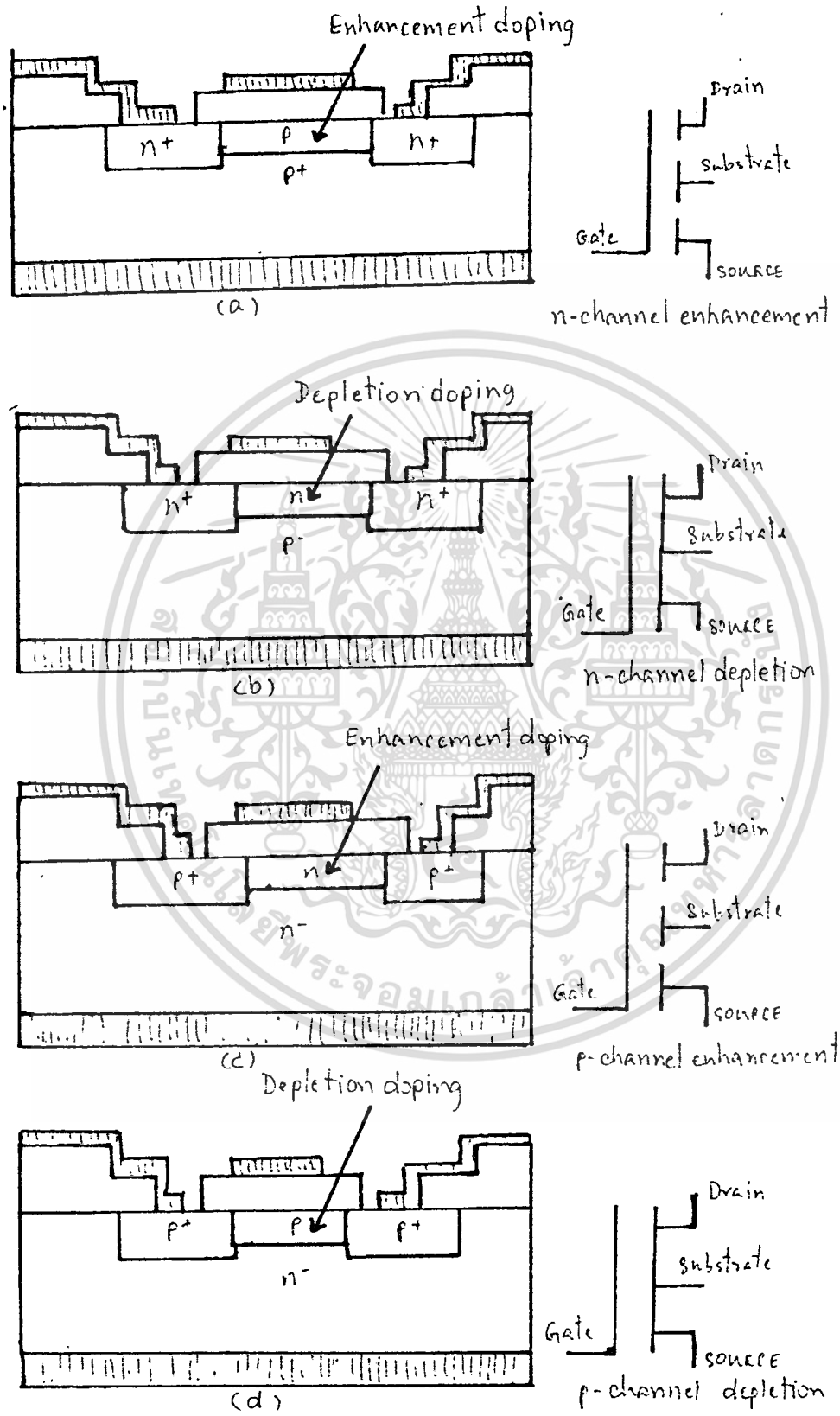
4. พี แชนแนล ดีพลีทชั่น โหมด มอสทรานซิสเตอร์(P-channel depletion mode

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MOS transistor) หมายถึง พีแชนแนลมอสทรานซิสเตอร์ที่ในสภาวะปกติก่อนให้ไบอัสที่เกท มีสารกึ่งตัวนำในบริเวณช่องทางเดินกระแสเป็นชนิดพี ดังนั้นในทำนองเดียวกันกับเอ็นแชนแนลดีพลีทชั่น โหมด มอสทรานซิสเตอร์ ปริมาณกระแสดริฟท์จะถูกควบคุมให้ไหลมากขึ้นโดยการให้ศักดาไฟฟ้าที่เกทเป็นลบเมื่อเทียบกับฐานรอง หรือควบคุมให้ปริมาณกระแสดริฟท์ไหลน้อยลง โดยการให้ศักดาไฟฟ้าที่เกทเป็นบวกเมื่อเทียบกับฐานรองนั่นเอง

ลักษณะโครงสร้างทั่ว ๆ ไป และสัญญลักษณ์ของมอสทรานซิสเตอร์ทั้ง 4 แบบแสดงได้ดังรูปที่ 2 ซึ่งจะเห็นว่าสัญญลักษณ์แต่ละแบบจะบอกให้ทราบถึงลักษณะทางโครงสร้างของมอสทรานซิสเตอร์แบบนั้น ๆ ได้ด้วย เช่นในลักษณะของดีพลีทชั่น โหมด จะเห็นว่าส่วนของเดรน ฐานรอง และซอส จะต้องชิดเส้นเต็มต่อถึงกัน ซึ่งหมายถึงสารกึ่งตัวนำในส่วนทั้ง 3 นั้น เป็นชนิดเดียวกันทั้งหมด หรือในลักษณะของเอ็นฮานซ์เมนท์ โหมด จะเห็นว่า ส่วนของเดรน ฐานรอง และซอส ชิดเป็นเส้นประไม่ต่อกัน ซึ่งหมายถึงว่า ส่วนทั้ง 3 นั้น แยกขาดจากกันทางไฟฟ้า นั่นคือส่วนของฐานรองจะเป็นสารกึ่งตัวนำต่างชนิดกับส่วนซอสและส่วนเดรน อย่างไรก็ตามดังที่กล่าวมาแล้วข้างต้นว่า มอสทรานซิสเตอร์ตัวเดี่ยว ๆ โดยทั่วไปส่วนของซอสจะต่ออยู่กับฐานรอง ดังนั้นสัญญลักษณ์ของมอสทรานซิสเตอร์ตัวเดี่ยว ๆ จึงมีเส้นหิบลากเชื่อมต่อขาจากฐานรองมายังขาของมอสเสมอ เป็นต้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

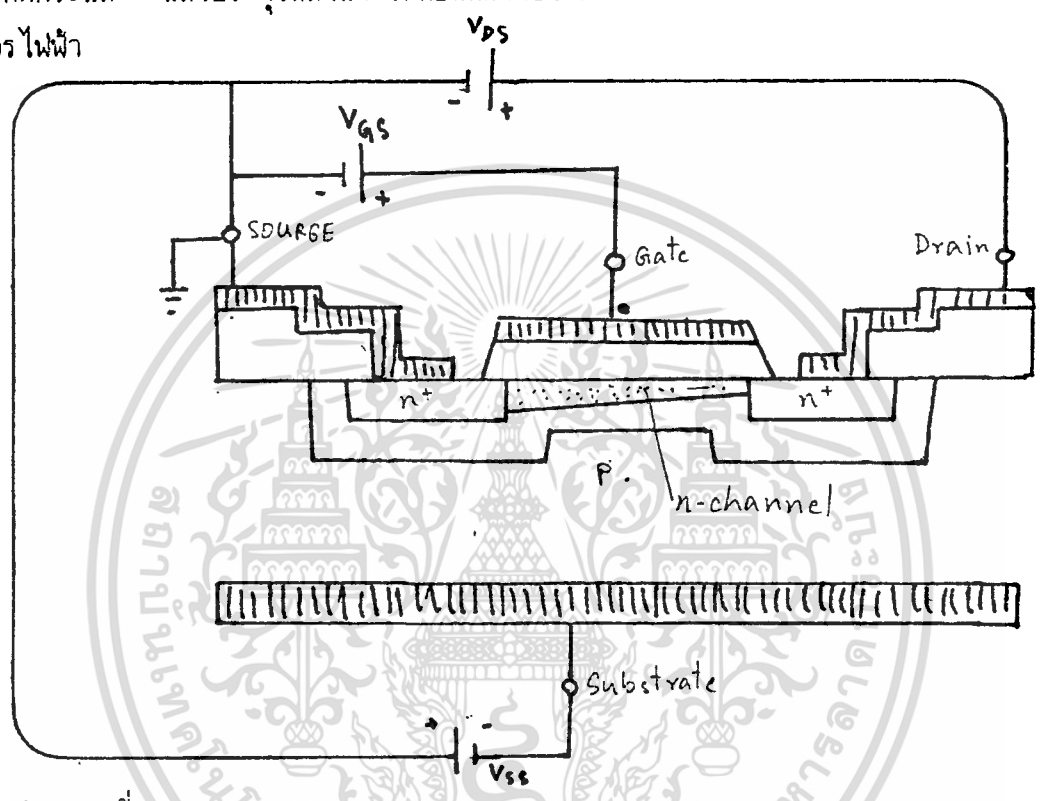


รูปที่ 2 แสดงลักษณะโครงสร้างและสัญญลักษณ์ของมอสทรานซิสเตอร์ทั้ง 4 แบบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หลักการให้ไบอัส

ในการที่จะทำให้มอสทรานซิสเตอร์ทำงานอย่างมีประสิทธิภาพตามต้องการนั้น จำเป็นอย่างยิ่งที่จะต้องให้ไบอัสกับส่วนต่าง ๆ ของมันอย่างเหมาะสม โดยคำนึงถึงหน้าที่หลักของแต่ละส่วนดังกล่าวมาแล้วข้างต้น เช่นส่วนซอส ซึ่งถูกกำหนดให้เป็นแหล่งจ่ายประจุพาหะส่วนมากที่ทำให้เกิดกระแส แล้วประจุเหล่านี้จะเคลื่อนที่ผ่านช่องทางเดินกระแสไปยังส่วนเดรน ออกไปสู่วงจรไฟฟ้า



รูปที่ 3 n-channel MOSFET with correct polarity for all applied biases when connecting it as a four-terminal device.

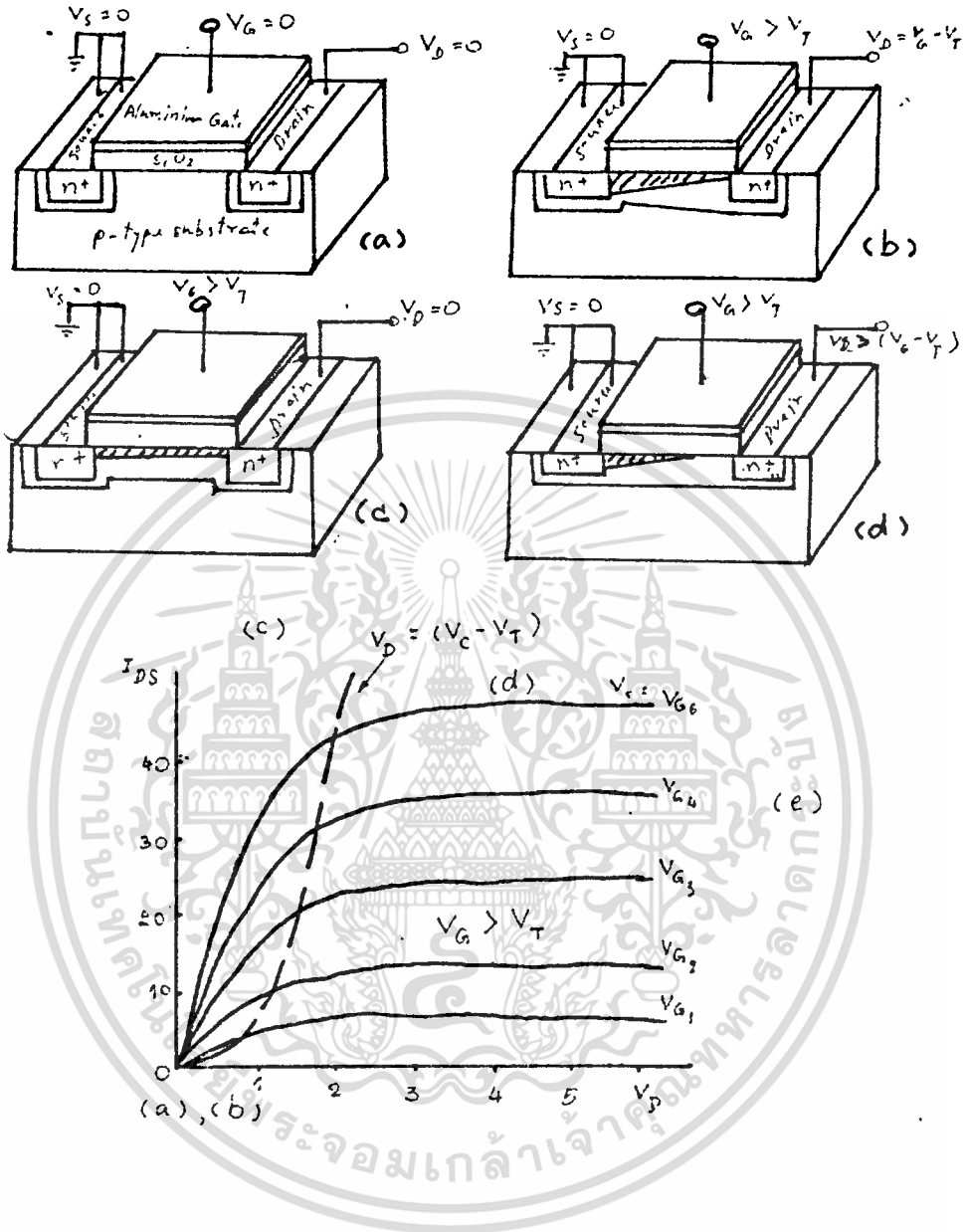
ภายนอก ทำให้เกิดเป็นกระแสเดรน-ซอส ; I_{DS} , ดังนั้นในการให้แรงดันไบอัสที่เหมาะสมระหว่างส่วนเดรนกับส่วนซอส จึงหมายถึงการให้ศักดาไฟฟ้าแก่ซอส เมื่อเทียบกับส่วนเดรนแล้วส่วนซอสจะต้องเป็นแหล่งจ่ายประจุพาหะส่วนมากเสมอ เช่น ในกรณีของ เอ็น แชนแนล มอสทรานซิสเตอร์ ซึ่งมีอิเลคตรอนหรือประจุลบเป็นประจุพาหะส่วนมากที่ทำให้เกิดกระแส ดังนั้นจะต้องให้ศักดาไฟฟ้าเป็นลบที่ส่วนซอสเมื่อเทียบกับส่วนเดรน เพื่อให้ส่วนซอสทำหน้าที่เป็นแหล่งจ่ายอิเลคตรอนนั่นเอง ดังแสดงในรูปที่ 3 หรือในกรณีของพี แชนแนล มอสทรานซิสเตอร์ ซึ่งมีโฮลหรือประจุบวกเป็นประจุพาหะส่วนมากที่ทำให้เกิดกระแสก็จะต้องให้ศักดาไฟฟ้าเป็นบวกที่ส่วนซอสเมื่อเทียบกับส่วนเดรน สำหรับส่วนเกทจะต้องให้ศักดาไฟฟ้า(เมื่อเทียบกับฐานรอง)ในลักษณะที่สามารถควบคุมการเปิดหรือปิดช่องทางเดินกระแสได้ โดยใช้การพิจารณาหลักเดียวกับการให้ศักดาไฟฟ้าแก่ตัวเก็บประจุไฟฟ้า(Capacitor) ทั่ว ๆไป เช่น ตัวอย่างที่แสดงในรูปที่ 3 เป็น เอ็น แชนแนล เอ็นฮานซ์ โหมด มอสทรานซิสเตอร์ ซึ่งโดยปกติถ้าไม่มีศักดาไฟฟ้าให้ที่ส่วนเกท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ช่องทางเดินกระแสจะเปิดอยู่ทำให้ส่วนเดรนกับส่วนซอสแยกออกจากกัน ดังนั้นถึงจะมีความต่างศักดาระหว่างส่วนเดรนกับส่วนซอสเกิดขึ้น กระแส I_{DS} ก็ไม่สามารถไหลได้ ในกรณีนี้จะต้องให้ศักดาไฟฟ้าที่ส่วนเกทเป็นบวกเมื่อเทียบกับฐานรองเพื่อทำให้เกิดการสะสมประจุลบในช่องทางเดินกระแส อันจะเป็นการควบคุมการเปิด-ปิดช่องทางเดินกระแสนั่นเอง หรือในกรณีของ เอ็นแชนแนล ดีพลีทชั่น โหมด มอสทรานซิสเตอร์ ซึ่งโดยปกติขณะที่ไม่มีแรงดันไบอัสที่ส่วนเกทสารกึ่งตัวนำบริเวณช่องทางเดินกระแสจะมีสภาพเป็นสารกึ่งตัวนำชนิดเอ็นอยู่แล้ว ทำให้เกิดการเชื่อมต่อระหว่างส่วนเดรนกับส่วนซอส ดังนั้นเมื่อมีความต่างศักดาระหว่างส่วนเดรนกับส่วนซอสเกิดขึ้นจะทำให้กระแส I_{DS} ไหลได้ทันที ฉนั้นในการควบคุมปริมาณกระแส I_{DS} ก็ทำได้โดยการควบคุมความนำไฟฟ้าของช่องทางเดินกระแสนั้นโดยการให้แรงดันไบอัสส่วนเกทในลักษณะที่ทำให้เกิดการเปลี่ยนแปลงการสะสมประจุลบ หรือ อิเลคตรอน เช่น ถ้าให้ส่วนเกทมีศักดาไฟฟ้าเป็นบวกเมื่อเทียบกับฐานรองจะทำให้เกิดการสะสมประจุลบที่ช่องทางเดินมากขึ้นเป็นผลให้ความนำไฟฟ้ามีค่าเพิ่มขึ้น กระแส I_{DS} ก็ไหลได้มากขึ้น แต่ถ้าให้ส่วนเกทมีศักดาไฟฟ้าเป็นลบเมื่อเทียบกับฐานรอง จะทำให้เกิดการสะสมประจุบวกที่ช่องทางเดินกระแสเป็นผลให้ความนำไฟฟ้าของสารกึ่งตัวนำชนิดเอ็นบริเวณช่องทางเดินกระแสลดลง ดังนั้น กระแส I_{DS} ก็จะไหลได้น้อยลงด้วย ส่วนในกรณีของ PMOS ก็พิจารณาได้ในทำนองเดียวกัน

โดยหลักการที่กล่าวมาข้างต้นเป็นการเตรียมพร้อมที่จะให้มอสทรานซิสเตอร์ทำงานตามที่ต้องการซึ่งกลไกการเปลี่ยนแปลงคุณสมบัติทางไฟฟ้าภายในของมันพอจะอธิบายได้ดังนี้ ตัวอย่างเช่น ในกรณีของเอ็น แชนแนล เอ็นฮานซ์เมนท์ โหมด มอสทรานซิสเตอร์ เมื่อได้รับแรงดันไบอัสที่เหมาะสมจะมีการเปลี่ยนแปลงคุณสมบัติทางไฟฟ้าดังแสดงในรูปที่ 4 (a)-(d) ซึ่งจะเห็นว่าในรูปที่ 4 (a) จะแสดงสภาพปกติของมอสทรานซิสเตอร์ที่กำลังพิจารณาในขณะนี้สารกึ่งตัวนำบริเวณช่องทางเดินกระแสเป็นชนิดพีทำให้ส่วนเดรนกับส่วนซอสแยกออกจากกันทางไฟฟ้า ดังนั้นถึงแม้ว่าจะมีความต่างศักดาไฟฟ้าเกิดขึ้นระหว่าง เดรนกับซอส ประจุพาหะส่วนมากก็จะเคลื่อนจากซอลไปเดรนไม่ได้ นั่นคือกระแส I_{DS} เป็น ศูนย์ ในรูป4 (b) เมื่อให้ศักดาไฟฟ้าที่เกทมีค่ามากกว่าค่าแรงดันขีดสุด (Threshold Voltage ; V_T) ของมันแล้วจะเกิดการเหนี่ยวนำประจุลบขึ้นที่ส่วนของฐานรองบริเวณผิวสัมผัสกับออกไซด์ส่วนเกท ทำให้สารกึ่งตัวนำบริเวณนั้นมีคุณสมบัติเหมือนสารกึ่งตัวนำชนิดเอ็นเชื่อมต่อระหว่างส่วนเดรนกับส่วนซอสซึ่งเรียกส่วนนี้ว่า ช่องทางเดินกระแส ให้สังเกตุว่าตรงรอยต่อระหว่างสารกึ่งตัวนำชนิดเอ็นกับชนิดพีจะมีบริเวณปลอดประจุพาหะอยู่เสมอ (จากทฤษฎีของรอยต่อ พี-เอ็น) ในรูป 4 (c) เมื่อให้ความต่างศักดาไฟฟ้าระหว่างส่วนเดรนกับส่วนซอสมีค่าเป็น V_G-V_T แล้ว แต่เนื่องจากส่วนซอสต่อเชื่อมสัมผัสทางไฟฟ้า(Short) อยู่กับฐานรอง ดังนั้นจึงเกิดการไบอัสย้อนกลับขึ้นระหว่างรอยต่อพี-เอ็น ที่ส่วนฐานรองรอบ ๆ ส่วนเดรน เป็นผลให้เกิดการเปลี่ยนแปลงจำนวนประจุพาหะที่ช่องทางเดินกระแสบริเวณใกล้ ๆ กับส่วนเดรน แต่เนื่องจากแรงดันไบอัส V_D พอดีเท่ากับแรงดัน V_G-V_T ที่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4 (a)-(d) show n-channel enhancement-mode MOSFET under various bias conditions.
(e) show Typical I-V characteristics for an n-channel enhancement-mode MOSFET.

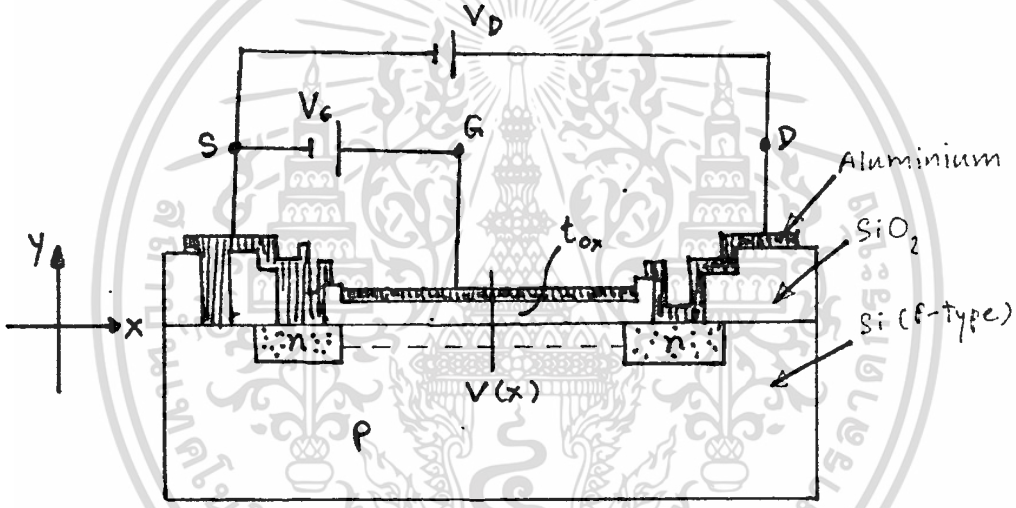
ทำให้เกิดช่องทางเดินกระแส ดังนั้นช่องทางเดินกระแสจึงยังคงเชื่อมต่ออยู่พอดีกับส่วนเดรน โสมือนเป็นความต้านทานตัวหนึ่ง ฉนั้นกระแส I_{DS} จึงเพิ่มขึ้นอย่างเป็นเชิงเส้นกับค่าแรงดัน V_D ที่เพิ่มขึ้นจาก 0 ถึง $V_G - V_T$ ในรูปที่ 4 (d) เป็นการให้ศักดาไฟฟ้าที่ส่วนเดรนมีค่ามากกว่าแรงดัน $V_G - V_T$ ซึ่งจะทำให้ช่องทางเดินกระแสถูกแยกออกจากส่วนเดรน โดยสนามไฟฟ้าของรอยต่อ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

พี - เอ็น ที่เกิดจากการไบอัสย้อนกลับ[illegible]ไบอัส V_D นั่นเอง ในกรณีนี้ความต่างศักดาไฟฟ้าระหว่างส่วนเดรนกับซอสส่วนใหญ่จะปรากฏอยู่ที่รอยต่อ พี - เอ็น ดังนั้นถึงแม้จะเพิ่มแรงดัน V_D ให้มากขึ้นอีกแต่ความต่างศักดาไฟฟ้า ระหว่างปลายทั้งสองของสารกึ่งตัวนำบริเวณช่องทางเดินกระแสก็ยังคงมีค่าประมาณเท่าเดิม ดังนั้นกระแส I_{DS} จึงมีค่าประมาณคงที่ กราฟความสัมพันธ์ระหว่างกระแส I_{DS} กับแรงดัน V_D ในขั้นตอนต่าง ๆ แสดงได้ดังในรูปที่ 4 (e)

<u>คุณสมบัติความสัมพันธ์ระหว่างกระแสกับแรงดันของมอสทรานซิสเตอร์</u>

การวิเคราะห์คุณสมบัติความสัมพันธ์ระหว่างกระแส I_{DS} กับแรงดัน V_D ของมอสทรานซิสเตอร์ในที่นี้จะขอพิจารณาในกรณีของเอ็น แชนแนล เอ็นฮานซ์เมนท์ โหมด มอส ทรานซิสเตอร์เป็นแนวทางให้เท่านั้น ซึ่งจะสามารถใช้หลักการเดียวกันนี้ในการพิจารณามอสทรานซิสเตอร์แบบอื่น ๆ ได้ด้วยดังนี้



รูปที่ 5

จากรูปที่ 5 สมมติว่าให้แรงดันไบอัสระหว่าง เดรน - ซอส เป็น V_D และแรงดันไบอัสที่ส่วนเกทเป็น V_G ถ้าให้แรงดันที่จุด x บนแนวของแชนแนลมีค่าเป็น V(x) ซึ่งก็คือแรงดันที่เปลี่ยนแปลงในแนวแกน x จากส่วนซอสคือ V_S ถึงส่วนเดรนคือ V_D มีค่าแรงดันเป็น I_DR เมื่อ R คือความต้านทานของช่องทางเดินกระแส ดังนั้นแรงดันที่ตกคร่อมชั้นออกไซด์ที่จุด x นี้ก็คือ $V_G-V(x)$ และถ้าชั้นของออกไซด์นี้หนา t_{ox} ซึ่งหนามากกว่าความลึกของช่องทางเดินกระแสมาก ๆ จะได้ว่าสนามไฟฟ้าในชั้นออกไซด์ที่จุด x ก็คือ

$$E(x) = [V_G - V(x)]/t_{ox} \quad V/M \quad (1)$$

จากกฎของเกาส์ จะหาความหนาแน่นของประจุที่ผิว (Surface charge ; ρi) ซึ่งถูกเหนี่ยวนำในช่องทางเดินกระแสที่จุด x ได้เป็น

$$\rho i(x) = \varepsilon \mathcal{E}(x) \quad c/m^2$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของลิขสิทธิ์ทุกครั้งที่มีการนำไปใช้
023105

$$= \varepsilon_o \varepsilon_{ox} \quad (x) \qquad c/m^2$$

$$\rho i(x) = (\varepsilon_o \varepsilon_{ox}) / t_{ox} * [V_G - V(x)] \qquad c/m^2 \qquad (2)$$

โดยที่ ε_{ox} คือ Relative Permittivity ของชั้นออกไซด์ มีค่าคงที่เป็น 4

อย่างไรก็ตามประจุที่เกิดขึ้นนี้ จะยังไม่สามารถนำกระแสในแชนแนลได้ ทั้งนี้เนื่องจากขณะที่แรงดัน V_G มีค่าน้อย ๆ บริเวณผิวสัมผัสระหว่างออกไซด์กับสารกึ่งตัวนำฐานรองจะเกิดเฉพาะบริเวณปลอดประจุพาหะขึ้น ยังไม่เกิดเป็นชั้นกลับ แต่ถ้าแรงดัน V_G มีค่ามากกว่าแรงดันขีดสุด V_T (ซึ่งนิยามว่าเป็นแรงดันที่ส่วนเกทตกคร่อมชั้นออกไซด์ พอดีทำให้ความหนาแน่นของประจุในช่องทางเดินกระแสมีค่าเป็นศูนย์) แล้วจะเกิดการเหนี่ยวนำให้เกิดชั้นกลับขึ้นได้ ซึ่งก็จะนำไฟฟ้าระหว่างส่วนเดรนกับส่วนซอสได้ทันที สมมติว่าความหนาแน่นของประจุพาหะที่เพิ่มขึ้นในช่องทางเดินกระแสซึ่งเป็นชั้นกลับมีค่าเป็น Δn แล้ว ดังนั้นจะได้ว่า

$$\rho i(x) = q \Delta n \qquad c/m^2 \qquad (3)$$

จากนิยามของ V_T จะได้ว่า

$$q \Delta n = (\varepsilon_o \varepsilon_{ox}) / t_{ox} * \{[V_G - V(x)] - V_T\} \qquad (4)$$

เมื่อ $[V_G - V(x)] > V_T$

และ

$$q \Delta n = 0 \quad \text{เมื่อ} \quad [V_G - V(x)] < V_T \qquad (5)$$

ถ้าให้ G(x) แทนค่าความนำไฟฟ้า ดังนั้น ค่าความนำไฟฟ้าของส่วนเล็ก ๆ ของช่องทางเดินกระแสซึ่งบางมาก ๆ ในช่วงความยาว dx และกว้าง w จะมีค่าเป็น

$$G(x) = \sigma(x) \, w/dx \qquad (6)$$

โดยที่ $\sigma(x)$ คือความนำที่ผิวต่อหนึ่งหน่วยตารางเมตรของแชนแนล ดังนั้นจะได้ว่า

$$G(x) = q \Delta n \, \mu_e \, w/dx \qquad (7)$$

$$= (\varepsilon_o \varepsilon_{ox}) / t_{ox} * \mu_e * (w)/dx * \{[V_G - V(x)] - V_T\}$$

โดยที่ μe คือ ความคล่องตัวของอิเลคตรอนในแชนแนลจากกฎของโอห์มจะได้ว่า

$$I_{DS} = G(x).dV \qquad (8)$$

โดยที่ dV คือ แรงดันที่ตกคร่อมส่วนเล็ก ๆ ในแชนแนลซึ่งยาว dx ดังนั้น

$$I_{DS} = (\varepsilon_o \varepsilon_{ox}) / t_{ox} * \mu_e \, (w)/dx * \{[V_G - V(x)] - V_T\} * dV \qquad (9)$$

เมื่อทำการอินติเกรทตลอดแนวแท่งผลึกซึ่งยาว L และมีแรงดันตกคร่อมรวมทั้งหมดเป็น V_D และสมมติว่าค่า ค.ต.ท. ที่ไม่ต้องการซึ่งเกิดขึ้นที่ขั้วเดรนและซอส มีค่าน้อย ๆ ดังนั้นจะได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\int_0^L I_{DS}\,dx = (\varepsilon_o \varepsilon_{ox})/t_{ox} * \mu_n * w \int_0^{V_D} \{[V_G - V(x)] - V_T\}\,dv$$

$$I_{DS}.L = (\varepsilon_o \varepsilon_{ox})/t_{ox}\,\mu_n * w \{[V_G - V_T]V_D - (V_D{}^2)/2$$

หรือ

$$I_{DS} = (\varepsilon_o \varepsilon_{ox})/t_{ox} * \mu_n * (w)/L * \{[V_G - V_T]V_D - V_D{}^2\} \qquad (10)$$

สมการที่ (10) นี้เป็นสมการแสดงความสัมพันธ์ระหว่างกระแส I_{DS} กับแรงดัน V_D ที่ค่าแรงดัน $V_D < (V_G - V_T)$ อย่างไรก็ตามจากสมการที่ (10) สามารถนำมาพิจารณาหาความสัมพันธ์ระหว่างกระแสและแรงดันในแต่ละกรณี ของการทำงานของมอสทรานซิสเตอร์ได้ดังนี้

- ในกรณีที่มอสทรานซิสเตอร์ทำงานในช่วงเชิงเส้น (Linear-or Triode region) โดยพิจารณาว่า แรงดัน V_D มีค่าน้อย ๆ หรือ $(V_G - V_T) > V_D$ เพื่อให้เกิดช่องทางเดินกระแสเชื่อมต่อระหว่างส่วนซอสกับส่วนเดรน ดังนั้น $(V_G - V_T)V_D >> V_D{}^2/2$ (11) ซึ่งจากสมการที่ (10) จะลดรูปลงได้เป็น

$$I_{DS} = (\varepsilon_o \varepsilon_{ox})/t_{ox} * \mu_n * (w)/L * \{[V_G - V_T]V_D\} \qquad (12)$$

จากสมการที่ (12) นี้จะเห็นว่ากระแส I_{DS} แปรเป็นสัดส่วนโดยตรงกับแรงดัน V_D ที่ V_G คงที่ค่าหนึ่ง ๆ

- ในกรณีที่มอสทรานซิสเตอร์ทำงานในช่วงอิ่มตัว (Saturation or Pentrode region) โดยพิจารณาว่า แรงดัน $V_D > (V_G - V_T)$ เพื่อให้แน่ใจว่าเกิดบริเวณแปลอดประจุพาหะที่ช่องทางเดินกระแสตรงส่วนที่อยู่ติดกับส่วนเดรน ดังนั้นกระแส I_{DS} ที่คงที่นี้จะเริ่มคงที่ตั้งแต่ $V_D = (V_G - V_T)$ ดังนั้นกระแส I_{DS} ที่คงที่ในช่วงอิ่มตัวนี้ จึงมีค่าเป็น

$$I_{DS(sat)} = (\varepsilon_o \varepsilon_{ox})/t_{ox} * \mu_n * (w)/L * \{[V_G - V_T](V_G - V_T) - (V_G - V_T)^2/2$$

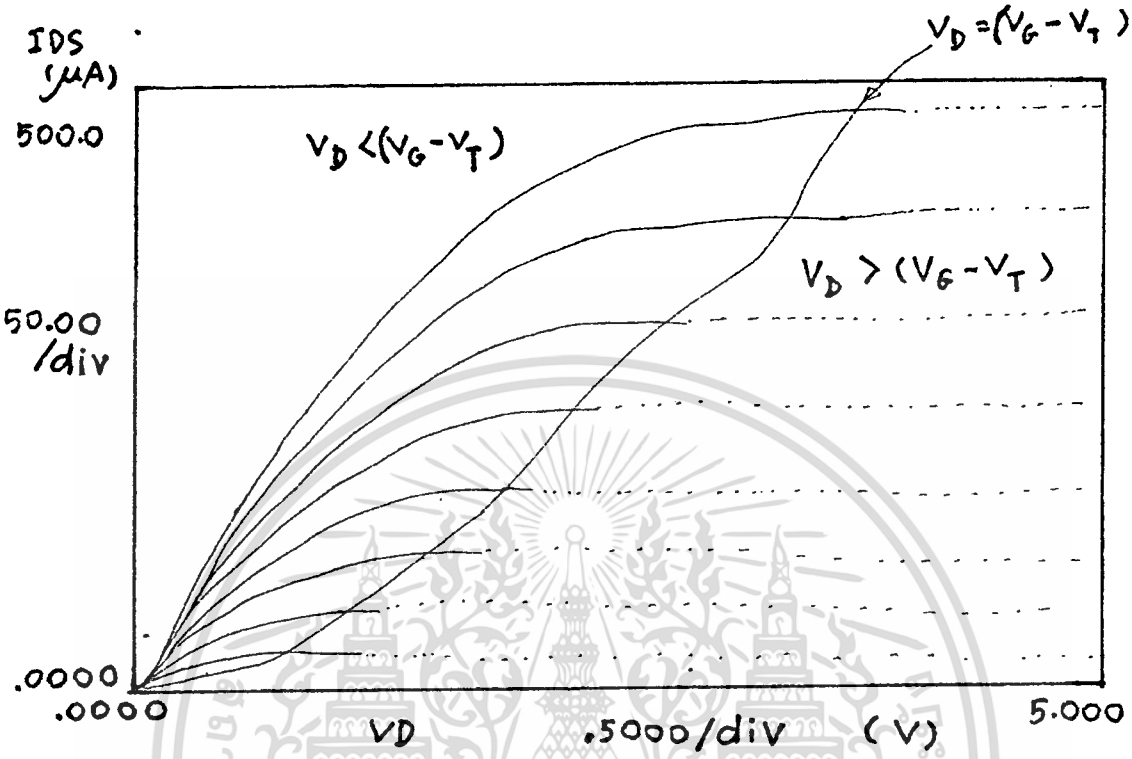
$$I_{DS(sat)} = (\varepsilon_o \varepsilon_{ox})/t_{ox} * \mu_n * (w)/L * (V_G - V_T)^2/2 \qquad (13)$$

จากสมการที่ (13) นี้จะเห็นว่ากระแส $I_{DS(sat)}$ จะมีค่าคงที่ไม่ขึ้นกับค่าแรงดัน V_D โดยจะมีค่าคงที่ ที่ V_G ค่าหนึ่ง ๆ

กราฟแสดงความสัมพันธ์ระหว่างกระแส I_{DS} กับแรงดัน V_D ในขณะที่มอสทรานซิสเตอร์ทำงานในแต่ละช่วง แสดงในรูปที่ 6

เป็นที่น่าสังเกตุจากสมการที่ (10) ว่า กระแส I_{DS} สามารถถูกควบคุมได้โดยโครงสร้างทางเรขาคณิต อันได้แก่ ความกว้างของช่องทางเดินกระแส (w) ความยาวของช่องทางเดินกระแส (L) และความหนาของเกทออกไซด์ (t_{ox}) นอกจากนั้นยังสามารถควบคุมได้ในขณะทำการสร้างอีกด้วย โดยการควบคุมค่าของแรงดันขีดสุด V_T ซึ่งรายละเอียดจะได้กล่าวต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 6 กราฟแสดงความสัมพันธ์ระหว่างกระแส I_{DS} กับแรงดัน V_D

<u>แรงดันขีดสุดในมอสทรานซิสเตอร์</u> (Threshold Voltage ; V_T)

จากนิยามของแรงดันขีดสุดในมอสทรานซิสเตอร์ หมายถึงแรงดันที่ให้ที่เกท แล้วพอดีทำให้ความหนาแน่นของประจุพาหะในช่องทางเดินกระแสมีค่าเป็นศูนย์พอดี ดังนั้นในกรณีของเอ็นฮานซ์เมนท์ โหมด มอสทรานซิสเตอร์จึงหมายถึง แรงดัน V_G ที่ให้ที่เกทในขณะที่ให้ไบอัสแก่ส่วนเดรน และซอสอย่างเหมาะสมแล้วเกิดกระแส I_{DS} ไหลได้พอดี แต่ในกรณีของดีพลีทชั่น โหมด มอสทรานซิสเตอร์จะหมายถึงแรงดัน V_G ที่ให้ที่เกทในขณะที่ให้ไบอัสอย่างเหมาะสมกับส่วนเดรนและซอส แล้วทำให้กระแส I_{DS} หยุดไหลพอดี

สำหรับการคำนวณหาค่า V_T ทำได้โดยใช้สมการความสัมพันธ์ดังนี้

$$V_T = \pm V_{si} \pm V_{ox} - V_{ss} \pm V_{WF} \qquad (14)$$

โดยที่

$$V_{si} = 2V_f = (2KT)/q * \ln * (N_{sub})/ni$$

$$ni = 3.9 * 10^{16} T^{3/2} \exp(-1.21/2KT)$$

$$V_{ox} = Q_B/C_{ox} = (2 \varepsilon_o \varepsilon Si \, qN/2Vf)^{1/2}/(\varepsilon_o \varepsilon_{ox})/t_{ox}$$

$$V_{ss} = Q_{ss}/C_{ox}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หมายเหตุ

สำหรับ P-type Silicon Substrate ค่าของ V_{fi} และ V_{ox} จะมีเครื่องหมายเป็นบวก (+) ส่วน N-type Silicon Substrate ค่าของ V_{fi} และ V_{ox} จะมีเครื่องหมายเป็นลบ (-) สำหรับ V_{ss} จะมีเครื่องหมายเป็นลบ (-) เสมอ เพราะเกิดจากอิออนบวก เช่น Na^+ , H^+ เป็นต้น ส่วนค่าของ Q_{ss} มักจะถูกกำหนดให้เป็นค่าคงที่ ที่ขึ้นกับระนาบของผลึกที่ใช้ ซึ่งค่าคงที่ที่นิยมใช้กันทั่วไป มีดังนี้

ในระนาบ <100> $Q_{ss} = 1.4 * 10^{-8}$ C/cm^2

ในระนาบ <111> $Q_{ss} = 8.0 * 10^{-8}$ C/cm^2

ส่วน V_{wF} คือ ความต่างศักดาไฟฟ้าที่เกิดจากความแตกต่างของฟังก์ชั่นงานดังนั้นถ้าให้ ϕ_G เป็นฟังก์ชั่นงานของวัสดุส่วนที่เป็นเกท

และ ϕ_{fi} เป็นฟังก์ชั่นงานของสารกึ่งตัวนำฐานรอง

จะได้ว่า

$$V_{wF} = (\phi_G - \phi_{fi})/q$$

โดยที่

$\phi_{fi} = 3.25 + E_g/2 + qV_f$ eV

$\phi_{Aluminium} = 3.2$ eV

V_f จะมีเครื่องหมายเป็นบวก (+) เมื่อพิจารณาใน P-type Si Sub

V_f จะมีเครื่องหมายเป็นลบ (-) เมื่อพิจารณาใน N-type Si Sub

เมื่อแทนค่าต่าง ๆ ที่เหมาะสมลงในสมการที่ (14) ก็จะสามารถหาค่า V_T ได้

<u>ต.ย.</u> NMOS แบบ Aluminium gate ตัวหนึ่ง สร้างมาจากสารกึ่งตัวนำซนิดพี ที่มีระนาบ <100> และมีความหนาแน่นอะตอมสารเจือที่ฐานรอง $1.0 * 10^{15}$ อะตอม/ลบ.ซม ถ้าออกไซด์ส่วนเกท หนา 0.1 um จงหาค่า V_T

<u>Sol</u>ⁿ

Let : $P_{sub} = 1.0 * 10^{15}$ $atom/cm^3$

$t_{ox} = 0.1$ um

$Q_{ss} = 1.4 * 10^{-8}$ C/cm^2

Find $V_T = ?$

จาก $V_T = \pm V_{fi} \pm V_{ox} - V_{ss} + V_{wF}$

$V_{fi} = (+) (2KT)/q * \ln * (P_{sub})/ni$

$= 2 * 0.026 \ln (1.0 * 10^{15})/1.5 * 10^{10}$ V

$= 0.58$ V

$V_{ox} = (+) Q_B/C_{ox}$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$= (+)\ (\ 2\,\varepsilon_o\,\varepsilon_{si}qN_a/2V_f/)^{1/2}/(\ \varepsilon_o\,\varepsilon_{ox})/t_{ox}$$

$$= (2*8.85*10^{-14}*12*1.6*10^{-19}*1.0*10^{15}*/0.58/)^{1/2}/(8.85*10^{-14}*4/0.1*10^{-4}$$

$$= 0.395 \quad V$$

$$V_{ss} = Q_{ss}/C_{ox} = (1.4*10^{-8})/(8.85*10^{-14}*4/0.1*10^{-4})$$

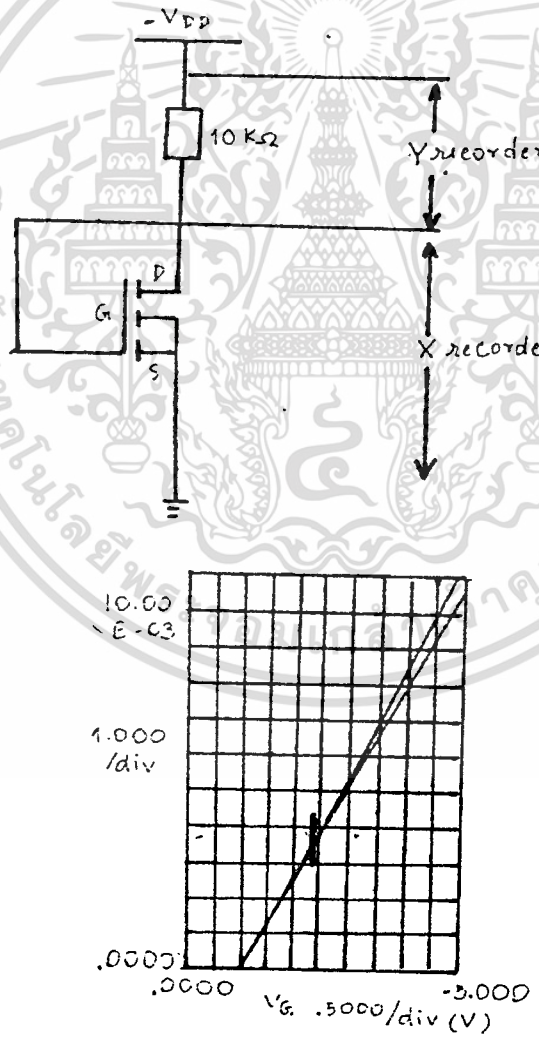
$$= 0.395 \quad V$$

$$V_{WF} = (\ \phi_{Al} - \phi_{si}\ )/q$$

$$= 3.2-\{3.25+(1.1)/2+(0.58)/2\} \quad V$$

$$V_{WF} = -0.89 \quad V$$

$$V_T = 0.58+0.395-0.395-0.89 = -0.31 \quad V.\ \underline{Ans}.$$



รูปที่ 7

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หมายเหตุ

เนื่องจากเป็น NMOS แต่ค่า V_T ที่ได้มีค่าเป็นลบ (-) แสดงว่าเป็น Depletion mode NMOS ซึ่งจากสมการที่ (14) จะเห็นว่าถ้าเลือก N_{sub} ที่เหมาะสม ก็จะได้ Enhancement mode NMOS

สำหรับในทางปฏิบัติแล้ว ค่าของ V_T จะวัดได้โดยใช้วงจรดังรูปที่ 7 (ก)ซึ่งจะได้กราฟความสัมพันธ์ระหว่างกระแส $I_{DS(sat)}$ กับแรงดัน V_G ดังรูปที่ 7 (ข) จากกราฟความสัมพันธ์ที่วัดได้จะสามารถหาค่า V_T ได้โดยใช้หลักเกณฑ์ จากนิยามของแรงดันขีดสุดที่กล่าวไปแล้ว

ค่าทรานซ์คอนดัคแตนซ์ของทรานซิสเตอร์

1) พิจารณาในช่วง Linear region (ช่วงไม่อิ่มตัว)

ค่าของทรานซ์ดัคแตนซ์ของทรานซิสเตอร์แบบมอส สามารถพิจารณาได้โดยพิจารณาแยกเป็นสองกรณีคือ ในย่านไม่อิ่มตัวและย่านอิ่มตัว จากสมการของกระแสเดรน I_{DS} ใน Linear region หรือย่านไม่อิ่มตัวดังแสดงในสมการ นั่นคือ

$$I_{ds} = (C_g * \mu_n)/L^2 * \{(V_{gs} - V_t)V_{ds} - V_{ds}^2/2\}$$

โดยการนิยามว่า g_{sd} = Source-drain conductance = $(\partial I_{ds}/\partial V_{ds})/V_{gs}$ คงที่ และเมื่อแทนค่า I_{ds} ลงในสมการ จะได้ว่า

$$g_{sd} = (C_g * \mu_n)/L^2 * (V_{gs} - V_t - V_{ds})$$

และเมื่อพิจารณาจากกราฟความสัมพันธ์ของ $I_{ds} - V_{ds}$ แล้วจะเห็นว่า

$$g_{sd} = 1/rd$$

โดยที่ rd : ความต้านทานของแชนแนล ซึ่งเป็นค่าความต้านทานของแชนแนล ในขณะที่ทรานซิสเตอร์กำลังทำงานในช่วง Linear region ในขณะที่ V_{ds} มีค่าต่ำ ๆ

จากกราฟระหว่าง I_{ds} กับ V_{ds} จะเห็นว่ากระแสเดรน I_{ds} เปลี่ยนแปลงตาม V_{ds} ขณะที่ V_{gs} มีค่าคงที่ค่าหนึ่ง ๆ ซึ่งดังนั้นเราสามารถเขียนกราฟความสัมพันธ์ระหว่างกระแสเดรน I_{ds} และ V_{gs} ขณะที่ V_{ds} มีค่าคงที่ค่าหนึ่ง ๆ ได้ และจากนิยามค่าของทรานซ์คอนดัคแตนซ์ก็คือ

$$g_m = \partial I_{ds}/\partial V_{gs} \quad /V_{ds}: \text{คงที่}$$

ซึ่งแสดงถึงการขยายสัญญาณของทรานซิสเตอร์ มีหน่วยเป็น Mho

โดยการแทนค่า I_{ds} ดังนั้นจะได้ว่า

ค่าทรานซ์คอนดัคแตนซ์ $g_m = I_{ds}/V_{gs} = (C_g * \mu_n)/L^2 * (V_{ds})$

หรือเมื่อแทนค่า $C_g = (\varepsilon_{ins}\ \varepsilon_o\ W.L)/t_{ox}$

ดังนั้น $g_m = (\varepsilon_{ins}\ \varepsilon_o\ u_n)/t_{ox} * (V_{ds})$

สมการนี้เป็นค่า g_m ของทรานซิสเตอร์ขณะทำงานในย่านไม่อิ่มตัว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2) <u>พิจารณาในย่านอิ่มตัว</u>

จากสมการกระแสเดรนของทรานซิสเตอร์ในย่านอิ่มตัว

นั่นคือ $I_{ds} = (C_g * \mu_n)/L^2 * (V_{gs}-V_t)^2$

จากนิยามของ conductance $g_{sd} = I_{ds}/V_{ds} / V_{gd}$:คงที่

เมื่อพิจารณาจากกราฟความสัมพันธ์ของกระแสเดรน I_{ds} และแรงดันซอสเดรน V_{ds} จะเห็นว่าในย่านอิ่มตัวค่าของกระแสเดรน I_{ds} จะไม่เปลี่ยนแปลงคือมีค่าคงที่ แม้ว่าแรงดันซอสเดรน V_{ds} จะเปลี่ยนไปก็ตาม

ดังนั้นในภาวะอิ่มตัว $g_{sd} = I_{ds}/V_{ds} /V_{gs}$: คงที่ = 0

และจากนิยามจะได้ว่า

ทรานซ์คอนดัคแตนซ์ $g_m = I_{ds}/V_{gs} / V_{ds}$: คงที่

ซึ่งหมายถึงแสดงถึงการขยายสัญญาณของทรานซิสเตอร์มีหน่วยเป็น Mho

และเมื่อแทนค่า I_{ds} ในสมการ จะได้ว่า

$$g_m = I_{ds}/V_{gs} / V_{ds} \text{ : คงที่}$$

$$g_m = (C_g * \mu_n)/L^2 * (V_{gs} - V_t)$$

และเมื่อแทนค่า C_g ลงในสมการจะได้ว่า

ในสภาวะอิ่มตัว $g_m = (\mu_n * \varepsilon_{ins} * \varepsilon_o)/t_{ox} * (w)/L * (V_{gs} - V_T)$

<u>ผลตอบสนองต่อความถี่</u>

เราสามารถที่จะแสดงค่าความถี่สูงสุดที่ทรานซิสเตอร์จะสามารถทำงานได้ โดยสมการ

$f_o = g_m/2\pi C_g$

โดยที่ f_o คือความถี่สูงสุดที่ทรานซิสเตอร์ทำงานได้

C_g คือค่าความจุไฟฟ้าที่เกท

g_m คือค่าทรานซ์คอนดัคแตนซ์

สำหรับอัตราส่วนของ g_m/C_g ถูกเรียกว่า "Figure of Merit" ซึ่งต่างก็แสดงผลตอบสนองตัวความถี่ของทรานซิสเตอร์เช่นกัน

และโดยการแทนค่า g_m และ C_g ในสมการ ดังนั้น

$$f_o = \{(\mu_n * \varepsilon_{ox} \varepsilon_o W / t_{ox} L) * (V_{gs} - V_t)\}/[(2\pi\varepsilon_{ox} * _o /t_{ox}) * W.L$$

$$= [\mu_n * (V_{gs} - V_t)]/2\pi L^2$$

ซึ่งจะเห็นว่าผลตอบสนองต่อความถี่จะมีค่ามากก็ต่อเมื่อค่าโมบิลิตี้ μ_n มีค่าสูง และขนาดความยาวของแชนแนล L จะต้องมีขนาดแคบ ๆ

สำหรับค่าโมบิลิตี้ (Mobility) หรือ μ ที่บริเวณผิวในสารกึ่งตัวนำซิลิกอน ของอิเลคตรอนและโฮลแสดงได้ดังในตาราง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางแสดงค่าโมบิลิตี้ที่ผิวสารกึ่งตัวนำซิลิกอนของโฮลและอิเลคตรอน

ค่าโมบิลิตี้ของโฮล	μ_p สำหรับระนาบ (111)	$\simeq$	190	cm^2 / v.sec.
	μ_p สำหรับระนาบ (100)	$\simeq$	130	cm^2 / v.sec.
ค่าโมบิลิตี้ของอิเลคตรอน	μ_n สำหรับระนาบ (100)	$\simeq$	600	cm^2 / v.sec.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

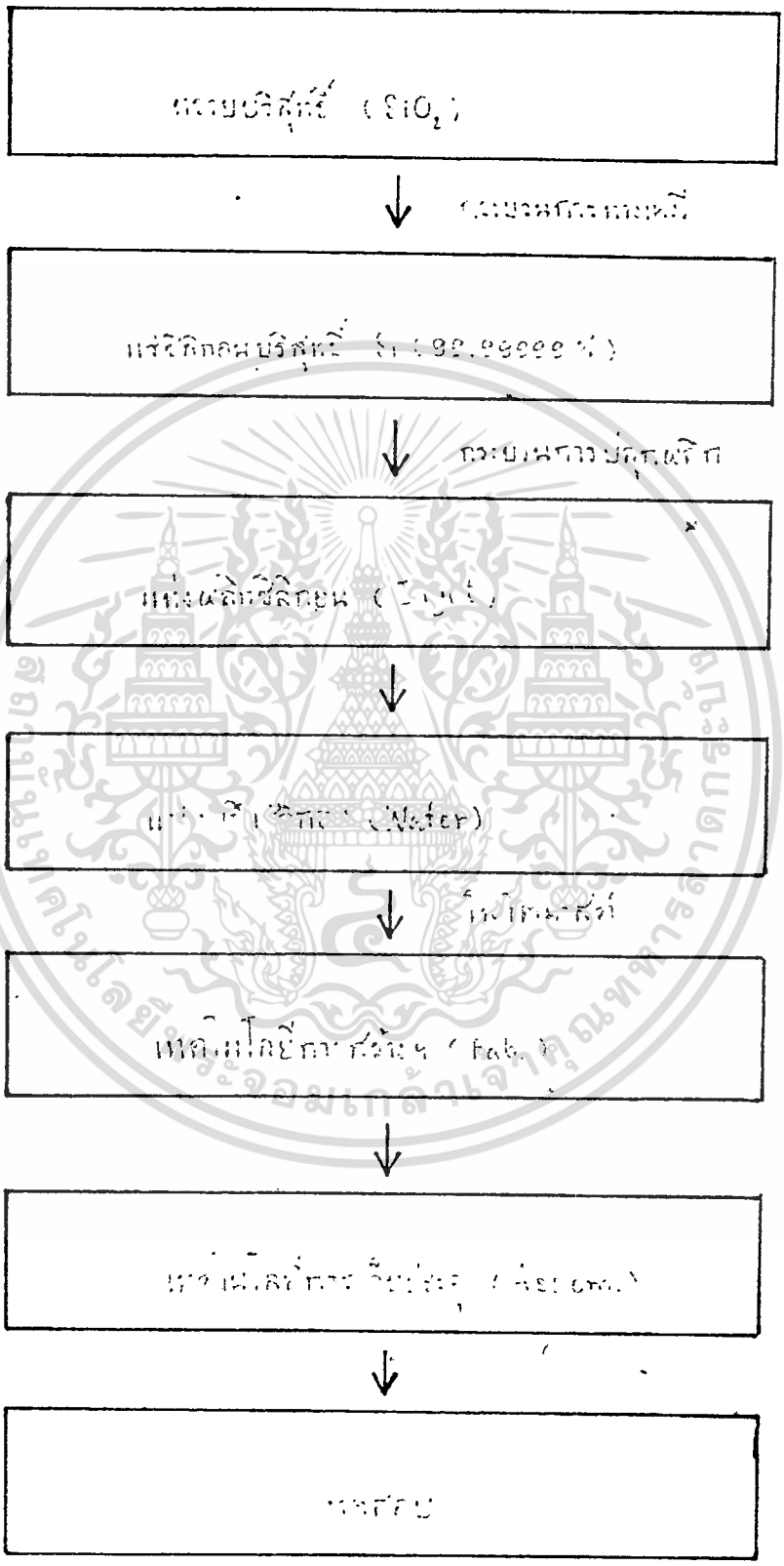
บทที่ 3
เทคโนโลยีของการประดิษฐ์สารกึ่งตัวนำ

3.1 เทคโนโลยีการสร้างสิ่งประดิษฐ์สารกึ่งตัวนำ

แผนผังแสดงขั้นตอนหยาบ ๆ ของกระบวนการสร้างสิ่งประดิษฐ์สารกึ่งตัวนำโดยทั่ว ๆไป แสดงได้ดังในรูปที่ 3.1

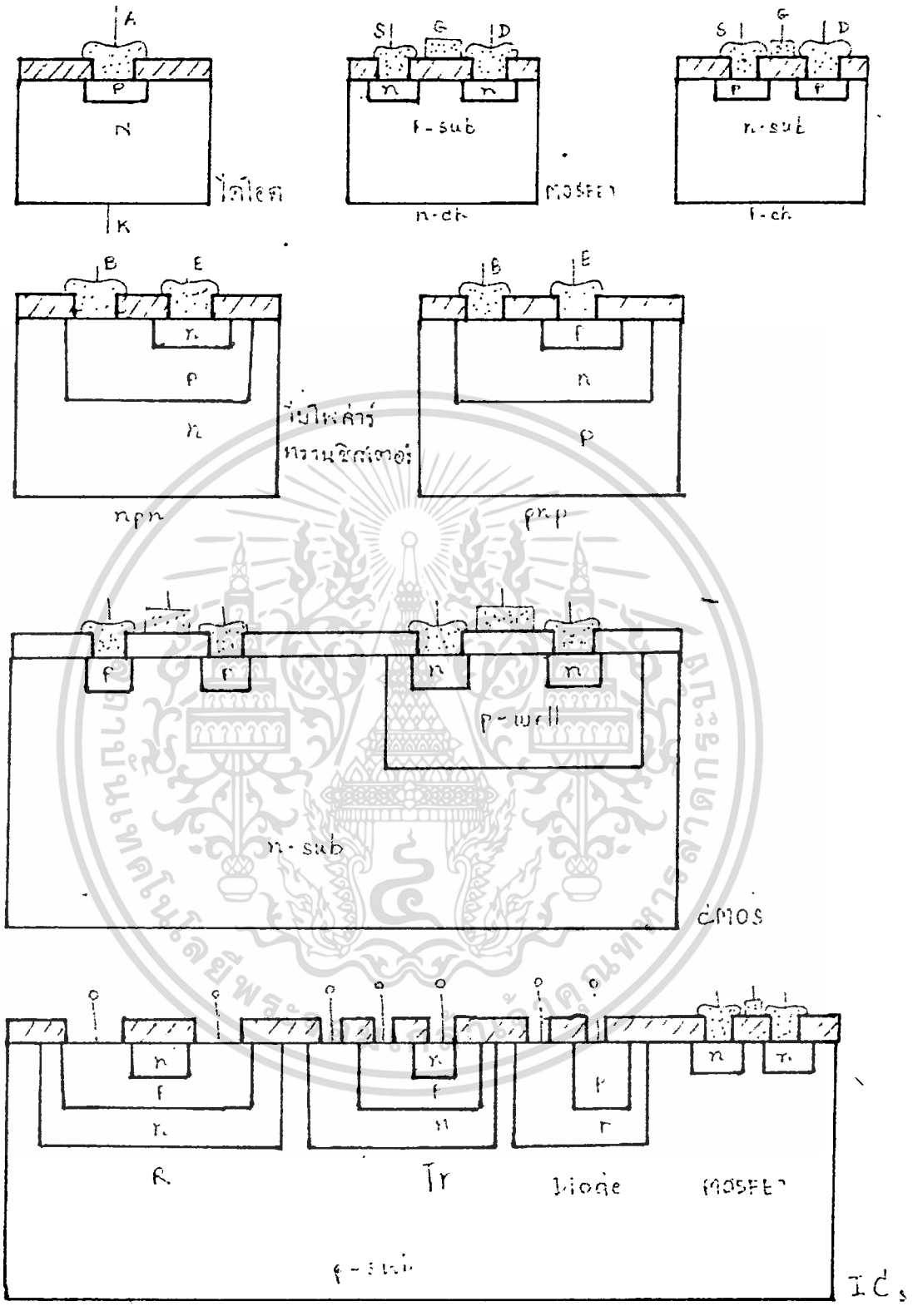
วัสดุสารกึ่งตัวนำมีอยู่หลายชนิด เช่น เยอรมันเนียม , ซิลิกอน , แคดเมียมซัลไฟร์ ,แกลเลียมอาร์เซนายด์ และแกลเลียมฟอสไฟร์ เป็นต้น แต่สำหรับสิ่งประดิษฐ์ประเภทวงจรรวม (หรือ ไอซี) โดยทั่วไปใช้ซิลิกอน ธาตุซิลิกอนนี้มีอยู่ที่พื้นผิวโลกมากมายในลักษณะของสารประกอบคือ ซิลิกอนไดออกไซด์ (Si_{o_2}) ที่เรารู้จักกันดี ก็คือ ทราย ดังนั้นธาตุซิลิกอนจะถูกแยกออกมาจากทรายจนได้ธาตุซิลิกอนบริสุทธิ์ จากนั้นจึงนำไปผ่านกระบวนการปลูกผลึก (crystal Growth) กระทั่งได้แท่งผลึก(crystal ingot)แท่งผลึกที่ได้จะถูกนำไปตัดแบ่งออกเป็นแผ่นบาง ๆ ขนาด 200 - 300 ไมครอน ซึ่งเราเรียกว่า แผ่นผลึกซิลิกอน (Si wafer) แผ่นผลึกซิลิกอนที่ได้นี้อาจจะเป็นสารกึ่งตัวนำชนิดเอ็น (n - type) หรือชนิดพี (p - type) ก็ได้ขึ้นอยู่กับชนิดของอะตอมสารเจือ (impurity atom)ที่เติมผสมลงไปในสาร์ซิลิกอนขณะทำการปลูกผลึก แผ่นผลึกสารกึ่งตัวนำจะถูกนำมาใช้เป็นวัสดุเริ่มต้นสำหรับการสร้างสิ่งประดิษฐ์สารกึ่งตัวนำ ซึ่งเทคนิคที่สำคัญคือ เทคนิคของการสร้างรอยต่อ พี-เอ็น(p-n junction technique) ด้วยเทคนิคเดียวกันนี้เองเราสามารถสร้างสิ่งประดิษฐ์สารกึ่งตัวนำที่มีโครงสร้างต่าง ๆกันซึ่งนั่นก็คือสิ่งประดิษฐ์ที่มีคุณสมบัติแตกต่างกันนั่นเอง ลักษณะโครงสร้างของสิ่งประดิษฐ์พื้นฐานชนิดต่าง ๆ แสดงไว้ดังในรูปที่ 3.2 ซึ่งจะเห็นได้ว่าสิ่งประดิษฐ์สารกึ่งตัวนำทุกชนิดจะประกอบขึ้นด้วยสารกึ่งตัวนำชนิดเอ็นและชนิดพี หากแต่มีลักษณะโครงสร้างที่แตกต่างกันออกไปเท่านั้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3 เทคนิคที่สำคัญสำหรับกระบวนการสร้าง

1. เทคนิคการสร้างแผ่นผลึกซิลิกอน

วัสดุเริ่มต้นของการเตรียมแผ่นผลึกซิลิกอนก็คือ ทราย หรือซิลิกอนไดออกไซด์(Si_{o2}) ทรายจะถูกนำมาใช้สำหรับการแยกธาตุซิลิกอนบริสุทธิ์ จากนั้นจึงนำธาตุซิลิกอนบริสุทธิ์ไปหลอมเหลวที่อุณหภูมิประมาณ 1,500 ° C และด้วยเทคนิคของการปลูกผลึก จะทำให้ได้แท่งผลึกสารกึ่งตัวนำดังแสดงในรูปที่ 3.3.1

ในระหว่างการปลูกผลึกถ้าหากต้องการสารกึ่งตัวนำชนิดเอ็น ก็ต้องเติมอะตอมสารเจือของธาตุในกลุ่มที่ 5 เช่น ฟอสฟอรัส หรือสารหนู เป็นต้น และถ้าหากต้องการสารกึ่งตัวนำชนิดพี ก็ต้องเติมอะตอมสารเจือของธาตุในกลุ่มที่ 3 เช่น โบรอน เป็นต้น แท่งผลึกที่ได้จะมีลักษณะเป็นแท่งทรงกระบอก ซึ่งมีขนาดเส้นผ่าศูนย์กลางต่าง ๆ กัน ซึ่งในปัจจุบันนี้มีขนาด ตั้งแต่ 3 นิ้ว ถึง 6 นิ้ว แท่งผลึกนี้จะถูกนำไปตัดให้เป็นแผ่นบาง ๆ โดยเลื่อยชนิดพิเศษ แผ่นผลึกนี้เรียกว่า เวเฟอร์ (wafer) มีความหนาประมาณ 200 - 420 ไมครอน แผ่นผลึกนี้จะถูกนำไปขัดด้วยผงขัดให้เรียบจนขึ้นเงาเป็นมัน แล้วจึงนำไปเป็นวัสดุเริ่มต้นของกระบวนการสร้างสิ่งประดิษฐ์ต่อไป

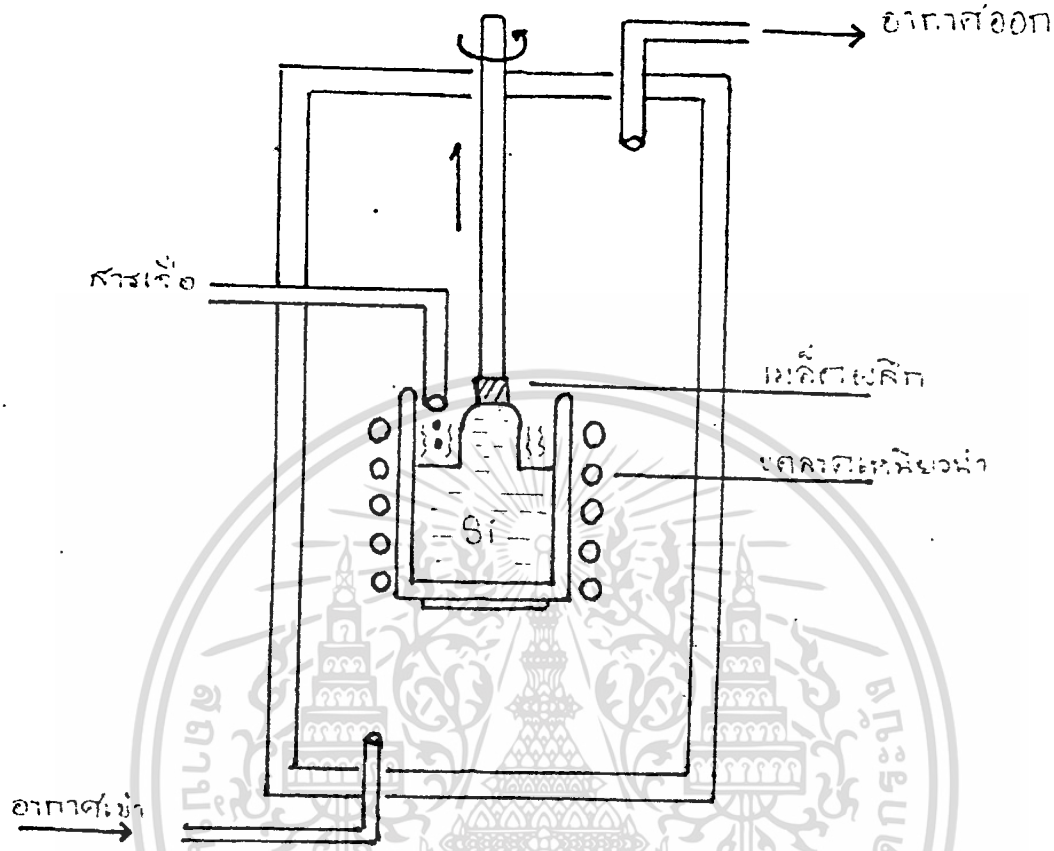
2. เทคนิคการสร้างชั้นออกไซด์ (Si_{o2})

ชั้นของซิลิกอนไดออกไซด์ (Si_{o2}) ซึ่งมีคุณสมบัติเป็นฉนวนไฟฟ้าและโปร่งแสงถูกนำมาใช้เป็นชั้นสำหรับป้องกันผิวหน้าของสิ่งประดิษฐ์ นอกจากนี้ยังใช้เป็นกำบังสำหรับป้องกันการแพร่ของอะตอมสารเจือไม่ให้แพร่ผ่านไปได้ สำหรับ MOSFET ชั้นของออกไซด์นี้ถูกนำมาเป็นส่วนสำคัญของส่วนเกทซึ่งมีโครงสร้างเป็น MOS ชั้นของออกไซด์สามารถสร้างได้หลายวิธี ที่ใช้กันโดยทั่วไปได้แก่ กระบวนการออกซิเดชั่นโดยความร้อน (Thermal Oxidation) ซึ่งทำได้โดยการนำแผ่นผลึกซิลิกอนไปทิ้งไว้ในเตาอุณหภูมิสูง (ประมาณ 1000 ° C และอยู่ในบรรยากาศของออกซิเจน (O_2) กาซออกซิเจนก็จะทำปฏิกิริยากับซิลิกอน เกิดเป็นชั้นซิลิกอนไดออกไซด์ (Si_{o2}) ขึ้นดังสมการเคมี

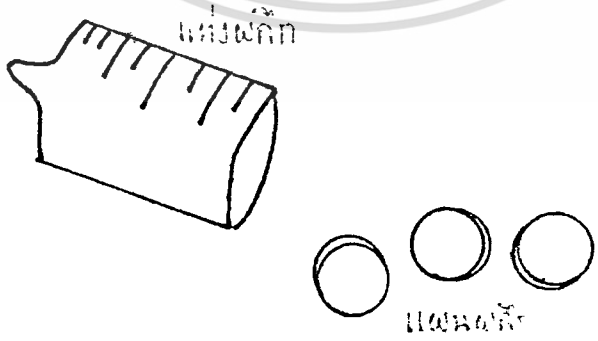
$$Si + O_2 \quad ---> \quad Si_{o2}$$

ลักษณะอุปกรณ์ที่ใช้สำหรับกระบวนการออกซิเดชั่นแสดงได้ดังในรูปที่ 3.4 ชั้นของออกไซด์จะเกิดขึ้นบนผิวหน้าของแผ่นผลึกซิลิกอน ความหนาของชั้นออกไซด์สามารถควบคุมได้ด้วยอุณหภูมิและเวลาที่ใช้ในกระบวนการออกซิเดชั่น ความหนาของชั้นออกไซด์ที่ต่างกันจะทำให้เห็นมีสีที่แตกต่างกัน ลักษณะของแผ่นผลึกที่ผ่านกระบวนการออกซิเดชั่นแล้วแสดงดังในรูปที่ 3.5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

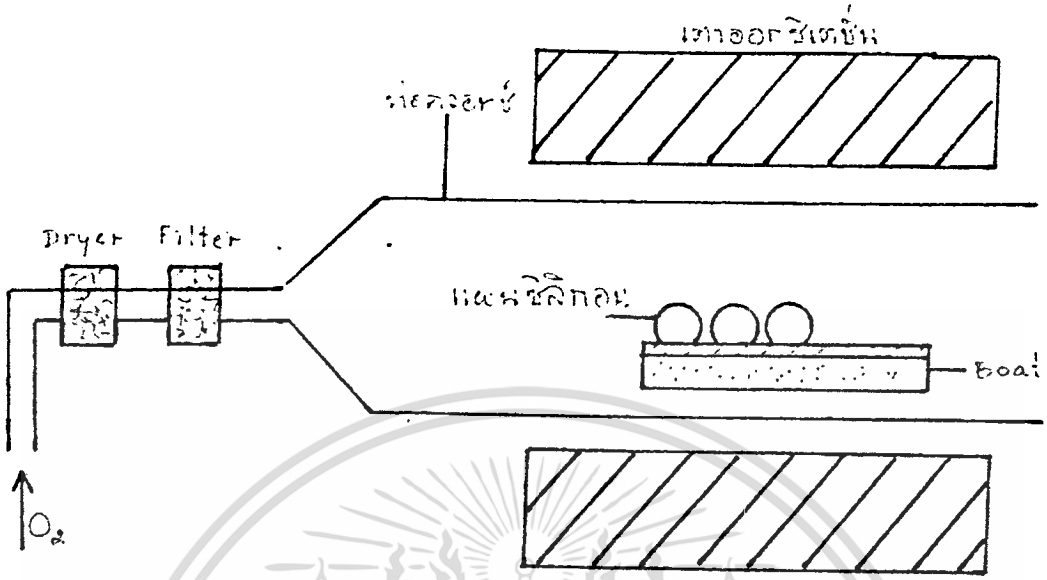


รูปที่ 3.3

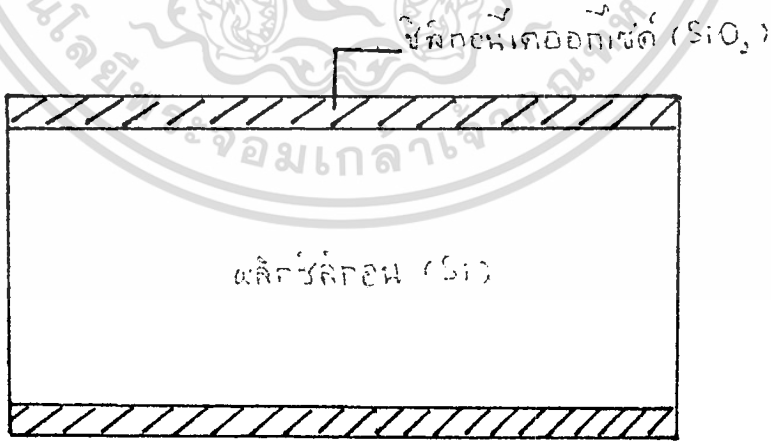


รูปที่ 3.3.1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.4



รูปที่ 3.5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3. เทคนิคการเปิดช่องออกไซด์

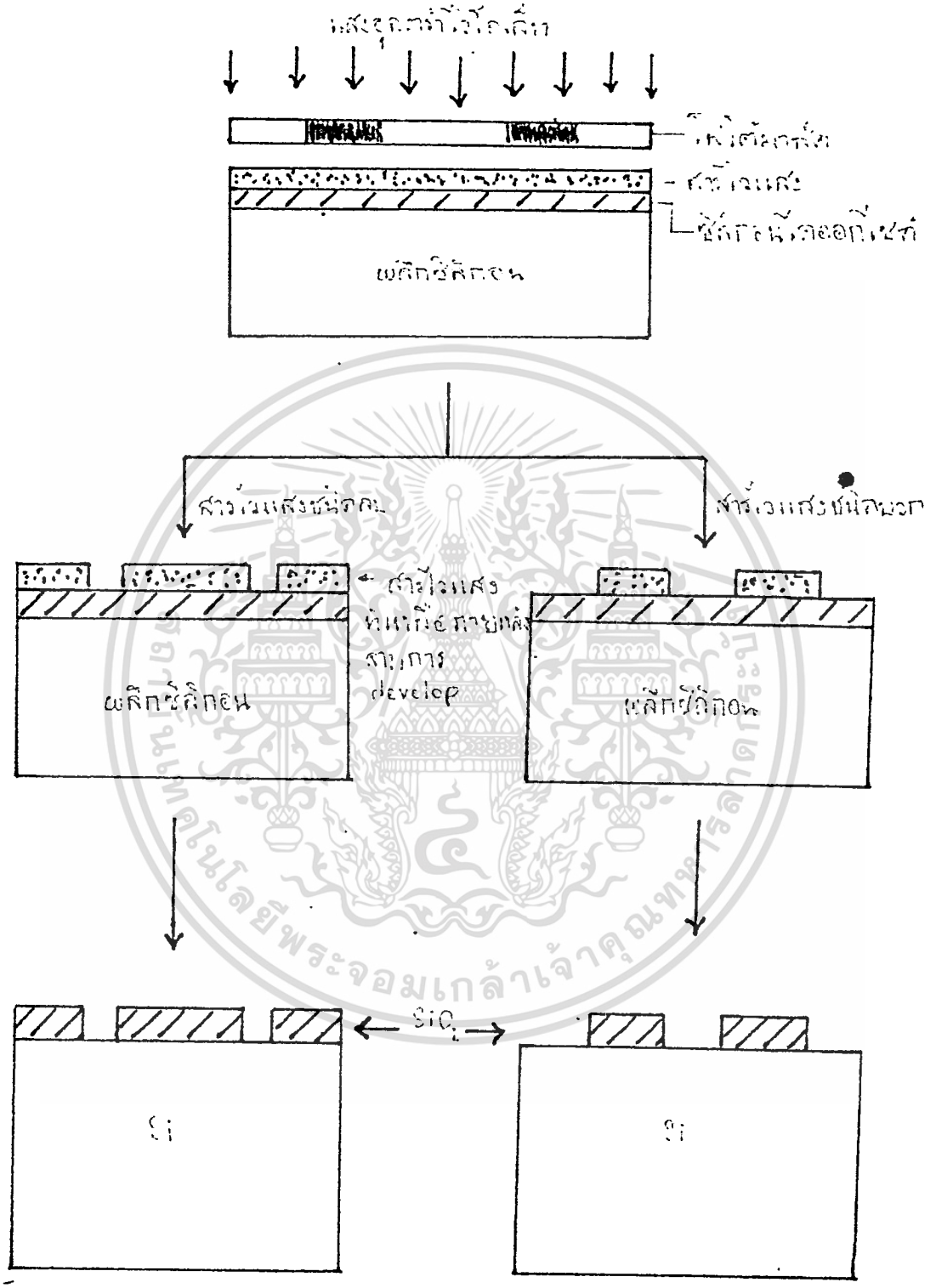
ภายหลังจากการออกซิเดชั่นแผ่นผลึกซิลิกอนแล้ว ชั้นของออกไซด์จะเคลือบผิวของแผ่นซิลิกอนทั้งหมด การสร้างสิ่งประดิษฐ์สารกึ่งตัวนำชนิดต่าง ๆ จำเป็นที่จะต้องเปิดช่องออกไซด์ออก เพื่อที่จะเติมอะตอมสารเจือชนิดตรงกันข้ามเข้าไปในเนื้อซิลิกอน กระบวนการที่นิยมใช้สำหรับการเปิดช่องออกไซด์ออกนี้ก็คือ " กระบวนการโฟโตลิโธกราฟี "(Photolithography process) บางครั้งเรียกสั้น ๆ ว่า " โฟโตเอชชิ่งค์ "(Photo etching) วัสดุและอุปกรณ์ที่จำเป็นสำหรับกระบวนการนี้ก็คือกระจกต้นแบบ น้ำยาไวแสง น้ำยาล้าง (developer) น้ำยาละลายออกไซด์ เป็นต้น

กระจกต้นแบบหรือ Mask มีหลายแบบ มีลักษณะคล้ายฟิลม์กระจก ภาพต้นแบบของตัวทรานซิสเตอร์หรือสิ่งประดิษฐ์อื่น ๆ จะถูกนำมาถ่ายย่อลงบนกระจกต้นแบบให้มีขนาดเท่ากับขนาดจริงที่ต้องการ ซึ่งในระดับของ VLSI ขนาดที่เล็กที่สุดประมาณ 1 ไมครอน

น้ำยาไวแสง (Photo resist) เป็นสารไวแสงซึ่งมีอยู่ 2 ชนิดคือ แบบชนิดลบ (negative type) และชนิดบวก (positive type)สามารถเลือกใช้ได้ตามความเหมาะสม

ขั้นตอนง่าย ๆ ของกระบวนการเปิดช่องออกไซด์ลำดับได้ดังนี้คือ นำแผ่นผลึกซิลิกอนที่มีชั้นออกไซด์อยู่ที่ผิวหน้าไปเคลือบด้วยน้ำยาไวแสง โดยใช้อุปกรณ์ Spinner จากนั้นนำกระจกต้นแบบที่มีลวดลายปรากฏอยู่ ทาบกับแผ่นผลึกซิลิกอนแล้วฉายด้วยแสงอุลตร้าไวโอเลต จากนั้นนำแผ่นผลึกไปล้างน้ำยาล้าง (Developer) บริเวณของสารไวแสงที่ถูกแสงและไม่ถูกแสงจะมีปฏิกิริยากับน้ำยาล้างแตกต่างกัน ดังนั้นจึงทำให้เกิดภาพลวดลายเหมือนต้นแบบบนแผ่นผลึก นำแผ่นผลึกที่ได้ไปจุ่มลงในน้ำยาละลายออกไซด์ ชั้นของออกไซด์บริเวณที่ไม่มีสารไวแสงเคลือบอยู่และถูกละลายออกไปกลายเป็นช่องเปิดออก และมีลวดลายเหมือนกระจกต้นแบบทุกประการ ดูในรูปที่ 3.6

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

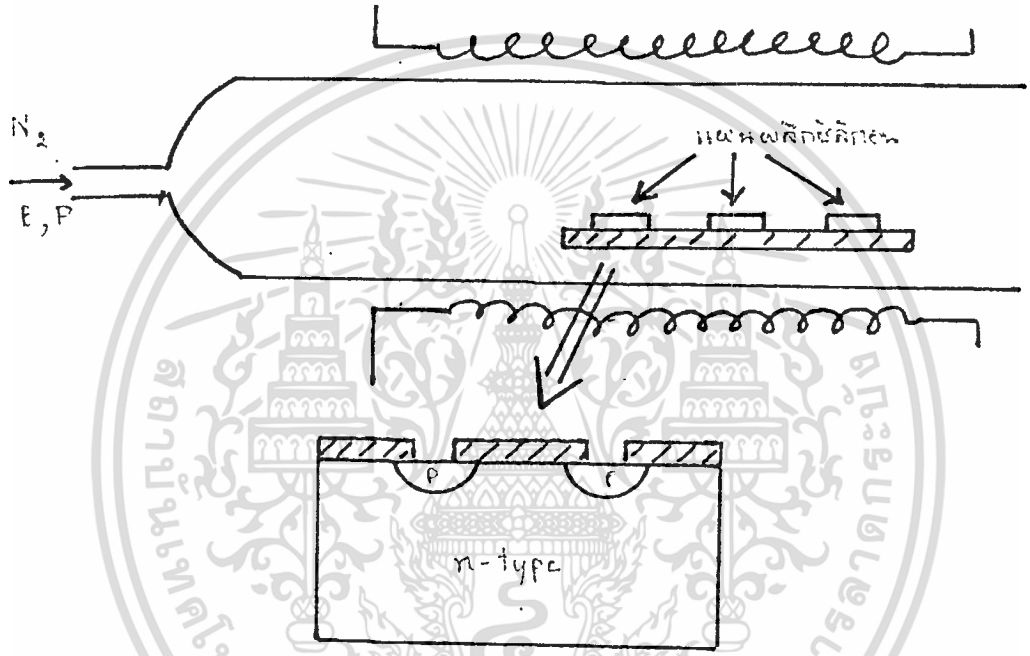


รูปที่ 3.6

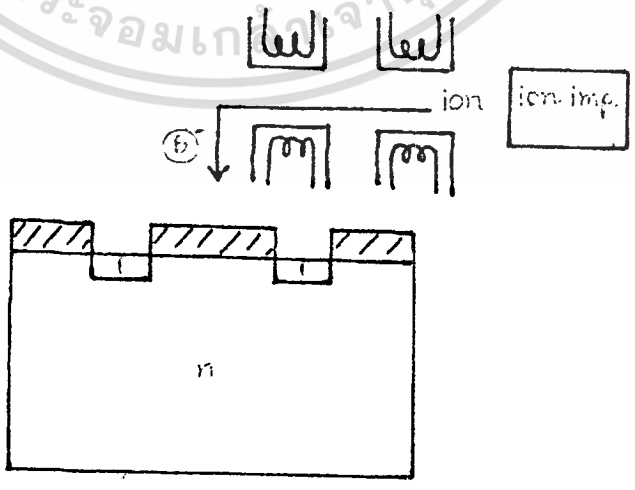
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4. <u>เทคนิคการเติมอะตอมสารเจือ</u>

แผ่นผลึกซิลิกอนที่ถูกเปิดช่องของออกไซด์แล้วจะถูกนำไปเติมอะตอมสารเจือ เพื่อสร้างเป็นรอยต่อพี-เอ็น (p-n junction) เทคนิคที่ใช้กันมากที่สุดได้แก่ กระบวนการแพร่อะตอมสารเจือด้วยความร้อน (Thermal diffusion) และกระบวนการอิมพลานเตชั่น (Implantation) โดยกระบวนการทั้งสองนี้อะตอมสารเจือทั้งชนิดเอ็นและชนิดพี สามารถที่จะผ่านช่องออกไซด์ที่เปิดออกเข้าไปสู่เนื้อซิลิกอน ทำให้ได้ซิลิกอนชนิดเอ็นหรือ พี ตามต้องการ ดังรูปที่ 3.7 , 3.8



รูปที่ 3.7



รูปที่ 3.8

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5. เทคนิคการเคลือบฟิลม์บาง

ฟิลม์บางของสารบางอย่าง เช่น A_1 , O_2 , Si_3N_4 หรือ Poly Si อาจเป็นส่วนประกอบที่สำคัญของสิ่งประดิษฐ์สารกึ่งตัวนำได้ การสร้างฟิลม์บางสามารถทำได้หลายวิธี เช่น โดยการระเหยเป็นไอในสูญญากาศ (vacuum evaporation) หรือเทคนิคแบบ CVD (Chemical Vapor Deposition) เป็นต้น ฟิลม์บางของอลูมิเนียมทำหน้าที่เป็นทางเดินของกระแส และเป็นขั้วต่อของสิ่งประดิษฐ์ต่าง ๆ

3.4 กระบวนการสร้างอุปกรณ์ MOS

กระบวนการสร้างอุปกรณ์ MOS สามารถจัดแบ่งได้ 3 ลักษณะคือ

ก. กระบวนการแบบ nMOS

ข. กระบวนการแบบ pMOS

ค. กระบวนการแบบ CMOS

โดยที่ส่วนเกทนั้นอาจจะเป็นโลหะหรือเป็น poly Si ก็ได้ ถ้าเป็นโลหะนิยมใช้อะลูมิเนียม แต่สำหรับงาน VLSI นิยมใช้ poly Si เป็นหลักซึ่งจะได้กล่าวต่อไป โดยพิจารณาแยกระหว่าง metal gate กับ poly Si gate

3.5 กระบวนการสร้าง Metal gate nMOS, pMOS

กระบวนการสร้าง metal gate nMOS นับว่าเป็นกระบวนการที่ง่ายที่สุด ซึ่งลำดับขั้นตอนการสร้างแสดงดังในรูปที่ 3.9

โดยเริ่มจากแผ่นซิลิกอนชนิดพีถูกนำไปทำการออกซิเดชั่น จากนั้นออกไซด์จะถูกเปิดออกบริเวณส่วนซอสและเดรน แล้วจึงนำไปแพร่สารเจือ เพื่อสร้างส่วนซอส เดรน จากนั้นออกไซด์จะถูกสร้างขึ้นใหม่ และบริเวณซอส เดรน และเกทจะถูกเปิดขั้นออกไซด์ออก ต่อมาชั้นของออกไซด์บาง (Thin oxide) จะถูกเตรียมขึ้นเพื่อเป็นเกทออกไซด์ แล้วส่วนซอส เดรนจะถูกเปิดออกเพื่อเตรียมทำขั้วสัมผัส จากนั้นชั้นของอะลูมิเนียมจะถูกสร้างขึ้นบนผิวหน้าของแผ่นผลึกแล้วสกัดให้เหลือเฉพาะบริเวณที่ต้องการด้วยเทคนิค "Photo etching" กระบวนการง่าย ๆ ดังกล่าวนี้ใช้กระจกต้นแบบเพียง 4 ชิ้นหรือ 5 ชิ้นเท่านั้น โดย mask ที่ 5 ใช้สำหรับเปิดขั้นกระจกป้องกันผิวหน้า

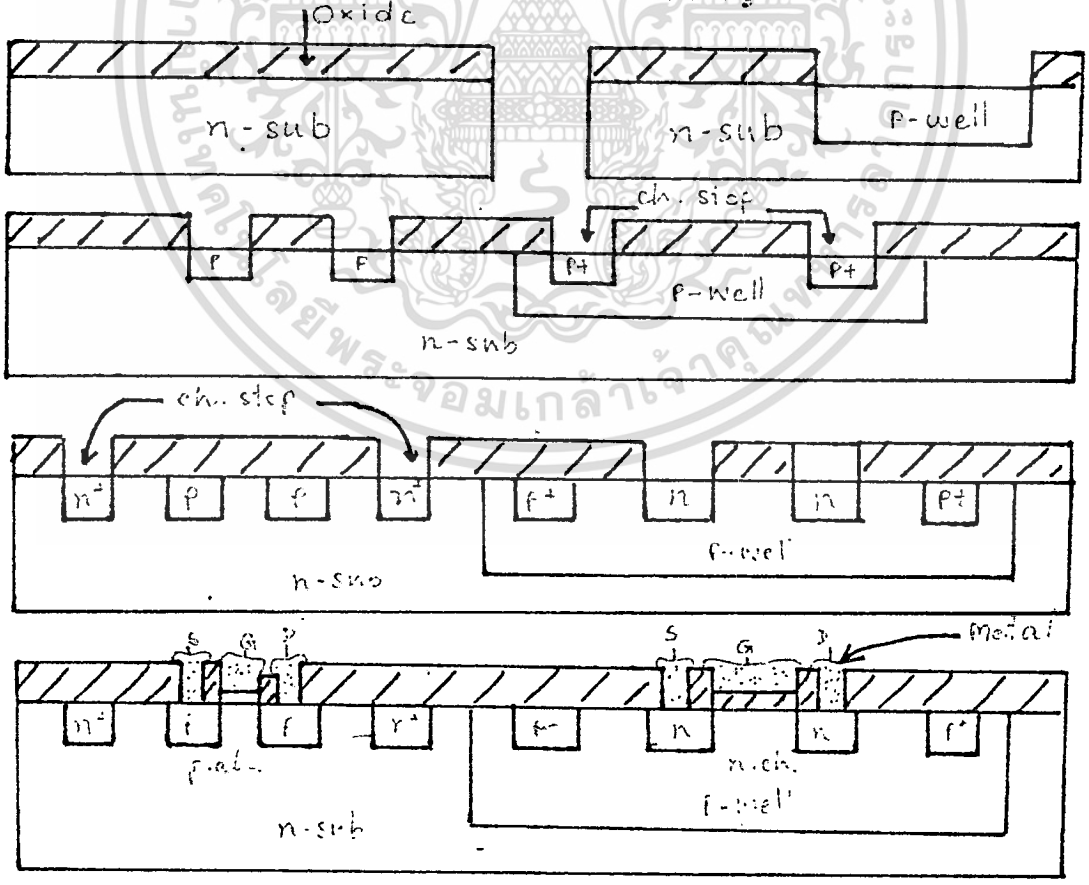
สำหรับขบวนการ pMOS ก็มีขั้นตอนเหมือนกันทุกประการจะแตกต่างกันก็เฉพาะชนิดของแผ่นผลึกซึ่งจะเป็นชนิดตรงกันข้าม นั่นคือ pMOS จะเริ่มต้นจากแผ่นผลึกชนิดเอ็น

3.6 กระบวนการสร้าง Metal gate CMOS

ขั้นตอนต่าง ๆ ของการสร้างก็คล้าย ๆ กับการสร้าง metal gate nMOS กล่าวคือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เริ่มจากแผ่นผลึกซิลิกอนชนิดเอ็นถูกนำไปทำการออกซิเดชั่น จากนั้นชั้นออกไซด์จะถูกเปิดออกบริเวณที่จะทำเป็น " บ่อชนิดพี " (p-well) แล้วจึงทำการสร้างส่วน p-well ด้วยการอิมพลานอะตอมสารเจือชนิดพี (โบรอน) ซึ่งบริเวณ p-well นี้ของทรานซิสเตอร์แบบ n-ch จะถูกสร้างขึ้น จากนั้น p-ch MOSFET จะถูกสร้างขึ้นบนฐานรองชนิดเอ็นโดยการแพร่สารเจือชนิดพีและต่อมา n-ch MOSFET ก็จะถูกสร้างในส่วน p-well จากนั้นชั้นออกไซด์บางบริเวณเกทก็จะถูกสร้างขึ้น แล้วจึงสร้างขั้วสัมผัสอะลูมิเนียมและอะลูมิเนียมเกทที่ MOSFET ทั้งสอง บางครั้งเพื่อเพิ่มประสิทธิภาพการทำงานของ MOSFET อาจมีการสร้าง channel stops หรือ guard rings ขึ้นด้วยดังแสดงในรูปที่ 3.10 ข้อยุ่งยากประการหนึ่งของกระบวนการแบบนี้ก็คือ การออกแบบสร้างส่วนเกทโลหะให้คร่อมส่วนซอสและเดรน หากพื้นที่ของการคร่อมมีมากจะทำให้เกิดค่าความจุไฟฟ้าสูงซึ่งจะมีผลทำให้ MOSFET ทำงานที่ความถี่สูงได้ไม่ดี หากพื้นที่ของการคร่อมถูกออกแบบไว้น้อยโอกาสของการผิดพลาดย่อมเกิดขึ้นได้สูง ปัญหาดังกล่าวนี้จะถูกแก้ไขได้ด้วยเทคนิค self-aligned ซึ่งใช้ในกระบวนการสร้าง Si gate MOS กล่าวคือมาสค์เดียวสามารถใช้สำหรับการสร้างเกท , ซอสและเดรน นอกจากนี้ข้อเสียของแบบอลูมิเนียมเกทก็คือ เราใช้แถบอลูมิเนียมเป็นทางเดินของกระแสเพียงชั้นเดียว การออกแบบลวดลายจะต้องไม่ให้มีการตัดผ่านกัน ดังนั้นพื้นที่ ๆ ใช้จึงต้องมีขนาดใหญ่

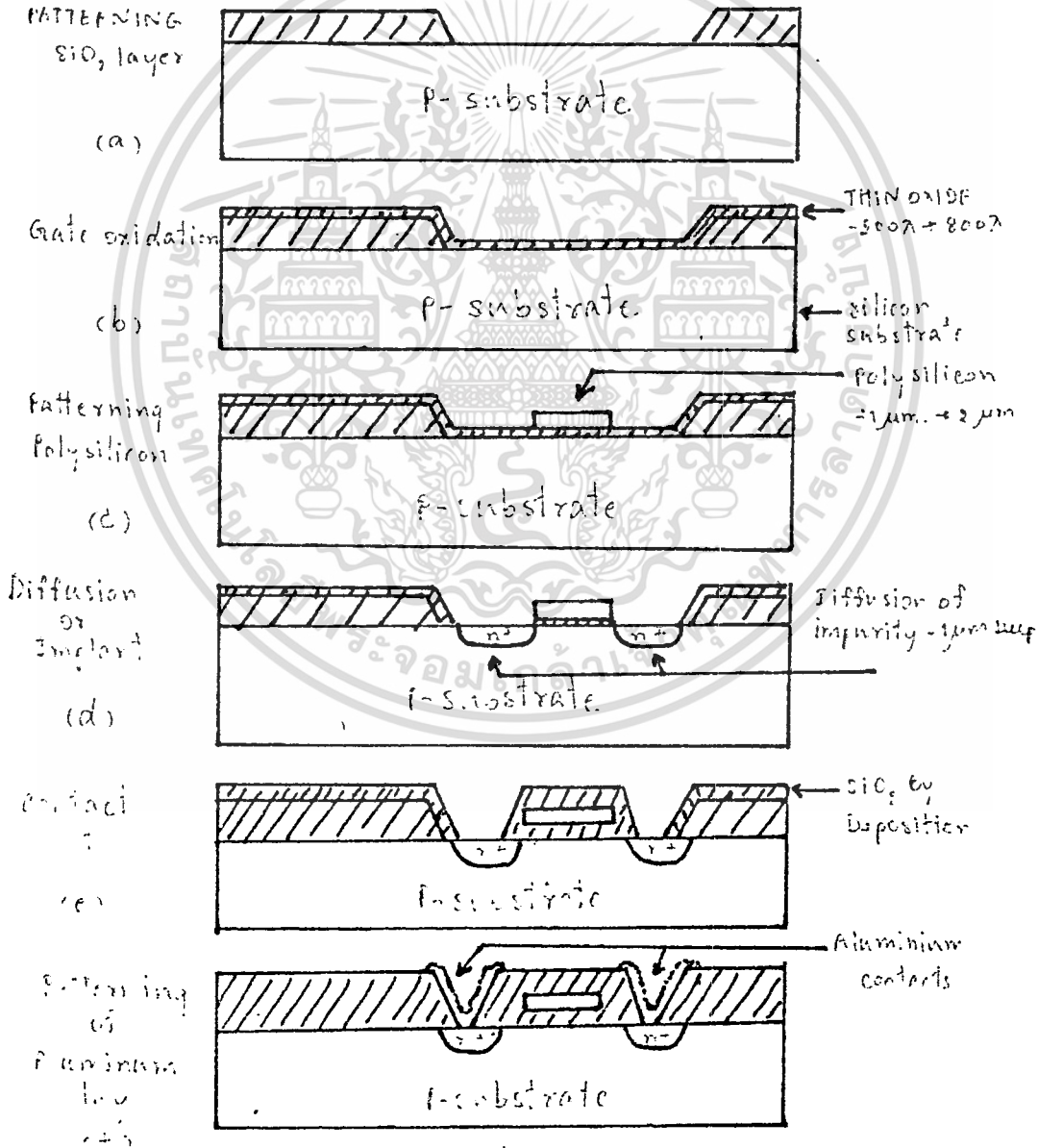


รูปที่ 3.10

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

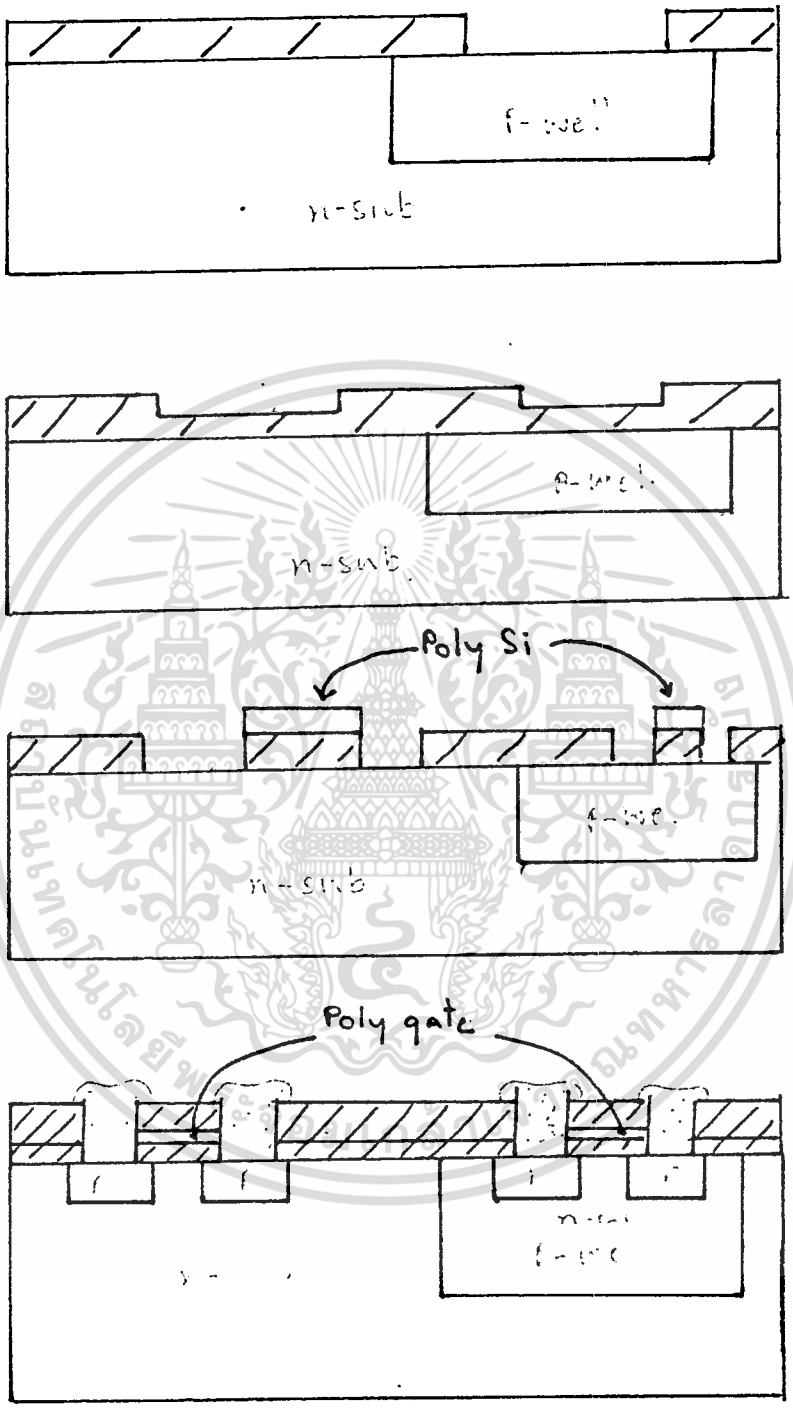
3.7 โครงสร้าง Si gate nMOS และ CMOS

กระบวนการของ Si gate nMOS มีสิ่งที่น่าสนใจก็คือ ใช้เทคนิค self-aligning ใช้ MOSFET เป็นโหลด , มีชั้นสำหรับการต่อภายใน 2 ชั้น และมีโครงสร้างพิเศษที่เรียกว่า " buried contact " ซึ่งเป็นจุดต่อระหว่าง poly Si กับ diffusion wire จากข้อพิเศษเหล่านี้ ทำให้สามารถสร้างวงจรรวมที่ดีได้ คือ ได้ความหนาแน่นของ MOSFET สูง , กำลังงานที่ใช้ต่ำ และมี Speed การทำงานสูง เป็นกระบวนการสร้างที่เป็นมาตรฐานกระบวนการหนึ่ง ลักษณะโครงสร้างของ Si gate nMOS และ CMOS แสดงได้ดังในรูปที่ 3.11 และ 3.12 ตามลำดับ



รูปที่ 3.11

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.12

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

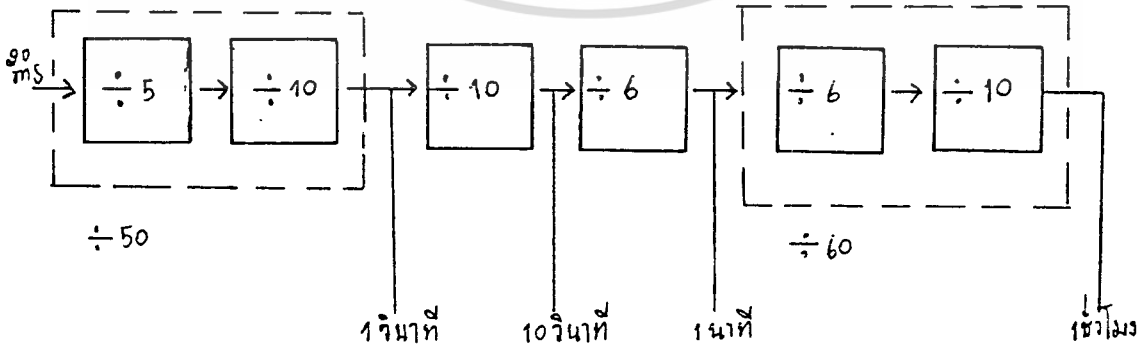
บทที่ 4
การออกแบบวงจรหารความถี่

วงจรหารความถี่หรือเป็นที่รู้จักกันในชื่อวงจรนับ เป็นวงจรที่สำคัญวงจรหนึ่งในงานดิจิตอล โดยจะนำมาเป็นตัวนับสัญญาณพัลซ์ หรือ หารความถี่ กำเนิดช่วงเวลาต่าง ๆ การนับของวงจรนั้น จะนับจากค่าหนึ่งไปยังอีกค่าหนึ่งตามต้องการที่ผู้ออกแบบได้ออกแบบไว้ หลังจากนับครบจำนวนที่ตั้งไว้แล้วก็จะวนกลับมานับที่ค่าเริ่มต้นใหม่

เนื่องจากงานประยุกต์ทางด้านดิจิตอลมีมากมายเหลือเกิน ดังนั้นการใช้ในงานควบคุมจึงจำเป็นต้องใช้ช่วงเวลาต่าง ๆ ในการควบคุม เช่น ในงานด้านการควบคุมการปิด-เปิดของวาวล์ อาจจะนับดังนี้คือ เมื่อเครื่องวัดนับจำนวนหยดน้ำได้ 20 หยดแล้วให้ปิดวาวล์ แล้วหลังจากนั้น 7 วินาทีจึงเปิดวาวล์ใหม่ หรือในงานด้านการถ่ายรูป หรืออัดรูป โดยตั้งเวลาไว้ให้ถ่ายเองโดยอัตโนมัติ เป็นต้น ด้วยเหตุนี้ในวิทยานิพนธ์เล่มนี้จึงออกแบบช่วงเวลาไว้ทั้งหมด 4 ช่วง คือ 1 วินาที 10 วินาที 1 นาที และ 1 ชั่วโมง ดังนั้นเวลาสูงสุดที่สามารถเลือกได้คือ 99 ชั่วโมง และเวลาต่ำสุด คือ 1 วินาที ซึ่งก็พอเพียงต่อการใช้งาน ไม่ว่าจะเป็นความละเอียดหรือความยาวนาน

สัญญาณที่เข้ามาเป็นอินพุทของวงจรหารความถี่ได้มาจากไฟบ้านเรานี่เอง ข้อดีของมันก็คือทำให้เกิดความน่าเชื่อถือ ความถูกต้องเที่ยงตรงมากกว่าการใช้ Timer 555 เสียอีก

เมื่อความถี่ 50 Hz หรือคาบเวลา 20 มิลลิวินาที จากไฟบ้านเข้ามาในวงจรสร้างฐานเวลา จะต้องผ่านการหารความถี่ 50 ก็จะได้ช่วงเวลา 1 วินาทีออกมา ช่วงเวลา 1 วินาทีนี้ถ้านำไปผ่านวงจรหาร 10 อีกครั้งก็จะได้ช่วงเวลา 10 วินาที เมื่อนำช่วงเวลา 10 วินาทีเข้าวงจรหาร 6 ก็จะได้ช่วงเวลา 1 นาที และเมื่อนำช่วงเวลา 1 นาทีนี้ผ่านการหาร 60 อีกครั้งก็จะได้ช่วงเวลา 1 ชั่วโมง ทั้งหมดที่กล่าวมาแล้วนั้นสามารถสรุปได้ด้วยบล็อกไดอะแกรมในรูป 4.1



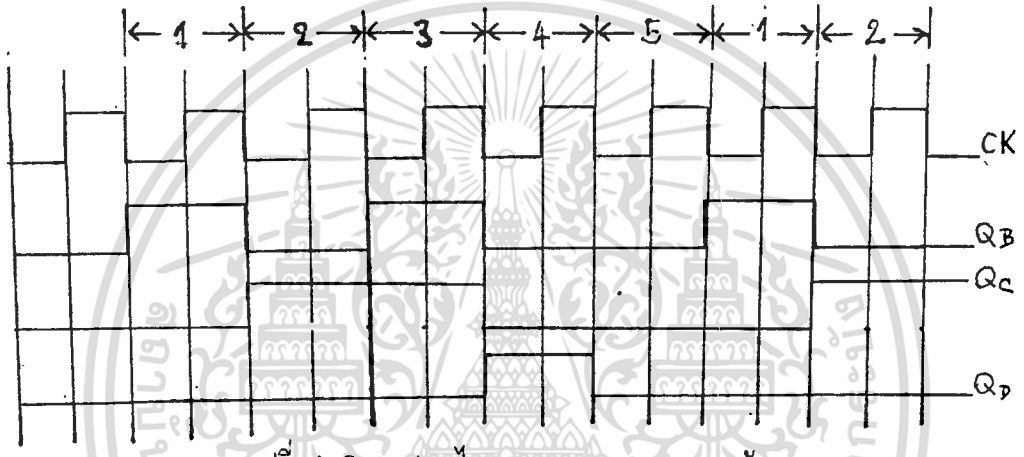
รูป 4.1 แสดงการต่อวงจรเพื่อสร้างช่วงเวลาต่าง ๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากบล็อกไดอะแกรมจะเห็นว่า วงจรนับหรือหารความถี่ที่เราต้องลงมือออกแบบก็คือ วงจรหาร 5 วงจรหาร 6 และวงจรหาร 10

การออกแบบวงจรหาร 5

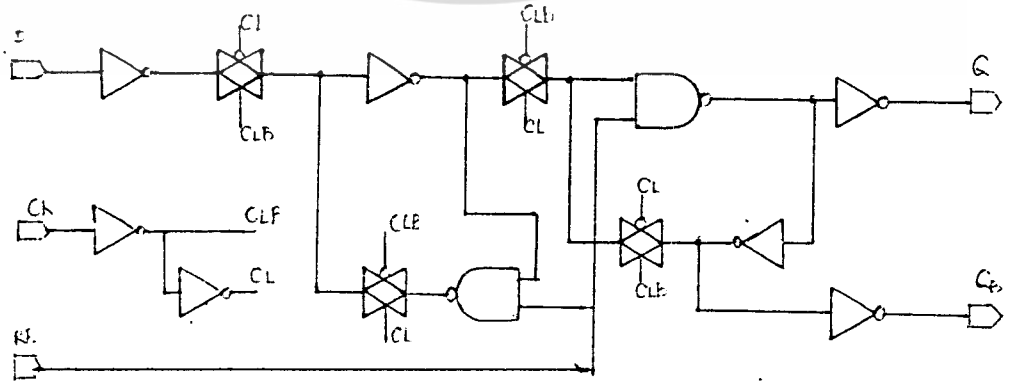
วงจรหาร 5 หรือ นับ 5 เป็นวงจรที่ทำหน้าที่สำหรับนับความถี่ของสัญญาณนาฬิกาในลักษณะ 5 กล่าวคือ วงจรจะเริ่มนับ 1 จนถึง 5 แล้ววนกลับมานับ 1 ใหม่ เป็นเช่นนี้ไปเรื่อย ๆ จากที่กล่าวมาอย่างย่อ ๆ นี้ ทำให้เราสามารถเขียนไดอะแกรมเวลาได้ดังรูปที่ 4.2



รูปที่ 4.2 แสดงไดอะแกรมเวลาของการนับ 5

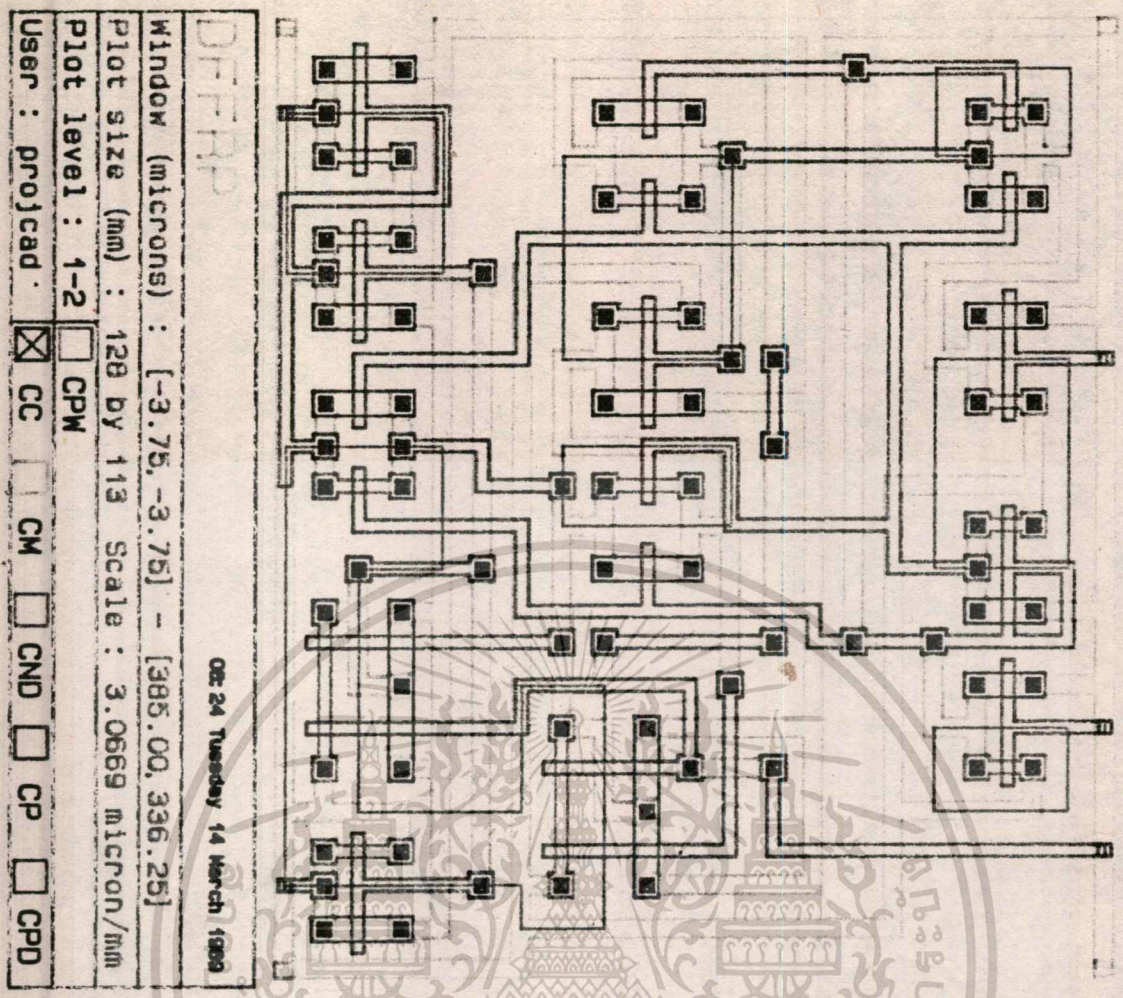
เนื่องจากเราใช้ ดี-ฟลิป-ฟลอป ชนิดทำงานที่ขอบขาขึ้นมาใช้ในการออกแบบวงจร ดังนั้นจะเป็นการดีถ้าจะเปลี่ยนให้ทำงานที่ขอบขาลง โดยให้อินพุทผ่านอินเวิทเตอร์ก่อนเข้าขา CK ของดี-ฟลิป-ฟลอป วงจรในรูปที่ 4.3 เป็นวงจร ดี-ฟลิป-ฟลอป ซึ่งเมื่อนำไปสร้างโดยใช้ ingred แล้วจะได้ดังรูปที่ 4.4 ส่วนรูป 4.5 แสดงไดอะแกรมเวลาของดี-ฟลิป-ฟลอป

เราสามารถสรุปเงื่อนไขการทำงานต่าง ๆ ของดี-ฟลิป-ฟลอป เป็นตารางได้ข้างล่างนี้



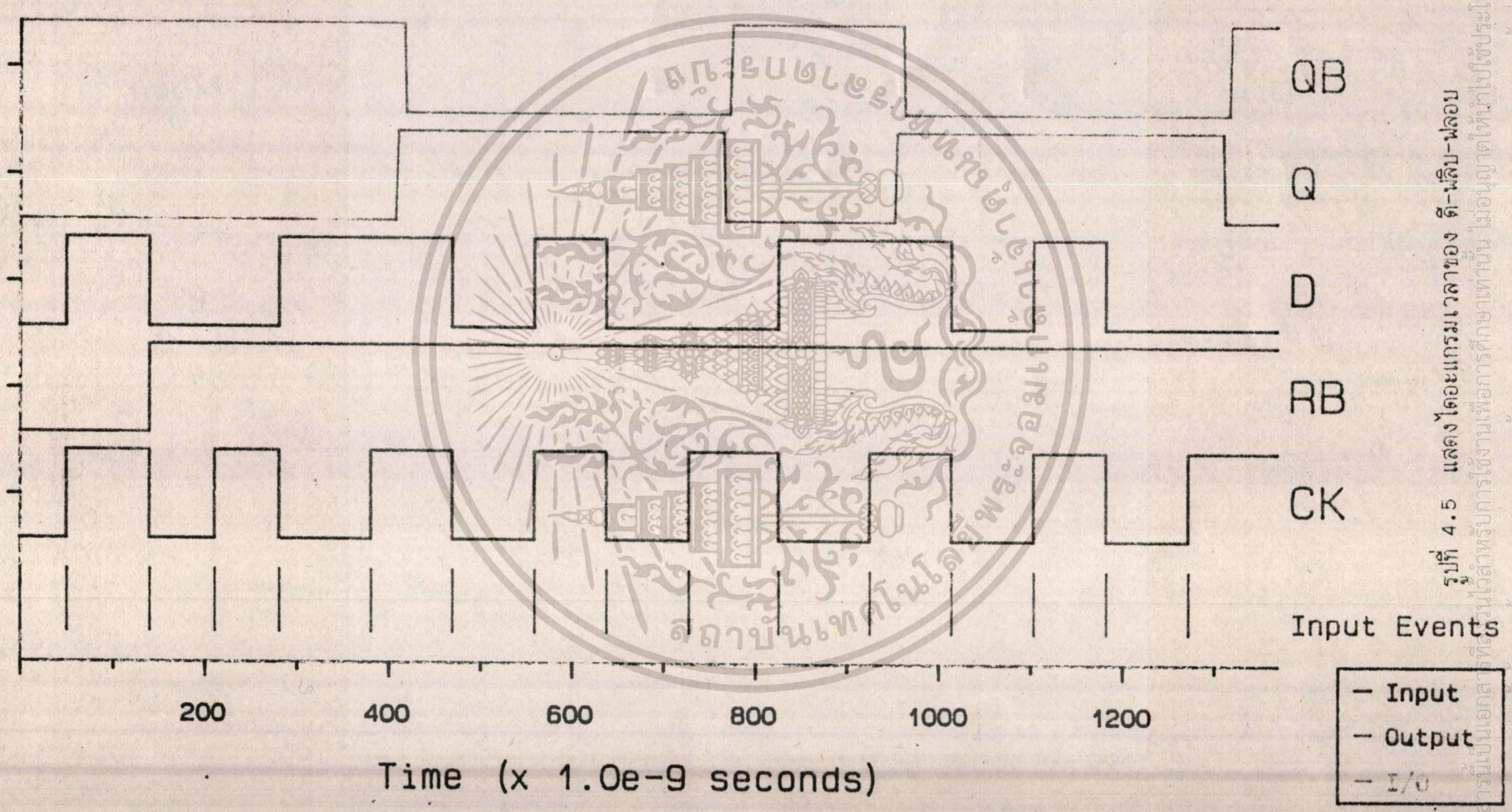
รูปที่ 4.3 แสดงวงจร ดี-ฟลิป-ฟลอป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.4 แสดงวงจร ดี-ฟลิป-ฟลอบในรูปที่ 4.3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.5 แสดงไดอะแกรมเวลาของ ดี-ฟลิป-ฟลอป

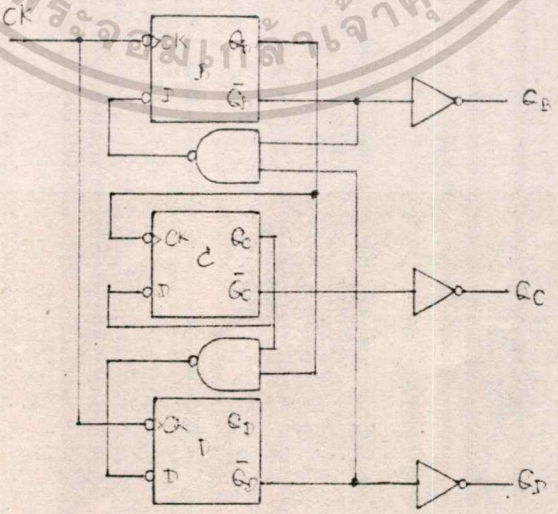
ตารางที่ 4.1 แสดงตารางความจริงของดี-ฟลิป-ฟลอป

D	CK	RB	Q	QB
L	⌐	H	L	H
H	⌐	H	H	L
X	¬	H	ไม่เปลี่ยน	
X	X	L	L	H

เมื่อได้รับทราบเงื่อนไขการทำงานของ ดี-ฟลิป-ฟลอป แล้วก็สามารถลงมือออกแบบวงจรหาร 5 ได้แล้ว เนื่องจากเราต้องการเพียงให้นับ 5 จึงต้องใช้ ฟลิป-ฟลอป ทั้งหมด 3 ตัวด้วยกัน (นับเกิน 4) ตามปกติการใช้ฟลิป-ฟลอป 3 ตัวต่อกันจะได้วงจรนับ 8 ไม่ใช่นับ 5 จึงต้องใช้เทคนิคในการออกแบบวงจรโดยอาศัยไดอะแกรมเวลาในรูป 4.2

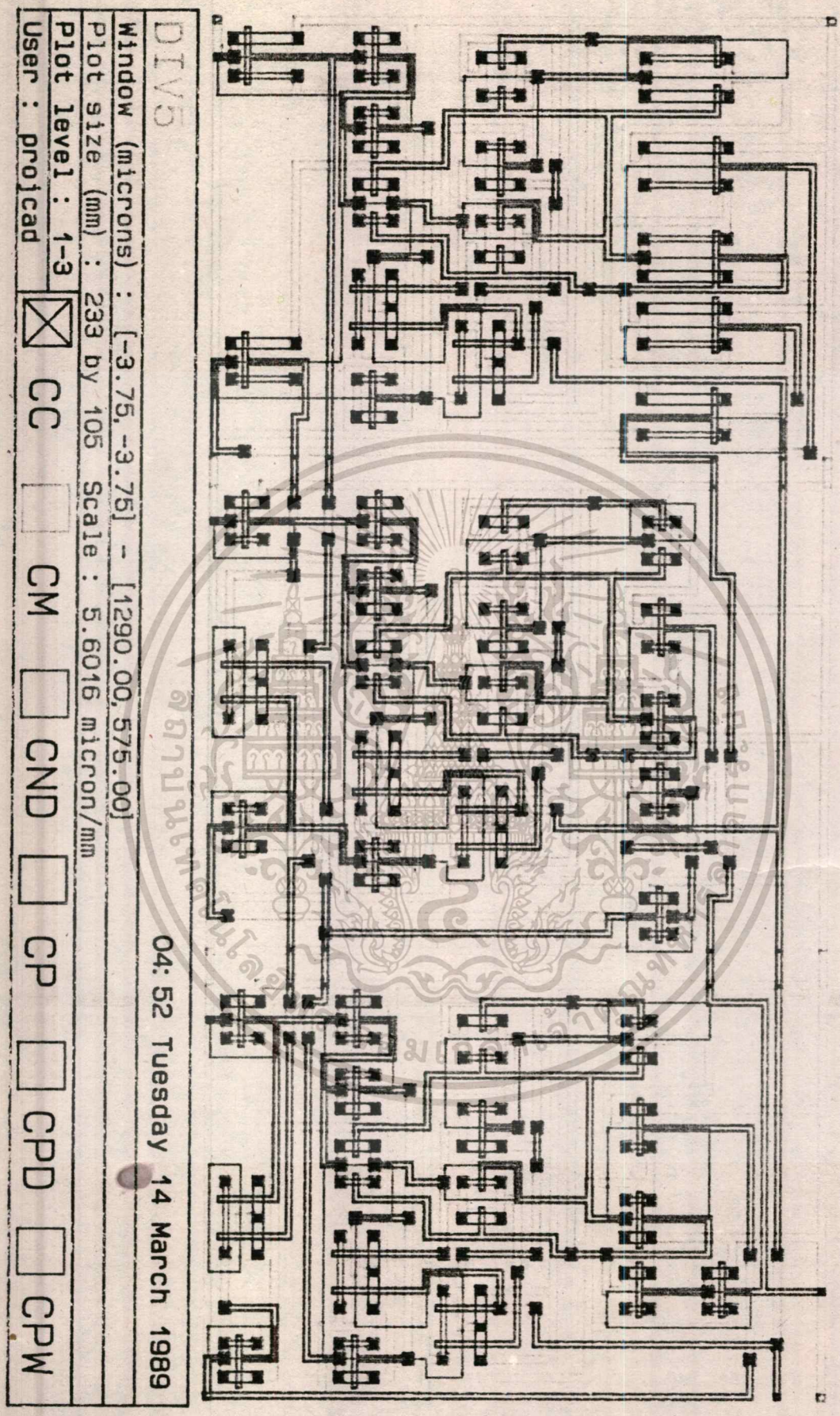
พิจารณาไดอะแกรมเวลาในรูป 4.2 พบว่า ขณะที่ CK ลูกที่ 5 กำลังจะเปลี่ยนเป็นลูกที่ 6 อยู่นั้น ค่าใน QD QC QB จะเปลี่ยนจาก 1 0 0 -> 0 0 0 นั่นคือเมื่อสัญญาณนาฬิกาลูกที่ 6 เข้ามา QD QC QB จะเปลี่ยนกลับไปที่ 0 0 0 ใหม่เหมือนตอนเริ่มต้นอีกครั้ง โดยที่ QD เปลี่ยนจาก 1 -> 0 แต่ QC QB ไม่เปลี่ยน ถ้ากลับไปดูตารางความจริงของดี-ฟลิป-ฟลอป จะเห็นว่าการที่เอาท์พุทจะไม่เปลี่ยนเป็นได้ 2 กรณี คือ

1. อยู่ในช่วงขอบขาขึ้นของสัญญาณนาฬิกา
2. ข้อมูลยังคงเดิม



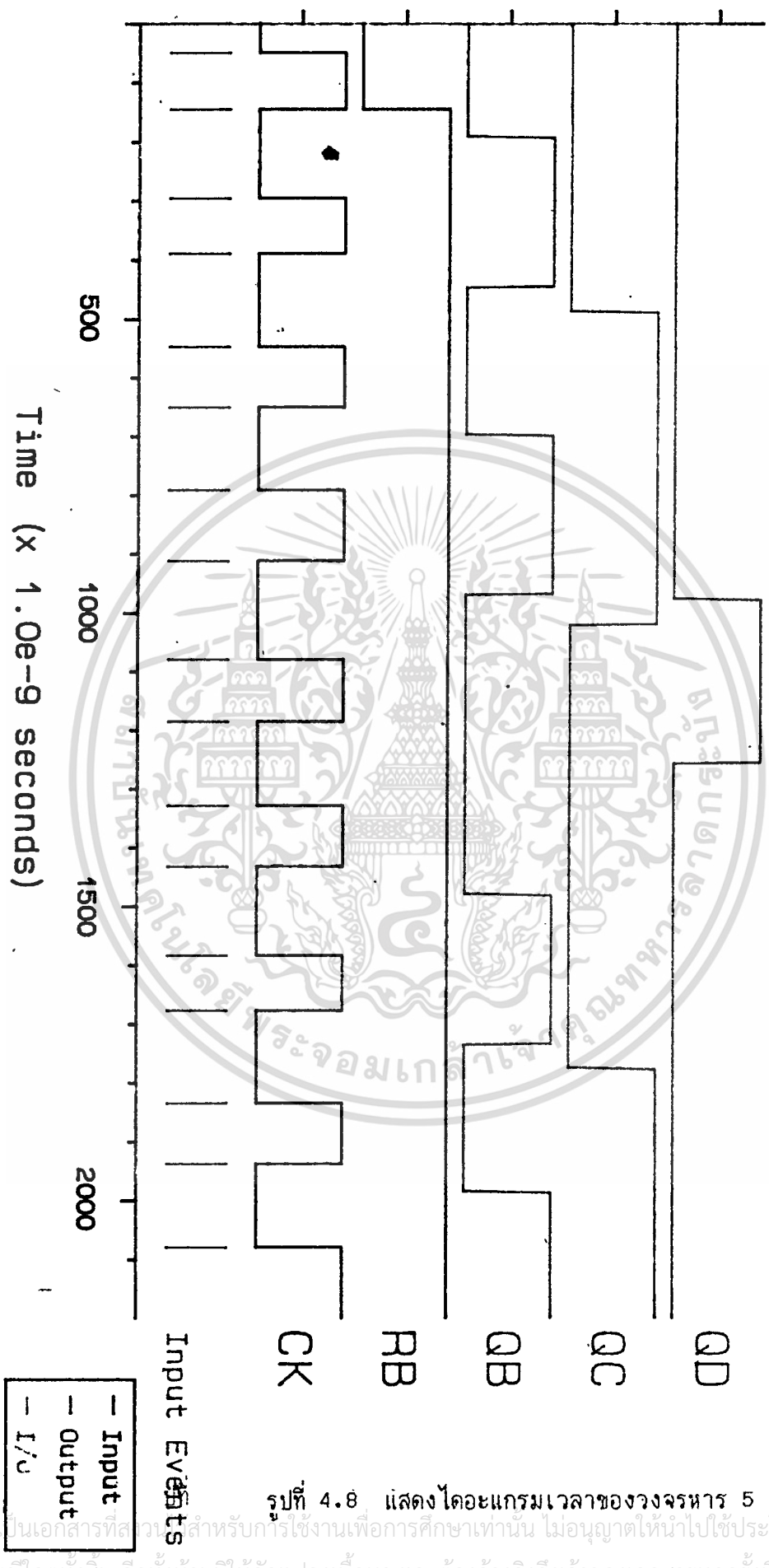
รูปที่ 4.6 แสดงวงจรหาร 5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.7 แสดงวงจรหาร 5 จาก ingred

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



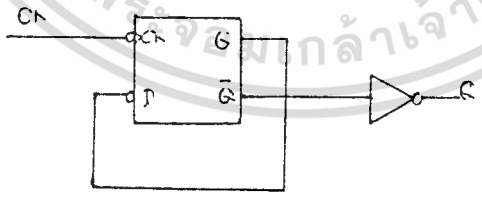
รูปที่ 4.8 แสดงไดอะแกรมเวลาของวงจรหาร 5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากจุดนี้เองทำให้เราสามารถออกแบบวงจรได้ดังรูป 4.6 กล่าวคือ QB จะไม่เปลี่ยนก็ต่อเมื่อข้อมูลเหมือนเดิม ดูจากไดอะแกรมเวลาแล้ว ไม่มีสัญญานใดเหมาะสมที่จะป้อนเข้าขา D ของฟลิป-ฟลอป B นอกจากจะนำ $\overline{QD}$ มาแนนด์กับ $\overline{QB}$ แล้วป้อนเข้าขา D ของฟลิป-ฟลอป B ถ้าลองนำขา $\overline{QC}$ มาป้อนเข้ากับขา D ของฟลิป-ฟลอป จะพบว่าขณะเปลี่ยนเป็นพัลซ์ลูกที่ 6 ทำให้ QD สามารถรักษาสถานะเดิมได้ก็จริง แต่ถ้าพิจารณาในวัฏจักรการนับอื่น ๆ จะใช้ไม่ได้ เช่น พัลซ์ลูกที่ 3 กำลังจะเปลี่ยนเป็นลูกที่ 4 QB จะต้องเปลี่ยนจาก 1-> 0 ถ้าเรานำ $\overline{QC}$ มาป้อนเข้าที่ D ได้ $\overline{QB}$ เปลี่ยนจาก 1->1 ซึ่งผิดวัตถุประสงค์ของวงจรหาร 5 ตัวอื่น ๆ ก็เช่นเดียวกัน แม้พัลซ์บางลูกจะสามารถให้เอาท์พุทที่ถูกต้อง แต่จะไม่ถูกต้องในพัลซ์ครบทุกลูกในวัฏจักรการนับ เมื่อนำวงจรในรูป 4.6 มาสร้างจะได้ดังรูป 4.7 และรูป 4.8 แสดงไดอะแกรมเวลาของวงจรหาร จะเห็นว่าตรงกับที่เราได้ออกแบบไว้ก่อนหน้านี้แล้ว

<u>การออกแบบวงจรหาร 10</u>

เมื่อได้วงจรหาร 5 เรียบร้อยแล้ว การที่จะออกแบบวงจรหาร 10 นั้นเป็นเรื่องที่ง่ายมาก เนื่องจากเป็นที่ทราบกันอยู่แล้วว่าถ้าเราสามารถออกแบบวงจรหาร 2 ได้แล้ว ก็เพียงแต่นำเอาท์พุทจากวงจรหาร 2 ป้อนเข้าวงจรหาร 5 ก็จะได้เอาท์พุทเป็นลักษณะนับ 10 การออกแบบวงจรหาร 2 ก็ไม่มีอะไร ก็เพียงแค่นำเอาท์พุท Q ป้อนกลับให้ขา D เท่านั้น ดังรูปที่ 4.9

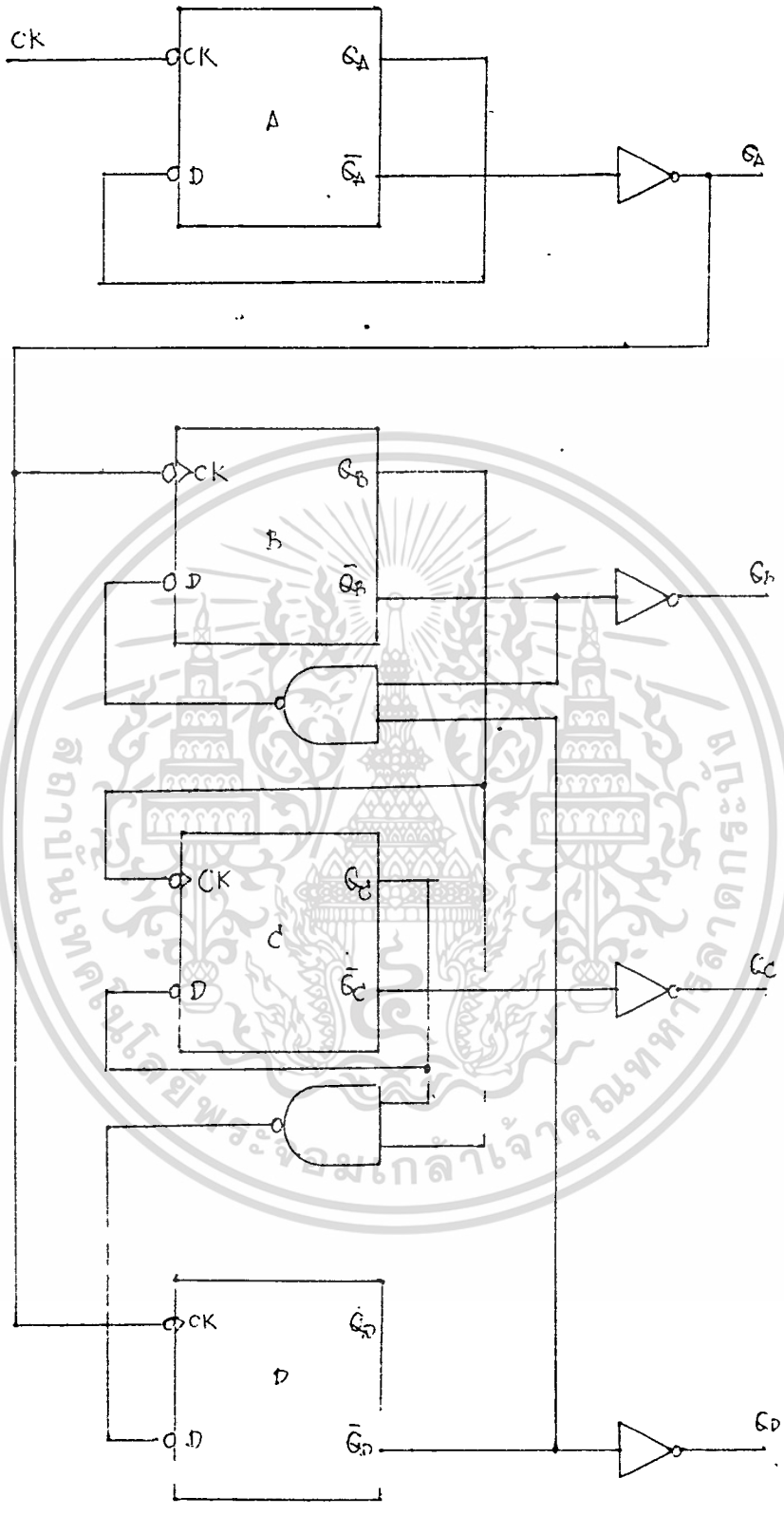


รูปที่ 4.9 แสดงวงจรหาร 2

โดยการนำเอาเอาท์พุท QA มาป้อนเข้าขา CK ของวงจรหาร 5 ก็จะได้วงจรหาร 10 ดังรูปที่ 4.10

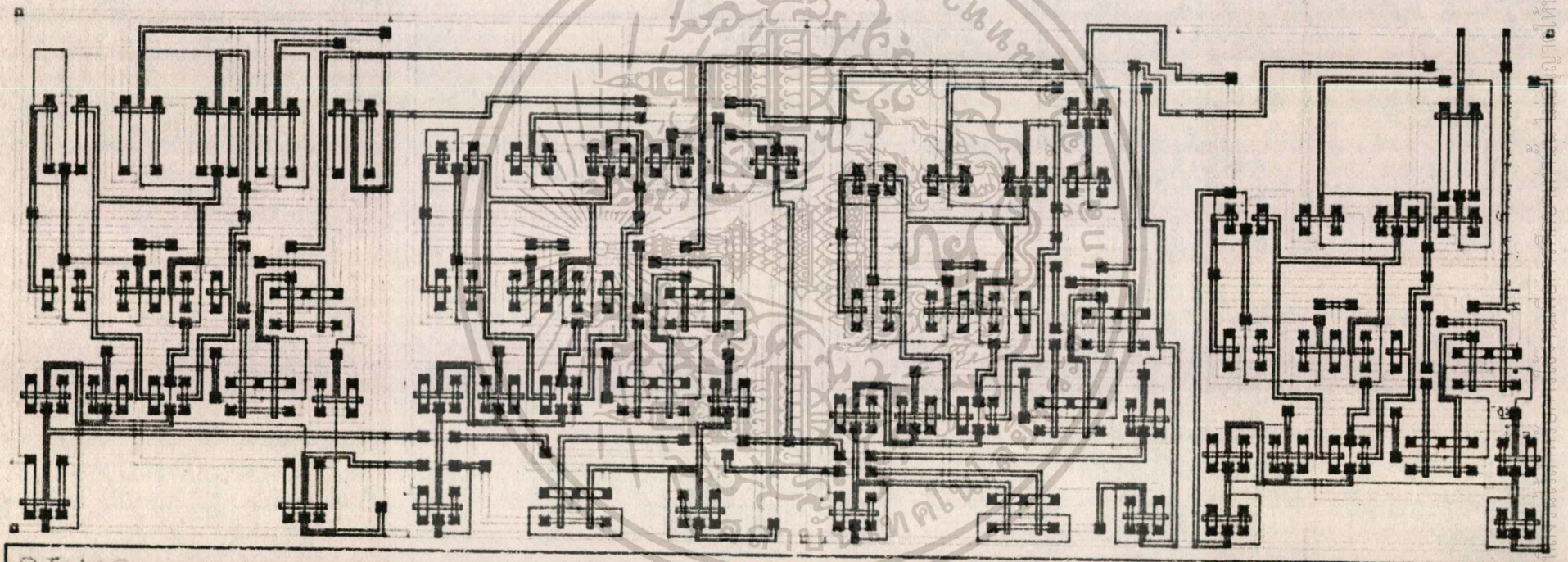
นำวงจรหาร 10 ในรูป 4.10 ไปสร้างโดย ingred จะได้ดังรูป 4.11 ส่วนรูป 4.12 แสดงไดอะแกรมเวลาของวงจรหาร 10

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.10 แสดงวงจรหาร 10

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.11 วงจรหาร 10

DIV10

03: 58 Tuesday 14 March 1989

Window (microns) : [-3.75, -3.75] - [1692.50, 575.00]

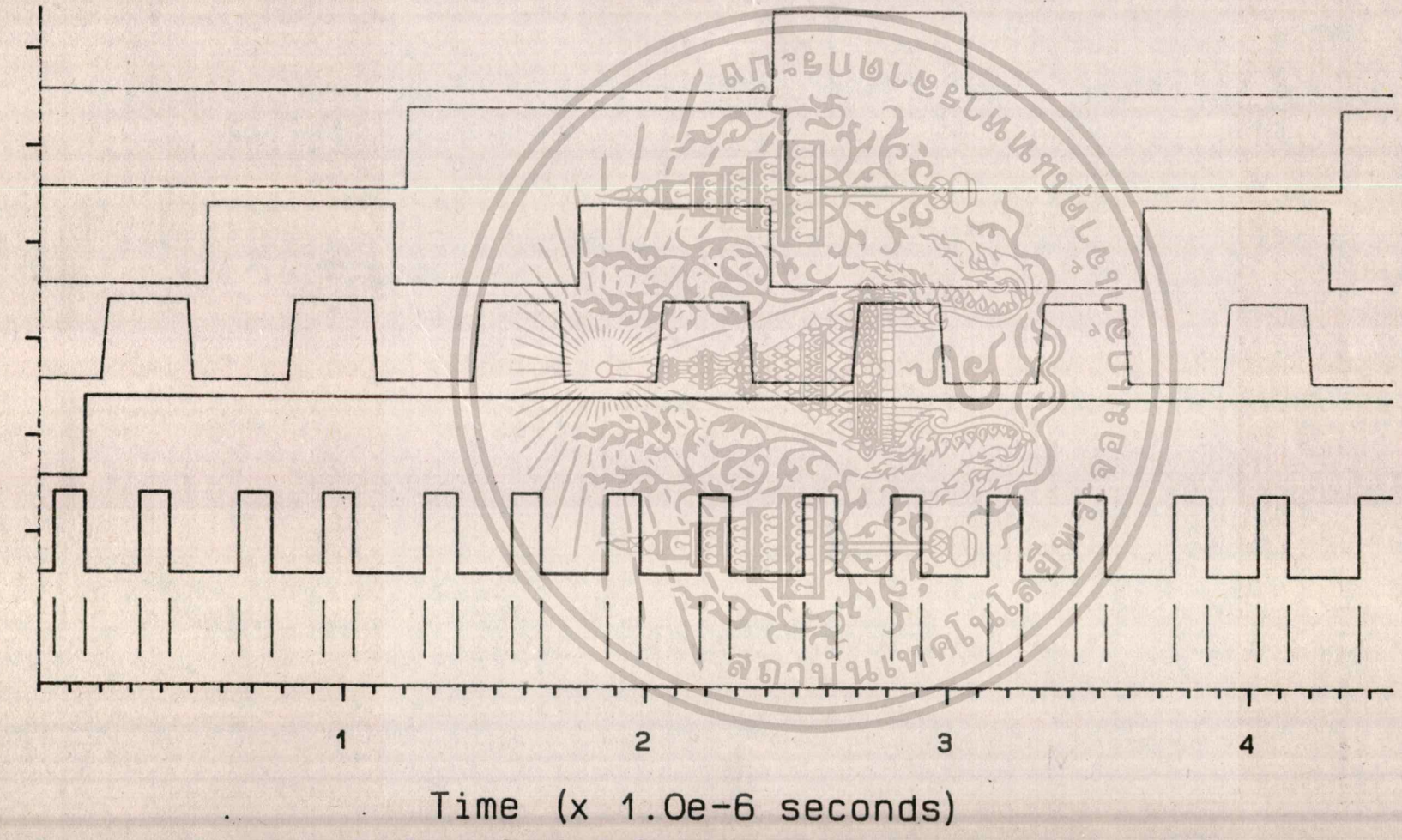
Plot size (mm) : 250 by 86 Scale : 6.8095 micron/mm

Plot level : 1-3

User : projcad

☒ CC ☐ CM ☐ CND ☐ CP ☐ CPD ☐ CPW

ลิขสิทธิ์มหาวิทยาลัย ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

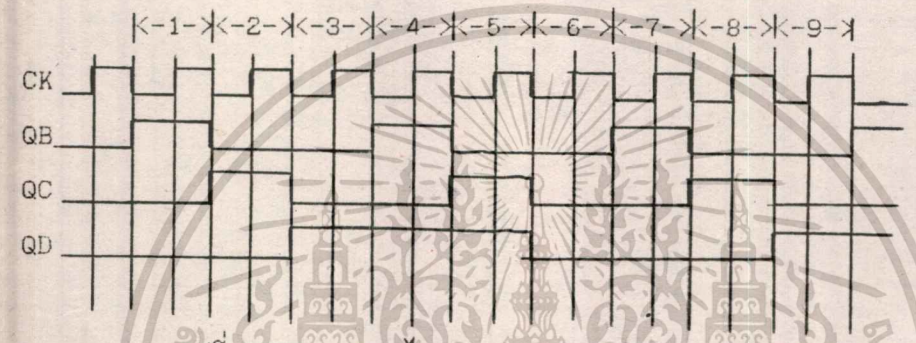


รูปที่ 4.12 แสดงไดอะแกรมเวลาของวงจรหาร 10

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

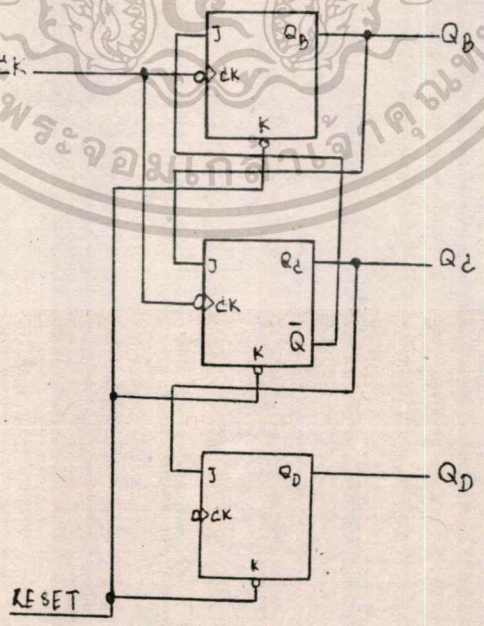
การออกแบบวงจรหาร 6

เช่นเดียวกับวงจรหาร 5 และหาร 10 เราจะเริ่มต้นโดยการพิจารณาไดอะแกรมเวลาเหมือนหัวข้อการออกแบบวงจรหาร 10 เราได้นำเอาท์พุทของวงจรหาร 2 มาเข้าวงจรหาร 5 ซึ่งเป็นลักษณะการชิฟ (Shift) คาบเวลาออกไปลักษณะหนึ่ง หรือกล่าวง่าย ๆ คือ เท่ากับ 2 x 5 = 10 ในทำนองเดียวกัน เราก็สามารถสร้างวงจรหาร 6 ได้จากวงจรหาร 2 และวงจรหาร 3 เช่นเดียวกัน พิจารณาไดอะแกรมเวลาในรูป 4.13



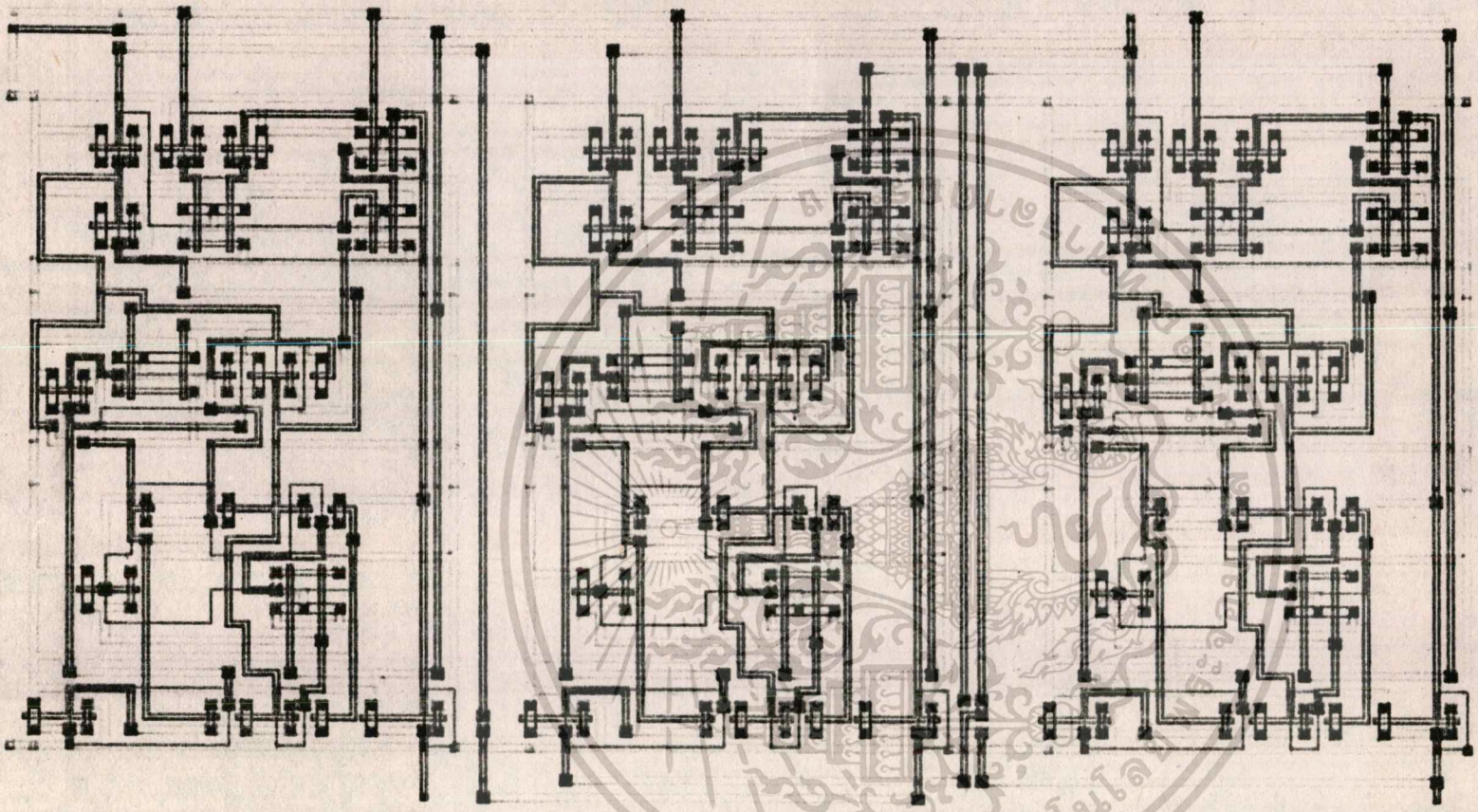
รูปที่ 4.13 แสดงไดอะแกรมเวลาของวงจรหาร 6

โดยการพิจารณาในทำนองเดียวกับวงจรหาร 5 และหาร 10 จะได้วงจรหาร 6 ดังแสดงในรูป 4.14 และ 4.15 สำหรับรูปที่ 4.16 คือ ไดอะแกรมเวลาของรูป 4.14 และ 4.15



รูปที่ 4.14 วงจรหาร 6

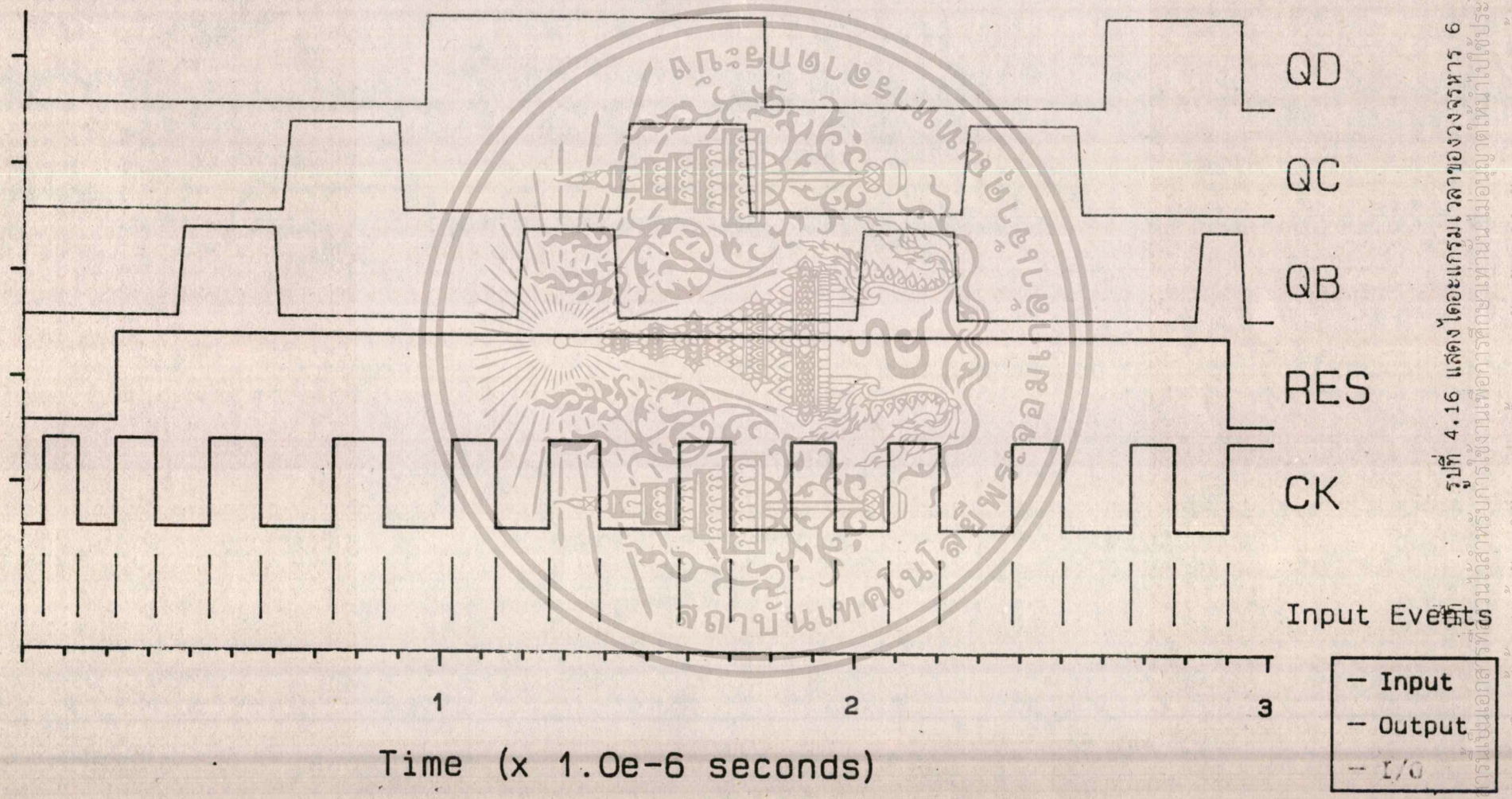
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



DIV6	04: 34 Tuesday 14 March 1989
Window (microns) : [-3.75, -5.00] - [1452.50, 786.25]	
Plot size (mm) : 206 by 113 Scale : 7.1374 micron/mm	
Plot level : 1-4	☒ CC ☐ CM ☐ CND ☐ CP ☐ CPD ☐ CPW
User : projcad	

รูปที่ 4.15 วงจรหาร 6 โดย ingred

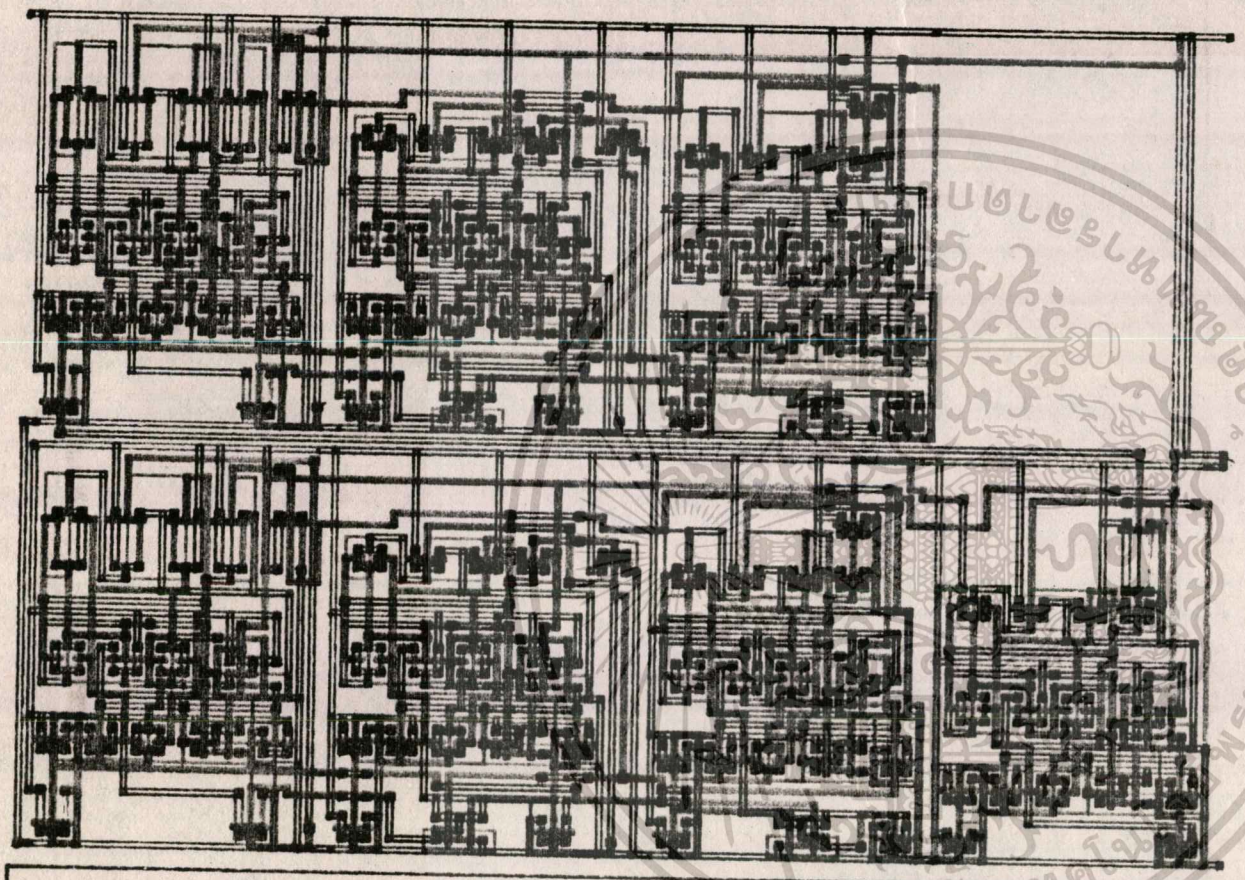
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.16 แสดงไดอะแกรมเวลาของวงจร 6

เมื่อเราได้วงจรหาร 5 , หาร 6 และหาร 10 ครบแล้ว จากนี้เราก็สามารถสร้างวงจรเพื่อให้ได้ช่วงเวลาต่าง ๆ ได้แล้ว โดยรูปที่ 4.17 แสดงการต่อร่วมกันระหว่างวงจรหาร 5 และหาร 10 เพื่อรับอินพุท 20 มิลลิวินาทีจากภายนอกเข้ามาหารให้เป็นฐานเวลา 1 วินาที และเมื่อนำวงจรหาร 6 และหาร 10 มาต่อกัน จะได้วงจรสำหรับสร้างฐานเวลา 10 วินาที และ 1 นาที

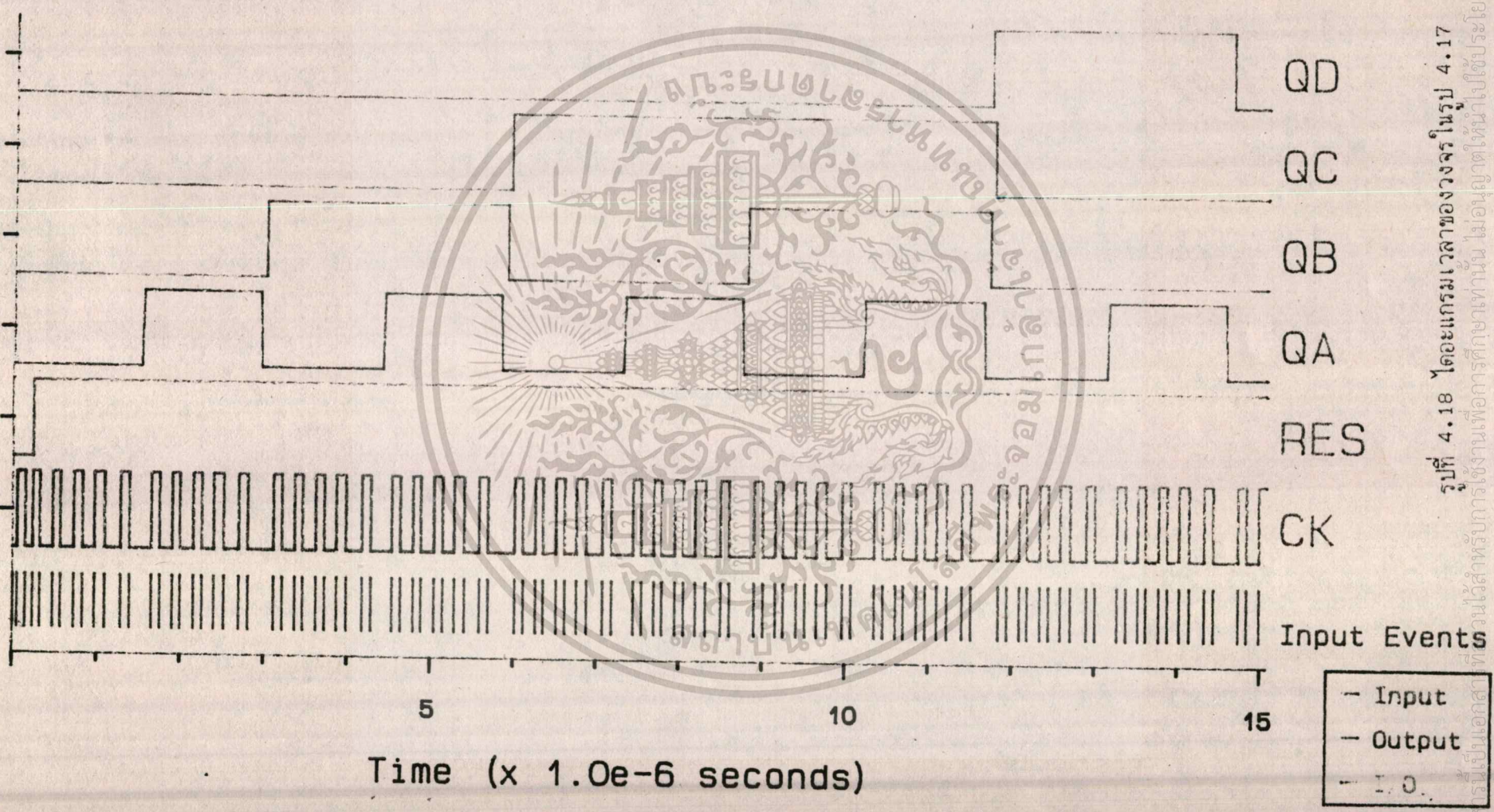
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



SEC1	15:33 Wednesday 15 March 1989
Window (microns) : [-3.75, -3.75] - [1730.00, 1192.50]	
Plot size (mm) : 161 by 112 Scale : 10.8646 micron/mm	
Plot level : 1-4	☐ CPW
User : projcad	☒ CC ☐ CM ☐ CND ☐ CP ☐ CPD

รูปที่ 4.17 วงจรนับ 1 บิตที่

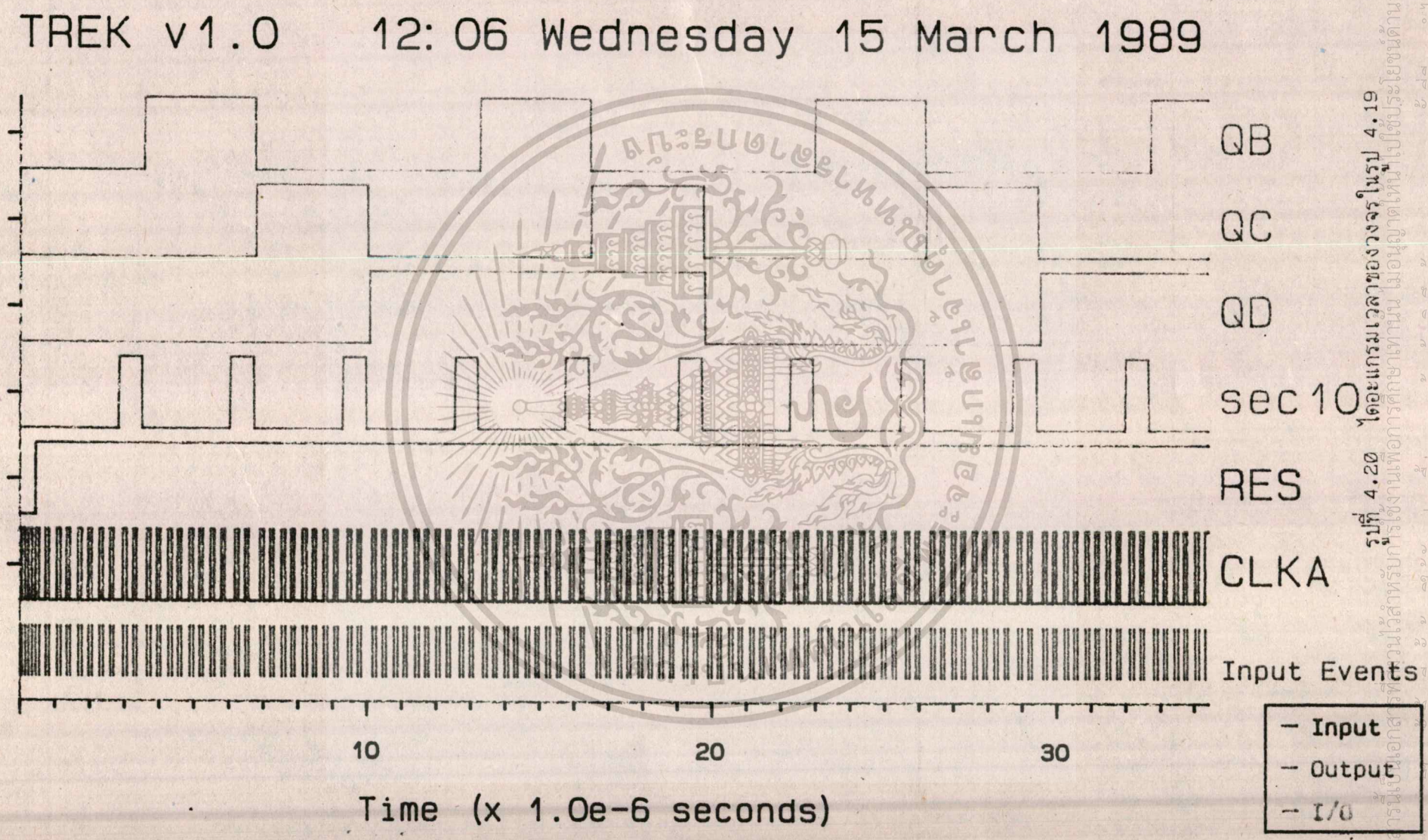
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.18 ไดอะแกรมเวลาของวงจรในรูป 4.17

รูปที่ 4.19 วงจรสร้างฐานเวลา 10 วินาทีและ 1 นาที

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.20 ไดอะแกรมเวลาของวงจรในรูป 4.19

บทที่ 5

การออกแบบสวิทช์ทำงาน

ในขณะที่ผู้ใช้กำลังป้อนข้อมูลอยู่นั้น จำเป็นอย่างยิ่งที่จะต้องมีสวิทช์เริ่มการทำงานต่างหาก เมื่อป้อนได้ค่าที่พอใจแล้ว จะให้วงจรเริ่มทำงาน ก็เพียงแต่กดสวิทช์ที่ต่อกับขาเซ็ทเท่านั้น ข้อมูลที่ป้อนเข้ามาทางคีย์บอร์ดก็จะผ่านวงจรส่วนนี้ไปให้วงจรเข้ารหัส (Encoder)

เนื่องจากเราต้องการควบคุมการกดสวิทช์เซ็ท เราจึงต้องให้ข้อมูลมาเก็บไว้ก่อน ในที่นี้เราใช้ ดี-ฟลิป-ฟลอป ชนิดมีขาเซ็ท/รีเซ็ท และทำงานที่ขอบขาขึ้นของสัญญาณนาฬิกา (D Flip Flop with Set& Reset Positive Edge Triggered) ตารางความจริงของฟลิป-ฟลอปชนิดนี้แสดงอยู่ในตารางที่ 5.1

ตารางที่ 5.1 แสดงตารางความจริงของ ดี-ฟลิป-ฟลอป

	SB	D	CK	RB	Q	QB
	H	L		H	L	H
	H	H		H	H	L
	H	X		H	No Change	
	L	X	X	L	H*	H*
(1)...	H	X	X	L	L	H
(2)...	L	X	X	H	H	L

จากตาราง เราต้องการใช้เพียงสถานะที่มีหมายเลข (1) และ (2) เท่านั้น ขอให้สังเกตว่า ขณะที่ SB =1 ,RB =Ø และ SB =Ø , RB = 1 นั่นคือ SB และ RB จะต้องอยู่ตรงข้ามกันเสมอ ในการนี้จะให้ SB เป็นขารับข้อมูลจากการกดคีย์ในแต่ละครั้ง และสวิทช์ที่นำมาใช้จะต้องเป็นชนิดกดติด-ปล่อยดับ วงจรในรูปข้างล่างนี้ใช้ดี-ฟลิป-ฟลอป ทั้งหมด 10 ตัว เพื่อที่จะให้สามารถรองรับคีย์หมายเลข Ø - 9 ได้ครบ เอาท์พุทจากฟลิป-ฟลอป แต่ละตัวจะต่อเข้ากับแนนด์เกท และอินเวิคเตอร์ (ทั้งสองรวมทำหน้าที่เป็นแอนด์เกท) โดยมีสัญญานเริ่มทำงานจากขา set คอยมาเปิดเกทให้สัญญานผ่านไปได้

เริ่มแรก เมื่อวงจรยังไม่ทำงาน เอาท์พุท Q จะเป็น "Ø" เมื่อเริ่มทำงานแต่ยังไม่ได้กดคีย์ตัวเลขและขารีเซทเป็น 1 ขา SB ก็จะเป็น 1 ขณะที่ RB = Ø เพราะฉะนั้นเอาท์พุท Q ขณะนี้จะเป็น Ø ผ่านแนนด์เกทจะได้ o/p = 1 เมื่อมีการกดคีย์ ขา SB = Ø

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

และ RB = 1 เอาท์พุท Q จะเป็น 1 ผ่านแนนด์เกทจะได้ o/p = Ø ถ้าบังเอิญผู้ใช้ป้อนเลขผิดหรือต้องการเปลี่ยนตัวเลขใหม่ จะต้องมีชารีเซ็ทไว้เพื่อจุดประสงค์เหล่านี้ การออกแบบส่วนนี้สามารถกระทำได้ง่าย ๆ แต่ต้องไม่ทำให้ค่าอื่นถูกต้องเปลี่ยนไป ตารางความจริงข้างล่างนี้แสดงสถานะที่ถูกต้องสำหรับสร้างวงจรส่วนนี้

RESET (R)	in (i)	SB
Ø	Ø	1
Ø	1	1
1	Ø	Ø
1	1	1

เขียนคาร์นอแม็พได้เป็น จะได้สมการบูลีนเป็น

i/p R \ Res	Ø	1
Ø	1	Ø
1	1	1

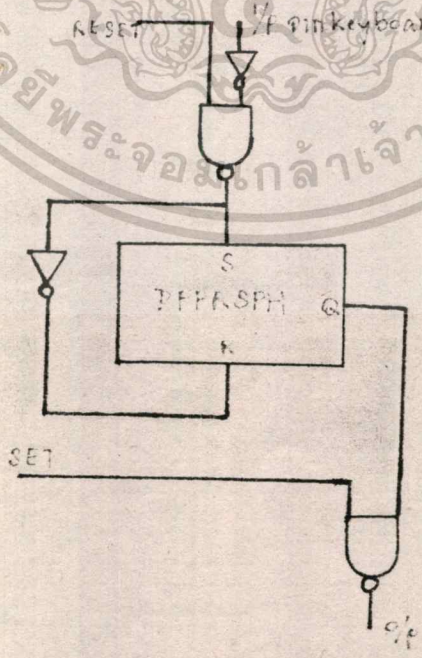
SB

$$SB = \overline{\overline{R} + i}$$

$$= \overline{(\overline{R} + i)}$$

$$= (R.\overline{i})$$

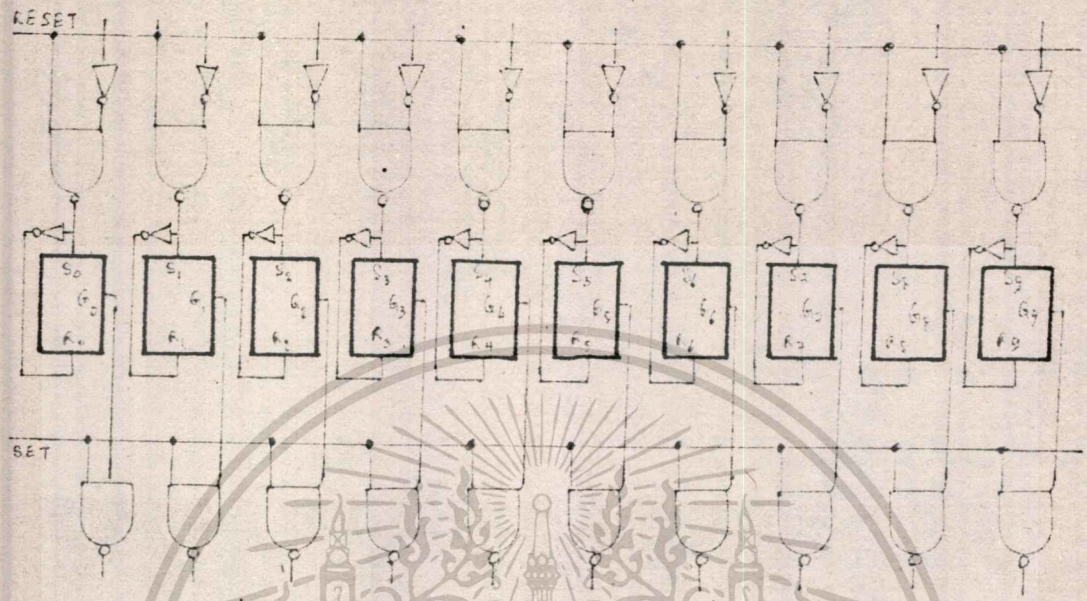
จากสมการบูลีนสามารถนำมาสร้างเป็นวงจรได้ดังนี้



รูปที่ 5.1 แสดงวงจรส่วนทำสวิทช์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดังนั้นวงจรลมบูรณ์แสดงได้ดังรูปที่ 5.1



รูปที่ 5.2 แสดงวงจรสวิทช์เริ่มการทำงานที่ลมบูรณ์

ตารางที่ 5.2 แสดงตารางความจริงของวงจรในรูปที่ 5.1

RESET	i/p	SB	SET	RB	Q	o/p
Ø	Ø	1	Ø	Ø	Ø	1
Ø	Ø	1	1	Ø	Ø	1
Ø	1	1	Ø	Ø	Ø	1
Ø	1	1	1	Ø	Ø	1
1	Ø	Ø	Ø	1	1	1*
1	Ø	Ø	1	1	1	Ø*
1	1	1	Ø	Ø	Ø	1
1	1	1	1	Ø	Ø	1

** หมายเหตุ ขณะที่ RESET = 1 i/p = Ø อยู่นั้นแสดงว่ามีการกดคีย์แล้วเอาท์พุทของฟลิป-ฟลอป Q จึงเป็น 1 แต่เมื่อยังไม่มีการกดสวิทช์เซ็ทให้ทำงาน o/p ก็จะยังคงเป็น 1 เหมือนเดิมจนกว่าจะกดสวิทช์เซ็ทให้ทำงาน o/p จึงจะเป็น Ø (แอคทีฟ Ø)

การสร้างโดย CIRCAD II

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1. ingred-p cmos swset

   สร้างเสร็จแล้วจะได้ดังรูปที่ 5.3

2. jigsaw-t cmos swset

3. galah-t awa-cmos swset

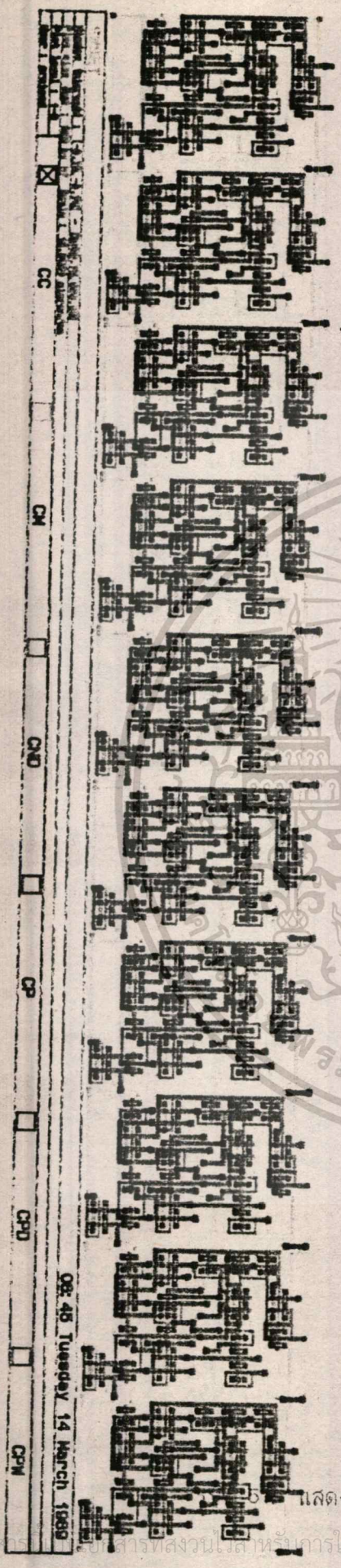
4. cat > swset.tin

5. bake swset.tout

6. simplot swset.tout

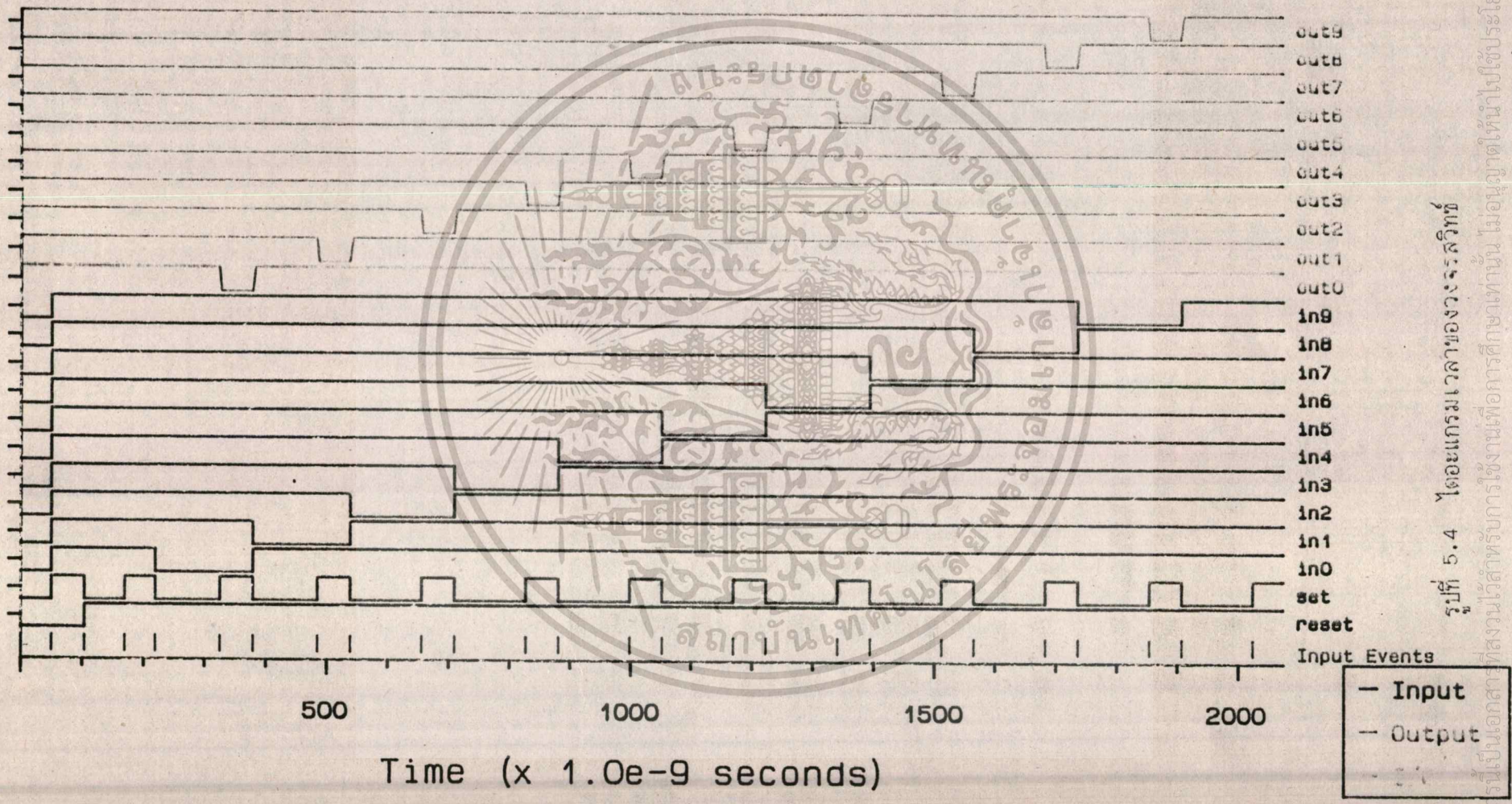
รูปที่ 5.3 แสดงวงจรในรูปที่ 5.2 แต่สร้างจาก ingred และรูปที่ 5.4 แสดงไดอะแกรมเวลาที่ได้จากคำสั่ง simplot ของวงจรในรูปที่ 5.2 และ 5.3 เมื่อนำไปเทียบกับตารางความจริงแล้วพบว่าถูกต้อง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



แสดงวงจรสวิทช์ที่สร้างจาก ingred

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.4 ตัวอย่างผลลัพธ์จากการจำลองแบบ

ลิขสิทธิ์มหาวิทยาลัยเชียงใหม่
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

การออกแบบสวิทช์เลือกช่วงเวลา

สิ่งที่เราต้องการในที่นี้คือ:-

1. ต้องการขา ๆ หนึ่งสำหรับต่อเข้ากับ switch ชนิดกดติด-ปล่อยดับ
2. เมื่อเปิดเครื่องใหม่หรือรีเซ็ท วงจรจะตั้งให้อยู่ในช่วง 1 วินาทีโดยอัตโนมัติ (Default ไว้ที่ 1 วินาที)
3. เมื่อกดสวิทช์ 1 ครั้ง จะเป็นการเลือกช่วง 10 วินาที
4. เมื่อกดสวิทช์ 2 ครั้ง จะเป็นการเลือกช่วง 1 วินาที
5. เมื่อกดสวิทช์ 3 ครั้ง จะเป็นการเลือกช่วง 1 ชั่วโมง
6. เมื่อกดสวิทช์ 4 ครั้ง จะวนกลับมาเลือกช่วง 1 วินาทีอีกครั้งหนึ่ง
7. เมื่อกดสวิทช์ 5 ครั้ง จะเลือกช่วง 10 วินาทีเป็นเช่นนี้ไปเรื่อย ๆ
8. เมื่อกดปุ่ม "start" จะเป็นการโหลดค่าที่เลือกไว้ออกไปทางขา timebase เพื่อป้อนสู่วงจรภายนอก เช่น ป้อนเข้าที่ขา up หรือ down ของวงจรนับขึ้น/ลง

เหตุที่ได้ออกแบบขาสำหรับต่อกับสวิทช์ ก็เพื่อทำหน้าที่โหลดช่วงเลือกสัญญาณออกสู่วงจรภายนอก เนื่องจากการกดสวิทช์ในแต่ละครั้งนั้น จะให้พัลซ์ลบ (ระดับ logic 0) ออกมา 1 ลูก กดสวิทช์ 2 ครั้ง ก็จะให้พัลซ์ลบออกมา 2 ลูก เพื่อให้สามารถรอจนกว่าจะพร้อมแล้วจึงโหลดค่าช่วงเลือกสัญญาณออกสู่วงจรภายนอก เช่น ในกรณีที่เรากดปุ่มในแต่ละครั้งช้าเร็วไม่เท่ากัน หรือในกรณีที่เราต้องการเลือกช่วงเวลา 1 นาที นั่นคือต้องกดสวิทช์ 2 ครั้ง เมื่อเรากดครั้งที่หนึ่งไปแล้ว บังเอิญหันไปคุยกับเพื่อน ถ้าไม่มีสัญญาน start มาหยุดรอชั่วขณะปล่อยให้วงจรทำงานไป วงจรก็จะไปนับช่วง 10 วินาที ซึ่งผิดจากวัตถุประสงค์ ดังนั้นในวิทยานิพนธ์ฉบับนี้จึงได้ออกแบบสวิทช์สำหรับเลือกช่วงฐานเวลาให้มีความสามารถ โดยไม่ต้องไปใช้สวิทช์ธรรมดาเหมือนสวิทช์ เปิด-ปิด ไฟบ้าน การออกแบบจึงได้เพิ่มขาเตรียมพร้อมโดยให้ชื่อว่า "start" เพื่อรอจนกว่าผู้ใช้จะกดสวิทช์เลือกช่วงเวลาที่ต้องการแล้วจึงกดปุ่ม start ให้เปิดเกทปล่อยช่วงเลือกสัญญาณออกสู่ภายนอกซึ่งเป็นประสงค์

จากที่กล่าวมาทั้งหมดนี้ ทำให้เราพอนึกภาพคร่าว ๆ ของวงจรออกบ้าง เขียนได้ดังรูปที่ 5.5

หมายเหตุ ในการออกแบบวงจรทุกครั้งควรเริ่มการเขียนบล็อกไดอะแกรมทั้งหมดก่อนแล้วจึงลงมือออกแบบให้แตกย่อยลงไป

การออกแบบภาคสร้างและเก็บสัญญาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในส่วนนี้ผู้ออกแบบได้ใช้ JKFFP (J-K Flip Flop Positive Edge Triggered) มาทำเป็นท็อกเกิล-ฟลิป-ฟลอป (Toggle Flip Flop :TFF) ดังนี้

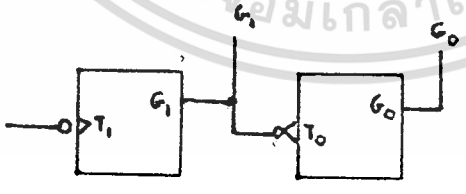
ตารางที่ 5.3 แสดงตารางความจริงของ JKFFP

S	J	K	CK	R	Q	QB
L	L	H		L	L	H
L	H	L		L	H	L
L	H	H		L	Toggle	
L	x	x		L	No Change	
H	x	x	x	H	L*	L*
L	x	x	x	H	L	H
H	x	x	x	L	H	L

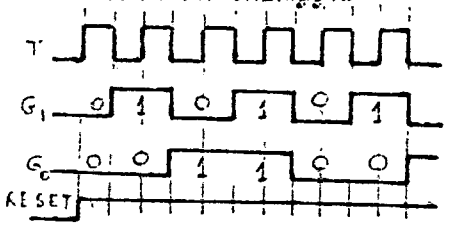
พิจารณาตารางที่ 5.3 จะพบว่า ฟลิป-ฟลอบตัวนี้จะทำหน้าที่ท็อกเกิลก็ต่อเมื่อขา J และ K เป็น '1' ทั้งคู่ และขา S และ R เป็น 'Ø' ทั้งคู่ แล้วสัญญาณเอาท์พุทจะแปรตามสัญญาณนาฬิกาที่มาจากภาคสร้างและเก็บสัญญาณ ซึ่งก็เป็นไปตามจุดมุ่งหมาย แต่เพื่อให้วงจรสามารถเชื่อมต่อกับวงจรส่วนอื่น ๆ ได้โดยง่าย ให้ใส่อินเวิคเตอร์ก่อนเข้าขา R ทำให้ท็อกเกิลฟลิป-ฟลอบตัวนี้แอคทีฟที่ 'Ø' เช่นเดียวกับวงจรอื่น ๆ

เมื่อได้ที-ฟลิป-ฟลอป แล้วก็นำมาต่อเป็นวงจรนับเลขฐานสองขนาด 2 ภาค ดังนั้นวงจรส่วนนี้จึงสามารถนับได้ ØØ ,Ø1 ,1Ø ,11 ตามจุดมุ่งหมาย

รูปที่ 5.6. แสดงการต่อวงจรสร้างและเก็บสัญญาน



5.6 (a) วงจรสร้างและเก็บสัญญาน



5.6 (b) ไดอะแกรมเวลาของวงจรในรูป (a)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากวงจรรูปที่ 5.6 (a) และ (b) สามารถนำมาเขียนเป็นตารางความจริงดังตารางข้างล่างนี้

ตารางที่ 5.4 แสดงตารางความจริงของวงจร

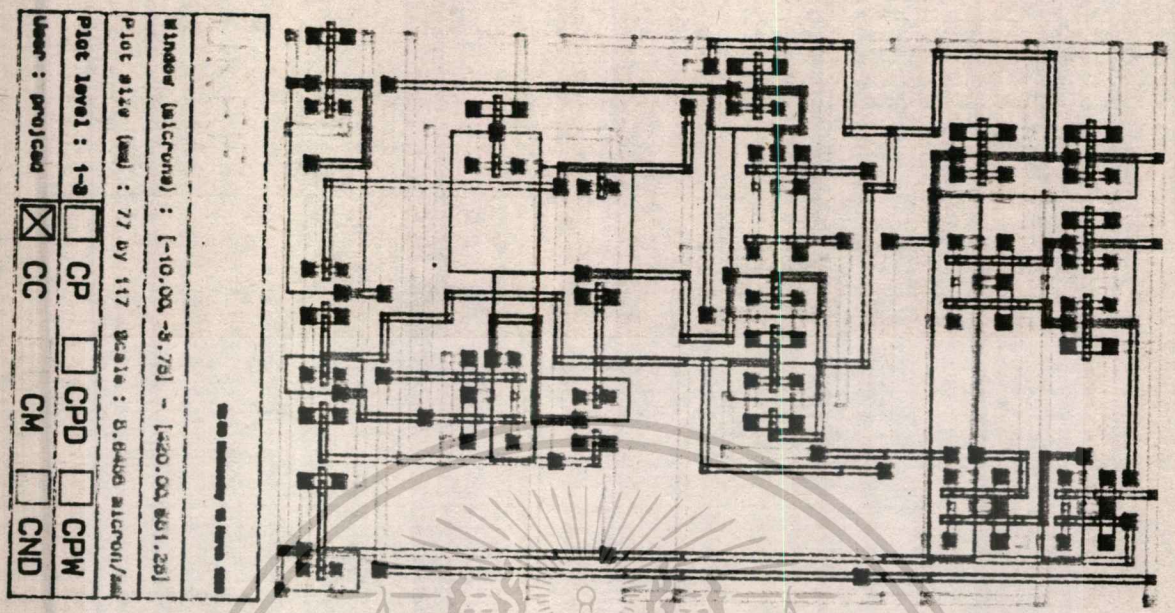
RESET	จำนวนครั้งในการกดสวิทช์	Q_0	Q_1
1	ไม่มีการกด	Ø	Ø
1	กด 1 ครั้ง	Ø	1
1	กด 2 ครั้ง	1	Ø
1	กด 3 ครั้ง	1	1
1	กด 4 ครั้ง	Ø	Ø
1	กด 5 ครั้ง	Ø	1
1	กด 6 ครั้ง	1	Ø
1	กด 7 ครั้ง	1	1
Ø	X	Ø	Ø

X หมายถึง กรณีใดก็ได้ (Don't Care)

จากตารางความจริงพบว่าเมื่อ RESET=Ø แล้ว เอาท์พุทของวงจรจะเป็น ØØ นั่นหมายถึงค่าที่ตั้งไว้ (default)

เมื่อเรียก ingred มาสร้างเสร็จแล้วจะได้วงจร ฟลิป-ฟลอบ และไดอะแกรมเวลาดังรูปที่ 5.7 และ 5.8 และวงจรส่วนสร้าง/เก็บสัญญาณ และไดอะแกรมเวลาอยู่ในรูปที่ 5.9 และ 5.10

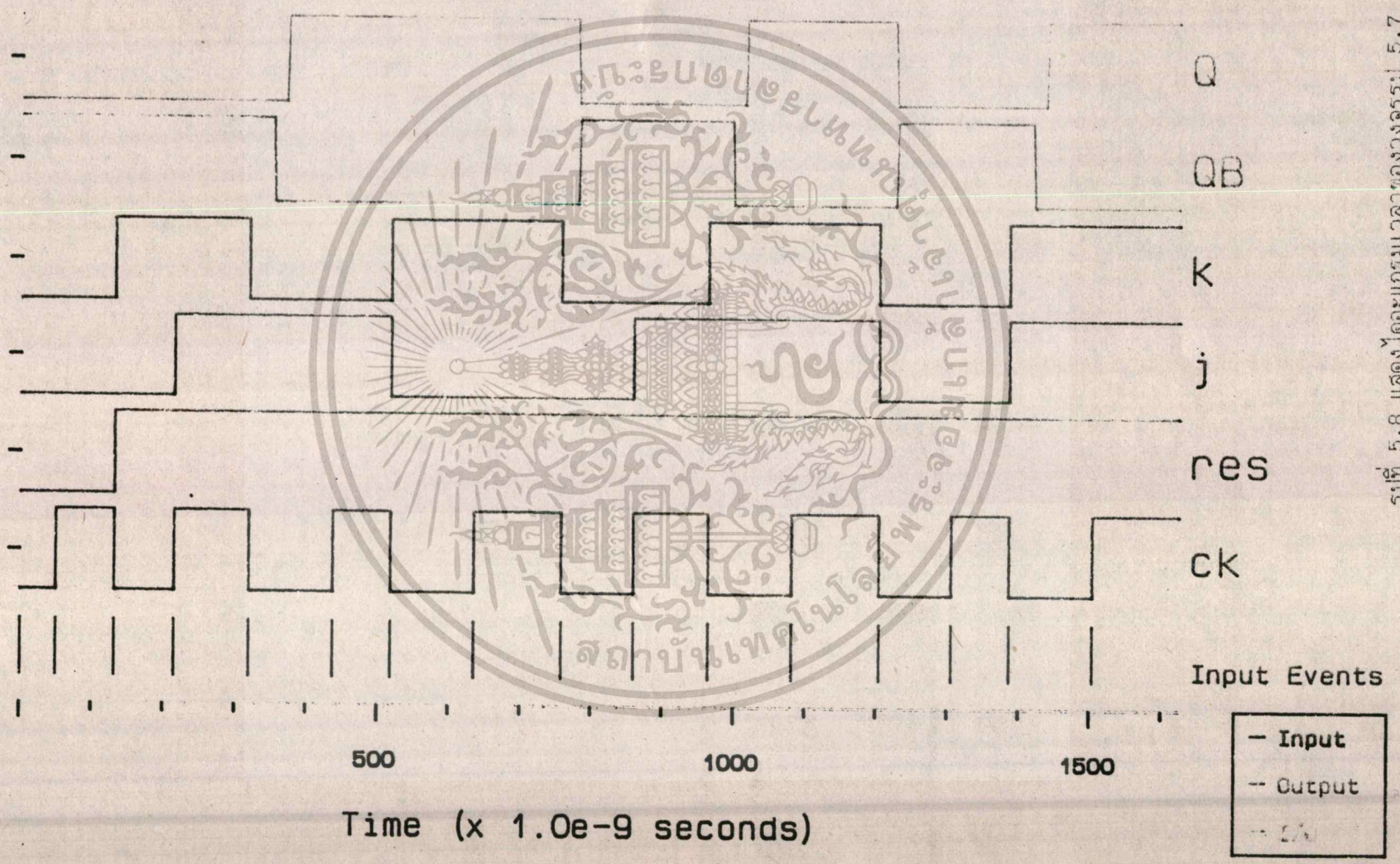
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



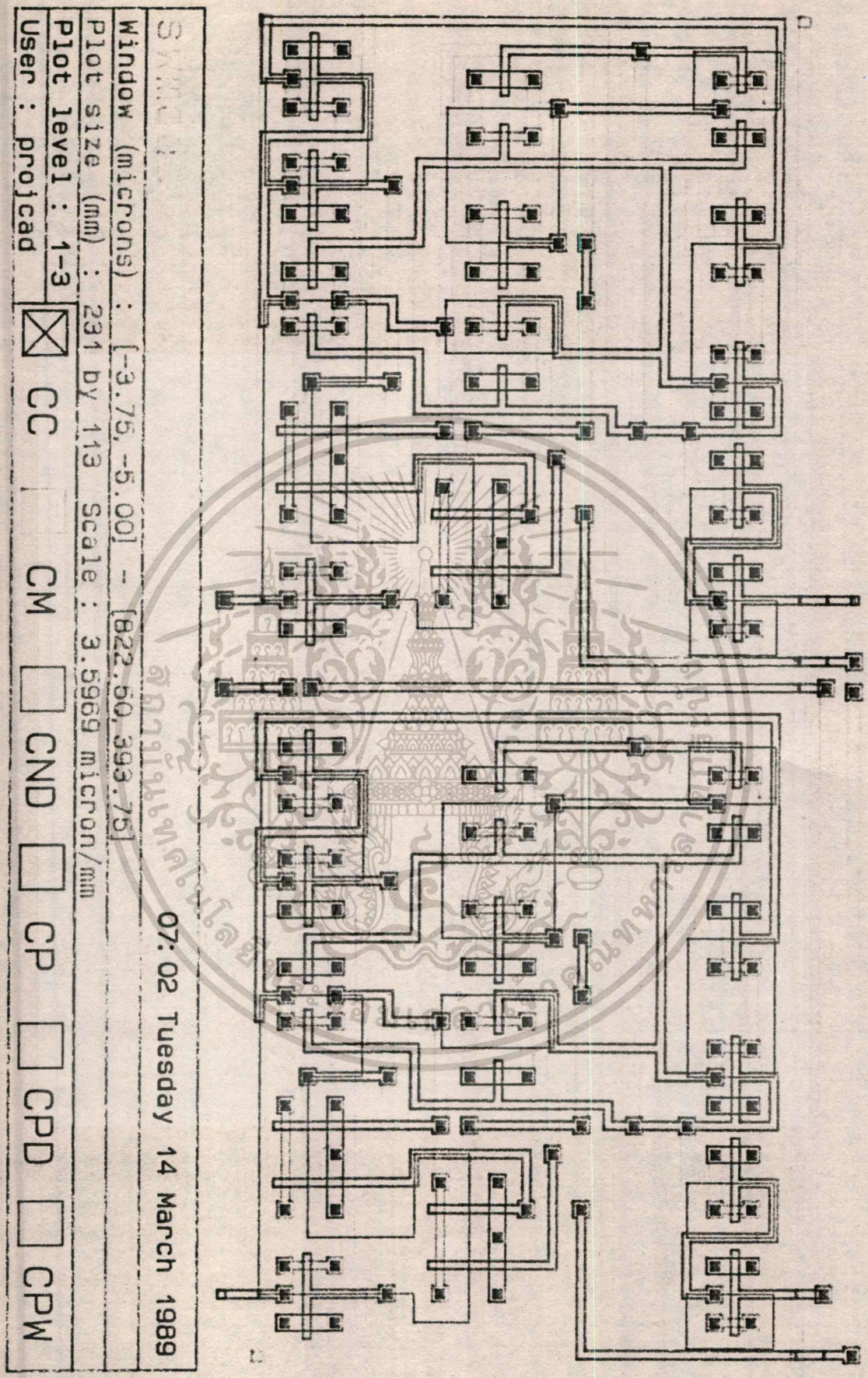
รูปที่ 5.7 แสดงวงจร JKFFP

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

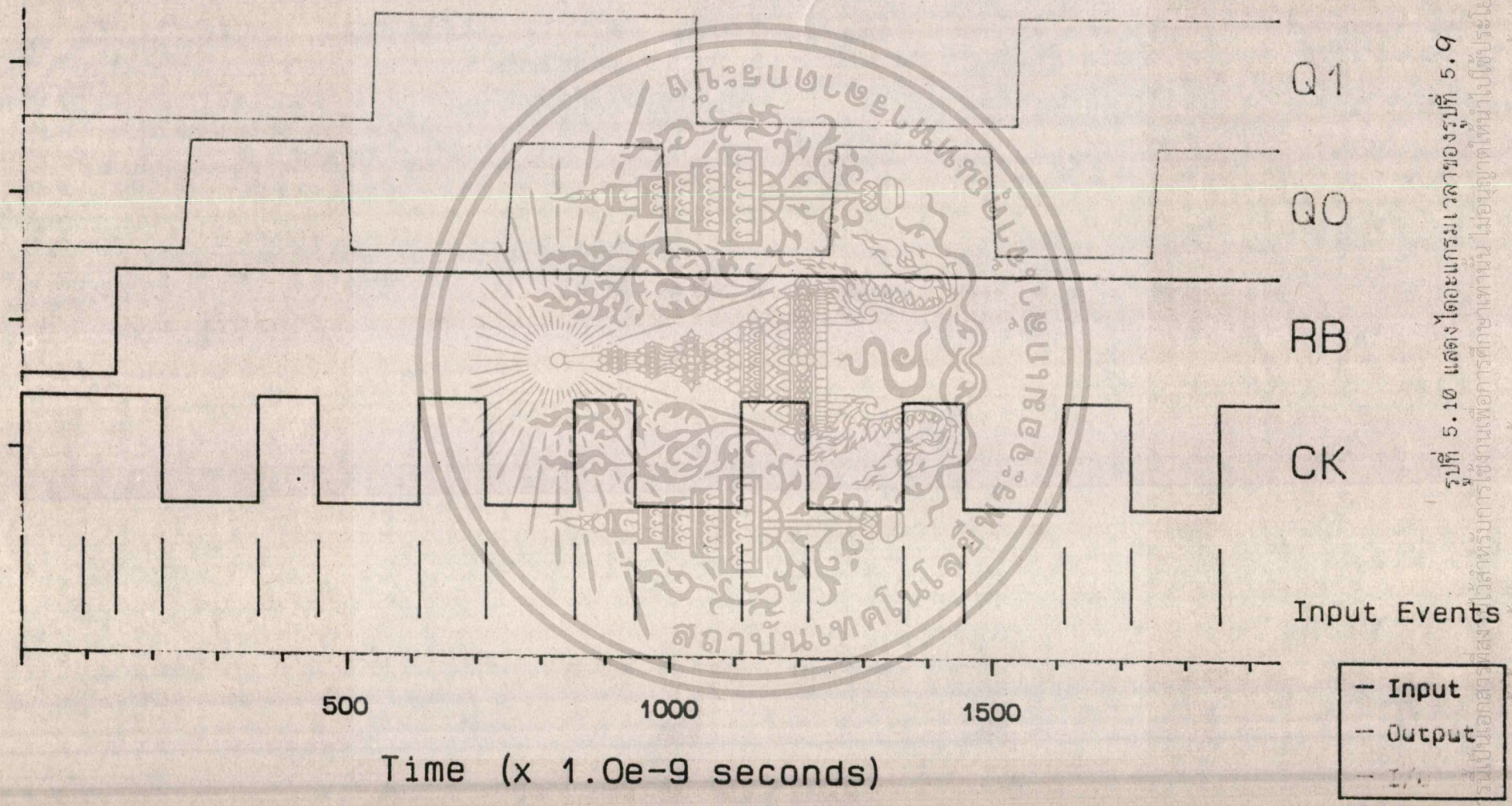


ภาพประกอบนี้เป็นส่วนหนึ่งของวิทยานิพนธ์ที่ได้รับการเผยแพร่ในคลังปัญญาจุฬาฯ เพื่อการศึกษาเท่านั้น ห้ามมิให้นำไปใช้ประโยชน์ด้านการค้า การผลิตซ้ำ หรือการเผยแพร่ในรูปแบบอื่นๆ ทั้งนี้ต้องได้รับอนุญาตจากเจ้าของวิทยานิพนธ์ก่อนเท่านั้น



รูปที่ 5.9 แสดงวงจรส่วนสร้าง/เก็บสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.10 แสดงไดอะแกรมเวลาของรูปที่ 5.9

การออกแบบส่วนมัลติเพล็กส์

วงจรมัลติเฟล็กส์จะจัดการกระจาย 2 อินพุทเป็น 4 เอาท์พุท เพื่อรองรับสายสัญญาณเอาท์พุทจากวงจรสร้างฐานเวลา โดยมีข้อกำหนดคือ ถ้าอินพุท $Q_0\ Q_1 = 0\ 0$ แล้วเอาท์พุท $D_3\ D_2\ D_1\ D_0 = 0\ 0\ 0\ 1$ กล่าวคือระดับตรรก " 1 " จะปรากฏที่ D_0 ในทำนองเดียวสำหรับอินพุทค่าอื่น ๆ จะได้ตามตารางที่ 5.5

ตารางที่ 5.5 แสดงตารางความจริงของวงจรมัลติเพล็กส์

Q_0	Q_1	D_3	D_2	D_1	D_0
0	0	0	0	0	1
0	1	0	0	1	0
1	0	0	1	0	0
1	1	1	0	0	0

จากตารางนำมาเขียนตารางคาร์นอแม็ทสำหรับเอาท์พุททั้งสี่ได้ดังนี้

Q_1Q_0	0	1
0	0	0
1	0	1

D_3

Q_1Q_0	0	1
0	0	1
1	0	0

D_2

Q_1Q_0	0	1
0	0	0
1	1	0

D_1

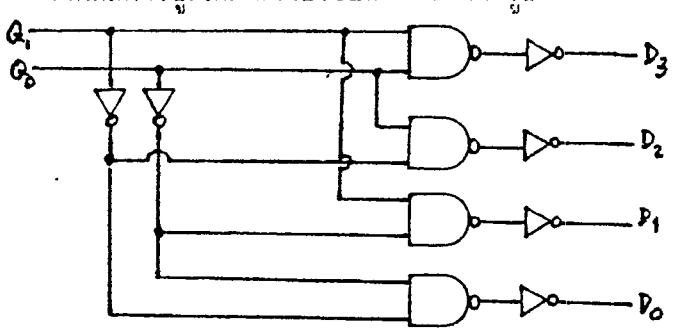
Q_1Q_0	0	1
0	1	0
1	0	0

D_0

จากตาราง สามารถเขียนเป็นสมการบูลลีน

$$D_3 = Q_0Q1 \qquad D_2 = Q_0\bar{Q}_1 \qquad D_1 = \bar{Q}_0Q_1 \qquad D_0 = \bar{Q}_0\bar{Q}_1$$

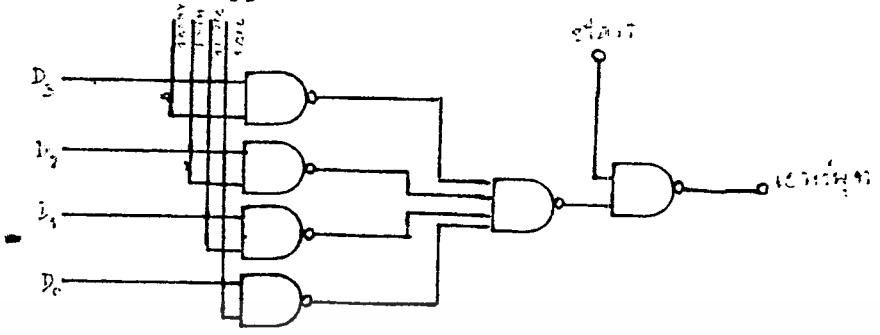
จากสมการบูลลีน นำไปเขียนวงจรได้ดังรูปที่ 5.11



รูปที่ 5.11 แสดงวงจรมัลติเพล็กส์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การออกแบบวงจรภาคเลือกสัญญาน



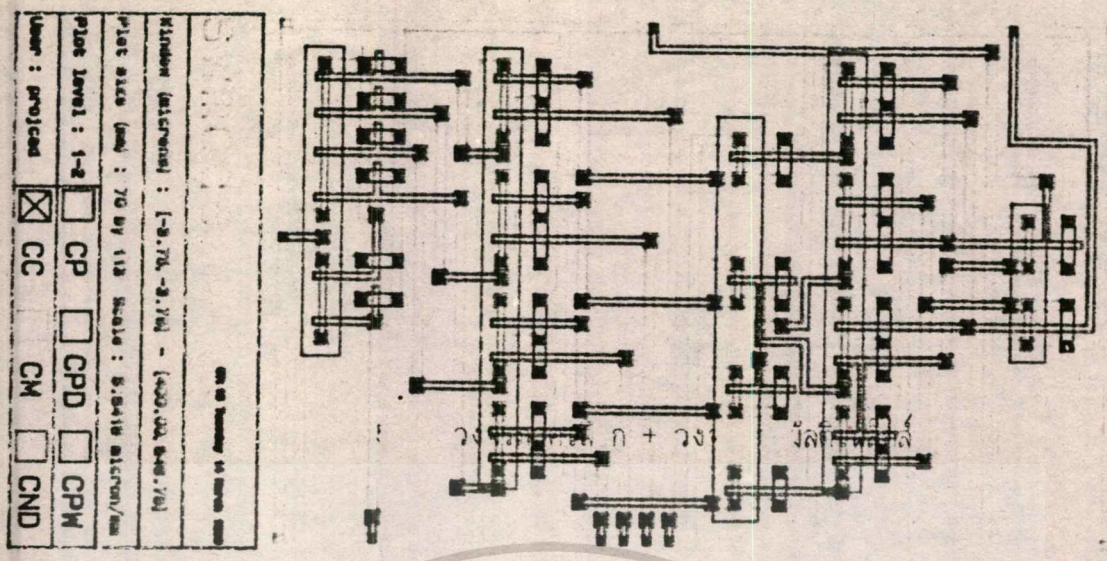
รูปที่ 5.12 แสดงวงจรภาคเลือกสัญญาน

ในรูปข้างบนนี้แสดงถึงวงจรภาคเลือกสัญญาน ซึ่งจะยอมให้เพียง 1 สัญญานเท่านั้นที่ผ่านไปได้ หลังจากป้อนสัญญานให้ขา start แล้ว

เมื่อนำวงจรภาคมัลติเพล็กและภาคเลือกสัญญาณมาต่อเข้าด้วยกันแล้วเรียก ingred มาสร้างจะได้วงจรดังรูปที่ 5.13 และไดอะแกรมเวลาในรูปที่ 5.14

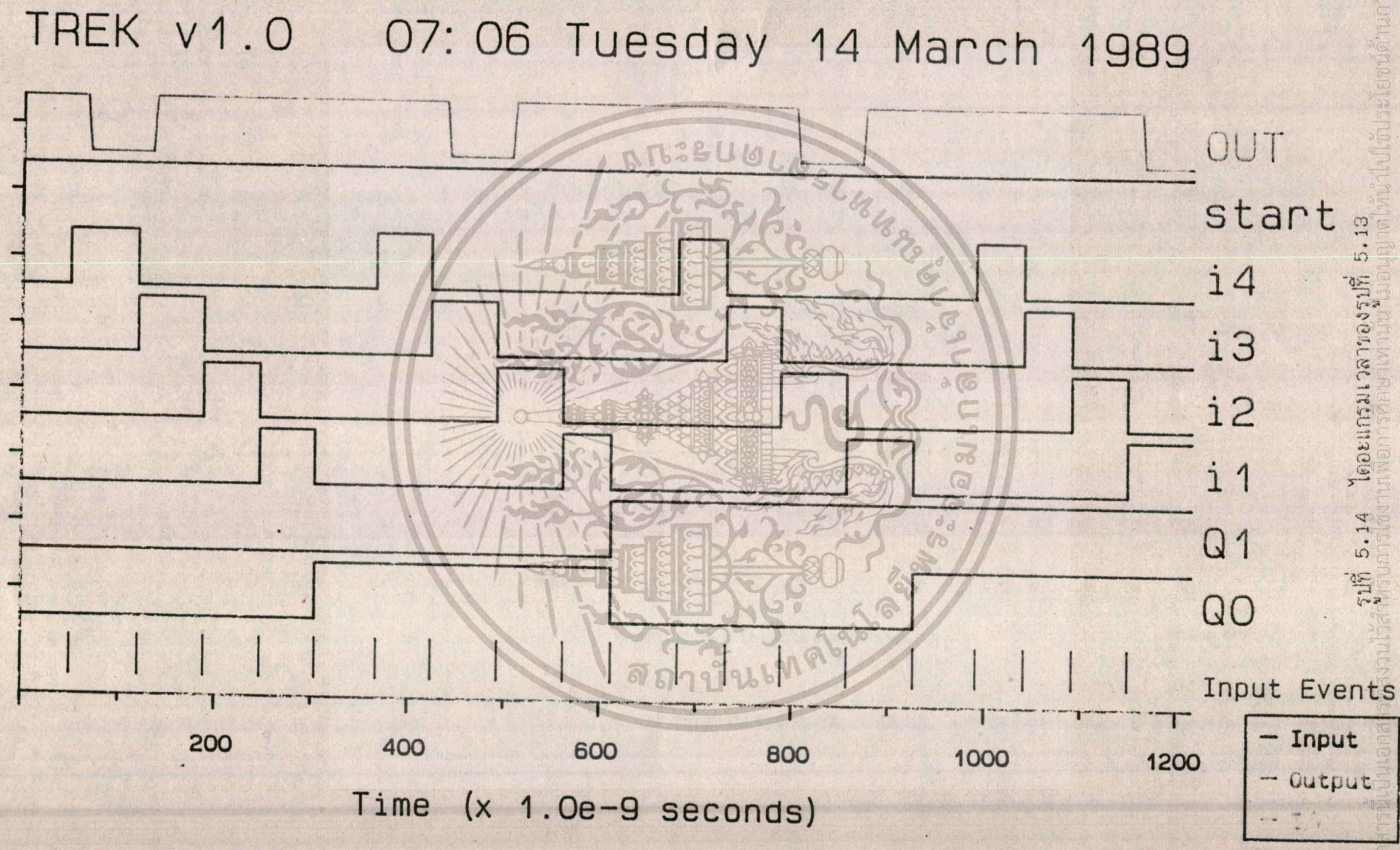
และเมื่อนำวงจรในรูปที่ 5.9 และ 5.13 มาต่อร่วมกันจะได้วงจรในรูปที่ 5.16 และไดอะแกรมเวลาในรูปที่ 5.17

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



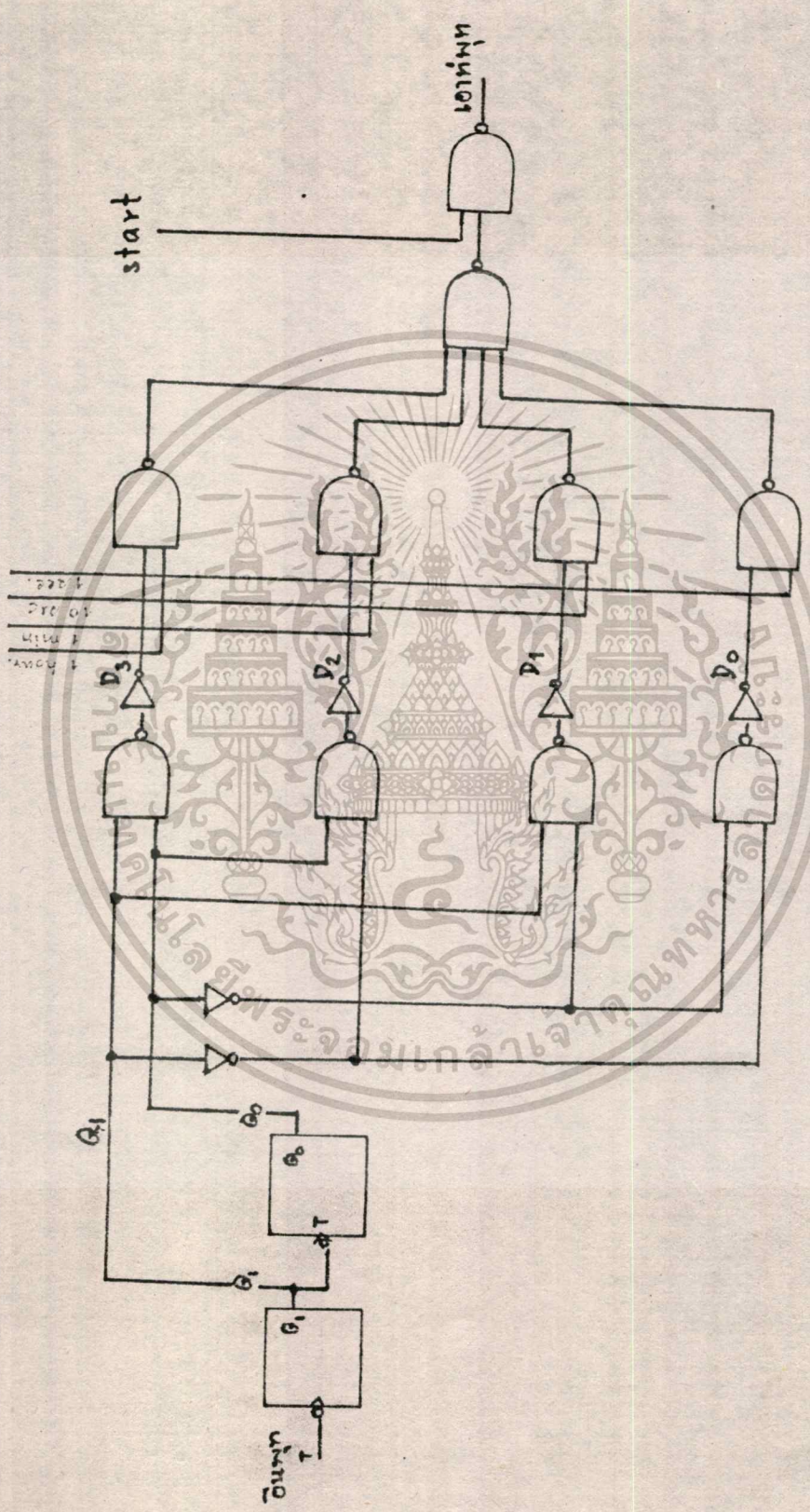
รูปที่ 5.13 วงจรภาคเลือก + วงจรภาคมัลติเพล็กส์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



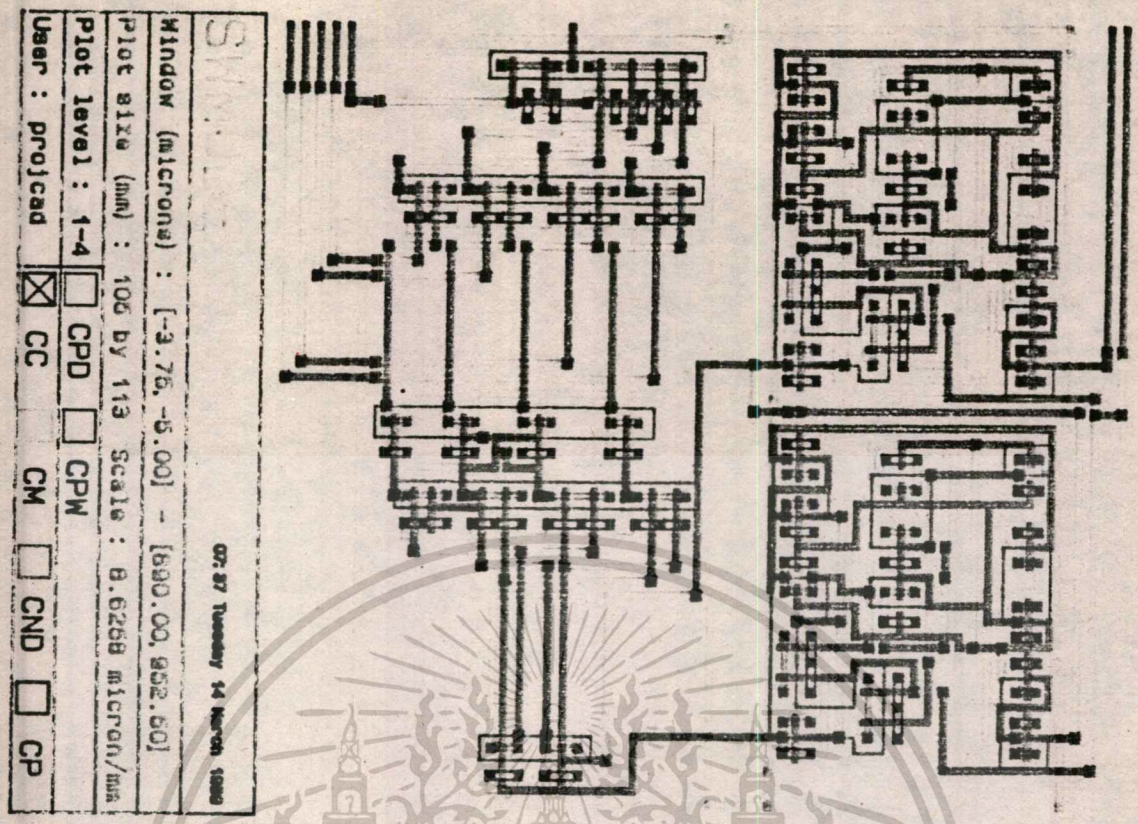
รูปที่ 5.14 ไดอะแกรมเวลาของรูปที่ 5.13

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง



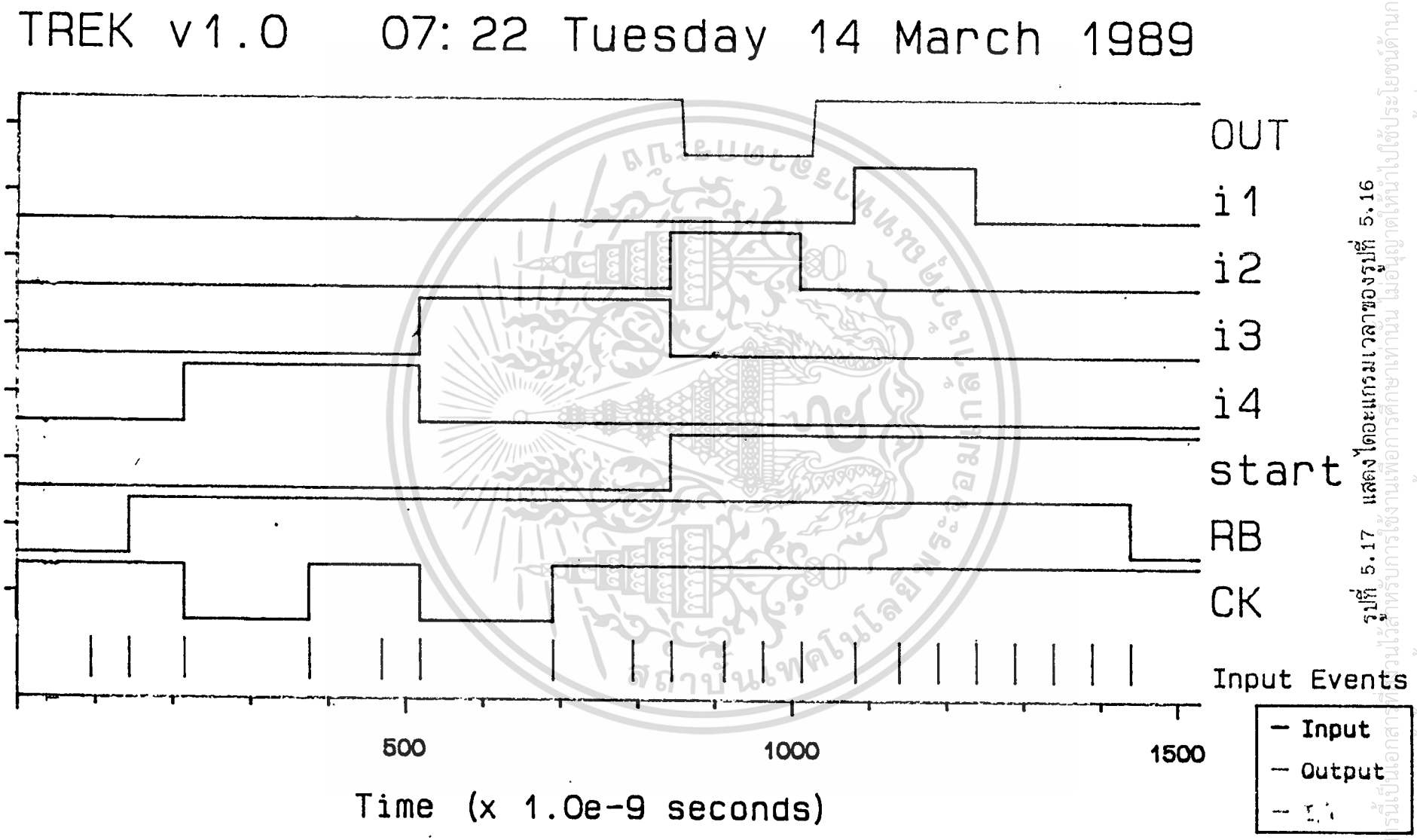
รูปที่ 5.15 แสดงรายละเอียดวงจรสวิทช์เลือกช่วงเวลาที่สมบูรณ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.16 แสดงวงจรสมบูรณ์ที่สร้างจาก ingred

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.16 แสดงผลการจำลองวงจรนับ
รูปที่ 5.17 แสดงผลการจำลองวงจรนับ

บทที่ 6

การออกแบบวงจรเก็บข้อมูล (Storage Register Design)

ในการเก็บข้อมูลเพื่อรอการนับจากวงจรนับนั้น ข้อมูลที่วงจรเก็บข้อมูลจะได้มาจากวงจรเข้ารหัส (Encoder) ดังนั้นข้อมูลอินพุทจึงอยู่ในรูปของ บีซีดี (BCD) ซึ่งใช้ทั้งหมด 4 บิตแทนข้อมูลเลขฐานสิบตั้งแต่ 0-9 หนึ่งหลัก ดังตารางที่ 6.1 ข้างล่างนี้

ตารางที่ 6.1 แสดงตารางการแทนรหัสบีซีดีในเลขฐานสิบ

รหัส บีซีดี				เลขฐานสิบ
D	C	B	A	
0	0	0	0	0
0	0	0	1	1
0	0	1	0	2
0	0	1	1	3
0	1	0	0	4
0	1	0	1	5
0	1	1	0	6
0	1	1	1	7
1	0	0	0	8
1	0	0	1	9

ด้วยเหตุที่เราต้องการเพียง 2 หลักในเลขฐานสิบตั้งแต่ 00-99 ฉะนั้นจึงต้องใช้รหัสขนาด 4 บิต 2 ชุด ตัวอย่างเช่น

37 = 0011 0111

92 = 1001 0010

เนื่องด้วยคุณสมบัติของ ดี-ฟลิป-ฟลอป ที่จะกล่าวถึงต่อไปนี้ ทำให้วงจร ดี-ฟลิป-ฟลอป เป็นวงจรที่นิยมใช้กันมากในการพักเก็บข้อมูลไว้ชั่วคราวในวงจรต่าง ๆ ตารางที่ 6.2 แสดงถึงตารางความจริงของดี-ฟลิป-ฟลอป ที่ใช้ในวิทยานิพนธ์เล่มนี้ (รายละเอียดขอให้ดูภาคผนวก)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 6.2 แสดงตารางคุณสมบัติของ ดี-ฟลิป-ฟลอป

D	CK	CKB	RB	Q	QB
L			H	L	H
H			H	H	L
D			H	ไม่เปลี่ยน	
X	X	X	L	L	H

จากตาราง เราจะพบคุณสมบัติของ ดี-ฟลิป-ฟลอป คือ

1. ดี-ฟลิป-ฟลอป ตัวนี้จะทำงานที่ขอบขาลงของสัญญานนาฬิกา (falling edge หรือ negative going)
2. เอาท์พุท Q จะแปรตามข้อมูลอินพุท D ก็ต่อเมื่ออยู่ในช่วงขอบขาลงของสัญญานนาฬิกา และขารีเซ็ทต่ออยู่ในสถานะสูง (นั่นคือ รีเซทจะแอคทีฟต่ำ)
3. เมื่อขารีเซ็ทมีสถานะต่ำ ข้อมูลใน ดี-ฟลิป-ฟลอป จะถูกเคลียร์หมด ทำให้ เอาท์พุท Q=Ø
4. ดี-ฟลิป-ฟลอป 1 ตัว จะสามารถเก็บข้อมูลได้เพียงตัวเดียวเท่านั้น

จากความจริงในข้อ 4 นี้เอง ทำให้การออกแบบต้องใช้ ดี-ฟลิป-ฟลอป ทั้งหมด 8 ตัว แบ่งเป็น 2 ชุด ชุดละ 4 ตัว แต่ละชุดรับสัญญาน บีซีดี ทั้ง 4 เส้นเข้ามาเก็บ

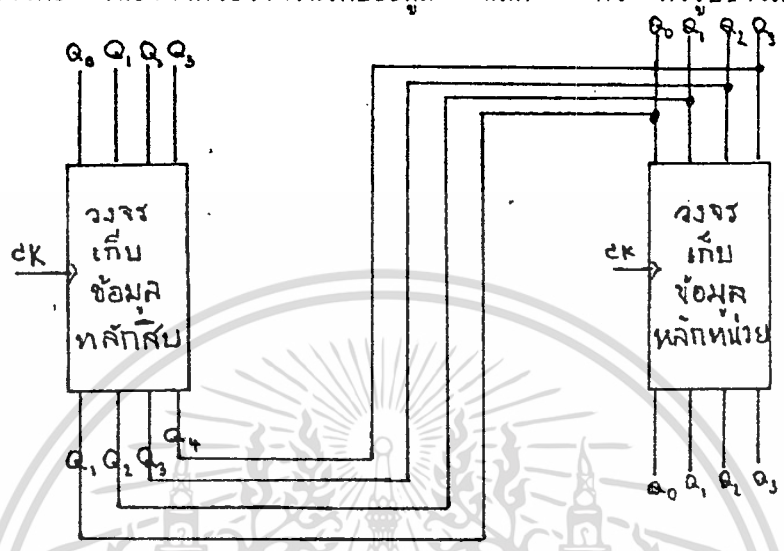
เราอาจเขียนตารางความจริงของ ดี-ฟลิป-ฟลอป ได้อีกแบบหนึ่ง ดังตารางที่ 6.3

ตารางที่ 6.3 แสดงสถานะต่าง ๆ ของ ดี-ฟลิป-ฟลอป

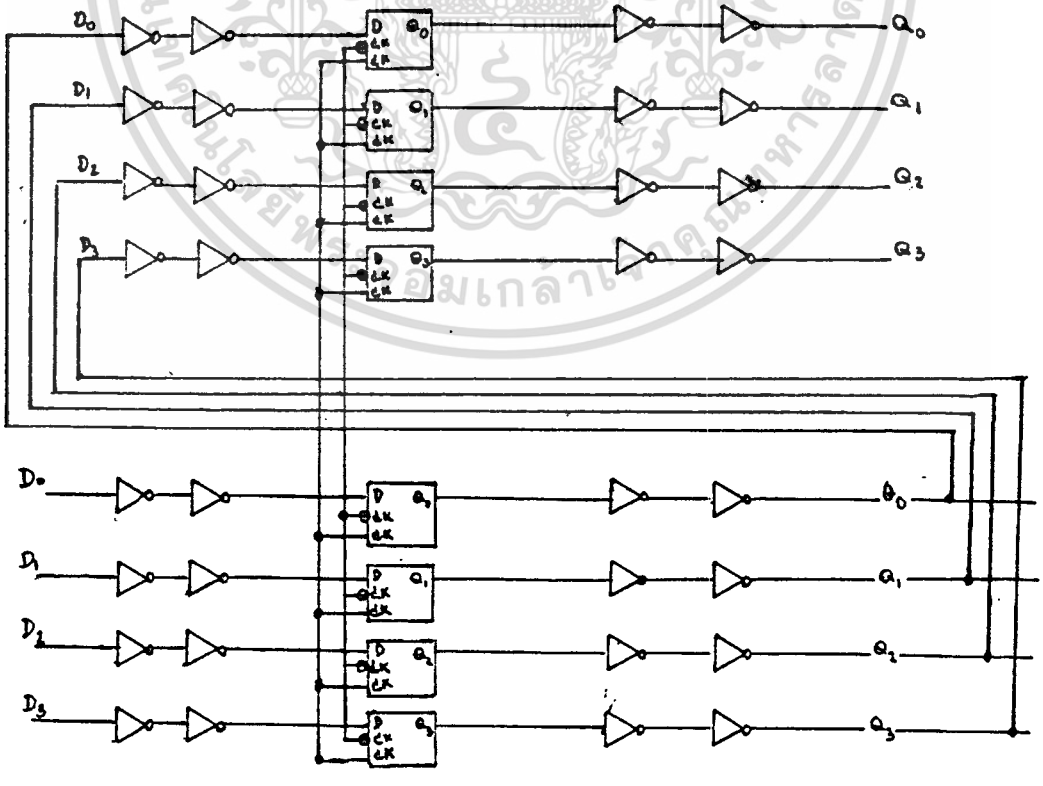
ข้อมูลขาเข้า		สถานะปัจจุบัน	สถานะถัดไป	หมายเหตุ
Do	CK	Qt	Qt + t	
Ø	Ø->Ø, 1->1, Ø->1	Ø	Ø	ไม่เปลี่ยน
Ø	Ø->Ø, 1->1, Ø->1	1	1	
Ø	1->Ø	Ø	Ø	แปรตาม Do
Ø	1->Ø	1	Ø	
1	Ø->Ø, 1->1, Ø->1	Ø	Ø	ไม่เปลี่ยน
1	Ø->Ø, 1->1, Ø->1	1	1	
1	1->Ø	Ø	1	แปรตาม Do
1	1->Ø	1	1	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เป็นที่น่าสังเกตุว่า ข้อมูลสถานะถัดไปของฟลิป-ฟลอป จะถูกหน่วงเวลาออกไปเท่ากับ t ด้วยเหตุนี้ การต่อวงจรเข้ารหัสจากคีย์บอร์ดเข้ามาเพื่อเก็บข้อมูลนั้น จำเป็นต้องคำนึงถึงเรื่องนี้ด้วย กล่าวคือ เนื่องจากใช้วงจรนี้เก็บข้อมูล 2 หลัก 8 ตัว ดังรูปข้างล่างนี้



รูปที่ 6.1 (a) แสดงบล็อกไดอะแกรมของวงจรเก็บข้อมูล

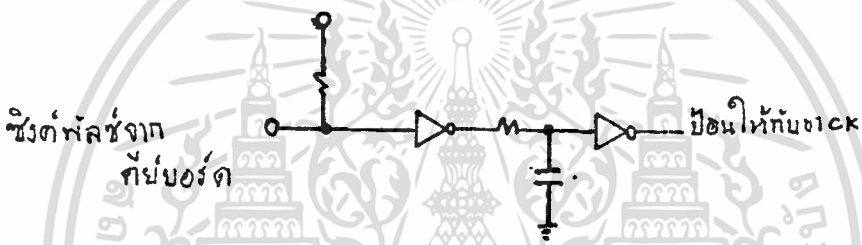


รูปที่ 6.1 (b) แสดงรายละเอียดวงจรของบล็อกไดอะแกรม

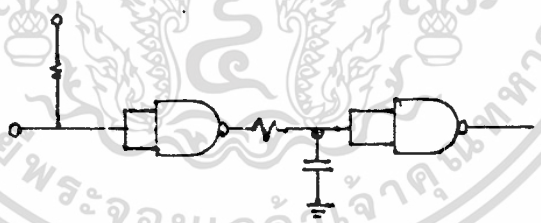
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูป จะเห็นว่า ข้อมูลที่ผ่านวงจรเช้ารหัสเข้ามาจะเก็บใน ดี-ฟลิป-ฟลอป ชุดขวามือก่อน โดยถูกหน่วงเวลาออกไปเท่ากับ t วินาที ก่อนที่จะเข้ามาที่ขาอินพุทของตัวบน ดังนั้น เมื่อต้องการนำวงจรเก็บข้อมูลนี้ไปใช้งานร่วมกับวงจรเช้ารหัสและคีย์บอร์ดจะต้องนำสัญญานซิงค์พัลซ์จากการกดคีย์บอร์ดในแต่ละครั้งมาเข้าขาสัญญานนาฬิกาของระบบ (CK) ของดี-ฟลิป-ฟลอป ทั้ง 2 ตัว โดยจะต้องหน่วงเวลาซิงค์พัลซ์ที่เข้าฟลิป-ฟลอป ชุดขวามือ เนื่องจากขณะที่ข้อมูลชุดแรกอยู่ใน ฟลิป-ฟลอป ชุดขวามือแล้วก็กำลังจะป้อนตัวเลขถัดไป เราก็หน่วงเวลาการรับข้อมูลเข้าของ ฟลิป-ฟลอป ชุดขวามือไว้พอเพียงให้ข้อมูลจาก ฟลิป-ฟลอป ชุดขวามือผ่านมาที่ขาอินพุทของ ฟลิป-ฟลอป ชุดซ้ายมือ จากนั้นจึงให้ข้อมูลอินพุททั้งสองชุดเข้าไปเก็บใน ฟลิป-ฟลอป ในใกล้เคียงกัน เมื่อวงจรนับมารับข้อมูลเข้าไปนับพร้อมกัน จะได้ไม่นับข้อมูลชุดใดชุดหนึ่งก่อน

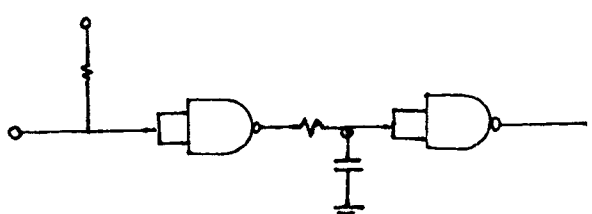
วงจรหน่วงเวลาจะใช้วงจรใดก็ได้ ในที่นี้จะขอยกตัวอย่างลัก 2-3 ตัวอย่าง



(a) วงจรหน่วงเวลาโดยใช้ อินเวิทเตอร์



(b) วงจรหน่วงเวลาโดยใช้ แนนด์เกท



(c) วงจรหน่วงเวลาโดยใช้ นอร์เกท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การสร้างและผลการทดสอบ

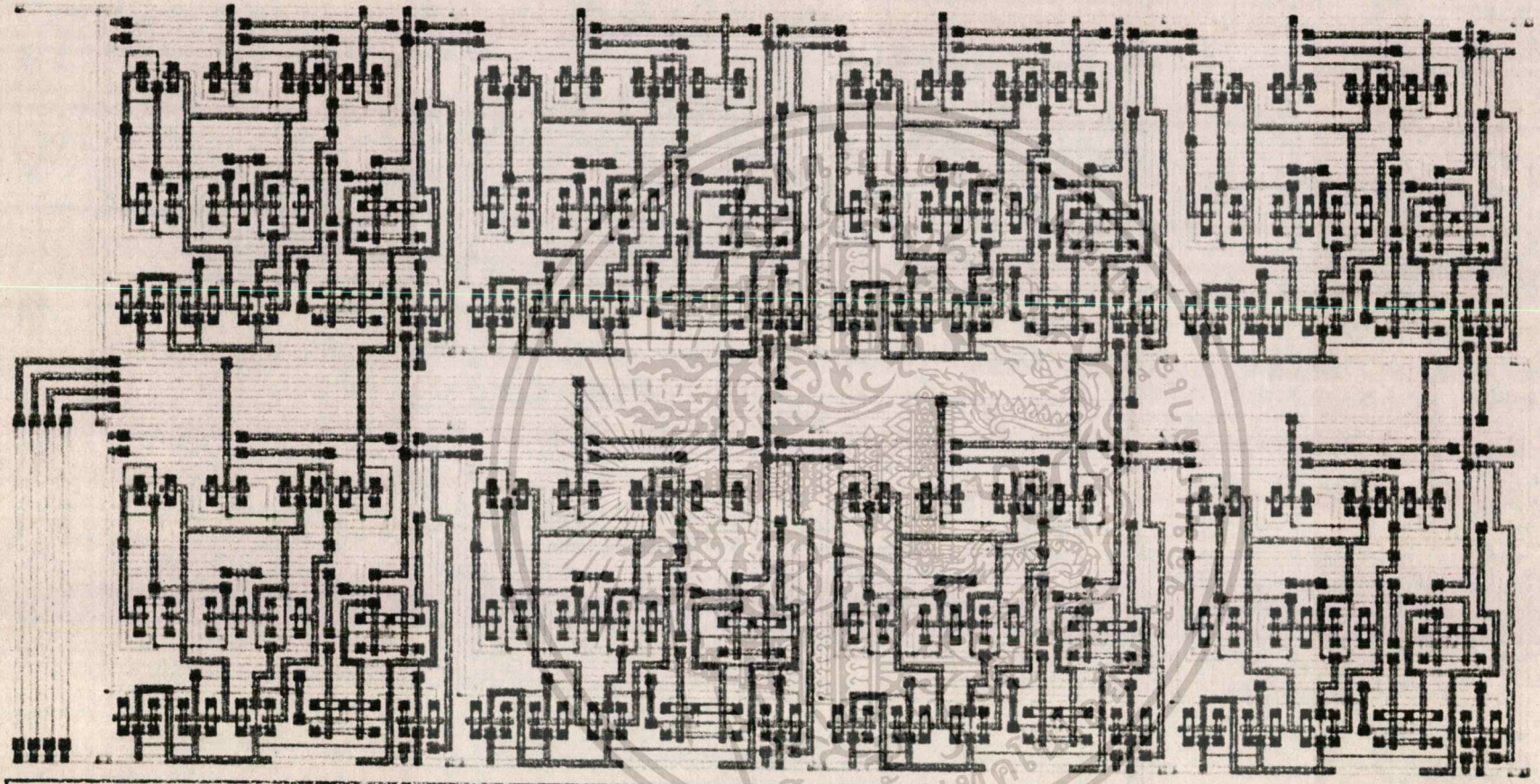
เช่นเดียวกับวงจรอื่น ๆ ที่กล่าวมาแล้ว คือ ใช้โปรแกรมสำเร็จรูป CAD II บนเครื่อง SUN และเทคโนโลยีซีมอส เนื่องจากการสร้างวงจรเก็บข้อมูลทีเดียวเลยค่อนข้างจะยุ่งยาก และเสียเวลา เนื่องจากเป็นวงจรที่ค่อนข้างใหญ่ (ชุดหนึ่งมีฟลิป-ฟลอป 4 ตัว) ดังนั้นจึงหันมาสร้าง ดี-ฟลิป-ฟลอป เพียงตัวเดียวก่อน แล้วค่อยมาต่อรวมเป็นวงจรใหญ่ในภายหลังและ

ขั้นตอนการสร้าง

ในที่นี้ เราจะใช้ ดี-ฟลิป-ฟลอป ตัวเดียวกับที่ใช้ในวงจรนับ แล้วนำมาต่อกันแถวละ 4 ตัว 2 แถว จะได้ดัง รูปที่ 6.2

ผลการทดสอบวงจรที่สร้างขึ้นโดยคำสั่ง simplot จะได้ไดอะแกรมเวลา (timing diagram) ที่แสดงไว้ในรูปที่ 6.3 จากไดอะแกรมพบว่า วงจรที่ออกแบบไว้นั้นถูกต้องแล้ว โดยสามารถเทียบได้จากคุณสมบัติของตารางความจริงของ ดี-ฟลิป-ฟลอป

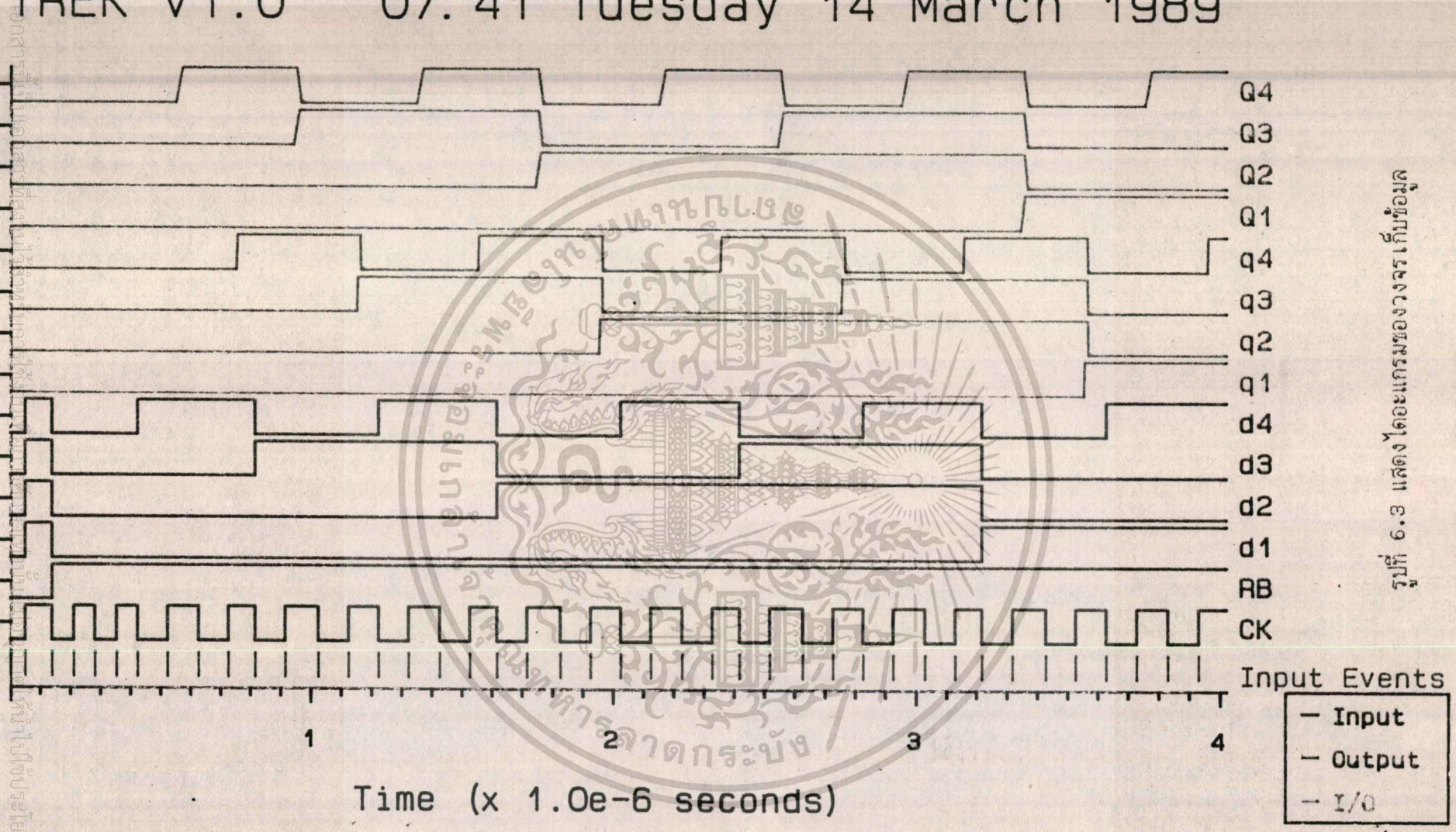
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



STORAGEREGISTER							08: 12 Tuesday 14 March 1989	
Window (microns) : [-5.00, -3.75] - [1737.50, 863.75]								
Plot size (mm) : 224 by 113 Scale : 7.8252 micron/mm								
Plot level : 1-3	☒ CC	☐ CM	☐ CND	☐ CP	☐ CPD	☐ CPW		
User : projcad								

รูปที่ 6.2 แสดงการวางตำแหน่งของ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 6.3 แสดงไดอะแกรมของวงจรที่ออกแบบ

บทที่ 7

การออกแบบวงจรเข้ารหัสและวงจรถอดรหัส

ถึงแม้ว่าระบบคอมพิวเตอร์และวงจรอิเลคทรอนิคส์จะทำงานในลักษณะ 2 สภาวะ แทนด้วยสัญญลักษณ์ "1" และ "0" ซึ่งเราเรียกว่า เลขฐานสอง แต่บ่อยครั้งทีเดียวที่วงจรจำเป็นต้องมีการเปลี่ยนระบบเลขฐานจากฐานหนึ่งไปเป็นอีกระบบเลขฐานอื่น หรือแปลงอยู่ในรูปลักษณะตัวตัวอักษรต่าง ๆ สำหรับแสดงค่าหรือติดต่อระหว่างคอมพิวเตอร์กับโลกภายนอก ทำให้จำเป็นต้องมีวงจรเชื่อมต่อ (interface) ที่เหมาะสมสำหรับระบบทั้งสองที่ผู้ออกแบบต้องการจะต่อเชื่อมกัน

วงจรเข้ารหัสและวงจรถอดรหัสก็เป็นสองในหลาย ๆ ตัวอย่างที่ทำหน้าที่เป็นวงจรเชื่อมต่อนี้ ในที่นี้เพื่อให้เห็นว่าความสามารถของโปรแกรม CIRCAD II คณะผู้ทำวิทยานิพนธ์ฉบับนี้จึงได้เสนอแนวทางและวิธีการออกแบบวงจรทั้งสอง พร้อมข้อคิดเล็ก ๆน้อย ๆ แต่พอสังเขปเนื่องจากเนื้อหาสาระจริง ๆ แล้วมีอย่างมากมาย จนไม่สามารถที่จะนำมาเสนอในวิทยานิพนธ์ได้

Fidel เป็นโปรแกรมสำเร็จตัวหนึ่งในเครื่อง SUN . เช่นเดียวกับโปรแกรมสำเร็จรูป CIRCAD II ใช้รัน (run) บนเครื่อง SUN ของ UNSW (University of New South Wales) Australia สามารถนำมาเอื้ออำนวยความสะดวกในการออกแบบวงจรได้ เพียงแต่ป้อนอินพุท และเอาท์พุทที่ต้องการพร้อมพอร์ทอินพุทเอาท์พุทว่าต้องการให้ออกทางด้านไหนของวงจร จำนวนกระบวนการที่จะต้องกระทำให้กับมัน มันก็จะจัดการสร้างวงจรให้ได้คุณสมบัติตามที่เราต้องการออกมา

หมายเหตุ: วงจรที่ Fidel สามารถสร้างได้นั้นจะต้องเป็นวงจรที่ไม่มีลักษณะป้อนกลับ (feedback) คือเข้าทางเดียวออกทางเดียว เช่นวงจรเข้ารหัสและถอดรหัสที่กำลังจะกล่าวถึงในไม่ช้า ส่วนวงจรที่มีการป้อนกลับนั้น เนื่องจากมีรายละเอียดมากเกินความสามารถของ Fidel จึงไม่อาจสร้างได้

อนึ่ง การออกแบบวงจรในเครื่อง SUN สามารถกระทำได้ 2 วิธี คือ

1. สร้างจาก ingred โดยตรงเลย (รายละเอียดขอให้ดูในภาคผนวก ก และ ข)
2. สร้างจาก fidel (รายละเอียดขอให้ดูในภาคผนวก ค)

ผลที่ได้จากทั้งสองวิธีจะเหมือนกันทุกประการ แต่ในกรณีสร้างด้วย fidel นั้นจะมีการรวมแต่ละลีฟเซลเป็นโมดูลใหญ่เรียบร้อยแล้ว ในขณะที่การสร้างโดย ingred จะต้องกระทำเองทั้งหมด

ข้อดีของการใช้ fidel

1. สะดวก รวดเร็ว ไม่เสียเวลาในการใช้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2. fidel ออกแบบให้ทุกอย่างจนได้ไฟล์ที่สามารถนำไปใช้งานได้
3. สามารถจัดอินพุทและเอาท์พุทของส่วนใดของวงจรก็ได้

ข้อเสียของการใช้ fidel

1. ไม่สามารถสร้างวงจรที่มีการย้อนกลับได้
2. ผู้ออกแบบไม่สามารถจัดวางอุปกรณ์ได้ตามต้องการ เนื่องจากไม่ทราบรายละเอียดในการสร้าง
3. แก้ไขในลีฟเซลได้ลำบากมาก เนื่องจากไม่ทราบรายละเอียดในการสร้าง เช่นทรานซิสเตอร์ตัวนี้ทำหน้าที่อะไร เป็นต้น

ข้อดีของการใช้ ingred

1. สามารถจัดวางอุปกรณ์เองได้ ทำให้วงจรจะดีหรือไม่ดีก็ขึ้นอยู่กับผู้ออกแบบเอง
2. การต่อเชื่อมระหว่างลีฟเซลก็สามารถทำได้ตามความต้องการ เช่นต้องการอินพุทเอาท์พุทส่วนใด
3. สามารถกระทำได้ทั้งวงจรที่มีการป้อนกลับและไม่มีการป้อนกลับ

ข้อเสียของการใช้ ingred

1. การออกแบบจะยุ่งยาก ยิ่งถ้าวงจรที่ต้องการออกแบบมีขนาดใหญ่
2. รายละเอียด หรือ กฎของการออกแบบมีค่อนข้างมาก และต้องการความละเอียดอ่อนพอสมควรทำให้การออกแบบเกิดความผิดพลาดได้ง่าย

การออกแบบวงจรเข้ารหัส (Encoder)

วงจรเข้ารหัสในที่นี้ จะทำหน้าที่รับข้อมูลจากคีย์บอร์ดที่ผ่านสวิทช์เริ่มการทำงานมาเข้าหรือสร้างรหัสเป็นรหัสบีซีดี (BCD : Binary Code Decimal) ดังแสดงในตารางความจริงข้างล่างนี้

ตารางที่ 7.1 แสดงตารางความจริงของวงจรเข้ารหัส

คีย์ที่ถูกกดในคีย์บอร์ด	in9	in8	in7	in6	in5	in4	in3	in2	in1	in0	D	C	B	A
0	1	1	1	1	1	1	1	1	1	0	0	0	0	0

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1	1	1	1	1	1	1	1	1	0	1	0	0	0	1
2	1	1	1	1	1	1	1	0	1	1	0	0	1	0
3	1	1	1	1	1	1	0	1	1	1	0	0	1	1
4	1	1	1	1	1	0	1	1	1	1	0	1	0	0
5	1	1	1	1	0	1	1	1	1	1	0	1	0	1
6	1	1	1	0	1	1	1	1	1	1	0	1	1	0
7	1	1	0	1	1	1	1	1	1	1	0	1	1	1
8	1	0	1	1	1	1	1	1	1	1	1	0	0	0
9	0	1	1	1	1	1	1	1	1	1	1	0	0	1

หมายเหตุ : การกดคีย์บอร์ดในแต่ละครั้งจะส่งพัลซ์ลบออกมาครั้งละหนึ่งลูก

การออกแบบโดย fidel

ในการสร้างโดย fidel นั้นจะต้องกระทำบนอิดิเตอร์ (Editor) vi บนเครื่อง SUN ขั้นตอนต่าง ๆที่จะกล่าวถึงต่อไปนี้จะเป็นขั้นตอนในการโปรแกรม vi ให้ช่วยสร้างวงจรเข้ารหัสให้กับเรา

1. สั่งด้วยคำสั่ง vi สักครู่จอจะปรากฏเครื่องหมาย prompt ของ vi คือ จุด (.)
2. ป้อนจำนวนขาอินพุทที่ต้องการ ในที่นี้มีอินพุททั้งหมด 10 ตัวเรียงจาก 0-9 ดังนั้นจึงต้องเขียนบอกให้ vi รับทราบโดย

```
.i  10          ; อินพุท 10 ขา (in9,in8,.....,in0)
```

3. ป้อนจำนวนขาเอาท์พุทก็เช่นเดียวกับข้อ 2

```
.o  4           ; เอาท์พุท 4 ขา (D,C,B,A)
```

4. ป้อนจำนวนกระบวนการที่ต้องการให้ทำ

```
.p  10
```

5. ต้องการขาเอาท์พุทเข้าด้านใด

```
.bottom alloutputs      ;ขาเอาท์พุททุกขาให้ดึงออกด้านล่าง
```

6. ต้องการขาอินพุทเข้าด้านใด

```
.top allinputs
```

7. ป้อนสัญญานนาฬิกาให้กับระบบ

```
.clock
```

8. อาศัยข้อมูลจากตารางความจริงสร้างเงื่อนไขการทำงานให้กับวงจร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
0 1 1 1 1 1 1 1 1 1        0 0 0 0    ;  กดเลข 0
1 0 1 1 1 1 1 1 1 1        0 0 0 1    ;  กดเลข 1
1 1 0 1 1 1 1 1 1 1        0 0 1 0    ;  กดเลข 2
1 1 1 0 1 1 1 1 1 1        0 0 1 1    ;  กดเลข 3
1 1 1 1 0 1 1 1 1 1        0 1 0 0    ;  กดเลข 4
1 1 1 1 1 0 1 1 1 1        0 1 0 1    ;  กดเลข 5
1 1 1 1 1 1 0 1 1 1        0 1 1 0    ;  กดเลข 6
1 1 1 1 1 1 1 0 1 1        0 1 1 1    ;  กดเลข 7
1 1 1 1 1 1 1 1 0 1        1 0 0 0    ;  กดเลข 8
1 1 1 1 1 1 1 1 1 0        1 0 0 1    ;  กดเลข 9
```

จะเห็นว่า นี่คือจำนวนกระบวนการทั้งหมด ดังนั้นจำนวนกระบวนการจึง = 10

9. บอกจบการป้อนข้อมูลด้วยคำสั่ง e

```
.e
```

10. ออกจาก vi โดยคำสั่ง

```
<shift> q        ; shift  q
:wq              ; เครื่องจะขึ้น : ให้พิมพ์ wq ก็จะออกจาก vi
```

11. jigsaw -t cmos Encoder

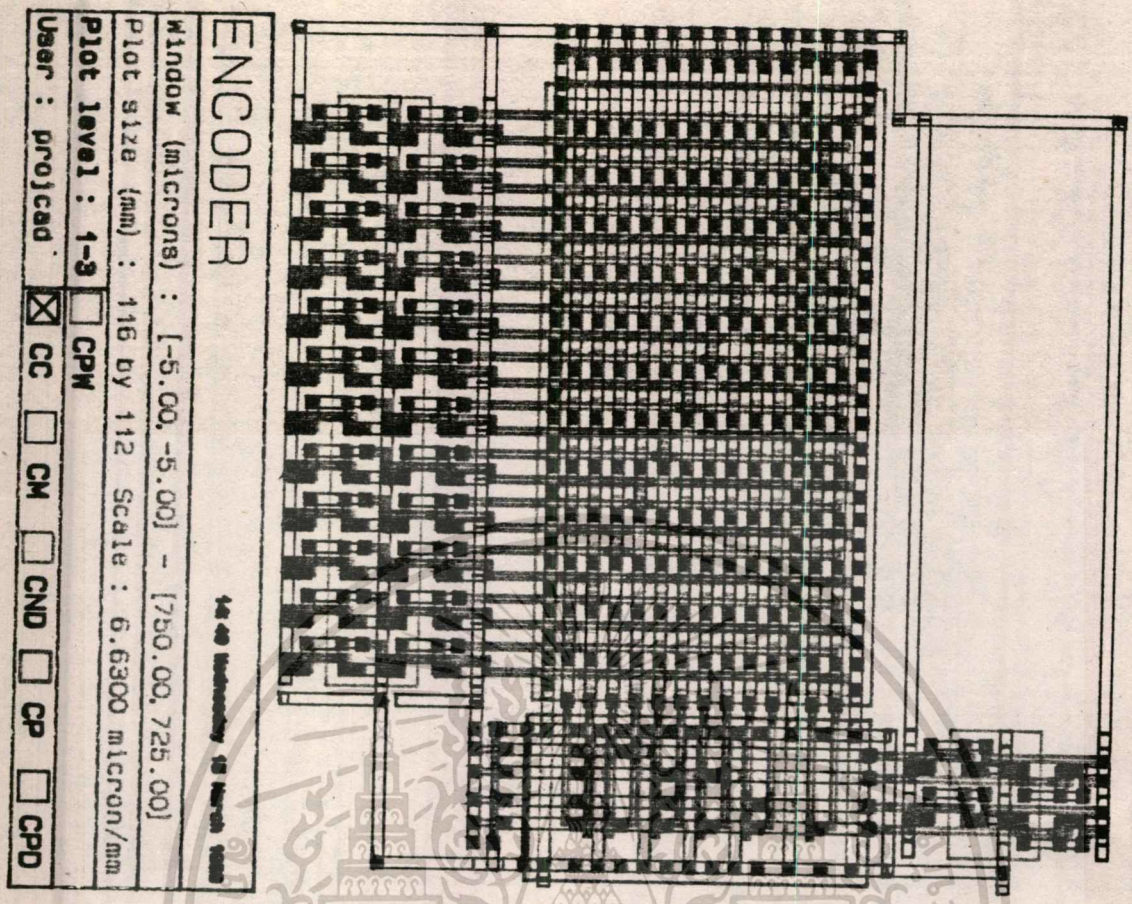
12. galah -t awa_cmos Encoder.cif

13. cut > Encoder.tin

14. bake Encoder.tout

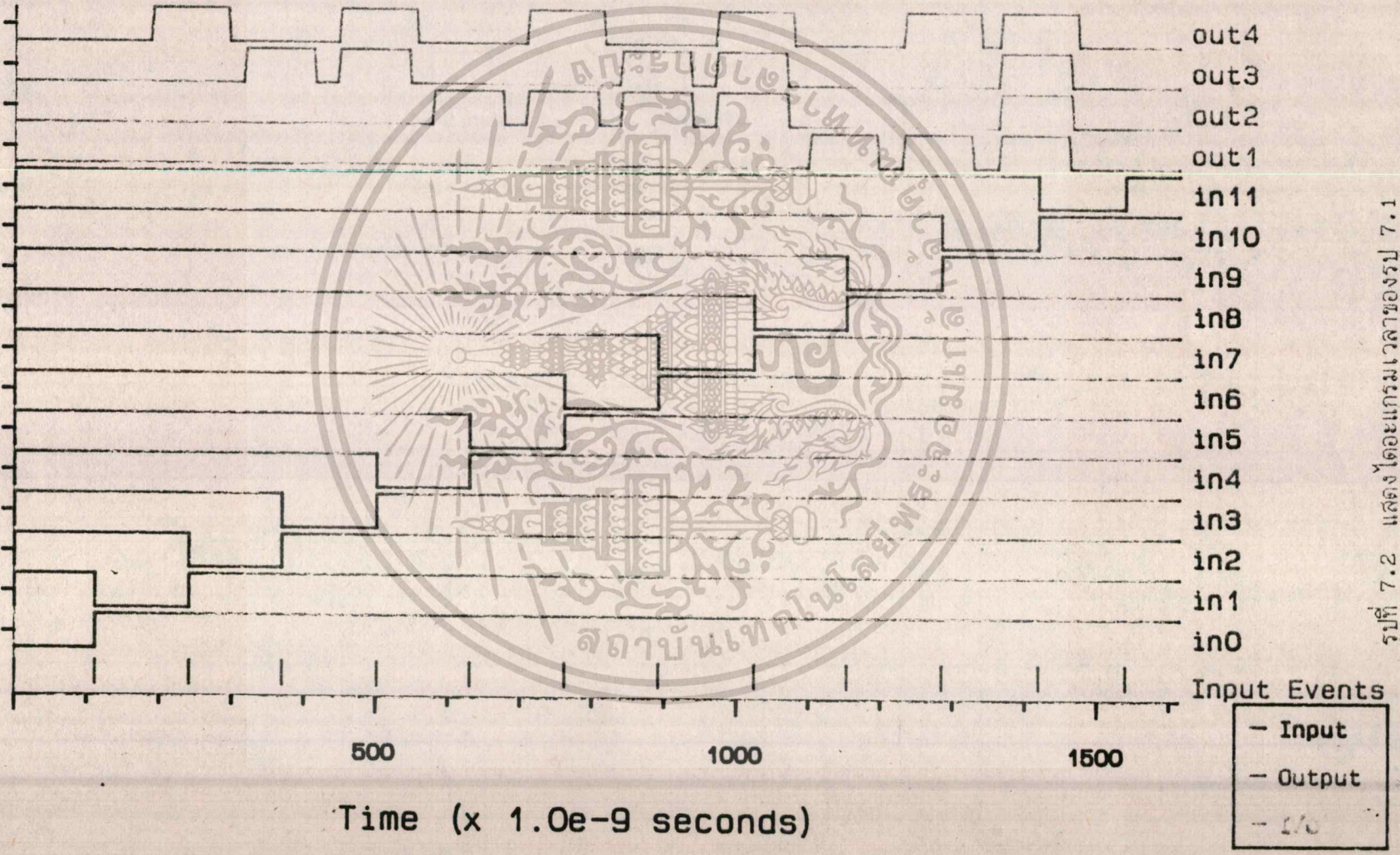
15. Simplot Encoder.tout

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 7.1 แสดงวงจรเข้ารหัสที่สร้างจาก fidel

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 7.2 แสดงผลลัพธ์ของแบบจำลองในรูป 7.1

ไม่อาจอนุญาตให้ทำซ้ำ ดัดแปลง ดัดแปลงเพื่อการค้า ไม่ว่ากรณีใดๆทั้งสิ้น

จากการทดสอบผลการออกแบบพบว่าวงจรทำงานถูกต้องตามตารางความจริงทุกประการ

การออกแบบวงจรถอดรหัส (Decoder)

วงจรถอดรหัสเป็นวงจรที่ทำหน้าที่กลับกับวงจรสร้างหรือเข้ารหัส เพียงแต่ในที่นี้ไม่ได้ต้องการให้ถอดรหัสจากรหัส บีซีดี เป็นเลขฐานสิบเท่านั้น สิ่งที่ต้องการก็คือ ต้องการให้วงจรถอดรหัสจัดการถอดรหัส บีซีดี เป็นรหัสของวงจร 7 ส่วนดังแสดงในตาราง 7.2 ข้างล่างนี้

ตาราง 7.2 ตารางความจริงของวงจรถอดรหัส

รหัสบีซีดี	เอาท์พุท	แทนเลขฐานสิบ
D C B A	a b c d e f g	
0 0 0 0	H H H H H H L	0
0 0 0 1	L H H L L L L	1
0 0 1 0	H H L H H L H	2
0 0 1 1	H H H H L L H	3
0 1 0 0	L H H L L H H	4
0 1 0 1	H L H H L H H	5
0 1 1 0	L L H H H H H	6
0 1 1 1	H H H L L L L	7
1 0 0 0	H H H H H H H	8
1 0 0 1	H H H L L H H	9

ด้วยวิธีการสร้างเดียวกับวงจรเข้ารหัส และจากตารางความจริงที่ 7.2 จะได้โปรแกรมดังนี้

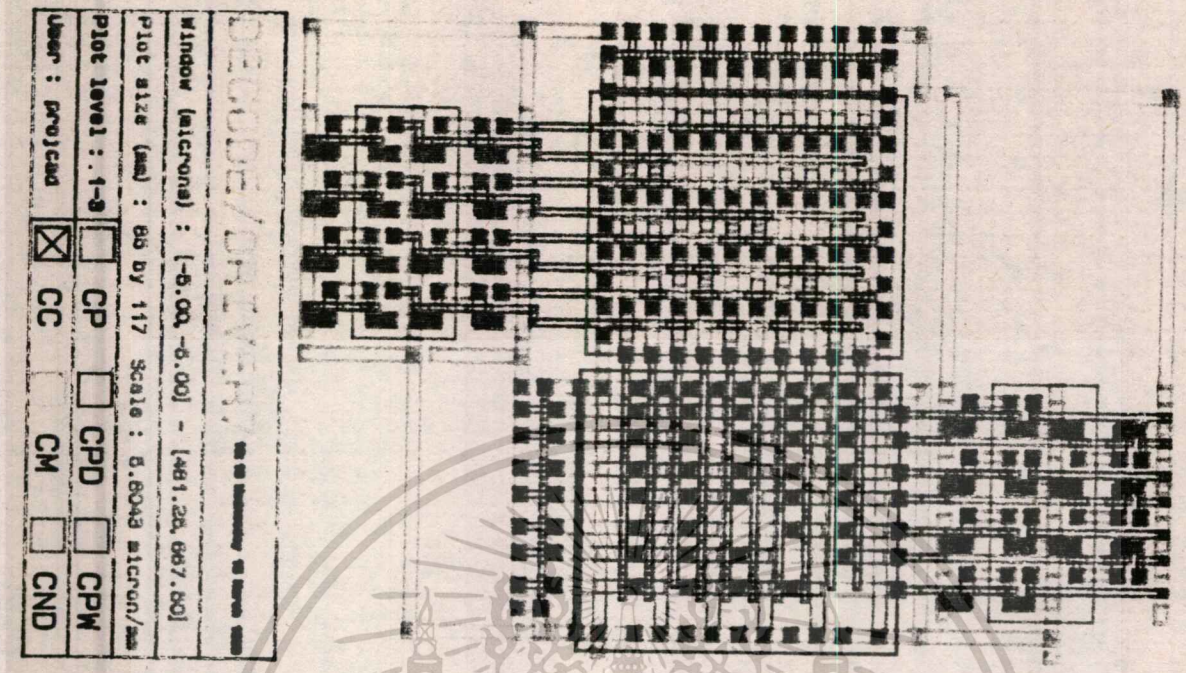
```
. i 4
. o 7
. p 10
. bottom alloutputs
. top allinputs
. clock
0000 1111111
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
0001 0110000
0010 1101101
0011 1111001
0100 0110011
0101 1011011
0110 0011111
0111 1110000
1000 1111111
1001 1110011
.e
<shift q>
:wq
jigsaw -t cmos decoder
galah -t awa_cmos decoder.cif
cat > decoder.tin
bake decoder.tout
simplot decoder.tout
```

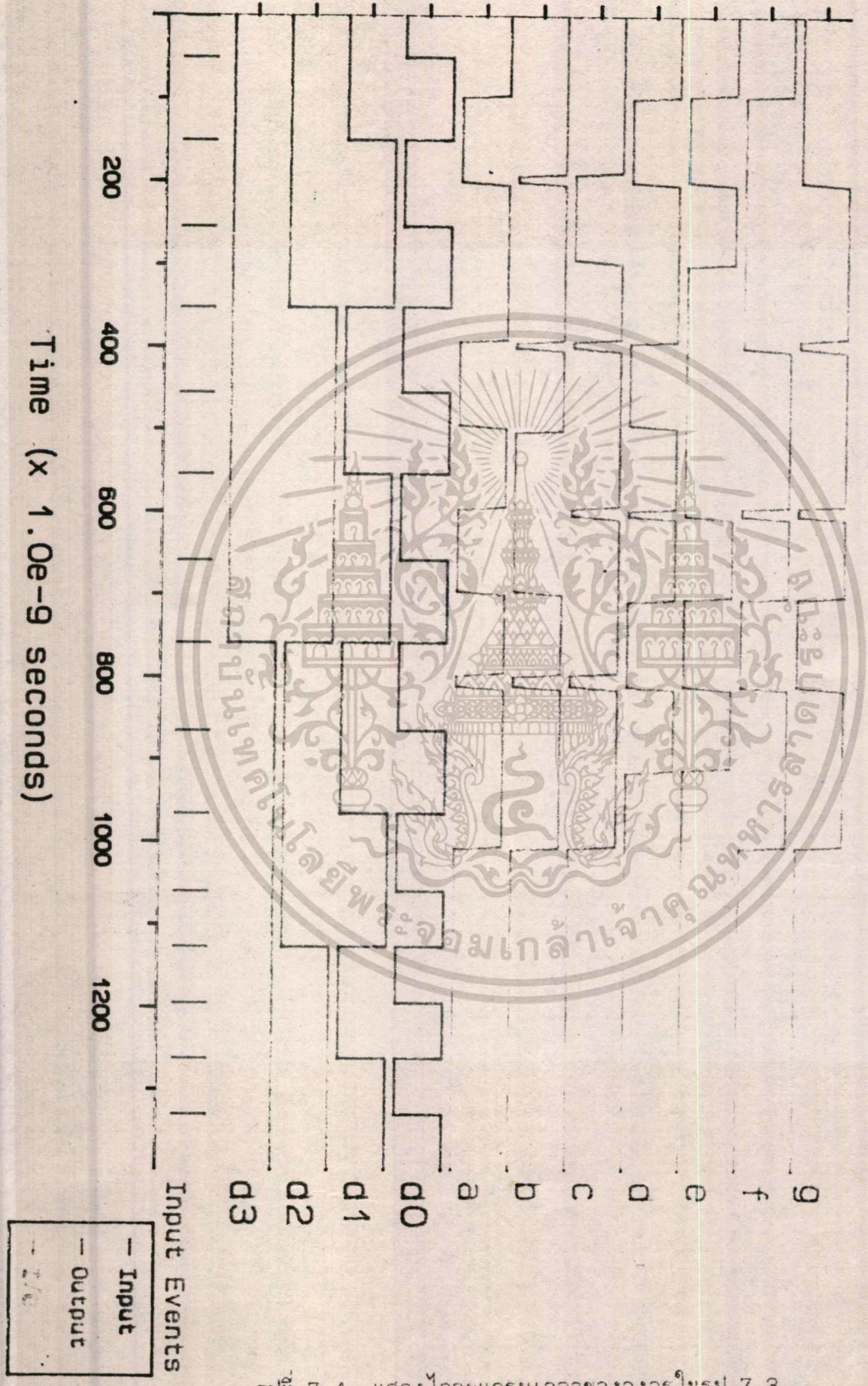
สุดท้ายจะได้วงจรและไดอะแกรมเวลาดังรูปที่ 7.3 และ 7.4 ตามลำดับ จากการลังเกตไดอะแกรมเวลา พบว่า ถูกต้องตามตารางความจริงทุกประการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 7.3 แสดงวงจรถอดรหัสที่สร้างจาก fidel

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 7.4 แสดงไดอะแกรมเวลาของวงจรในรูป 7.3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 8
สรุปผลและวิจารณ์

วงจรที่ได้ออกแบบมาทั้งหมดนี้ เมื่อนำมารวมกันแล้วจะได้ไอซีที่มีทรานซิสเตอร์ทั้งหมด 2286 ตัว สามารถนำไปเป็นวงจรสนับสนุนวงจรอื่น ๆ ได้มากมาย เช่นวงจรตั้งเวลาทั้งแบบนับขึ้น ,นับลง หรือนับขึ้นและลงเพื่อนำไปใช้ในการจัดเวลาตามจุดประสงค์ของผู้ใช้เช่นในโรงงาน ในห้องทดลอง ในการอัดรูป และในงานควบคุมต่าง ๆ ที่ต้องการความแม่นยำ

เนื่องจากภายในวงจรเอนกประสงค์นี้มีดี-ฟลิป-ฟลอป ถึง 8 ตัวจึงสามารถนำไปใช้เป็นวงจรเก็บข้อมูล เช่นวงจร digital readout memory หรือ digital voltmeter ได้ และเนื่องจากวงจรภายในยังมีส่วนของวงจรสร้างฐานเวลาอยู่ด้วย จึงสามารถนำไปใช้สร้างวงจรนาฬิกาแบบดิจิตอลได้ ทำให้ได้วงจรที่เล็กลง

กล่าวโดยสรุปก็คือ เราสามารถนำวงจรไปใช้สนับสนุนการออกแบบวงจรใดก็ได้ที่ต้องใช้ฐานเวลาหรือต้องการส่วนเก็บข้อมูล (Storage register)

วงจรประกอบด้วย 2 ส่วนที่สามารถนำมาสนับสนุนซึ่งกันและกันได้ เพื่อให้เกิดประสิทธิภาพยิ่งขึ้น คือ

1. <u>วงจรสร้างฐานเวลา</u> (Timebase circuit)
    1. สามารถเลือกฐานเวลาได้ทั้งหมด 4 ช่วงคือขนาด 1 วินาที 10 วินาที 1 นาที และ 1 ชั่วโมง
    2. ผู้ใช้งานเพียงแต่กดสวิทช์เลือกช่วงเวลาเท่านั้น ช่วงเวลาที่ต้องการก็จะถูกส่งออกจากขา Timebase ออกสู่ภายนอกไอซี เพื่อนำไปใช้งานได้

เมื่อเปิดเครื่องใหม่หรือรีเซ็ทเครื่อง วงจรสร้างฐานเวลาจะตั้งค่าให้เองที่ช่วง 1 วินาที คือ ดีฟอลท์ (Default) ไว้ที่ช่วง 1 วินาที ถ้าต้องการเลือกช่วง 10 วินาที ก็เพียงแต่กดสวิทช์เลือกช่วงเวลา 1 ครั้ง ถ้าต้องเลือกช่วงเวลา 1 นาที ก็กด 2 ครั้ง ถ้าต้องการ 1 ชั่วโมงก็กด 3 ครั้ง ถ้ากด 4 ครั้ง วงจรสร้างฐานเวลาจะวนกลับมาที่ช่วง 1 วินาทีใหม่

3. ความถูกต้องของช่วงเวลาต่าง ๆสูง เนื่องจากเรานำไฟบ้านซึ่งมีความถี่ 50 Hz มาเปลี่ยนจากคลื่นรูปซายน์ (sinewave) เป็นพัลซ์ โดยใช้ชมิททริกเกอร์ (Schmittriger) มาเป็นสัญญาณพัลซ์อินพุทให้กับวงจรสร้างฐานเวลา ดังนั้นจึงมีความเที่ยงตรงของช่วงเวลาสูง

4. สามารถรีเซ็ทเพื่อตั้งเวลาใหม่ได้ตลอดเวลา

2. <u>วงจรเข้ารหัสและเก็บข้อมูล</u> (Encoder and Storage register)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

คุณสมบัติของวงจรเข้ารหัสและเก็บข้อมูล

1. สามารถต่อโดยตรงจากคีย์บอร์ด เมื่อคีย์ใดคีย์หนึ่งถูกกด (แอคทีฟ "0") สัญญาณจะถูกส่งเข้าไปในวงจรนี้แล้วเข้ารหัสเพียงรหัสบีซีดี (BCD: Binary Code Decimal)

2. วงจรเก็บข้อมูลซึ่งมี ดี-ฟลิป-ฟลอป ทั้งหมด 8 ตัว

3. สามารถรีเซ็ทระบบได้ตลอดเวลาถ้าต้องการ

แม้ว่าโครงการนี้จะมีประโยชน์อย่างมากก็ตาม แต่วงจรที่สร้างออกไปก็ยังมีคุณภาพที่ไม่สูงนัก แม้ว่าจะสามารถนำไปใช้งานได้ก็ตาม เพราะว่าเทคโนโลยีด้านนี้ในประเทศยังต่ำอยู่นั่นเอง และเพิ่งจะมาเริ่มมีการสนับสนุนเมื่อเร็ว ๆ นี้ นอกจากนี้ เรายังขาดซอฟท์แวร์ที่จะมาสนับสนุนงานด้านนี้ด้วย ทำให้วงจรที่สร้างขึ้นมาจาก CIRCAD II นั้นไม่สามารถนำไปผลิตได้ภายในประเทศ แม้แต่ศูนย์วิจัยของ สถาบันเทคโนโลยีพระจอมเกล้า เจ้าคุณทหาร ลาดกระบัง ซึ่งถือได้ว่ามีเครื่องไม้เครื่องมือที่ทันสมัยที่สุดแห่งหนึ่งในประเทศ ต้องส่งไปเจือสารที่ต่างประเทศ เช่นที่ ประเทศออสเตรเลีย ประเทศญี่ปุ่น เป็นต้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

คณะผู้ทำวิทยานิพนธ์ฉบับนี้ ขอขอบคุณ อ.สมศักดิ์ ชุ่มช่วย เป็นอย่างสูงที่ได้ให้คำปรึกษาแล่ะช่วยแก้ไขปัญหามาโดยตลอดจนวิทยานิพนธ์นี้สำเร็จลงได้ ขอขอบคุณ อ.ผดุง ผดุงกุล ที่ได้ให้คำแนะนำขณะ อ.สมศักดิ์ ไปราชการต่างประเทศ ขอขอบคุณ คุณเดชา วิไลรัตน์ คุณธวัชชัย ประมวลเจริญกิจ ที่ได้ช่วยในการจัดทำวิทยานิพนธ์ ขอขอบคุณ คุณพัชนี วัชรศรีโรจน์ ที่ได้ช่วยในการพิมพ์วิทยานิพนธ์ ขอขอบคุณ คุณสุวิทย์ ปฐมกสิวัฒนา ที่ให้ยืมเครื่องคอมพิวเตอร์ในการจัดพิมพ์วิทยานิพนธ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หนังสืออ้างอิง

ก.หมวดหนังสืออ้างอิงภาษาอังกฤษ

1. Neil H.E. Weste
   AT & T Bell Laboratories
   Kamran Eshraghian
   University of Adelaide
   ' PRINCIPLE OF CMOS VLSI DESIGN '
   A System Perspective
2. BASIC VLSI DESIGN
3. VLSI and SYSTEMS RESEARCH GROUP
   University of New South Wales
   ' GUITO TO CIRCAD II '
4. SWITCHING THEORY
5. COMPUTER LOGIC DESIGN
6. COUNTERS and COUNTER DESIGNS

ข.หมวดหนังสืออ้างอิงภาษาไทย

1. ระบบดำเนินการยูนิกซ์ (UNIX Operating System)
   ดร. ดวงแก้ว สวามิภักดิ์
2. ทฤษฎีและการใช้งานวงจรดิจิตอล
   รศ. ประทีป บัญญัตินพรัตน์
3. หลักการและการใช้งาน TTL logic
   ผศ. เฉลิมผล น้ำค้าง

ค.หมวดคู่มืออ้างอิงภาษาอังกฤษ

1. ' HIGH-SPEED CMOS LOGIC DATA '
   series B
   MOTOROLO INC., 1986
2. ' Motorola 2 - Micron Standard Cell Data Book '
   Motorola Semiconductor , INC.
   Applications Specific Integrated Circuits Division

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Prepared by:

CMOS ASIC

Applications Engineering

ง.หมวดคู่มือและเอกสารอ้างอิงภาษาไทย

1. เอกสาร 'การฝึกอบรมเชิงปฏิบัติการ เรื่อง VLSI DESIGN TECHNOLOGY '
   22 - 24 มิถุนายน 2531
   โดย รศ.ดร. สมเกียรติ ศุภเดช
   รศ. มนัส สังวรศิลป์
   ดร. บุญวัฒน์ อัตชู
   อ. วิสุทธิ์ ฐิติรุ่งเรือง
   อ. สมศักดิ์ ชุ่มช่วย
2. คู่มือ ไอซี CMOS 4000 SERIES
   บริษัท ซีเอ็ดยูเคชั่น จำกัด
3. คู่มือ/เทียบเบอร์ ไอซี TTL
   บริษัท ซีเอ็ดยูเคชั่น จำกัด
4. วารสาร อิเล็คทรอนิคส์ เวิลส์ เล่ม 88
   บริษัท ซีเอ็ดยูเคชั่น จำกัด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ก
การใช้ CAD.11 ในการสร้างวงจรรวม

CAD.11 คือซอฟต์แวร์ที่ใช้สำหรับออกแบบสร้างวงจรรวม โดยมีชุดของคำสั่งสำหรับใช้ในการออกแบบวงจร ผู้ออกแบบจะต้องเริ่มจากคำสั่ง 'INGRED' คำสั่ง INGRED นี้ก็คือ กราฟฟิคเอดิเตอร์แบบอินเตอร์แอคทีฟ (interactive graphical editor) ใช้สำหรับเป็นแบบแผน (lay out) วงจรในลักษณะที่เป็นสัญญลักษณ์ (symbolic integrated circuit) 'INGRED' ได้รับการออกแบบมาเพื่ออำนวยความสะดวกให้แก่ผู้ออกแบบ ทั้งการเริ่มต้นสร้าง (initial construction of a design) และการแก้ไขเปลี่ยนแปลงวงจรที่ได้สร้างไว้แล้ว (modification of a partially completed design) แต่ก่อนที่จะอธิบายถึงขั้นตอนในการสร้าง จะขอกล่าวถึงแนวความคิดเบื้องต้น (concept) ที่สำคัญ ๆ ดังต่อไปนี้

<u>การออกแบบโดยสัญญลักษณ์</u> (Symbolic Design)

Symbolic design system เป็นระบบในการออกแบบที่ใช้สัญญลักษณ์แทนชิ้นส่วนต่างๆ ของวงจร (Symbolic representations of circuit elements) เช่น ทรานซิสเตอร์ทั้งชนิดเอ็นและชนิดพีในการออกแบบ

'INGRED' ก็เป็นเอดิเตอร์ตัวหนึ่งที่ใช้สัญญลักษณ์ในการออกแบบ (Symbolic layout editor) มันจะทำงานร่วมกับ 'JIGSAW' ซึ่งเป็นระบบที่ใช้ช่วยจัดลัดส่วน (composition system) มันจะทำการเปลี่ยนรูปแบบวงจรโดยจะนำวงจรสัญญลักษณ์ (symbolic circuit)ที่ถูกสร้างขึ้นโดย INGRED มาเปลี่ยนให้เป็นแบบแผนทางกายภาพ (Physical mask layout)

<u>การออกแบบวงจรตามลำดับชั้น</u> (Hierarchical Design)

การออกแบบโครงสร้างวงจร (Structured circuit design) เป็นการออกแบบวงจรโดยแบ่งวงจรออกเป็นส่วน ๆ แต่ละส่วนเรียกว่าโมดูล (module) โดยแต่ละโมดูลจะมีการทำงานซึ่งง่ายต่อการทำความเข้าใจ เช่น พื้นฐานของคอมพิวเตอร์อาจจะแบ่งได้เป็น 3 โมดูล คือ หน่วยความจำ (memory) หน่วยคณิตศาสตร์ (ALU) และหน่วยควบคุม (peripheral controller) hierarchical design ก็คือการออกแบบโดยแบ่งเป็นลำดับชั้นโดยโมดูลที่ระดับหนึ่งจะประกอบจากโมดูลในระดับที่ต่ำกว่าหลาย ๆ ตัวต่อเข้าด้วยกัน เช่นถ้าเป็นโมดูลของหน่วยคณิตศาตร์ก็อาจแบ่งเป็นโมดูลย่อย ๆ ต่อกัน 3 โมดูลคือ รีจิสเตอร์ (registers) หน่วยบวก (adders) และหน่วยควบคุมทางตรรก (control logic) INGRED เองก็เป็นเอดิเตอร์แบบลำดับชั้นตัวหนึ่ง (hierarchical editor) ซึ่งเหมาะสำหรับการออกแบบแบบตามลำดับชั้น และกระบวนการที่แบ่งวงจรรวมออกเป็นโครงสร้างของโมดูลคือการวางฟลอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แพลน (floorplanning)

การออกแบบวงจร

เริ่มต้นโดยผู้ออกแบบต้อง log on บน colour graphic terminal ซึ่งต้องมีเม้าส์ (mouse) ด้วย เม้าส์เป็นอุปกรณ์ที่ผู้ออกแบบใช้สำหรับเลือกคำสั่งต่าง ๆ ที่ปรากฏบนจอภาพ โดยการชี้ (point) ไปยังคำสั่งที่ต้องการแล้วก็กดปุ่มที่อยู่บนตัวเม้าส์ เมื่อ log on แล้วจากนั้นก็พิมพ์คำสั่งซึ่งมีรูปแบบของคำสั่งคือ

```
ingred -p cmos filename
```

โดย ingred -p cmos เป็นรูปแบบ (format) ของคำสั่งสำหรับกระบวนการซีมอส ชื่อไฟล์ (filename) เป็นชื่อของเซล (cell) ที่ผู้ออกแบบต้องการสร้างหรือแก้ไข หลังจากป้อนคำสั่งแล้ว แบบแผน (Layout) บนจอภาพก็จะมีการเปลี่ยนแปลงเกิดขึ้นคือ จอภาพจะถูกแบ่งออกเป็นพื้นที่ย่อย ๆ หลายส่วน พื้นที่แต่ละส่วนก็จะมีฟังก์ชันที่แตกต่างกันไปดังนี้คือ จะมีชุดของคำสั่ง (command menu) ปรากฏขึ้นที่ทางด้านซ้ายสุดและด้านล่างของจอภาพโดยจะเรียงกันจากบนลงล่างทางด้านซ้าย และจากซ้ายไปขวาทางด้านล่าง และเมื่อคำสั่งเหล่านี้ถูกชี้โดยเม้าส์ก็จะมีสีสว่างขึ้นที่คำสั่งนั้นและการทำงาน (operation) ของคำสั่งนั้นก็จะเกิดขึ้น

คำสั่งต่าง ๆ ใน command menu สามารถแบ่งได้ 2 ประเภทคือ

1) action command

2) flag command

คำสั่งเหล่านี้ อาจจะถูกเลือกโดยคำสั่งที่ถูกเลือกไปแล้วก่อนหน้านั้น โดยในกรณีของ action command คำสั่งที่ถูกเลือกไปแล้วก่อนหน้านั้นจะสิ้นสุดลง และคำสั่งที่ถูกเลือกใหม่ก็จะถูกปฏิบัติ แต่ในกรณีของ flag command ซึ่งเป็นคำสั่งแบบท็อกเกิล (toggle (on และ off สลับกันตามการกดที่เม้าส์)) คำสั่งที่ถูกเลือกทีหลังจะไม่มีผลกระทบต่อการทำงานของคำสั่งที่ถูกเลือกในตอนแรก

สำหรับ command menu นั้น สามารถแบ่งออกเป็นชุดต่าง ๆ กันได้ดังนี้คือ:-

1) command menu ที่ปรากฏที่ด้านล่างใกล้ ๆ ขอบของจอภาพเรียกว่าเมนูหลัก (main menu) เมนูแบบนี้จะประกอบด้วยคำสั่งต่าง ๆ ที่ผู้ออกแบบสามารถนำมาใช้ได้ในทุกระดับ ไม่ว่าจะเป็นโมดูลหรือลีฟเซล (leafcell)

2) module menu จะปรากฏอยู่ที่ด้านซ้ายของจอภาพ ในเมนูนี้จะมีคำสั่งต่าง ๆ ที่ซึ่งใช้สำหรับการออกแบบในระดับโมดูล หรือการประกอบกันของเซลหลาย ๆ เซล (cells com--position)

3) leafcell menu เป็น command menu ซึ่งจะปรากฏบนจอภาพ ก็ต่อเมื่อใช้คำสั่ง leafcell ใน main menu หรือ push ใน module menu โดย leafcell menu นี้จะ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ใช้สำหรับการออกแบบในระดับของลีฟเซล สำหรับ module menu และ leafcell menu นี้จะมีบางคำสั่งที่เหมือนกันและจะอยู่ที่ตำแหน่งเดียวกันในเมนูด้วย

ที่มุมบนขวาของจอภาพมีคำสั่ง 'exit' อยู่ คำสั่งนี้จะอยู่แยกต่างหากจากเมนูซึ่งจะถูกใช้เมื่อต้องการออกจาก INGRED ไปสู่ระบบเท่านั้น ที่บริเวณมุมบนทางด้านซ้ายของจอภาพจะมีกรอบสี่เหลี่ยม 4 รูป แต่ละรูปมีสีแตกต่างกัน กรอบสี่เหลี่ยมแต่ละสีนี้แสดงถึงชั้นมาสค์ทางกายภาพ (phisical mask layer) ของเทคโนโลยีที่ผู้ออกแบบกำลังทำงานอยู่ สำหรับเทคโนโลยีของซีมอสนั้น กรอบสี่เหลี่ยมทั้ง 4 สีจะแทนชั้นมาสค์ต่าง ๆ คือ

1) กรอบสีฟ้าแทน metal layer
2) กรอบสีน้ำตาลแดงแทน p-diffuse layer
3) กรอบสีเขียวแทน n-diffuse layer
4) กรอบสีน้ำตาลเข้มแทน polysilicon layer

เมื่อไรก็ตามที่ผู้ออกแบบเรียกใช้ ingred กรอบสี่เหลี่ยมสีต่าง ๆ นี้จะต้องมีอันใดอันหนึ่งถูกล้อมกรอบด้วยเส้นสีดำ ชั้นที่ถูกล้อมกรอบก็คือชั้นปัจจุบันที่กำลังใช้งานอยู่ (current layer) โดยชั้นปัจจุบันนี้สามารถเปลี่ยนแปลงได้โดยการชี้ไปที่ชั้นใหม่ที่ผู้ออกแบบต้องการ ซึ่งการเปลี่ยนชนิดของชั้นจะทำที่เวลาใดก็ได้ จากที่ได้กล่าวมาแล้วถึงการแสดงผล (display) ของจอภาพนั้น จะเห็นว่า พื้นที่ส่วนใหญ่บริเวณตรงกลางของจอภาพซึ่งมีเนื้อที่มากที่สุดนั้น จะเอาไว้สำหรับการออกแบบวงจรรวม

ในกรณีที่ผู้ออกแบบเรียก ingred เพื่อกระทำการใด ๆ กับไฟล์ (ไฟล์นี้จะเป็นโมดูลหรือลีฟเซลก็ได้) โดยจะเป็นไฟล์ที่สร้างขึ้นมาใหม่ หรือที่สร้างไว้แล้วก็ได้ ผู้ออกแบบสามารถที่จะเปลี่ยนไฟล์จากไฟล์ปัจจุบัน (current file) ไปเป็นไฟล์อื่นได้โดยไม่ต้อง exit ออกไปแล้วเรียก ingred -p cmos filename โดย filename เป็นชื่อไฟล์ใหม่แต่สามารถใช้คำสั่ง edit เมื่อใช้คำสั่งนี้แล้ว เครื่องก็จะถามผู้ออกแบบให้ผู้ออกแบบป้อนชื่อไฟล์ที่ผู้ออกแบบต้องการจะกระทำ ถ้าเป็นไฟล์ที่สร้างไว้แล้วไฟล์นั้นก็จะถูกนำออกแสดงบนจอภาพ และจะมีชื่อของไฟล์นั้นปรากฏที่มุมล่างซ้าย ถ้าเป็นไฟล์ใหม่ก็จะมีคำว่า New Design ปรากฏขึ้น โดยที่ชื่อของไฟล์จะปรากฏขึ้นที่มุมล่างซ้ายของพื้นที่ออกแบบ และจะมีกรอบสี่เหลี่ยมเล็ก ๆ ที่เรียกว่า context display ปรากฏขึ้นที่มุมล่างขวาของจอภาพ ซึ่งเป็นส่วนที่แสดงให้ผู้ออกแบบรู้ว่า ส่วนไหนของเซลที่กำลังถูกแสดงอยู่บนจอ context display จะประกอบด้วยสี่เหลี่ยม 2 รูปซ้อนกันอยู่ โดยรูปหนึ่งสามารถเปลี่ยนแปลงขนาดได้ ใช้แสดงขอบเขตของวงจรที่กำลังแสดงอยู่บนจอ ขอบเขตของวงจรจะซ้อนอยู่ในสี่เหลี่ยมอีกรูปหนึ่งซึ่งมีขนาดคงที่ โดยสี่เหลี่ยมรูปนี้จะแสดงขอบเขตทั้งหมดของเซลนั้น มาถึงขณะนี้การออกแบบก็จะเริ่มขึ้น แต่สิ่งสำคัญที่ผู้ออกแบบจะต้องจำไว้คือ เมื่อทำการ edit ไฟล์ใด ๆ ที่ปรากฏบนจอภาพแล้ว การเปลี่ยน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แปลงที่เกิดขึ้นจะไม่มีผลต่อไฟล์ที่เก็บไว้จนกว่าจะถูกเซฟ (save) ลงไปโดยใช้คำสั่ง save

ต่อไปจะกล่าวถึงวิธีการในการออกแบบ ซึ่งมีวิธีในการออกแบบ 3 วิธีคือ

1) <u>การออกแบบจากบนลงล่าง</u> (Top-down Method)

วิธีนี้จะแบ่งเซลหนึ่งออกเป็นเซลย่อย ๆ หลายเซล โดยที่เซลที่อยู่สูงที่สุดในการแบ่งระดับจะเป็นโมดูล การออกแบบ module นี้จะต้องใช้คำสั่งใน module menu เท่านั้น เรียก module menu ได้ โดยใช้คำสั่ง module ใน main menu จากนี้ก็เริ่มออกแบบโมดูลได้ โดยใช้คำสั่ง create ซึ่งใช้สำหรับสร้างเซลใหม่ ผู้ออกแบบจะต้องป้อนชื่อเซลที่จะสร้างเข้าไป หลังจากนั้นผู้ออกแบบก็ต้องกำหนดขนาดของเซล โดยกำหนดเป็นจุด 2 จุดที่แทยงมุมกันในรูปสี่เหลี่ยม และกำหนดตำแหน่งของเซล ในการใช้คำสั่ง create แต่ละครั้ง จะสามารถสร้างได้เพียง 1 เซล ดังนั้นถ้าต้องการสร้างเซลที่เหมือนเดิมอีกก็ต้อง copy โดยใช้คำสั่ง copy หรือโดยการเปลี่ยน array parameters ทำให้เกิด array หรือ matrix ของเซลใหม่ แต่ถ้าต้องการสร้างเซลใหม่อีก ก็ต้อง create cell ขึ้นมาใหม่

หลังจากที่ได้ create cell ต่าง ๆ ในโมดูลเรียบร้อยแล้ว ก็จะทำการออกแบบวงจรในเซลต่าง ๆ เหล่านี้ในโมดูล โดยการใช้คำสั่ง push แล้วชี้ไปยังเซลที่ต้องการจะ edit จากนั้น INGRED ก็จะเขียนเซลนั้นขึ้นมาใหม่ ขณะนี้ผู้ออกแบบจะลงจากระดับโมดูลไปอยู่ที่ระดับลีฟเซล ดังนั้นชุดคำสั่งก็จะเปลี่ยนจาก module menu ไปเป็น leafcell menu จากนั้นก็สามารถทำการออกแบบวงจรได้ ซึ่งการออกแบบในระดับลีฟเซลจะได้กล่าวถึงต่อไป

หลังจากที่ได้ออกแบบลีฟเซลแล้ว ผู้ออกแบบสามารถกลับไปยังระดับเดิมก่อนที่จะลงมาในลีฟเซล เพื่อที่จะไป edit ที่ระดับอื่นต่อไปโดยใช้คำสั่ง pop จากนั้นผู้ออกแบบก็จะกลับมาอยู่ที่ระดับเดิมและก็จะสามารถ push ไป edit เซลอื่นได้ต่อไป

2) <u>การออกแบบจากล่างขึ้นบน</u> (Bottom-up Method)

วิธีนี้โมดูลจะถูกสร้างจากโมดูลหรือลีฟเซลที่ได้สร้างเอาไว้ก่อนแล้ว ดังนั้นการออกแบบจึงต้องเริ่มต้นจากการสร้างลีฟเซลก่อนแล้วจึงนำแต่ละลีฟเซลมาประกอบกันเป็นโมดูล แล้วจึงนำแต่ละโมดูลมาประกอบกันเป็นโมดูลใหญ่สุดในขั้นสุดท้าย หลังจากที่ได้สร้างลีฟเซลเสร็จแล้ว ขั้นตอนต่อไปก็เป็นการนำแต่ละลีฟเซลมาประกอบกัน การนำลีฟเซลที่สร้างเอาไว้แล้วออกมาสามารถกระทำได้โดยใช้คำสั่ง instance คำสั่ง instance นี้ก็เหมือนกับคำสั่ง create คือผู้ออกแบบจะต้องใส่ชื่อของลีฟเซลที่ต้องการเข้าไปแล้วกำหนดตำแหน่งที่ตั้งของลีฟเซลนั้น ทำการเชื่อมแต่ละลีฟเซลเข้าด้วยกันเป็นโมดูลต่อไป

3) <u>ใช้ทั้งวิธีที่ 1 และ 2 ผสมกัน</u>

<u>หมายเหตุ</u> - การแบ่งการออกแบบออกเป็นระดับชั้น สามารถแบ่งได้ตั้งแต่ 2 ระดับขึ้นไป โดยระดับล่างสุดจะเป็นระดับลีฟเซล และตั้งแต่เหนือระดับลีเซลขึ้นไปจนถึงระดับบนสุด จะเป็น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ระดับโมดูลทั้งสิ้น

Arrays หรือ Matrices

ในกรณีที่ผู้ออกแบบต้องการจะสร้างเซลที่เหมือนกันเรียงเป็นแถว (arrays) หรือเป็นตาราง (matrices) แทนที่จะใช้คำสั่ง create สร้างทีละเซล ผู้ออกแบบสามารถจะสร้างทีละเป็นแถวหรือเป็นตารางได้โดยการเปลี่ยน array parameter ซึ่งอยู่ที่ด้านล่างของจอภาพเพื่อกำหนดจำนวนเซลในทิศทาง x และ y ได้ เช่นถ้ากำหนด x และ y ให้มีค่าเป็น 4 เมื่อใช้คำสั่ง create ก็จะได้เซลเรียงกัน 4 แถวโดยแต่ละแถวจะมีเซลเรียงกัน 4 เซล ทำให้การสร้างเซลเป็นไปอย่างรวดเร็ว

การออกแบบในระดับลีฟเซล (Leafcell Design)

ก่อนอื่นจะกล่าวถึงคำจำกัดความของลีฟเซลก่อน ลีฟเซลก็คือโมดูลที่อยู่ที่ระดับต่ำสุดในโครงสร้างการออกแบบวงจร โดยจะมีข้อแตกต่างจากโมดูลที่ระดับสูงกว่าขึ้นไปคือ ในระดับลีฟเซลเท่านั้นที่จะสามารถมีอุปกรณ์ (device) ต่าง ๆ เช่นทรานซิสเตอร์หรือรอยต่อ (contact cut) ประกอบกันอยู่ภายใน ลีฟเซลนี้สามารถถูกสร้างขึ้นโดยการ edit ขึ้นมาใหม่หรือโดยการ create ขึ้นมาแล้วทำการ push ลงไปในลีฟเซลนั้น เมื่อผู้ออกแบบอยู่ที่ลีฟเซลแล้วก็จะมี leafcell menu ซึ่งเป็นชุดคำสั่งที่ใช้สำหรับสร้างวงจรภายในลีฟเซลปรากฏขึ้นแทน module menu ที่ด้านซ้ายของจอ และที่ด้านบนของจอก็จะมี layer และ devices ชนิดต่าง ๆ แล้วแต่ชนิดของเทคโนโลยีที่ใช้ออกแบบ สำหรับชนิดของ layer ก็ได้กล่าวไปแล้ว ส่วน devices ต่าง ๆ ก็ได้แก่ n-ch mos, p-ch mos, contact cut ชนิดต่าง ๆ และ p-well โดยที่ contact cut นั้นจะเอาไว้สำหรับเป็นตัวเชื่อมระหว่าง layer ต่างชนิดกัน

การออกแบบก็เริ่มโดยการที่ผู้ออกแบบนำเอา devices ต่าง ๆ ที่ปรากฏอยู่ด้านบนของจอมาจัดเรียงกันบนตามวงจรที่ได้ออกแบบมา โดยใช้คำสั่ง device หลังจากนั้นก็ทำการเชื่อมโยงระหว่าง devices เหล่านั้นโดยใช้คำสั่ง wire ก่อนที่จะทำการเชื่อมโยง ผู้ออกแบบจะต้องเลือกชนิดของ layer ให้ถูกต้องกับชนิดของ device เสียก่อน มิฉะนั้นจะผิดแล้ว Design rule หลังจากสร้างวงจรภายในเซลเสร็จแล้ว ขั้นต่อไปก็เป็นการสร้าง port ให้แก่ลีฟเซล port นี้จะใช้สำหรับเชื่อมต่อกับลีฟเซลอื่น ๆ วิธีการสร้าง port ก็โดยการใช้คำสั่ง port ผู้ออกแบบจะต้องเลือกชนิดของ layer ให้ถูกต้องด้วยเช่นเดียวกับคำสั่ง wire ตำแหน่งของ port จะต้องอยู่ที่ขอบของเซลเท่านั้น หลังจากสร้าง port แล้วก็เป็นการกำหนดชื่อ port การกำหนดชื่อ port นั้นถ้าเป็นเส้นเดียวกันและไม่อยู่ในขอบเดียวกันจะต้องใช้ชื่อเหมือนกัน แล้วทำการเซฟโดยการใช้คำสั่ง save เมื่อเซฟแล้วก็เป็นอันเสร็จ ลีฟเซลที่สร้างเสร็จแล้วนี้ก็จะถูกนำไปใช้ในการสร้างเป็นลีฟเซลต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Leafcells composition

หลังจากที่ได้สร้างลีฟเซลต่าง ๆ เสร็จแล้ว ก็จะทำการประกอบลีฟเซลเหล่านี้เข้าด้วยกันเป็นโมดูล เริ่มต้นโดยผู้ออกแบบจะต้องอยู่ที่ระดับโมดูลเสียก่อน อาจจะ pop กลับไปที่ระดับโมดูลในกรณีที่ได้ push ลงไปในลีฟเซลก่อนหน้านั้น หรือจะสร้างโมดูลขึ้นมาใหม่โดยใช้คำสั่ง ingred

เมื่ออยู่ที่ระดับโมดูลแล้วก็จะทำการประกอบลีฟเซลต่าง ๆ เข้าด้วยกัน ซึ่งวิธีที่จะนำเอาลีฟเซลที่สร้างไว้แล้วออกมาก็โดยการใช้คำสั่ง instance ผู้ออกแบบจะต้องระบุชื่อของลีฟเซลที่ต้องการและกำหนดตำแหน่งของลีฟเซลในโมดูลนั้น เมื่อได้กำหนดลีฟเซลต่าง ๆ เป็นที่เรียบร้อยแล้วก็จะทำการเชื่อมแต่ละลีฟเซลเข้าด้วยกัน โดยใช้คำสั่งที่มีอยู่ใน module menu เช่น abutport, abutside ทั้ง 2 คำสั่งนี้ใช้ในกรณีที่แต่ละ port ของแต่ละลีฟเซลสามารถต่อกันได้โดยตรง แต่ถ้าไม่สามารถต่อกันได้โดยตรงหรือ port อยู่กันคนละด้าน ก็ต้องใช้คำสั่ง create เพื่อสร้างเซลใหม่ขึ้นมาเพื่อเป็นตัวกลางในการเชื่อมแทน เมื่อสร้างเซลใหม่ขึ้นมาแล้ว ก็จะทำการ push ลงไปในเซลนั้นแล้วจึงทำการเชื่อม port ต่าง ๆ เข้าด้วยกันโดยใช้คำสั่งใน leafcell menu เช่นคำสั่ง wire เป็นต้น เมื่อทำการเชื่อมลีฟเซลต่าง ๆ เข้าด้วยกันเรียบร้อยแล้ว ก็ต้องสร้าง port ให้กับโมดูลโดยใช้คำสั่ง abutside จากนั้นก็ทำการเซฟ ก็เป็นอันเสร็จขั้นตอน

จากขั้นตอนทั้งหมดที่ได้กล่าวมา ก็จะได้วงจรรวมออกมาในลักษณะของ symbolic layout โดยจะเก็บใน sl.file ซึ่งจะถูกนำไปผ่านขบวนการในขั้นต่อไป

JIGSAW

หลังจากที่ได้ออกแบบวงจรโดยใช้ INGRED แล้ว ก็จะได้วงจรออกมาในรูปของ symbolic circuit layout แล้ว ขั้นตอนต่อไปก็เป็นการนำเอา symbolic circuit ที่ได้ไปผ่านทำการ JIGSAW เพื่อเปลี่ยนให้เป็น phisical mask layout ต่อไป

JIGSAW ก็คือ composition system โดยระบบจะทำการคำนวณระยะห่างระหว่าง element ต่าง ๆ ที่น้อยที่สุดแล้วสร้าง mask layout ออกมา mask layout นี้ถ้าผ่านการตรวจสอบกับ Design Rule แล้วถูกต่อง และการทำงานของวงจรรวมที่ได้ออกแบบมาถูกต่อง ก็จะถูกนำไปใช้ในกระบวนการผลิตซิฟไอซีต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ข

คำสั่งต่างๆใน INGRED

abutport	เป็นการต่อ port ระหว่าง leafcell โดย port ที่จะต่อกันได้ จะต้องมีด้านที่ติดกันและเป็น layer ชนิดเดียวกัน
cellname	เป็นการสั่งโดยการเขียน cellname ลงใน cell จะใช้คู่กับคำสั่ง redraw
connect	เป็นการเลือกลายที่เกิดจากการ abutport เพื่อที่จะทำการอื่นเช่น delete เมื่อเลือกแล้วจะปรากฏเป็นสีดำเช่นเดียวกับคำสั่งพวก select
copy	เป็นการ copy จาก select object โดยต้องกำหนดจุด relation 2 จุด
delete	เป็นการลบ select object ที่ได้จากการ select
desel	เป็นการลบ select object
delgrid	ไม่ต้องการใช้ grid
device	เป็นการ selecy device
edit	เป็นการโหลดไฟล์ใหม่ เพื่อเข้าไปทำการออกแบบหรือแก้ไข เมื่อใช้คำสั่งนี้จะมีการถามถึงชื่อไฟล์ ซึ่งจะต้องส่งผ่านคีย์บอร์ดเข้าไป
grid	เรียกใช้ grid ก็เพื่อสะดวกในการวางตำแหน่งและการ wire สาย
help	สามารถเรียกใช้โดยควบคู่ไปกับคำสั่งที่ต้องการให้ help จะมี instance ปรากฏที่ส่วนล่างของจอ
home	เป็นการรีเซ็ต การแสดงให้กลับมาเหมือนตอนเริ่มต้น
instance	เป็นการดึงเอา designed ในระดับลีฟเซลมาอยู่ในโมดูลโดยจะต้องใส่ชื่อ leafcell แล้ว kick ลงในตำแหน่งที่ต้องการ
last	การให้ window สภาวะก่อนหน้าการเปลี่ยนแปลง
leafcell	เป็นการเลือกที่ใช้ design ในระดับ leafcell
module	เป็นการเลือกที่ใช้ design ในระดับ module ซึ่งโดยปกติ newcell จะถูก set ให้มาอยู่ใน level นี้
move	เป็นการเลื่อน select object โดยกำหนด 2 จุดที่เป็น relation โดยจุดแรกคือจุดที่อยู่ใน select object จุดที่ 2 คือจุดที่ต้องการให้จุดแรกเลื่อนไปอยู่ที่ตำแหน่งนั้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

pan	เป็นการเลื่อนจอภาพไปมาโดยไม่เปลี่ยนขนาด เพียงแต่กำหนดจุด center ใหม่ ภาพก็จะมีจุดตามที่เราเลือกไว้
redraw	เป็นการส่งให้ clear screen แล้ววาดภาพเดิมนั้นขึ้นมาใหม่ เพื่อลบส่วนที่ไม่ต้องการที่ยังเหลืออยู่ออกให้หมด
resize	เป็นการกำหนดขนาดของ cell ที่เลือกไว้ใหม่เพื่อให้ได้ขนาดตามต้องการ แต่ไม่มีผลมากนักเพราะเมื่อ jigsaw เครื่องก็จะจัด spacing ใหม่
rename	เป็นการเปลี่ยนชื่อใหม่ของ port,node label
rotate	จะเป็นการหมุน select object ไปตามมุมที่กำหนดไว้
save	เป็นการบันทึกการเปลี่ยนแปลงลงไฟล์ไว้ โดยจะต้องหยุดรอจนกว่าเครื่องจะแสดง design saved
selalldev	เป็นการ selected ทุกๆ device ในตำแหน่งที่เลือกลงไป
selarea	เป็นการ selected ทุกอย่างที่อยู่ในพื้นที่ ที่กำหนดด้วยจุด 2 จุด
selcel	เป็นการ selected leafcell เพื่อทำการเปลี่ยนแปลง
selcon	เป็นการ selected connection ระหว่าง port ที่ต่อกันอยู่
selnode	เป็นการ selected node เพื่อทำการเปลี่ยนแปลง
selport	เป็นการ selected port เพื่อทำการเปลี่ยนแปลง (ระวัง HANG)
selwire	เป็นการ selected wire เพื่อทำการเปลี่ยนแปลง
shell	ไม่สามารถ run บน sun ได้
undo	เป็นการบอกยกเลิกคำสั่งก่อนหน้านี้
wait	เป็นการสั่งให้รอระหว่างการ save
zoom in	เป็นคำสั่งในการเข้าไปดูรายละเอียดในวงจร โดยกำหนดจุด full screen
zoom out	เป็นคำสั่งให้ย่อภาพในขณะ full screen ให้เหลือตามจุดที่กำหนดให้
device	ใช้เมื่อต้องการทำการใส่ device ลงในวงจร โดย device เหล่านี้ได้แก่ n-Tr,cut,p-Tr
wire	ใช้เมื่อต้องการต่อสาย โดยจะมีสีของ wire ตามที่เลือกไว้ที่ส่วนบนของจอ การ wire จะต้องกำหนดจุด 2 จุดที่จะ wire

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยการเลื่อน cursor ออกไปที่ตำแหน่งต้องการแล้วกด

port ใช้ในกรณีที่ต้องการใส่ port เครื่องจะถามว่าจะให้ port ที่จะใส่นี้ชื่ออะไร และสีของ port ก็กำหนดได้โดยวิธีเดียวกับคำสั่ง wire ตำแหน่งของ port ก็กำหนดโดยการเลื่อน cursor ไปยังตำแหน่งที่ต้องการแล้วกด

rotin ใช้ในกรณีที่ต้องการมีการหมุน device นั้น หรือ cell นั้น ๆ โดยมุมที่ rotate จะถูกกำหนดด้วย angle parameter ที่ด้านล่างของจอ

help เมื่อเลื่อน cursor ไปเลือก help เอาไว้ เมื่อเราไปเลือกคำสั่งใดๆก็ตามจะมีคำอธิบายขึ้นที่ด้านล่างของ menu ของจอ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ค

การออกแบบสเตทแมทชีนโดยใช้ Fidel (State machines design)

เนื่องจากงานที่เกี่ยวข้องกับการออกแบบวงจรโดยใช้ finite state machines นั้น มีวิธีการออกแบบที่ค่อนข้างยุ่งยากและน่าเบื่อ ทั้งในด้านการคำนวณหาสถานะถัดไปและสมการของเอาท์พุท ปัญหาในการออกแบบที่ยุ่งยากน่าเบื่อเหล่านี้สามารถใช้ซอฟท์แวร์ช่วยในการออกแบบได้

Fidel

Fidel เป็นไฟล์ ๆ หนึ่งในซอฟท์แวร์ที่ช่วยในการออกแบบวงจรระดับ VLSI CIRCAD II fidel ก็เหมือนภาษาคอมพิวเตอร์ภาษาหนึ่ง แต่ใช้ช่วยในการสังเคราะห์ (synthesis) finite state machines (FSM) ดังนั้นงานเกี่ยวกับการออกแบบวงจรดิจิตอลต่าง ๆ สามารถใช้ fidel ช่วยได้ทำให้งานนั้นง่ายขึ้น

ลักษณะภาษาใน fidel

ถ้าผู้อ่านเข้าไปดูในไฟล์ fidel จะพบว่า fidel ถูกแบ่งออกเป็นสองส่วนคือ:-

ก) declaration block: เป็นส่วนที่บอกถึงลักษณะของอินพุท เอาท์พุท และสถานะต่าง ๆ

ข) transition block : เป็นส่วนที่บอกข้อมูลเกี่ยวกับสถานะทรานซิชั่น (state transition)

ทรานซิชั่นแบบไม่มีเงื่อนไข (Unconditional Transition)

เป็นลักษณะของ state machines ที่ง่ายที่สุด กล่าวคือ ไม่มีอินพุทหรือเอาท์พุทใดไปยุ่งเกี่ยวกับสถานะของ state ดังตัวอย่างโปรแกรมที่จะแสดงให้ดูต่อไปนี้ ซึ่งเป็นโปรแกรมวงจรนับ 4 แบบวงแหวน (4 ring counter)

```
module counter 4
{
    state
    s0 ,s1 ,s2 ,s3 ;
  s0 : -> s1 ;
  s1 : -> s2 ;
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
    s2 : -> s3 ;
    s3 : -> s0 ;
}
```

หมายเหตุ: สัญญลักษณ์ " -> " หมายถึงการเปลี่ยนแปลงจากสถานะเริ่มต้น (present state) ไปเป็นสถานะถัดไป (next state)

ทรานซิชั่นแบบมีเงื่อนไข (Conditional Transition)

ใน state machines ส่วนมากนั้น ทรานซิชั่นของมันไม่ได้เป็นฟังก์ชั่นที่ขึ้นอยู่กับสถานะเริ่มต้นเพียงอย่างเดียวเท่านั้น แต่ยังจะขึ้นอยู่กับเงื่อนไขของอินพุทขณะนั้นด้วย ซึ่งเราเรียก state machines ลักษณะนี้ว่าเป็นแบบทรานซิชั่นแบบมีเงื่อนไข ตัวอย่างโปรแกรมที่จะแสดงในที่นี้เป็นวงจรนับขึ้น-ลง 4 บิท (4 bit up-down counter) ซึ่งโหมดการทำงานของวงจรนับจะถูกควบคุมโดย input "up" ซึ่งเป็นโปรแกรมที่เป็น state machines แบบที่ทรานซิชั่นของมันมีเงื่อนไข

```
module up/down-cntr 4
{
  input
  up ;
  state
  s0, s1, s2, s3;
  s0 : if (up) -> s1 ; else -> s3;
  s1 : if (up) -> s2 ; else -> s0;
  s2 : if (up) -> s3 ; else -> s1;
  s3 : if (up) -> s0 ; else -> s2;
}
```

คำสั่ง "switch" จะใช้ในการอธิบายคุณสมบัติของทรานซิชั่นแบบมีเงื่อนไข ดังตัวอย่างโปรแกรมที่จะแสดงให้ดูดังต่อไปนี้

```
s0 : switch (a, b, c)
   {
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        case (1, 0, 1) : -> s1;
        case (0, 1, 1) : -> s2;
        default:         -> s0;
    }
```

คำสั่ง default หมายถึง กรณีที่เหลือทั้งหมดที่ไม่ได้กล่าวถึงในคำสั่ง switch (...)

โดยทั่ว ๆ ไปแล้ว มีวิธีเขียนทรานซิชั่นของ state S ได้ n วิธี โดยใช้คำสั่ง if... .elseif....else ดังนี้

```
S :
        if (B1) ....
        else if (B2) ....
        else if (B3) ....
        ....
        else ....
```

ขอให้สังเกตว่าคำสั่ง else หลังสุดจะมีหรือไม่มีก็ได้ และสำหรับพีชคณิตบูลลีนของอินพุทต่าง ๆ นั้นมีโอเปอร์เรเตอร์ดังต่อไปนี้

"&" หมายถึง "and"

"^" หมายถึง "or"

"~" หมายถึง "not"

ตามปกติ ลำดับการกระทำก่อนและหลังจะมีความสำคัญ ดังนั้นจึงควรใส่วงเล็บในข้อความที่จะกระทำพีชคณิตบูลลีนด้วย โดยข้อความในวงเล็บจะถูกกระทำก่อน

ข้อสังเกต: ชื่อหรือสัญญลักษณ์ในพีชคณิตบูลลีนเป็นตัวแปรอินพุทขนาด 1 บิตเท่านั้น

เอาท์พุท (outputs)

ตัวแปรเอาท์พุทสามารถกำหนดค่าได้โดยใช้เครื่องหมาย " = " โดยมีรูปแบบดังนี้

```
compid "=" number ";"
```

ทางซ้ายของคำสั่งกำหนดค่า สามารถเป็นได้ทั้งตัวแปรเอาท์พุทแบบ 1 บิท หรือเป็นแบบ array ซึ่งเป็นแบบหลายบิท (multi bit) ส่วน Number ดังตัวอย่างเป็นได้ทั้งเลขฐานสิบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หรือฐานสิบหก (ต้องขึ้นต้นด้วย '0x') หรือฐานแปด (ต้องขึ้นต้นด้วย '0') หรือฐานสอง (ต้องขึ้นต้นด้วย '%')

ตัวอย่างเช่น เลขฐานสองคือ '%00-1-0' (สัญญลักษณ์ '-' คือ don't care) ถ้าไม่ได้กำหนดค่าตัวแปรแบบเอาท์พุทมาก่อนจะถือว่าตัวแปรนั้นมีค่าเป็น 0 อยู่ก่อนแล้ว

เอาท์พุทสเตรท (state output)

ในการออกแบบ state machine โดยทั่วไปแล้วรูปแบบของเอาท์พุทมักเกี่ยวข้องกับสถานะ state เมื่อ state machine ได้รับการกำหนดแล้วค่าของเอาท์พุทจะไม่ขึ้นอยู่กับเงื่อนไขของอินพุท (input condition) ใด ๆ

เอาท์พุทสเตรท (state output) จะถูกกำหนดใน Fidel ก่อนเงื่อนไขอื่น ๆ ตัวอย่างเช่น

```
S2 : C0=1; C1=0;
     if(request) -> S1; else -> S2;
```

ตัวอย่างนี้เป็นการกำหนดค่า 1 ให้เอาท์พุท C0 และ 0 ให้เอาท์พุท C1 เมื่อ state machine นำสู่ state S2

เอาท์พุทแบบมีเงื่อนไข (condition output)

บ่อยครั้งที่เดียวที่เกิดความซับซ้อนของสมการสถานะถัดไปซึ่งเราสามารถที่จะลดความซับซ้อนและยุ่งยากนี้ลงได้โดยกำหนดเอาท์พุทแบบมีเงื่อนไข (condition output) ให้เหมาะสม เอาท์พุทแบบมีเงื่อนไขเหล่านี้จะประกอบด้วยฟังก์ชันของสถานะเริ่มต้น และเงื่อนไขของอินพุท (input conditions) ดังแสดงในตัวอย่างนี้

```
S2 : C0 = 1; C1 = 0;
     if(~reset)
     {
      C2 = 1; C3 = 0;
      -> S1;
     }
     else
      -> S2;
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอาท์พุทแบบมีเงื่อนไขนี้ถูกกำหนดโดย C2 = 1 และ C3 = 0

อาเรย์ (Arrays)

อาเรย์นี้ใช้ในกรณีที่อินพุทหรือเอาท์พุทที่ฟอร์มกันเป็น state machine ถูกใช้ร่วมกับอุปกรณ์ที่ต่อจากภายนอก (external device) รูปแบบคำสั่งจะคล้ายกับที่ใช้ในภาษา C คือ

```
input vec[8];
```

จากตัวอย่างนี้หมายความว่าเราได้ใช้คำสั่ง vec ในการบอกให้ทราบถึงอินพุทแบบอาเรย์ขนาด 8 บิท(คือ vec[0]...,vec[7]) ซึ่งแต่ละบิทสามารถที่จะเซ็ตค่าแยกกันได้โดยอิสระเช่น

```
vec[0] = 1; vec[2] = 0;
```

หรือจะกำหนดค่าเป็นกลุ่มของบิทที่ติด ๆ กันเช่น

```
vec[1:4] = 3;
```

การออกแบบวงจรคอมบิเนชั่นลอจิก (combination logic)

วงจรคอมบิเนชั่นลอจิกถือได้ว่าเป็น state machine แบบคลาส 0 (class 0) กล่าวคือตัว state machine จะถูกกำหนดด้วยสถานะ 1 สถานะ และเงื่อนไขเอาท์พุทเท่านั้นดังตัวอย่างต่อไปนี้ซึ่งเป็นวงจร full adder

```
module combadder
{
    /* FULL ADDER */
   input
   a, b, cin;
   output
   sum, cout;
   switch(cin, a, b)
{
   case(0, 1, 1): cout = 1; sum = 0;
   case(0, 0, 0): cout = 0; sum = 0;
   case(0, 1, 0): cout = 0; sum = 1;
```

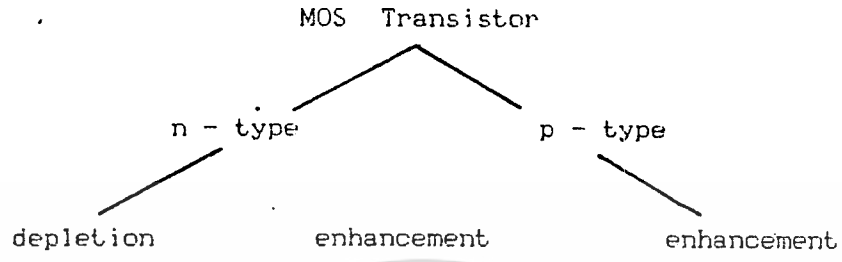
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
    case(0, 0, 1): cout = 0; sum = 1;
    case(1, 1, 1): cout = 1; sum = 1;
    case(1, 0, 0): cout = 0; sum = 1;
    default:       cout = 1; sum = 0;
  }
  }
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ง

MOS TRANSISTORS



Technology	nMOS	CMOS
Primitive	n - type enh.	n - type enh.
	n - type dep.	p - type enh.

Technology Primitives

ข้อพิจารณาในการเลือกชั้นต่าง ๆ

- เส้นทางของ V_{dd} และ GND ควรเป็นโลหะเท่านั้น (ค่าจำเป็นอาจใช้ชั้นลอดจากการแพร่สารได้)
- การใช้ polysilicon ยาว ๆ ควรจะพิจารณาเป็นพิเศษ เพราะความต้านทานและความจุไฟฟ้าค่อนข้างสูง
- ข้อจำกัดเหล่านี้แสดงในตารางข้างล่างนี้

Choice of Layers

LAYER	R	C	COMMENTS
METAL	LOW	LOW	GOOD CURRENT CAPABILITY WITHOUT LARGE VOLTAGE DROP.....USE FOR POWER DISTRI BUTION AND GLOBAL SIGNALS.
SILICIDE	LOW	MODERATE	MODEST RC PRODUCT. REASONABLY LONG WIRES ARE POSSIBLE. SILICIDE IS USED IN PLACE OF POLY I SOME nMOS PROCESSE
POLY	HIGH	MODERATE	RC PRODUCT IS MODERATE HIGH IR DROP.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DIFFUSION	MODERATE	HIGH	MODERATE IR DROP BUT HIGH C HENCE HARD TO DRIVE IT.

Electrical Rules

LAYER	MAXIMUM LENGTH OF COMMUNICATION " WIDE "
METAL	20,000 ?\
SILICIDE	2,000 ?\
POLYSILICONE	200 ?\
DIFFUSION	20 ?\ *

* Taking account of peripheral and area capacitances.

DESIGNER 'S RULES of THUMB

1. GENERAL RULES

- Number of pass transistors in a chain should not be greater than 4 (ave. delay through chain = ave. inverter delay)

- Retention time of charge is approximately 1 ms (actual 1 s-10 ms)

- Clock overlap may cause " See Through " effect.

- Floating pass transistors may NOT drive gates of other pass transistors.

- To drive large capacitive load with minimal signal delay, each driver stage is e (= 2.7) times bigger than the previous stage (minimises total delay through successive driver stages)

nMOS RULES

- n-type transistors pass 0 signals with no threshold voltage drop.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- n-type transistors pass 1 signals with threshold voltage drop: Vt

- Output from a pass transistors may not drive the gate of another pass transistor.

- A pull-up/pull-down L/W ratio of 4:1 is used to guarantee Vol output from a gate being driven from a pass transistor.

- To achive symetrical drive use superbuffers.

- Recommended fanout from a gate (pull-down directly attached) without providing extra drive, is 3 to 4.

- A 4 wire can drive 100 minimum size (8x2) depletion Tr

CMOS RULES

- p-type transistors pass 1 signals with no threshold voltage drop.

- p-type transistors pass Ø signals with threshold voltage drop:-Vt.

- n-type transistors pass 1 signals with threshold voltage drop:-Vt.

- n-type transistors pass Ø signals with no threshold voltage drop.

- Transmission gate outputs can drive gates of other transmis--sion gate transistors.

- Mobility of holes in p + material is half electron mobility in n^+ material.

- A p^+/n^+ channel L/W (Z_{pu}/Z_{pd}) ratio of 1:2 is used for mobility compensation when symmetrical gate performance is required.

- Anti-latchup requires that no part of p-well should be further than 30 from a p+(Vss)-tie.

- Anti-latchup requires that no part of the n- substrate should be further than 60 from a n^+ V_{dd}-tie

กฎการออกแบบ (Design Rule)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Design Rule หรือ Layout Rule จะเป็นกฎเกณฑ์ซึ่งกำหนดถึงขนาดต่าง ๆ ของส่วนต่าง ๆ ในวงจรรวม โดยที่กฎเหล่านี้จะกำหนดถึงขนาดที่น้อยที่สุดที่สามารถที่จะสร้างวงจรรวมได้อย่างมีประสิทธิภาพ ซึ่งขนาดต่าง ๆ จะได้แก่ ความกว้างของเส้น (width) ระยะห่าง (separation) ส่วนที่เผื่อ (extensions) และส่วนที่เกยกัน (overlaps) มีวิธีการหลายวิธีในการที่จะกำหนดกฎเกณฑ์การออกแบบ แต่มีอยู่ 2 วิธีซึ่งนิยมใช้กันก็คือ

1. การบอกเป็นระยะที่แท้จริงในหน่วยของไมครอน (micron rules)
2. บอกเป็นค่าที่ยอมให้ผิดพลาดมากที่สุดของเทคโนโลยี (x - based rules)

x - based rules จะเป็นกฎการออกแบบที่ง่ายต่อการใช้งาน และมีความยืดหยุ่นสูง เพราะว่า x ไม่มีค่าที่กำหนดตายตัว สามารถจะเปลี่ยนแปลงให้เหมาะสมกับความละเอียดหรือความผิดพลาดของโรงงานที่ใช้สร้างได้

<u>ความจำเป็นของ Design Rules</u>

- Design Rule จำเป็นจะต้องมีเพราะเทคโนโลยีในการสร้าง และคุณสมบัติทางไฟฟ้าของตัวอุปกรณ์มีข้อจำกัด
- ขนาดต่าง ๆ ที่ผู้ออกแบบกำหนดนั้น จำเป็นจะต้องสัมพันธ์กับขีดความสามารถในการสร้าง เช่น คุณภาพของแผ่นหน้ากากแพร่สาร ขบวนการแพร่สาร ขบวนการฉายแสงและล้างฟิลม์ เป็นต้น
- Design Rules จะต้องใช้ได้แม้มีการ misalignment ระยะระหว่างชั้นในขอบเขตอันหนึ่ง (ดูตัวอย่างรูปที่ 1 และรูปที่ 2) หรือนอกจากนี้ก็ยังมีความผิดพลาดอื่น ๆ เช่น over-etching over exposure หรือ under exposure เป็นต้น

<u>ผลจาก Design Rules ที่จะมีต่อคุณสมบัติทางไฟฟ้า</u>

- ส่วนที่แพร่สารเจือ 2 ส่วนที่ไม่ต้องการให้ถึงกัน อาจเกิดการลัดวงจรถึงกันได้เนื่องจากการแพร่กระจายของสารเจือทางด้านข้าง (Lateral diffusion) หรือไม่ก็การ over-etching ก่อนแพร่สาร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

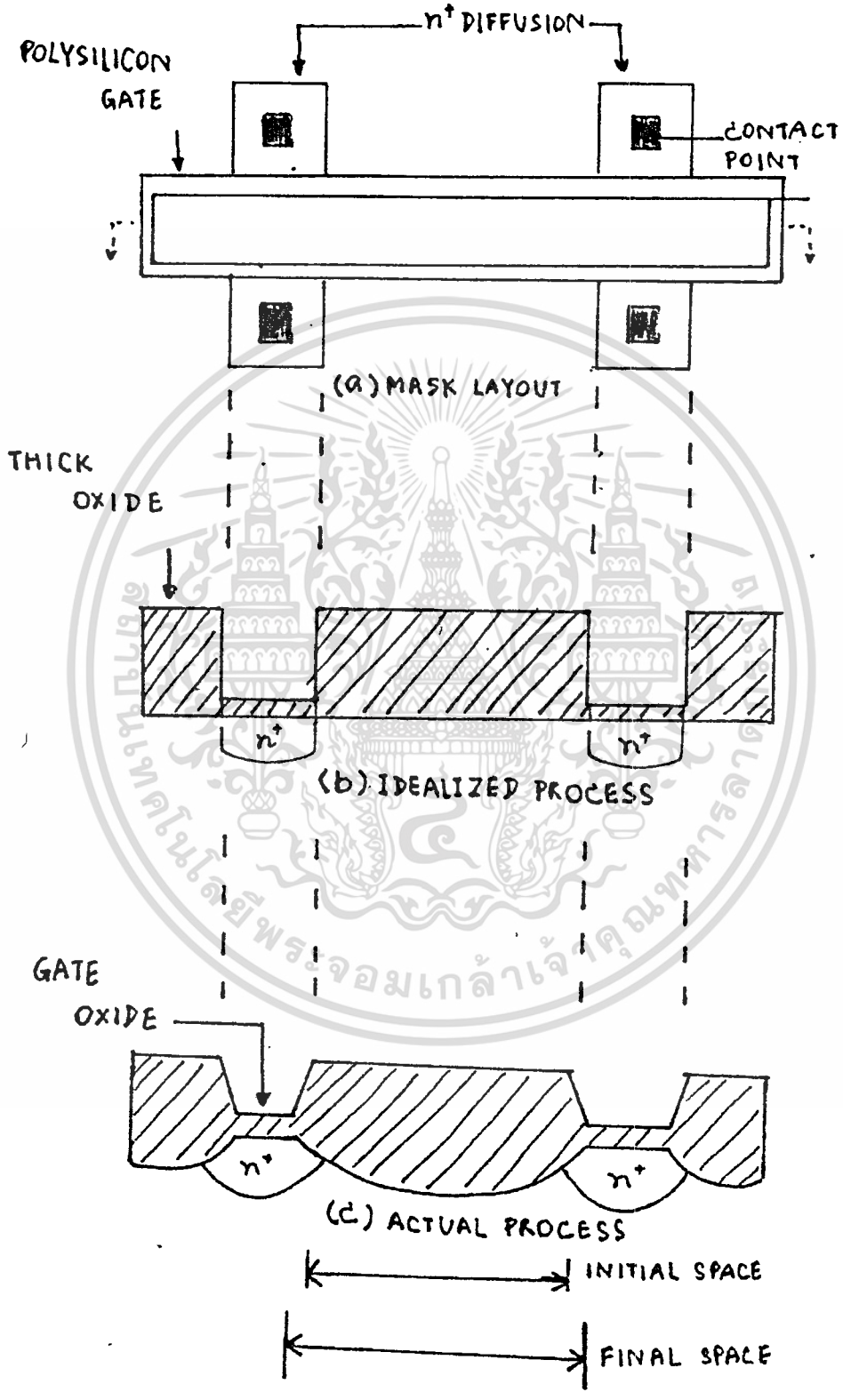
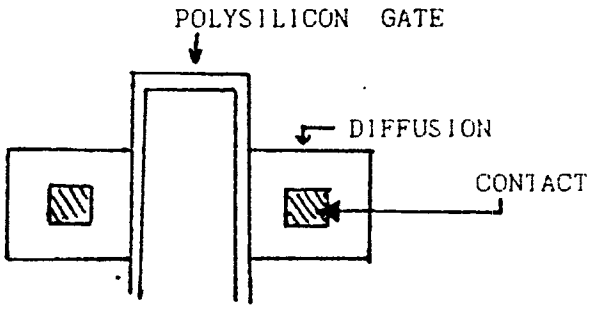
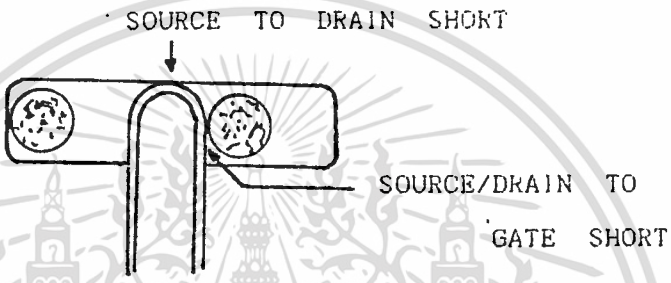


Figure 1 Effect of oxidation process on separation

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(a) Ideal "aggresive" layout



(b) After worst-case alignment. (Features are rounded after processing)

Figure 2 Effects of misalignment and change in feature size.

- ชั้นของโพลีซิลิกอนไม่ถึงกับชั้นที่แพร่สาร (n หรือ p) อยู่แล้ว ดังนั้นระยะห่างของ 2 ส่วนนี้จึง ไม่มีความจำเป็น แต่ถ้าหากลวดลายจากโพลิซิลิกอนทับกับส่วนที่แพร่สารมาก จะทำให้ค่าความจุ ไฟฟ้าในทางของโพลีซิลิกอนมีค่าสูง ซึ่งจะมีผลต่อความเร็วในการทำงานของวงจรได้

- ส่วนของโลหะจะต้องมีขนาดใหญ่ขึ้นและวางห่างกันมากขึ้น เพื่อป้องกัน metal migration และการลัดวงจรถึงกัน

- ส่วนของหลุมเจาะ (contact) จะต้องห่างจากเกทพอสมควร เนื่องจากอลูมิเนียมอาจจะทะลุ โพลีซิลิกอนได้ง่าย กรณีนี้จะทำให้เกทลัดวงจรกับส่วนอื่นได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

D Flip Flop with Reset (DFFR)

Inputs: R ,D,CK,CK

Outputs: Q,Q

Input Cap.:D:0.041pF

CK:0.088pF

CK :0.100pF

R :0.154pF

Cell Size:17 grids wide

12 grids High

FUNCTION TABLE

D	CK	$\overline{CK}$	R	Q	Q
L	↓	↑	H	L	H
H	↓	↑	H	H	L
D	↑	↓	H	NO Change	
X	X	X	L	L	H

X = Don't Care

SWITCHING CHARACTERISTICS (Input tr, tF=2.5ns, CL=0.5pF)

SYM	Parameter	Nom. VDD=5V T =25C	Worst Case VDD=4.5V T =70C	Worst Case VDD=4.5V T =85C	Worst Case VDD=4.5V T =125C	Delay Equations Nominal Case,VDD=5 T =25C	UNIT
tPLH	Propagation Delay,	3.0	6.5	6.7	7.5	tPLH=2.46+(1.146*CL)	ns
tPHL	CK,CK to Q	2.8	5.9	6.2	6.8	tPHL=2.25+(1.113*CL)	
tPLH	Propagation Delay,	3.6	7.6	8.0	8.8	tPLH=3.08+(1.083*CL)	ns
tPHL	CK,CK to Q	4.7	10.0	10.4	11.5	tPHL=4.19+(1.108*CL)	
tPHL	Propagation Delay, R to Q	2.2	4.6	4.8	5.4	tPHL=1.62+(1.120*CL)	ns
tPLH	Propagation Delay, R to Q	3.6	7.7	8.0	8.9	tPLH=2.97+(1.245*CL)	ns
tr	Output Rise Time,Q	1.8	3.6	3.7	4.1	tr=0.70+(2.111*CL)	ns
tf	Output Fall Time,Q	1.5	3.2	3.3	3.6	tf=0.58+(1.930*CL)	ns
tr	Output Rise Time,Q	1.7	3.4	3.5	3.9	tr=0.60+(2.135*CL)	ns
tf	Output Fall Time,Q	1.8	3.7	3.9	4.3	tf=0.89+(1.837*CL)	ns

,Dynamic Current at 1 MHz No Load (Idd): 5ua

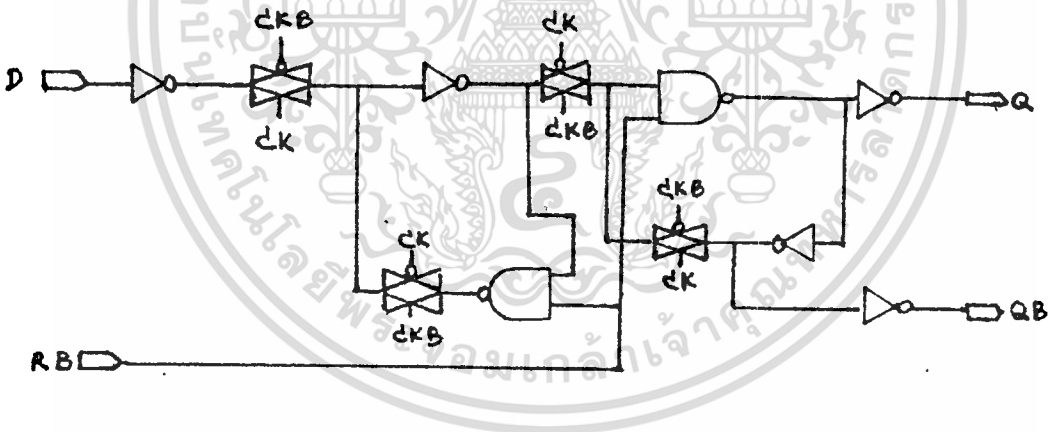
** These equations are valid for the nominal case at VDD=5V and T =25C. For calculations at other conditions, see Section 4 of this manual.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TIMING REQUIREMENTS

Sym	Parameter	Minimum Requirements			
		0 to 70C	40 to 85C	55 to 125C	UNIT
tsu	Setup Time D to CK	6.2	6.5	7.2	ns
th	Hold Time CK to D	0.0	0.0	0.0	ns
tw	Pulse Width CK(L)	11.8	12.3	13.8	ns
	CK(H)	11.8	12.3	13.8	
	R	11.8	12.3	13.8	

FUNCTIONAL DIAGRAM : DFFR



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

D Flip Flop with Reset Positive Edge Triggered (DFFRP)

Inputs: R ,D,CK

Outputs: Q,Q

Input Cap.: D:0.041pF

CK: 0.058pF

R : 0.015pF

Cell Size: 20 grids wide

12 grids high

FUNCTION TABLE

D	CK	R	Q	Q
L	↗	H	L	H
H	↗	H	H	L
X	↘	H	No CHange	
X	X	L	L	H

X=Don't Care

SWITCHING CHARACTERISTICS

(Input tr,tf=2.5ns, CL=0.5pF)

Sym	Parameter	Nom. VDD=5V T =25C	Worst Case VDD=4.5V T =70C	T =85C	T =125C	Delay Equations Nominal Case, VDD=5V T =25C	UNIT
tPLH	Propagation Delay, CK to Q	4.2	8.9	9.3	10.2	tPLH=3.64+(1.153*CL)	ns
tPHL		4.2	8.7	9.1	10.0	tPHL=3.63+(1.106*CL)	
tPLH	Propagation Delay, CK to Q	5.0	10.4	10.9	12.0	tPLH=4.44+(1.092*CL)	ns
tPHL		5.9	12.3	12.9	14.2	tPHL=5.34+(1.125*CL)	
tPHL	Propagation Delay, R to Q	2.2	4.6	4.8	5.3	tPHL=1.60+(1.129*CL)	ns
tPLH	Propagation Delay, R to Q	3.6	7.7	8.0	8.8	tPLH=2.96+(1.245*CL)	ns
tr	Output Rise Time,Q	1.8	3.6	3.8	4.1	tr=0.70+(2.113*CL)	ns
tf	Output Fall Time,Q	1.6	3.2	3.3	3.7	tf=0.57+(1.981*CL)	ns
tr	Output Rise Time,Q	1.7	3.4	3.6	3.9	tr=0.60+(2.139*CL)	ns
tf	Output Fall Time,Q	1.8	3.6	3.8	4.1	tf=0.82+(1.887*CL)	ns

Dynamic Current at 1 MHz No Load (Idd): 6ua

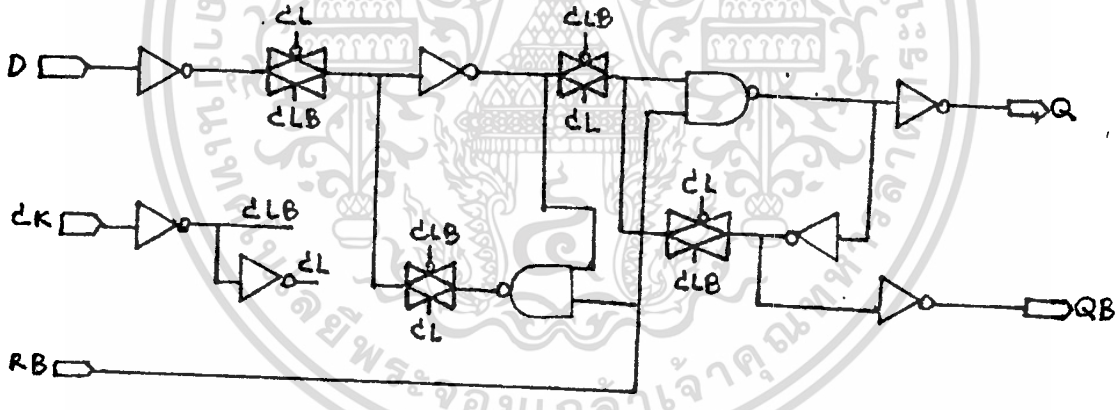
** These equations are valid for the nominal case at VDD=5V and T =25C. For Calculations at other conditions, see Section 4 of this manual.

TIMING REQUIREMENTS

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Sym	Parameter	Minimum Requirements			
		0 to 70C	40 to 85C	55 to 125C	unit
tsu	Setup Time				
	D to CK	5.9	6.2	6.9	ns
th	Hold Time				
	CK to D	4.1	4.3	4.8	ns
tw	Pulse Width				
	CK(L)	11.8	12.3	13.8	ns
	CK(H)	11.8	12.3	13.8	
	R	11.6	12.5	13.8	

FUNCTIONAL DIAGRAM : DFFRP



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

D Flip Flop with Set & Reset Positive Edge Triggered (DFFRSPH)

Inputs: S ,D,CK,R

Outputs: Q,Q

Input Cap.:S :0.160pF

D:0.080pF

CK:0.100pF

R :0.180pF

Cell Size: 25 grids wide

12 grids high

FUNCTION TABLE

S	D	CK	R	Q	Q
H	L	↑	H	L	H
H	H	↑	H	H	L
H	X	↓	H	No Change	
L	X	X	L	H*	H*
H	X	X	L	L	H
L	X	X	H	H	L

X=Don't Care

*Both outputs will remain High as long as S and R are low, but the output states are unpredictable if S and R go High simultaneously.

SWITCHING CHARACTERISTICS (Input tr,tf=2.5ns,CL=0.5pF)

Sym	Parameter	Nom. VDD=5V T =25C	Worst Case VDD=4.5V T =70C	T =85C	T =125C	Delay Equations Nominal Case, VDD=5V T =25C	Unit
tPLH	Propagation Delay,	3.3	6.9	7.2	7.9	tPLH=2.94+(0.793*CL)	ns
tPHL	CK to Q	3.7	7.5	7.8	8.6	tPHL=3.30+(0.707*CL)	
tPHL	Propagation Delay, R to Q	1.6	3.3	3.4	3.7	tPHL=1.24+(0.707*CL)	ns
tPLH	Propagation Delay, R to Q	2.6	5.3	5.5	6.1	tPLH=2.21+(0.747*CL)	ns
tPLH	Propagation Delay, S to Q	3.2	6.5	6.8	7.5	tPLH=2.78+(0.747*CL)	ns
tPHL	Propagation Delay, S to Q	1.5	3.1	3.3	3.6	tPHL=1.18+(0.707*CL)	ns
tPLH	Propagation Delay,	4.6	9.5	9.9	11.0	tPLH=4.27+(0.747*CL)	ns
tPHL	D to Q	4.4	9.0	9.4	10.3	tPHL=4.06+(0.661*CL)	
tPLH	Propagation Delay,	4.6	9.5	9.9	11.0	tPLH=4.27+(0.747*CL)	ns
tPHL	CK to Q	4.4	9.0	9.4	10.3	tPHL=4.06+(0.661*CL)	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

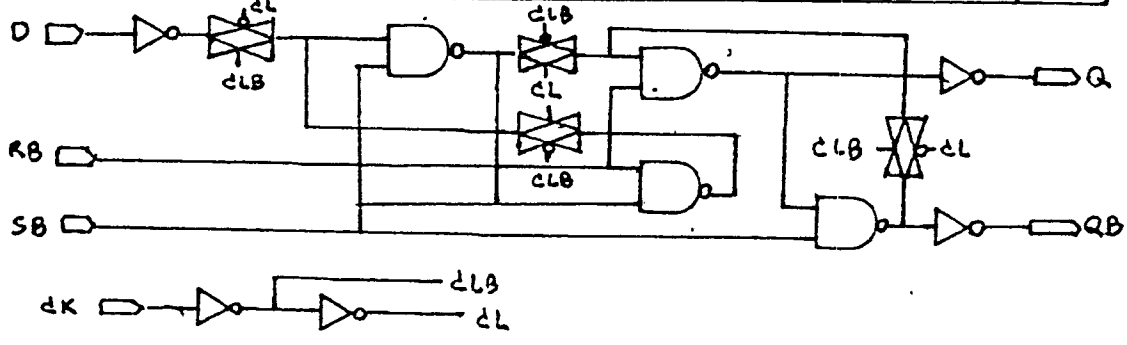
tr	Output Rise Time,Q	1.2	2.5	2.6	2.8	tr = 0.53+(1.322*CL)	ns
tf	Output Fall Time,Q	1.1	2.2	2.3	3.5	tf = 0.53+(1.053*CL)	ns
tr	Output Rise Time,QB	1.2	2.4	2.5	2.8	tr = 0.55+(1.281*CL)	ns
tf	Output Fall Time,QB	1.0	2.1	2.3	2.4	tf = 0.47+(1.103*CL)	ns

Dynamic Current at 1 MHz No Load (Idd) : 7ua

** These equations are valid for the nominal case at VDD=5V and T 25C. For Calculations at other conditions, see Section 4 of this manual.

TIMING REQUIREMENTS

Sym	Parameter	Minimum Requirements			
		0 to 70C	40 to 85C	55 to 125C	unit
tsu	Setup Time				
	D to CK	5.9	6.2	6.9	ns
tH	Hold Time				
	CK to D	3.1	3.2	3.6	ns
trec	Recovery Time				
	R to CK	0.5	0.5	0.6	ns
	S to CK	1.0	1.1	1.2	
tw	Pulse WidtH				
	CK(L)	11.8	12.3	13.8	ns
	CK(H)	11.8	12.3	13.8	
	R	11.8	12.3	13.8	
	S	11.9	12.3	13.8	



FUNCTIONAL DIAGRAM : DFFRSPH

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

J-K Flip Flop Positive Edge Triggered (JKFFP)

Inputs: CK,J,K,S,R

Outputs: Q,Q

Input Cap.:CK:0.060pF

J:0.060pF

K:0.059pF

S:0.127pF

R:0.118pF

Cell Size:28 grids wide

12 grids High

FUNCTION TABLE

S	J	K	CK	R	Q	Q
L	L	H	↑	L	L	H
L	H	L	↑	L	H	L
L	H	H	↑	L	Toggle	
L	L	L	↑	L	No Change	
L	X	X	↓	L	No Change	
H	X	X	X	H	L*	L*
L	X	X	X	H	L	H
H	X	X	X	L	H	L

X = Don't Care

**Both outputs will remain low as long as S and R are High, but the output states are unpredictable if S and R go low simultaneously.

SWITCHING CHARACTERISTECS (Input tr,tf=2.5ns,CL=0.5pF)

Sym	Parameter	Nom. VDD=5V T =25C	Worst Case VDD=4.5V T =70C	T =85C	T =125C	Delay Equations Nominal Case,VDD=5V T =25C	Unit
tPLH	Propagation Delay, CK to Q	7.0	14.6	15.3	16.8	tPLH=6.45+(1.100*CL)	ns
tPHL		7.1	14.8	15.5	17.0	tPHL=6.54+(1.130*CL)	
tPLH	Propagation Delay, CK to Q	5.8	12.3	12.8	14.1	tPLH=5.13+(1.326*CL)	ns
tPHL		5.4	11.4	11.9	13.1	tPHL=4.72+(1.336*CL)	
tPHL	Propagation Delay, R to Q	4.6	9.8	10.2	11.2	tPHL=3.92+(1.268*CL)	ns
tPLH	Propagation Delay, R to Q	2.7	5.9	6.2	6.8	tPLH=2.04+(1.273*CL)	ns
tPLH	Propagation Delay, S to Q	2.5	5.5	5.7	6.3	tPLH=1.86+(1.318*CL)	ns
tPHL	Propagation Delay, S to Q	5.2	11.0	11.5	12.7	tPHL=4.54+(1.306*CL)	ns

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

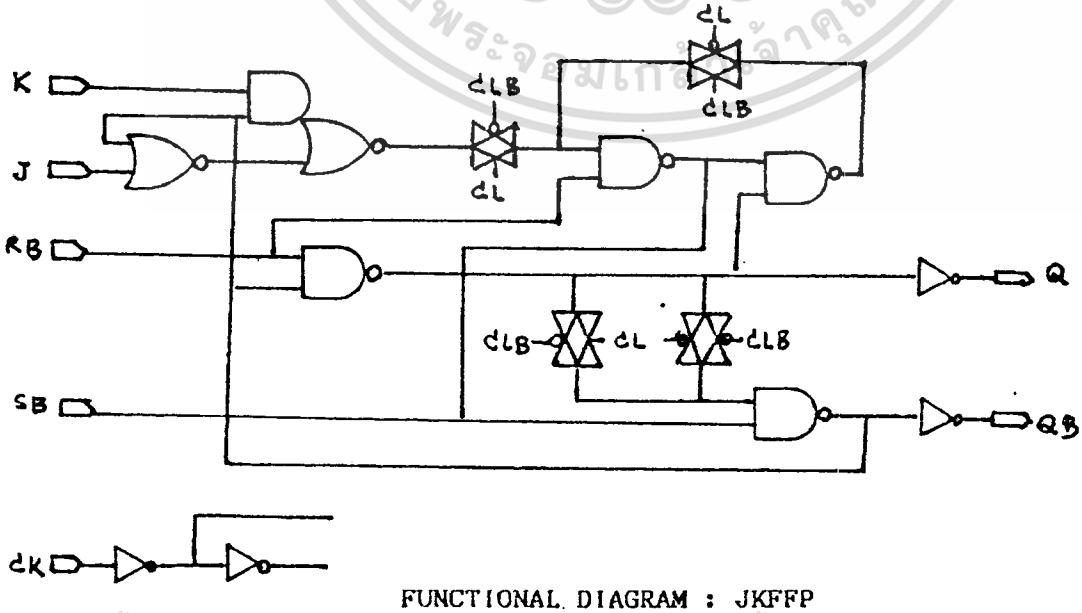
tr	Output Rise Time,Q	1.9	3.8	4.0	4.4	tr = 0.83+(2.082*CL) ns
tF	Output Fall Time,Q	1.7	3.5	3.7	4.0	tF = 0.77+(1.885*CL) ns
tr	Output Rise Time,Q	2.2	4.4	4.6	5.1	tr = 1.15+(2.026*CL) ns
tF	Output Fall Time,Q	2.0	4.1	4.3	4.7	tr = 1.05+(1.910*CL) ns

Dynamic Current at 1 MHz No Load (Idd): 8ua

**These equations are valid for the nominal case at VDD=5V and T =25C.For calculations at other conditions, see Section 4 of this manual.

TIMING REQUIREMENTS

Sym	Parameter	Minimum Requirements			
		0 to 70C	40 to 85C	55 to 125C	unit
tsu	Setup Time J,K to CK	8.0	8.3	9.3	ns
th	Hold Time CK to J,K	1.2	1.2	1.4	ns
tw	Pulse Width CK(L)	11.8	12.3	13.8	ns
	CK(H)	11.8	12.3	13.0	
	R,S	11.8	12.3	13.8	



FUNCTIONAL DIAGRAM : JKFFP

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

D Flip Flop with Set & Reset (DFFRS)

Inputs: R ,S ,D,CK,CK

Outputs:Q,Q

Input Cap.:R :0.156pF

S :0.158pF

D:0.042pF

CK:0.086pF

CK :0.103pF

Cell Size:20 grids wide

12 grids High

FUNCTION L TABLE

S	D	CK	CK	R	Q	Q
H	L	↓	↑	H	L	H
H	H	↓	↑	H	H	L
H	X	↑	↓	H	No Change	
L	X	X	X	L	U	U
H	X	X	X	L	L	H
L	X	X	X	H	H	L

X = Don't Care

U = Undermined

SWITCHING CHARACTERISTICS

(Input tr,tf =2.5ns, CL=0.5pF)

Sym	Parameter	Nom. VDD=5V T =25C	Worst Case VDD=4.5V T =70C	T =85C	T =125C	Delay Equations Nominal Case,VDD=5V T =25C	Unit
tPLH	Propagation Delay,	3.1	6.7	7.0	7.7	tPLH=2.55+(1.184*CL)	ns
tPHL	CK,CK to Q	3.3	6.9	7.2	8.0	tPHL=2.71+(1.154*CL)	
tPLH	Propagation Delay,	4.1	8.7	9.1	10.0	tPLH=3.58+(1.113*CL)	ns
tPHL	CK,CK to Q	4.3	9.0	9.4	10.3	tPHL=3.76+(1.056*CL)	
tPHL	Propagation Delay, R to Q	2.2	4.7	4.9	5.4	tPHL=1.62+(1.145*CL)	ns
tPLH	Propagation Delay, R to Q	3.4	7.3	7.7	8.5	tPLH=2.80+(1.356*CL)	ns
tPLH	Propagation Delay, S to Q	4.2	8.8	9.2	10.2	tPLH=3.61+(1.148*CL)	ns
tPHL	Propagation Delay, S to Q	2.6	5.6	5.9	6.5	tPHL=2.00+(1.235*CL)	ns
tr	Output Rise Time,Q	1.8	3.7	3.8	4.2	tr = 0.74+(2.117*CL)	ns
tf	Output Fall Time,Q	1.5	3.4	3.5	3.8	tf = 0.69+(1.905*CL)	ns
tr	Output Rise Time,Q	1.7	3.5	3.7	4.0	tr = 0.64+(2.160*CL)	ns
tf	Output Fall Time,Q	1.6	3.4	3.6	3.8	tf = 0.65+(1.962*CL)	ns

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

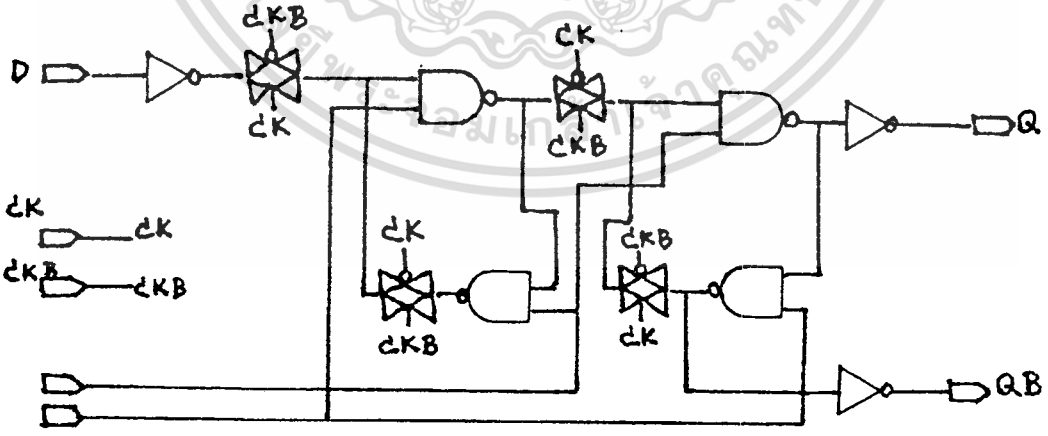
Dynamic Current at 1 MHz No Load (Idd): 6ua

**These equations are valid for the nominal case at VDD=5V and T =25C. For calculations at other conditions,see Section 4 bf this manual.

TIMING REQUIREMENTS

Sym	Parameter	Minimun Requirements			unit
		0 to 70C	40 to 85C	55 to 125C	
tsu	Setup Time D to CK	7.4	7.7	8.6	ns
th	Hold Time CK to D	0.0	0.0	0.0	ns
tw	Pulse Width CK,CK (L)	11.8	12.3	13.8	ns
	CK,CK (H)	11.8	12.3	13.8	
	R ,S	11.8	12.3	13.8	

FUNCTIONAL DIAGRAM : DFFRS



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้