



ปีการศึกษา 2532
 วจรแปลงสัญญาพจนานอกเป็นดิจิทัลเอนกประสงค์
 โดย
 นางสาวจิราพร พิมลเสถียร 291021
 นายชัชวดีต สิมารักษ์ 291043
 อาจารย์ที่ปรึกษา
 อ. พลผดุง ผดุงกุล

๒๕๓๒
 ๒๕๓๒

ปริญญาโท ประจำปีการศึกษา 2532

เรื่อง **วงจรแปลงสัญญาณอนาลอกเป็นดิจิตอลแอนกประสงค์**
general purpose analog to digital converter

ผู้จัดทำ

- 1. น.ส. จิราพร นิมลเสถียร 29-1021
- 2. นาย ชัชวดีศ ลิมารักษ์ 29-1043



(..... อาจารย์ พิศมณู ..สูงกุล)

อาจารย์ที่ปรึกษา

สารบัญ

	หน้าที่
บทคัดย่อ	1
บทนำ	2
บทที่ 1 ซอฟต์แวร์	4
1.1 ส่วนควบคุมพอร์ท 8255	4
1.2 ส่วนควบคุมวงจรมี 8253	5
1.3 ส่วนควบคุมฮาร์ดแวร์	7
1.4 ส่วนแสดงผลบนจอภาพ	7
1.5 ส่วนแสดงผลออกทางเครื่องพิมพ์	8
1.6 ส่วนคำนวณและสร้างรูปสัญญาณ	9
1.7 ส่วนเก็บและอ่านข้อมูลลงจานแม่เหล็ก	12
1.8 ส่วนเก็บและอ่านข้อมูลลงหน่วยความจำภายนอก	12
บทที่ 2 ฮาร์ดแวร์	13
2.1 วงจรส่วนถอดรหัสแอดเดรส	13
2.2 วงจรส่วนขยายและลดทอนสัญญาณ	16
2.3 วงจรส่วนมัลติเพล็กซ์	18
2.4 วงจรส่วนแปลงสัญญาณแอนะล็อกเป็นดิจิตอล	20
2.5 วงจรควบคุมหน่วยความจำ	22
บทที่ 3 การทดลองและผลการทดลอง	26
3.1 การทดลอง	26
3.2 สรุปผลการทดลอง	30
บทที่ 4 การใช้งาน	31
4.1 ADJUST HARDWARE	31
4.2 DISPLAY GRAPH	33
4.3 STORAGE	35
4.4 FILE	35
บทที่ 5 ส่วนแก้ไขและเพิ่มเติม	40
กิตติกรรมประกาศ	42
บรรณานุกรม	43

GENERAL PURPOSE ANALOG TO DIGITAL FOR MICROCOMPUTER

JIRAPORN PIMOLSTHIEN

CHATCHAVADITS SIMARAKS

ADVISOR:

POLPADUNG PADUNGKUL

YEAR 1989

Abstract

This project is designed and developed to Analog to Digital card used for Microcomputer PC XT/AT which is controlled by software. And there are many characteristics:

- having 2 channel input and maximum input voltage ± 7 volt.
- adjusting gain or attenuation of signal and sampling rate by software.
- maximum of sampling rate about 1 MHz.
- saving all datas 2 Mbyte by static random access memory.
- saving datas in static memory such that floppy disk or harddisk.
- many methods in displaying data such that Numeric data and signal graph which can be adjusted Voltage/division and Time/division as same as oscilloscope. And being able to print signal wave and Numeric data by printer.

GENERAL PURPOSE ANALOG TO DIGITAL FOR MICROCOMPUTER

วงจรแปลงสัญญาณอนาลอกเป็นดิจิตอลแอนะล็อกสำหรับเครื่อง ไมโครคอมพิวเตอร์

โดย

จิราพร นิมลเสถียร 291021

ชัชวดีศ สิมารักษ์ 291043

อาจารย์ที่ปรึกษา

อ.พลผดุง ผดุงกุล

ปีการศึกษา 2532

บทคัดย่อ

รายงานฉบับนี้ได้เสนอการออกแบบและพัฒนา ANALOG TO DIGITAL CARD โดยทำการพัฒนาบนเครื่อง IBM PC/XT มีลักษณะเป็นฮาร์ดแวร์ที่ใช้กับตัวเครื่องและจะมีซอฟต์แวร์อีกส่วนหนึ่งสำหรับควบคุมการทำงานของวงจรส่วนต่างจากฮาร์ดแวร์

โดยโครงการนี้จะมีคุณสมบัติดังต่อไปนี้

-รับสัญญาณอินพุตขนาด ± 7 โวลต์ สองแชนแนล

-ปรับอัตราการขยายและลดทอนสัญญาณและอัตราการสุ่มสัญญาณได้โดยซอฟต์แวร์

-อัตราการสุ่มสัญญาณสูงสุด 1 MHz

-สามารถเก็บสัญญาณได้ทั้งหมด 2 Mbyte โดยวงจรหน่วยความจำ SRAM

(Static RAM) ภายนอก

-เก็บข้อมูลลงในหน่วยความจำถาวร เช่น แผ่นฟลอปปีดิสก์หรือฮาร์ดดิสก์ได้

-การแสดงผลสามารถแสดงได้หลายรูปแบบ เช่น Numeric data และสามารถแสดงเป็นรูปสัญญาณโดยสามารถปรับ Voltage/division และ Time/division ได้ เช่นเดียวกับออสซิลโลสโคป นอกจากนี้ยังสามารถพิมพ์ทั้งรูปคลื่น และ Numeric data ออกทางพริ้นเตอร์ได้อีกด้วย

GENERAL PURPOSE A TO D

วางจรรยาบรรณนาฬิกาเป็นดิจิทัลอนาล็อกสำหรับเครื่อง ไมโครคอมพิวเตอร์

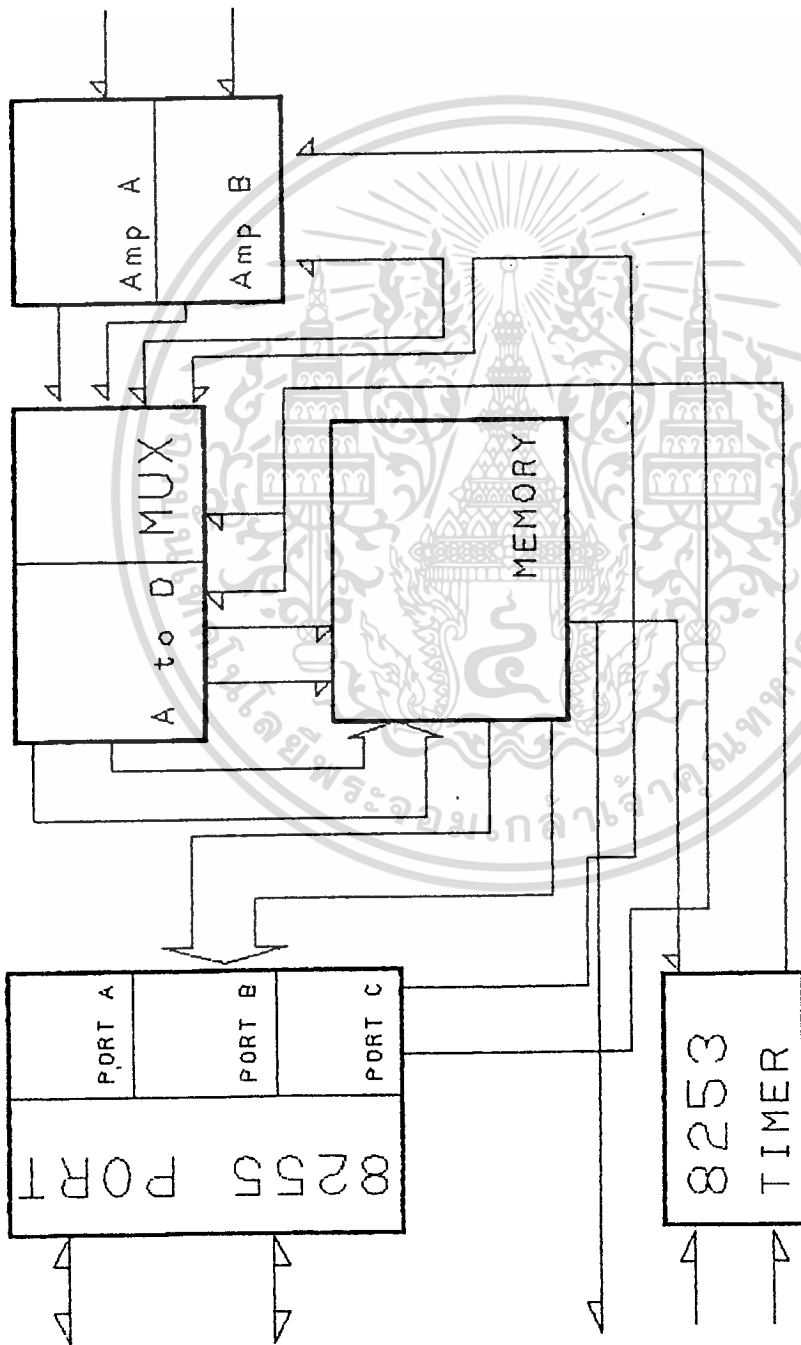
โครงการนี้ใช้สำหรับแปลงสัญญาณต่างๆเป็นข้อมูลดิจิทัลขนาด 8 บิต โดยสามารถเก็บสัญญาณต่างๆที่แปลงแล้วนี้ไว้สำหรับการประมวลผลต่างๆต่อไปได้ โครงการนี้แบ่งออกเป็นสองส่วนคือส่วนHARDWARE และส่วนSOFTWARE โดยแต่ละส่วนจะมีหน้าที่ดังนี้

- HARDWARE ส่วนนี้จะมีหน้าที่รับสัญญาณต่างๆแปลงเป็นสัญญาณดิจิทัล แล้วส่งไปให้ CPU ทำการประมวลผล หรือบันทึกลงหน่วยความจำภายนอกไว้ก่อน สำหรับการทำงานนั้นสามารถดูได้จาก BLOCK DIAGRAM ตามภาพที่ 1
- SOFTWARE ส่วนนี้จะมีหน้าที่ควบคุมส่วน HARDWARE และรับข้อมูลมาประมวลผลต่างๆเช่น แสดงรูปสัญญาณบนจอภาพ บันทึกข้อมูลลงในจานแม่เหล็ก ฯลฯ

โครงสร้างทั้งหมดของโครงการ จะประกอบไปด้วยส่วนต่างๆดังต่อไปนี้

1. วงจรขยายและลดทอนสัญญาณ
2. วงจรมัลติเพลกซ์สัญญาณ
3. วงจรแปลงสัญญาณอนาล็อกเป็นดิจิทัล
4. วงจรหน่วยความจำและวงจรจัดการหน่วยความจำ
5. วงจรส่วนอินเทอร์เฟซกับ IBM PC
6. SOFTWARE ควบคุมวงจรส่วนต่างๆ

การทำงานของวงจรจะเป็นดังนี้ สัญญาณจะเข้ามาทางวงจขยายและลดทอนสามารถควบคุม GAIN ได้ตามต้องการโดยส่งมาจาก SOFTWARE เมื่อสัญญาณผ่านวงจรส่วนนี้มาแล้ว จะเข้าสู่วงจรส่วนมัลติเพลกซ์เพื่อเลือกสัญญาณจากช่องที่ต้องการ โดยใช้ SOFTWARE ควบคุมเช่นกัน เมื่อสัญญาณผ่านวงจรส่วนมัลติเพลกซ์มาแล้วก็จะเข้าสู่วงจรแปลงสัญญาณอนาล็อกเป็นดิจิทัล เพื่อแปลงเป็นสัญญาณดิจิทัลขนาด 8 บิต สัญญาณที่ได้นี้จะถูกส่งไปเก็บไว้ที่วงจรหน่วยความจำซึ่งต่อกับบอร์ตของ8255 ซึ่งซีพียูจะมองเห็นเป็นแอดเดรสเดียว จึงต้องมีวงจรสำหรับจัดแอดเดรสในหน่วยความจำซึ่งใช้เคาน์เตอร์นับมาจากแฮมป์ลิงเรตโดยตรง การต่อวงจรภายนอกเช่นนี้ จะทำให้สามารถเก็บข้อมูลได้เร็วกว่าการเก็บโดยอาศัยแอดเดรสจากซีพียู หรือการเก็บข้อมูลบนเมนบอร์ด เมื่อได้ข้อมูลตามที่ต้องการเรียบร้อยแล้ว หลังจากนั้นจะใช้SOFTWAREในการดึงข้อมูลจากหน่วยความจำภายนอกนี้ไปประมวลผลต่างๆ เช่นการแสดงรูปคลื่นของสัญญาณบนจอภาพ การเก็บข้อมูลลงจานแม่เหล็ก ฯลฯ



B L O C K D I A G R A M

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1 SOFTWARE

ส่วนนี้จะเป็นส่วนที่ควบคุม HARD WARE ทั้งหมด SOFTWARE ทั้งหมดจะเขียนโดยภาษาC และเพื่อให้ง่ายแก่การเขียนจะแบ่งเขียนเป็นส่วนๆ เช่น ส่วนควบคุมการขยายหรือการลดทอนสัญญาณ ส่วนแสดงสัญญาณ เป็นต้น โดยจะเรียกใช้ส่วนต่างๆโดย MAIN PROGRAM โดยจะแบ่งเขียนโปรแกรมเป็นส่วนต่างๆดังนี้

1.1 ส่วนควบคุมพอร์ต8255 ส่วนนี้อยู่ในฟังก์ชัน set 8255 สั่งให้ 8255 ทำงานในโหมด 0 โดยให้พอร์ตA และพอร์ตBเป็นพอร์ตอินพุต ส่วนพอร์ตC เป็นเอาต์พุต การสั่งงาน 8255 สามารถทำได้โดยส่ง control code ขนาดแปดบิตไปให้พอร์ต ควบคุมข้อมูลเพื่อควบคุมการทำงาน โดยที่บิตต่างๆทั้งแปดจะมีความหมายดังนี้

D0	ควบคุมพอร์ต C ล่าง	1 หมายถึงอินพุต 0 หมายถึงเอาต์พุต
D1	ควบคุมพอร์ต B	1 หมายถึง อินพุต 0 หมายถึง เอาท์พุต
D2	เลือกโหมดของพอร์ต B	0 หมายถึง โหมด 0 1 หมายถึง โหมด 1
D3	ควบคุมพอร์ต C บน	1 หมายถึงอินพุต 0 หมายถึงเอาท์พุต
D4	ควบคุมพอร์ต A	1 หมายถึงอินพุต 0 หมายถึงเอาท์พุต
D5-D6	เลือกโหมดของพอร์ต A	00 หมายถึง โหมด 0 01 หมายถึง โหมด 1 1X หมายถึง โหมด 2
D7	โหมดเซ็ตแฟล็ก	1 หมายถึงการแอกติฟ

โดยในชอห์นัวร์จะส่งค่า 10010010 ให้กับพอร์ตควบคุม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.2 ส่วนควบคุม counter 8253 ส่วนนี้ใช้ควบคุม 8253 โดยให้วงจรมับที่หนึ่งทำงานในโหมดสามสร้างสัญญาณสี่เหลี่ยมเพื่อเป็นสัญญาณ sampling rate และวงจรมับที่สองทำงานในโหมดสี่สร้างสัญญาณอินเทอร์รัพท์จากการนับ สำหรับวงจรมับที่หนึ่งนั้นสามารถเปลี่ยนแปลงความถี่ของสัญญาณ sampling rate ได้โดยฟังก์ชัน set_rate ซึ่งจะส่งค่าให้วงจรมับใหม่ ส่วนวงจรมับที่สองนี้จะควบคุมจากฟังก์ชัน one_page ซึ่งเป็นการส่งค่าให้วงจรมับใหม่เช่นกัน การส่งงานของ 8253 นั้นจะใช้การส่งค่าควบคุมขนาดแอดดริสให้กับ control register ของ 8253 ซึ่งจะมีสามตัวแยกกันโดยอิสระตามวงจรมับทั้งสาม การส่งค่าไปนี้จะส่งไปที่แอดเดรสเดียวกัน คือแอดเดรส A0, A1 ต้องเป็นหนึ่งทั้งคู่ และสามารถเลือกว่าเป็นการส่งให้รีจิสเตอร์ของวงจรมับใดโดยดูจากค่าควบคุมบิต D6, D7 ซึ่งจะมีความหมายดังนี้

D7	D6	เลือกวงจรมับ
0	0	วงจรมับแรก
0	1	วงจรมับที่สอง
1	0	วงจรมับที่สาม
1	1	ไม่ใช้งาน

ส่วนบิต D5 และ D4 มีความหมายในการกำหนดทิศทางของข้อมูลที่จะใช้กับรีจิสเตอร์

D4	D5	ความหมาย
0	0	กำหนดให้วงจรมับแลตซ์ค่า เพื่อให้วงจรมับส่งค่าจากตัวมันไปให้รีจิสเตอร์ชั่วคราว ซึ่งจะให้ CPU มาอ่านไปได้
0	1	อ่านหรือโหลดไบต์ที่มีนัยสำคัญต่ำ (แอดดริสต่ำ)
1	0	อ่านหรือโหลดไบต์ที่มีนัยสำคัญสูง (แอดดริสบน).
1	1	อ่านหรือโหลดไบต์ที่มีนัยสำคัญต่ำก่อนแล้วตามด้วยไบต์ที่มีนัยสำคัญสูง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ส่วนที่เหลืออีกสามบิตคือ D3, D2 และ D1 นั้นเป็นบิตกำหนดโหมดการทำงาน
พื้นฐานของ 8253 โดยจะมีการทำงานดังนี้

D3	D2	D1	ความหมาย
0	0	0	โหมด 0 อินเทอร์รัพท์จากการนับ
0	0	1	โหมด 1 โมโนสเตเบิลตามค่าที่กำหนด
0	1	0	โหมด 2 เรตเจเนอเรเตอร์
0	1	1	โหมด 3 สร้างสัญญาณคลื่นรูปสี่เหลี่ยม
1	0	0	โหมด 4 สไตรปหรือทริคด้วยซอฟต์แวร์
1	0	1	โหมด 5 สไตรปหรือทริคด้วยฮาร์ดแวร์

สำหรับบิต D0 นั้นใช้กำหนดรูปแบบของการนับเป็น BCD หรือ BINARY โดย
ถ้าบิตนี้เป็น 0 จะเป็นการนับแบบ BINARY

โดยในส่วนของซอฟต์แวร์จะส่งค่าควบคุมไปสองค่าคือ 00110111 สำหรับวงจร
นับแรกและค่า 01111001 สำหรับวงจรนับที่สอง เมื่อส่งค่าควบคุมไปแล้วก็สามารถส่ง
ค่าที่จะให้เริ่มต้นต่างๆไปตามวงจรนับได้โดยตรงตามแอดเดรสของ A0, A1 ดังนี้

A0	A1	ความหมาย
0	0	วงจรรับแรก
0	1	วงจรรับที่สอง
1	0	วงจรรับที่สาม
1	1	ส่วนควบคุม

แกน X เรื่อยๆ การทำงานของฟังก์ชันนี้จะเริ่มโดยเซตค่าเริ่มต้นให้วงจรนับตัวที่สองของ 8253 ซึ่งค่าเริ่มต้นก็คือจำนวนข้อมูลที่ต้องการใช้ในการแสดงผลคราวละหนึ่งจอภาพ โดยให้นับจากสัญญาณ sampling rate พร้อมกันนั้นก็ส่งสัญญาณให้เก็บข้อมูลลงหน่วยความจำสแตตติกแรมภายนอก เมื่อ 8253 นับครบแล้วก็ส่งสัญญาณอินเทอร์รัพท์มาให้ CPU ส่งสัญญาณหยุดการเก็บข้อมูลลงหน่วยความจำ และเริ่มอ่านข้อมูลไปแสดงผลบนจอภาพ เมื่อแสดงผลข้อมูลครบหนึ่งจอภาพแล้วก็จะเริ่มการเก็บข้อมูลใหม่ ลักษณะการทำงานเช่นนี้จะเป็นการแลชต์ข้อมูลมาให้เป็นระยะๆ ทำให้เห็นการเปลี่ยนแปลงของสัญญาณจริงๆ ในขณะนั้นได้ จึงสามารถเรียกการแสดงผลชนิดนี้ว่าถึง real time ได้

นอกจากฟังก์ชัน display_from_port นี้แล้วยังมีฟังก์ชัน display_from_data ลักษณะการแสดงผลของทั้งสองฟังก์ชันจะเหมือนกันแต่จะแตกต่างกันในส่วนของการเก็บข้อมูลเท่านั้น คือในฟังก์ชัน display_from_data นี้การเก็บข้อมูลจะทำการเก็บจนเต็มหน่วยความจำภายนอกในวงจร โดยจะมีวงจรเปรียบเทียบแอดเดรสจากส่วนวงจรนับที่มีหน้าที่สำหรับสร้างแอดเดรสกับดีนัลสิริทรีที่เซตเอาไว้เพื่อบอกว่ามี SRAM ต่ออยู่ในวงจรที่ตัว ถ้าทั้งสองส่วนมีค่าตรงกันก็จะส่งสัญญาณไปอินเทอร์รัพท์ CPU ให้ส่งสัญญาณมาหยุดการเก็บข้อมูล และพร้อมที่จะนำข้อมูลไปใช้งานได้ต่อไป

ข้อดีของการจัดเก็บลงหน่วยความจำก็คือ เราสามารถที่จะนำข้อมูลมาใช้ได้เสมอจนกว่าจะมีการเก็บข้อมูลครั้งต่อไป และยังสามารถนำข้อมูลส่วนนั้นบันทึกลงหน่วยความจำถาวรเช่นฟลอปปีดิสก์ได้อีกด้วย ซึ่งซอฟต์แวร์ในส่วนนี้จะกล่าวถึงต่อไปในภายหลัง นอกจากนั้นยังเขียนซอฟต์แวร์ให้สามารถปรับเปลี่ยนอัตราขยายและลดทอนสัญญาณเปลี่ยนอัตราการแซมปลิงและโหมดการใช้งานในระหว่างแสดงสัญญาณบนจอภาพอีกด้วยเพื่อสะดวกในการใช้งาน และยังมีฟังก์ชันการใช้งานต่างๆ เช่น การลากเส้นต่อจุดเพื่อให้เห็นรูปสัญญาณได้ชัดเจนขึ้น การหยุดภาพ การขยายฐานเวลา การกลับเฟสของสัญญาณ ฯลฯ

1.5 ส่วนนิมฟ์รูปสัญญาณออกทางเครื่องนิมฟ์ เนื่องจากว่ารูปสัญญาณลักษณะต่างๆนั้นจะเป็นการลากเส้นหรือล้อตจุดในกราฟพิกโตโหมด ดังนั้นส่วนของฟังก์ชันต่างๆในการนิมฟ์ภาพสัญญาณจะใช้คำสั่งนิมฟ์ธรรมดาเหมือนกับที่สั่งนิมฟ์ตัวหนังสือไม่ได้ หลักการของการนิมฟ์ภาพออกทางเครื่องนิมฟ์ในโปรแกรมนี้จะใช้การอ่านค่า pixel บนจอว่าจุดใดสว่างก็จะให้เครื่องนิมฟ์ลงหมึกที่จุดนั้น ขั้นตอนในการทำนั้นจะเป็นดังนี้

เริ่มด้วยการส่ง control code ไปตั้งระยะห่างระหว่างบรรทัดและกำหนดรูปแบบการนิมฟ์ของเครื่องนิมฟ์เสียก่อน ซึ่งจะแตกต่างกันไปสำหรับเครื่องนิมฟ์แต่ละรุ่น โดยจะสามารถหาอ่านได้จากคู่มือเครื่องนิมฟ์รุ่นต่างๆ สำหรับในโปรแกรมที่เขียนไว้นี้จะสามารถใช้ได้กับเครื่องนิมฟ์รุ่น FX ต่างๆของ EPSON เท่านั้น วิธีส่ง control code ไปให้เครื่องนิมฟ์นั้นจะใช้ int 17h ของ DOS โดยให้ค่ารีจิสเตอร์ AX เป็นค่าที่ต้อง

การส่ง และค่า DX เป็นศูนย์ ซึ่งจะเขียนอยู่ในฟังก์ชัน copy-1-byte นี้ ซึ่งจะส่งได้ที่

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

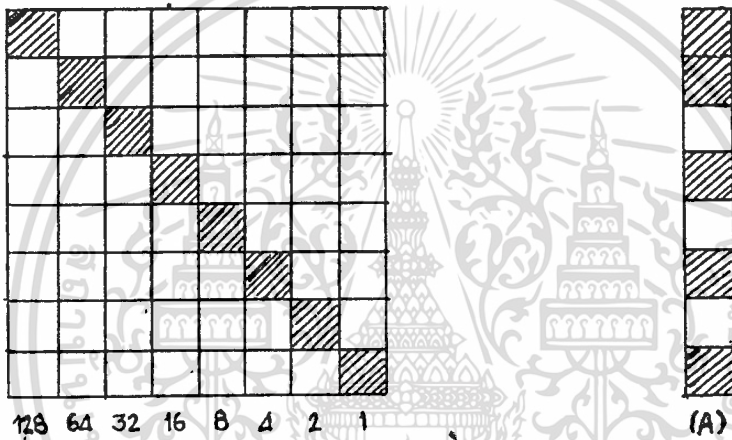


ละ byte เดียว

control code ที่สำคัญของเครื่องพิมพ์จะมีดังนี้

1. ESC 3 ใช้จัดระยะบรรทัดของเครื่องพิมพ์โดยส่งค่า 27,6,n โดยที่ค่า n คือระยะห่างที่ต้องการเป็นหน่วย n/216 นิ้ว
2. ESC * ใช้กำหนดรูปแบบการพิมพ์
3. ESC 1 ใช้กำหนดกั้นหน้าซ้าย เพื่อให้เครื่องพิมพ์เริ่มพิมพ์ในตำแหน่งที่เหมาะสม

ฝั่งซ้าย copy-1-byte นั้นนอกจากใช้ส่ง control code แล้ว ยังสามารถใช้ส่งค่าที่ต้องการพิมพ์ได้อีกด้วย โดยที่ค่าที่ส่งไปให้จะสัมพันธ์กับเครื่องพิมพ์ดังกล่าว



ดังนั้นถ้าต้องการให้เข็มของเครื่องพิมพ์ทำงานตามภาพ A ก็ต้องส่งค่า $128+64+16+4+1$ คือ 213 ไปให้เครื่องพิมพ์ ส่วนค่าที่ส่งไปพิมพ์นั้นจะมาจากที่เราแบ่งภาพที่ต้องการพิมพ์ออกเป็น ส่วนๆ โดยมีขนาด 8×8 จุดเท่ากับหัวเข็มของเครื่องพิมพ์ แล้วอ่านค่าจากจอภาพในแนวตั้งทีละแนวในแต่ละส่วนแล้วจึงส่งค่าที่ได้ไปให้กับเครื่องพิมพ์ ซึ่งจะเขียนอยู่ในฝั่งซ้าย copy-8-line

นอกจากนี้ยังมีฝั่งซ้ายที่คอยตรวจสอบสถานะของเครื่องพิมพ์ไว้อีกด้วย เนื่องจากถ้าเครื่องพิมพ์ไม่อยู่ในสถานะที่จะถูกใช้งาน เช่น ไม่ได้เปิดเครื่องไว้หรือไม่มีกระดาษ ก็อาจทำให้โปรแกรมเกิดการทำงานผิดพลาดได้ การตรวจสอบนี้จะใช้ int 17h ของ DOS เช่นกัน โดยถ้ามีการตรวจพบว่าเครื่องพิมพ์ยังไม่พร้อมก็จะส่งเสียงเตือนพร้อมกับปรากฏข้อความบนจอภาพ ซึ่งจะเขียนไว้ในฝั่งซ้าย print-error

1.6 ส่วนคำนวณและสร้างรูปสัญญาณ ส่วนนี้จะใช้ในกรณีที่มีสัญญาณที่มีความถี่ใกล้เคียงกับสัญญาณแชนเปลิ่ง เพราะข้อมูลที่ได้จากการแชนเปลิ่งสัญญาณกรณีนี้จะไม่สามารถบอกรายละเอียดใดๆได้ และถ้าสัญญาณที่ทำการวัดมีความถี่ใกล้เคียงกับสัญญาณแชนเปลิ่งมากจะทำให้รูปคลื่นสัญญาณที่ปรากฏบนจอภาพนั้นจะถูกบีบให้แคบมากจนดูไม่รู้เรื่อง ยกตัว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าอย่างดั่งต่อไปนี้

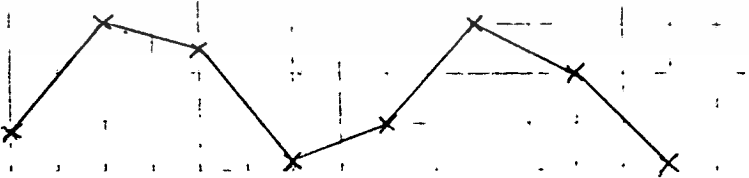
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ภาพ ก. สัญญาณรูปซายน์ที่มีความถี่ต่ำกว่าสัญญาณแซมปลิง เพียงสี่เท่าและจุดที่ถูกแซมปลิง



ภาพ ข. เมื่อนำข้อมูลที่ได้จากการแซมปลิงมาพล็อตบนจอภาพ จะเห็นได้ว่าภาพที่ได้นั้นถูกบีบจนแคบจนดูไม่ออกกว่าเป็นรูปซายน์ ในกรณีนี้ จะต้องพล็อตจุดให้ห่างออกจากกันเพื่อให้สามารถเห็นรูปสัญญาณได้ดีขึ้น และลากเส้นต่อจุดก็จะได้ภาพดังภาพ ค.



ภาพ ค. เมื่อเพิ่มระยะห่างระหว่างจุดและลากเส้นต่อจุด ภาพที่ได้จะดีขึ้นแต่ก็ยังไม่สามารถเห็นเป็นรูปซายน์ เช่นสัญญาณจริงได้ ดังนั้น แทนที่จะใช้การลากเส้นตรงต่อจุดตามปกติ ในส่วนนี้ก็จะเพิ่มการคำนวณที่จะหาข้อมูลที่

อยู่ระหว่างจุดที่ได้จากการแซมปลิงจริงๆ และนำข้อมูลที่ได้จากการคำนวณนั้นมาพล็อตเพื่อไม่ให้กรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ให้ได้รูปสมการที่ใกล้เคียงรูปสมการจริง

การคำนวณนี้จะใช้วิธีการที่เรียกว่า least square fits โดยการสมมติให้ฟังก์ชันของสมการที่ต้องการนั้นเป็น linear equation ที่อยู่ในรูป

$$a + bx + cx^2 + dx^3 + \dots + nx^k = y$$

โดยที่ค่า y ในสมการคือค่าที่เขมปลิงมาได้ในเวลา x ค่าเวลาที่จะใช้ในการคำนวณนั้นจะนำมาจากกรตาแหน่งของนิกเซลบนจอภาพในแกน X (แกนอน) โดยจะพล็อตห่างจากกันช่วงละลิปจุด ดังนั้นค่า x ที่ได้จึงห่างกันทีละลิปค่าโดยจะเริ่มที่ศูนย์

และการคำนวณในโปรแกรมนี้จะอยู่ในออเดอร์ทที่ลิปคืออยู่จนสุดท้ายที่ x^{10} เนื่องจากติดอยู่ที่ตัวภาษาที่ใช้ันสามารถคำนวณอยู่ในค่าที่จำกัด ดังนั้นสมการที่ใช้ในการคำนวณจะเป็น

$$a + bx + cx^2 + dx^3 + ex^4 + \dots + kx^{10} = y$$

และในการคำนวณนั้นจะมีค่า y ตามจุด x ต่างๆกันจึงนำเอาสมการที่จุดต่างๆมารวมกันอยู่ในรูป

$$na + b x + c x^2 + d x^3 + e x^4 + \dots + k x^{10} = y$$

เพื่อความสะดวกจะใช้ X^n แทน x^n และ Y แทน y จะได้

$$na + bX + cX^2 + dX^3 + eX^4 + \dots + kX^{10} = Y \quad (1)$$

จะเห็นได้ว่าเราจะติดค่าสัมประสิทธิ์ $a-k$ เป็นจำนวน 11 ตัว ซึ่งในการแก้สมการนั้นที่ต้องการสมการถึง 11 สมการด้วย จึงนำ X เข้ามาคูณทั้งสองข้างของสมการเรียงจนได้ 11 สมการดังนี้

$$aX + bX^2 + cX^3 + dX^4 + \dots + kX^{11} = Xy \quad (2)$$

$$aX^2 + bX^3 + cX^4 + \dots + kX^{12} = X^2y \quad (3) \text{ จนกระทั่ง}$$

$$aX^{10} + bX^{11} + \dots + kX^{21} = X^{10}y \text{ เป็นสมการที่ 11}$$

จากสมการที่ได้ทั้ง 11 สมการสามารถนำไปทำเป็นเมตริกซ์ขนาด 11×11

ได้ดังนี้

$$\begin{bmatrix} 0 & X & X^2 & X^3 & \dots & X^{10} \\ X & X^2 & X^3 & \dots & \dots & X^{11} \\ X^2 & X^3 & \dots & \dots & \dots & X^{12} \\ \dots & \dots & \dots & \dots & \dots & \dots \\ X^{10} & \dots & \dots & \dots & \dots & X^{21} \end{bmatrix} \begin{bmatrix} a \\ b \\ c \\ \cdot \\ k \end{bmatrix} = \begin{bmatrix} y \\ Xy \\ X^2y \\ \dots \\ X^{10}y \end{bmatrix}$$

และต่อจากนี้ก็จะใช้วิธีทางเมตริกซ์หาค่า $a-k$ ออกมา และนำค่าที่ได้ไปแทนในสมการที่แรก และแทนค่า x ตามจุดต่างๆลงในสมการแล้วนำค่า y ที่ได้ไปพล็อตลงบนจอภาพตามแกน Y ในตำแหน่ง x ตามแกน X ทีละจอภาพ

1.7 ส่วนเก็บและอ่านข้อมูลลงจานแม่เหล็ก ส่วนนี้มีหน้าที่จัดเก็บข้อมูลที่เก็บไว้แล้วในหน่วยความจำลงไว้ในจานแม่เหล็กเพื่อเก็บเป็นข้อมูลถาวรต่อไป การเก็บข้อมูลนี้จะทำการอ่านข้อมูลจากหน่วยความจำภายนอกมาที่ละชุดแล้วบันทึกลงจานแม่เหล็ก ซึ่งจะสามารถบันทึกต่อกันไปเรื่อยๆจนกว่าข้อมูลจะหมดจากหน่วยความจำ หรือจนกว่าเนื้อที่ในจานแม่เหล็กจะหมด ในวงจรหน่วยความจำนั้นจะมีวงจรเปรียบเทียบแอดเดรส เมื่อตรวจพบว่าวงจรหน่วยความจำทำงานมาถึงแอดเดรสสุดท้าย ก็จะส่งสัญญาณเข้ามาอินเทอร์รัพท์ให้รู้ว่าข้อมูลหมดลงแล้ว ส่วนการตรวจจับของไดรฟ์นั้นจะใช้ BIOS ของเครื่องซึ่งจะจัดการให้เอง

ส่วนการอ่านข้อมูลนั้นจะทำการอ่านจนกว่าจะหมดไฟล์ซึ่งจะมีตัวแปร EOF (end of file) เป็นตัวบอกเช่นกัน หรือจะยกเลิกการอ่านโดยการกดคีย์ ESC ก็ได้ โดยจะมีการตรวจรับการกดคีย์อยู่ในโปรแกรมด้วย

1.8 ส่วนเก็บและอ่านข้อมูล ส่วนนี้จะอยู่ในฟังก์ชัน storage เป็นการควบคุมหน่วยความจำภายนอก ฟังก์ชันในส่วนนี้จะแบ่งออกเป็นส่วนควบคุมการเขียนข้อมูลและส่วนควบคุมการอ่านข้อมูลจากหน่วยความจำภายนอก ในส่วนการเขียนข้อมูลนั้นจะสามารถทำได้โดยส่ง outport ที่แอดเดรส 0219 ซึ่งในโปรแกรมได้กำหนดไว้เป็นชื่อ WRITE RAM และจะนำสัญญาณจากการตีโคตแอดเดรสนี้จาก 741s139 ไปส่งงานวงจรส่วนหน่วยความจำภายนอกและส่วนแปลงสัญญาณให้เริ่มทำงาน เมื่อส่งสัญญาณนี้ออกไปแล้วซอฟต์แวร์จะหยุดการทำงานค้างไว้เพื่อรอให้เก็บข้อมูลจนเต็มหน่วยความจำ โดยจะมีสัญญาณอินเทอร์รัพท์จากวงจรส่วนหน่วยความจำภายนอกเป็นตัวบอก (การทำงานของวงจรหน่วยความจำภายนอกนั้นจะมีรายละเอียดอยู่ในรายงานส่วน hardware) เมื่อทำการเก็บข้อมูลเรียบร้อยแล้วซอฟต์แวร์ก็จะรอรับการสั่งงานต่อไป

สำหรับในส่วนของการอ่านข้อมูลนั้นก็จะสามารถทำได้โดยส่ง outport ที่แอดเดรส 0218 ซึ่งในโปรแกรมได้กำหนดไว้เป็นชื่อ READ RAM สัญญาณนี้จะส่งการให้วงจรหน่วยความจำรอสัญญาณ IOR จาก CPU เพื่อที่จะส่งข้อมูลให้ CPU โดยผ่านทางพอร์ตของ 8255 เมื่อส่งสัญญาณ READ RAM ไปแล้ว ก็จะให้ฟังก์ชัน display from data เป็นส่วนที่ทำการอ่านข้อมูลและแสดงผลเป็นรูปคลื่นสัญญาณ และจะเลิกการแสดงผลจนกว่าผู้ใช้จะสั่งเลิกโดยกดคีย์ enter

นอกจากส่วนหลักๆเหล่านี้แล้วยังมีฟังก์ชันย่อยสำหรับช่วยงานอีกมาก โดยเฉพาะ SOFTWARE ชุดนี้ได้ใช้การแสดงผลอยู่ในกราฟิคโหมดทั้งหมด ไม่ว่าจะเป็นส่วนของเมนูต่างๆ โดยเฉพาะอย่างยิ่งการแสดงผลรูปคลื่นของสัญญาณ จึงต้องมีฟังก์ชันทางด้านการกราฟิคเช่น การแสดงตัวอักษร การเลื่อนของลูกศรเวลาเลือกเมนู การเปิดปิดวินโดว์ตามจุดต่างๆ และยังรวมไปถึงฟังก์ชันทางด้านเสียงประกอบต่างๆอีกด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2 HARDWARE

วงจรรวมของ hardware สามารถเห็นได้จากภาพที่ 2.1 การทำงานของวงจรถังหมดจะมีคร่าวๆดังนี้

ในตอนแรกนั้นสัญญาณที่ต้องการจะผ่านวงจรถยายและลดทอนสัญญาณและส่วนมัลติเพล็กซ์ เพื่อปรับขนาดและเลือกสัญญาณเข้าสู่วงจรถวนแปลงสัญญาณอนาลอกเป็นดิจิตอลต่อไป เมื่อสัญญาณถูกแปลงแล้วก็จะถูกส่งต่อเข้าวงจรถวนหน่วยความจำเพื่อให้ซีพียูสามารถอ่านเข้าไปใช้งานโดยผ่านทางพอร์ทของ 8255 อีกทีหนึ่ง

ในส่วนของรายละเอียดนั้นจะอธิบายเป็นส่วนๆดังต่อไปนี้

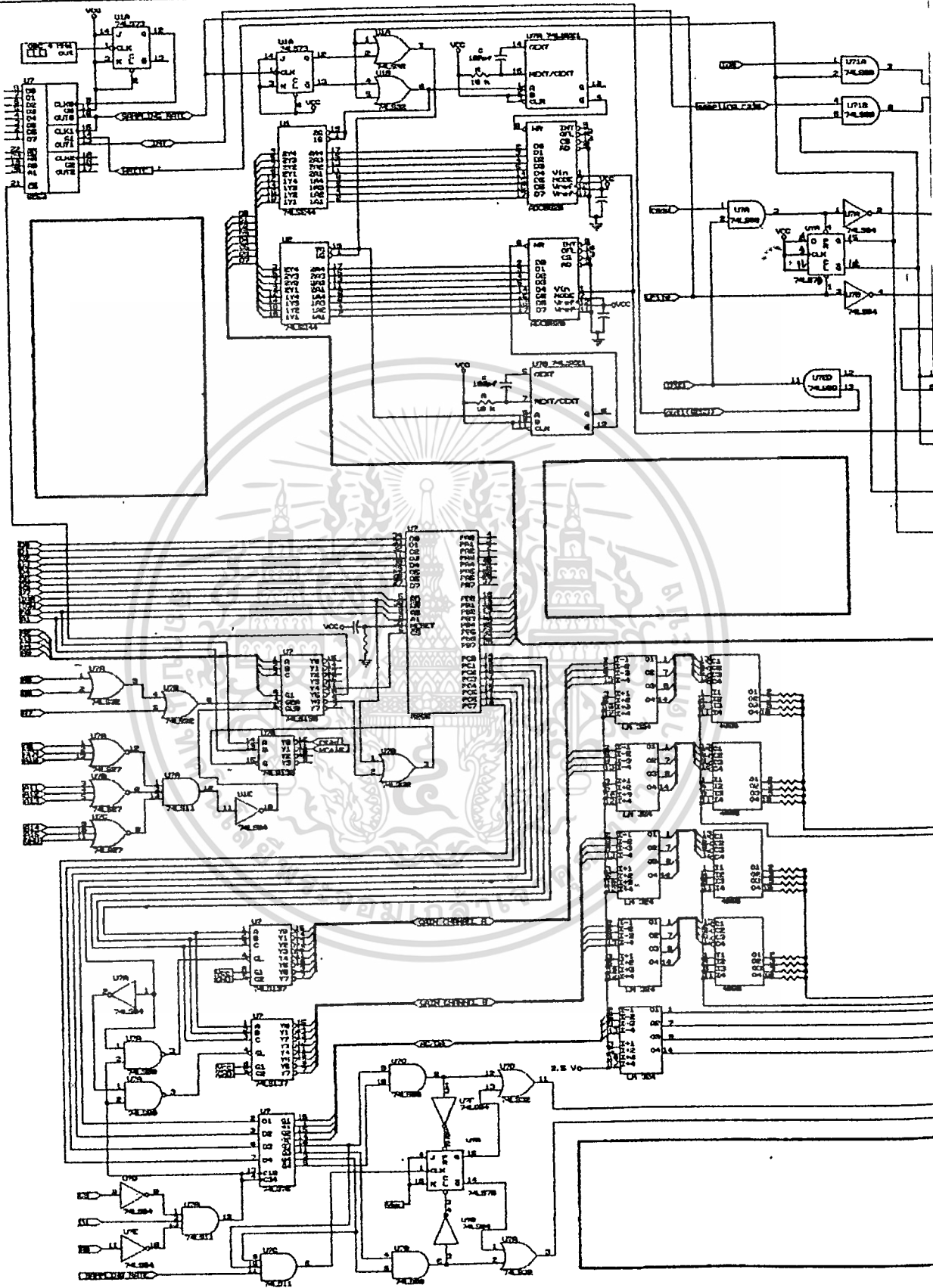
2.1 วงจรถวนถอดรหัสแอดเดรส

การถอดรหัสของ IBM PC XT/AT นั้นจะใช้แอดเดรสแค่ 10 บิตคือ A0-A9 และใช้แอดเดรสระหว่าง 0200-03FF ซึ่งในโครงการนี้จะใช้แอดเดรสระหว่าง 0210-0219 การนำแอดเดรสมาใช้นั้นจะใช้ได้ในขณะที่สัญญาณ AEN ต้องเป็น LOW ส่วนบิต A10 ขึ้นไปนั้นถึงแม้ไม่มีการใช้งานแต่ก็ได้ต่อวงจรถวนรหัสไว้ให้เป็นสัญญาณ LOW ทั้งหมด โดยได้มีการถอดรหัสใช้งานดังนี้

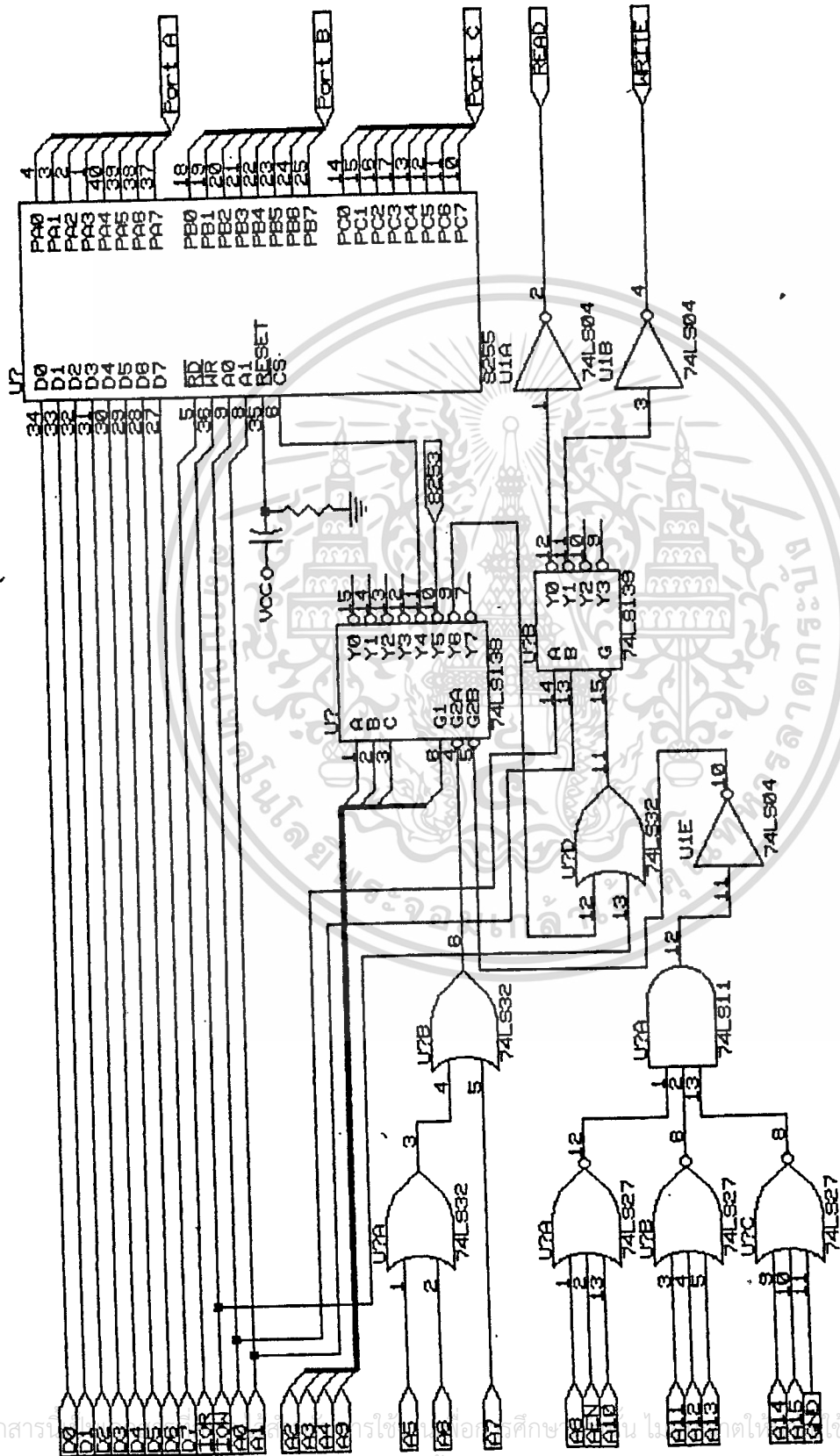
แอดเดรส	การใช้งาน
0210-0213	dataport และ control port ของ 8255
0214-0217	counter และ control port ของ 8255
0218	สัญญาณสั่งเริ่มการอ่านหน่วยความจำภายนอก
0219	สัญญาณสั่งเริ่มการเขียนหน่วยความจำ
021A-021B	ว่างไว้ไม่มีการใช้งาน

การถอดรหัสจะใช้ไอซีถอดรหัสเบอร์ 741s138 และ 741s139 โดยสัญญาณจาก 138 นั้นจะไม่สนใจสองบิตล่าง สัญญาณจาก 741s138 นั้นใช้เป็นสัญญาณเลือกอุปกรณ์ (chip select) ของ 8255 และ 8253 โดยต่อสองบิตล่างที่เหลือคือ A0, A1 ให้กับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์การใช้งานเพื่อการศึกษเท่านั้น ไม่อนุญาตให้นำไปเผยแพร่โดยไม่ได้รับอนุญาต
 ไม่ว่าการนี้ใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



Title	DECODE AND INTERFACE
Size	Document Number
REV	DECODE 1

8255, 8253 โดยตรง ส่วน 741s139 ก็จะใช้เอาที่พุกจาก 741s138 มาเป็นสัญญาณอินพุต(enable) และจะถอดรหัสจากบิต A0-A1 อีกทีหนึ่ง การใช้งาน 741s139 จะใช้งานที่แอดเดรส 0218-021B ซึ่งต้องการใช้งานแค่นัลส์ลูกเดียวในการสั่งงานเท่านั้น

2.2 วงจรส่วนขยายและลดทอนสัญญาณ

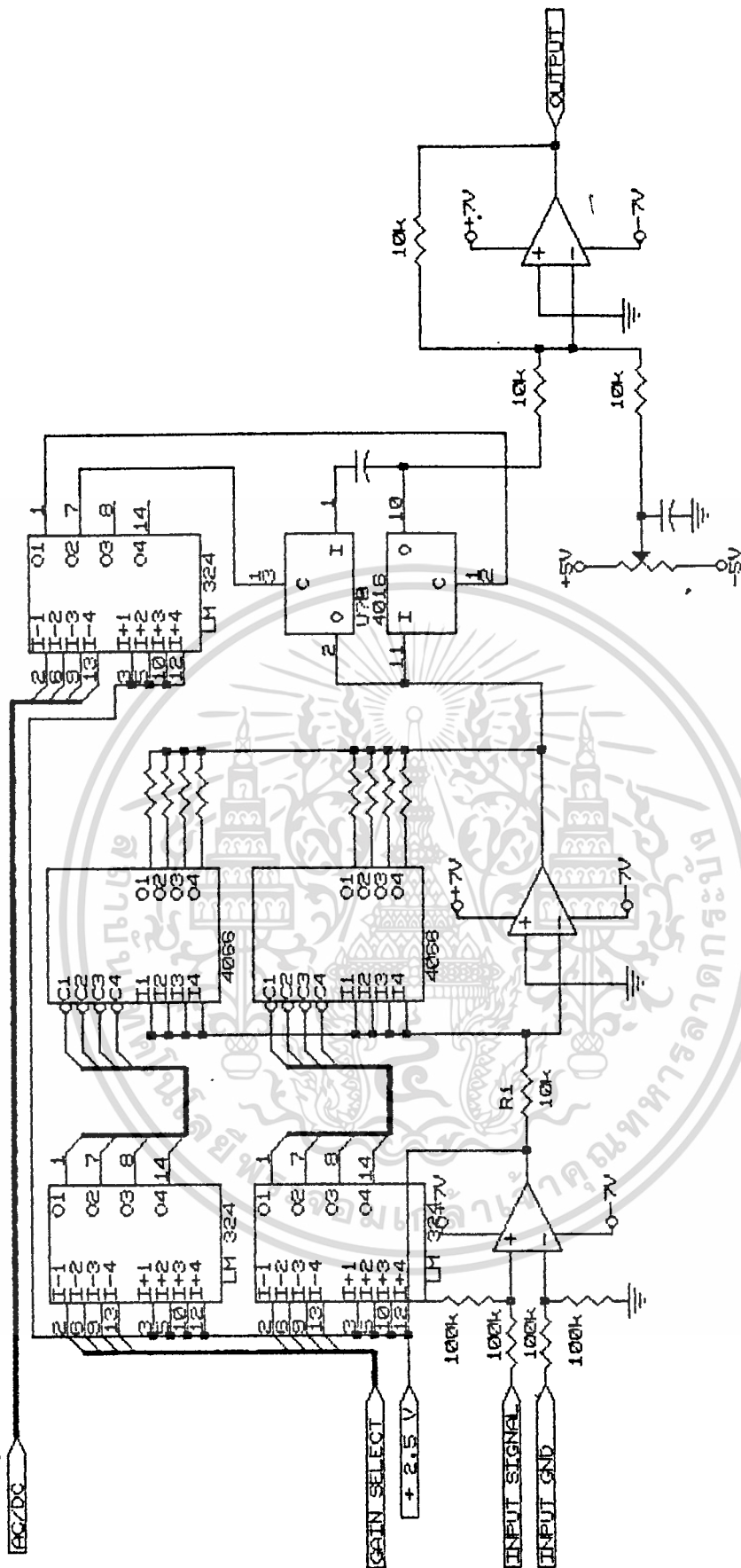
วงจรในส่วนนี้จะใช้ในการปรับขนาดและระดับของสัญญาณให้เหมาะสมกับไอซีแปลงสัญญาณอนาล็อกเป็นดิจิตอลเบอร์ ADC 0820 ที่สามารถรับสัญญาณในช่วง 0-5 โวลต์เท่านั้น แต่สัญญาณที่จะทำการวัดนั้นอาจจะมีคักดาสูงเกินกว่าที่จะรับได้จึงต้องมีการลดทอนขนาดของสัญญาณลงมา และในทางกลับกันถ้าสัญญาณมีขนาดเล็กก็ต้องการขยายเพื่อให้สามารถเห็นรายละเอียดของสัญญาณด้วย และยิ่งไปกว่านั้นถ้าสัญญาณมีคักดาเป็นลบตัว ADC 0820 จะไม่สามารถรับได้เช่นกันจึงได้ยกกระดบอ้างอิงของสัญญาณไว้ที่ ± 2.5 โวลต์ เพื่อให้สัญญาณสวิงอยู่ที่ 0-5 โวลต์โดยไม่มีการขาดหายของสัญญาณ

หลักการทํางานของวงจร

จากภาพจะเห็นได้ว่าส่วนแรกของวงจรจะเป็นวงจรขยายความแตกต่างโดยมีอัตราขยายเท่ากับหนึ่ง ส่วนนี้มีไว้เพื่อแยกกราวด์ของสัญญาณออกจากกราวด์ของวงจร เมื่อสัญญาณผ่านส่วนแรกมาแล้วก็จะเข้าสู่วงจรขยายสัญญาณแบบกลับเฟส ส่วนนี้จะใช้ในการปรับขนาดของสัญญาณให้ได้ตามขนาดที่ต้องการ ซึ่งมีอัตราขยายสัญญาณคือ R_f/R_i โดยจะเห็นได้ว่าสามารถปรับอัตราขยายได้โดยเปลี่ยน R_f หรือ R_i แต่ถ้าต้องการให้มีอัตราขยายสูงโดยให้ R_f มีค่าคงที่ R_i จะต้องมีค่าต่ำ แต่ R_i เป็นอินพุตอิมพีแดนซ์ของวงจร จึงไม่ควรมีค่าต่ำและไม่ควรเปลี่ยนแปลงตามอัตราขยาย ดังนั้นจึงใช้การเปลี่ยนแปลง R_f ในการเลือกอัตราการขยาย และจากสมการจะเห็นได้ว่าอัตราขยายมีค่าต่ำกว่าหนึ่งได้ จึงสามารถใช้ลดทอนสัญญาณได้ด้วย แต่ระดับสัญญาณอินพุตสูงสุดจะติดอยู่ที่ไฟเลี้ยงของออปแอมป์นั่นเอง และในการปรับเปลี่ยนค่าของ R_f นั้นจะใช้การสั่งทางซอฟต์แวร์ โดยใช้สามบิตแรกจากพอร์ท C ของ 8255 ผ่านตัว 3 to 8 line decoder เบอร์ 741s137 ซึ่งมีแลทซ์ในตัว สัญญาณที่ได้จากตัวดีโคดเดอร์(decoder) จะถูกส่งผ่านไปให้คอมพาราเตอร์(comparator LM324) เพื่อแปลงสัญญาณขนาด 0-5 โวลต์เป็น ± 7.5 โวลต์เนื่องจากการเลือกตัวต้านทานนั้นจะใช้อนาล็อกสวิทช์(4066/4016)ที่ต่อกับไฟเลี้ยงที่ ± 7.5 โวลต์ด้วย

วงจรเปรียบเทียบสัญญาณที่ใช้จะต่อคักดาอ้างอิง +2.5 โวลต์ไว้กับขาบวกของคอมพาราเตอร์ ดังนั้นเมื่อสัญญาณอินพุตที่เข้าขาลบมีคักดัสูง(+5 โวลต์)จะได้เอาที่พุกเป็น -7.5 โวลต์ และถ้าสัญญาณอินพุตที่ขาลบมีคักดัต่ำ(0 โวลต์)ก็จะได้สัญญาณเอาที่พุกเป็น +7.5 โวลต์ ซึ่งสามารถนำไปควบคุม 4066 ได้ สำหรับ 4066 นั้นในขณะที่ ON จะมี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



REV	
Size Document Number	A
Date:	January 1, 1980
Sheet	of

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ความต้านทานอยู่ประมาณ 20 โอห์ม ซึ่งถ้าเปรียบเทียบกับ R_f , R_i แล้วจะสามารถตัดค่านี้ออกไปได้ แต่ถ้าในงานที่ต้องการความเที่ยงตรงสูง R_f ควรใช้ทริมพอต (trimpot) ที่สามารถปรับค่าได้ละเอียดตามที่ต้องการได้จริงๆ สำหรับออปแอมป์ที่ใช้ในวงจรขยายนั้น (LM318) จะมีแบนวิดท์ที่กว้าง ดังนั้นจึงถือได้ว่าความถี่ของสัญญาณอินพุตจะมีผลกับอัตราขยายน้อยมาก

ส่วนบิตต่อมาคือบิตที่สี่จากพอร์ท C ของ 8255 นั้นจะใช้ในการเลือกตัวดีโคเดอ์ของแต่ละแชนแนล วงจรนี้สามารถทำให้เลือกค่าความต้านทานต่างๆ ได้ถึงแปดค่าในแต่ละแชนแนล

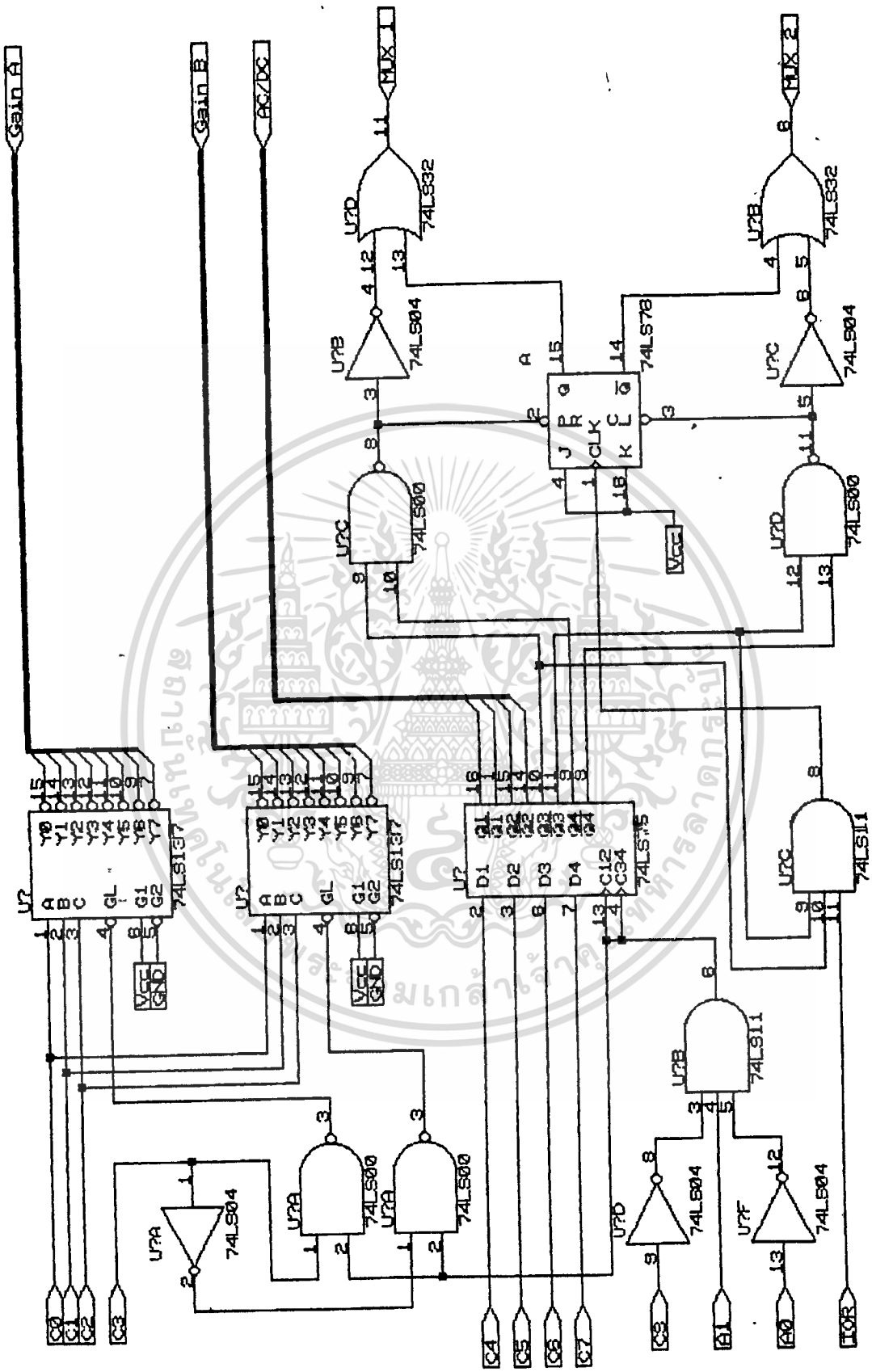
ส่วนต่อมาของวงจรจะเป็นวงจรรวมสัญญาณใช้ในการยกระดับของสัญญาณ นอกจากนี้ยังใช้เป็นส่วนปรับตำแหน่งบนแกน Y (Y-position) ด้วย การปรับระดับสัญญาณนั้นจะทำได้โดยรวมสัญญาณ DC เข้าไปกับสัญญาณที่ต้องการวัด สัญญาณ DC นั้นจะนำมาจาก การแบ่งระดับสัญญาณ (drop) ไฟเลี้ยง -5 โวลท์กับกราวด์ โดยใช้ตัวต้านทานแบบปรับค่าได้ R_v เป็นตัวสร้างระดับสัญญาณ DC ในช่วง 0 ถึง -5 โวลท์

สัญญาณที่ผ่านวงจรทั้งหมดของแต่ละแชนแนลจะถูกส่งเข้าอนาล็อกสวิทช์เพื่อเลือกว่าสัญญาณจากแชนแนลไหนจะถูกส่งเข้าวงจรแปลงสัญญาณต่อไป โดยการควบคุมการเปิดปิดอนาล็อกสวิทช์นั้นจะใช้สัญญาณจากบิตที่หกกับบิตที่เจ็ดของ 8255 พอร์ท C และสัญญาณการสุ่มสัญญาณ (sampling rate) เป็นตัวควบคุม

2.3 วงจรส่วนมัลติเพล็กซ์

วงจรส่วนนี้ใช้สำหรับเลือกสัญญาณที่จะทำการเก็บลงหน่วยความจำ โดยจะทำงานด้วยการควบคุมจากสัญญาณบิตที่หกกับบิตที่เจ็ดของ 8255 พอร์ท C และสัญญาณการสุ่มสัญญาณ (sampling rate) โดยจะมีการควบคุมดังนี้

BIT 6	BIT 7	การใช้งาน
0	0	ไม่ใช้งาน
0	1	channel A
1	0	channel B
1	1	dual



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรนี้จะใช้ 741s76 (JK F/F) เป็นส่วนหลักของวงจร ซึ่งถ้าทำงานในโหมด channel A หรือ channel B ตัว 741s76 นี้จะค้างอยู่ที่สถานะใดสถานะหนึ่งตามแขน แลลนั้นๆ แต่ถ้าอยู่ในโหมด dual จะทำงานเป็นท็อกเกิล(toggle) โดยสถานะทางเอาท์พุทจะมีการเปลี่ยนแปลงทุกครั้งที่มีการสุ่มสัญญาณเข้ามา สัญญาณที่ได้ทางเอาท์พุทนี้จะนำไปใช้เปิดปิดอนาล็อกสวิทช์ เพื่อเลือกสัญญาณให้ผ่านเข้าไปในวงจรแปลงสัญญาณต่อไป

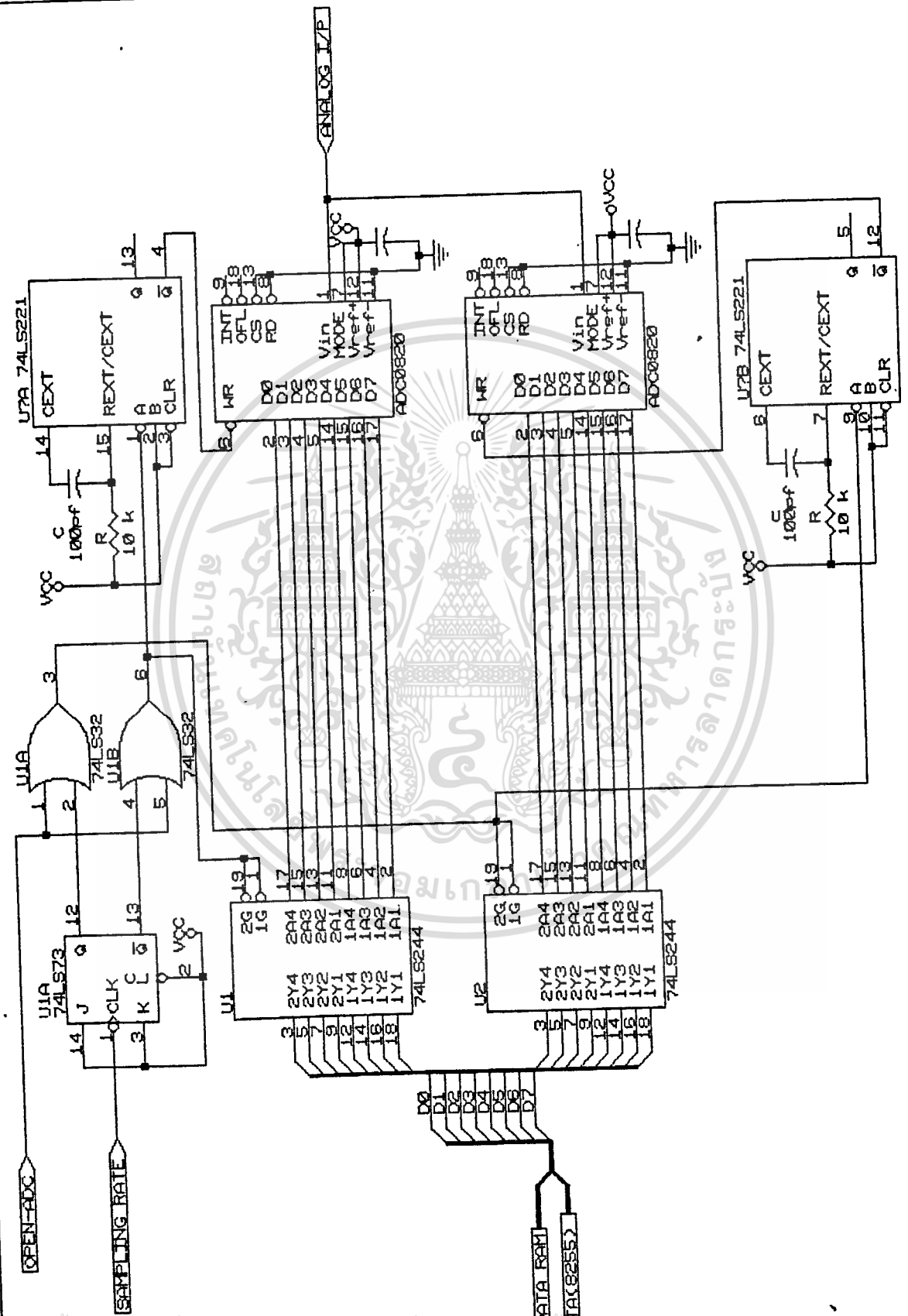
2.4 วงจรส่วนแปลงสัญญาณอนาล็อกเป็นดิจิตอล

ก่อนที่จะมีการประมวลผลสัญญาณด้วยคอมพิวเตอร์จะต้องแปลงสัญญาณอนาล็อกให้เป็นสัญญาณดิจิตอล ซึ่งจากโครงงานนี้เลือกใช้ไอซี ADC ๐82๐ ซึ่งเป็น ADC 8 bit High speed converter with track/hold function ที่เป็นแบบ Flash ADC มีช่วงเวลาการแปลง 1.5 μ sec และมีวงจรแลทช์เอาท์พุทในตัว สามารถใช้งานได้โดยไม่ต้องมีวงจรอินเทอร์เฟสภายนอก ADC ๐82๐ นี้สามารถต่อใช้งานได้สองโหมดคือ RD โหมด และ WR-RD โหมด โดยโครงงานนี้จะใช้ WR-RD โหมด เนื่องจากมีช่วงเวลาการแปลงสัญญาณ (conversion time) ที่เร็วกว่า ตัว ADC ๐82๐ นั้นทำงานได้ที่ความถี่สูงสุด 7๐๐ KHz แต่จากการใช้งานจริงสามารถทำงานได้ที่ความถี่สูงสุดเพียง 5๐๐ KHz เท่านั้น และเพื่อให้วงจรส่วนนี้สามารถใช้งานได้ในช่วงความถี่ที่สูงขึ้น จึงได้ต่อวงจรเพิ่มเติมโดยใช้ ADC ๐82๐ สองตัวสลับกันทำงานจะสามารถใช้งานในช่วงความถี่ที่สูงขึ้นได้ถึงเท่าตัว

หลักการทํางาน

สัญญาณแชนเปลลิงแรกจะถูกต่อเข้ากับฟิลิฟลอป 741s73 ที่ต่อเป็นท็อกเกิลหารสัญญาณแชนเปลลิงแรกให้ลดความถี่ลงครึ่งหนึ่งและนำสัญญาณที่ได้ทั้ง Q และ \bar{Q} ไปควบคุม ADC แต่ละชุด ซึ่งประกอบด้วย ADC ๐82๐ และบัฟเฟอร์ 741s244 โดยจะสลับกันทำงานในช่วงที่แต่ละสัญญาณมีระดับลอจิกต่ำ (low) เมื่อชุดใดได้รับสัญญาณลอจิกต่ำตัว ADC ๐82๐ ก็จะได้รับสัญญาณอนาล็อกเข้ามาแปลงเป็นสัญญาณดิจิตอลพร้อมกับส่งสัญญาณที่แปลงแล้วนี้ ผ่านบัฟเฟอร์ในชุดเดียวกันเข้าสู่วงจรหน่วยความจำต่อไป และจากวงจรจะเห็นได้ว่า Q และ \bar{Q} ก่อนที่จะถูกต่อเข้ากับ ADC และบัฟเฟอร์นั้นจะถูกควบคุมจากสัญญาณ write ในส่วนของวงจรควบคุมหน่วยความจำ เพื่อให้วงจรนี้ทำงานในช่วงการเขียนข้อมูลลงหน่วยความจำเท่านั้น

และจากการต่อวงจรทดสอบพบว่าการใช้งานที่ความถี่ 1 MHz นั้นจะมีตัว ADC ที่ใช้ในการทดลองหลายตัวทำงานไม่ทัน จึงได้เพิ่มส่วนสร้างสัญญาณโมโนสเตเบิลโดยใช้ไอซี 741s221 Dual Monostable Multivibrator with Schmitt Trigger Input เป็นตัวสร้างสัญญาณ WR ให้กับ ADC ๐82๐ แต่ละตัว วงจรก็จะสามารถทำงานได้ที่ 1 MHz หรือมากกว่า (ได้สูงสุดถึง 1.4 MHz) โดยขณะที่ไอซี ADC แต่ละตัวนั้นสามารถทำงานได้ที่ความถี่สูงสุดเพียง 7๐๐ KHz เท่านั้น



2.5 วงจรส่วนหน่วยความจำและวงจรควบคุมหน่วยความจำ

วงจรมีหน้าที่เก็บข้อมูลที่ถูส่งมาจากวงจรแปลงสัญญาณ และจะนำข้อมูลนี้ส่งให้เครื่องคอมพิวเตอร์ประมวลผลต่อไป เหตุที่ต้องมีหน่วยความจำภายนอกมาเสริมนี้เนื่องจากเหตุผลสองประการดังนี้

ประการแรกเพื่อให้อัตราการแลกเปลี่ยนได้เร็วและมีมาตรฐานยิ่งขึ้น เนื่องจากถ้าใช้หน่วยความจำบนเมนบอร์ดนั้นเราต้องอาศัยการส่งงานทางซอฟต์แวร์ซึ่งการทำงานของเครื่องนั้นจะต้องผ่านขั้นตอนต่างๆทำให้เสียเวลามาก และนอกจากนั้นในเครื่องคอมพิวเตอร์แต่ละเครื่องยังมีสัญญาณนาฬิกาที่ไม่เท่ากัน ซึ่งถ้าเรานำมาใช้เป็นสัญญาณการแลกเปลี่ยนจะทำให้สัญญาณแลกเปลี่ยนไม่ตรงกันในแต่ละเครื่อง

ประการต่อมาคือถ้าเครื่องที่ใช้ยังมีหน่วยความจำจำกัดหรืออาจมีเรสลิเดนซ์โปรแกรม (Resident program) ค้างอยู่จะทำให้โครงงานนี้ทำงานได้อย่างไม่มีประสิทธิภาพ และข้อดีของการใช้หน่วยความจำภายนอกที่สำคัญก็คือสามารถออกแบบให้ใช้หน่วยความจำได้ไม่จำกัดตามที่ต้องการ

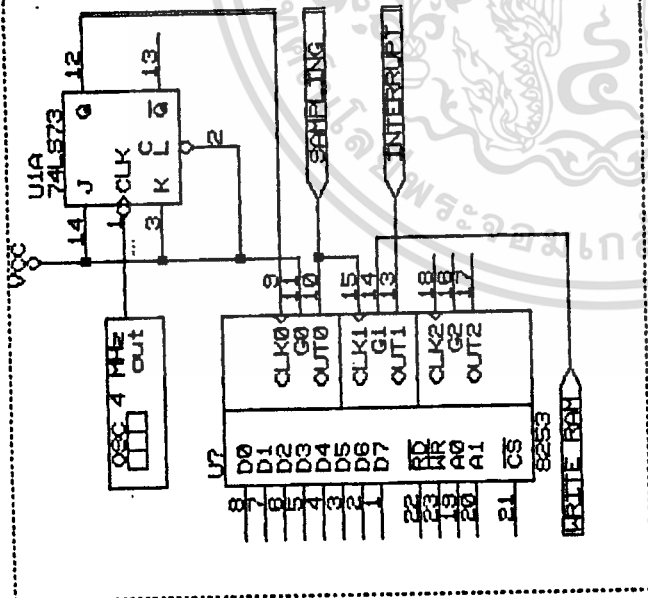
หน่วยความจำที่ใช้อยู่ในโครงงานนี้เป็นหน่วยความจำแบบสแตติก (SRAM) เบอร์ 58256 ซึ่งแต่ละตัวมีหน่วยความจำ 32 Kbyte ในโครงงานนี้ได้ออกแบบให้ใช้ได้ถึง 2 Mbyte โดยได้ต่อวงจรส่วนเคาน์เตอร์เป็นแอดเดรสเจนเนอเรเตอร์ไว้ให้สร้างแอดเดรสได้ถึง 2 Mbyte ซึ่งต้องใช้แอดเดรสทั้งหมด 21 บิต

การถอดรหัสเลือก SRAM ใช้งานนั้นทำโดยใช้ A_{19} และ A_{20} เป็นขาแอดเดรสที่ป้อนให้ 741s139 ถอดรหัสเลือก 741s154 ซึ่งเป็น Decoder 4-16 โดยใช้ $A_{15}-A_{18}$ เป็นสัญญาณที่ให้ 741s154 ทำการถอดรหัสเป็นสัญญาณเลือก CS (Chip Select) ของ SRAM แต่ละตัวซึ่งจะต่อให้เหมือนกันทุกตัว

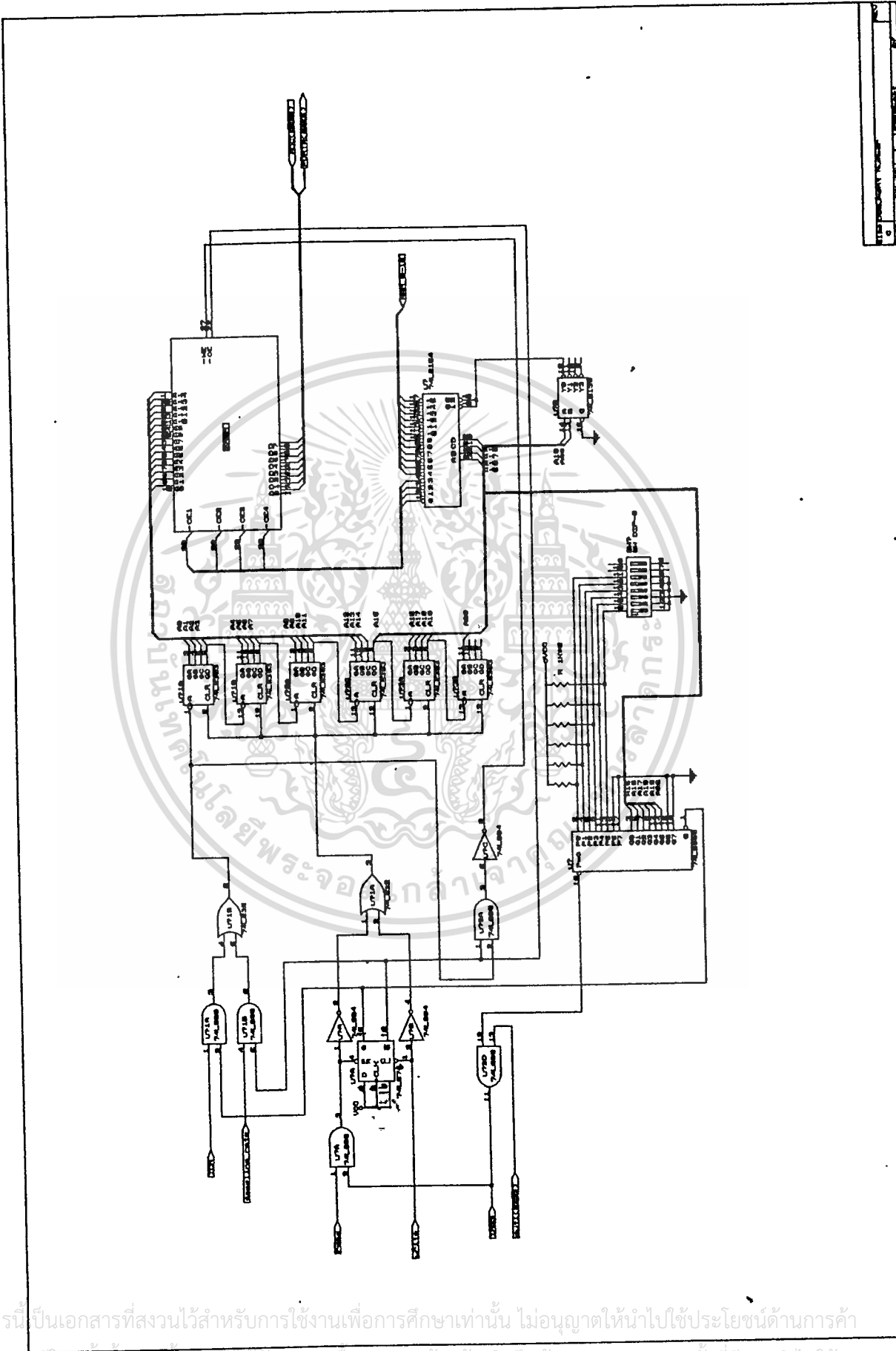
วงจรมีส่วนแอดเดรสเจนเนอเรเตอร์ที่ใช้จะใช้ 741s393 Binary Counter สามตัว ในการเขียนข้อมูลลงหน่วยความจำนั้นวงจรมีส่วนแอดเดรสจะใช้สัญญาณแลกเปลี่ยนเรทจาก 8253 เป็นสัญญาณนาฬิกา ส่วนการอ่านข้อมูลเข้าสู่เครื่องคอมพิวเตอร์นั้นจะใช้สัญญาณ IOR จากตัวเครื่องเป็นสัญญาณนาฬิกา ซึ่งมีวงจรมีส่วนเลือกสัญญาณนาฬิกาโดยใช้สัญญาณเริ่มการเขียนหน่วยความจำ (WRITE RAM) และสัญญาณเริ่มการอ่านหน่วยความจำ (READ RAM) จาก 741s139 ในส่วนถอดรหัสผ่านเข้า 741s76 (JK F/F) เนื่องจากสัญญาณที่ได้จาก 741s139 นั้นมีลักษณะเป็นพัลส์เพียงลูกเดียว แต่เมื่อผ่านเข้าวงจรมีส่วนของ 741s76 นี้แล้วจะได้สัญญาณที่รักษาระดับไว้เพื่อใช้ในการควบคุมต่อไป

หลักการทำงาน

หลักการทำงานของวงจรมีส่วนหน่วยความจำ เมื่อต้องการเก็บข้อมูลจะสามารถทำได้โดยส่งสัญญาณ WRITE RAM จาก 741s139 สัญญาณนี้จะเคลียร์ JK F/F (741s76) ให้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

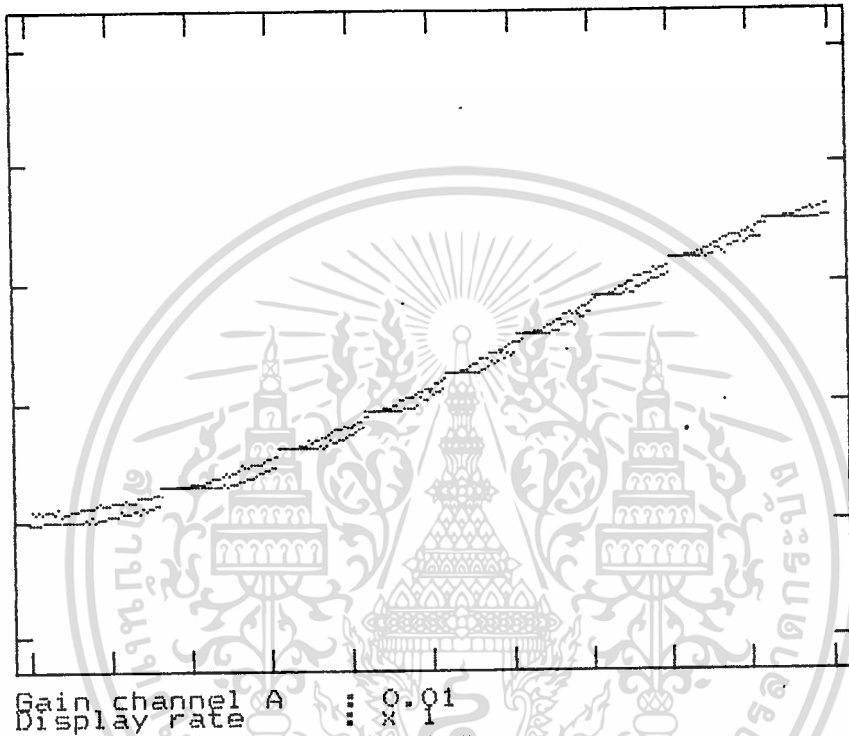


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

๑ เป็น ๐ และ ๑ เป็น 1 ซึ่งจะไปยังคัมบังวงจรส่วนเลือกสัญญาณนาฬิกาเปิดให้สัญญาณแชนพลิงเข้าไปเป็นสัญญาณนาฬิกาให้กับส่วนเคาน์เตอร์เพื่อสร้างแอดเดรสให้กับ SRAM พร้อมกันนั้นก็ส่งสัญญาณจาก 741s76 นี้ไปยังส่วนวงจรแปลงสัญญาณเพื่อให้วงจรส่วนนี้ทำงานและส่งข้อมูลผ่านบัฟเฟอร์ 741s244 มาเข้าสู่ SRAM ส่วนการเก็บข้อมูลนั้นมีสองวิธีแล้วแต่ว่าจะอยู่ในซอฟต์แวร์ส่วนใด ถ้าอยู่ในส่วนของ DISPLAY GRAPH ซึ่งในส่วนนี้ลักษณะการเก็บข้อมูลจะเก็บทีละหนึ่งจอภาพ และเมื่อเก็บข้อมูลครบหนึ่งจอภาพแล้ว จะมีสัญญาณจากวงจรมับที่สองของ 8253 มาหยุดการเก็บข้อมูลโดยส่งมาที่ขา PR ของ 741s76 ทำให้ ๑ เป็น 1 และ ๑ เป็น ๐ จะมีผลให้วงจรส่วนเคาน์เตอร์ถูกรีเซ็ต(การทำงานในส่วนของวงจรมับของ 8253 นั้นได้กล่าวไว้ในส่วนของซอฟต์แวร์แล้ว) และวงจรส่วนเลือกสัญญาณนาฬิกาที่จะเปลี่ยนเป็นส่งสัญญาณ IOR ให้กับเคาน์เตอร์แทนสัญญาณแชนพลิงนอกจากนั้นสัญญาณที่ส่งไปสู่วงจรส่วนแปลงสัญญาณจะทำให้วงจรส่วนแปลงสัญญาณหยุดการทำงานด้วย พร้อมกันนั้นสัญญาณจากวงจรมับที่สองของ 8253 นี้จะถูกส่งต่อไปเข้าขา IORQ2 บนสล็อตเพื่อทำการอินเทอร์รัทท์ให้ซอฟต์แวร์ดึงเอาข้อมูลที่เก็บไว้ไปแสดงผลทันที

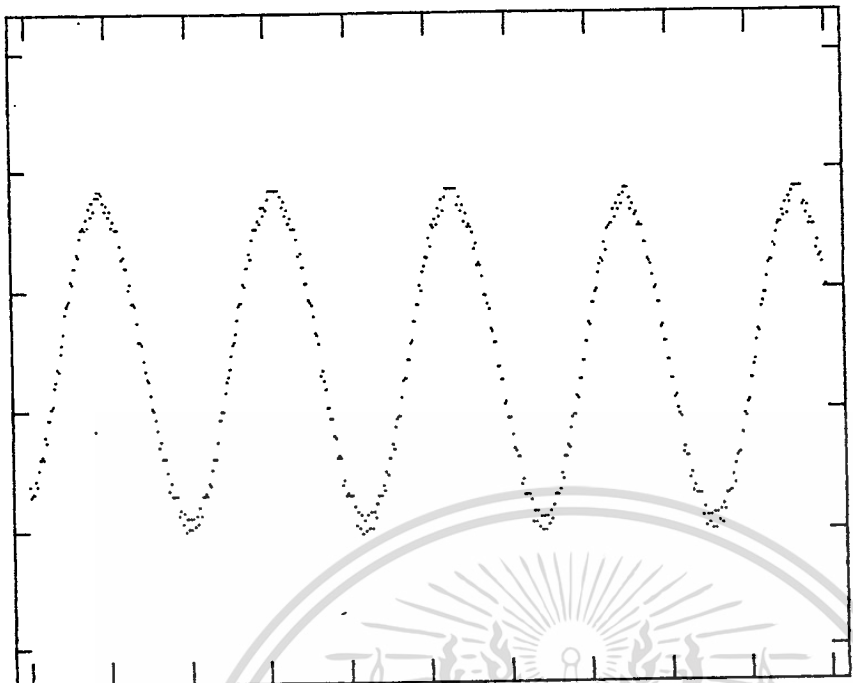
และสำหรับการทำงานในส่วน STORAGE นั้นจะมีสัญญาณจากส่วนแอดเดรสคอมพิวเตอร์(741s688)มาหยุดการเก็บข้อมูลโดยจะมีการทำงานเช่นเดียวกับสัญญาณจากวงจรมับที่สองของ 8253 โดยวงจรส่วนแอดเดรสคอมพิวเตอร์นี้จะทำการเปรียบเทียบสัญญาณแอดเดรสจากวงจรเคาน์เตอร์กับสัญญาณจากดิฟเฟอเรนเชียลที่ตังไว้ ถ้าสัญญาณตรงกันก็จะส่งสัญญาณออกมา การที่ใช้ดิฟเฟอเรนเชียลในการตังสัญญาณอ้างอิงนั้นก็เพื่อให้สามารถตังจำนวน SRAM ที่ใช้งานในวงจรได้ตามต้องการ สัญญาณที่ได้จากวงจรแอดเดรสคอมพิวเตอร์นี้จะถูกส่งเข้าขา IORQ2 เช่นเดียวกัน แต่การทำงานของส่วนซอฟต์แวร์จะแตกต่างตรงที่ในส่วนนี้ซอฟต์แวร์จะไม่ดึงข้อมูลออกไปแสดงผลทันที เพียงแต่บอกผู้ใช้ว่าเก็บข้อมูลจนเต็มหน่วยความจำแล้วเท่านั้น ส่วนการนำข้อมูลไปประมวลผล อย่างไรนั้นขึ้นอยู่กับตัวผู้ใช้เอง

บทที่ 3 การทดลองและผลการทดลอง
 การทดลองของโครงการนี้จะใช้การวัดสัญญาณรูปชายน้และสัญญาณรูปสี่เหลี่ยม
 ที่ความถี่ต่างกัน และนิมพ์ผลที่ได้เป็นรูปคลื่นออกทางเครื่องนิมพ์ ซึ่งจะได้ผลดังต่อไปนี้



ภาพที่ 1

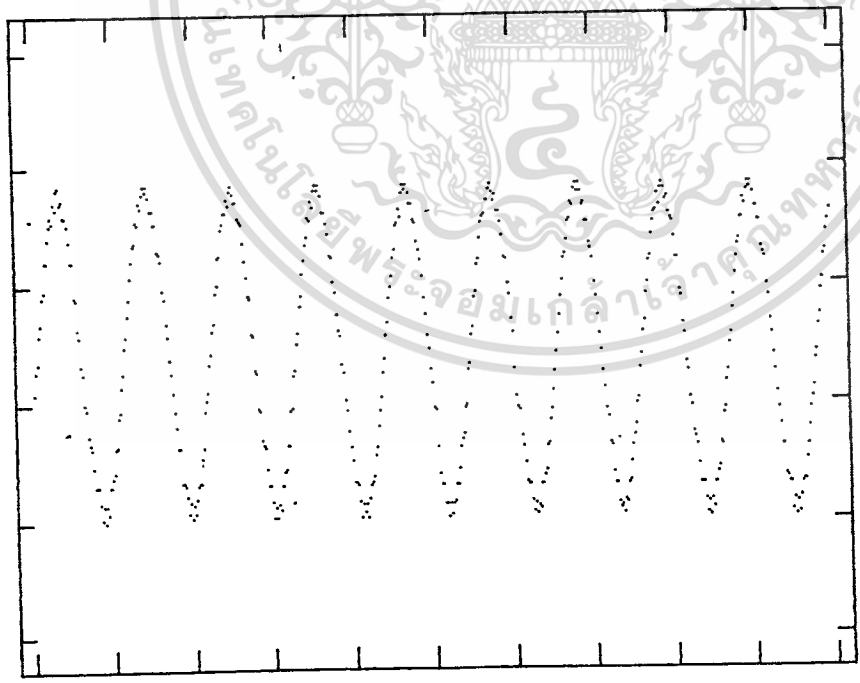
สัญญาณความถี่ 1 KHz ที่อัตราการสุ่ม 1 MHz
 จากภาพที่ 1 จะเห็นได้ว่าอัตราการแปลงสัญญาณ
 ของ ADC 0820 แต่ละตัวไม่เท่ากันจึงเกิดเป็น
 เส้นขนานกันขึ้น



Gain, channel A : 0.01
 Display rate : x 1

ภาพที่ 2

สัญญาณความถี่ 10 KHz ที่อัตราการสุ่ม 1 MHz

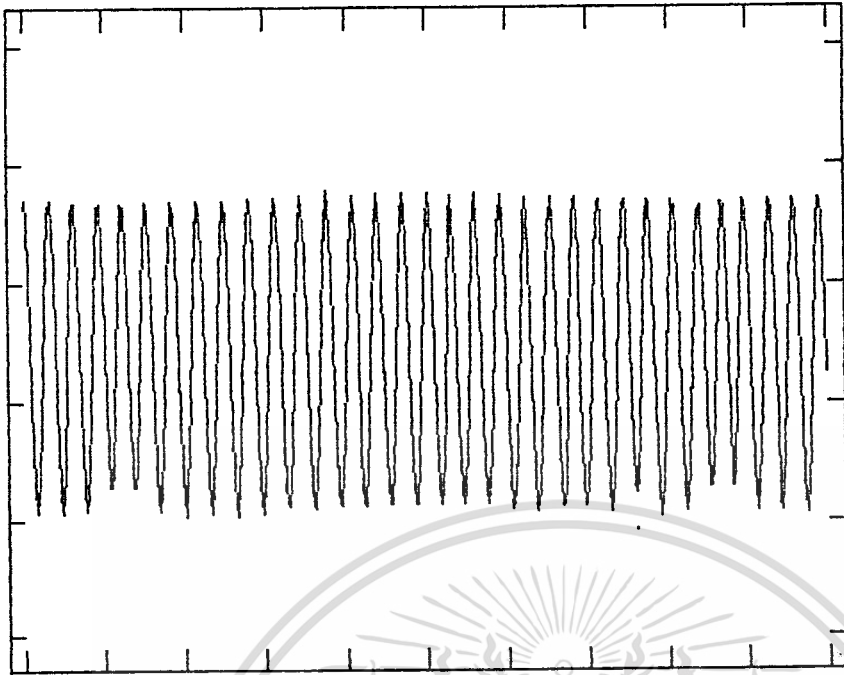


Gain, channel A : 0.01
 Display rate : x 1

ภาพที่ 3

สัญญาณความถี่ 20 KHz ที่อัตราการสุ่ม 1 MHz

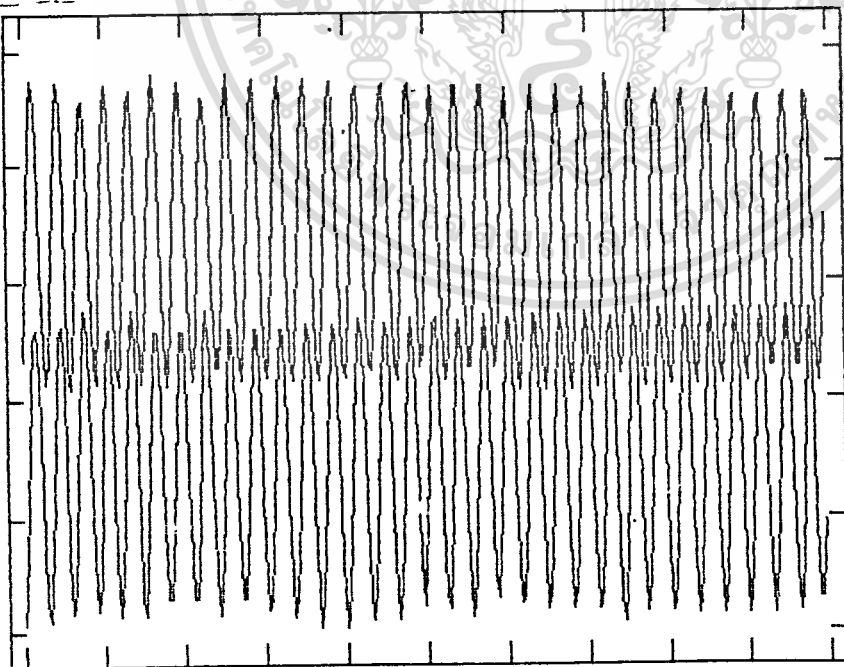
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



Gain channel A : 0.01
 Display rate : x 1

ภาพที่ 4

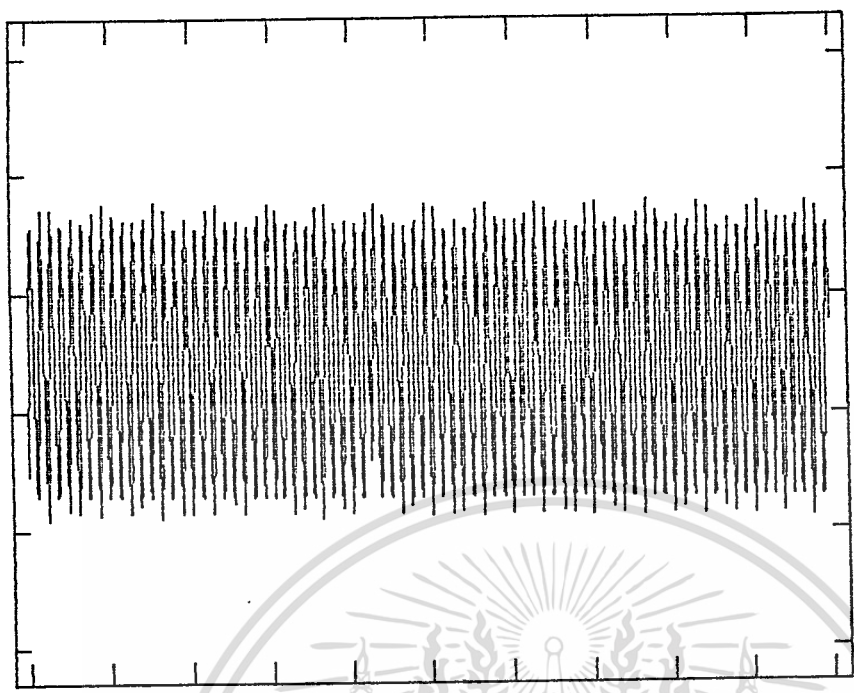
สัญญาณความถี่ 50 KHz ที่อัตราการสุ่ม .5 MHz เนื่องจากฟังก์ชันแจนเนอเรเตอร์ที่ใช้ในการทดลอง สามารถจ่ายความถี่สูงสุดได้เพียงประมาณ 50 KHz จึงลดอัตราการสุ่มลงมาเพื่อทดลองที่สัญญาณการสุ่ม เป็น 10 เท่า



Gain channel A : 100
 Gain channel B : 0.01
 Display rate : x 1

ภาพที่ 5

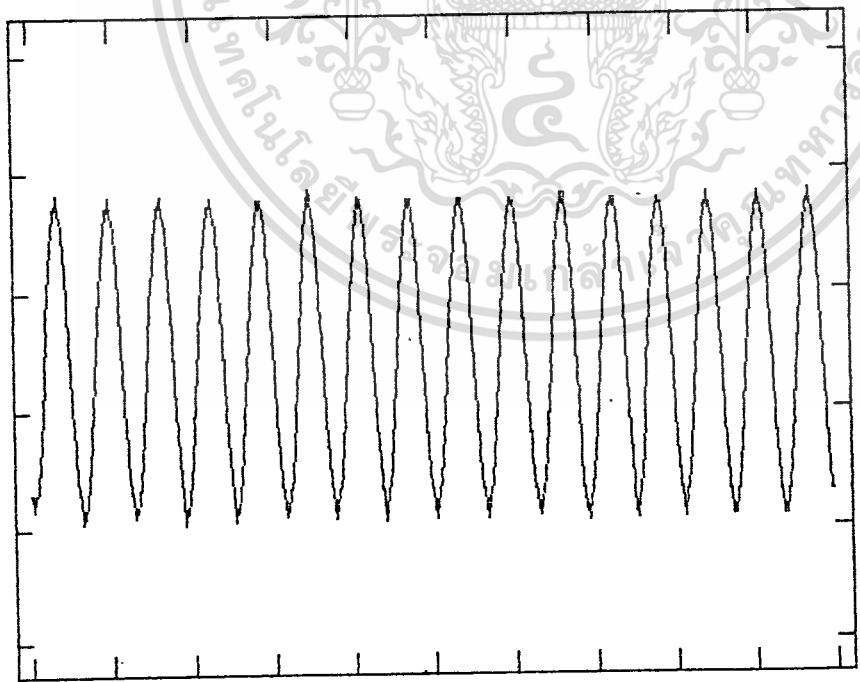
สัญญาณความถี่ 50 KHz ที่อัตราการสุ่ม .5 MHz เพื่อทดลองการทำงานที่ dual mode ใช้ประโยชน์ด้านกา... ค่าไม่วางกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



Gain channel A : 100
 Display rate : x 1

ภาพที่ 6

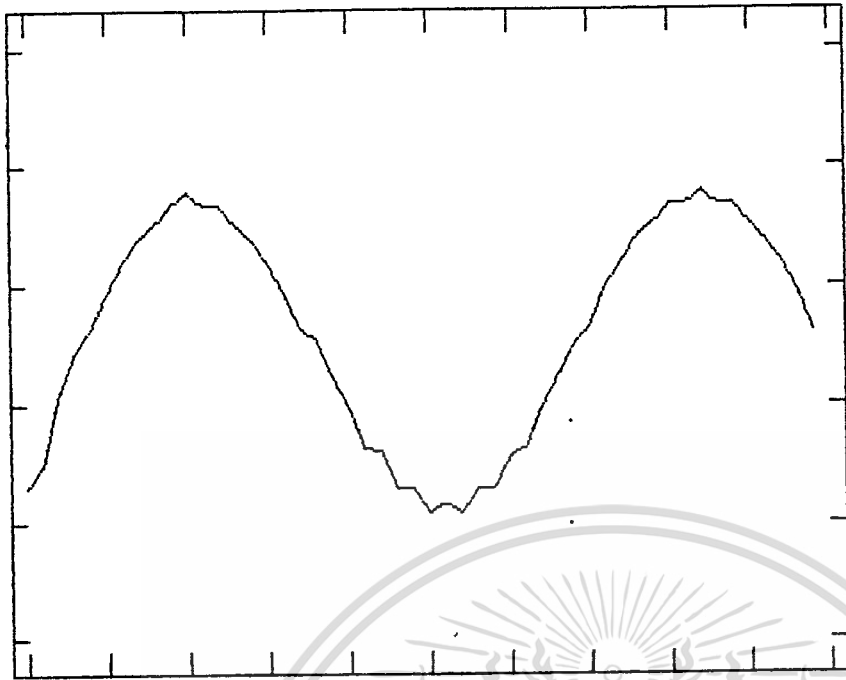
สัญญาณความถี่ 50 KHz ที่อัตราการสุ่ม 250 KHz



Gain channel A : 0.01
 Display rate : x 1

ภาพที่ 7 ก. สัญญาณความถี่ 40 KHz ที่อัตราการสุ่ม 1 MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



Gain channel A : 0.01
 Display rate : x 1
 scale

ภาพที่ 7 | ข. สัญญาณความถี่ 40 KHz ที่อัตราการสุ่ม 1 MHz โดยแสดงผลแบบขยายสิบเท่า

จากการทดลองจะเห็นได้ว่าอัตราการแซมปลิงที่ใช้งานได้อย่างมีประสิทธิภาพนั้น ควรจะอยู่ในช่วง 10-20 เท่าของสัญญาณที่ต้องการวัด สำหรับโครงการนี้มีอัตราการแซมปลิง 1 MHz ก็สามารถใช้ได้ดีกับสัญญาณในช่วง 100 KHz เท่านั้น

แต่ถ้าใช้ฟังก์ชันการคำนวณหรือการขยายสเกลเข้ามาช่วยนั้นก็จะสามารถลดช่วงของอัตราการแซมปลิงลงมาที่ 4-10 เท่าของสัญญาณก็สามารถใช้งานได้ดีเช่นกัน

การใช้งาน

ในส่วนของ hardware นั้นสามารถต่อแผ่นวงจรเข้ากับสล็อตของเครื่อง IBM pc XT/AT ได้โดยตรง และเพื่อสะดวกในการใช้งานนั้นได้เพิ่มกล่องต่อหัวสายโพรบไว้นอกการ์ดและบนกล่องนี้ยังมีโวลลุ่มสำหรับการปรับค่า Y-position ไว้ด้วย โดยจะมีสายแพสำหรับนำสัญญาณที่ต้องใช้ เชื่อมโยงไว้กับการ์ดที่เสียบไว้บนสล็อต สายโพรบที่ใช้ในโครงการนี้สามารถใช้สายโพรบที่ใช้งานกับออสซิลโลสโคปมาต่อใช้งานได้ทันที

เมื่อต่อส่วน hardware เรียบร้อยแล้วจึงค่อยเปิดเครื่องไมโครคอมพิวเตอร์ และเรียกโปรแกรมใช้งานหลังจากบูตเครื่องเสร็จ โปรแกรมที่เขียนไว้นี้ใช้ชื่อ detect เมื่อเรียกโปรแกรมเรียบร้อยแล้วจะขึ้นเมนูทางมุมขวาบนของจอภาพ ดังภาพที่ 1

การเลือกเมนูนั้นสามารถเลือกโดยใช้ปุ่มกำหนดทิศทางขึ้นลง (cursor up/down) เคลื่อนลูกศรไปยังฟังก์ชันที่ต้องการแล้วกด enter ซึ่งจะขออธิบายการใช้งานไล่ไปที่ละฟังก์ชันดังนี้

4.1 Adjust hardware

เมื่อการทำงานมาอยู่ในส่วนนี้จะปรากฏเมนูอีกห้าช่องทางด้านขวาของเมนู โดยจะเรียงตามภาพที่ 2 ดังนี้

1. เลือกอัตราการขยายและลดทอนของแชนแนล A
2. เลือกอัตราการขยายและลดทอนของแชนแนล B
3. เลือกสัญญาณ AC/DC ของแชนแนล A
4. เลือกสัญญาณ AC/DC ของแชนแนล B
5. เลือกโหมดการใช้งาน
6. เลือกอัตราการแซมปลิง

โดยในขณะที่ลูกศรที่ตัวเมนูจะเปลี่ยนรูปร่างเป็นสี่เหลี่ยมอยู่หน้าคำว่า adjust hardware และจะมีลูกศรปรากฏอยู่ที่เมนูทางด้านบนขวาสุดและเมนูที่เหลือนั้นก็จะมีสัญลักษณ์รูปสี่เหลี่ยมอยู่หน้าตัวเลือกต่างๆ ในแต่ละเมนู ซึ่งหมายความว่าไม่มีการทำงานในเมนูนั้นๆ และตัวสี่เหลี่ยมนี้จะเป็นตัวบ่งบอกถึงสถานะที่ถูกเลือกไว้ท้ายสุด แต่ถ้าถ้าเป็นการเริ่มปรับค่าครั้งแรกตัวสี่เหลี่ยมนี้จะชี้ที่ตัวเลือกตัวแรกในแต่ละเมนู การเลือกค่าต่างๆ ทำโดยใช้ปุ่มทิศทางชี้ขึ้นลงเป็นตัวเลือกในแต่ละเมนู เมื่อเลือกในเมนูแรกได้ตามต้องการแล้วจึงกด enter

เมื่อกด enter แล้วลูกศรในเมนูแรกก็จะสลับที่กับสี่เหลี่ยมในเมนูที่สอง เป็นการเลื่อนการทำงานมาอยู่ในเมนูที่สอง การเลือกใช้งานก็จะ เป็นเช่นเดียวกับเมนูแรก และแต่ละเมนูก็จะทำงานเรียงกันไปตามลำดับ เมื่อเลือกเมนูสุดท้ายเสร็จแล้วก็สามารถออกจาก

- : ADJUST HARDWARE
- : READ DATA
- : DISPLAY GRAPH
- : FILE
- : STORAGE
- : QUIT

ภาพที่ 1 MAIN MENU

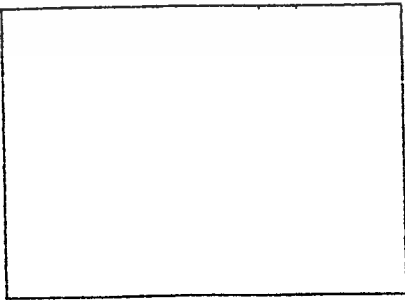
GAIN	
Channel A	Channel B
: 0.01	□ : 0.01
: 0.05	: 0.05
: 0.10	: 0.10
: 0.50	: 0.50
: 1.00	: 1.00
: 10	: 10
: 50	: 50
: 100	: 100

SAMPLING RATE	TIME/DIU
□ : 1.0 MHz	50 microsec
: 0.5 MHz	100 microsec
: 0.2 MHz	250 microsec
: 0.1 MHz	500 microsec
: 50 KHz	1.0 millisecc
: 20 KHz	2.5 millisecc
: 10 KHz	5.0 millisecc
: 5 KHz	10 millisecc
: 2 KHz	25 millisecc
: 1 KHz	50 millisecc

- : ADJUST HARDWARE
- : READ DATA
- : DISPLAY GRAPH
- : FILE
- : STORAGE
- : QUIT

□ : AC	□ : AC
: DC	: DC

MODE
□ : channel A
: channel B
: dual



ภาพที่ 2 ADJUST HARDWARE MENU

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แต่ละเมนูก็จะทำงานเรียงกันไปตามลำดับ เมื่อเลือกเมนูสุดท้ายเสร็จแล้วก็สามารถออกจากฟังก์ชันการทำงานโดยกดสเปซบาร์ แต่ถ้าต้องการแก้ไขก็สามารถทำได้โดยกดปุ่มอื่นที่ไม่ใช่สเปซบาร์ การทำงานก็จะกลับไปอยู่ในเมนูแรกถ้าไม่ต้องการเปลี่ยนแปลงก็กด enter ซ้ำเมนูนั้นๆไป

4.2 Display Graph

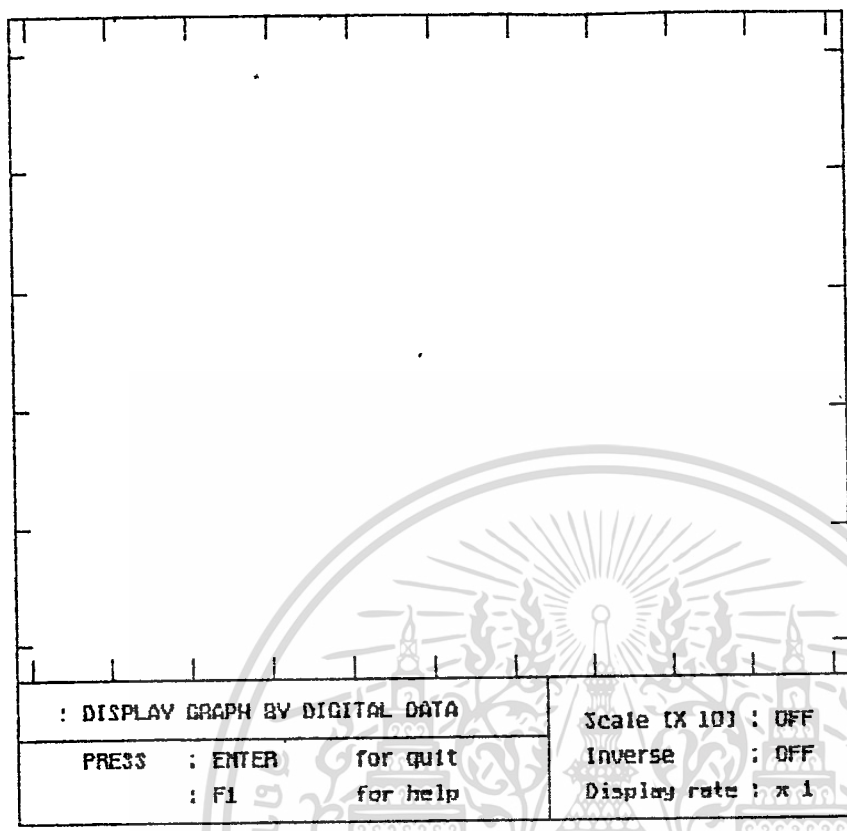
ฟังก์ชันนี้จะทำหน้าที่เป็นออลซิลโลสโคปโดยจะ เปลี่ยนส่วนทางซ้ายมือของจอภาพเป็นส่วนแสดงรูปคลื่นสัญญาณดังภาพที่ 3 และด้านล่างของส่วนแสดงสัญญาณนี้ก็จะเป็นส่วนแสดงสถานะของการแสดงสัญญาณนั้นๆดังต่อไปนี้คือ

1. มีการปรับขยายช่วงการแสดงผลสัญญาณเป็นสิบเท่าหรือไม่ [$\times 10$]
2. มีการกลับเฟสของสัญญาณหรือไม่ [inverse]
3. มีการปรับอัตราการแสดงผลเป็นกี่เท่า [display rate]

สำหรับการปรับขยายช่วงการแสดงผลสัญญาณเป็นสิบเท่า นั้นจะแตกต่างกับการปรับอัตราการแสดงผลคือ การขยายช่วงจะเป็นการยืดรูปสัญญาณออกอีกสิบเท่า โดยการพลอตจุดให้ห่างออกจากกันสิบจุด ส่วนการปรับอัตราการแสดงผลนั้นจะเป็นการหดรูปสัญญาณเข้ามา โดยการเว้นช่วงข้อมูลในการแสดงผลเช่นปรับ display rate เป็นสองเท่าหมายถึงการแสดงผลข้อมูลจุดแรกแล้วข้ามจุดที่สอง ไปแสดงผลข้อมูลจุดที่สามเลย ถ้าเป็นห้าเท่าก็หมายถึงข้ามไปที่ละห้าข้อมูลแต่การพลอตจุดบนจอภาพนั้นจะพลอตจุดต่อเนื่องกันไป

ส่วนช่องเลือกชื่อช่องทางด้านล่างของ เมนูเมนูนั้นจะเป็นการแสดงสถานะของส่วน hardware ที่ได้ทำการปรับไว้ในฟังก์ชัน as just hardware และสามารถทำการปรับเปลี่ยนค่าต่างๆได้ระหว่างการแสดงผลเพื่อความสะดวกในการทำงานด้วย ซึ่งการใช้งานจะใช้ปุ่มฟังก์ชันต่างๆดังนี้

- | | |
|--------------------|---|
| 1. F1 | จะเป็นการแสดงข้อความบอกการใช้งาน (help) |
| 2. F2 และ Shift F2 | จะเป็นการเพิ่ม/ลดอัตราการขยายและลดทอนสัญญาณของแชนแนล A |
| 3. F3 และ Shift F3 | จะเป็นการเพิ่ม/ลดอัตราการขยายและลดทอนสัญญาณของแชนแนล B |
| 4. F4 | เป็นการเปลี่ยนโหมดการใช้งาน |
| 5. F5 และ Shift F5 | เป็นการเพิ่ม/ลดอัตราการแซมปลิง |
| 6. F6 | นิมฟ์รูปคลื่นสัญญาณที่แสดงบนจอภาพขณะนั้นออกทาง เครื่องนิมฟ์ |
| 7. F7 | แสดงการกลับเฟสของสัญญาณ |
| 8. F8 และ Shift F8 | เลือกสัญญาณ AC/DC ของแชนแนล A/B |



: ADJUST HARDWARE
 : READ DATA
 : DISPLAY GRAPH
 : FILE
 : STORAGE
 : QUIT

GAIN A : 0.01 : AC

GAIN B : 0.01 : AC

MODE : channel A

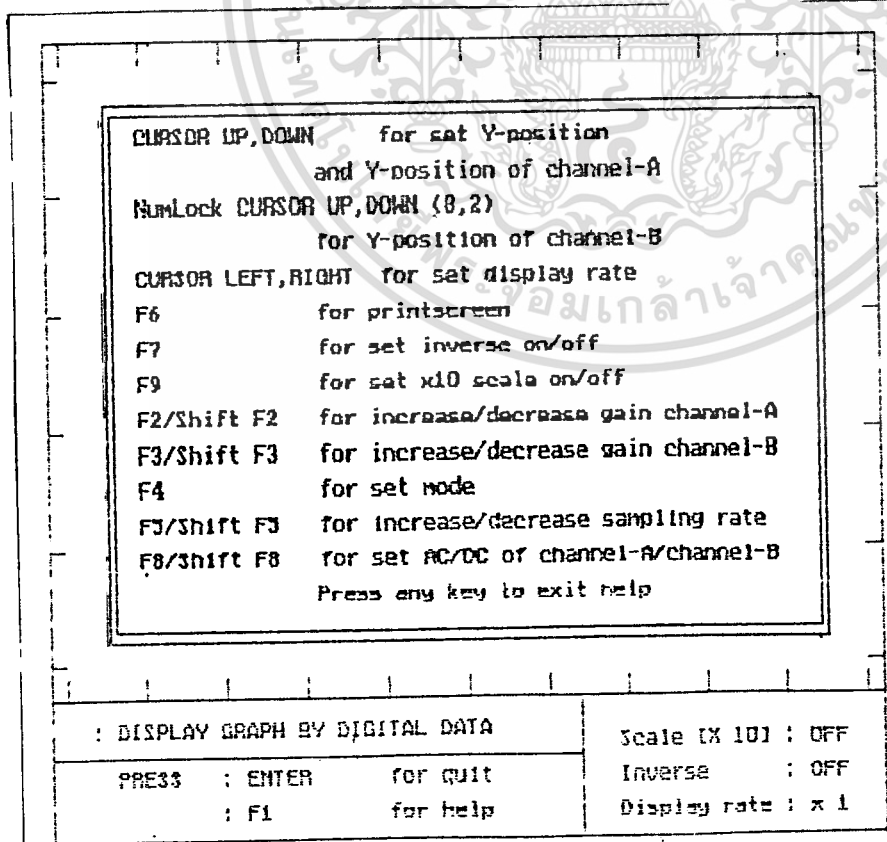
RATE : 1.0 MHz

TIME/DIV: 50 microsec

: DISPLAY GRAPH BY DIGITAL DATA
 PRESS : ENTER for quit
 : F1 for help

Scale (X 10) : OFF
 Inverse : OFF
 Display rate : x 1

ภาพที่ 3



CURSOR UP, DOWN for set Y-position
 and Y-position of channel-A
 NumLock CURSOR UP, DOWN (0,2)
 for Y-position of channel-B
 CURSOR LEFT, RIGHT for set display rate
 F6 for printscreen
 F7 for set inverse on/off
 F9 for set x10 scale on/off
 F2/Shift F2 for increase/decrease gain channel-A
 F3/Shift F3 for increase/decrease gain channel-B
 F4 for set mode
 F5/Shift F5 for increase/decrease sampling rate
 F8/Shift F8 for set AC/DC of channel-A/channel-B
 Press any key to exit help

: ADJUST HARDWARE
 : READ DATA
 : DISPLAY GRAPH
 : FILE
 : STORAGE
 : QUIT

GAIN A : 0.01 : AC

GAIN B : 0.01 : AC

MODE : channel A

RATE : 1.0 MHz

TIME/DIV: 50 microsec

: DISPLAY GRAPH BY DIGITAL DATA
 PRESS : ENTER for quit
 : F1 for help

Scale (X 10) : OFF
 Inverse : OFF
 Display rate : x 1

ภาพที่ 4

9. Cursor up/down ปรับ Y-position ทางซอฟต์แวร์ ถ้าอยู่ในโหมดการใช้งานสองแกนแนลพร้อมกันจะเป็นการปรับค่า Y-position ของแกนแนล A
10. Num Lock Cursor up/down หรือ B กับ 2 ใช้ปรับ Y-position ทางซอฟต์แวร์ของแกนแนล B ใช้ในโหมดการใช้งานสองแกนแนลพร้อมกันเท่านั้น
11. Cursor left/right ใช้เพิ่ม/ลดค่าของ display rate
12. สเปซบาร์ ใช้หยุดรูปสัญญาณค้างไว้บนจอภาพ พร้อมกับลากเส้นเชื่อมโยง

ข้อความทั้งหมดนี้จะแสดงออกทางจอภาพเมื่อกดปุ่ม F1 ดังแสดงในภาพที่ 4

4.3 Storage

เมื่อเลือกมาที่ฟังก์ชันการใช้งานนี้จะมีเมนูขึ้นที่ด้านล่างของเมนูตั้งภาพที่ 5 โดยจะมีข้อความ WRITE RAM, READ RAM และ EXIT ให้เลือก การเลือกก็จะเป็นเช่นเดียวกับเมนูอื่นๆคือใช้ปุ่มทิศทางขึ้นลงในการเลื่อนลูกศรและกด enter เพื่อเลือกการทำงานต่างๆ เมื่อเลือก WRITE RAM นั้นจะเป็นการเขียนข้อมูลลงหน่วยความจำข้อมูล โดยโปรแกรมจะหยุดรอชั่วขณะ เมื่อการเก็บข้อมูลเรียบร้อยแล้วก็จะกลับมาที่เมนูนี้เพื่อรอคำสั่งต่อไป ในส่วนของ READ RAM นั้นจะเป็นการแสดงรูปคลื่นสัญญาณที่เก็บไว้ในหน่วยความจำภายนอก การแสดงผลจะเป็นเช่นเดียวกับฟังก์ชัน DISPLAY GRAPH แต่ในส่วนนี้จะไม่สามารถปรับเปลี่ยนอัตราต่างๆของฮาร์ดแวร์ได้ เนื่องจากเป็นการแสดงผลของข้อมูลที่เก็บไว้เรียบร้อยแล้ว จะสามารถปรับค่าการแสดงผลต่างๆได้แค่ที่แสดงไว้ใน HELP ในภาพที่ 7 เท่านั้น

4.4 File

การเลือกและการใช้งานจะเหมือนกับในส่วน Storage ทุกอย่าง เพียงแต่แตกต่างกันโดยฟังก์ชันนี้จะเก็บข้อมูลและอ่านข้อมูลจากแผ่นจานแม่เหล็ก ดังนั้นเมื่อเลือกการทำงานต่างๆจึงต้องมีการถามชื่อไฟล์ โดยจะขึ้นเป็นวินโดว์ตั้งภาพที่ 8 และเมื่อคีย์ชื่อไฟล์เรียบร้อยแล้วก็กด enter ด้านล่างก็จะปรากฏชื่อไฟล์ซ้ำอีกครั้งด้วยตัวอักษรตัวใหญ่ ถ้าชื่อไฟล์ที่คีย์ลงไปนั้นไม่มีนามสกุล (.xxx) ก็จะใส่นามสกุล .DTA ให้

: DISPLAY GRAPH BY DIGITAL DATA		Scale (X 10) : OFF
PRESS	: ENTER for quit	Inverse : OFF
	: F1 for help	Display rate : x 1

- : ADJUST HARDWARE
- : READ DATA
- : DISPLAY GRAPH
- : FILE
- : STORAGE
- : QUIT

- STORAGE MODE
- : WRITE RAM
 - : READ RAM
 - : EXIT

ภาพที่ 5

: DISPLAY GRAPH BY DIGITAL DATA		Scale (X 10) : OFF
PRESS	: ENTER for quit	Inverse : OFF
	: F1 for help	Display rate : x 1

CURSOR UP,DOWN	for set Y-position and Y-position of channel-A
NumLock CURSOR UP,DOWN (8,2)	for Y-position of channel-B
CURSOR LEFT,RIGHT	for set display rate
F6	for printscreen
F7	for set inverse on/off
F9	for set x10 scale on/off

Press any key to exit help

- : ADJUST HARDWARE
- : READ DATA
- : DISPLAY GRAPH
- : FILE
- : STORAGE
- : QUIT

- STORAGE MODE
- : WRITE RAM
 - : READ RAM
 - : EXIT

ภาพที่ 6

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาพที่ 7

: ADJUST HARDWARE
 : READ DATA
 : DISPLAY GRAPH
 : FILE
 : STORAGE
 : QUIT

FILE MODE
 : WRITE FILE
 : READ FILE
 : EXIT
 Enter file name
 abcd
 ABCD.DTA



: DISPLAY GRAPH BY DIGITAL DATA		Scale (X 10) : OFF
PRESS	: ENTER for quit	Inverse : OFF
	: F1 for help	Display rate : x 1

: ADJUST HARDWARE
 : READ DATA
 : DISPLAY GRAPH
 : FILE
 : STORAGE
 : QUIT

FILE MODE
 : WRITE FILE
 : READ FILE
 : EXIT

ภาพที่ 8

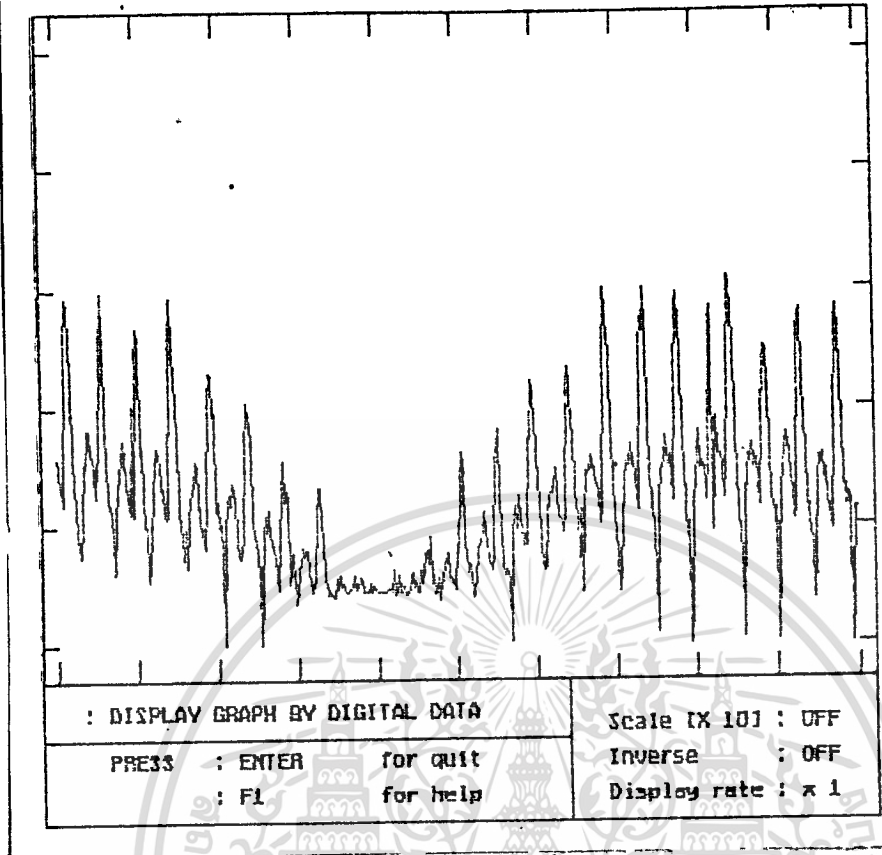
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ถ้าชื่อไฟล์ที่ต้องการเรียกชื่อกับที่เคยเรียกแล้วสามารถกด enter ช้ามส่วนที่ให้คีย์ไปได้เลย และจะปรากฏชื่อไฟล์ที่เรียกครั้งล่าสุดด้านล่างแล้วจึงกด enter ช้าอีกที

ในการเรียกอ่านข้อมูลจากไฟล์นั้นเมนูจะ เปลี่ยนเป็นส่วนแสดงค่าต่างๆได้แก่ ชื่อไฟล์ อัตราขยายของแต่ละแซนแนล และอัตราการสุ่มสัญญาณ ดังแสดงในภาพที่ 9/ และจะ เปลี่ยนกลับเป็นเมนูเดิมเมื่อสิ้นสุดการอ่านข้อมูล

และฟังก์ชันในส่วน EXIT นั้นเป็นการออกจากโปรแกรม เมื่อเลื่อนลูกศรมาที่ฟังก์ชันนี้แล้วกด enter จะมีคำถามย้ำว่าต้องการออกจากการทำงานแน่นอนหรือไม่ดังภาพที่8 ถ้าต้องการออกก็กด enter ก็จะออกจากโปรแกรมทันที แต่ถ้าไม่ต้องการออกจากโปรแกรมก็ทำได้โดยกดคีย์อื่นที่ไม่ใช่ enter ก็จะกลับมาในเมนูเมนูอีกครั้งหนึ่ง





- : ADJUST HARDWARE
- : READ DATA
- : DISPLAY GRAPH
- : FILE
- : STORAGE
- : QUIT

FILE NAME :

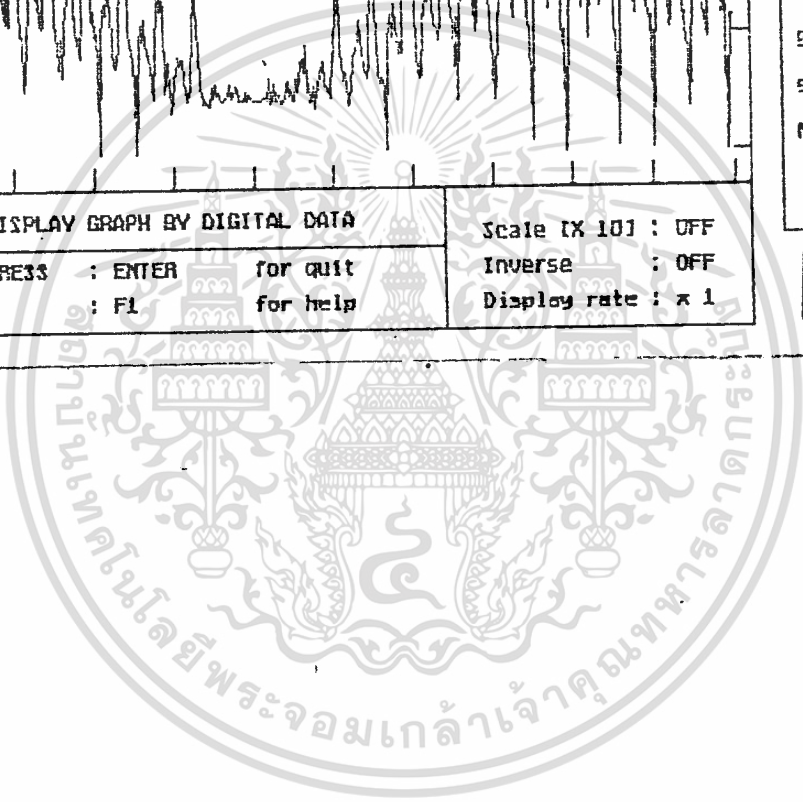
AC50.DTA

gainA : 50

gainB : 0.01

MODE : channel A

ภาพที่ ๑



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5 ส่วนแก้ไขและเพิ่มเติม

เนื่องจากโครงการนี้เป็นโครงการต้นแบบจึงมีส่วนที่สามารถแก้ไขและปรับปรุงเพิ่มเติมเพื่อเพิ่มประสิทธิภาพให้สูงขึ้นได้

ส่วนที่ควรมีการแก้ไขอย่างเห็นได้ชัดคือส่วนของซอฟต์แวร์ จะเห็นได้ว่ามีบางส่วนของซอร์สโค้ดหรือบางส่วนของโปรแกรมที่สามารถเขียนได้กระชับกว่านี้ ข้อเสียที่เกิดขึ้นนี้เกิดขึ้นเนื่องจากการวางแผนการเขียนในตอนเริ่มแรกนั้น ไม่สามารถครอบคลุมการทำงานในส่วนต่างๆได้หมด และในระหว่างการเขียนเองก็ได้เพิ่มส่วนต่างๆที่นอกเหนือจากแผนงานที่วางไว้ โดยถ้ากลับไปแก้ไขในส่วนที่เริ่มต้นใหม่นั้นจะเป็นการเสียเวลามากกว่าที่จะเขียนบางส่วนขึ้นมาใหม่ เนื่องจากอาจจะทำให้ในโปรแกรมที่เขียนไว้นั้นมีการผิดพลาดต่อเนื่องกันได้ ยกตัวอย่างเช่นในส่วนฟังก์ชัน adjust hardware นั้นถ้าตัวแปรต่างๆในการทำเมมูนั้นเขียนไว้ในรูปตัวแปรอาเรย์ ก็จะสามารถเขียนโปรแกรมในลักษณะวนลูปซึ่งจะทำให้โปรแกรมกระชับขึ้น และสามารถเคลื่อนย้ายการทำงานในเมนูส่วนต่างๆได้สะดวกขึ้นด้วย ข้อเสียอันนี้รวมไปถึงเมนูอื่นๆในโปรแกรมด้วย

ส่วนในด้านฮาร์ดแวร์นั้นในการใช้การควบคุมจากไมโครโปรเซสเซอร์นั้นถึงแม้จะมีข้อดีในส่วนที่ทำให้การควบคุมสะดวกขึ้นนั้น แต่จะมีข้อเสียเช่นเดียวกันขอยกตัวอย่างในส่วนวงจรขยายและลดทอนสัญญาณ วงจรในส่วนนี้จะใช้โอปแอมป์เบอร์ LM318 โดยตัวโอปแอมป์นั้นจะทนแรงดันได้ถึง 40 โวลต์ (+20 โวลต์) แต่จากการที่ควบคุมอัตราขยายและลดทอนจากไมโครโปรเซสเซอร์ต้องใช้อนาล็อกสวิตช์มาเป็นตัวเลือกความต้านทาน ซึ่งตัวอนาล็อกสวิตช์นั้นทนแรงดันได้เพียง 15 โวลต์ (+7.5 โวลต์) ทำให้การรับสัญญาณถูกจำกัดจาก 40 โวลต์เหลือเพียง 15 โวลต์

และถึงแรงดันที่สามารถรับได้นั้นไม่ถูกจำกัดโดยแรงดันใช้งานของอนาล็อกสวิตช์ก็จะถูกจำกัดโดยไฟเลี้ยงของตัวเครื่องเช่นกัน เพราะว่าไฟเลี้ยงที่ IBM pc XT/AT มีให้จากชั้นพลาซมาของเครื่องนั้นจะมีสูงสุดเพียง +12 โวลต์เท่านั้น

นอกจากส่วนต่างๆที่กล่าวไปแล้วนั้นก็ยังสามารถเพิ่มเติมความสามารถอื่นๆเช่นตัดแปลงให้ทำงานเป็นโลจิกอนาลิเซอร์ได้ เนื่องจากโครงการนี้ได้ต่อวงจรส่วนหน่วยความจำภายนอกเอาไว้แล้ว การตัดแปลงให้สามารถทำงานเป็นโลจิกอนาลิเซอร์จึงไม่น่าจะมีปัญหา เพราะการทำงานของโลจิกอนาลิเซอร์นั้นจะเป็นการเก็บข้อมูลที่เป็นดิจิตอลอยู่แล้ว เข้าเก็บในหน่วยความจำโดยตรงโดยไม่ต้องมีการแปลงสัญญาณใดๆ แต่การใช้งานของโลจิกอนาลิเซอร์นั้นความถี่การใช้งานแค่ 1 MHz ในโครงการนี้คงไม่สามารถนำไปใช้งานได้ จึงต้องมีการเปลี่ยนแปลงในส่วนของสัญญาณนาฬิกาด้วยเช่นกัน ใน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การใช้งานนั้นถ้าเป็นการใช้งานกับซิงเกิลบอร์ดหรือ IBM pc ที่ทำงานในช่วงความถี่ระหว่าง 2 ถึง 10 MHz นั้น อัตราการแซมปลิงควรเป็น 20 MHz ขึ้นไป แต่หน่วยความจำสแตติกแรมที่ใช้ในโครงการนี้ทำงานที่ความถี่สูงสุดแค่ 8.3 MHz เท่านั้นอาจจะต้องใช้การสลับการทำงานเช่นเดียวกับวงจรส่วนแปลงสัญญาณในโครงการนี้

สำหรับวงจรส่วนแปลงสัญญาณอนาลอกเป็นดิจิตอลนั้นการใช้สองตัวสลับกันทำงานนั้น จะมีข้อเสียที่เกิดขึ้นคือสัญญาณที่ได้มีลักษณะกระเพื่อมเล็กน้อยสืบเนื่องมาจากเหตุผลหลายประการคือ 1. อัตราการแปลงสัญญาณของ ADC0820 แต่ละตัวนั้นไม่เท่ากัน ทำให้ข้อมูลที่ได้มีลักษณะที่ไม่ต่อเนื่องกัน

2. การสลับทางเดินของสัญญาณไปมานั้นอาจทำให้สัญญาณที่เข้าวงจรแปลงสัญญาณนั้นเกิดการรบกวนเขียนได้ขึ้นได้

3. มีการกระเพื่อมของไฟเลี้ยง เนื่องจากโครงการนี้จะให้แหล่งจ่ายไฟจากชั้นพลาของตัวเครื่อง IBM pc XT/AT ซึ่งจะมีสัญญาณรบกวนที่เกิดเนื่องจากการทำงานของตัวเครื่องเอง

โดยในโครงการนี้ก็ได้นำการแก้ไขเท่าที่จะสามารถทำได้คือ เลือกตัว ADC0820 ที่มีอัตราแปลงสัญญาณที่ใกล้เคียงกันที่สุด และได้กำจัดสัญญาณรบกวนของไฟเลี้ยงเพื่อให้ตัว ADC0820 มีความแน่นอนในการแปลงสัญญาณดีขึ้น การแก้ไขอีกวิธีหนึ่งก็คือเปลี่ยนตัว ADC ที่ใช้งานเป็นตัวทำงานได้เร็วกว่านี้เช่น CA318 ที่ทำงานได้ที่ความถี่ถึง 15 MHz และตัวไอซีเองยังแยกกราวด์ระหว่างวงจรส่วนอนาลอกกับวงจรส่วนดิจิตอลให้อีกด้วย ซึ่งจะสะดวกกว่าที่ใช้วงจรดิฟเฟอเรนเชียลแอมป์เป็นส่วนแยกกราวด์เหมือนในโครงการนี้

กิตติกรรมประกาศ

ปริญญาในขั้นฉบับนี้ไม่มีอาจที่จะสำเร็จลงได้ตามจุดประสงค์ ถ้าไม่ได้รับคำแนะนำจากอาจารย์ที่ปรึกษา อ.พลดวง ผดุงกุล ตลอดจนความร่วมมือในการคิดแก้ไขปัญหาต่างๆของเพื่อนร่วมงานและความช่วยเหลือจากเพื่อนๆในภาคคอมพิวเตอร์และภาคอิเล็กทรอนิกส์ จึงขอขอบคุณมา ณ. โอกาสนี้ด้วย

ผู้จัดทำโครงการ



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บรรณานุกรม

ก. เอกสารหนังสืออ้างอิงที่เป็นภาษาไทย

1. ฉานินทร์ ภาวรสานวงศ์ และ ทินกร ดุ๊ก , "การอินเทอร์เฟส IBM PC", นิลิกส์เซ็นเตอร์การพิมพ์, หน้า 43-51 และ หน้า 63-104.
2. "คู่มือ/เทียบเบอร์ ไอซี TTL", ซีเอ็ด, หน้า 240.
3. "คู่มือ ไอซี ชิพพอร์ทและหน่วยความจำ", ซีเอ็ด, หน้า 53-84.

ข. เอกสารหนังสืออ้างอิงที่เป็นภาษาอังกฤษ

1. C. Ray Wylie, "Advanced Engineering Mathematics", McGraw-Hill Kogakusha, LTD., pp. 153-170, 1975.
2. "Linear 1 Databook", National Semiconductor, pp. 2-319 to pp. 2-328, 1987.
3. "Linear 2 Databook", National Semiconductor, pp. 3-91 to pp. 3-106, 1987.



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



LM118/LM218/LM318 Operational Amplifiers

General Description

The LM118 series are precision high speed operational amplifiers designed for applications requiring wide bandwidth and high slew rate. They feature a factor of ten increase in speed over general purpose devices without sacrificing DC performance.

The LM118 series has internal unity gain frequency compensation. This considerably simplifies its application since no external components are necessary for operation. However, unlike most internally compensated amplifiers, external frequency compensation may be added for optimum performance. For inverting applications, feedforward compensation will boost the slew rate to over 150V/μs and almost double the bandwidth. Overcompensation can be used with the amplifier for greater stability when maximum bandwidth is not needed. Further, a single capacitor can be added to reduce the 0.1% settling time to under 1 μs.

The high speed and fast settling time of these op amps make them useful in A/D converters, oscillators, active fil-

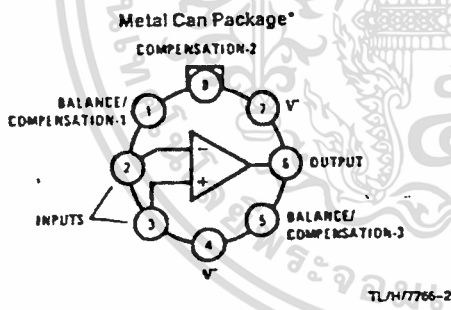
ters, sample and hold circuits, or general purpose amplifiers. These devices are easy to apply and offer an order of magnitude better AC performance than industry standards such as the LM709.

The LM218 is identical to the LM118 except that the LM218 has its performance specified over a -25°C to +85°C temperature range. The LM318 is specified from 0°C to +70°C.

Features

- 15 MHz small signal bandwidth
- Guaranteed 50V/μs slew rate
- Maximum bias current of 250 nA
- Operates from supplies of ±5V to ±20V
- Internal frequency compensation
- Input and output overload protected
- Pin compatible with general purpose op amps

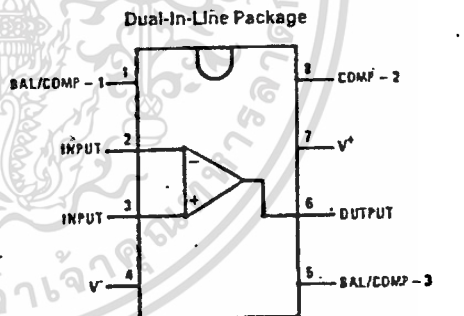
Connection Diagrams



Top View

*Pin connections shown on schematic diagram and typical applications are for TO-5 package.

Order Number LM118H, LM218H or LM318H
See NS Package Number H08C



Top View

Order Number LM118J-8, LM318J-8,
LM318M or LM318N
See NS Package Number J08A, M08A or N08B

Absolute Maximum Ratings

If Military/Aerospace specified devices are required, contact the National Semiconductor Sales Office/Distributors for availability and specifications. (Note 6)

Supply Voltage	$\pm 20\text{V}$
Power Dissipation (Note 1)	500 mW
Differential Input Current (Note 2)	$\pm 10\text{ mA}$
Input Voltage (Note 3)	$\pm 15\text{V}$
Output Short-Circuit Duration	Indefinite

Operating Temperature Range	
LM118	-55°C to $+125^\circ\text{C}$
LM218	-25°C to $+85^\circ\text{C}$
LM318	0°C to $+70^\circ\text{C}$
Storage Temperature Range	
	-65°C to $+150^\circ\text{C}$
Lead Temperature (Soldering, 10 sec.)	
Hermetic Package	300°C
Plastic Package	260°C
Soldering Information	
Dual-In-Line Package	
Soldering (10 sec.)	260°C
Small Outline Package	
Vapor Phase (60 sec.)	215°C
Infrared (15 sec.)	220°C

See AN-450 "Surface Mounting Methods and Their Effect on Product Reliability" for other methods of soldering surface mount devices.

ESD rating to be determined.

Electrical Characteristics (Note 4)

Parameter	Conditions	LM118/LM218			LM318			Units
		Min	Typ	Max	Min	Typ	Max	
Input Offset Voltage	$T_A = 25^\circ\text{C}$		2	4		4	10	mV
Input Offset Current	$T_A = 25^\circ\text{C}$		6	50		30	200	nA
Input Bias Current	$T_A = 25^\circ\text{C}$		120	250		150	500	nA
Input Resistance	$T_A = 25^\circ\text{C}$	1	3		0.5	3		M Ω
Supply Current	$T_A = 25^\circ\text{C}$		5	8		5	10	mA
Large Signal Voltage Gain	$T_A = 25^\circ\text{C}$, $V_S = \pm 15\text{V}$ $V_{OUT} = \pm 10\text{V}$, $R_L \geq 2\text{ k}\Omega$	50	200		25	200		V/mV
Slew Rate	$T_A = 25^\circ\text{C}$, $V_S = \pm 15\text{V}$, $A_V = 1$ (Note 5)	50	70		50	70		V/ μs
Small Signal Bandwidth	$T_A = 25^\circ\text{C}$, $V_S = \pm 15\text{V}$		15			15		MHz
Input Offset Voltage				6			15	mV
Input Offset Current				100			300	nA
Input Bias Current				500			750	nA
Supply Current	$T_A = 125^\circ\text{C}$		4.5	7				mA
Large Signal Voltage Gain	$V_S = \pm 15\text{V}$, $V_{OUT} = \pm 10\text{V}$ $R_L \geq 2\text{ k}\Omega$	25			20			V/mV
Output Voltage Swing	$V_S = \pm 15\text{V}$, $R_L = 2\text{ k}\Omega$	± 12	± 13		± 12	± 13		V
Input Voltage Range	$V_S = \pm 15\text{V}$	± 11.5			± 11.5			V
Common-Mode Rejection Ratio		80	100		70	100		dB
Supply Voltage Rejection Ratio		70	80		65	80		dB

Note 1: The maximum junction temperature of the LM118 is 150°C , the LM218 is 110°C , and the LM318 is 110°C . For operating at elevated temperatures, devices in the TO-5 package must be derated based on a thermal resistance of 15°C/W , junction to ambient, or 45°C/W , junction to case. The thermal resistance of the dual-in-line package is 100°C/W , junction to ambient.

Note 2: The inputs are shunted with back-to-back diodes for overvoltage protection. Therefore, excessive current will flow if a differential input voltage in excess of 1V is applied between the inputs unless some limiting resistance is used.

Note 3: For supply voltages less than $\pm 15\text{V}$, the absolute maximum input voltage is equal to the supply voltage.

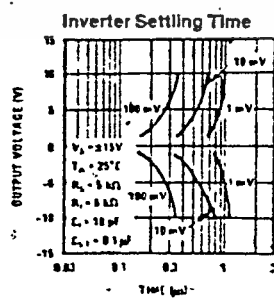
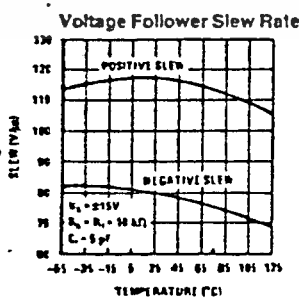
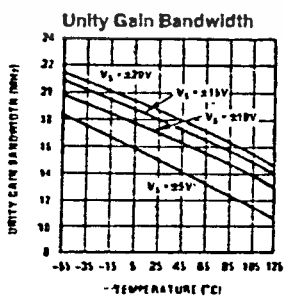
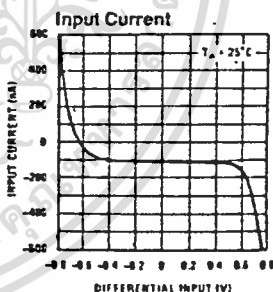
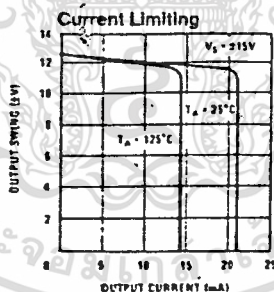
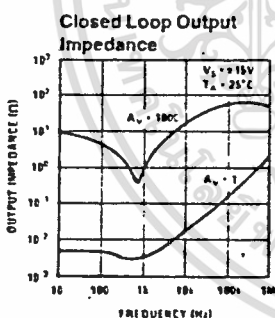
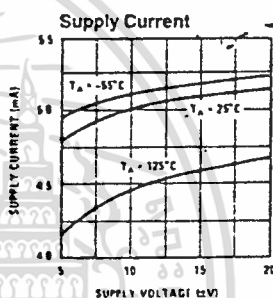
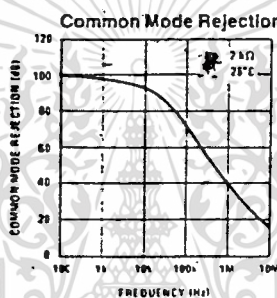
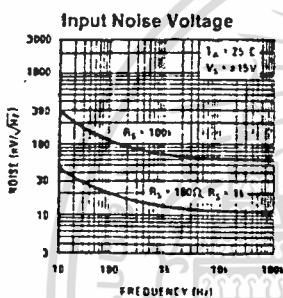
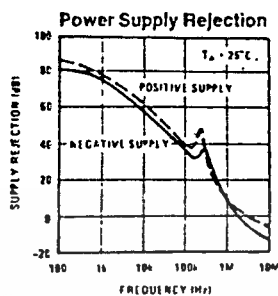
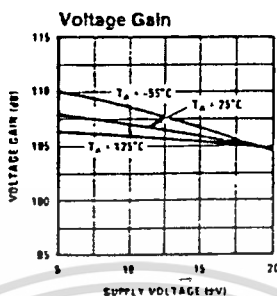
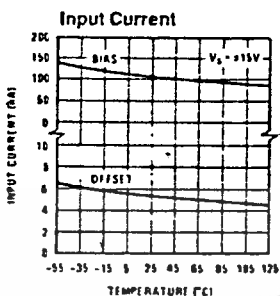
Note 4: These specifications apply for $\pm 5\text{V} \leq V_S \leq \pm 20\text{V}$ and $-55^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$ (LM118), $-25^\circ\text{C} \leq T_A \leq +85^\circ\text{C}$ (LM218), and $0^\circ\text{C} \leq T_A \leq +70^\circ\text{C}$ (LM318). Also, power supplies must be bypassed with $0.1\text{ }\mu\text{F}$ disc capacitors.

Note 5: Slew rate is tested with $V_S = \pm 15\text{V}$. The LM118 is in a unity-gain non-inverting configuration. V_{IN} is stepped from -7.5V to $+7.5\text{V}$ and vice versa. The slew rates between -5.0V and $+5.0\text{V}$ and vice versa are tested and guaranteed to exceed $50\text{V}/\mu\text{s}$.

Note 6: Refer to RETS118X for LM118H and LM118J-B military specifications.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

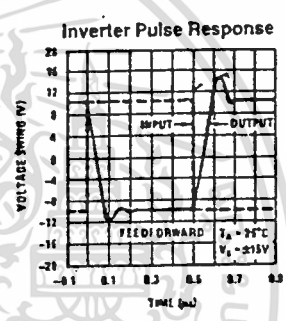
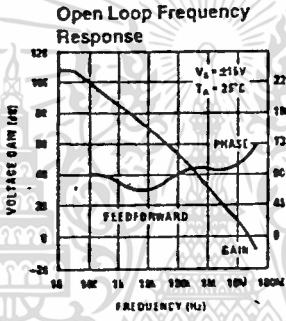
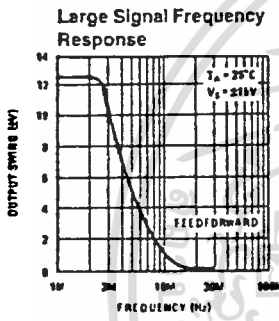
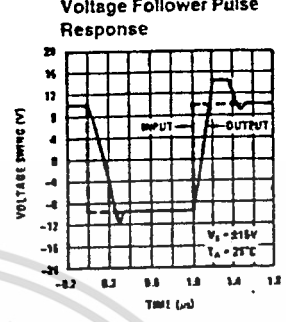
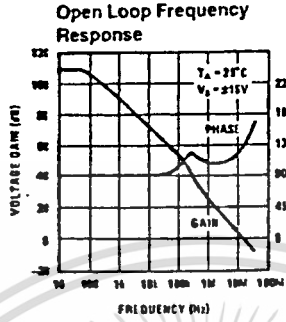
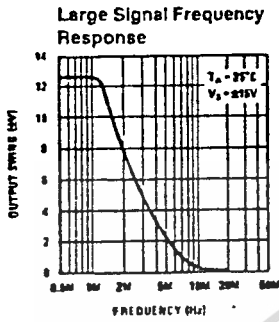
Typical Performance Characteristics LM118, LM218



TL/M/7786-4

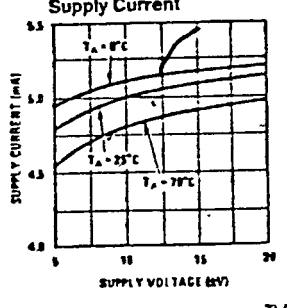
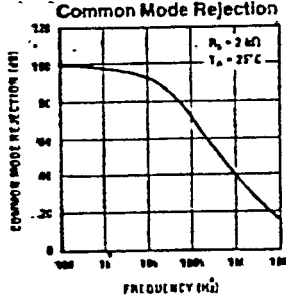
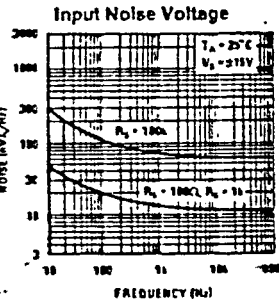
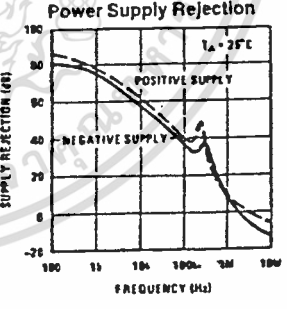
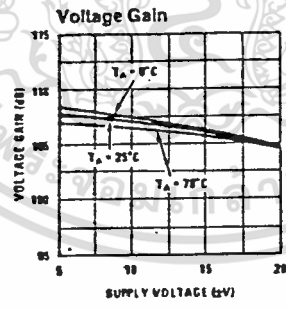
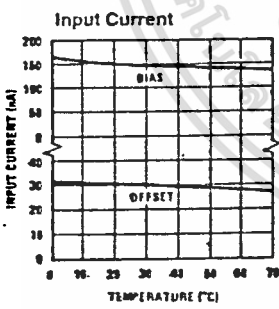
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Characteristics LM118, LM218 (Continued)



TLH/7766-5

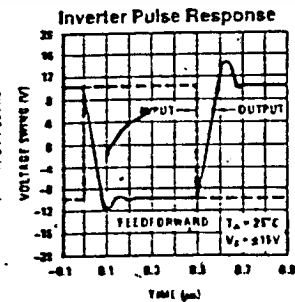
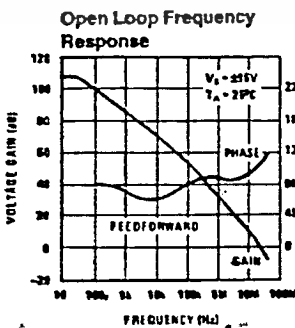
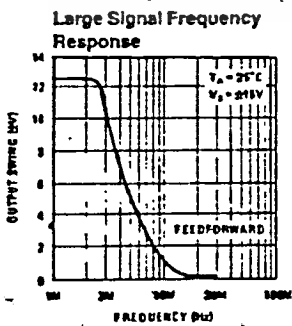
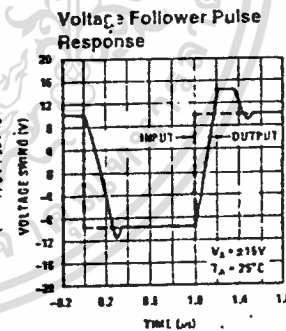
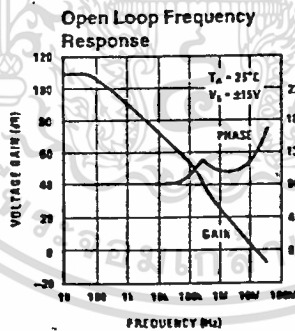
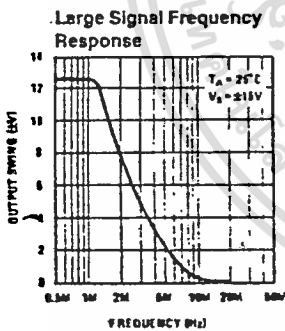
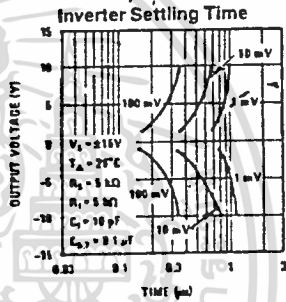
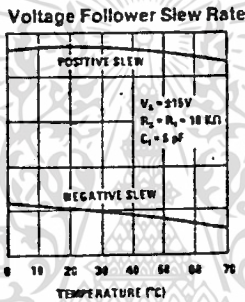
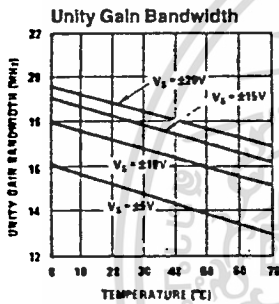
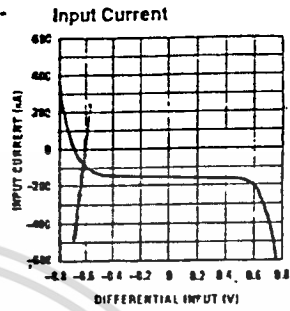
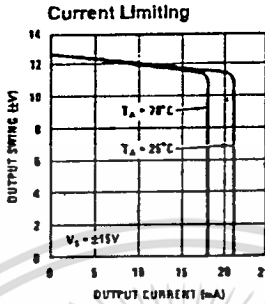
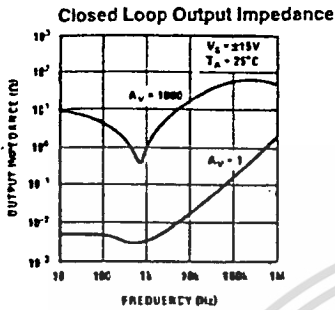
Typical Performance Characteristics LM318



TLH/7766-6

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Characteristics LM318 (Continued)

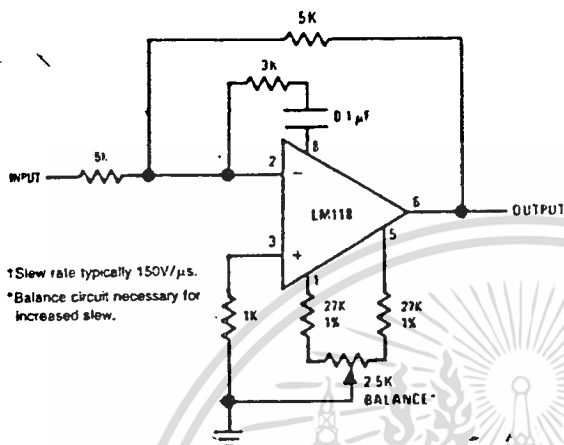


TJ/H7766-7

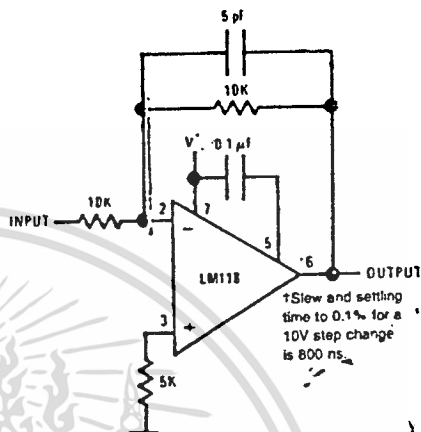
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Auxiliary Circuits

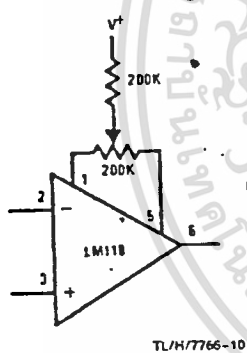
Feedforward Compensation for Greater Inverting Slew Rate†



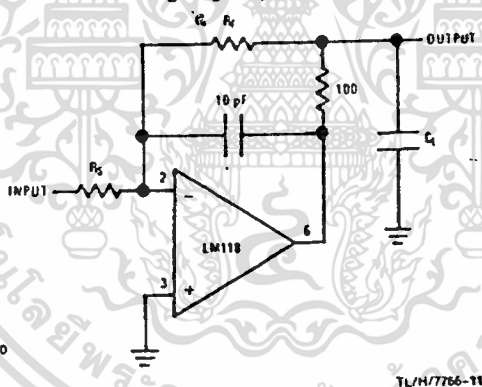
Compensation for Minimum Settling† Time



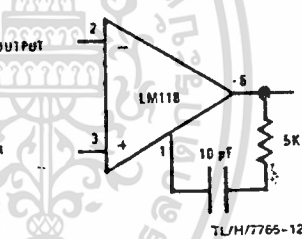
Offset Balancing



Isolating Large Capacitive Loads

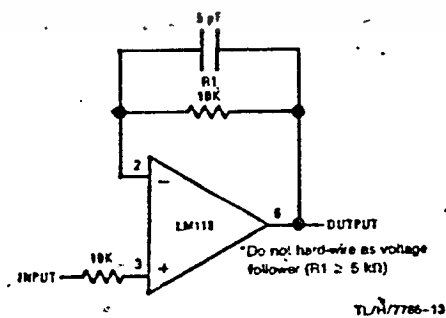


Overcompensation

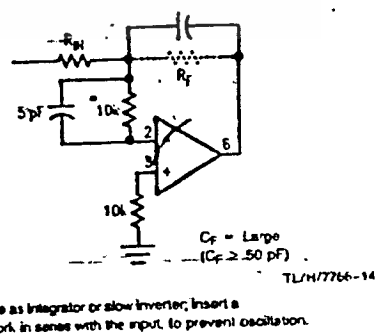


Typical Applications

Fast Voltage Follower*



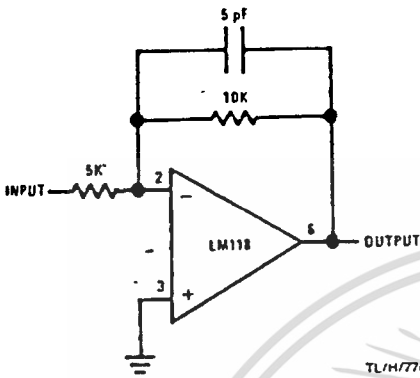
Integrator or Slow Inverter



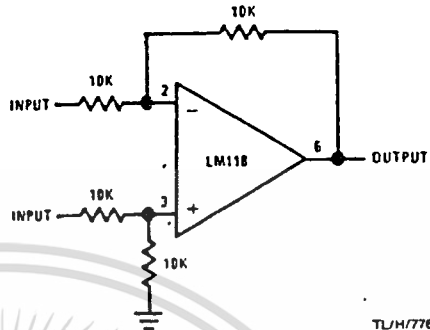
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Applications (Continued)

Fast Summing Amplifier



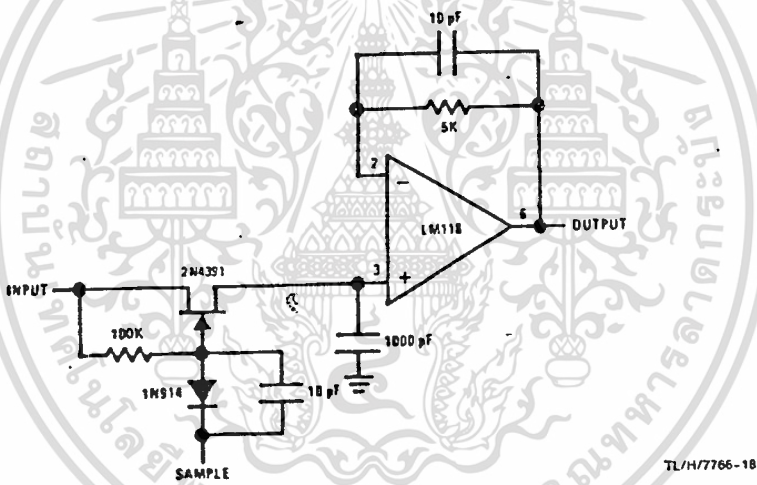
Differential Amplifier



TL/H/7766-16

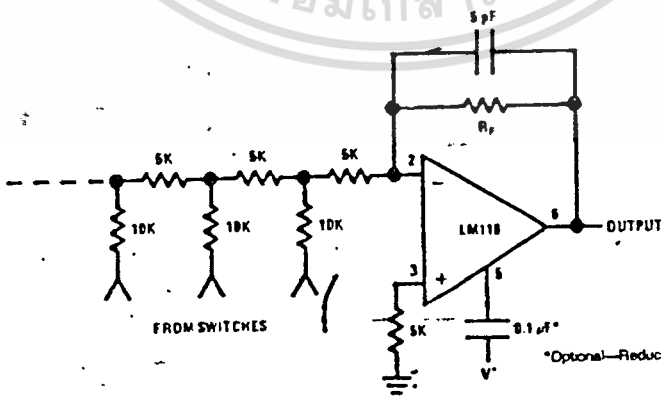
TL/H/7766-15

Fast Sample and Hold



TL/H/7766-18

D/A Converter Using Ladder Network



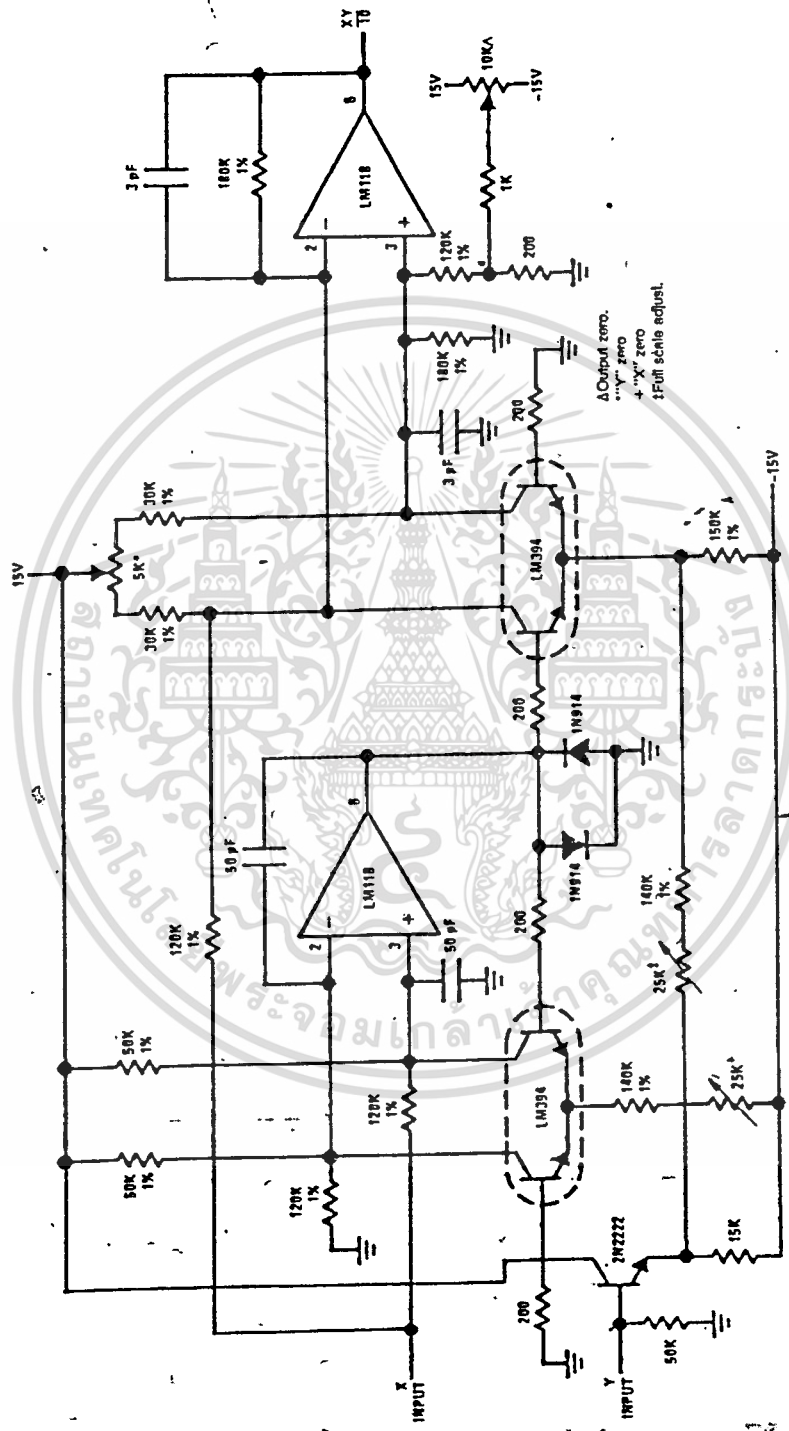
*Optional—Reduces settling time.

TL/H/7766-19

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Applications (Continued)

Four Quadrant Multiplier

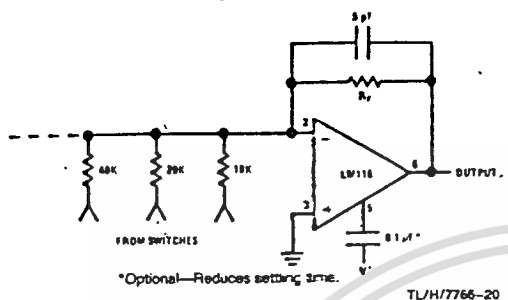


TLN/7768-17

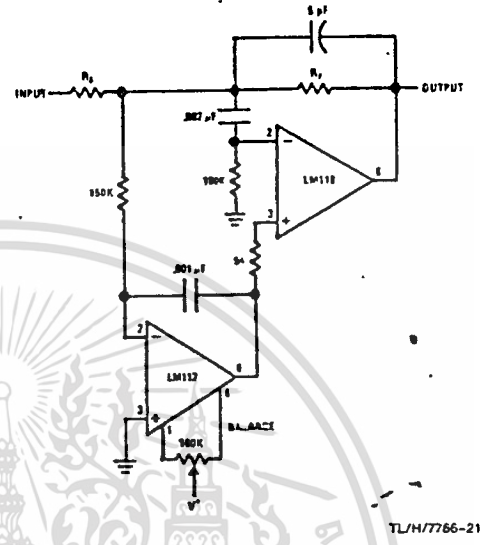
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นอนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Applications (Continued)

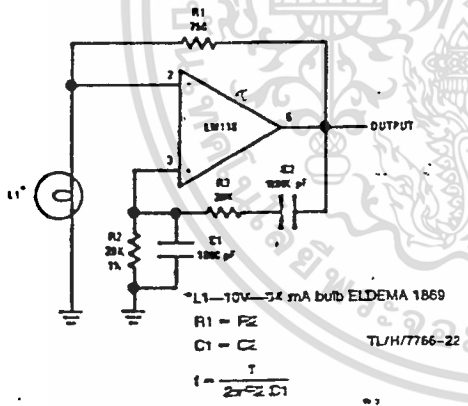
D/A Converter Using Binary Weighted Network



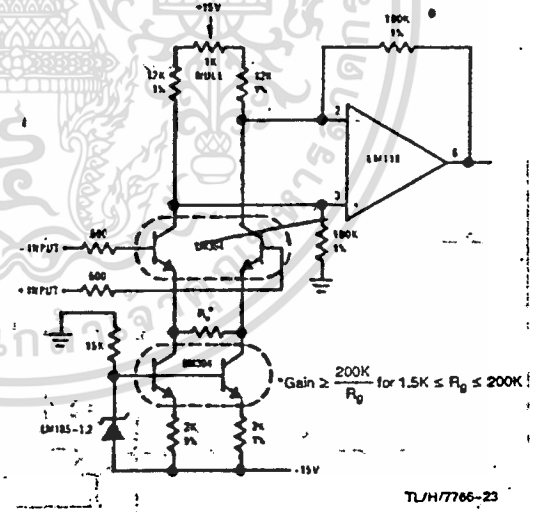
Fast Summing Amplifier with Low Input Current



Wein Bridge Sine Wave Oscillator

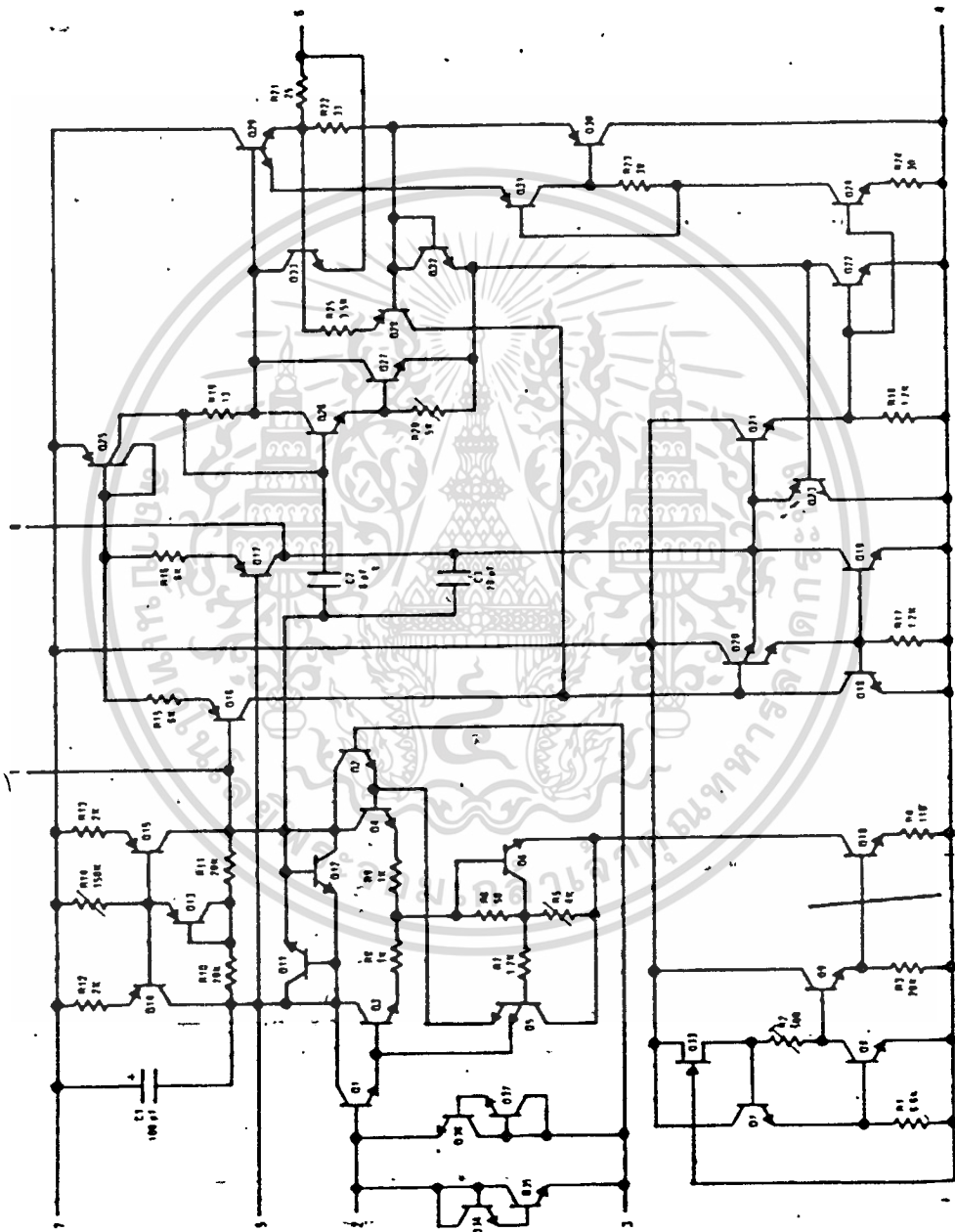


Instrumentation Amplifier



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Schematic Diagram



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ADC0820 8-Bit High Speed μ P Compatible A/D Converter with Track/Hold Function

General Description

By using a half-flash conversion technique, the 8-bit ADC0820 CMOS A/D offers a 1.5 μ s conversion time and dissipates only 75 mW of power. The half-flash technique consists of 32 comparators, a most significant 4-bit ADC and a least significant 4-bit ADC.

The input to the ADC0820 is tracked and held by the input sampling circuitry eliminating the need for an external sample-and-hold for signals moving at less than 100 mV/ μ s.

For ease of interface to microprocessors, the ADC0820 has been designed to appear as a memory location or I/O port without the need for external interfacing logic.

Key Specifications

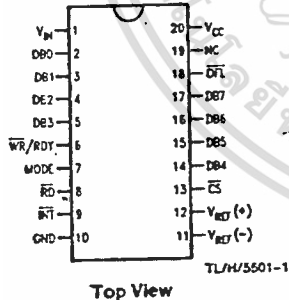
- Resolution 8 Bits
- Conversion Time 2.5 μ s Max (RD Mode)
1.5 μ s Max (WR-RD Mode)
- Input signals with slew rate of 100 mV/ μ s converted without external sample-and-hold to 8 bits
- Low Power 75 mW Max
- Total Unadjusted Error $\pm 1/2$ LSB and ± 1 LSB

Features

- Built-in track-and-hold function
- No missing-codes
- No external clocking
- Single supply—5 V_{DC}
- Easy interface to all microprocessors, or operates stand-alone
- Latched TRI-STATE[®] output
- Logic inputs and outputs meet both MOS and T²L voltage level specifications
- Operates ratiometrically or with any reference value equal to or less than V_{CC}
- 0V to 5V analog input voltage range with single 5V supply
- No zero or full-scale adjust required
- Overflow output available for cascading
- 0.3" standard width 20-pin DIP
- 20-pin molded chip carrier package
- 20-pin small outline package

Connection and Functional Diagrams

Dual-In-Line and Small Outline Packages



Molded Chip Carrier Package

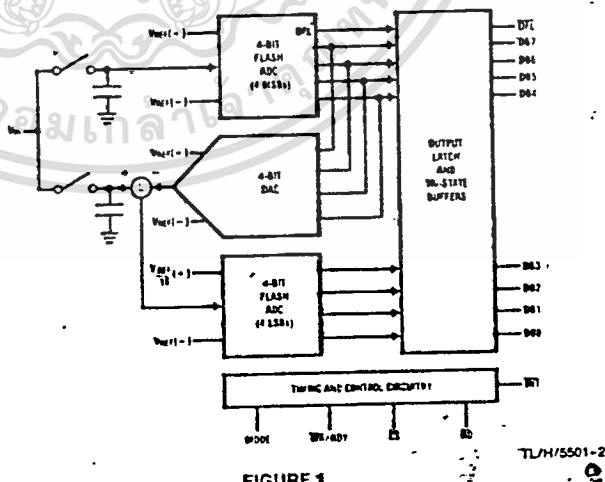
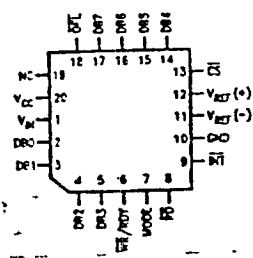


FIGURE 1

See Ordering Information

Absolute Maximum Ratings (Notes 1 & 2)

If Military/Aerospace specified devices are required, contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Supply Voltage (V _{CC})	10V
Logic Control Inputs	-0.2V to V _{CC} + 0.2V
Voltage at Other Inputs and Output	-0.2V to V _{CC} + 0.2V
Storage Temperature Range	-65°C to +150°C
Package Dissipation at T _A = 25°C	875 mW
Input Current at Any Pin (Note 5)	1 mA
Package Input Current (Note 5)	4 mA
ESD Susceptibility (Note 9)	1200V

Lead Temp. (Soldering, 10 sec.)
 Dual-In-Line Package (plastic) 260°C
 Dual-In-Line Package (ceramic) 300°C
 Surface Mount Package
 Vapor Phase (60 sec.) 230°C
 Infrared (15 sec.) 220°C

Operating Ratings (Notes 1 & 2)

Temperature Range	T _{MIN} ≤ T _A ≤ T _{MAX}
ADC0820BD, ADC0820CJ	-55°C ≤ T _A ≤ +125°C
ADC0820BCD, ADC0820CCJ	-40°C ≤ T _A ≤ +85°C
ADC0820BCN, ADC0820CCN	0°C ≤ T _A ≤ 70°C
ADC0820BCV, ADC0820CCV	0°C ≤ T _A ≤ 70°C
ADC0820BCWM, ADC0820CCWM	0°C ≤ T _A ≤ 70°C
V _{CC} Range	4.5V to 5.5V

Converter Characteristics The following specifications apply for RD mode (pin 7 = 0), V_{CC} = 5V, V_{REF}(+) = 5V, and V_{REF}(-) = GND unless otherwise specified. Boldface limits apply from T_{MIN} to T_{MAX}. All other limits T_A = T_J = 25°C.

Parameter	Conditions	ADC0820BD, ADC0820CJ ADC0820BCD, ADC0820CCJ			ADC0820BCN, ADC0820CCN ADC0820BCV, ADC0820CCV ADC0820BCWM, ADC0820CCWM			Units
		Typ (Note 6)	Tested Limit (Note 7)	Design Limit (Note 8)	Typ (Note 6)	Tested Limit (Note 7)	Design Limit (Note 8)	
Resolution			8		8	8	LSB	
Total Unadjusted Error (Note 3)	ADC0820BD, BCD ADC0820BCN ADC0820CD, CCD ADC0820CCN		± 1/2 ± 1		± 1/2 ± 1	± 1/2 ± 1	LSB LSB LSB LSB	
Minimum Reference Resistance		2.3	1.00		2.3	1.2	kΩ	
Maximum Reference Resistance		2.3	6		2.3	5.3	kΩ	
Maximum V _{REF} (+) Input Voltage			V _{CC}		V _{CC}	V _{CC}	V	
Minimum V _{REF} (-) Input Voltage			GND		GND	GND	V	
Minimum V _{REF} (+) Input Voltage			V _{REF} (-)		V _{REF} (-)	V _{REF} (-)	V	
Maximum V _{REF} (-) Input Voltage			V _{REF} (+)		V _{REF} (+)	V _{REF} (+)	V	
Maximum V _{IN} Input Voltage			V _{CC} + 0.1		V _{CC} + 0.1	V _{CC} + 0.1	V	
Minimum V _{IN} Input Voltage			GND - 0.1		GND - 0.1	GND - 0.1	V	
Maximum Analog Input Leakage Current	C _S = V _{CC} V _{IN} = V _{CC} V _{IN} = GND		3 -3		0.3 -0.3	3 -3	μA	
Power Supply Sensitivity	V _{CC} = 5V ± 5%	± 1/16	± 1/4		± 1/16	± 1/4	LSB	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DC Electrical Characteristics The following specifications apply for $V_{CC} = 5V$, unless otherwise specified. Boldface limits apply from T_{MIN} to T_{MAX} ; all other limits $T_A = T_J = 25^\circ C$.

Parameter	Conditions		ADC0620BD, ADC0820CJ ADC0820BCD, ADC0820CCJ			ADC0820BCN, ADC0820CCN ADC0820BCV, ADC0820CCV ADC0820BCWM, ADC0820CCWM			Limit Units
			Typ (Note 6)	Tested Limit (Note 7)	Design Limit (Note 8)	Typ (Note 6)	Tested Limit (Note 7)	Design Limit (Note 8)	
Input Voltage	$V_{CC} = 5.25V$	CS, WR, RD		2.0			2.0	2.0	V
		Mode		3.5			3.5	3.5	V
Input Voltage	$V_{CC} = 4.75V$	CS, WR, RD		0.8			0.8	0.8	V
		Mode		1.5			1.5	1.5	V
Input Current	$V_{IN(1)} = 5V$; CS, RD $V_{IN(1)} = 5V$; WR $V_{IN(1)} = 5V$; Mode		0.005	1		0.005	1	3	μA
			0.1	3		0.1	0.3	3	μA
			50	200		50	170	200	μA
Input Current	$V_{IN(0)} = 0V$; CS, RD, WR, Mode		-0.005	-1		-0.005	-1		μA
Output Voltage	$V_{CC} = 4.75V$, $I_{OUT} = -360 \mu A$; DB0-DB7, OFL, INT $V_{CC} = 4.75V$, $I_{OUT} = -10 \mu A$; DB0-DB7, OFL, INT			2.4			2.8	2.4	V
				4.5			4.6	4.5	V
Output Voltage	$V_{CC} = 4.75V$, $I_{OUT} = 1.6 mA$; DB0-DB7, OFL, INT, RDY			0.4			0.34	0.4	V
Output Current	$V_{OUT} = 5V$; DB0-DB7, RDY $V_{OUT} = 0V$; DB0-DB7, RDY		0.1	3		0.1	0.3	3	μA
			-0.1	-3		-0.1	-0.3	-3	μA
Source Current	$V_{OUT} = 0V$; DB0-DB7, OFL, INT		-12	-6		-12	-7.2	-6	mA
			-9	-4.0		-9	-5.3	-4.0	mA
Output Sink Current	$V_{OUT} = 5V$; DB0-DB7, OFL, INT, RDY		14	7		14	6.4	7	mA
Supply Current	CS = WR = RD = 0		7.5	15		7.5	13	15	mA

AC Electrical Characteristics The following specifications apply for $V_{CC} = 5V$, $t_r = t_f = 20 ns$, $V_{REF(+)} = 5V$, $V_{REF(-)} = 0V$ and $T_A = 25^\circ C$ unless otherwise specified.

Parameter	Conditions	Typ (Note 6)	Tested Limit (Note 7)	Design Limit (Note 8)	Units	
Conversion Time for RD Mode	Pin 7 = 0, (Figure 2)	1.6		2.5	μs	
Access Time (Delay from Falling Edge of RD to Output Valid)	Pin 7 = 0, (Figure 2)	$t_{CRD} + 20$		$t_{CRD} + 50$	ns	
Conversion Time for WR-RD Mode	Pin 7 = V_{CC} ; $t_{WR} = 600 ns$, $t_{RD} = 600 ns$; (Figures 3a and 3b)			1.52	μs	
Write Time	Min			600	ns	
	Max		50		μs	
Read Time	Min			600	ns	
Access Time (Delay from Falling Edge of RD to Output Valid)	Pin 7 = V_{CC} ; $t_{RD} < t_r$; (Figure 3a) $C_L = 15 pF$					
			190		280	ns
			210		320	ns
Access Time (Delay from Falling Edge of RD to Output Valid)	Pin 7 = V_{CC} ; $t_{RD} > t_r$; (Figure 3b) $C_L = 15 pF$					
			70		120	ns
	$C_L = 100 pF$					
		90		150	ns	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC Electrical Characteristics (Continued) The following specifications apply for $V_{CC} = 5V$, $t_r = t_f = 20 ns$, $V_{REF(+)} = 5V$, $V_{REF(-)} = 0V$ and $T_A = 25^\circ C$ unless otherwise specified.

Parameter	Conditions	Typ (Note 6)	Tested Limit (Note 7)	Design Limit (Note 8)	Units
t_i , Internal Comparison Time	Pin 7 = V_{CC} ; (Figures 3b and 4) $C_L = 50 pF$	800		1300	ns
t_{1H} , t_{0H} , TRI-STATE Control (Delay from Rising Edge of \overline{RD} to Hi-Z State)	$R_L = 1k$, $C_L = 10 pF$	100		230	ns
t_{INTL} , Delay from Rising Edge of \overline{WR} to Falling Edge of \overline{INT}	Pin 7 = V_{CC} , $C_L = 50 pF$ $t_{RD} > t_i$; (Figure 3b) $t_{RD} < t_i$; (Figure 3a)	$t_{RD} + 200$		t_i 200 ± 290	ns
t_{INTH} , Delay from Rising Edge of \overline{RD} to Rising Edge of \overline{INT}	(Figures 2, 3a and 3b) $C_L = 50 pF$	125		225	ns
t_{INTHWR} , Delay from Rising Edge of \overline{WR} to Rising Edge of \overline{INT}	(Figure 4), $C_L = 50 pF$	175		270	ns
t_{RDY} , Delay from \overline{CS} to RDY	(Figure 2), $C_L = 50 pF$, Pin 7 = 0	50		100	ns
t_{ID} , Delay from \overline{INT} to Output Valid	(Figure 4)	20		50	ns
t_{RI} , Delay from \overline{RD} to \overline{INT}	Pin 7 = V_{CC} , $t_{RD} < t_i$ (Figure 3a)	200		230	ns
t_p , Delay from End of Conversion to Next Conversion	(Figures 2, 3a, 3b and 4) (Note 4) See Graph			500	ns
Slew Rate, Tracking		0.1			V/ μs
C_{VIN} , Analog Input Capacitance		45			pF
C_{OUT} , Logic Output Capacitance		5			pF
C_{IN} , Logic Input Capacitance		5			pF

Note 1: Absolute Maximum Ratings indicate limits beyond which damage to the device may occur. DC and AC electrical specifications are not guaranteed when operating the device beyond its specified operating conditions.

Note 2: All voltages are measured with respect to the GND pin, unless otherwise specified.

Note 3: Total unadjusted error includes offset, full-scale, and linearity errors.

Note 4: Accuracy may degrade if t_{WR} or t_{RD} is shorter than the minimum value specified. See Accuracy vs t_{WR} and Accuracy vs t_{RD} graphs.

Note 5: When the input voltage (V_{IN}) at any pin exceeds the power supply rails ($V_{IN} < V^-$ or $V_{IN} > V^+$) the absolute value of current entering or leaving the pin is limited to 1 mA or less. The 4 mA package input current limits the number of pins that can exceed the power supply boundaries with a 1 M Ω current limit resistor.

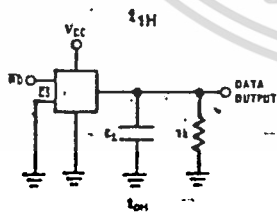
Note 6: Typicals are at 25°C and represent most likely parametric norm.

Note 7: Tested limits are guaranteed to National's AOQL (Average Outgoing Quality Level).

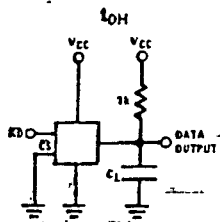
Note 8: Design limits are guaranteed but not 100% tested. These limits are not used to calculate outgoing quality levels.

Note 9: Human body model, 100 pF discharged through a 1.5 k Ω resistor.

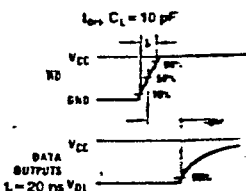
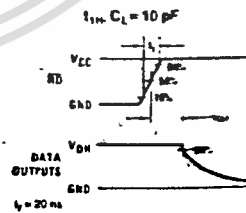
TRI-STATE Test Circuits and Waveforms



TL/H/5501-3



TL/H/5501-5



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Timing Diagrams

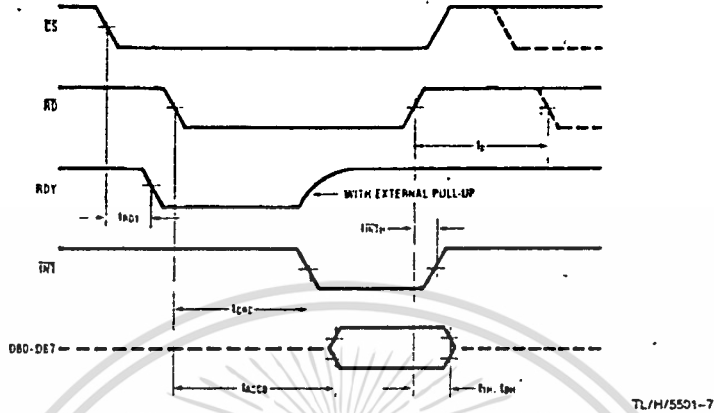


FIGURE 2. RD Mode (Pin 7 is Low)

TL/H/5501-7

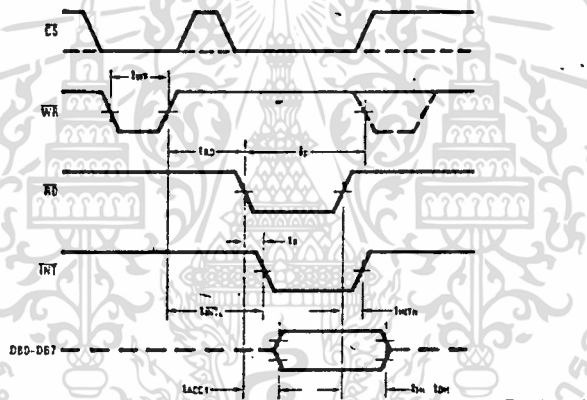


FIGURE 3a. WR-RD Mode (Pin 7 is High and $t_{RD} < t_I$)

TL/H/5501-8

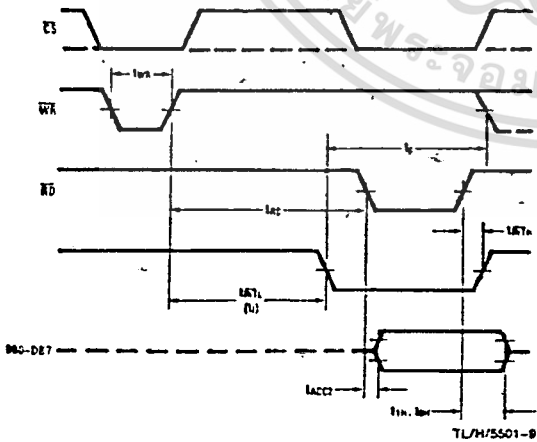


FIGURE 3b. WR-RD Mode (Pin 7 is High and $t_{RD} > t_I$)

TL/H/5501-9

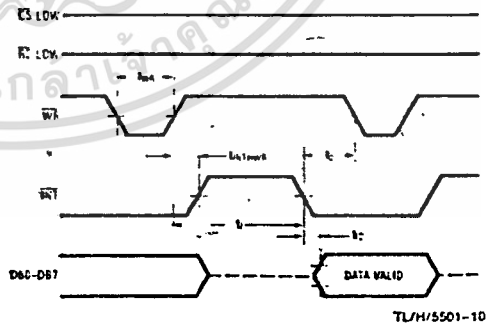
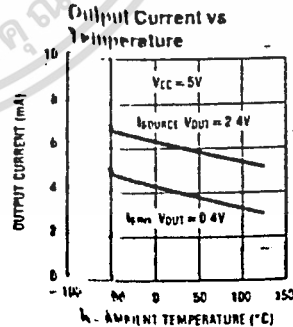
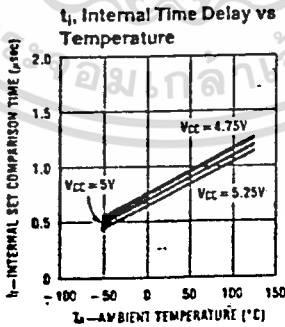
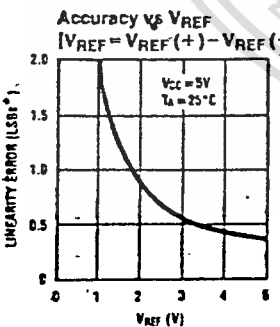
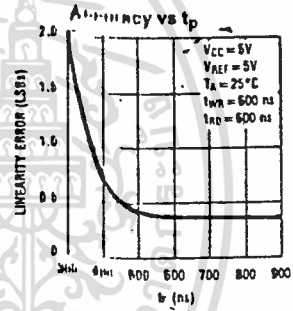
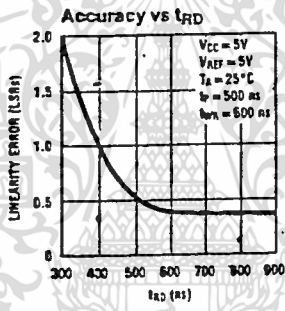
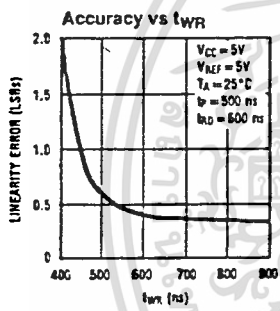
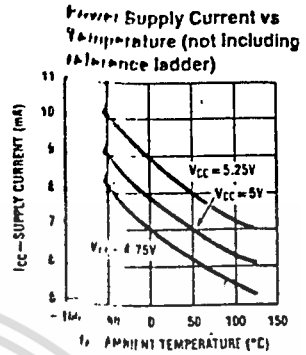
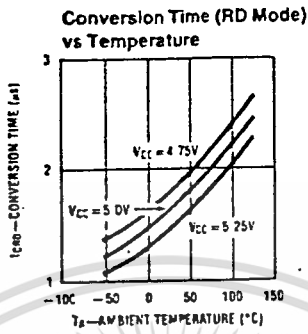
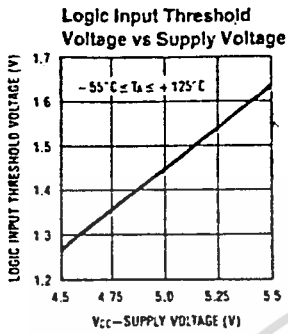


FIGURE 4. WR-RD Mode (Pin 7 is High) Stand-Alone Operation

TL/H/5501-10

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Characteristics



$*1\text{LSB} = \frac{V_{REF}}{256}$

TL/H/5501-11

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Description of Pin Functions

Pin Name	Function
1 V_{IN}	Analog input; range = $GND \leq V_{IN} \leq V_{CC}$
2 DB0	TRI-STATE data output—bit 0 (LSB)
3 DB1	TRI-STATE data output—bit 1
4 DB2	TRI-STATE data output—bit 2
5 DB3	TRI-STATE data output—bit 3
6 \overline{WR}/RDY	WR-RD Mode WR: With \overline{CS} low, the conversion is started on the falling edge of \overline{WR} . Approximately 800 ns (the preset internal time out, t_1) after the \overline{WR} rising edge, the result of the conversion will be strobed into the output latch, provided that \overline{RD} does not occur prior to this time out (see Figures 3a and 3b). RD Mode RDY: This is an open drain output (no internal pull-up device). RDY will go low after the falling edge of \overline{CS} ; RDY will go TRI-STATE when the result of the conversion is strobed into the output latch. It is used to simplify the interface to a microprocessor system (see Figure 2).
7 Mode	Mode: Mode selection input—it is internally tied to GND through a 50 μA current source. RD Mode: When mode is low WR-RD Mode: When mode is high
8 \overline{RD}	WR-RD Mode With \overline{CS} low, the TRI-STATE data outputs (DB0-DB7) will be activated when \overline{RD} goes low (see Figure 4). \overline{RD} can also be used to increase the speed of the converter by reading data prior to the preset internal time out (t_1 , ~800 ns). If this is done, the data result transferred to output latch is latched after the falling edge of the \overline{RD} (see Figures 3a and 3b). RD Mode With \overline{CS} low, the conversion will start with \overline{RD} going low, also \overline{RD} will enable the TRI-STATE data outputs at the completion of the conversion. RDY going TRI-STATE and \overline{INT} going low indicates the completion of the conversion (see Figure 2).

Pin Name	Function
9 \overline{INT}	WR-RD Mode \overline{INT} going low indicates that the conversion is completed and the data result is in the output latch. \overline{INT} will go low, ~800 ns (the preset internal time out, t_1) after the rising edge of \overline{WR} (see Figure 3b); or \overline{INT} will go low after the falling edge of \overline{RD} , if \overline{RD} goes low prior to the 800 ns time out (see Figure 3a). \overline{INT} is reset by the rising edge of \overline{RD} or \overline{CS} (see Figures 3a and 3b). RD Mode \overline{INT} going low indicates that the conversion is completed and the data result is in the output latch. \overline{INT} is reset by the rising edge of \overline{RD} or \overline{CS} (see Figure 2).
10 GND	Ground
11 $V_{REF(-)}$	The bottom of resistor ladder, voltage range: $GND \leq V_{REF(-)} \leq V_{REF(+)}$ (Note 5)
12 $V_{REF(+)}$	The top of resistor ladder, voltage range: $V_{REF(-)} \leq V_{REF(+)} \leq V_{CC}$ (Note 5)
13 \overline{CS}	\overline{CS} must be low in order for the \overline{RD} or \overline{WR} to be recognized by the converter.
14 DB4	TRI-STATE data output—bit 4
15 DB5	TRI-STATE data output—bit 5
16 DB6	TRI-STATE data output—bit 6
17 DB7	TRI-STATE data output—bit 7 (MSB)
18 \overline{OFL}	Overflow output—If the analog input is higher than the $V_{REF(+)}$, \overline{OFL} will be low at the end of conversion. It can be used to cascade 2 or more devices to have more resolution (9, 10-bit). This output is always active and does not go into TRI-STATE as DB0-DB7 do.
19 NC	No connection
20 V_{CC}	Power supply voltage

1.0 Functional Description

1.1 GENERAL OPERATION

The ADC0820 uses two 4-bit flash A/D converters to make an 8-bit measurement (Figure 1). Each flash ADC is made of 15 comparators which compare the unknown input to a reference ladder to get a 4-bit result. To take a full 8-bit reading, one flash conversion is done to provide the 4 most significant data bits (via the MS flash ADC). Driven by the 4 V_{SS} s, an internal DAC recreates an analog approximation of the input voltage. This analog signal is then subtracted from the input, and the difference voltage is converted by a second 4-bit flash ADC (the LS ADC), providing the 4 least significant bits of the output data word.

The internal DAC is actually a subsection of the MS flash converter. This is accomplished by using the same resistor ladder for the A/D as well as for generating the DAC signal. The DAC output is actually the tap on the resistor ladder which most closely approximates the analog input. In addition, the "sampled-data" comparators used in the ADC0820 provide the ability to compare the magnitudes of several analog signals simultaneously, without using input summing amplifiers. This is especially useful in the LS flash ADC, where the signal to be converted is an analog difference.

1.0 Functional Description (Continued)

1.2 THE SAMPLED-DATA COMPARATOR

Each comparator in the ADC0820 consists of a CMOS inverter with a capacitively coupled input (Figure 5). Analog switches connect the two comparator inputs to the input capacitor (C) and also connect the inverter's input and output. This device in effect now has one differential input pair. A comparison requires two cycles, one for zeroing the comparator, and another for making the comparison.

In the first cycle, one input switch and the inverter's feedback switch (Figure 5a) are closed. In this interval, C is charged to the connected input (V1) less the inverter's bias voltage (VB, approximately 1.2V). In the second cycle (Figure 5b), these two switches are opened and the other (V2) input's switch is closed. The input capacitor now subtracts its stored voltage from the second input and the difference is amplified by the inverter's open loop gain. The inverter's input (VB') becomes

$$V_B' = V_1 - V_2 \frac{C}{C + C_S}$$

and the output will go high or low depending on the sign of VB' - VB.

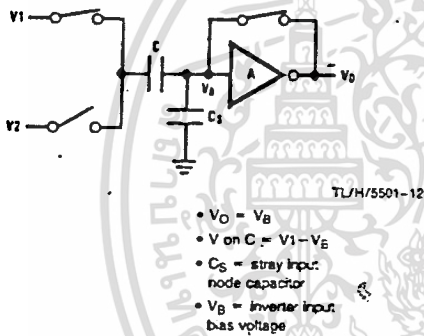


FIGURE 5a. Zeroing Phase

The actual circuitry used in the ADC0820 is a significant expansion of the basic comparator described above. By adding a second capacitor and another set of switches to the input (Figure 6), the scheme can be expanded to make dual differential comparisons. In this case, the feedback switch and one input switch on each capacitor (switches) are closed in the zeroing cycle. A comparison is then made by connecting the second input on each capacitor and opening all of the other switches (S switches). The change in voltage at the inverter's input, as a result of the change in charge on each input capacitor, will now depend on both input signal differences.

1.3 ARCHITECTURE

In the ADC0820, one bank of 15 comparators is used in each 4-bit flash A/D converter (Figure 7). The MS (most significant) flash ADC also has one additional comparator to detect input overrange. These two sets of comparators operate alternately, with one group in its zeroing cycle while the other is comparing.

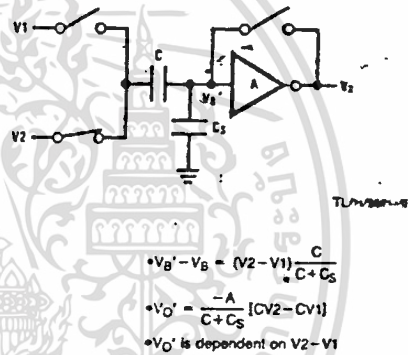


FIGURE 5b. Compare Phase

FIGURE 5. Sampled-Data Comparator

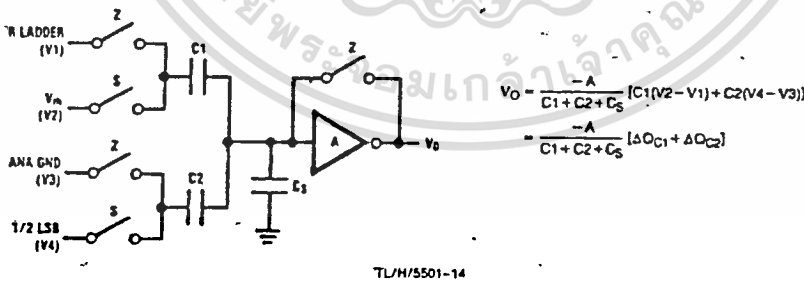


FIGURE 6. ADC0820 Comparator (from MS Flash ADC)

Detailed Block Diagram

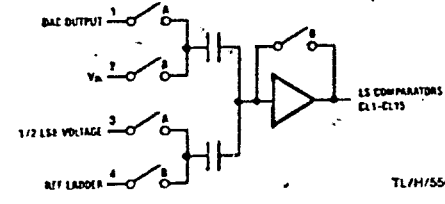
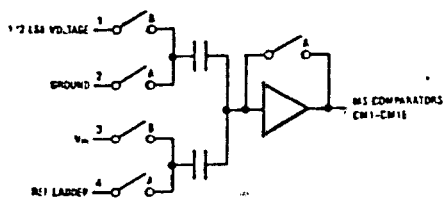
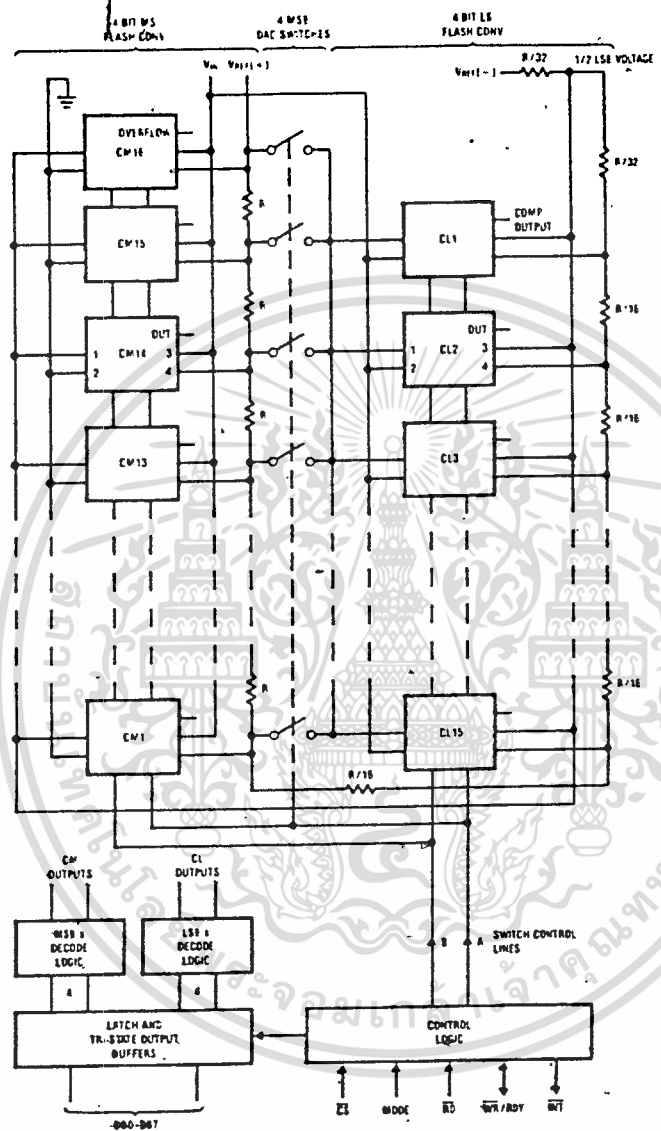


FIGURE 7

TLH/5501-15

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.0 Functional Description (Continued)

When a typical conversion is started, the \overline{WR} line is brought low. At this instant the MS comparators go from zeroing to comparison mode (Figure 8). When \overline{WR} is returned high after at least 600 ns, the output from the first set of comparators (the first flash) is decoded and latched. At this point the two 4-bit converters change modes and the LS (least significant) flash ADC enters its compare cycle. No less than 600 ns later, the \overline{RD} line may be pulled low to latch the lower 4 data bits and finish the 8-bit conversion. When \overline{RD} goes low, the flash A/Ds change state once again in preparation for the next conversion.

Figure 8 also outlines how the converter's interface timing relates to its analog input (V_{IN}). In WR-RD mode, V_{IN} is measured while \overline{WR} is low. In RD mode, sampling occurs during the first 800 ns of \overline{RD} . Because of the input connections to the ADC0820's LS and MS comparators, the converter has the ability to sample V_{IN} at one instant (Section 2.4), despite the fact that two separate 4-bit conversions are being done. More specifically, when \overline{WR} is low the MS flash is in compare mode (connected to V_{IN}), and the LS flash is in zero mode (also connected to V_{IN}). Therefore both flash ADCs sample V_{IN} at the same time.

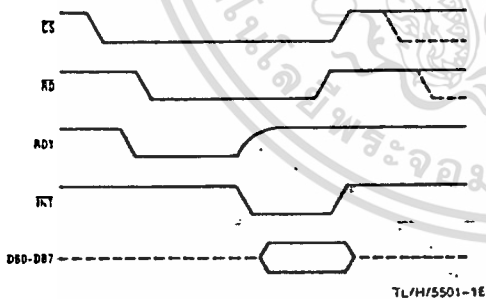
1.4 DIGITAL INTERFACE

The ADC0820 has two basic interface modes which are selected by strapping the MODE pin high or low.

RD Mode

With the MODE pin grounded, the converter is set to Read mode. In this configuration, a complete conversion is done by pulling \overline{RD} low until output data appears. An INT line is provided which goes low at the end of the conversion as well as a RDY output which can be used to signal a processor that the converter is busy or can also serve as a system Transfer Acknowledge signal.

RD Mode (Pin 7 Is Low)



When in RD mode, the comparator phases are internally triggered. At the falling edge of \overline{RD} , the MS flash converter goes from zero to compare mode and the LS ADC's comparators enter their zero cycle. After 800 ns, data from the MS flash is latched and the LS flash ADC enters compare mode. Following another 800 ns, the lower 4 bits are recovered.

WR then RD Mode

With the MODE pin tied high, the A/D will be set up for the WR-RD mode. Here, a conversion is started with the \overline{WR} input; however, there are two options for reading the output data which relate to interface timing. If an interrupt-driven scheme is desired, the user can wait for INT to go low before reading the conversion result (Figure 9). INT will typically go low 800 ns after \overline{WR} 's rising edge. However, if a shorter conversion time is desired, the processor need not wait for INT and can exercise a read after only 600 ns (Figure A). If this is done, INT will immediately go low and data will appear at the outputs.

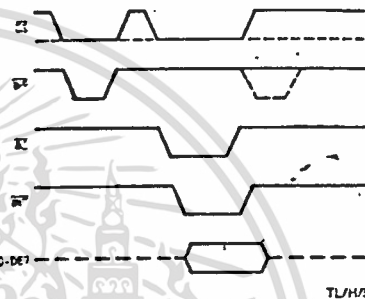


FIGURE A. WR-RD Mode (Pin 7 Is High and $t_{RD} < 4$)

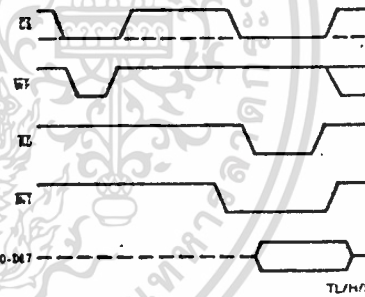
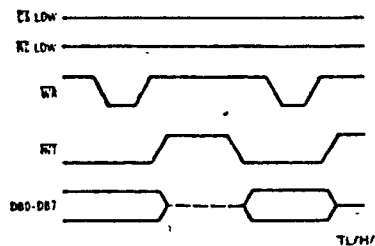


FIGURE B. WR-RD Mode (Pin 7 Is High and $t_{RD} > 4$)

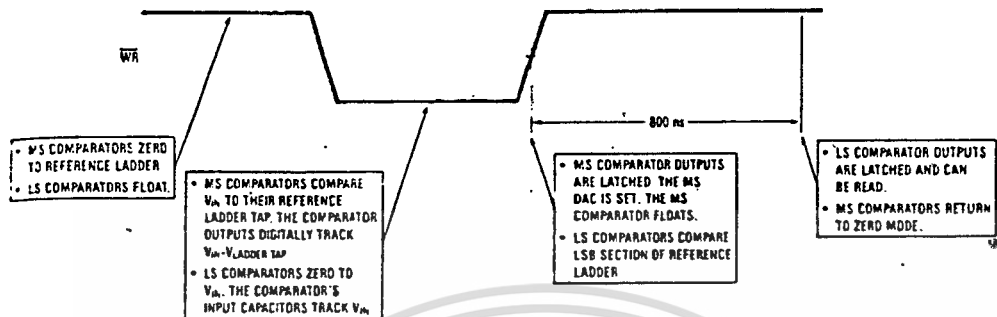
Stand-Alone

For stand-alone operation in WR-RD mode, CS and \overline{RD} can be tied low and a conversion can be started with \overline{WR} . Data will be valid approximately 800 ns following \overline{WR} 's rising edge.

WR-RD Mode (Pin 7 Is High) Stand-Alone Operation



1.0 Functional Description (Continued)



TL/H/55501-20

Note: MS means most significant
LS means least significant

FIGURE 8. Operating Sequence (WR-RD Mode)

OTHER INTERFACE CONSIDERATIONS

In order to maintain conversion accuracy, \overline{WR} has a maximum width spec of 50 μ s. When the MS flash ADC's sampled-data comparators (Section 1.2) are in comparison mode (\overline{WR} is low), the input capacitors (C, Figure 6) must hold their charge. Switch leakage and inverter bias current can cause errors if the comparator is left in this phase for too long.

Since the MS flash ADC enters its zeroing phase at the end of a conversion (Section 1.3), a new conversion cannot be started until this phase is complete. The minimum spec for this time (t_p , Figures 2, 3a, 3b, and 4) is 500 ns.

2.0 Analog Considerations

2.1 REFERENCE AND INPUT

The two V_{REF} inputs of the ADC0820 are fully differential and define the zero to full-scale input range of the A to D converter. This allows the designer to easily vary the span of the analog input since this range will be equivalent to the voltage difference between $V_{IN}(+)$ and $V_{IN}(-)$. By reducing V_{REF} ($V_{REF} = V_{REF}(+) - V_{REF}(-)$) to less than 5V, the sensitivity of the converter can be increased (i.e., if $V_{REF} = 2V$ then 1 LSB = 7.8 mV). The input/reference arrangement also facilitates ratiometric operation and in many cases the chip power supply can be used for transducer power as well as the V_{REF} source.

This reference flexibility lets the input span not only be varied but also offset from zero. The voltage at $V_{REF}(-)$ sets the input level which produces a digital output of all zeroes. Though V_{IN} is not itself differential, the reference design affords nearly differential-input capability for most measurement applications. Figure 9 shows some of the configurations that are possible.

2.2 INPUT CURRENT

Due to the unique conversion techniques employed by the ADC0820, the analog input behaves somewhat differently than in conventional devices. The A/D's sampled-data comparators take varying amounts of input current depending on which cycle the conversion is in.

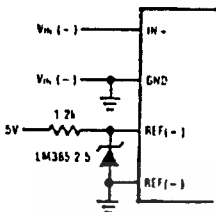
The equivalent input circuit of the ADC0820 is shown in Figure 10a. When a conversion starts (\overline{WR} low, WR-RD mode), all input switches close, connecting V_{IN} to thirty-one 1 pF capacitors. Although the two 4-bit flash circuits are not both in their compare cycle at the same time, V_{IN} still sees all input capacitors at once. This is because the MS flash converter is connected to the input during its compare interval and the LS flash is connected to the input during its zeroing phase (Section 1.3). In other words, the LS ADC uses V_{IN} as its zero-phase input.

The input capacitors must charge to the input voltage through the on resistance of the analog switches (about 5 k Ω to 10 k Ω). In addition, about 12 pF of input stray capacitance must also be charged. For large source resistances, the analog input can be modeled as an RC network as shown in Figure 10b. As R_S increases, it will take longer for the input capacitance to charge.

In RD mode, the input switches are closed for approximately 800 ns at the start of the conversion. In WR-RD mode, the time that the switches are closed to allow this charging is the time that \overline{WR} is low. Since other factors force this time to be at least 600 ns, input time constants of 100 ns can be accommodated without special consideration. Typical total input capacitance values of 45 pF allow R_S to be 1.5 k Ω without lengthening \overline{WR} to give V_{IN} more time to settle.

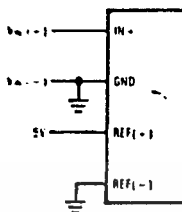
2.0 Analog Considerations (Continued)

External Reference 2.5V Full-Scale



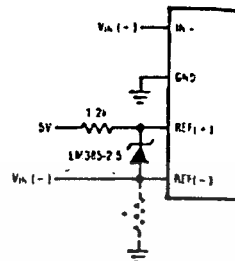
TL/H/5501-21

Power Supply as Reference



TL/H/5501-22

Input Not Referred to GND



Current path must still exist from $V_{IN}(-)$ to ground

TL/H/55-23

FIGURE 9. Analog Input Options

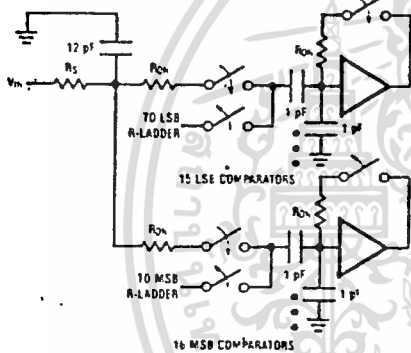


FIGURE 10a

TL/H/5501-24

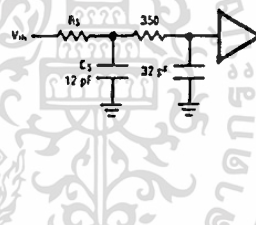


FIGURE 10b

TL/H/55-25

2.3 INPUT FILTERING

It should be made clear that transients in the analog input signal, caused by charging current flowing into V_{IN} , will not degrade the A/D's performance in most cases. In effect the ADC0820 does not "look" at the input when these transients occur. The comparators' outputs are not latched while \overline{WR} is low, so at least 600 ns will be provided to charge the ADC's input capacitance. It is therefore not necessary to filter out these transients by putting an external cap on the V_{IN} terminal.

2.4 INHERENT SAMPLE-HOLD

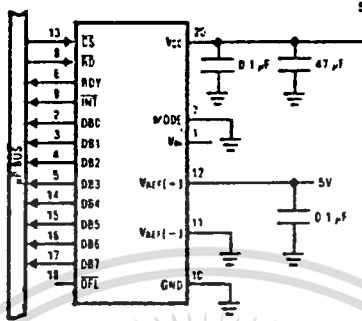
Another benefit of the ADC0820's input mechanism is its ability to measure a variety of high speed signals without the help of an external sample-and-hold. In a conventional SAR type converter, regardless of its speed, the input must remain at least $1/2$ LSB stable throughout the conversion process if full accuracy is to be maintained. Consequently, for many high speed signals, this signal must be externally sampled, and held stationary during the conversion.

Sampled-data comparators, by nature of their input switching, already accomplish this function to a large degree (Section 1.2). Although the conversion time for the ADC0820 is 1.5 μ s, the time through which V_{IN} must be $1/2$ LSB stable is much smaller. Since the MS flash ADC uses V_{IN} as its "compare" input and the LS ADC uses V_{IN} as its "sample" input, the ADC0820 only "samples" V_{IN} when \overline{WR} is low (Sections 1.3 and 2.2). Even though the two flashes are not done simultaneously, the analog signal is measured at one instant. The value of V_{IN} approximately 100 ns after the rising edge of \overline{WR} (100 ns due to internal logic propagation delay) will be the measured value.

Input signals with slew rates typically below 100 mV/ μ s can be converted without error. However, because of the input time constants, and charge injection through the open comparator input switches, faster signals may cause errors. Still, the ADC0820's loss in accuracy for a given increase in signal slope is far less than what would be witnessed in a conventional successive approximation device. An SAR type converter with a conversion time as fast as 1 μ s would still not be able to measure a 5V 1 kHz sine wave without the aid of an external sample-and-hold. The ADC0820, with no such help, can typically measure 5V, 7 kHz wave-

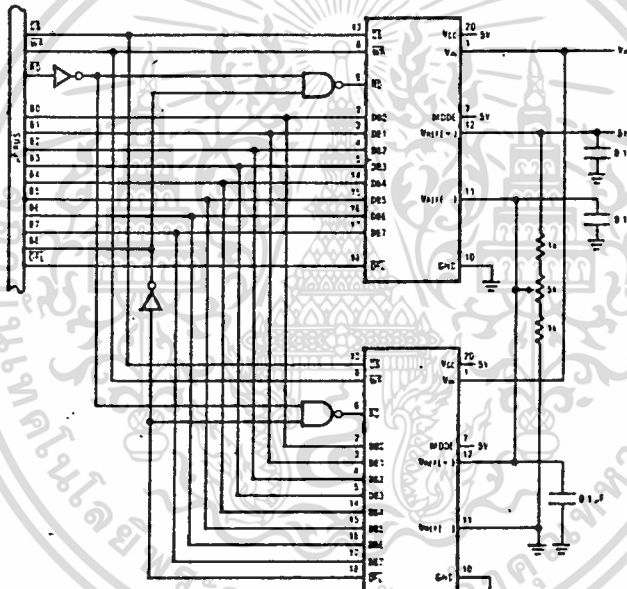
3.0 Typical Applications

8-Bit Resolution Configuration



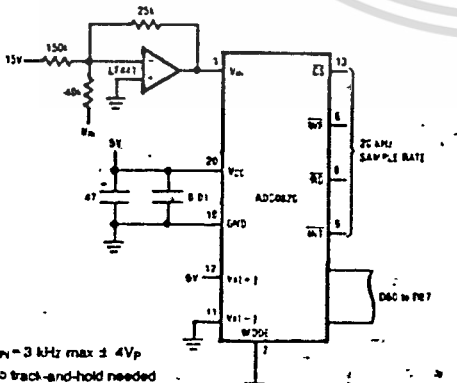
TL/H/5501-26

9-Bit Resolution Configuration



TL/H/5501-27

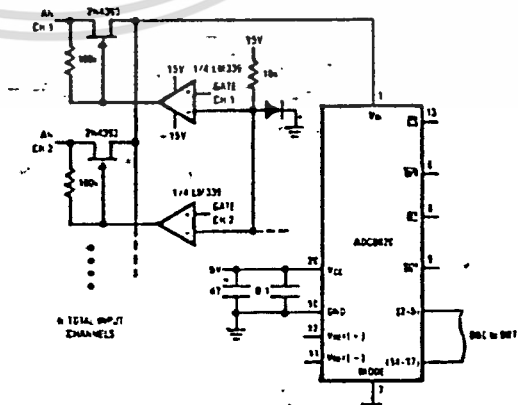
Telecom A/D Converter



- $V_{IN} = 3 \text{ kHz max } \pm 4 \text{ Vp}$
- No track-and-hold needed
- Low power consumption

TL/H/5501-28

Multiple Input Channels



TL/H/5501-29

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Ordering Information

Part Number	Total Unadjusted Error	Package	Temperature Range
ADC0820BD ADC0820BCD ADC0820BCV	$\pm \frac{1}{2}$ LSB	D20A—Cavity DIP	-55°C to +125°C
		D20A—Cavity DIP	-40°C to +80°C
		V20A—Molded Chip Carrier	0°C to +70°C
ADC0820BCM		M20B—Wide Body Small Outline	0°C to +70°C
ADC0820BCN		N20A—Molded DIP	0°C to +70°C
ADC0820CJ ADC0820CCJ ADC0820CCV	± 1 LSB	J20A—Cerdip	-55°C to +125°C
		J20A—Cerdip	-40°C to +85°C
		V20A—Molded Chip Carrier	0°C to +70°C
ADC0820CCM		MJ20B—Wide Body Small Outline	0°C to +70°C
ADC0820CCN		N20A—Molded DIP	0°C to +70°C



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

54221/74221 Dual Monostable Multivibrator with Schmitt-Trigger Input

	Schottky TTL				High-Speed TTL				Low-Power Schottky TTL				Standard TTL				Low-Power TTL							
	Device Type		Package		Device Type		Package		Device Type		Package		Device Type		Package		Device Type		Package					
	C	P	M	CF	C	P	M	CF	C	P	M	CF	C	P	M	CF	C	P	M	CF				
T.I.									SNS4LS221	J	Q		W	Q	SNS4221	J	Q		W	Q				
FAIRCHILD									SN74LS221	J	Q	W	Q	SN74221	J	Q	W	Q						
MOTOROLA																								
N.S.C.																								
PHILIPS									N74LS221					N74221										
SIGNETICS									N74LS221	A	Q			N74221	A	Q								
SIEMENS																								
FUJITSU									74LS221	M	Q													
HTACHI									HD74LS221	P	Q			HD74221	P	Q								
MITSUBISHI																								
NEC									M74LS221	P	Q													
TOSHIBA																								

Electrical Characteristics SN54LS221/SN74LS221						
absolute maximum ratings over operating free-air temperature range						
Supply voltage, VCC	7V	maximum free air temperature range	SN54LS -55°C to 125°C			
input voltage	7V	maximum input temperature range	SN74LS 0°C to 70°C			
		Storage temperature range	-65°C to 150°C			
recommended operating conditions						
		SN54LS221	SN74LS221			
		MIN NOM MAX	MIN NOM MAX			
Supply voltage, VCC		4.5 5 5.5	4.75 5 5.75			
High level output current, I _{OH}		-400	-400			
Low level output current, I _{OL}		4	8			
Rate of rise or fall at output pulse, dV/dt	Schmitt input B	1	1			
	Logic input A	1	1			
Input pulse width	A or B (min)	40	40			
	Clear, tp(clear)	40	40			
Clear inactive state setup time, t _{setup}		15	15			
External timing resistance, R _{ext}		1 k	70 k			
External timing capacitance, C _{ext}		0	100			
Output duty cycle	R _{ext} = 2kΩ	50	50			
	R _{ext} = 10kΩ	90	90			
Operating free air temperature, T _a		-55	125			
		0	70			
electrical characteristics over recommended operating free-air temperature range						
PARAMETER #	TEST CONDITIONS †	MIN	TYP ‡	MAX	UNIT	
V _{T+}	Positive-going threshold voltage	V _{CC} = MIN	A input	1.0	2	V
V _{T-}	Negative-going threshold voltage	V _{CC} = MIN	A input	0.8	1.0	V
V _{T+}	Positive-going threshold voltage	V _{CC} = MIN	B input	1.0	2	V
V _{T-}	Negative-going threshold voltage	V _{CC} = MIN	B input	0.8	0.9	V
V _I	Input clamp voltage	V _{CC} = MIN, I _I = -18mA			-1.5	V
V _{OH}	High-level output voltage	V _{CC} = MIN, I _{OH} = -400µA		2.7	3.4	V
V _{OL}	Low-level output voltage	V _{CC} = MIN, I _{OL} = 8mA		0.35	0.5	V
I _I	input current at maximum input voltage	V _{CC} = MAX, V _I = 7V			0.1	mA
I _{IH}	High-level input current	V _{CC} = MAX, V _I = 2.7V			20	µA
I _{IL}	Low-level input current	V _{CC} = MAX, V _I = 0.4V	Input A		0.4	mA
			Input B (clear)		0.8	mA
I _{OS}	Short-circuit output current *	V _{CC} = MAX	SN54LS221	-20	100	mA
			SN74LS221	-20	100	mA
I _{CC}	Supply current	V _{CC} = MAX	Quiescent	4	11	mA
			Triggered	19	27	mA
t _{PLH}	from A to output Q	V _{CC} = 5V, T _a = 25°C, C _L = 150pF, R _L = 2kΩ, C _{ext} = 80pF, R _{ext} = 2kΩ		45	70	ns
	from B to output Q			35	55	ns
	from A to output Q̄			50	80	ns
	from B to output Q̄			40	65	ns
	from Clear to output Q			35	55	ns
	from Clear to output Q̄			44	65	ns
t _{out(1)}	from A or B to output Q or Q̄		C _{ext} = 80pF, R _{ext} = 10kΩ	70	120	150
			C _{ext} = 0, R _{ext} = 10kΩ	20	47	70
			C _{ext} = 100pF, R _{ext} = 10kΩ	600	670	750
			C _{ext} = 100pF, R _{ext} = 10kΩ	6	6.9	7.5

Pin Assignment (Top View)

positive logic: Low input to clear resets Q low and Q̄ high regardless of d-c levels at A or B inputs.

Function Table

221, LS221 (EACH MONOSTABLE)

CLEAR	INPUTS		OUTPUTS	
	A	B	Q	Q̄
L	X	X	L	H
X	X	X	L	H
X	X	L	L	H
H	L	L	H	L
H	L	H	H	L

H = high level (steady state)
L = low level (steady state)
↑ = transition from low to high level
↓ = transition from high to low level
—|— = one high-level pulse
—|— = one low-level pulse
X = irrelevant

† For conditions shown as MIN or MAX use the appropriate value specified under recommended operating conditions.
‡ All typical values are at V_{CC} = 5V, T_a = 25°C.
* Not more than one output should be shorted at a time.
t_{PLH} = Propagation delay time, low-to-high-level output
t_{PLL} = Propagation delay time, high-to-low-level output.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



8253/8253-5 PROGRAMMABLE INTERVAL TIMER

- MCS-85™ Compatible 8253-5
- 3 Independent 16-Bit Counters
- DC to 2.6 MHz
- Programmable Counter Modes
- Count Binary or BCD
- Single +5V Supply
- Available in EXPRESS
 - Standard Temperature Range
 - Extended Temperature Range

The Intel® 8253 is a programmable counter/timer device designed for use as an Intel microcomputer peripheral. It uses nMOS technology with a single +5V supply and is packaged in a 24-pin plastic DIP.

It is organized as 3 independent 16-bit counters, each with a count rate of up to 2.6 MHz. All modes of operation are software programmable.

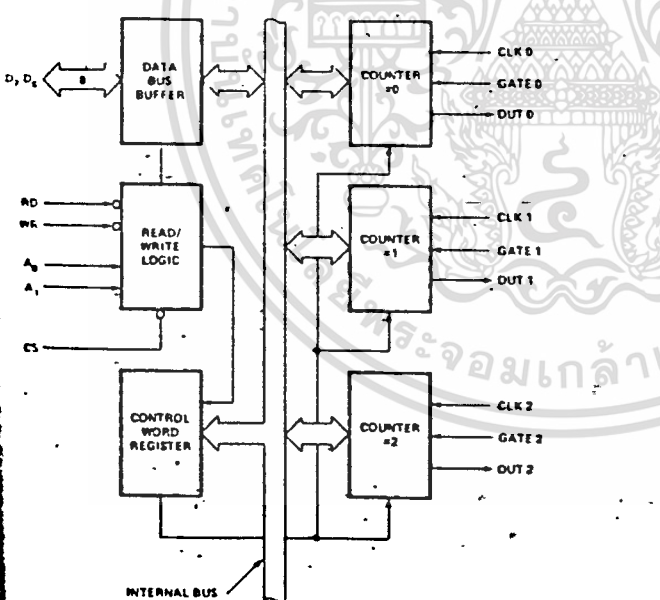


Figure 1. Block Diagram

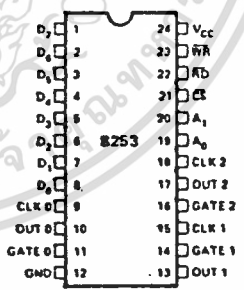


Figure 2. Pin Configuration

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



8253/8253-5

FUNCTIONAL DESCRIPTION

General

The 8253 is a programmable interval timer/counter specifically designed for use with the Intel™ Micro-computer systems. Its function is that of a general purpose, multi-timing element that can be treated as an array of I/O ports in the system software.

The 8253 solves one of the most common problems in any microcomputer system, the generation of accurate time delays under software control. Instead of setting up timing loops in systems software, the programmer configures the 8253 to match his requirements, initializes one of the counters of the 8253 with the desired quantity, then upon command the 8253 will count out the delay and interrupt the CPU when it has completed its tasks. It is easy to see that the software overhead is minimal and that multiple delays can easily be maintained by assignment of priority levels.

Other counter/timer functions that are non-delay in nature but also common to most microcomputers can be implemented with the 8253.

- Programmable Rate Generator
- Event Counter
- Binary Rate Multiplier
- Real Time Clock
- Digital One-Shot
- Complex Motor Controller

Data Bus Buffer

This 3-state, bi-directional, 8-bit buffer is used to interface the 8253 to the system data bus. Data is transmitted or received by the buffer upon execution of INput or OUTput CPU instructions. The Data Bus Buffer has three basic functions.

1. Programming the MODES of the 8253.
2. Loading the count registers.
3. Reading the count values.

Read/Write Logic

The Read/Write Logic accepts inputs from the system bus and in turn generates control signals for overall device operation. It is enabled or disabled by CS so that no operation can occur to change the function unless the device has been selected by the system logic.

RD (Read)

A "low" on this input informs the 8253 that the CPU is inputting data in the form of a counters value.

WR (Write)

A "low" on this input informs the 8253 that the CPU is outputting data in the form of mode information or loading counters.

A0, A1

These inputs are normally connected to the address bus. Their function is to select one of the three counters to be operated on and to address the control word register for mode selection.

CS (Chip Select)

A "low" on this input enables the 8253. No reading or writing will occur unless the device is selected. The input has no effect upon the actual operation of the counters.

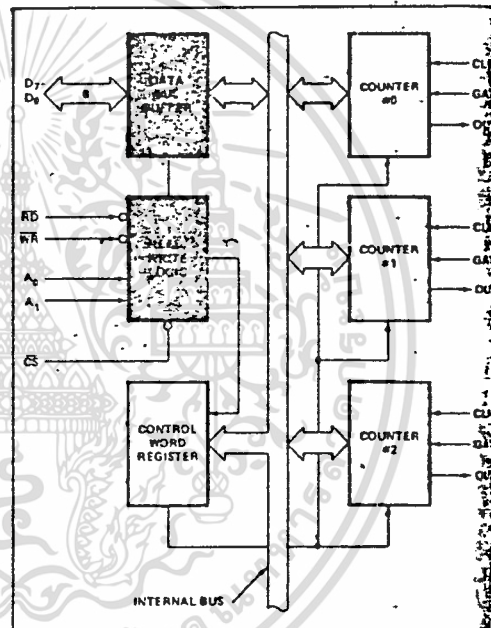


Figure 3. Block Diagram Showing Data Bus Buffer and Read/Write Logic Functions

CS	RD	WR	A ₁	A ₀	Function
0	1	0	0	0	Load Counter No. 0
0	1	0	0	1	Load Counter No. 1
0	1	0	1	0	Load Counter No. 2
0	1	0	1	1	Write Mode Word
0	0	1	0	0	Read Counter No. 0
0	0	1	0	1	Read Counter No. 1
0	0	1	1	0	Read Counter No. 2
0	0	1	1	1	No-Operation 3-State
1	X	X	X	X	Disable 3-State
0	1	1	X	X	No-Operation 3-State



8253/8253-5

Control Word Register

The Control Word Register is selected when A0, A1 are 11. It then accepts information from the data bus buffer and stores it in a register. The information stored in this register controls the operational MODE of each counter, selection of binary or BCD counting and the loading of each count register.

The Control Word Register can only be written into; no read operation of its contents is available.

Counter #0, Counter #1, Counter #2

These three functional blocks are identical in operation so only a single Counter will be described. Each Counter consists of a single, 16-bit, pre-settable, DOWN counter. The counter can operate in either binary or BCD and its input, gate and output are configured by the selection of MODES stored in the Control Word Register.

The counters are fully independent and each can have separate Mode configuration and counting operation, binary or BCD. Also, there are special features in the control word that handle the loading of the count value so that software overhead can be minimized for these functions.

The reading of the contents of each counter is available to the programmer with simple READ operations for event counting applications and special commands and logic are included in the 8253 so that the contents of each counter can be read "on the fly" without having to inhibit the clock input.

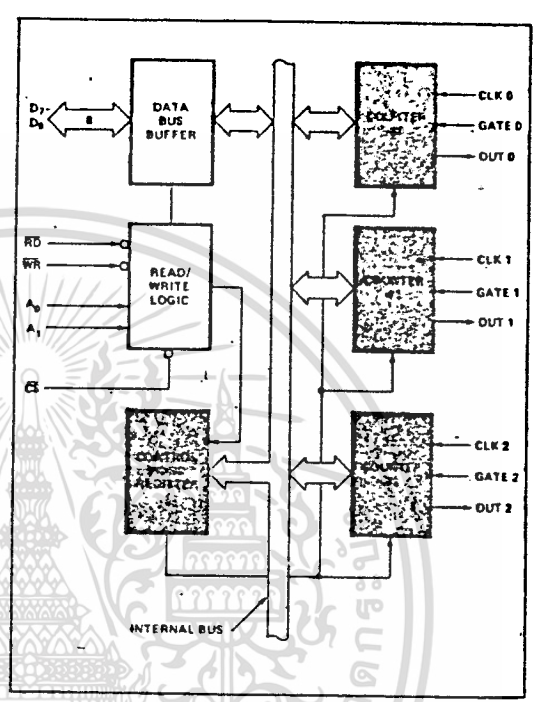


Figure 4. Block Diagram Showing Control Word Register and Counter Functions

8253 SYSTEM INTERFACE

The 8253 is a component of the Intel™ Microcomputer systems and interfaces in the same manner as all other peripherals of the family. It is treated by the systems software as an array of peripheral I/O ports; three are counters and the fourth is a control register for MODE programming.

Basically, the select inputs A0, A1 connect to the A0, A1 address bus signals of the CPU. The CS can be derived directly from the address bus using a linear select method. It can be connected to the output of a decoder, such as Intel® 8205 for larger systems.

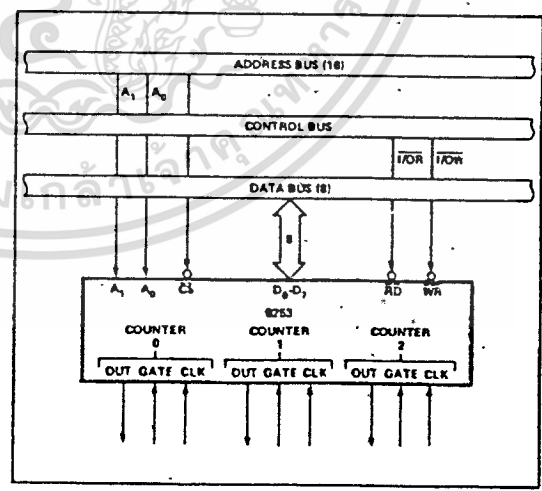


Figure 5. 8253 System Interface

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

intel

8253/8253-5

OPERATIONAL DESCRIPTION

General

The complete functional definition of the 8253 is programmed by the systems software. A set of control words must be sent out by the CPU to initialize each counter of the 8253 with the desired MODE and quantity information. Prior to initialization, the MODE, count, and output of all counters is undefined. These control words program the MODE, Loading sequence and selection of binary or BCD counting.

Once programmed, the 8253 is ready to perform whatever timing tasks it is assigned to accomplish.

The actual counting operation of each counter is completely independent and additional logic is provided on-chip so that the usual problems associated with efficient monitoring and management of external, asynchronous events or rates to the microcomputer system have been eliminated.

Programming the 8253

All of the MODES for each counter are programmed by the systems software by simple I/O operations.

Each counter of the 8253 is individually programmed by writing a control word into the Control Word Register. (A0, A1 = 11)

Control Word Format

D ₇	D ₆	D ₅	D ₄	D ₃	D ₂	D ₁	D ₀
SC1	SC0	RL1	RL0	M2	M1	M0	BCD

Definition of Control

SC — Select Counter:

SC1	SC0	
0	0	Select Counter 0
0	1	Select Counter 1
1	0	Select Counter 2
1	1	Illegal

RL — Read/Load:

RL1	RL0	
0	0	Counter Latching operation (see READ/WRITE Procedure Section)
1	0	Read/Load most significant byte only.
0	1	Read/Load least significant byte only.
1	1	Read/Load least significant byte first, then most significant byte.

M — MODE:

M2	M1	M0	
0	0	0	Mode 0
0	0	1	Mode 1
X	1	0	Mode 2
X	1	1	Mode 3
1	0	0	Mode 4
1	0	1	Mode 5

BCD:

0	Binary Counter 16-bits
1	Binary Coded Decimal (BCD) Counter (4 Decades)

Counter Loading

The count register is not loaded until the count value is written (one or two bytes, depending on the mode selected by the RL bits), followed by a rising edge and falling edge of the clock. Any read of the counter prior to that falling clock edge may yield invalid data.

MODE Definition

MODE 0: Interrupt on Terminal Count. The output will be initially low after the mode set operation. After the count is loaded into the selected count register, the output will remain low and the counter will count. When the terminal count is reached the output will go high and remain high until the selected count register is reloaded with the mode or a new count is loaded. The counter continues to decrement after terminal count has been reached.

Rewriting a counter register during counting results in the following:

- (1) Write 1st byte stops the current counting.
- (2) Write 2nd byte starts the new count.

MODE 1: Programmable One-Shot. The output will go low on the count following the rising edge of the gate input.

The output will go high on the terminal count. If a new count value is loaded while the output is low it will affect the duration of the one-shot pulse until the succeeding trigger. The current count can be read at any time without affecting the one-shot pulse.

The one-shot is retriggerable, hence the output will remain low for the full count after any rising edge of gate input.



8253/8253-5

MODE 2: Rate Generator. Divide by N counter. The output will be low for one period of the input clock. The period from one output pulse to the next equals the number of input counts in the count register. If the count register is reloaded between output pulses the present period will not be affected, but the subsequent period will reflect the new value.

The gate input, when low, will force the output high. When the gate input goes high, the counter will start from the initial count. Thus, the gate input can be used to synchronize the counter.

When this mode is set, the output will remain high until after the count register is loaded. The output then can also be synchronized by software.

MODE 3: Square Wave Rate Generator. Similar to MODE 2 except that the output will remain high until one half the count has been completed (for even numbers) and go low for the other half of the count. This is accomplished by decrementing the counter by two on the falling edge of each clock pulse. When the counter reaches terminal count, the state of the output is changed and the counter is reloaded with the full count and the whole process is repeated.

If the count is odd and the output is high, the first clock pulse (after the count is loaded) decrements the count by 1. Subsequent clock pulses decrement the count by 1. After timeout, the output goes low and the full count is reloaded. The first clock pulse (following the reload) decrements the count by 3. Subsequent clock pulses decrement the count by 2 until timeout. Then the whole process is repeated. In this way, if the count is odd, the output will be high for $(N + 1)/2$ counts and low for $(N - 1)/2$ counts.

Modes 2 and 3, if a CLK source other than the system clock is used, GATE should be pulsed immediately following the loading of a new count value.

MODE 4: Software Triggered Strobe. After the mode is set, the output will be high. When the count is loaded, the counter will begin counting. On terminal count, the

output will go low for one input clock period, then will go high again.

If the count register is reloaded during counting, the new count will be loaded on the next CLK pulse. The count will be inhibited while the GATE input is low.

MODE 5: Hardware Triggered Strobe. The counter will start counting after the rising edge of the trigger input and will go low for one clock period when the terminal count is reached. The counter is retriggerable. The output will not go low until the full count after the rising edge of any trigger.

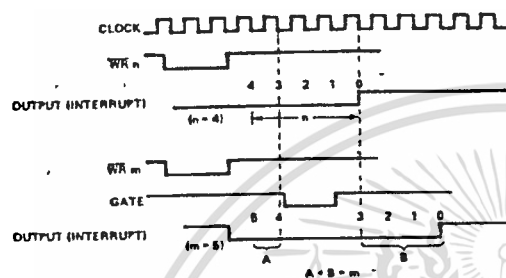
Modes	Signal Status	Low Or Going Low	Timing	High
0		Disables counting	---	Enables counting
1		---	1) Initiates counting 2) Resets output after next clock	---
2		1) Disables counting 2) Sets output immediately high	1) Reloads counter 2) Initiates counting	Enables counting
3		1) Disables counting 2) Sets output immediately high	1) Reloads counter 2) Initiates counting	Enables counting
4		Disables counting	---	Enables counting
5		---	Initiates counting	---

Figure 6. Gate Pin Operations Summary

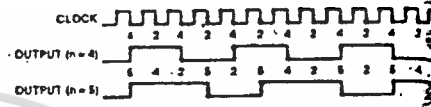


8253/8253-5

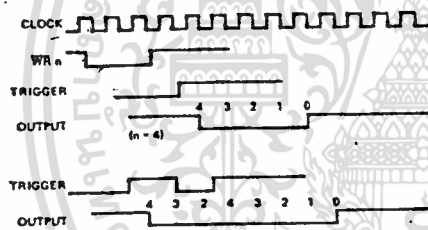
MODE 0: Interrupt on Terminal Count



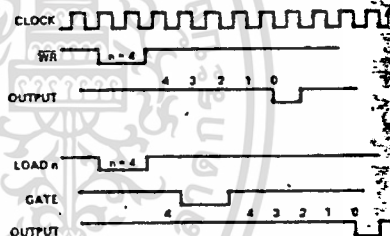
MODE 3: Square Wave Generator



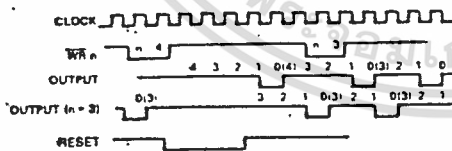
MODE 1: Programmable One-Shot



MODE 4: Software Triggered Strobe



MODE 2: Rate Generator



MODE 5: Hardware Triggered Strobe

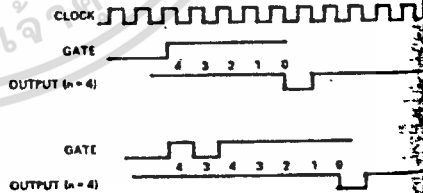


Figure 7. 8253 Timing Diagrams

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



8253/8253-5

Read Operations

In most counter applications it becomes necessary to read the value of the count in progress and make a computational decision based on this quantity. Even counters are probably the most common application that uses this function. The 8253 contains logic that will allow the programmer to easily read the contents of any of the three counters without disturbing the actual count in progress.

There are two methods that the programmer can use to read the value of the counters. The first method involves the use of simple I/O read operations of the selected counter. By controlling the A0, A1 inputs to the 8253 the programmer can select the counter to be read (remember that no read operation of the mode register is allowed A0, A1-11). The only requirement with this method is that in order to assure a stable count reading the actual operation of the selected counter must be inhibited either by controlling the Gate input or by external logic that inhibits the clock input. The contents of the counter selected will be available as follows:

- first I/O Read contains the least significant byte (LSB).
- second I/O Read contains the most significant byte (MSB).

Due to the internal logic of the 8253 it is absolutely necessary to complete the entire reading procedure. If two bytes are programmed to be read then two bytes must be read before any loading WR command can be sent to the same counter.

Read Operation Chart

A1	A0	RD	
0	0	0	Read Counter No. 0
0	1	0	Read Counter No. 1
1	0	0	Read Counter No. 2
1	1	0	Illegal

Reading While Counting

In order for the programmer to read the contents of counter without effecting or disturbing the count operation the 8253 has special internal logic that can be accessed using simple WR commands to the MODE register. Basically, when the programmer wishes to read the contents of a selected counter "on the fly" he loads the MODE register with a special code which latches the present count value into a storage register, so that the contents contain an accurate, stable quantity. The programmer then issues a normal read command to the selected counter and the contents of the latched register are available.

MODE Register for Latching Count

A0, A1 = 11

D7	D6	D5	D4	D3	D2	D1	D0
SC1	SC0	0	0	X	X	X	X

SC1, SC0 — specify counter to be latched.

D5, D4 — 00 designates counter latching operation.

X — don't care.

The same limitation applies to this mode of reading counter as the previous method. That is; it is mandatory to complete the entire read operation as programmed. This command has no effect on the counter's mode.

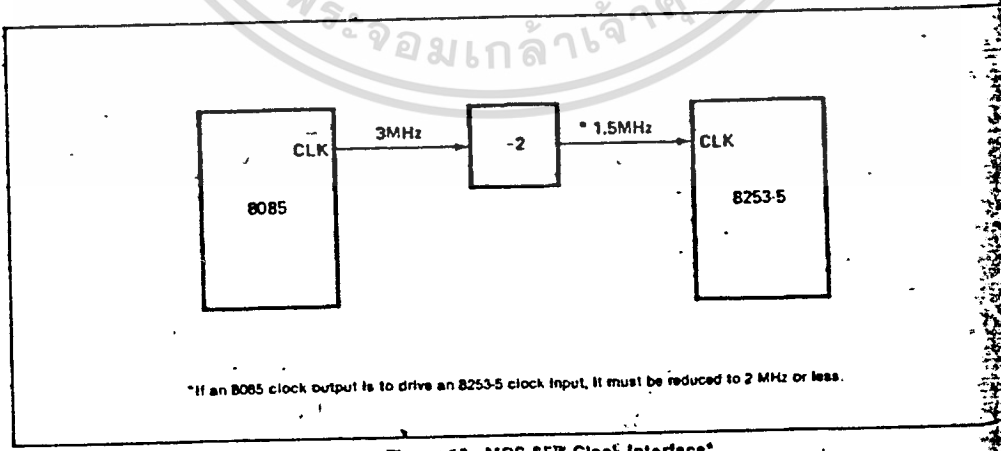


Figure 10. MCS-85™ Clock Interface*

A.C. CHARACTERISTICS (Continued)

WRITE CYCLE

Symbol	Parameter	8253		8253-5		Unit
		Min.	Max.	Min.	Max.	
t _{AW}	Address Stable Before WRITE	50		30		ns
t _{WA}	Address Hold Time for WRITE	30		30		ns
t _{WW}	WRITE Pulse Width	400		300		ns
t _{DW}	Data Set Up Time for WRITE	300		250		ns
t _{WD}	Data Hold Time for WRITE	40		30		ns
t _{RV}	Recovery Time Between WRITE and Any Other Control Signal	1		1		ns

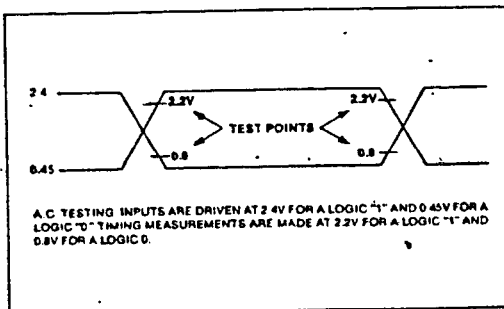
CLOCK AND GATE TIMING

Symbol	Parameter	8253		8253-5		Unit
		Min.	Max.	Min.	Max.	
t _{CLK}	Clock Period	380	dc	380	dc	ns
t _{PWH}	High Pulse Width	230		230		ns
t _{PWL}	Low Pulse Width	150		150		ns
t _{GW}	Gate Width High	150		150		ns
t _{GL}	Gate Width Low	100		100		ns
t _{GS}	Gate Set Up Time to CLK1	100		100		ns
t _{GH}	Gate Hold Time After CLK1	50		50		ns
t _{OD}	Output Delay From CLK1 [4]		400		400	ns
t _{ODG}	Output Delay From Gate1 [4]		300		300	ns

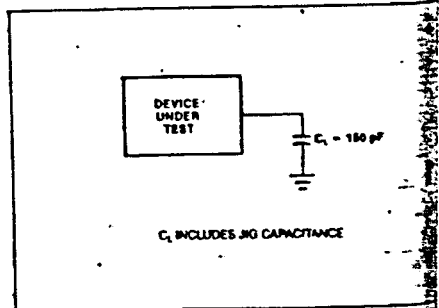
NOTES:

1. I_{OL} = 2.2 mA.
 2. I_{OH} = -400 μA.
 3. AC timings measured at V_{OH} 2.2, V_{OL} = 0.8.
 4. C_L = 150pF.
- * For Extended Temperature EXPRESS, use M8253 electrical parameters.

A.C. TESTING INPUT, OUTPUT WAVEFORM



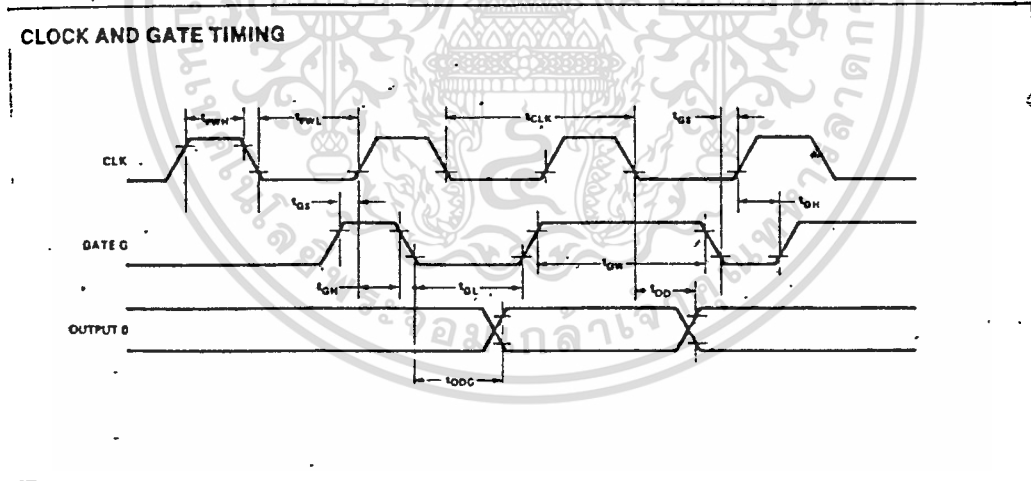
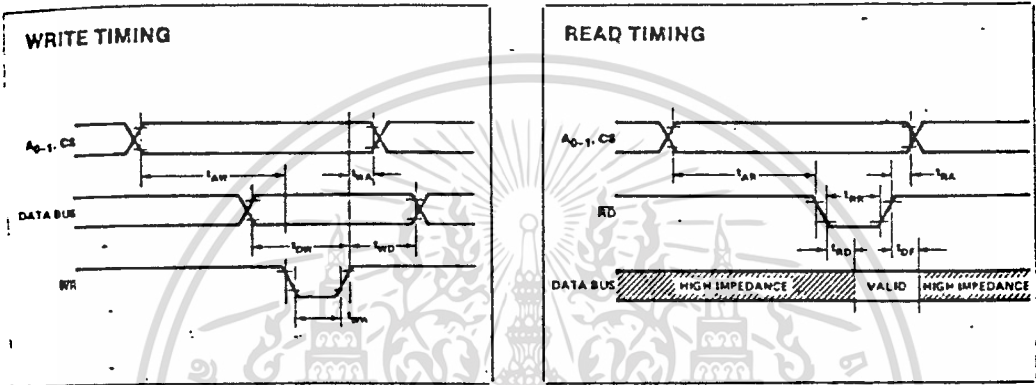
A.C. TESTING LOAD CIRCUIT





8253/8253-5

WAVEFORMS



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้