ปีการศึกษา 2532

ระบบจ่ายไฟต่อเนื่อง

UNINTERRUPTIBLE POWER SUPPLY

โดย

นาย ฉัตรชัย ศรีทิพยราษฎร์ 291035

นาย ฐิติ นำพูลสุขสันต์ 291049

อาจารย์ที่ปรึกษา

อาจารย์ศิริวัฒน์ โพธิเวชกุล

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

027011

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ ปีการศึกษา 2532

ภาควิชาวิศวกรรมไฟฟ้า

คณะวิศว กรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้า เจ้าคุณทหารลาดกระบัง

เรื่อง ระบบจ่ายไฟต่อเนื่อง

ผู้จัดทำ

1. นายฉัตรชัย ศรีทิพย์ราษฎร์ 291035
2. นายฐิติ นำพูลสุขสันต์ 291049

..... อาจารย์ที่ปรึกษา

(อาจารย์ศิริวัฒน์ โพธิเวชกุล)

22 พ.ย. 2533

027011

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

แหล่งจ่ายไฟต่อเนื่อง

ฉัตรชัย	ศรีทิพยราษฎร์	291035
ฐิติ	นำพูลสุขสันติ์	291049
อ.ศิริวัฒน์	โพธิเวชกุล	อาจารย์ที่ปรึกษา
ปีการศึกษา	2532	

บทคัดย่อ

การออกแบบ UPS เพื่อใช้จ่ายกระแสไฟฟ้าให้กับโหลดที่ต้องการไฟเลี้ยงตลอดเวลาต้องคำนึงถึงความต่อเนื่องของระบบ ขนาดและความน่าเชื่อถือของระบบ สำหรับ UPS ที่ออกแบบทดลองในวิทยานิพนธ์นี้ เป็นการศึกษาการแปลงไฟกระแสสลับเป็นกระแสตรง และกระแสตรงเป็นกระแสสลับ เพื่อศึกษาคุณสมบัติของ SWITCHING DEVICE โดยเฉพาะอย่างยิ่ง GTO และ TRANSISTOR รวมไปถึงการศึกษาวงจรขับ และการควบคุมแรงดันคงที่ การออกแบบในส่วน CONVERTER เป็นวงจร CHOPPER โดยใช้ TRANSISTOR เป็นอุปกรณ์ SWITCHING มีเป้าหมายให้จ่ายโหลด 1 เฟส ได้อย่างน้อย 3 kVA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Uninterruptible Power Supply

Chatchai Srithipayarat 291035
Thiti Nampoolsuksan 291049
Siriwat Pothivejakul Advisor
1989

Abstract

The designing of UPS for uninterruptible load depend on continuty , rating and reliability of system. The idea of UPS in this thesis aim to study the transformation of AC to DC and DC back to AC by power switching semiconductor device,especially GTO and transistor. Furthurmore,this project cover to drive circuit and voltage control method. In the part of converter,the circuit is designed in form of chopper circuit by using power transistor. Inverter part, GTO are consisted in Bridge Inverter type. This project is designed for 1 phase-3KVA load.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

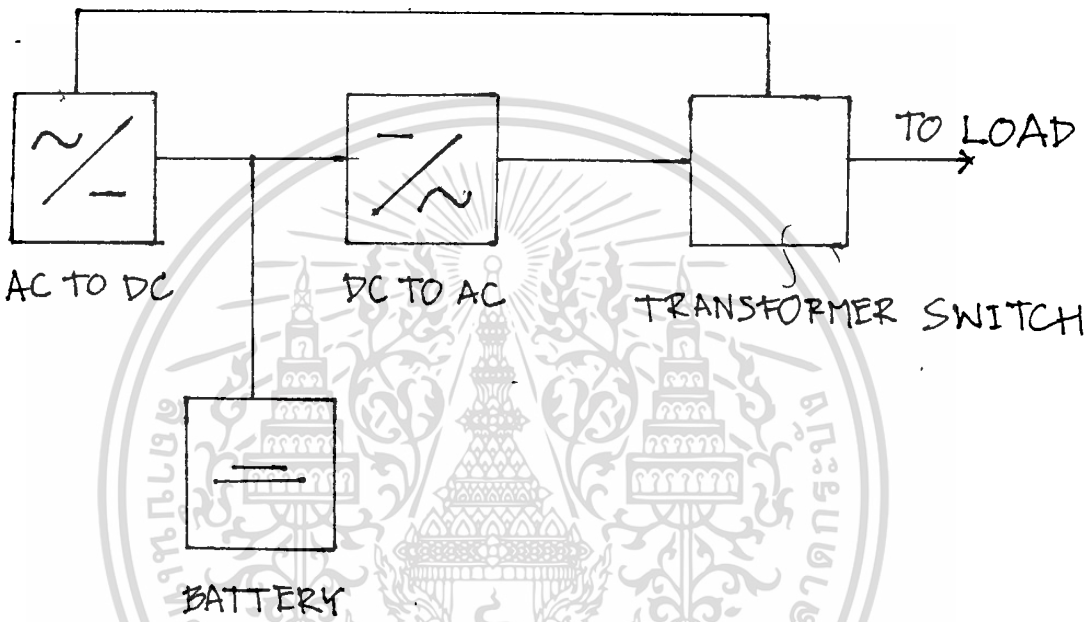
สารบัญ

บทคัดย่อ	
สารบัญ	หน้า
บทที่ 1 บทนำ ระบบจ่ายไฟต่อเนื่อง	1
บทที่ 2 คุณสมบัติของ GTO และการนำมาใช้งาน	4
บทที่ 3 ระบบคอนเวอร์เตอร์	11
3.1 ระบบคอนเวอร์เตอร์	11
3.2 การสร้างวงจรขับกระแสเบสทรานซิสเตอร์	14
3.3 การสร้างสัญญาณควบคุมเพื่อขับกระแสเบส	15
บทที่ 4 ระบบอินเวอร์เตอร์	18
4.1 ระบบอินเวอร์เตอร์	18
4.2 วงจรอินเวอร์เตอร์	18
4.2.1 วงจร Push-pull	20
4.2.2 วงจร Half-bridge	22
4.2.3 วงจร Full-bridge	26
4.3 ความรู้พื้นฐานเกี่ยวกับ PWM	27
บทที่ 5 ระบบไฟเลี้ยงใน UPS	46
5.1 ความต้องการไฟเลี้ยงใน UPS	46
5.2 Switching Supply	47
บทที่ 6 หลักการและการออกแบบวงจรควบคุม	50
6.1 ชนิดของการควบคุม	51
6.2 หลักการควบคุมแรงดันไฟฟ้าออกโดยการควบคุมวงจรภายในของอินเวอร์เตอร์	52
6.3 วงจรควบคุม	54
บทที่ 7 ผลการทดลอง	63
บทที่ 8 บทสรุป	69

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เพื่อให้ได้คุณสมบัติข้างต้น การออกแบบ UPS จึงจำเป็นต้องมีการเลือกระบบต่างๆ ที่นำมาใช้ประกอบร่วมกันเป็น UPS เพื่อให้เหมาะสมกับการใช้งาน ซึ่งรายละเอียดต่างๆมีดังนี้

1.1 โครงสร้างของ UPS โดยทั่วๆไป มีโครงสร้างที่สำคัญประกอบด้วย 4 ส่วนดังนี้



รูป 1.1

AC To DC Converter เป็นส่วนที่ทำหน้าที่แปลงไฟสลับให้เป็นไฟกระแสตรง การออกแบบในปัจจุบันโดยทั่วๆไป การ Rectifier ไฟสลับให้เป็นไฟกระแสตรง แล้วผ่านวงจร Chopper เพื่อให้สามารถควบคุมแรงดันได้

DC To AC Inverter เป็นวงจรที่ทำหน้าที่แปลงไฟกระแสตรงให้เป็นกระแสสลับ โดยปรกติ Inverter มีหลายหลักการในการแปลงไฟ แล้วแต่ผู้ออกแบบจะเลือกตามความเหมาะสม ที่ใช้ในปัจจุบันส่วนใหญ่จะเป็น PWM Inverter หรือใน Inverter ขนาดเล็กจะนิยมใช้ Bang - Bang Inverter เพราะมีความเพี้ยนน้อยกว่า แต่มี Switching Frequency สูง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Battery มีหน้าที่จ่ายไฟแทนในกรณีที่ไฟดับ จำนวนแบตเตอรี่แบบ Lead - Acid หรือ Nickel - Cadmium เป็นส่วนใหญ่ โดยในโครงงานนี้จะใช้แบตเตอรี่ขนาด 12.5 โวลต์, 90 AH, จำนวน 10 ลูก เป็นแหล่งจ่ายไฟตรงให้แก่วงจรกำลัง

ระบบไฟเลี้ยงวงจรภายในระบบ UPS ซึ่งไฟเลี้ยงภายในระบบ UPS ในโครงงานนี้ มีความจำเป็นต้องการใช้ระบบ Switching Power Supply โดยจะกล่าวถึงละเอียดในบทต่อไป

นอกจากส่วนประกอบหลัก 4 ส่วนดังกล่าว ยังมีส่วนอื่นๆ ประกอบอีก เช่น วงจรกรองความถี่, Bypass Switch และระบบตรวจสัญญาณไฟฟ้าดังจะได้กล่าวถึงต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2

คุณสมบัติ ของ GTO และการนำมาใช้งาน

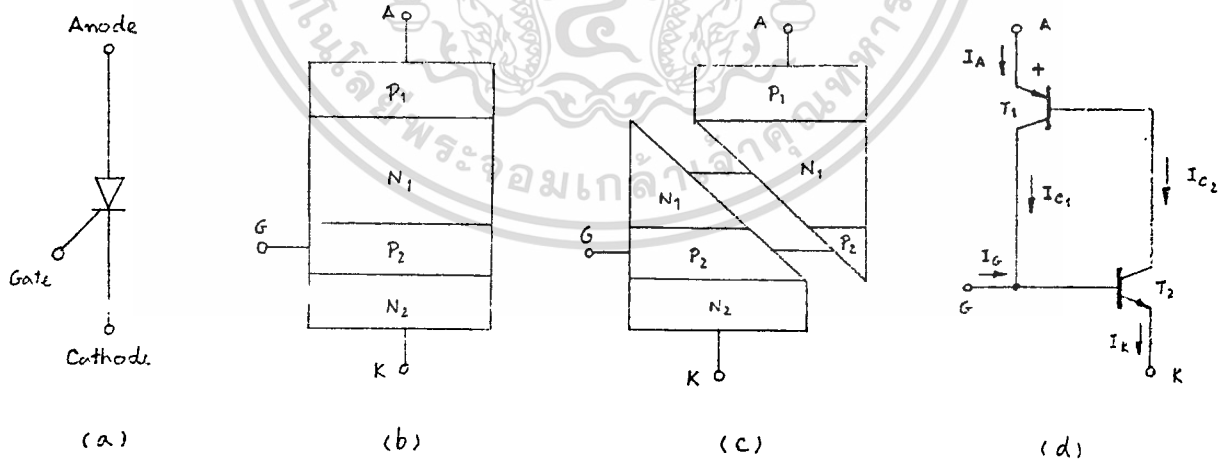
บทนำ GTO (Gate Turn - Off Thyristor) เป็นอุปกรณ์ที่รวมเอา ข้อดีของ Transistor And Thyristor ใช้ด้วยกัน มีข้อดี คือ

- ทน Surge Current ได้สูง
- ไม่ต้องมี Commutation Circuit
- มี Capacity สูง

แต่อย่างไรก็ตาม GTO มีข้อเสียเปรียบเกี่ยวกับความยุ่งยากในการออกแบบวงจรขับ (Gate Drive Circuit) และในเรื่องของ Reverse Blocking Voltage ไม่สูงนัก

2.1 โครงสร้างของ GTO

GTO มีโครงสร้างเป็น Four - Layer เหมือน Thyristor ทั่ว ๆ ไป ใช้การจุดชนวนโดยการป้อน กระแสเข้าทางขาเกท และดับโดยการดึงกระแสออกจากขาเกท มีสัญญลักษณ์และโครงสร้าง ดังรูป 2.1



(a) (b) (c) (d)

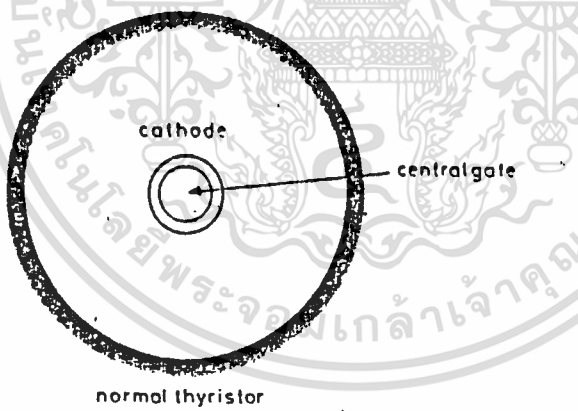
จากรูป เป็นการแสดงโครงสร้าง ในลักษณะ ของ Transistor 2 ตัว จะได้สมการ ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

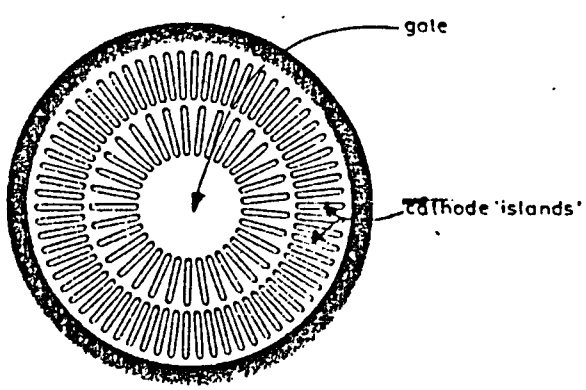
$$I_{C_1} = \alpha_1 I_A + I_{CBO_1}$$
$$I_{C_2} = \alpha_2 I_K + I_{CBO_2}$$
$$I_K = I_A + I_G$$

จากสมการดังกล่าว ถ้า เราให้ (Gain ของ T) มีค่า ประมาณ 1 (Unity Gain) จะเห็นได้ว่า การดึง Negative Gate Current ออกจากขาเกท จะทำให้ GTO ดับได้

การออกแบบโครงสร้างภายในของ GTO มีเทคนิคที่สามารถทำให้ดับ GTO ได้จากการควบคุมที่ขาเกท โดยไม่ต้องมี Commutation Circuit คือ ภายในจะมีลักษณะคล้าย GTO ตัวเล็ก ๆ ต่อขนานกันอยู่ ดังรูป 2.2 เรียกว่า Cathode Blands ต่อกันอยู่รอบ ๆ Gate เมื่อดึง กระแสออกจากขาเกท GTO ตัวเล็ก ๆ เหล่านี้สามารถดับได้ ต่างกับ Thyristor ทั่ว ๆ ไป ซึ่งจะมี Central Gate อยู่ตรงกลางไว้จุดชนวน เท่านั้น ไม่สามารถดับได้ด้วยกระแสเกท เพราะมีพื้นที่น้อย และห่างกันมาก อย่างไรก็ดี GTO ต้องการกระแสเลี้ยงที่ขาเกทขณะนำกระแสด้วย เพื่อให้แน่ใจว่า GTO เล็ก ๆ ทุกตัว นำกระแสอยู่



normal thyristor



gate turn off thyristor

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2 พิกัดแรงดัน

GTO สามารถทนแรงดัน Forward Blocking ได้สูง แต่สำหรับ Reverse Blocking Voltage ขึ้นอยู่กับ เทคนิคการผลิต วิธีการ Anode Emitter Short Circuit ทำให้ GTO ดับได้รวดเร็ว แต่จะทน Reverse Blocking ได้น้อย อีกวิธีการหนึ่ง คือ การโด๊ปด้วยโลหะหนักจะทำให้ GTO ทน Reverse Blocking ได้สูงมาก การออกแบบเพื่อเพิ่มคุณสมบัติการทนแรงดัน Reverse Diode หรืออาจต่ออนุกรมกับ GTO ก็ได้ เรียกว่า Series Diode

GTO อาจจุดชนวนได้เอง ถ้าได้รับแรงดันตกคร่อมมากเกินไป ซึ่งอาจทำให้ Cathode Island ภายในตัว GTO ได้รับความเสียหาย หรืออาจจุดชนวนเอง อีกกรณีหตสิ่ง คือ เมื่อ DV/DT มากเกินไป สำหรับคุณสมบัติอื่น ๆ คล้ายกับ Thysistor โดยทั่วไป

2.3 พิกัดกระแส

GTO ถูกออกแบบให้สามารถทนแรงดันตกคร่อม และรับกระแสได้มากกว่า Thyristor ทั่ว ๆ ไป ค่ากาตกคร่อมขณะนำกระแสขึ้นอยู่กับ อุณหภูมิ และ กระแสอาโนด GTO สามารถรับกระแสที่พิกัดได้ แต่ต้องมีการระบายความร้อนที่ดี การระบายความร้อนเป็นส่วนสำคัญสำหรับ GTO มากกว่าใน Thyristor ทั่ว ๆ ไป การดับด้วยการระแสเกทจะถูกจำกัดด้วยกระแสอาโนดสูงสุดค่าหนึ่ง ซึ่งถ้าเกินกว่านี้ จะทำให้ GTO เสีย แต่ในทางตรงกันข้าม หากไม่ดับ GTO ด้วยกระแสเกทแล้ว GTO สามารถทนกระแสอาโนดได้สูงมาก คือ Peak Current (I_{TSM}) จะมีค่าประมาณ 10 เท่าของการระแสพิกัด

ดังนั้น สิ่งสำคัญในการออกแบบ ก็คือ พิกัดกระแสอาโนดที่สามารถดับ GTO โดยใช้กระแสเกทได้ ภายใต้ อุณหภูมิที่กำหนด (โดยทั่วไปประมาณ 125 C) ซึ่งทำให้การทำงานมีความน่าเชื่อถือสูง

จากลักษณะโครงสร้างที่กล่าวมาแล้วข้างต้น ทำให้ GTO สามารถจุดชนวนได้รวดเร็วกว่า Thyristor ที่มีลักษณะเป็น Central Gate การจุดชนวนทำให้ GTO มีพื้นที่การนำกระแสแผ่กว้างออกอย่างรวดเร็ว ซึ่งทำให้สามารถทน DI/DT ได้สูง โดยไม่เสียหาย พิกัดกระแสของ GTO อยู่ในระดับใกล้เคียงกับ Thyristor ทั่ว ๆ ไป

2.4 Swiching characteristics

การจุดชนวน (Turn - On)

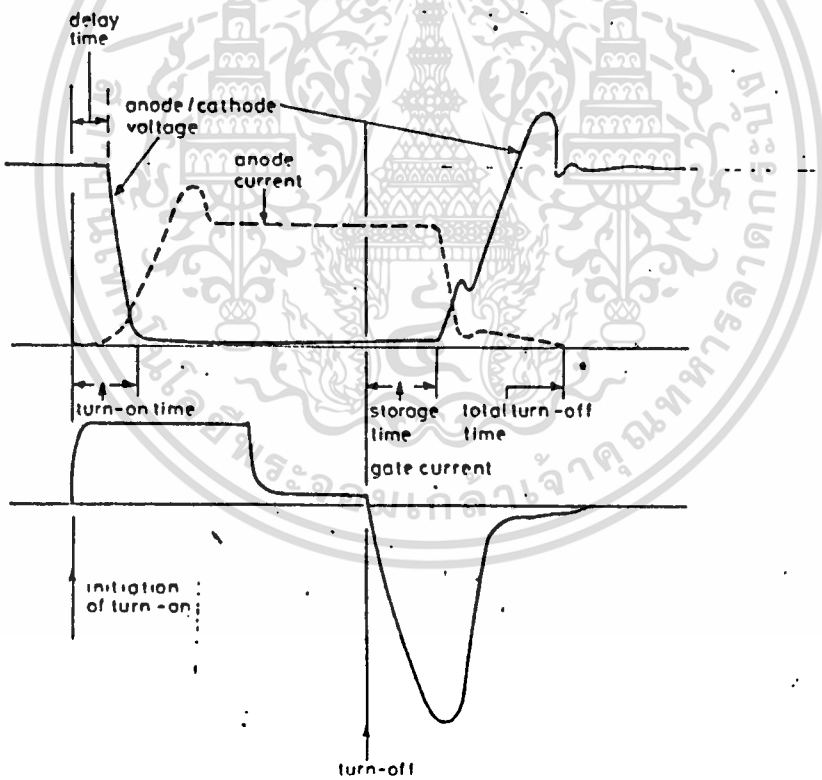
คล้ายกับใน Thyristor โดยทั่วไป แต่อย่างไรก็ตาม GTO ต้องการกระแสเกทมากกว่า เพราะพื้นที่เกทที่เพิ่มขึ้น แต่ก็มีข้อดี คือ พิกัด DI/DT จะสูงขึ้น Turn On Time And Rise Time สั้น

โดยทั่วไปการจุดชนวนสามารถหยุดได้เมื่ออุปกรณ์นั้นนำกระแสแล้ว แต่สำหรับ GTO ซึ่งประกอบไปด้วย GTO ตัวเล็ก ๆ จำนวนมากภายใน ถ้ากระแสอาโนดต่ำถึง Latching Current GTO เล็ก ๆ เหล่านี้อาจหยุดนำกระแสได้ แต่ในกรณีนี้อาจไม่เกิดขึ้น ในกรณี ที่ความ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ร้อนบนตัว GTO สูง ดังนั้น เพื่อให้การนำกระแสตรงตามความต้องการ จึงควรมีกระแสเลี้ยงไว้ที่เกทในขณะที่ GTO นำกระแส ซึ่งจะทำให้ศักดาตกคร่อมขณะนำกระแสลดลงด้วย

รูป 2.3 แสดงลักษณะ การนำกระแสของ GTO ขณะเริ่มนำกระแส ลักษณะที่เป็นยอดแหลมพุ่งขึ้นไปเกิดจากผลของไดโอด และตัวเก็บประจุ ในวงจร Snubber



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในขณะจุดชนวน ตัวเก็บประจุใน Snubber จะคายประจุ เพื่อหลีกเลี่ยงปัญหาในการดับ ต้องแน่ใจว่าตัวเก็บประจุนั้นคายประจุจนหมดก่อนการดับของ GTO ดังนั้น ช่วงเวลาของการนำกระแสที่น้อยที่สุดจะถูกกำหนดโดยการออกแบบวงจร Snubber ความสูญเสียขณะเริ่มนำกระแสของ GTO ขึ้นอยู่กับ DI/DT ซึ่งสามารถลดได้โดยต่อ Reactor อนุกรมกับ GTO ไว้ เพื่อลด DI/DT

การดับ (Turn - Off)

การให้ Reverse Voltage ที่ขาเกท เพื่อดึงประจุจาก Junction ที่นำกระแสอยู่ ทำให้ GTO หยุดนำกระแส ดังรูปที่ 2.3 การกระชากของกระแสเกทต้องเพียงพอที่จะดับ GTO ได้ เพื่อช่วยในการดับ GTO จึงต้องมีการใส่ Snubber ซึ่งจะกล่าวอย่างละเอียดต่อไป

2.5 วงจรขับ (Gate Drive Circuit)

ในการออกแบบวงจรขับมีสิ่งที่ต้องคำนึงถึง ดังนี้

1. กระแสเกทในการจุดชนวนต้องสูงพอที่จะทำให้ GTO นำกระแสได้ ภายในเวลาที่เหมาะสม

2. ต้องมีกระแสเลี้ยงเกทในขณะ GTO นำกระแส

3. ในการดับ ต้องมีการกระชากกระแสเกทออกจากขาเกทที่สูงพอตลอดระยะเวลา Storage Time

4. ในขณะที่กระแสอาโนดตกลงอย่างรวดเร็ว กระแสเกทต้องลดลงเพื่อไม่ให้เกิดการเหนี่ยวนำศักดาขึ้นในระบบ

5. มีการแยก (Isolation) ระหว่างสัญญาณทริกกับวงจรกำลัง

2.6 วงจรขับ (Gate Drive Circuit)

วงจรขับของ GTO มีแหล่งจ่ายกระแส 2 ทาง คือจุดชนวนโดยให้กระแสเป็นพัลส์กว้างประมาณ 10 หรือน้อยกว่านี้ ทั้งนี้ต้องแน่ใจว่า GTO นำกระแสได้อย่างรวดเร็ว และไม่เกิดความเสียหายจาก DI/DT หลังจากเริ่มจุดชนวนแล้ว กระแสเกท จะเลี้ยงอยู่ที่ขาเกทตลอดระยะเวลานำกระแส กระแสนี้มีค่าเท่ากับ 1 ที่กำหนดของ GTO ตัวนั้น ๆ

ในการดับ GTO กระแสเกทจะถูกดึงออกจากขาเกท บริเวณ Gate - Cathode Junction แหล่งจ่ายกระแสจะทำให้เกิด Path ซึ่งมี Impedance ต่ำ ซึ่ง Empedance เหล่านี้เกิดจาก Inductance ในวงจรขับ

สัญญาณควบคุมจะถูกลงกราวด์กับวงจรขับ อาจใช้ Opto - Coupler หรือ pulse Transformer เพื่อผลในการป้องกัน ส่วนกำลังออกจากส่วนควบคุม และลดสัญญาณรบกวน

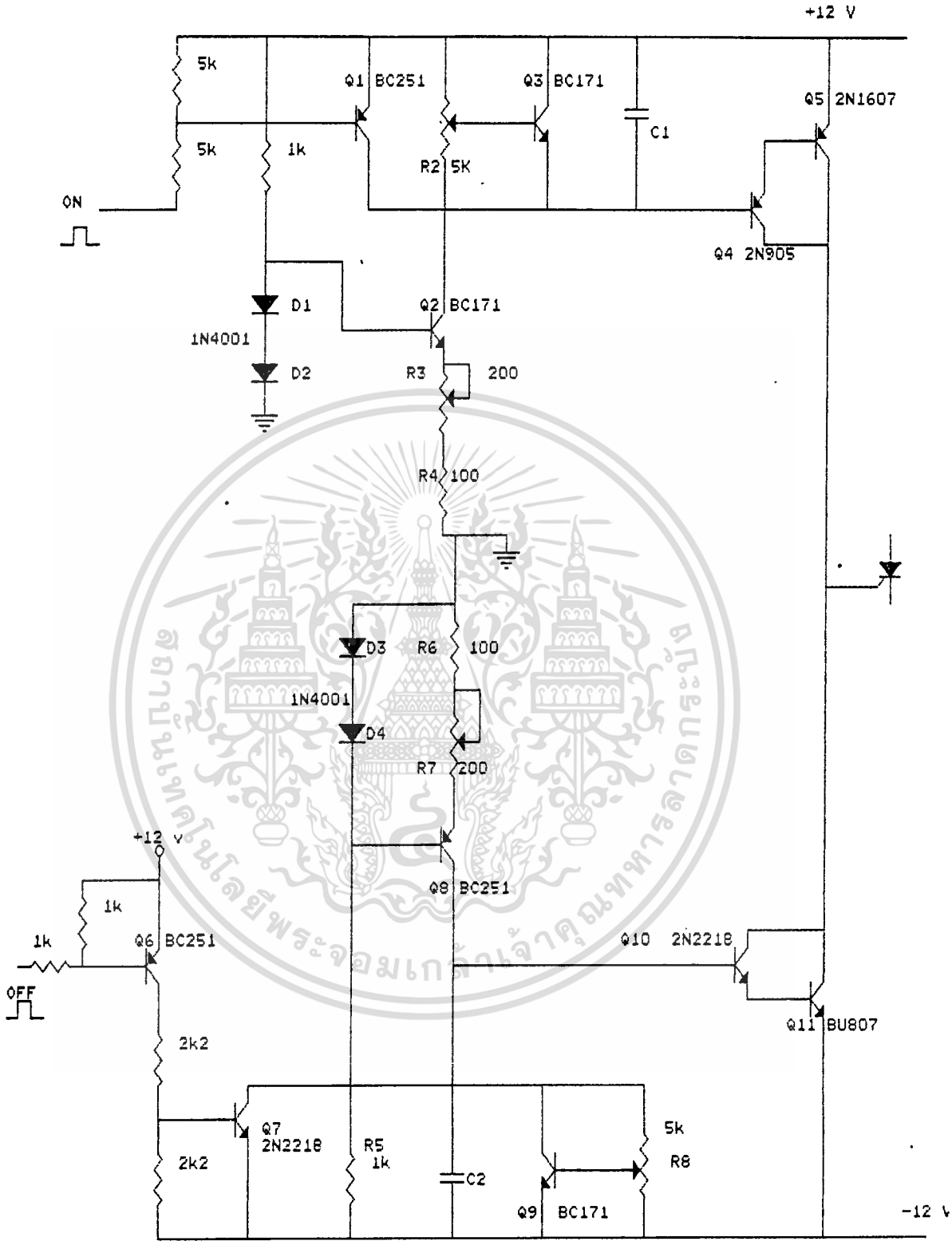
รูป 2.4 เป็นวงจรขับ ซึ่งออกแบบให้สามารถปรับแต่งได้ มีหลักการทำงาน คือ ส่วนของ Turn - On เมื่อได้รับสัญญาณสูง Q ซึ่ง On อยู่ Off ทำให้มี ศักดาตกคร่อมทรานซิสเตอร์ Q , Q ซึ่งต่อ Darlington กันอยู่ให้ On ส่งกระแสให้ไหลจาก ผ่าน ขาเกทของ GTO

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ไปลงกราวด์ที่ขาคาโทด , Q มีไว้สำหรับปรับกระแสขับ Q , Q ไว้สำหรับปรับระดับสัญญาณที่ป้อนให้ Q โดยใช้วานร่วมกับ R ส่วน C มีไว้สำหรับปรับ DI/DT ในส่วน Turn - Off ก็มีการทำงานเช่นเดียวกัน

027011

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



PLGATE DRIVE CIRCUIT

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3

ระบบ Converter

3.1 ระบบ Converter

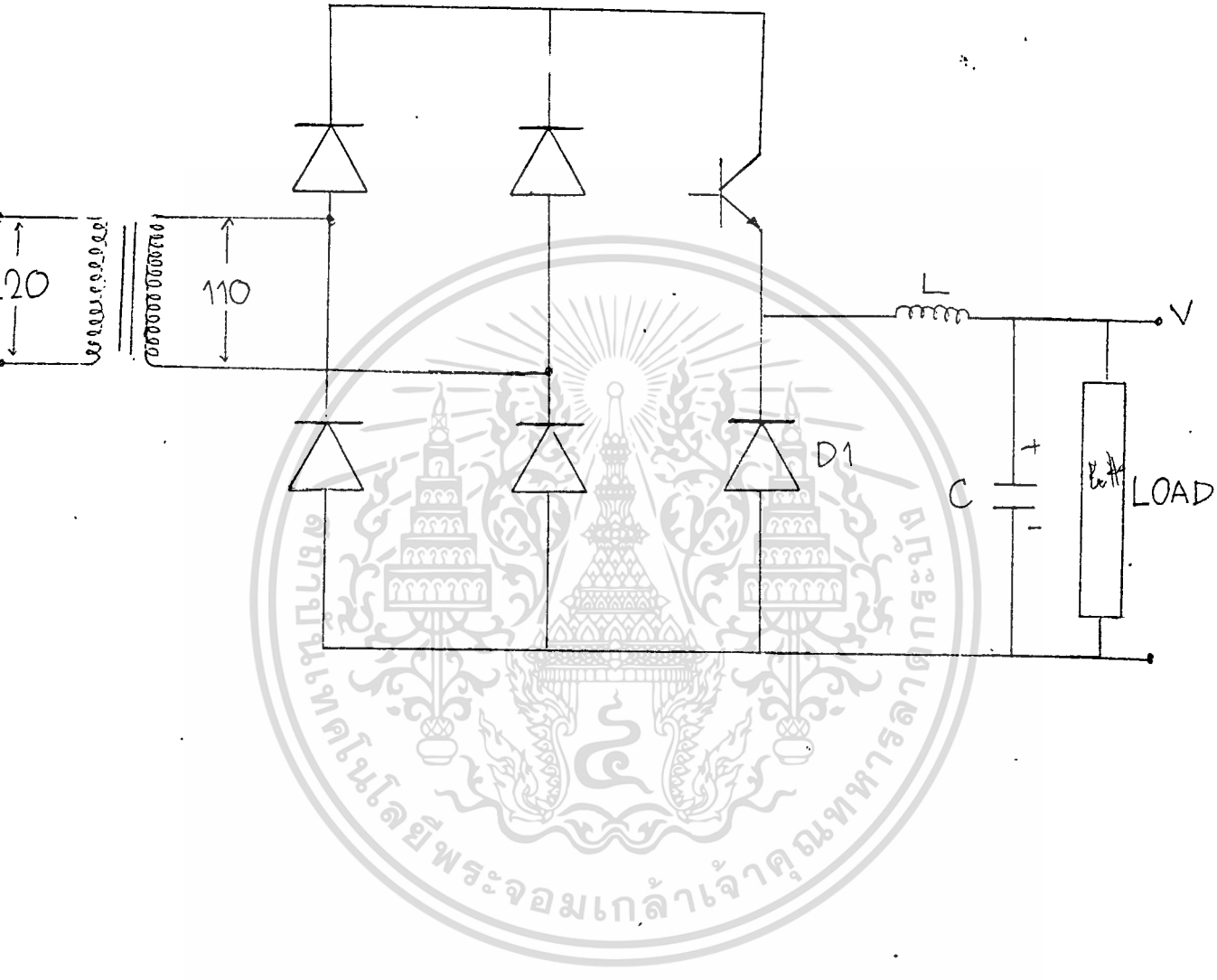
ในวิทยานิพนธ์ฉบับนี้ จะไม่กล่าวเน้นถึงระบบนี้มากนักโดยจะเสนอรูปแบบโครงสร้างโดยทั่วๆไป เนื่องจากวงจรในระบบนี้ไม่ยุ่งยากมากนัก

ระบบ Converter จะเป็นระบบที่ใช้ในการแปลงไฟสลับให้เป็นไฟตรง เพื่อที่จะนำไฟตรงนี้ไป Charge แบตเตอร์รี่ เพื่อที่แบตเตอรี่สามารถที่จะจ่ายไฟให้กับระบบ Inverter ได้ โดยในวิทยานิพนธ์ฉบับนี้จะไม่กล่าวถึงในการสร้าง Battery Charger

เนื่องจากภายในระบบ UPS ใช้แบตเตอร์รี่ขนาด 12 โวลต์ มี 6 เซล ดังนั้นในหนึ่งเซลจึงมีขนาด 2 โวลต์ เมื่อคำนึงถึงการชาร์จแบตเตอร์รี่ เราจึงต้องการชาร์จแบตเตอร์รี่ขนาด 2.2 โวลต์ต่อเซล เมื่อต้องการใช้แบตเตอร์รี่ 10 ลูก ฉะนั้นเราจึงต้องการไฟตรงขนาด 132 โวลต์ แต่ถ้าหากเรานำไฟจากไลน์ขนาด 220 Volt AC มาแปลงเป็นไฟ DC เราจะได้ไฟ DC ขนาด 310 โวลต์ ซึ่งในระบบที่ออกแบบ Converter เอาไว้เราสร้างวงจรในลักษณะของการ Chopper ดังจะกล่าวต่อไป

เมื่อวงจร Chopper เกิดการทำงานผิดพลาดจะทำให้ไฟขนาด 310 โวลต์ ไปปรากฏบน Main Line ของ Inverter ซึ่งจะทำให้ Inverter เสียหายได้ ดังนั้นเราจึง Step Down โวลเตจจาก 220 AC เป็น 110 AC แล้ว Rectify เป็น DC เพื่อเข้าสู่วงจร Chopper ต่อไป เราสามารถแสดงวงจร Chopper ได้ดังนี้ โดยให้ถือว่า แบตเตอร์รี่เป็นโหลด และเราจะใช้ทรานซิสเตอร์เป็นตัว Switching ในวงจร Chopper

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

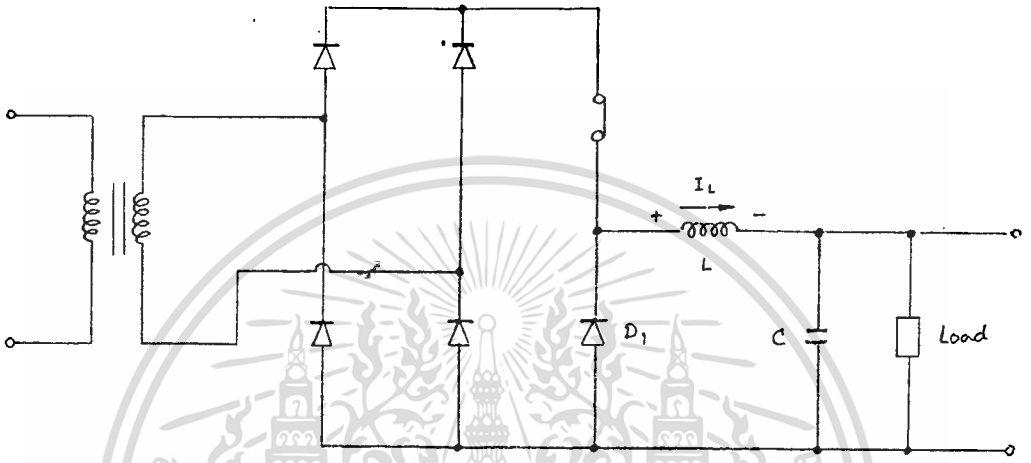


ภาพ 3.1 แสดงวงจร Chopper

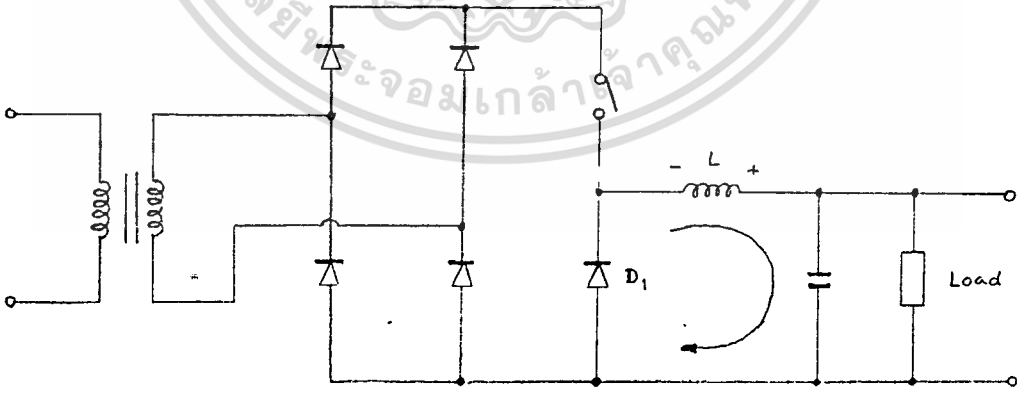
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เราสามารถแยกการทำงานได้ 2 ลักษณะคือ

1. เมื่อทรานซิสเตอร์ Switch On
2. เมื่อทรานซิสเตอร์ Switch Off



ภาพ 3.2 แสดงขณะเมื่อทรานซิสเตอร์ Switch On



ภาพ 3.3 แสดงขณะเมื่อทรานซิสเตอร์ Switch Off

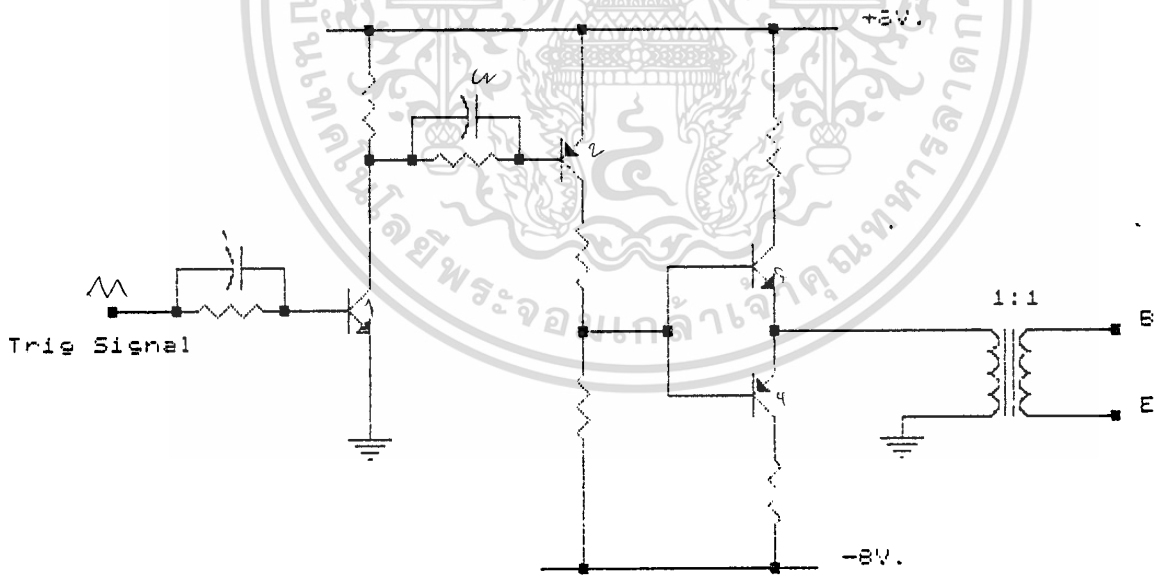
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1. เมื่อทรานซิสเตอร์ Switch On กระแสจะไหลในทิศทาง Forward ผ่าน L ทำให้โวลเตจตกคร่อมโหลดเป็นบวก ไดโอด D1 จะได้รับ Reverse Bias

2. เมื่อทรานซิสเตอร์ Switch Off จะทำให้สนามแม่เหล็กของ L เปลี่ยนขั้ว ทำให้ไดโอด์ D1 ได้รับ Forward Bias ทำให้กระแสไหลผ่าน Capacitor ซึ่งเป็นผลให้โวลเตจตกคร่อมโหลดยังคงเป็นบวกเหมือนเดิม ซึ่งไดโอด D1 นี้เรียกว่า Free-Wheeling ไดโอด

3.2 การสร้างวงจรขับเบสทรานซิสเตอร์

วงจรขับเบสทำหน้าที่ขยายกระแสให้สัญญาณทริก เพื่อให้มีความสามารถจ่ายกระแสได้มากพอที่จะให้ทรานซิสเตอร์กำลังทำงานในช่วงอิ่มตัว (Saturation) ขณะนำกระแสและทำหน้าที่แยกกราวด์ของสัญญาณทริกแต่ละชุดออกจากกัน วงจรขับเบสได้แสดงดังรูปที่ 3.4 ซึ่งจะต้องสร้างขึ้นมา 4 ชุด สำหรับสัญญาณทริกแต่ละสัญญาณ



รูปที่ 3.4 วงจรขับเบส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Q_1 ทำหน้าที่ขยายสัญญาณเป็นภาคแรก Q_2 จะสร้างสัญญาณให้มีทั้งซีกบวกและซีกลบ เพื่อไบอัส Q_3 และ Q_4 ซึ่งต่อกันแบบคอมพลีเมนทารี (Complementary) ให้ทำงานแบบพุช-พูล (Push-Pull) ให้กระแสไหลกลับไปมาในพัลส์ทราสฟอร์มเมอร์ซึ่งทำหน้าที่เป็นตัวแยกกราวด์สัญญาณทริก การทำให้สัญญาณทริกมีซีกลบด้วยก็เพื่อไบอัสกลับ (Reverse Bias) ให้ทรานสฟอร์มเมอร์กำลังหยุดนำกระแสในทันที C_1 และ C_2 เป็น Speed Up Capacitors เพื่อลดเวลาหน่วง (Delay Time) ในการทำงานของ Q_1 และ Q_2 ตามลำดับ

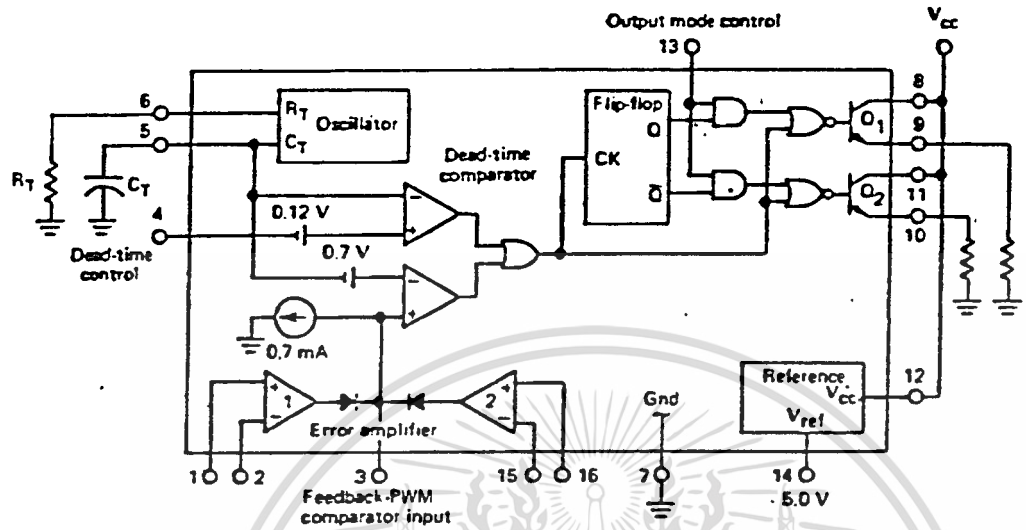
3.3 การสร้างสัญญาณ Control เพื่อขับเบส

ในการสร้างสัญญาณ Control จะใช้ IC เบอร์ TL 494 เนื่องจาก IC เบอร์นี้เหมาะอย่างยิ่งในการสร้างสัญญาณ Switching สามารถใช้ได้ง่ายโดยการต่ออุปกรณ์ภายนอกเป็นเพียงค่า R และ C เท่านั้น นอกจากนี้ยังมีการ Close Loop ภายในตัวมันเองอีกด้วย สามารถที่จะเซ็ตค่า Duty Cycle และความถี่ของค่าการออสซิลเลตได้ โดยที่เราสามารถที่จะเซ็ตค่าความถี่ของการออสซิลเลตได้โดยการต่อค่า R และ C ยังขา 6 และ 5 ตามลำดับ

ความถี่ของการออสซิลเลต = 1.1/R*C

นอกจากนี้เราสามารถที่จะเซ็ตค่า Duty Cycle ได้จากการต่อค่า R ยังขา 4 ของตัว TL 494 ซึ่งสามารถแสดง Block ภายในของ IC TL 494 ได้ดังรูปข้างล่างพร้อมทั้งแสดงภาพการนำ IC TL 494 ไปใช้งานในวงจร Chopper อีกด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



Internal block diagram of the TL494 PWM controller. (*Courtesy of Motorola Semiconductor Products, Inc.*)

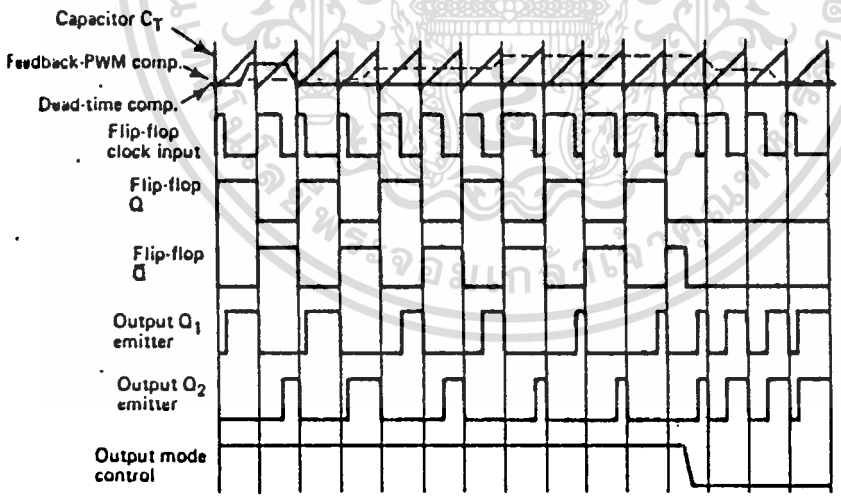
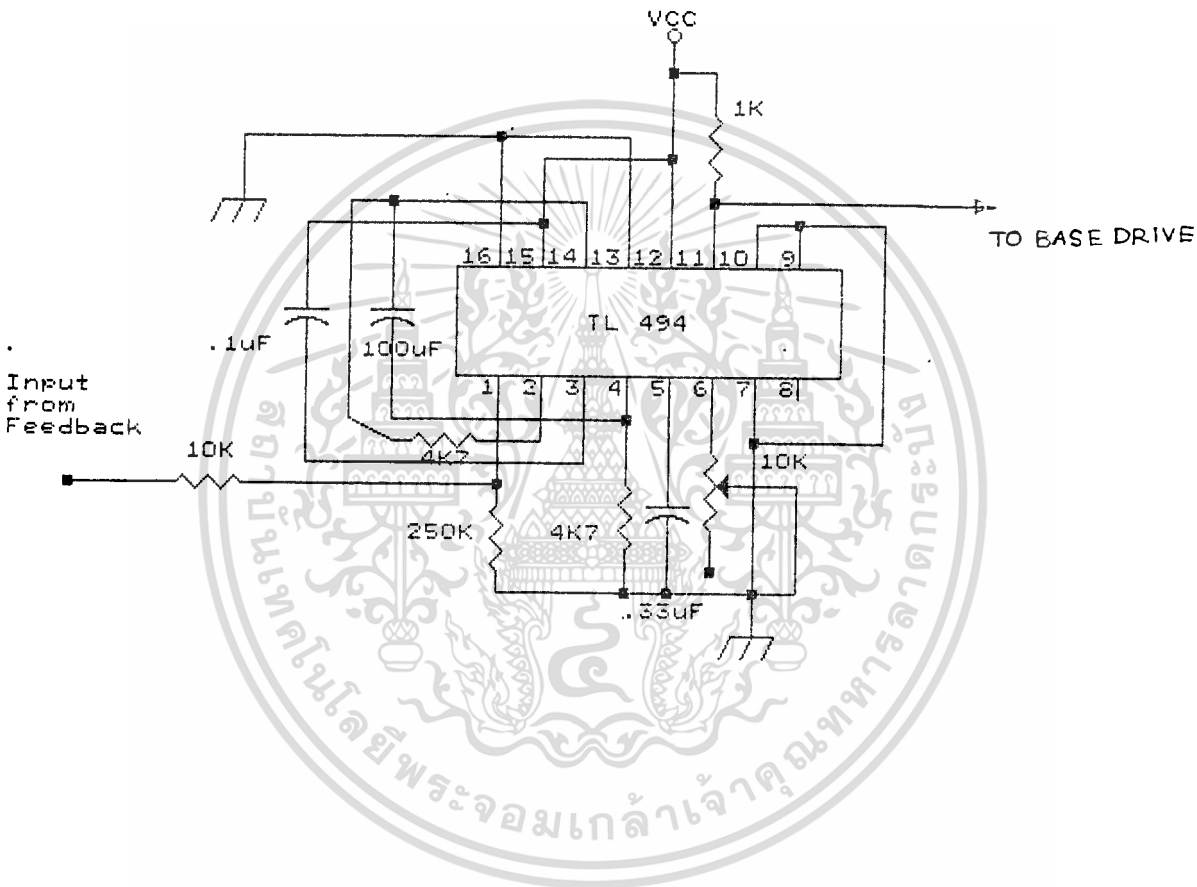


FIGURE 7-5 Timing diagram waveforms of the TL494 PWM controller. (*Courtesy of Motorola Semiconductor Products, Inc.*)

ภาพที่ 3.5 แสดง Block Diagram ภายในของ IC TL 494

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ภาพที่ 3.6 แสดงการนำ IC TL 494 ใช้ในวงจร Chopper

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3K

บทที่ 4
ระบบอินเวอร์เตอร์

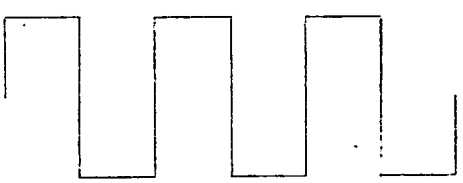
4.1 ระบบ Inverter

วงจรอินเวอร์เตอร์ เป็นการเปลี่ยนกำลังไฟทางด้านอินพุท ซึ่งเป็นไฟกระแสตรง (DC) จากแหล่งจ่ายไฟ ให้เป็นกำลังไฟสลับ (AC) ที่มีแรงดันและความถี่ตามที่ต้องการ โดยในที่นี้ต้องการความถี่ 50 Hz. แรงดันไฟ AC จะเป็นสัญญาณที่ใกล้เคียงกับคลื่นซายน์ และมีขนาด 220 โวลท์ ซึ่งในวงจรงานนี้จะใช้ GTO เป็นอุปกรณ์ Switching

4.2 วงจรอินเวอร์เตอร์

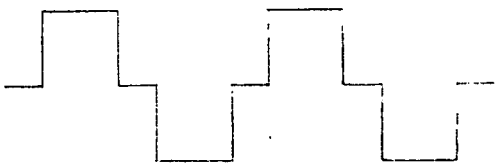
วงจรอินเวอร์เตอร์นั้น เอาท์พุทที่ได้จากวงจร ยังไม่ได้เป็นคลื่นซายน์ ถ้าหากยังไม่ได้มีการกรองความถี่ รูปคลื่นที่ได้จากวงจรอินเวอร์เตอร์จะมีลักษณะที่ประกอบไปด้วย ผลรวมระหว่างความคลื่นความถี่หลักมูล กับ องค์ประกอบฮาร์โมนิคส์ ที่มีความถี่เป็นจำนวนเท่าของความถี่หลักมูล

วงจรอินเวอร์เตอร์ เมื่อพิจารณาตามลักษณะของรูปคลื่นเอาท์พุท จะมีอยู่ด้วยกันหลายแบบดังแสดงในรูป

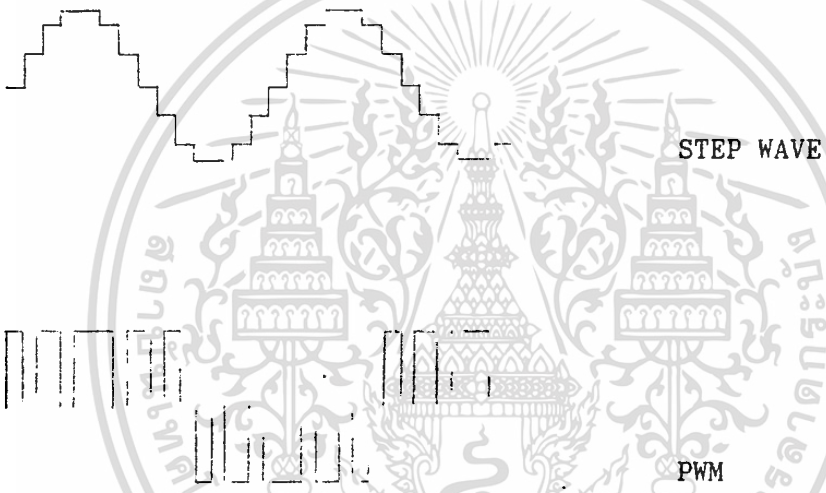


SQUARE WAVE

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



QUASI SQUARE WAVE



STEP WAVE

PWM

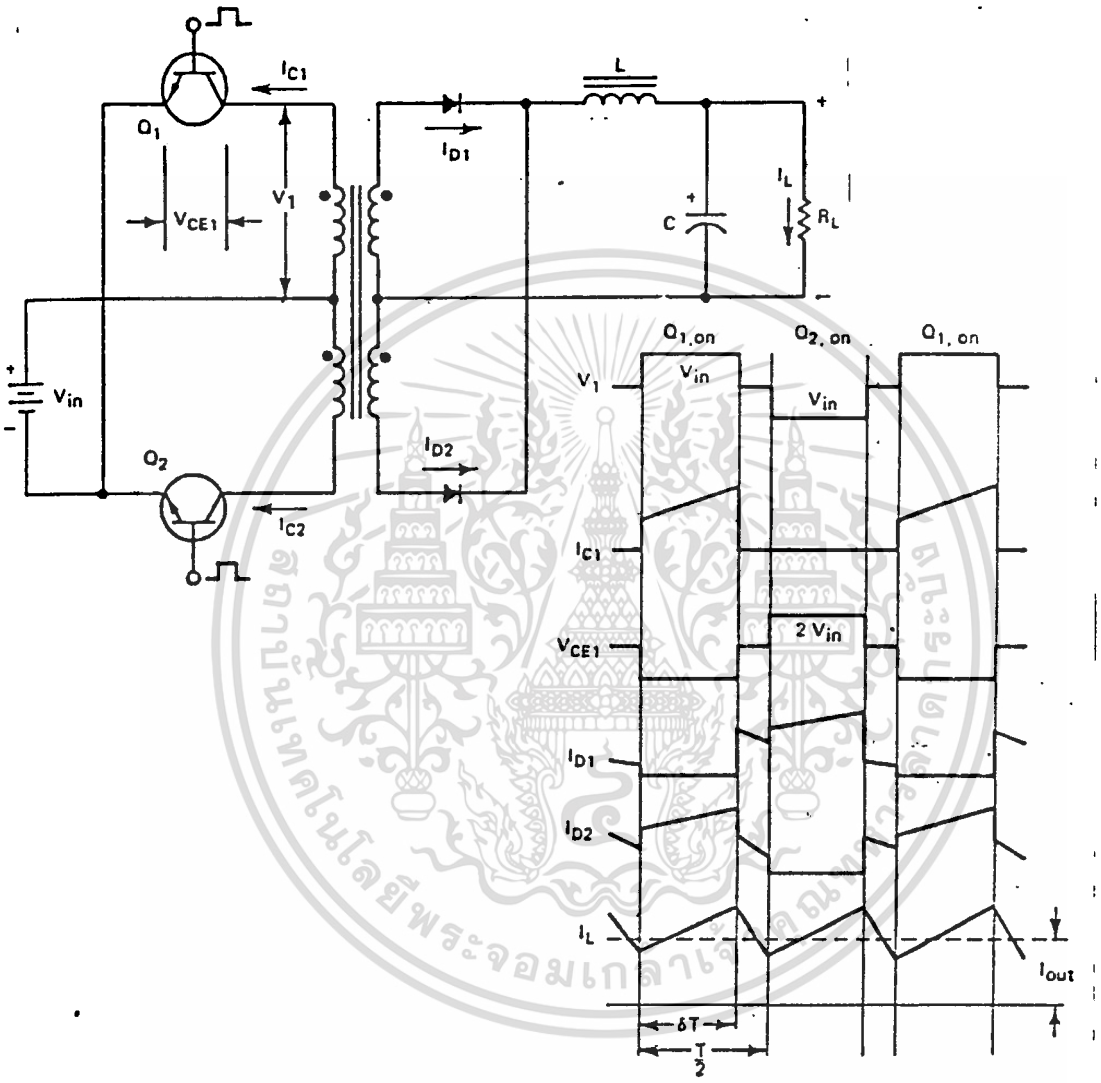
รูปที่ 4.1 แสดงรูปคลื่นเอาท์พุทแบบต่างๆ ของวงจรอินเวอร์เตอร์

วงจรสวิทชิ่งอินเวอร์เตอร์ที่นิยมใช้กันมีหลายแบบ แต่ละแบบจะมีคุณสมบัติที่แตกต่างกันไป รวมทั้งคุณสมบัติของอุปกรณ์ในแต่ละวงจร และขนาดของอุปกรณ์ก็จะแตกต่างกันไปด้วย วงจรอินเวอร์เตอร์ที่นิยมใช้ได้แก่ วงจรพุชพูล(Push pull) วงจรฮาฟบริดจ์ (Half Bridge) วงจรฟูลบริดจ์ (Full Bridge) ซึ่งเราสามารเปรียบเทียบข้อดี ข้อเสียของ Inverter แบบต่างๆได้ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2.1วงจรพุชพูล(Push Pull)

วงจรพุชพูลนี้ การทำงานจะเสมือนว่ามีวงจร Forward 2 วงจร ผลัดกันทำงาน คนละครึ่งไซเคิล (cycle) ดังรูป 4.2 จะแสดงถึงการทำงานในแต่ละไซเคิลของวงจร



รูปที่ 4.2 วงจรพุชพูล (Push Pull) และ wave form ที่จุดต่าง ๆ

กระแสเฉลี่ยที่ผ่านอุปกรณ์ที่ทำหน้าที่เป็นสวิทช์ จะมีค่าประมาณครึ่งหนึ่งของกระแสในวงจร Forward Convertor ตัวอุปกรณ์ที่ทำหน้าที่เป็นสวิทช์เอง ก็ต้องทนแรงดันเป็น 2 เท่า

ข้อดีของวงจรพุชพูลนั้น จะอยู่ในจุดของวงจรไม่ยุ่งยาก วงจรไดร์ฟจะไม่ซับซ้อน และไม่ต้องมีการแยกกราวด์ (Isolated Drive-Circuit) กระแสพิกัดจะต่ำกว่าปกติครึ่งหนึ่ง

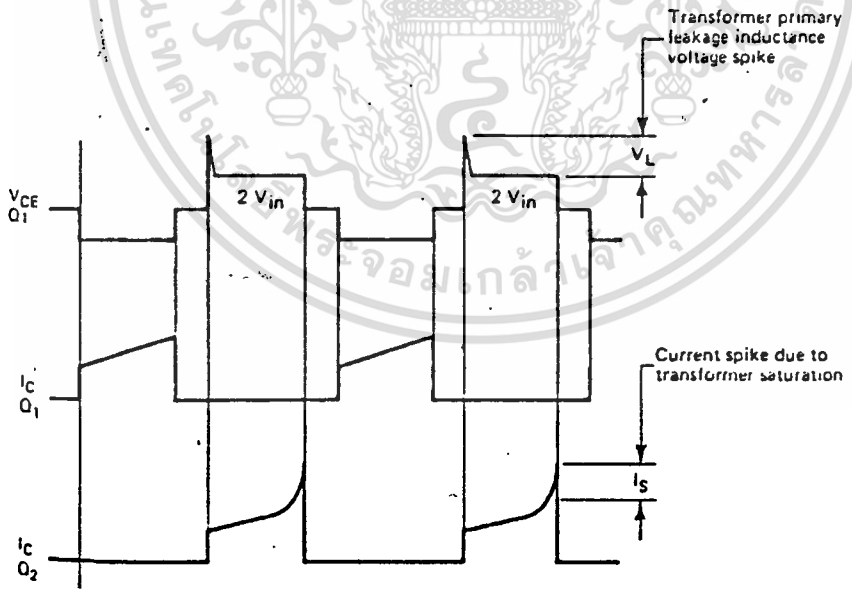
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ข้อจำกัดของวงจรพุชพูล

1. ข้อจำกัดทางด้านขนาดของอุปกรณ์ เช่น การทนต่อพิกัดศักดา สำหรับวงจรพุชพูล พิกัดศักดาของอุปกรณ์ที่เป็นตัวสวิทช์ จะต้องทนได้ประมาณสองเท่าของศักดาอินพุท และกรณีที่เกิดศักดาสไปค์ซึ่งเป็นผลมาจากลีกเกจ อินดัคแตนซ์ของหม้อแปลง ก็ยิ่งทำให้อุปกรณ์นั้นต้องทนโวลท์สูงขึ้นไปอีก

2. ปัญหาการอิ่มตัวของแกนที่ใช้เป็นหม้อแปลง ปัจจุบันนิยมใช้แกนเฟอร์ไรท์กันอย่างกว้างขวาง ในกรณีที่สวิทช์ชิ่งที่ความถี่สูง ๆ ประมาณ 20 kHz ขึ้นไป จะเกิด Loss มากเมื่อใช้แกนอื่น การที่เฟอร์ไรท์มีจุดอิ่มตัวของแกนสูง เพราะมีความหนาแน่นของฟลักซ์ต่ำประมาณ 3000 Gauss

การเกิดปัญหาแกนหม้อแปลงอิ่มตัวมาจาก เมื่ออุปกรณ์ที่ใช้เป็นสวิทช์เริ่มนำกระแส ฟลักซ์จะเพิ่มขึ้น ในทิศของ B-H curve และจะกลับทิศเมื่ออุปกรณ์ตัวแรกหยุดนำกระแส อุปกรณ์ตัวที่สองนำกระแสแทน



รูปที่ 4.3 รูปคลื่นของศักดาและกระแสสไปค์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การที่บริเวณ 2 บริเวณของ Flux density จะเท่ากันได้ อุปกรณ์ที่ใช้เป็นตัวสวิทช์จะต้องมีคุณสมบัติในการสวิทชิ่งเหมือนกัน และทำงานในลักษณะที่พอดีกัน เพราะถ้าหากคุณสมบัติในการสวิทชิ่งไม่เหมาะพอดีแล้ว จะเกิด Flux Walking ไปทิศทางหนึ่งของ B-H curve ซึ่งจะทำให้แกนอิ่มตัวได้ กรณีที่เป็นทรานซิสเตอร์กำลัง แกนอิ่มตัวจะหมายถึง เกิดกระแสสไปค์ของคอลเล็คเตอร์ (collector) ทำให้ทรานซิสเตอร์ร้อนขึ้นอย่างรวดเร็ว คุณสมบัติต่าง ๆ ของทรานซิสเตอร์จะเสียไป หรือพังไปในที่สุด (Thermal Runaway)

การแก้ปัญหาในส่วนที่เกิดขึ้นนี้ สามารถทำได้โดย

1. สร้างแกปให้กับแกนหม้อแปลง (Gap Core) เพื่อเป็นการลดลีคเกจอินดัคแตนซ์ แต่จะมีผลให้การ transfer พลังงานลดลง

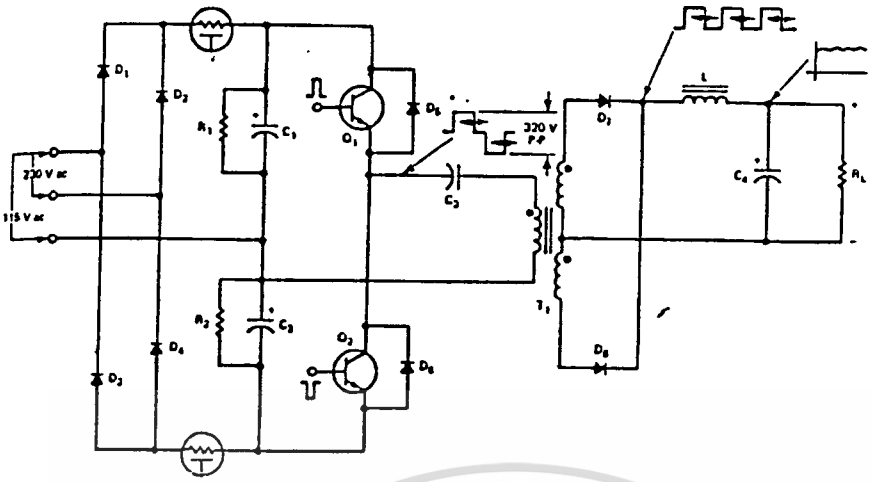
2. ติดวงจร Snubber เพื่อจำกัดขนาดของ ศักดาสไปค์

3. ใช้วงจรนซึ่งทำให้การทำงานของอุปกรณ์สวิทชิ่งสมดุลย์กัน แต่วิธีนี้จะใช้เฉพาะวงจรที่พิเศษ ๆ เพราะจะเป็นการเพิ่มราคา และความยุ่งยากซับซ้อนให้กับวงจร

4.2.2 วงจรฮาร์ฟบริดจ์ (Half Bridge Circuit)

วงจรฮาร์ฟบริดจ์ จะเป็นการสลับกันทำงานทีละครึ่งไซเคิลของอุปกรณ์สวิทช์ โดยที่หม้อแปลงไม่มีการแทป ศักดาที่คร่อมอุปกรณ์เหล่านั้นจะมีค่าประมาณครึ่งหนึ่งของศักดาอินพุท การที่สวิทช์ตัวที่ 1 ทำงาน จะทำให้กระแสไหลผ่านหม้อแปลงในทิศทางหนึ่ง เมื่ออุปกรณ์อีกตัวหนึ่งทำงานกระแสก็จะไหลผ่านหม้อแปลงในทิศตรงข้ามกับตอนแรก ทำให้เกิดไฟสลับไปมาเป็นไซเคิลดังในรูป 4.4 หน้าถัดไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 4.4 วงจรพื้นฐานฮาร์ฟบริดจ์

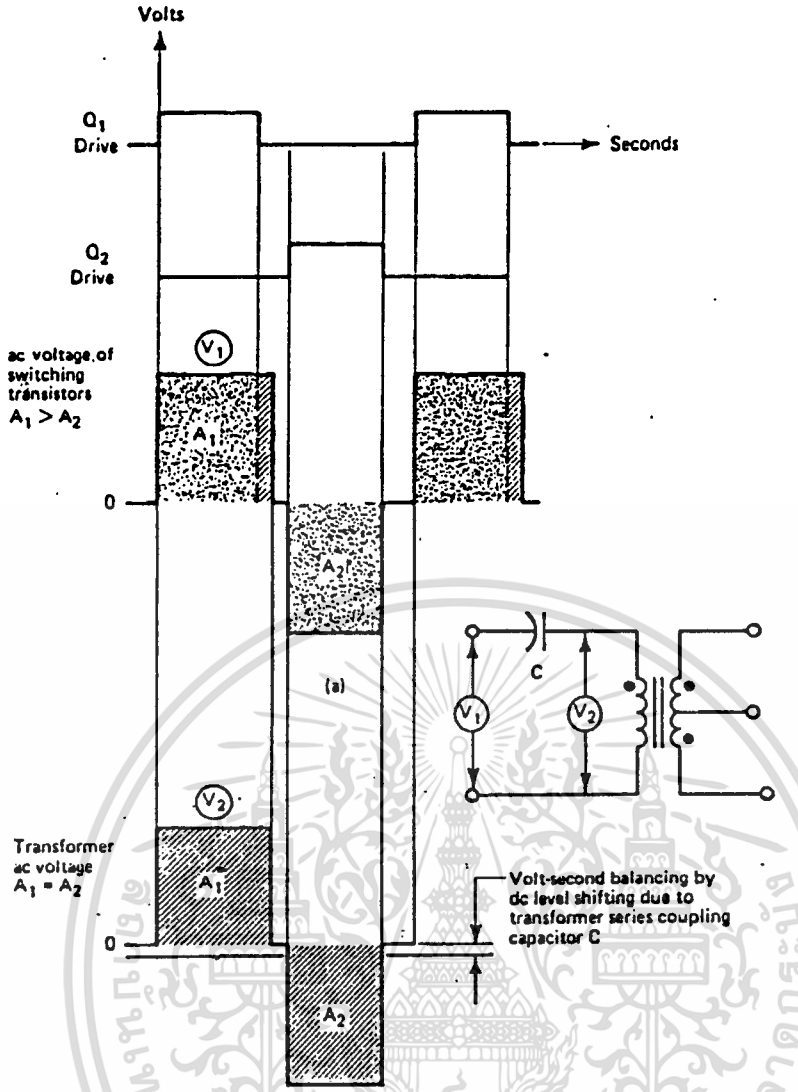
ข้อดีของวงจรฮาร์ฟบริดจ์

นอกจากสามารถลดขนาดของหม้อแปลง เนื่องจาก ศักดาลดลงเหลือเพียงครึ่งหนึ่งของศักดาอินพุทแล้ว วงจรฮาร์ฟบริดจ์ยังสามารถทำให้ศักดาของเอาท์พุทเกิดความสมดุลย์กันได้อีก แต่สำหรับกระแสที่ไหลผ่านอุปกรณ์สวิทช์จะสูงขึ้นกว่าปกติ โดยถ้าเราสมมติว่า วงจรมีประสิทธิภาพ 80 % และมีค่าดิวตี้ไซเคิล (Duty Cycle) = 0.8 จะได้กระแสที่ขณะทำงาน

$$Ic = 3Pout/Vin$$

ในกรณีที่เกิดศักดาที่ไม่สมดุลย์กัน แล้วนำไปผ่านเข้าหม้อแปลง จะทำให้เกิด Flux Walking ซึ่งจะมีผลต่อไป ทำให้แกนหม้อแปลงเกิดอิ่มตัว และกระแสจำนวนมากมายจะเกิดขึ้นเช่นเดียวกับวงจรพุชพูล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.5 a) แสดงรูปคลื่นที่ไม่สมดุลย์

b) แสดงรูปคลื่นเมื่อใส่ C-Coupling เพื่อแก้ปัญหา

การแก้ไข

1. เราสามารถแก้ไขการเกิดปัญหานี้ โดยการต่อ C-Coupling เข้าไป ดังแสดงในรูปโดยต่ออนุกรมเข้าไปกับหม้อแปลงด้านไพรมารี่ ซึ่งจะยกระดับ DC ขึ้นมา

2. อีกวิธีหนึ่งก็คือ การลดเวลา turn-off ของทรานซิสเตอร์ โดยการใช้ BakerClamp Diode ในวงจรขับเบส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การคำนวณค่า C-Coupling

การคำนวณจะเกี่ยวข้องกับ ค่าอินดัคแตนซ์ในส่วนของวงจรกรองทางด้าน Secondary ของหม้อแปลง ดังแสดงในสูตร

$$f_R = 1/2 \quad L_R C$$

เมื่อ f_R = Resonance Frequency , kHz

C = Coupling Capacitance , uF

L_R = Reflected Filter Inductance , uH

โดยที่

$L_R = L(N_P/N_S)^2$

N_P/N_S = Turn Ratio

L = Output Inductance

เมื่อแทนค่า L ลงในสมการแรก จะได้

$$C = 1/4\ ^2 f_R^2 (N_P/N_S)^2 L$$

เพื่อที่จะให้การชาร์จประจุของ C-Coupling เป็นไปอย่างลิเนียร์ จึงควรเลือกความถี่ Resonance ประมาณ 1/4 เท่า ของความถี่ในการสวิทชิ่งหรือ

$$f_R = 0.25 f_S$$

โดยที่

f_S = ความถี่ที่ใช้ในการสวิทชิ่ง

สำหรับการคำนวณค่า Input Filter Capacitance เราสามารถที่จะคำนวณได้จากสูตร เพื่ออ้างอิงสำหรับการเลือกใช้งานจริงต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สูตรคำนวณค่า C

$$C = It/ V$$

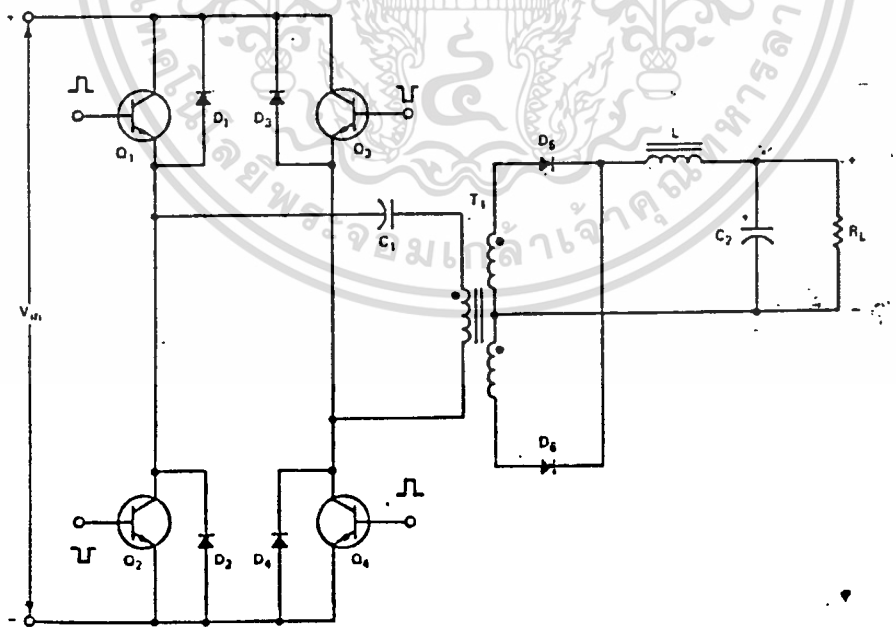
เมื่อ I = load current

V = Voltage Ripple

R_4, R_5 = เป็นค่าความต้านทานที่จะรับดประจุจาก C เมื่อหยุดนำกระแส

4.2.3 <u>วงจรฟูลบริดจ์</u> (Full Bridge Circuit)

วงจรฟูลบริดจ์ เป็นวงจรที่เหมาะสำหรับการสวิทช์ที่พิกัดสูงขึ้น เพราะถ้าใช้วงจรพุชพูล หรือ ฮาร์ฟบริดจ์ ปัญหาจะมีมากกว่า ลักษณะการทำงานของวงจรคือ จะผลัดกันนำกระแสทีละคู่ ดังแสดงในรูป 4.6 ในที่นี้ Q_1 จะทำงานพร้อมกับ Q_4 และ Q_3 จะทำงานพร้อมกับ Q_2 สลับกันไปทีละครึ่งไซเคิลโดยที่ Q_1 และ Q_2 จะทำงานพร้อมกันไม่ได้ เพราะจะทำให้เกิดการ Short Through เช่นเดียวกันกับ Q_3 และ Q_4



รูปที่ 4.6 วงจรฟูลบริดจ์อินเวอร์เตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

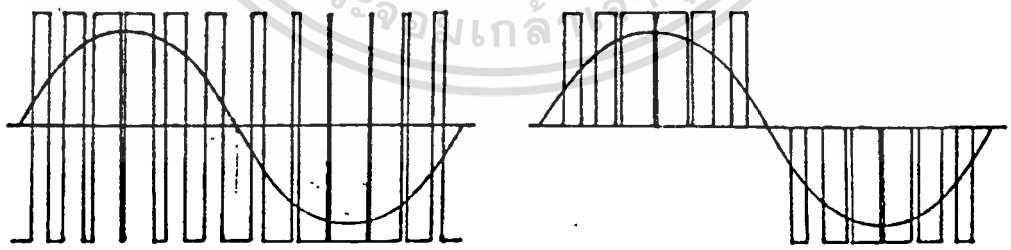
ในที่นี้ถ้าหากสมมติว่า ประสิทธิภาพของวงจร 80 % และ duty cycle = 0.8 จะได้ว่ากระแสที่ไหลผ่านทรานซิสเตอร์ขณะที่ทำงาน

$$Ic = 1.6\ Pout/Vin$$

ทั้งนี้จะเห็นได้ว่าลักษณะการต่อ Inverter แบบฟูลบริดจ์ ให้ power ได้มากที่สุด ในขณะที่อินพุทเท่ากันดังนั้นในระบบนี้จึงใช้ Inverter แบบฟูลบริดจ์ และ การสร้างสัญญาณทริกจะใช้แบบ พัลส์วิดมอดูเลชั้นซึ่งเราจะกล่าวถึงพื้นฐานโดยละเอียดต่อไป

4.3 ความรู้พื้นฐานเกี่ยวกับพัลส์วิดมอดูเลชั่น

การมอดูเลตความกว้างของพัลส์ (Pulse Width Modulation) เป็นเทคนิคการแบ่งรูปคลื่นใน 1 คาบ ออกเป็นพัลส์ย่อยหลายๆพัลส์ โดยที่แต่ละพัลส์อาจมีความกว้างของพัลส์ไม่เท่ากัน ในหัวข้อนี้ จะกล่าวถึงรูปคลื่น พีดับบลิวเอ็ม ชนิดต่างๆ รวมทั้งเทคนิคในการสร้างรูปคลื่นพีดับบลิวเอ็มในแนวความคิดต่างๆ



(ก) (ข)

รูป 4.7 แสดงรูปคลื่น PWM (ก). แบบ 2 ระดับ (ข). แบบ 3 ระดับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปคลื่นพีดับบลิวเอ็มแบบ 2 ระดับ และ 3 ระดับ

รูปคลื่นพีดับบลิวเอ็ม มีอยู่ด้วยกันหลายชนิด แต่ชนิดที่นำมาใช้มากที่สุด และเป็นชนิดพื้นฐานที่สุดได้แก่ แบบ 2 ระดับ และ แบบ 3 ระดับ

- PWM 2 LEVEL เป็นรูปคลื่นที่มีการสวิทช์ ระหว่างระดับอ้างอิงสองระดับคือ E ,-E
- PWM 3 LEVEL เป็นรูปคลื่นที่มีการสวิทช์ ระหว่างระดับอ้างอิงสามระดับคือ E,0,-E

ในรูป 4.7 ข้างต้น เป็นการแสดงรูปคลื่นพีดับบลิวเอ็มเปรียบเทียบกับคลื่นความถี่หลักมูล (Fundamental) ของรูปคลื่น พีดับบลิวเอ็มนั้น

การสร้างรูปคลื่นพีดับบลิวเอ็ม

รูปคลื่นพีดับบลิวเอ็ม สามารถสร้างขึ้นมาได้โดยวิธีต่างๆได้แก่

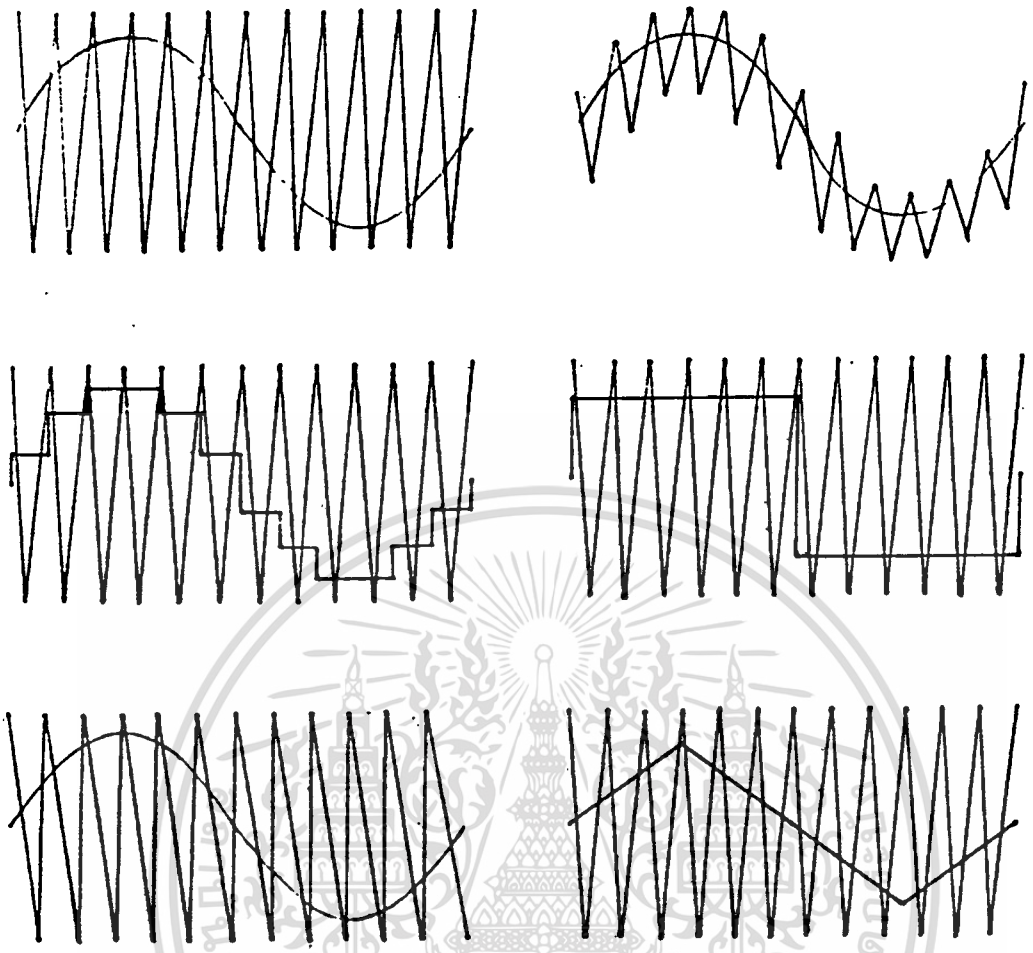
1. <u>การใช้ไมโครโปรเซสเซอร์</u>

ซึ่งสามารถกระทำได้โดยการโปรแกรมให้ไมโครโปรเซสเซอร์ ส่งสัญญาณซึ่งสอดคล้องกับมุมสวิทช์ผ่านทางพอร์ทเอาท์พุท (OUTPUT PORT) ซึ่งวิธีนี้จะต้องมีการคำนวณหรือกำหนดค่ามุมสวิทช์มุมต่างๆออกมาเสียก่อน แล้วจึงเก็บข้อมูลไว้ในหน่วยความจำ ไมโครโปรเซส-เซอร์จะอาศัยข้อมูลในหน่วยความจำนั้นเพื่อสร้างรูปแบบ (Pattern) สัญญาณพีดับบลิวเอ็มขึ้นมาแล้วจึงส่งผ่านพอร์ทเอาท์พุทออกมา

2. <u>โดยการใช้วงจรอิเล็คทรอนิคส์</u>

การสร้าง PWM จากวงจรอิเล็คทรอนิคส์นี้ วิธีที่สะดวกที่สุดคือใช้วงจรเปรียบเทียบ (Comparator) เช่น ไอซีเบอร์ LM339,LM311 เป็นต้น ซึ่งสามารถทำได้โดยป้อนสัญญาณอินพุท 2 สัญญาณ เข้าสู่วงจรเปรียบเทียบ คือ สัญญาณอ้างอิง (Reference Signal) กับสัญญาณแคร์เรียร์ (Carrier Signal) สัญญาณอ้างอิงจะมีความถี่เท่ากับรูปคลื่นพีดับบลิวเอ็ม ส่วนสัญญาณแคร์เรียร์จะมีความถี่สูงกว่า ในโครงการนี้ ใช้วิธีเปรียบเทียบโดยวงจรอิเล็คทรอนิคส์ในการสร้างสัญญาณ วิธีนี้ มุมสวิทช์ของรูปคลื่นพีดับบลิวเอ็มก็คือจุดตัดของสัญญาณทั้งสอง การสร้างโดยอาศัยวงจรเปรียบเทียบนี้ สามารถเลือกสัญญาณที่ใช้เปรียบเทียบได้หลายลักษณะ ดังรูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 4.8 ตัวอย่างการสร้างรูปคลื่นพีดับบลิวเอ็มโดยการใช้วงจรเปรียบเทียบ

การสร้างรูปคลื่นพีดับบลิวเอ็มแบบเนเทอรอลและแบบเรกูลาร์

การสร้างรูปคลื่นพีดับบลิวเอ็มโดยการใช้วงจรเปรียบเทียบ จะมีองค์ประกอบ 2 ประการที่จะเป็นตัวกำหนดลักษณะรูปคลื่นพีดับบลิวเอ็ม ได้แก่

1. อัตราส่วนความถี่ของสัญญาณแคร์เรียร์ ต่อสัญญาณอ้างอิง (Frequency Ratio)

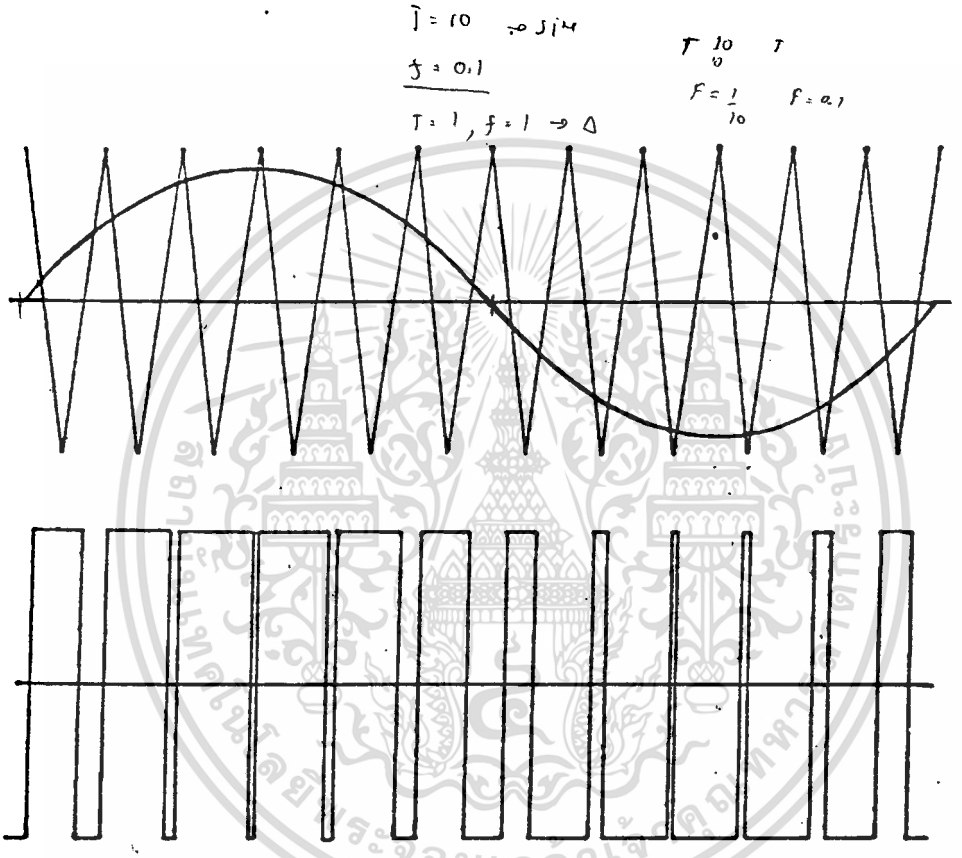
2. อัตราส่วนแอมปลิจูด ของสัญญาณอ้างอิงต่อสัญญาณแคร์เรียร์ หรืออัตราส่วนการมอดูเลชั่น (Modulation Ratio,K)

จาก ทฤษฎีและข้อมูลเก่าที่มีการคำนวณและศึกษามา ได้นำค่า K,N ไปวิเคราะห์องค์ประกอบฮาร์โมนิคส์ จะได้ว่า โดยปกติแล้วค่าอัตราส่วนการมอดูเลชั่นจะใช้ค่าอยู่ในช่วงไม่เกิน 1 ค่านี้จะเป็นตัวกำหนดความกว้างของพัลส์แต่ละพัลส์ โดยความกว้างของพัลส์จะมากขึ้นถ้าค่า K มีค่ามากขึ้น ส่วนค่าอัตราส่วนความถี่จะเป็นตัวกำหนดจำนวนพัลส์ ให้มีจำนวนเท่ากับค่า N และจำนวนมุมสวิทชิ่งจะมีจำนวน 2N มุม ทั้งนี้ต้องอยู่ในกรณีค่า K ไม่เกิน 1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ก. <u>การสร้างรูปคลื่นแบบเนเทอรอลแซมพลิ่ง</u>

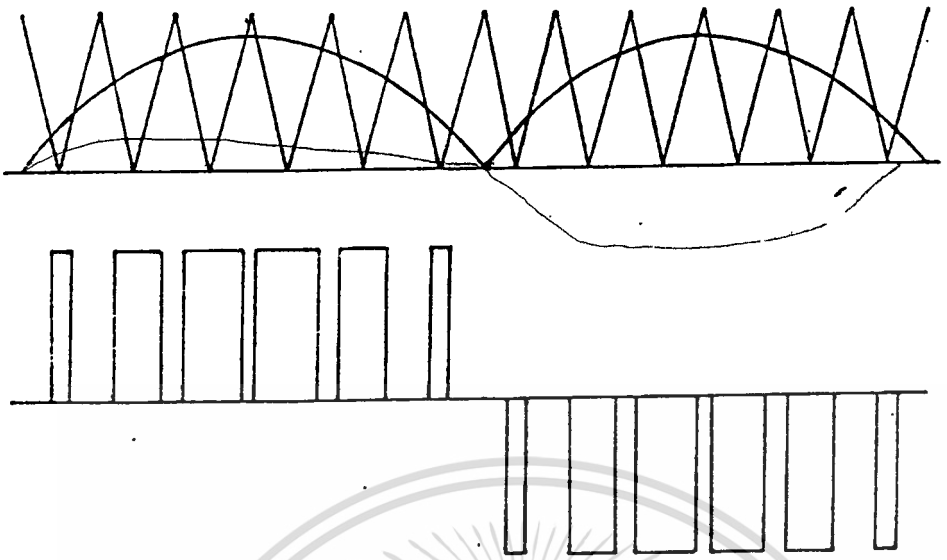
การสร้างแบบนี้จะใช้คลื่นซายน์เป็นสัญญาณอ้างอิง และคลื่นสามเหลี่ยมเป็นสัญญาณแคร์เรียร์ โดยสามารถสร้างได้ทั้งแบบ 2 ระดับ และ แบบ 3 ระดับ การสร้างแบบ 2 ระดับจะใช้คลื่นซายน์ และคลื่นสามเหลี่ยมเต็มรูปคลื่น ช่วงที่ซายน์มากกว่าสามเหลี่ยมจะเป็นบวก และช่วงที่คลื่นซายน์มีขนาดน้อยกว่า จะเป็นลบ วิธีนี้ใช้ในส่วนวงจรบริดจ์อินเวอร์เตอร์ของโครงการที่ทดลอง



รูปที่ 4.9 การสร้างรูปคลื่นแบบเนเทอรอลแซมพลิ่งชนิด 2 ระดับ

สำหรับการเปรียบเทียบแบบ 3 ระดับนั้น จะใช้คลื่นซายน์ที่เรดดิฟายขึ้นไปเป็นคลื่นพูลเวฟ เปรียบเทียบกับคลื่นสามเหลี่ยมที่ถูกยกระดับขึ้นไปเหนือเส้นกราวด์ (Ground) ช่วงที่คลื่นพูลเวฟ มีขนาดมากกว่าในครึ่งคาบแรก การสวิทช์จะมีค่าเป็นบวก และเป็นลบในครึ่งคาบหลัง ส่วนช่วงที่คลื่นพูลเวฟมีขนาดน้อยกว่าการสวิทช์จะมีค่าเป็นศูนย์

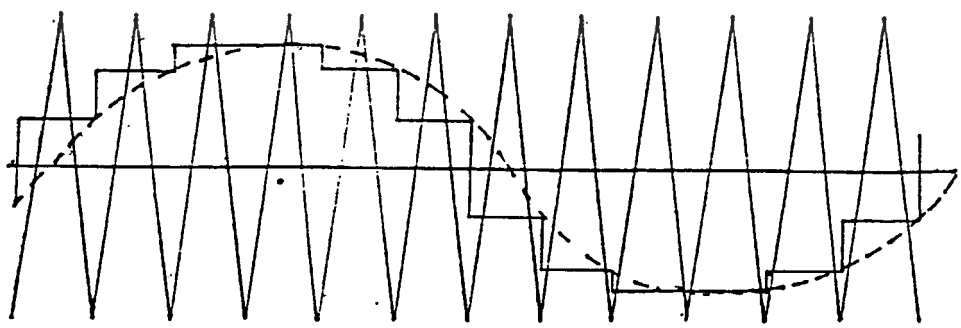
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ภาพที่ 4.10 การสร้างรูปคลื่นแบบเนเทอรอลแซมพลิงชนิด 3 ระดับ

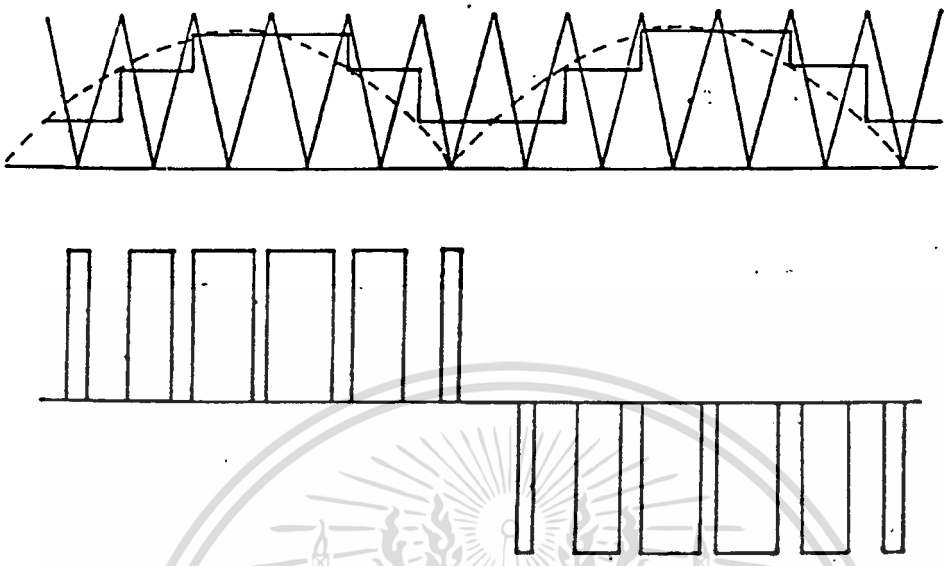
ข. <u>การสร้างรูปคลื่นแบบเรกูลาร์แซมพลิ่ง</u>

การสร้างแบบนี้ใช้หลักการแบบเดียวกันกับแบบเนเทอรอล โดยดัดแปลงมาจากแบบเนเทอรอล เนื่องจากการเปรียบเทียบแบบเนเทอรอลนั้น ระหว่างเปรียบเทียบแต่ละครั้งส่วนของซายน์จะไม่เป็นเชิงเส้น การเปรียบเทียบแบบเรกูลาร์จะนำคลื่นซายน์ผ่านวงจรแซมเพิลและโฮลด์ (Sample and Hold) ที่มีความถี่การแซมเพิลเท่ากับความถี่ของคลื่นสามเหลี่ยม ซึ่งจะเห็นได้ว่า ระหว่างการเปรียบเทียบแต่ละช่วงจะเป็นเชิงเส้น การเปรียบเทียบแบบเรกูลาร์สามารถทำได้ทั้ง แบบ 2 ระดับ และ แบบ 3 ระดับ เช่นเดียวกัน



รูป 4.11 การสร้างรูปคลื่นแบบเรกูลาร์แซมพลิง ชนิด 2 ระดับ

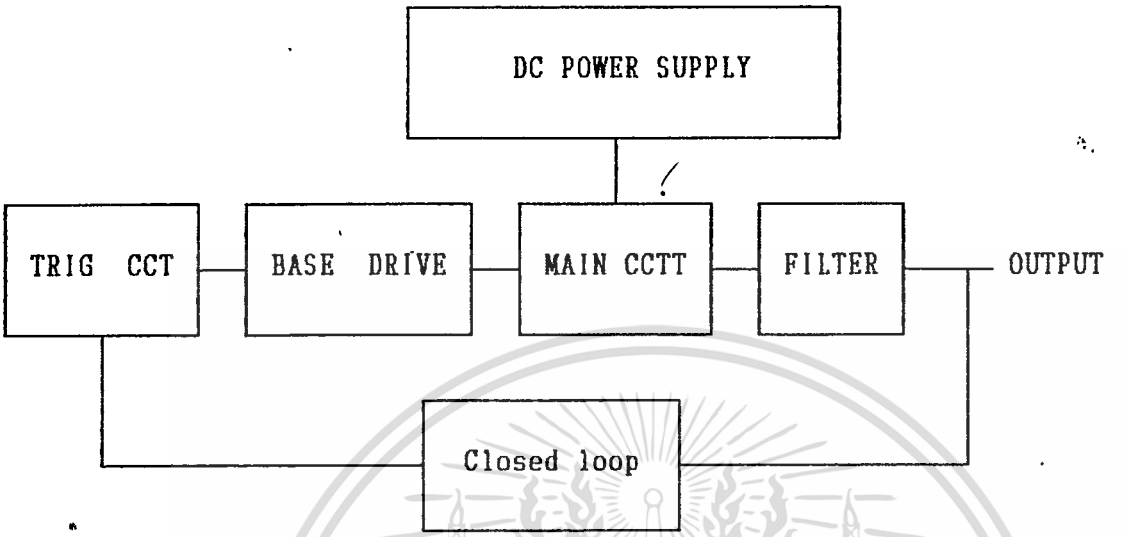
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 4.12 การสร้างรูปคลื่นแบบเรกูลาร์แซมพลิ่ง ชนิด 3 ระดับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจร PWM sine wave inverter ประกอบด้วยส่วนต่าง ๆ ดังนี้



ส่วนประกอบต่างๆของวงจรได้แก่

1. วงจรสร้างรูปแบบสัญญาณ PWM หรือวงจรสร้างสัญญาณทริก (Trig circuit) เป็นวงจรสร้างสัญญาณควบคุม G1 - G4 สำหรับการควบคุมการปิดเปิดกระแสของอิเลคทรอนิคส์วิทช์แต่ละชุดเพื่อให้ได้แรงดันเป็นรูปคลื่น PWM ที่ภาระ

2. วงจรขับ (Gate drive circuit) เป็นวงจรขยายกำลังของสัญญาณ G1-G4 ที่สร้างจากวงจรทริกให้มีกระแสมากพอที่จะขับ GTO (Gate Turn off Thyristor) ให้เข้าสู่สภาวะนำกระแสได้ โดยจะต้องมีส่วนแยก (isolate) สำหรับแยกกราวด์ของสัญญาณทริกแต่ละสัญญาณออกจากกัน

3. วงจรกำลัง (Power circuit or Main circuit) ประกอบด้วย GTO 4 ชุดที่ต่อกันแบบฟูลบริดจ์และหม้อแปลงเพิ่มแรงดันบ (Step up transformer)

4. วงจรกรองความถี่ (Filter) ทำหน้าที่กรององค์ประกอบฮาร์มอนิคส์ความถี่สูงออกไปให้เหลือเฟียงความถี่หลักมูล (Fundamental) 50 Hz ผ่านไปได้เท่านั้น

5. วงจรควบคุมลูปปิด (Closed loop circuit) ทำหน้าที่ควบคุมระดับแรงดันเอาท์พุทรูปไซน์ให้คงที่ที่ภาระต่างๆ

6. แหล่งจ่ายไฟตรง (DC Power Supply) เป็นแหล่งจ่ายกำลังไฟฟ้าให้แก่วงจรกำลัง ซึ่งในโครงการนี้ใช้แบตเตอร์รี่แรงดัน 12 โวลต์ ขนาด 90 แอมป์-ชั่วโมง (Ampare-

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Hour) จำนวน 10 ลูก นอกจากนี้ยังดึงไฟจากแบตเตอร์รี่ให้แก่สัญญาณทริก, วงจรควบคุมลูปปิด และวงจรขับ

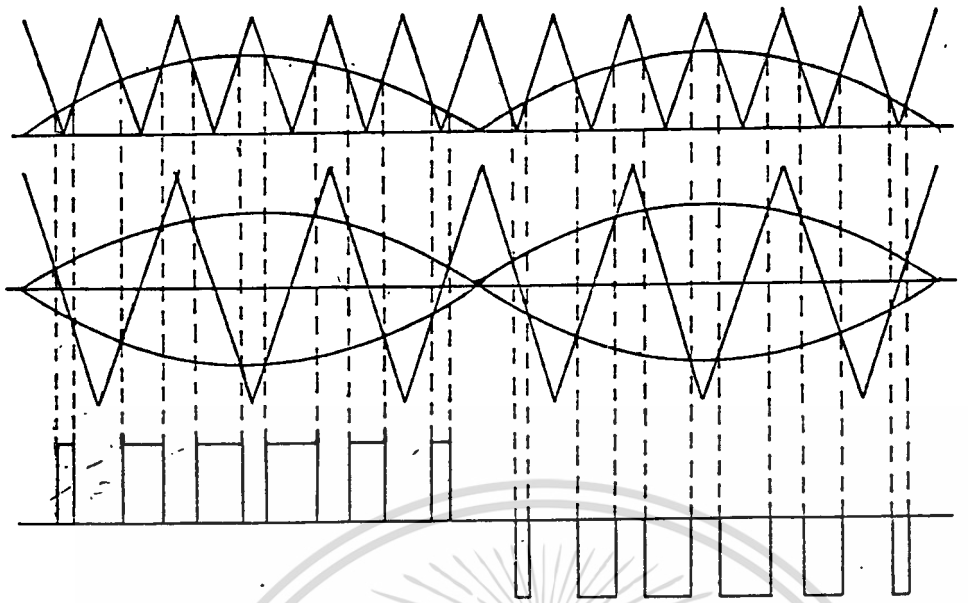
จากการสร้างสัญญาณที่ได้กล่าวมาแล้วหลายลักษณะ จะเลือกเพียงรูปแบบเดียวที่มีความเหมาะสมมากที่สุดนำมาใช้และปรับปรุง จากการทดลองสัญญาณแบบ 3 ระดับ สามารถกรองเป็นคลื่นไซน์ได้เรียบกว่าแบบ 2 ระดับ ซึ่งสอดคล้องกับผลการวิเคราะห์องค์ประกอบฮาร์มอนิค แบบ 3 ระดับ จะมีขนาดองค์ประกอบฮาร์มอนิคลำดับต่ำน้อยกว่าแบบ 2 ระดับ ดังนั้นจึงเลือกใช้การเปรียบเทียบแบบ 3 ระดับ จากผลการวิเคราะห์องค์ประกอบฮาร์มอนิคของคลื่น 3 ระดับ จะเห็นว่าแบบเนเทอรอลและแบบเรกูลาร์ ให้ผลที่ใกล้เคียงกัน แบบเนเทอรอลค่อนข้างจะดีกว่าเล็กน้อย และมีวิธีสร้างที่ง่ายกว่า ดังนั้นจึงจะใช้การเปรียบเทียบแบบเนเทอรอล ส่วนค่าอัตราส่วนความถี่จะใช้เท่ากับ 20 เพราะสามารถกำจัดฮาร์มอนิคลำดับต่ำออกไปได้พอสมควรและอุปกรณ์สวิทช์ไม่มีการสวิทช์บ่อยครั้งเกินไป

สรุปได้ว่าจะเลือกใช้การเปรียบเทียบแบบเนทอรอลชนิด 3 ระดับ ค่าอัตราส่วนความถี่เท่ากับ 20 นอกจากนี้ยังได้ปรับปรุงวิธีการสร้างสัญญาณแบบใหม่ดังแสดงในรูปที่ 4.9 โดยใช้สัญญาณแคร์เรียร์ที่มีความถี่เพียงครึ่งหนึ่งของการเปรียบเทียบแบบเดิม วิธีสร้างแบบนี้มีข้อดีคือ

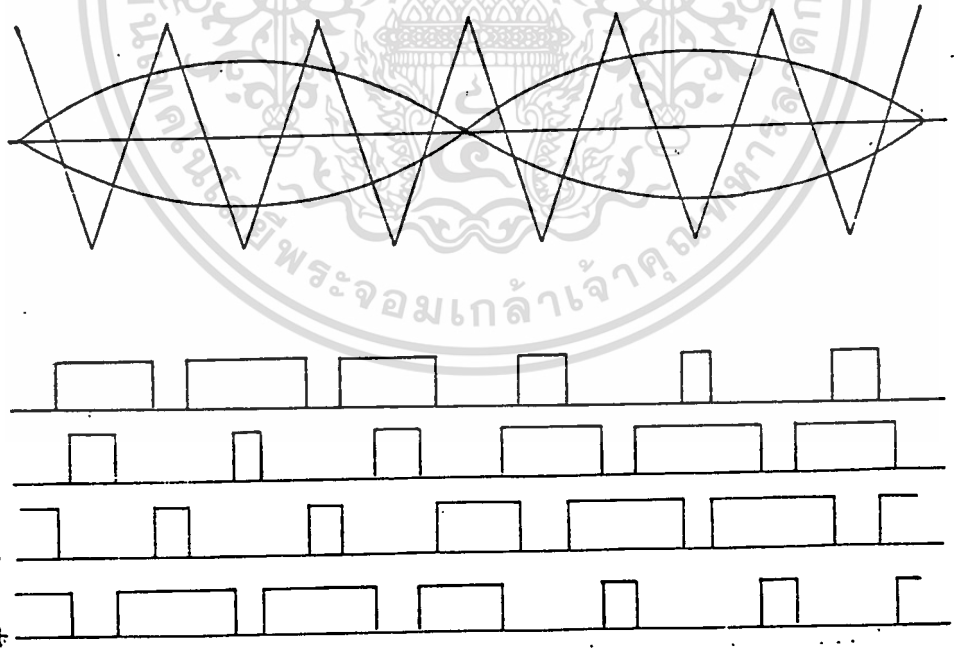
1. ให้ผลลัพธ์รูปคลื่นรูปนี้ดับบลิวเอ็มที่ภาระเหมือนกับแบบเดิมทุกอย่าง
2. สัญญาณทริกแต่ละสัญญาณมีความถี่เท่ากันทำให้ทรานซิสเตอร์กำลังแต่ละชุดทำงานเท่าเทียมกัน
3. ลดจำนวนครั้งของการสวิทช์ลง โดยสัญญาณทริกแบบนี้จะมีจำนวนครั้งของการสวิทช์เพียงครึ่งหนึ่งของแบบ 2 ระดับ ที่อัตราส่วนความถี่เดียวกัน
4. ไม่ต้องมีส่วนกระทำโลจิก

สัญญาณทริก G1-G4 จะมีลักษณะดังรูปที่ 4.14 และวงจรสร้างสัญญาณทริกแสดงได้ดังบล็อกดังรูปที่ 4.15

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

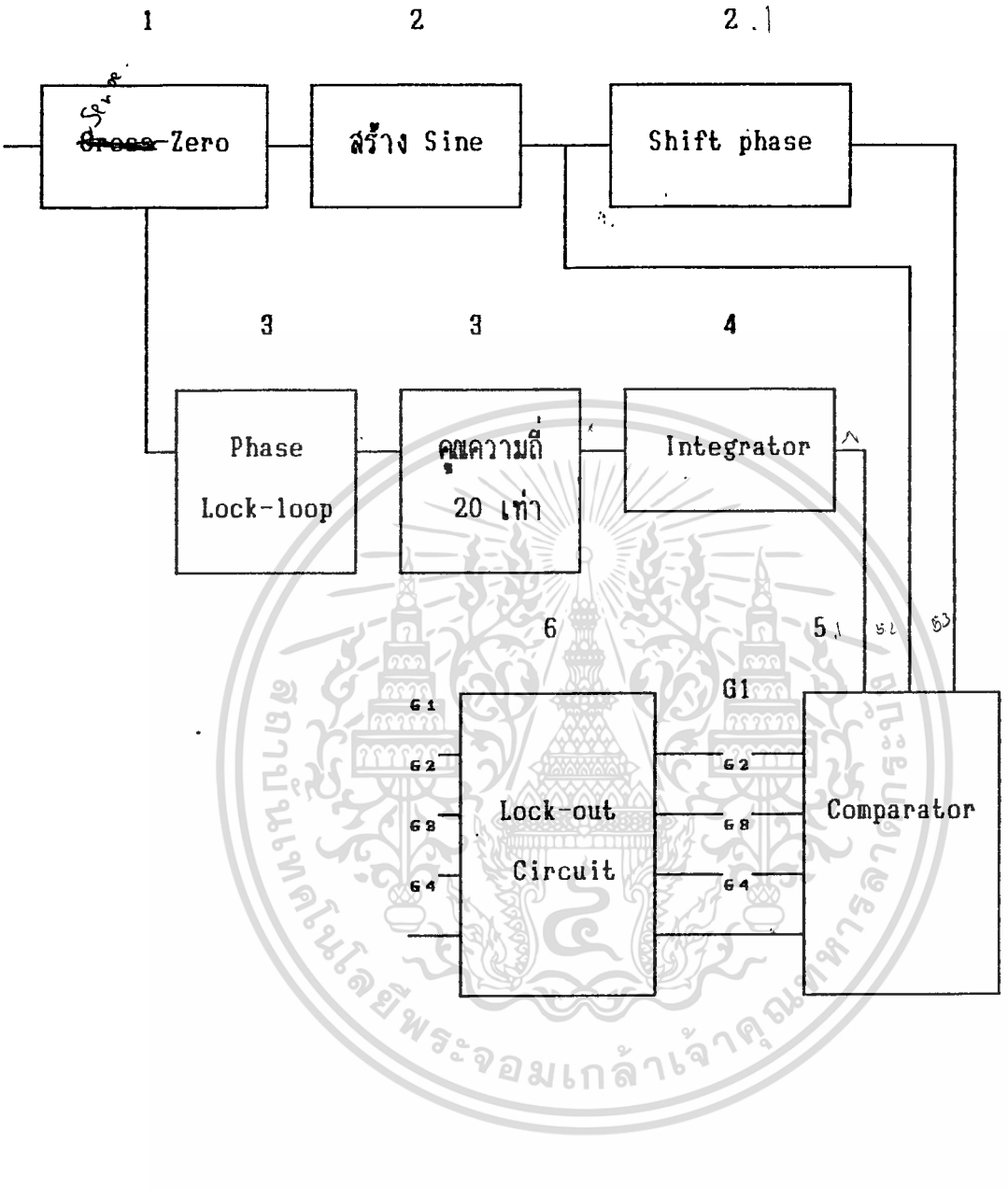


รูปที่ 4.13 แสดงการเปรียบเทียบแบบ 3 ระดับ วิธีเดิมและวิธีใหม่



รูปที่ 4.14 แสดงสัญญาณทริก G1 - G4 ที่สร้างโดยวิธีการเปรียบเทียบแบบใหม่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ภาพ 4.15 แสดง Block Diagram โครงสร้างสัญญาณ PWM แบบเนเทอรอล 3 ระดับ

Block ที่ 1 แสดงวงจร Sense-Zero ดังภาพ 4.16

Block ที่ 2 แสดงวงจร สร้าง Sine Wave 50 Hz ดังภาพ 4.17

Block ที่ 3 แสดงวงจร Phase lock loop ดังภาพ 4.18

Block ที่ 4 แสดงวงจร Integrator ดังภาพ 4.19

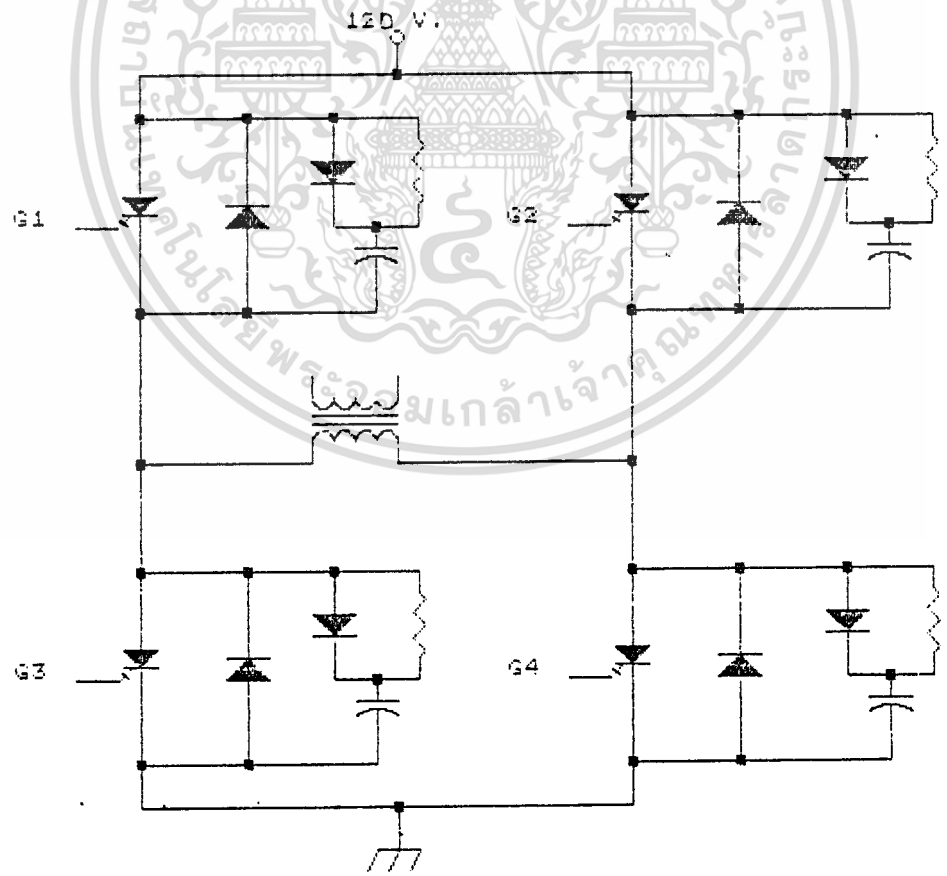
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Block ที่ 5 แสดงวงจร Comparator ดังภาพ 4.20

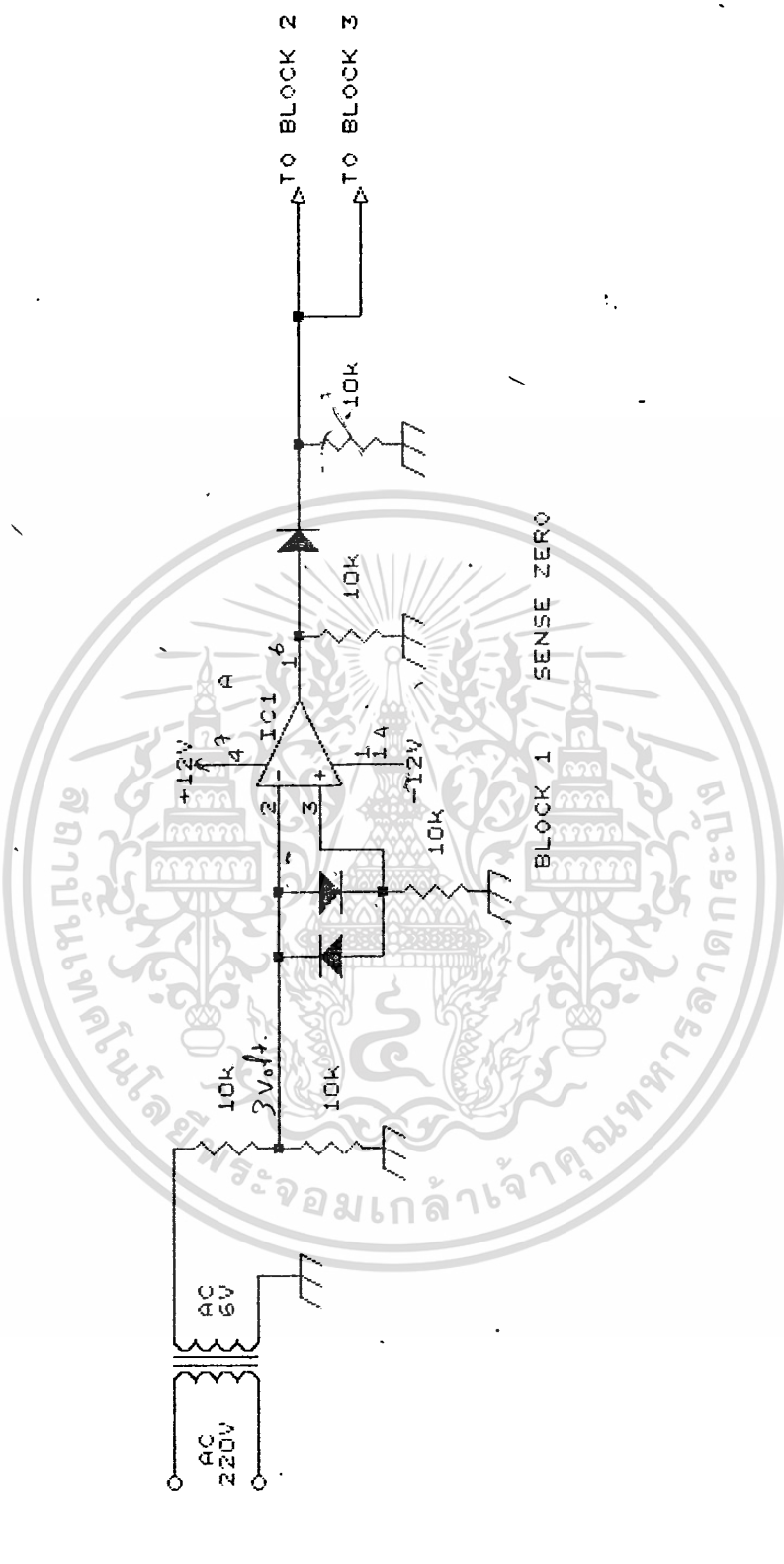
Block ที่ 6 แสดงวงจร Lock-out ดังภาพ 4.21

สัญญาณขับเกทดังได้กล่าวแล้วในบทที่ 2

วงจรกำลังแสดงได้ดังภาพที่4.22ซึ่งประกอบด้วยGTO4 ชุด ต่อกับแบบฟูลบริดจ์และหม้อแปลงเพิ่มแรงดัน โดยระดับไฟเมน DC มีขนาด 120 โวลท์ พร้อมกันนี้ภายในวงจรได้ต่อ Free Wheel ไดโอดและวงจร Snubber ด้วย

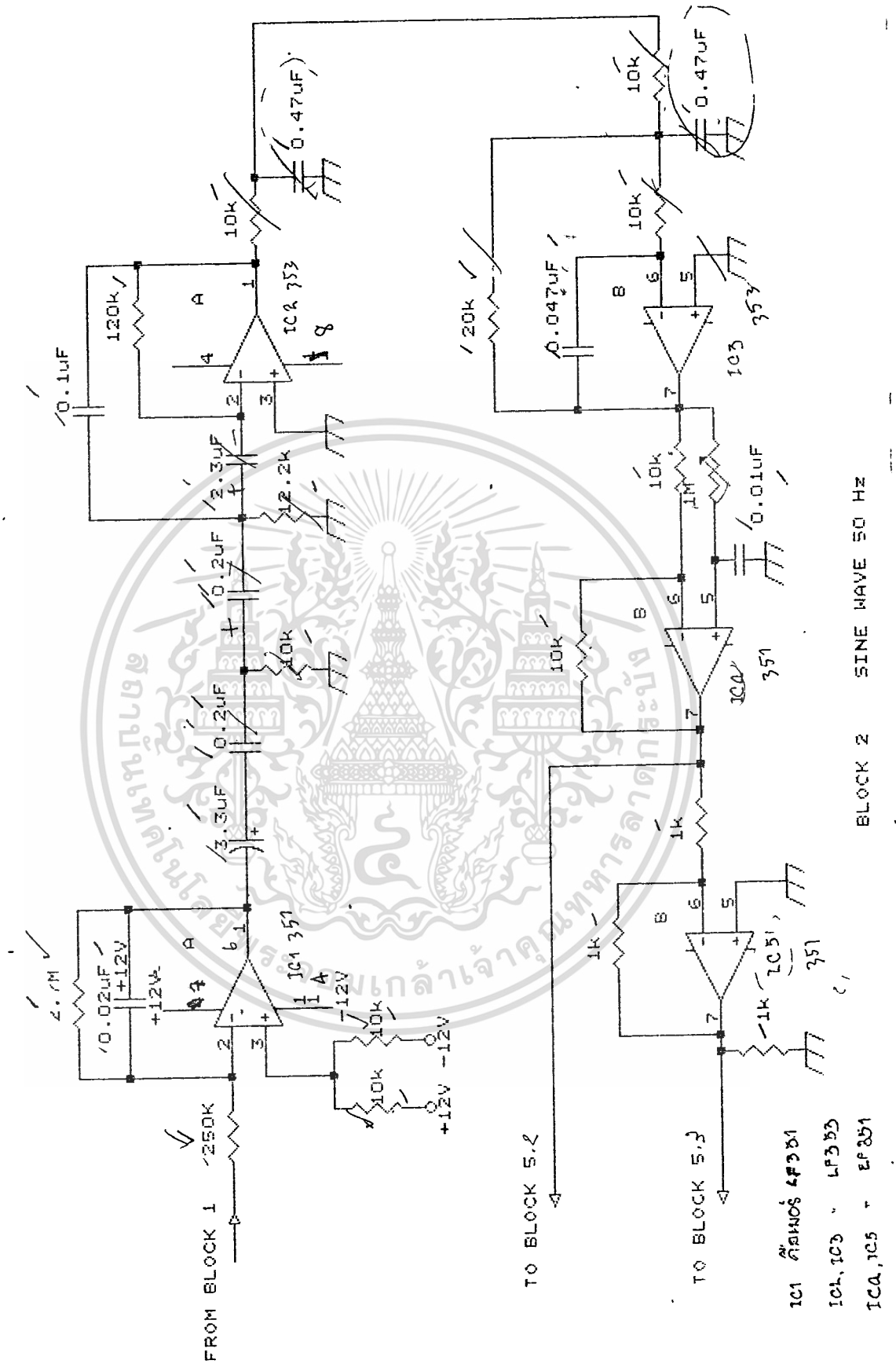


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



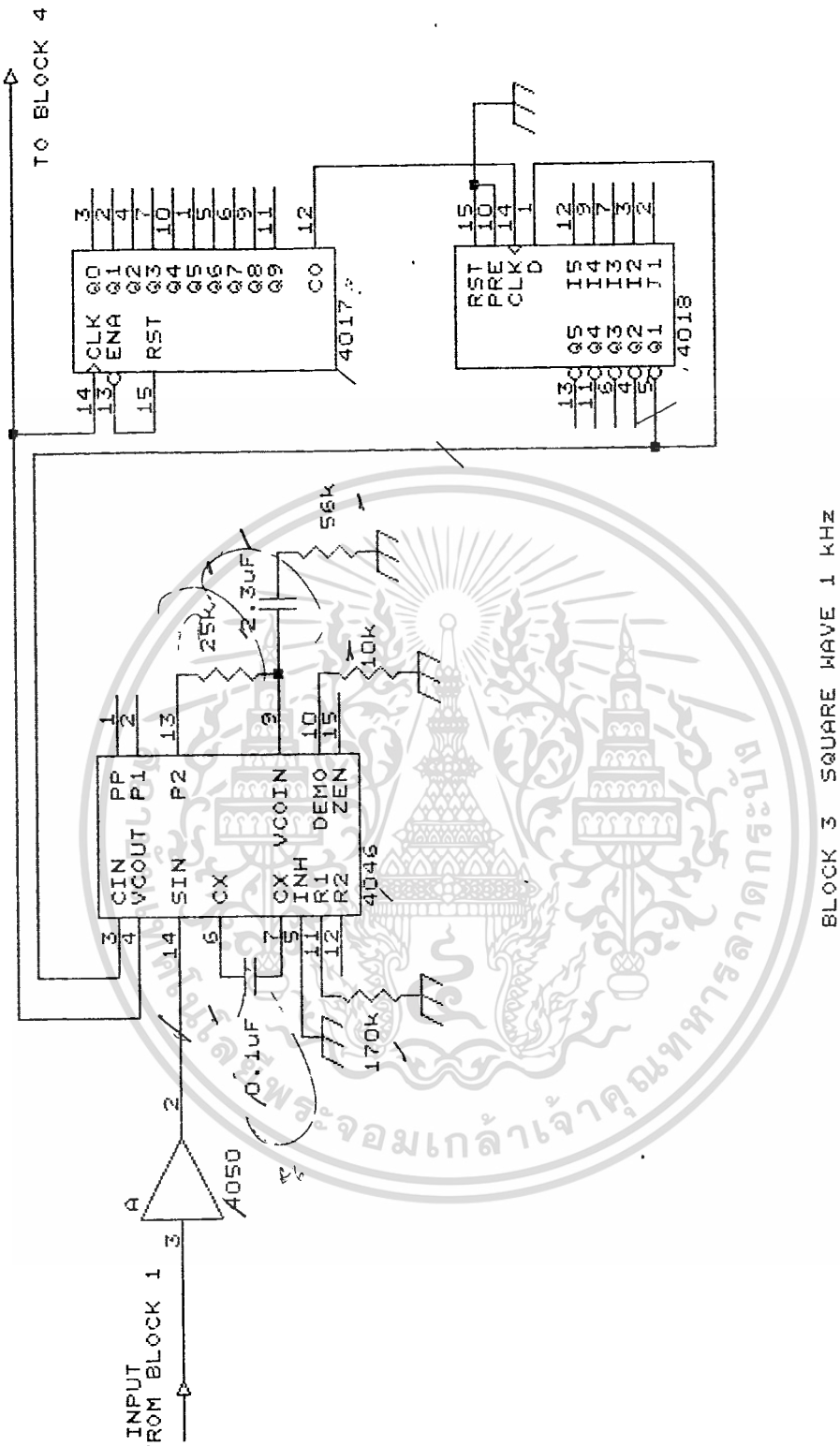
ภาพที่ 4.16 วงจร Sense-zero

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



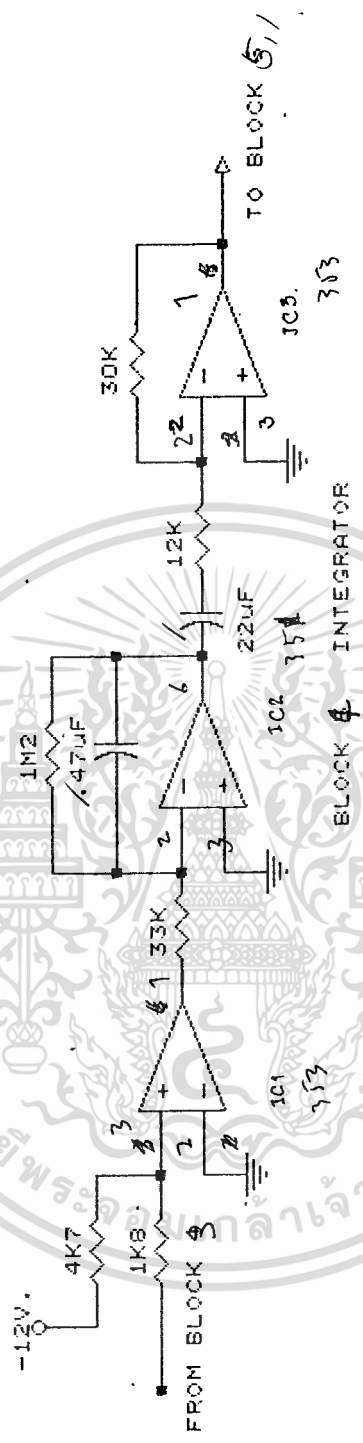
ภาพที่ 4.17 วงจรสร้าง Sine wave 50 Hz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



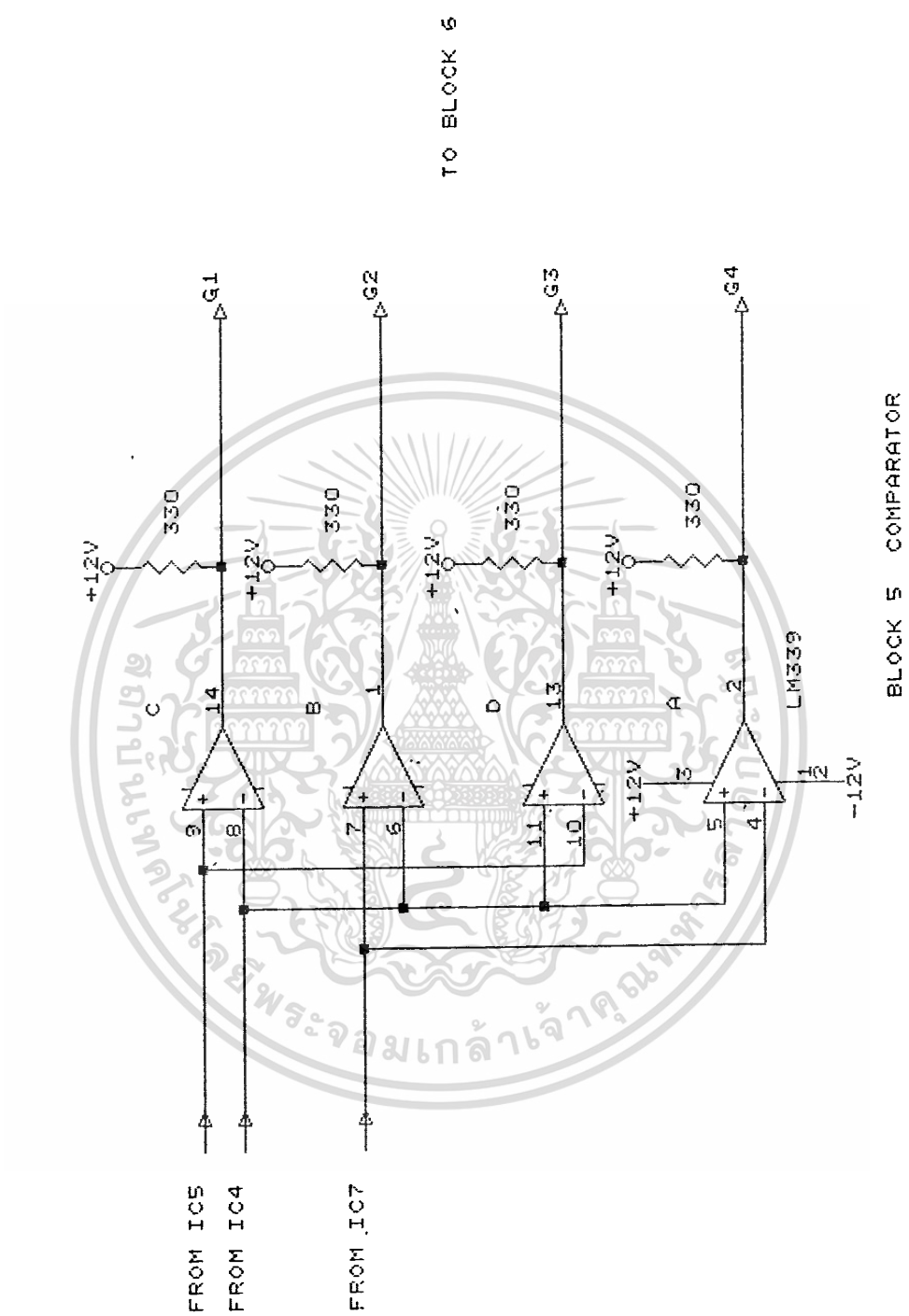
ภาพที่ 4.18 วงจร Phase-lock-loop

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



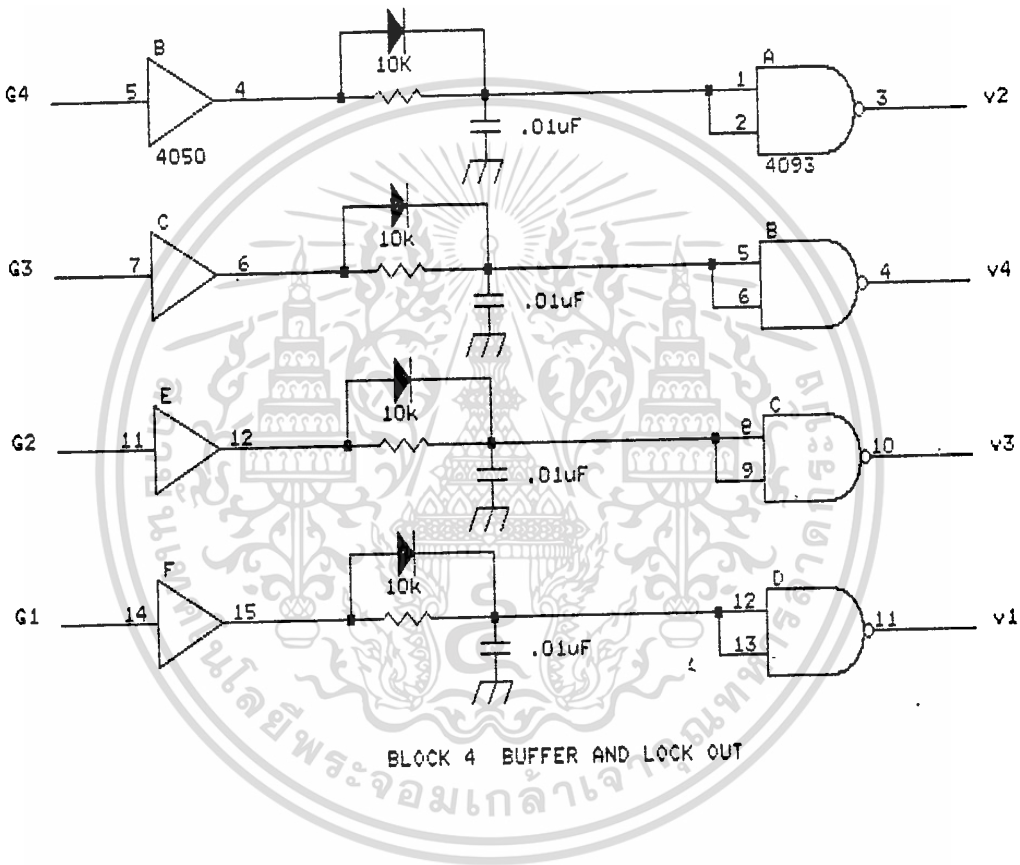
ภาพที่ 4.19 วงจร Integrator

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ภาพที่ 4.20 วงจร Comparator

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ภาพที่ 4.21 วงจร Lock-out

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5

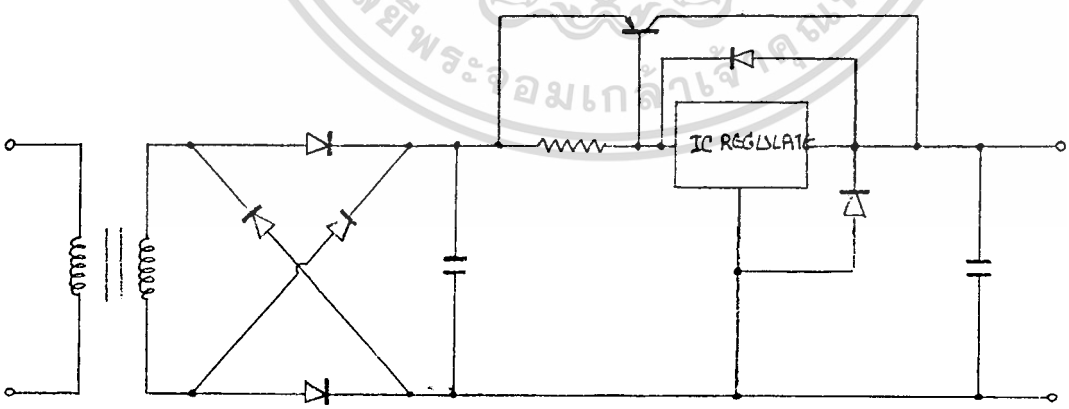
ระบบไฟเลี้ยงใน UPS

5.1 ความต้องการไฟเลี้ยงใน UPS

ใน UPS ต้องการไฟเลี้ยงจ่ายให้กับอุปกรณ์หลายชนิด เช่น วงจรขับ GTO ,วงจรขับทรานซิสเตอร์ เป็นต้น การออกแบบระบบไฟเลี้ยงจึงมีเป้าหมายหลักอยู่ที่ความน่าเชื่อถือ (Reliable) ของการจ่ายไฟและการแยกกราวด์ ซึ่งอาจแบ่งระบบไฟเลี้ยงใน UPS ออกเป็น 2 ระบบใหญ่ๆตามความต้องการได้ดังนี้

5.1.1 ระบบไฟเลี้ยงจาก AC Line

ส่วนนี้จ่ายให้กับส่วนวงจรที่ทำงานขณะไฟติดเท่านั้น เช่นวงจรขับทรานซิสเตอร์ใน Converter เป็นลักษณะของ Power Supply ทั่วไป คือ จาก AC Line จะผ่านหม้อแปลงให้ได้ค่าศักดาต่ำลง ผ่านบริดจ์เรคติไฟ และใช้ตัวเก็บประจุ ลด Ripple ให้ได้ไฟที่เรียบตามต้องการ ควาบคุมแรงดันให้คงที่ด้วยไอซีเรคกูเรเตอ อาจมีการใช้ทรานซิสเตอร์ต่อขนานไว้ เพื่อช่วยจ่ายกระแสได้มากขึ้น และเป็นการป้องกันเรคกูเรเตอด้วย ดังรูป 5.1



รูป 5.1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ระบบไฟเลี้ยงจาก AC line นี้จำเป็นเฉพาะในช่วง Converter ทำงาน คือ ไฟฟ้าใน Line ไม่ผิดปกติเท่านั้น และจ่ายกำลังน้อย การออกแบบจึงไม่ยุ่งยากและประหยัด

5.1.2 ระบบไฟเลี้ยงจากแบตเตอรี่

ในช่วงที่ไฟดับ ภาค Inverter ทั้งหมดรวมทั้งภาคที่อยู่ถัดไปทางโหลดจะต้องอาศัยพลังงานจากแบตเตอรี่เท่านั้น เนื่องจากพลังงานจากแบตเตอรี่มีจำนวนจำกัด จึงมีความจำเป็นในการออกแบบให้ระบบมีความน่าเชื่อถือสูง สำหรับการออกแบบในวิทยานิพนธ์เล่มนี้ ใช้ Swiching Supply แบบฟูลบริดจ์ ใช้อุปกรณ์ Switching คือ MOSFET เบอร์ IRF 830 ซึ่งสามารถจ่ายพลังงานได้ 120 วัตต์ ต่อ ตัว ได้อย่างต่อเนื่อง

ข้อดีของ Switching Supply ใน Inverter คือ

1. ส่วน Main ของ Switching Supply ดึงจาก Main ที่ DC Link จึงทำให้มีความน่าเชื่อถือสูงกว่าการดึงจากแบตเตอรี่โดยตรง สามารถแยกกราวด์ได้ง่ายและจ่ายพลังงานได้สูง ครอบคลุมการทำงานของส่วน Main เพราะสามารถแน่ใจได้ว่ามีไฟเลี้ยงให้ Inverter ได้ตลอดเวลาที่มันทำงาน จึงเหมาะสมกับการใช้งานร่วมกับ GTO Inverter

2. ไฟเลี้ยงที่จะจ่ายให้วงจร Switching Supply นี้สามารถใช้แบตเตอรี่จ่ายให้โดยตรงได้ เพราะกินไฟน้อย จึงใช้แบตเตอรี่จำนวนน้อยและแยกกราวด์

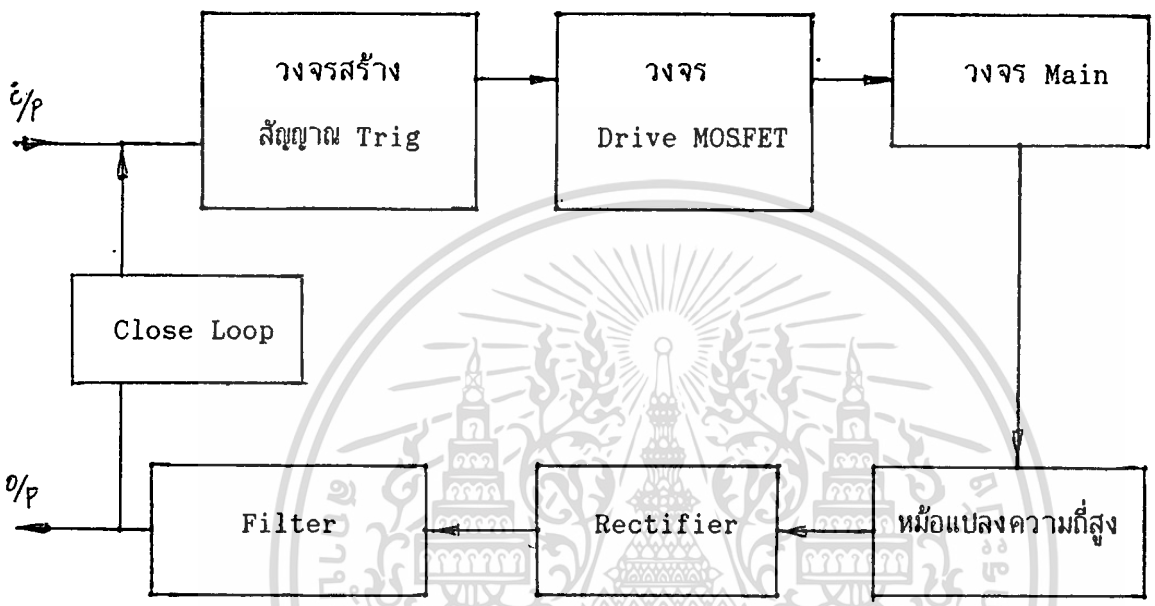
จากเหตุผลสองข้อข้างบนทำให้ระบบการทำงานของ Inverter ในขณะไฟดับมีความน่าเชื่อถือสูง เมื่อเปรียบเทียบกับจำนวนแบตเตอรี่ที่เท่ากัน และสามารถซ่อมบำรุงได้ง่าย ส่วนรายละเอียดของ Switching Supply จะได้กล่าวในหัวข้อต่อไป

5.2 Switching Supply

จากความจำเป็นในการแยกระบบกราวด์ออกจากกัน และความต้องการ DC Source ที่มี Power สูงในการขับ GTO ทำให้ Switching Supply มีความจำเป็นต่อระบบ UPS

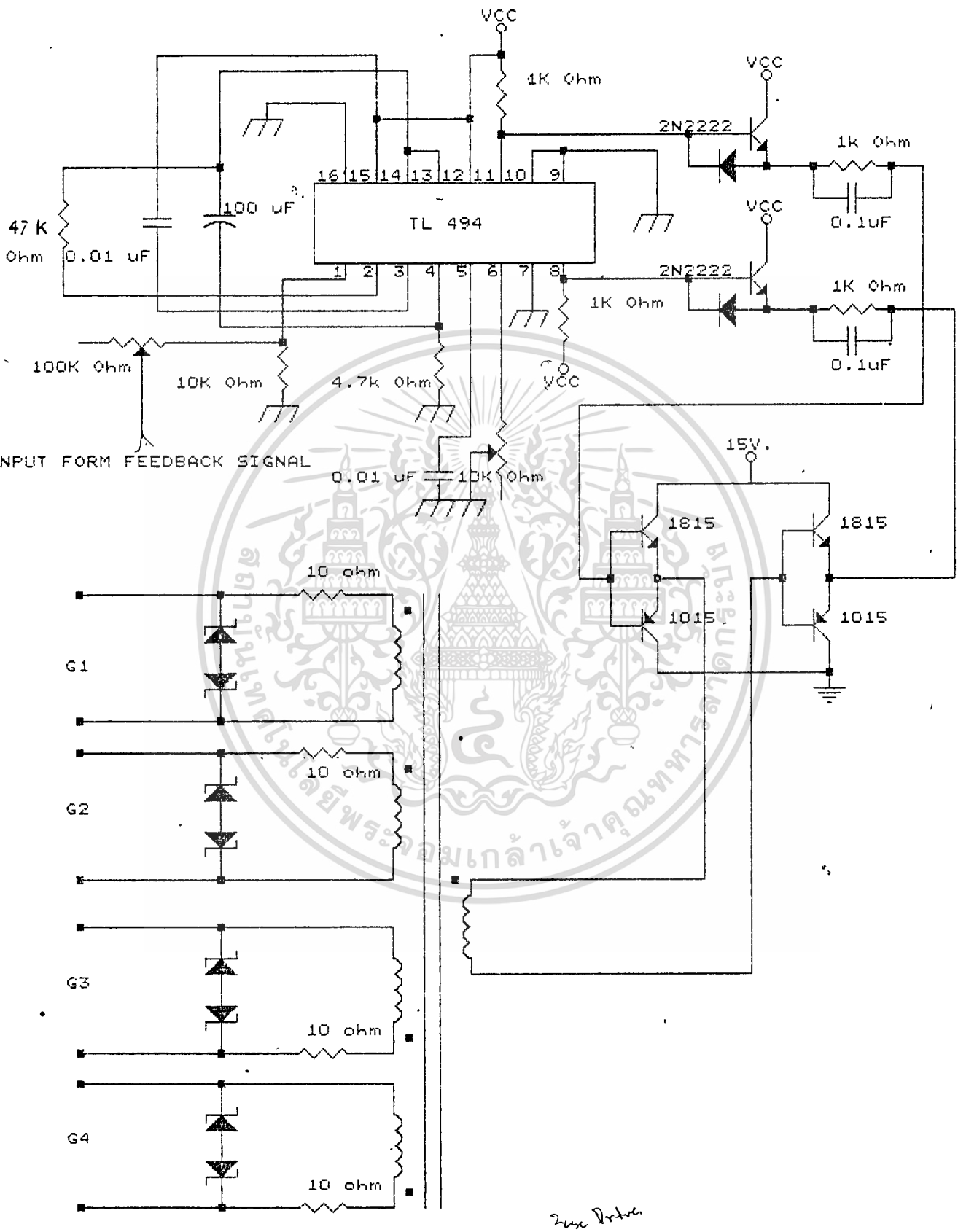
ลักษณะโดยทั่วไปของ Switching Supply ซึ่งได้ออกแบบเป็นแบบฟูลบริดจ์ มีลักษณะคล้ายกับ Inverter ที่ได้กล่าวมาแล้วข้างต้น สามารถแสดง Block Diagram ได้ดังรูปหน้าถัดไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



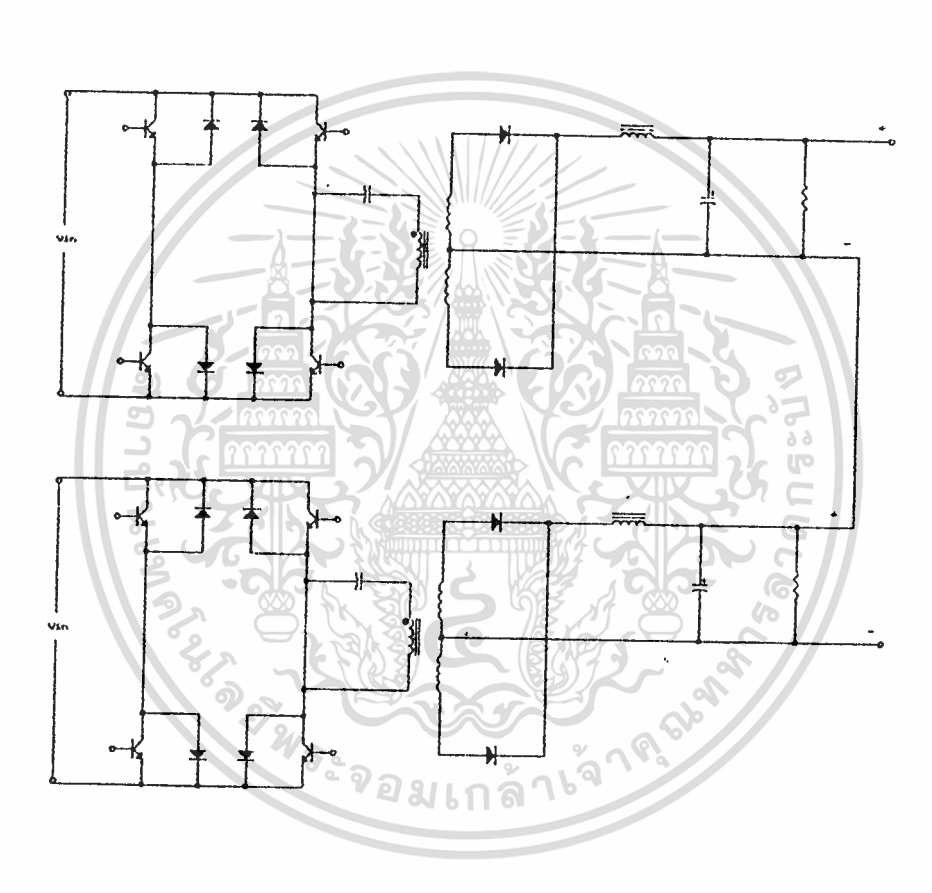
แสดง Block Diagram ของ Switching Supply

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



วงจรสร้างสัญญาณ Trig และ Drive MOSFET

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



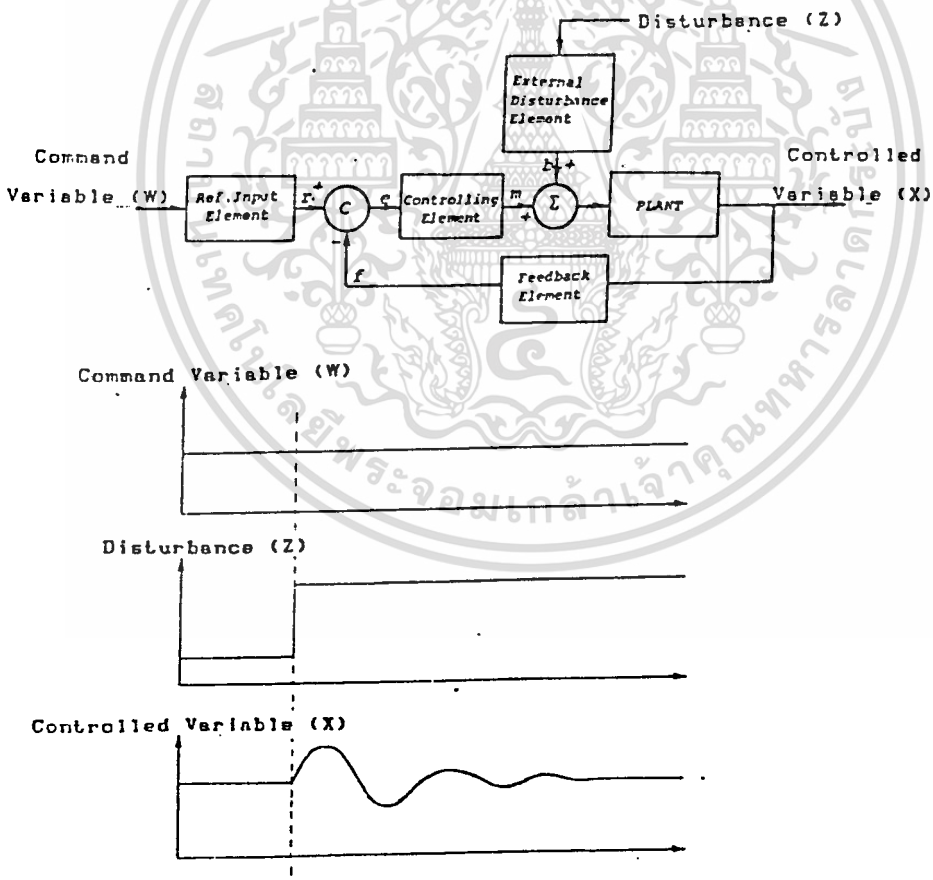
ภาพแสดงวงจร Main Switching Power

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 6

หลักการและการออกแบบวงจรควบคุม

ข้อบกพร่องที่สำคัญของอินเวอร์เตอร์ที่สร้างขึ้นคือ ไม่สามารถรักษาระดับแรงดันไฟฟ้าขาออก (Output Voltage) ให้คงที่ไว้ได้ เมื่ออินเวอร์เตอร์ได้รับภาระที่มีการเปลี่ยนแปลงจึงจำเป็นจะต้องปรับปรุงข้อบกพร่องอันนี้ ซึ่งทำได้โดยการเพิ่มเติมวงจรควบคุมในลักษณะลูปปิด (Closed-Loop Controlled Circuit) เข้าไปเพื่อให้ระบบสามารถที่จะควบคุมตัวเองได้โดยอัตโนมัติ โดยระบบจะพยายามปรับตัวเองในทันทีที่มีการเปลี่ยนแปลงภาระ เพื่อที่จะรักษาระดับแรงดันไฟฟ้าขาออกให้คงที่เสมอ แต่ในความเป็นจริงแล้วไม่ว่าจะออกแบบวงจรควบคุมให้ดีเพียงใด ก็ไม่สามารถที่จะรักษาระดับแรงดันไฟฟ้าขาออกให้คงที่ไว้ตลอดเวลาได้ ดังแสดงในรูปที่ 6.1



รูปที่ 6.1 แสดงการตอบสนองของระบบที่เกิดจากการรบกวนแบบขั้น (Step Disturbance)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

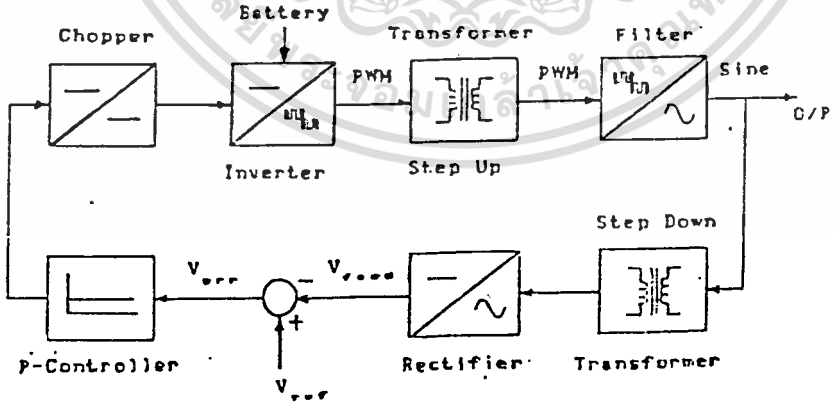
จากรูปที่ 6.1 จะเห็นได้ว่า เมื่อมีการรบกวนเกิดขึ้นอย่างทันทีทันใดแล้ว ตัวแปรที่ต้องดำรงรักษาไว้ (Controlled Variable) ก็จะถูกรบกวนด้วย ทำให้มีการเปลี่ยนแปลงค่าเพิ่มขึ้นและลดลงสลับกันไปอยู่ชั่วขณะ (Transient Response) แล้วการเปลี่ยนแปลงจะค่อยๆลดค่าลงจนหมดไป ทำให้มีค่าคงที่ (Steady-State Response) ตามเดิม ซึ่งลักษณะของการตอบสนองของระบบต่อการรบกวนแบบขั้นที่เกิดขึ้นนี้ จะขึ้นอยู่กับประสิทธิภาพของวงจรควบคุมที่ใช้ว่าดีเพียงใด ซึ่งโดยปกติแล้วในการออกแบบวงจรควบคุมนั้นก็จะต้องทำการหาฟังก์ชันโอนย้าย (Transfer Function) ของลูปที่จะควบคุมก่อน แล้วจึงทำการออกแบบวงจรควบคุม โดยทำให้ฟังก์ชันโอนย้ายของระบบอยู่ในรูปของสมการที่สามารถควบคุมได้ นำไปเปรียบเทียบกับสมการรูปมาตราฐานแล้วก็ปรับตัวแปรให้มีค่าเท่าที่กำหนด ซึ่งเป็นวิธีที่ยุ่งยาก ในโครงงานนี้จะไม่ใช้วิธีการดังกล่าว แต่จะใช้การทดลองปรับค่าโดยตรงหลายๆครั้งจนกว่าจะได้ผลที่ต้องการ

6.1 ชนิดของการควบคุม

การควบคุมระดับแรงดันขาออกของอินเวอร์เตอร์ชนิดพีดับบลิวเอ็ม (Pulse Width Modulation Inverter หรือ PWM Inverter) ที่นิยมใช้กันนั้น มีอยู่ 2 วิธีคือ

6.1.1 การควบคุมโดยใช้วงจรสับไฟฟ้าแบบโจนส์ (Jones) หรือวงจรชอปเปอร์ (Chopper)

ซึ่งเป็นการควบคุมระดับแรงดันไฟตรงที่จ่ายให้กับอินเวอร์เตอร์ แสดงได้ดังรูปที่ 6.2



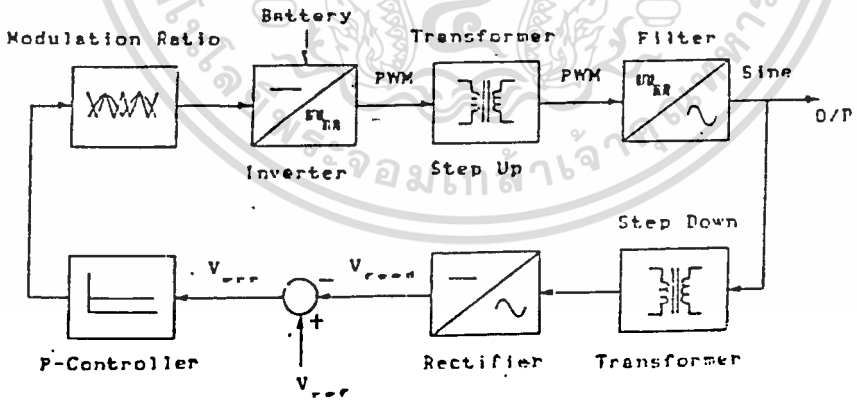
รูปที่ 6.2 แสดงการควบคุมในลักษณะลูปปิดโดยใช้วงจรชอปเปอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 6.2 อธิบายลักษณะการทำงานได้ดังนี้ แรงดันที่ป้อนกลับ (V_{feed}) ที่ได้จากการลดขนาดของแรงดันที่ขาออก (V_o) ลงด้วยหม้อแปลงไฟฟ้า และถูกกรองให้เรียบด้วยวงจรเรียงกระแส (Rectifier) และวงจรกรอง (Filter) โดยจะมีค่าลดลงเป็นสัดส่วนกัน เมื่อนำมาเปรียบเทียบกับแรงดันอ้างอิง (V_{ref}) ซึ่งมีค่าคงที่ จะทำให้เกิดแรงดันคลาดเคลื่อน (V_{err}) ขึ้น ซึ่งจะนำไปใช้ควบคุมวงจรควบคุมให้สร้างแรงดันควบคุม (V_{con}) ไปทำให้ค่าดิวตี้ไซเคิล (Duty Cycle) ของวงจรชอปเปอร์มีค่าเพิ่มขึ้น ทำให้แรงดันไฟตรงมีค่าเพิ่มขึ้นเป็นการเพิ่มแรงดันที่ขาออกของอินเวอร์เตอร์

6.1.2 <u>การควบคุมโดยการควบคุมวงจรภายในของอินเวอร์เตอร์</u>

การควบคุมโดยวิธีนี้เป็นข้อได้เปรียบของวงจรอินเวอร์เตอร์ชนิดพีดับบลิวเอ็ม ไม่ว่าจะมีลักษณะรูปคลื่นเป็นแบบเนเจอรัลแซมเปิลพีดับบลิวเอ็ม (Natural Sampled PWM) หรือแบบเรกูลาร์แซมเปิลพีดับบลิวเอ็ม (Regular Sampled PWM) โดยจะอาศัยการควบคุมอัตราส่วนของการมอดูเลต (Modulation Ratio) ของคลื่นไซน์ (Sine Wave) กับคลื่นรูปสามเหลี่ยม (Triangle Wave) ลักษณะของการควบคุมนี้โดยทั่วไปก็จะคล้ายกับแบบแรก แสดงได้ดังรูปที่ 6.3

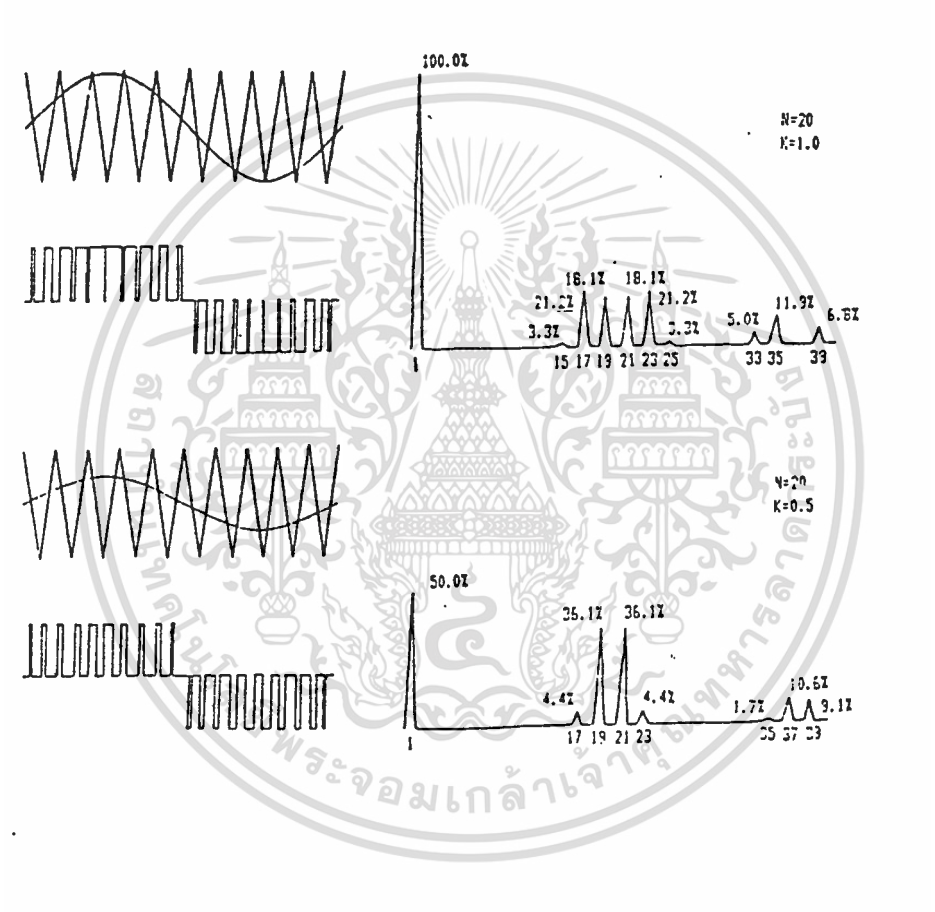


รูปที่ 6.3 แสดงการควบคุมในลักษณะลูปปิดโดยการควบคุมวงจรภายในของอินเวอร์เตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6.2 <u>หลักการควบคุมแรงดันไฟฟ้าขาออกโดยการควบคุมวงจรภายในของอินเวอร์เตอร์</u>

การควบคุมแรงดันไฟฟ้าขาออกโดยการควบคุมวงจรภายในของอินเวอร์เตอร์นี้ จะใช้วิธีควบคุมค่าอัตราส่วนของการมอดูเล6ของคลื่น"ซน์กับคลื่นรูปสามเหลี่ยม ซึ่งการปรับเปลี่ยนค่าอัตราส่วนนี้ จะทำให้ค่าเปอร์เซนต์ของขนาดแรงดันไฟฟ้าซึ่งเป็นองค์ประกอบพื้นฐาน (Fundamental) ของแรงดันไฟฟ้าขาออกเปลี่ยนแปลงไป แสดงได้ดังรูปที่ 6.4



รูปที่ 6.4 แสดงการเปลี่ยนแปลงขององค์ประกอบทางความถี่ของแรงดันไฟฟ้าขาออกเมื่อมีการเปลี่ยนแปลงอัตราส่วนของการมอดูเลต

ข้อจำกัดสำหรับการควบคุมโดยวิธีนี้คือ ค่าอัตราส่วนของการมอดูเลตจะต้องมีค่าไม่เกิน 1.0 เพราะจะทำให้เกิดฮาร์มอนิคลำดับต่ำขึ้น และต้องไม่ต่ำเกินไป เพราะการลดค่าอัตราส่วนลง จะทำให้ขนาดของแรงดันไฟฟ้าที่เป็นองค์ประกอบพื้นฐานมีค่าลดลง ในขณะที่ขนาดของฮาร์มอนิคมีค่าเพิ่มขึ้น ซึ่งจะทำให้มีการสูญเสียกำลังที่วงจรกรองความถี่มากขึ้น ดังนั้นจึงนิยมที่จะ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ควบคุมค่าอัตราส่วนให้อยู่ในช่วง 0.5-0.9 ซึ่งข้อจำกัดนี้จะเป็นตัวจำกัดขนาดของอินเวอร์เตอร์

6.3 วงจรควบคุม

ตัวควบคุมอัตโนมัติที่ใช้ในวงจรควบคุม จะเป็นตัวทำหน้าที่เปรียบเทียบหาค่าความคลาดเคลื่อน (Error) ระหว่างค่าอ้างอิง (Reference) กับค่าขาออก (Output) ของระบบที่ป้อนกลับมา (Feedback) และได้รับการเปลี่ยนรูปให้อยู่ในลักษณะเดียวกับค่าอ้างอิงแล้ว จากนั้นตัวควบคุมอัตโนมัติจะสร้างสัญญาณควบคุมขึ้น เพื่อที่จะนำไปทำให้ค่าความคลาดเคลื่อนมีค่าลดลงจนเป็นศูนย์หรือให้มีค่าน้อยที่สุด ลักษณะของการสร้างสัญญาณควบคุมของตัวควบคุมอัตโนมัตินี้จะเรียกว่า "กิริยาการควบคุม (Control Action)" ซึ่งมีมากมายหลายแบบในที่นี้จะขอกล่าวถึงเฉพาะแบบที่ใช้ในโครงงานนี้เท่านั้น ดังนี้

กิริยาการควบคุมแบบพี (Proportional Operation หรือ P Operation)

สำหรับตัวควบคุมที่มีกิริยาการควบคุมแบบพีนั้น ความสัมพันธ์ระหว่างสัญญาณควบคุม หรือค่าขาออกของตัวควบคุม $m(t)$ กับสัญญาณค่าความคลาดเคลื่อน $e(t)$ คือ

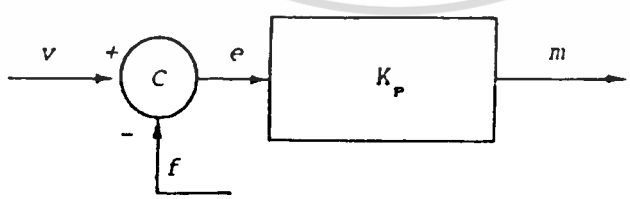
$$m(t) = K_p e(t)$$

หรือ

$$\frac{M(s)}{E(s)} = K_p$$

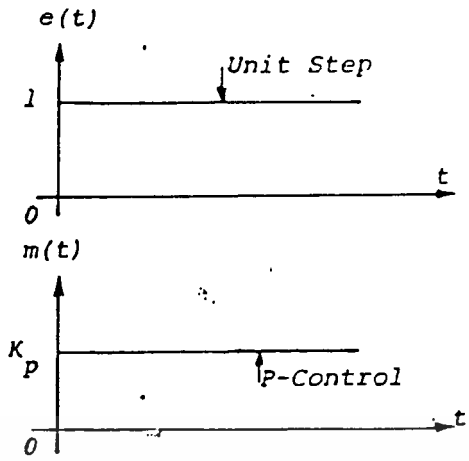
โดยที่ K_p จะเป็นค่าอัตราขยาย (Gain) ของตัวควบคุมชนิดพี

ดังนั้นตัวควบคุมแบบพีที่ใช้จึงต้องเป็นวงจรขยายที่สามารถปรับค่าของอัตราขยายได้

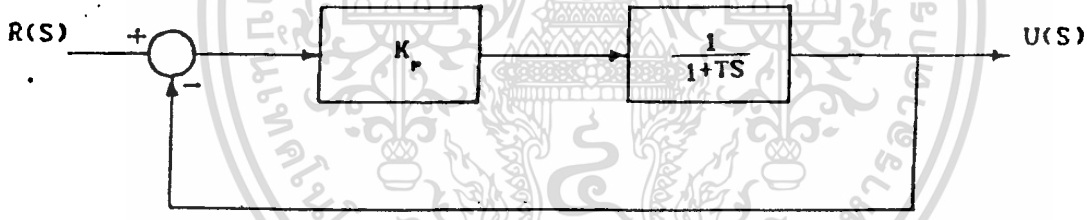


รูปที่ 6.5 บล็อกไดอะแกรม (Block Diagram) ของตัวควบคุมชนิดพี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 6.6 การตอบสนองของตัวควบคุมชนิดพีต่อค่าความคลาดเคลื่อนแบบขั้น



รูปที่ 6.7 บล็อกไดอะแกรมของการแก้ค่าความคลาดเคลื่อนแบบพี

$$\frac{C(S)}{R(S)} = \frac{K_p \cdot \frac{1}{1+TS}}{1+K_p \cdot \frac{1}{1+TS}} = \frac{K_p}{1+TS+K_p}$$

$$R(S) = \frac{1}{S} \quad \text{(Unit Step Function)}$$

$$C(S) = \frac{K_p}{1+TS+K_p} \cdot \frac{1}{S}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากทฤษฎีค่าสุดท้าย (Final Value Theorem)

$\lim_{t\to\infty} C(t) = [SC(S)]_{S\to 0} = \frac{K_p}{1+TS+K_p} = \frac{K_p}{1+K_p}$ $\quad C(S) = \text{Final Value}$

$\lim_{t\to\infty} R(t) = [SR(S)]_{S\to 0} = S \cdot \frac{1}{S} = 1$ $\quad R(S) = \text{Final Value}$

ค่าความคลาดเคลื่อนออฟเซ็ต (Offset Error) : $e_{ss} = 1 - \frac{K_p}{1+K_p} = \frac{1}{1+K_p}$

<u>กิริยาการควบคุมแบบพีไอ (Proportinal&Integral Operation หรือ PI Operation)</u>

กิริยาการควบคุมของตัวควบคุมแบบพีไอนั้นสามารถแสดงได้ด้วยสมการต่อไปนี้

$$m(t) = K_p e(t) + K_i \int_0^t e(t)dt$$

หรือ

$$\frac{M(s)}{E(s)} = K_p + \frac{K_i}{S}$$

$$= K_p \cdot \left(1 + \frac{1}{T_i S}\right) ; \quad \text{เมื่อ } K_i = \frac{K_p}{T_i}$$

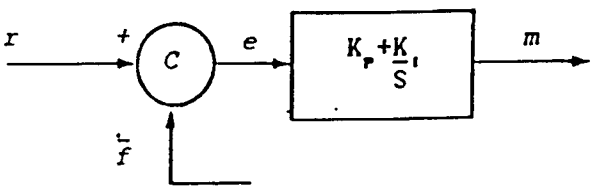
โดยที่ K_p จะเป็นอัตราขยายของตัวควบคุมชนิดพี

T_i จะเป็นเวลาที่ใช้ในการเพิ่มค่าของสัญญาณควบคุมจนมีขนาดเท่าค่าความคลาดเคลื่อนที่เปลี่ยนแปลงไป

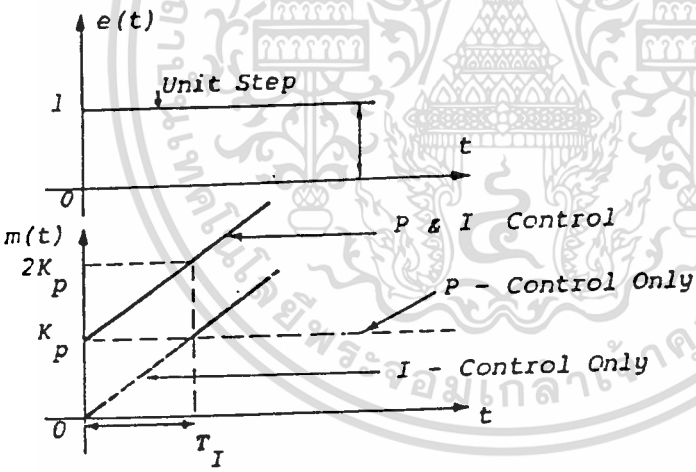
K_i จะเป็นค่าอัตราขยายของตัวควบคุมชนิดไอ (Integral Controller)

ทั้ง K_p และ T_i เป็นค่าที่ปรับได้ โดยที่การปรับ T_i นั้นจะเป็นการปรับกิริยาการควบคุมแบบอินทีกรัล (Integral) ส่วนในการปรับค่าของ K_p นั้นจะมีผลต่อส่วนโพรพอร์ชั่นนอล (Proportional) และส่วนอินทีกรัลของกิริยาการควบคุม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

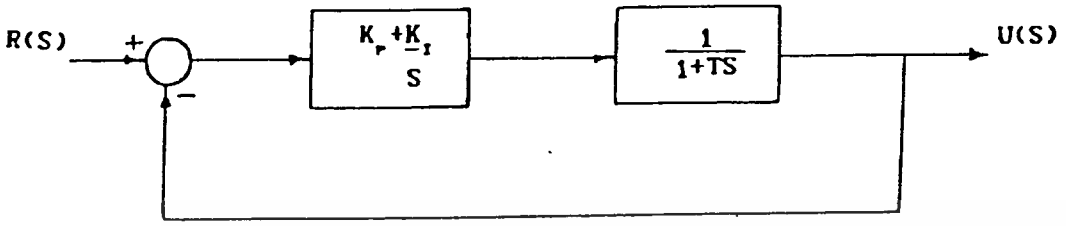


รูปที่ 6.8 บล็อกไดอะแกรมของตัวควบคุมชนิดพีไอ



รูปที่ 6.9 การตอบสนองของตัวควบคุม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 6.10 บล็อกไดอะแกรมของการแก้ค่าความคลาดเคลื่อนแบบพีไอ

$$\frac{C(S)}{R(S)} = \frac{(K_p + \frac{K_i}{S}) \cdot \frac{1}{1+TS}}{1 + (K_p + \frac{K_i}{S}) \cdot \frac{1}{1+TS}} = \frac{K_p + \frac{K_i}{S}}{1 + TS + K_p + \frac{K_i}{S}}$$

$$= \frac{K_pS + K_i}{S + TS^2 + K_pS + K_i}$$

$$R(S) = \frac{1}{S} \quad \text{(Unit Step Function)}$$

$$C(S) = \frac{K_pS + K_i}{S + TS^2 + K_pS + K_i} \cdot \frac{1}{S}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

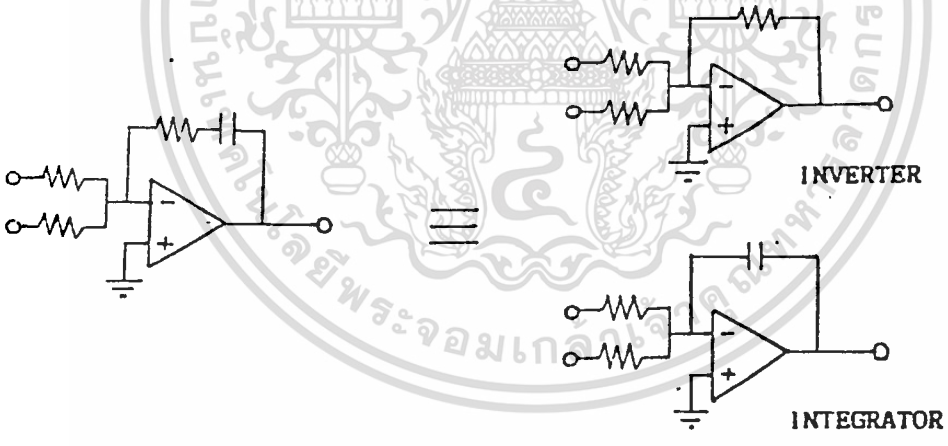
จากทฤษฎีค่าสุดท้าย

$$\lim_{t\to\infty} C(t) = [SC(S)]_{S\to 0} = \frac{K_pS + K_i}{S + TS^2 + K_pS + K_i} = 1 \quad C(S) = \text{Final Value}$$

$$\lim_{t\to\infty} R(t) = [SR(S)]_{S\to 0} = S \cdot \frac{1}{S} = 1 \quad R(S) = \text{Final Value}$$

ค่าความคลาดเคลื่อนออฟเซ็ต : $e_{ss} = 1 - 1 = 0$

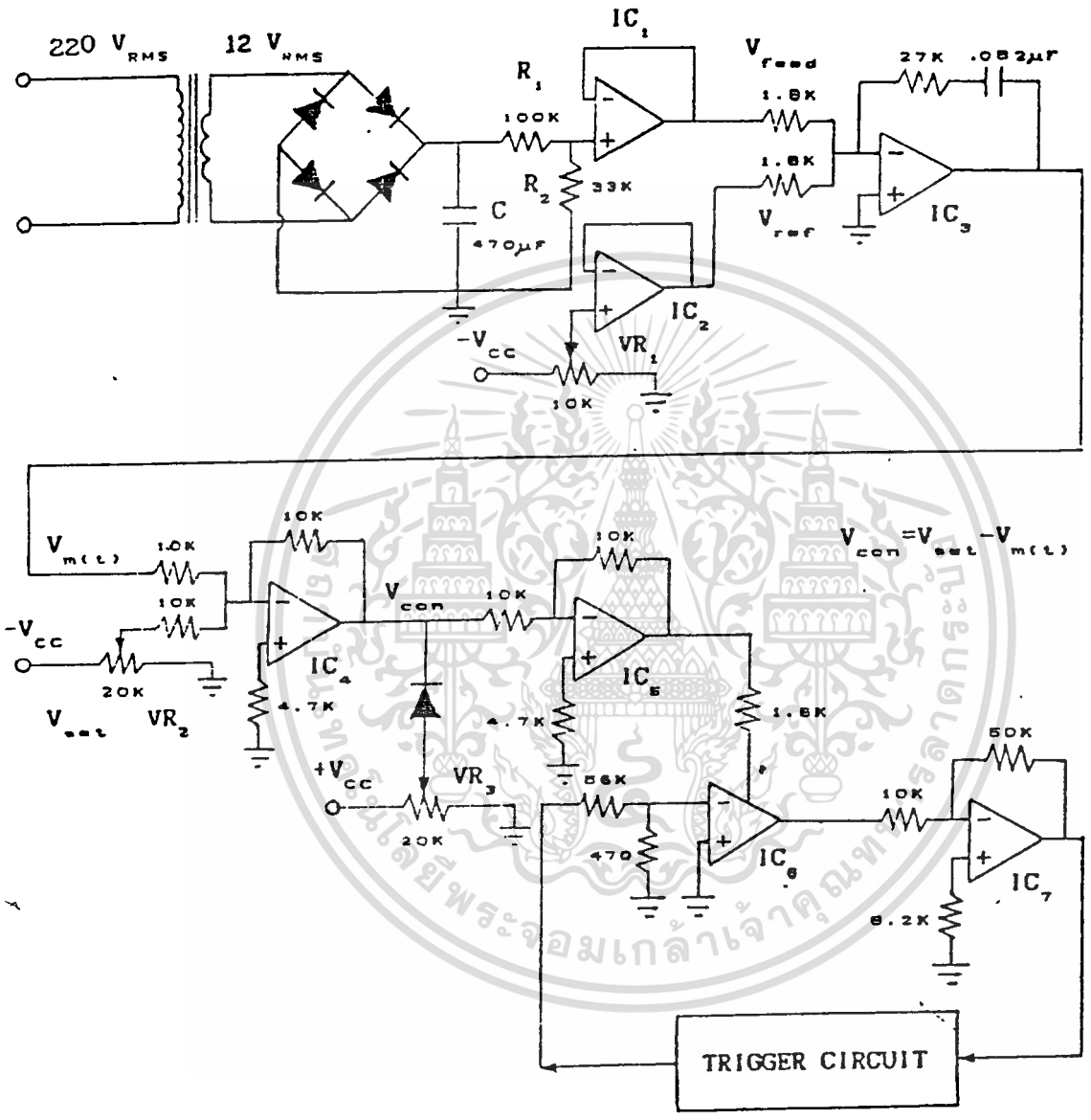
จากการวิเคราะห์ที่ผ่านมาจะเห็นได้ว่า การแก้ความคลาดเคลื่อนโดยใช้กิริยาการควบคุมแบบพีไอจะให้ผลดีกว่าการใช้กิริยาการควบคุมแบบพี ตรงที่ทำให้ไม่มีค่าความคลาดเคลื่อนออฟเซ็ตเกิดขึ้น ดังนั้นในโครงงานนี้จะใช้กิริยาควบคุมแบบพีไอเป็นหลัก



รูปที่ 6.11 แสดงการต่อวงจรบวกสัญญาณแบบกลับระดับแรงดัน (IC_3) ให้เป็นตัวควบคุมชนิดพีไอ

จากหลักการที่ได้กล่าวมาข้างต้น สามารถนำมาใช้ออกแบบควบคุมในลักษณะลูปปิดอย่างง่ายๆ โดยใช้ตัวควบคุมชนิดพี (P Controller) หรือพีไอ (PI Controller) ได้ โดยขึ้นอยู่กับลักษณะการต่อวงจรบวกสัญญาณแบบกลับระดับแรงดัน(IC_3) ดังในรูปที่ 6.12 ซึ่งในรูปเป็นการใช้ตัวควบคุมชนิดพีไอและสามารถอธิบายลักษณะการทำงานได้ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



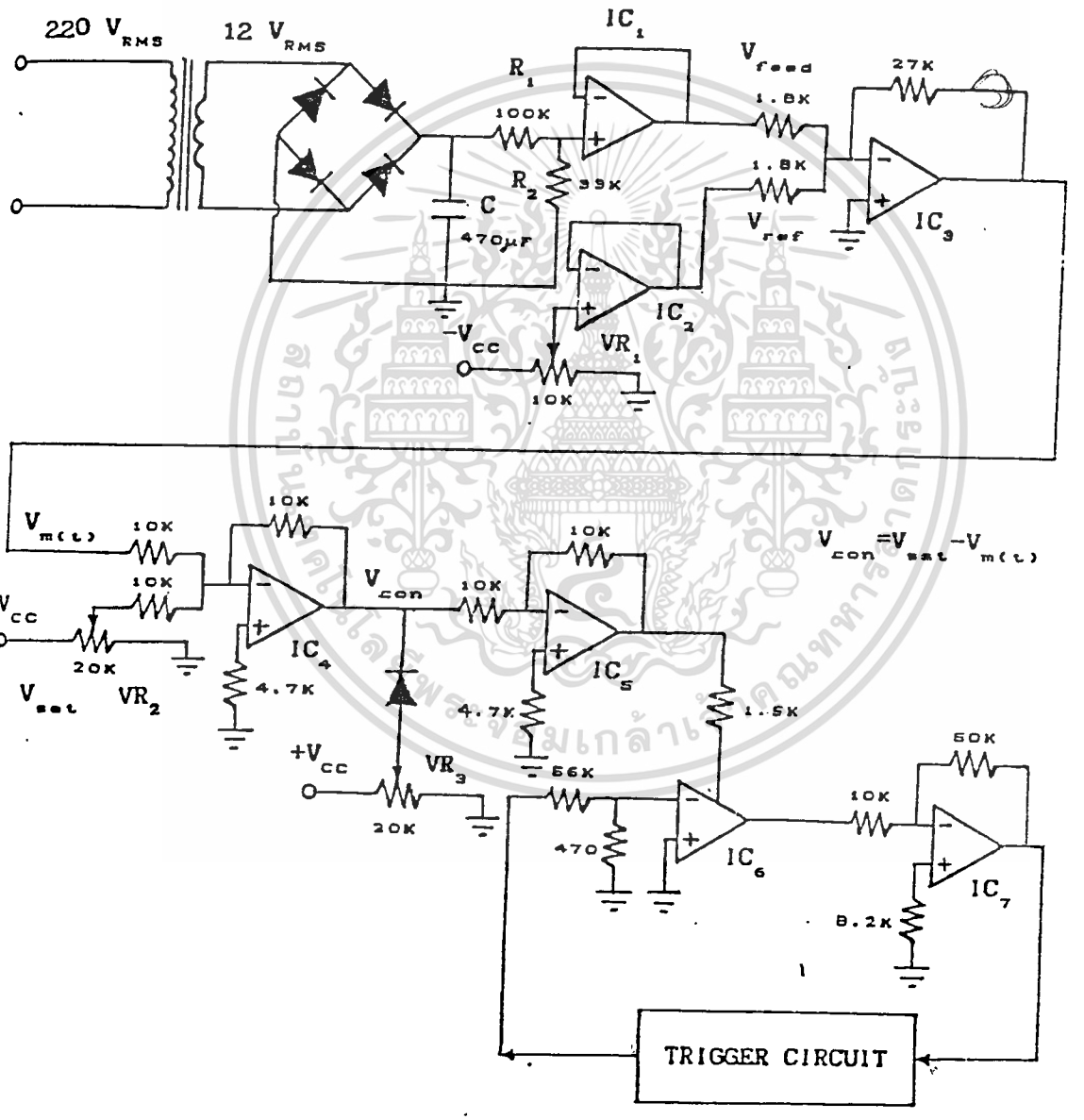
รูปที่ 6.12 แสดงวงจรควบคุมในลักษณะลูปปิดโดยใช้ตัวควบคุมชนิดพีไอ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เริ่มจากแรงดันไฟฟ้าขาออกของอินเวอร์เตอร์ถูกลดขนาดลงให้เหลือ 12 V_{rms} แล้วเอาไปผ่านวงจรเรียงกระแสและกรองให้เรียบด้วยตัวเก็บประจุ (C) จากนั้นจะถูกแบ่งระดับแรงดันไฟฟ้าด้วยตัวต้านทาน (R_1 และ R_2) แล้วนำไปผ่านวงจรตามแรงดัน (IC_1) ซึ่งทำหน้าที่เป็นบัฟเฟอร์ (Buffer) ก็จะได้เป็นสัญญาณแรงดันป้อนกลับ (V_{feed}) สำหรับสัญญาณแรงดันอ้างอิง (V_{ref}) จะถูกกำหนดค่าโดยตัวต้านทานปรับค่าได้ (VR_1) แล้วนำไปผ่านวงจรตามแรงดัน (IC_2) เช่นเดียวกับสัญญาณแรงดันป้อนกลับ จากนั้นจะนำเอาสัญญาณแรงดันป้อนกลับกับสัญญาณแรงดันอ้างอิงไปผ่านวงจรบวกสัญญาณแบบกลับระดับแรงดัน และสามารถปรับค่าอัตราการขยายสัญญาณได้ (IC_3) ซึ่งวงจรนี้จะทำหน้าที่เป็นตัวควบคุมชนิดพีทำให้ได้สัญญาณแรงดันจากตัวควบคุม ($V_{m(t)}$) ออกมา โดยที่สัญญาณแรงดันจากตัวควบคุมนี้เกิดจากการนำสัญญาณแรงดันป้อนกลับมาเปรียบเทียบกับสัญญาณแรงดันอ้างอิง ทำให้ได้สัญญาณแรงดันคลาดเคลื่อน (V_{err}) ออกมาตามความสัมพันธ์ดังนี้ $V_{err} = V_{ref} - V_{feed}$ แล้วนำสัญญาณแรงดันคลาดเคลื่อนนี้ไปผ่านตัวควบคุมอีกที สัญญาณที่ได้ออกมาก็คือสัญญาณแรงดันจากตัวควบคุม ($V_{m(t)}$) ดังกล่าว แล้วนำสัญญาณแรงดันจากตัวควบคุมนี้กับสัญญาณแรงดันปรับตั้ง (V_{set}) ไปผ่านงวจรบวกสัญญาณแบบกลับระดับแรงดัน (IC_4) ทำให้ได้สัญญาณแรงดันควบคุม (V_{con}) ออกมาตามความสัมพันธ์ดังนี้ $V_{con} = V_{set} - V_{m(t)}$ โดยที่สัญญาณแรงดันปรับตั้งนี้จะถูกกำหนดค่าโดยตัวต้านทานปรับค่าได้ (VR_2) และจะเป็นตัวกำหนดค่าระดับแรงดันของคลื่นไซน์ซึ่งจะใช้ในวงจรเปรียบเทียบในขณะไร้ภาระ ซึ่งจะนำเอาไปใช้ควบคุมวงจรขยายสัญญาณโดยปรับระดับแรงดัน (IC_6) ซึ่งวงจรนี้จะใช้ออปแอมป์ที่มีคุณสมบัติพิเศษโดยเฉพาะ คือ เป็นโอเปอเรชันแนลทรานสคอนดักแตนซ์แอมปริฟลายเออร์ (Operational Transconductance Amplifier) ซึ่งจะทำหน้าที่เป็นวงจรขยายสัญญาณที่สามารถปรับค่าของอัตราการขยายสัญญาณได้ (Variable Gain Amplifier) โดยที่ค่าของอัตราการขยายสัญญาณจะเปลี่ยนแปลงตามค่าของกระแสที่ป้อนเข้าที่ขาควบคุม (Amplifier Bias Current) หรือที่ขา 5 ของตัวออปแอมป์นั่นเอง ถ้ากระแสนี้มีค่าเพิ่มขึ้นก็จะทำให้ค่าของอัตราการขยายสัญญาณเพิ่มขึ้น และเนื่องจากสัญญาณที่ได้จาก IC_6 นี้ยังมีระดับต่ำอยู่ จึงต้องนำไปผ่านวงจรขยายสัญญาณแบบกลับระดับแรงดัน (IC_7) เพื่อขยายสัญญาณให้มีระดับสูงพอที่จะส่งกลับไปเพื่อใช้งานในส่วนของวงจรสร้างสัญญาณทริก (Trigger Circuit) ต่อ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ไป ทั้งนี้ยังมีส่วนที่จะต้องทำหน้าที่เป็นตัวจำกัดกระแสที่จะป้อนเข้าขาควบคุมของ IC_6 ไม่ให้มีค่ามากเกินไป เพราะจะทำให้มีค่าของอัตราขยายสัญญาณสูงเกินไป ทำให้เกิดกรณีโอเวอร์มอดูเลชั่นซึ่งไม่เป็นผลดีเนื่องจากจะมีฮาร์มอนิกลำดับต่ำเกิดขึ้น ในขณะที่ขนาดของแรงดันที่เป็นองค์ประกอบหลักเพิ่มขึ้นเพียงเล็กน้อย โดยที่ส่วนจำกัดกระแสนี้อย่างง่ายๆจะใช้เพียงตัวความต้านทานปรับค่า (VR_3) ได้กับไดโอดเท่านั้น

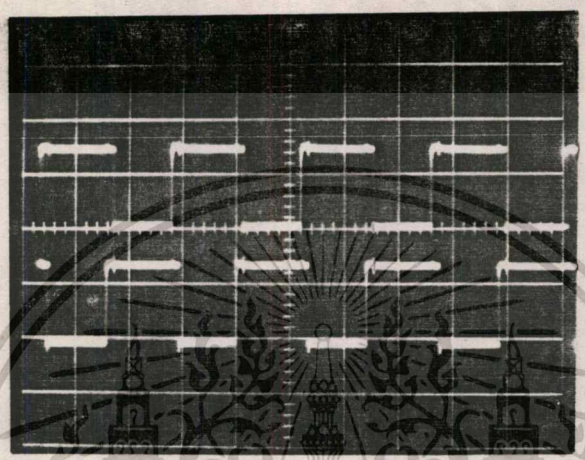


รูปที่ 6.13 แสดงวงจรควบคุมในลักษณะลูปปิดโดยใช้ตัวควบคุมชนิดพี

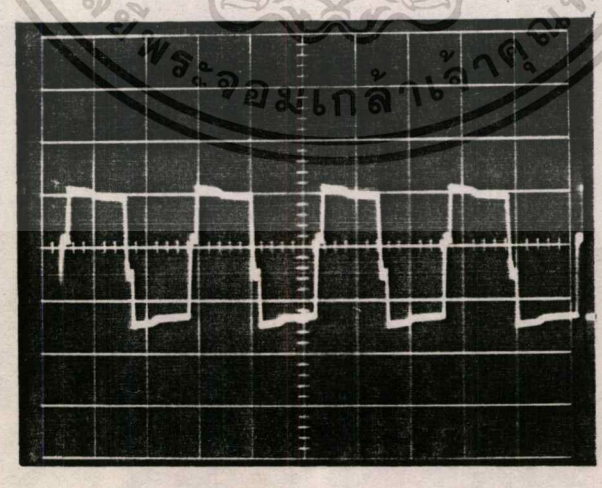
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 7

ผลการทดลอง

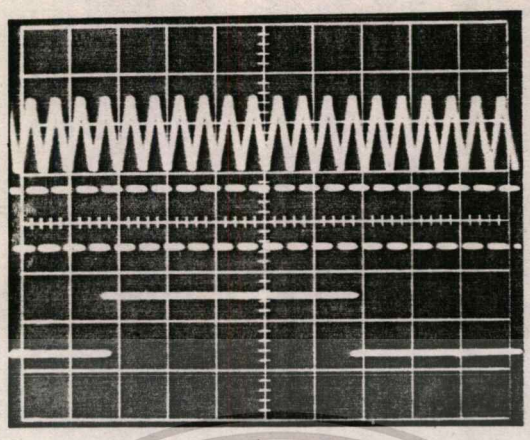


ภาพที่ 1 แสดงสัญญาณเอาท์พุทจาก TL 494 เพื่อไปขับมอสเฟส จะเห็นว่าสัญญาณทั้งสอง Out phase กัน และมีช่วงเวลา Dead time เพื่อป้องกันการ Short Branch

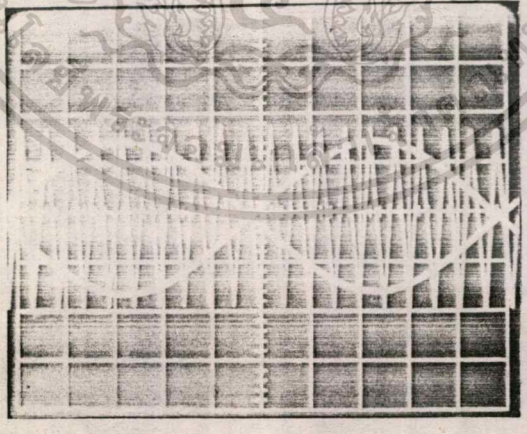


ภาพที่ 2 แสดงสัญญาณเมื่อนำสัญญาณดังภาพที่ 1 ไปผ่านพัลส์ทราสฟอร์มเมอร์เพื่อแยกกราวด์ในการขับมอสเฟส เนื่องจากไฟวงจรสวิทชิ่งเป็นแบบฟลบริดจ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

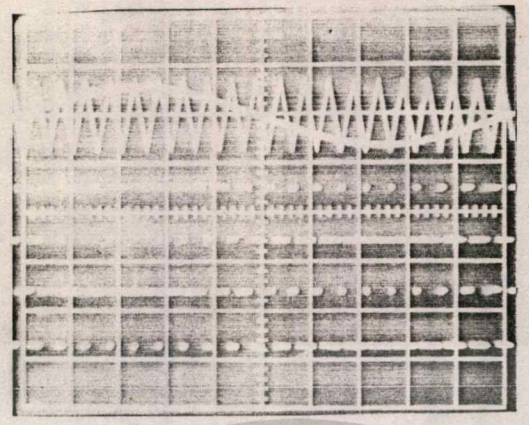


ภาพที่ 3 แสดงสัญญาณ Triangle,a ซึ่งเกิดจากการนำสัญญาณ square ขนาด 1 kHz ไปผ่านวงจร Integrate เพื่อนำสัญญาณนี้ไปเปรียบเทียบกับสัญญาณ sine ซึ่งสร้างมาจากสัญญาณ Square,c ดังภาพ

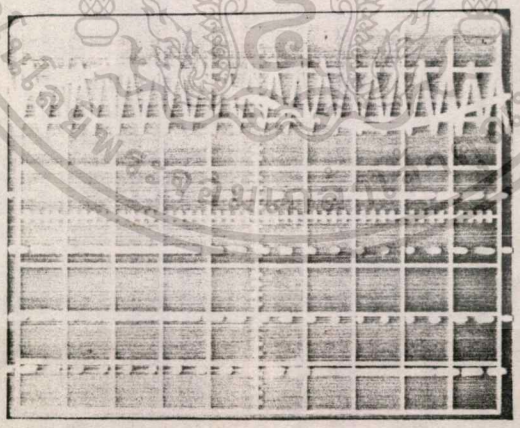


ภาพที่ 4 แสดงสัญญาณ sine 2 wave form ซึ่ง out of phase กับ 180 องศาและสัญญาณ Triangle ซึ่งเปรียบเทียบเพื่อสร้างสัญญาณ Gate

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

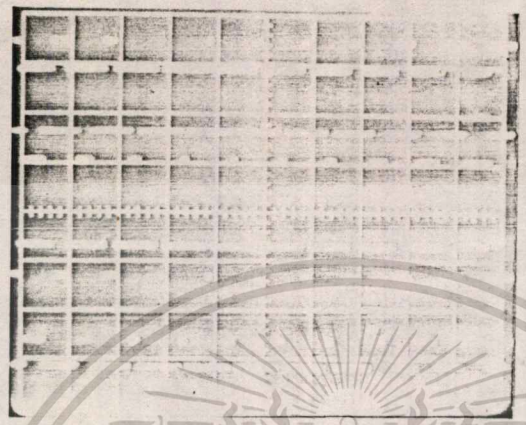


ภาพที่ 5 แสดงสัญญาณ G1 และ G3 ซึ่งได้จากการเปรียบเทียบสัญญาณ Sine กับสัญญาณ Triangle จะเห็นได้ว่าทั้งสองสัญญาณ Out of phase กัน



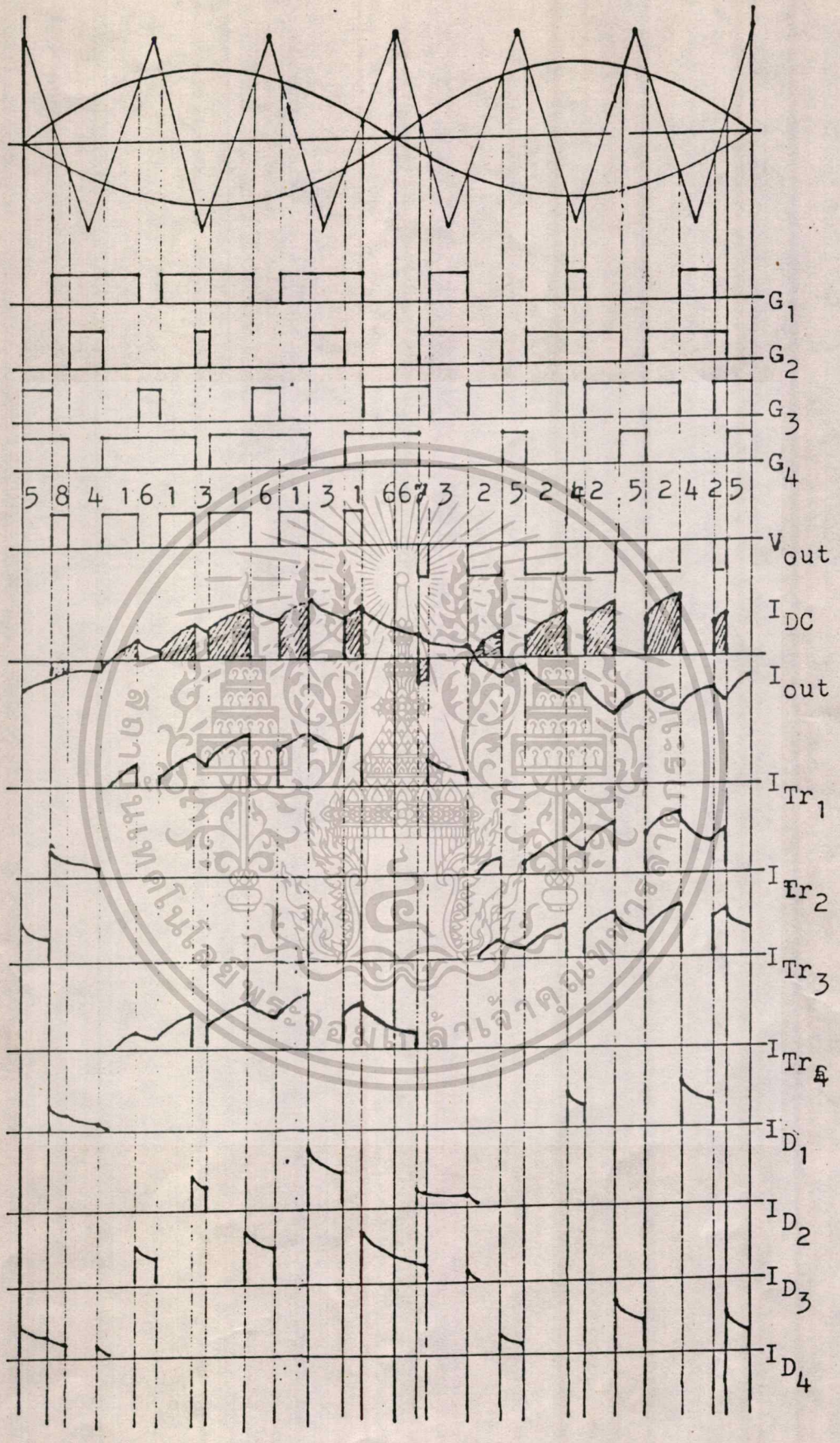
ภาพที่ 6 แสดงสัญญาณ G2 และ G4 ซึ่งได้จากการเปรียบเทียบสัญญาณ Sine กับสัญญาณ Triangle ซึ่งจะเห็นได้ว่า ทั้งสองสัญญาณ Out of phase กัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



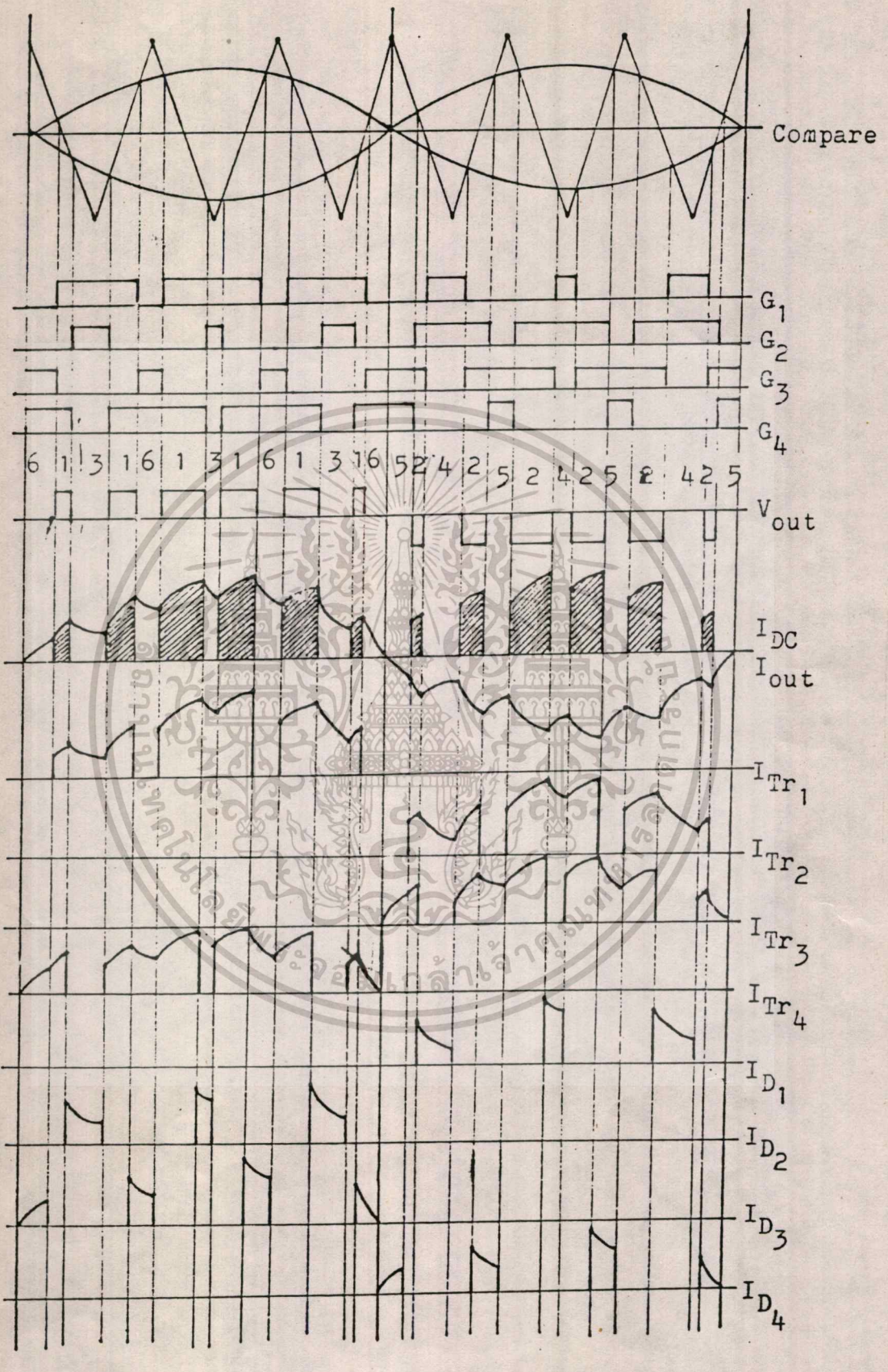
ภาพที่ 7 แสดงสัญญาณ trig G1,G2,G3 และ G4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



แสดงรูปคลื่นของวงจรกำลังกรณีเพาเวอร์แฟคเตอร์แลกกิ้ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



แสดงรูปคลื่นของวงจรกำลังกรณีเพาเวอร์แฟคเตอร์ = 1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 8

บทสรุป

จากผลการทดลองยังมีส่วนที่ต้องการปรับปรุงต่อไปคือ

1. การป้อนกลับเพื่อรักษาระดับแรงดันให้คงที่
2. ภาคกรองความถี่เพื่อให้ได้สัญญาณเอาท์พุทใกล้เคียง sine มากที่สุด
3. เนื่องจากระบบนี้เน้นที่ความน่าเชื่อถือ จึงมีความสูญเสียมาก จึงควรใช้กับโหลดขนาดใหญ่ที่คุ้มต่อการทำเครื่องต้นแบบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ขอขอบพระคุณอาจารย์ทุกท่านที่ให้ความช่วยเหลือเป็นอย่างดี

1. อาจารย์ศิริวัฒน์ โพธิเวชกุล
2. อาจารย์วิจิตร กิณเรศ

และคณาจารย์ภาควิชาวิศวกรรมไฟฟ้าทุกท่านและเพื่อนๆทุกคนที่ให้ความช่วยเหลือด้วยดี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

GATE TURN-OFF THYRISTOR

GFF200E

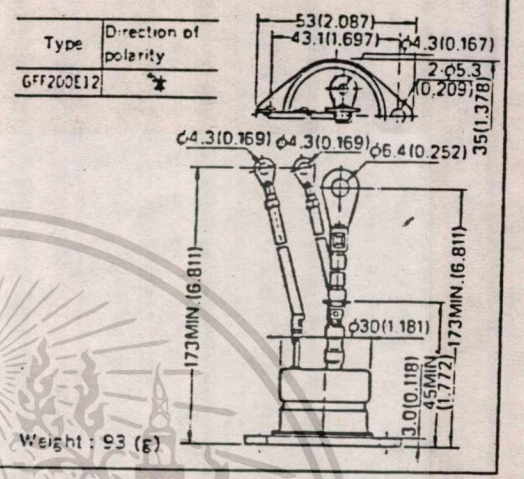
■特　長
- 大きな可制御電流
- 重金属ノンドープによるオン電圧の低減
- グラシベーションチップ使用による，高耐圧，高信頼性

■FEATURES
- High controllable on-state current.
- Lower on-state voltage due to non-doping heavy metal.
- High off-state voltage and high reliability due to glass-passivated chip.

Unit in mm(inch)

OUTLINE DRAWING

Type	Direction of polarity
GFF200E12	



Weight : 93 (g)

■MAXIMUM ALLOWABLE RATINGS

Items	Symbols	Units	GFF200E12
Repetitive Peak Off State Voltage	V_{DRM}	V	1,200 (1)
RMS On State Current	$I_{T(RMS)}$	A	70 (T_c = 60℃)
Repetitive Controllable On State Current	I_{TCM}	A	200 (2)
Non-Repetitive Controllable On State Current	I_{TCM}	A	250 (3)
Surge Non-Repetitive On State Current	I_{TSM}	A	500 (4)
I²t Limit Value	I²t	A²sec.	1E3 (5)
Critical Rate of Rise of On State Current	di/dt	A/μsec	200 (6)
Repetitive Peak Reverse Gate Voltage	V_{GRM}	V	13 (7)
Repetitive Average Forward Gate Power Dissipation	$P_{G(AV)}$	W	12
Repetitive Peak Forward Gate Power Dissipation	P_{GFM}	W	36
Repetitive Average Reverse Gate Power Dissipation	$P_{GR(AV)}$	W	20
Repetitive Peak Reverse Gate Power Dissipation	P_{GRM}	W	1,500
Operating Junction Temperature	T_j	℃	−40 ~ +125
Storage Temperature	T_{stg}	℃	−40 ~ +125

NOTE
(1) V_{GK} = 5V or R_{GK} ≦ 100Ω
(2) V_D = 800V, Over shoot voltage = 100V, E_{GG} = 12V, C_s = 0.47μF, L_s = 0.4μH, L_K = 0.1μH, f = 1KHz.
(3) V_D = 800V, Over shoot voltage = 100V, E_{GG} = 12V, C_s = 0.47μF, L_s = 2.7μH, L_K = 0.1μH
(4) 1.5msec conduction, Half sine wave, 1cycle.
(5) 1.5msec conduction, I = RMS Value
(6) I_{GM} = 8A, dig dt = 4A/μs, Gate pulse width = 10μs, V_D = 800V.
(7) This value may be exceeded at the turn-off period provided the peak reverse gate power dissipation does not exceed the rated P_{GRM} value.
(8) The reverse voltage between anode and cathode shall not exceed the rated V_{GRM} value.

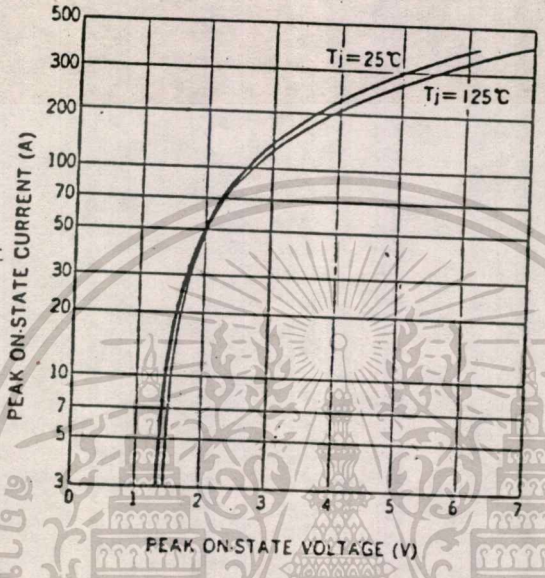
■CHARACTERISTICS (T_j = 25℃ unless otherwise specified)

Items	Symbols	Units	Min	Typ.	Max.	Test Conditions
Peak Off-State Current	I_{DRM}	mA	—	—	1	$V_D = V_{DRM}$, R_{GK} = 100Ω
Peak On-State Voltage	V_{TM}	V	—	—	3.8	I_{TM} = 200A
DC Gate Trigger Current	I_{GT}	mA	—	—	600	V_D = 24V, R_L = 2Ω
DC Gate Trigger Voltage	V_{GT}	V	—	—	1.5	
Critical Rate of Rise of Off State Voltage	dv/dt	V/μsec.	1,000	—	—	V_D = 800V, T_j = 125℃, V_{GK} = 5V or R_{GK} = 100Ω
Holding Current	I_H	A	—	4	—	V_D = 24V
Latching Current	I_L	A	—	6	—	V_D = 24V
Turn-On Time	t_{gt}	μsec.	—	3.0	4.0	V_D = 800V
(Delay Time)	t_d	μsec.	—	1.0	—	I_{TM} = 200A
(Rise Time)	t_r	μsec.	—	2.0	—	I_{GT} = 8A
Gate Turn-Off Time	t_{gq}	μsec.	—	4.5	6.0	V_D = 800V, I_{TM} = 200A
(Storage Time)	t_s	μsec.	—	4.0	—	E_{GG} = 12V
(Fall Time)	t_f	μsec.	—	0.5	—	L_G = 0.4μH
Turn-Off Gate Charge	Q_{GQ}	μC	—	200	300	
Steady State Thermal Impedance	$R_{th(j-c)}$	℃/W	—	—	0.35	Junction to Case

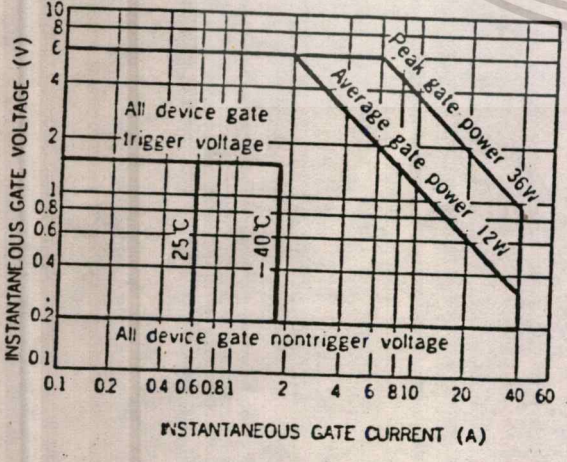
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

GFF200E

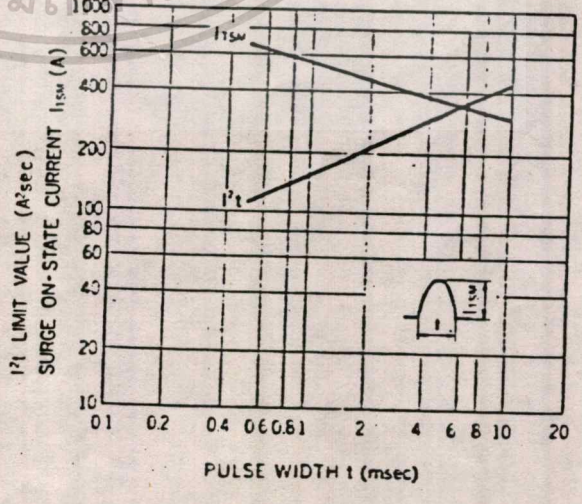
順 特 性
ON-STATE VOLTAGE CHARACTERISTICS



ゲートトリガ特性
GATE TRIGGERING CHARACTERISTICS



サージオン電流特性（非繰返し）
SURGE ON-STATE CURRENT CHARACTERISTICS
(NON-REPETITIVE)

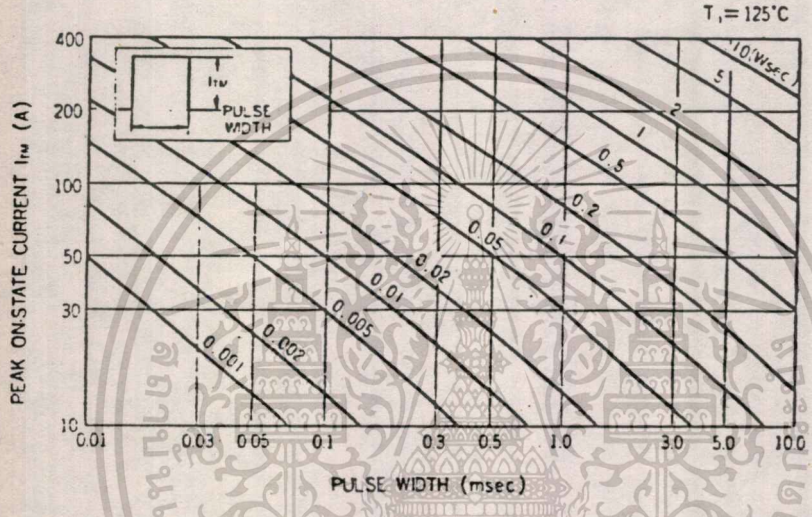


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

GFF200E

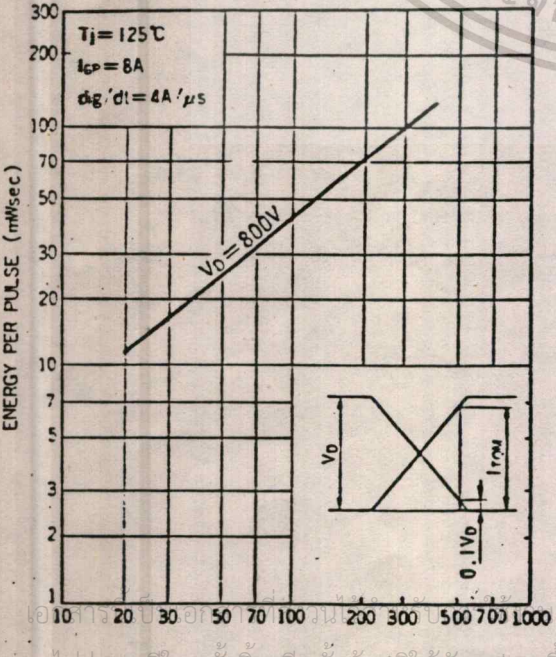
方形波1パルス当りのエネルギー損失特性(導通時)

ON-STATE ENERGY PER PULSE



1パルス当りのエネルギー損失特性（ターンオン時）

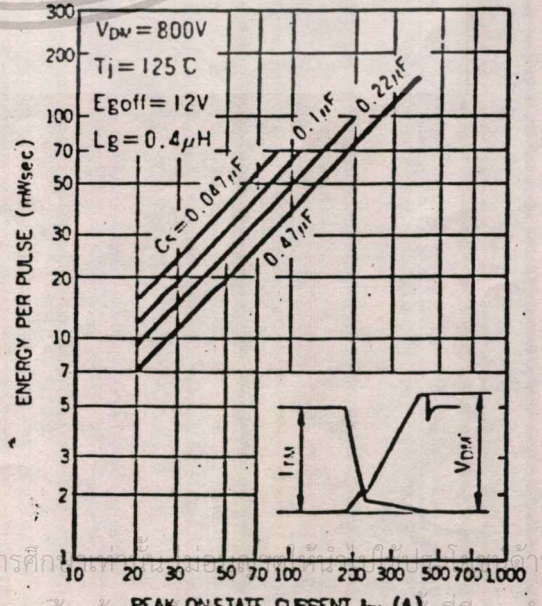
ENERGY PER PULSE (AT TURN-ON)



1パルス当りのエネルギー損失特性

（ゲートターンオフ時）

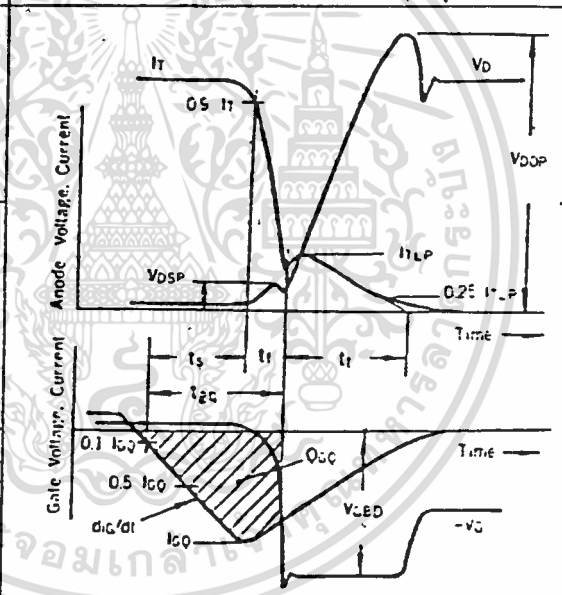
ENERGY PER PUSE (AT GATE TURN-OFF)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้ ไม่ว่ากรณีใดๆ ทั้งสิ้น ไม่อนุญาตให้นำไปใช้เพื่อการค้า ไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Terms	Symbols	Definitions
Repetitive Average Reverse Gate Power Dissipation	$P_{GR(AV)}$	Maximum average value of reverse power dissipation during one cycle allowable between gate terminal and cathode terminal.
Repetitive Peak Reverse Gate Power Dissipation	P_{GRM}	Maximum peak value of reverse power dissipation continuously allowable between gate terminal and cathode terminal.
Operating Junction Temperature	Tj	Temperature at junction which defined as basis of ratings and indicated by range of allowable temperature.
Storage Temperature	Tstg	Range of allowable temperature for storage of device.
Peak Off-State Current	I_{DRM}	Maximum instntaneous value of forward leakage current for applying specified forward voltage under specified conditions.
Peak On-State Voltage	V_{TM}	Maximum instantaneous value of on-state voltage obtained when repetitive controllable on-state current flows under specified conditions.
DC Gate Trigger Current	I_{GT}	Minimum value of DC forward gate current capable of triggering any GTO of the same type at specified conditions.
DC Gate Trigger Voltage	V_{GT}	Minimum value of DC forward gate voltage capable of triggering any GTO of the same type at specified conditions.
Critical Rate of Rise of Off-State Voltage	dv/dt	Under specified conditions, minimum increase rate of off-state voltage to cause switching of device from off-state to on-state.
Holding Current	I_H	When device is in on-state under specified conditions, critical value of on-state current below which the device return to off-state.
Latching Current	I_L	Under specified conditions and load state, minimum on-state current required to keep on-state after switching of device to on-state and removal of gate signal.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

Terms	Symbols	Definitions
(Gate Controlled) Turn-On Time	t_{gt}	Under specified conditions with resistive load connected, time required for on-state current to reach 90% of its final value after the moment when gate current pulse has reached 10% of its final value and through the subsequent switching of device from off-state to on-state. $(t_d + t_r)$
Delay Time	t_d	Time required for on-state current to reach 10% of its final value after the moment when gate current pulse has reached 10% of its final value.
Rise Time	t_r	Time required for on-state current to reach 90% from 10% of its final value.
(Gate Controlled) Turn-Off Time	t_{gg}	
Storage Time	t_s	
Fall Time	t_f	
Turn-Off Gate Charge	Q_{GQ}	
Steady State Thermal Impedance	$Rth_{(j-c)}$	Under themally steady state while device is continuously energized, value of temperature difference between junction and case, per unit power dissipation at junction. Unit is °C/W.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

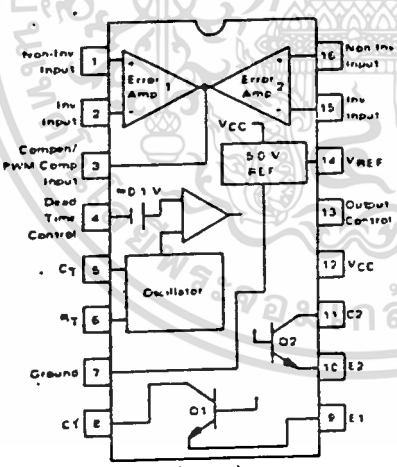
MOTOROLA

TL494

SWITCHMODE PULSE WIDTH MODULATION CONTROL CIRCUITS

The TL494 is a fixed frequency, pulse width modulation control circuit designed primarily for Switchmode power supply control. This device features:

- Complete Pulse Width Modulation Control Circuitry
- On-Chip Oscillator With Master Or Slave Operation
- On-Chip Error Amplifiers
- On-Chip 5 Volt Reference
- Adjustable Dead-Time Control
- Uncommitted Output Transistors Rated to 500 mA Source Or Sink
- Output Control For Push-Pull Or Single-Ended Operation
- Undervoltage Lockout

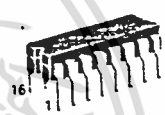


(top view)

The TL494C is specified over the commercial operating range of 0°C to 70°C. The TL494I is specified over the industrial range of – 25°C to 85°C. The TL494M is specified over the full military range of – 55°C to 125°C.

SWITCHMODE PULSE WIDTH MODULATION CONTROL CIRCUITS

SILICON MONOLITHIC INTEGRATED CIRCUITS



J SUFFIX
CERAMIC PACKAGE
CASE 620-10

N SUFFIX
PLASTIC PACKAGE
CASE 648-06

ORDERING INFORMATION

Device	Temperature Range	Package
TL494CN	0° to + 70°C	Plastic DIP
TL494CJ	0° to + 70°C	Ceramic DIP
TL494IN	– 25° to + 85°C	Plastic DIP
TL494IJ	– 25° to + 85°C	Ceramic DIP
TL494MJ	– 55° to + 125°C	Ceramic DIP

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS (V_{CC} = 15 V, C_T = 0.01 μF, R_T = 12 kΩ unless otherwise noted.)
For typical values T_A = 25°C, for min/max values T_A is the operating ambient temperature range that applies unless otherwise noted.

Characteristic	Symbol	TL494C,I			TL494M			Unit
		Min	Typ	Max	Min	Typ	Max	
OUTPUT SECTION								
Collector Off-State Current (V_{CC} = 40 V, V_{CE} = 40 V)	$I_{C(off)}$	—	2.0	100	—	2.0	100	μA
Emitter Off-State Current (V_{CC} = 40 V, V_C = 40 V, V_E = 0 V)	$I_{E(off)}$	—	—	-100	—	—	-150	μA
Collector-Emitter Saturation Voltage (2) Common-Emitter (V_E = 0 V, I_C = 200 mA)	$V_{SAT(C)}$	—	1.1	1.3	—	1.1	1.5	V
Emitter-Follower (V_C = 15 V, I_E = -200 mA)	$V_{SAT(E)}$	—	1.5	2.5	—	1.5	2.5	V
Output Control Pin Current Low State (V_{OC} = 0.4 V)	I_{OCL}	—	10	—	—	10	—	μA
High State (V_{OC} = V_{ref})	I_{OCH}	—	0.2	3.5	—	0.2	3.5	mA
Output Voltage Rise Time Common-Emitter (See Figure 13)	t_r	—	100	200	—	100	200	ns
Emitter-Follower (See Figure 14)		—	100	200	—	100	200	ns
Output Voltage Fall Time Common-Emitter (See Figure 13)	t_f	—	25	100	—	25	100	ns
Emitter-Follower (See Figure 14)		—	40	100	—	40	100	ns

Characteristic	Symbol	TL494			Unit
		Min	Typ	Max	
ERROR AMPLIFIER SECTIONS					
Input Offset Voltage (V_O (Pin 3) = 2.5 V)	V_{IO}	—	2.0	10	mV
Input Offset Current (V_O (Pin 3) = 2.5 V)	I_{IO}	—	5.0	250	nA
Input Bias Current (V_O (Pin 3) = 2.5 V)	I_{IB}	—	-0.1	-1.0	μA
Input Common-Mode Voltage Range (V_{CC} = 40 V, T_A = 25°C)	V_{ICR}	-0.3 to V_{CC} - 2.0	—	—	V
Open-Loop Voltage Gain (ΔV_O = 3.0 V, V_O = 0.5 to 3.5 V, R_L = 2.0 kΩ)	A_{VOL}	70	95	—	dB
Unity-Gain Crossover Frequency (V_O = 0.5 to 3.5 V, R_L = 2.0 kΩ)	f_C	—	350	—	kHz
Phase Margin at Unity-Gain (V_O = 0.5 to 3.5 V, R_L = 2.0 kΩ)	ϕ_m	—	65	—	deg
Common-Mode Rejection Ratio (V_{CC} = 40 V)	CMRR	65	90		dB
Power Supply Rejection Ratio (ΔV_{CC} = 33 V, V_O = 2.5 V, R_L = 2.0 kΩ)	PSRR	—	100	—	dB
Output Sink Current (V_O (Pin 3) = 0.7 V)	I_O-	0.3	0.7	—	mA
Output Source Current (V_O (Pin 3) = 3.5 V)	I_O+	2.0	4.0	—	mA

NOTE 2. Low duty cycle pulse techniques are used during test to maintain junction temperature as close to ambient temperatures as possible.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MAXIMUM RATINGS (Full operating ambient temperature range applies unless otherwise noted)

Rating	Symbol	TL494C	TL494I	TL494M	Unit
Power Supply Voltage	V_{CC}	42	42	42	V
Collector Output Voltage	V_{C1}, V_{C2}	42	42	42	V
Collector Output Current (each transistor) (1)	I_{C1}, I_{C2}	500	500	500	mA
Amplifier Input Voltage Range	V_{IR}	-0.3 to 42	-0.3 to 42	-0.3 to 42	V
Power Dissipation @ T_A = 45°C	P_D	1000	1000	1000	mW
Operating Junction Temperature Plastic Package Ceramic Package	T_J	 125 150	 125 150	 — 150	°C °C °C
Operating Ambient Temperature Range	T_A	0 to 70	-25 to 85	-55 to 125	°C
Storage Temperature Range Plastic Package Ceramic Package	T_{stg}	 -55 to 125 -65 to 150	 -55 to 125 -65 to 150	 — -65 to 150	°C

NOTE 1. Maximum thermal limits must be observed

THERMAL CHARACTERISTICS

Characteristics	Symbol	N Suffix Plastic Package	J Suffix Ceramic Package	Unit
Thermal Resistance, Junction to Ambient	$R_{\theta JA}$	80	100	°C/W
Derating Ambient Temperature	T_A	45	50	°C

RECOMMENDED OPERATING CONDITIONS

Condition/Value	Symbol	TL494			Unit
		Min	Typ	Max	
Power Supply Voltage	V_{CC}	7.0	15	40	V
Collector Output Voltage	V_{C1}, V_{C2}	—	30	40	V
Collector Output Current (each transistor)	I_{C1}, I_{C2}	—	—	200	mA
Amplifier Input Voltage	V_{in}	-0.3	—	V_{CC} - 2.0	V
Current Into Feedback Terminal	I_{fb}	—	—	0.3	mA
Reference Output Current	I_{ref}	—	—	10	mA
Timing Resistor	R_T	1.8	30	500	kΩ
Timing Capacitor	C_T	0.0047	0.001	10	μF
Oscillator Frequency	f_{osc}	1.0	40	200	kHz

ELECTRICAL CHARACTERISTICS (V_{CC} = 15 V, C_T = 0.01 μF, R_T = 12 kΩ unless otherwise noted.)
For typical values T_A = 25°C, for min max values T_A is the operating ambient temperature range that applies unless otherwise noted.

Characteristic	Symbol	TL494C,I			TL494M			Unit
		Min	Typ	Max	Min	Typ	Max	
REFERENCE SECTION								
Reference Voltage (I_O = 1.0 mA)	V_{ref}	4.75	5.0	5.25	4.75	5.0	5.25	V
Line Regulation (V_{CC} = 7.0 V to 40 V)	Reg_{line}	—	2.0	25	—	2.0	25	mV
Load Regulation (I_O = 1.0 mA to 10 mA)	Reg_{load}	—	3.0	15	—	3.0	15	mV
Short-Circuit Output Current (V_{ref} = 0 V)	I_{SC}	15	35	75	15	35	75	mA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS (V_{CC} = 15 V, C_T = 0.01 μF, R_T = 12 kΩ unless otherwise noted.)
For typical values T_A = 25°C, for min/max values T_A is the operating ambient temperature range that applies unless otherwise noted.

Characteristic	Symbol	TL494			Unit
		Min	Typ	Max	
PWM COMPARATOR SECTION (Test Circuit Figure 12)					
Input Threshold Voltage (Zero duty cycle)	V_{TH}	—	3.5	4.5	V
Input Sink Current ($V_{(Pin\ 3)}$ = 0.7 V)	I_{I-}	0.3	0.7	—	mA
DEAD-TIME CONTROL SECTION (Test Circuit Figure 12)					
Input Bias Current (Pin 4) ($V_{Pin\ 4}$ = 0 to 5.25 V)	$I_{IB\ (DT)}$	—	−2.0	−10	μA
Maximum Duty Cycle, Each Output, Push-Pull Mode ($V_{Pin\ 4}$ = 0 V, C_T = 0.01 μF, R_T = 12 kΩ)	DC_{max}	45	48	50	%
($V_{Pin\ 4}$ = 0 V, C_T = 0.001 μF, R_T = 30 kΩ)		—	45	50	
Input Threshold Voltage (Pin 4) (Zero Duty Cycle)	V_{TH}	—	2.8	3.3	V
(Maximum Duty Cycle)		0	—	—	
OSCILLATOR SECTION					
Frequency (C_T = 0.001 μF, R_T = 30 kΩ)	f_{osc}	—	40	—	kHz
Standard Deviation of Frequency* (C_T = 0.001 μF, R_T = 30 kΩ)	σf_{osc}	—	3.0	—	%
Frequency Change with Voltage (V_{CC} = 7.0 V to 40 V, T_A = 25°C)	$\Delta f_{osc}\ (\Delta V)$	—	0.1	—	%
Frequency Change with Temperature (ΔT_A = T_{low} to T_{high}) (C_T = 0.01 μF, R_T = 12 kΩ)	$\Delta f_{osc}\ (\Delta T)$	—	—	12	%
UNDERVOLTAGE LOCKOUT SECTION					
Turn-On Threshold (V_{CC} increasing, I_{ref} = 1.0 mA)	V_{th}	5.5	6.43	7.0	V
TOTAL DEVICE					
Standby Supply Current (Pin 6 at V_{ref}, All Other Inputs and Outputs Open)	I_{CC}				mA
(V_{CC} = 15 V)		—	5.5	10	
(V_{CC} = 40 V)		—	7.0	15	
Average Supply Current ($V_{(Pin\ 4)}$ = 2.0 V) (See Figure 12) (C_T = 0.01 μF, R_T = 12 kΩ, V_{CC} = 15 V)	—	—	7.0	—	mA

* Standard deviation is a measure of the statistical distribution about the mean as derived from the formula $\sigma = \sqrt{\frac{\sum_{n=1}^{n} (x_n - \bar{x})^2}{n-1}}$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FIGURE 4 — OSCILLATOR FREQUENCY versus TIMING RESISTANCE

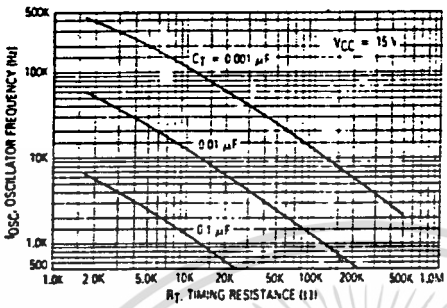


FIGURE 5 — OPEN-LOOP VOLTAGE GAIN AND PHASE versus FREQUENCY

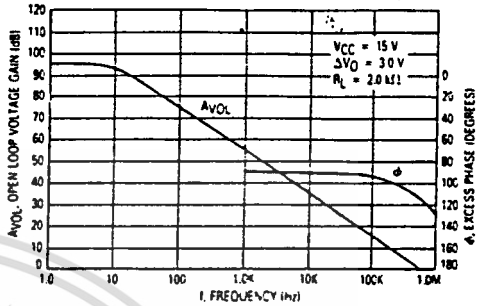


FIGURE 6 — PERCENT DEAD-TIME versus OSCILLATOR FREQUENCY

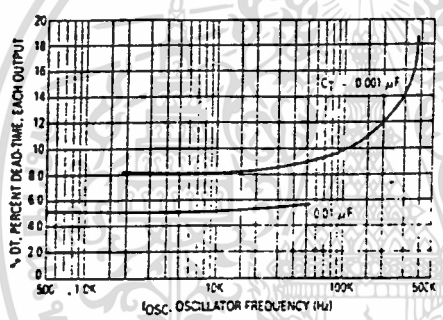


FIGURE 7 — PERCENT DUTY CYCLE versus DEAD-TIME CONTROL VOLTAGE

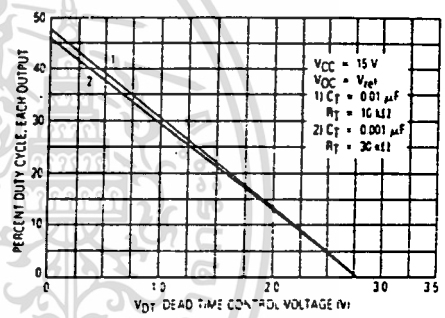


FIGURE 8 — EMITTER FOLLOWER CONFIGURATION OUTPUT SATURATION VOLTAGE versus EMITTER CURRENT

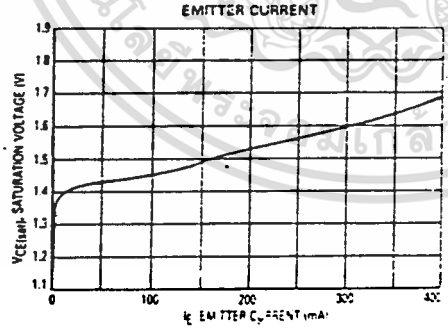
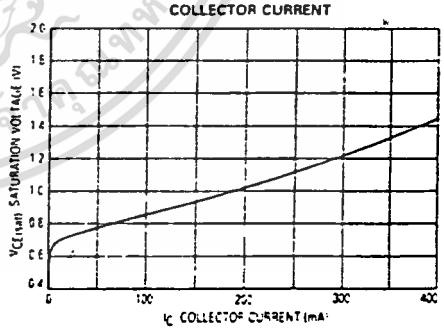


FIGURE 9 — COMMON EMITTER CONFIGURATION OUTPUT SATURATION VOLTAGE versus COLLECTOR CURRENT



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FIGURE 10 — STANDBY SUPPLY CURRENT versus SUPPLY VOLTAGE

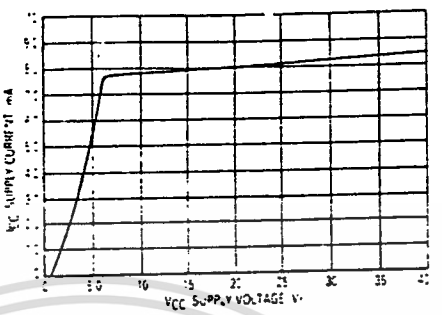


FIGURE 11 — ERROR AMPLIFIER CHARACTERISTICS

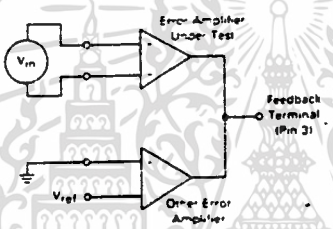


FIGURE 12 — DEAD-TIME AND FEEDBACK CONTROL TEST CIRCUIT

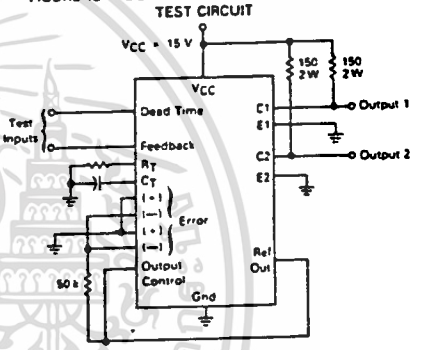


FIGURE 13 — COMMON-EMITTER CONFIGURATION TEST CIRCUIT AND WAVEFORM

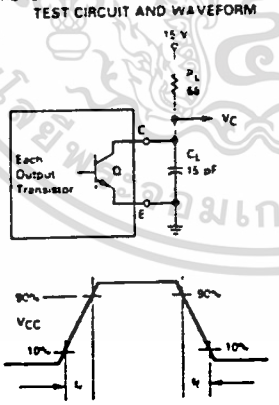
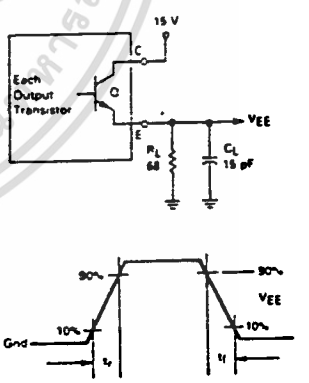


FIGURE 14 — EMITTER-FOLLOWER CONFIGURATION TEST CIRCUIT AND WAVEFORM



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FIGURE 15 — ERROR-AMPLIFIER SENSING TECHNIQUES

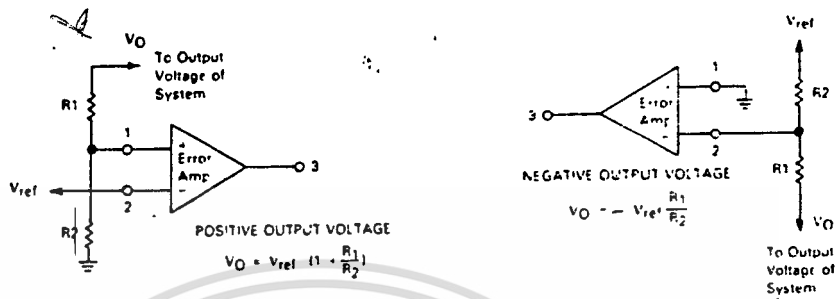


FIGURE 16 — DEAD-TIME CONTROL CIRCUIT

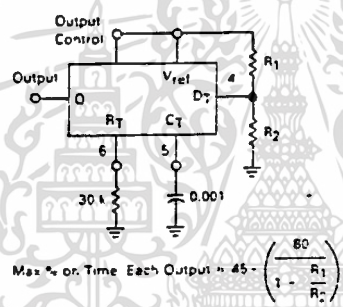


FIGURE 17 — SOFT START CIRCUIT

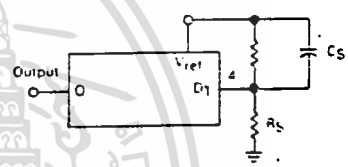
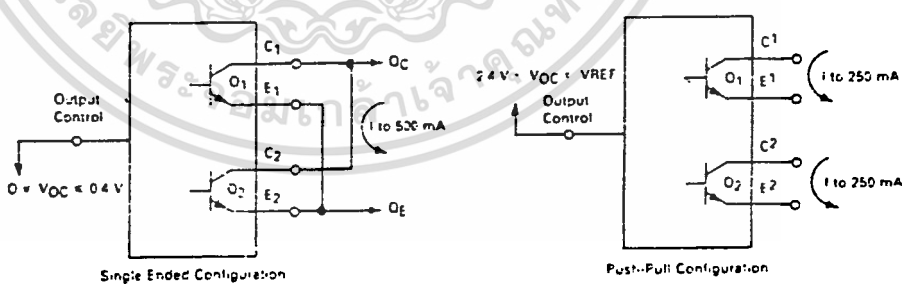


FIGURE 18 — OUTPUT CONNECTIONS FOR SINGLE-ENDED AND PUSH-PULL CONFIGURATIONS



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FIGURE 19 — SLAVING TWO OR MORE CONTROL CIRCUITS

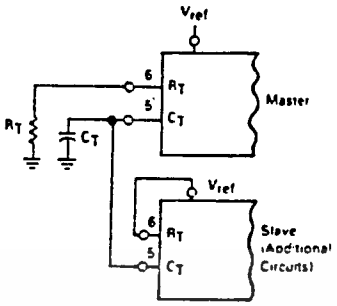


FIGURE 20 — OPERATION WITH V_{IN} > 40 V USING EXTERNAL ZENER

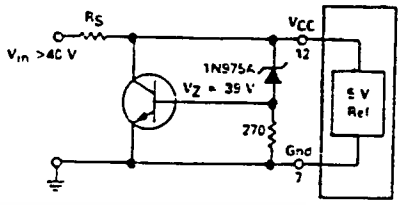
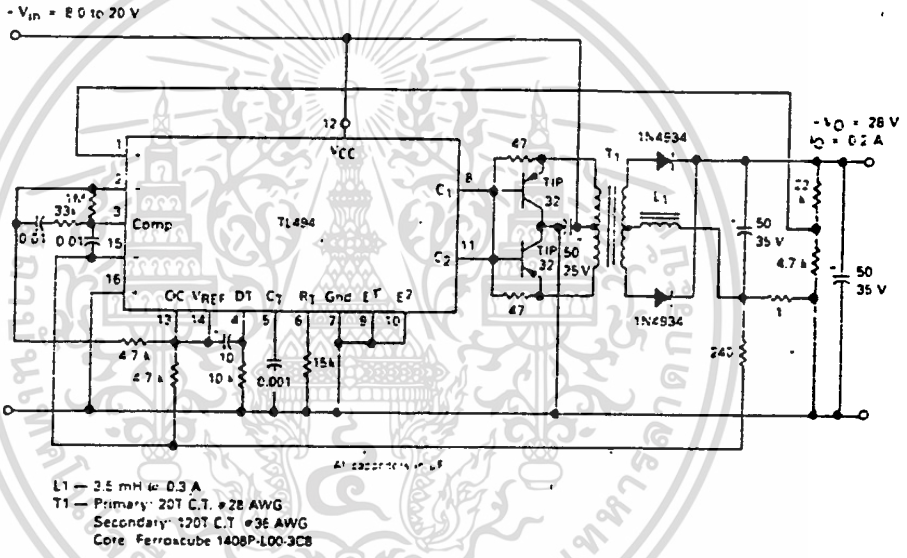


FIGURE 21 — PULSE-WIDTH MODULATED PUSH-PULL CONVERTER



L1 — 2.5 mH @ 0.3 A
T1 — Primary: 20T C.T. #28 AWG
Secondary: 120T C.T. #36 AWG
Core: Ferroxcube 1408P-L00-3C8

TEST	CONDITIONS	RESULTS
Line Regulation	V_{in} = 10 V to 40 V	14 mV 0.28%
Load Regulation	V_{in} = 28 V, I_O = 1 mA to 1 A	3.0 mV 0.06%
Output Ripple	V_{in} = 28 V, I_O = 1.0 A	65 mV P-P P.A.R.D
Short Circuit Current	V_{in} = 28 V, R_L = 0.1 Ω	1.6 amps
Efficiency	V_{in} = 28 V I_O = 1 A	71%

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FIGURE 1 — BLOCK DIAGRAM

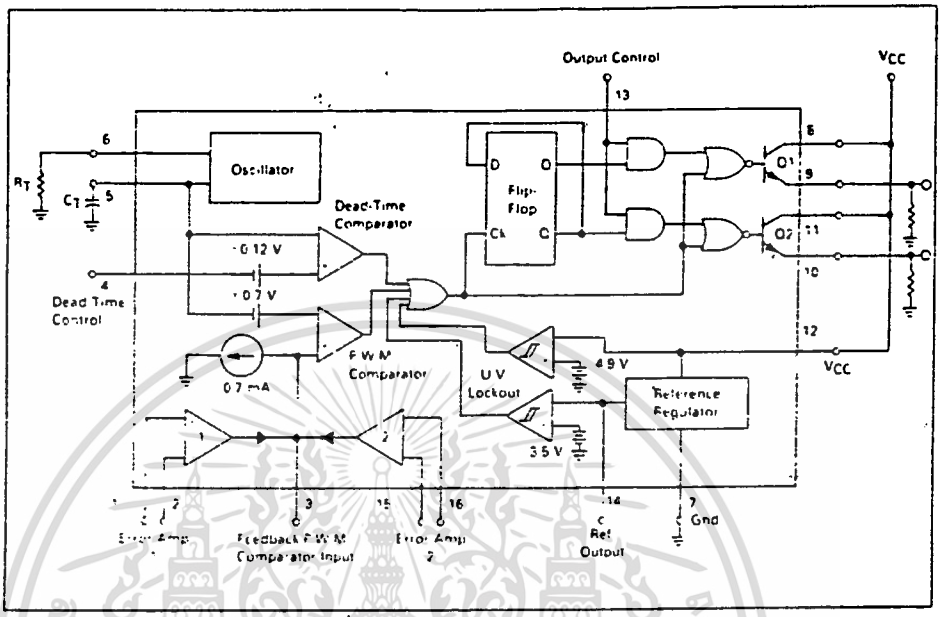
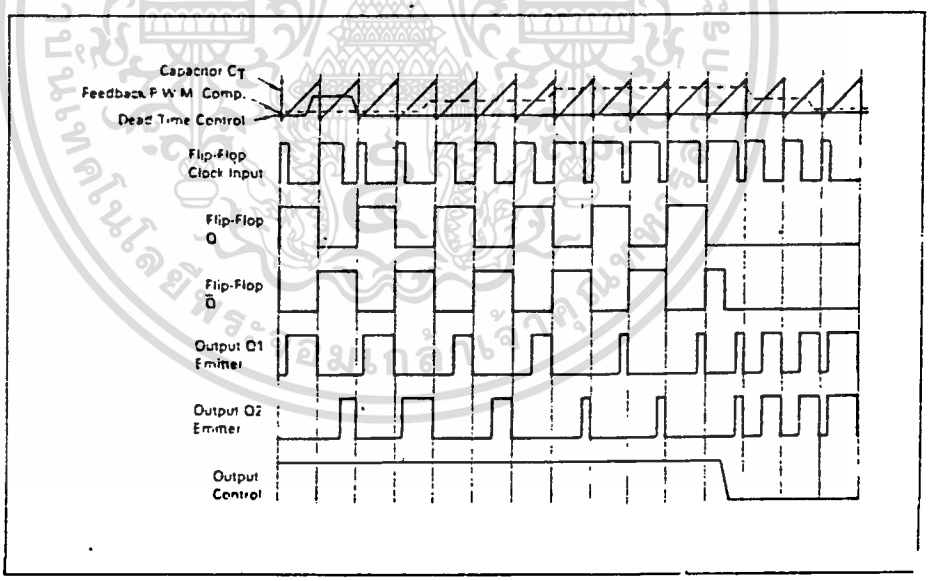


FIGURE 2 — TIMING DIAGRAM



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Description

The TL494 is a fixed-frequency pulse width modulation control circuit, incorporating the primary building blocks required for the control of a switching power supply. (See Figure 1.) An internal-linear sawtooth oscillator is frequency-programmable by two external components, R_T and C_T. The approximate oscillator frequency is determined by:

$$f_{osc} \approx \frac{1.1}{R_T \bullet C_T}$$

For more information refer to Figure 4.

Output pulse width modulation is accomplished by comparison of the positive sawtooth waveform across capacitor C_T to either of two control signals. The NOR gates, which drive output transistors Q1 and Q2, are enabled only when the flip-flop clock-input line is in its low state. This happens only during that portion of time when the sawtooth voltage is greater than the control signals. Therefore, an increase in control-signal amplitude causes a corresponding linear decrease of output pulse width. (Refer to the timing diagram shown in Figure 2.)

The control signals are external inputs that can be fed into the dead-time control, the error amplifier inputs, or the feedback input. The dead-time control comparator has an effective 120 mV input offset which limits the minimum output dead time to approximately the first 4% of the sawtooth-cycle time. This would result in a maximum duty cycle on a given output of 96% with the output control grounded, and 48% with it connected to the reference line. Additional dead time may be imposed on the output by setting the dead time-control input to a fixed voltage, ranging between 0 to 3.3 V.

The pulse width modulator comparator provides a means for the error amplifiers to adjust the output pulse width from the maximum percent on-time, established by the dead time control input, down to zero, as the voltage at the feedback pin varies from 0.5 to 3.5 V. Both error amplifiers have a common-mode input range from −0.3 V to V_{CC} − 2 V), and may be used to sense power-supply output voltage and current. The error-amplifier outputs are active high and are ORed together at the non-inverting input of the pulse-width modulator comparator. With this configuration, the amplifier that demands minimum output on time, dominates control of the loop.

When capacitor C_T is discharged, a positive pulse is generated on the output of the dead-time comparator, which clocks the pulse-steering flip-flop and inhibits the output transistors, Q1 and Q2. With the output-control connected to the reference line, the pulse-steering flip-flop directs the modulated pulses to each of the two output transistors alternately for push-pull operation. The output frequency is equal to half that of the oscillator. Output drive can also be taken from Q1 or Q2, when single-ended operation with a maximum on-time of less than 50% is required. This is desirable when the output transformer has a ringback winding with a catch diode used for snubbing. When higher output-drive currents are required for single-ended operation, Q1 and Q2 may be connected in parallel, and the output-mode pin must be tied to ground to disable the flip-flop. The output frequency will now be equal to that of the oscillator.

The TL494 has an internal 5 V reference capable of sourcing up to 10 mA of load current for external bias circuits. The reference has an internal accuracy of ± 1.5% with a typical thermal drift of less than 50 mV over an operating temperature range of 0 to 70°C.

FIGURE 3 — FUNCTIONAL TABLE

Input Output Control	Output Function	$\frac{f_{out}}{f_{osc}}$ =
Grounded	Single-ended P W M. at Q1 and Q2	1
At V_{ref}	Push-pull operation	0.5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SCL4093B Preliminary

CMOS QUAD SCHMITT TRIGGER

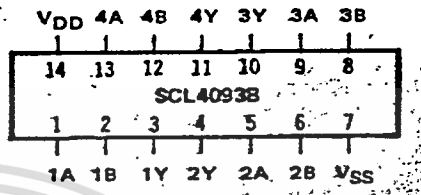
FEATURES

- Schmitt Trigger Action on each Input with no External Components
- Quad 2-Input NAND Configuration
- Noise Immunity Greater than 50%
- No Limit on Input Rise and Fall Times
- Balanced Output Drive Current Specifications

DESCRIPTION

The SCL4093B consists of four Schmitt trigger circuits. Each circuit functions as a 2-input NAND gate with Schmitt trigger action on both inputs. The gate switches at different points for positive- and negative-going signals. The difference between the positive voltage (V_P) and the negative voltage (V_N) is defined as the hysteresis voltage (V_H). This device is useful in high-noise environments and in wave and pulse shapers and multivibrators.

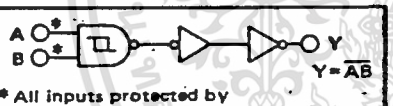
CONNECTION DIAGRAM
(all packages)



Add suffix for package:

- C 14-pin Cerdip
- D 14-pin Ceramic
- E 14-pin Epoxy
- F 14-pin Flat
- H Chip

LOGIC DIAGRAM



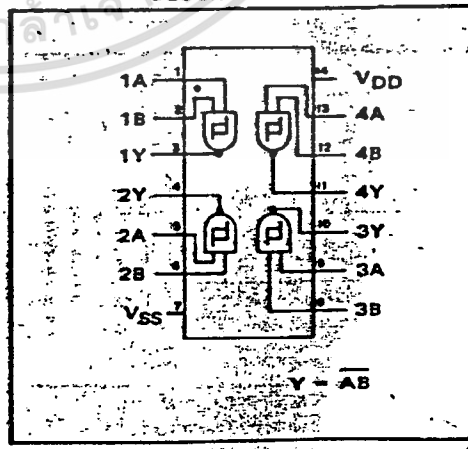
* All inputs protected by Standard Protection Network

RECOMMENDED OPERATING CONDITIONS

For maximum reliability:

DC Supply Voltage	$V_{DD} - V_{SS}$	3 to 15 Vdc
Operating Temperature	T_A	
C, D, F, H Device		-55 to +125 °C
E Device		-40 to +85 °C

BLOCK DIAGRAM



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS

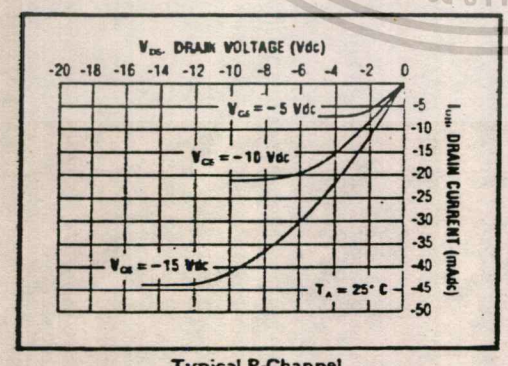
STATIC CHARACTERISTICS [1,3]

PARAMETER		V_{DD} (Vdc)	CONDITIONS	T_{LOW} [2] Min.	T_{LOW} [2] Max.	+25°C Min.	+25°C Typ.	+25°C Max.	T_{HIGH} [2] Min.	T_{HIGH} [2] Max.	Units
QUIESCENT DEVICE CURRENT	I_{DD}	5	$V_{IN}=V_{SS}$ or V_{DD}	–	0.05	–	0.0005	0.05	–	1.5	µAdc
		10	All valid input	–	0.10	–	0.001	0.10	–	3.0	
		15	combinations	–	0.20	–	0.002	0.20	–	6.0	
POSITIVE TRIGGER THRESHOLD VOLTAGE	V_P (V_{IL})	5		3 typ			2.9 typ		2.9 typ		Vdc
		10		5.9 typ			5.9 typ		5.9 typ		
		15		8.9 typ			8.9 typ		8.9 typ		
NEGATIVE TRIGGER THRESHOLD VOLTAGE	V_N (V_{IH})	5		2.6 typ			2.3 typ		2.1 typ		Vdc
		10		4 typ			3.9 typ		3.8 typ		
		15		5.5 typ			5.4 typ		5.3 typ		

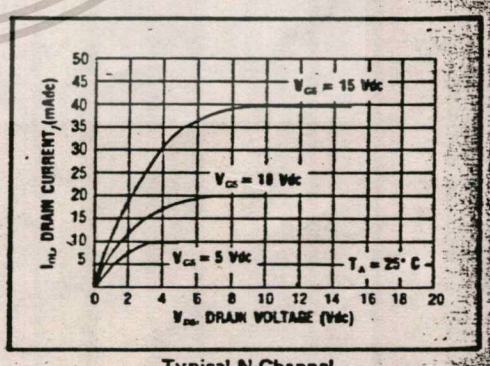
NOTES: [1] Remaining Static Electrical Characteristics are listed under "SCL4000B Series Family Specifications".
[2] T_{LOW} = –55°C for C, D, F, H device,
= –40°C for E device.
T_{HIGH} = +125°C for C, D, F, H device.
= + 85°C for E device.
[3] This device has been designed for balanced output drive current specifications. Consult Family Specifications.

DYNAMIC CHARACTERISTICS (C_L = 50pF, T_A = 25°C)

PARAMETER		V_{DD} (Vdc)	Min.	Typ.	Max.	Units
PROPAGATION DELAY TIME	t_{PLH}, t_{PHL}	5	–	300	600	ns
		10	–	150	300	
		15	–	120	240	
OUTPUT TRANSITION TIME	t_{TLH}, t_{THL}	5	–	100	200	ns
		10	–	50	100	
		15	–	40	80	

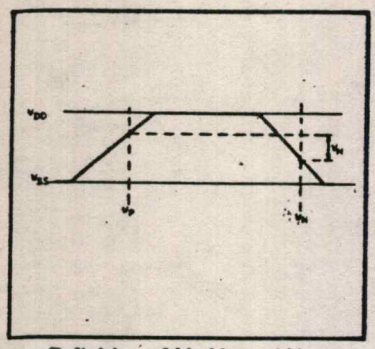


Typical P-Channel
Source Current Characteristics

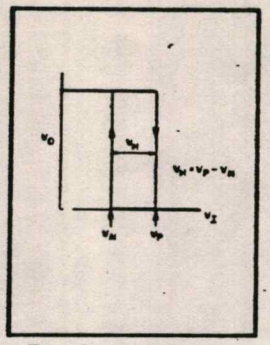


Typical N-Channel
Sink Current Characteristics

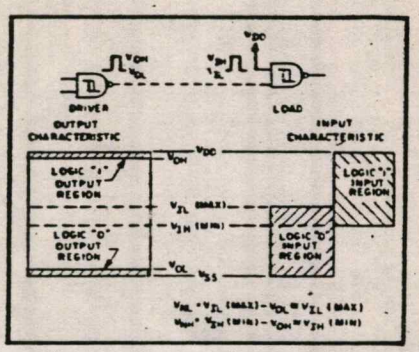
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



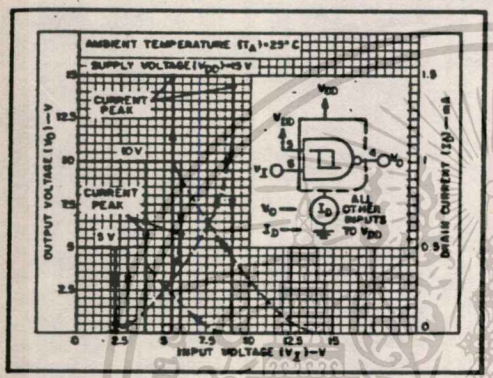
Definition of V_P, V_N and V_H.



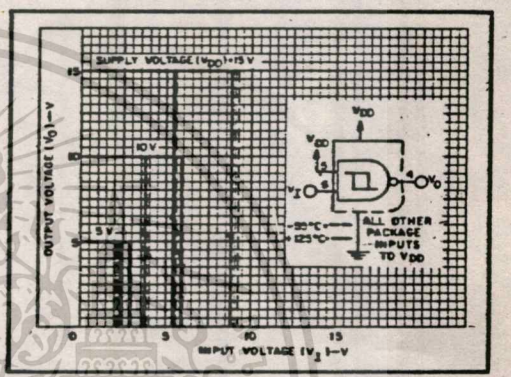
Transfer characteristic of 1 of 4 gates.



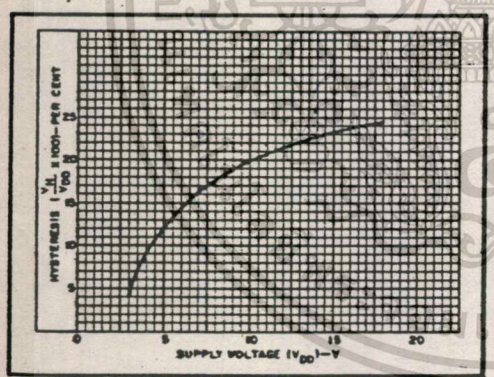
Input and output characteristics.



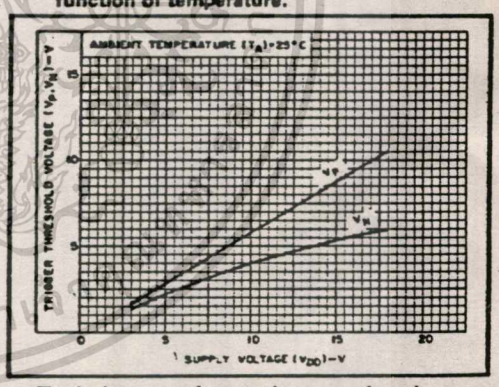
Typical current and voltage transfer characteristics.



Typical voltage transfer characteristics as a function of temperature.

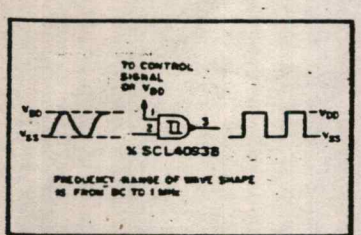


Typical trigger threshold voltage vs. V_{DD}.

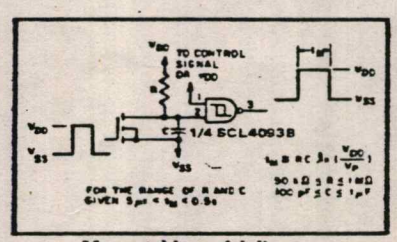


Typical per cent hysteresis vs. supply voltage.

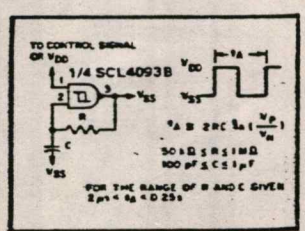
APPLICATIONS INFORMATION



Wave shaper.



Monostable multivibrator.



Astable multivibrator.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SCL4017AB

CMOS DECADE COUNTER/DIVIDER

FEATURES

- 10 Decoded Decimal Outputs
- Direct Reset
- Trigger from either Edge of Clock Input
- Carry Output for Cascading Stages
- Fully Static Operation - DC to 5MHz @ 10Vdc

DESCRIPTION

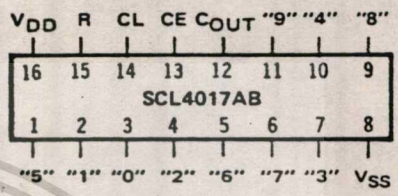
The SCL4017AB consists of a 5-stage Johnson Decade Counter and an Output Decoder. Inputs include Clock, Reset, and Clock Enable signals.

The counter has interchangeable Clock and Clock Enable lines for incrementing on either a positive-going or negative-going transition, respectively. A high Reset signal clears the counter to its zero count.

Use of the Johnson decade counter configuration permits high-speed operation, 2-input decode gating, and spike-free decoded outputs. Anti-lock gating is provided, thus assuring proper counting sequence. The 10 decoded outputs are normally low and go high only at their respective decoded time slot. Each decoded output remains high for one full clock cycle. A Carry-out (C_{OUT}) signal completes one cycle every 10 clock input cycles and is used to directly clock the succeeding counter in multi-stage applications.

This part can be used in frequency division circuits as well as decade counter or decimal decode display applications.

CONNECTION DIAGRAM
(all packages)



Add suffix for package:

C	16-pin Cerdip
D	16-pin Ceramic
E	16-pin Epoxy
F	16-pin Flat
H	Chip

RECOMMENDED OPERATING CONDITIONS

For maximum reliability:

DC Supply Voltage	$V_{DD} - V_{SS}$	3 to 15	Vdc
Operating Temperature	T_A		
C, D, F, H Device		-55 to +125	°C
E Device		-40 to +85	°C

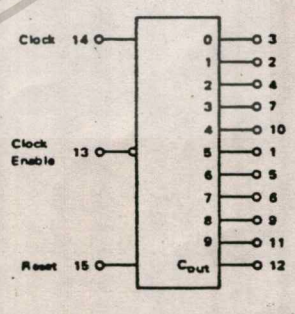
FUNCTIONAL TRUTH TABLE
(Positive Logic)

Clock	Clock Enable	Reset	Decode Output = n
0	X	0	n
X	1	0	n
X	X	1	"0"
0	0	0	n + 1
⌒	X	0	n
X	⌒	0	n
1	⌒	0	n + 1

X = Don't Care

If n < 5 Carry = "1", Otherwise = "0"

BLOCK DIAGRAM



VDD = Pin 16
VSS = Pin 8

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS

STATIC CHARACTERISTICS [1]

PARAMETER		V_{DD} (Vdc)	CONDITIONS	T_{LOW} [2] Min.	T_{LOW} [2] Max.	+25°C Min.	+25°C Typ.	+25°C Max.	T_{HIGH} [2] Min.	T_{HIGH} [2] Max.	Units
QUIESCENT DEVICE CURRENT	I_{DD}	5	$V_{IN}=V_{SS}$ or V_{DD}	–	5	–	0.05	5	–	150	μAdc
		10	All valid input	–	10	–	0.1	10	–	300	
		15	combinations	–	20	–	0.2	20	–	600	
OUTPUT HIGH (SOURCE) CURRENT											
C, D, F, H device											
Decoded Outputs	I_{OH}	5	V_{OH} = 4.6V	-0.05	–	-0.04	-0.3	–	-0.028	–	mAdc
		10	V_{OH} = 9.5V	-0.125	–	-0.1	-0.75	–	-0.07	–	
		15	V_{OH} = 13.5V	-0.375	–	-0.3	-2.5	–	-0.21		
			$V_{IN}=V_{SS}$ or V_{DD}								
Carry Output		5	V_{OH} = 4.6V	-0.25	–	-0.2	-0.75	–	-0.14	–	mAdc
		10	V_{OH} = 9.5V	-0.62	–	-0.5	-1.1	–	-0.35	–	
		15	V_{OH} = 13.5V	-1.9	–	-1.5	-3.5	–	-1.1	–	
			$V_{IN}=V_{SS}$ or V_{DD}								
E device											
Decoded Outputs	I_{OH}	5	V_{OH} = 4.6V	-0.048	–	-0.04	-0.3	–	-0.032	–	mAdc
		10	V_{OH} = 9.5V	-0.12	–	-0.1	-0.75	–	-0.08	–	
		15	V_{OH} = 13.5V	-0.36	–	-0.3	-2.5	–	-0.24	–	
			$V_{IN}=V_{SS}$ or V_{DD}								
Carry Output		5	V_{OH} = 4.6V	-0.24	–	-0.2	-0.75	–	-0.16	–	mAdc
		10	V_{OH} = 9.5V	-0.6	–	-0.5	-1.1	–	-0.4	–	
		15	V_{OH} = 13.5V	-1.8	–	-1.5	-3.5	–	-1.2	–	
			$V_{IN}=V_{SS}$ or V_{DD}								
OUTPUT LOW (SINK) CURRENT											
C, D, F, H device											
Decoded Outputs	I_{OL}	5	V_{OL} = 0.4V	0.05	–	0.04	0.4	–	0.028	–	mAdc
		10	V_{OL} = 0.5V	0.125	–	0.1	1.0	–	0.07	–	
		15	V_{OL} = 1.5V	0.375	–	0.3	3.0	–	0.21	–	
			$V_{IN}=V_{SS}$ or V_{DD}								
Carry Output		5	V_{OL} = 0.4V	0.25	–	0.2	0.75	–	0.14	–	mAdc
		10	V_{OL} = 0.5V	0.62	–	0.5	1.3	–	0.35	–	
		15	V_{OL} = 1.5V	1.9	–	1.5	4.0	–	1.1	–	
			$V_{IN}=V_{SS}$ or V_{DD}								
E device											
Decoded Outputs	I_{OL}	5	V_{OL} = 0.4V	0.048	–	0.04	0.4	–	0.032	–	mAdc
		10	V_{OL} = 0.5V	0.12	–	0.1	1.0	–	0.08	–	
		15	V_{OL} = 1.5V	0.36	–	0.3	3.0	–	0.24	–	
			$V_{IN}=V_{SS}$ or V_{DD}								
Carry Output		5	V_{OL} = 0.4V	0.24	–	0.2	0.75	–	0.16	–	mAdc
		10	V_{OL} = 0.5V	0.6	–	0.5	1.3	–	0.4	–	
		15	V_{OL} = 1.5V	1.8	–	1.5	4.0	–	1.2	–	
			$V_{IN}=V_{SS}$ or V_{DD}								

NOTES: [1] Remaining Static Electrical Characteristics are listed under "SCL4000B Series Family Specifications".

[2] T_{LOW} = -55°C for C, D, F, H device.
= -40°C for E device.
T_{HIGH} = +125°C for C, D, F, H device.
= + 85°C for E device.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

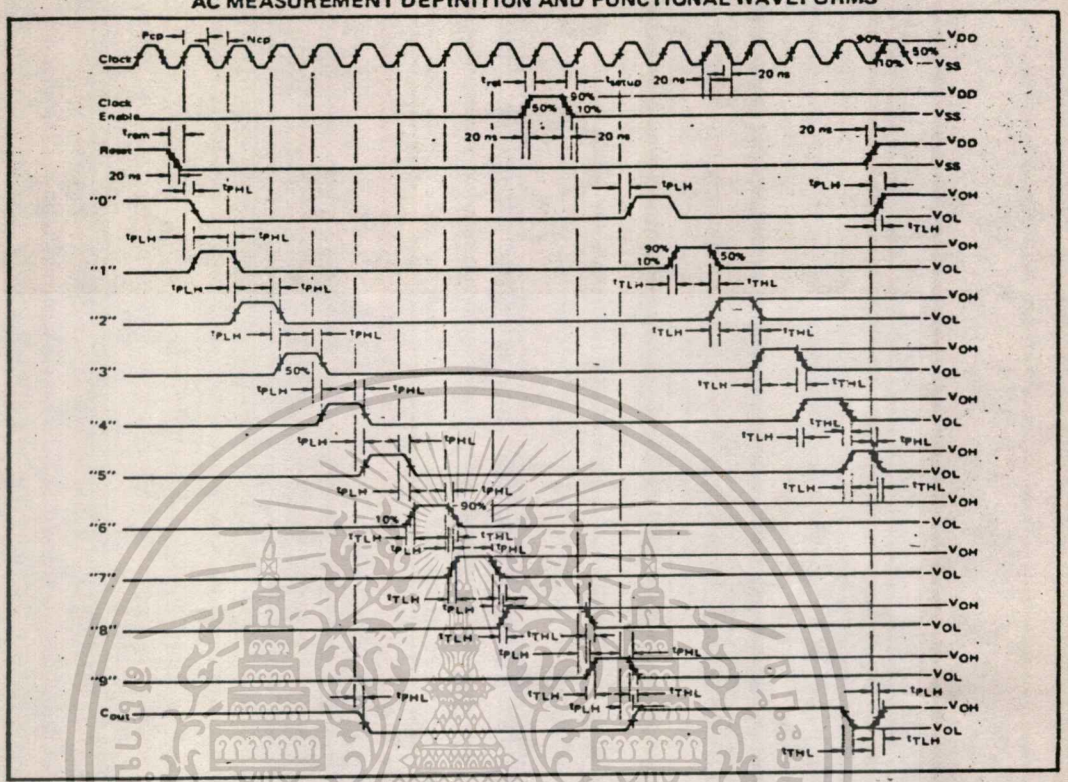
ELECTRICAL CHARACTERISTICS (Continued)

DYNAMIC CHARACTERISTICS (C_L = 50pF, T_A = 25°C)

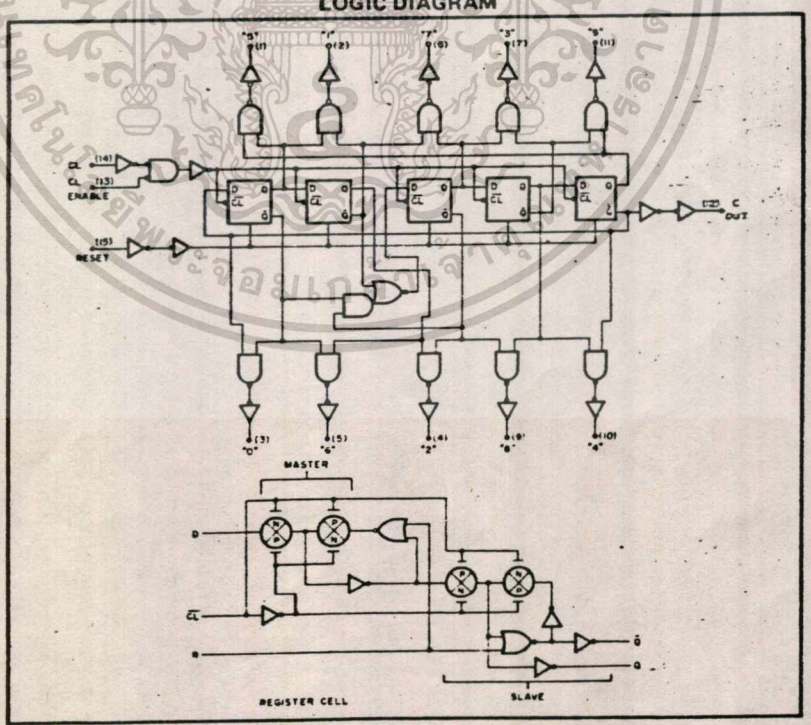
PARAMETER		V_{DD} (Vdc)	Min.	Typ.	Max.	Units
CLOCKED OPERATION						
PROPAGATION DELAY TIME To Decoded Outputs	t_{PLH}, t_{PHL}	5	–	600	1200	ns
		10	–	240	480	
		15	–	180	360	
To Carry Output	t_{PLH}, t_{PHL}	5	–	500	1000	ns
		10	–	200	400	
		15	–	150	300	
OUTPUT TRANSITION TIME Decoded Outputs	t_{TLH}, t_{THL}	5	–	250	500	ns
		10	–	125	250	
		15	–	90	180	
Carry Output	t_{TLH}, t_{THL}	5	–	180	360	ns
		10	–	90	180	
		15	–	65	130	
MINIMUM CLOCK PULSE WIDTH	PW_{CL}	5	–	200	400	ns
		10	–	100	200	
		15	–	80	160	
MAXIMUM CLOCK FREQUENCY	f_{CL}	5	1.25	2.5	–	MHz
		10	2.5	5.0	–	
		15	3.0	6.0	–	
MAXIMUM CLOCK OR ENABLE RISE AND FALL TIME	t_{rCL}, t_{fCL}	5	15	–	–	μs
		10	15	–	–	
		15	5	–	–	
MINIMUM ENABLE SETUP TIME	t_{setup}	5	–	175	350	ns
		10	–	75	150	
		15	–	55	110	
MINIMUM ENABLE REMOVAL TIME	t_{rem}	5	–	250	500	ns
		10	–	100	200	
		15	–	75	150	
RESET OPERATION						
PROPAGATION DELAY TIME To Decoded Outputs	t_{PLH}, t_{PHL}	5	–	500	1000	ns
		10	–	200	400	
		15	–	140	280	
To Carry Output	t_{PLH}	5	–	400	800	ns
		10	–	150	300	
		15	–	110	220	
MINIMUM RESET PULSE WIDTH	PW_R	5	–	150	300	ns
		10	–	75	150	
		15	–	60	120	
RESET REMOVAL TIME	t_{rem}	5	–	250	500	ns
		10	–	100	200	
		15	–	80	160	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC MEASUREMENT DEFINITION AND FUNCTIONAL WAVEFORMS



LOGIC DIAGRAM

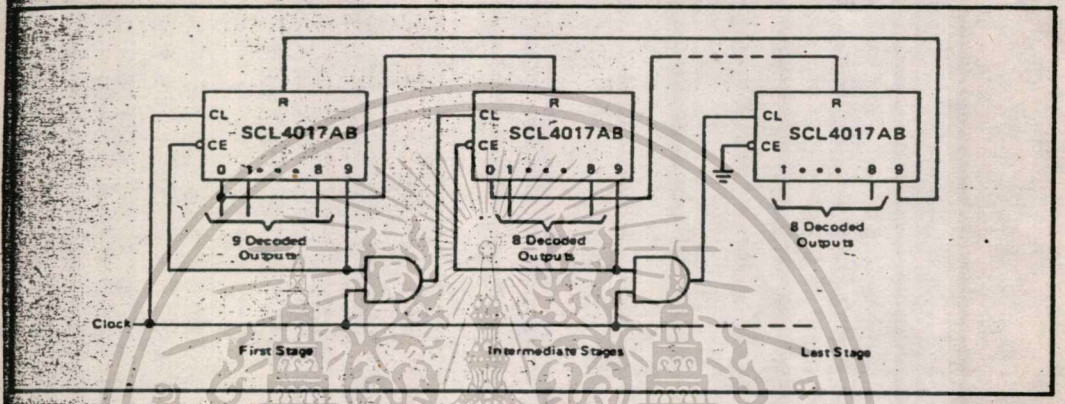


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

APPLICATIONS INFORMATION

COUNTER EXPANSION

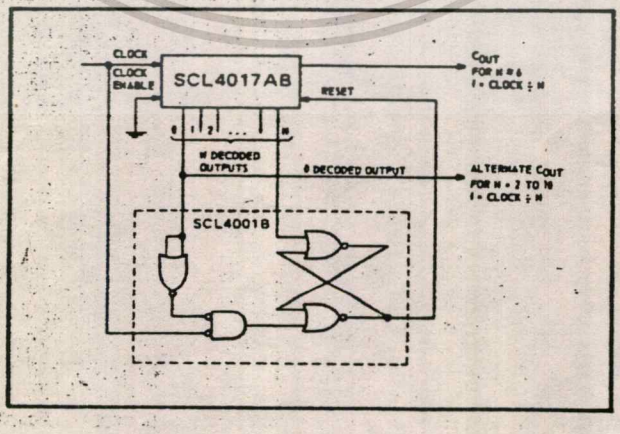
This figure shows a technique for extending the number of decoded output states for the SCL4017AB. Decoded outputs are sequential within each stage and from stage to stage, with no dead time (except propagation delay).



DIVIDE-BY-N COUNTER

When the Nth decoded output is reached (Nth clock pulse), the S-R flip-flop (constructed from the SCL4001B) generates a reset pulse which clears the SCL4017AB to its zero count. At this time, if the Nth decoded output is greater than or equal to 6, the C_{OUT} line goes high to clock the next counter section. The "0" decoded output also goes high at this time. Coincidence of the clock "low" and decoded "0" output "high" resets the S-R flip-flop to enable the SCL4017AB.

If the Nth decoded output is less than 6, the C_{OUT} line will not go high, and, therefore, cannot be used. In this case, the "0" decoded output may be used to perform the clock function for the next counter.



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SCL4018B

CMOS PRESETTABLE DIVIDE-BY-N COUNTER

FEATURES

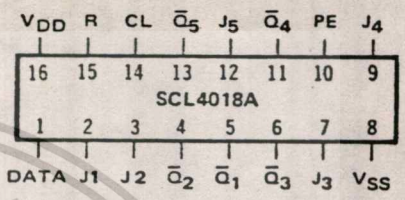
- **Divide by any Number Between 2 and 10 with One External Gate**
- **Johnson Counter Configuration for Spike-Free Counting**
- **Fully Static operation - DC to 5MHz @ 10Vdc**

DESCRIPTION

The SCL4018B consists of 5 Johnson-Counter stages, buffered Q outputs from each stage, and counter preset control gating. Clock, Reset, Data, Preset Enable, and 5 individual Jam inputs are provided. Divide-by 10, 8, 6, 4, or 2 counter configurations can be implemented by feeding the Q5, Q4, Q3, Q2, Q1 signals, respectively, back to the Data input. Divide-by-9, 7, 5, or 3 counter configurations can be implemented by use of a single SCL4081B gate to properly gate the feedback connections to the Data input. Divide-by functions greater than 10 can be achieved by use of multiple SCL4018B units. The counter is advanced one count at the positive clock-signal transition. A high Reset signal clears the counter to an all-zero condition. A high Preset-Enable signal allows information on the Jam inputs to preset the counter. Reset and Preset gating is provided to assure the proper counting sequence.

This device is particularly useful in frequency-division and control applications.

CONNECTION DIAGRAM
(all packages)



Add suffix for package:

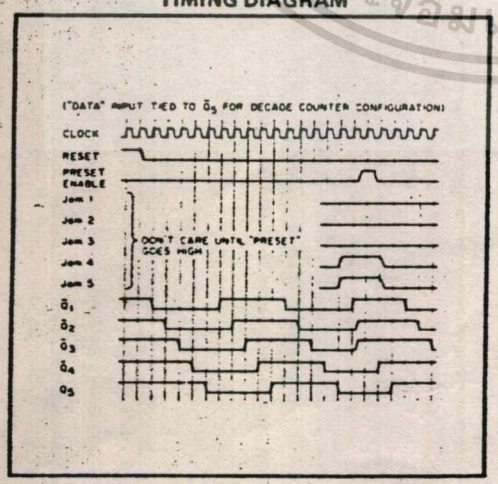
C	16-pin Cerdip
D	16-pin Ceramic
E	16-pin Epoxy
F	16-pin Flat
H	Chip

RECOMMENDED OPERATING CONDITIONS

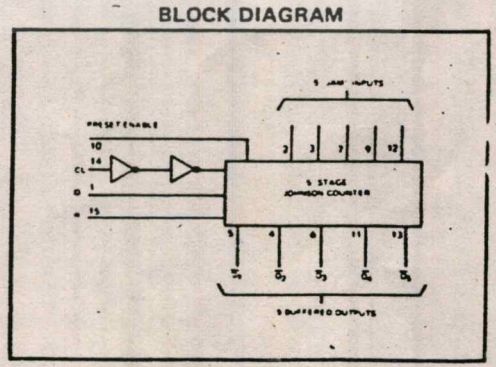
For maximum reliability:

DC Supply Voltage	$V_{DD} - V_{SS}$	3 to 15	Vdc
Operating Temperature	T_A		
C, D, F, H Device		-55 to +125	°C
E Device		-40 to +85	°C

TIMING DIAGRAM



BLOCK DIAGRAM



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS

STATIC CHARACTERISTICS[1]

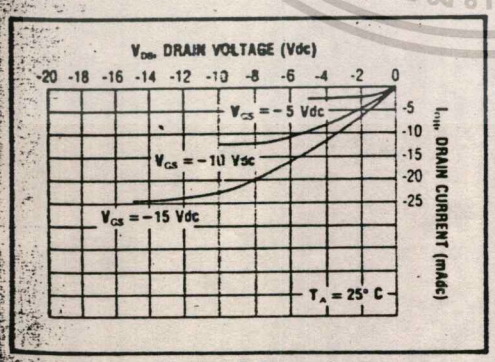
PARAMETER		V_{DD} (Vdc)	CONDITIONS	T_{LOW}[3] Min.	T_{LOW}[3] Max.	+25°C Min.	+25°C Typ.	+25°C Max.	T_{HIGH}[3] Min.	T_{HIGH}[3] Max.	Units
QUIESCENT DEVICE CURRENT	I_{DD}	5	$V_{IN}=V_{SS}$ or V_{DD}	–	5	–	0.05	5	–	150	µAdc
		10	All valid input	–	10	–	0.1	10	–	300	
		15	combinations	–	20	–	0.2	20	–	600	

NOTES: [1] Remaining Static Electrical Characteristics are listed under "SCL40008 Series Family Specifications".
[2] T_{LOW} = -55°C for C, D, F, H device.
= -40°C for E device.
T_{HIGH} = +125°C for C, D, F, H device.
= + 85°C for E device.

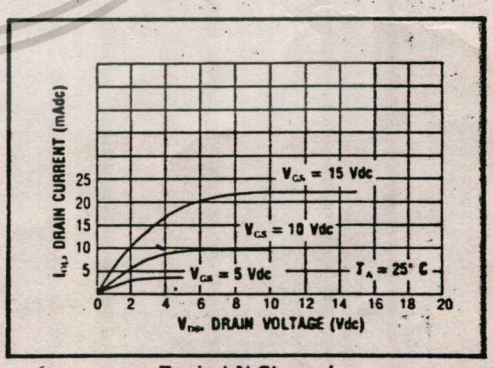
DYNAMIC CHARACTERISTICS (C_L = 50pF, T_A = 25°C)

PARAMETER		V_{DD} (Vdc)	Min.	Typ.	Max.	Units
CLOCKED OPERATION						
PROPAGATION DELAY TIME	t_{PLH}, t_{PHL}	5	–	500	1000	ns
		10	–	150	300	
		15	–	120	240	
OUTPUT TRANSITION TIME	t_{TLH}, t_{THL}	5	–	130	260	ns
		10	–	65	130	
		15	–	50	100	
MINIMUM CLOCK PULSE WIDTH	PW_{CL}	5	–	200	400	ns
		10	–	100	200	
		15	–	80	160	
MAXIMUM CLOCK FREQUENCY	f_{CL}	5	1.25	2.5	–	MHz
		10	2.5	5.0	–	
		15	3.0	6.0	–	
MAXIMUM CLOCK RISE AND FALL TIME[1]	t_{rCL}, t_{fCL}	5	15	–	–	µs
		10	15	–	–	
		15	5	–	–	
MINIMUM DATA INPUT SETUP TIME	t_{setup}	5	–	200	400	ns
		10	–	100	200	
		15	–	80	160	
MINIMUM DATA INPUT HOLD TIME	t_{hold}	5	–	0	100	ns
		10	–	0	50	
		15	–	0	40	
PRESET OR RESET OPERATION						
PROPAGATION DELAY TIME From PE or Reset Input	t_{PLH}, t_{PHL}	5	–	500	1000	ns
		10	–	250	500	
		15	–	200	400	
MINIMUM PRESET OR RESET PULSE WIDTH	PW_{PR}, PW_R	5	–	200	400	ns
		10	–	100	200	
		15	–	80	160	
MINIMUM JAM INPUT SETUP TIME	t_{setup}	5	–	200	400	ns
		10	–	100	200	
		15	–	80	160	
PRESET OR RESET REMOVAL TIME	t_{rem}	5	–	375	750	ns
		10	–	125	250	
		15	–	90	180	

[1] When units are cascaded, the maximum rise and fall times of the clock input should be equal to or less than the transition times of the data outputs driving data inputs, plus the propagation delay of the output driving stage for the output capacitive load.



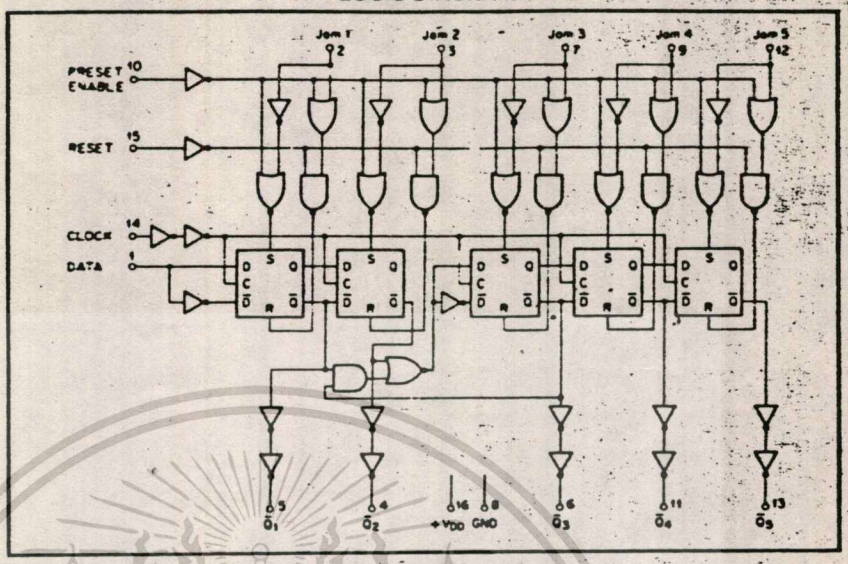
Typical P-Channel
Source Current Characteristics



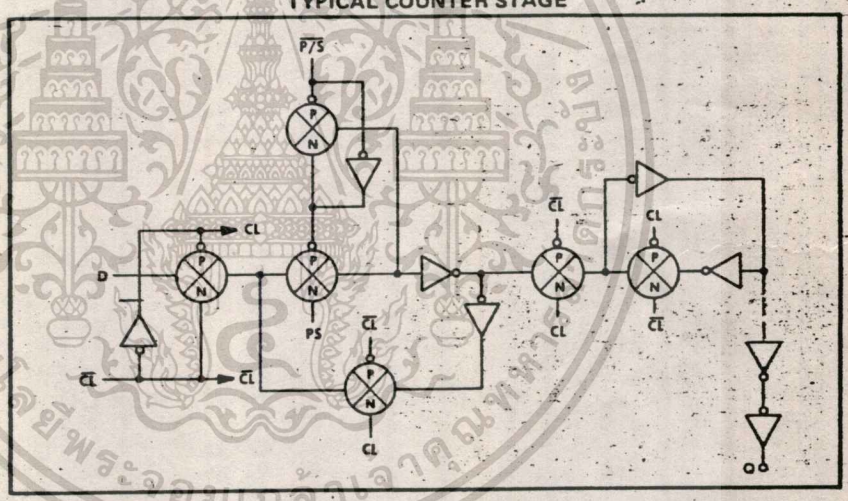
Typical N-Channel
Sink Current Characteristics

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

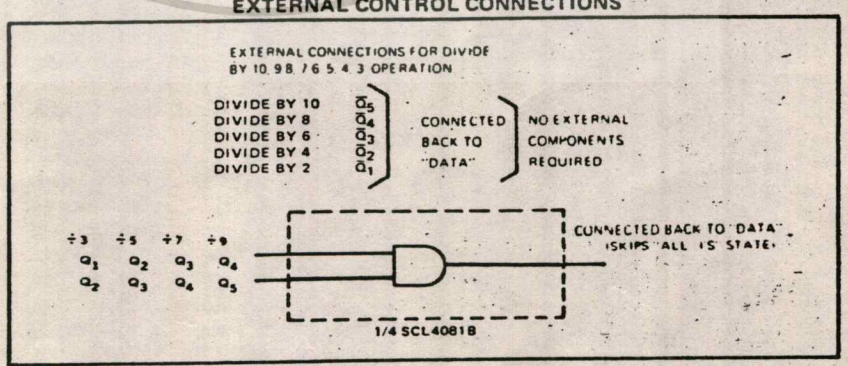
LOGIC DIAGRAM



TYPICAL COUNTER STAGE



EXTERNAL CONTROL CONNECTIONS



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SCL4046B
SCL4446B

CMOS PHASE-LOCKED LOOPS

FEATURES

- Very low power consumption — 70 μW (typ) @ f_o = 10kHz, 5Vdc
- Operating frequency range (no offset) — Up to 3MHz (typ) @ 10Vdc (SCL4046B) Up to 4MHz (typ) @ 10Vdc (SCL4446B)
- Low frequency drift — 0.04%/°C (typ) @ 10Vdc
- Choice of two phase comparators:
  1. Exclusive-OR network
  2. Edge-controlled memory network with phase-pulse output for lock indication
- VCO Inhibit control for ON-OFF keying and ultra-low standby power consumption
- High VCO linearity 1% (typ)
- Source-follower output of VCO control input (Demodulator Output)
- Zener Diode to assist Supply Regulation
- Balanced Output Drive Current Specifications

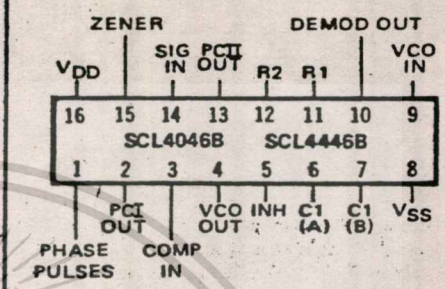
APPLICATIONS

- FM demodulator and modulator
- Frequency synthesis and multiplication
- Frequency discriminator
- Data synchronization
- Voltage-to-frequency conversion
- Tone decoding
- FSK-Modems
- Signal conditioning

DESCRIPTION

The SCL4046B and SCL4446B phase-locked loops contain two phase comparators, a voltage-controlled oscillator (VCO), source follower, and zener diode. The comparators have two common inputs. The Signal input can be used directly coupled to large voltage signals, or indirectly coupled (with a series capacitor) to small voltage signals. The self-bias circuit adjusts small voltage signals in the linear region of the amplifier. Phase comparator I (an exclusive-OR gate) provides a digital error signal PCI_{out}, and maintains 90° phase shift at the center frequency between Signal and Comparator inputs (both at 50% duty cycle). Phase comparator II (with leading edge sensing logic) provides digital error signals $PCII_{out}$ and Phase Pulses, and maintains a 0° phase shift between input signals (duty cycle is immaterial). The linear VCO produces an output signal VCO_{out} whose frequency is determined by the voltage of input VCO_{in} and the capacitor and resistors connected to pins $C1_A$, $C1_B$, R1, and R2. The source follower output, Demod Out, with an external resistor is used where the VCO_{in} signal is needed but no loading can be tolerated. The inhibit input Inh, when high, disables the VCO and source follower to minimize standby power consumption. The zener diode can be used to assist in power supply regulation.

CONNECTION DIAGRAM
(all packages)



Add suffix for package:

C	16-pin Cerdip
D	16-pin Ceramic
E	16-pin Epoxy
F	16-pin Flat
H	Chip

RECOMMENDED OPERATING CONDITIONS

For maximum reliability:

DC Supply Voltage	$V_{DD} - V_{SS}$	3 to 15	Vdc
Operating Temperature	T_A		
C, D, F, H Device		-55 to +125	°C
E Device		-40 to +85	°C

BLOCK DIAGRAM

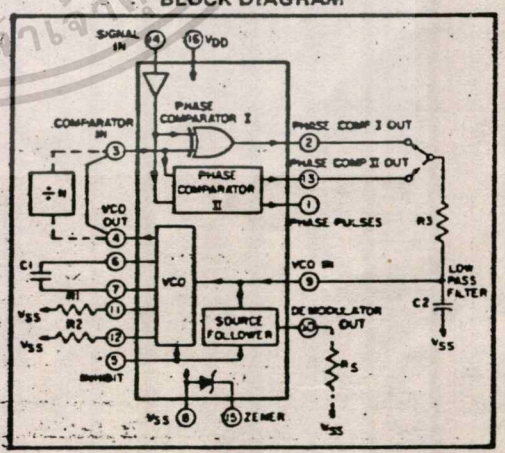


Fig. 1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

VCO SECTION

The VCO requires one external capacitor (C1) and one to two external resistors (R1 or R1 and R2). Resistor R1 and capacitor C1 determine the frequency range of the VCO and resistor R2 enables the VCO to have a frequency offset if required. The high input impedance ($10^{12}\Omega$) of the VCO simplifies the design of low-pass filters by permitting the designer a wide choice of resistor-to-capacitor ratios. In order not to load the low-pass filter, a source-follower output of the VCO input voltage is provided at terminal 10 (DEMODULATOR OUTPUT). If this terminal is used, a load resistor (R_S) of 50kΩ or more should be connected from this terminal to V_{SS}. If unused, this terminal should be left open. The VCO can be connected directly or through frequency dividers to the comparator input of the phase comparators. A full CMOS logic swing is available at the output of the VCO. A logic 0 on the INHIBIT input "enables" the VCO and the source follower, while a logic 1 "turns off" both to minimize stand-by power consumption.

PHASE COMPARATORS

The phase-comparator signal input (terminal 14) can be direct-coupled provided the signal swing is within CMOS logic levels [logic "0" $\leq$ 30% (V_{DD}-V_{SS}), logic "1" $\geq$ 70% (V_{DD}-V_{SS})]. For smaller swings the signal must be capacitively coupled to the self-biasing amplifier at the signal input.

Phase comparator I is an exclusive-OR network; it operates analogously to an over-driven balanced mixer. To maximize the lock range, the signal and comparator-input frequencies must have a 50% duty cycle. With no signal or noise on the signal input, this phase comparator has an average output voltage equal to $V_{DD}/2$. The low-pass filter connected to the output of phase comparator I supplies the averaged voltage to the VCO input, and causes the VCO to oscillate at the center frequency (f_o).

The frequency range of input signals on which the PLL will lock, if it was initially out of lock, is defined as the frequency capture range ($2f_c$).

The frequency range of input signals on which the loop will stay locked if it was initially in lock is defined as the frequency lock range ($2f_L$). The capture range can not exceed the lock range.

With phase comparator I, the range of frequencies over which the PLL can acquire lock (capture range) is dependent on the low-pass-filter characteristics, and can be made as large as the lock range. Phase-comparator I enables a PLL system to remain in lock in spite of high amounts of noise in the input signal.

One characteristic of this type of phase comparator is that it may lock onto input frequencies that are close to harmonics of the VCO center frequency. A second characteristic is that the phase angle between the signal and the comparator input varies between 0° and 180°, and is 90° at the center frequency. Figure 2 shows the (typical) triangular phase-to-output response characteristic of phase comparator I. Typical waveforms for a CMOS phase-locked-loop employing phase comparator I in locked condition is shown in Figure 3.

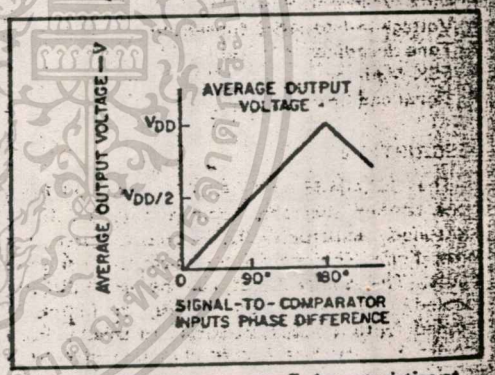


Fig. 2 — Phase-comparator I characteristics at low-pass filter output.

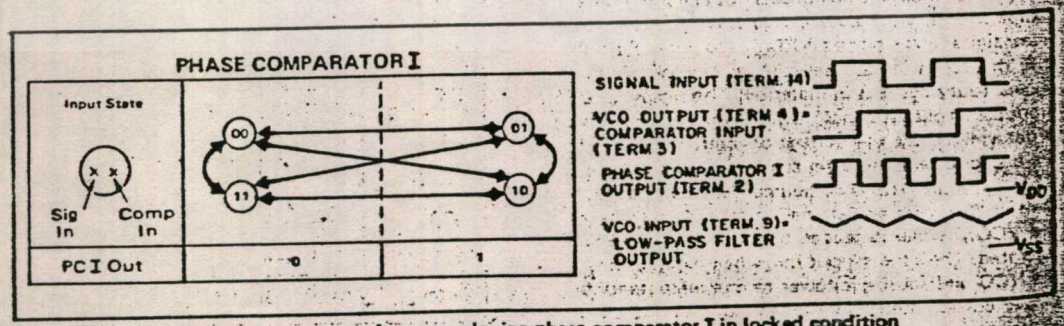


Fig. 3 — Typical waveforms employing phase comparator I in locked condition

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

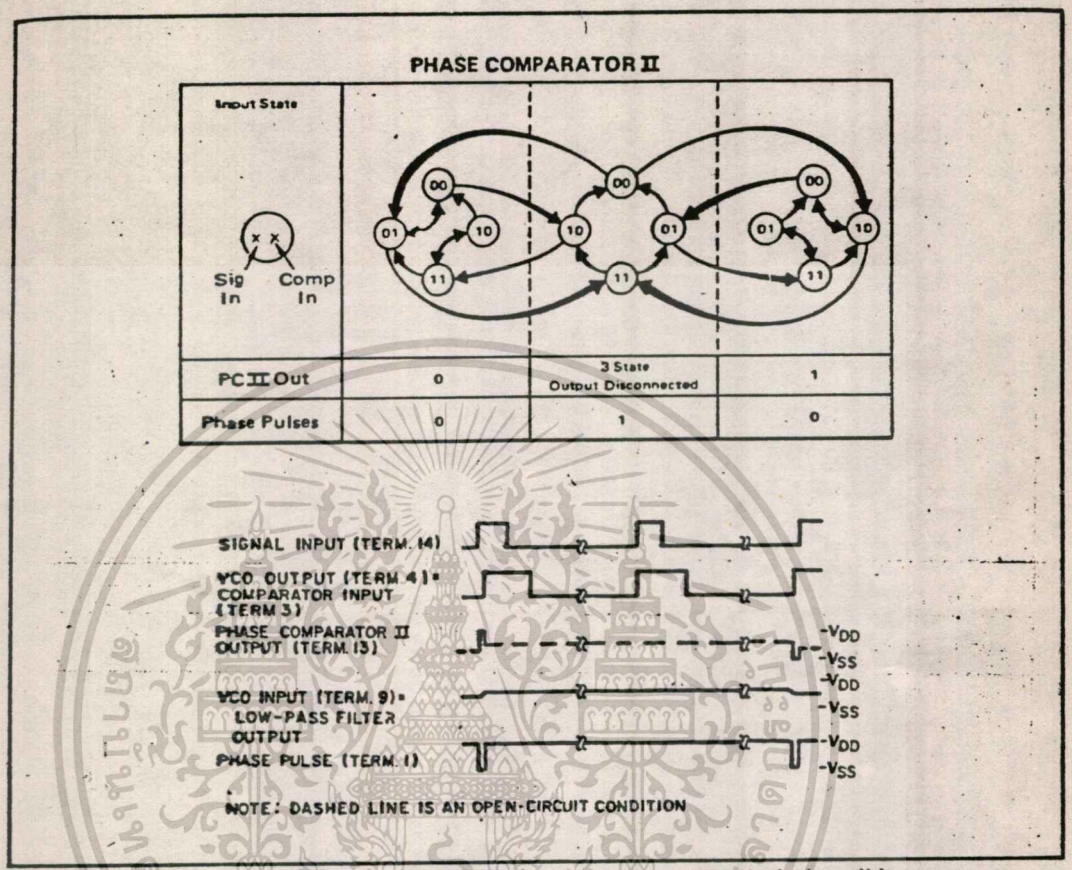


Fig. 4 — Typical waveforms employing phase comparator II in locked condition.

Phase-comparator II is an edge-controlled digital memory network. It consists of several flip-flop stages, control gating, and a three state output circuit comprising p- and n-type drivers having a common output node. When the p-MOS or n-MOS drivers are ON, they pull the output up to V_{DD} or down to V_{SS}, respectively. This type of phase comparator acts only on the positive edges of the signal and comparator inputs. The duty cycles of the signal and comparator inputs are not important since positive transitions control the PLL system utilizing this type of comparator. If the signal lags the comparator input in phase, the n-type output driver is maintained ON for a time corresponding to the phase difference. If the comparator input lags the signal in phase, the p-type output driver is maintained ON for a time corresponding to the phase difference. Subsequently, the capacitor voltage of the low-pass filter connected to this phase comparator is adjusted until the signal and comparator inputs are equal in both phase and frequency. At this stable point, both p- and n-type output drivers remain OFF. Thus, the phase comparator output becomes an open circuit and holds the voltage on the capacitor of the low-pass filter constant. Moreover, the signal at the "phase pulses" output is a high level which can be used for indicating a locked condition. Thus, for phase comparator II, no phase difference exists between signal and comparator input over the full VCO frequency range. Moreover, the power dissipation due to the low-pass filter is reduced when this type of phase comparator is used because both the p- and n-type output drivers are OFF for most of the signal input cycle.

It should be noted that the PLL lock range for this type of phase comparator is equal to the capture range, independent of the low-pass filter. With no signal present at the signal input, the VCO is adjusted to its lowest frequency for phase comparator II. Figure 4 shows typical waveforms for a CMOS PLL employing phase comparator II in a locked condition.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

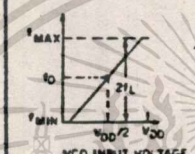
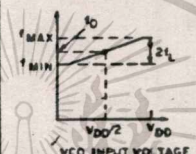
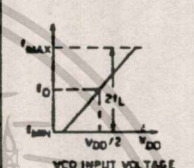
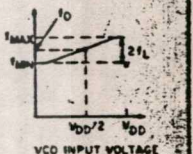
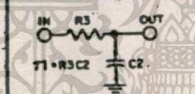
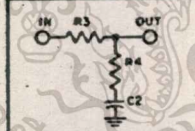
DESIGN INFORMATION

This information is a guide for approximating the values of external components for the SCL4046B and SCL4446B in a Phase-Locked Loop system. The selected external components must be within the following ranges:

$R1, R2 \geq 2k\Omega, R_S \geq 10k\Omega$

$C1 \geq 15pF$

In addition to the given design information refer to Figure 5 for R1, R2, and C1 component selections.

CHARACTERISTICS	USING PHASE COMPARATOR I		USING PHASE COMPARATOR II	
	VCO WITHOUT OFFSET $R_2 = \infty$	VCO WITH OFFSET	VCO WITHOUT OFFSET $R_2 = \infty$	VCO WITH OFFSET
VCO Frequency				
For No Signal Input	VCO in PLL system will adjust to center frequency, f_0		VCO in PLL system will adjust to lowest operating frequency, f_{min}	
Frequency Lock Range, $2f_L$	$2f_L$ = full VCO frequency range $2f_L = f_{max} - f_{min}$			
Frequency Capture Range, $2f_C$	 $2f_C \simeq \frac{1}{\pi\sqrt{\frac{2\pi f_L}{T1}}}$		$f_C = f_L$	
Loop Filter Component Selection	 For $2f_C$, see Ref.			
Phase Angle between Signal and Comparator	90° at center frequency (f_0), approximating 0° and 180° at ends of lock range ($2f_L$)		Always 0° in lock	
Locks on Harmonics of Center Frequency	Yes		No	
Signal Input Noise Rejection	High		Low	
VCO Component Selection	– Given: f_0 – Use f_0 with Fig.5a to determine R1 and C1	– Given: f_0 and f_L – Calculate f_{min} from the equation $f_{min} = f_0 - f_L$ – Use f_{min} with Fig. 5b to determine R2 and C1 – Calculate $\frac{f_{max}}{f_{min}}$ from the equation $\frac{f_{max}}{f_{min}} = \frac{f_0 + f_L}{f_0 - f_L}$ – Use $\frac{f_{max}}{f_{min}}$ with Fig.5c to determine ratio R2/R1 to obtain R1	– Given: f_{max} – Calculate f_0 from the equation $f_0 = \frac{f_{max}}{2}$ – Use f_0 with Fig.5a to determine R1 and C1	– Given: f_{min} & f_{max} – Use f_{min} with Fig.5b to determine R2 and C1 – Calculate $\frac{f_{max}}{f_{min}}$ – Use $\frac{f_{max}}{f_{min}}$ with Fig.5c to determine ratio R2/R1 to obtain R1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS [1, 3]

PARAMETER		V_{DD} (Vdc)	CONDITIONS	T_{LOW} [2]		+25°C			T_{HIGH} [2]		Units
				Min.	Max.	Min.	Typ.	Max.	Min.	Max.	
QUIESCENT DEVICE CURRENT	I_{DD}	5	Inhibit = V_{DD}	–	5	–	0.05	5	–	150	μAdc
		10	Signal Input =	–	10	–	0.01	10	–	300	
		15	V_{DD}	–	20	–	0.2	20	–	600	
TOTAL POWERDISSIPATION	P_T		Inh = V_{SS}, $VCO_{IN} = \frac{V_{DD}}{2}$, f_o = 10kHz, C_L = 15pF, R1 = 1MΩ, R2 = R_S = ∞								
		5		–	–	–	0.07	–	–	–	mW
		10		–	–	–	0.6	–	–	–	
		15		–	–	–	2.4	–	–	–	

NOTES: [1] Remaining Static Electrical Characteristics are listed under "SCL4000B Series Family Specifications".
[2] T_{LOW} = -55°C for C, D, F, H device.
= -40°C for E device.
T_{HIGH} = +125°C for C, D, F, H device.
= + 85°C for E device.
[3] VCO output (pin 4) and Phase Comparator Outputs (pins 2 and 13) have been designed for balanced output drive current specifications. Consult Family Specifications.

PARAMETER		CONDITIONS		V_{DD}	25°C			UNIT
					Min.	Typ.	Max.	
VCO SECTION								
MAXIMUM OPERATING FREQUENCY	f_{max}							
SCL4046B			R1 C1					
		R2 = ∞, VCO_{IN} = V_{DD}	10k 50pF	5	0.5	0.8	–	MHz
				10	1.0	1.5	–	
				15	1.3	1.9	–	
			5k 50pF	5	0.6	1.0	–	MHz
				10	1.4	2.1	–	
				15	1.8	2.7	–	
			2k 50pF	5	–	1.3	–	MHz
				10	–	2.9	–	
				15	–	3.8	–	
SCL4046B		R2 = ∞	R1 C1					
		VCO_{IN} = V_{DD}	10k 50pF	5	0.7	1.0	–	MHz
				10	1.3	2.0	–	
				15	1.9	2.8	–	
			5k 50pF	5	0.9	1.3	–	MHz
				10	1.9	2.9	–	
				15	2.6	3.9	–	
			2k 50pF	5	–	1.8	–	MHz
				10	–	3.9	–	
				15	–	5.4	–	
LINEARITY		R2 = ∞						
		VCO_{IN} = 2.5±0.3V, R1 ≥ 10kΩ		5	–	1	–	%
		VCO_{IN} = 5.0±2.5V, R1 ≥ 400kΩ		10	–	1	–	
		VCO_{IN} = 7.5±5.0V, R1 ≥ 1MΩ		15	–	1	–	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS (Continued)

PARAMETER		CONDITIONS	V_{DD}	+25°C			UNIT
				Min.	Typ.	Max.	
VCO SECTION (Continued)							
TEMPERATURE-FREQUENCY STABILITY							
No Offset		R2 = ∞	5	–	0.12-0.24	–	%/°C
			10	–	0.04-0.08	–	
			15	–	0.015-0.03	–	
With Offset		R2 < 10X R1	5	–	0.06-0.12	–	%/°C
			10	–	0.05-0.1	–	
			15	–	0.03-0.06	–	
INPUT RESISTANCE (VCO_{IN})	R_{IN}		5, 10, 15	–	10^6	–	MΩ
OUTPUT DUTY CYCLE		All valid input combinations and voltages		–	50	—	%
OUTPUT TRANSITION TIME	t_{TLH}, t_{THL}	C_L = 50pF	5	–	100	200	ns
			10	–	50	100	
			15	–	40	80	
PHASE COMPARATORS							
INPUT RESISTANCE							
Signal Input	R_{IN}		5	1	3	–	MΩ
			10	0.2	0.7	–	
			15	0.1	0.3	–	
Comparator Input	R_{IN}		5, 10, 15	–	10^6	–	MΩ
AC-COUPLED INPUT SENSITIVITY	V_{IN}						
Signal Input			5	–	200	400	mV
			10	–	400	800	
			15	–	700	1400	
OUTPUT TRANSITION TIME							
PCI, PCII Outputs	t_{TLH}, t_{THL}	C_L = 50pF	5	–	100	200	ns
			10	–	50	100	
			15	–	40	80	
Phase Pulses Output	t_{TLH}, t_{THL}		5	–	130	260	ns
			10	–	65	130	
			15	–	50	100	
DEMODULATOR OUTPUT							
OFFSET VOLTAGE	VCO_{IN}-V_{DEM}	$R_S \geq 50k\Omega$	5	–	1.4	2.2	Vdc
			10	–	1.6	2.2	
			15	–	1.8	2.2	
LINEARITY		$R_S \geq 50k\Omega$					
		VCO_{IN} = 2.5±0.3V	5	–	0.1	–	%
		VCO_{IN} = 5.0±2.5V	10	–	0.6	–	
		VCO_{IN} = 7.5±5.0V	15	–	0.8	–	
ZENER DIODE							
ZENER VOLTAGE	V_Z	I_Z = 50μA	–	6.3	7.0	7.7	V
DYNAMIC RESISTANCE	R_Z	I_Z = 1mA	–	–	100	–	Ω

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

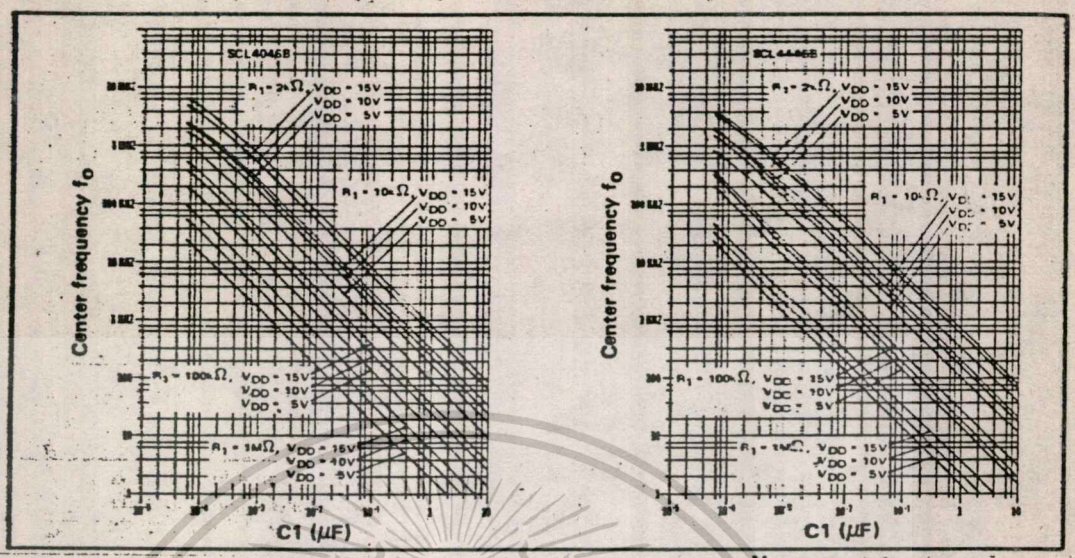


Fig. 5 (a) Typical center frequency (f_o) vs C1 (R2 = ∞, $VCO_{IN} = \frac{V_{DD}}{2}$, T_A = 25°C)

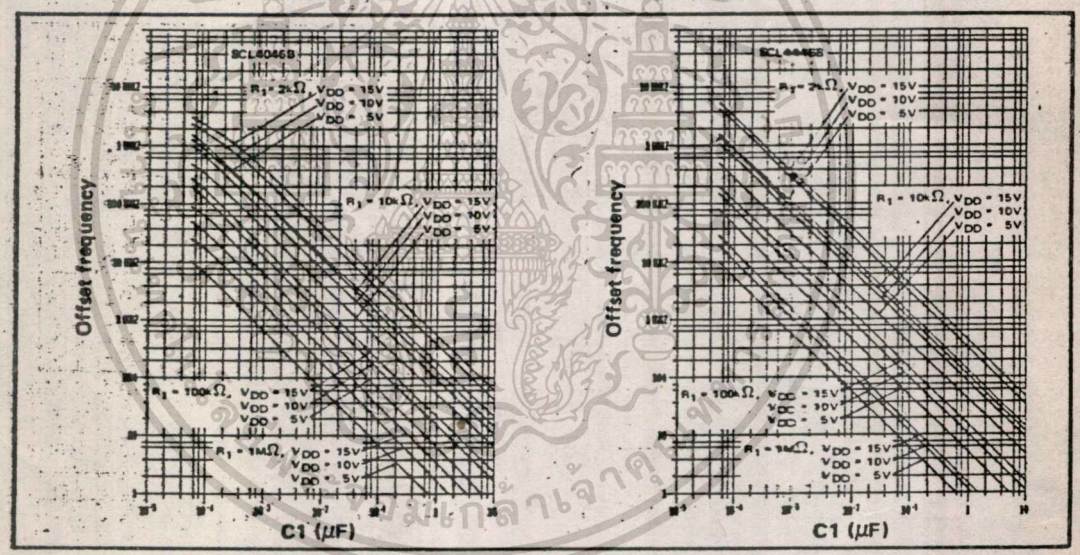


Fig. 5 (b) Typical frequency offset vs C1 ($VCO_{IN} = V_{SS}$, T_A = 25°C)

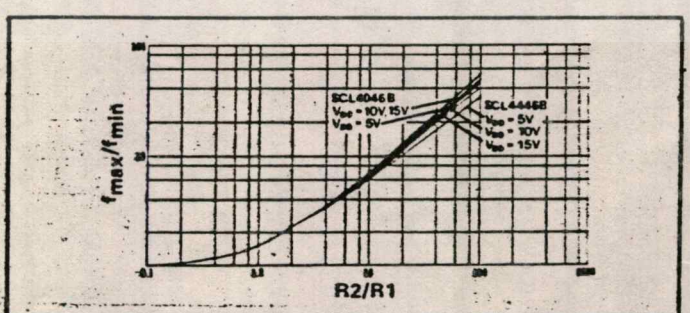


Fig. 5 (c) Typical f_{max}/f_{min} vs R2/R1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

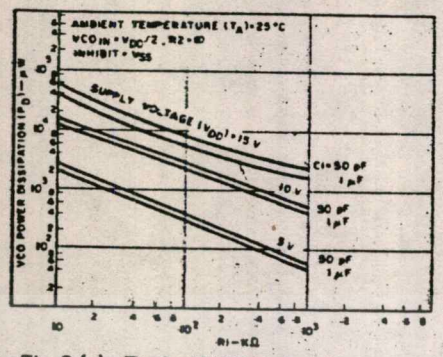


Fig. 6 (a) - Typical VCO power dissipation at center frequency vs R1.

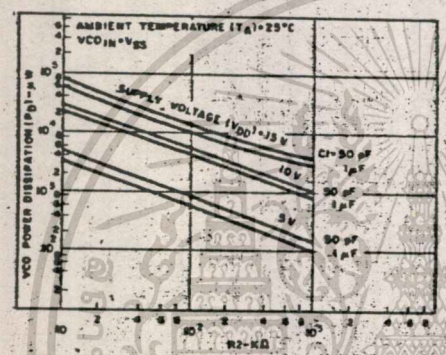


Fig. 6 (b) - Typical VCO power dissipation at f_{min} vs R2.

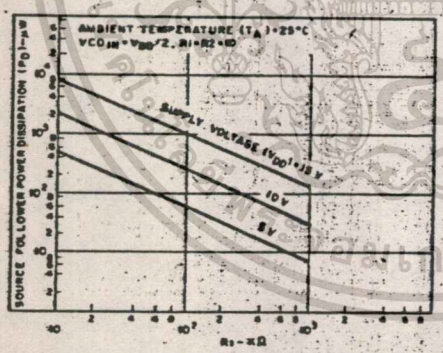


Fig. 6 (c) - Typical source follower power dissipation vs R_S.

NOTE: To obtain approximate total power dissipation of PLL system for no-signal input

P_D (Total) = P_D (f_o) + P_D (f_{MIN}) + P_D (R_S)
— Phase Comparator I

P_D (Total) = P_D (f_{MIN})
— Phase Comparator II

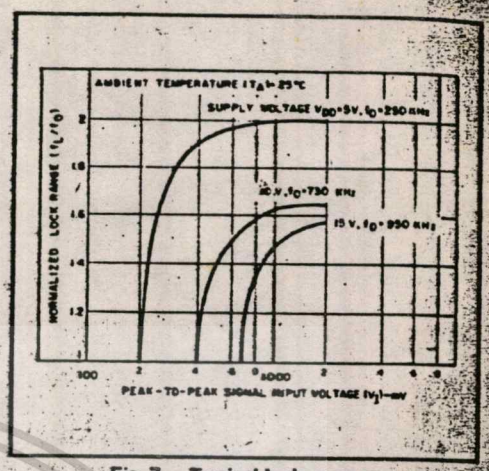


Fig. 7 — Typical lock range vs signal input amplitude

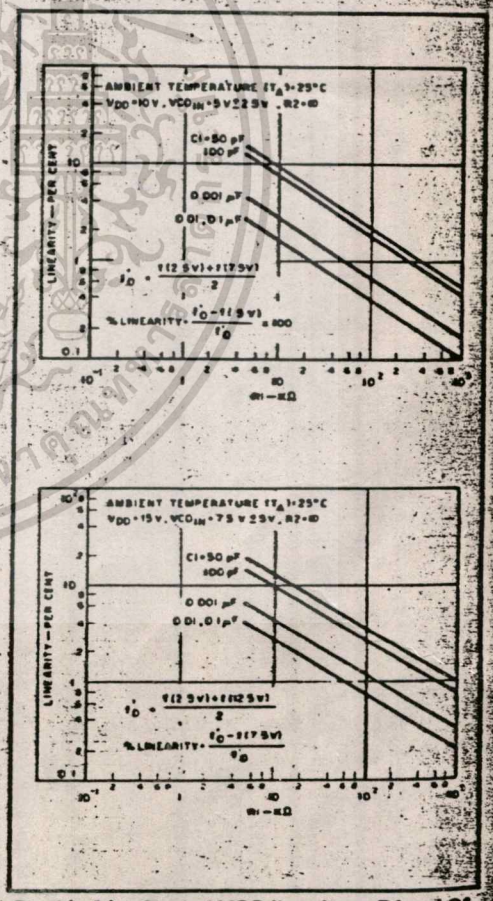


Fig. 8(a, b) — Typical VCO linearity vs R1 and C1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SCL4049UB Inverting
SCL4050B Non-Inverting

CMOS
HEX BUFFERS/CONVERTERS

FEATURES

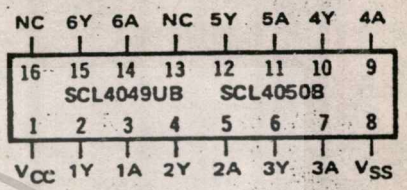
- Direct Drive of 2 TTL/DTL Loads
- Operation from Single Supply
- Pin-for Pin Replacements for SCL4009B, SCL4010B

DESCRIPTION

The SCL4049UB and SCL4050B are Inverting and Non-Inverting Hex Buffers, respectively, and feature logic-level conversion using only one supply voltage (V_{CC}). The Input-signal high level (V_{IH}) can exceed the V_{CC} supply voltage when these devices are used for logic-level conversions. These devices are intended for use as CMOS-to-DTL/TTL converters and can drive directly two DTL/TTL Loads.

The SCL4049UB and SCL4050B are interchangeable with SCL4009UB and SCL4010B devices, respectively. In these applications the SCL4049UB and SCL4050B are pin-compatible with the SCL4009UB and SCL4010B, respectively, and can be substituted for these devices in existing as well as in new designs. Terminal No. 16 is not connected internally on the SCL4049UB or SCL4050B; therefore, connection to this terminal is of no consequence to circuit operation.

CONNECTION DIAGRAM
(all packages)



Add suffix for package:

C	16-pin Cerdip
D	16-pin Ceramic
E	16-pin Epoxy
F	16-pin Flat
H	Chip

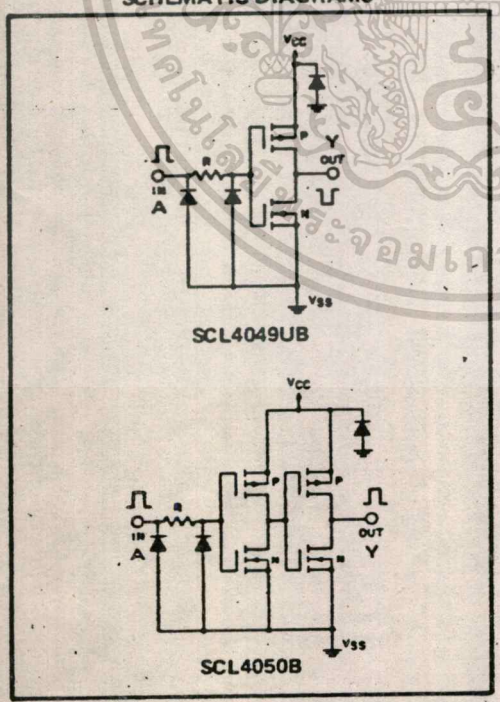
RECOMMENDED OPERATING CONDITIONS

For maximum reliability:

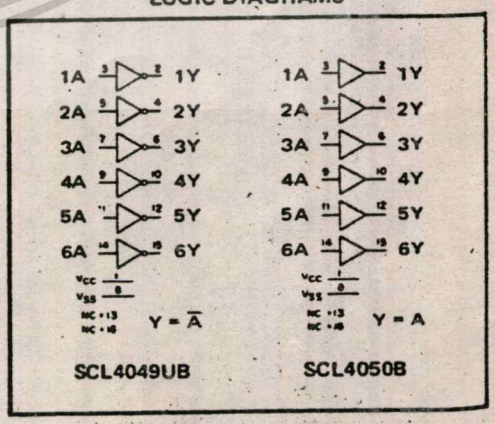
DC Supply Voltage	$V_{CC} - V_{SS}$	3 to 15	Vdc
Operating Temperature	T_A		
C, D, F, H Device		-55 to +125	°C
E Device		-40 to +85	°C

Note: These devices contain input protection networks to V_{SS} only. Therefore, V_{IH} (max) may exceed V_{CC} without damage (subject to absolute maximum ratings).

SCHEMATIC DIAGRAMS



LOGIC DIAGRAMS



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS

STATIC CHARACTERISTICS [1,3]

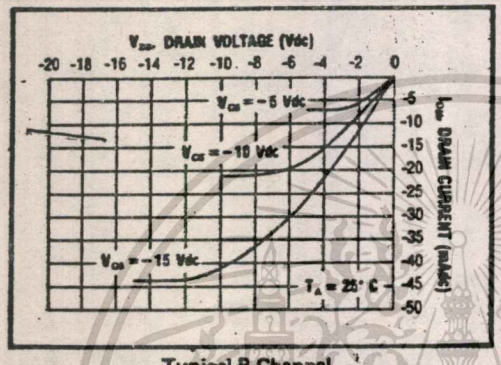
PARAMETER		V_{CC} (Vdc)	CONDITIONS	T_{LOW} [2] Min.	T_{LOW} [2] Max.	+25°C Min.	+25°C Typ.	+25°C Max.	T_{HIGH} [2] Min.	T_{HIGH} [2] Max.	Units
QUIESCENT DEVICE CURRENT	I_{CC}	5	$V_{IN}=V_{SS}$ or V_{DD}	–	1.0	–	0.005	1.0	–	30	μAdc
		10	All valid input	–	2.0	–	0.01	2.0	–	60	
		15	combinations	–	4.0	–	0.02	4.0	–	120	
MINIMUM INPUT HIGH VOLTAGE SCL4049UB	V_{IH}	5	V_{OL} =0.5V	–	4.0	–	2.75	4.0	–	4.0	Vdc
		10	V_{OL} =1.0V	–	8.0	–	5.5	8.0	–	8.0	
		15	V_{OL} =1.5V	–	12.0	–	8.25	12.0	–	12.0	
MAXIMUM INPUT LOW VOLTAGE SCL4049UB	V_{IL}	5	V_{OH} =3.6V	1.0	–	1.0	2.25	–	1.0	–	Vdc
		10	V_{OH} =7.2V	2.0	–	2.0	4.5	–	2.0	–	
		15	V_{OH} =10.8V	3.0	–	3.0	6.75	–	3.0		
OUTPUT LOW (SINK) CURRENT C, D, F, H devices	I_{OL}	5	V_{OL} =0.4V	4.0	–	3.2	6.4	–	2.4	–	mAdc
		10	V_{OL} =0.5V	10	–	8.0	16	–	5.6	–	
		15	V_{OL} =1.5V	30	–	24.0	40	–	16.8	–	
			$V_{IN}=V_{SS}$ or V_{DD}								
E device		5	V_{OL} =0.4V	3.8	–	3.2	6.4	–	2.6	–	mAdc
		10	V_{OL} =0.5V	9.6	–	8.0	16	–	6.4	–	
		15	V_{OL} =1.5V	28	–	24.0	40	–	19	–	
			$V_{IN}=V_{SS}$ or V_{DD}								

NOTES: [1] Remaining Static Electrical Characteristics are listed under "SCL4000B Series Family Specifications".
[2] T_{LOW} = –55°C for C, D, F, H device.
= –40°C for E device.
T_{HIGH} = +125°C for C, D, F, H device.
= + 85°C for E device.
[3] These devices have been designed to meet the balanced output drive current specifications for Output High (Source) Current. Consult Family Specifications.

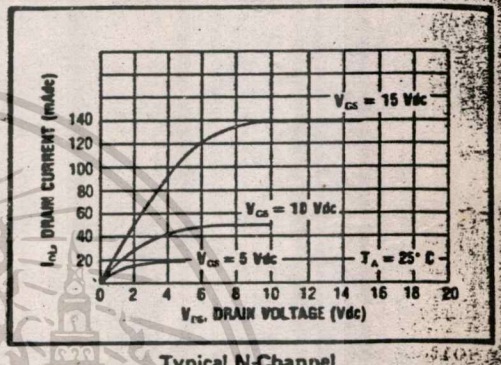
DYNAMIC CHARACTERISTICS (C_L = 50pF, T_A = 25°C)

PARAMETER		V_{IN} (Vdc)	V_{CC} (Vdc)	Min.	Typ.	Max.	Units
PROPAGATION DELAY TIME SCL4049UB	t_{PLH}	5	5	–	60	120	ns
		10	10	–	32	65	
		15	15	–	25	50	
		10	5	–	45	90	ns
		15	5	–	45	90	
SCL4050B		5	5	–	70	140	ns
		10	10	–	40	80	
		15	15	–	30	60	
		10	5	–	45	90	ns
		15	5	–	40	80	
SCL4049UB	t_{PHL}	5	5	–	32	65	ns
		10	10	–	20	40	
		15	15	–	15	30	
		10	5	–	15	30	ns
		15	5	–	10	20	
SCL4050B		5	5	–	55	110	ns
		10	10	–	27	55	
		15	15	–	15	30	
		10	5	–	50	100	ns
		15	5	–	50	100	
OUTPUT TRANSITION TIME	t_{TLH}	5	5	–	80	160	ns
		10	10	–	40	80	
		15	15	–	30	60	
	t_{THL}	5	5	–	30	60	ns
		10	10	–	20	40	
		15	15	–	15	30	
INPUT CAPACITANCE SCL4049UB	C_{IN}	–	–	–	15	22.5	pF

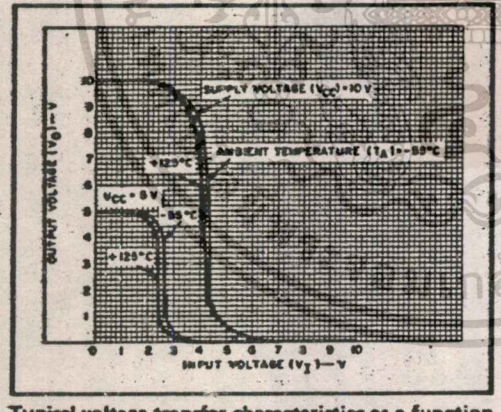
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



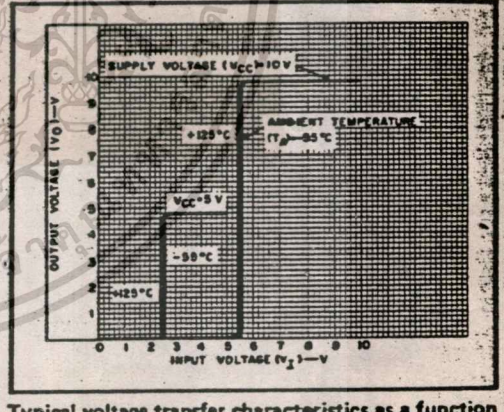
Typical P-Channel
Source Current Characteristics



Typical N-Channel
Sink Current Characteristics



Typical voltage transfer characteristics as a function of temperature for SCL4049UB.



Typical voltage transfer characteristics as a function of temperature for SCL4050B.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้