สามเฟสเดลต้า ม็อดดูเลท พี ดับบลิว เอ็ม อินเวอร์เตอร์ สำหรับขับมอเตอร์เหนี่ยวนำ

Three phase Delta Modulated PWM Inverter for variable frequency drive

นายนิวัฒน์ ธนะนพรัตน์

NIWAT THANANOPHARAT

ว.๑๑๑๒๑

วิทยานิพนธ์สำหรับปริญญาวิศวกรรมศาสตรมหาบัณฑิต

สาขาวิชาวิศวกรรมไฟฟ้า

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้า เจ้าคุณทหาร ลาดกระบัง

ปีการศึกษา 2532

027003

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ปีการศึกษา 2532

ภาควิชาวิศวกรรมไฟฟ้า

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้า เจ้าคุณทหาร ลาดกระบัง

เรื่อง สามเฟส เดลต้า มิ๊อดดูเลท พี ดับบลิว เอ็ม อินเวอร์เตอร์ สำหรับขับมอ

เตอร์เหนี่ยวนำ

ผู้จัดทำ

นายนิวัฒน์ ธนะนพรัตน์ 29.1083

----------อาจารย์ที่ปรึกษา

(รศ.วิริยะ พิเชฐจำเริญ)

22.พ.ย.2533

027003

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทคัดย่อ :

โครงงานนี้เสนอการออกแบบและเทคนิคการสร้าง Delta Modulated Inverter ซึ่งเป็นอินเวอร์เตอร์ แบบจ่ายแรงดัน สามารถประยุกต์ใช้กับ UPS และใช้ในงานปรับความเร็วมอเตอร์เหนี่ยวนำ ซึ่งมีข้อดีหลายอย่าง เช่น วงจรที่ใช้ไม่ยุ่งยากซับซ้อน ฮาร์โมนิคส์ที่แรงดันขาออกมีค่าต่ำ สามารถควบคุมให้อัตราส่วนแรงดันกับความถี่มีค่าคงที่ มีการเปลี่ยนโหมดการทำงานจาก PWM สู่โหมด square wave อย่างราบเรียบ สำหรับการใช้งานเป็นสามเฟสจะต้องมีวิธีการชิงโครไนซ์สัญญาณ มิฉะนั้นจะทำให้เกิดการเลื่อนเฟสและสัญญาณควบคุมไม่แน่นอน การสวิทชิงเกิดความผิดพลาด ทำให้เกิดการไม่สมดุลเฟส (unbalanced phase) นอกจากนี้ยังมีการซิมูเลทโดยใช้คอมพิวเตอร์เทียบกับผลที่ได้ และยังนำไปทดสอบกับมอเตอร์ขนาด 1 แรงม้า เพื่อให้สอดคล้องกับทฤษฎีอีกด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Abstract:

In this project , show the designing and creating the Delta Modulated Inverter , is a voltage fed inverter , can be applied to UPS and use in variable speed induction motor. It has alot of advantages , example , the implementation circuit is not complexity , the low harmonics of output voltage , can be control constant ratio v/f , has an altering operation from PWM mode to square wave mode smoothly . For three phase operation must be synchronized waveform , other wise must be drift intime and contrl waveform is uncertain . The switching failure and unbalanced phase . In addition to have a simulated by computer and take to test the three phase motor 1 Hp for support the result compare with the theory

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

	หน้า
บทที่ 1 การควบคุมความเร็วมอเตอร์เหนี่ยวนำ	3
1.1 โดยการเปลี่ยนไกล (Slip) S	4
1.2 การควบคุมแรงดันของสเตเตอร์	5
1.3 การปรับความเร็วโดยการเปลี่ยนจำนวนขั้วแม่เหล็กบนสเตเตอร์	6
1.4 การปรับความเร็วโดยการเปลี่ยนความถี่	6
บทที่ 2 วงจรอินเวอร์เตอร์	10
2.1 Voltage-Fed Inverter	11
2.2 Current-Fed Inverter	14
บทที่ 3 หลักการ Delta Modulation ใน PWM Inverter	18
3.1 เทคนิค Delta Modulation	19
3.2 การวิเคราะห์สัญญาณ Delta Modulation PWM	22
3.3 Three phase Delta Modulated Inverter	24
บทที่ 4 Asynchronous และ Synchronous Delta Modulation	26
4.1 ความรู้พื้นฐานเกี่ยวกับ Asynchronousและ Synchronous Delta Modulation	26
4.2 การวิเคราะห์ Asynchronous - Synchronous Delta Modulation	28
4.2.1 Asynchronous Delta Modulation	28
4.2.2 Synchronous Delta Modulation	31
4.2.3 การจำลองทางดิจิตอลโดยใช้คอมพิวเตอร์	33
บทที่ 5 วงจรหลัก	40
5.1 การทำงานของวงจรหลัก	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 6 วงจรควบคุม

6.1 แหล่งจ่ายแรงดันที่สามารถขยายกระแสได้ 44

6.2 วงจรควบคุม D.C.link 44

6.3 วงจรขับนำเบส 47

6.4 วงจร Protection 47

6.5 วงจรสร้างสัญญาณ Delta Modulation Inverter 49

6.5.1 วงจรสร้างสัญญาณ ไซน์อ้างอิง 49

6.5.2 วงจรสร้างสัญญาณ pulse shaper 54

6.5.3 วงจรสร้างสัญญาณ Delta Modulation 54

6.5.4 การออกแบบวงจร Snubber 57

บทที่ 7 ผลการทดลอง 60

บทที่ 8 สรุปผลและวิจารณ์ 70

ภาคผนวก

หนังสืออ้างอิง

กิตติกรรมประกาศ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป

หน้า

บทที่ 1 การควบคุมความเร็วมอเตอร์เหนี่ยวนำ

รูปที่ 1.1 การปรับความเร็วโดยการเปลี่ยนค่า ความต้านทาน ของโรเตอร์ 4

รูปที่ 1.2 การเปลี่ยนแปลงของกราฟแรงบิด ความเร็ว ของ IM สำหรับแรงดัน ของสเตเตอร์ต่าง ๆ 5

รูปที่ 1.3 แรงดันเลี้ยงวงจรรูปคลื่นไซน์ 7

รูปที่ 1.4 กราฟแรงบิด-ความเร็วของมอเตอร์เหนี่ยวนำ 8

รูปที่ 1.5 การเปลี่ยนแปลงของแรงดัน แรงบิด กระแสสเตเตอร์กับความถี่ 9

บทที่ 2 วงจรอินเวอร์เตอร์

รูปที่ 2.1 Square wave inverter 11

รูปที่ 2.2 PWM Inverter 12

รูปที่ 2.3Torque-Speed Curve ของ IM ที่ควบคุมโดยวิธี VVVF 13

รูปที่ 2.4 ระบบควบคุมความเร็วที่ขับเคลื่อนด้วย current-fed inverter 14

รูปที่ 2.5 ลักษณะของกระแสและแรงดันในแต่ละเฟสของมอเตอร์ที่ขับเคลื่อนด้วย current-fed inverter 15

รูปที่ 2.6 Torque - Speed Curve ของ IM ที่ขับเคลื่อนโดย current-fed inverter สำหรับกระแสต่าง ๆ กัน 16

บทที่ 3 หลักการ Delta Modulation ใน PWM Inverter

รูปที่ 3.1 แสดง Block diagram ของ delta modulator 19

รูปที่ 3.2 สัญญาณของ Delta Modulation 20

รูปที่ 3.3 แสดงวิธีการบิดของสัญญาณการสวิทชิ่ง โดยวิธี DM 23

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป (ต่อ)

บทที่ 4 Asynchronous และ Synchronous Delta Modulation

รูปที่ 4.1 Block diagram ของ delta modulator 26

รูปที่ 4.2 สัญญาณของ Delta Modulation 27

รูปที่ 4.3 แสดง phase plane สำหรับ $v_r=0$ 29

รูปที่ 4.4 แสดง phase plane สำหรับสัญญาณอ้างอิง ac 29

รูปที่ 4.5 Blockdiagram ของ Synchronous delta modulator 32

รูปที่ 4.6 แสดงวงจร Asynchronous Delta Modulation ที่ Simulate โดย LEC.Sim 34

รูปที่ 4.7 แสดงวงจร Synchronous Delta Modulation ที่ใช้ในการ Simulate โดย LEC.Sim 35

รูปที่ 4a แสดงสัญญาณDeltaModulation เทียบกับสัญญาณไซน์อ้างอิง (Asynchronous) 36

รูปที่ 4b แสดงสัญญาณ Delta Modulation เทียบกับสัญญาณ error ที่ node 4 ออกจาก ของ Asynchronous 36

รูปที่ 4c แสดงสัญญาณ Delta Modulation เทียบกับสัญญาณไซน์อ้างอิงของ Synchronous 37

รูปที่ 4d แสดงสัญญาณ Delta Modulation กับสัญญาณ error ที่เข้า hysteresis 37

รูปที่ 4e แสดงการสวิทชิงที่มีคาบคงที่ของ Synchronous 38

รูปที่ 4f แสดงการสวิทชิงที่มีคาบไม่คงที่ของ Asynchronous 38

รูปที่ 4g แสดงสัญญาณของDelta Modulation และ error (ขยาย) 39

รูปที่ 4h แสดงสัญญาณของDelta Modulation และ error 39

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป (ต่อ)

บทที่ 5 วงจรหลัก

รูปที่ 5.1 แสดงวงจร power transistor module 40

รูปที่ 5.2 แสดง Block diagram ของระบบอินเวอร์เตอร์ 41

รูปที่ 5.3 แสดงรายละเอียดของBlock diagram ของวงจรหลัก 43

บทที่ 6 วงจรควบคุม

รูปที่ 6.1 แสดงวงจรแหล่งจ่ายแรงดันขยายกระแส 45

รูปที่ 6.2 วงจรควบคุม D.C.link 46

รูปที่ 6.3 แสดงวงจรขับเบสของ power transistor 46

รูปที่ 6.4 แสดงวงจร protection 48

รูปที่ 6.5 Block diagram ระบบ Synchronize delta modulated inverter 50

รูปที่ 6.6 วงจรสร้างสัญญาณไซน์อ้างอิง 52

รูปที่ 6.7 ข้อมูลใน EPROM 53

รูปที่ 6.8 วงจรสร้างสัญญาณ pulse shaper 55

รูปที่ 6.9 วงจร Synchronize 56

บทที่ 7 การทดลอง

รูปที่ 7.1 แสดงผลการทดลองเมื่อขับน่ามอเตอร์ขนาด 1 แรงม้า 60

รูปที่ 7.2 แสดงสัญญาณไซน์อ้างอิง 3 เฟสสร้างได้ ซึ่งสามารถปรับความถี่และ แรงดันได้ 62

รูปที่ 7.3 แสดงสัญญาณ Delta Modulation ในโหมดของ PWM เปรียบเทียบค่าการสวิทชิงกับ error 63

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 7.4 แสดงสัญญาณ V_{CE} และ V_{BE} ของ power transistor จะแสดง storage time transistor 64

รูปที่ 7.5 แสดงสัญญาณ Delta Modulation ในโหมดของ Square wave 65

รูปที่ 7.6 แสดงรูปของสัญญาณ V_L และ I_L โดยการนำไปทดสอบขับน้ำมอเตอร์ขณะไร้โหลด โดยการทำงานของอินเวอร์เตอร์ในโหมด PWM ที่ความถี่ 45 Hz 65

รูปที่ 7.7 แสดงรูปของสัญญาณ V_L และ I_L โดยการนำไปทดสอบขับน้ำมอเตอร์ขณะ ใส่โหลด โดยการทำงานของอินเวอร์เตอร์ในโหมด PWM ที่ความถี่ 45 Hz 66

รูปที่ 7.8 แสดงรูปของสัญญาณ V_L และ I_L โดยการนำไปทดสอบขับน้ำมอเตอร์ขณะไร้โหลดโดยการทำงานของอินเวอร์เตอร์ในโหมด Square wave ที่ความถี่ 70 Hz 67

รูปที่ 7.9 แสดงรูปของสัญญาณ V_L และ I_L โดยการนำไปทดสอบขับน้ำมอเตอร์ขณะ เพิ่มโหลด โดยการทำงานของอินเวอร์เตอร์ในโหมด Square wave ที่ความถี่ 70 Hz 68

รูปที่ 7.10 แสดงภาพอุปกรณ์และแผงวงจรที่ใช้ในโครงงาน 69

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทนำ

ในปัจจุบันได้มีการพัฒนาอย่างต่อเนื่องและกว้างขวาง ของอินเวอร์เตอร์เพื่อใช้ในการขับมอเตอร์เหนี่ยวนำ(Induction Motor)เมื่อเทียบกับการพัฒนาการควบคุมมอเตอร์กระแสตรง (D.C. Motor) ทั้งนี้เนื่องมาจาก มอเตอร์เหนี่ยวนำ โดยเฉพาะแบบกรงกระรอก (Squirrel cage) ซึ่งมีคุณสมบัติหลายประการที่ดีกว่ามอเตอร์กระแสตรง

อินเวอร์เตอร์ที่ใช้งานในการควบคุมมอเตอร์เหนี่ยวนำ ต้องสามารถเปลี่ยนแปลงความถี่ได้ซึ่งจะทำหน้าที่เชื่อมโยงระหว่างระบบจ่ายไฟ (Utility Power System)และมอเตอร์ ต้องมีคุณสมบัติพื้นฐาน ที่สอดคล้องดังต่อไปนี้

1.สามารถที่จะปรับความถี่ได้ เป็นสัดส่วนกับความเร็วรอบที่ต้องการ

2.สามารถปรับแรงดันขาออก เพื่อที่จะรักษาอัตราส่วนแรงดันต่อความถี่ ให้คงที่ตลอดช่วงที่แรงบิดคงที่ ตามที่ต้องการ

3.สามารถจ่ายกระแสได้เต็มพิกัด ที่ความถี่ใดความถี่หนึ่ง ซึ่งอยู่ในช่วงของแรงบิดคงที่ ที่ต้องการ

อินเวอร์เตอร์ที่ใช้ส่วนใหญ่จะเป็นแบบ Six step และ PWM แบบ Six step[14] จะใช้งานได้ดีที่ย่านความถี่สูง เนื่องจาก Switching loss น้อย และผลของฮาร์โมนิคส์อันดับต่ำจะถูกกรองไปเมื่อใช้งานที่ความถี่สูง ส่วนแบบ PWM นั้นจะใช้งานได้ดีที่ย่านความถี่ต่ำทั้งนี้เพราะ สามารถลดทอนองค์ประกอบฮาร์โมนิคส์อันดับต่ำ ๆได้

ในปริญญานิพนธ์ฉบับนี้ จะกล่าวถึงการออกแบบและการสร้างอินเวอร์เตอร์ที่ใช้เทคนิคการม็อดดูเลทแบบเดลต้า (Delta Modulated Inverter) ซึ่งเป็นอินเวอร์เตอร์จ่ายแรงดัน (Voltage Fed Inverter) แบบ PWM แต่สามารถปรับเปลี่ยนการทำงานเป็น Square wave ได้ในย่านความถี่สูง และใช้วงจรที่ไม่ยุ่งยากซับซ้อน

ระบบอินเวอร์เตอร์ชนิดนี้จะมีการเชื่อมโยงพลังงานจาก AC → DC → DC → AC

AC → DC ใช้ 1 เฟส Diode Bridge rectify

DC → DC ใช้หลักการ Chopper แบบ Stepdown Converter

DC → AC ใช้อินเวอร์เตอร์ แบบเดลต้าม็อดดูเลท พีดับบลิวเอ็ม

ในปริญญานิพนธ์ฉบับนี้ จะอธิบายถึงหลักการสร้างและออกแบบวงจร เดลต้าม็อดดูเลท อินเวอร์เตอร์ โดยจะแบ่ง เนื้อหาออกเป็นบทต่าง ๆ เพื่อให้สามารถทำความเข้าใจ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น ไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์นี้ ได้ง่ายขึ้น ดังนี้

บทที่ 1 จะกล่าวถึงพื้นฐานการควบคุมความเร็วมอเตอร์เหนี่ยวนำ ในแบบต่างๆ

บทที่ 2 จะกล่าวถึงพื้นฐานและการทำงานของวงจรอินเวอร์เตอร์

บทที่ 3 จะอธิบายพื้นฐาน ของการสร้างสัญญาณ PWM Delta Modulated Inverter ตลอดจนข้อดีข้อเสียในการใช้งาน

บทที่ 4 อธิบายหลักการสร้าง และลักษณะของ Synchronize และ Asynchronize DM Inverter และมีการจำลองวงจรโดยการใช้คอมพิวเตอร์

บทที่ 5 จะแสดงวงจรหลัก และอธิบายถึงระบบของอินเวอร์ที่ใช้ในการศึกษา

บทที่ 6 จะแสดงวงจรควบคุมในส่วนต่างๆ คือ ส่วนของแหล่งจ่ายแรงดัน ส่วนควบคุม D.C. Link ส่วนของวงจรขับฝ่าเบส ส่วนการสร้างสัญญาณ PWM โดยวิธี Delta Modulated Inverter

บทที่ 7 เป็นผลการทดลอง

บทที่ 8 สรุปผลและวิจารณ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1 การควบคุมความเร็วมอเตอร์เหนี่ยวนำ

มอเตอร์กระแสสลับที่นิยมใช้กันมาก คือ มอเตอร์เหนี่ยวนำโดยเฉพาะโรเตอร์แบบกรงกระรอก (squirrel cage induction motor) ซึ่งมีโครงสร้างที่แข็งแรงทนทาน มีส่วนหมุน (rotor) ทำจากแท่งทองแดงหล่อติดกัน มีรูปร่างคล้ายกรงกระรอกครอบไว้บนแท่นเหล็กจำนวนมากที่ใช้เป็นแกน ไม่ต้องการฉนวนในที่ใดๆ ของส่วนหมุน มีความเฉื่อยต่ำ น้ำหนักเบาทำงานได้ที่อุณหภูมิสูง มีประสิทธิภาพดี สามารถทำงานได้ยาวนาน โดยไม่ต้องการซ่อมบำรุง ราคาถูกและขนาดเล็กกว่า DC motor เมื่อเปรียบเทียบที่อัตราเร็ว และกำลังม้าเท่ากัน หรือมีอัตราส่วนกำลังต่อน้ำหนักสูง ต้องการการบำรุงรักษาน้อย สามารถทำงานในภาวะแวดล้อมที่สกปรกและเสี่ยงต่อการระเบิดได้ เพราะไม่มีประกายไฟที่เกิดจาก commutation

1. การควบคุมความเร็วของมอเตอร์เหนี่ยวนำ (speed control of an induction motor)

หลักการของมอเตอร์เหนี่ยวนำ มอเตอร์เหนี่ยวนำจะประกอบด้วยส่วนสองส่วนคือ ส่วนของตัวหยุดนิ่ง (stator) และส่วนของตัวหมุน(rotor) ส่วนของตัวหมุนจะทำหน้าที่รับพลังงานจากแหล่งจ่ายไฟฟ้ากระแสสลับผ่านส่วนอยู่นิ่ง โดยอาศัยหลักการเหนี่ยวนำ ซึ่งขดลวดของส่วนที่อยู่นิ่งทำหน้าที่สร้างสนามแม่เหล็กที่มีค่าคงที่ขึ้นในช่องอากาศ (airgap) ระหว่างส่วนอยู่นิ่งกับส่วนหมุนเรียกว่า "สนามแม่เหล็กหมุน" สามารถหาความเร็วได้จากสมการ

$$n_s = \frac{120\ f}{p} \qquad (1)$$

โดยที่ : n_s เป็นความเร็วของสนามแม่เหล็กหมุน (รอบ/นาที)

f เป็นความถี่ของกระแสไฟฟ้าที่ป้อนให้กับขดลวด มอเตอร์ (เฮริตซ์)

p เป็นจำนวนขั้วแม่เหล็กของมอเตอร์

ตามสมการ(1) นั้นมิใช่เป็นค่าความเร็วที่แท้จริงของมอเตอร์ เพราะว่ายังมีค่า factor ที่เป็นตัวแปรอีกตัวหนึ่ง คือ ค่าสลิป (slip ;s)ซึ่งจะทำให้ความเร็วรอบที่แท้จริงของมอ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เตอร์ มีค่าต่ำกว่า

ดังความสัมพันธ์ในสมการ(2)

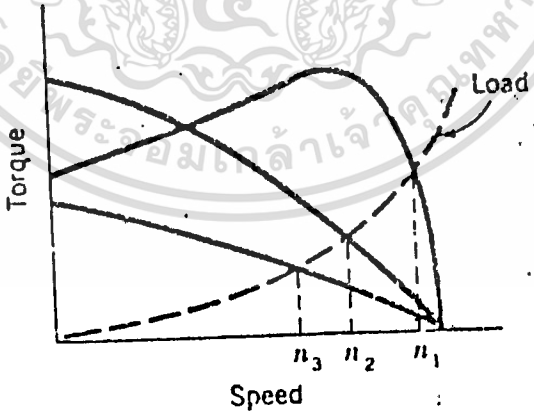
$$S = \frac{n_s - n_r}{n_s} \qquad (2)$$

หรือ $$n_r = (1-s)n_s \qquad (3)$$

จากสมการที่กล่าวมาข้างต้นจะเห็นได้ว่าการปรับความเร็วรอบของมอเตอร์สามารถทำได้ คือ

1.1 โดยการเปลี่ยนไถล (slip) S

สำหรับเครื่องที่ตัวหมุนมีการพันขดลวดอยู่รอบๆ (woundrotor)นั่นอาจปรับความเร็วของมอเตอร์ที่ได้รับภาระขนาดหนึ่งได้ โดยการเปลี่ยนไถล s การเปลี่ยนไถลนี้ทำได้โดยการเปลี่ยนแปรค่าความต้านทาน ในวงจรของตัวหมุน ดังนั้น ความเร็วของมอเตอร์ที่ถูกปรับ ณ ค่าภาระที่คงที่ค่าหนึ่ง ก็จะเปลี่ยนไปดังรูป 1.1



รูปที่ 1.1 การปรับความเร็วโดยการเปลี่ยนค่าความต้านทานของโรเตอร์

จะเห็นว่าการปรับความเร็วโดยการเปลี่ยนค่าความต้านทาน สามารถปรับได้ 4 ตำแหน่งตามค่าความต้านทานที่ปรับ และจะมีผลต่อ แรงบิด คือค่าความต้านทานจะแปรผัน

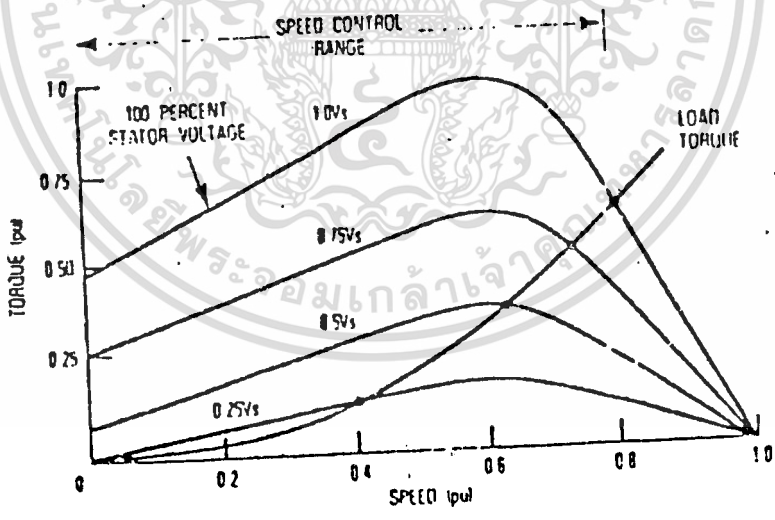
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น ห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$R \propto T$ โหลด

ตรงกับแรงบิดเริ่มแรกแต่มีข้อเสียคือ มีความร้อนเกิดขึ้นในความต้านทานที่ใช้ปรับความเร็วที่ต้องการปรับนั้นขึ้นอยู่กับแรงบิดของภาระ (load torque) ที่ทำการเปลี่ยนไป

1.2 การควบคุมแรงดันของสเตเตอร์

เนื่องจาก กราฟแสดงค่าแรงบิด - ความเร็ว(torque-speed curve)ของมอเตอร์เหนี่ยวนำ (induction motor) จะเปลี่ยนแปลงตามแรงดันที่ใส่ให้กับสเตเตอร์ของมอเตอร์ และความเร็วของระบบจะถูกกำหนดด้วยจุดตัดระหว่าง กราฟของแรงบิด-ความเร็ว ของมอเตอร์ และ กราฟของแรงบิด-ความเร็ว ของโหลด ดังแสดงในรูปที่ (1.2) ดังนั้น เราจะสามารถปรับความเร็วของระบบได้โดยการปรับแรงดันของมอเตอร์เพื่อให้จุดตัดระหว่างกราฟ แรงบิด-ความเร็ว ของมอเตอร์กับกราฟ แรงบิด-ความเร็ว ของโหลด ที่ค่าความเร็ว หรือ หรือค่า สลิปที่ต้องการ การควบคุมความเร็วโดยวิธีนี้ จะใช้หลักการของ phase contral ซึ่งเป็นวิธีที่ทำได้ง่ายและมีราคาถูก แต่ระบบนี้จะมีประสิทธิภาพต่ำ เนื่องจากเปอร์เซนต์ของกำลังการสูญเสียในโรเตอร์ของมอเตอร์จะ



รูปที่ 1.2 การเปลี่ยนแปลงของกราฟแรงบิด-ความเร็ว ของ IMสำหรับแรงดันของสเตเตอร์ต่างๆ

เพิ่มขึ้นตาม slip (s) นอกจากนี้แล้ว กำลังสูญเสียในสเตเตอร์จะเพิ่มขึ้นด้วยเนื่องจากการเพิ่มของกระแสในสเตเตอร์ เมื่อสลิปเพิ่มขึ้นแรงบิดของมอเตอร์ จะลดลงมาก โดยเฉพาะที่ความเร็วต่ำๆ เนื่องจากมอเตอร์ต้องทำงานที่สลิปค่าสูง นอกจากนี้แล้วก้า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หากเราควบคุมแรงดันโดยวิธี phase control จะทำให้เกิดฮาร์โมนิคส์ขึ้น ทั้งใน ac line และในตัวมอเตอร์เอง ทำให้เกิดการสูญเสียเพิ่มขึ้น อีกทั้ง power factor ของระบบก็จะลดลง ตามความเร็วของมอเตอร์ด้วย

จากข้อเสียที่กล่าวมาทำให้การใช้งาน ของระบบควบคุมความเร็วโดยวิธีควบคุมแรงดันถูกจำกัดอยู่เฉพาะในระบบที่มีขนาดเล็ก และขนาดกลาง ซึ่งต้องการราคาถูกมากกว่าจะสนใจเรื่องประสิทธิภาพ และ power factor โดยทั่วไปแล้วจะใช้กับโหลดที่ต้องการ แรงบิดเริ่มแรก (starting torque) ต่ำ

1.3 การปรับความเร็วโดยการเปลี่ยนจำนวนขั้วแม่เหล็กบนสเตเตอร์

การปรับความเร็วโดยวิธีนี้ทำให้ได้ความเร็วที่ห่างกันเป็นช่วงๆไป ทั้งนี้เพราะ $n_s = 2f/p$ และขั้วแม่เหล็กต้องเป็นจำนวนคี่เสมอวิธีการนี้เป็นการตัดต่อขดลวดที่สเตเตอร์ ให้มีจำนวนขั้วตามต้องการโดยปลายสายของขดลวดจะถูกนำออกมาต่อกับสวิตช์เพื่อให้สามารถเปลี่ยนการต่อได้ง่ายและวิธีนี้จะใช้กับ มอเตอร์เหนี่ยวนำแบบกรงกระรอก (Squirel cage) เท่านั้น อนึ่งการต่อสวิทช์ของขดลวด ทำให้ไม่สามารถเปลี่ยนจำนวนขั้วได้มากนักและสามารถปรับความเร็วได้ไม่เกิน 4 ระดับเท่านั้น อย่างไรก็ดีวิธีการนี้เราไม่สามารถปรับความเร็วรอบของมอเตอร์ให้เพิ่มขึ้น หรือลดลงอย่างต่อเนื่องได้

1.4 การปรับความเร็วโดยการเปลี่ยนความถี่

จากสมการ (1) จะเห็นได้ว่า ความเร็วซิงโครนัสของมอเตอร์เหนี่ยวนำแปรผันตรงกับความถี่ดังนั้นจึงสามารถปรับความเร็วรอบของมอเตอร์ได้ ลักษณะการควบคุมความถี่นั้นจะคล้ายกับการควบคุมความเร็วของ ดีซีมอเตอร์ กล่าวคือเมื่อเราต้องการเพิ่มความเร็วของมอเตอร์เหนี่ยวนำ เราต้องเพิ่มความเร็วซิงโครนัสซึ่งทำได้โดยการเพิ่มความถี่ของแรงดันออกของอินเวอร์เตอร์ แต่การเพิ่มความถี่จะทำให้ air-qap flux ของมอเตอร์ลดลงเนื่องจากการลดลงของ magnetizing current อันเป็นผลเนื่องมาจากการเพิ่มขึ้นของ magnetizing reactance กับความถี่ ซึ่งเมื่อ air gap flux ลดลงจะทำให้แรงบิดสูงสุด (maximum torque) ของมอเตอร์ลดลง เพื่อที่จะรักษา airqap flux และค่าแรงบิดสูงสุดให้คงที่ เราจะต้องเพิ่มแรงดันออกของอินเวอร์เตอร์ตามความถี่ คือ รักษาอัตราส่วนของแรงดันออก (v) ต่อความถี่ (f) หรือ V/f ให้คงที่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตามสมการ(3)

$$v = k\phi f \qquad (4)$$

เมื่อ v เป็นค่าแรงดัน อาร์ เอ็ม เอส ป้อนเข้าที่ขั้วมอเตอร์

k เป็นค่าคงที่ซึ่งมีค่าขึ้นอยู่กับตัวประกอบรูปแบบ (form factor) ตัวประกอบขดลวด (winding factor) และจำนวนรอบของขดลวดที่พันไว้ในมอเตอร์

ϕ เป็นค่าฟลักซ์สูงสุดต่อหนึ่งโพลของมอเตอร์

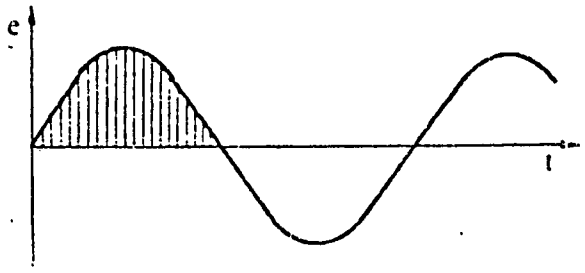
จากสมการที่ (3) เมื่อ v/f คงที่ จะทำให้ คงที่ ผลก็คือ แรงบิดคงที่ เช่นเดียวกับการควบคุมดีซีมอเตอร์ โดยวิธีควบคุมแรงดันของอาร์เมเจอร์ และรักษาสนามแม่เหล็กให้คงที่ ทำให้มีลักษณะเป็น constant torque drive

การอธิบายหลักการของวิธี v/f นั้น สามารถอธิบายได้จากการอินทิเกรตกฎของ Faraday

จาก $e = -d\lambda/dt$

เราจะได้ $|\lambda| = \int e\, dt \qquad (5)$

สมการนี้แสดงว่า พื้นที่ใต้เส้นโค้งรูปคลื่นแรงดันที่ได้เขียนเส้นแรเงาไว้ในรูปที่ 1.3 จะเป็นค่าฟลักซ์แม่เหล็กรวม ทำให้สรุปได้ว่า "ไม่ว่าความถี่จะมีค่าเท่าไร ขอให้



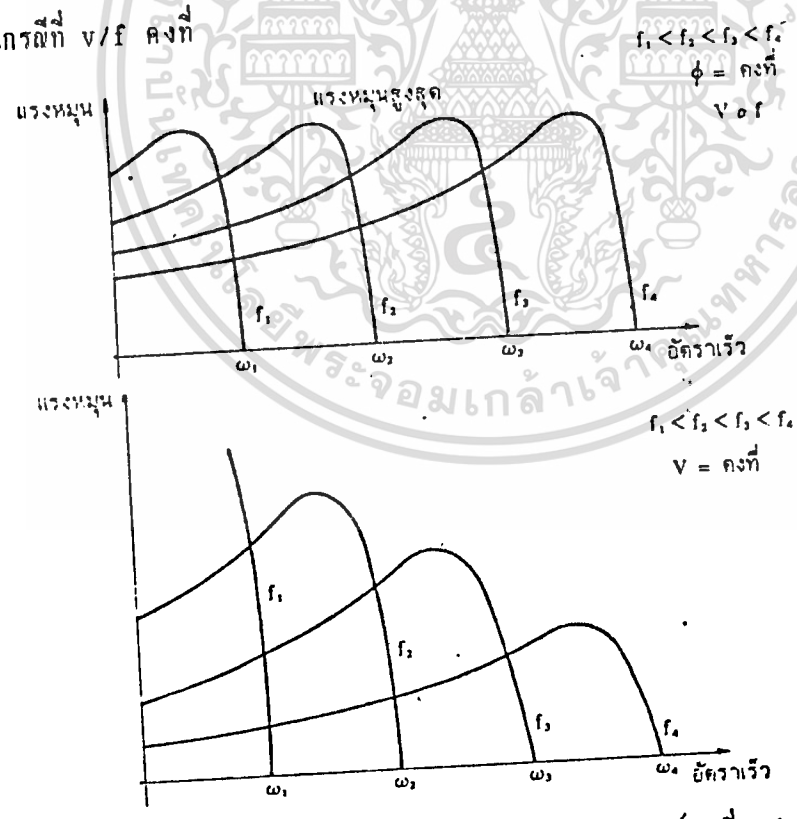
รูปที่ 1.3 แรงดันเลี้ยงวงจรรูปคลื่นไซน์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเอกสารทุกครั้งที่มีการนำไปใช้

เพียงแต่พื้นที่ใต้เส้นโค้งแรงดันไฟฟ้ามีค่าคงที่อยู่เสมอแล้ว มอเตอร์เหนี่ยวนำจะสามารถทำงานที่แรงบิดที่มีค่าสูงและเป็นไปอย่างเหมาะสมที่สุด"

การควบคุมให้ มอเตอร์เหนี่ยวนำมีค่า ทอร์คสูงสุดคงที่ จะทำได้ในย่านความเร็วที่ต่ำกว่าความเร็วที่กำหนด (base speed) หรือความถี่ต่ำกว่า ความถี่ เบส (base frequency 1 P.U.) แสดงในรูป 1.4

ที่ความถี่ต่ำๆ การรักษา v/f คงที่นั้น ไม่เป็นการเพียงพอที่จะทำให้ ทอร์คสูงสุดมีค่าคงที่ ทั้งนี้เพราะที่ความถี่ต่ำๆ magnetizing current ไม่ได้ขึ้นอยู่กับ magnetizing reactance เพียงอย่างเดียว เนื่องจาก ความต้านทานของสเตเตอร์จะมีค่าใกล้เคียงกับ magnetizing reactance ดังนั้นเราต้องเพิ่มค่าแรงดันที่จ่ายให้กับสเตเตอร์ของ มอเตอร์เหนี่ยวนำ เพื่อชดเชยแรงดันที่ตกคร่อมสเตเตอร์รีซิสแตนซ์ ทำให้เกิดการเปลี่ยนแปลงของแรงดันกับความถี่เป็นไปตามเส้นทึบของกราฟในรูป 1.4 แทนการเปลี่ยนแปลงตามเส้นประซึ่งเป็นกรณีที่ v/f คงที่

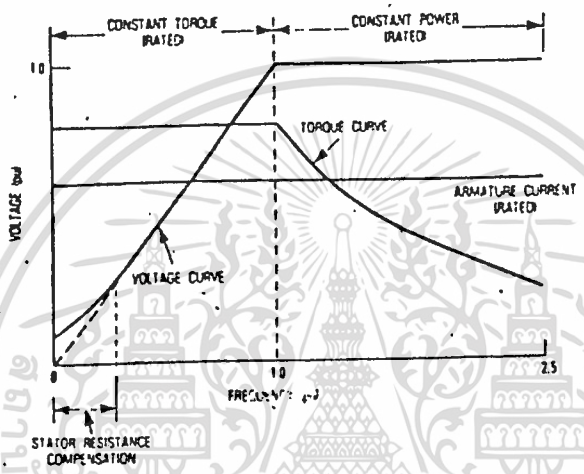


รูปที่ 1.4 กราฟ แรงบิด-ความเร็วของ มอเตอร์เหนี่ยวนำ

ในย่านความเร็วที่สูงกว่า base speed เราจะไม่สามารถรักษา ค่าแรงบิดให้คงที่ เนื่องจากทำให้มอเตอร์เกิดการ over load ดังนั้นเราจึงต้องรักษาแรงดันให้คงที่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารนี้ทุกครั้งที่มีการนำไปใช้

เท่ากับค่าที่กำหนดซึ่งจะทำให้ค่าแรงบิดที่ได้ลดลง เนื่องจากการลดลงของ airgap flux เมื่อเราเพิ่มความเร็วขึ้น ดังแสดงในรูปที่ 1.5 การควบคุมความเร็วในย่านนี้ กำลังออกสูงสุดของมอเตอร์เนื่องว่า จะมีค่าคงที่เช่นเดียวกับการควบคุมดีซีมอเตอร์ ด้วยการลดความเข้มของสนามแม่เหล็ก ดังนั้นเราเรียกว่าเป็นการทำงานใน constant horse power mode หรือ field weakening mode



รูปที่ 1.5 การเปลี่ยนแปลงของแรงดัน แรงบิด กระแสสเตเตอร์กับความถี่

027003

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2 วงจรอินเวอร์เตอร์

วงจรอินเวอร์เตอร์ ทำหน้าที่แปลงผันไฟฟ้าจากไฟกระแสตรงเป็นไฟกระแสสลับ และสามารถปรับแรงดันและความถี่ของไฟสลับได้ ตัวอย่างการใช้งานอินเวอร์เตอร์ได้แก่

- แหล่งจ่ายไฟกระแสสลับสำรอง
- แหล่งจ่ายไฟต่อเนื่อง (uninterruptible power supply UPS)
- วงจรขับมอเตอร์ไฟสลับแบบปรับความเร็วได้
- เครื่องให้ความร้อนแบบเหนี่ยวนำ
- อุปกรณ์แปลงผันพลังงานที่ปลายทางของสายส่งไฟตรง ให้เป็นไฟกระแสสลับเพื่อจ่ายให้แก่ผู้ใช้

ฯลฯ

เมื่อใช้อินเวอร์เตอร์ ขับมอเตอร์เหนี่ยวนำ เรามีความจำเป็นที่จะต้องควบคุมแรงดันไฟกระแสสลับที่ขาออกของอินเวอร์เตอร์ดังที่ได้กล่าวมาจากบทที่แล้วว่าจะต้องควบคุมให้อัตราส่วนแรงดันต่อความถี่มีค่าคงที่ ดังนั้นเมื่อทำการเปลี่ยนความถี่ก็จะต้องเปลี่ยนค่าแรงดันด้วย เพื่อให้ฟลักซ์มีค่าคงที่โดยประมาณ หรือในกรณีของแหล่งจ่ายไฟกระแสสลับอาจจะต้องควบคุมให้แรงดันคงที่และเชื่อถือได้ แม้ว่าแรงดันไฟกระแสตรงที่ขาเข้าจะเปลี่ยนแปลงไป

เพื่อประสิทธิภาพในการแปลงผันพลังงาน การทำงานของอินเวอร์เตอร์ จะเป็นลักษณะการทำงานแบบสวิทชิงไม่เป็นแบบเชิงเส้น ดังนั้นรูปคลื่นของสัญญาณแรงดันไฟสลับมักจะมีลักษณะเป็นสัญญาณรูปสี่เหลี่ยม หรือลักษณะอื่นที่ไม่ใช่ไซน์ (ยกเว้นว่าจะมีการกรองหรือการใช้เทคนิคอื่นเพื่อปรับสัญญานรูปคลื่นให้เกือบเป็นไซน์) อย่างไรก็ดีในการใช้งานอินเวอร์เตอร์ในหลายกรณี จะมีฮาร์โมนิคส์ที่เข้ามาปนกับแรงดันขาออก ทำให้มีผลเสียต่อสมรรถนะของระบบ เช่นในการขับมอเตอร์เหนี่ยวนำ จะเกิดกำลังสูญเสีย ซึ่งทำให้มอเตอร์ร้อน และยังทำให้แรงบิดของมอเตอร์เกิดการกระเพื่อม (torque pulsation) ดังนั้นเราจะต้องศึกษาวิธีที่จะลดฮาร์โมนิคส์ของสัญญาณไฟกระแสสลับด้วย โดยต้องคำนึงถึงว่า เทคนิคที่ใช้นั้นจะต้องไม่ซับซ้อนจนเกินไป เพื่อการใช้งานที่เหมาะสม

สำหรับอินเวอร์เตอร์ที่ให้กำลังไม่สูงนัก เช่น 10 KVA อินเวอร์เตอร์ที่ใช้อาจใช้เป็นแบบ เฟสเดียว แต่สำหรับอินเวอร์เตอร์กำลังสูง ถ้าเป็นแบบสามเฟส จะมีสมรรถนะ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารนี้ทุกครั้งที่มีการนำไปใช้

ดีกว่า

องค์ประกอบที่สำคัญของอินเวอร์เตอร์ก็คือ สิ่งประดิษฐ์ที่ใช้เป็นสวิทช์ ซึ่งได้แก่ ไทริสเตอร์และทรานซิสเตอร์ เป็นต้น แต่ละชนิดก็มีข้อดีข้อเสียแตกต่างกันไป

ไทริสเตอร์มีข้อดี คือทนกระแสและทนแรงดันได้สูง จุดชนวนง่าย แต่ก็มีข้อด้อยคือ ทำให้หยุดนำกระแสหรือดับได้ยาก อีกทั้งไม่สามารถสวิทช์ที่ความถี่สูงนัก (ต่ำกว่า 10 กิโลเฮิรทซ์)

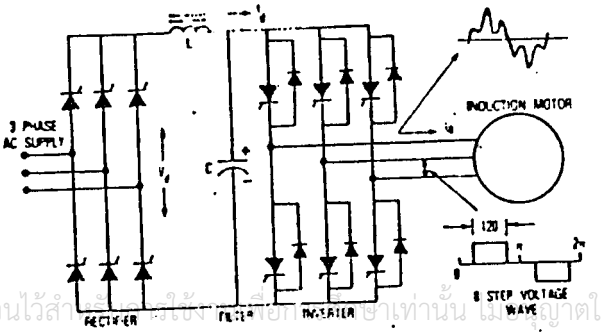
ทรานซิสเตอร์มีข้อดีคือ สวิทช์ที่ความถี่ได้สูงถึงร้อยกิโลเฮิรทซ์ แต่ไม่แข็งแรงทนทานเท่ากับไทริสเตอร์ เรานิยมใช้ทรานซิสเตอร์ในกรณีอินเวอร์เตอร์ที่มีกำลังไม่สูงนัก (ต่ำกว่า 100 KVA)

ระบบการใช้งานของอินเวอร์เตอร์

ในปัจจุบันเราสามารถปรับความเร็วของมอเตอร์เหนี่ยวนำ โดยใช้การปรับความถี่ของแรงดันที่ใส่ให้กับสเตเตอร์ของมอเตอร์เหนี่ยวนำซึ่งอาศัย static inverter และเนื่องจากสมบัติของระบบจะขึ้นอยู่กับชนิดของอินเวอร์เตอร์ที่ใช้ดังนั้นเราอาจจะจำแนกระบบออกตามชนิดของอินเวอร์เตอร์ที่ใช้ได้เป็น Voltage - Fed Inverter Drive และ Current - Fed Inverter Drive

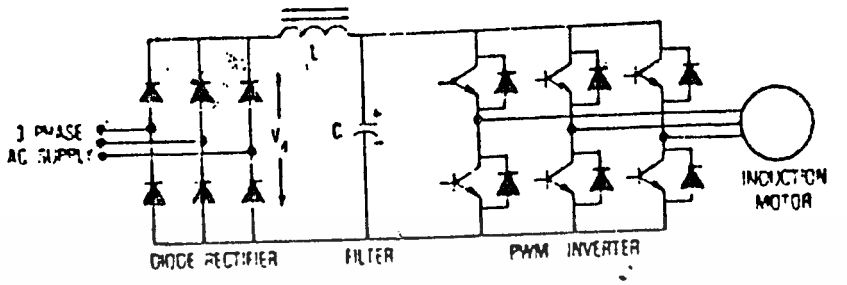
2.1 Voltage - Fed Inverter Drive

Voltage - Fed Inverter โดยทั่วไปอาจจะจำแนกได้เป็น 2 ชนิดคือ square-wave inverter ① หรือ sixstep inverter และ pulse-width modulated (PWM) inverter ② ดังแสดงในรูปที่ 2.1 และ 2.2 ตามลำดับ การที่เรา



รูปที่ 2.1 Square wave inverter

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.2 PWM Inverter

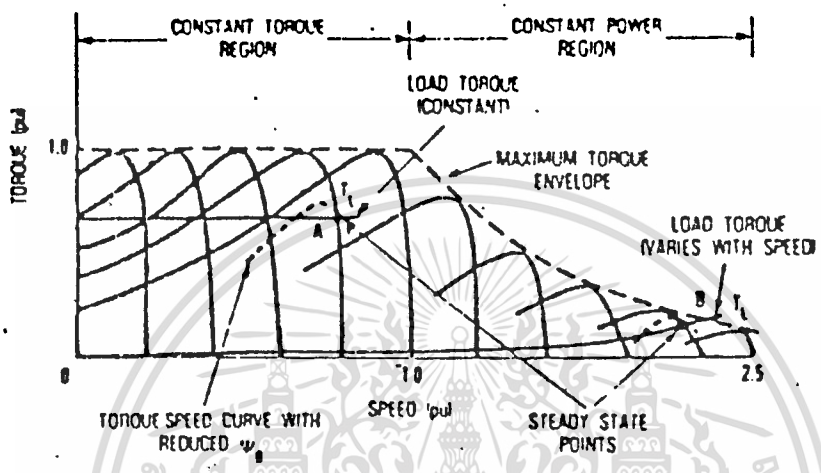
เรียกอินเวอร์เตอร์แบบนี้ว่าเป็น Voltage - Fed Inverter ก็เนื่องจากการที่เรามี filter cpapcitor C มีค่าใหญ่ ทำให้แรงดันเข้าของอินเวอร์เตอร์มีค่าคงที่ และแรงดันออกของอินเวอร์เตอร์ มีค่าไม่ขึ้นอยู่กับโหลด

→square wave inverter นั้น จะควบคุมแรงดันออกโดยการควบคุมแรงดันไฟตรงที่จ่ายให้กับอินเวอร์เตอร์ ดังนั้นวงจรด้านขาเข้าของ square wave inverter จึงต้องใช้ SCR เพื่อจะได้สามารถควบคุมแรงดันออกได้ ส่วน PWM inverter นั้นจะควบคุมแรงดันออกโดยการควบคุมการสวิทช์ ซึ่งในหนึ่งคาบจะมีการสวิทช์หลายครั้ง และโดยการแปรเวลาในการสวิทช์ปิด-เปิด จะทำให้สามารถเปลี่ยนแปลงค่าแรงดันออกของอินเวอร์เตอร์ได้ตามต้องการ ดังนั้นจึงไม่จำเป็นต้องควบคุมแรงดันไฟตรงที่จ่ายให้กับอินเวอร์เตอร์ และโดยทั่วไปวงจรด้านขาเข้าของอินเวอร์เตอร์นั้นมีไว้สำหรับให้กระแสที่เกิดจาก reactive power ไหลผ่าน ทั้งแบบ square wave และ แบบ PWM ก็มีข้อดีข้อเสียต่างๆกัน

จากการที่เราต้องควบคุมอัตราส่วน v/f ให้มีค่าคงที่ จากรูปที่ 2.3 แสดงกราฟของแรงบิดและความเร็ว ของมอเตอร์เหนี่ยวนำ ที่แรงดันและความถี่ค่าหนึ่ง จากกราฟ จะเห็นว่า จุดการทำงานจะอยู่ที่จุดตัดระหว่าง กราฟแรงบิดและความเร็ว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ของมอเตอร์เหนี่ยวนำ กับโหลดที่จุด A และ B เป็นจุดทำงานในกรณีที่ load torque มีค่าคงที่



รูปที่ 2.3 Torque-Speed curve ของ IM ที่ควบคุมโดยวิธี VVVF

และแปรผันกับความเร็วตามลำดับ เนื่องจากการควบคุมความเร็วของ มอเตอร์เหนี่ยวนำโดยวิธีนี้จะเป็นการแปรทั้งความถี่และแรงดัน ดังนั้นเราจะเรียกการควบคุมแบบนี้ว่า เป็นการควบคุมโดยการ Variable Voltage Variable Frequency Drive (VVVF) การควบคุมมอเตอร์เหนี่ยวนำโดยวิธี VVVF นี้จะทำให้เราสามารถ เร่งเครื่องจากความเร็วเป็นศูนย์ ไปสู่ความเร็วที่ต้องการ โดยมีค่าแรงบิดสูงสุดได้

เนื่องจากแรงดันขาออกของอินเวอร์เตอร์ ที่ใช้ในการขับเคลื่อนมอเตอร์ไม่ได้เป็น sine wave ดังนั้นมอเตอร์จะได้รับแรงดันฮาร์โมนิคส์ ซึ่งจะทำให้เกิดสนามแม่เหล็กหมุนใน airgap ด้วยความเร็วที่สูงกว่าสนามแม่เหล็กเนื่องจาก fundamental component เมื่อมอเตอร์มีโหลดน้อยๆ ทำให้กระแสของมอเตอร์ไม่ลดลงเท่าที่ควร เมื่อโหลดลดลง แรงดันฮาร์โมนิคส์ของอินเวอร์เตอร์นี้ จะทำให้เกิดการสูญเสียในมอเตอร์มากขึ้นดังนั้น เราจึงจำเป็นที่จะต้องนำมาพิจารณาในการเลือกขนาดของมอเตอร์ด้วย นอกจากนี้ แล้วสนามแม่เหล็กที่เกิดจากแรงดันฮาร์โมนิคส์ ซึ่งอาจจะหมุนไปทางเดียวกันหรือสวน

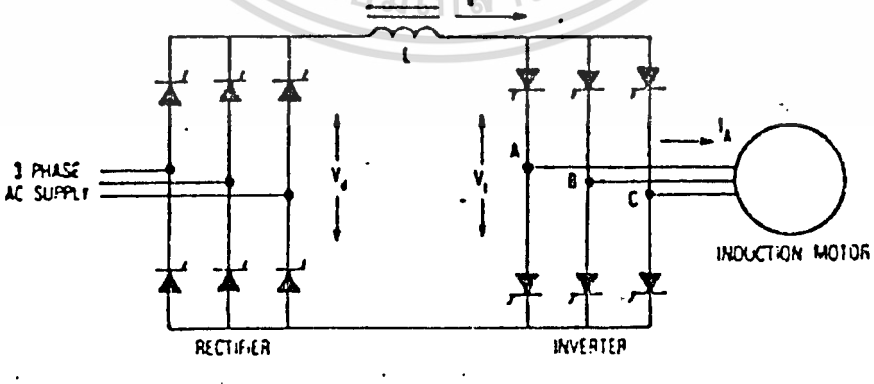
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ทางกับ fundamental air gap flux เกิดแรงบิดขึ้น และโดยทั่วไปจะถูกกรองออกไปเนื่องจาก inertia ของระบบ แต่ถ้าความถี่ของแรงบิดที่เกิดขึ้นมีค่าใกล้เคียงกับความถี่ เรโซแนนซ์ของระบบเชิงกล อาจจะทำให้เกิด hunting อันจะเป็นผลเสียต่อระบบได้

ข้อดีของการใช้ การควบคุมแรงดัน (voltage control) ก็คือเราสามารถควบคุมแรงบิดของมอเตอร์ได้โดยการควบคุมความเร็ว โดยวิธีควบคุมแรงดัน จะทำได้โดยไม่จำเป็นต้องมีการป้อนกลับ หรือถ้าระบบป้อนกลับเกิดขัดข้องก็จะไม่เป็นอันตรายต่อระบบ เพียงแต่ทำให้เกิดความคลาดเคลื่อนของความเร็วขึ้นเท่านั้น สำหรับข้อเสียของ voltage control ก็คือหากเกิดความผิดพลาดในการควบคุมสวิทช์ จะทำให้เกิดปัญหา short-through ซึ่งอาจจะทำให้ วงจรเพาเวอร์ หรือในบางครั้ง วงจรควบคุมเสียหายได้

2.2 Currennt-Fed Inverter

อินเวอร์เตอร์ชนิดนี้ จะประกอบด้วย วงจร controlled rectifier และ current filter choke โดยไม่มีคาปาซิเตอร์เป็นวงจรทางด้านขาเข้าและมี

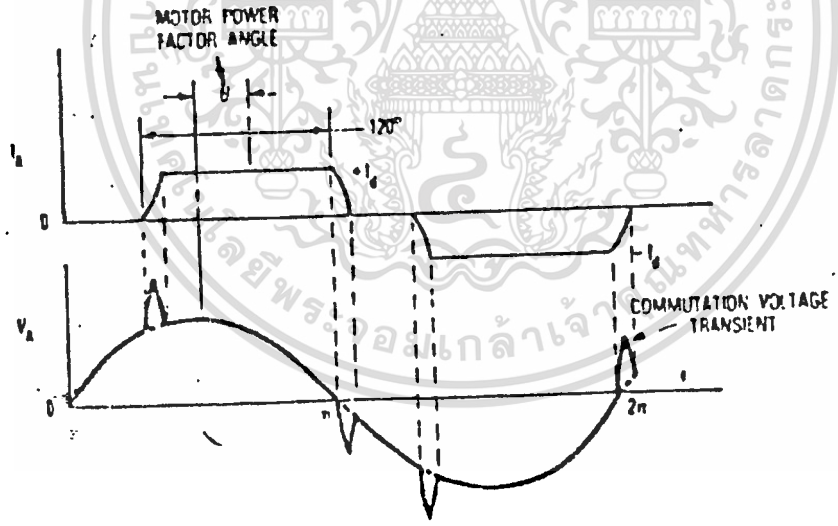


รูปที่ 2.4 ระบบควบคุมความเร็วที่ขับเคลื่อนด้วย current-fed inverter

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

current mode inverter เป็นวงจรทางด้านออก ดังในรูปที่ 2.4 controlled

rectifier และfilter choke จะทำหน้าที่เป็น variable dc ควบคุมการไหลของกระแสเข้าสู่มอเตอร์ เพื่อทำให้เกิดเป็นรูปคลื่นของกระแส 3 เฟส ซึ่งสามารถเปลี่ยนแปลงความถี่ได้ รูปที่ 2.5แสดงรูปคลื่นของกระแสและแรงดันในแต่ละเฟสของมอเตอร์ที่ขับเคลื่อนด้วย current- fed inverter จะเห็นได้ว่ากระแสของมอเตอร์จะมีลักษณะเป็น quasi-sine wave ซึ่งมีขนาดคอนน้ำกระแสคงที่เท่ากับกระแสของแหล่งกำเนิดกระแส (I_d) เนื่องจากจะมีสวิทช์คู่เดียวเท่านั้นที่นำกระแสในแต่ละครั้ง ส่วนแรงดันเฟสของมอเตอร์นั้นจะมีลักษณะเกือบจะเป็น sine wave โดยจะมี spike เนื่องจากการ commutation อยู่ด้วย รูปที่ 2.6 เป็นลักษณะสมบัติ ทอร์ค-ความเร็ว ของมอเตอร์เหนี่ยวนำที่ขับ

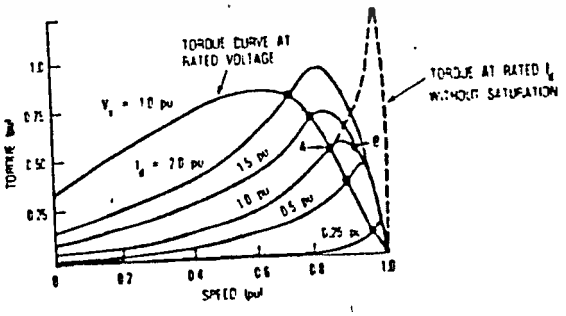


รูปที่ 2.5 ลักษณะของกระแสและแรงดันในแต่ละเฟสของมอเตอร์ที่ขับเคลื่อนด้วย current-fed inverter

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เคลื่อนโดย current-fed inverter สำหรับกระแส I_d ต่างๆกัน โดยที่ความถี่มีค่าคงที่ จะเห็นว่าแรงบิดของมอเตอร์เหนี่ยวนำในตอนเริ่มเดินเครื่องจะมีค่าต่ำมากเมื่อ

เทียบกับการขับเคลื่อนโดยใช้ voltage-fed inverter ทั้งนี้เพราะที่ความเร็วต่ำๆโร
เตอร์อิมพีแดนซ์จะมีค่าต่ำทำให้แรงดันของมอเตอร์ต่ำ เมื่อแรงดันเข้าของมอเตอร์น้อย
air gap flux จะมีค่าน้อย ดังนั้นแรงบิดของมอเตอร์เหนี่ยวนำจึงต่ำ เมื่อความเร็ว
ของมอเตอร์เหนี่ยวนำ เพิ่มขึ้นแรงดันเข้าของมอเตอร์จะเพิ่มขึ้นทำให้ air gap flux
และแรงบิดเพิ่มขึ้นตาม ถ้าแกนเหล็กของมอเตอร์ไม่อิ่มตัว แรงบิดของมอเตอร์จะเพิ่มขึ้น
อย่างรวดเร็วเมื่อความเร็วเข้าใกล้ความเร็วซิงโครนัส จากนั้นก็จะลดลงด้วยสโลปที่ชัน
มาก และมีค่าเป็นศูนย์เมื่อความเร็วเท่ากับความเร็วซิงโครนัส ตามเส้นกราฟที่เป็น
เส้นประ(รูปที่ 2.6) อย่างไรก็ดีเนื่องจากจะมีการอิ่มตัวของแกนเหล็กของมอเตอร์ ทำ
ให้แรงบิดของมอเตอร์แปรตามความเร็วตามกราฟที่เป็นเส้นทึบ เราจะสามารถควบคุมให้
มอเตอร์ทำงานในช่วงที่ กราฟ ทอร์ค-ความเร็ว ของมอเตอร์มีสโลปเป็นบวกตามแนวที่
เป็นจุดตัดระหว่างลักษณะสมบัติของ vltage fed และ current fed inverter (A)
หรืออาจจะควบคุมให้มอเตอร์ทำงานในช่วงที่ กราฟ ทอร์ค-ความเร็วของมอเตอร์มีส
โลปเป็นลบ (B) การทำงานบริเวณที่มีค่าสโลปเป็นบวก จะมีสลิปสูง ทำให้ rotor
current และ rotor loss มากกว่า แต่ air gap flux จะไม่อิ่มตัว และ
magnetizing current จะมีค่าเท่ากับค่าที่กำหนด แต่ถ้ามอเตอร์ทำงานในบริเวณที่มีส
โลปเป็นลบ rotor current จะมีค่าน้อย แต่เนื่องจากแกนเหล็กของมอเตอร์จะเริ่มอิ่ม
ตัว ดังนั้น magnetizing current และ Iron loss ซึ่งมีค่ามากกว่าที่จุด A ทำให้



รูปที่ 2.6 Torque-speed curve ของ IM ที่ขับเคลื่อนโดย current fed
inverter สำหรับกระแสต่างๆกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

มอเตอร์ร้อน ดังนั้นเราจึงมักจะให้มอเตอร์ทำงานในบริเวณที่มีสโลปเป็นบวก แต่เนื่องจากในบริเวณดังกล่าวมอเตอร์จะไม่มีเสถียรภาพ ดังนั้นเราจึงจำเป็นต้องมี การควบคุมโดยการป้อนกลับเพื่อรักษาให้ air gap flux คงที่ ซึ่งทำได้โดยการควบคุมกระแสและสลิปของมอเตอร์เพื่อให้จุดทำงานของมอเตอร์ที่ขับเคลื่อนด้วย current fed inverter แปรไปตาม กราฟ ทอร์ค-ความเร็ว ที่มีสโลปเป็นลบของมอเตอร์ที่ขับเคลื่อนด้วย voltage fed inverter หรือกล่าวอีกนัยหนึ่งก็คือเราจะควบคุมให้มอเตอร์เหนี่ยวนำขับเคลื่อนด้วย current fed inverter ทำงานใน constant air gap flux mode

เราจะเห็นได้ว่าการใช้ current fed inverter ในการขับเคลื่อน มอเตอร์เหนี่ยวนำจะมีข้อดีหลายประการคือ มอเตอร์เหนี่ยวนำจะสามารถทำงานได้ในทั้ง 4 ควอดแครนท์ โดยไม่ต้องเพิ่มอุปกรณ์ ไม่มีปัญหาเกี่ยวกับ over current หรือ short through ดังเช่นใน voltage fed inverter drive จึงไม่จำเป็นต้องใช้ high speed fuse นอกจากนี้แล้วเรายังสามารถใช้ phase control SCR แทนการใช้ fast switching SCR สำหรับข้อเสียของ current fed inverter drive ก็คือ ทำงานแบบ open loop ไม่ได้ filter choke มีขนาดใหญ่และหนัก ด้าน input เป็น control rectifier ซึ่งจะทำให้ เพาเวอร์แฟกเตอร์ของระบบมีค่าต่ำเมื่อโหลดน้อยๆ ช่วงความถี่ในการทำงานต่ำกว่า voltage fed inverter ไม่สามารถทำงานได้ที่ noload และการควบคุมมอเตอร์หลายตัวโดยใช้อินเวอร์เตอร์ตัวเดียวทำได้ยาก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3 หลักการ Delta Modulation ใน PWM Inverter

โดยปกติแล้วเทคนิคการม็อดดูเลทความกว้างของคลื่น (PWM) ในอินเวอร์เตอร์แบบจ่ายแรงดันนั้น (voltage source inverter) ถ้าจะให้แรงดันขาออก มีความเพี้ยนของสัญญาณ เนื่องมาจากฮาร์โมนิคส์น้อยที่สุดตลอดย่านความกว้างของการปรับความถี่นั้น จำเป็นต้องใช้วงจรควบคุมที่ค่อนข้างยุ่งยาก การทำงานของอินเวอร์เตอร์มีความราบเรียบน้อย และความเชื่อถือที่มีต่อระบบต่ำ ดังนั้น เทคนิคการม็อดดูเลทแบบเคลค้า จะมีสมรรถนะที่จะแก้ปัญหาดังกล่าวได้ คือ มีความยุ่งยากวงจรน้อย การทำงานของอินเวอร์เตอร์นุ่มนวล ราบเรียบและมีความไว้ใจได้สูง

PWM inverter จะพบมากใน งานการปรับความเร็วรอบของมอเตอร์ และ UPS สำหรับการใช้ในงานขับมอเตอร์เหนี่ยวนำนั้น PWM inverter จะสามารถ

1. ปรับความถี่เพื่อให้ มอเตอร์เหนี่ยวนำทำงานตามค่าสลิปที่ต้องการตลอดช่วงความกว้างของการปรับความเร็วมอเตอร์
2. v/f คงที่เพื่อให้ความหนาแน่นของฟลักซ์ในเครื่องจักรมีค่าคงที่ที่ค่าต้องการ ความต้องการในสิ่งเหล่านี้ จะพบได้ในอินเวอร์เตอร์ชนิดควบคุมแรงดันและกระแส เทคนิคที่นิยมที่สุดคือ SPWM แต่วิธีนี้มีข้อเสียคือ จะให้แรงดัน 64 % ของแรงดัน dc bus ที่จ่ายให้ได้

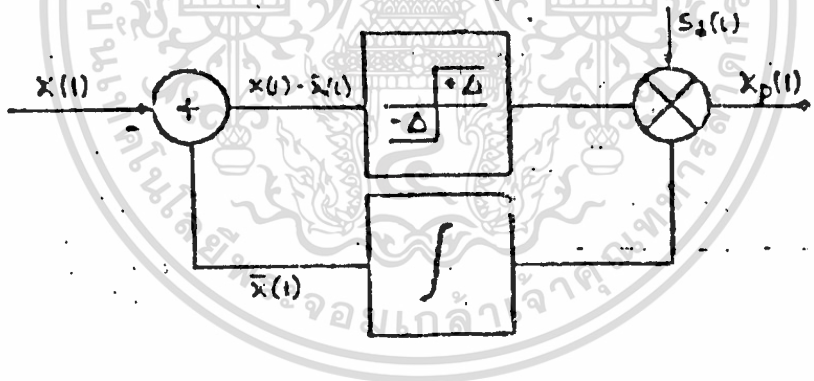
ในทางปฏิบัตินั้น สามารถแก้ปัญหานี้โดยการเปลี่ยนโหมดการทำงานจาก sine PWM ไปเป็น square wave mode ที่การทำงานที่ความเร็วรอบสูง อย่างไรก็ตามในอินเวอร์เตอร์ที่ใช้ไทริสเตอร์การเปลี่ยนโหมดนี้จะทำให้โวลเตจไม่ต่อเนื่อง เป็นการเพิ่มความยุ่งยากให้กับวงจรควบคุม และเสี่ยงต่อความล้มเหลวในการหยุดน่ากระแส ยิ่งไปกว่านั้นจำเป็นต้องเชื่อมั่นว่า วงจรที่เพิ่มเข้ามาควบคุมที่ยุ่งยากนั้น จะต้องทำให้ v/f มีค่าคงที่ ในการทำงาน

สำหรับเทคนิค Delta modulation นั้นวงจรที่ใช้เป็นวงจรที่ง่าย ไม่ซับซ้อน มีการเปลี่ยนโหมดการทำงานระหว่าง PWM กับ square wave mode อย่างราบเรียบ และให้ v/f มีค่าคงที่ โดยไม่ต้องมีวงจรภายนอกเข้ามาเกี่ยวข้อง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.1 เทคนิค Delta Modulation

Delta Modulation เป็นการเปลี่ยนสัญญาณจาก อานาล็อกเป็นดิจิตอล ดังแสดงในรูปที่ 3.1 สัญญาณขาเข้าที่เป็นสัญญาณ อานาล็อก x(t) ถูกแปลงให้เป็นสัญญาณ pulse สัญญาณพัลซ์นี้จะถูกทำให้เป็น อานาล็อก X'(t) โดยตัวอินทิเกรเตอร์ป้อนกลับมาและมาเปรียบเทียบกับสัญญาณขาเข้า ที่ป้อนเข้ามา X(t) ค่าที่ได้จะเป็นค่า error มีค่าเท่ากับ X(t)-X'(t) สัญญาณที่ได้เป็นได้ 2 ระดับ โดยระดับของสัญญาณพัลซ์ขึ้นอยู่กับเครื่องหมายของค่า error ที่ได้ เมื่อ X'(t) < X(t) สัญญาณแรกที่เกิดขึ้นจะมีระดับที่ได้ไปทาง + เมื่อสัญญาณถูกป้อนกลับมาที่ตัวอินทิเกรเตอร์ (integrator) จะทำให้ X'(t) มีค่าเปลี่ยนไป จนค่า X'(t) เกินค่า X(t) ทำให้เปลี่ยนสัญญาณจากบวกไปลบ

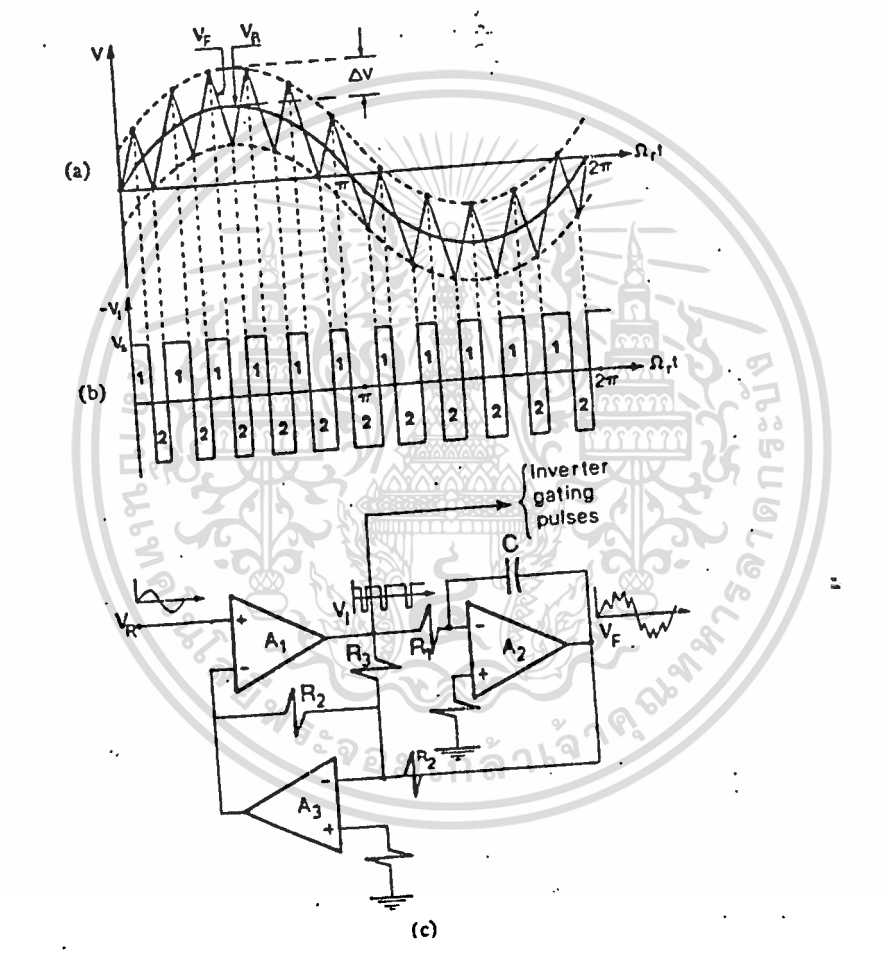


รูปที่ 3.1 แสดง Block diagram ของ delta modulator

รูปที่ 3.2(a)แสดงสัญญาณการสวิทชิงของอินเวอร์เตอร์ V_1 ของรูป 3.2 (b) สัญญาณรูปคลื่นสามเหลี่ยม (triangular wave) V_F เป็นค่าโดยประมาณของสัญญาณไซน์ และสามารถทำให้เกิดการออสซิเลทได้ไม่เกิน ΔV ของทั้งขอบเขตบนและล่างมีระยะเท่ากันจากสัญญาณไซน์อ้างอิง V_R (sinereference) การสวิทช์ของสัญญาณพัลซ์จะเป็นการเปลี่ยนค่าความชันของสัญญาณรูปคลื่นสามเหลี่ยม และการตั้งค่าขอบเขตนั้นจะมีผลในการกำหนดค่า turn off ของอุปกรณ์สวิทชิงได้อย่างเหมาะสม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูป 3.2 (c) เป็นวงจรที่สร้างสัญญาณรูปคลื่นของรูปที่ 3.2 (a) และ 3.2 (b) วงจรจะทำงานดังนี้



รูปที่ 3.2 รูปสัญญาณของ Delta modulation (a) สัญญาณไซน์อ้างอิง V_R และ สัญญาณคลื่นสามเหลี่ยม V_F (b)การสวิทชิงของ Delta modulation V_1 (c) วงจรพื้นฐานของเทคนิค Delta modulation

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณ ไซน์อ้างอิง V_R ถูกป้อนเข้าที่ตัวเปรียบเทียบ (comparator) A_1 ในขณะที่ สัญญาณรูปคลื่นสามเหลี่ยม V_F จะถูกสร้างโดยอินทิเกรเตอร์ A_2 ดังนั้นเมื่อเอาท์พุทของ A_2 เกินค่าขอบเขตบนหรือล่าง (ซึ่งสามารถกำหนดโดยอัตราส่วน R_2/R_3) ตัวเปรียบเทียบ A_1 จะกลับขั้ว V_1 ที่ขาเข้าของ A_2 ซึ่งจะทำให้ความชันของ V_F ที่ขาออกของ A_2 กลับค่าด้วยดังนั้น จะบังคับให้ V_F ออสซิเลตรอบๆสัญญาณคลื่น V_R โดยมีความถี่ริปเปิล ω_r เป็นการยืนยันได้ว่าองค์ประกอบหลักมูล (fundamental component) ของ V_F และสัญญาณ์ไซน์อ้างอิง V_R มีขนาดเท่ากัน อินทิเกรเตอร์ A_2 นี้ทำหน้าที่เป็น low pass filter (first order) ดังนั้นจะได้ว่า

$$V_{Fn} = V_{1n} / n(R_1C)\,\alpha_r \qquad (1)$$

V_{Fn} คือค่าแอปลิจูดของฮาร์โมนิคส์อันดับที่ n ของสัญญาณ V_F ซึ่งเป็นแรงดันขาออกของ filter A_2

V_{1n} คือค่าแอมปลิจูดของฮาร์โมนิคส์อันดับที่ n ของสัญญาณ V_1 ซึ่งเป็นสัญญาณ์มอดดูเลทแรงดันขาเข้า filter A_2

α_r คือความถี่เชิงมุมของสัญญาณไซน์อ้างอิง V_R ในหน่วยเรเดียน

ดังนั้น $$V_{F1} = V_R \qquad (2)$$

จาก (1) และ (2) ที่ fundamental จะได้ว่า

$$V_{F1} = \frac{V_{11}}{(R_1C)\,\alpha_r} = V_R \text{ -------> } \frac{V_{11}}{\alpha_r} = (RC_1)V_R \qquad (3)$$

ถ้าระดับสัญญาณไซน์อ้างอิงยังคงคงที่ที่ระดับเดิมระหว่างการมอดดูเลท ค่าอัตราส่วนของแรงดันมูลฐานของสัญญาณการมอดดูเลท กับความถี่ยังคงมีค่าคงที่ ในโหมดการทำงานแบบ PWM โดยที่ ค่า R_1C มีค่าคงที่ แสดงว่าเมื่อตัวมอดดูเลทใช้สำหรับสัญญาณเกทของอินเวอร์เตอร์ จะทำให้ค่า v/f มีค่าคงที่ในย่านการทำงาน โหมด PWM

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2 การวิเคราะห์ สัญญาณ Delta Modulation PWM

สัญญาณการสวิทชิง V_1 ของเคลต้า มอดดูเลท อินเวอร์เตอร์ สามารถวิเคราะห์ได้โดยการกระจายฟูเรียร์ ตำแหน่งของสัญญาณพัลซ์ และจำนวนของสัญญาณพัลซ์ต่อรอบของสัญญาณที่ถูกมอดดูเลท V_1 แสดงดังรูป 3.3 (a)&(b) สามารถแสดงความสัมพันธ์ได้โดยสมการดังนี้

$$t_i = \frac{2\Delta V + At_{i-1}}{A} + \frac{V_R \sin \alpha_r t_{i-1} - V_p \sin \alpha_r t_i}{(-1)^i * A} \quad (4)$$

$$\rho_i = \alpha_i t_i \quad (5)$$

ซึ่ง A = ค่าความชันของสัญญาณคลื่นพาหะ V_r

ΔV = ค่าฮอบเซตของโวลเตจที่เปลี่ยนการสวิทชิง

V_R = ค่าโวลเตจสูงสุดของสัญญาณไซน์

t_i = ค่าเวลาในการสิ้นสุดของสัญญาณพัลซ์ที่ i

α_r = ค่าความถี่ของรูปคลื่นการมอดดูเลท

w_r = ค่าริปเปิลความถี่ของสัญญาณการมอดดูเลท

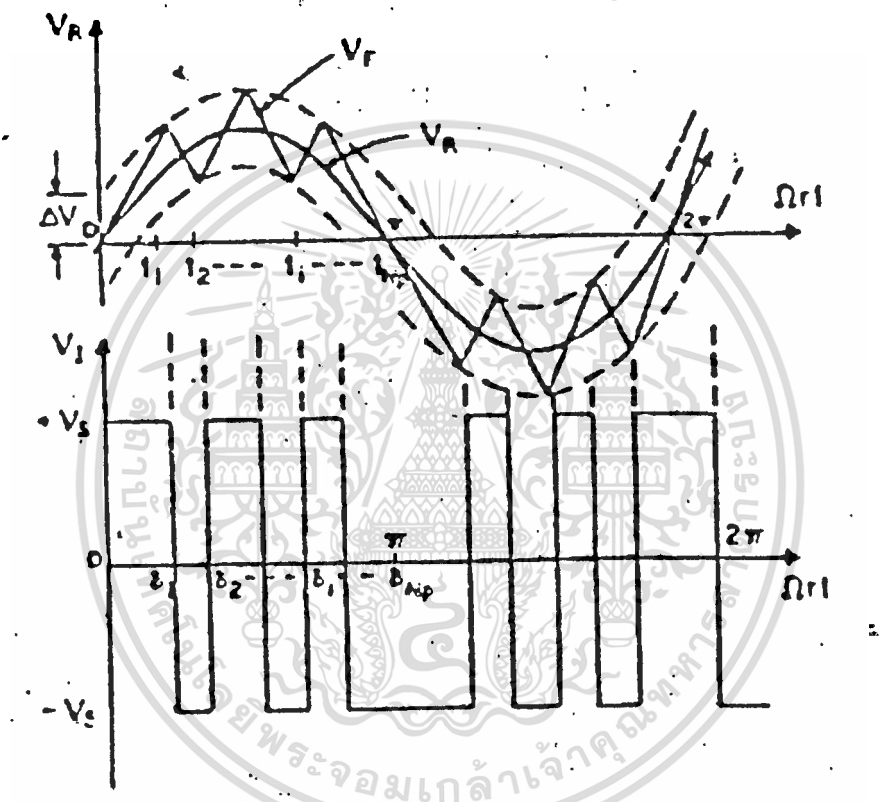
ρ_i = ค่าตำแหน่งที่สิ้นสุดของสัญญาณพัลซ์ลูกที่ i ในหน่วย เรเดียน

ที่ $\rho_i = \pi$ ค่าของ i ให้จำนวนของสัญญาณพัลซ์ต่อครึ่งรอบ คือ Np

ซึ่งค่า $An = \frac{2V_p}{n\pi} \sum_{i=1,2,..}^{N+1} (-1)^{i+1} (\sin n\alpha_i - \sin n\alpha_{i-1})$ (6)

$$Bn = \frac{2V_p}{n\pi} \sum_{i=1,2,..}^{N_1} (-1)^{i+1} (\cos n\alpha_{i-1} - \cos \alpha_i) \quad (7)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.3 แสดงวิธีการเกิดของสัญญาณการสวิทชิงโดยวิธี DM (a) สัญญาณการม็อดดูเลท (ไซน์) และ สัญญาณรูปคลื่นสามเหลี่ยม (b) สัญญาณการสวิทชิงโดยวิธี DM

ค่าฮาร์โมนิคส์แรงดันอันดับที่ n ของการม็อดดูเลท หาได้จากสมการ

$$V_{on} = (A_n^2 + B_n^2)^{1/2} \quad (8)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อ n คืออันดับของฮาร์โมนิคส์

ถ้าความถี่ของสัญญาณม็อดดูเลทเปลี่ยนโดยที่ยังคงรักษาความชันของรูปคลื่นสัญญาณสามเหลี่ยมให้คงที่ จำนวนของสัญญาณพัลซ์และความกว้างของพัลซ์ จะเปลี่ยนตามไปด้วย การเปลี่ยนนี้ไม่ต้องเพิ่มวงจร และเมื่อความถี่ของสัญญาณสามเหลี่ยม เท่ากับความถี่สัญญาณ sine สัญญาณที่ออกมาจากการม็อดดูเลท จะเป็นสัญญาณ square wave เนื่องจากค่าความชันเกิดการ overload ฮาร์โมนิคส์อันดับที่ n ของโวลเตจสำหรับโหมดการทำงาน square wave คือ

$$V_{on} = \frac{4V_s}{n\pi} \qquad (9)$$

การออกแบบและใช้งาน อินเวอร์เตอร์นั้น จำนวนของการคอมมิวเตทต่อวินาทีเป็นปัจจัยที่สำคัญของความปลอดภัยของอุปกรณ์สวิทชิง จำนวนของการคอมมิวเตทใน เดลต้าม็อดดูเลท อินเวอร์เตอร์ สามารถหาได้จากสมการ

$$N_c = 2*N_c*f_R \qquad (10)$$

f_R เป็นค่าความถี่ของสัญญาณไซน์

N_c คือจำนวนของสัญญาณพัลซ์ต่อครึ่งรอบ

3.3 Thrre phase Delta Modulated Inverter

การนำอินเวอร์เตอร์ชนิดนี้มาใช้ งานเป็นสามเฟส จำเป็นที่จะต้องมีตัวม็อดดูเลทที่เหมือนกัน และให้คุณสมบัติของสัญญาณการสวิทชิงที่ชิงโครไนซ์ให้เหมาะสม สัญญาณการสวิทชิงของอินเวอร์เตอร์ จะเกิดการเลื่อนเฟสไม่คงที่ ไม่เหมือนกับ กรณีใช้งานเป็นเฟสเดียว ซึ่งเป็นปัญหาสำคัญสำหรับการใช้งานเป็นสามเฟส ดังนั้นจะต้องมีการชิงโครไนซ์สัญญาณของการม็อดดูเลท จึงต้องมีการเพิ่มวงจรที่เป็นเฟสเดียว สามชุด และป้อนสัญญาณไซน์อ้างอิงสามเฟสที่ไม่มีความเพี้ยน และสามารถปรับความถี่ได้

สามารถสรุปได้ว่า ลักษณะเด่นของ Delta Modulated Inverter คือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1) ค่าอัตราส่วนของ v/f มีค่าคงที่ สำหรับช่วงความถี่ที่ต่ำกว่า base frequency

2) การเปลี่ยนโหมดการทำงานระหว่างโหมดการทำงานแบบ PWM โหมดการทำงานในย่านแรงดันคงที่ จะเป็นไปอย่างราบเรียบสม่ำเสมอ

3) ค่าฮาร์โมนิคส์ที่แรงดันขาออกมีค่าต่ำ

4) อัตราการคอมมิวเตท (commutation) ของอุปกรณ์สวิทชิงจะมีค่าต่ำ สำหรับระดับของสัญญาณที่เข้ามาทำการม็อดดูเลทมีค่าสูง

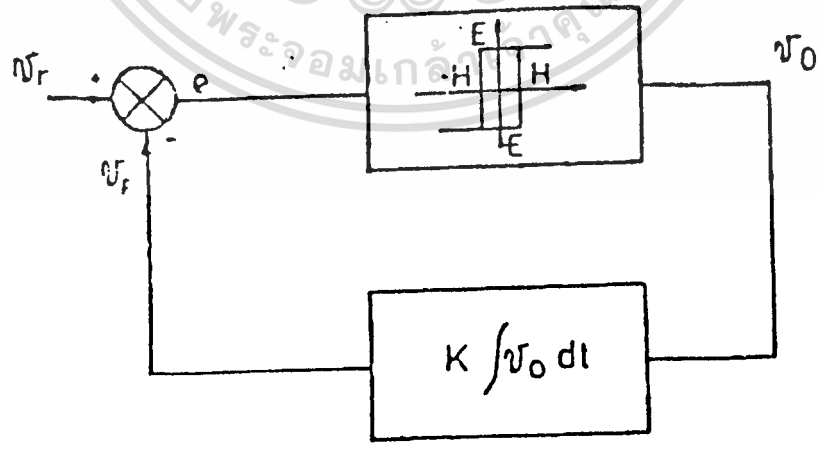
จะเห็นได้ว่าลักษณะสามอย่างแรกนั้น เหมาะสำหรับใช้ในงาน ควบคุมความเร็วมอเตอร์เหนี่ยวนำ แต่ข้อสุดท้ายนั้นเหมาะสำหรับการใช้งาน UPS ซึ่งลักษณะเด่นที่สำคัญของเทคนิคการสวิทชิงของ Delta Modulated Inverter คือเป็นวงจรอาน่าล็อคที่มีอุปกรณ์ที่ง่าย ไม่ยุ่งยากซับซ้อน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4 Asynchronous และ Synchronous Delta Modulation

การมอดูเลตแบบเดลต้านี้ ถึงแม้ว่า วงจรไม่ยุ่งยากซับซ้อน เพราะอาศัยการสวิทชิ่งที่เกิดจาก hysteresis ของสัญญาณป้อนกลับจากอินทิเกรเตอร์ แต่ก็มีข้อเสียตรงที่สัญญาณป้อนกลับไม่ได้ใช้การป้อนกลับจากแรงดันหรือกระแสของ output ทำให้ลักษณะการควบคุมยังไม่สมบูรณ์พอ นอกจากนี้ รูปคลื่น pwm ที่เกิดจากการสวิทชิ่งจะเปลี่ยนแปรไปตามเวลาเสมอไม่ค่อยจะคงที่แน่นอน ถ้านำไปใช้กับ single phase อินเวอร์เตอร์เป็นการสวิทช์แบบสองระดับก็ใช้ได้ดี แต่ในสามเฟสอินเวอร์เตอร์ การไม่สมดุลย์เฟสจึงเป็นปัญหามาก สำหรับ delta modulation จึงจำเป็นต้องหาวิธีที่จะทำให้หน่วยสร้างสัญญาณเดลต้ามอดทั้งสามหน่วยจะต้องซิงโครไนส์กันเพื่อที่จะให้ได้สัญญาณทริกอุปกรณ์สวิทชิ่ง มีความเหมาะสม สำหรับในปริญญานิพนธ์นี้จะใช้หลักการเฟสล็อคลูปเข้าช่วย ปัญหาการไม่ balance phase จะไม่เกิดขึ้นอย่างแน่นอน

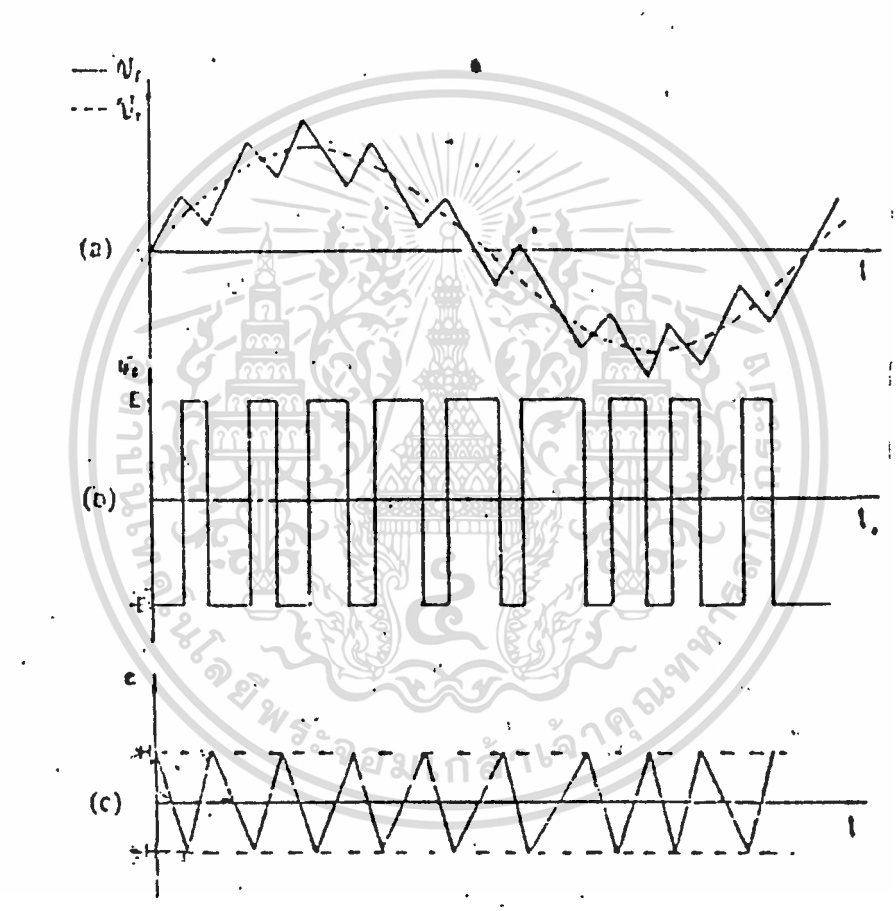
4.1 ความรู้พื้นฐานเกี่ยวกับ Asynchronous และ Synchronous Delta modulation



รูปที่ 4.1 Block diagram ของ delta modulator

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จาก block diagram จะมีการเปรียบเทียบกันระหว่างสัญญาณอ้างอิงรูป ไซน์กับสัญญาณขาออกของอินทิเกรเตอร์ (ป้อนกลับ) โดยวิธี hysteresis ในขณะที่ output ของตัวเปรียบเทียบ (comparator) มีค่าเป็น-E สัญญาณแรงดันป้อนกลับจะเพิ่มขึ้นอย่างเชิงเส้นในขณะที่สัญญาณผลต่าง (error) จะลดลงจนถึง -H และจะทำให้ output ของบล็อคอีสเคอร์รีชีสเปลี่ยนเป็น +E และสัญญาณผลต่างจะเพิ่มขึ้นจนถึง H และจะบังคับให้แรงดัน output เปลี่ยนกลับจาก -E อีกครั้งหนึ่ง และจะมีการเปลี่ยนในลักษณะแบบนี้ซ้ำไปมาเป็นรอบๆไป



รูปที่ 4.2 สัญญาณของ Delta Modulation

ในรูปที่ 4.2 จะสังเกตเห็นว่าสัญญาณป้อนกลับจะมีลักษณะเข้าใกล้สัญญาณไซน์อ้างอิง โดยมีความกว้างของ hysteresis (+H) ความถี่ของการม็อดนี้จะขึ้นอยู่กับสัญญาณอ้างอิงและจะได้ว่าพัลส์ เอ้าท์พุทไม่ได้เป็นลักษณะของ pwm เท่านั้น ยังเกิดการม็อดแบบความถี่(frequency modulation) อีกด้วยซึ่งเป็นสิ่งที่ไม่พึงประสงค์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2 การวิเคราะห์ Asychronous-Synchronous Delta Modulation

เราจะอธิบายได้ด้วยวิธีการ Phase Plane เป็นการพิจารณาเปลี่ยนแปลงของสัญญาณอินพุท โดยวิธีการอันนี้ทำให้เรารู้ถึงพฤติกรรมของ Delta modulation ได้เป็นอย่างดี

4.2.1 Asynchronous Delta Modulation สมการข้างล่างนี้ได้มาจาก block diagram ของรูป 4.1

$$v_f = K \int v_o \, dt \tag{1}$$

$$e = v_r - v_f \tag{2}$$

$$v_o = G(e) \tag{3}$$

โดยที่ G(e) แทนตัวคูณฟังก์ชั่นของส่วน hysteresis ใช้ V_o และ V_f/K เป็นตัวแปรของ phase plane และทำการวิเคราะห์ในกรณีของแรงดันอ้างอิงเป็นศูนย์ดังนั้น (2)และ(3)เขียนใหม่ได้เป็น

$$e = -Kx$$

$$x' = G(-Kx) \tag{4}$$

ซึ่ง (4) แทนซอบเขตรอบ (limit cycles) ดูได้ในรูป4.3 แรงดัน output(x') ออสซิลเลต พิจารณาได้จาก จุดๆหนึ่งของphase plane เคลื่อนไปตาม limit cycles ทำให้ได้ คาบของ limit cycle คือ

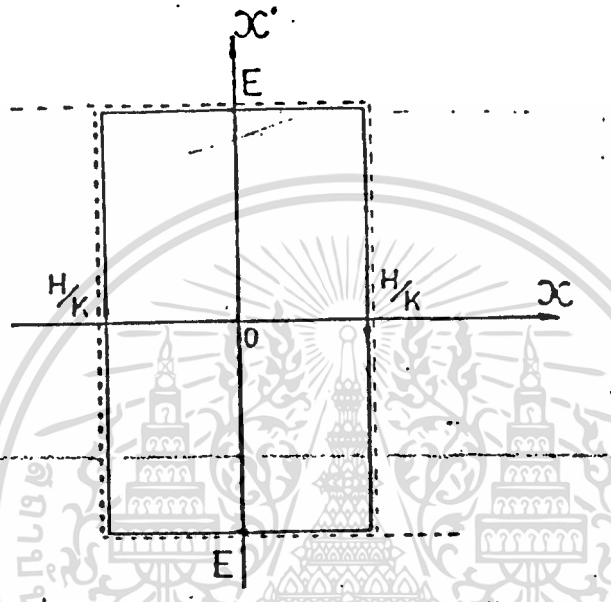
$$T_{c1} = \frac{4H}{KE} \tag{5}$$

เมื่อสัญญาณอ้างอิงเป็น dc ทำให้สมการ (4)

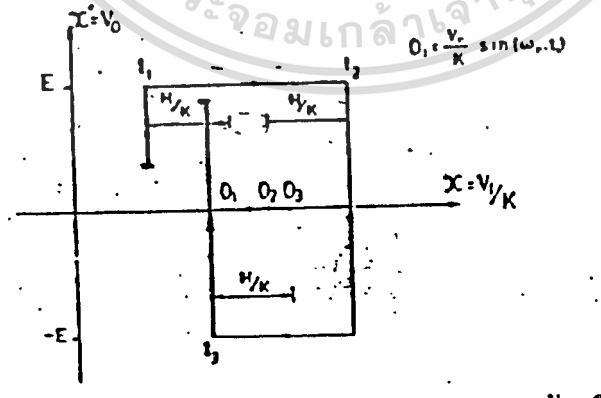
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\dot{X} = G(v_r - kx)$$

ซึ่งหมายถึงว่า limit cycle จะเลื่อนไปตามแกนนอนเข้าสู่ศูนย์กลางใหม่ $V_{r/k}$ ไม่ได้ทำเปลี่ยนรูปเลย ดังนั้น การม็อดลักษณะเช่นนี้ ไม่มีผลต่อ ขนาดของสัญญาณอ้างอิง และความถี่ของการออสซิลเลตยังคงที่อยู่



รูปที่ 4.3 แสดง phase plane สำหรับ $v_r=0$



รูปที่ 4.4 แสดง phase plane สำหรับสัญญาณอ้างอิง ac

เมื่อสัญญาณอ้างอิง ac ป้อนให้กับ Delta Modulator จุดกึ่งกลางของ limit cycle ซึ่งเป็นสัดส่วนกับ V_r จะเคลื่อนไปตามแกนนอน(Horizontal axis) ขณะที่ทางเดินของจุด phase plane จะเคลื่อนไปตาม phase trajectory ตามรูปที่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.3 และ 4.4 เวลาขณะที่ t_1 เกิดขึ้นเมื่อระยะห่างจากจุดที่เรากำลังพิจารณาอยู่กับจุดกึ่งกลาง (O_1) เท่ากับ H/K ดังนั้นทั้งสองจุดจะเคลื่อนที่ในทิศทางเดียวกันจนกระทั่งจุดที่เรากำลังพิจารณาอยู่ล้ำหน้าจุดกึ่งกลางด้วยค่า H/K ซึ่งเป็นการสร้างการสับเปลี่ยนใหม่ (การสวิทชิ่ง) ที่ $T=t_2$ เมื่อผ่าน $t=t_2$ เมื่อผ่าน t_2 ไปแล้วทั้งสองจุดจะเคลื่อนที่ในทิศทางตรงกันข้ามจนกระทั่ง $t=t_3$ ซึ่งระยะระหว่างจุดทั้ง 2 จุดเท่าดับ H/K อีกครั้งหนึ่งและการสับเปลี่ยนใหม่นี้จะทำให้ครบรอบของรอบการสวิทเมื่อดูตามรูป4.4 แล้วลักษณะของ pwm ก็จะเกิดขึ้นเราสามารถคำนวนหาความกว้างของเนื้อพัลส์บวกพัลส์ลบได้จาก

$$E.\Delta t_+ = E(t_2 - t_1) = \frac{2H}{K} + \frac{v_r(t_2) - v_r(t_1)}{K} \qquad (6)$$

$$E\Delta T_- = E(t_3 - t_2) = \frac{2H}{K} - \frac{V_r(t_3) - V_r(t_2)}{K} \qquad (7)$$

เมื่อสัญญาณอ้างอิงเป็นรูปไซน์(6)และ(7)จะเป็นฟังก์ชั่นที่ยังไม่ค่อยถูกต้องและชัดเจนมากนักเพราะว่าความถี่การสวิทชิ่งสูงมากกว่าความถี่สัญญาณอ้างอิงทำให้เราสมมติได้ว่า

$$V_r(t_2) - V_r(t_1) = \frac{d(v_r(t))}{dt} \Delta t_+$$

$$V_r(t_3) - V_r(t_2) = \frac{d(v_r(t))}{dt} \Delta t_-$$

ในกรณีนี้สมการก่อนหน้านี้สามารถหาคำตอบได้และสมการเนื้อพัลส์บวกและลบจะได้ดังนี้

$$\Delta t_+ = \frac{2H}{KE\left(1 + \frac{V_r W_r \sin(W_r t)}{KE}\right)} \qquad (8)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\Delta t_{-} = \frac{2H}{KE\left(1-\frac{V_{-}W_{-}\sin(W_{-}t)}{KE}\right)} \qquad (9)$$

เมื่อสัญญาณอ้างอิงเท่ากับ $v_{-}(t)=V_{-}\cos(w_{-}t)$ สมการ (8)และ(9)แสดง pwmที่ต้องการจะสังเกตเห็นว่าความกว้างของเนื้อพัลส์ขึ้นอยู่กับสัญญาณอ้างอิงแต่ไม่เป็นเชิงเส้นและที่สำคัญการม็อดแบบความถี่(fuquency modulation)จะเกิดขึ้นโดยตาม ของfrequency modulation คือ

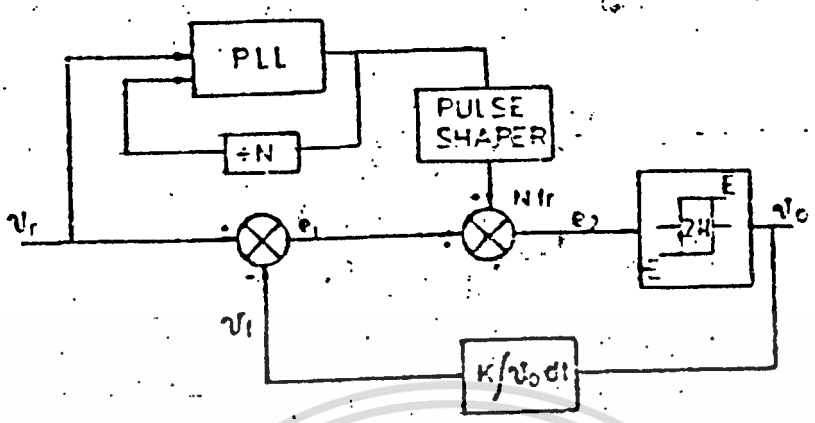
$$T=\frac{4H}{KE}\,\frac{1}{1-\left(\frac{v_{-}w_{-}\sin(w_{-}t)}{KE}\right)^{2}}$$

4.2.2 Synehronous Delta Modulation

เราได้ทำการวิเคราะห์เกี่ยวกับ Asynchronous Delta Modulation ไปแล้ว ปัญหาที่เกิดขึ้น คือ สัญญาณของการสวิทชิ่งเปลี่ยนตามเวลาไม่แน่นอน ถ้านำไปใช้กับระบบ 3 เฟสแล้วจะทำให้เกิดการไม่สมดุลเฟสและที่สำคัญ คือ Asynchronous เกิด frequency modulation ดังนั้น เพื่อที่จะกำจัด frequency modulation จำเป็นต้องมีพัลส์ที่ชิงโครไนส์กันทั้ง 3 เฟส เพิ่มเข้าไปยังส่วนความแตกต่าง(error)ซึ่งเรียกว่า Pulse shaper ตามรูปที่ 4.5

การเพิ่มสัญญาณชิงโครไนส์เข้าไปนี้ เพื่อที่จะกำจัดพัลส์ที่กว้างที่สุดโดยบังคับให้มีการสับเปลี่ยนสวิทช์หนึ่งครั้งต่อวงรอบของการชิงโครไนส์ จากรูปที่ 4.4 เราจะเห็นว่าพัลส์บวก(Δt_{+}) จะยาวขึ้นเมื่อสัญญาณอ้างอิงมีค่าเพิ่มขึ้นซึ่งหมายความว่า ความชันของสัญญาณอ้างอิงมีค่าเป็นบวก เพื่อที่จะจำกัดเนื้อพัลส์อันนี้ การชิงโครไนส์ต้องบังคับให้ระยะห่างระหว่างจุดกึ่งกลาง (o_1) และจุดที่กำลังพิจารณาของ Phase plane เพื่อให้ได้ค่า H/K ที่เวลาสั้นกว่า ดังนั้นเนื้อพัลซ์ ชิงโครไนซ์ที่จะนำเข้า จะต้องมีค่าของเครื่องหมายเดียวกับความชันของสัญญาณป้อนกลับ (เมื่อเพิ่มเนื้อพัลซ์เข้าไปในระหว่างการป้อนกลับ) เวลาจะกลับกันเมื่อเพิ่มเข้าไปหลังการสวิทชิง ในทำนองเดียวกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.5 Blockdiagram ของ Synchronous delta modulator

กับการพิจารณาเมื่อพัลส์บวก ซึ่งเมื่อพัลส์ลบ มีความชันของสัญญาณอ้างอิงเป็นลบ

สรุปได้ว่า ค่าของพัลส์ที่ชิงโครไนซ์ (เป็นบวกหรือลบ) จะต้องเปลี่ยนเมื่อความชันของสัญญาณอ้างอิงเปลี่ยนไป โดยวิธีการนี้ จะทำให้ค่าของการสวิทชิง ยังคงที่ และจะได้ความกว้าง hysteresis ใหม่เกิดขึ้น (equivalent hysteresis width) จาก (10) ถ้าสมมุติให้ T คงที่ H จะไม่คงที่ นั่นคือ

$$H_{eq} = \frac{T_s KE}{4}\left[\, 1-\frac{(V_r W_r \sin(W_r t))^2}{KE}\,\right] \qquad (11)$$

โดยที่ T_s คือค่าของพัลส์ชิงโครไนซ์ที่ เรายังคับเข้าไป ในลักษณะเช่นนี้ คุณสมบัติของ Synchronous Delta Modulation ยังคงเหมือนกับ Asynchronous ทุกประการ เพียงแต่ Synchronous จะให้ความถี่การสวิทช์คงที่ทุกๆ พัลส์ ส่วน Asynchronous จะไม่คงที่ช่วงที่มีการเปลี่ยนความชัน พัลส์จะกว้าง ส่วนครงที่ไม่เปลี่ยนความชัน พัลส์จะแคบ ถ้ามีการ Synchronize ในลักษณะที่กล่าวมาก็จะขจัดปัญหา frequency modulation ได้เป็นอย่างดี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

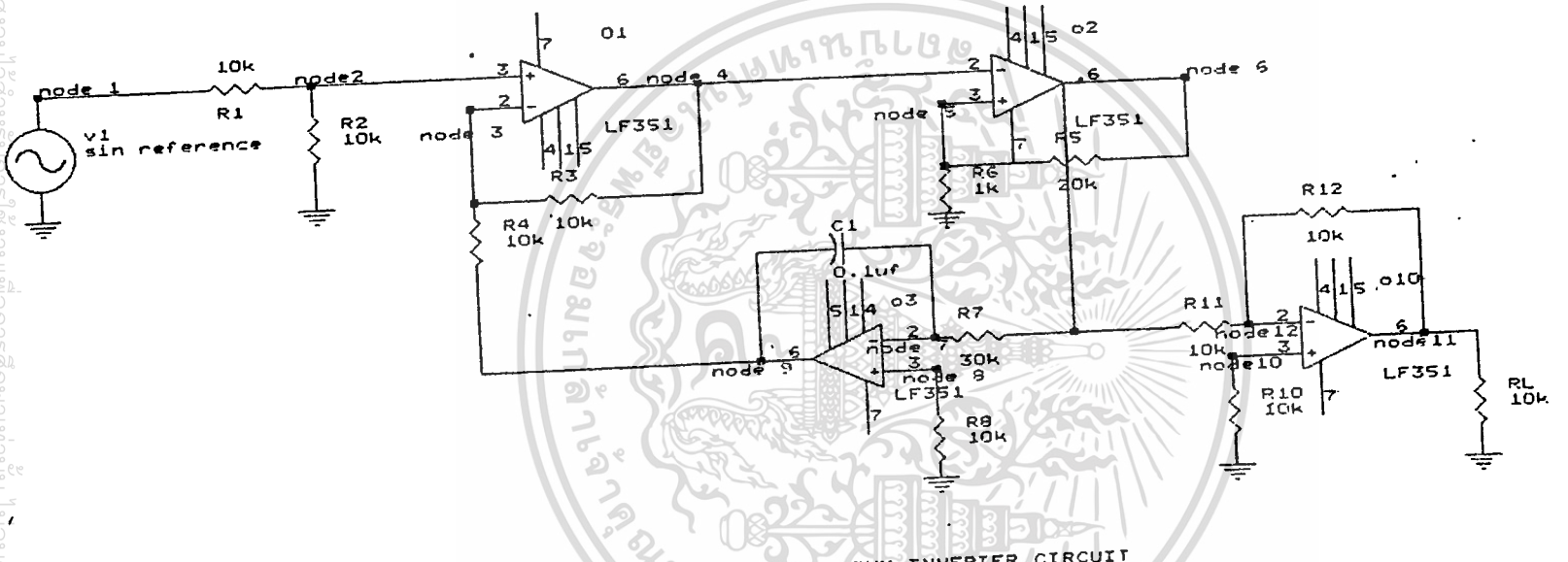
4.2.3 การจำลองทางดิจิตอลโดยใช้คอมพิวเตอร์ของ Asynchronous Delta Modulation และ Synchronous Delta Modulation

เพื่อที่จะนำ Delta Modulation ไปใช้ ในระบบสามเฟส จะต้องให้ pulse train ที่ ซิงโครไนซ์กับสัญญาณอ้างอิง โดยการใช้ เฟสล็อคลูป (PLL) เข้าช่วยโดยทำเป็นตัว frequency multiplier (ตัวคูณความถี่) เพื่อที่จะตรวจสอบผล เราได้ทำการจำลอง ในปริญญานิพนธ์ ได้ใช้โปรแกรมสำเร็จรูป LEC SIM เข้าช่วยก็จะได้ผลดังนี้

จากผลการจำลองเปรียบเทียบรูป 4e กับรูป 4f จะสังเกตเห็นว่า รูป 4f จะเกิด frequency modulation ซึ่งเป็นคุณสมบัติของ Asynchronous ส่วน Synchronous จะไม่เกิดขึ้นเลย ความถี่สวิทชิงคงที่ทุกพัลซ์ และจากรูป 4g กับรูป 4h ซึ่งเป็น error จะเห็นว่า error ของ Asynchronous จะมีความสูงทางบวกและลบเท่ากัน ส่วน error ของ Synchronous จะต่างไปเพราะความสูงของ error จะสูงไม่เท่ากัน ช่วงที่มีการเพิ่มสัญญาณพัลซ์ ซิงโครไนซ์ เข้าไปมีผลมาก ทำให้ผลน้อยกว่าที่ควรจะเป็น เพราะพัลซ์ที่เพิ่มเข้า จะไปช่วยเสริมแทน เทคนิคนี้ก็จะแก้ปัญหา frequency modulation ได้ อีกทั้งยังมีการซิงโครไนซ์ กับสัญญาณอ้างอิงอย่างแน่นอน

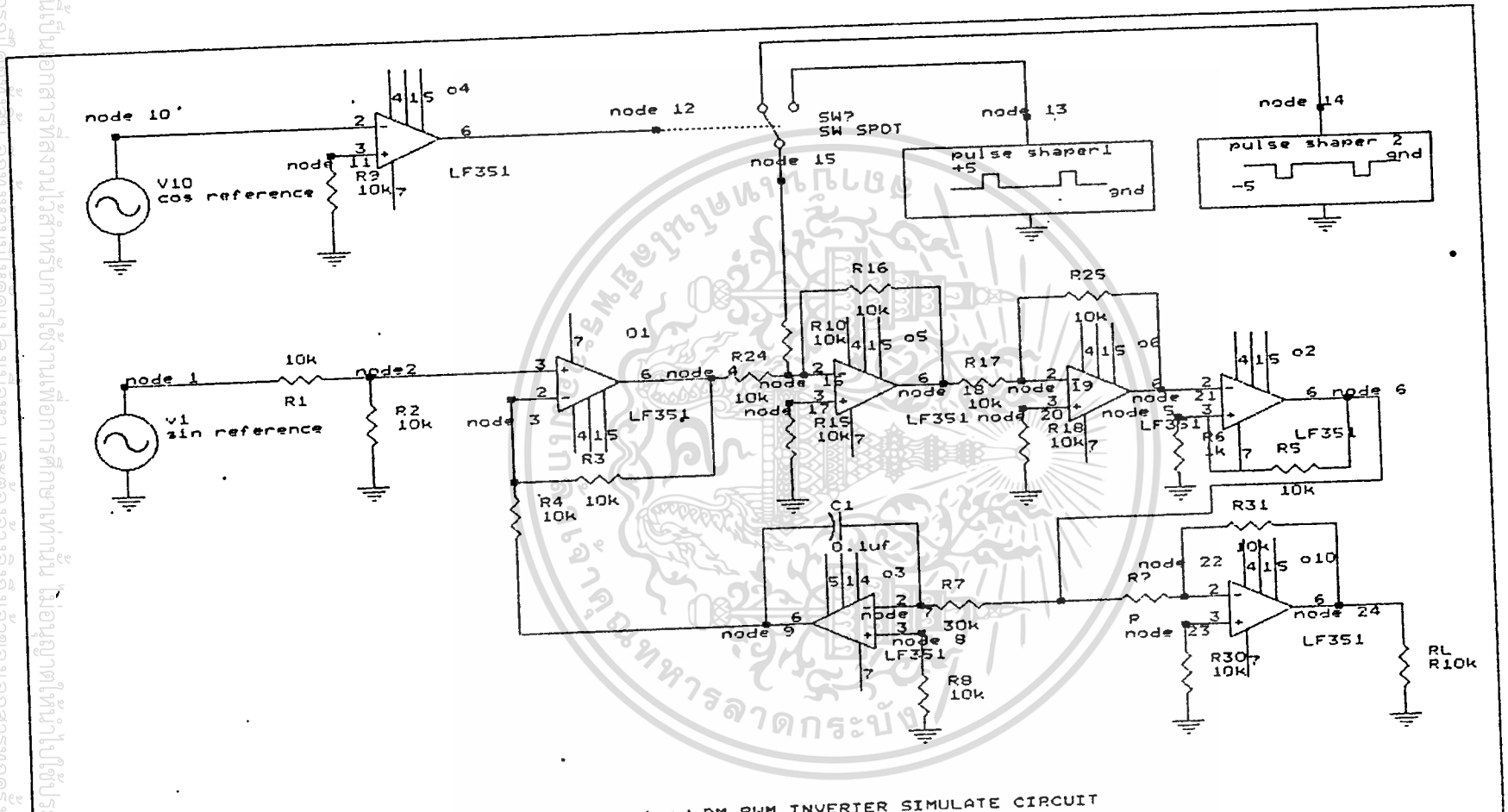
จากบทนี้เราจะนำ concept นี้ไปสร้างทางวงจร อานาล็อก ก็จะง่ายเข้า และในปริญญานิพนธ์นี้ ได้เลือก ระบบ PLL ที่มีระบบ multiplexer เข้าช่วย หรือที่เรียกว่า gear changing ทั้งนี้เพื่อให้ ความถี่การสวิทช์ของอุปกรณ์สวิทชิง อยู่ในขอบเขตที่เราต้องการ และเพื่อให้เกิดการสอดคล้อง กับ concept ของเราที่เราทำการวิเคราะห์ ในบทนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



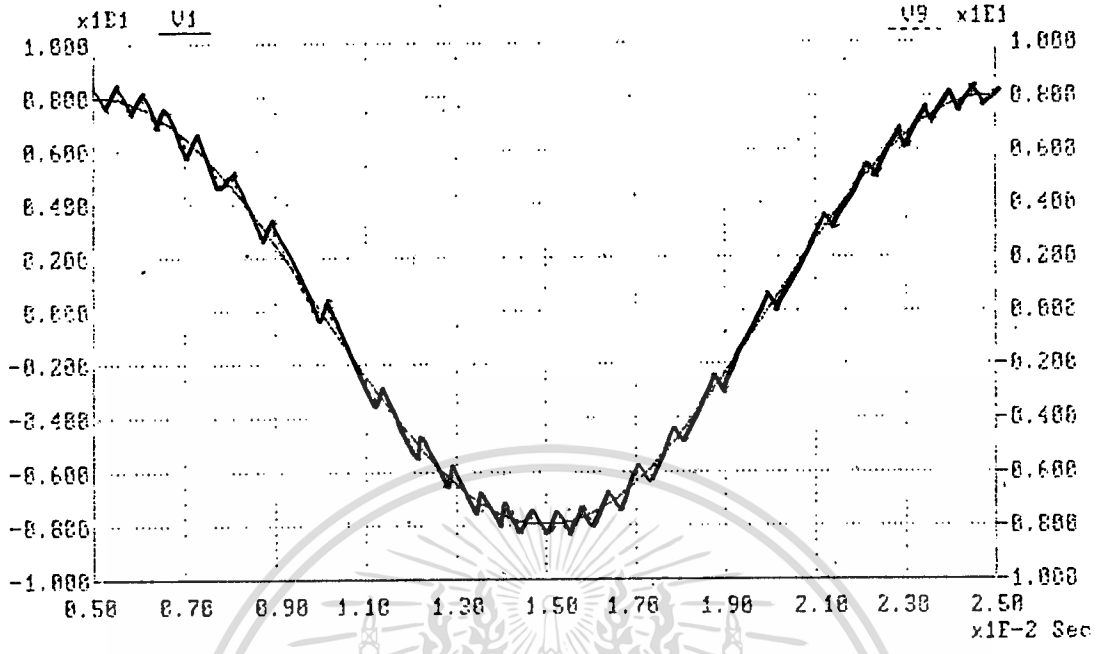
ASYNCHRONIZED DM PWM INVERTER CIRCUIT

รูปที่ 4.6 แสดงวงจร Asynchronous Delta Modulation ที่ Simulate โดย LEC.SIM



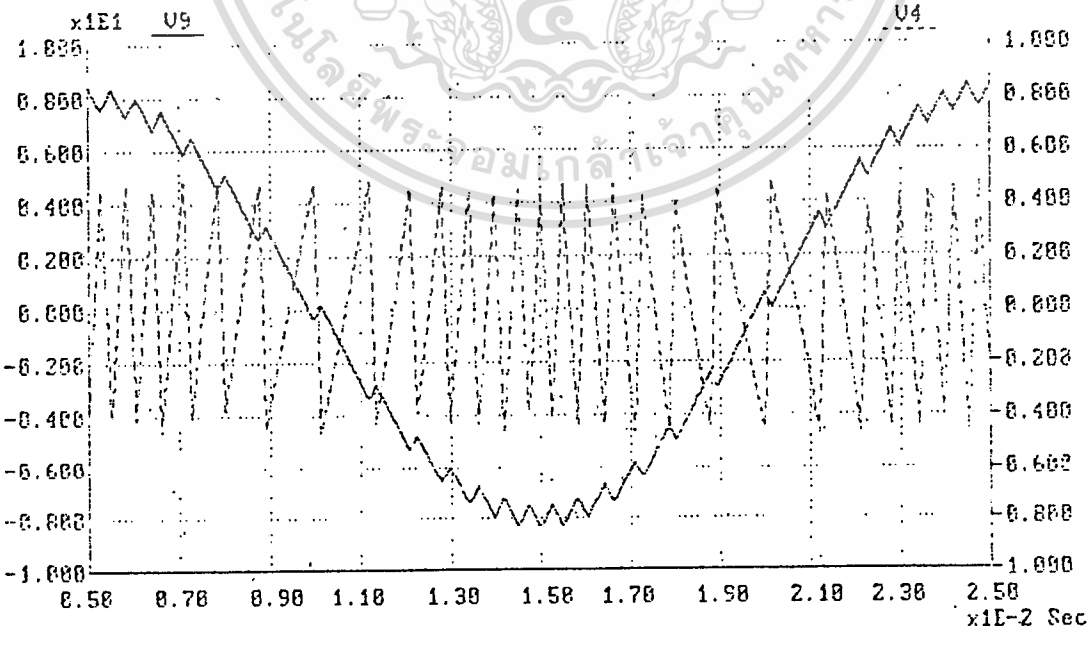
synchronized DM PWM INVERTER SIMULATE CIRCUIT

รูปที่ 4.7 แสดงวงจร Synchronous Delta Modulation ที่ใช้ในการ Simulate โดย LEC SIM



รูปที่ 4a แสดงสัญญาณDeltaModulation เทียบกับสัญญาณ

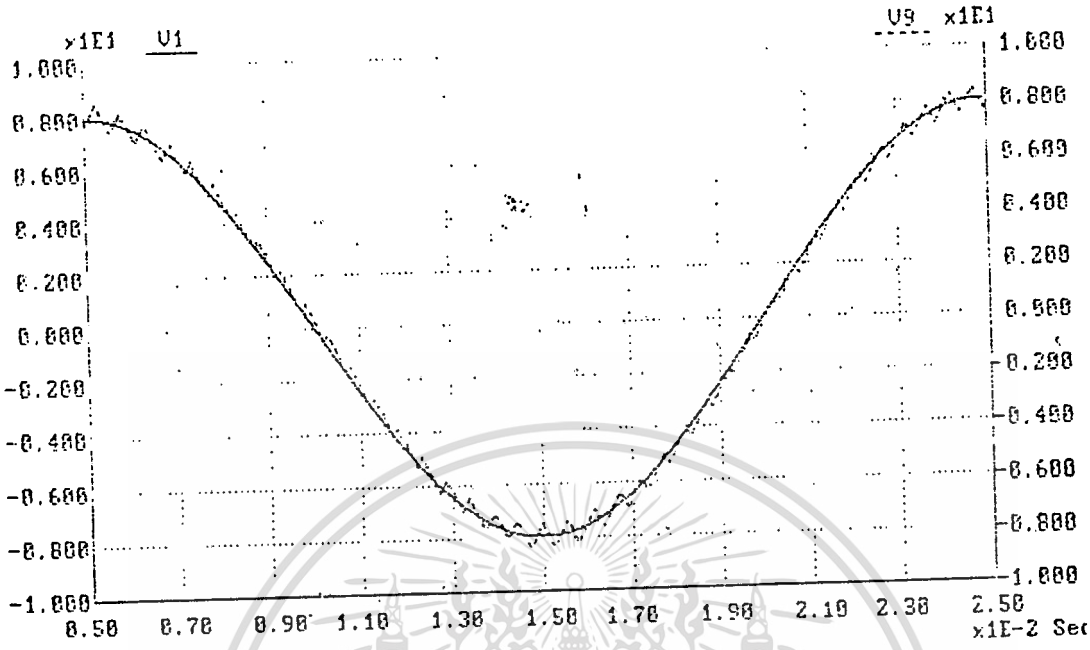
ไซน์อ้างอิง (Asynchronous)



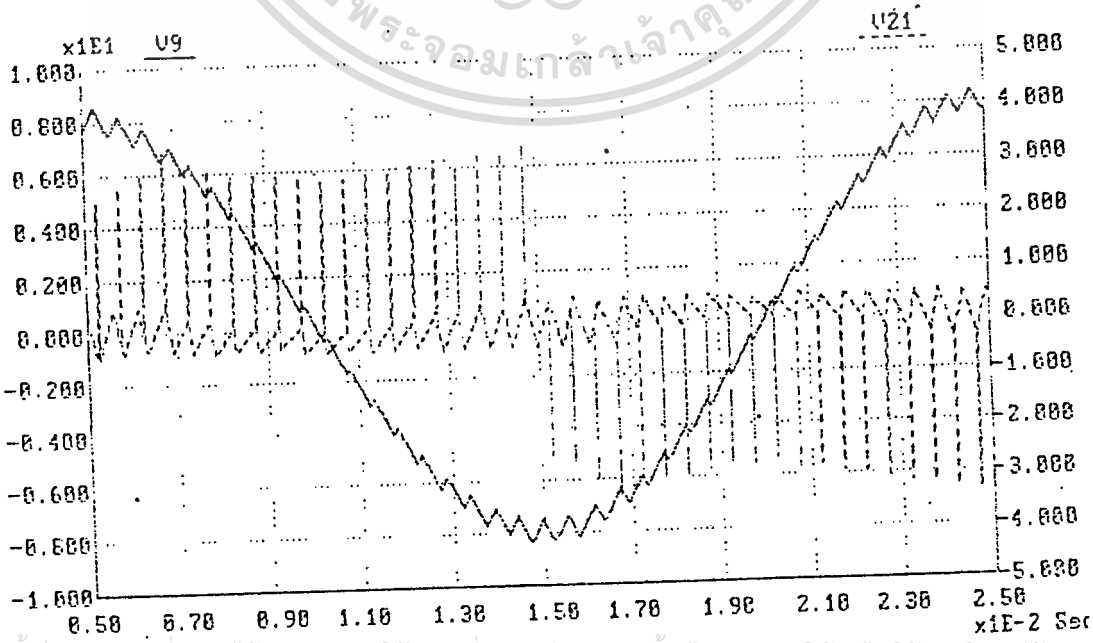
รูปที่ 4b แสดงสัญญาณ Delta Modulation เทียบกับสัญ

ญาณ error ที่ node 4 ออกจาก ของ Asynchronous

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

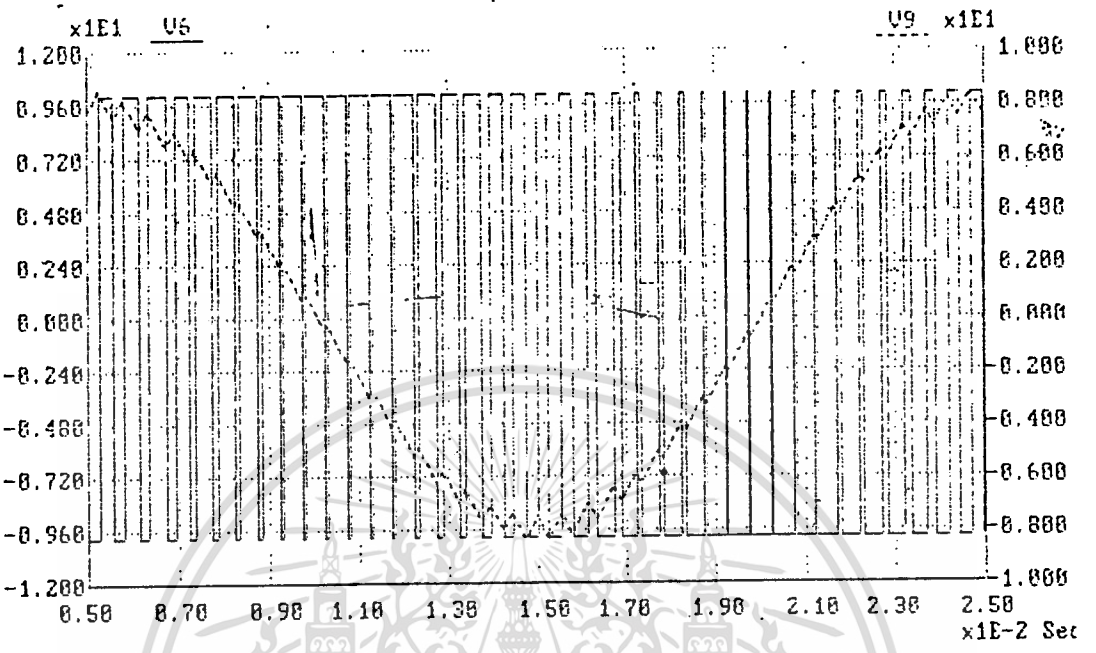


รูปที่ 4c แสดงสัญญาณ Delta Modulation เทียบกับสัญญาณไซน์อ้างอิงของ Synchronous

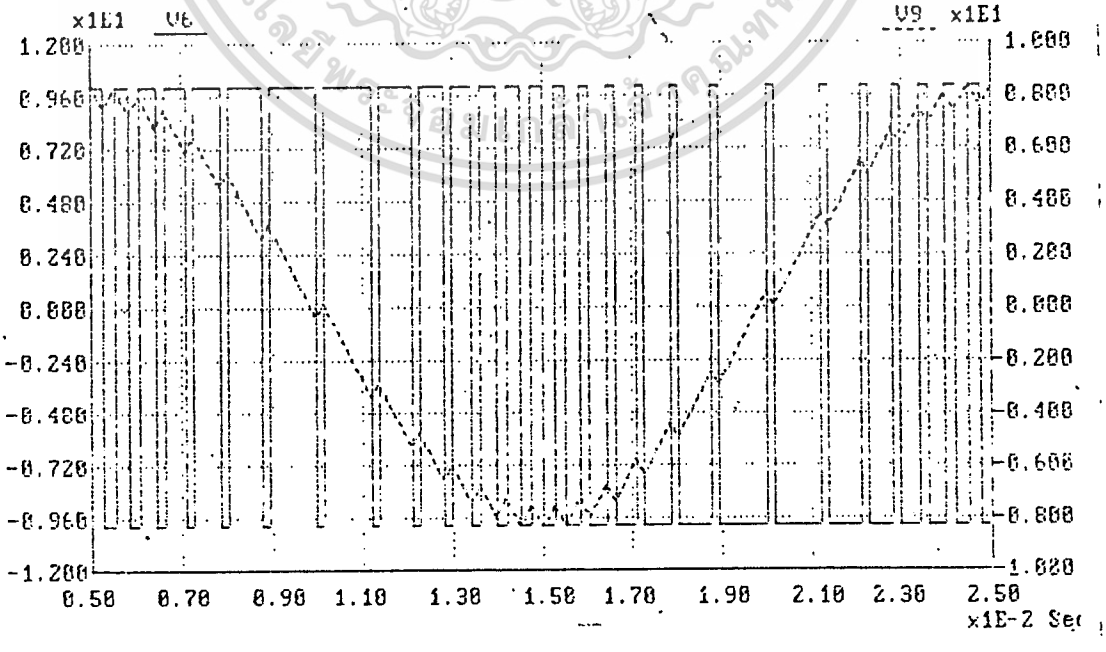


รูปที่ 4d แสดงสัญญาณ Delta Modulation กับสัญญาณ error ที่เข้า hysteresis

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

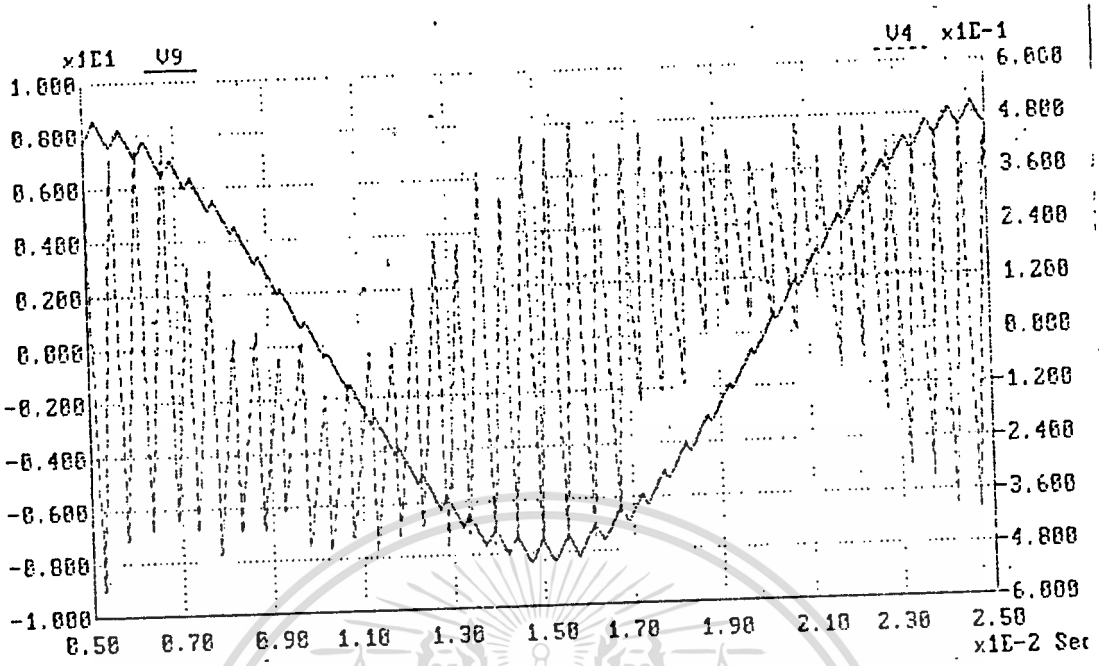


รูปที่ 4e แสดงการสวิทชิงที่มีคาบคงที่ของ Synchronous



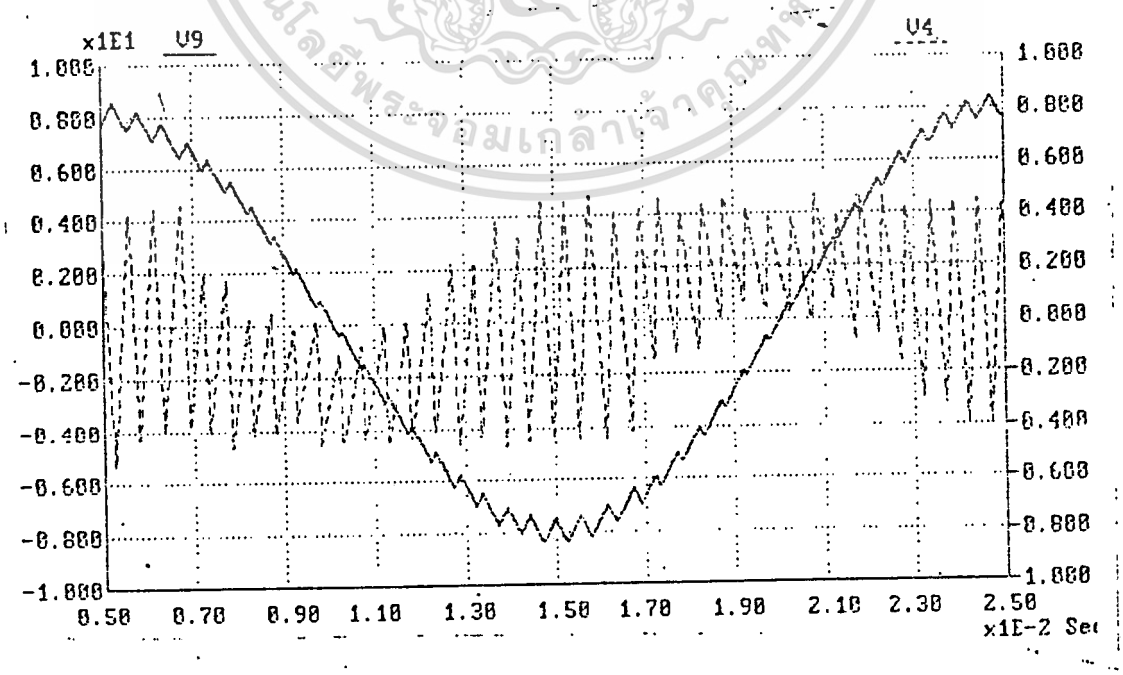
รูปที่ 4f แสดงการสวิทชิงที่มีคาบไม่คงที่ของ Asynchronous

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4g แสดงสัญญาณของDelta Modulation และ error

(ต่อ)

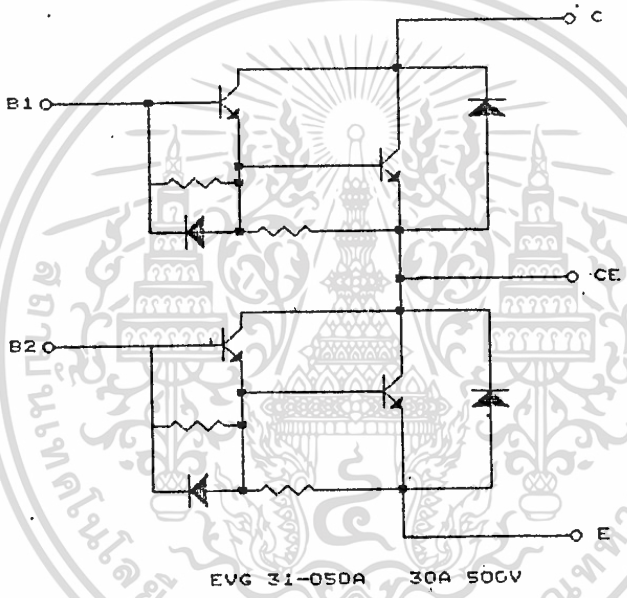


รูปที่ 4h แสดงสัญญาณของDelta Modulation และ error

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5 วงจรหลัก

สำหรับวงจรหลัก (main circuit) ที่ใช้ในโครงงานนี้ จะมีลักษณะเช่นเดียวกับวงจร 3 ϕ อินเวอร์เตอร์ โดยทั่ว ๆ ไป ใช้ power transistor เบอร์ EVG 31-50 เป็น power transistor module มีการต่อทรานซิสเตอร์ภายในตัวแบบ Darlington มีพิกัดกระแส 50 A และทนแรงดัน 450 V Tr = 3 μs, Tf = 4 μs, Ts = 12 μs เป็นอุปกรณ์ Switching แสดงดังรูป 5.1 เหมาะสำหรับใช้ในงาน A.C. Drive



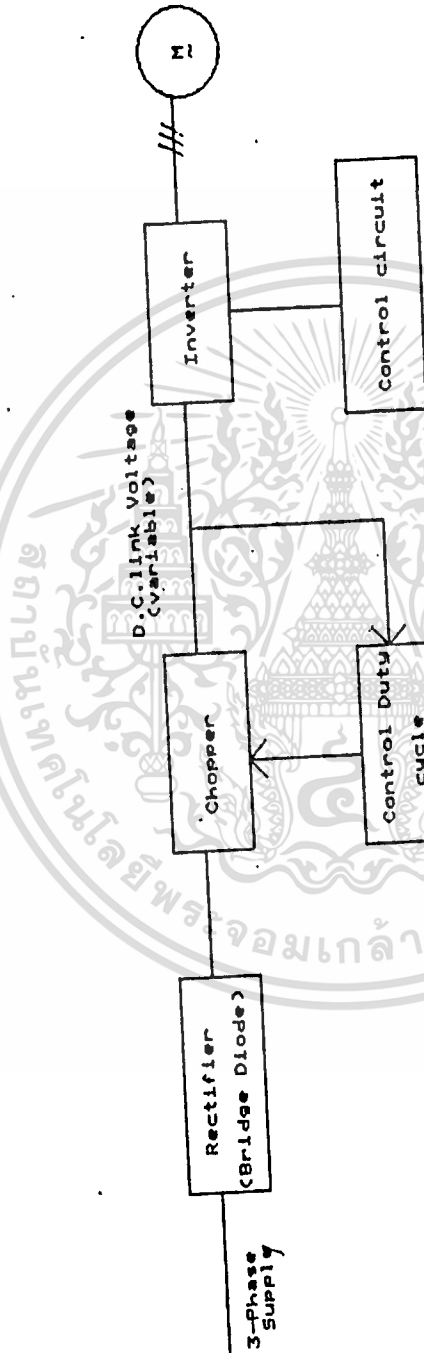
รูปที่ 5.1 แสดงวงจร power transistor module

5.1 การทำงานของวงจรหลัก

รูปที่ 5.2 แสดง Block diagram ระบบของวงจรอินเวอร์ที่ใช้ในโครงงานนี้ แสดงรายละเอียดในรูปที่ 5.3

จะเห็นได้ว่า Bridge Diode Rectify รับไฟ A.C. อินพุทจากไลน์ซึ่ง Bridge Diode นี้จะต้องสามารถรับอินพุทได้ ±15% ของแรงดันขาเข้า และต้องเผื่อ Over voltage อีก ค่ากระแสพิกัดต้องเผื่อไว้ในขณะที่เกิดการกระชากกระแสอีก 50% Bridge rectify จะแปลงจากไฟกระแสสลับเป็นกระแสตรงโดยผ่าน RC filter

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.2 แสดง Block diagram ของระบบอินเวอร์เตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

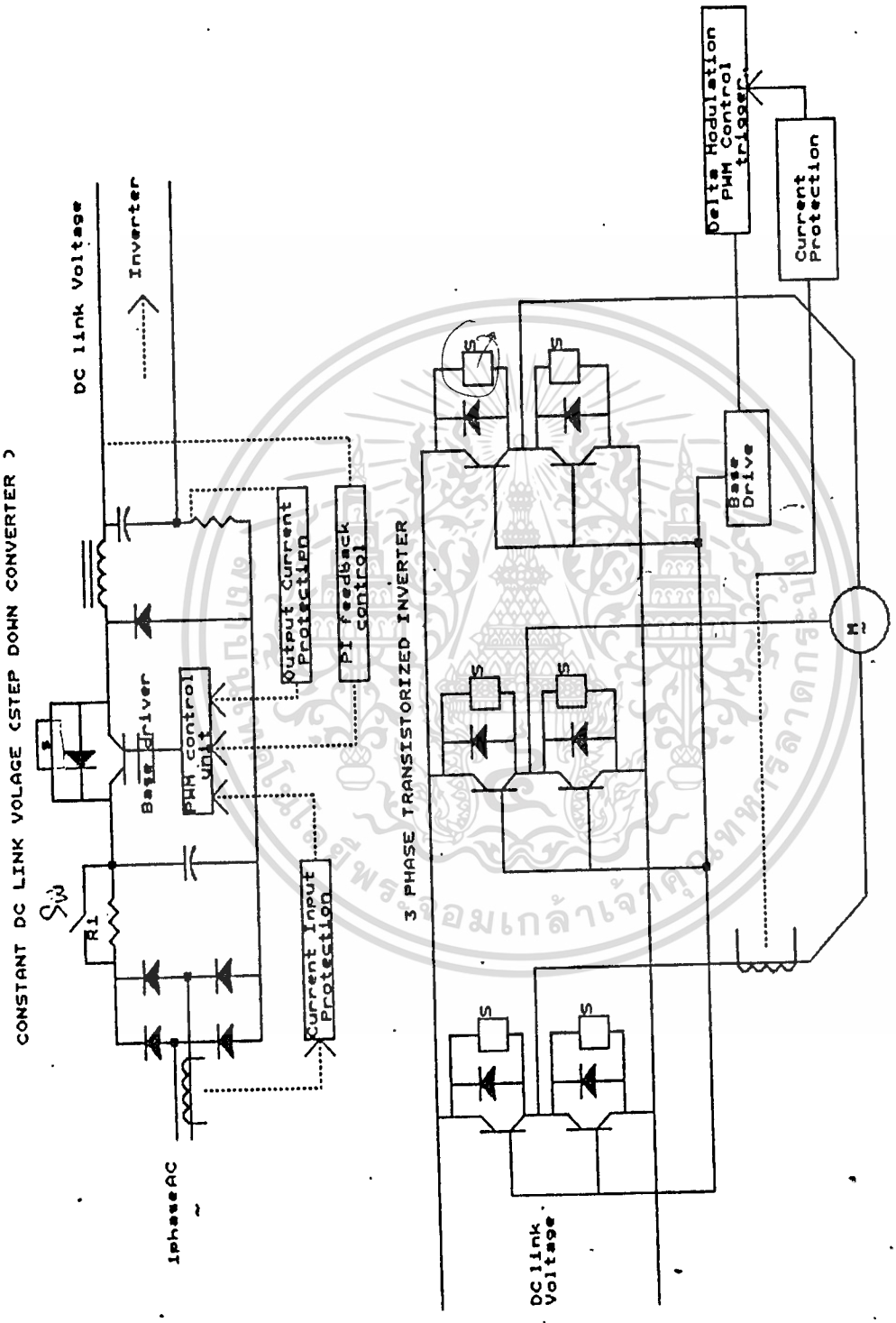
จากวงจรในรูป 5.3 R_1 ทำหน้าที่ลดกระแสขณะ charge คาร์ปาซิเตอร์ C_1 ให้อยู่ในค่าที่ปลอดภัยสำหรับ Bridge diode ที่จะทนได้ในขณะที่เริ่มเปิดเครื่อง

Switch sw จะทำการปิดสวิทช์ทันทีที่ volt คร่อม C_1 สูงขึ้นระดับหนึ่งที่มีค่าที่ปลอดภัย สำหรับการ charge ประจุ C_1 ให้เต็มที่โดย Bridge diode ไม่เสียหาย

ทรานซิสเตอร์ ที่ใช้เป็นอุปกรณ์ สวิทชิ่งนั้น จะใช้เบอร์ EVG 31-50 โดยมีวงจร RC Snubber เพื่อป้องกัน Switching loss และการเปลี่ยนแปลง dv/dt สามารถควบคุม duty cycle ของการสวิทชิ่งโดยส่วน control unit และวงจรขับเบส โดยจะมีช่วงการเปิดปิดของการสวิทชิ่ง สำหรับช่วงเปิด (on) ทรานซิสเตอร์จะนำกระแสโดยพลังงานถูกสะสมใน L ขณะที่อยู่ในช่วงปิด (off) ทรานซิสเตอร์จะหยุดการนำกระแส แต่จะมีการคายพลังงานจาก L ผ่าน free wheeling diode ซึ่งเป็น Diode ชนิด fast diode กระแสที่ได้จากการ chopper จะถูกกรองให้เรียบโดย LC filter ได้เป็นไฟกระแสตรง ออกมาที่ส่วน DC.link voltage เข้าวงจรหลัก(main circuit) ของอินเวอร์เตอร์ ซึ่งต่อเป็นวงจรสามเฟส โดยใช้ power transistor 6 ตัว ซึ่งสามารถควบคุมการทำงานโดยใช้วงจรขับเบสและวงจรสร้างสัญญาณ Delta modulated จะได้ไฟกระแสสลับ 3ϕ ออกมาขับมอเตอร์ได้ และสามารถควบคุมความเร็วมอเตอร์โดยการเปลี่ยนความถี่ของสัญญาณควบคุม Delta modulated ได้อีกด้วย

ในวงจรรูปที่ 5.3 จะเห็นว่ามีวงจรการป้องกัน (protection circuit) เนื่องจากกระแสขาเข้าจากไลน์ กระแสขาออกจากอินเวอร์เตอร์เข้ามอเตอร์ โดยการใช้ CT (current transformer) คล้องที่สายเมนแล้วเปลี่ยนสัญญาณเป็นแรงดันโดยนำตัวต้านทานมาต่อขนานแล้วนำไปเปรียบเทียบกับแรงดันอ้างอิง ถ้ามีสัญญาณผิดปกติเข้ามาเกินค่าแรงดันอ้างอิงที่ตั้งไว้ วงจรจะหยุดการทำงาน สามารถป้องกันวงจรไว้ได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.3 แสดงรายละเอียดของBlock diagram ของวงจรหลัก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6.1 แหล่งจ่ายแรงดันที่สามารถขยายกระแสได้

จากรูปที่ 6.1 แสดงวงจรที่ใช้ สำหรับเป็นแหล่งจ่ายแรงดันไฟกระแสตรง + 8 v และ -6 v เป็นไฟเลี้ยงให้กับวงจรขับเบส ใช้ IC regulate เบอร์ 7808 และ 7906 ตามลำดับ โดยที่ทางด้านไฟบวกมีการใช้ transistor ในการช่วยเพิ่มการจ่ายกระแสได้โดยที่เมื่อวงจรต้องรับภาระในการจ่ายไฟมากทำให้ใช้กระแสมาก จนถึงค่าที่เมื่อผ่าน R 5โอห์ม 5 w แล้วจะได้แรงดันคร่อม R เป็น 0.7 v คือค่า V_{BE} ของทรานซิสเตอร์ ทำให้ทรานซิสเตอร์สามารถทำงานได้และจ่ายกระแสได้ตามการใช้งานของภาระ (load)

6.2 วงจรควบคุมDC.link

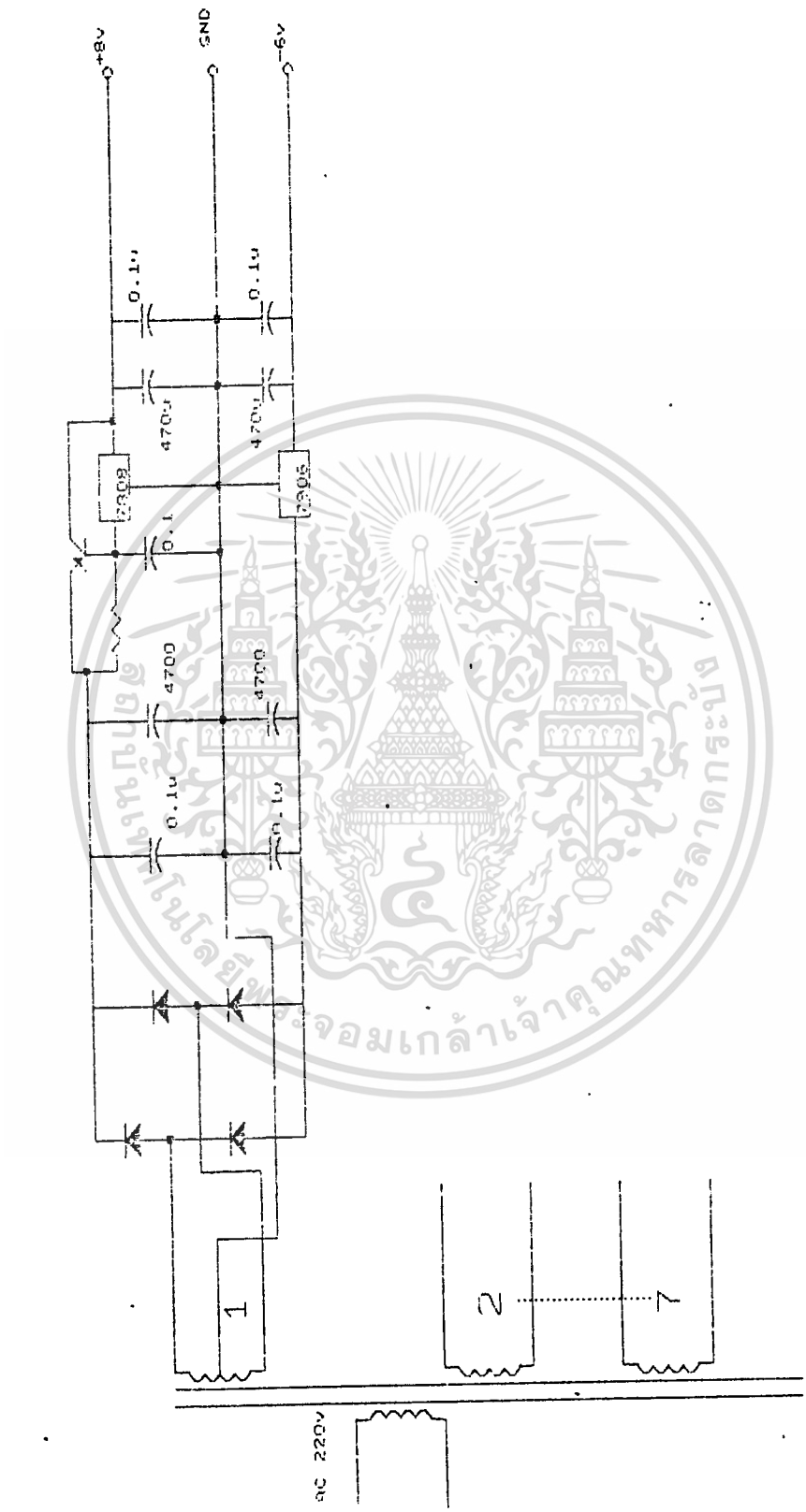
การควบคุม DC. Link Voltage ของวงจรในส่วนของ Control unit ในรูปที่ 6.1จะใช้ IC เบอร์ TL 494 เป็นตัวสร้างสัญญาณ pulse ในการควบคุมขา Base ของ Power Transistor โดยการนำสัญญาณ ramp มาเปรียบเทียบกับสัญญาณไฟ DC. (ได้จากการเปรียบเทียบ ของสัญญาณป้อนกลับจาก output เข้ามาเปรียบเทียบกับแรงดันอ้างอิง)ถ้าสัญญาณ output มีค่ามากเทียบกับ Vref แล้วจะให้ค่า output ที่ผ่าน error amp. ออกมาที่ค่าสูงขึ้น แต่เมื่อนำไปตัดกับสัญญาณ ramp แล้วจะทำให้ pulse ที่ได้มีขนาดเล็กลงป้อนเข้าที่ขา เบสของทรานซิสเตอร์ ทำให้แรงดันขาออกของ DC. link มีค่าคงที่ เมื่อสัญญาณ output มีค่าน้อย ก็จะทำให้ error มีค่าต่ำเทียบกับสัญญาณ ramp ก็จะทำให้ค่า pulse ที่ได้ใหญ่ขึ้น ค่าแรงดันขาออกก็จะคงที่

ความถี่ของสัญญาณ ramp ที่ใช้นั้นสามารถคำนวณได้จากค่า R_T และ C_T ที่ต่ออยู่กับขา 5และขา 6 ในรูปที่ 6.2 และสามารถประมาณค่าความถี่ในการออสซิลเลทได้จากสมการ

$$F_{osc} = \frac{1.1}{R_T C_T}$$

จากรูปที่ 6.2 จะเห็นได้ว่ามีการนำสัญญาณจาก output มาเข้าวงจรเปรียบเทียบแรงดันขา 1 กับแรงดันอ้างอิงที่ขา 2 ดังแสดงวงจรภายใน ภาคผนวก และ

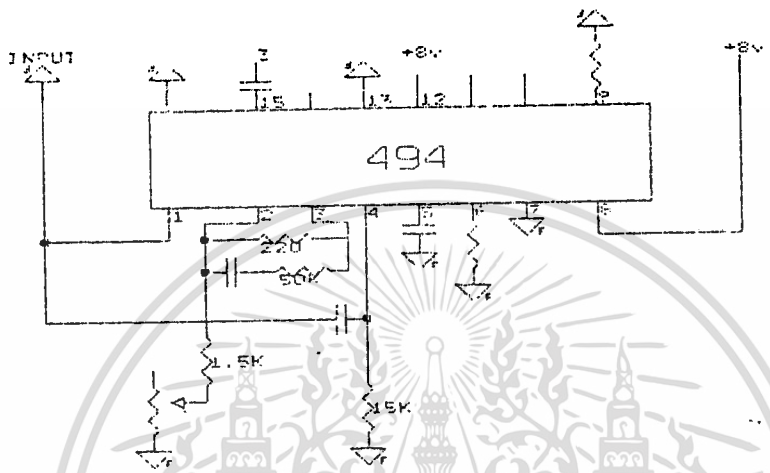
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



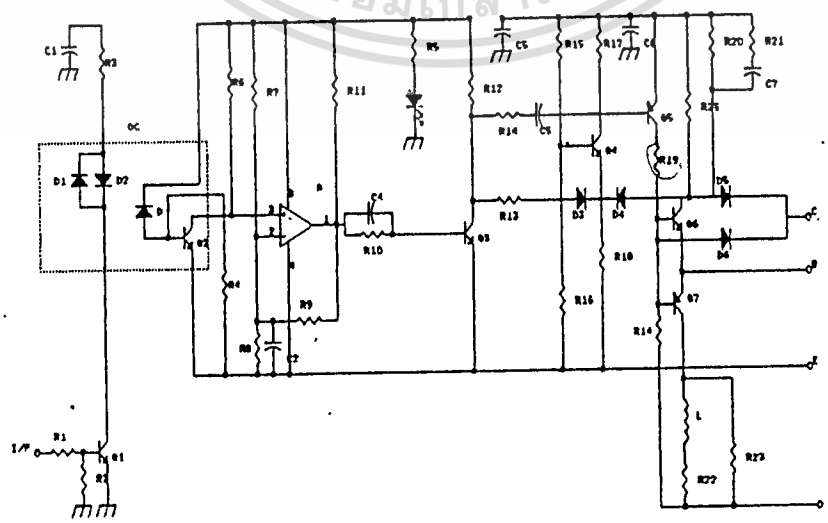
รูปที่ 6.1 แสดงวงจรแหล่งจ่ายแรงดันออกกระแส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ขา 4 คือสัญญาณ Dead time จะต่อ RC เข้ากับสัญญาณแรงดันอ้างอิง V_{ref} ขา 14 เพื่อใช้ในการ Soft Start โดยที่ C จะทำหน้าที่ค่อย ๆ ลด Dead time ให้ลดกับ ramp ได้เป็นลักษณะของ pulse ที่ความกว้างค่อย ๆ เพิ่มขึ้น ทำให้ได้ลักษณะการ Star ที่นุ่มนวล (smooth)ต่อเนื่อง ไม่เกิดการเปลี่ยนแปลงทันทีทันใด



รูปที่ 6.2 วงจรควบคุม D.C.link



รูปที่ 6.3 แสดงวงจรขับเบสของ power transistor

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

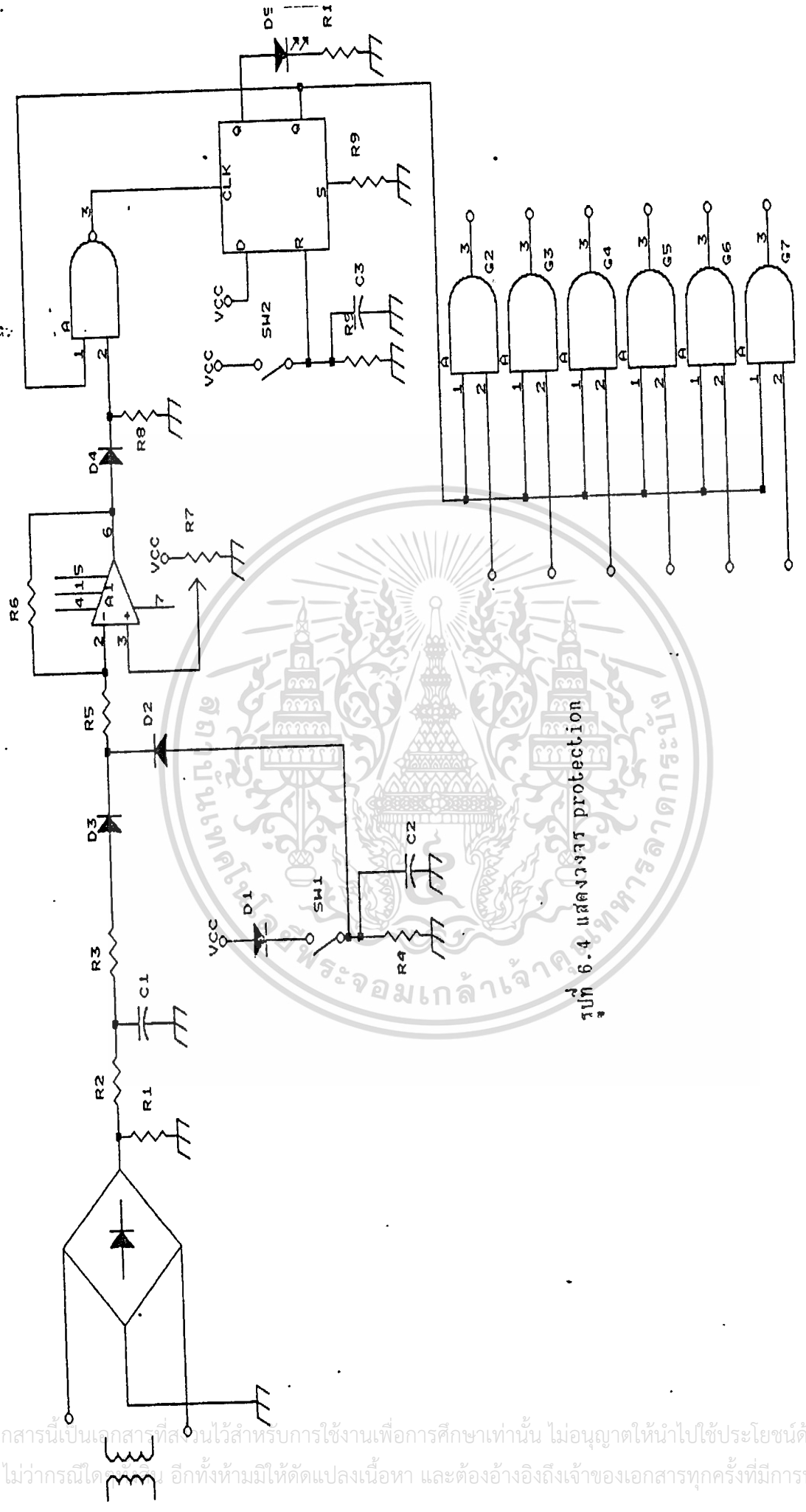
6.3 วงจรขับนำเบส

รูปที่ 6.3 แสดงวงจรที่ใช้ขับเบสของ power transistor จากวงจร(รูป6.3) จะเห็นได้ว่า opto couple จะทำหน้าที่ในการแยก ground ของวงจร control และวงจรขับเบสเมื่อสัญญาณทางด้านบวกเข้ามาที่ เบสของ Transistor Q_1 ทำให้ transistorนำกระแส ไดโอดเปล่งแสงใน opto สว่าง เกิดการไบอัสขาเบสของโฟโตทรานซิสเตอร์ใน opto เกิดกระแสไหล ทำให้เกิดสัญญาณที่ขา C ของ Q_2แต่เนื่องจากสัญญาณจะมีค่า T_r และ T_f ทำให้สัญญาณที่ได้เพี้ยน ต้องมีการนำมาเปรียบเทียบกับแรงดันอ้างอิงโดยใช้ op Amp A_1 ทำให้สัญญาณที่ได้จากการเปรียบเทียบเพี้ยนน้อยลงคือรูปร่างใกล้เคียงกับสัญญาณเดิม เมื่อมีสัญญาณออกจาก A_1 จะทำให้ทรานซิสเตอร์ Q_3 นำกระแส เมื่อ Q_3 นำกระแส จะไบอัสให้ Q_4 นำกระแส ทำให้แรงดันคร่อมตัวต้านทาน R_{16} มีค่าสูง ทำให้กระแสไม่ไหลผ่าน D_4 เมื่อ Q_5 นำกระแสจะไหลผ่าน D_5,D_6 และ Q_6 นำกระแส คือจะนำกระแสช่วงกระแสเบสเป็นบวกทำให้ power transistor ถูกไบอัสให้นำกระแส ทำให้ V_{ce} ต่ำ ทรานซิสเตอร์ Q_7 ถูกบลอคไม่ให้นำกระแส แต่เมื่อสัญญาณทางด้านลบเข้ามาที่ขาเบสของ ทรานซิสเตอร์ Q_1 ทำให้ไม่สามารถนำกระแส โฟโตทรานซิสเตอร์ไม่ทำงาน ทรานซิสเตอร์ Q_3 และ Q_5 ไม่ทำงาน power transistor ไม่มีกระแสไหลผ่าน D_5,D_6 power transistor off เสมือนมี I_B ค่าลบเข้าที่ Q_7 ทำให้ Q_7 นำกระแสและจะทำให้คิงกระแสที่ขา BE ให้ Transistoroff ได้อย่างรวดเร็ว จะสังเกตเห็นว่ามีการต่ออินดัคเตอร์ L เพื่อจำกัด ค่า $-dI_B/dt$ด้วยไดโอด D_5เรียกว่า " Baker Clamp Diode " ทำหน้าที่ป้องกันไม่ให้ powertransister เกิดการอิ่มตัว (Saturation)เกินไป

6.4 วงจร Protection

จากรูปที่ 6.4 จะเห็นได้ว่า เมื่อเราต้องการ protection สัญญาณที่จุดไหน จะทำการคล้อง CT (current transformer) เข้ากับสายเมนนำสัญญาณกระแสที่ได้ผ่านBridge rectify 1นิ้ว เปลี่ยนเป็นแรงดันโดยความต้านทาน R_3 ในสภาวะปกติสัญญาณที่ผ่านD_3 เข้าที่ขาลบของ op amp A_1 จะเป็น low เมื่อต้องการหยุดการทำงานของระบบ จะต้องปิดสวิทช์ Sw_1 ทำให้สัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 6.4 แสดงวงจร protection

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ที่เข้าขาลบของ A_1 เป็น High ผ่าน inverting amplifier A_1 ทำให้ผลของสัญญาณที่ออกมาจาก A_1 เป็น low เข้ามากระทำ logic ที่ G_1 กับ Q^- L ของ D flip flop ซึ่งสภาวะปกติเป็น High จะได้สัญญาณขาออกของ G_1 คือ High เข้า clock ของD flip flop ซึ่งจะทำงานที่ clock ขาขึ้น จะทำให้ Q ขึ้น High และ Q^- ลงlow ระบบจะหยุดทำงาน

กรณีที่เกิด fault เข้ามา จะทำให้สัญญาณเข้าที่ลบของ A_1 เป็น High ขาออกที่ A_1 จะเป็น low ได้ผลเช่นเดียวกับกรณีที่แล้ว

ในกรณีของการ start เพื่อให้ระบบทำงานใหม่ ทำได้โดยกดสวิทช์ Sw_2 จะทำให้ขา Reset ขึ้น High ขา Q ลงlow ขา Q^- ขึ้น High ทำให้ระบบสามารถทำงานใหม่ได้

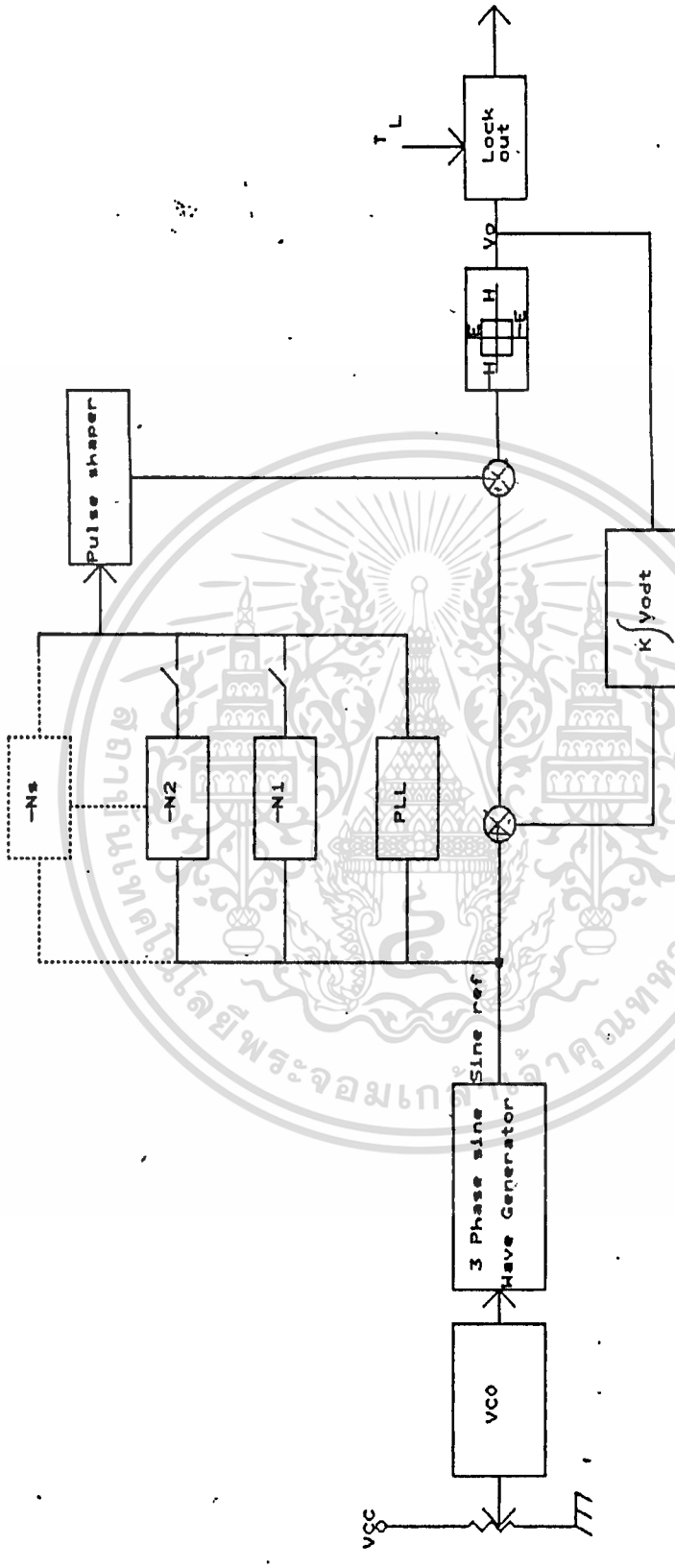
6.5 วงจรสร้างสัญญาณ Delta Modulation Inverter

จาก Block Diagram ในรูปที่ 6.5 จะเห็นได้ว่ามีส่วนของวงจรใหญ่ๆ ที่ประกอบกันเป็นวงจรสร้างสัญญาณ Synchronize delta modulated inverter คือ จะมีส่วนสร้างสัญญาณไซน์อ้างอิงเข้ามาให้กับวงจร การสร้างสัญญาณ Delta modulatedและวงจร Phase look loop เพื่อสร้างสัญญาณ Pulse shaper อัดให้กับ วงจร delta modulated จากนั้นจะเข้าสู่วงจร time look out เพื่อสร้าง dead time ป้องกันการ shrot branch เนื่องจากการเหลื่อมกันของสัญญาณ ดังแสดงรายละเอียดแต่ละวงจรดังต่อไปนี้

6.5.1 วงจรสร้างสัญญาณไซน์อ้างอิง

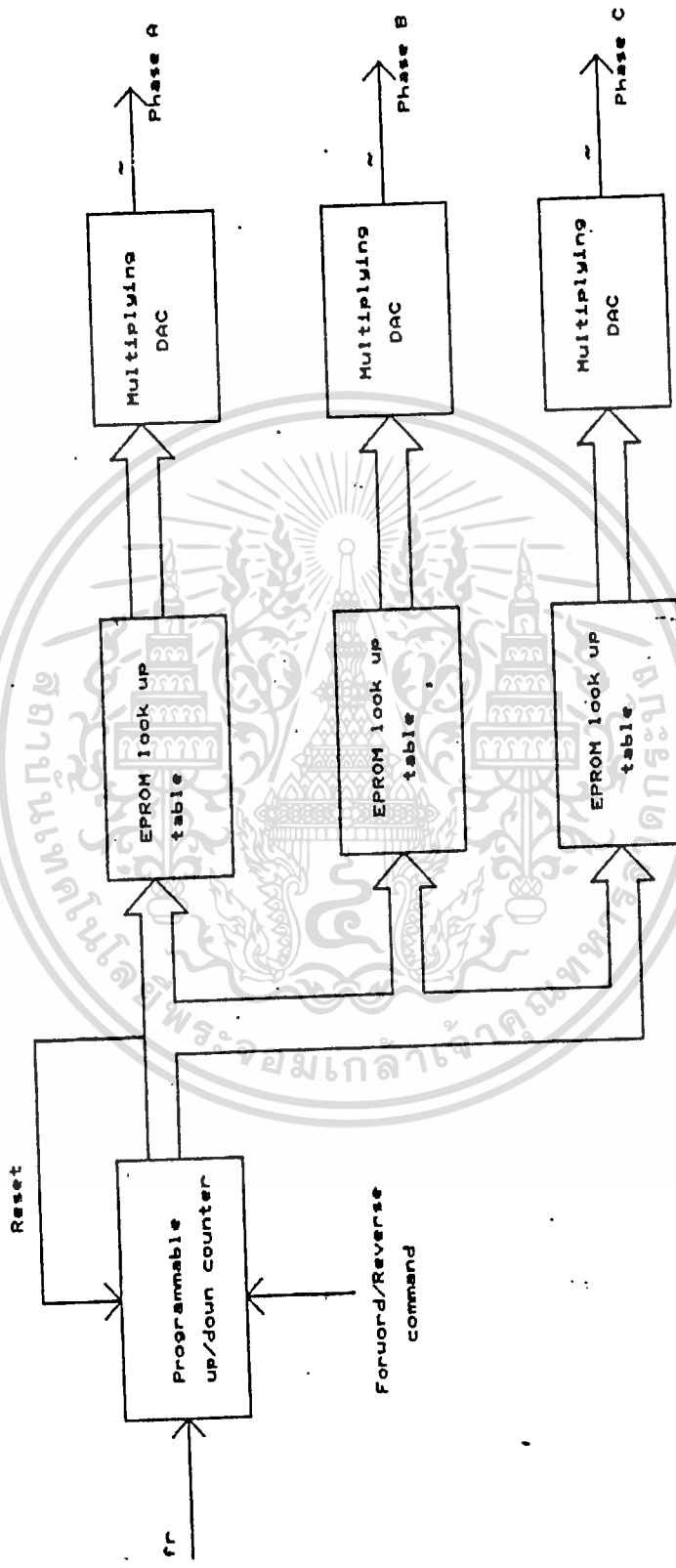
จากรูปที่ 6.6 จะเห็นได้ว่าการสร้างสัญญาณไซน์อ้างอิงในแต่ละเฟสนั้น จะใช้หลักการเปลี่ยนแรงดันสัญญาณอนาล็อคเป็นรูปคลื่นสัญญาณพัลซ์ที่เป็น ดิจิตอล ซึ่งสามารถปรับความถี่ได้โดยการปรับค่าแรงดันที่ป้อนเข้า IC 4046 (Voltage control oscillator VCO) จากนั้นนำสัญญาณพัลซ์ที่ได้มาป้อนเข้า clock ของ counter ใช้ IC4516 ซึ่งเป็น counter ที่สามารถนับข้อมูลขึ้นลงได้ตัวหนึ่ง 4 บิท ในที่นี้ใช้สองตัว สามารถนับข้อมูลได้ 8 บิท เป็นจำนวน $2^8 = 256$ ข้อมูล จาก counter เรานำข้อมูลที่ได้จากการนับของ counter เป็นตัวชี้ค่า address ที่มีข้อมูลสัญญาณ sine อ้างอิง เป็นเลขฐานสิบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



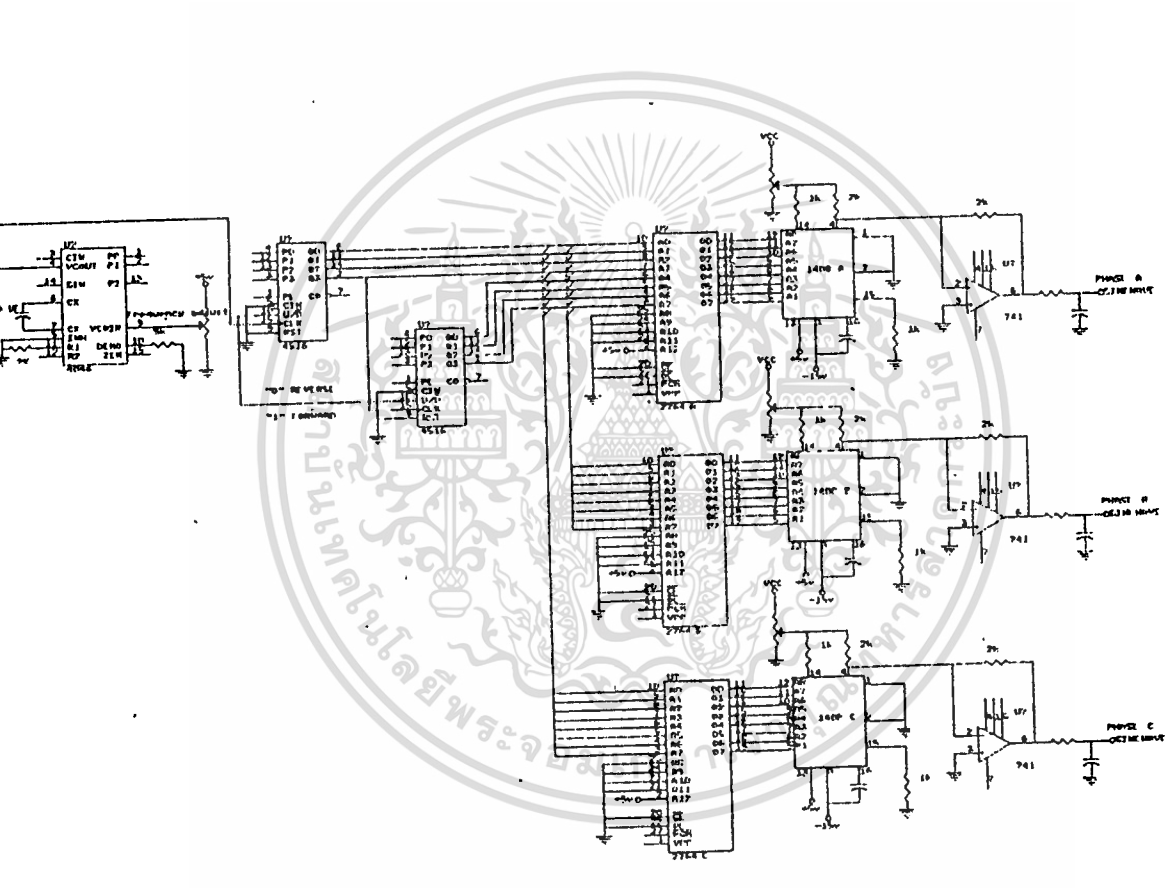
รูปที่ 6.5 Block diagram ของ Synchronize delta modulated inverter

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



การสร้างสัญญาณไซน์อ้างอิง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 6.6 วงจรสร้างสัญญาณไซน์อ้างอิง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.80	27.CC	53.F9	79.F7	105.C4	131.7A	157.2F	183.05	209.0C	235.42
2.83	28.CE	54.FA	80.F5	106.C1	132.77	158.2D	184.04	210.0D	236.44
3.86	29.D1	55.FB	81.F4	107.BE	133.74	159.2B	185.03	211.0F	237.47
4.89	30.D3	56.FC	82.F3	108.BC	134.70	160.29	186.03	212.11	238.44
5.8C	31.5D	57.FD	83.F1	109.B9	135.6D	161.27	187.02	213.12	239.4D
6.90	32.D7	58.FD	84.F0	110.B6	136.6A	162.24	188.02	214.13	240.50
7.93	33.D9	59.FE	85.EE	111.B3	137.68	163.22	189.01	215.14	241.52
8.96	34.DC	60.FE	86.ED	112.B0	138.64	164.20	190.01	216.16	242.55
9.98	35.DE	61.FF	87.EC	113.AE	139.61	165.1E	191.01	217.18	243.58
10.9C	36.E0	62.FF	88.EA	114.AB	140.5E	166.1C	192.01	218.1A	244.5B
11.9F	37.E2	63.FF	89.E8	115.A8	141.5B	167.1A	193.01	219.1C	245.5E
12.A2	38.E4	64.FF	90.E6	116.A5	142.58	168.18	194.01	220.1E	246.61
13.A5	39.E6	65.FF	91.E4	117.A2	143.55	169.16	195.01	221.20	247.64
14.A8	40.E8	66.FF	92.E2	118.9F	144.52	170.14	196.01	222.22	248.68
15.AB	41.EA	67.FF	93.E0	119.9C	145.50	171.13	197.02	223.24	249.6A
16.AE	42.CE	68.FF	94.DE	120.98	146.4D	172.12	198.02	224.27	250.6D
17.B0	43.ED	69.FE	95.DC	121.96	147.4A	173.11	199.03	225.29	251.70
18.B3	44.EE	70.FE	96.D9	122.93	148.47	174.0F	200.03	226.2B	252.74
19.B6	45.F0	71.FD	97.D7	123.90	149.44	175.0D	201.04	227.2D	253.77
20.B9	46.F1	72.FD	98.D5	124.8C	150.42	176.0C	202.05	228.2F	254.7A
21.BC	47.F3	73.FC	99.D3	125.89	151.3F	177.0B	203.06	229.32	255.7D
22.BE	48.F4	74.FB	100.D1	126.86	152.3C	178.09	204.07	230.34	256.80
23.C1	49.F5	75.FA	101.CE	127.83	153.39	179.08	205.07	231.37	
24.C4	50.F7	76.F9	102.CC	128.80	154.37	180.07	206.08	232.39	
25.C7	51.F8	77.F9	103.C9	129.80	155.34	181.07	207.09	233.3C	
26.C9	52.F9	78.F8	104.C7	130.7D	156.32	182.06	208.0B	234.3F	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 6.7 ข้อมูลใน EPROM

หกที่เก็บใน EPROM (IC2764) EPROM จะส่งข้อมูลไปยัง DAC 1408 (Digital to Analog Converter) แล้วผ่าน RC filter ก็จะได้สัญญาณ Sine ที่ใช้งานได้ และสามารถปรับ Amplitude ของสัญญาณ Sine ที่ได้ด้วย โดยที่สัญญาณ Sine อ้างอิงของ phase B และ C ก็ใช้หลักการในทำนองเดียวกันแต่จะใช้ VOC ตัวเดียวกัน และข้อมูลเลขฐานสิบหกที่เก็บลงใน EPROM จะเป็นข้อมูลที่มีเฟสต่างกัน 120 องศา ดังแสดงค่าข้อมูลในรูปที่ 6.7

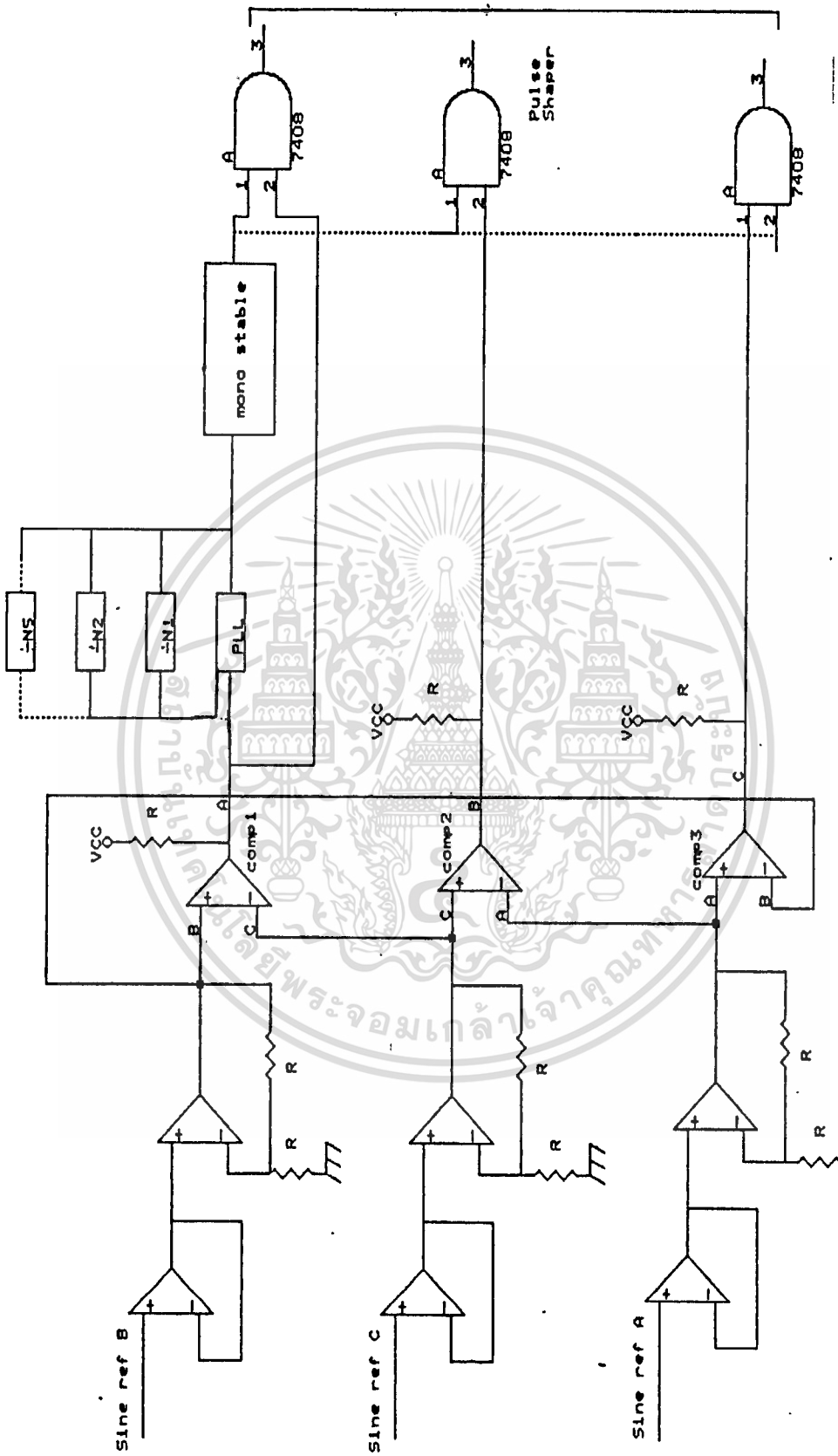
6.5.2 วงจรสร้างสัญญาณ Pulse Shaper

จากรูปที่ 6.8 แสดงวงจรการสร้างสัญญาณ pulse shaper โดยการนำสัญญาณไซน์อ้างอิงในแต่ละเฟส จากที่สร้างได้ ผ่าน วงจร buffer และขยายแรงดันโดยผ่าน noninverting amplifier เข้า Comparaterตัวที่ 1,2 และ 3 โดยแต่ละตัวจะมีสัญญาณจาก เฟส A,B และ c คู่ใดคู่หนึ่งมาเปรียบเทียบกัน ผลที่ได้จะเป็นสัญญาณที่เข้าวงจร phase look loop โดยวงจรนี้จะมีส่วนที่ทำหน้าที่ ตรวจสัญญาณความถี่ที่เข้ามา แปลงรหัสให้ไปเลือก ว่าจะทำการแบ่งจำนวนลูกเป็นเท่าไร โดยวงจรหาร N จากวงจรหาร N ก็จะได้สัญญาณที่แบ่งเป็นสัญญาณพัลซ์ย่อยๆ จากนั้น เข้าสู่วงจรสร้างสัญญาณ โมโนสเตเบิล เพื่อให้ได้เนื้อพัลซ์น้อยที่สุด แล้วนำมาทำ logic โดยการ and กับสัญญาณ ที่ออกมาจาก comparater ในแต่ละเฟส จะได้สัญญาณ pulse shaper นำไปป้อนให้กับวงจรในส่วนของ Delta Modulation

6.5.3 วงจรสร้างสัญญาณ Delta Modulation

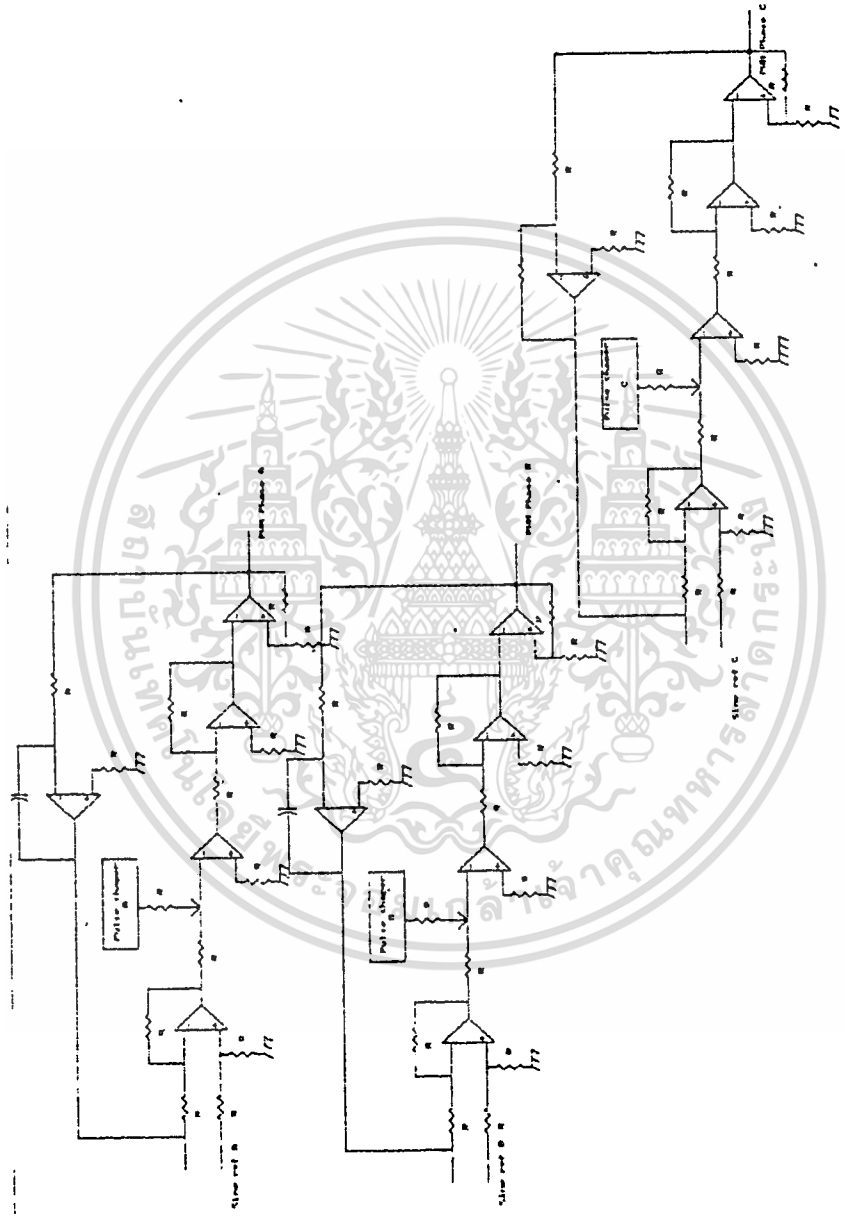
วงจรในรูปที่ 6.9 แสดงวงจรสร้างสัญญาณPWMโดยใช้เทคนิคการ Synchronize Delta Modulation จะเห็นว่ามีการนำสัญญาณไซน์อ้างอิงเข้ามาเปรียบเทียบกับสัญญาณที่ได้จากการป้อนกลับมา โดยผ่าน error amplifier จากนั้นจะนำสัญญาณ error ที่ได้ เข้าวงจร Summing รวมกับสัญญาณ Pulse Shaper เพื่อให้ค่าของสัญญาณ PWM มีค่าคงที่ สัญญาณที่ได้ต้องนำมาผ่าน inverting เพื่อให้ได้สัญญาณคงเดิมเนื่องจากวงจร Summing จะกลับเฟสสัญญาณ จากนั้น เข้าสู่วงจร bysterysis โดยจะมีค่า R เป็นตัวกำหนดค่าขอบเขตของการสวิทชิ่ง ทำให้ได้สัญญาณ PWM ออกมา จากนั้นจะผ่านตัวอ่าน ทิเกรเดอร์ สัญญาณที่ได้จะเป็นสัญญาณรูปสามเหลี่ยม (Delta Modulate)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 6.8 วงจรสร้างสัญญาณ pulse shaper

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 6.9 วงจร Synchronize

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6.5.4 การออกแบบวงจร Snubber

วงจร Snubber เป็นวงจรที่ใส่ในวงจรหลัก (main circuit) เพื่อป้องกันไม่ให้อัตราส่วนระหว่าง dv/dtมีค่ามากเกินไป และลด switching loss ให้น้อยลง โดยแสดงวงจรดังรูปที่ 6.9

ขณะ transistor turn-off กระแสจะเข้ามา charge ประจุ C โดยค่าโวลเตจตกคร่อม แสดงได้ด้วยสมการ

$$V_{cc} = \frac{1}{C_s} \int I_1 \, dt \qquad (1)$$

$$V_{cD} = \frac{1}{C_s} \int \frac{I_1}{I_f} t \, dt \qquad (2)$$

เมื่อ I_1 คือ ค่ากระแสโหลด

ค่าแรงดันที่ตกคร่อมตัวเก็บประจุ C_s มีค่า V_{CD} ที่เวลา $t=t_f$

จะได้ว่า $$V_{CD} = 0.5 (I_1 t_f)/C_s \qquad (3)$$

ดังนั้นค่าตัวเก็บประจุที่จะใช้ในการออกแบบคือ

$$V_s >= (I_1 t_f)/2V_{CD} \qquad (4)$$

พลังงานเก็บสะสมใน C ขณะที่ $t=t_D$, $V_{CD}=V_D$ คือ

$$E=0.5C_s(V_D)^2 \qquad (5)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อทรานซิสเตอร์ turn on อีกครั้ง พลังงานจะส่งผ่านความต้านทาน R_s ถ้าให้ f เป็นค่าความถี่ในการใช้งานของทรานซิสเตอร์ ค่ากำลังที่เกิดจากความต้านทานคือ

$$P_{Rs} = 0.5C_s(V_D)^2 f \qquad (6)$$

ขณะที่ทรานซิสเตอร์ turn on นั้น ความต้านทาน R_s จะจำกัดค่ากระแสดิสชาร์จค่าหนึ่งให้อยู่ในช่วงที่ปลอดภัย ถ้าให้ I_m คือค่ากระแสสูงสุดที่สามารถผ่านได้โดยปลอดภัย และ I_1 คือค่ากระแสโหลดที่ทรานซิสเตอร์ turn on อย่างทันทีทันใด และสมมติว่า R_s จำกัดค่ากระแสการดิสชาร์จ ค่า R_s จะแสดงได้ดังสมการที่ (7)

$$R_s \geq V_D / (I_m - I_1) \qquad (7)$$

ในอินเวอร์เตอร์แบบ PWM จะมีกระแส I_{rr} (reverse recovery current) เนื่องจากขณะที่ทรานซิสเตอร์ turn on แล้วจะยังมีกระแสเนื่องจากโหลดและกระแสดิสชาร์จ ดังนั้น

$$R_s \geq V_D / (I_m - I_1 - I_{rr}) \qquad (8)$$

สมการที่ (8) แสดงค่า R_s ที่น้อยที่สุด

สำหรับค่าR_sที่มากที่สุด สามารถหาได้จากช่วงคาบเวลาของการ turn on ที่น้อยที่สุด ($T_{on(min)}$) ของทรานซิสเตอร์ ค่าต่ำสุดของเวลาสามารถหาค่าจาก 3 เท่าของค่าคงที่เวลา R_sC_s

ดังสมการ

$$T_{on(min)} \geq 3R_sC_s \qquad (9)$$

$$R_s < T_{on(min)} / 3C_s \qquad (10)$$

สมการ (10) นี้ หมายความว่า ค่า R_s จะมีค่าน้อยที่สามารถเป็นไปได้สำหรับการดิสชาร์จของกระแส C_s ที่รวดเร็ว จาก (8),(9) และ (10) ได้ว่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$[\ V_D\ /\ (\ I_m - I_1 - I_{rr})\ ] \quad <= \quad R_s \quad <= \quad [\ T_{on(min)}\ /\ 3C_s\ ] \qquad (11)$$

สมการที่ (4) และ (11) สามารถคำนวณหาค่า parameter ที่เหมาะสมสำหรับ R_s และ C_s สมการที่ (6) ช่วยในการคำนวณค่าพลังงานการสูญเสียของความต้านทาน R_s

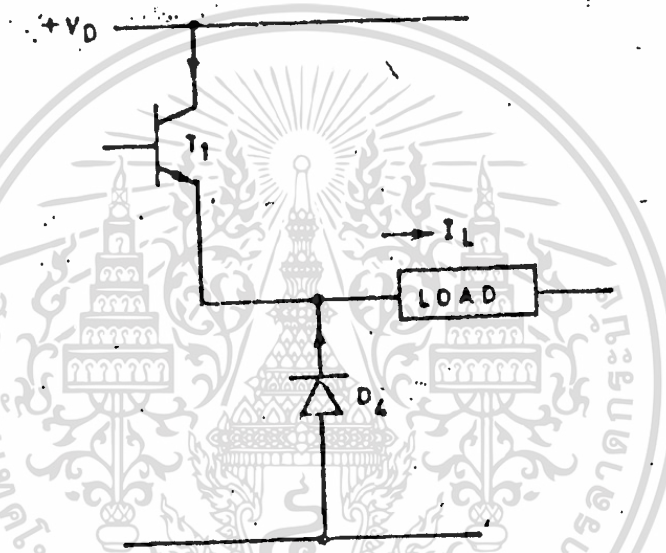


Fig. 2. A portion of one leg of the bridge inverter.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ผลการทดลอง เมื่อขับมอเตอร์ขนาด 1 แรงม้า ทำงานในย่าน square wave

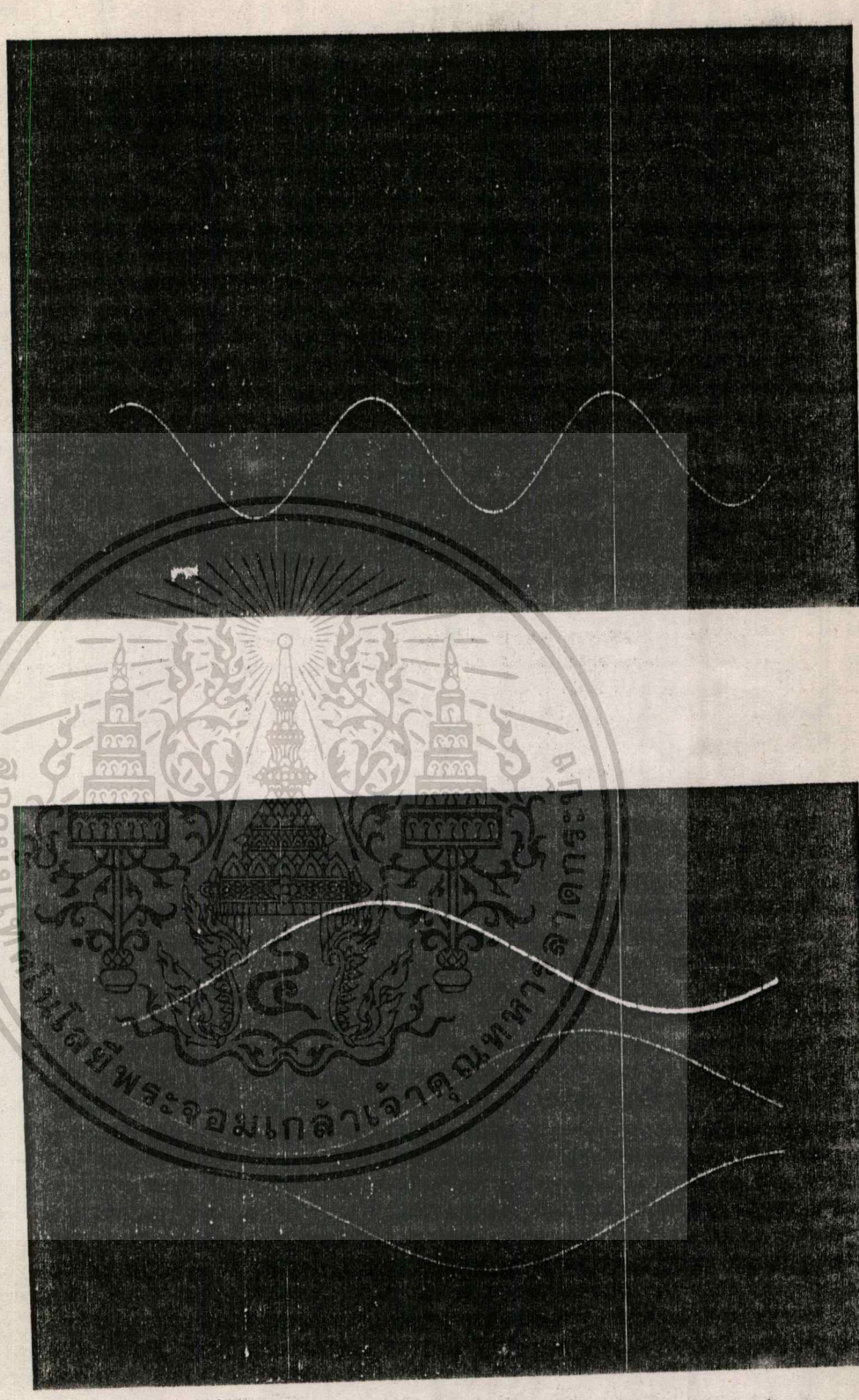
ความถี่ (f) H_z	V_{dc} V	V_{rms} V	Speed rms	I_{dc} A	I_{ac} A	น้ำหนัก mg
	150	100	1482	0.58	1.66	100
	150	100	1471	0.75	1.62	250
	150	100	1464	0.92	1.65	450
50	150	100	1456	1.10	1.65	600
	150	100	1448	1.30	1.70	750
	150	100	1438	1.48	1.75	900
	150	100	1418	1.90	1.93	1200
	200	138	1493	0.50	2.20	400
	200	138	1489			
	200	138	1492	0.50	2.25	
	200	138	1488	0.60	2.19	100
50	200	138	1482	0.70	2.15	250
	200	138	1477	0.90	2.14	400
	200	138	1473	1.00	2.15	550
	200	135	1468	1.15	2.15	700
	200	135	1463	1.25	2.16	850
	200	135	1455	1.50	2.20	1150

รูปที่ 7.1 แสดงผลการทดลองเมื่อขับมอเตอร์ขนาด 1 แรงม้า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

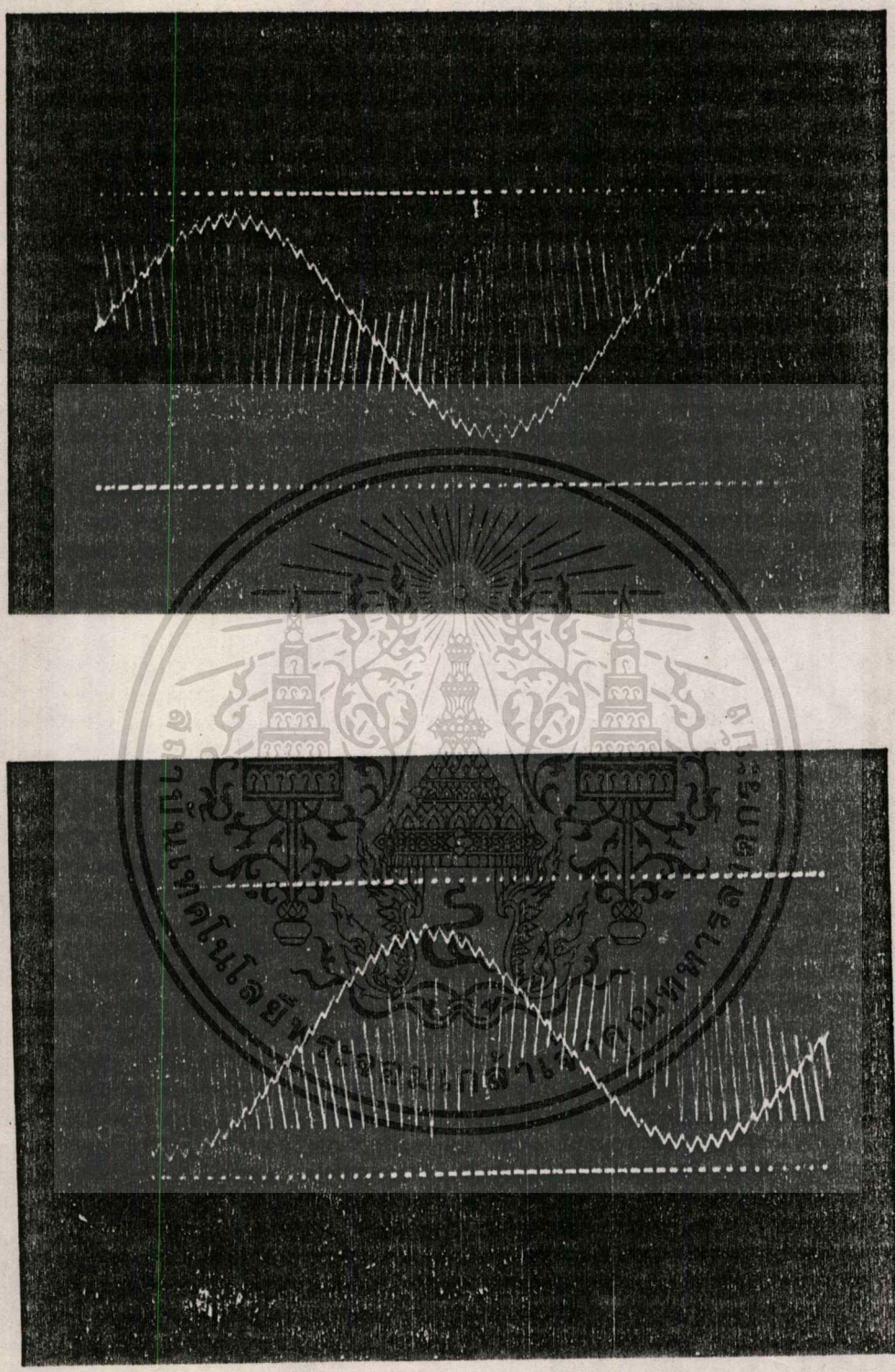
ความถี่ (f)H_z	V_{dc} V	V_{rms} V	Speed rms	I_{dc} A	I_{ac} A	น้ำหนัก mg
	200	140	1651	0.50	1.866	0
	200	140	1645	0.60	1.860	100
	200	140	1640	0.75	1.850	250
55	200	137	1631	0.90	1.830	400
	200	140	1620	1.20	1.900	700
	200	138	1614	1.35	1.930	850
	200	136	1602	1.60	2.000	1150
	200	139	1771	0.48	1.70	0
	200	138	1766	0.60	1.68	100
	200	139	1758	0.75	1.71	250
60	200	139	1752	0.90	1.70	400
	200	137	1738	1.20	1.76	700
	200	139	1730	1.40	1.80	850
	200	139	1717	1.65	1.90	1150
	200	141	2279	0.40	1.220	0
	200	141	2271	0.60	1.225	100
	200	140	2258	0.80	1.250	250
77	200	140	2230	1.00	1.20	400
	200	140	2214	1.50	1.50	700
	200	140	2198	2.75	1.65	850
	200	139	2167	2.20	1.94	1150

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



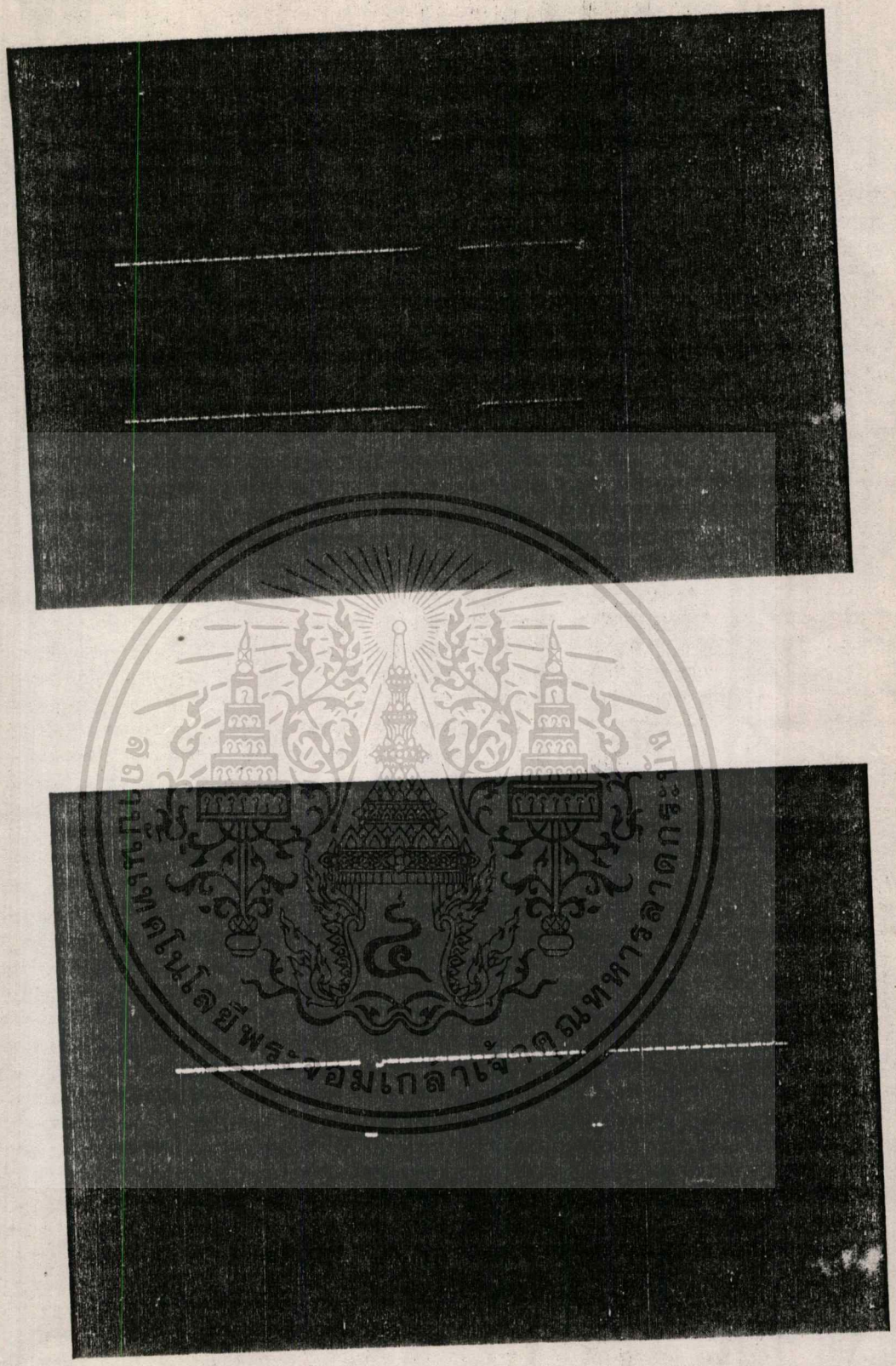
รูปที่ 7.2 แสดงสัญญาณไซน์อ้างอิง 3 เฟสสร้างได้ ซึ่งสามารถปรับความถี่และ แรงดันได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



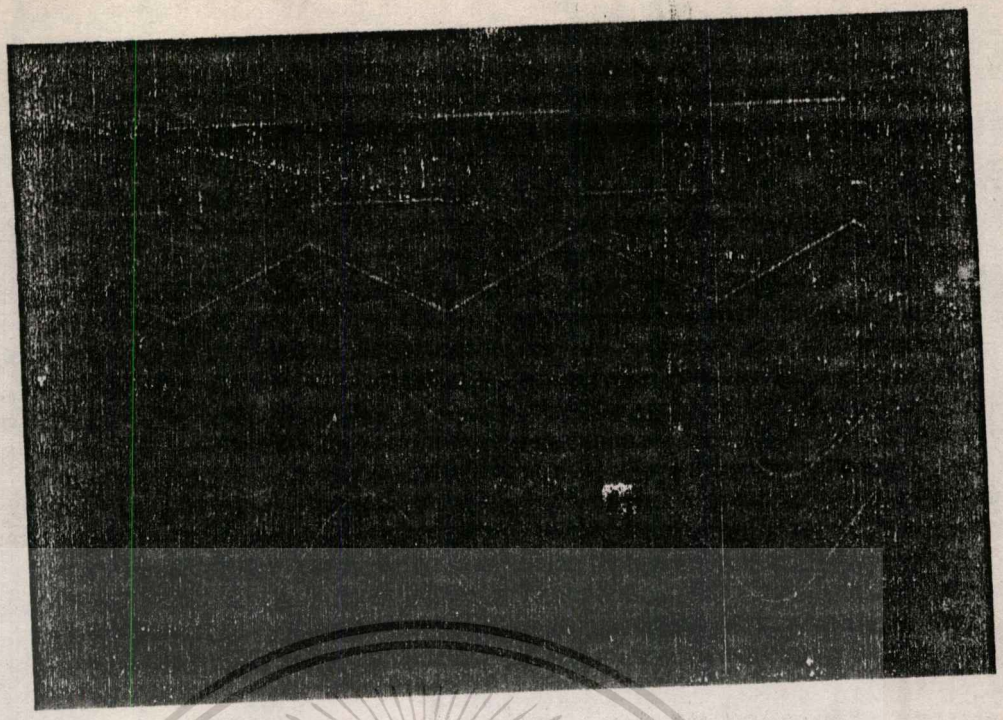
รูปที่ 7.3 แสดงสัญญาณ Delta Modulation ในโหมด ของ PWM เปรียบเทียบค่าการสวิทชิงกับ error

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

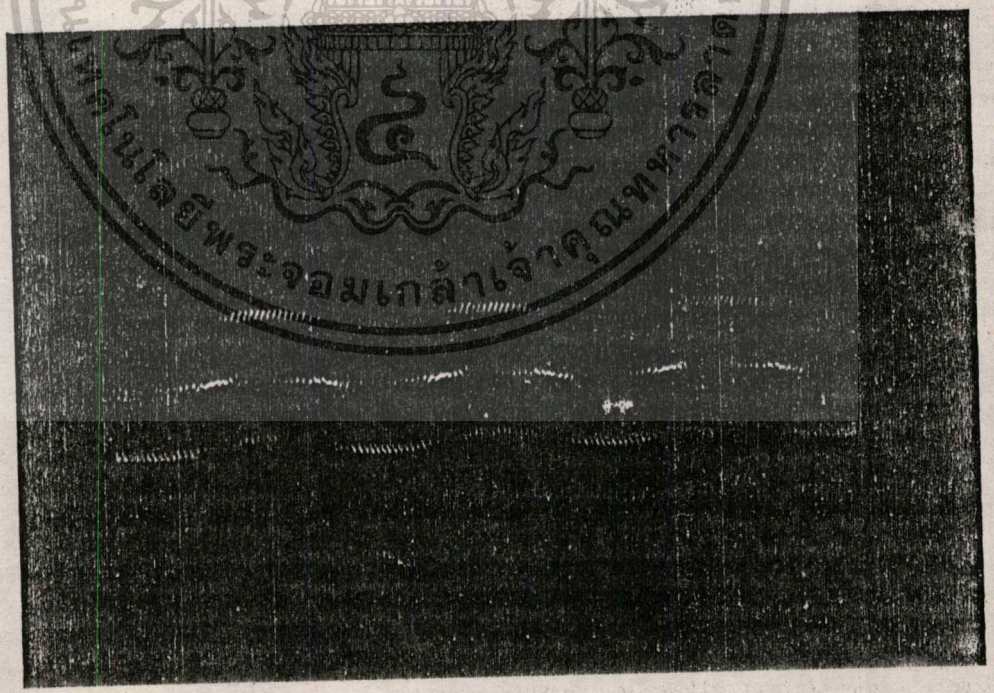


รูปที่ 7.4 แสดงสัญญาณ V_{CE} และ V_{BE} ของ power transistor จะแสดง storage time transistor

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

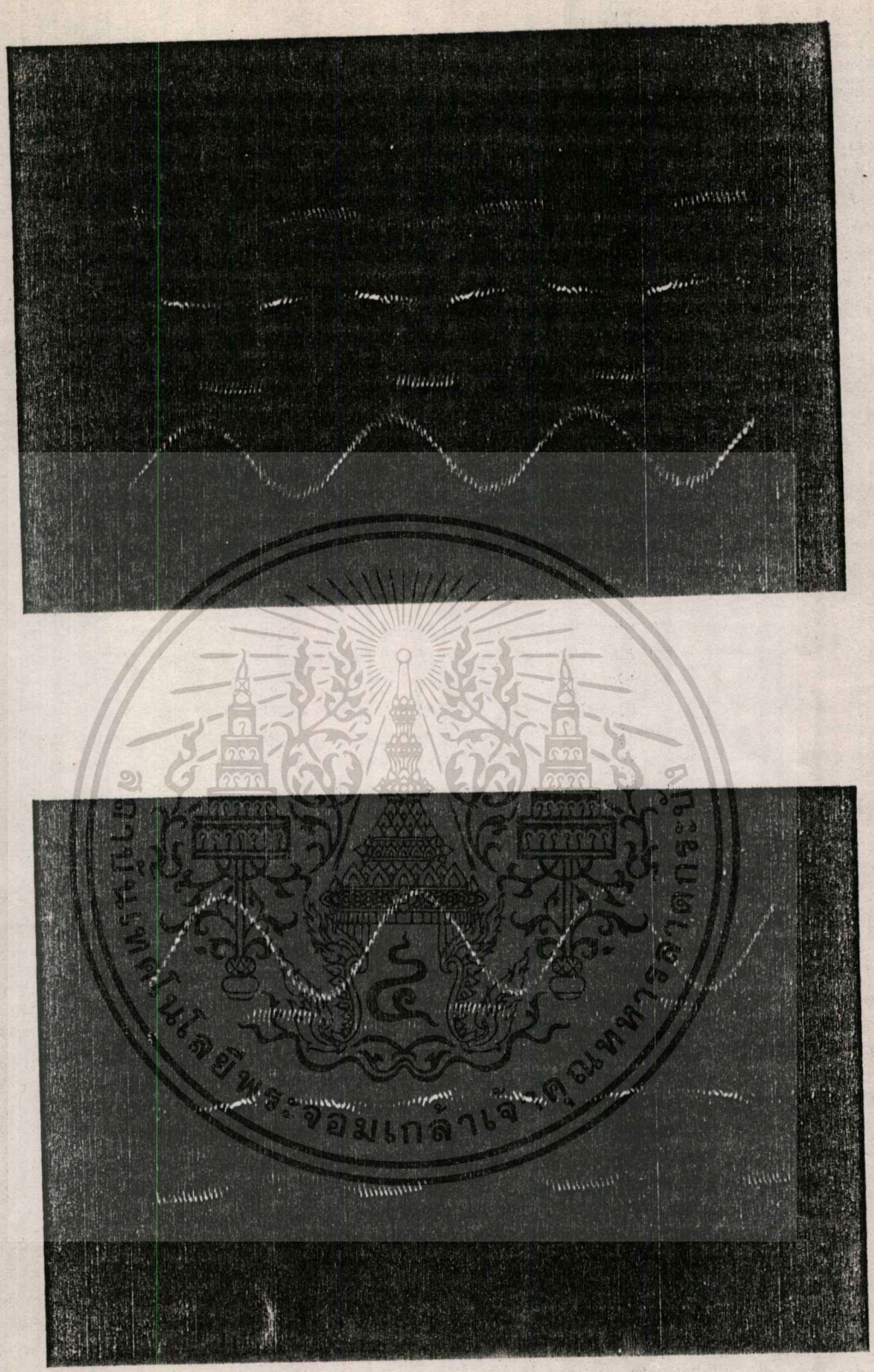


รูปที่ 7.5 แสดงสัญญาณ Delta Modulation ในโหมดของ Square wave



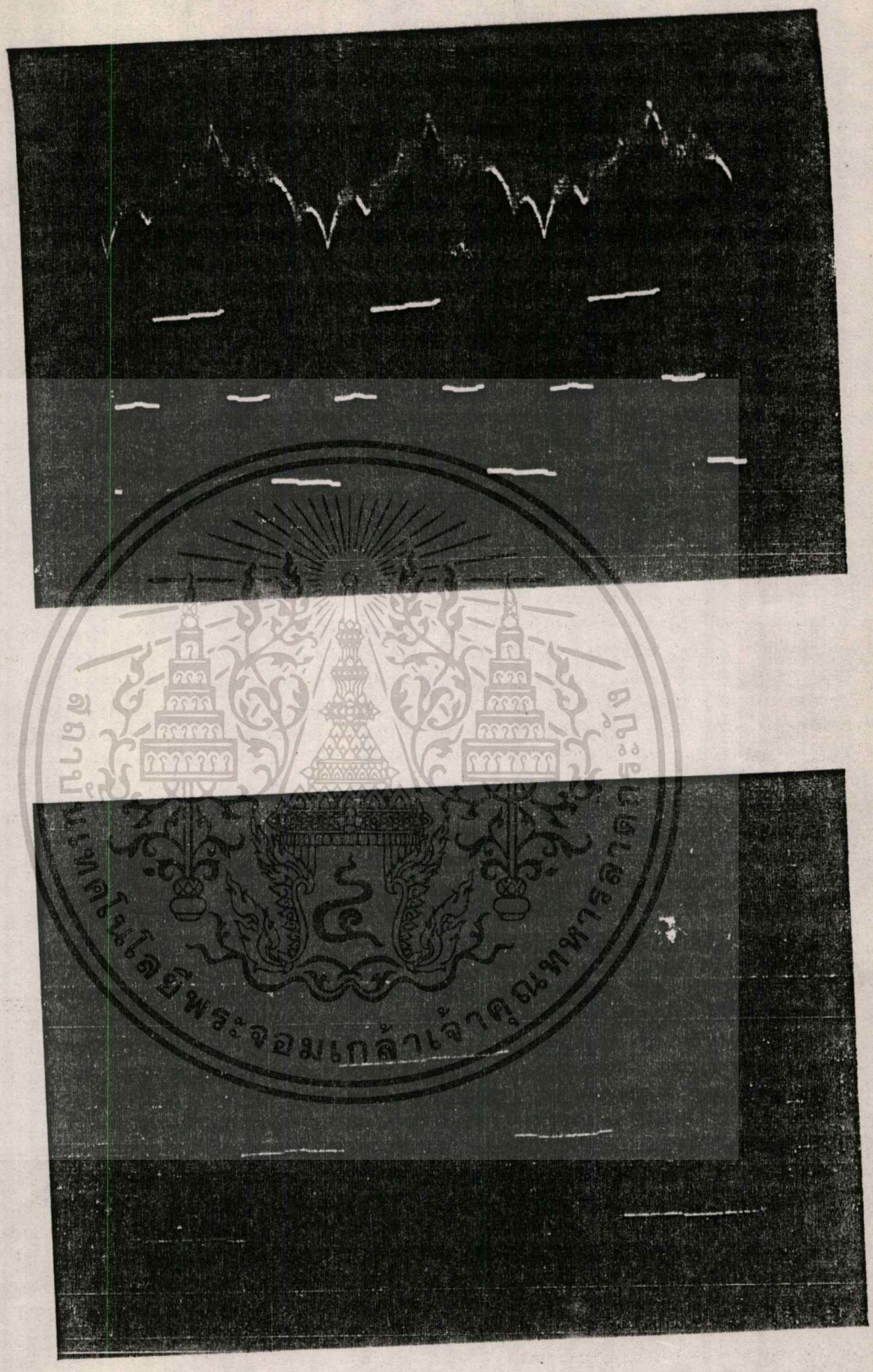
รูปที่ 7.6 แสดงรูปของสัญญาณ V_L และ I_L โดยการนำไปทดสอบกับมอเตอร์ขณะไร้โหลด โดยการทำงานของอินเวอร์เตอร์ในโหมด PWM ที่ความถี่ 45 Hz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



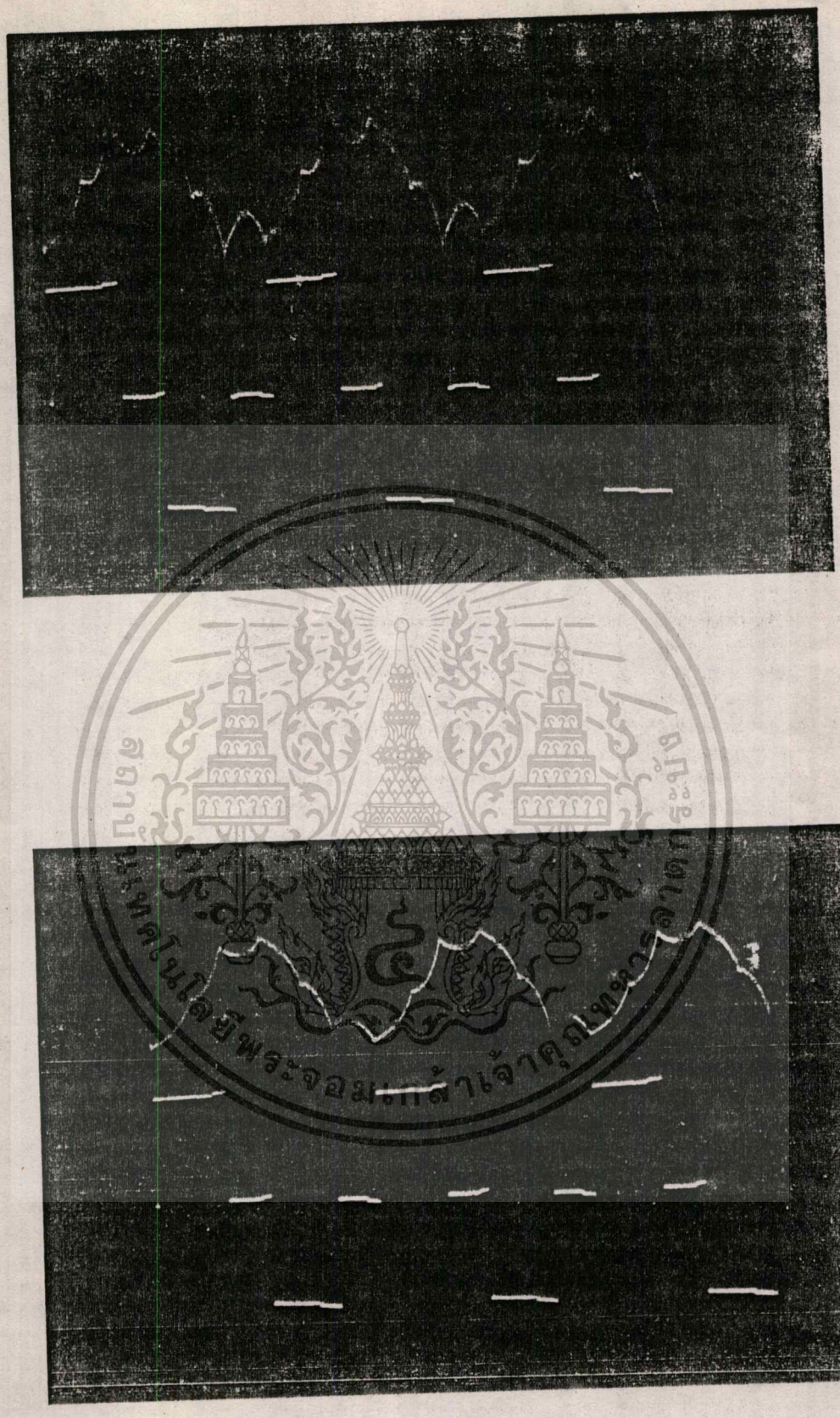
รูปที่ 7.7 แสดงรูปของสัญญาณ V_L และ I_L โดยการต่อไปทดสอบกับมอเตอร์ขณะใส่โหลดโดยการทำงานของอินเวอร์เตอร์ในโหมด PWM ที่ความถี่ 45 Hz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



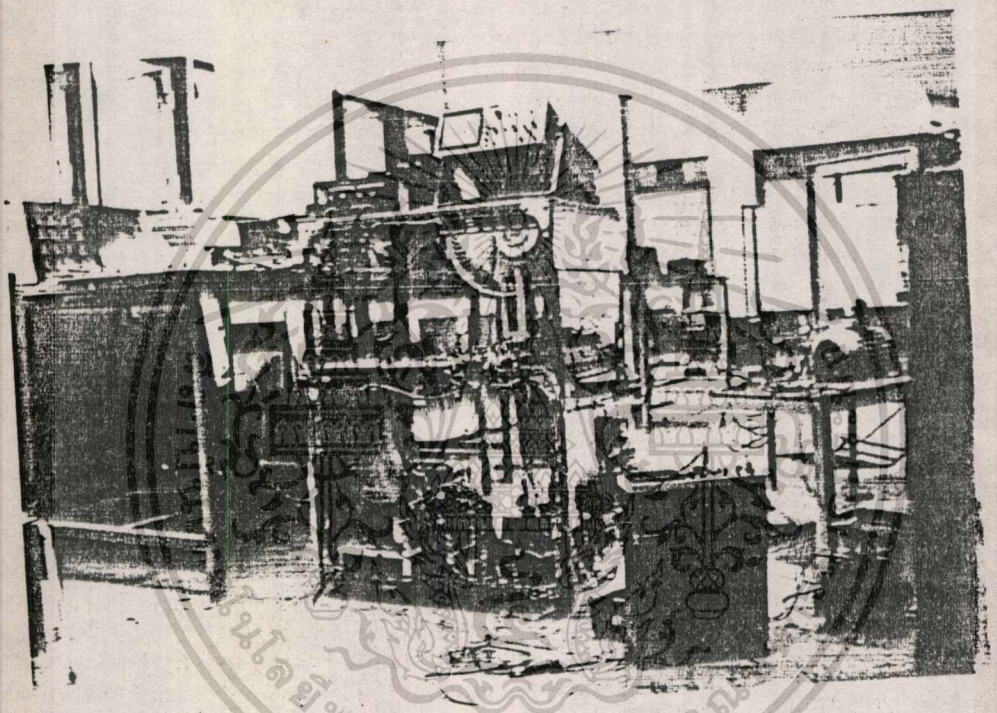
รูปที่ 7.8 แสดงรูปของสัญญาณ V_L และ I_L โดยการนำไปทดสอบชับน่ามอเตอร์ขณะไร้โหลดโดยการทำงานของอินเวอร์เตอร์ใน โหมด Square wave ที่ความถี่ 70 Hz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 7.9 แสดงรูปของสัญญาณ V_L และ I_L โดยการนำไปทดสอบกับมอเตอร์ขณะเพิ่มโหลด โดยการทำงานของอินเวอร์เตอร์ในโหมด Square wave ที่ความถี่ 70 Hz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 7.10 แสดงภาพอุปกรณ์และแผงวงจรที่ใช้ในโครงงาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 8 สรุปผลและวิจารณ์

การควบคุมการทำงานของมอเตอร์เหนี่ยวนำสามเฟสขนาด 1 แรงม้า เราได้ใช้อินเวอร์เตอร์ที่มีวิธีการสร้างแบบ Delta Modulation ซึ่งมีทั้งแบบ Asynchronous และ Synchronous สำหรับแบบ Asynchronous นั้น (เมื่อใช้งานในโหมดการทำงานแบบ PWM) จะทำให้สัญญาณที่ได้ไม่นิ่ง เกิดการไม่สมดุลเฟส ซึ่งอาจทำให้ระบบอินเวอร์เตอร์เสียหายได้ แต่ถ้าทำงานในโหมดของ Square wave จะได้สัญญาณที่นิ่ง เนื่องจากมีสัญญาณคาบที่คงที่ แน่นอน แต่ถ้านำมาใช้งานแบบเฟสเดียว จะใช้งานได้ดีส่วนแบบ Synchronous จะได้สัญญาณที่มีคาบที่คงที่แน่นอน สามารถรักษาอัตราส่วน v/f ได้คงที่ และเปลี่ยนโหมดการทำงานจากโหมด PWM เป็น Six step ได้

จากการทดลอง เราได้นำวิธี Synchronous Delta modulation Inverter มาใช้กับมอเตอร์เหนี่ยวนำ สามเฟส จากรูปที่ได้จะเห็นว่า สามารถทำงานได้ในย่านของ PWM และ Square wave ในโหมดการทำงานแบบ Square wave จะให้ผลได้ดีกว่าคือ สามารถทำงานที่แรงดันค่าสูงสัญญาณที่ได้จะนิ่ง แต่ในโหมด PWM นั้น สัญญาณจะไม่นิ่งที่ค่าแรงดันสูง ทำให้เกิดการกระตุก และกระชากของกระแส ดังนั้นจึงมีการนำเสนอผลการทดลองเพียงโหมดการทำงานแบบ Square wave เพียงอย่างเดียว

การที่สัญญาณที่ได้ไม่นิ่ง เนื่องมาจากวงจร phase lock loop และ สัญญาณ Sine ref ที่ใช้ EPROM ถูกรบกวนจากสัญญาณภายนอก

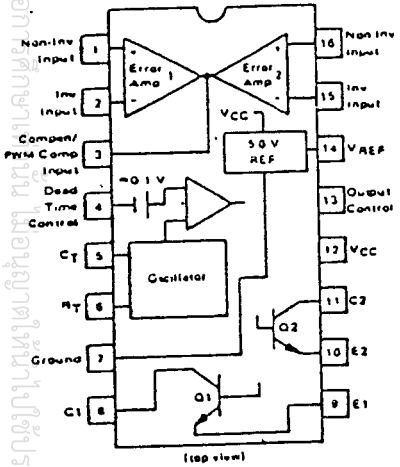
ดังนั้นจึงควรต้องสนใจและออกแบบสารกรองสัญญาณของทั้งสองวงจรและควรลงอุปกรณ์ใส่แผ่นปริ้นท์ เพื่อป้องกันสัญญาณด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SWITCHMODE PULSE WIDTH MODULATION CONTROL CIRCUITS

The TL494 is a fixed frequency, pulse width modulation control circuit designed primarily for Switchmode power supply control. This device features:

- Complete Pulse Width Modulation Control Circuitry
- On-Chip Oscillator With Master Or Slave Operation
- On-Chip Error Amplifiers
- On-Chip 5 Volt Reference
- Adjustable Dead-Time Control
- Uncommitted Output Transistors Rated to 500 mA Source Or Sink
- Output Control For Push-Pull Or Single-Ended Operation
- Undervoltage Lockout



The TL494C is specified over the commercial operating range of 0°C to 70°C. The TL494I is specified over the industrial range of −25°C to 85°C. The TL494M is specified over the full military range of −55°C to 125°C.

SWITCHMODE PULSE WIDTH MODULATION CONTROL CIRCUITS

SILICON MONOLITHIC INTEGRATED CIRCUITS

J SUFFIX
CERAMIC PACKAGE
CASE 620-10

N SUFFIX
PLASTIC PACKAGE
CASE 648-06

ORDERING INFORMATION

Device	Temperature Range	Package
TL494CN	0° to +70°C	Plastic DIP
TL494CJ	0° to +70°C	Ceramic DIP
TL494IN	−25° to +85°C	Plastic DIP
TL494IJ	−25° to +85°C	Ceramic DIP
TL494MJ	−55° to +125°C	Ceramic DIP

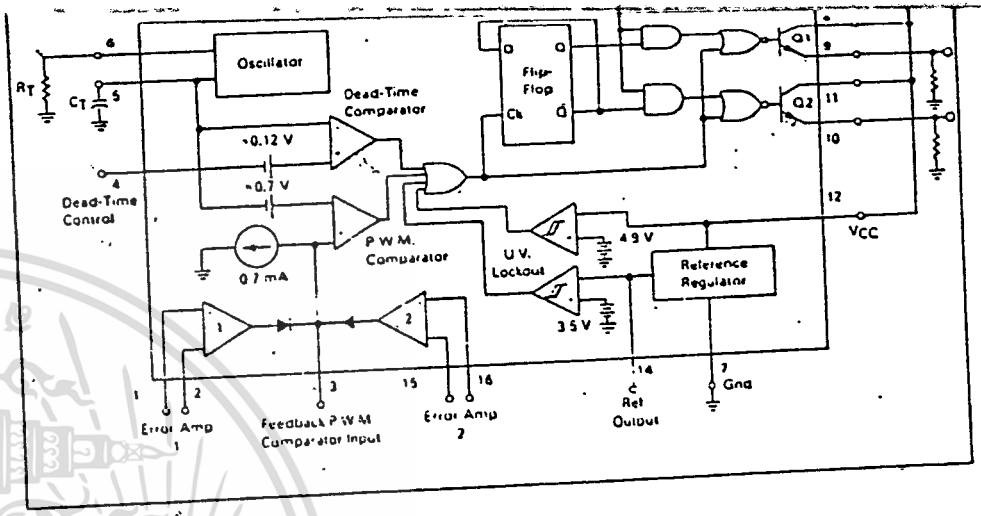
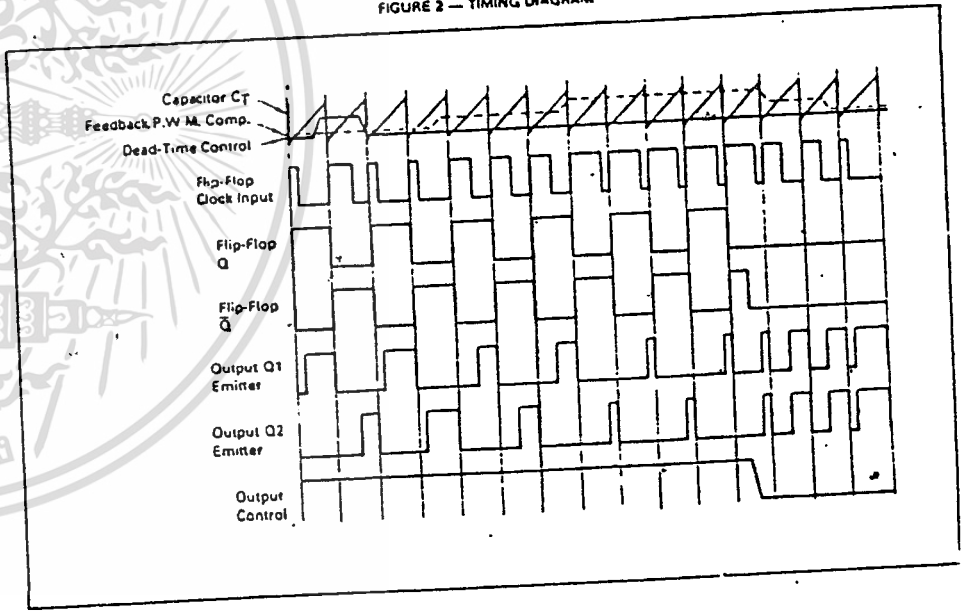


FIGURE 2 — TIMING DIAGRAM



Description

The TL494 is a fixed-frequency pulse width modulation control circuit, incorporating the primary building blocks required for the control of a switching power supply. (See Figure 1.) An internal linear sawtooth oscillator is frequency-programmable by two external components, R_T and C_T. The approximate oscillator frequency is determined by:

$$f_{osc} \approx \frac{1.1}{R_T \bullet C_T}$$

For more information refer to Figure 4.

Output pulse width modulation is accomplished by comparison of the positive sawtooth waveform across capacitor C_T to either of two control signals. The NOR gates, which drive output transistors Q1 and Q2, are enabled only when the flip-flop clock-input line is in its low state. This happens only during that portion of time when the sawtooth voltage is greater than the control signals. Therefore, an increase in control-signal amplitude causes a corresponding linear decrease of output pulse width. (Refer to the timing diagram shown in Figure 2.)

The control signals are external inputs that can be fed into the dead-time control, the error amplifier inputs, or the feedback input. The dead-time control comparator has an effective 120 mV input offset which limits the minimum output dead time to approximately the first 4% of the sawtooth-cycle time. This would result in a maximum duty cycle on a given output of 96% with the output control grounded, and 48% with it connected to the reference line. Additional dead time may be imposed on the output by setting the dead time-control input to a fixed voltage, ranging between 0 to 3.3 V.

The pulse width modulator comparator provides a means for the error amplifiers to adjust the output pulse width from the maximum percent on-time, established by the dead time control input, down to zero, as the voltage at the feedback pin varies from 0.5 to 3.5 V. Both error amplifiers have a common-mode input range from −0.3 V to (V_{CC} − 2 V), and may be used to sense power-supply output voltage and current. The error-amplifier outputs are active high and are ORed together at the non-inverting input of the pulse-width modulator comparator. With this configuration, the amplifier that demands minimum output on time, dominates control of the loop.

When capacitor C_T is discharged, a positive pulse is generated on the output of the dead-time comparator, which clocks the pulse-steering flip-flop and inhibits the output transistors, Q1 and Q2. With the output-control connected to the reference line, the pulse-steering flip-flop directs the modulated pulses to each of the two output transistors alternately for push-pull operation. The output frequency is equal to half that of the oscillator. Output drive can also be taken from Q1 or Q2, when single-ended operation with a maximum on-time of less than 50% is required. This is desirable when the output transformer has a ringback winding with a catch diode used for snubbing. When higher output-drive currents are required for single-ended operation, Q1 and Q2 may be connected in parallel, and the output mode pin must be tied to ground to disable the flip-flop. The output frequency will now be equal to that of the oscillator.

The TL494 has an internal 5 V reference capable of sourcing up to 10 mA of load current for external bias circuits. The reference has an internal accuracy of ±1.5% with a typical thermal drift of less than 50 mV over an operating temperature range of 0 to 70°C.

FIGURE 3 — FUNCTIONAL TABLE

Input Output Control	Output Function	$\frac{f_{out}}{f_{osc}}$ =
Grounded	Single-ended P-W-M. at Q1 and Q2	1
At V_{ref}	Push-pull operation	0.5

MAXIMUM RATINGS (Full operating ambient temperature range applies unless otherwise noted)

Rating	Symbol	TL494C	TL494I	TL494M	Unit
Power Supply Voltage	V_{CC}	42	42	42	V
Collector Output Voltage	V_{C1}, V_{C2}	42	42	42	V
Collector Output Current (each transistor) (1)	I_{C1}, I_{C2}	500	500	500	mA
Amplifier Input Voltage Range	V_{IR}	−0.3 to 42	−0.3 to 42	−0.3 to 42	V
Power Dissipation @ T_A = 45°C	P_D	1000	1000	1000	mW
Operating Junction Temperature Plastic Package Ceramic Package	T_J	 125 150	 125 150	 — 150	°C °C
Operating Ambient Temperature Range	T_A	0 to 70	−25 to 85	−55 to 125	°C
Storage Temperature Range Plastic Package Ceramic Package	T_{stg}	 −55 to 125 −65 to 150	 −55 to 125 −65 to 150	 — −65 to 150	°C

NOTE 1: Maximum thermal limits must be observed.

THERMAL CHARACTERISTICS

Characteristics	Symbol	N Suffix Plastic Package	J Suffix Ceramic Package	Unit
Thermal Resistance, Junction to Ambient	$R_{\theta JA}$	80	100	°C/W
Operating Ambient Temperature	T_A	45	50	°C

RECOMMENDED OPERATING CONDITIONS

Condition/Value	Symbol	TL494			Unit
		Min	Typ	Max	
Power Supply Voltage	V_{CC}	7.0	15	40	V
Collector Output Voltage	V_{C1}, V_{C2}	—	30	40	V
Collector Output Current (each transistor)	I_{C1}, I_{C2}	—	—	200	mA
Amplifier Input Voltage	V_{in}	−0.3	—	V_{CC} − 2.0	V
Current Into Feedback Terminal	I_{fb}	—	—	0.3	mA
Reference Output Current	I_{ref}	—	—	10	mA
Timing Resistor	R_T	1.8	30	500	kΩ
Timing Capacitor	C_T	0.0047	0.001	10	µF
Oscillator Frequency	f_{osc}	1.0	40	200	kHz

ELECTRICAL CHARACTERISTICS (V_{CC} = 15 V, C_T = 0.01 µF, R_T = 12 kΩ unless otherwise noted.)

For typical values T_A = 25°C, for min-max values T_A is the operating ambient temperature range that applies unless otherwise noted.

Characteristic	Symbol	TL494C,I			TL494M			Unit
		Min	Typ	Max	Min	Typ	Max	
REFERENCE SECTION								
Reference Voltage (I_O = 1.0 mA)	V_{ref}	4.75	5.0	5.25	4.75	5.0	5.25	V
Line Regulation (V_{CC} = 7.0 V to 40 V)	Regline	—	2.0	25	—	2.0	25	mV
Load Regulation (I_O = 1.0 mA to 10 mA)	Regload	—	3.0	15	—	3.0	15	mV
Short-Circuit Output Current (V_{ref} = 0 V)	I_{SC}	15	35	75	15	35	75	mA

For typical values T_A = 25°C, for min/max values T_A is the operating ambient temperature range that applies unless otherwise noted.

Characteristic	Symbol	TL494C,I			TL494M			Unit
		Min	Typ	Max	Min	Typ	Max	
OUTPUT SECTION								
Collector Off-State Current (V_{CC} = 40 V, V_{CE} = 40 V)	$I_{C(off)}$	—	2.0	100	—	2.0	100	µA
Emitter Off-State Current (V_{CC} = 40 V, V_C = 40 V, V_E = 0 V)	$I_{E(off)}$	—	—	-100	—	—	-150	µA
Collector-Emitter Saturation Voltage (2) Common-Emitter (V_E = 0 V, I_C = 200 mA)	$V_{SAT(C)}$	—	1.1	1.3	—	1.1	1.5	V
Emitter-Follower (V_C = 15 V, I_E = -200 mA)	$V_{SAT(E)}$	—	1.5	2.5	—	1.5	2.5	V
Output Control Pin Current Low State (V_{OC} ≤ 0.4 V)	I_{OCL}	—	10	—	—	10	—	µA
High State (V_{OC} = V_{ref})	I_{OCH}	—	0.2	3.5	—	0.2	3.5	mA
Output Voltage Rise Time Common-Emitter (See Figure 13)	t_r	—	100	200	—	100	200	ns
Emitter-Follower (See Figure 14)		—	100	200	—	100	200	ns
Output Voltage Fall Time Common-Emitter (See Figure 13)	t_f	—	25	100	—	25	100	ns
Emitter-Follower (See Figure 14)		—	40	100	—	40	100	ns

Characteristic	Symbol	TL494			Unit
		Min	Typ	Max	
ERROR AMPLIFIER SECTIONS					
Input Offset Voltage (V_O (Pin 3) = 2.5 V)	V_{IO}	—	2.0	10	mV
Input Offset Current (V_O (Pin 3) = 2.5 V)	I_{IO}	—	5.0	250	nA
Input Bias Current (V_O (Pin 3) = 2.5 V)	I_{IB}	—	-0.1	-1.0	µA
Input Common-Mode Voltage Range (V_{CC} = 40 V, T_A = 25°C)	V_{ICR}	-0.3 to V_{CC} - 2.0	—	—	V
Open-Loop Voltage Gain (ΔV_O = 3.0 V, V_O = 0.5 to 3.5 V, R_L = 2.0 kΩ)	AVOL	70	95	—	dB
Unity-Gain Crossover Frequency (V_O = 0.5 to 3.5 V, R_L = 2.0 kΩ)	f_C	—	350	—	kHz
Phase Margin at Unity-Gain (V_O = 0.5 to 3.5 V, R_L = 2.0 kΩ)	ϕ_m	—	65	—	deg.
Common-Mode Rejection Ratio (V_{CC} = 40 V)	CMRR	65	90		dB
Power Supply Rejection Ratio (ΔV_{CC} = 33 V, V_O = 2.5 V, R_L = 2.0 kΩ)	PSRR	—	100	—	dB
Output Sink Current (V_O Pin 3) = 0.7 V)	I_O -	0.3	0.7	—	mA
Output Source Current (V_O (Pin 3) = 3.5 V)	I_O -	-2.0	-4.0	—	mA

NOTE 2: Low duty cycle pulse techniques are used during test to maintain junction temperature as close to ambient temperatures as possible.

Characteristic	Symbol	TL494			Unit
		Min	Typ	Max	
PWM COMPARATOR SECTION (Test Circuit Figure 12)					
Input Threshold Voltage (Zero duty cycle)	V_{TH}	—	3.5	4.5	V
Input Sink Current ($V_{(Pin 3)}$ = 0.7 V)	I_I -	0.3	0.7	—	mA
DEAD-TIME CONTROL SECTION (Test Circuit Figure 12)					
Input Bias Current (Pin 4) ($V_{Pin 4}$ = 0 to 5.25 V)	I_{IB} (DT)	—	-2.0	-10	µA
Maximum Duty Cycle, Each Output, Push-Pull Mode ($V_{Pin 4}$ = 0 V, C_T = 0.01 µF, R_T = 12 kΩ)	DC_{max}	45	48	50	%
($V_{Pin 4}$ = 0 V, C_T = 0.001 µF, R_T = 30 kΩ)		—	45	50	
Input Threshold Voltage (Pin 4) (Zero Duty Cycle)	V_{TH}	—	2.8	3.3	V
(Maximum Duty Cycle)		0	—	—	
OSCILLATOR SECTION					
Frequency (C_T = 0.001 µF, R_T = 30 kΩ)	f_{osc}	—	40	—	kHz
Standard Deviation of Frequency* (C_T = 0.001 µF, R_T = 30 kΩ)	σf_{osc}	—	3.0	—	%
Frequency Change with Voltage (V_{CC} = 7.0 V to 40 V, T_A = 25°C)	Δf_{osc} (ΔV)	—	0.1	—	%
Frequency Change with Temperature (ΔT_A = T_{low} to T_{high}) (C_T = 0.01 µF, R_T = 12 kΩ)	Δf_{osc} (ΔT)	—	—	12	%
UNDERVOLTAGE LOCKOUT SECTION					
Turn-On Threshold (V_{CC} increasing, I_{ref} = 1.0 mA)	V_{th}	5.5	6.43	7.0	V
TOTAL DEVICE					
Standby Supply Current (Pin 6 at V_{ref}, All Other Inputs and Outputs Open) (V_{CC} = 15 V)	I_{CC}	—	5.5	10	mA
(V_{CC} = 40 V)		—	7.0	15	
Average Supply Current (V_I (Pin 4) = 2.0 V) (See Figure 12) (C_T = 0.01 µF, R_T = 12 kΩ, V_{CC} = 15 V)	—	—	7.0	—	mA

* Standard deviation is a measure of the statistical distribution about the mean as derived from the formula, $\sigma = \sqrt{\frac{\sum_{n=1}^{N} (X_n - \bar{X})^2}{N-1}}$

FIGURE 4 — OSCILLATOR FREQUENCY versus TIMING RESISTANCE

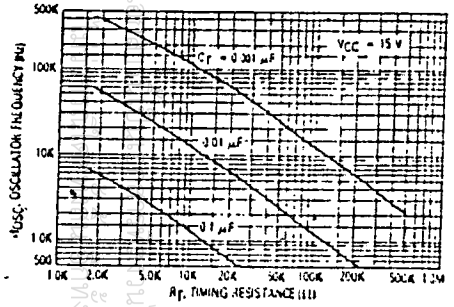


FIGURE 5 — OPEN-LOOP VOLTAGE GAIN AND PHASE versus FREQUENCY

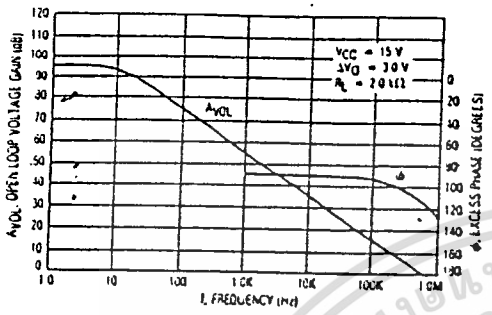


FIGURE 6 — PERCENT DEAD-TIME versus OSCILLATOR FREQUENCY

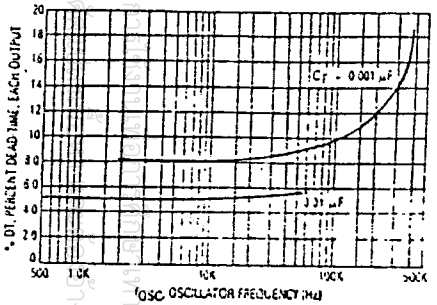


FIGURE 7 — PERCENT DUTY CYCLE versus DEAD-TIME CONTROL VOLTAGE

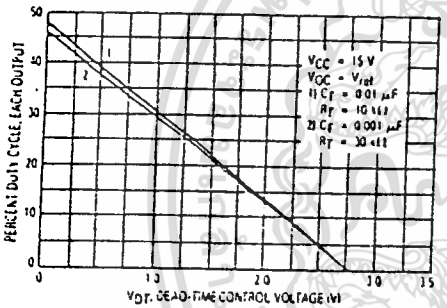


FIGURE 8 — EMITTER FOLLOWER CONFIGURATION OUTPUT SATURATION VOLTAGE versus EMITTER CURRENT

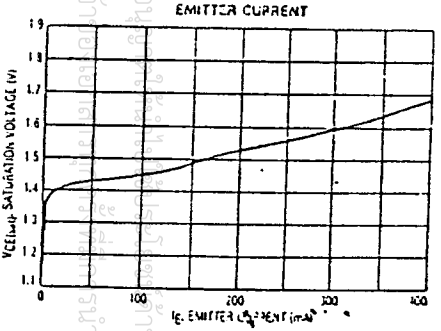
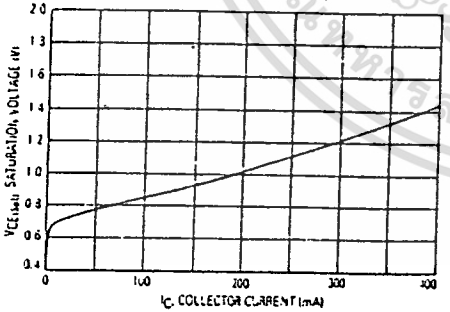


FIGURE 9 — COMMON EMITTER CONFIGURATION OUTPUT SATURATION VOLTAGE versus COLLECTOR CURRENT



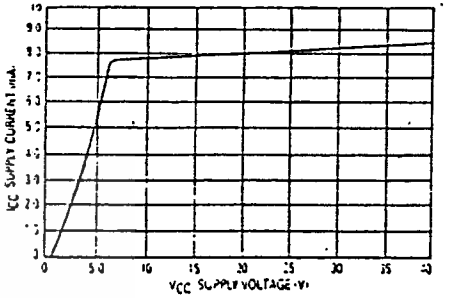


FIGURE 11 — ERROR AMPLIFIER CHARACTERISTICS

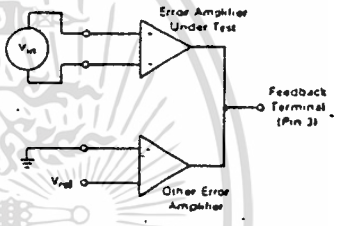


FIGURE 12 — DEAD-TIME AND FEEDBACK CONTROL TEST CIRCUIT

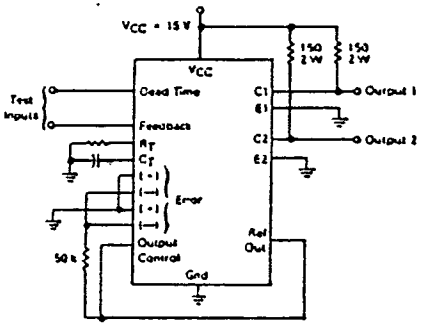


FIGURE 13 — COMMON-EMITTER CONFIGURATION TEST CIRCUIT AND WAVEFORM

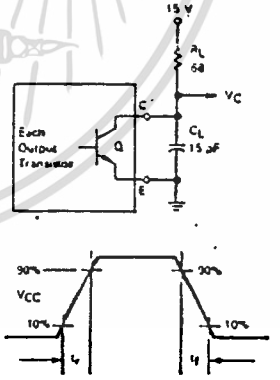
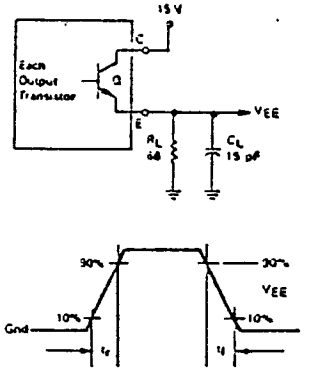
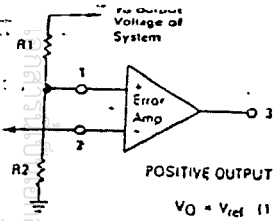


FIGURE 14 — EMITTER-FOLLOWER CONFIGURATION TEST CIRCUIT AND WAVEFORM





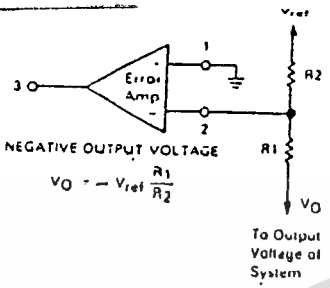
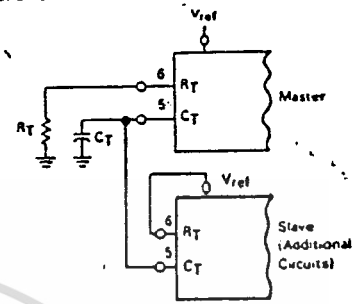


FIGURE 16 — DEAD-TIME CONTROL CIRCUIT

FIGURE 17 — SOFT-START CIRCUIT



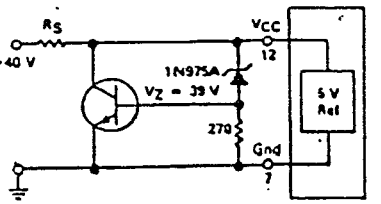
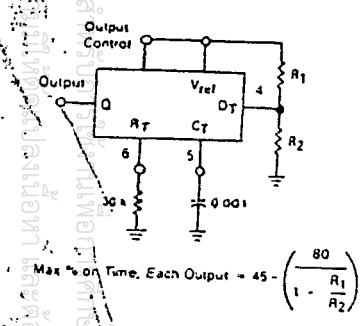


FIGURE 21 — PULSE-WIDTH MODULATED PUSH-PULL CONVERTER



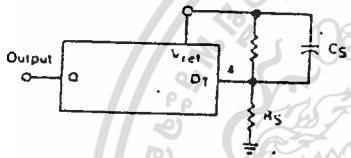
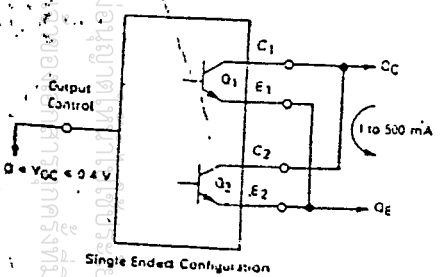
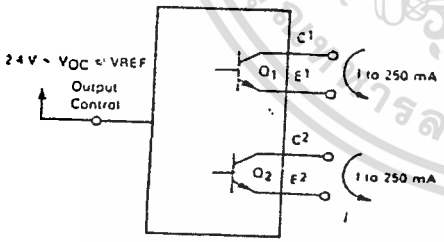
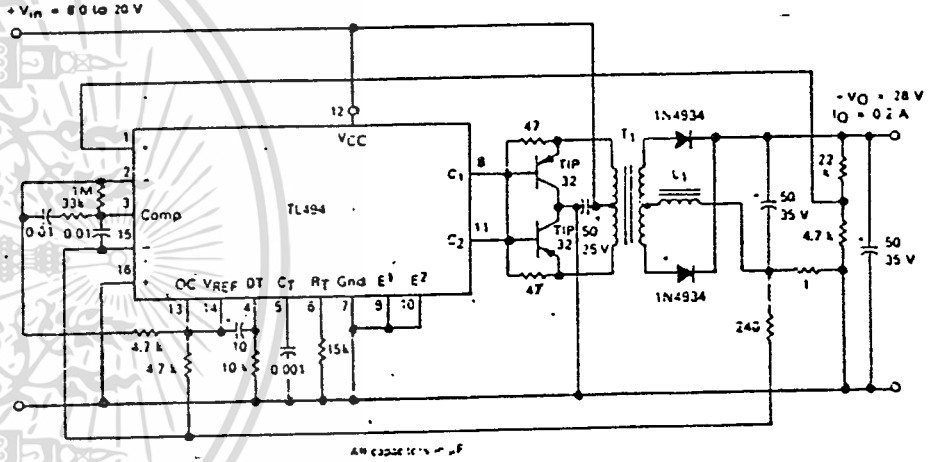


FIGURE 18 — OUTPUT CONNECTIONS FOR SINGLE-ENDED AND PUSH-PULL CONFIGURATIONS



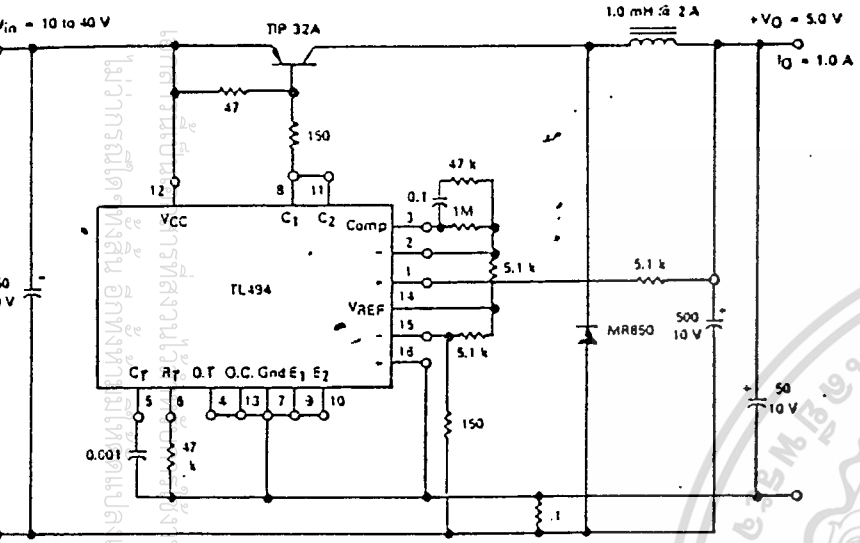




L1 — 3.5 mH @ 0.3 A
T1 — Primary: 20T C.T. #28 AWG
Secondary: 120T C.T. #36 AWG
Core: Ferroxcube 1408P-L00-3C8

TEST	CONDITIONS	RESULTS
Line Regulation	V_{in} = 10 V to 40 V	14 mV 0.28%
Load Regulation	V_{in} = 28 V, I_O = 1 mA to 1 A	3.0 mV 0.06%
Output Ripple	V_{in} = 28 V, I_O = 1.0 A	65 mV P-P P.A.R.D.
Short Circuit Current	V_{in} = 28 V, R_L = 0.1 Ω	1.6 amps
Efficiency	V_{in} = 28 V, I_O = 1 A	71%

FIGURE 22 — PULSE-WIDTH MODULATED STEP-DOWN CONVERTER



All capacitors in μF

TEST	CONDITIONS	RESULTS
Line Regulation	V_{in} = 8.0 to 40 V	3.0 mV 0.01%
Load Regulation	V_{in} = 12 6 V, I_O = 0 2 to 200 mA	5 0 mV 0.02%
Output Ripple	V_{in} = 12 6 V, I_O = 200 mA	40 mV p-p P A R D.
Short Circuit Current	V_{in} = 12.8 V, R_L = 0.1 Ω	250 mA
Efficiency	V_{in} = 12 6 V, I_O = 200 mA	72%

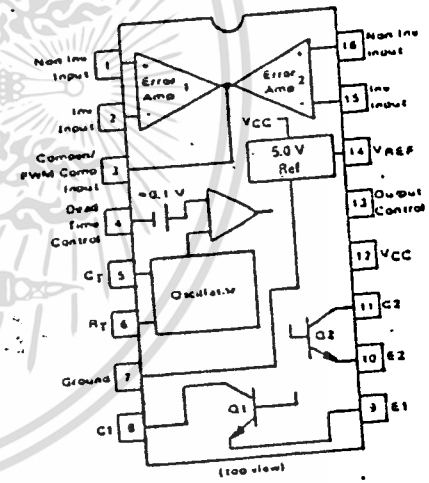
MOTOROLA

Advance Information

PRECISION SWITCHMODE PULSE WIDTH MODULATION CONTROL CIRCUIT

The TL594 is a fixed frequency, pulse-width modulation control circuit designed primarily for Switchmode power supply control. This device features:

- Complete Pulse Width Modulation Control Circuitry
- On-Chip Oscillator With Master Or Slave Operation
- On-Chip Error Amplifiers
- On-Chip 5 Volt Reference, 1.5% Accuracy
- Adjustable Dead-Time Control
- Uncommitted Output Transistors Rated to 500 mA Source Or Sink
- Output Control For Push-Pull Or Single-Ended Operation
- Undervoltage Lockout

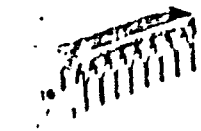


The TL594C is specified over the commercial operating range of 0°C to 70°C. The TL594I is specified over the industrial range of −25°C to 85°C. The TL594M is specified over the full military range of −55°C to 125°C.

PRECISION SWITCHMODE PULSE WIDTH MODULATION CONTROL CIRCUIT

SILICON MONOLITHIC INTEGRATED CIRCUITS

J SUFFIX
CERAMIC PACKAGE
CASE 620-10

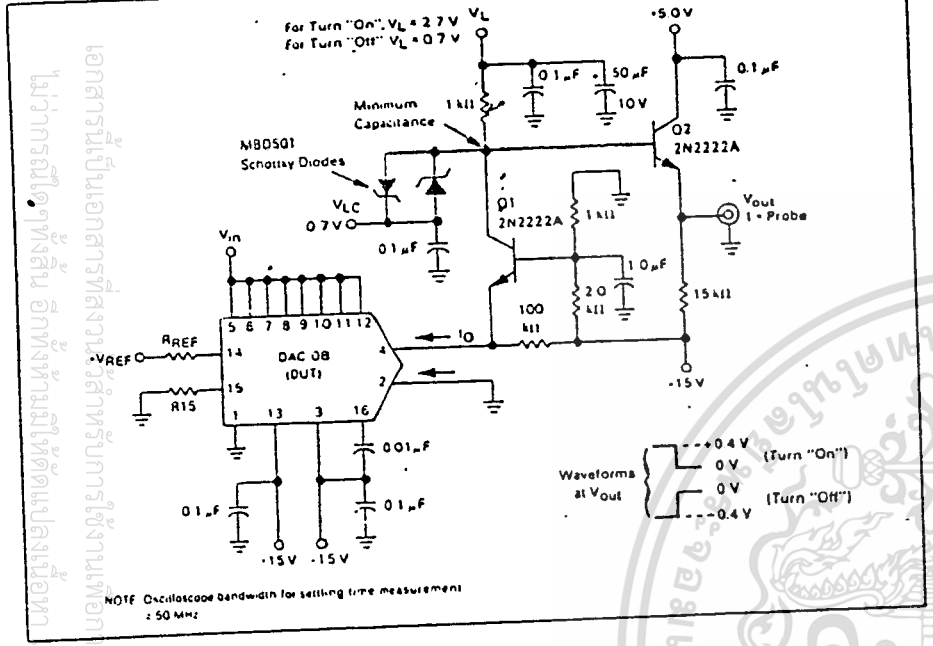


N SUFFIX
PLASTIC PACKAGE
CASE 648-08

ORDERING INFORMATION

Device	Temperature Range	Package
TL594CN	0° to +70°C	Plastic DIP
TL594IN	−25° to +85°C	Plastic DIP
TL594MJ	−55° to +125°C	Ceramic DIP

This document contains information on a new product. Specifications and information herein are subject to change without notice.



NOTE Oscilloscope bandwidth for settling time measurement ≥ 50 MHz

Specifications and Applications Information

EIGHT-BIT MULTIPLYING DIGITAL-TO-ANALOG CONVERTER

. . . designed for use where the output current is a linear product of an eight-bit digital word and an analog input voltage.

- Eight-Bit Accuracy Available in Both Temperature Ranges
  Relative Accuracy: ±0.19% Error maximum
  (MC1408L8, MC1408P8, MC1508L8)
- Seven and Six-Bit Accuracy Available with MC1408 Designated by 7 or 6 Suffix after Package Suffix
- Fast Settling Time — 300 ns typical
- Noninverting Digital Inputs are MTTL and CMOS Compatible
- Output Voltage Swing — +0.4 V to -5.0 V
- High-Speed Multiplying Input
  Slew Rate 4.0 mA/μs
- Standard Supply Voltages: +5.0 V and -5.0 V to -15 V

EIGHT-BIT MULTIPLYING DIGITAL-TO-ANALOG CONVERTER

SILICON MONOLITHIC INTEGRATED CIRCUIT

L SUFFIX
CERAMIC PACKAGE
CASE 620-10

P SUFFIX
PLASTIC PACKAGE
CASE 648-08

FIGURE 1 – D-to-A TRANSFER CHARACTERISTICS

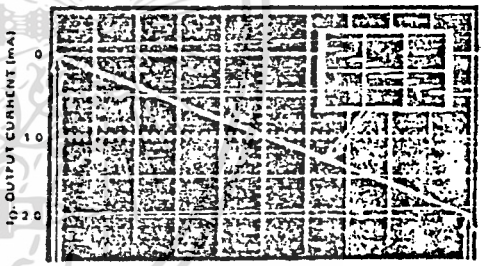
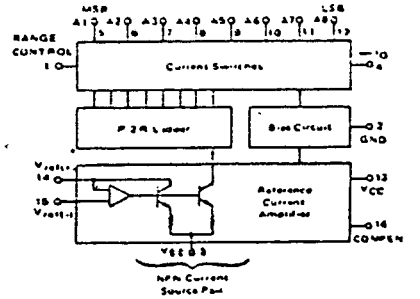


FIGURE 2 – BLOCK DIAGRAM



TYPICAL APPLICATIONS

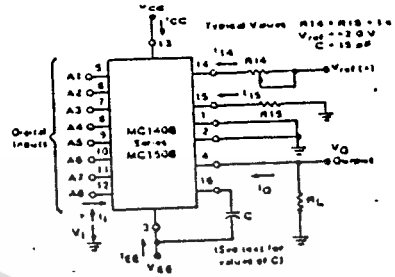
- Tracking A-to-D Converters
- Successive Approximation A-to-D Converters
- 2 1/2 Digit Panel Meters and DVM's
- Waveform Synthesis
- Sample and Hold
- Peak Detector
- Programmable Gain and Attenuation
- CRT Character Generation
- Audio Digitizing and Decoding
- Programmable Power Supplies
- Analog-Digital Multiplication
- Digital-Digital Multiplication
- Analog-Digital Division
- Digital Addition and Subtraction
- Speech Compression and Expansion
- Stepping Motor Drive

Rating	Symbol	Value	Unit
Power Supply Voltage	V_{CC} V_{EE}	+5.5 -16.5	Vdc
Digital Input Voltage	V_5 thru V_{12}	0 to +5.5	Vdc
Applied Output Voltage	V_O	+0.5, -5.2	Vdc
Reference Current	I_{14}	5.0	mA
Reference Amplifier Inputs	V_{14}, V_{15}	V_{CC}, V_{EE}	Vdc
Operating Temperature Range MC1508 MC1408 Series	T_A	-55 to +125 0 to +75	°C
Storage Temperature Range	T_{stg}	-65 to +150	°C

ELECTRICAL CHARACTERISTICS (V_{CC} = +5.0 Vdc, V_{EE} = -15 Vdc, $\frac{V_{ref}}{R14}$ = 2.0 mA, MC1508L8: T_A = -55°C to +125°C.
MC1408L Series: T_A = 0 to +75°C unless otherwise noted. All digital inputs at high logic level.)

Characteristic	Figure	Symbol	Min	Typ	Max	Unit
Relative Accuracy (Error relative to full scale I_O) MC1508L8, MC1408L8, MC1408P8 MC1408P7, MC1408L7, See Note 1 MC1408P6, MC1408L6, See Note 1	4	E_r	– – –	– – –	±0.19 ±0.39 ±0.78	%
Setting Time to within ±1/2 LSB (includes t_{PLH}) (T_A = +25°C) See Note 2	5	t_S	–	300	–	ns
Propagation Delay Time T_A = +25°C	5	t_{PLH}, t_{PHL}	–	30	100	ns
Output Full Scale Current Drift		TCI_O	–	±20	–	PPM/°C
Digital Input Logic Levels (MSB) High Level, Logic "1" Low Level, Logic "0"	3	V_{IH} V_{IL}	2.0 –	– –	– 0.8	Vdc
Digital Input Current (MSB) High Level, V_{IH} = 5.0 V Low Level, V_{IL} = 0.8 V	3	I_{IH} I_{IL}	– –	0 -0.4	0.04 -0.8	mA
Reference Input Bias Current (Pin 15)	3	I_{15}	–	-1.0	-5.0	µA
Output Current Range V_{EE} = -5.0 V V_{EE} = -15 V, T_A = 25°C	3	I_{OR}	0 0	2.0 2.0	2.1 4.2	mA
Output Current V_{ref} = 2.000 V, R14 = 1000 Ω	3	I_O	1.9	1.99	2.1	mA
Output Current (All bits low)	3	$I_{O(min)}$	–	0	4.0	µA
Output Voltage Compliance (E_r ≤ 0.19% at T_A = +25°C) Pin 1 grounded Pin 1 open, V_{EE} below -10 V	3	V_O	– –	– –	-0.55, +0.4 -5.0, +0.4	Vdc
Reference Current Slew Rate	6	SR I_{ref}	–	4.0	–	mA/µs
Output Current Power Supply Sensitivity		PSRR(-)	–	0.5	2.7	µA/V
Power Supply Current (All bits low)	3	I_{CC} I_{EE}	– –	+13.5 -7.5	+22 -13	mA
Power Supply Voltage Range (T_A = +25°C)	3	V_{CCR} V_{EER}	+4.5 -4.5	+5.0 -15	+5.5 -16.5	Vdc
Power Dissipation All bits low V_{EE} = -5.0 Vdc V_{EE} = -15 Vdc All bits high V_{EE} = -5.0 Vdc V_{EE} = -15 Vdc	3	P_D	– – – –	105 190 90 160	170 305 – –	mW

Note 1. All current switches are tested to guarantee at least 50% of rated output current.
Note 2. All bits switched.



V_1 and I_1 apply to inputs A1 thru A8

The resistor tied to pin 15 is to temperature compensate the bias current and may not be necessary for all applications.

$$I_O = K\left\{\frac{A1}{2} + \frac{A2}{4} + \frac{A3}{8} + \frac{A4}{16} + \frac{A5}{32} + \frac{A6}{64} + \frac{A7}{128} + \frac{A8}{256}\right\}$$

where $K \cong \frac{V_{ref}}{R14}$

and A_N = "1" if A_N is at high level
A_N = "0" if A_N is at low level

FIGURE 4 – RELATIVE ACCURACY TEST CIRCUIT

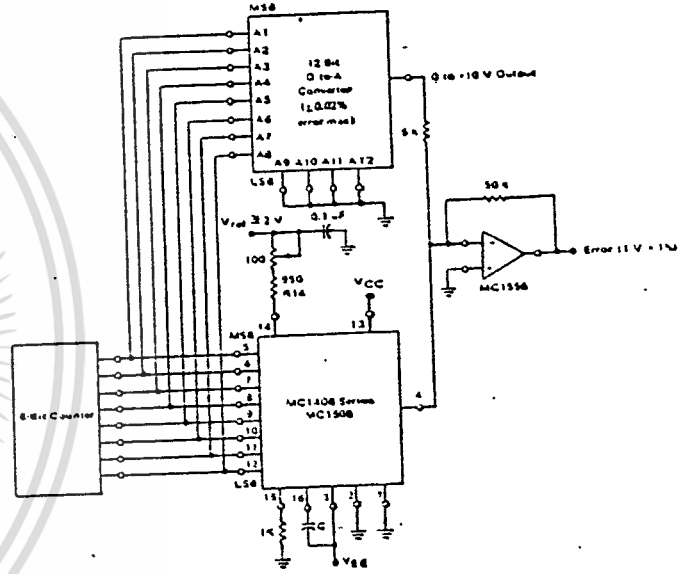
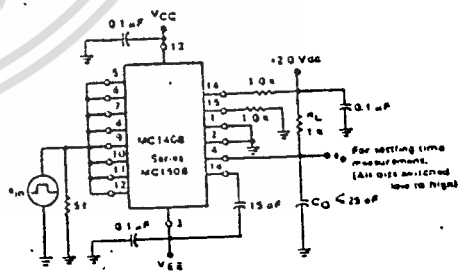


FIGURE 5 – TRANSIENT RESPONSE and SETTLING TIME



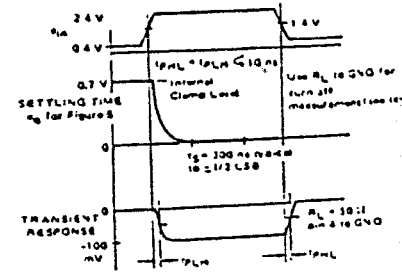


FIGURE 6 – REFERENCE CURRENT SLEW RATE MEASUREMENT

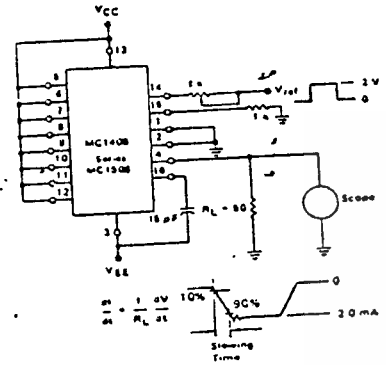


FIGURE 7 – POSITIVE V_{ref}

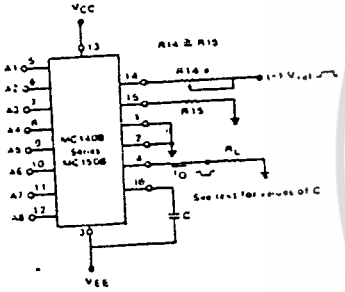
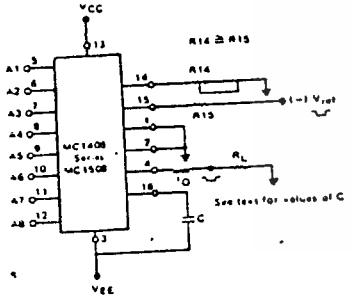
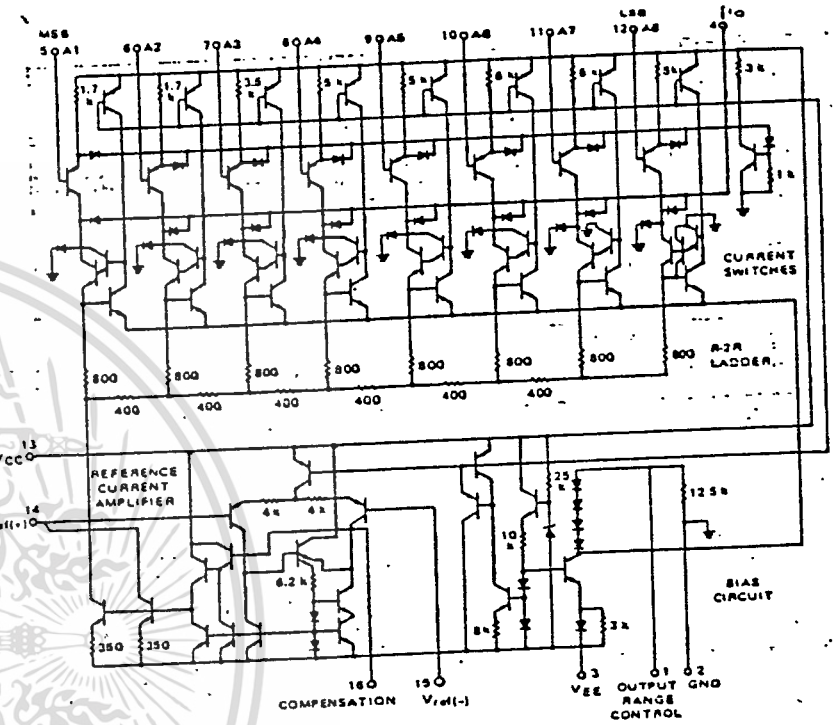


FIGURE 8 – NEGATIVE V_{ref}





CIRCUIT DESCRIPTION

The MC1408 consists of a reference current amplifier, an R-2R ladder, and eight high-speed current switches. For many applications, only a reference resistor and reference voltage need be added.

The switches are noninverting in operation, therefore a high state on the input turns on the specified output current component. The switch uses current steering for high speed, and a termination amplifier consisting of an active load gain stage with unity gain feedback. The termination amplifier holds the parasitic capacitance of the ladder at a constant voltage during switching, and provides a low impedance termination of equal voltage for all legs of the ladder.

The R-2R ladder divides the reference amplifier current into binarily-related components, which are fed to the switches. Note that there is always a remainder current which is equal to the least significant bit. This current is shunted to ground, and the maximum output current is 255/256 of the reference amplifier current, or 1.992 mA for a 2.0 mA reference amplifier current if the NPN current source pair is perfectly matched.

Reference Amplifier Drive and Compensation

The reference amplifier provides a voltage at pin 14 for converting the reference voltage to a current, and a turn-around circuit or current mirror for feeding the ladder. The reference amplifier input current, I14, must always flow into pin 14 regardless of the setup method or reference voltage polarity.

Connections for a positive reference voltage are shown in Figure 7. The reference voltage source supplies the full current I14. For bipolar reference signals, as in the multiplying mode, R15 can be tied to a negative voltage corresponding to the minimum input level. It is possible to eliminate R15 with only a small sacrifice in accuracy and temperature drift. Another method for bipolar inputs is shown in Figure 25.

The compensation capacitor value must be increased with increases in R14 to maintain proper phase margin; for R14 values of 1.0, 2.5 and 5.0 kilohms, minimum capacitor values are 15, 37, and 75 pF. The capacitor should be tied to V_{EE} as this increases negative supply rejection.

A negative reference voltage may be used if R14 is grounded and the reference voltage is applied to R15 as shown in Figure 8. A high input impedance is the main advantage of this method. Compensation involves a capacitor to V_{EE} on pin 16, using the values of the previous paragraph. The negative reference voltage must be at least 3.0 volts above the V_{EE} supply. Bipolar input signals may be handled by connecting R14 to a positive reference voltage equal to the peak positive input level at pin 15.

When a dc reference voltage is used, capacitive bypass to ground is recommended. The 5.0-V logic supply is not recommended as a reference voltage. If a well regulated 5.0-V supply which drives logic is to be used as the reference, R14 should be decoupled by connecting it to +5.0 V through another resistor and bypassing the junction of the two resistors with 0.1 μF to ground. For reference voltages greater than 5.0 V, a clamp diode is recommended between pin 14 and ground.

If pin 14 is driven by a high impedance such as a transistor current source, none of the above compensation methods apply and the amplifier must be heavily compensated, decreasing the overall bandwidth.

Output Voltage Range

The voltage on pin 4 is restricted to a range of -0.55 to +0.4 volts at +25°C, due to the current switching methods employed in the MC1408. When a current switch is turned "off", the positive voltage on the output terminal can turn "on" the output diode and increase the output current level. When a current switch is turned "on", the negative output voltage range is restricted. The base of the termination circuit Darlington transistor is one diode voltage below ground when pin 1 is grounded, so a negative voltage before the specified safe level will drive the low current device of the Darlington into saturation, decreasing the output current level.

The negative output voltage compliance of the MC1408 may be extended to -5.0 V volts by opening the circuit at pin 1. The negative supply voltage must be more negative than -10 volts. Using a full scale current of 1.992 mA and load resistor of 2.5 kilohms between pin 4 and ground will yield a voltage output of 256 levels between 0 and -4.980 volts. Floating pin 1 does not affect the converter speed or power dissipation. However, the value of the load resistor determines the switching time due to increased voltage swing. Values of R_L up to 500 ohms do not significantly affect performance, but a 2.5-kilohm load increases "worst case" setting time to 1.2 μs (when all bits are switched on). Refer to the subsequent text section on Settling Time for more details on output loading.

If a power supply value between -5.0 V and -10 V is desired, a voltage of between 0 and -5.0 V may be applied to pin 1. The value of this voltage will be the maximum allowable negative output swing.

Output Current Range

The output current maximum rating of 4.2 mA may be used only for negative supply voltages typically more negative than -8.0 volts, due to the increased voltage drop across the 150-ohm resistors in the reference current amplifier.

Accuracy

Absolute accuracy is the measure of each output current level with respect to its intended value, and is dependent upon relative accuracy and full scale current drift. Relative accuracy is the measure of each output current level as a fraction of the full scale current. The relative accuracy of the MC1408 is essentially constant with temperature due to the excellent temperature tracking of the monolithic resistor ladder. The reference current may drift with temperature, causing a change in the absolute accuracy of output current. However, the MC1408 has a very low full scale current drift with temperature.

The MC1408/MC1508 Series is guaranteed accurate to within ±1/2 LSB at +25°C at a full scale output current of 1.992 mA. This corresponds to a reference amplifier output current drive to the ladder network of 2.0 mA, with the loss of one LSB = 8.0 μA which is the ladder remainder shunted to ground. The input current to pin 14 has a guaranteed value of between 1.9 and 2.1 mA, allowing some mismatch in the NPN current source pair. The accuracy test circuit is shown in Figure 6. The 12-bit converter is calibrated for a full scale output current of 1.992 mA. This is an optional step since the MC1408 accuracy is essentially the same between 1.5 and 2.5 mA. Then the MC1408 circuits' full scale current is trimmed to the same value with R14 so that a zero value appears at the error amplifier output. The counter is activated and the error band may be displayed on an oscilloscope, detected by comparators, or stored in a peak detector.

Two 8-bit D-to-A converters may not be used to construct a 16-bit accurate D-to-A converter. 16-bit accuracy implies a total error of ±1/2 of one part in 65,536, or ±0.00076%, which is much more accurate than the ±0.19% specification provided by the MC1408-8.

Multiplying Accuracy

The MC1408 may be used in the multiplying mode with eight-bit accuracy when the reference current is varied over a range of 256:1. The major source of error is the bias current of the termination amplifier. Under "worst case" conditions, these eight amplifiers can contribute a total of 1.6 μA extra current at the output terminal. If the reference current in the multiplying mode ranges from 16 μA to 4.0 mA, the 1.6 μA contributes an error of 0.1 LSB. This is well within eight-bit accuracy referenced to 4.0 mA.

A monotonic converter is one which supplies an increase in current for each increment in the binary word. Typically, the MC1408 is monotonic for all values of reference current above 0.5 mA. The recommended range for operation with a dc reference current is 0.5 to 4.0 mA.

Settling Time

The "worst case" switching condition occurs when all bits are switched "on", which corresponds to a low-to-high transition for all bits. This time is typically 300 ns for settling to within ±1/2 LSB, for 8 bit accuracy, and 200 ns to 1/2 LSB for 7 and 6-bit accuracy. The turn off is typically under 100 ns. These times apply when $R_L \leq 500$ ohms and $C_O \leq 25$ pF.

The slowest single switch is the least significant bit, which turns "on" and settles in 250 ns and turns "off" in 20 ns. In applications where the D-to-A converter functions in a positive-going ramp mode, the "worst case" switching condition does not occur, and a settling time of less than 300 ns may be realized. Bit A7 turns "on" in 200 ns and "off" in 80 ns, while bit A8 turns "on" in 150 ns and "off" in 80 ns.

The test circuit of Figure 5 requires a smaller voltage swing for the current switches due to internal voltage clamping in the MC1408. A 1.0-kilohm load resistor from pin 4 to ground gives a typical settling time of 400 ns. Thus, it is voltage swing and not the output RC time constant that determines settling time for most applications.

Extra care must be taken in board layout since this is usually the dominant factor in satisfactory test results when measuring settling time. Short leads, 100 μF supply bypassing for low frequencies, and minimum scope lead length are all mandatory.

TYPICAL CHARACTERISTICS

(V_{CC} = +5.0 V, V_{EE} = -15 V, T_A = +25°C unless otherwise noted.)

FIGURE 10 – LOGIC INPUT CURRENT versus INPUT VOLTAGE

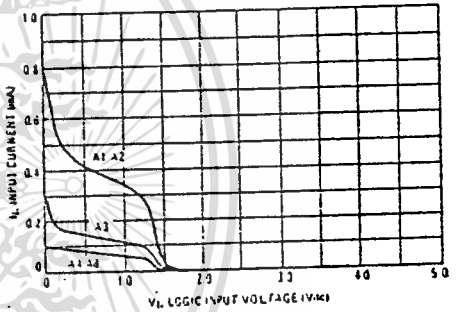


FIGURE 11 – TRANSFER CHARACTERISTIC versus TEMPERATURE (A5 thru A8 thresholds lie within range for A1 thru A4)

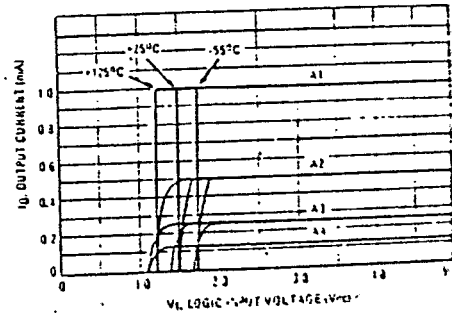


FIGURE 12 – OUTPUT CURRENT versus OUTPUT VOLTAGE

(See text for pin 1 restrictions)

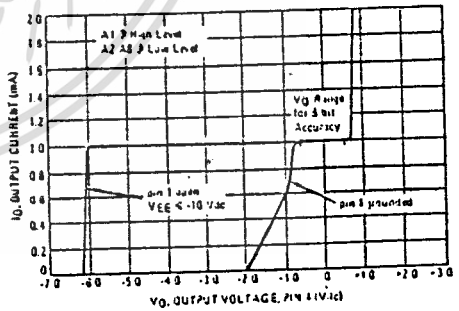


FIGURE 13 – OUTPUT VOLTAGE versus TEMPERATURE

(Negative range with pin 1 open is -5.0 Vdc over full temperature range)

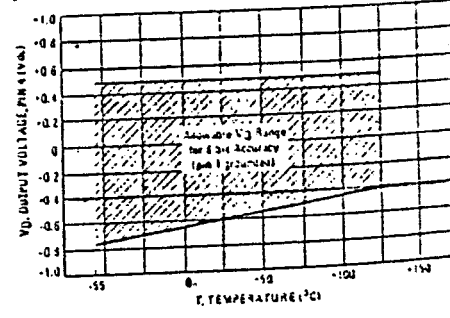
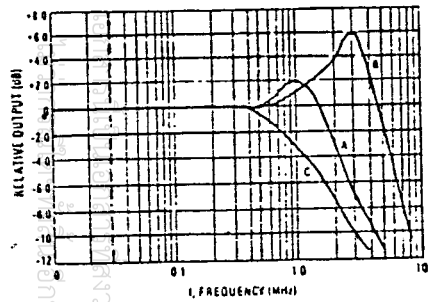
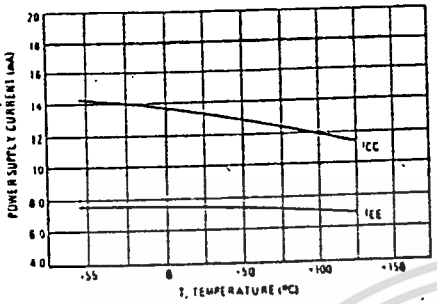


FIGURE 14 – REFERENCE INPUT FREQUENCY RESPONSE





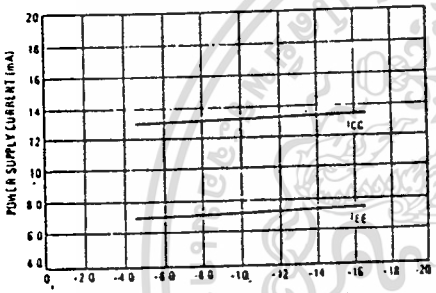
Unless otherwise specified:
$R14 = R15 = 1.0\ k\Omega$
C = 15 pF pin 16 to VEE
R_L = 50 Ω, pin 4 to GND

Curve A: Large Signal Bandwidth
Method of Figure 7
V_{ref} = 2.0 Vdc plus 1.0 V above GND

Curve B: Small Signal Bandwidth
Method of Figure 7 R_L = 250 Ω
V_{ref} = 50 mVdc plus 200 mV above GND

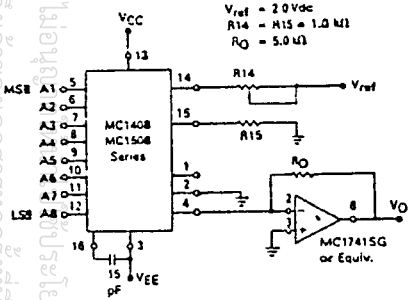
Curve C: Large and Small Signal Bandwidth
Method of Figure 25 use op amp, R_L = 50 Ω
R_S = 50 Ω
V_{ref} = 2.0 V
V_S = 100 mVdc plus centered at 0 V

FIGURE 16 – TYPICAL POWER SUPPLY CURRENT versus V_{EE} (all bits low)



APPLICATIONS INFORMATION

FIGURE 17 – OUTPUT CURRENT TO VOLTAGE CONVERSION



V_{ref} = 2.0 Vdc
R14 = R15 = 1.0 kΩ
R_O = 5.0 kΩ

Theoretical V_O

$$V_O = \frac{V_{ref}}{R14}(R_O)\left[\frac{A1}{2} + \frac{A2}{4} + \frac{A3}{8} + \frac{A4}{16} + \frac{A5}{32} + \frac{A6}{64} + \frac{A7}{128} + \frac{A8}{256}\right]$$

Adjust V_{ref}, R14 or R_O so that V_O with all digital inputs at high level is equal to 9.961 volts.

$$V_O = \frac{2\ V}{1\ k}(5\ k)\left[\frac{1}{2} + \frac{1}{4} + \frac{1}{8} + \frac{1}{16} + \frac{1}{32} + \frac{1}{64} + \frac{1}{128} + \frac{1}{256}\right]$$

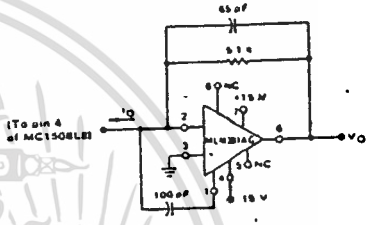
$$= 10\ V\left[\frac{255}{256}\right] = 9.961\ V$$

Voltage outputs of a larger magnitude are obtainable with this circuit which uses an external operational amplifier as a current to voltage converter. This configuration automatically keeps the output of the MC1408 at ground potential and the operational amplifier can generate a positive voltage limited only by its positive supply voltage. Frequency response and settling time are primarily determined by the characteristics of the operational amplifier. In addition, the operational amplifier must be compensated for unity gain, and in some cases overcompensation may be desirable.

Note that this configuration results in a positive output voltage only, the magnitude of which is dependent on the digital input.

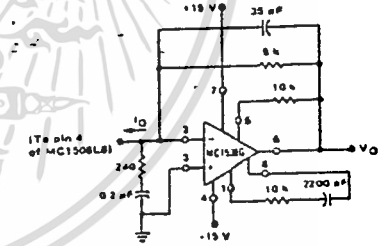
The following circuit shows how the MLM301AG can be used in a feedforward mode resulting in a full scale settling time on the order of 2.0 μs.

FIGURE 18



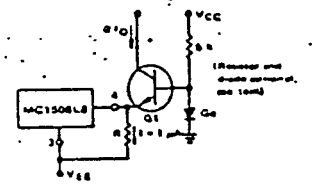
An alternative method is to use the MC1539G and input compensation. Response of this circuit is also on the order of 2.0 μs. See Motorola Application Note AN-459 for more details on this concept.

FIGURE 19



The positive voltage range may be extended by connecting the output with a high beta common base transistor, Q1, as shown.

FIGURE 20 – EXTENDING POSITIVE VOLTAGE RANGE



The output voltage range for this circuit is 0 volts to $8V_{CEO}$ of the transistor. If pin 3 is left open, the transistor base may be grounded, eliminating both the resistor and the diode. Variations in beta must be considered for wide temperature range applications. An inverted output waveform may be obtained by using a load resistor from a positive reference voltage to the collector of the transistor. Also, high-speed operation is possible with a large output voltage swing, because pin 4 is held at a constant voltage. The resistor (R) to V_{EE} maintains the transistor emitter voltage when all bits are "off" and ensures fast turnon of the least significant bit.

Combined Output Amplifier and Voltage Reference

For many of its applications the MC1408 requires a reference voltage and an operational amplifier. Normally the operational amplifier is used as a current to voltage converter and its output need only go positive. With the popular MC1723G voltage regulator both of these functions are provided in a single package with the added bonus of up to 150 mA of output current. See Figure 21. The MC1723G uses both a positive and negative power supply. The reference voltage of the MC1723G is then developed with respect to the negative voltage and appears as a common-mode signal to the reference amplifier via the D-to-A converter. This allows use of its output amplifier as a classic current-to-voltage converter with the non-inverting input grounded.

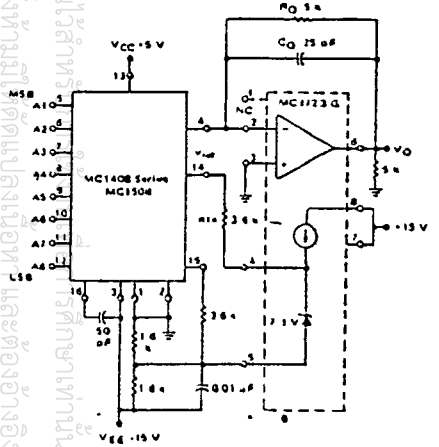
Since ±15 V and +5.0 V are normally available in a combination digital-to-analog system, only the -5.0 V need be developed. A resistor divider is sufficiently accurate since the allowable range on pin 5 is from -2.0 to -8.0 volts. The 5.0 kilohm pulldown resistor on the amplifier output is necessary for fast negative transitions.

Full scale output may be increased to as much as 32 volts by increasing R_O and raising the +15 V supply voltage to 35 V maximum. The resistor divider should be altered to comply with the maximum limit of 40 volts across the MC1723G. C_O may be decreased to maintain the same R_OC_O product if maximum speed is desired.

Programmable Power Supply

The circuit of Figure 21 can be used as a digitally programmed power supply by the addition of thumbwheel switches and a BCD-to-binary converter. The output voltage can be scaled in several ways, including 0 to +25.5 volts in 0.1-volt increments, ±0.05 volt; or 0 to 5.1 volts in 20 mV increments, ±10 mV.

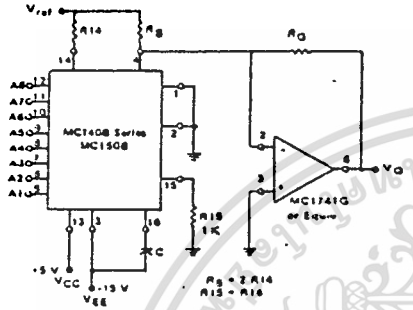
FIGURE 21 – COMBINED OUTPUT AMPLIFIER and VOLTAGE REFERENCE CIRCUIT



Bipolar or Negative Output Voltage

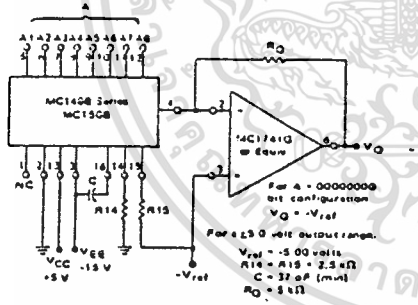
The circuit of Figure 22 is a variation from the standard voltage output circuit and will produce bipolar output signals. A positive current may be sourced into the summing node to offset the output voltage in the negative direction. For example, if approximately 1.0 mA is used a bipolar output signal results which may be described as a 8-bit "1's" complement offset binary. V_{ref} may be used as this auxiliary reference. Note that R_O has been doubled to 10 kilohms because of the anticipated 20 Vp-p output range.

FIGURE 22 – BIPOLAR OR NEGATIVE OUTPUT VOLTAGE CIRCUIT



$$V_O = \frac{V_{ref}}{R14}(R_O)\left[\frac{A1}{2} + \frac{A2}{4} + \frac{A3}{8} + \frac{A4}{16} + \frac{A5}{32} + \frac{A6}{64} + \frac{A7}{128} + \frac{A8}{256}\right] - \frac{V_{ref}}{R_B}(R_O)$$

FIGURE 23 – BIPOLAR OR INVERTED NEGATIVE OUTPUT VOLTAGE CIRCUIT

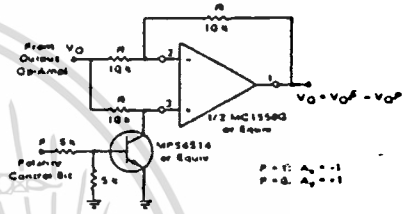


Decrease R_O to 2.5 kΩ for a 0 to -5.0-volt output range. This modification provides somewhat lower speed, as previously discussed in the Output Voltage Range section of the General Information.

Polarity Switching Circuit, 8-Bit Magnitude Plus Sign D-to-A Converter

Bipolar outputs may also be obtained by using a polarity switching circuit. The circuit of Figure 24 gives 8-bit magnitude plus a sign bit. In this configuration the operational amplifier is switched between a gain of +1.0 and -1.0. Although another operational amplifier is required, no more space is taken when a dual operational amplifier such as the MC1558G is used. The transistor should be selected for a very low saturation voltage and resistance.

FIGURE 24 – POLARITY SWITCHING CIRCUIT (8 Bit Magnitude Plus Sign D-to-A Converter)



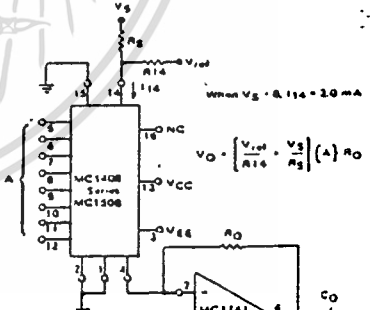
Programmable Gain Amplifier or Digital Attenuator

When used in the multiplying mode the MC1408 can be applied as a digital attenuator. See Figure 25. One advantage of this technique is that if R_S = 50 ohms, no compensation capacitor is needed. The small and large signal bandwidths are now identical and are shown in Figure 14.

The best frequency response is obtained by not allowing I_{14} to reach zero. However, the high impedance node, pin 16, is clamped to prevent saturation and insure fast recovery when the current through R14 goes to zero. R_S can be set for a ±1.0 mA variation in relation to I_{14}. I_{14} can never be negative.

The output current is always unipolar. The quiescent dc output current level changes with the digital word which makes ac coupling necessary.

FIGURE 25 – PROGRAMMABLE GAIN AMPLIFIER OR DIGITAL ATTENUATOR CIRCUIT



Panel Meter Readout

The MC1408 can be used to read out the status of BCD or binary registers or counters in a digital control system. The current output can be used to drive directly an analog panel meter. External meter shunts may be necessary if a meter of less than 2.0 mA full scale is used. Full scale calibration can be done by adjusting R14 or V_{ref}.

FIGURE 26 – PANEL METER READOUT CIRCUIT

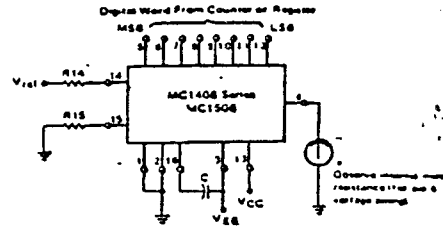
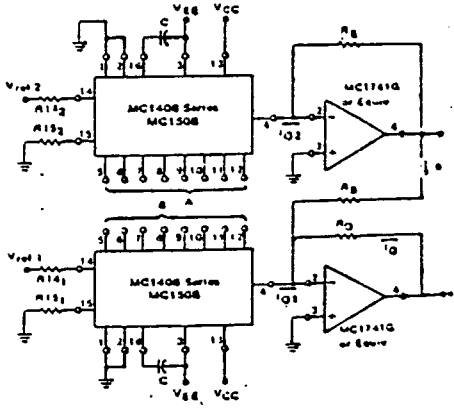


FIGURE 27 – DC COUPLED DIGITAL ATTENUATOR and DIGITAL SUBTRACTION



$$I_O = I_{O1} - I_{O2} = \frac{V_{ref\,1}}{R14_1}(A) - \frac{V_{ref\,2}}{R14_2}(B) \qquad I_{O2} = I_B$$

Digital Subtraction:

$$\text{Let } \frac{V_{ref\,1}}{R14_1} = \frac{V_{ref\,2}}{R14_2}$$

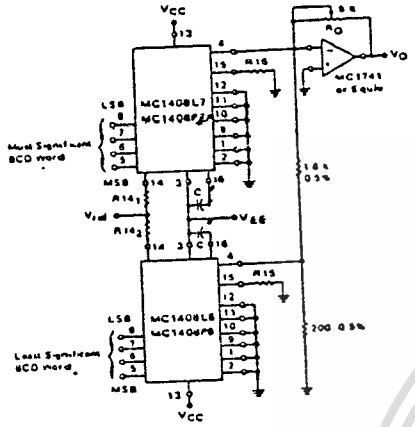
Programmable Amplifier

Connect Digital Inputs of A = B

$$V_O = \frac{V_{ref\,1}}{R14_1} R_O [(A) - (B)]$$

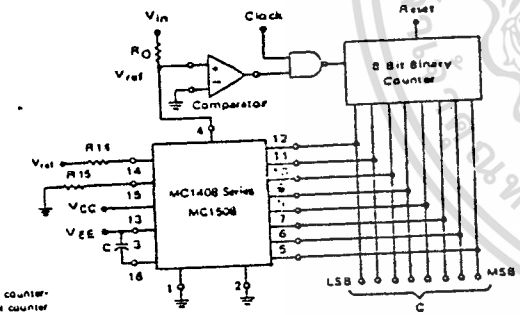
$$V_O = (A)\left[\frac{V_{ref\,2}}{R14_2} \cdot \frac{R_O}{R14_2}\right]$$

FIGURE 36 – TWO-DIGIT BCD CONVERSION



Two 8-bit, D-to-A converters can be used to build a two digit BCD D-to-A or A-to-D converter. If both outputs feed the virtual ground of an operational amplifier, 10:1 current scaling can be achieved with a resistive current divider. If current output is desired, the units may be operated at full scale current levels of 4.0 mA and 0.4 mA with the outputs connected to sum the currents. The error of the D-to-A converter handling the least significant bits will be scaled down by a factor of ten and thus an MC1408L6 may be used for the least significant word.

FIGURE 37 – DIGITAL QUOTIENT OF TWO ANALOG VARIABLES or ANALOG-TO-DIGITAL CONVERSION



$$C = \frac{V_{in}/R_O}{V_{ref}/R14}$$

The circuit shown is a simple counter-ramp converter. An UP/DOWN counter and dual threshold comparator can be used to provide faster operation and continuous conversion.

Advance Information

8-BIT MPU BUS-COMPATIBLE HIGH SPEED A-TO-D CONVERTER

The MC6108 is a microprocessor compatible, 8-bit, high speed analog-to-digital converter. Included are a precision reference, DAC, comparator, SAR, matched scale resistors, 3-state output buffers, and control logic. Conversion can be completed in under 2.0 µs and input voltage ranges of 0 to +10 V, 0 to +5.0 V, and −5.0 to +5.0 V can be converted without additional external components. With appropriate external resistors, the converter can accommodate other input voltage ranges. 8-bit linearity and monotonic operation with no missing codes are guaranteed over temperature. Bus compatibility is provided for by the 3-state outputs (latches not required).

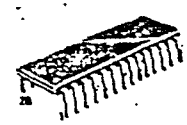
The MC6108 conversion time is short enough to allow most microprocessors to accept the data immediately after requesting a conversion. Applications include process control systems, servo control systems, waveform storage, signal processing, and others.

This device is functionally and pin compatible with the AM6108.

- 1.8 µs Conversion Time (Guaranteed)
- Microprocessor Compatible — Connect Directly to Data Bus
- Trimmed Internal Voltage Reference
- 0.1% Nonlinearity (Typ)
- Low Operating Voltage (+5.0 V, −5.2 V)
- Internal Matched Gain, Reference, and Offset Resistors
- Pin Programmable Natural Binary or Two's Complement
- Conversion Complete Available as Interrupt or on Data Bus
- Max Power Dissipation — 415 mW

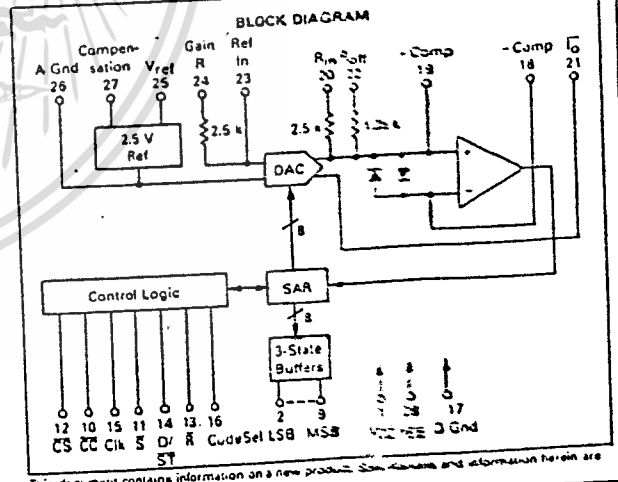
8-BIT MPU BUS-COMPATIBLE HIGH SPEED A-TO-D CONVERTER

SILICON MONOLITHIC INTEGRATED CIRCUIT

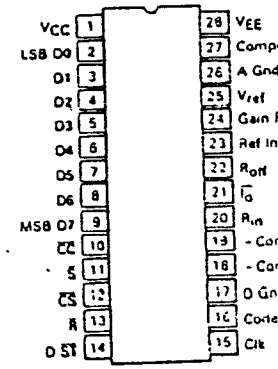


P SUFFIX
PLASTIC PACKAGE
CASE 710-02

BLOCK DIAGRAM



PIN CONNECTIONS



This document contains information on a new product. Specifications and information herein are subject to change without notice.

CMOS PHASE-LOCKED LOOPS

RES

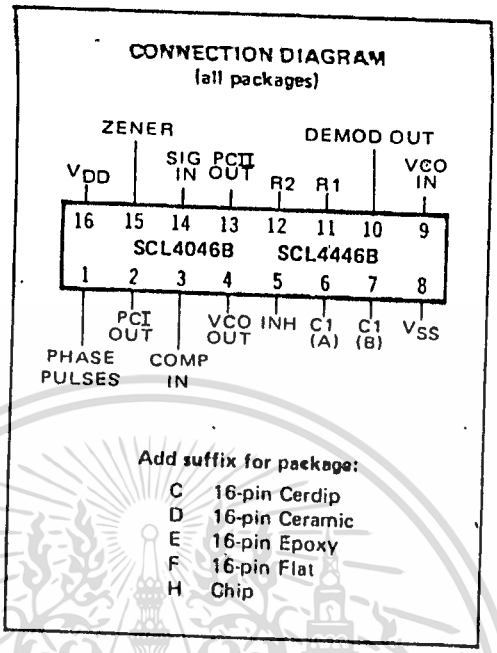
- low power consumption — 70 μW (typ)
  = 10kHz, 5Vdc
- rating frequency range (no offset) —
  o 3MHz (typ) @ 10Vdc (SCL4046B)
  o 4MHz (typ) @ 10Vdc (SCL4446B)
- frequency drift — 0.04%/°C (typ) @ 10Vdc
- ce of two phase comparators:
  - Exclusive-OR network
  - Edge-controlled memory network with phase-pulse output for lock indication
- Inhibit control for ON-OFF keying and low standby power consumption
- VCO linearity 1% (typ)
- e-follower output of VCO control input odulator Output)
- Diode to assist Supply Regulation
- ced Output Drive Current Specifications

TIONS

- modulator and modulator
- ency synthesis and multiplication
- ency discriminator
- ynchronization
- e-to-frequency conversion
- lecoding
- lodems
- conditioning

TION

CL4046B and SCL4446B phase-locked tain two phase comparators, a voltage- oscillator (VCO), source follower, and le. The comparators have two common he Signal input can be used directly o large voltage signals, or indirectly vith a series capacitor) to small voltage e self-bias circuit adjusts small voltage the linear region of the amplifier. Phase r I (an exclusive-OR gate) provides a r signal PCI_{out}, and maintains 90° phase e center frequency between Signal and r inputs (both at 50% duty cycle). Phase r II (with leading edge sensing logic) pro- l error signals $PCII_{out}$ and Phase Pulses, ains a 0° phase shift between input y cycle is immaterial). The linear VCO output signal VCO_{out} whose frequency ed by the voltage of input VCO_{in} and or and resistors connected to pins $C1_A$, and R2. The source follower output, , with an external resistor is used where signal is needed but no loading can be he Inhibit input Inh, when high, disables d source follower to minimize standby umption. The zener diode can be used ower supply regulation.



RECOMMENDED OPERATING CONDITIONS

For maximum reliability:

DC Supply Voltage	$V_{DD} - V_{SS}$	3 to 15	Vdc
Operating Temperature	T_A		
C, D, F, H Device		-55 to +125	°C
E Device		-40 to +85	°C

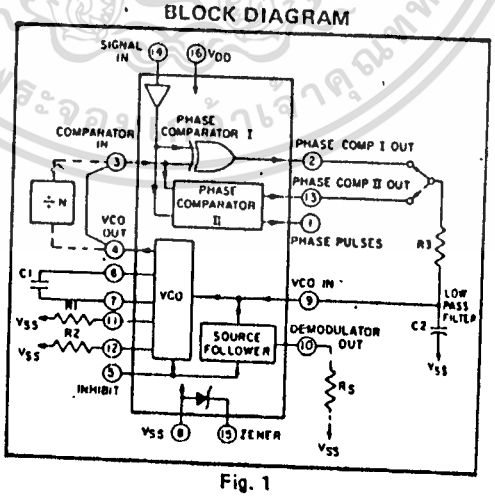


Fig. 1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

VCO SECTION

The VCO requires one external capacitor (C1) and one to two external resistors (R1 or R1 and R2). Resistor R1 and capacitor C1 determine the frequency range of the VCO and resistor R2 enables the VCO to have a frequency offset if required. The high input impedance ($10^{12}\Omega$) of the VCO simplifies the design of low-pass filters by permitting the designer a wide choice of resistor-to-capacitor ratios. In order not to load the low-pass filter, a source-follower output of the VCO input voltage is provided at terminal 10 (DEMODULATOR OUTPUT). If this terminal is used, a load resistor (R_S) of 50kΩ or more should be connected from this terminal to V_{SS}. If unused, this terminal should be left open. The VCO can be connected directly or through frequency dividers to the comparator input of the phase comparators. A full CMOS logic swing is available at the output of the VCO. A logic 0 on the INHIBIT input "enables" the VCO and the source follower, while a logic 1 "turns off" both to minimize stand-by power consumption.

PHASE COMPARATORS

The phase-comparator signal input (terminal 14) can be direct-coupled provided the signal swing is within CMOS logic levels [logic "0" $\leq$ 30% (V_{DD}-V_{SS}), logic "1" $\geq$ 70% (V_{DD}-V_{SS})]. For smaller swings the signal must be capacitively coupled to the self-biasing amplifier at the signal input.

Phase comparator I is an exclusive-OR network; it operates analogously to an over-driven balanced mixer. To maximize the lock range, the signal and comparator-input frequencies must have a 50% duty cycle. With no signal or noise on the signal input, this phase comparator has an average output voltage equal to $V_{DD}/2$. The low-pass filter connected to the output of phase comparator I supplies the averaged voltage to the VCO input, and causes the VCO to oscillate at the center frequency (f_o).

The frequency range of input signals on which the PLL will lock, if it was initially out of lock, is defined as the frequency capture range ($2f_c$).

The frequency range of input signals on which the loop will stay locked if it was initially in lock is defined as the frequency lock range ($2f_L$). The capture range can not exceed the lock range.

With phase comparator I, the range of frequencies over which the PLL can acquire lock (capture range) is dependent on the low-pass-filter characteristics, and can be made as large as the lock range. Phase-comparator I enables a PLL system to remain in lock in spite of high amounts of noise in the input signal.

One characteristic of this type of phase comparator is that it may lock onto input frequencies that are close to harmonics of the VCO center-frequency. A second characteristic is that the phase angle between the signal and the comparator input varies between 0° and 180°, and is 90° at the center frequency. Figure 2 shows the (typical) triangular phase-to-output response characteristic of phase-comparator I. Typical waveforms for a CMOS phase-locked-loop employing phase comparator I in locked condition is shown in Figure 3.

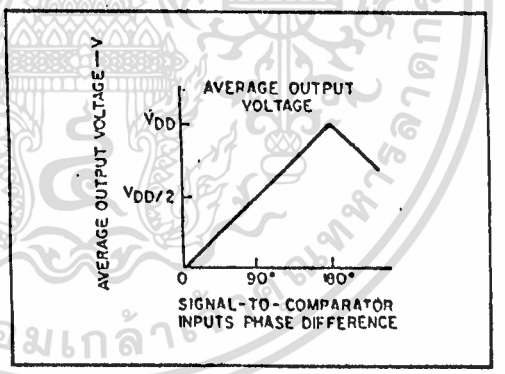


Fig. 2 — Phase-comparator I characteristics at low-pass filter output.

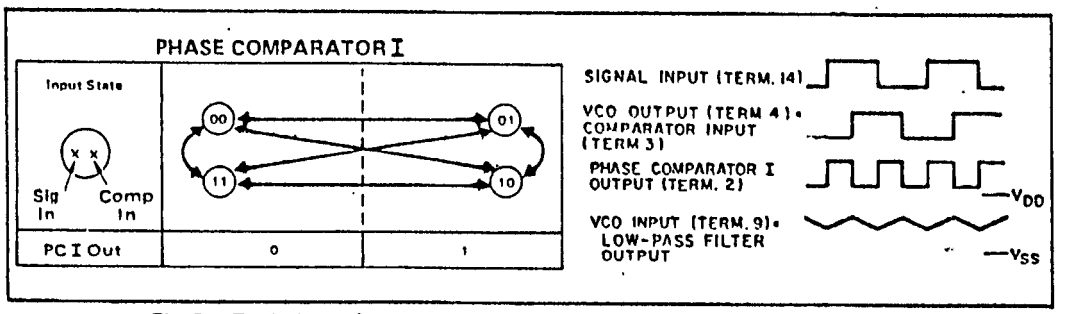
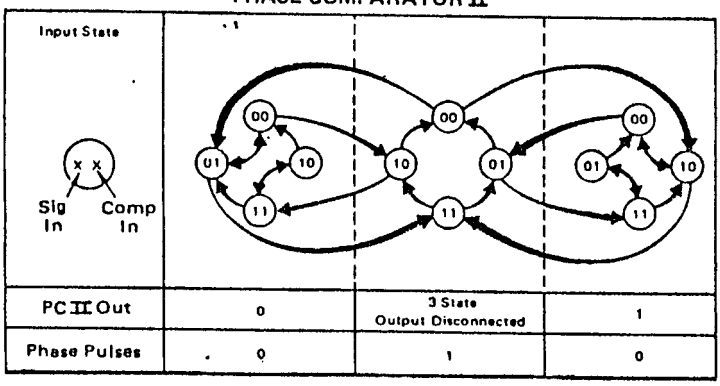


Fig. 3 — Typical waveforms employing phase comparator I in locked condition

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

PHASE COMPARATOR II



PC II Out	0	3 State Output Disconnected	1
Phase Pulses	0	1	0

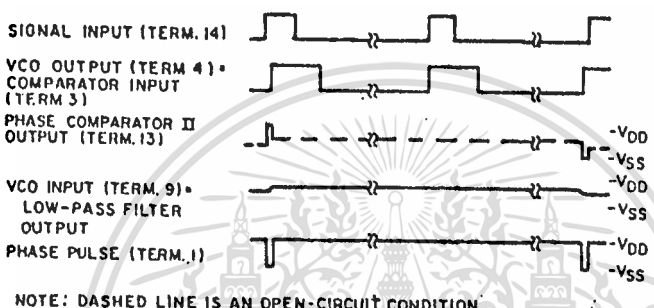


Fig. 4 — Typical waveforms employing phase comparator II in locked condition.

se-comparator II is an edge-controlled digital y network. It consists of several flip-flop control gating, and a three state output comprising p- and n-type drivers having a n output node. When the p-MOS or n-MOS are ON, they pull the output up to V_{DD} or o V_{SS}, respectively. This type of phase com- acts only on the positive edges of the signal mparator inputs. The duty cycles of the and comparator inputs are not important ositive transitions control the PLL system g this type of comparator. If the signal lags nparator input in phase, the n-type output is maintained ON for a time corresponding phase difference. If the comparator input signal in phase, the p-type output driver is ined ON for a time corresponding to the lifference. Subsequently, the capacitor volt- the low-pass filter connected to this phase ator is adjusted until the signal and com- inputs are equal in both phase and frequen- this stable point, both p- and n-type output drivers remain OFF. Thus, the phase comparator output becomes an open circuit and holds the voltage on the capacitor of the low-pass filter constant. Moreover, the signal at the "phase pulses" output is a high level which can be used for indicating a locked condition. Thus, for phase comparator II, no phase difference exists between signal and comparator input over the full VCO frequency range. Moreover, the power dissipation due to the low-pass filter is reduced when this type of phase comparator is used because both the p- and n-type output drivers are OFF for most of the signal input cycle.

It should be noted that the PLL lock range for this type of phase comparator is equal to the capture range, independent of the low-pass filter. With no signal present at the signal input, the VCO is adjusted to its lowest frequency for phase comparator II. Figure 4 shows typical waveforms for a CMOS PLL employing phase comparator II in a locked condition.

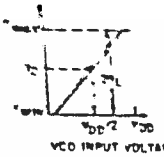
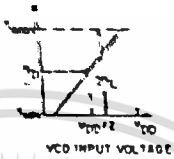
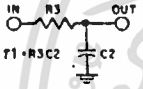
รนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้าน

DESIGN INFORMATION

This information is a guide for approximating the values of external components for the SCL4046B and SCL4446B in a Phase-Locked Loop system. The selected external components must be within the following ranges:

$R1, R2 \geq 2k\Omega$, $R_S \geq 10k\Omega$
$C1 \geq 15pF$

In addition to the given design information refer to Figure 5 for R1, R2, and C1 component selections.

CHARACTERISTICS	USING PHASE COMPARATOR I		USING PHASE COMPARATOR II	
	VCO WITHOUT OFFSET $R_2 = \infty$	VCO WITH OFFSET	VCO WITHOUT OFFSET $R_2 = \infty$	VCO WITH OFFSET
VCO Frequency				
For No Signal Input	VCO in PLL system will adjust to center frequency, f_o		VCO in PLL system will adjust to lowest operating frequency, f_{min}	
Frequency Lock Range, $2f_L$	$2f_L$ = full VCO frequency range $2f_L = f_{max} - f_{min}$			
Frequency Capture Range, $2f_C$	 $2f_C \approx \frac{1}{\pi}\sqrt{\frac{2\pi f_L}{\tau 1}}$		$f_C = f_L$	
Loop Filter Component Selection	For $2f_C$, see Ref.			
Phase Angle between Signal and Comparator	90^o at center frequency (f_o), approximating 0^o and 180^o at ends of lock range ($2f_L$)		Always 0^o in lock	
Locks on Harmonics of Center Frequency	Yes		No	
Signal Input Noise Rejection	High		Low	
VCO Component Selection	– Given: f_o – Use f_o with Fig.5a to determine R1 and C1	– Given: f_o and f_L – Calculate f_{min} from the equation $f_{min} = f_o - f_L$ – Use f_{min} with Fig. 5b to determine R2 and C1 – Calculate $\frac{f_{max}}{f_{min}}$ from the equation $\frac{f_{max}}{f_{min}} = \frac{f_o + f_L}{f_o - f_L}$ – Use $\frac{f_{max}}{f_{min}}$ with Fig.5c to determine ratio R2/R1 to obtain R1	– Given: f_{max} – Calculate f_o from the equation $f_o = \frac{f_{max}}{2}$ – Use f_o with Fig.5a to determine R1 and C1	– Given: f_{min} & f_{max} – Use f_{min} with Fig.5b to determine R2 and C1 – Calculate $\frac{f_{max}}{f_{min}}$ – Use $\frac{f_{max}}{f_{min}}$ with Fig.5c to determine ratio R2/R1 to obtain R1

REF. G. S. Moschytz, "Miniaturized RC Filters Using Phase-Locked Loop", BSTJ, May, 1965.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS [1, 3]

PARAMETER		V_{DD} (Vdc)	CONDITIONS	T_{LOW} [2] Min.	T_{LOW} [2] Max.	+25°C Min.	+25°C Typ.	+25°C Max.	T_{HIGH} [2] Min.	T_{HIGH} [2] Max.	Units
CENT DEVICE ENT	I_{DD}	5	Inhibit = V_{DD}	–	5	–	0.05	5	–	150	μAdc
		10	Signal Input =	–	10	–	0.01	10	–	300	
		15	V_{DD}	–	20	–	0.2	20	–	600	
L POWER DISSIPATION	P_T		Inh = V_{SS}, $VCO_{IN} = \frac{V_{DD}}{2}$, f_o = 10kHz, C_L = 15pF, R1 = 1MΩ, R2 = R_S = ∞								
		5		–	–	–	0.07	–	–	–	mW
		10		–	–	–	0.6	–	–	–	
		15		–	–	–	2.4	–	–	–	

[1] Remaining Static Electrical Characteristics are listed under "SCL4000B Series Family Specifications".
[2] T_{LOW} = -55°C for C, D, F, H device.
= -40°C for E device.
T_{HIGH} = +125°C for C, D, F, H device.
= + 85°C for E device.
[3] VCO output (pin 4) and Phase Comparator Outputs (pins 2 and 13) have been designed for balanced output drive current specifications. Consult Family Specifications.

RAMETER		CONDITIONS		V_{DD}	25°C Min.	25°C Typ.	25°C Max.	UNIT
CTION								
UM OPERATING ENCY	f_{max}		R1 C1					
SCL4046B		R2 = ∞, $VCO_{IN} = V_{DD}$	10k 50pF	5	0.5	0.8	–	MHz
				10	1.0	1.5	–	
				15	1.3	1.9	–	
			5k 50pF	5	0.6	1.0	–	MHz
				10	1.4	2.1	–	
				15	1.8	2.7	–	
			2k 50pF	5	–	1.3	–	MHz
				10	–	2.9	–	
				15	–	3.8	–	
SCL4446B		R2 = ∞	R1 C1					
		$VCO_{IN} = V_{DD}$	10k 50pF	5	0.7	1.0	–	MHz
				10	1.3	2.0	–	
				15	1.9	2.8	–	
			5k 50pF	5	0.9	1.3	–	MHz
				10	1.9	2.9	–	
				15	2.6	3.9	–	
			2k 50pF	5	–	1.8	–	MHz
				10	–	3.9	–	
				15	–	5.4	–	
TY		R2 = ∞						
		VCO_{IN} = 2.5±0.3V, R1 ≥ 10kΩ		5	–	1	–	%
		VCO_{IN} = 5.0±2.5V, R1 ≥ 400kΩ		10	–	1	–	
		VCO_{IN} = 7.5±5.0V, R1 ≥ 1MΩ		15	–	1	–	

เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้

ELECTRICAL CHARACTERISTICS (Continued)

PARAMETER		CONDITIONS	V_{DD}	+25°C			UNIT
				Min.	Typ.	Max.	
VCO SECTION (Continued)							
TEMPERATURE-FREQUENCY STABILITY							
No Offset		R2 = ∞	5	–	0.12-0.24	–	%/°C
			10	–	0.04-0.08	–	
			15	–	0.015-0.03	–	
With Offset		R2≤ 10X R1	5	–	0.06-0.12	–	%/°C
			10	–	0.05-0.1	–	
			15	–	0.03-0.06	–	
INPUT RESISTANCE (VCO_{IN})	R_{IN}		5, 10, 15	–	10^6	–	MΩ
OUTPUT DUTY CYCLE		All valid input combinations and voltages		–	50	–	%
OUTPUT TRANSITION TIME	t_{TLH}, t_{THL}	C_L = 50pF	5	–	100	200	ns
			10	–	50	100	
			15	–	40	80	
PHASE COMPARATORS							
INPUT RESISTANCE							
Signal Input	R_{IN}		5	1	3	–	MΩ
			10	0.2	0.7	–	
			15	0.1	0.3	–	
Comparator Input	R_{IN}		5, 10, 15	–	10^6	–	MΩ
AC-COUPLED INPUT SENSITIVITY							
Signal Input	V_{IN}		5	–	200	400	mV
			10	–	400	800	
			15	–	700	1400	
OUTPUT TRANSITION TIME							
PCI, PCII Outputs	t_{TLH}, t_{THL}	C_L = 50pF	5	–	100	200	ns
			10	–	50	100	
			15	–	40	80	
Phase Pulses Output	t_{TLH}, t_{THL}		5	–	130	260	ns
			10	–	65	130	
			15	–	50	100	
DEMODULATOR OUTPUT							
OFFSET VOLTAGE	VCO_{IN}-V_{DEM}	R_S≥50kΩ	5	–	1.4	2.2	Vdc
			10	–	1.6	2.2	
			15	–	1.8	2.2	
LINEARITY		R_S≥50kΩ					
		VCO_{IN} = 2.5±0.3V	5	–	0.1	–	%
		VCO_{IN} = 5.0±2.5V	10	–	0.6	–	
		VCO_{IN} = 7.5±5.0V	15	–	0.8	–	
ZENER DIODE							
ZENER VOLTAGE	V_Z	I_Z = 50μA	–	6.3	7.0	7.7	V
DYNAMIC RESISTANCE	R_Z	I_Z = 1mA	–	–	100	–	Ω

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

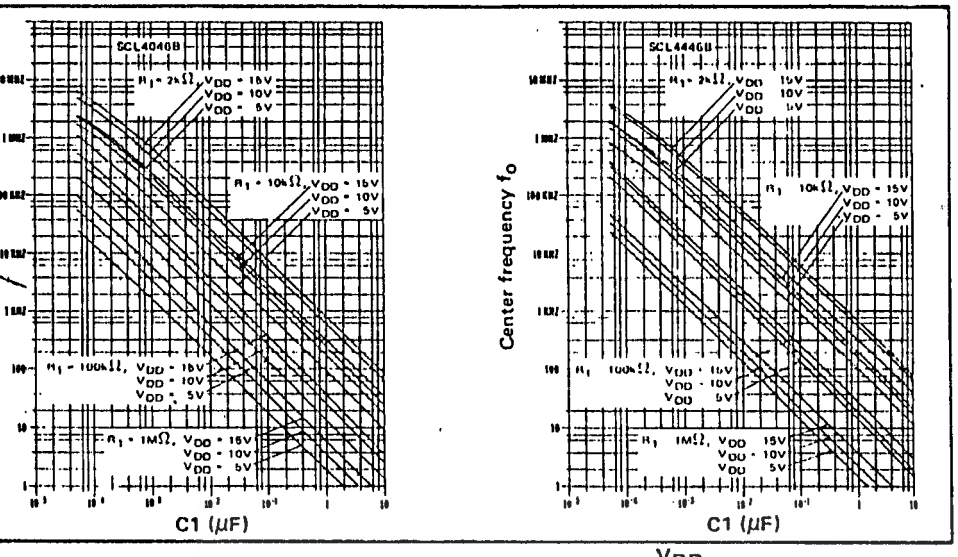


Fig. 5 (a) Typical center frequency (f_o) vs C1 (R2 = ∞, $VCO_{IN} = \frac{V_{DD}}{2}$, T_A = 25°C)

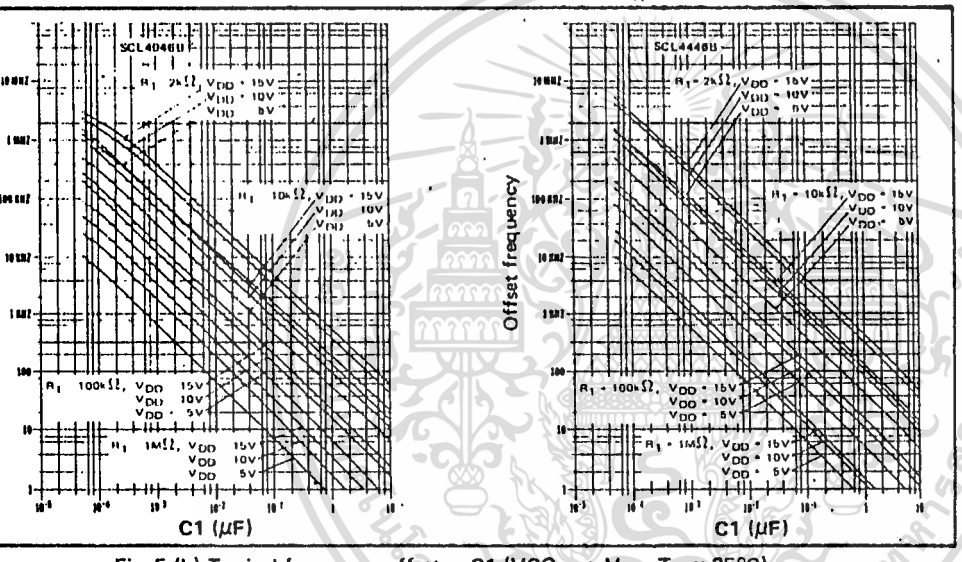


Fig. 5 (b) Typical frequency offset vs C1 ($VCO_{IN} = V_{SS}$, T_A = 25°C)

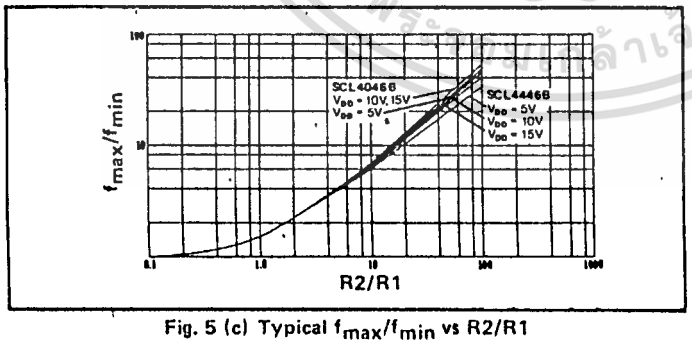


Fig. 5 (c) Typical f_{max}/f_{min} vs R2/R1

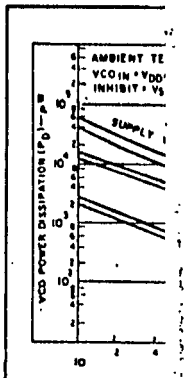


Fig. 6 (a) - T
at

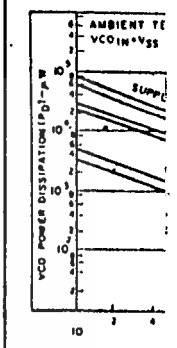


Fig. 6 (b) - T
at

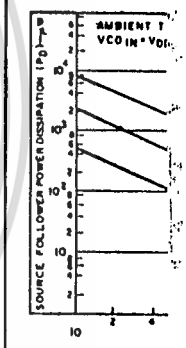


Fig. 6 (c)

NOTE: To ol
powe
for nc

P_D (Total) = I

P_D (Total) = I

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

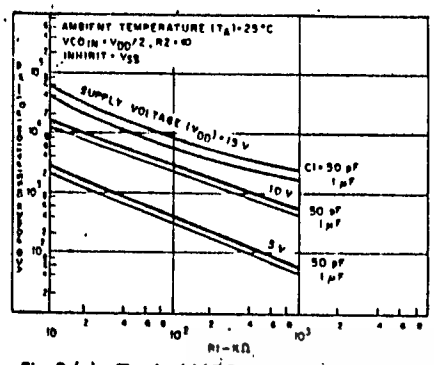


Fig. 6 (a) - Typical VCO power dissipation at center frequency vs R1.

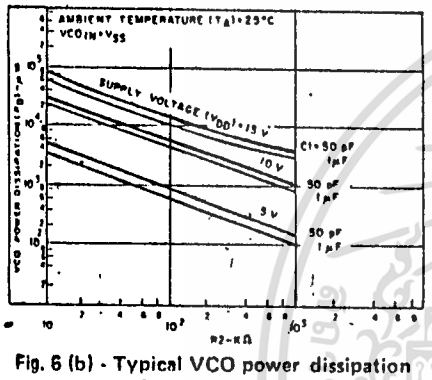


Fig. 6 (b) - Typical VCO power dissipation at f_{min} vs R2.

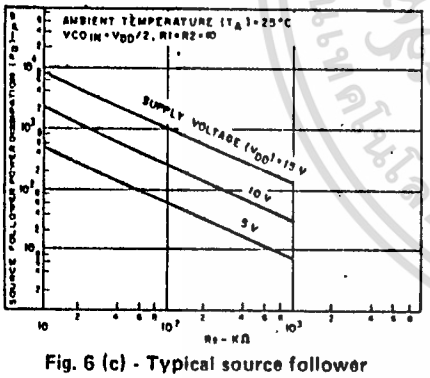


Fig. 6 (c) - Typical source follower power dissipation vs R_S.

NOTE: To obtain approximate total power dissipation of PLL system for no-signal input

P_D (Total) = P_D (f_o) + P_D (f_{MIN}) + P_D (R_S)
— Phase Comparator I

P_D (Total) = P_D (f_{MIN})
— Phase Comparator II

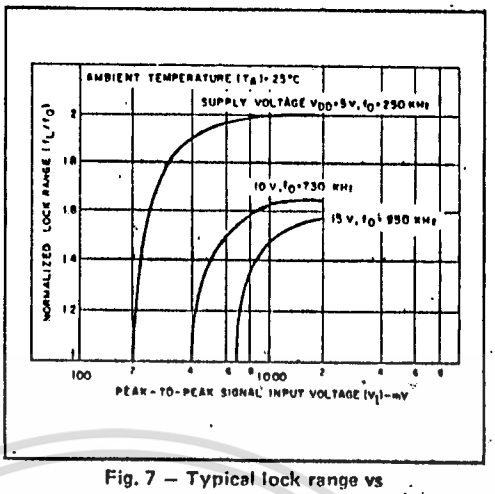


Fig. 7 — Typical lock range vs signal input amplitude

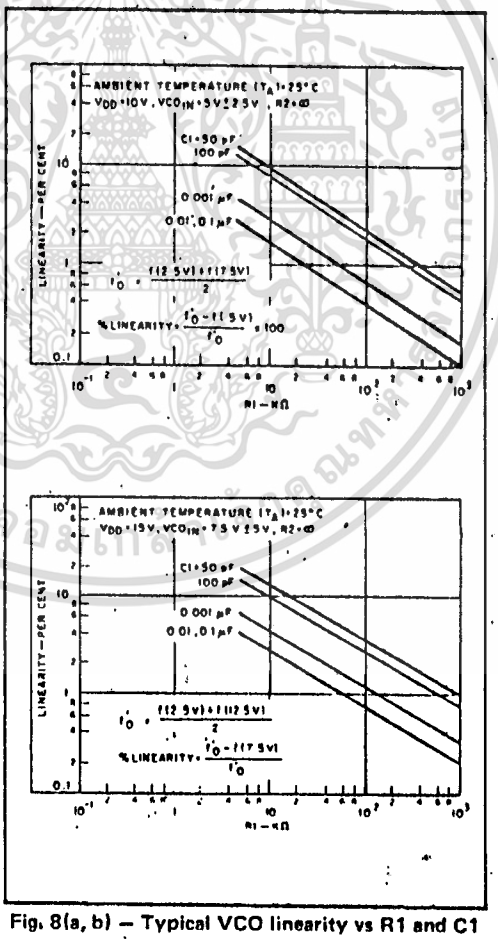


Fig. 8(a, b) — Typical VCO linearity vs R1 and C1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SCL4516B

CMOS BINARY UP/DOWN COUNTER

FEATURES

- Internally Synchronous for High Speed
- Asynchronous Preset Enable
- Asynchronous Reset
- Logic Edge-Clocked Design
- 6MHz Counting Rate @ 10Vdc
- Carry Output for Cascading Stages

DESCRIPTION

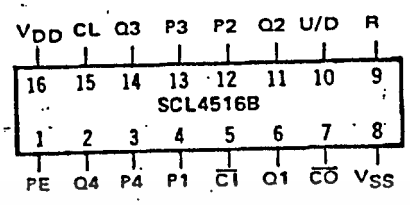
The SCL4516B consists of a four-stage Up/Down Counter with provisions for "look-ahead" carry in both counting modes. The inputs consist of a single Clock, Carry-in (Clock Enable), Reset, Up/Down, Preset Enable, and four individual Jam signals. Four separate buffered Q signals and a Carry-out signal are provided as outputs.

A high Preset Enable signal allows information on the Jam inputs to preset the counter to any state asynchronously with the Clock. A high on the Reset line resets all stages to the "zero" state. The counter is advanced one count at the positive transition of the Clock when the Carry-in and Preset Enable signals are low. Advancement is inhibited when the Carry-in or Preset Enable signals are high. The Carry-out signal is normally high and goes low when the counter reaches its maximum count in the Up mode or the minimum count in the Down mode, provided the Carry-in signal is low. The Carry-in signal in the low state can thus be considered a "Clock Enable." The Carry-in terminal must be connected to V_{SS} when not in use.

The counter counts Up when the Up/Down input is high, and Down when the Up/Down input is low. Multiple packages can be connected in either a parallel-clocking or a ripple-clocking arrangement. Parallel clocking provides synchronous control and hence faster response from all counting outputs. Ripple-clocking allows for longer clock input rise and fall times.

This counter finds primary use in up/down and differential counting and frequency synthesizer applications. It is also useful in A/D and D/A conversion and for magnitude and sign generation.

CONNECTION DIAGRAM
(all packages)



Add suffix for package:

C	16-pin Cerdip
D	16-pin Ceramic
E	16-pin Epoxy
F	16-pin Flat
H	Chip

RECOMMENDED OPERATING CONDITIONS

For maximum reliability:

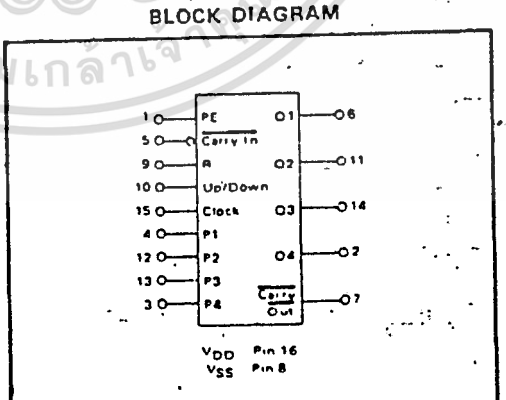
DC Supply Voltage	$V_{DD} - V_{SS}$	3 to 15	Vdc
Operating Temperature	T_A		
C, D, F, H Device		-55 to +125	°C
E Device		-40 to +85	°C

TRUTH TABLE

CARRY IN	UP/DOWN	PRESET ENABLE	RESET	ACTION
1	X	0	0	No Count
0	1	0	0	Count Up
0	0	0	0	Count Down
X	X	1	0	Preset
X	X	X	1	Reset

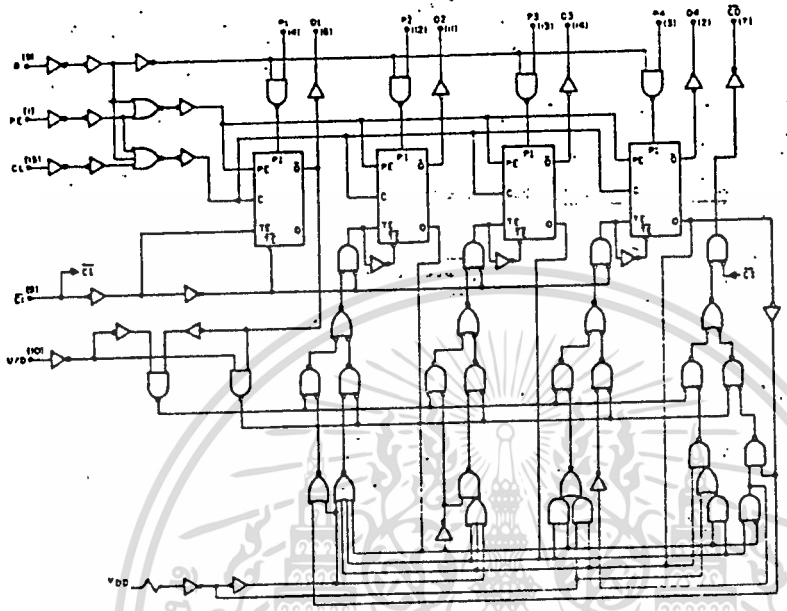
X = Don't Care

BLOCK DIAGRAM

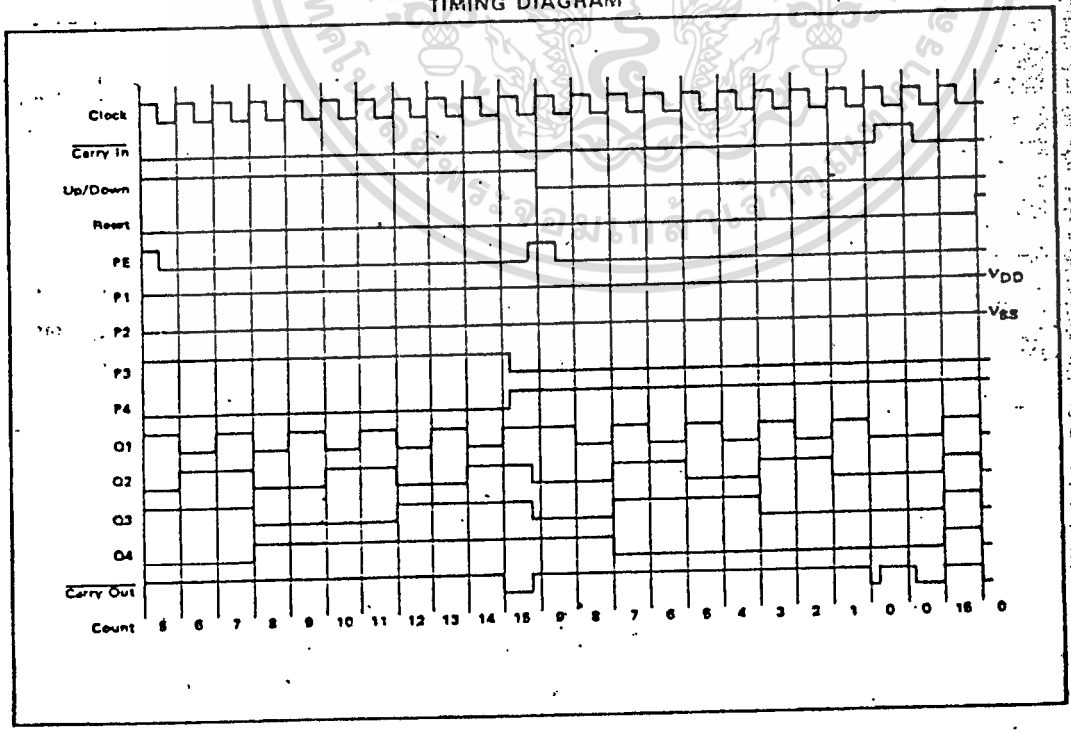


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

LOGIC DIAGRAM



TIMING DIAGRAM



ELECTRICAL CHARACTERISTICS

STATIC CHARACTERISTICS[1]

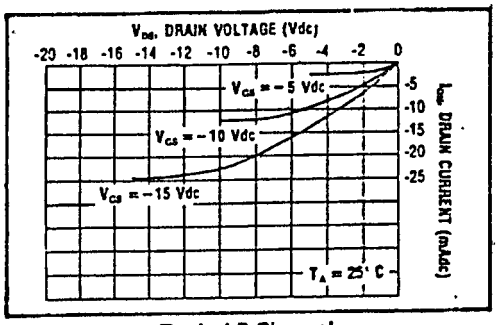
PARAMETER		V_{DD} (Vdc)	CONDITIONS	T_{LOW}[2]		+25°C			T_{HIGH}[2]		Units
				Min.	Max.	Min.	Typ.	Max.	Min.	Max.	
QUIESCENT DEVICE CURRENT	I_{DD}	5	$V_{IN}=V_{SS}$ or V_{DD}	–	5	–	0.05	5	–	150	μAdc
		10	All valid input	–	10	–	0.1	10	–	300	
		15	combinations	–	20	–	0.2	20	–	600	

NOTES: [1] Remaining Static Electrical Characteristics are listed under "SCL4000B Series Family Specifications".
[2] T_{LOW} = –55°C for C, D, F, H device.
= –40°C for E device.
T_{HIGH} = +125°C for C, D, F, H device.
= + 85°C for E device.

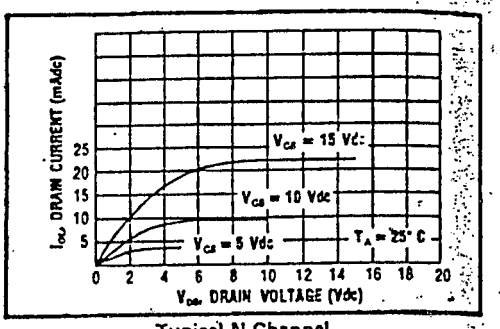
DYNAMIC CHARACTERISTICS (C_L = 50pF, T_A = 25°C)

PARAMETER		V_{DD} (Vdc)	Min.	Typ.	Max.	Units
CLOCKED OPERATION						
PROPAGATION DELAY TIME Clock to Q	t_{PLH}, t_{PHL}	5	–	325	650	ns
		10	–	125	250	
		15	–	100	200	
Clock to $\overline{\text{Carry Out}}$		5	–	325	650	ns
		10	–	125	250	
		15	–	100	200	
$\overline{\text{Carry In}}$ to $\overline{\text{Carry Out}}$		5	–	175	350	ns
		10	–	75	150	
		15	–	55	110	
OUTPUT TRANSITION TIME	t_{TLH}, t_{THL}	5	–	130	260	ns
		10	–	65	130	
		15	–	50	100	
MINIMUM CLOCK PULSE WIDTH	PW_{CL}	5	–	170	340	ns
		10	–	85	170	
		15	–	70	140	
MAXIMUM CLOCK FREQUENCY	f_{CL}	5	1.5	3.0	–	MHz
		10	3.0	6.0	–	
		15	4.0	8.0	–	
MAXIMUM CLOCK RISE AND FALL TIME[1]	t_{rCL}, t_{fCL}	5	15	–	–	μs
		10	15	–	–	
		15	15	–	–	
MINIMUM SETUP TIME $\overline{\text{Carry In}}$	t_{setup}	5	–	130	260	ns
		10	–	65	130	
		15	–	50	100	
Up/Down		5	–	250	500	ns
		10	–	100	200	
		15	–	75	150	
PRESET OR RESET OPERATION						
PROPAGATION DELAY TIME Preset Enable or Reset to Q	t_{PLH}, t_{PHL}	5	–	325	650	ns
		10	–	125	250	
		15	–	100	200	
Preset Enable or Reset to $\overline{\text{Carry Out}}$		5	–	410	820	ns
		10	–	165	330	
		15	–	130	260	
MINIMUM PRESET ENABLE OR RESET PULSE WIDTH	PW_{PE}, PW_R	5	–	100	200	ns
		10	–	50	100	
		15	–	40	80	
PRESET ENABLE OR RESET REMOVAL TIME	t_{rem}	5	–	325	650	ns
		10	–	110	220	
		15	–	90	180	

[1] When units are cascaded, the maximum rise and fall times of the clock input should be equal to or less than the transition times of the data outputs driving data inputs, plus the propagation delay of the output driving stage for the output capacitive load.



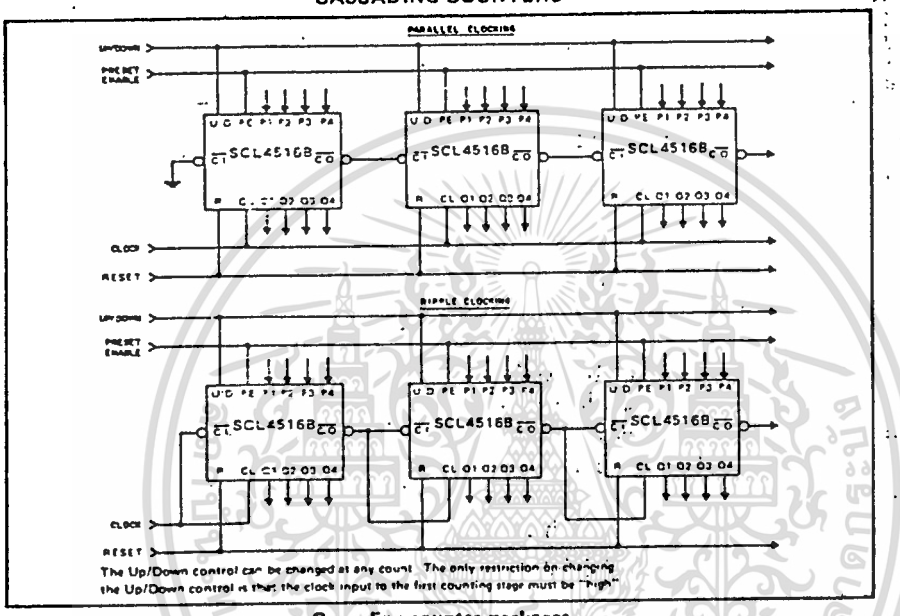
Typical P-Channel
Source Current Characteristics



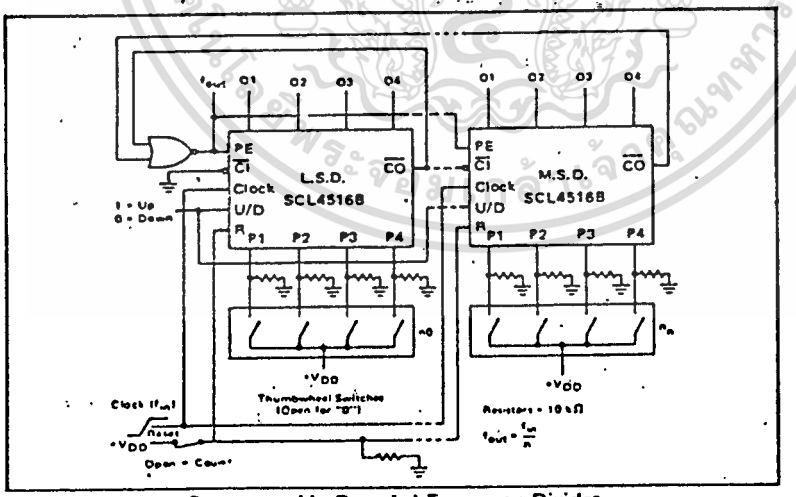
Typical N-Channel
Sink Current Characteristics

APPLICATIONS INFORMATION

CASCADING COUNTERS



Cascading counter packages.



Programmable Cascaded Frequency Divider

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MOTOROLA

LF357* LF355B, LF356B, LF357B*

Specifications and Applications Information

MONOLITHIC JFET INPUT OPERATIONAL AMPLIFIERS

These internally compensated operational amplifiers incorporate highly matched JFET devices on the same chip with standard bipolar transistors. The JFET devices enhance the input characteristics of these operational amplifiers by more than an order of magnitude over conventional amplifiers.

This series of op amps combines the low current characteristics typical of FET amplifiers with the low initial offset voltage and offset voltage stability of bipolar amplifiers. Also, nulling the offset voltage does not degrade the drift or common mode rejection.

- Low Input Bias Current – 30 pA
- Low Input Offset Current – 3.0 pA
- Low Input Offset Voltage – 1.0 mV
- Temperature Compensation of Input Offset Voltage – 3.0 μV/°C
- Low Input Noise Current – 0.01 pA/√Hz
- High Input Impedance – $10^{12}\Omega$
- High Common-Mode Rejection Ratio – 100 dB
- High DC Voltage Gain – 106 dB

SERIES FEATURES

- LF355/355B — Low Power Supply Current
- LF356/356B — Wide Bandwidth
- LF357/357B — Wider Bandwidth Decompensated ($A_{V_{min}}$ = 5)

	LF355/355B	LF356/356B	LF357/357B
Fast Settling Time to 0.01%	4.0 μs	1.5 μs	1.5 μs
Fast Slew Rate	5.0 V/μs	12 V/μs	50 V/μs
Wide Gain Bandwidth	2.5 MHz	5.0 MHz	20 MHz
Low Input Noise Voltage	20 nV/√Hz	12 nV/√Hz	12 nV/√Hz

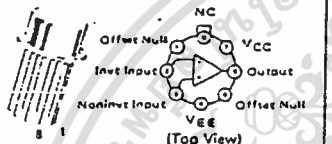
ORDERING INFORMATION

Device	Temperature Range	Package
LF355BH,H LF355BJ,J	0 to +70°C 0 to +70°C	Metal Can Ceramic DIP
LF356BH,H LF356BJ,J	0 to +70°C 0 to +70°C	Metal Can Ceramic DIP
LF357BH,H LF357BJ,J	0 to +70°C 0 to +70°C	Metal Can Ceramic DIP

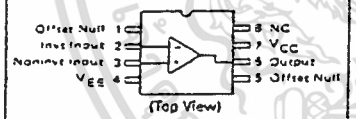
MONOLITHIC JFET OPERATIONAL AMPLIFIERS

SILICON MONOLITHIC INTEGRATED CIRCUITS

H SUFFIX
METAL PACKAGE
CASE 601-04



J SUFFIX
CERAMIC PACKAGE
CASE 693-02



APPLICATIONS

The LF series is suggested for all general purpose FET input amplifier requirements where precision and frequency response flexibility are of prime importance.

Specific applications include:

- Sample and Hold Circuits
- High Impedance Buffers
- Fast D/A and A/D Converters
- Precision High Speed Integrators
- Wideband, Low Noise, Low Drift Amplifiers

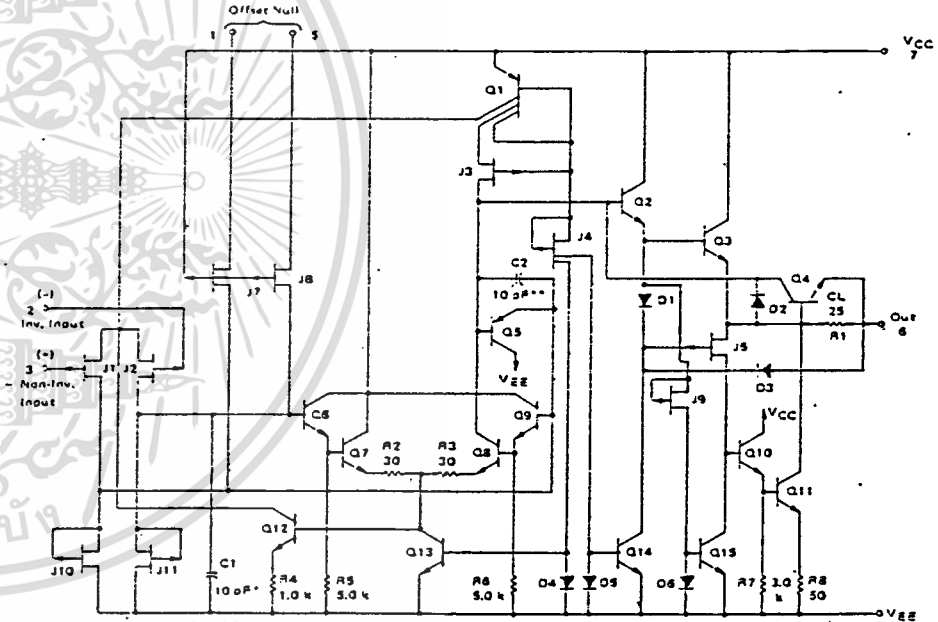
*NOTE: The LF357/357B are designed for wider bandwidth applications. They are decompensated ($A_{V_{min}}$ = 5).

MAXIMUM RATINGS

Rating	Symbol	LF355B/356B/357B	LF355/356/357	Unit
Supply Voltage	V_{CC} V_{EE}	+22 −22	+18 −18	V
Differential Input Voltage	V_{ID}	±40	±30	V
Input Voltage Range (Note 1)	V_{IDR}	±20	±16	V
Output Short-Circuit Duration	T_S	Continuous		
Operating Ambient Temperature Range	T_A	0 to +70		°C
Operating Junction Temperature	T_J	115		°C
Storage Temperature Range	T_{stg}	−65 to +150		°C

Note 1. Unless otherwise specified, the absolute maximum negative input voltage is equal to the negative power supply voltage.

CIRCUIT SCHEMATIC



*C1 = 5.0 pF on LF357.
**C2 = 2.0 pF on LF357.

DC ELECTRICAL CHARACTERISTICS (V_{CC} = 15 to 20 V, V_{EE} = −15 to −20 V for LF3558/3568/357B; V_{CC} = 15 V, V_{EE} = −15 V for LF355/356/357; T_A = 0°C to +70°C unless otherwise noted)

Characteristic	Symbol	LF3558/68/78 Min	LF3558/68/78 Typ	LF3558/68/78 Max	LF355/6/7 Min	LF355/6/7 Typ	LF355/6/7 Max	Unit
Input Offset Voltage (R_S = 50 Ω, V_{CM} = 0) (T_A = 25°C)	V_{IO}	—	3.0	5.0	—	3.0	10	mV
(Over Temperature)		—	—	6.5	—	—	13	
Average Temperature Coefficient of Input Offset Voltage (R_S = 50 Ω)	$\Delta V_{IO}/\Delta T$	—	5.0	—	—	5.0	—	μV/°C
Change in Average TC with V_{IO} Adjust (R_S = 50 Ω) (Note 2)	$\Delta TC/\Delta V_{IO}$	—	0.5	—	—	0.5	—	μV/°C per mV
Input Offset Current (V_{CM} = 0) (Note 3) (T_J = 25°C)	I_{IO}	—	3.0	20	—	3.0	50	pA
(T_J ≤ 70°C)		—	—	1.0	—	—	2.0	nA
Input Bias Current (V_{CM} = 0) (Note 3) (T_J = 25°C)	I_{IB}	—	30	100	—	30	200	pA
(T_J ≤ 70°C)		—	—	5.0	—	—	8.0	nA
Input Resistance (T_J = 25°C)	r_i	—	10^{12}	—	—	10^{12}	—	Ω
Large Signal Voltage Gain (V_O = ±10 V, R_L = 2.0 k, V_{CC} = 15 V, V_{EE} = −15 V) (T_A = 25°C)	A_{VOL}	50	200	—	25	200	—	V/mV
(0°C ≤ T_A ≤ +70°C)		25	—	—	15	—	—	
Output Voltage Swing (V_{CC} = 15 V, V_{EE} = −15 V, R_L = 10 kΩ)	V_O	±12	±13	—	±12	±13	—	V
(V_{CC} = 15 V, V_{EE} = −15 V, R_L = 2 kΩ)		±10	±12	—	±10	±12	—	
Input Common-Mode Voltage Range (V_{CC} = 15 V, V_{EE} = −15 V)	V_{ICR}	±11	+15.1 −12.0	—	±10	+15.1 −12.0	—	V
Common-Mode Rejection Ratio	CMRR	85	100	—	80	100	—	dB
Supply Voltage Rejection Ratio (Note 4)	PSRR	85	100	—	80	100	—	dB
Supply Current (T_A = 25°C, V_{CC} = 15 V, V_{EE} = −15 V) LF3558/355	I_D	—	2.0	4.0	—	2.0	4.0	mA
LF3568/3578		—	5.0	7.0	—	—	—	
LF356/357		—	—	—	—	5.0	10	

AC ELECTRICAL CHARACTERISTICS (V_{CC} = 15 V, V_{EE} = −15 V, T_A = 25°C)

Characteristic	Symbol	LF3558/355 Min	LF3558/355 Typ	LF3558/355 Max	LF3568/356 Min	LF3568/356 Typ	LF3568/356 Max	LF3578/357 Min	LF3578/357 Typ	LF3578/357 Max	Unit
Slew Rate (Note 5) (A_V = 1) LF355/356	SR	—	5.0	—	7.5	12	—	—	—	—	V/μs
(A_V = 5) LF357		—	—	—	—	—	—	30	50	—	
Gain-Bandwidth Product	GBW	—	2.5	—	—	5.0	—	—	20	—	MHz
Settling Time to 0.01% (Note 6)	t_s	—	4.0	—	—	1.5	—	—	1.5	—	μs
Equivalent Input Noise Voltage (R_S = 100 Ω, f = 100 Hz)	e_n	—	25	—	—	15	—	—	15	—	nV/√Hz
(R_S = 100 Ω, f = 1000 Hz)		—	20	—	—	12	—	—	12	—	
Equivalent Input Noise Current (f = 100 Hz)	i_n	—	0.01	—	—	0.01	—	—	0.01	—	pA/√Hz
(f = 1000 Hz)		—	0.01	—	—	0.01	—	—	0.01	—	
Input Capacitance	C_i	—	3.0	—	—	3.0	—	—	3.0	—	pF

NOTES

(1) Unless otherwise specified, the absolute maximum negative input voltage is equal to the negative power supply.

(2) The temperature coefficient of the adjusted input offset voltage changes only a small amount (0.5 μV/°C typically) for each mV of adjustment from its original unadjusted value. Common-mode rejection and open loop voltage gain are also unaffected by offset adjustment.

(3) The input bias currents approximately double for every 10°C rise in junction temperature, T_J. Due to limited test time, the input bias currents are correlated to junction temperature. Use of a heat sink is recommended if input bias current is to be kept to a minimum.

(4) Supply voltage rejection ratio is measured for both supply magnitudes increasing or decreasing simultaneously, in accordance with common practice.

(5) The Min. slew rate limits apply for the LF3562 and the LF357B, but do not apply for the LF356 or LF357.

(6) Settling time is defined here, for a unity gain inverter connection using 2.0 k resistors for the LF355 B. It is the time required for the error voltage (the voltage at the inverting input pin on the amplifier) to settle to within 0.01% of its final value from the time a 10 V step input is applied to the inverter. For the LF357, A_V = −5.0, the feedback resistor from output to input is 2.0 k and the output step is 10 V (see settling time test circuit).

TYPICAL DC PERFORMANCE CHARACTERISTICS

(Curves are for LF355, LF356, and LF357 series unless otherwise specified)

INPUT BIAS CURRENT versus CASE TEMPERATURE

FIGURE 1 — (LF355 SERIES)

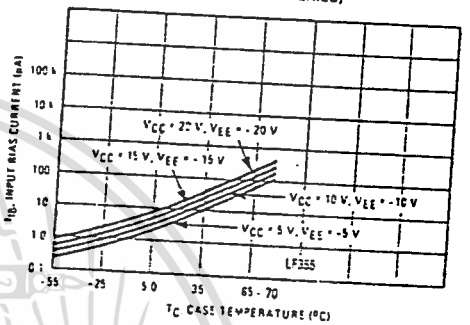


FIGURE 2 — (LF356 AND LF357 SERIES)

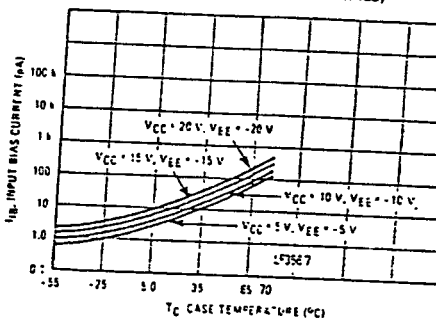


FIGURE 3 — INPUT BIAS CURRENT versus INPUT COMMON-MODE VOLTAGE

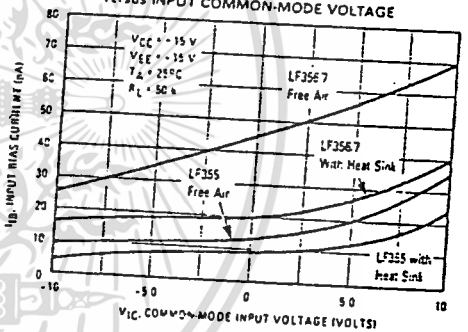
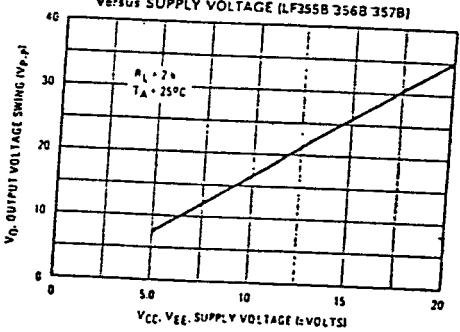


FIGURE 4 — OUTPUT VOLTAGE SWING versus SUPPLY VOLTAGE (LF3558/3568/357B)



SUPPLY CURRENT versus SUPPLY VOLTAGE

FIGURE 5 — (LF355 SERIES)

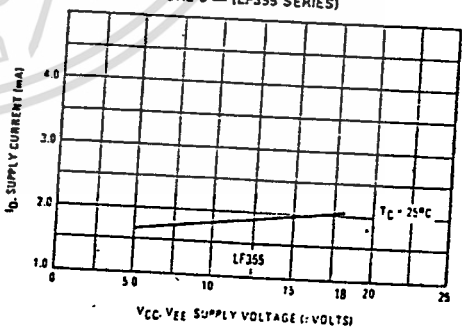
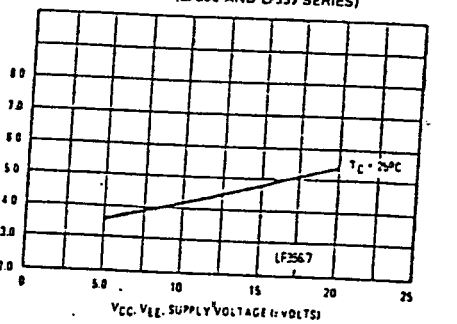


FIGURE 6 — (LF356 AND LF357 SERIES)



TYPICAL DC PERFORMANCE CHARACTERISTICS (continued)

FIGURE 7 — NEGATIVE CURRENT LIMIT

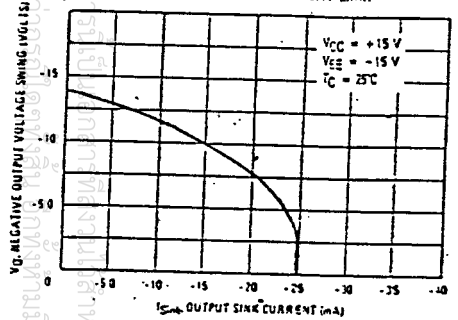


FIGURE 8 — POSITIVE CURRENT LIMIT

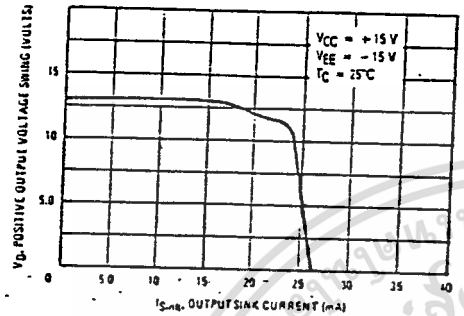


FIGURE 9 — POSITIVE COMMON-MODE INPUT VOLTAGE LIMIT

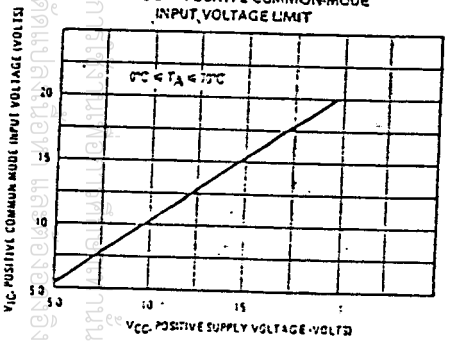


FIGURE 10 — NEGATIVE COMMON-MODE INPUT VOLTAGE LIMIT

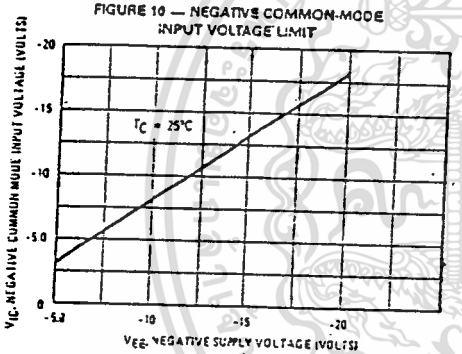


FIGURE 11 — OPEN LOOP VOLTAGE GAIN

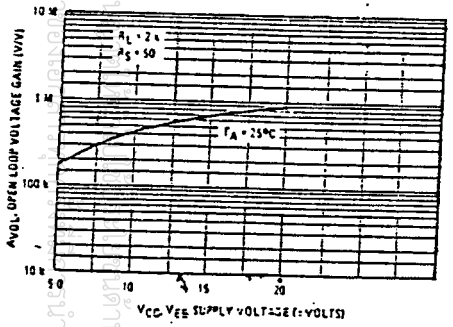
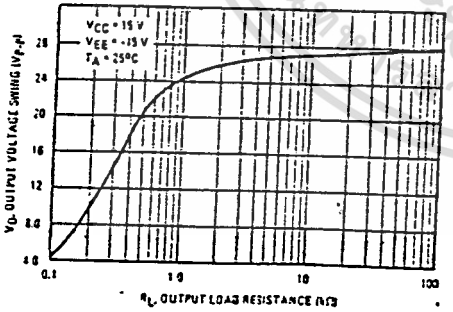


FIGURE 12 — OUTPUT VOLTAGE SWING versus LOAD RESISTANCE



TYPICAL AC PERFORMANCE CHARACTERISTICS

GAIN BANDWIDTH PRODUCT

FIGURE 13 — (LF355 SERIES)

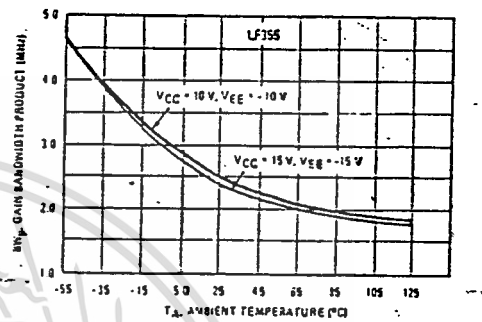
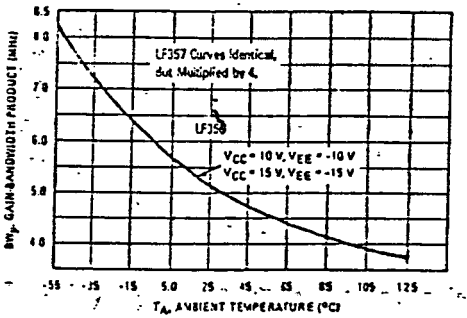


FIGURE 14 — (LF356/357 SERIES)



INVERTER SETTLING TIME

FIGURE 15 — (LF355 SERIES)

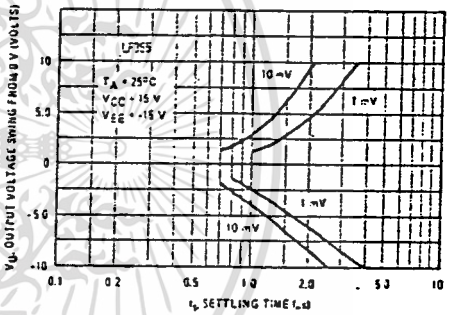


FIGURE 16 — (LF356 AND LF357 SERIES)

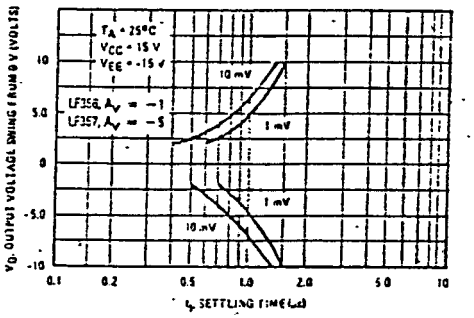


FIGURE 17 — NORMALIZED SLEW RATE

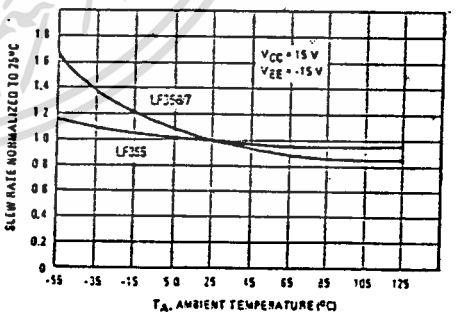
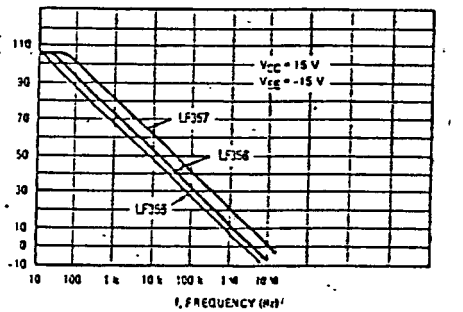


FIGURE 18 — OPEN LOOP FREQUENCY RESPONSE



BODE PLOT

FIGURE 19 — (LF355 SERIES)

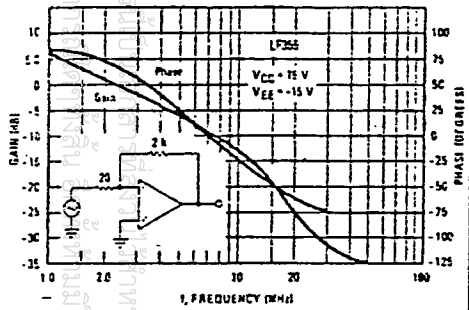


FIGURE 20 — (LF356 SERIES)

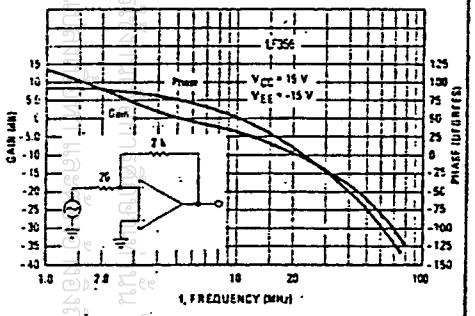
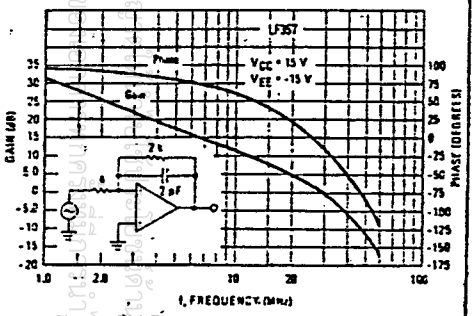


FIGURE 21 — (LF357 SERIES)



OUTPUT IMPEDANCE

FIGURE 22 — (LF355 SERIES)

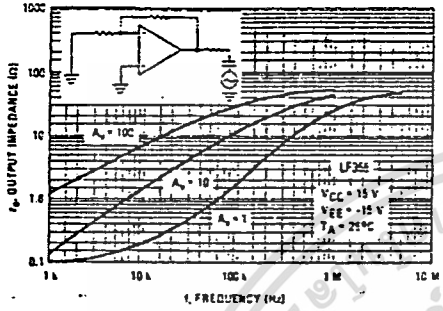


FIGURE 23 — (LF356 SERIES)

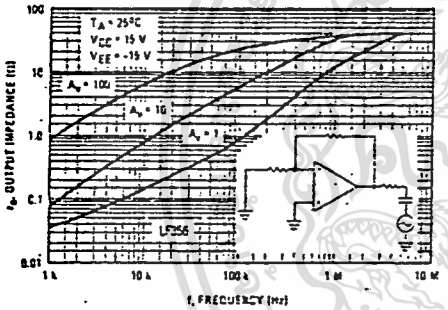


FIGURE 24 — (LF357 SERIES)

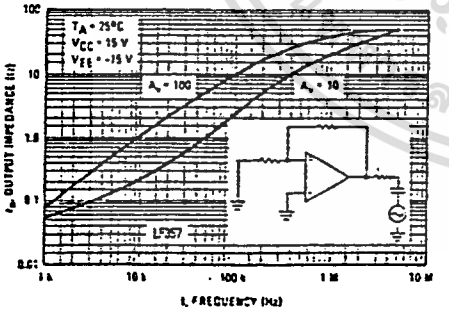


FIGURE 25 — COMMON-MODE REJECTION RATIO

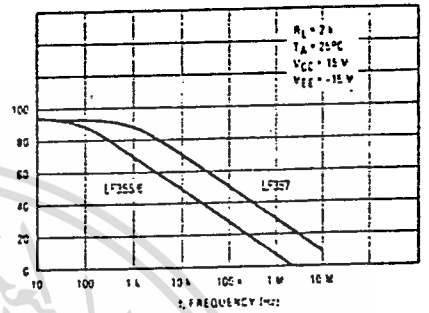
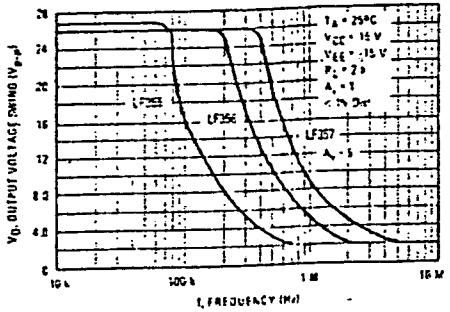


FIGURE 26 — UNDISTORTED OUTPUT VOLTAGE SWING



POWER SUPPLY VOLTAGE REJECTION RATIO

FIGURE 27 — (LF355 SERIES)

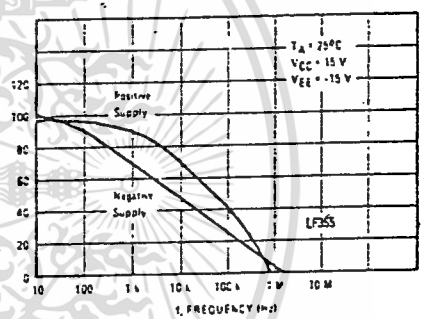
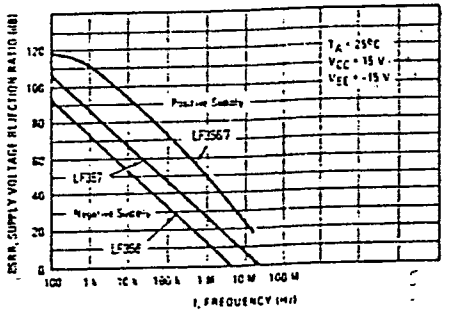


FIGURE 28 — (LF356 AND LF357 SERIES)



EQUIVALENT NOISE VOLTAGE

FIGURE 29 — (LF355 356 357 SERIES)

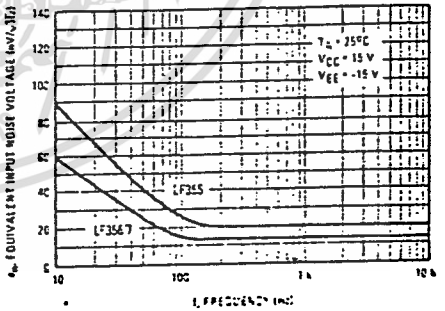
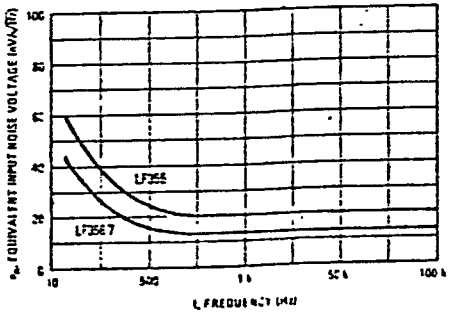
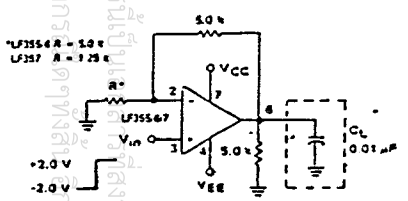


FIGURE 30 (EXPANDED SCALE)



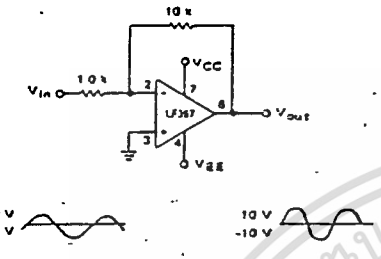
TYPICAL CIRCUIT CONNECTIONS

FIGURE 31 — DRIVING CAPACITIVE LOADS



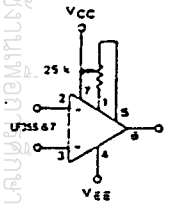
Due to a unique output stage design these amplifiers have the ability to drive large capacitive loads and still maintain stability.
$C_{L(max)} \approx 0.01\ \mu F$.
Overshoot ≈ 20%
Settling time (t_s) ≈ 5.0 μs

FIGURE 32 — LARGE POWER BANDWIDTH AMPLIFIER



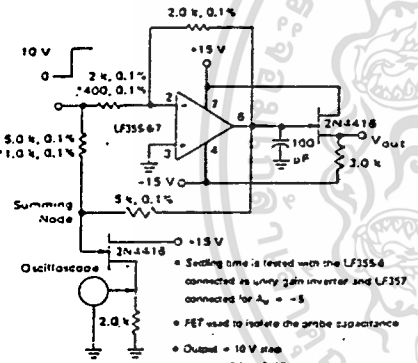
For distortion < 1% and ± 20 Vp-p V_{out} swing, power bandwidth is: 500 kHz.

FIGURE 33 — INPUT OFFSET VOLTAGE ADJUSTMENT



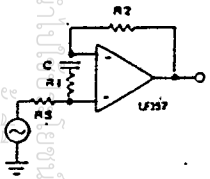
- V_{IO} is adjusted with a 25 k potentiometer
- The potentiometer wiper is connected to V_{CC}
- For potentiometers with temperature coefficient of 100 ppm/°C or less the additional drift with adjust is ± 0.5 μV/°C/mV of adjustment.
- Typical overall drift: 5.0 μV/°C ±(0.5 μV/°C/mV of adjustment.)

FIGURE 34 — SETTLING TIME TEST CIRCUIT



- Settling time is tested with the LF3554 connected as unity gain inverter and LF357 connected for $A_V = -5$
- FET used to isolate the probe capacitance
- Output = 10 V step
- *$A_V = -5$ for LF357

FIGURE 35 — NONINVERTING UNITY GAIN OPERATION FOR LF357



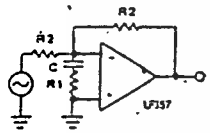
$$R1C \geq \frac{1}{(2\pi)(5\ MHz)}$$

$$R1 = \frac{R2 + R3}{4}$$

$A_{V(OC)} = +1$

$f_{-3dB} \approx 5$ MHz

FIGURE 36 — INVERTING UNITY GAIN FOR LF357



$$R1C \geq \frac{1}{(2\pi)(5\ MHz)}$$

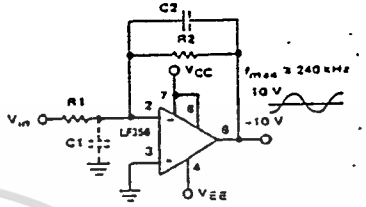
$$R1 = \frac{R2}{4}$$

$A_{V(OC)} = -1$

$f_{-3dB} \approx 5$ MHz

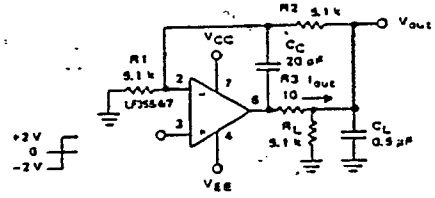
TYPICAL APPLICATIONS

FIGURE 37 — WIDE BW, LOW NOISE, LOW DRIFT AMPLIFIER



- Power BW: $f_{max} = \frac{S_r}{2\pi V_p} \approx 240$ kHz
- Parasitic input capacitance (C1 ≈ 3 pF for LF356, LF357, and LF357 plus any additional layout capacitance interacts with feedback elements and creates undesirable high frequency pole. To compensate add C2 such that R2C2 = R1C1.

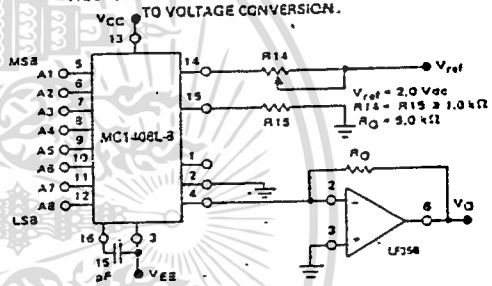
FIGURE 38 — ISOLATING LARGE CAPACITIVE LOADS



- Overshoot 6%
- $t_s = 10\ \mu s$
- When driving large C_L, the V_{out} slew rate is determined by C_L and $I_{out(max)}$:

$$\frac{\Delta V_{out}}{\Delta t} = \frac{I_{out}}{C_L} \geq \frac{0.02}{0.5}\ V/\mu s = 0.04\ V/\mu s \text{ (with } C_L \text{ shown)}$$

FIGURE 39 — 3-BIT D/A WITH OUTPUT CURRENT TO VOLTAGE CONVERSION.



$V_{ref} = 2.0$ Vdc
$R14 = R15 \geq 1.0$ kΩ
$R_O = 5.0$ kΩ

Theoretical V_O

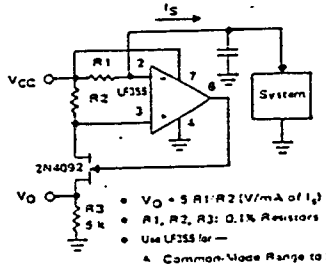
$$V_O = \frac{V_{ref}}{R14}(R_O)\left[\frac{A1}{2} + \frac{A2}{4} + \frac{A3}{8} + \frac{A4}{16} + \frac{A5}{32} + \frac{A6}{64} + \frac{A7}{128} + \frac{A8}{256}\right]$$

Adjust V_{ref}, R14 or R_O so that V_O with all digital inputs at High level is adjusted to 9.961 volts.

$$V_O = \frac{2V}{1\ k}(5\ k)\left[\frac{1}{2} + \frac{1}{4} + \frac{1}{8} + \frac{1}{16} + \frac{1}{32} + \frac{1}{64} + \frac{1}{128} + \frac{1}{256}\right]$$

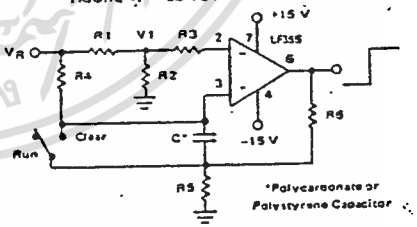
$$= 10\ V\left[\frac{255}{256}\right] = 9.961\ V$$

FIGURE 40 — PRECISION CURRENT MONITOR



- $V_O = 5$ R1/R2 (V/mA of I_S)
- R1, R2, R3: 0.1% Resistors
- Use LF355 for —
  - Common-Mode Range to Supply Range
  - Low I_{IB}
  - Low V_{IO}
  - Low Supply Current

FIGURE 41 — LONG INTERVAL RC TIMER



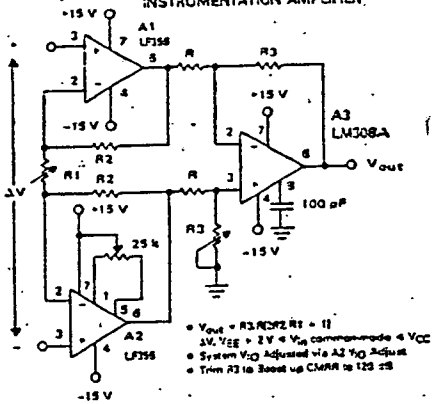
*Polycarbonate or Polystyrene Capacitor

Time (t) = $R4C\ln(V_R/V_R - V_1)$, $R_3 = R_4$, $R_5 = 0.1\ R6$
If R1 = R2, t = 0.693 R4C

Design Example: 100 Second Timer

$V_R = 10$ V C = 1 μF R3 = R4 = 144 M
R6 = 20 k R5 = 2 k R1 = R2 = 1 k

FIGURE 42 — HIGH IMPEDANCE, LOW DRIFT INSTRUMENTATION AMPLIFIER



- $V_{out} = R3/R2\ R2/R1 + 1$
  ΔV, $V_{EE} + 2$ V < V_{in} common-mode < V_{CC}
- System V_O Adjusted via A2 V_O Adjust
- Trim R3 to Boost up CMRR to 120 dB

บรรณานุกรม

1) วิริยะ พิเชฐจำเริญ "เอซี มอเตอร์คอนโทรล", คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยี พระจอมเกล้า เจ้าคุณทหาร ลาดกระบัง.

2) ศ.ดร.มงคล เดชนครินทร์, รศ.สัณห์ ศิวารัตน์, ผศ.ดร.โดทม อารียา, ผศ.ดร.ยุทธนา กุลวิทิต, "Industrial Motor Speed Control System", เอกสารประกอบการ อบรมทางวิชาการ .

3) B.K. Bose "Power Electronics And AC Drives" General Electric Company Corporate Research and Development Schemetady, New York.

4) KJELD THORBORG, "Power Electronics" Chatmers University of Technology

5) PHOIVOS ZIOGAS, "The Delta Modulation Technique in Static PWM Inverter", MARCH 1981.

6) M.A. Rahman, J.E. Quaicoe, M.A. Choudhury, "An Analysis of Delta Modulated PWM Inverter",St. John's, Newfoundland, Canada, JULY 1987

7) EARLOS.F CHRISTIANSEN, MARIA INES VALLA, "Asynchronization Technique for Static Delta Modulated PWM Inverters", NOV 1988.

T 33102 (ท.5)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ปริญญานิพนธ์ ฉบับนี้สำเร็จลงได้โดยความช่วยเหลือจากท่านอาจารย์วิริยะ พิเชฐจำเริญและอาจารย์วิจิตร กิณเรศ อาจารย์ที่ปรึกษา คอยให้ความช่วยเหลือ คำแนะนำ ความรู้ คำปรึกษาตลอดจนคอยให้กำลังใจ เสมอมา จึงขอกราบขอบพระคุณไว้ที่นี้

ขอขอบคุณ น้องๆ เพื่อนๆ และพี่ๆ ทุกคนที่มีส่วนช่วยเหลือให้ ปริญญานิพนธ์ฉบับนี้สำเร็จลงได้

ความดีที่เกิดจากการใช้ประโยชน์จากปริญญานิพนธ์ฉบับนี้ ขอมอบให้แด่ แม่ละพ่อ ผู้เป็นพรหมของลูกทุกคนเป็นผู้มอบปัจจุบันและอนาคตให้แก่ผู้จัดทำ

ผู้จัดทำ

18 มีนาคม 2533

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้