ปีการศึกษา 2532

เครื่องแปลงไฟฟ้ากระแสสลับเป็นกระแสตรง และการควบคุมรูปแบบกระแสในลักษณะ พี ดับบลิว เอ็ม

โดย

นาย พงษ์ธวัช จงเจริญยานนท์

นาย สุรเดช ศรีวรรณวิทย์

นาย สมศักดิ์ อยู่สอน

นาย สุพจน์ พงษ์อัชฌา

อาจารย์ที่ปรึกษา

รศ. วิริยะ พิเชษฐจำเริญ

เครื่องแปลงไฟฟ้ากระแสสลับเป็นกระแสตรง และการควบคุมรูปแบบกระแสในลักษณะ พี ดับบลิว เอ็ม

PWM-CONTROLLED GTO CONVERTER

พงษ์ธวัช จงเจริญยานนท์
Pongtawat Chongcharoenyanont
สุรเดช ศรีวรรณวิทย์
Suradach Sriwannawit
สมศักดิ์ อยู่สอน
Somsak Yoosorn
สุพจน์ พงษ์อัชฌา
Supoj Pong ac-ha

วิทยานิพนธ์สำหรับปริญญาวิศวกรรมศาสตร์บัณฑิต
สาขาวิชาวิศวกรรมไฟฟ้า
คณะวิศวกรรมศาสตร์
สถาบันเทคโนโลยีพระจอมเกล้า เจ้าคุณทหารลาดกระบัง
ปีการศึกษา 2532

ปริญญานิพนธ์ปีการศึกษา 2532

ภาควิชา วิศวกรรมไฟฟ้า

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้า เจ้าคุณทหารลาดกระบัง

เรื่อง เครื่องแปลงไฟฟ้ากระแสสลับเป็นกระแสตรง และการควบคุมรูปแบบกระแสในลักษณะ พี ดับบลิว เอ็ม

ผู้จัดทำ

1. นาย พงษ์ธวัช จงเจริญยานนท์ 29-1140
2. นาย สุรเดช ศรีวรรณวิทย์ 29-1230
3. นาย สมศักดิ์ อยู่สอน 29-1235
4. นาย สุพจน์ พงษ์อัชฌา 29-1238

....อาจารย์ที่ปรึกษา

(รศ. วีริยะ ศิเชฐจาเริญ)

เครื่องแปลงกระแสไฟฟ้าสลับเป็นกระแสตรง
และการควบคุมรูปแบบกระแสในลักษณะ พี ดับบลิว เอ็ม

นาย พงษ์ธวัช จงเจริญยานนท์
นาย สุรเดช ศรีวรรณวิทย์
นาย สมศักดิ์ อยู่สอน
นาย สุพจน์ พงษ์อัชฌา
รศ. วีริยะ พิเชฐจำเริญ
(อาจารย์ที่ปรึกษา)
ปีการศึกษา 2532

บทคัดย่อ

วิทยานิพนธ์ฉบับนี้ เอซี-ดีซี สามเฟส จีทีโอ คอนเวอร์เตอร์ ทำงานในลักษณะ พีดับบลิวเอ็ม คอนเวอร์เตอร์นี้ประกอบด้วย วงจรกำลังหลักและวงจรช่วย วงจรควบคุมดิจิตอลถูกพัฒนาขึ้นใช้ควบคุมกระแสเอซีไลน์ ในรูปแบบพีดับบลิวเอ็ม และจัดการกับพลังงานซึ่งเกิดขึ้นในเอซีลิกเกจอินดัคแตนซ์ขณะช่วงเวลาการคอมมิวเตท แรงดันสไปค์ ไลน์-ไลน์ จะถูกจำกัดให้อยู่ในระดับที่ควบคุมได้ ประสิทธิภาพและอินพุทพาวเวอร์ถูกปรับปรุงให้ดีขึ้น ทั้งในทิศทางนำหน้าและล้าหลัง และยังมีองค์ประกอบของฮาร์โมนิคในกระแสอินพุทเอซีไลน์ต่ำ จำนวนของพีดับบลิวเอ็มพัลส์จะเพิ่มขึ้นในแต่ละครึ่งไซเคิลของความถี่ไฟ ในลำดับ 6,9,12 และ 15 พัลส์

PWM-CONTROLLER GTO CONVERTER

PONGTAWAT CHONGCHAROENYANON
SURADACH SRIWANNAWIT
SOMSAK YOOSORN
SUPOJ PONG AC-HA
ASSOCIATE PROFESSSOR
VIRIYA PITCHETJAMROEN
(ADVISOR)
1989

ABSTRACT

In this thesis, a GTO THREE PHASE AC-TO-DC CONVERTER is controller in PWM mode. This converter consists of a main power circuit and an auxiliary circuit. The digital control circuit is deverloped and used to control the AC line input current in a PWM pattern and to process the energy generated in AC source leakage inductance during the commutation period. The line-to-line voltage spikes cad be limited to a controller level. The efficiency and the input power factor can be improved both in leading and lagging phase directions with low harmonic content of AC line input current. The number of PWM pulses can be increased in each half cycle of supply frequency in the sequence of 6,9,12 and 15 pluses.

สารบัญ

สารบัญรูปภาพ

สารบัญตาราง

บทที่ 1

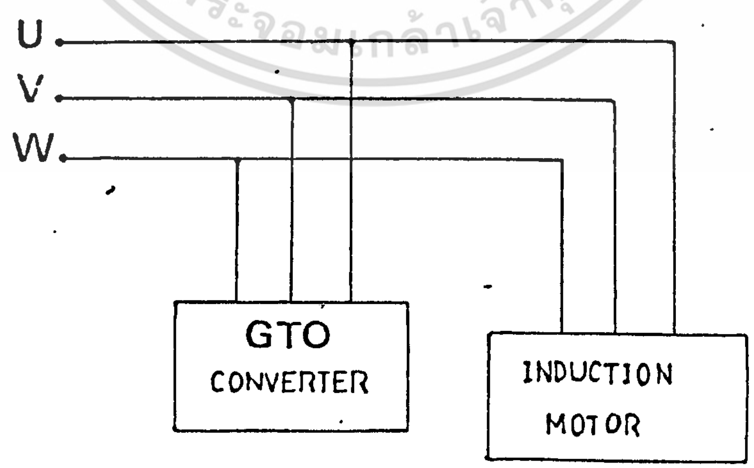
บทนำ

ในปัจจุบันนี้ จะเห็นว่ามีบทลงโทษที่ชัดเจนจากการไฟฟ้า ไม่ว่าจะเป็นการไฟฟ้านครหลวง หรือการไฟฟ้าส่วนภูมิภาค สำหรับผู้บริโภคที่มีการใช้ VAR มากเกินกว่าที่กำหนดไว้แล้วจะต้องถูกปรับ โดยการปรับนี้จะเป็นตัวคูณที่แปรตามการใช้ VAR ของผู้บริโภค ถ้ามีการใช้ VAR มาก ๆ จะทำให้ค่าตัวประกอบกำลังยิ่งต่ำลง และการปรับนี้จะยิ่งรุนแรงขึ้นตามค่า VAR ที่ผู้บริโภคใช้มากขึ้น ในปัจจุบันจะเห็นว่า ตามโรงงานหรืออาคารสูง ๆ ที่มีการใช้ไฟฟ้าจำนวนมากที่ห้องจ่ายไฟ (Unit Station) นั้น มักจะมีการต่อคาปาซิเตอร์ขนานเข้าไว้ เพื่อเป็นการชดเชยค่า VAR ที่หายไป หรือเป็นการปรับปรุงตัวประกอบกำลังให้ดีขึ้น แต่ในขณะเดียวกัน ความต้องการที่จะมีการควบคุมความเร็วของมอเตอร์ (Variable Speed Drive System) หรือความต้องการแหล่งจ่ายไฟฟ้ากระแสตรงขนาดใหญ่ มักจะหลีกเลี่ยงไม่ได้ จึงทำให้ต้องมีการใช้อินเวอร์เตอร์สถิต (Static Inverter) คอนเวอร์เตอร์สถิต (Ststic Inverter) ซึ่งการใช้อุปกรณ์เหล่านี้ทำให้เกิดฮาร์โมนิกเกิดขึ้นในระบบ (Line Input) เมื่อมีการใช้อุปกรณ์เหล่านี้มาก ๆ จะมีผลทำให้เกิดฮาร์โมนิกสูง ถ้าสูงกว่ามาตรฐานที่กำหนดให้ จะส่งผลเสียหลายอย่างต่อระบบ ตัวอย่างเช่น ประสิทธิภาพของระบบเสื่อมลง และมีผลไปรบกวนต่อระบบคาร์ปาซิเตอร์ที่ต่อขนานในระบบด้วย ถ้าขนาดของฮาร์โมนิก ที่ฮาร์โมนิกลำดับสูง ๆ นั้นมีค่ามาก อาจจะส่งผลทำให้คาปาซิเตอร์ที่ต่อในระบบอาจระเบิดได้ จึงทำให้ต้องมีการต่อฟิลเตอร์เข้าไปในระบบ เพื่อแก้ปัญหาเรื่องฮาร์โมนิกโดยการกรองฮาร์โมนิกอันดับสูง ๆ ออก

เมื่อพิจารณาถึงราคาและพื้นที่ ที่จะใช้ในการติดตั้งคาปาซิเตอร์และฟิลเตอร์แล้ว จะเห็นว่าเป็นการสูญเสียค่าใช้จ่าย และพื้นที่สูงมากทีเดียว เนื่องจากอุปกรณ์เหล่านี้ทำหน้าที่เฉพาะอย่าง คือ ทำหน้าที่ปรับ VAR หรือแก้ไขฮาร์โมนิกเท่านั้น จึงทำให้เป็นการใช้จ่ายสูงมากเมื่อเทียบกับ การถูกการไฟฟ้านครหลวงหรือการไฟฟ้าส่วนภูมิภาคปรับ จึงอาจไม่มีการต่อคาปาซิเตอร์เข้าไปในระบบ อีกทั้งการใช้ไทริสเตอร์ ในระบบของการปรับความเร็วรอบของมอเตอร์ โดยการใช้การคอมมิวเตท แบบ Line Commutated ไม่เป็นที่สนใจของนักวิชาการอีกแล้ว เนื่องจากมีการค้นพบอุปกรณ์ที่ไม่ต้องคอมมิวเตท แบบ Line Commutated

จากการค้นพบและการเป็นไปได้ของราคาที่จะลดลงมาของ อุปกรณ์ตัดตอนชนิดเร็ว (Fast Switch Device) ที่สามารถทำงานในโหมดสวิทซิ่งได้ (Switching Mode) มีตัวอย่าง เช่น เพาเวอร์ทรานซิสเตอร์ (Power Transistor) ที่พิกัดสูง ๆ , เพาเวอร์มอสเฟส (Power MOSFET) หรือ GTO (Gated Turn-off Thyristor) นั้นได้ถูกนำมาใช้ โดยการใช้ PWM (Pulse Width Modulation) ช่วยในการสร้างวงจรคอนเวอร์เตอร์ แทนของเก่าที่สร้างจากวงจรไทริสเตอร์คอนเวอร์เตอร์โดยการใช้ Line Commutated ชุดคอนเวอร์เตอร์ที่สามารถที่จะลดค่า VAR ได้ด้วยการเลื่อนไปมาได้ของสัญญาแทริกที่ขาของ GTO โดยเมื่อเทียบสัญญาณขาเกตกับสัญญาณรูปคลื่นของแรงดันที่อินพุท จะเห็นว่า สัญญาณของกระแสจะเหมือนกับสัญญาณของชุดควบคุมขาเกท ซึ่งจะมีลักษณะนำหน้าหรืออินเฟสขึ้นกับสัญญาณของชุดควบคุมขาเกท

ดังนั้นจะเห็นได้ว่าการต่อวงจรชนิดนี้ เราสามารถที่จะใช้ประโยชน์ได้ 2 ทางในเวลาเดียวกันคือ เป็นอุปกรณ์ที่เป็นแหล่งจ่ายกระแสตรงขนาดใหญ่ พร้อมทั้งทำหน้าที่ปรับปรุงตัวประกอบกำลัง คือทำหน้าที่แทนคาปาซิเตอร์ เมื่อต้องการจ่ายค่าVAR ชดเชยให้กับระบบก็สามารถที่จะปรับให้กระแสฟันดาเมทอล (Fundamation Input Current) นำหน้าแรงดันที่ด้านอินพุทได้ ในขณะเดียวกัน การสร้างวงจรแบบ PWM เป็นการเลียนแบบสัญญาณซายน์ที่ใกล้เคียง ซึ่งจะเป็นการลดขนาดกระแสฮาร์โมนิก ที่ไม่ใช่กระแสฟันดาเมนทอลให้มีค่าน้อยหรือไม่มีเลย ซึ่งรายละเอียดต่าง ๆ จะกล่าวในบทต่อไป

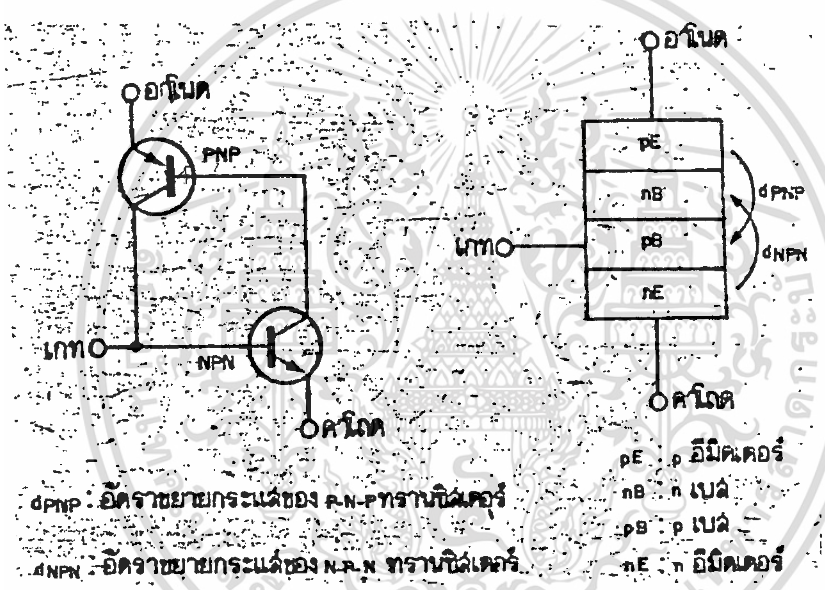


รูป 1.1 แสดงการชดเชยเพาเวอร์แฟกเตอร์ให้ระบบ

จากรูป 1.1 จะเห็นว่าการต่อวงจรเพื่อทำหน้าที่สองอย่าง ของวงจรคอนเวอร์เตอร์นี้ โดยชุดคอนเวอร์เตอร์นี้ จะต่ออย่างขนานที่ด้านอินพุทของมอเตอร์ 3 เฟส กระแสสลับ

จากความได้เปรียบของอุปกรณ์สวิสซึ่งอย่าง GTO นี้เอง ช่วยทำให้เกิดความประหยัดทั้งเนื้อที่และราคาของอุปกรณ์ ได้อย่างน่าประหลาดใจ ต่อไปจะขอแนะนำคุณสมบัติ ลักษณะ และการทำงานพอสังเขป

1.1 แนะนำ GTO

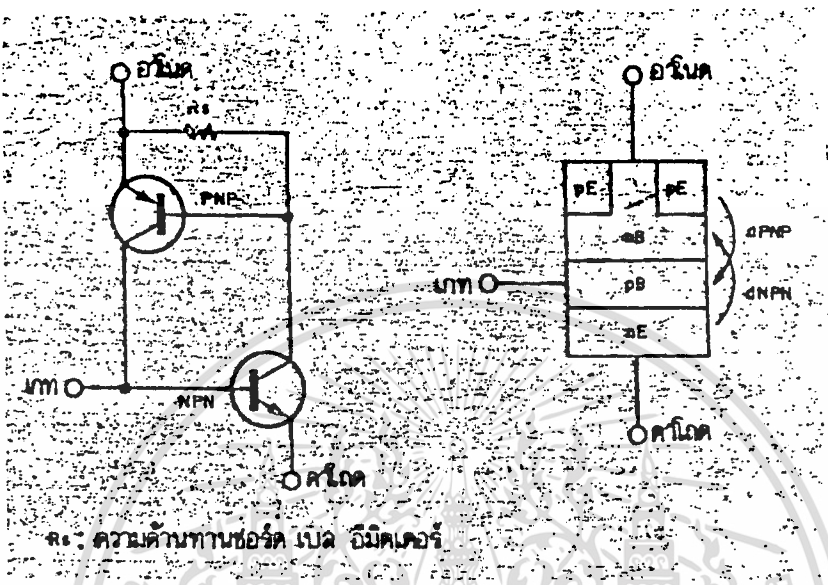


รูปที่1.2ก โครงสร้างไทริสเตอร์ธรรมดา

ลักษณะโครงสร้างภายในของ GTO thysister ประกอบด้วยชั้นต่าง ๆ 4 ชั้น เรียงกันดังนี้ คือ pE , nB , pB และ nE ใน thysister ตัวหนึ่งจะประกอบตัวหนึ่งจะประกอบด้วย ทรานซิสเตอร์ 2 ตัว เป็นแบบ พี-เอ็น-พี และ เอ็น-พี-เอ็น สำหรับไทริสเตอร์ธรรมดา (ดังแสดงในรูปที่ 1.2 ก) เบสของทรานซิสเตอร์ทั้ง 2 ตัว ต่ออยู่กับคอลเล็คเตอร์ ของตัวตรงกันข้าม ซึ่งจะช่วยกันรักษาให้อยู่ในสภาพทำงาน (on-state) เมื่อมีกระแสไหล โดยไทริสเตอร์มีลักษณะการคงตัวของมันเอง ดังนี้ คือ เมื่อมันทำงานแล้ว มันจะไม่สามารถหยุดทำงานได้เอง แต่ถ้าเป็น GTO แล้วสามารถหยุดได้ด้วยสัญญาณเกท ในกรณี GTO แฟกเตอร์การขยายทางกระแส (α_{pnp}) ของทรานซิสเตอร์ พี เอ็น พี ต้องต่ำกว่าของทรานซิสเตอร์ในทรานซิสเตอร์ธรรมดา ซึ่งการที่จะให้ได้ค่า α_{pnp} ต่ำ ๆ

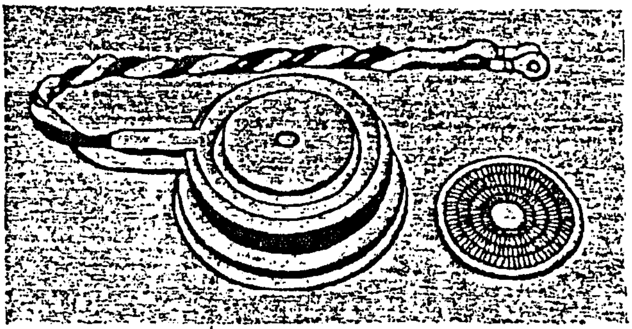
มีอยู่ 3 วิธีด้วยกัน คือ

1. การแพร่ (diffuse) โลหะหนัก เป็น lifetime killer
2. การลดวงจร อาโนดกับอีมิตเตอร์
3. รวมวิธีดังกล่าวเข้าด้วยกัน



รูปที่1.2ข โครงสร้างไทริสเตอร์ GTO

ในรูปที่ 1.2 ข เป็นไทริสเตอร์ GTO ที่ใช้โครงสร้างแบบอีมิตเตอร์ลัดวงจรกับอาโนด โดยอีมิตเตอร์ p ถูกลัดวงจรกับ R_s จากการที่ส่วนลัดวงจรนั้นอยู่บนอีมิตเตอร์ p ตรงข้ามกับบริเวณ หรือส่วนที่ใกล้เคียงกับส่วนกลางของอีมิตเตอร์ n ดังนั้นจึงเป็นการกำจัดการฉีด (injection) ของโฮลจากอีมิตเตอร์ p เอาไว้ นั่นคือ ทำให้ α_{pnp} มีค่าต่ำ ๆ ในการต่ออีมิตเตอร์ ลัดวงจรกับอาโนดแบบนี้เนื่องจากรอยต่อ p อีมิตเตอร์ถูกลัดวงจรจึงทำให้อุปกรณ์เกิดการสูญเสียความสามารถ ในการกั้นแรงดันย้อนกลับ (reverse voltage) ไป อย่างไรก็ตาม การเลือกสร้างโดยวิธีที่ได้ผลดีที่สุดนี้ ไม่เพียงแต่กำจัดเรื่องการแพร่ heavy metal ไปได้เท่านั้น แต่ยังทำให้ carrier lifetime ของชั้นเบส ยาวนานขึ้นด้วย และนั่นคือ ทำให้แรงดันขณะทำงานต่ำลง การรั่วไหลกระแสต่ำลง และเวลาตัดต่อ (switching time) สั้น โดยขึ้นกับอุณหภูมิเล็กน้อย สำหรับชั้นของเบส -n นั้น ต้องทำให้บาง ๆ เมื่อออกแบบ GTO ให้กั้นแรงดันสูง ๆ ซึ่งปกติทำให้แรงดันทำงานสูง ในกรณีของ GTO ที่แพร่ด้วย heavy metal นอกจากนี้การควบคุมค่าของ R_s (ตามรูป 1.2 ข) โดยใช้กระบวนการประดิษฐ์เวเฟอร์ (wafer) ที่ประณีตก็นับเป็นสิ่งสำคัญอย่างมากด้วยส่วนลักษณะโครงสร้างภายนอก แสดงในรูป 1.3



รูปที่ 1.3 ภาพภายนอก GTO

1.2 พิกัดและคุณสมบัติ ของ GTO thyristo

การทำงานของ GTO สามารถแบ่งออกได้เป็น 4 ส่วน ด้วยกัน ซึ่งจะกล่าวถึงคุณสมบัติและพิกัดต่าง ๆ ตามแต่ละส่วน

(1) OFF state

(2) TURN - on process

(3) ON state

(4) TURN - off process

1.2.1 พิกัดและคุณสมบัติ ของ off state

จะใช้ G4 C12 ZN เป็นตัวอย่างในการอธิบาย คุณสมบัติและพิกัดต่าง ๆ ที่พิกัดสูงสุด ของ G4 C12 ZN จะแสดงในตารางที่ 1.1 ส่วนคุณสมบัติการไฟฟ้า แสดงในตาราง 1.2

Item	Symbol	Ratings	Unit	Conditions
Repetitive peak off-state voltage	V_{DRM}	1200	V	V_{GR} : 15 V
Repetive peak reverse voltage	V_{RRM}	200	V	V_{GR} : 15 V

ตาราง 1.1

Item	Symbols	Conditions	Min.	Standard	Max.	Units
Peak off-state current	I_{DRM}	T_J=Tjmax V_D= VDRM			40	mA
Peak off-state reverse current	I_{RRM}	T_J=Tjmax V_R=VRRM			40	mA
Critical off-state voltage rise rate	dv/dt	T_J=Tjmax V_D=2/3 VDRM V_{GR}= 15V	1000			V/us

ตาราง 1.2

repetitive peak off state voltage 1200V เป็นค่า voltage สูงสุดที่สามารถให้ในทิศทาง forword ภายใต้ข้อกำหนดที่ว่า GTO อยู่ในสถานะปิด

repetitive peak off state reverse voltage 200V เป็นค่า voltage สูงสุดที่สามารถให้ในทิศทาง reverse

Peak off-state current 40 mA เป็นค่ากระแสที่รั่วไหลสูงสุด

Peak off-state reverse current 40 mA เป็นค่ากระแสที่รั่วไหลสูงสุด

Critical off-state voltage riserate 1000 V/us เป็นค่าที่บอกให้รู้อัตราการเพิ่ม voltage ต้องไม่เกินค่า 1000 V/us GTO ถึงสามารถรักษาสถานะการปิดอยู่ได้ ภายใต้ข้อกำหนด reverse gate ที่ใช้ระหว่าง gate และ cathode

1.2.2 พิกัดและคุณสมบัติ เกี่ยวกับ turn - on process

Item	Symbol	Ratings	Unit	Conditions
Critical on-state current rise rate	di/dt	200	A/us	Ip=ITGO. V_D=1/2DRM
Peak gate current	I_{GFM}	50	A	tw<=100us
Average gate on-stage current	IGF(AV)	4	A	

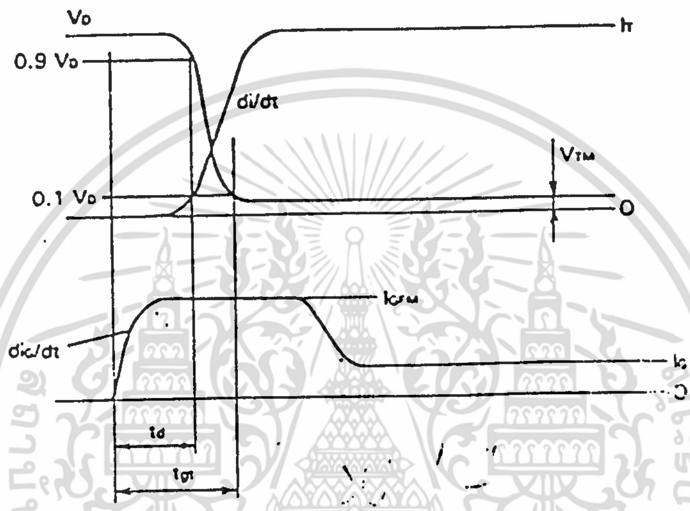
ตาราง 1.3

Item	Symbols	Conditions	Min.	Standard	Max.	Units
Turn-on time	tgt	V_D=1/2VDRM I_{TM}=ITGO			6	us
(delay time)	td			3		us

ตาราง 1.4

ในกรณีที่ต้องการให้ GTO thyristor turned on , มันจำเป็นที่จะต้องป้อนกระแสเปิด (foreword) ให้กับขา gate ของ GTO ค่า peak gate current (50A) เป็นค่ากระแส gate สูงสุดที่สามารถให้ผ่าน ขา gate ได้ โดยไม่ทำให้เกิดความเสียหายแก่ GTO ในขณะนั้น ถ้ามีการ turn - on หลายครั้ง มันจำเป็นที่จะต้องกำหนด ค่าเฉลี่ยของกระแส gate on - state ให้ต่ำกว่าค่า average gate on - state current (4A) ตามตาราง 1.3 เมื่อต้องการหลีกเลี่ยงความผิดปกติของ

อุณภูมิที่เพิ่มขึ้นระหว่างการ turn on จึงจำเป็นต้องกำหนดการเพิ่มของกระแสอาโนด ให้มีค่าต่ำกว่าค่า critical on - state current rise rate (200 A/μs) ค่าพิกัดนี้สามารถที่จะเปลี่ยนแปลงได้ ให้สอดคล้องตามข้อกำหนด loss ที่เกิดขึ้นในพื้นที่ gate (gate area) ที่ยอมให้เป็นไปได้เนื่องจากกระแส gate ถูกกำหนดโดยค่า average gate on - state current (20 W) เวลาที่ต้องการใช้ในการ turn - on นั้นเรียกว่า turn on time (6us) เพื่อความเข้าใจ จึงแสดงในรูป 1.4 ของค่าต่าง ๆ และ waveform ที่ปรากฏในขณะ turn - on



รูป 1.4

1.2.3 พิกัดและคุณสมบัติ เกี่ยวกับ on - state

Item	Symbol	Ratings	Unit	Conditions
RMS on-state current	IT(RMS)	300	A	Tc=80 degree C
Non-repetitive surge on-state current	ITSM	3000	A	Half sine wave 1 cycle (50Hz)
I^2t limited voltage	I^2t	$4.5 * 10^4$	A^2s	1ms ~ 10ms

ตาราง 1.5

Item	Symbols	Conditions	Min.	Standard	Max.	Units
Peak on-state voltage	V_{TM}	T_J=Tjmax I_M=ITGQM			3.1	V

ตาราง 1.6

ค่า RMS on - state current (300 A) เป็นค่าเฉลี่ยกระแสสูงสุดที่ให้ผ่าน GTO โดยที่ GTO ไม่เกิดความเสียหายได้

ค่า non - repititive surge on - state current (3000 A) เป็นค่ากระแสเกินที่สามารถให้ไหลเข้าได้ ภายใต้เงื่อนไขว่า การแสชั่วขณะต้องไม่เกิดซ้ำ

ค่า I^2t limit value (45000 A^2S) เป็นค่ากำหนดความกว้างของค่า non - repititive surge on - state current ว่ายอมให้กระแส surge ผ่านได้เป็นเวลาเท่าไร

ค่า peak on - state current (40 A) เป็นค่า voltage ที่ปรากฏที่ GTO

1.2.4 พิกัดและคุณสมบัติ เกี่ยวกับ turn - off process

Item	Symbol	Ratings	Unit	Conditions
Peak reverse gate voltage	VGRM	140	V	
Reverse gate voltage	VGR	64	V	
Controllable on-stage current	ITGQM	400	A	C =1uF, Vs<=400V diGQ/dt>=100A/us
Peak gate turn-off current	IGQM	400	A	
Reverse gate energy	ERG	15	Ws	
Average gate reverse loss	PRG(AV)	15	W	

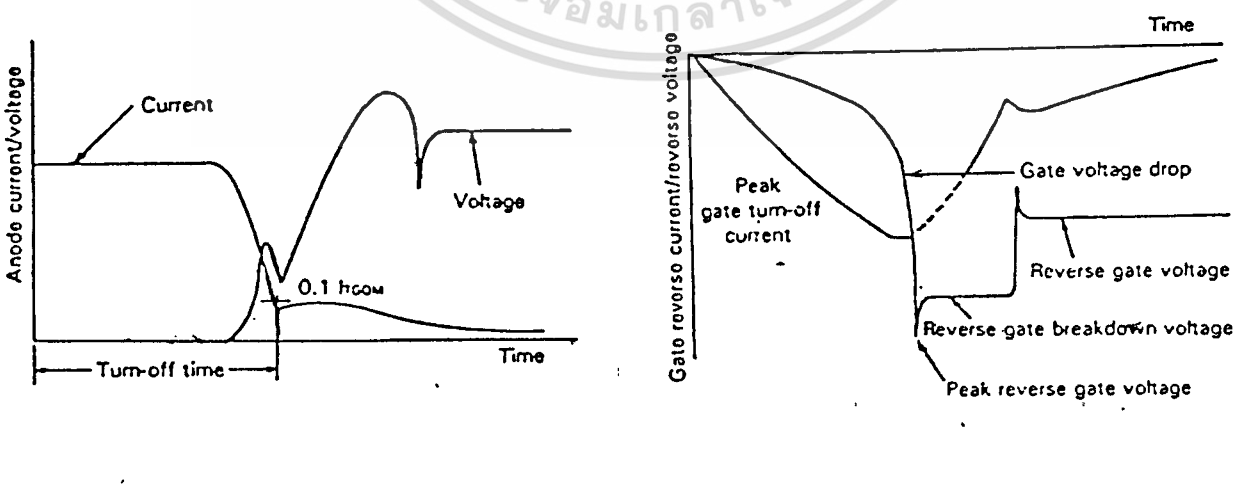
ตาราง 1.7

Item	Symbols	Conditions	Min.	Standard	Max.	Units
Reverse gate voltage drop	VGRD				30	V
Gate turn-off time (storge time)	tgq ts	I =400A V =1200V		4	5	us us

ตาราง 1.8

The controllable on - state current (400 A) เป็นค่ากระแสอาโนดสูงสุดที่สามารถ จะturn - off โดยกระแส gate ในขณะที่ความต้องการเวลาในการ turn - off ถูกกำหนดโดยค่า turn - off time (6 us) ในกรณีที่ต้องการให้ GTO turned off จำเป็นจะต้องนำเอากระแสออกจากขา gate และค่า voltage สูงสุดที่ ที่ให้ระหว่างขา gate และ cathod ถูกกำหนดโดยค่า reverse gate voltage (50 V) GTO อาจจะได้รับความเสียหายได้ จนกว่าค่ากระแสสูงสุดถูกทำให้ต่ำกว่าค่า peak gate turn - off current (400 A) เมื่อมีกระแสไหลเข้า GTO จะมี voltage drop ซึ่งถูกกำหนดโดยค่า reverse gate voltage drop (30 V)

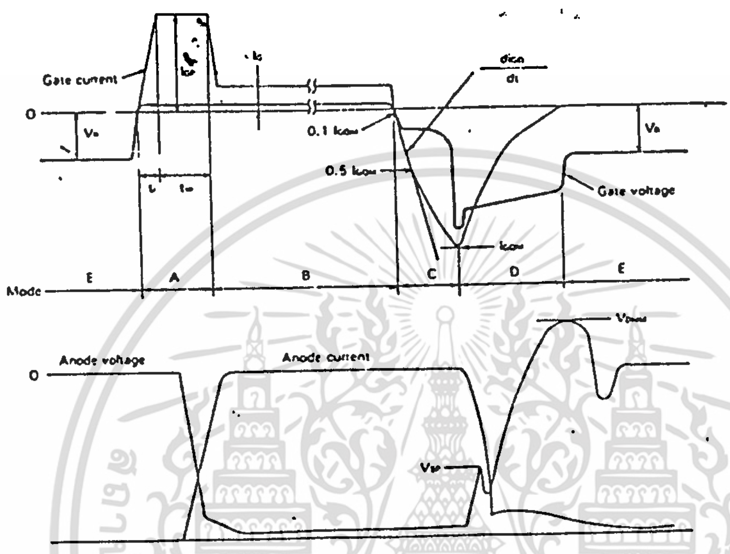
เมื่อ turn - off แล้ว จะทำให้เกิด surge voltage เนื่องมาจากผลของลวดตัวนำในวงจร gate ค่า surge voltage นี้จะถูกดูดกลืน เพราะว่าผลจากการ brake down ในขา gate - cathode ค่า surge voltage อาจจะเกินค่า breakdown voltage ถ้ามีผลการ lag ในการ breakdown เพราฉะนั้นค่า surge voltage นี้จะถูกกำหนดให้ต่ำกว่าค่า peak reverse gate voltage (140 V) และในกรณี surge energy ก็จะถูกดูดกลืนในการ breakdown ใน gate cathod ที่เรียกว่าค่า reverse gate energy (15 Ws) และค่านี้จำเป็นที่จะกำหนดค่าขดลวดตัวนำในวงจร gate เมื่อเกิดการ turn - off ต่ำ แล้วค่าของ surgey energy จะต้องกำหนดให้ต่ำกว่าค่า average gate reverse loss (15 W) รูป 1.5 แสดงความสัมพันธ์ของค่าต่าง ๆ



รูปที่ 1.5 wave from ขณะ Turn-off

1.3 การประยุกต์ใช้ GTO thysistor

เงื่อนไขในการขับ gate ของ GTO thysistor เพื่อที่จะใช้ GTO ให้ได้ประโยชน์สูงสุด การควบคุมขา gate จะเป็น factors ที่สำคัญที่สุด ดังรูป 1.5 แสดงถึงตัวอย่าง waveform ของ gate ที่เป็นการ เปิด - ปิด ของ GTO thyristor



รูปที่ 1.6 Waveform ของ Gate Current/Voltage และ Anode Voltage/Current

1.3.1 ช่วงการ turn - on (Mode A)

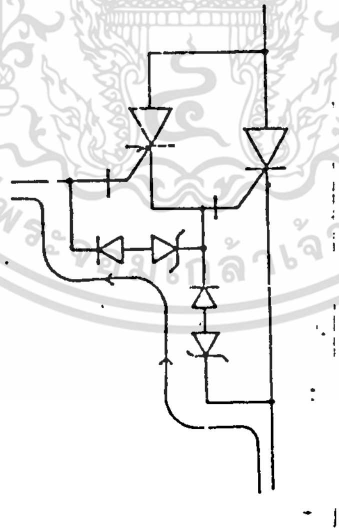
turn - on เป็นช่วงหนึ่งของ GTO ที่เปลี่ยนจากสถานะปิดไปสู่สถานะเปิด โดยผลของกระแส gate และกระแส load ที่ไหลผ่านพื้นที่ ที่กำลังขยายจากพื้นที่เล็ก ๆ จนเป็นพื้นที่ทั้งหมดของรอยต่อ เพราะฉะนั้น ความหนาแน่นของกระแสจะสูงมากตอนเริ่มต้นของสถานะ และในตำแหน่งนั้นจะปรากฏว่าอุณหภูมิจะสูงขึ้น กระแส gate จะมากในช่วงเริ่มต้นของการนำ และจะต่ำลงเมื่ออุณหภูมิสูงขึ้น ขั้นตอนของการ turn on ของ GTO ได้แสดงในรูป 1.6 จะเห็นช่วงเวลาแบ่งเป็น 2 ช่วง ด้วยกัน คือ ช่วงลด (delay period ; td) และช่วงสูงขึ้น (rise period ; tr) โดยระยะเวลาทั้งหมด เมื่อ turn on นั้นขึ้นอยู่กับอุปกรณ์ที่ใช้ ความชันของหน้าพัลส์ของกระแส gate (dig/dt) และขนาดกระแส gate ที่ใช้จะประมาณ 10 - 30 เท่าของ ITG

1.3.2 ช่วง on - state (Mode B)

ในก่อนสถานะนี้ GTO thyristor จะทำตัวเหมือนกับ thyristor เท่าที่ยังสมมุติว่าอยู่ในสถานะ turn - on เพราะฉะนั้น GTO จะ turn - off ถ้า anode current ต่ำกว่า holding current และไม่มี gate current ดังเช่นปัญหาที่อาจปรากฏในลักษณะนั้นได้ ถ้ามี lagging load ที่เหมือนกับ motor control inverter และอื่น ๆ มันจำเป็นที่จะต้องรักษา gate current (IG) ที่ต้องการ เพื่อที่จะ ให้การทำงานต่อเนื่อง ใน on - state เมื่อมี load current ในลักษณะนั้น

1.3.3 ช่วง turn off (Mode C and D)

GTO thyrister สามารถ turned off ด้วยตนเองได้ โดยการดึงกระแสออกจาก ขา gate ถ้ากระแส off gate ไม่เพียงพอ หรือค่า di_{GQ}/dt มีค่าน้อยจะมีผลต่อขอบเขตของเวลา turn off สาเหตุนี้อาจทำอุปกรณ์ภายนอกที่ต่ออยู่เกิดความเสียหายได้ เนื่องจากความผิดพลาดในการหยุดของกระแส ค่าสูงสุดของ off - gate current (I_{GQK}) ต้องมีการจัดเตรียม ในวงจรที่มันสามารถเพิ่มขึ้นได้มากกว่า ค่าที่กำหนดโดยสมการต่อไปนี้ IGQK >= ITQ/G



รูปที่ 1.7 วงจรเสมือนภายใน GTO Thyristor

ค่า off gain (G) โดยทั่วไปแล้วจะใช้อยู่ประมาณ 3 ถึง 4 เท่า ใน catalog ในส่วนของ Mode D สำหรับช่วงของการ turn off ได้แสดงในรูป 1.7 ช่วงรอบต่อของ cathode จะต้านแรงดัน reverse ได้อย่างเดิม และ zener diode

ที่ต่อร่วมในอุปกรณ์ ความสูญเสียจะเกิดขึ้นเปรียบเทียบเท่ากับค่า gate reverse loss ในช่วงนี้ คือ เวลาที่ต้องการสำหรับกลับสู่สภาพ off - state block ที่สามารถหยุดการไหลผ่านของ positive holes และ electrons ในระดับพื้นฐาน

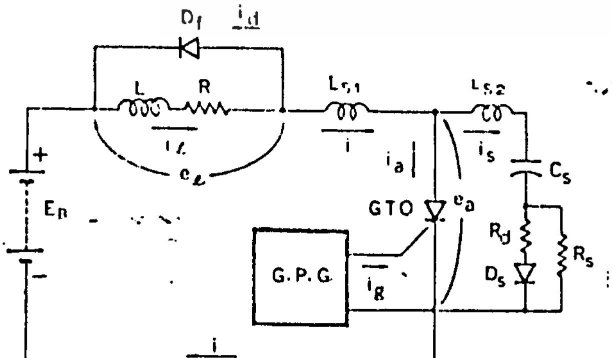
ค่าสไปต์ (Spike) ของแรงดัน : Vp นั้นควรมีการกำจัดให้มีค่าน้อย โดยค่าความเหนี่ยวนำที่ค้างอยู่ (Stray Inductance) ในวงจรสลับเบอร์ และสามารถสังเกตุได้ว่า กำลังสูญเสียสูงสุดมีค่ามากเกินไปแล้วจะทำให้การ turn - off ผิดพลาดได้ จึงจำเป็นต้องลดแรงดันสไปด์ให้มีขนาดพอเหมาะ

1.3.4 ช่วง off - state (Mode T)

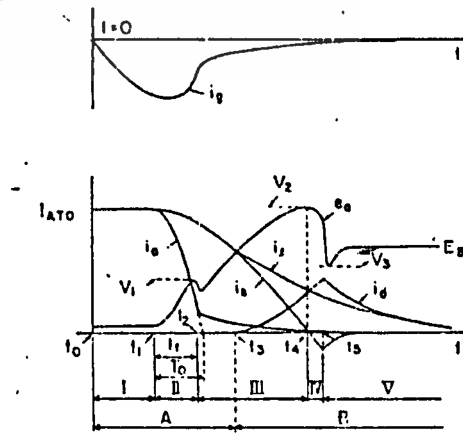
เมื่อค่า off - gate หยุดไหล และ turn - off ได้สิ้นสุดลง GTO thysistor จะสามารถกันกระแส และ voltage ได้อย่างเต็ม อย่างไรก็ตาม GTO thysistor ไม่มีเงื่อนไขเกี่ยวกับโครงสร้าง cathode - emitter ไม่เหมือนกับ thysister ทั่ว ๆ ไป ขา gate จำเป็นต้องรักษาค่า reverse votage เพื่อให้มี rated blocking voltage ความแตกต่างของ voltage นี้จะสอดคล้องตามโครงสร้างของอุปกรณ์ โดยทั่วไปแล้วจะมีค่ามากกว่า 10 volts ในสถานะภาพนี้ความผิดพลาดในการจุดไม่สามารถปรากฏได้ ถึงแม้ว่าจะมีการให้การเพิ่มขึ้นของ voltage (dv/dt) กำหนดให้ว่าค่า votage นี้ มีค่าต่ำกว่าค่า permissible level.

1.4 วงจร Snubber

โดยทั่วไปจำเป็นต้องต่อวงจร snubber คล่อมอุปกรณ์ thyrister เพื่อใช้ดูดกลืนพลังงาน เพื่อที่จะกำจัดค่าของ voltage sprike และค่าอัตราการเพิ่มของ dv/dt วงจร snubber จะมีส่วนช่วยให้ G10 ทำงานได้อย่างมีประสิทธิภาพเต็มที่ และการกล่าวถึงรูปแบบการทำงานและวิเคราะห์ต่อไป



รูปที่ 1.8 วงจรทดสอบ



รูปที่ 1.9 รูปคลื่นขณะ turn off

1.4.1 รูปแบบการคำนวณ

<u>สมการหลัก</u>

เพื่อเป็นการง่ายในการศึกษาการทำงานของวงจร snubber เราจะใช้ตัวอย่างวงจร chopper รูปของ waveform กระแส และ voltage ที่ได้จะมีลักษณะใกล้เคียงกับเมื่อนำ GTO ไปใช้ในวงจรจริง จากรูปที่ 1.8 จะสามารถตั้งสมการได้ตามกฎของ kirchikhoff

$$EB = el + ls1 * \frac{di}{dt} + ea \qquad (1)$$

$$el = L * \frac{di1}{dt} + R * i1 \qquad (2)$$

$$ea = Ls2 * \frac{dis}{dt} + Reff * is + \frac{Qs}{Cs} \qquad (3)$$

$$ii = ia + is + id \qquad (4)$$

$$i = ia + is \qquad (5)$$

$$Reff = \frac{Rs * Rd}{R_s * R_d} \qquad (6)$$

Rd = คือ ความต้านทานของ diode

Reff = คือ ความต้านรวมระหว่าง Rs กับ Rd

Qs = คือ จำนวนประจุที่ charge เข้า Cs ดังนั้นจะได้ว่า

$$\frac{dQs}{dt} = is \qquad (7)$$

แทนสมการ (3),(5)ใน (1) จะได้ว่า

$$(Ls1 + Ls2) * \frac{dis}{dt} + Reff * is + \frac{Qs}{Cs}$$

$$= EB - Ls1 * \frac{dis}{dt} - el \qquad (8)$$

จากสมการที่ (7) และ (8) สามารถหาค่า Is และ Qs ได้ และแทนค่าลงใน (3) ได้ ea Poff และ Qoff หาได้จาก

$$Poff = ea * ia \quad (9)$$

$$Qoff = \int Poff\, dt \quad (10)$$

สมการหลัก ๆ เหล่านี้สามารถนำไปอธิบายการทำงาน ของวงจร snubber ได้ ในที่นี้จะแบ่งช่วงเวลาออกเป็น 2 ช่วงเวลาใหญ่ ๆ โดยพิจารณาจากการทำงานและหยุดทำงานของ Df และแบ่งออกเป็นช่วงเวลาย่อย ๆ อีก 5 คาบ โดยพิจารณาจากคุณสมบัติของ GTO และ Ds ที่แสดงในรูป 1.9

<u>สภาพการ Bias ของ freewheel ของ diode</u>

เพื่อให้เป็นการง่ายต่อการวิเคราะห์ จะไม่คิดค่า Ird และ Vf ของ free wheel diode (Ird และ Vf = 0)

1. Period A (el >0) Period A เริ่มต้นจาก เมื่อเริ่มป้อนกระแส gate เป็นลบถึง t = t3 ซึ่ง voltage ที่ตกคร่อม L มีค่ามากกว่าที่ตกคร่อม R ตลอดคาบเวลานี้ el > 0 diode Df จะถูก reverse bias และกระแส Id มีค่าน้อยมากที่ละทิ้งได้ ดังนั้นสมการที่ (4) และ (5) จะเหมือนกัน ดังนี้

$$i1 = i = ia + is \quad (11)$$

จาก (2), (11), (8) จะได้

$$(L + Ls1 + Ls2) * \frac{dis}{dt} + (R + Reff) * is + \frac{Qs}{Ds} = EB - R * ia - (L + Ls1) * \frac{dia}{dt} \quad (12)$$

2. Period B (el <= 0) Period B เริ่มต้น t = t3 ตลอดช่วงเวลานี้ diode D_f จะได้รับ forward bias สมมุติ el = v_f = 0 จาก (8)จะได้ว่า

$$(Ls1 + Ls2) * \frac{dis}{dt} + Reff * is + \frac{Qs}{Cs} = EB - Ls1 * \frac{dia}{dt} \quad (13)$$

<u>ขั้นตอนในการหา</u>

เงื่อนไขเพิ่มเติมของ free wheel diode bias, ขั้วของ el , anode current ia และ equivalent resistance Reff ต้องให้สำหรับการหาเวลาทั้งหมดของ GTO. ที่กล่าวมานี้ สามารถแบ่งออกเป็น 5 คาบ รูปที่ 1.9 แสดงถึง รูปร่างของ i_a และ R_{eff} ให้ค่า ia และ Reff สำหรับแต่ละคาบ และในสมการ (12) หรือ (13) เกี่ยวกับขั้วของ el จะกำหนดให้ในสมการที่ (2) สมการหลัก ๆ เหล่านี้สามารถแก้ไขโดยวิธีในการคำนวนจะกล่าวในแต่ละคาบดังต่อไปนี้

1. Period I (t0 <= t < t1) เริ่มจาก t = t0 จนถึง t = t1 ในรูป 1.9 จะกำหนดให้อยู่ใน Period I โดยทั่วๆ ไป เรียกว่า storage time กระแส anode ia จะยังไม่มีการเปลี่ยนแปลงในระหว่างคาบนี้ จะไม่ปรากฏการเปลี่ยนแปลงใน is และ Qs รวมทั้ง ea

2. Period II (t1 <= t < t2) GTO ยังไม่อิ่มตัวที่เวลา t = t1 กระแส anode จะตกลงอย่างรวดเร็ว และค่าจะตกลงอย่างต่อเนื่องจนกระทั่ง t = t2 ที่เวลานี้ gate cathode junction จะกลับสู่สภาพเดิม ช่วงเวลานี้จะเริ่มจาก t = t1 ถึง t = t2 จะกำหนดเป็น Period II ซึ่งโดยทั่วไปเรียกว่า fall time เมื่อ anode current แยกเข้า Cs โดยผ่าน Ds ค่า anode voltage ea เพิ่มขึ้นใน Period นี้อย่างรวดเร็ว

ค่าของ Rd ใน Period นี้สามารถละทิ้งได้ เมื่อเปรียบเทียบกับ Rs เพราะ diode D_s ถูก forward bias จากสมการที่ (6) ที่ให้

$$R_{eff} = 0 \qquad (14)$$

Anode current ia ใน period มีทฤษฎีที่เหมาะสมกับกราฟนี้ ผลจากการทดลองกราฟที่เหมาะสมหลาย ๆ กราฟ จะได้ Quadratic regresstion curve ที่สามารถอธิบายข้อมูล จากการทดลองโดยการเปลี่ยนเงื่อนไข ในการขับ GTO ได้เป็นอย่างดี ข้อมูลที่ได้จากการทดลองของ H. Ohachi, M. Azuma และ T. Utagawa จนได้สมการ

$$ia = IATO \left(1 - \frac{t^2}{T0^2} \right) \qquad (15)$$

เมื่อ IATO เป็น anode current ที่ทำให้หยุดชะงัก ด้วย nagative gate current และ t0 กำหนดให้

$$T0 = tF / \sqrt{1 - I_{ro} / IATO} \qquad (16)$$

ในที่นี้ tf = t2 - t1 ดังแสดงในรูป 1.9 และ I_{ro} เป็นค่า anode current ที่ t = t2 จากสมการที่ (16) สามารถเขียนได้ใหม่

$$t2 = T0 * \sqrt{1 - (I_{ro} / IATO)^2}$$

3. Period III (t2 <= t < t4) เมื่อการเปลี่ยนแปลงพลังงานจาก L มา Cs จบสิ้นลงอย่างสมบูรณ์เมื่อเวลา t = t4 กระแสจะหยุดไหลผ่าน Cs ต่อจากนั้น Cs จะเริ่ม discharge กลับสู่ DC supply ช่วงเวลา t2 ถึง t4 คือช่วง Period III ซึ่งเป็นช่วงที่ diode Ds ได้ forward bias , Reff = 0

ที่เวลา t = t2 junction gate cathode กลับสภาพที่สามารถ block voltage ได้ จึงทำให้กระแส cathode หยุดไหลในช่วงนี้ แต่ว่ากระแส anode ยังคงไหลต่อ แล้วค่อย ๆ ลดลงเป็นรูป exponential และเขียนได้ดังสมการนี้

$$ia = I_{ro} \exp \frac{(-t - t2)}{Tr} \qquad (17)$$

เมื่อ Tr คือ ช่วงเวลาที่กระแส anode ลดลง

4. Period IV (t4 <= t < t5) เป็นช่วง storage time ของ Ds Reff = 0 ia ได้มาจากสมการที่ (17) is เป็นไปดังสมการ

$$Qr = \int_{t4}^{t5} is \, dt$$

Qr เป็นค่า storage charge ของ Ds

5. Period V ($t5 <= t$) เมื่อ $t = t5$ Ds เริ่มกลับสู่สภาพเดิม กระแสไหลผ่าน Rs อย่างรวดเร็ว Reff จะเปลี่ยนแปลงอย่าง Exponential ดังสมการ

$$Reff = Rs\left(1 - \exp\left(-\frac{t-ts}{Td}\right)\right)$$

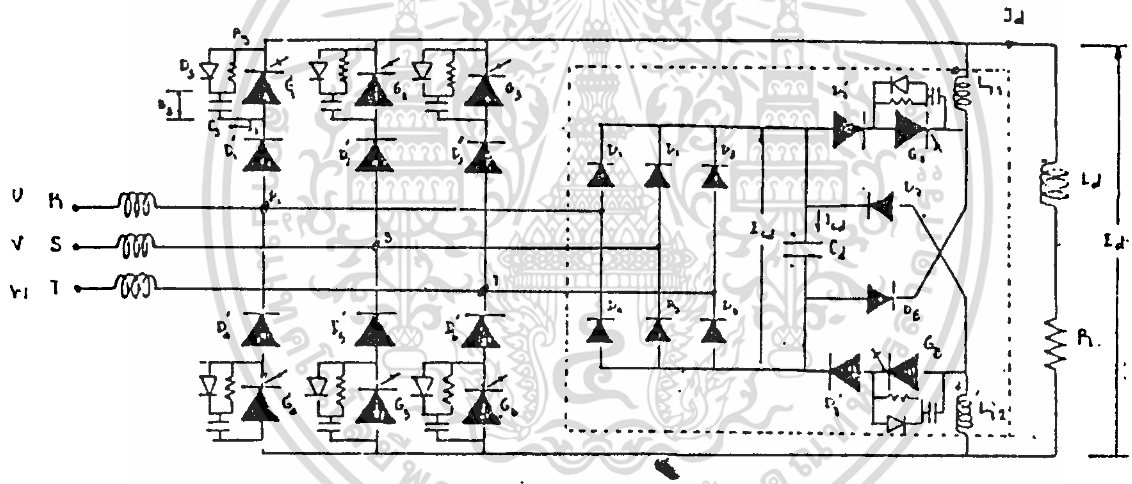
$$Tr = n * (t5 - t4)$$

และ n ขึ้นอยู่กับคุณสมบัติของ diode

บทที่ 2

การออกแบบ

2.1 วงจรกำลังหลักและวงจรช่วย



รูปที่ 2 .1 วงจรกำลังหลักและวงจรช่วย

ในโครงงานนี้ ใช้วงจรตามรูปข้างบนซึ่งประกอบไปด้วย

1. วงจรกำลังหลัก (Main power circuit) ซึ่งประกอบไปด้วย 3 phase

pwm-controlled rectifier ในส่วนนี้ก็จะประกอบด้วยอุปกรณ์ GTO Thyristor ถึง 6 ตัว (G_1 ถึง G_6) เป็นการเรียบเรียงกระแสสลับจาก input 3 เฟส คือ R, S, T อุปกรณ์ GTO Thyristor จะผลัดกันนำกระแสเป็นช่วง ๆ ช่วงละ 30^0 ดังนั้นในหนึ่งไซเคิลจะประกอบด้วย 12 ช่วง ครึ่งไซเคิลมี 6 ช่วง จะมีพัลส์ต่าง ๆ ประกอบ ซึ่งมีอัตราส่วนความกว้างพัลส์ 1:2:3:3:2:1 เป็นลักษณะของ PWM จากลักษณะนี้จะสามารถที่จะทำการกำจัดค่าฮาร์โมนิคในไลน์ได้

2. <u>วงจรช่วย</u> (Auxiliary circuit) อยู่ในบริเวณเส้นประระหว่างแหล่งจ่ายไฟกระแสสลับ 3 เฟส กับ ทางด้านโหลดกระแสตรง ซึ่งประกอบไปด้วย

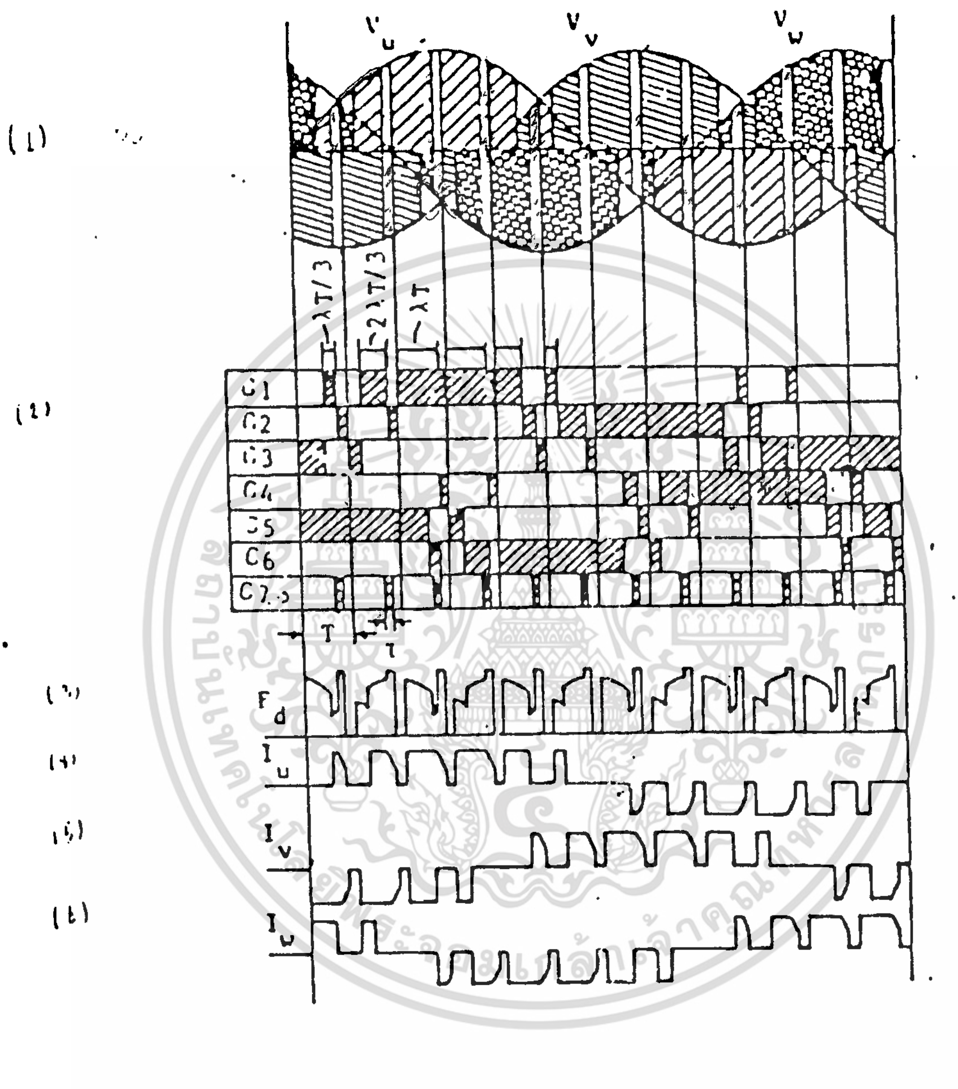
- 3 Phase bridge diode rectifier (D_1 ถึง D_6)
- GTO 2 ตัว (G_7 ถึง G_8)
- ไดโอด 2 ตัว (D_7 ถึง D_8)
- ขดลวดเหนี่ยวนำ 2 ตัว (L_{r1} ถึง Lr2)
- อิเลคโตรไลติค คาปาซิเตอร์

วงจรช่วยนี้ เป็นวงจรที่ได้รับการพัฒนาขึ้นมาใหม่ เป็นวงจรสำหรับป้องกันวงจรกำลังหลัก หน้าที่ของวงจรนี้คือ

1. ป้องกันการเกิดทรานเซียนที่เกิดขึ้นได้ระหว่าง line to line voltage ไม่ให้มากเกินระดับแรงดันดีซี ของคาปาซิเตอร์ที่วงจรช่วย (Auxiliary capacitor : E_{cd})

2. ป้องกันการ breakdown ซึ่งเกิดจากพลังงาน reactive energy อันเนื่องมาจาก leakage reactance ของแหล่งจ่ายไฟ 3 เฟส ขณะที่เกิดการคอมมิวเต

ในส่วน rectifier ซึ่งประกอบไปด้วยอุปกรณ์ GTO 6 ตัว (G_1 ถึง G_6) มีขีดความสามารถที่จะกั้นแรงดันที่ย้อนกลับได้โดยใช้สัญญาณทางด้านขาเกทใน การควบคุมแบบ PWM ของกระแสทางด้าน input ในลักษณะที่เป็นขนาดความกว้างของพัลส์ โดยที่ตัว reactor ทางด้านโหลดดีซีนั้นจะเป็นตัวที่จะช่วยทำให้กระแสนั้นมีความเรียบ



รูป 2.2 แบบแผนสัญญาณควบคุม

(1) แสดงเฟสของแหล่งจ่ายไฟ (2) แสดงลักษณะของสัญญาณควบคุม

(3) แสดงลักษณะแรงดัน ดีซี (4), (5), (6) แสดงกระแสในแต่ละเฟส

จากรูป 2.2 นี้เป็นการแสดงความสัมพันธ์ของ line to line voltage กับสัญญาณทางด้านขาเกท และค่า output voltage E_d กับกระแสทางด้าน input I_u, I_v, I_w ตามลำดับ (1 - 6)

ในทางปฏิบัติค่า source reactance ที่มีอยู่จะทำให้เกิดค่า spike voltage คร่อมอุปกรณ์ GTO ซึ่งเป็นสิ่งที่อาจจะก่อให้เกิดผลเสียหายได้ เพื่อเป็นการแก้ปัญหาเหล่านี้ที่อาจจะเกิดขึ้นได้ จึงมีการออกแบบวงจรช่วยขึ้นใหม่เพื่อเป็นการรองรับปัญหาที่จะเกิดขึ้นนี้ด้วย

อุปกรณ์ GTO บางชนิดต้องต่ออนุกรมกับตัวไดโอด เนื่องจากตัวของมันเองนั้นไม่มีขีดระดับในการทนต่อแรงดันย้อนกลับ แต่ในที่นี้ไม่จำเป็นต้องมีการต่อก็จริงแต่ในความเป็นจริงนั้น ถ้าหากต่ออุปกรณ์ตามนี้แล้วจะเป็นการเพิ่มอัตราการทนแรงดันทั้งทางด้าน foreward และ reverse ได้สูงขึ้นอีกด้วย

การนำกระแสและการหยุดนำกระแสของอุปกรณ์ GTO นั้นขึ้นอยู่กับรูปแบบสัญญาณทางด้านขาเกท และในการทำงานของวงจรคอมมิวเตชั่นนั้นก็มีลักษณะการควบคุมตามลักษณะที่เป็นของตัวมันเอง และในส่วนวงจร Snubber นั้นที่ประกอบไปด้วยอุปกรณ์ R_S, C_S, D_S ซึ่งต่อคร่อมอยู่กับอุปกรณ์ GTO อยู่นั้นเป็นตัวช่วยลดค่าอัตราการเพิ่มแรงดัน หรือ dV/dt ได้และยังเป็นส่วนที่จะช่วยจำกัดการที่จะเกิด Spike voltage ที่จะเกิดขึ้นระหว่างทางขา Anode และ Cathode ได้อีกด้วย

ในส่วนที่เป็นวงจรช่วยนั้น อุปกรณ์ไดโอดทั้ง 6 ตัว (D_1 ถึง D_6) นั้นจะต่ออยู่ในวงจรซึ่งอยู่ระหว่างคู่ของไฟ line มายังอุปกรณ์ตัว C_d เมื่อมีการเกิด Spike voltage ขึ้น แรงดันที่ตกคร่อม C_d นั้นมีค่าเท่ากับ E_d ในส่วนของวงจรคอมมิวเตชั่น อุปกรณ์ C_d นั้นเป็นตัวรักษาการเปลี่ยนแปลงพลังงานที่จะเกิดขึ้นได้ในค่า AC Source leakage reactance ในขณะที่วงจรเกิดการคอมมิวเตชั่นขึ้น โดยจะมีการคายพลังงานไปทางด้านโหลดดีซีด้วยการควบคุมการทำงานของอุปกรณ์ GTO (G_7 และ G_8) ภายในช่วงเวลาของการคายประจุในช่วงเวลาสั้นเป็นหน่วย ไมโครวินาที หลังจากเสร็จสิ้นการเกิดคอมมิวเตชั่นภายในวงจรกำลังหลัก ตัว L_{r1} และ L_{r2} นั้นจะทำการถ่ายเอาค่าพลังงานที่เกิดขึ้นนั้นมาเก็บเอาไว้ที่ C_d โดยการผ่านส่วนไดโอดที่ต่อกันอยู่ในลักษณะที่เรียกว่า Freewheeling diode

ส่วนที่เหลือที่เห็นอยู่ในรูปที่ 2.1 นั้น เป็นส่วนที่ทำให้กระแสเรียบ หรือ Smoothing ซึ่งในส่วนนี้สามารถทำได้ 3 แบบด้วยกันคือ Reactor, Capacitor หรือ

Reactor และ Capacitor ร่วมกัน ส่วนการทำงานของ Capacitor จะเป็นผลให้ค่าแรงดันมีค่าคงที่ ส่วน Reactor จะทำให้ค่ากระแสคงที่ ซึ่งในโครงงานนี้จะใช้ Reactor เป็นตัวที่ทำให้ค่ากระแสนั้นมีความเรียบ เนื่องจากพลังงานที่ระบบจ่ายได้นั้นได้จากระบบไฟ 3 เฟส ทำให้มีคาบที่สั้นลง ค่ากระแสจึงเรียบได้ง่าย Reactor ที่ใช้นั้นจึงไม่จำเป็นต้องมีขนาดใหญ่มาก

การที่ทำให้กระแสทางด้าน Input นั้นเป็นรูปแบบ PWM ก็เพื่อที่จะทำการลดค่าของฮาร์มอนิคอันดับต่ำของกระแสและยังเป็นการทำการปรับปรุงค่าตัวประกอบกำลัง รูปแบบ PWM สามารถที่จะมีการเปลี่ยนแปลงจำนวนของพัลส์ต่อครึ่งไซเคิลได้แล้วแต่ว่าจะเลือกใช้จำนวนเท่าใดเช่น 6 พัลส์, 9 พัลส์, 12 พัลส์, 15 พัลส์ โดยจะมีค่าของ Factor ของความกว้างของพัลส์ตามเงื่อนไขที่กำหนดให้ว่าขนาดของฮาร์มอนิคอันดับต่ำที่ผิจารณาถูกจำกัดในระดับต่ำนั้น ขึ้นอยู่กับจำนวนของพัลส์ที่ต้องการ

รูปแบบกระแส PWM นั้นยังสามารถที่จะทำการควบคุมได้ด้วยการเลื่อนเฟสไปทั้งทางด้าน Lead และ Lag ซึ่งขึ้นอยู่กับการใช้เครื่องคอนเวอร์เตอร์ การสร้างรูปแบบกระแส PWM และการควบคุมนี้สามารถที่จะเป็นได้ทั้งแบบอนาล็อกและแบบดิจิตอล ซึ่งในแบบอนาล็อกนั้นค่าอัตราส่วนของขนาดความกว้างของพัลส์นั้นมีค่าคงที่คืออยู่ในอัตรา 1:2:3:3:2:1 ขนาดของกระแส PWM นี้จะถูกควบคุมโดยตรงได้จากค่าของโหลด R_d ในวงจรกำลังหลัก หรือควบคุมขนาดความกว้างของพัลส์ในวงจรควบคุม ส่วนแบบดิจิตอลนั้นจะสามารถที่จะทำการควบคุมจำนวนพัลส์ได้และยังสามารถที่จะทำการเลื่อนมุมของเฟสได้อีกเช่นกัน

2.1.1 หลักการทำงานและการคอมมิวเตท

ในเรคติฟายเออร์ของโครงงานนี้ สิ่งที่ต้องการคือ ลักษณะของกระแสซึ่งอยู่ในรูปแบบพัลส์วิดธ์มอดูเลชั่น (Pulse Width Modulation) ซึ่งแสดงในรูปที่ 2.2 (รูปที่ 4, 5, 6)

เพื่อให้ได้กระแสเป็นดังรูปที่กล่าวมาข้างต้น จะต้องสร้างสัญญาณควบคุมทางด้านขาเกทดังรูปที่ 2.2 (2) โดยที่สัญญาณ G_1 ถึง G_6 จะต้องควบคุมการทำงานทางด้านขาเกทของอุปกรณ์ GTO 1 ถึง GTO 6 ในวงจรกำลังและสัญญาณ G_7 และ G 8 จะควบคุมขาเกทของบ GTO 7 และ GTO 8 ในวงจรช่วย

ซึ่งเมื่อพิจารณาจากสัญญาณควบคุมแล้วอุปกรณ์ GTO Thyristor แต่ละตัวจะทำการสวิทซ์หลายครั้งในหนึ่งไซเคิลของความถี่แหล่งจ่ายไฟ จนทำให้แรงดันที่เฟสแต่ละเฟสของแหล่งจ่ายไฟมีลักษณะดังรูปที่ 2.2 (1)

จากรูปที่ 2.2 (1) จะเห็นว่าในช่วงเวลา T ซึ่งมีค่าเท่ากับ 1/12 ของความถี่แหล่งจ่ายไฟ หรือเท่ากับ 30 องศาจะมีการคอมมิวเตท 1 ครั้ง โดยในช่วงแรกจะมีการคอมมิวเตทจาก G_3 ถึง G_1 แล้วจะมีการฟรีวีล (Free Wheel Operation) 1 ครั้ง เพื่อทำการตัดกระแสให้เป็น 0 เนื่องจากกระแสจากแหล่งจ่ายจะไม่ไหล เพราะ G_2 กับ G_5 ทำงานจะต่อเฟส U เข้ากับโหลดเพียงเฟสเดียว ดังนั้นกระแสจึงไม่ไหล จึงทำให้ได้รูปแบบของ WaveForm ตามที่ต้องการ นอกจากจะตัดกระแสจ่ายให้เป็นศูนย์แล้ว ยังรับกระแสย้อนกลับจาก Inductance ของโหลดอีกด้วย หลังจากช่วงเวลาของฟรีวีลแล้ว G_3 กับ G_5 จะทำงานต่อไปตามสัญญาณควบคุมส่วนอุปกรณ์ GTO Thyristor ตัวอื่น ๆ ทำงานตามสัญญาณควบคุมของมันเช่นกันเพียงแต่ต่างกันที่ช่วงเวลาเท่านั้น

จากสัญญาณควบคุมจะเห็นว่า G_1 กับ G_4, G_2 กับ G_5, G_3 กับ G_6 แต่ละคู่จะทำงานห่างกัน 180 องศาแต่จะทำงานพร้อมกันในช่วงฟรีวีลตามความกว้างของสัญญาณควบคุม

ในขณะเกิดการคอมมิวเตทนี้ ถ้าค่ารีแอคแตนซ์ของแหล่งจ่ายไม่เท่ากับศูนย์แล้ว จะทำให้เกิดแรงดันเหนี่ยวนำสูง ๆ ขึ้นชั่วขณะที่ไลน์ ของแหล่งจ่าย ซึ่งถ้าแรงดันสูงกว่าแรงดัน E_{cd} แล้ว วงจรช่วยจะเท่ากับ แคลมป์ (Clamp) แรงดันของไลน์ไว้ที่ E_{cd} ส่วนพลังงานบางส่วนจะเก็บไว้ที่คาปาซิเตอร์ C_d แล้วจะถูกถ่ายให้โหลดในช่วงเวลาที่สัญญาณ G_7 กับ G_8 ทริกให้กับ GTO 7 และ GTO 8 ให้ทำงานซึ่งรายละ

เชียดของช่วงการคอมมิวเตทจะอธิบายดังต่อไปนี้

ในวงจรนี้จะพิจารณาการคอมมิวเตทจาก G_1 ไป G_2 ขณะที่ G_6 ยังทำงานในระหว่างการคอมมิวเตทนี้ แบ่งการพิจารณาออกเป็น 4 โหมด ดังรูปที่ 2.3 (a-

- รูปที่ 2.3 (a) (ก่อนการคอมมิวเตท) คือขณะที่ G_1 และ G_6 นำกระแสอยู่ G_2 ยังไม่ทำงาน

- รูปที่ 2.3(b) (โหมด 1) เป็นรูปที่เริ่มเกิดการคอมมิวเตท เริ่มนำกระแสและ Snubber Capacitor ของ G_1 ถูกทำการประจุผ่าน โดยกระแสสนับเบอร์ I_S

- รูปที่ 2.3 (c) (โหมด 2) เป็นส่วนที่ reactive energy จากแหล่งจ่ายไฟ (leakage reactance) ถูกส่งออกมา และถูกเก็บไว้ใน Snubber Capacitor (C_S) พลังงานที่ถูกเก็บไว้นี้สามารถถ่ายเทออกไปได้ทาง Snubber Resistor (R_S) ในลำดับการนำกระแสใหม่ของ G_1

ขณะที่เกิดคอมมิวเตท Voltage กระชากก็จะเกิดตามในแต่ละ line to line ขณะที่ Voltage กระชากระหว่าง line V_{uw} มีค่ามากกว่า Auxiliary Capacitor Voltage (E_{cd}) กระแสก็จะไหลผ่าน Auxiliary Capacitor โดยผ่านทาง D_1 และ D_6

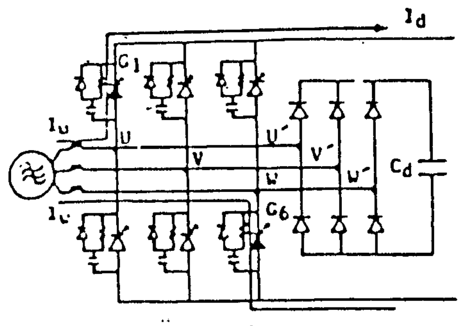
- รูปที่ 2.3 (d) (โหมด 3) เป็นส่วนที่ reactive energy ยังคงถูกถ่ายเทออกมาและเก็บอยู่ใน Auxiliary Capacitor (E_{cd}) ขณะที่ D_S และ G_2 ทำงานอยู่นั้น แรงดันที่ตกคร่อม Snubber Capacitor ยังคงมีค่าเท่า V_{uv} และคาปาซิเตอร์ก็ยังคงถูกประจุโดยกระแสสนับเบอร์ ขณะที่แรงดัน V_{uv} มีค่ามากกว่า E_{cd} กระแสก็จะไหลผ่านจากเฟส U ไป W ผ่านทางวงจรช่วยดังรูป

- รูปที่ 2.3 (e) (โหมด 4) รูปนี้ Snubber Diode (D_S) จะหยุดการนำกระแสและคาปาซิเตอร์สนับเบอร์โวลท์เตจจะมีค่าคงที่เท่ากับ E_{cd} ในรูป 2.3 (d) ถ้าสังเกตให้ดีจะเห็นว่ากระแสเฟส W นั้นจะมีค่ามากกว่ากระแสโหลด (I_d) ขณะที่จะสิ้นสุดขบวนการรูปที่ 2.3 (d) I_u มีค่าเข้าใกล้ศูนย์ และ I_v มีค่ามากกว่า I_d เพื่อที่จะลดกระแสเฟส I_v และ I_w ให้มีค่าเท่ากับกระแสโหลด (I_d) V_{vw} จึงเปลี่ยนจากศูนย์ จนถึงค่า E_{cd} ทันทีทันใด จึงทำให้เกิดกระแสในวงจรดังรูป

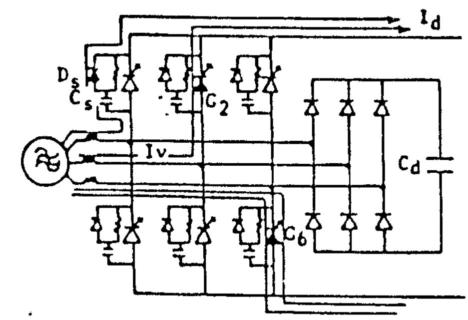
- รูปที่ 2.3 (f) (หลังการคอมมิวเตท) เป็นรูปที่แสดงว่าวงจร

เกิดการคอมมิวเตทที่สมบูรณ์แล้ว ซึ่งกระแส I_v และ I_w มีค่าคงที่เท่ากับ I_d และ G_2, G_6 นำกระแส

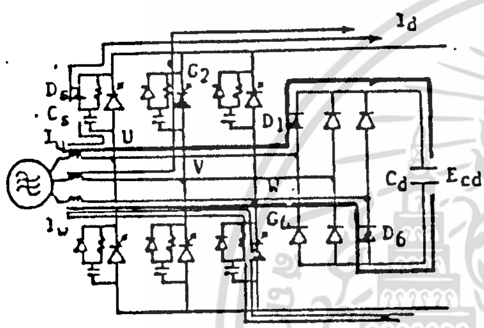
วงจรสมมูลย์สำหรับขบวนการคอมมิวเตทของวงจรรูปที่ 2.3ก (b - f) นั้น สามารถแสดงได้ในรูปที่ 2.3ข (b′ - f′) ตามลำดับ



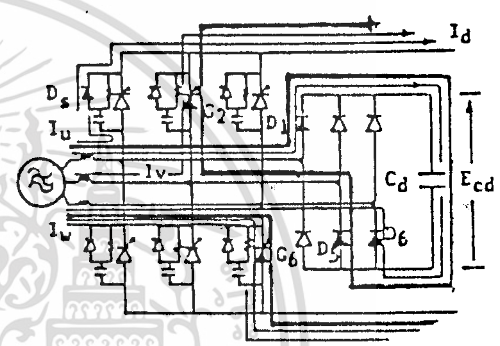
รูป 2.3 (a) กระแสก่อนมีการคอมมิวเตท



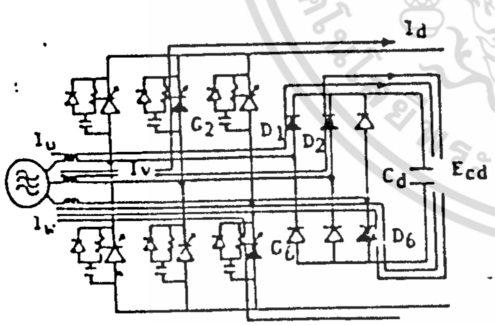
รูป 2.3 (b) กระแสขณะที่มีการคอมมิวเตท



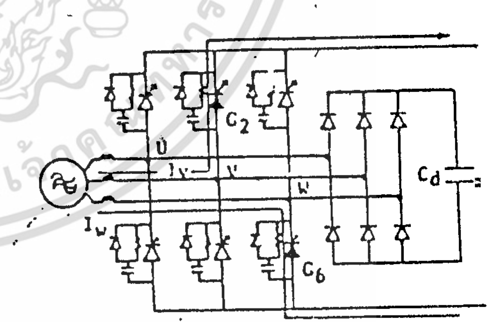
รูป 2.3 (c) กระแสขณะที่ V_{uw} มีค่าเท่ากับ E_{cd}



รูป 2.3 (d) กระแสขณะที่ทั้ง V_{uw} และ V_{uv} เท่ากับ E_{cd}

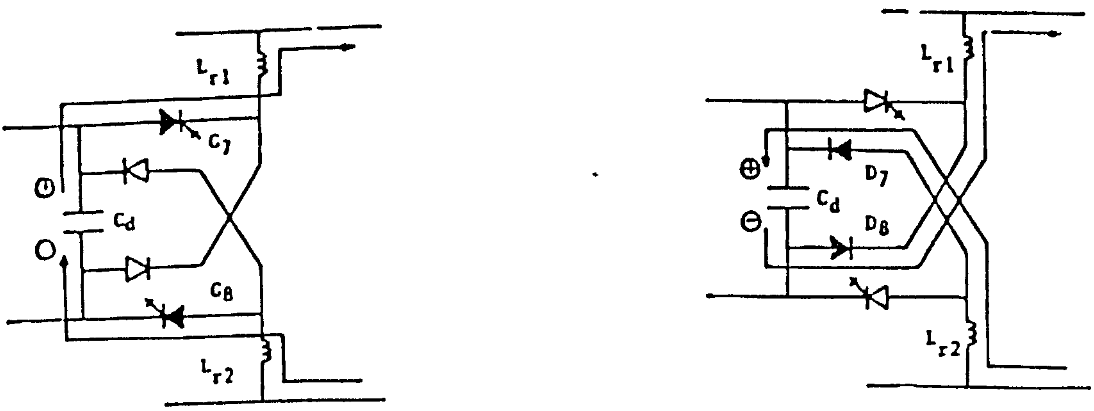


รูป 2.3 (e) กระแสขณะที่ทั้ง V_{uw} และ V_{vw} มีค่าเท่ากับ E_{cd}

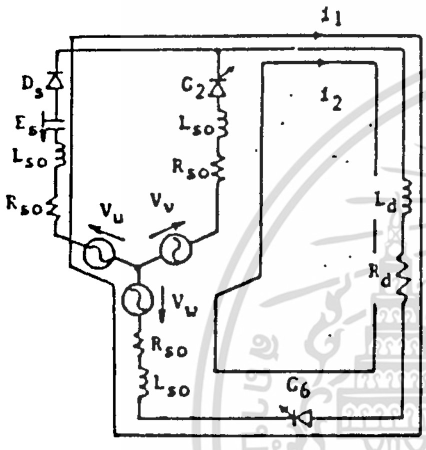


รูป 2.3 (f) กระแสขณะเสร็จสิ้นการคอมมิวเตท

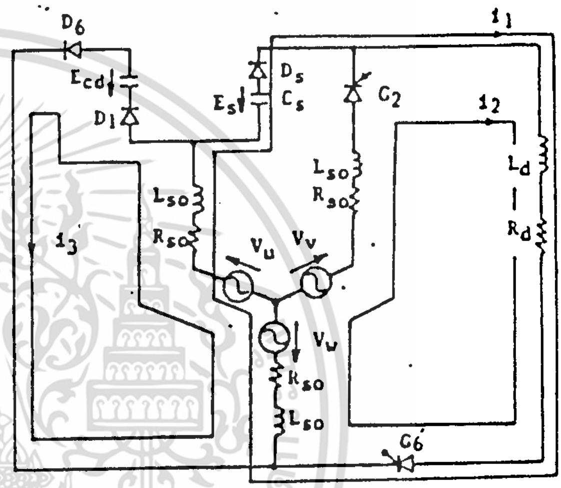
รูปที่ 2.3ก วงจรคอมมิวเตท



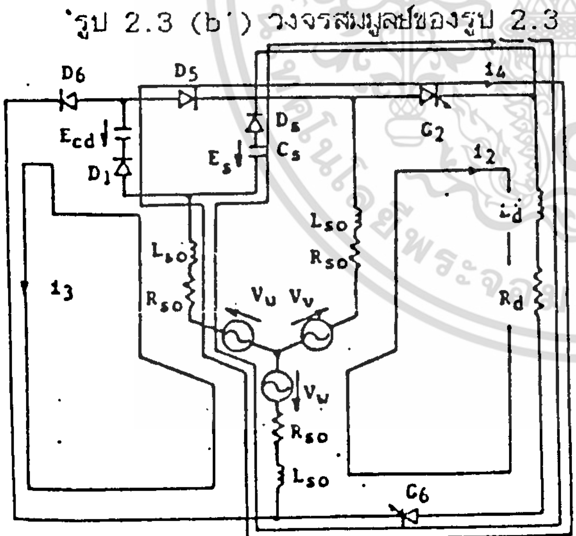
การฟรีวิลของวงจรช่วย



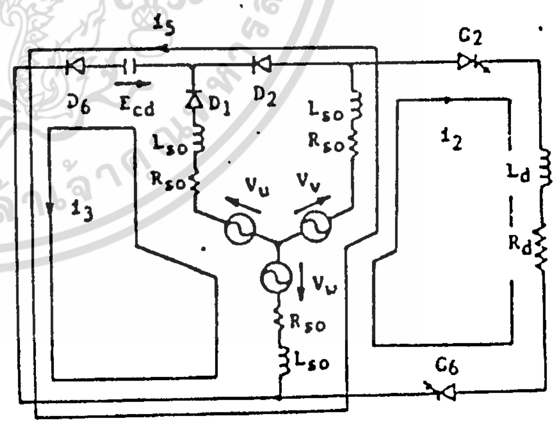
รูป 2.3 (b') วงจรสมมูลย์ของรูป 2.3 (b)



รูป 2.3 (c') วงจรสมมูลย์ของรูป 2.3 (c)



รูป 2.3 (d') วงจรสมมูลย์ของรูป 2.3 (d)



รูป 2.3(e') วงจรสมมูลย์ของรูป 2.3 (e

รูปที่ 2.3ข วงจรสมมูลย์ของการคอมมิวเตท

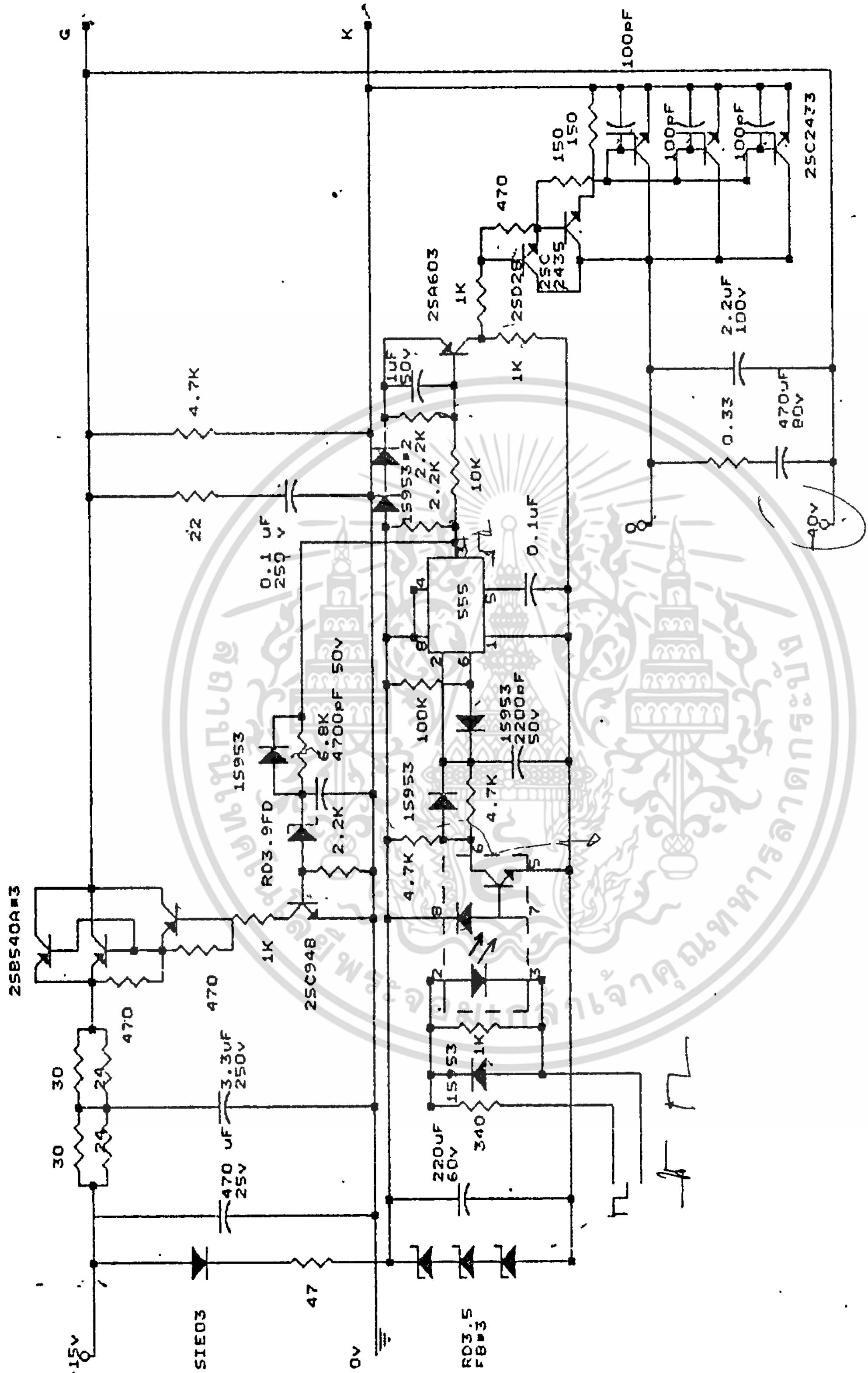
2.2 วงจรขับ

วงจรขับมีทั้งหมด 8 ชุด เพื่อทำหน้าที่ขับอุปกรณ์ GTO ทั้ง 8 ตัวให้ทำงานตามรูปสัญญาณแบบ PWM ที่ป้อนให้ ซึ่งจะส่งผลให้กระแสในไลน์นั้นเป็นรูปแบบ PWM ด้วย เมื่อมีความจำเป็นที่จะต้องเพิ่มกำลังให้กับชุดสร้างสัญญาณควบคุมแล้วก็จะต้องมีการสร้าง Power Supply ให้กับวงจรขับเพื่อที่จะเพิ่มกำลังให้วงจรสร้างสัญญาณควบคุมพร้อมกับแยกออกจากวงจรกำลังด้วย ซึ่งจะทำการออกแบบขนาดของ Transformer จากสมการ

$$v = 4.44\,N\,f\,B\,A$$

และส่วนของวงจรเรียงแรงดัน (Voltage Regulator) ซึ่งจะใช้วงจรไดโอดบริดจ์และ Capacitor

การทำงานของวงจรขับจะมีแรงดันขนาด 15 V เพื่อที่จะทำให้อุปกรณ์ GTO Thyristor สามารถที่จะนำกระแสได้ และค่าแรงดันขนาด -12 V เพื่อที่จะทำการหยุดนำกระแส เมื่อมีสัญญาณเข้ามาที่ ออพโตไอโซเลท (Opto-Isolate : HP GN 136) แล้ว สัญญาณจะสามารถผ่านออกไปได้โดยไม่ส่วนเกี่ยวข้องใด ๆ กับทางด้าน input นั่นคือเป็นการป้องกันไม่ให้ทางด้านวงจรกำลังนั้นไปรบกวนการทำงานของวงจรสร้างสัญญาณควบคุม หลังจากนั้น สัญญาณจะผ่านไปยัง IC เบอร์ 555 ซึ่งทำหน้าที่เป็น Mono Stable Multivibrator โดยสัญญาณจะเข้าที่ขา 2 ของ IC 555 แล้วที่ขา 3 ของ IC จะให้สัญญาณที่เป็นพัลส์บวก ผ่านไปยังทรานซิสเตอร์เบอร์ 2SC 943 ขณะเดียวกันก็ทำให้ 2SB 504A ทำงานพร้อมกันทั้ง 3 ตัวด้วย และให้ output ขนาด 15 V ไปยังอุปกรณ์ GTO Thyristor แต่เมื่อสัญญาณพัลส์ที่ส่งมาเป็น 0 จะทำให้ทรานซิสเตอร์เบอร์ 2SA 603 พร้อม ๆ กับ 2SD 78, 2SC 2435, 2SC 2433 ซึ่งให้แรงดันขนาด -12 V จ่ายไปยังทางด้านขาเกทเพื่อที่ปิดการนำกระแสของอุปกรณ์ GTO Thyristor



รูปที่ 2.4 วงจรขับ

2.3 รูปแบบของกระแสสลับในไลน์แบบ PWM

ในเครื่องคอนเวอร์เตอร์ที่แปลงไฟกระแสสลับให้เป็นกระแสตรงขนาดใหญ่นั้น จำเป็นอย่างยิ่งที่จะต้องทำงานในรูปแบบของ PWM เพื่อที่จะได้เป็นการลดค่าของฮาร์โมนิคอันดับต่ำที่ประกอบอยู่ในกระแสสลับในไลน์ทางด้านของ input และยังเป็นการปรับปรุงค่าตัวประกอบกำลังทางด้านของ input ของเครื่องคอนเวอร์เตอร์อีกด้วย

2.3.1 แนวการออกแบบทั่วไปของกระแสสลับในไลน์ 3 เฟส แบบ PWM

การทำงานในรูปแบบนี้พอจะอธิบายได้ดังนี้คือ เป็นการควบคุมรูปแบบสัญญาณทางด้านขาเกทให้นำและหยุดนำกระแสได้โดยตรงด้วยการออกแบบให้กระแสสลับในไลน์ทั้ง 3 เฟส ทางด้าน input นั้นเป็นรูปแบบของ PWM แบบซายน์ เพื่อที่จะนำไปควบคุมการทำงานของอุปกรณ์ GTO ในส่วนของเรคติฟายทั้ง 3 เฟสของวงจรกำลัง ค่า reactor L_d นั้นมีบทบาทสำคัญในการแต่งรูปแบบของ PWM ของกระแสสลับในไลน์ทางด้าน input ดังนั้นถ้ากระแสตรงทางด้านไหลดีขึ้นนั้นยิ่งมีความเรียบเท่าไหร่โดยตัว reactor นี้ก็จะเป็นผลให้กระแสสลับในไลน์ทางด้าน input นั้นประกอบด้วยรูปพัลส์ PWM ที่เรียบตามไปด้วย ความกว้างของแต่ละพัลส์ของรูปพัลส์ PWM ของกระแสนั้นพิจารณาจากขนาดความกว้างของพัลส์ของสัญญาณที่ขาเกทที่ใช้กับอุปกรณ์ GTO Thyristor โดยวิธีที่กล่าวนี้ รูปร่างของรูปพัลส์ PWM ของกระแสนั้นสามารถที่จะปรับได้ 2 ทางคือ ทางแรกนั้นเป็นการปรับขนาดของรูปพัลส์ PWM ของกระแสนั้นโดยการเปลี่ยนค่าความต้านทาน R_d ส่วนทางที่สองนั้นเป็นการปรับขนาดความกว้างของรูปพัลส์ PWM ของกระแสโดยการเปลี่ยนค่าตัวประกอบมอดดูเลชั่น ของสัญญาณทางด้านขาเกท

ในการออกแบบสัญญาณทางด้านขาเกท G_1 ถึง G_6 นั้นสิ่งแรกที่จะต้องพิจารณาในการออกแบบคือ รูปแบบ PWM ของกระแสของกระแสสลับในไลน์ 3 เฟส ทางด้าน input ซึ่งทำให้การออกแบบนั้นง่ายและพิจารณาได้จากการตรวจดูจากรูปแบบของกระแสนี้ ในการออกแบบ รูปแบบ PWM ของกระแสของเฟส U, V, และ W นั้น จะมีค่าความต่างเฟสระหว่างเฟส U และ V, V และ W, W และ U มีค่า 120^o ในการออกแบบรูปแบบของกระแสในแต่ละเฟส สำหรับเฟส U นั้นขนาดความกว้างของพัลส์จะอยู่ในช่วง 90^o, 90^o*3, 90^o*5,... เป็นช่วงที่กว้างที่สุด ขณะที่ช่วง 0^o, 180^o, 180^o*2, 180^o*3,... นั้นเป็นช่วงที่แคบที่สุด สำหรับเฟส V นั้นช่วงกว้างที่สุดจะอยู่ที่ -90^o+120^o, 90^o+120^o, (90^o*3)$+120^o$,... และช่วงที่แคบที่สุดอยู่ที่ -180^o+120^o, 120^o, 180^o+120^o, (180^o*2)$+120^o$

สำหรับเฟส W ช่วงกว้างที่สุดจะอยู่ที่ ($-90^{\circ}+3$)+240°, $-90^{\circ}+240^{\circ}$, 90° +240°,... และช่วงที่แคบที่สุดอยู่ที่ −($180^{\circ}+2$)+240°, $-180^{\circ}+240^{\circ}$, 240°, $180^{\circ}+240^{\circ}$,... สำหรับลักษณะของรูปพัลส์ PWM ของกระแสที่เรียงอยู่ระหว่างพัลส์ที่แคบสุดกับพัลส์ที่กว้างสุดนั้นจะมีลักษณะดังนี้คือ ขนาดความกว้างของพัลส์นั้นจะค่อย ๆ เพิ่มทีละน้อย เมื่อเริ่มต้นจากมุมของพัลส์ที่แคบที่สุดไปยังพัลส์ที่กว้างที่สุด และมีลักษณะขนาดความกว้างของพัลส์นั้นค่อย ๆ ลดลง เมื่อเริ่มต้นจากมุมของพัลส์ที่กว้างที่สุดไปยังพัลส์ที่แคบที่สุด ในการออกแบบนั้น จำนวนของพัลส์ที่กว้างที่สุดจะเป็น 2, 3, 4 หรือ 5 นั้น ขึ้นอยู่กับความต้องการจำนวนของพัลส์ PWM ทั้งหมดในช่วงครึ่งไซเคิล ตัวอย่างเช่น จำนวนของพัลส์ที่กว้างที่สุดเป็น 2, 3, 4 และ 5 สำหรับในกรณีของ 6, 9, 12 และ 15 พัลส์ PWM ตามลำดับ ถ้าจะพิจารณาเฉพาะในช่วงที่เป็นเฉพาะไซเคิลบวกของรูปแบบกระแสแบบ 6 พัลส์ ในกระแสสัญญาณไลน์ของเฟส U จะพบว่าพัลส์ที่กว้างที่สุดนี้จะอยู่ที่ภายในช่วงบริเวณมุม $\pi/3$ เรเดียน ในช่วงตรงกลางของช่วงครึ่งไซเคิลซึ่งมีมุมเท่ากับ 90^{0} เป็นจุดกึ่งกลาง ส่วนอีก 4 พัลส์ ที่เหลือนั้นจะถูกแบ่งออกเป็น 2 กลุ่ม กลุ่มละ 2 พัลส์ทางซ้ายมือและทางขวามือของรูปพัลส์ที่กว้างที่สุดนี้ ภายในช่วงของมุมที่เหมือนกัน เมื่อเริ่มต้นจากค่ามุมที่เพิ่มขึ้นจาก 0 ถึง π เรเดียน ขนาดของพัลส์จะค่อย ๆ เพิ่มขึ้นทางด้านซ้าย ส่วนในทางตรงกันข้ามขนาดของพัลส์ทางด้านขวามือจะค่อย ๆ ลดลงตามค่าของมุมที่เหมือนกันนี้ ดังนั้นก็จะได้ขนาดความกว้างของพัลส์ของพัลส์ทั้งหมดเป็นลักษณะการรวมกันแบบขายน์ โดยวิธีนี้เราจะได้ขนาดของพัลส์ที่ 1 และ 2 มีขนาดเท่ากับพัลส์ที่ 5 และ 6 ตามลำดับ พัลส์ที่ 3 และ 4 นั้นจะพัลส์ที่มีขนาดกว้างที่สุด ส่วนพัลส์ที่ 1 และ 6 จะเป็นพัลส์ที่มีขนาดเล็กที่สุด โดยจะมีพัลส์ที่ 2 และ 5 แทรกอยู่ระหว่างในแต่ละช่วงตามลำดับ สำหรับในแต่ละกรณีของพัลส์จำนวนต่าง ๆ เมื่อแบ่งจำนวนพัลส์ที่ไม่ใช่พัลส์ที่มีขนาดกว้างที่สุดออกเป็น 2 กลุ่ม แต่ละกลุ่มจะประกอบด้วยจำนวนของพัลส์ที่เท่ากับจำนวนของพัลส์ที่กว้างที่สุดของทั้งหมด ยกตัวอย่างเช่น ในกรณีของรูปแบบกระแสแบบ 6 พัลส์นั้น เมื่อแบ่งจำนวนพัลส์ที่เหลือออกเป็น 2 กลุ่ม จะได้กลุ่มละ 2 พัลส์ซึ่งจำนวนเท่ากับจำนวนของพัลส์ที่กว้างที่สุดคือ 2 พัลส์เช่นเดียวกัน ส่วนลักษณะของ 9, 12 และ 15 พัลส์นั้นก็เช่นเดียวกันโดยจะได้จำนวนของพัลส์ที่กว้างที่สุดนั้นมีค่าเท่ากับ 3, 4 และ 5 ตามลำดับ

2.3.2 อัตราส่วนของขนาดความกว้างของพัลส์ของพัลส์ของกระแสในรูปแบบของกระแส 3 เฟส แบบ PWM

ในทางปฏิบัติ ค่าอัตราส่วนของขนาดความกว้างของพัลส์ของกระแสในรูปแบบของกระแส 3 เฟส แบบ PWM นั้นอาจมีลักษณะอย่างหนึ่งอย่างใดตาม 2 ลักษณะต่อไปนี้

1. ค่าอัตราส่วนของขนาดความกว้างของพัลส์มีค่าคงที่

2. ค่าอัตราส่วนของขนาดความกว้างของพัลส์เปลี่ยนแปลงค่าได้

ในกรณีที่ค่าอัตราส่วนของขนาดความกว้างของพัลส์นั้นมีค่าคงที่ จึงสามารถที่จะใช้วงจรควบคุมแบบอนาล็อกในการสร้างสัญญาณควบคุมแบบ PWM สำหรับทางด้านขาเกทของอุปกรณ์ GTO Thyristor ทั้ง 8 ตัวได้ ก็เพราะเนื่องจากวงจรนั้นไม่สลับซับซ้อนหรือยุ่งยาก แต่ถ้าเราเลือกการทำงานในลักษณะรูปแบบที่ค่าอัตราส่วนของขนาดความกว้างของพัลส์นั้นสามารถเปลี่ยนแปลงค่าได้นั้นส่วนที่จะเป็นวงจรควบคุมก็จะมีลักษณะที่ยุ่งยากสลับซับซ้อนมากขึ้นซึ่งในกรณีดังกล่าวนี้ การใช้วงจรควบคุมจะต้องเป็นระบบดิจิตอลแทนวงจรควบคุมเดิมที่เป็นแบบอนาล็อกตามความเหมาะสม

และยิ่งไปกว่านั้นในกรณีที่ใช้วงจรควบคุมแบบดิจิตอลนั้นเราสามารถที่จะเปลี่ยนแปลงจำนวนพัลส์ของรูปแบบกระแสแบบ PWM ให้มีจำนวนต่าง ๆ ได้เช่น 6 พัลส์ 9 พัลส์ 12 พัลส์ 15 พัลส์ ได้ โดยปกติถ้าหากค่าอัตราส่วนของขนาดความกว้างของพัลส์นั้นมีค่าคงที่และในรูปแบบกระแสแบบ PWM นั้นมีจำนวนพัลส์ที่น้อย มักจะใช้วงจรควบคุมแบบอนาล็อก แต่ถ้าหากว่าในกรณีของค่าอัตราส่วนของขนาดความกว้างของพัลส์ที่เปลี่ยนแปลงได้และรูปแบบกระแสแบบ PWM ที่มีจำนวนพัลส์มากการใช้วงจรควบคุมแบบดิจิตอลจะมีความเหมาะสมกว่า

ในการใช้วงจรควบคุมแต่ละแบบที่ได้ใช้กันมานั้น วงจรควบคุมแบบอนาล็อกนั้นจะใช้สำหรับกรณีของรูปแบบกระแสแบบ PWM 6 พัลส์ และค่าอัตราส่วนของขนาดความกว้างของพัลส์นั้นมีค่าคงที่ สำหรับในกรณีที่มีจำนวนพัลส์เปลี่ยนแปลงไปได้จาก 6 พัลส์ เป็น 9 พัลส์ , 12 พัลส์ และ 15 พัลส์ รวมทั้งค่าอัตราส่วนของขนาดความกว้างของพัลส์ที่เปลี่ยนแปลงค่าได้นั้นจะใช้วงจรควบคุมแบบดิจิตอลแทน

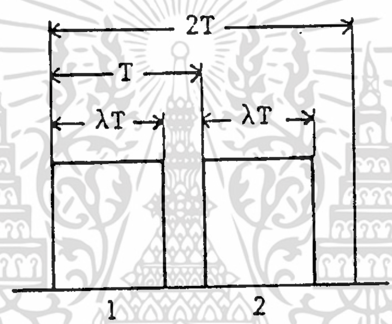
2.3.3 ค่าอัตราส่วนของขนาดความกว้างของพัลส์กระแสแบบ PWM

การทำงานในลักษณะตามหัวข้อนี้จะเป็นการทำงานในลักษณะที่มีจำนวนพัลส์ของกระแสแบบ PWM จำนวน 6 พัลส์และค่าอัตราส่วนของขนาดความกว้างของพัลส์มีค่าคงที่ ตลอดทั้งย่านการควบคุมของค่าตัวประกอบมอดดูเลชั่น จาก 0 ถึง 1 และ

ในการปรับค่านี้จะจำเป็นก็ต่อเมื่อต้องการให้ได้ค่ากระแสตรงทางด้าน output I_d ตามค่าต่าง ๆ จากค่า 0 ถึงค่าสูงสุด

รายละเอียดของขั้นตอนการออกแบบสำหรับรูปแบบกระแสแบบ PWM 6 พัลส์ ในแต่ละเฟสของกระแสในไลน์ 3 เฟส รวมทั้งค่าอัตราส่วนของขนาดความกว้างของพัลส์ที่คงที่ของพัลส์ของกระแสที่กว้างที่สุดแบบ PWM นั้น จะเป็นไปดังต่อไปนี้

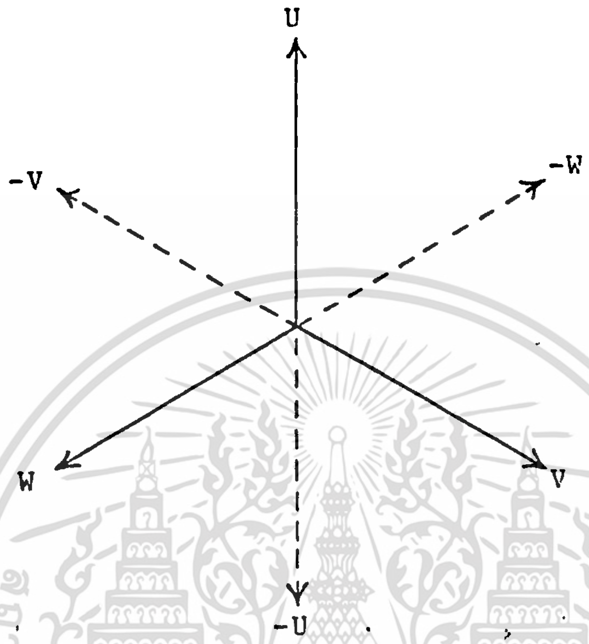
ประการแรก พิจารณาคู่ของพัลส์ของกระแสที่ประกอบด้วยพัลส์กระแสที่กว้างที่สุด 1 และ 2 ดังรูป 2.5 ซึ่งพัลส์ของกระแสทั้ง 2 นี้จะอยู่ห่างกัน $(1-\lambda)T$ ในแต่ละช่วงในช่วงเวลา 2T



รูปที่ 2.5 แสดงคู่กระแสที่ใช้ในการออกแบบ

ซึ่ง T คือ ช่วงเวลา 1/12 ของค่าความถี่ของไฟเลี้ยง

ขนาดของพัลส์แต่ละพัลส์นั้นมีค่าเท่ากับ λT และสามารถปรับได้ในช่วง 0 ถึง T โดยการปรับค่าตัวประกอบมอดูเลชั่น จาก 0 ถึง 1 ในทางปฏิบัติ รูปแบบของกระแสแบบ PWM นี้จะถูกควบคุมโดยการปรับค่าตัวประกอบมอดูเลชั่นนี้ ในตอนนี้สามารถที่จะออกแบบรูปซายน์ของรูปแบบกระแสแบบ PWM ของกระแสสลับในไลน์ 3 เฟส ได้แล้วโดยการใช้คู่ของพัลส์ของกระแสในรูปที่ 2.5 เป็นองค์ประกอบพื้นฐาน ในขั้นแรกโดยเริ่มให้คู่ของพัลส์ของกระแสในรูปที่ 2.5 นั้นวางอยู่ในช่วงเวลา 2T และในลำดับของเฟสซึ่งคู่ของพัลส์ของกระแสคู่ที่ I, II, III, IV, V, VI นั้นวางอยู่ในเฟส U, V, W,... -V ตามลำดับ ตามรูปที่ 2.6



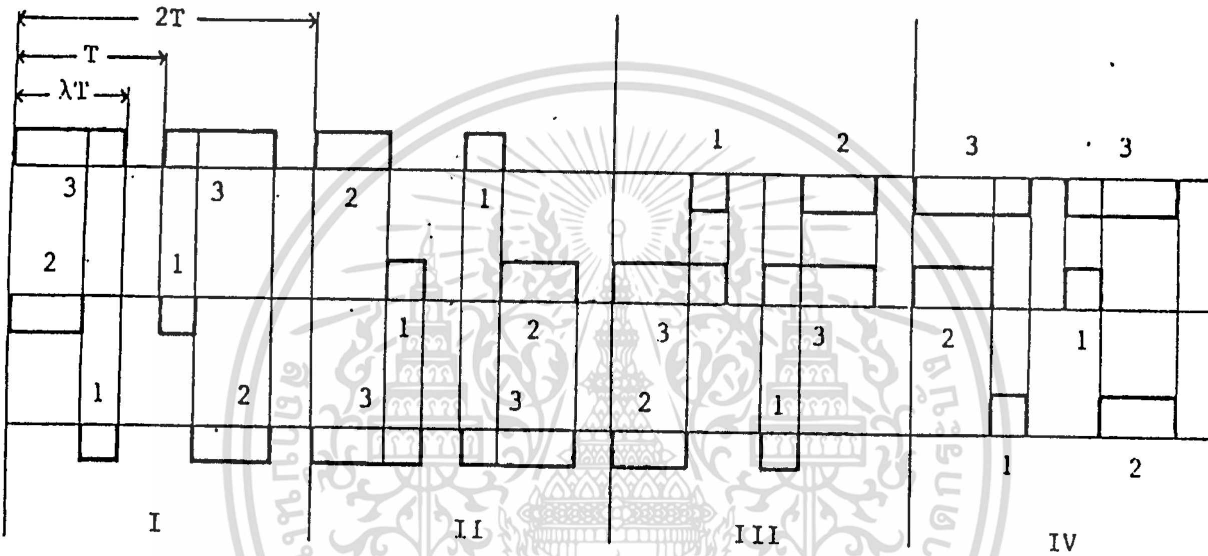
รูปที่ 2.6 เวคเตอร์แสดงตำแหน่งของเฟส U, -W, V, ..., -V ของคู่กระแส I, II, III,...,VI ตามลำดับ

ที่จัดเช่นนี้ก็เพราะว่าพัลส์ที่กว้างที่สุดทั้ง 2 นี้อาจจะอยู่ตรงกับค่าสูงสุดที่เป็นบวกหรือลบของคลื่นซายน์และค่าสูงสุดที่เป็นบวกและลบของรูปคลื่นซายน์ 3 เฟส นี้จะมีการเรียงลำดับของเฟสตามแผนภาพทางเวคเตอร์ดังรูปที่ 2.6 พัลส์ของกระแสในพัลส์ที่ 1 และ 2 ในแต่ละคู่จะถูกแบ่งออกเป็นอัตราส่วน 2:1 และ 1:2 ตามลำดับ การแบ่งอัตราส่วนของพัลส์ของกระแสในกระแสสลับไลน์ 3 เฟส นั้นซึ่งใช้พัลส์ของกระแส 6 คู่พัลส์นั้นแสดงรายละเอียดไว้ในตารางที่ 2.1 แต่ละส่วนของคู่กระแสที่ถูกแบ่งตามอัตราส่วนนี้จะยังคงอยู่ในส่วนของพัลส์เดิมทั้ง 2 ในตำแหน่งของเฟสต่าง ๆ ในรูปคลื่นซายน์ของกระแสแบบ PWM ที่เหมือนกันในกระแสสลับไลน์ 3 เฟส โดยที่มีค่า

ความต่างเฟส 120° , 240° ในเฟส U, V และ W ตามรูปที่ 2.7 ซึ่งแสดงถึงวิธีกำหนดให้ รูปพัลส์ของกระแสที่ถูกแบ่งด้วยอัตราส่วนในตำแหน่งต่าง ๆ ในเฟสต่างๆ

Current Pulse Pair	Phase	Current Pulse	Division Ratio
I	U	1	2:1
		2	1:2
II	-W	1	2:1
		2	1:2
III	V	1	2:1
		2	1:2
IV	-U	1	2:1
		2	1:2
V	W	1	2:1
		2	1:2
VI	-V	1	2:1
		2	1:2

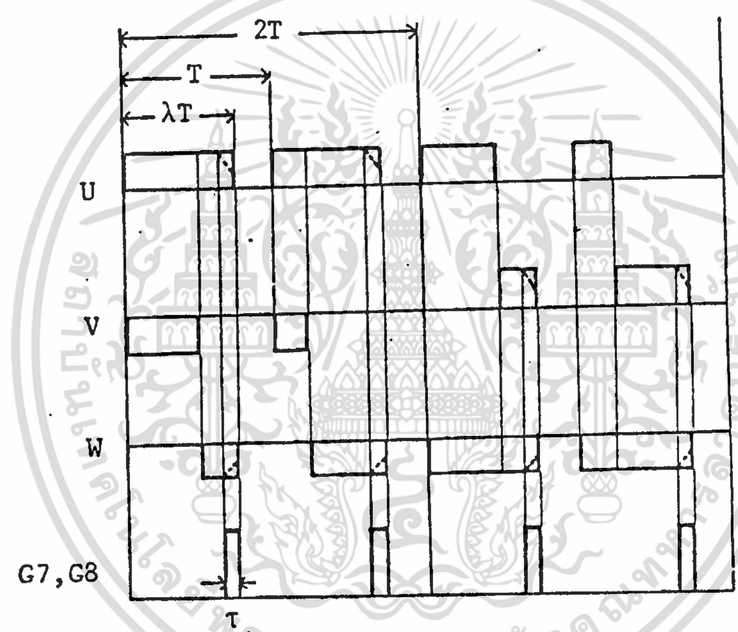
ตารางที่ 2.1 การแบ่งอัตราส่วนของคู่กระแส



รูปที่ 2.7 ตำแหน่งของแต่ละส่วนของศูกระแส

ในการทำงานร่วมกันระหว่างวงจรกำลังหลักกับวงจรช่วยนั้น รูปแบบกระแสแบบ PWM ของแต่ละเฟสนั้นจะมีการเพี้ยนไปเล็กน้อยที่บริเวณมุมทางด้านขวาบน

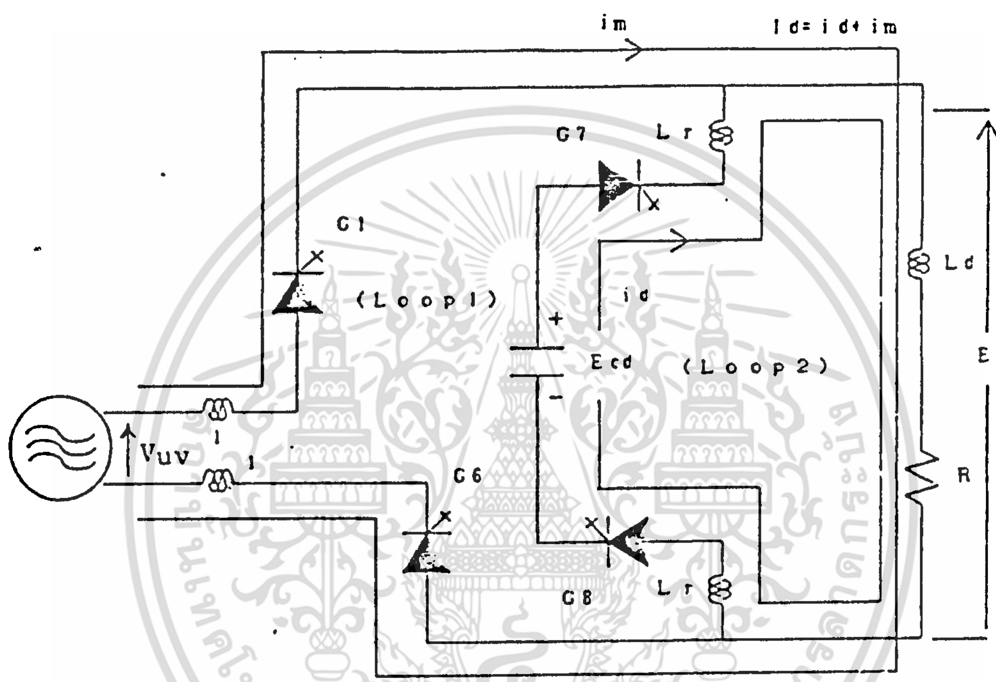
ของพัลส์ 4 พัลส์แรกในพัลส์กระแสแบบ 6 พัลส์ ในแต่ละครึ่งไซเคิล ที่เป็นเช่นนี้ก็เพราะเนื่องจากการถ่ายประจุของตัวคาปาซิเตอร์ C_d ไปยังทางด้านไหลคืซีในช่วงที่ G_7 และ G_8 นั้นมีการนำกระแส ช่วงการถ่ายประจุนี้จะปรากฏให้เห็นในช่วงปลายของพัลส์ของกระแสทั้งสู่ในแต่ละคู่ของพัลส์ของกระแสสลับในไลน์ 3 เฟส ซึ่งแสดงเอาไว้ด้วยเส้นปะ ในรูปที่ 2.8



รูปที่ 2.8 การเพี้ยนของกระแสในแต่ละช่วง

ค่ากระแสในการถ่ายเทประจุจากตัว C_d ไปยังทางด้านไหลคืซีจะปรากฏขึ้นในเวลาเดียวกันกับกระแสที่ไหลในเฟส 2 เฟสของไฟเลี้ยงกระแสสลับ (เฟส U และ -W เมื่อกระแสในการถ่ายประจุเกิดในช่วงปลายของพัลส์ที่ 1 ในคู่พัลส์ที่ I ซึ่ง

แสดงเอาไว้แล้วในเส้นประรูปที่ 2.8) ไปทางด้านโหลดดีซี การทำงานของวงจรในช่วงที่มีการถ่ายประจุนี้จะเป็นในรูปที่ 2.9



รูปที่ 2.9 วงจรในช่วงที่มีการคายประจุของตัวคาปาซิเตอร์

ซึ่งค่ากระแสทางด้านโหลดที่คงที่ I_d นั้นประกอบด้วยกระแสที่ไหลมา 2 ส่วน กระแสในการถ่ายประจุนี้จะมีค่าเพิ่มตามค่าความชันซึ่งมีค่าเท่ากับ (E_{cd}- E_d)/$2L_{r1}$ โดยจะมีค่าเป็นบวก เมื่อค่า E_{cd} นั้นต้องมีค่าสูงกว่าค่า E_d เสมอ ดังนั้นกระแสสลับในไลน์ (ในเฟส U และ -W) ในระหว่างช่วงเวลานี้จะมีค่าลดลงในอัตราเดียวกันกับการเพิ่มของกระแสในการถ่ายประจุเพื่อเป็นการรักษาให้กระแสตรงทางด้านโหลดดีซีนั้นมีค่าคงที่ไว้

ตามขั้นตอนการออกแบบสำหรับรูปคลื่นซายน์ของรูปแบบกระแสแบบ PWM ใน

กระแสสลับในไลน์ 3 เฟสนี้ โดยการควบคุมสถานะการนำกระแสของอุปกรณ์ GTO Thyristor ในวงจรกำลังหลักและวงจรช่วยนั้น ปัญหาที่เกิดในการเกิดการเปลี่ยนแปลงพลังงานนั้นจะต้องถูกนำมาพิจารณา และในตอนนี้ก็สามารถจะสรุปถึงลำดับของการนำกระแสของอุปกรณ์ GTO Thyristor ทุกตัวในช่วงเวลา 1 ไซเคิลของความถี่ของไฟที่จ่ายได้แล้วโดยแสดงไว้ในตารางที่ 2.2

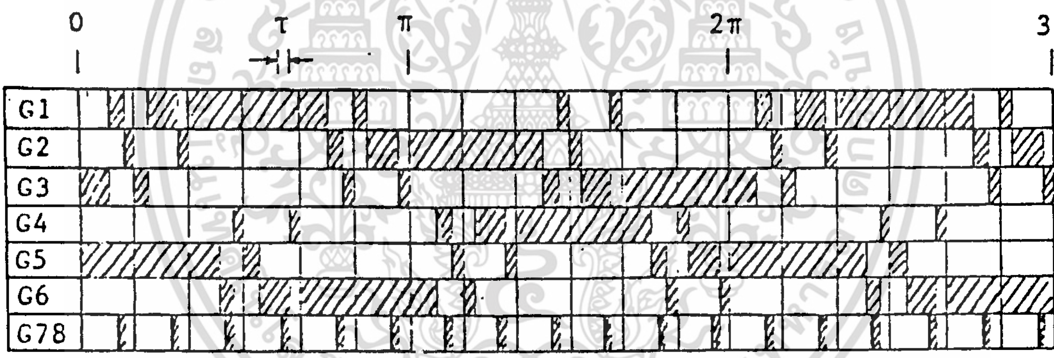
Current Pulse Pair	Phase	Current Pulse	Part	Division Ratio	Phase Position
I	U	1	1	2	-V
			2	1	-W
		2	1	1	-V
			2	2	-W
II	-W	1	1	2	U
			2	1	V
		2	1	1	U
			2	2	V
III	V	1	1	2	-W
			2	1	-U
		2	1	1	-W
			2	2	-U
IV	-U	1	1	2	V
			2	1	W
		2	1	1	V
			2	2	W
V	W	1	1	2	-U
			2	1	-V
		2	1	1	-U
			2	2	-V
VI	-V	1	1	2	W
			2	1	U
		2	1	1	W
			2	2	U

ตารางที่ 2.2 ตำแหน่งของพัลส์

Current Pulse Pair	Phase	Pulse	Division Ratio	Main GTO Upper Part	Main GTO Lower Part	Auxiliary GTO
I	U	1	2	1	5	
			1		6	7,6
		Gap:(1-λT)			4	
		2	1		5	
			2		6	7,8
		Gap:(1-λT)			4	
II	-W	1	2	1	6	
			1	2		7,8
		Gap:(1-λT)		3		
		2	1	1		
			2	2		7,8
		Gap:(1-λT)		3		
III	V	1	2	·	6	
			1	2	4	7,8
		Gap:(1-λT)			5	
		2	1		6	
			2		4	7,8
		Gap:(1-λT)			5	
IV	-U	1	2	2	4	
			1	3		7,8
		Gap:(1-λT)		1		
		2	1	2		
			2	3		7,8
		Gap:(1-λT)		1		
V	W	1	2	3	4	
			1		5	7,8
		Gap:(1-λT)			6	
		2	1		4	
			2		5	7,8
		Gap:(1-λT)			6	
VI	-V	1		3	5	
				1		7,6
		Gap:(1-λT)		2		
		2		3		
				1		7,8
				2		

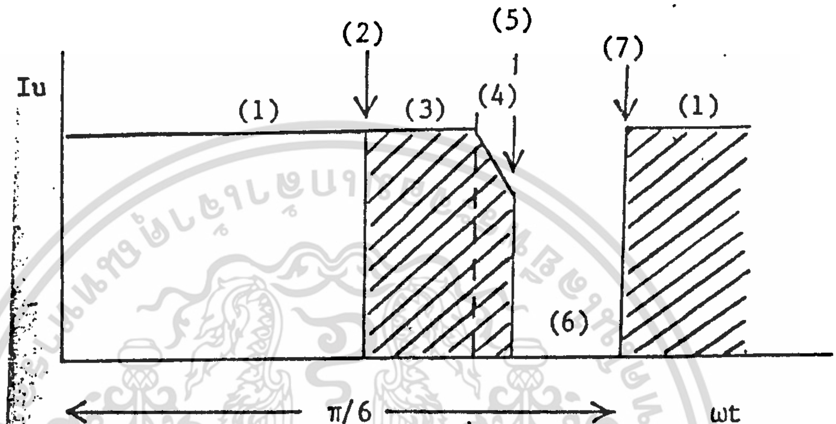
ตาราง 2.3 ตารางการนำกระแสทั้งหมด

2.3.4 การออกแบบรูปแบบสัญญาณทางด้านขาเกท



รูปที่ 2.10 รูปแบบสัญญาณทริกขาเกทของ GTO ทั้ง 8 ตัวในวงจรกำลังหลัก

เป็นรูปแบบสัญญาณทางด้านขาเกทของอุปกรณ์ GTO Thyristor ทั้ง 8 ตัว



(1) โหมดการนำกระแสโหมดที่ 1

(2) โหมดการคอมมิวเตชั่น

(3) โหมดการนำกระแสโหมดที่ 2

(4) โหมดการถ่ายเทประจุ

(5) โหมดการประจุ

(6) โหมดการไหลวนโหมดที่ 1

(7) โหมดการไหลวนโหมดที่ 2

รูปที่ 2.11 รูปแสดงการทำงานของโหมดต่าง ๆ ภายในช่วงเวลา $\pi/6$ เรเดียน

จากรูปที่ 2.11 นั้นเป็นการแสดงถึงโหมดการทำงานทั้งหมดในช่วง $\pi/6$ แรก พอจะสรุปได้เป็นโหมดดังต่อไปนี้

1. โหมดการนำกระแสโหมดที่ 1
2. โหมดการคอมมิวเตชั่น
3. โหมดการนำกระแสโหมดที่ 2
4. โหมดการถ่ายเทประจุ
5. โหมดการประจุ
6. โหมดการไหลวนโหมดที่ 1
7. โหมดการไหลวนโหมดที่ 2

สำหรับช่วง $5\pi/6$ ที่เหลือในไซเคิลนั้นการทำงานก็เป็นไปตามลำดับเช่นเดียวกับช่วง $\pi/6$ แรก

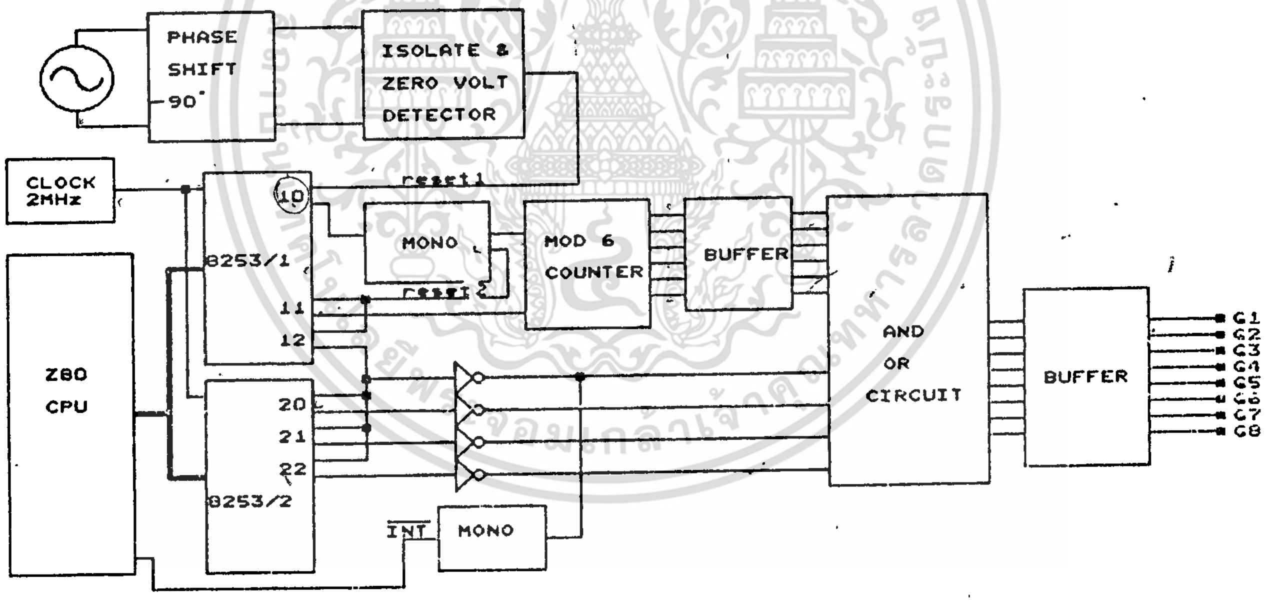
2.3.5 <u>อัตราส่วนของขนาดความกว้างของพัลส์ของกระแสที่เปลี่ยนแปลงได้ และจำนวนพัลส์ของรูปแบบกระแสแบบ PWM ที่เปลี่ยนแปลงได้</u>

การเปลี่ยนแปลงรูปแบบ PWM เพื่อการแก้ค่าของฮาร์มอนิคตามความเหมาะสม การเพิ่มจำนวนพัลส์ทำได้โดยเพิ่ม λT พัลส์ลงในรูปที่ 2.5 ซึ่งจำนวนพัลส์ที่เพิ่มจะเพิ่มตามความต้องการในแต่ละครึ่งไซเคิล โดยจะมีจำนวนเป็น 6, 9, 12 หรือ 15 พัลส์แล้วแต่ความต้องการในการที่จะลดค่าฮาร์มอนิค

บทที่ 3
วงจรควบคุม

3.1 วงจรควบคุมแบบดิจิตอล

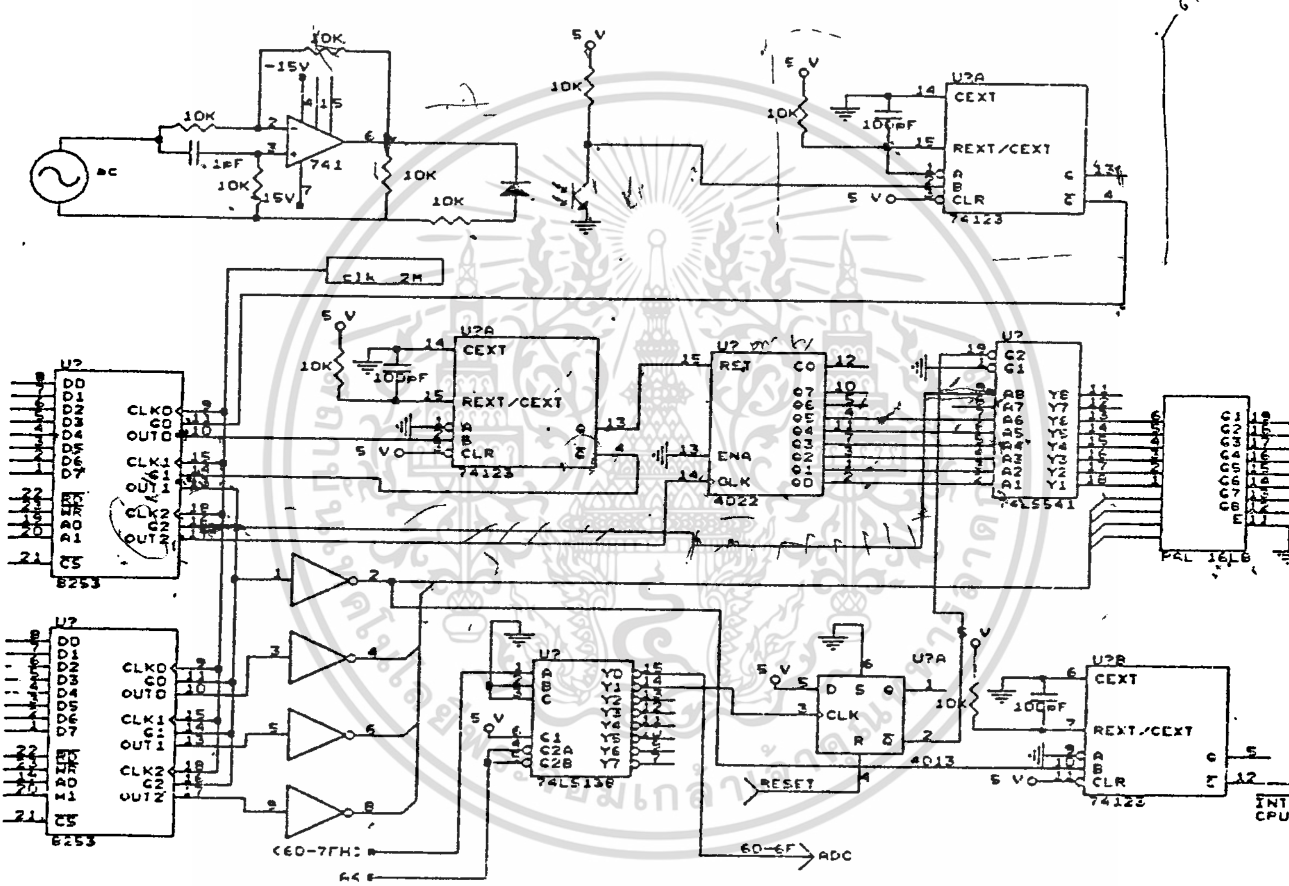
วงจรควบคุมแบบดิจิตอลแสดงดังรูป 3.1 ประกอบไปด้วย ไมโครโพรเซสเซอร์ Z80 , วงจร Phase Shift , วงจร Isolate รวมกับ Zero Voltage Detector , วงจรสร้างสัญญาณพัลส์ และ วงจร And-Or ซึ่งได้แสดงเอาไว้ในรูปต่อไปนี้



DIGITAL CONTROL NETWORK

รูปที่ 3.1 วงจรควบคุมดิจิตอล

มุมระหว่าง V กับ I	จำนวน clock (ฐาน 10)	จำนวน clock (ฐาน 16)
-90	0001	00 01
-60	3334	0D 06
-45	5000	13 88
-30	6667	1A 0B
0	10000	27 10
30	13334	34 16
45	15000	3A 98
60	16667	41 1B
90	20000	4E 20



รูปที่ 3.4 วงจรควบคุมดิจิตอล

สัญญาณ T มีคาบเวลาเป็น 1/12, 1/18, 1/24, 1/30 เท่าของหนึ่งไซเคิลไฟกระแสสลับความถี่ 50 Hz สำหรับการสร้างรูปแบบ PWM แบบ 12, 18, 24, 30 พัลส์ ภายในหนึ่งไซเคิลของไฟกระแสสลับความถี่ 50 Hz ตามลำดับ สัญญาณ T นี้ได้มาจากการ Synch เฟสของแรงดันของ Vun โดยใช้วงจร Zero Voltage Detector ช่วยสัญญาณ T นี้ได้จากการ Invert สัญญาณ T ซึ่งสร้างโดย Counter 11 ซึ่งทำงานในโหมด 3 (Square Wave Generator) ซึ่งการคำนวนคาบของสัญญาณ T จะได้ผลดังนี้

ไฟกระแสสลับ f = 50 Hz

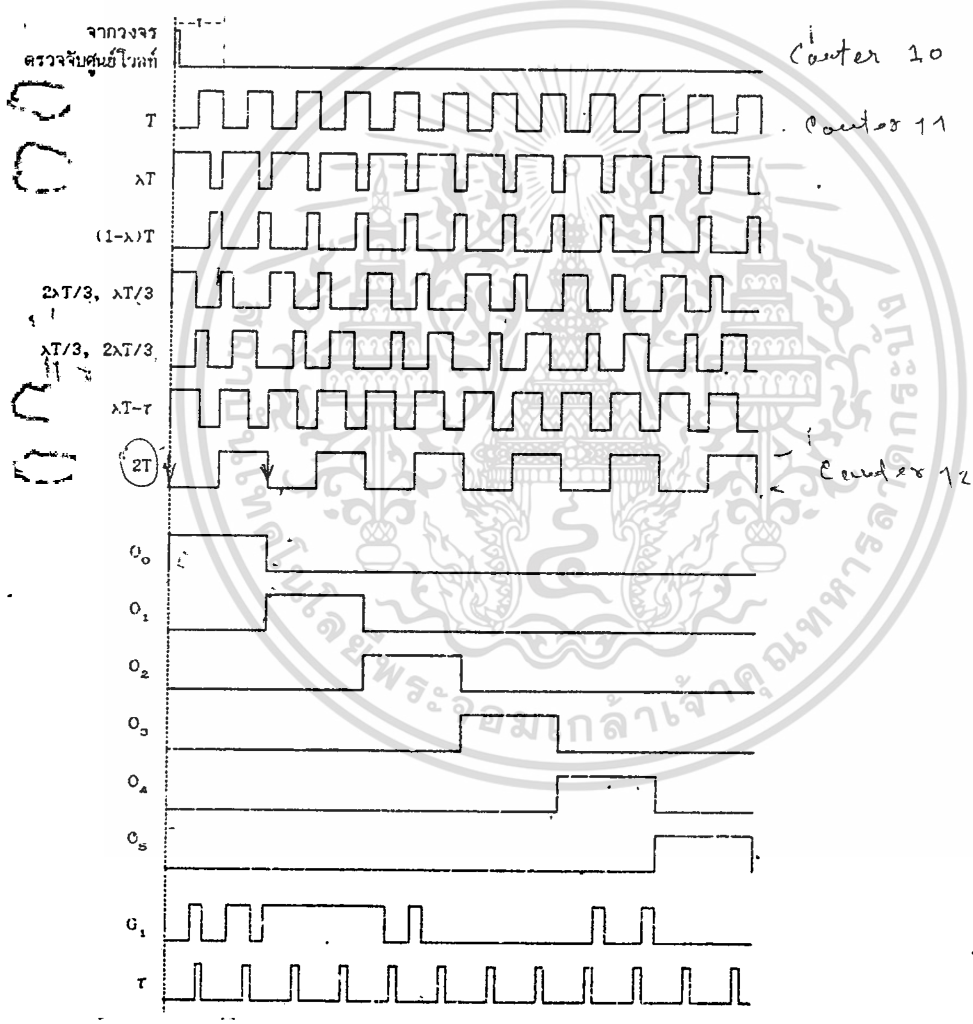
clock ของระบบ f = 2 MHz → t = 0.5 μ sec

จำนวนพัลส์ของ PWM ใน 1 ไซเคิล	จำนวน clock ในคาบเวลา T (f = 2 MHz)
12	3334
18	2222
24	1666
30	1334

สัญญาณ T นี้ใช้ในการสร้างสัญญาณ Interupt ให้แก่ CPU เพื่อให้รู้ว่าครบคาบสัญญาณ T แล้ว โดยผ่านทางวงจร Monostable 74123 ส่วนสัญญาณ T ใช้ในการควบคุมการสร้างสัญญาณ (1-λ T), (1-x)λ T, λ T- โดยป้อนเข้าทางด้านขาเกท ของ Counter ที่ใช้สร้างสัญญาณดังกล่าว

สัญญาณ 2T มีคาบเวลาเป็น π /3 เรเดียน ใช้ป้อนเข้าขา Counter นับ 6 (4022) เพื่อสร้างสัญญาณ Qo-Q5 ซึ่งสัญญาณ Qo-Q5 นี้จะมีคาบเวลาเท่ากับ 2T และเกิดขึ้น

ในช่วงเวลาภายในหนึ่งไซเคิล ของสัญญาณไฟกระแสสลับความถี่ 50 Hz และวงจร Counter นับ 6 นี้จะถูก Reset ทุก ๆ ต้นไซเคิลของสัญญาณไฟกระแสสลับซึ่งแสดงดังรูปที่ 3.5



รูปที่ 3.5 แผนภาพเวลาของสัญญาณต่างๆจากวงจรสร้างพัลส์

สัญญาณ λT มีคาบเวลาจาก 0 ถึง T ค่าของ λ คือค่า Modulation Factor มีค่าจาก 0 ถึง 1 สัญญาณ λT นี้ได้มาจากการ Invert สัญญาณ ($1-\lambda T$) ซึ่งสร้างจาก Counter นับ 20 ที่ทำงานในโหมด 1

สัญญาณ ($1 - x$) λT ได้จากการ Invert สัญญาณ $x\lambda T$ ซึ่งสร้างจาก Counter นับ 21 โดยการตอบรับการ Interrupt ของ CPU จากปลายของสัญญาณ T โดย CPU จะส่งคำสั่งใหม่ไปควบคุม Counter 21 นี้ให้สร้างพัลส์ที่มีความกว้างไม่เท่ากันเรียงสลับกันไปตามลำดับ

สัญญาณ $x\lambda T$ ได้จากการทำการ Exclusive Or สัญญาณ ($1- x$)λT กับสัญญาณ λT

สัญญาณ $\lambda T - \tau$ ได้จากการ Invert สัญญาณ $\lambda T - \tau$ ซึ่งสร้างจาก Counter 22 ที่ทำงานในโหมด 1

สัญญาณ τ ได้จากการ Exclusive Or สัญญาณ $\lambda T - \tau$ กับ λT

สัญญาณ T, λT, ($1- x$)λT, $\lambda T - \tau$ และ Qo-Q5 จะนำมาผ่านวงจรส่วน And-Or ซึ่งใช้ PAL เบอร์ 168 เพื่อให้ได้สัญญาณควบคุมขาเกทของ GTO คือ G1 - G8

ส่วนของวงจร And-Or นั้นสามารถเขียนเป็นสมการบูลีนได้ดังนี้

$$G1 = x\lambda T*Qo + Q1 + (1-x)\lambda T*Q2 + (1-\lambda)T*Q4$$

$$G2 = x\lambda T*Q2 + Q3 + (1-x)\lambda T*Q4 + (1-\lambda)T*Qo$$

$$G3 = x\lambda T*Q5 + Q5 + (1-x)\lambda T*Q0 + (1-\lambda)T*Q2$$

$$G4 = x\lambda T*Q3 + Q4 + (1-x)\lambda T*Q5 + (1-\lambda)T*Q1$$

$$G5 = x\lambda T*Q5 + Qo + (1-x)\lambda T*Q1 + (1-\lambda)T*Q3$$

$$G6 = x\lambda T*Q1 + Q2 + (1-x)\lambda T*Q3 + (1-\lambda)T*Q5$$

$$G7, G8 = (\lambda T-\tau)\ \theta\ \lambda T$$

โดยที่

$x\lambda T$ หมายถึงสัญญาณ ($\lambda T/3$, $2\lambda T/3$), ($1/3\lambda T$, $1/2\lambda T$, $2/3\lambda T$), ($1/3\lambda T$, $4/9\lambda T$, $5/9\lambda T$, $2/3\lambda T$), ($1/3\lambda T$, $5/12\lambda T$, $1/2\lambda T$, $7/12\lambda T$, $2/3\lambda T$) ในกรณี 12, 18, 24, 30 พัลส์ในหนึ่งไซเคิลตามลำดับ

($1-x$)λT หมายถึงสัญญาณ ($2\lambda T/3$, $\lambda T/3$), ($2\lambda T/3$, $1/2\lambda T$, $1/3\lambda T$), ($2/3\lambda T$, $5/9\lambda T$, $4/9\lambda T$, $1/3\lambda T$), ($2/3\lambda T$, $7/12\lambda T$, $1/2\lambda T$, $5/12\lambda T$, $1/3\lambda T$) ในกรณี 12, 18, 24, 30 พัลส์ในหนึ่งไซเคิลตามลำดับ

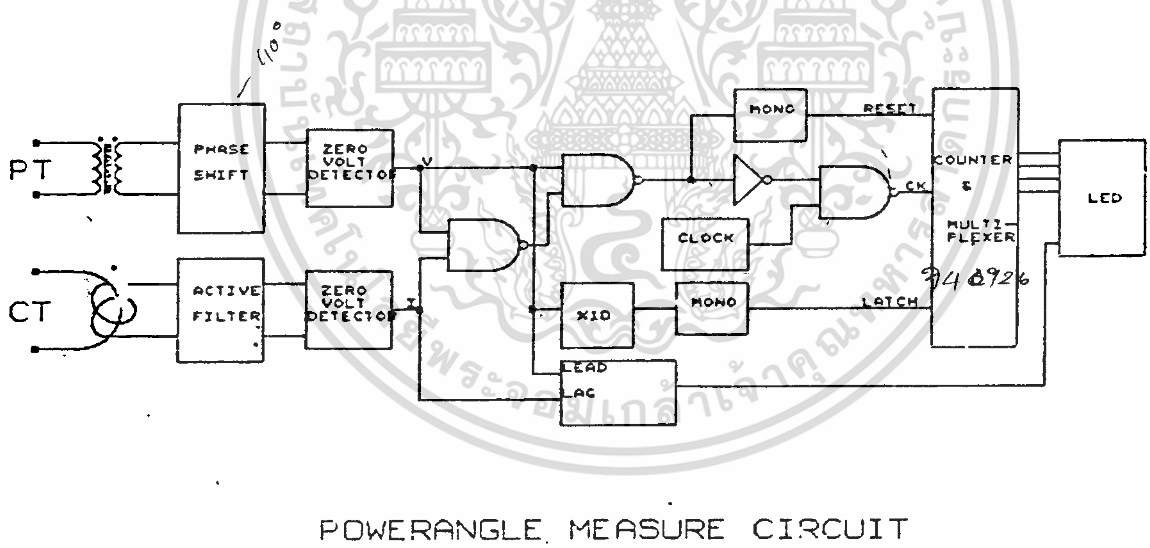
(λ T-τ) หมายถึงสัญญาณคาบเวลา τ

Qo-Q5 หมายถึงสัญญาณ output ของ Counter นับ 6

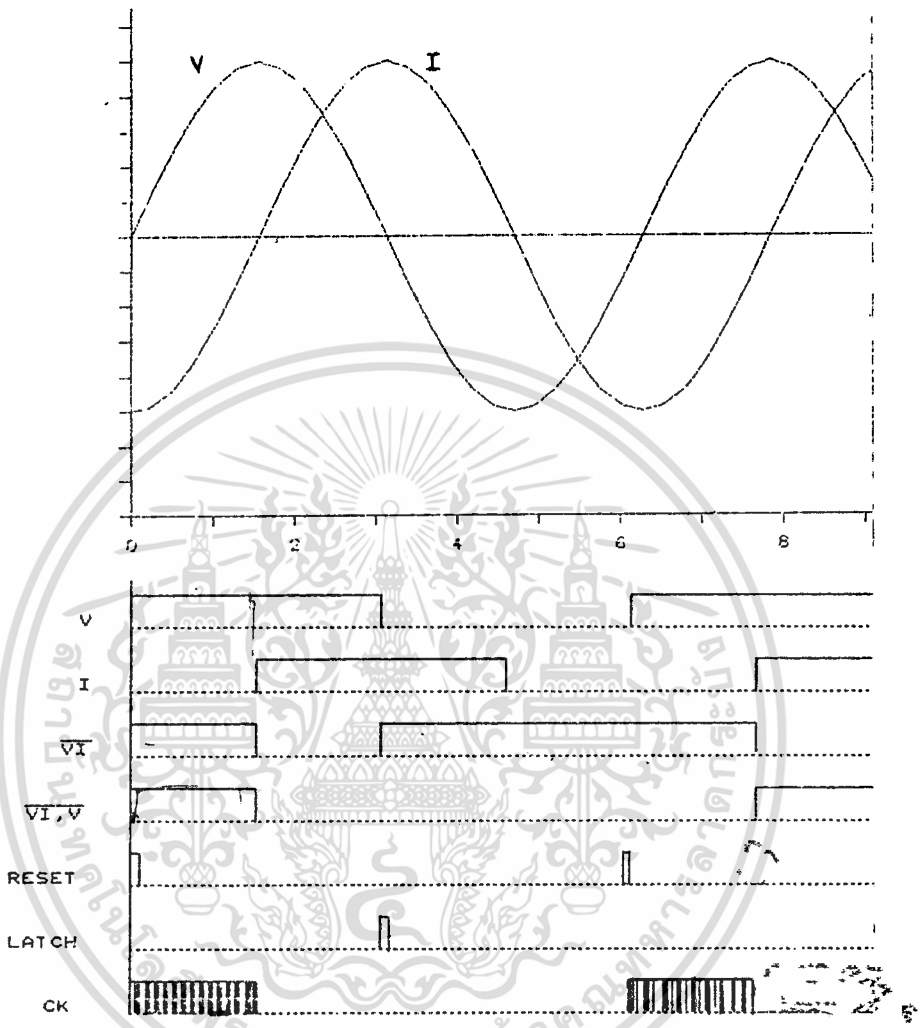
G1-G8 หมายถึงสัญญาณ gate ของ GTO 1-8

4. วงจรวัดมุมของแรงดันกับกระแส

วงจรวัดมุมระหว่างแรงดันกับกระแส ประกอบด้วย วงจร Phase Shift , วงจร Zero Voltage Detector, วงจร Active Filter , วงจรสร้าง clock , วงจรแสดงการ Lead และ Lag , วงจร Counter และ Multiplexer และวงจรแสดงซึ่งแสดงดังรูปที่ 3.6



รูปที่ 3.6 วงจรวัดมุมระหว่าง V กับ I

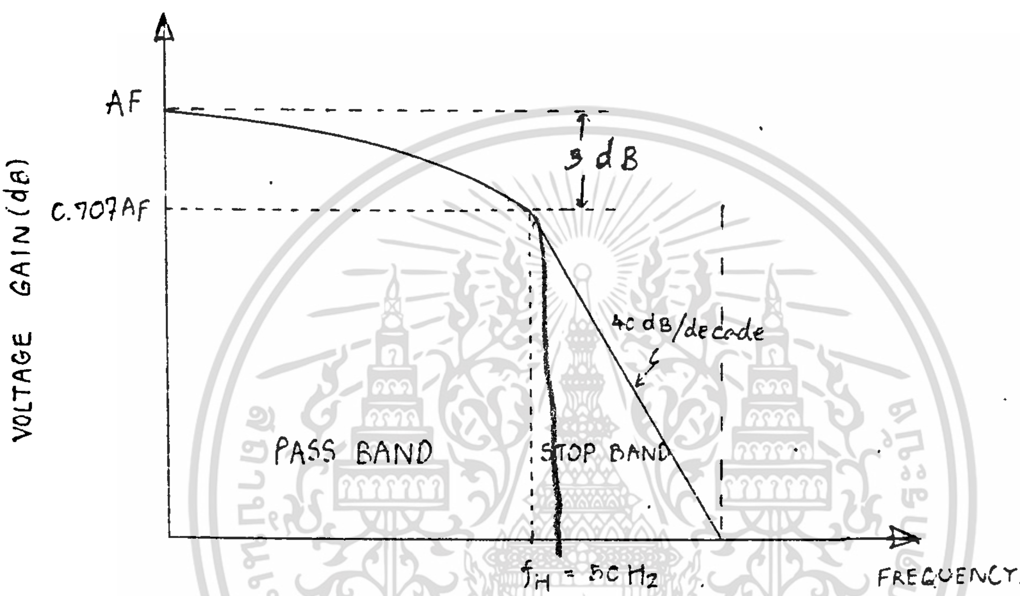


รูปที่ 3.7 Timing Diagram แสดงการทำงาน

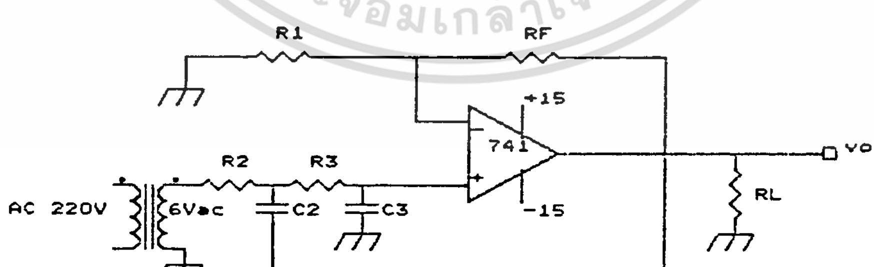
วงจร Phase Shift มีลักษณะการทำงานคล้ายกับที่อธิบายในส่วนของวงจรควบคุมดิจิตอล เพียงเปลี่ยนมาเป็นแบบ Shift Lag โดยสลับที่ระหว่าง C กับ R มีเพื่อ Shift ให้ค่าแรงดันนั้น In Phase กับกระแสที่ผ่าน วงจร Active Filter มาขณะที่ค่าตัวประกอบกำลังมีค่าเท่ากับ 1

5. <u>วงจร Active Filter</u>

เนื่องจากกระแสทางด้าน input มีลักษณะเป็น PWM ดังนั้นจึงต้องทำให้อยู่ในรูปของ sine ก่อน โดยใช้วงจร Active Filter ซึ่งในโครงงานนี้ใช้แบบ Second-order Low-Pass Butterworth Filter ซึ่งมีค่า Response ดังรูป



รูปที่ 3.8 แผนภาพแสดงผลตอบสนองความถี่



รูปที่ 3.9 วงจร Low-Pass Filter

ค่า Gain ของวงจรนี้ขึ้นอยู่กับค่า R1 และ RF ส่วนค่าของความถี่สูงสุดที่ Cut Off (f_H) นั้นขึ้นอยู่กับค่า R2, R3, C2 และ C3 ดังนี้

$$f_H = 1/(2\pi \sqrt{R2\ R3\ C2\ C3})$$

อัตราขยายของวงจรคือ

$$\left| Vo/Vin \right| = AF/\sqrt{1+(f/f_H)4}$$

เมื่อ $A_F = 1 + RF/R1$

f คือ ค่าความถี่ทางด้าน input , fH คือ ความถี่สูงสุดที่ Cut Off

ขั้นตอนการออกแบบ

1. เลือกค่า f_H
2. ให้ค่า R2 = R3 = R และ C2 = C3 = C แล้วเลือกค่าของ C $\leq$1 μ F
3. หาค่า R จาก R = $1/2\pi f_H C$
4. จากการที่ให้ R2 = R3 และ C2 = C3 ทำให้ค่าของ A_F = (1+ (R_F/R1) มีค่าเท่ากับ 1.586

ดังนั้น R_F = 0.586R1 ค่าอัตราขยายนี้เป็นค่าขยายของ Butterworth

การเลือกค่า R1 $\leq$ 100 KΩ แล้วจึงคำนวณหาค่า R_F

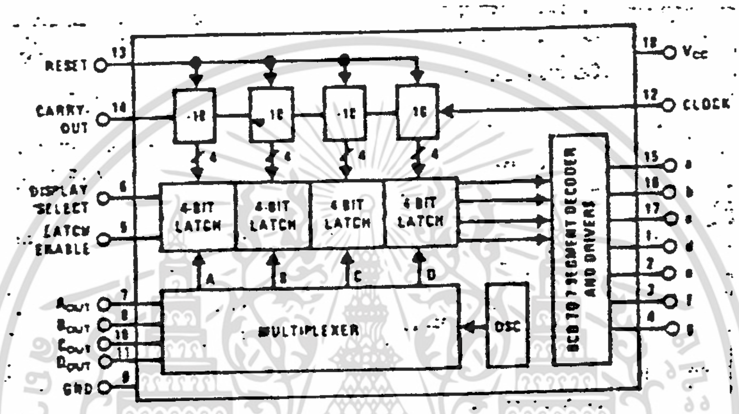
จากการออกแบบจะได้ค่า

f_H = 50 Hz, R2 = R3 = 330 K, C2 = c3 = 0.01 μ R1 = 33 K, R_F = 20 K

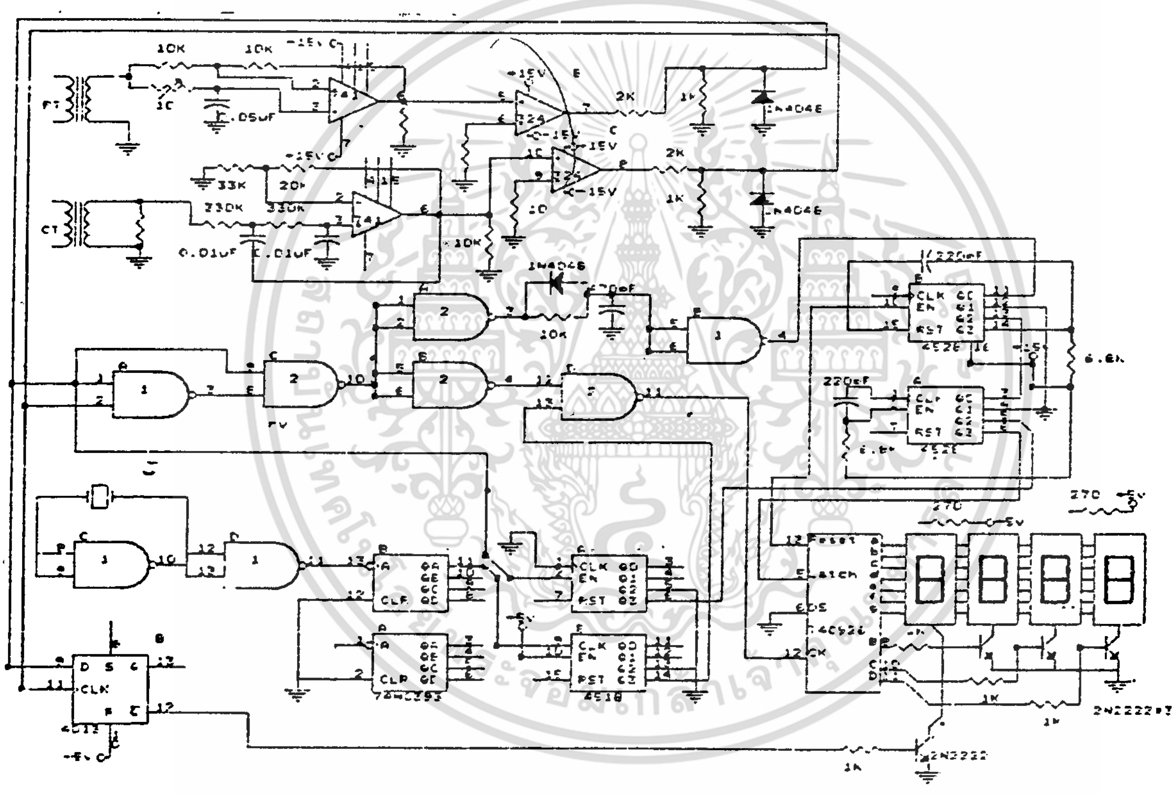
วงจร Counter และ Multiplexer

เมื่อได้พัลส์ของสัญญาณ VI.V ที่มีขนาดความกว้างเท่ากับมุม ф ก็จะใช้การเปิดปิดสัญญาณ clock ที่ป้อนเข้าสู่ Counter ~~74C926~~ 40926 ซึ่งสัญญาณ VI.V นี้จะมีความกว้างแปรผันตามค่ามุม ф ระหว่างค่าแรงดันกับกระแส ในหน่วยองศา

ดังนั้นในกรณี 90° จะมี clock ทั้งหมด 900 ลูก clock ที่ป้อนจะต้องมีความถี่ 180 KHz ทำได้โดยใช้คริสตัล 3.574 MHz ผ่านวงจรหาร 20 ก็จะได้ 178.7 KHz ซึ่งให้ผลใกล้เคียงกับความเป็นจริง



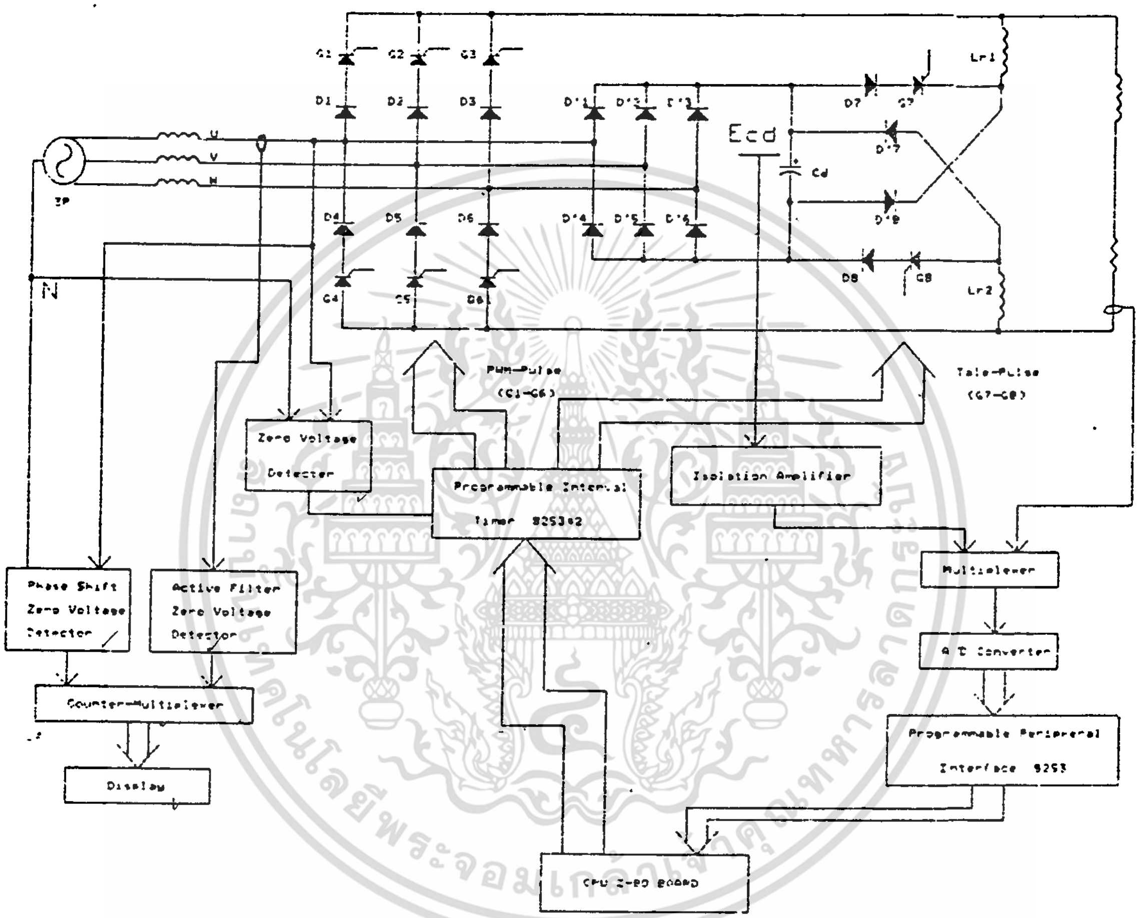
รูปที่ 3.9 Block Diagram ของ ~~74C926~~ 40926



รูปที่ 3.10 วงจรวัดมุมระหว่าง V กับ I

รูปด้านบนนี้แสดงการทำงานของ 74C926 ซึ่งประกอบด้วยวงจรนับ 10 สี่หลัก วงจร Latch 4 หลัก ซึ่งใช้ในการ Latch ข้อมูลให้ภาคแสดงผลโดยจะทำการ Latch ทุก ๆ 10 ไซเคิลของสัญญาณไฟกระแสสลับความถี่ 50 Hz ทำได้โดยนำสัญญาณของแรงดันนั้นมาหาร 10 และผ่านไปยังวงจร Monostable ส่วนการ Reset จะทำทุก ๆ หนึ่งไซเคิลของสัญญาณไฟกระแสสลับ เพื่อให้ได้ค่ามุมที่ถูกต้อง

วงจร Lead และ Lag จะใช้ IC เบอร์ 4013 ทำการแสดงการ Lead และ Lag ของค่าแรงดันกับกระแส คือเมื่อค่ากระแสนั้น Lead ค่าแรงดัน จะแสดงเครื่องหมาย - ที่ส่วนแสดงผลให้ทราบ



รูปที่ 3.11 แผนภาพวงจรของเครื่องคอนเวอร์เตอร์

บทที่ 4

การป้อนกลับของสัญญาณ (Feed Back)

4.1 ระบบควบคุมแบบ Close loop (Close Loop Control System)

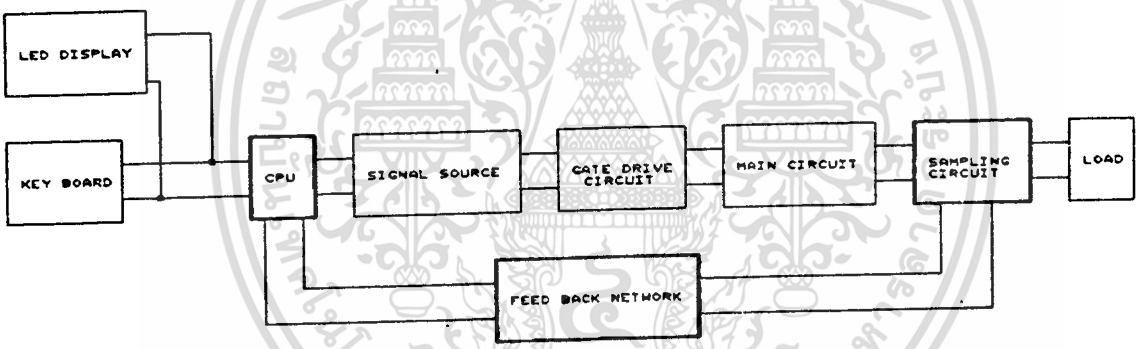
วัตถุประสงค์ในการที่จะต้องมีระบบควบคุมแบบ Close Loop นั้นก็เพราะเนื่องจากว่าเครื่องคอนเวอร์เตอร์ที่ใช้การควบคุมในรูปแบบของ PWM นี้ จะเป็นระบบที่มีการเปลี่ยนแปลงตลอดเวลาโดยไม่สามารถที่จะคาดการณ์ถึงการเปลี่ยนแปลง ที่อาจจะเกิดขึ้นล่วงหน้าได้ เช่น การเปลี่ยนแปลงทางด้านโหลด ทั้งทางด้านที่เป็นไลน์ของไฟกระแสสลับ 3 เฟส หรือ ทางด้านที่เป็น output กระแสตรงดีซี เป็นต้น การเปลี่ยนแปลงที่กล่าวถึงเหล่านี้มักจะเป็นสาเหตุที่จะทำให้เกิดการเปลี่ยนแปลงต่าง ๆ ขึ้น ซึ่งจะทำให้เกิดการกระทบกระเทือนต่อความเป็นเสถียรภาพภายในระบบควบคุมที่ใช้อยู่ในขณะนั้น การเปลี่ยนแปลงดังกล่าวที่เกิดขึ้น เช่น การเปลี่ยนแปลงของกระแสทางด้าน output และ ค่าตัวประกอบกำลังในไลน์ อาจรวมไปถึงค่าแรงดันที่เกิดขึ้นตกคร่อมค่าคาปาซิเตอร์ C_d ภายในวงจรช่วยอีกด้วย เพื่อที่จะทำให้เกิดความเป็นเสถียรภาพภายในระบบควบคุม จึงจะใช้การควบคุมแบบ Close Loop เพื่อที่จะป้องกันไม่ให้เกิดการเปลี่ยนแปลงของ ค่ากระแสทางด้าน output , ค่าตัวประกอบกำลัง และค่าแรงดันที่เกิดขึ้นตกคร่อมค่าคาปาซิเตอร์ C_d โดยให้มีค่าคงที่ตามที่กำหนด

4.2 แนวความคิด

ในโครงงานนี้ใช้การสร้างสัญญาณควบเป็นแบบดิจิตอล การป้อนกลับจึงเป็นแบบดิจิตอลด้วย เนื่องจากพื้นฐานการทำงานทั้งแบบดิจิตอลและอนาล็อกนั้นมีความคล้ายคลึงกัน แตกต่างกันเพียงการต่อวงจรและลักษณะการป้อนกลับ ซึ่งแบบอนาล็อกนั้นเป็นการนำเอา output ของระบบมาเปรียบเทียบกับสัญญาณควบคุมโดยผ่านวงจร Feedback สัญญาณที่นำมาเปรียบเทียบกันจะเป็นสัญญาณแบบอนาล็อก ส่วนแบบดิจิตอลผสมกับอนาล็อกนั้นจะต้องนำ output ที่เป็นอนาล็อกมาแปลงเป็นดิจิตอลก่อนแล้วจึงค่อยนำไปผ่าน CPU เพื่อทำการคำนวนแล้วตั้งค่า input ใหม่ เมื่อเปรียบเทียบแล้วการออกแบบระบบแบบดิจิตอลนั้นค่อนข้างยุ่งยากกว่าเนื่องจากจะต้องออกแบบทั้ง software และ hardware ให้สัมพันธ์กัน รวมถึงสมการทางคณิตศาสตร์ที่ใช้ในโปรแกรมด้วย แต่ที่เลือกมาใช้เพราะง่ายต่อการควบคุมค่าตัวแปรต่างๆ

4.3 รายละเอียดของวงจรป้อนกลับ

เนื่องจากวงจรควบคุมที่ใช้ในการสร้างสัญญาณในรูปแบบของ PWM เป็นวงจรควบคุมแบบระบบดิจิตอล ที่ใช้เทคโนโลยีของอุปกรณ์พวกไมโครโพรเซสเซอร์ Z80 ทำงานร่วมกับอุปกรณ์ IC ชิพต่าง ๆ ดังนั้นการทำงานแบบ Close Loop จึงเป็นการทำงานแบบผสมระหว่างการควบคุมแบบอนาล็อกและดิจิตอล ซึ่งมีรูปแบบวงจรดังรูปที่ 4.1



รูปที่ 4.1 รูปแสดงระบบการป้อนกลับของสัญญาณ

สมการที่ใช้ในการคำนวนสำหรับ PI-Control มีดังนี้

DCPI = (KP*DE) + (KP*KI*DT*SUM)

เมื่อ

DCPI = PI-CONTROLLER MODE OUTPUT

KP = PROPORTIONAL GAIN

DE = ERROR

KI = INTEGRAL MODE GAIN

DT = SAMPLE TIME

* SUM * = LATEST SUM OF ERROR

* หมายเหตุ DCI = KI*SUM*DT*R_{out}/R_{in}

เมื่อ DCI = INTEGRAL-MODE OUTPUT

R_{in} = RANGE OF INPUT VARIBLE = DMAX-DMIN

= 000H-FFFH

R_{out} = RANGE OF OUTPUT

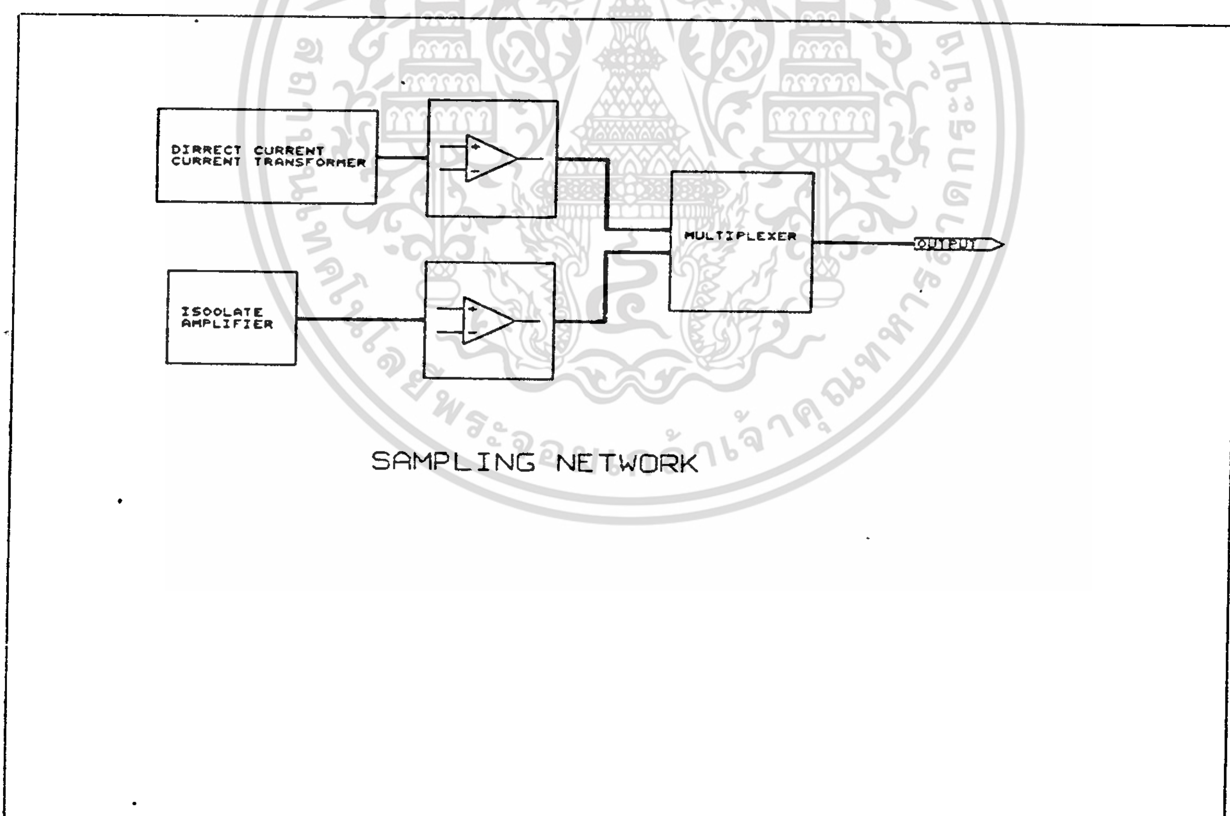
4.4 ส่วนประกอบของวงจรป้อนกลับ

วงจรป้อนกลับนั้นจะประกอบไปด้วยส่วนประกอบที่สำคัญหลักดังต่อไปนี้

1. Sampling Network
2. Feed Back Network
3. Soft Ware

4.4.1 Sampling Network

Sampling Network คือส่วนที่ทำหน้าที่ในการตรวจจับตัวสัญญาณต่าง ๆ ทางด้าน output แล้วส่งสัญญาณที่ตรวจจับได้นี้มายังตัววงจร Feed Back ซึ่งวงจร Feed Back นี้จะเป็นวงจรที่ทำหน้าที่ในการประมวลผลเพื่อที่จะทำการควบคุมลักษณะของสัญญาณในรูปแบบ PWM ต่อไป



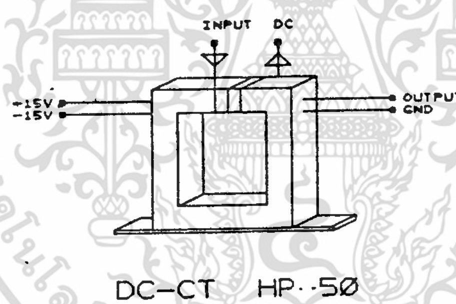
รูปที่ 4.2 Sampling Network

ส่วนประกอบของ Sampling Network

Sampling Network นั้นประกอบไปด้วย

1. Direct Current Transformer (DC-CT)

อุปกรณ์ชนิดนี้จะทำหน้าที่ในการตรวจจับสัญญาณของกระแสทางด้าน output ซึ่งเป็นกระแสตรงดีซี แล้วทำการเปลี่ยนเป็นค่าแรงดันไฟกระแสตรง 4 V ที่ค่ากระแส 50 A ข้อดีของ DC-CT คือ สามารถที่จะทำการแยก (Isolate) วงจรทางด้านแรงดันไฟสูง ออกจากวงจร Feed Back ซึ่งเป็นวงจรทางด้านแรงดันไฟต่ำ ได้อย่างเด็ดขาด . ซึ่งเป็นผลทำให้เกิดความปลอดภัยต่อตัวของบุคคลผู้ที่ทำการทดลอง แก้ไขวงจร และยังสามารถป้องกันอันตรายที่จะเกิดขึ้นจากการที่จะเกิดการลัดวงจรขึ้นได้ หรือการที่จะเกิดการ Spike ต่าง ๆ ขึ้น อันเป็นสาเหตุที่ทำให้เกิดอันตรายต่อวงจร Feed Back และวงจรควบคุมได้ และสำหรับในโครงงานที่ได้ทำนี้ ใช้อุปกรณ์ DC-CT เบอร์ HP-50 ดังรูปที่ 3

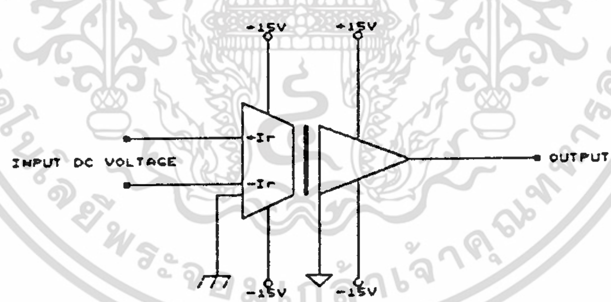


รูปที่ 4.3 DC-CT

2. <u>Isolate Amplifier</u>

ในส่วนนี้เป็น IC ชนิด 32 ขา ซึ่งทำหน้าที่ในการตรวจจับค่าแรงดัน โดยมีคุณสมบัติพิเศษ คือ สามารถที่จะทำการแยกทางด้าน input ให้ออกจากทางด้าน output ได้ และยังมีความสามารถที่จะปรับค่า Gain ได้อีกด้วย ซึ่งภายในการทำงานที่ได้ทำมานี้ จะใช้อุปกรณ์ IC เบอร์ 3652JG นอกจากยังสามารถที่จะใช้ในการปรับค่า Gain ให้มีค่าเป็น 1 แล้วทำการป้อนค่าแรงดันทางด้าน input ที่มีค่า 0-5 V ซึ่งสามารถที่จะสร้างได้โดยใช้การต่อวงจรของตัวต้านทานในการแบ่งแรงดัน (Divider Voltage) ขนานกับตัวคาปาซิเตอร์ C_d ตามความเหมาะสมของค่าแรงดันสูงสุดที่ตกคร่อมตัวคาปาซิเตอร์ C_d

ข้อดีของ Isolate Amplifier คือสามารถที่จะทำการตรวจจับค่าแรงดันได้โดยไม่จำเป็นที่จะต้องให้กระแสไหลผ่าน เช่นในกรณีที่ใช้หม้อแปลง และยังสามารถที่จะตรวจจับค่าแรงดันที่เป็นแรงดันไฟกระแสตรงดีซีได้อีกด้วย ซึ่งจากคุณสมบัตินี้เองที่เป็นผลทำให้สามารถที่จะใช้ตัวความต้านทานที่มีค่าความต้านทานสูงมาก ๆ มาเป็นตัวที่ทำหน้าที่แบ่งค่าแรงดัน เพื่อไม่ให้เกิดการสูญเสียมากนั่นเอง



ISOLATE-AMPLIFIER

รูปที่ 4.4 Isolate-Amplifier

$$dV = \frac{10^6}{R_{G1}+R_{G2}+R_{in}+R_o}$$

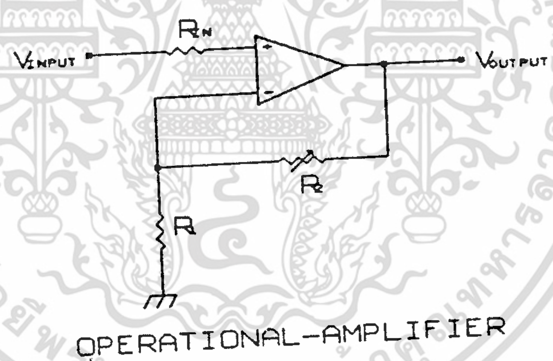
โดยที่ค่า R_{in} มีค่าเท่ากับ 25 โอห์ม

และ R_o มีค่าเท่ากับ 90 ± 30 โอห์ม

3. Operational Amplifier (Op-Amp)

ในส่วนนี้จะใช้เบอร์ μA 741 ซึ่งทำหน้าที่เป็น Non-Inverting Amplifier ที่มีค่า Gain เป็น 1

จุดประสงค์ที่แท้จริงของการใช้งานในส่วนนี้ คือ จะทำหน้าที่เป็นตัวที่ช่วยใน การขับกระแส ทำให้ค่าแรงดันนั้นไม่ตก เนื่องจากการดึงกระแสอย่างมาก ๆ ทางด้านโหลด ของอุปกรณ์ที่นำมาต่อร่วม ซึ่งก็คือ ADC 80 โดยจะกล่าวถึง ADC 80 ในภายหลัง

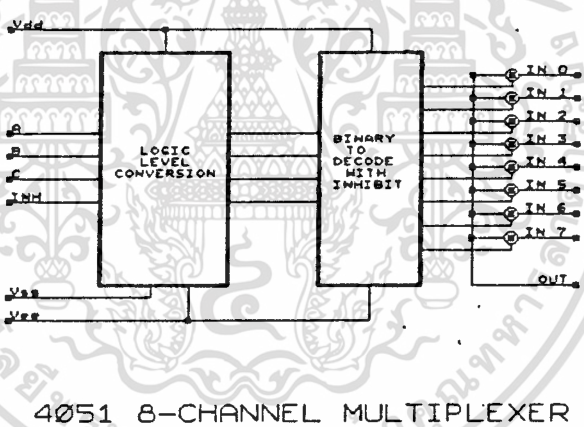


รูปที่ 4.5 Operational-Amplifier

$$V_o = (1 + R_2/R_1) V_1$$

4. <u>Multiplexer</u>

ในส่วนนี้จะใช้อุปกรณ์ IC เบอร์ 74 HC 4051 ซึ่งทำหน้าที่เป็นตัวเลือกทางด้าน input เนื่องจากอุปกรณ์ที่จะใช้ในการแยก (Operate) นั้นมีเพียงชุดเดียว แต่อุปกรณ์ที่ทำหน้าที่ตรวจจับสัญญาณนั้นมีอยู่หลายตัว ดังนั้นเมื่อต้องการสัญญาณอะไรจากตัว Detector (ตัวตรวจจับสัญญาณ) ตัวไหน ก็จะส่งสัญญาณการควบคุมมาเลือกทางด้าน input ตามที่ต้องการ ดังได้แสดงไว้ในรูปที่ 4.6



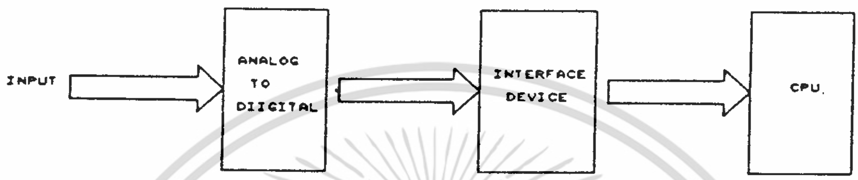
รูปที่ 4.6 4051 8-Channel Multiplexer

การเลือกทางด้าน input ของ 74 HC 4051 ซึ่งมีทั้ง 8 input ควบคุมได้โดยการใช้สัญญาณทางด้าน Logic ขนาด 3 บิต ดังได้แสดงไว้ในตาราง

Inhibit	No.Input	Logic		
		C	B	A
0	X 0	0	0	0
0	X 1	0	0	1
0	X 2	0	1	0
0	X 3	0	1	1
0	X 4	1	0	0
0	X 5	1	0	1
0	X 6	1	1	0
0	X 7	1	1	1
1	None	*	*	*

* Don't Care

4.4.2 Feed Back Network

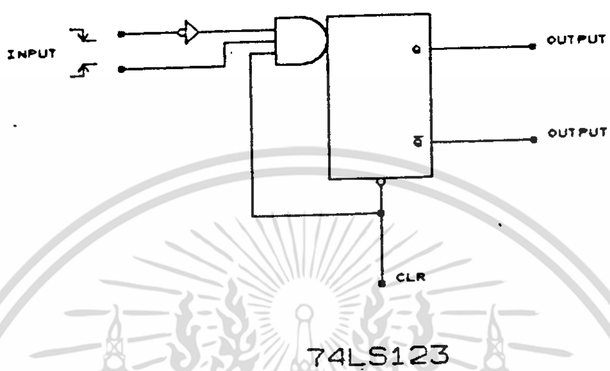


FEED-BACK BLOCK DIAGRAM

รูปที่ 4.7 ไดอะแกรมของวงจรป้อนกลับ

วงจร Feed Back ที่แสดงเอาไว้ในรูปข้างต้นนี้เป็นวงจรที่มีหน้าที่ในการแปลงสัญญาณจากแบบอนาล็อกมาเป็นสัญญาณแบบดิจิตอล เนื่องจากสัญญาณที่ต้องการในการควบคุมทางด้าน output สำหรับของวงจรกำลังหลักนั้น เป็นสัญญาณควบคุมแบบอนาล็อก แต่ทว่าวงจรที่ทำหน้าที่ในการสร้างสัญญาณควบคุมนั้นเป็นวงจรแบบดิจิตอล ดังนั้น หัวใจหลักของการป้อนกลับ (Feed Back) ก็คือการแปลงเอาสัญญาณจากแบบอนาล็อกนั้นไปเป็นระบบสัญญาณแบบดิจิตอล ซึ่งอุปกรณ์ที่ทำหน้าที่นี้โดยตรงนั้นก็คือ IC เบอร์ ADC

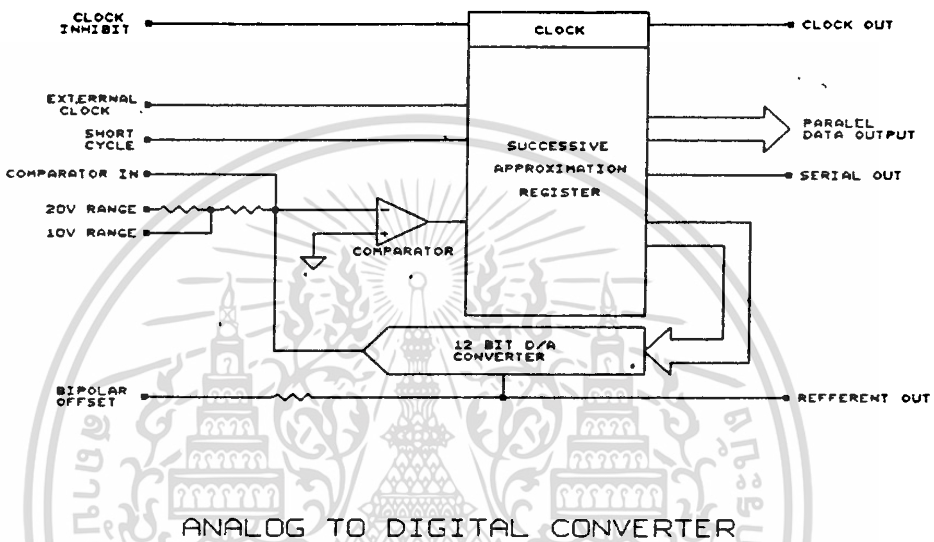
80 (Analogue-To-Digital Converter) ซึ่งเป็นอุปกรณ์ IC ที่มีขนาด 12 บิต สามารถทำงานได้ด้วยความเร็วสูง (25 μ sec) ดังรูปที่ 4.8



รูปที่ 4.8 รูปแสดง IC เบอร์ 74LS123

ลักษณะทั่วไปของอุปกรณ์ ADC 80 นี้ก็คือ เป็น IC ขนาด 32 ขา ที่สามารถจะเลือก ช่วง (Range) ของทางด้าน input ได้ คือ 0-5 V , ± 5 V เป็นต้น ส่วนของทางด้าน output นั้นมีขนาด 12 บิต โดยบิตที่ 1 เป็น MSB และบิตที่ 12 นั้นเป็น LSB การทำการแปลงสัญญาณอนาล็อกให้เป็นสัญญาณดิจิตอลในแต่ละครั้งนั้นจะเกิดขึ้นก็ต่อเมื่อมีสัญญาณ Convert Command ถูกส่งเข้ามา ซึ่งสัญญาณดังกล่าวนี้ถูกสร้างโดย IC เบอร์ 74LS123 ซึ่งจะสร้างสัญญาณ Logic 1 มีขนาดของความกว้างของสัญญาณประมาณ 200 nsec เมื่อมีสัญญาณทางด้านขอบขาลง ดัง

แสดงไว้ในรูปที่ 4.9



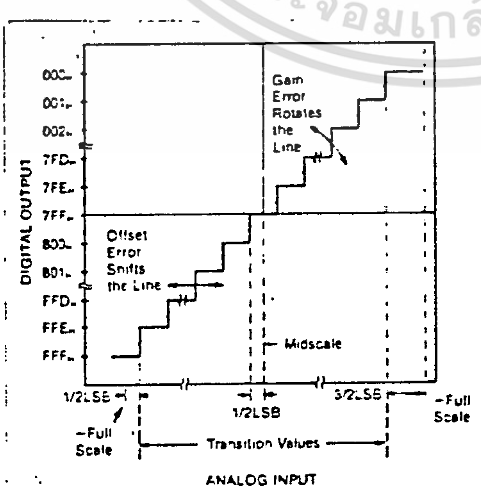
รูปที่ 4.9 Analog To Digital Converter

Clear	A	B	Q	$\bar{Q}$
L	X	X	L	H
X	H	X	L	H
X	X	L	L	H
H	L	↑	⊓	⊔
H	↓	H	⊓	⊔
↑	L	H	⊓	⊔

Function Table

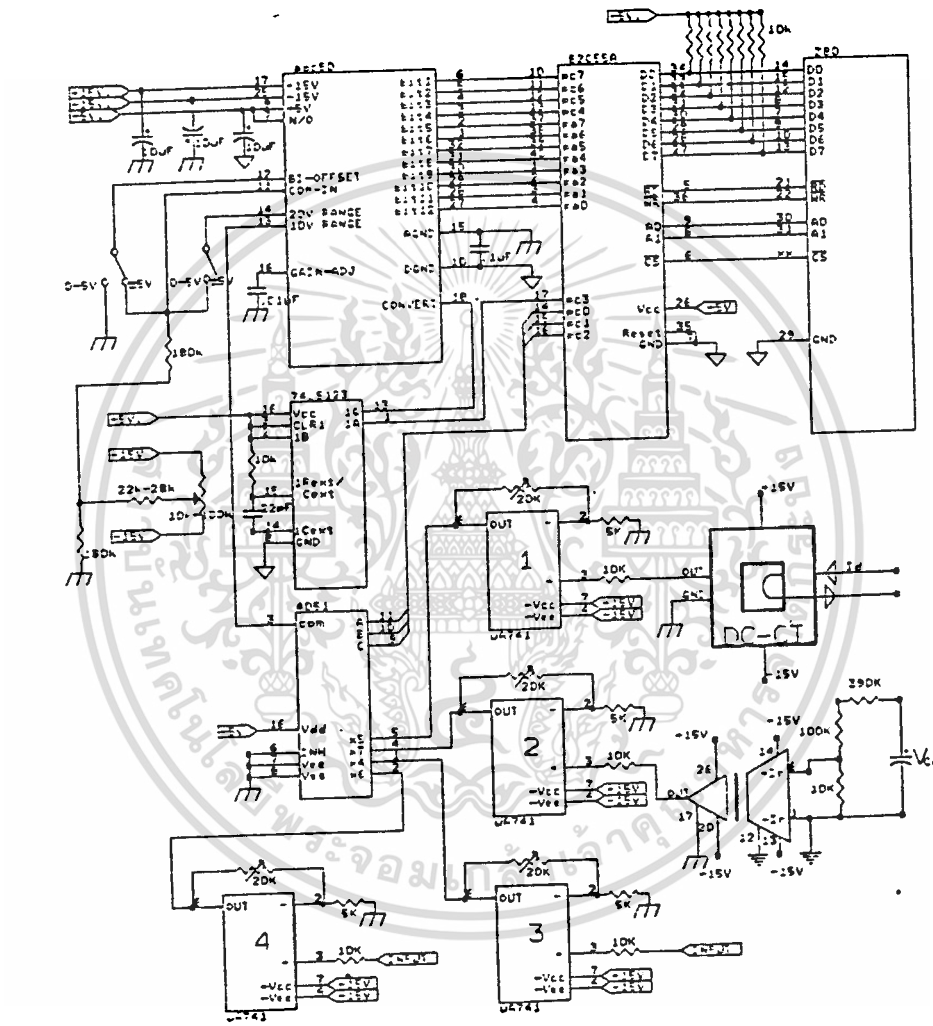
การนำเอาสัญญาณทางด้าน output ทั้ง 12 บิต ของอุปกรณ์ ADC 80 ไปใช้งานนั้น สามารถที่จะทำได้โดยการใช้ Smart Chip Parallel Interphase เบอร์ 8255A โดยการใช้ Port A และ Port C เฉพาะ 4 บิตบน ในการ Interphase กับตัว CPU Z80 ซึ่งเป็นตัว CPU ตัวเดียวกันกับที่ใช้ควบคุมในรูปแบบ PWM แต่สัญญาณที่ได้จาก ADC 80 นั้น จะเป็นค่า Complement ของสัญญาณทางด้าน input ดังนั้นจะต้องทำการ Complement ก่อนที่จะนำไปใช้ในงานจริง และสำหรับในโครงงานนี้ จะใช้ย่านของค่าอนาล็อกทางด้าน input ที่มีขนาด 0-5 V ดังนั้นทางด้าน output ที่ได้จะอยู่ในช่วง FFF ถึง 000 โดยเมื่อ ทางด้าน input มีค่าเท่ากับ 0 V จะได้ทางด้าน output มีค่าเท่ากับ FFF ดังตารางต่อไปนี้

ตาราง output ของ ADC 80



หลักการทำงานของ Feed Back Network

การทำงานของวงจรป้อนกลับนั้น จะต้องอาศัยการทำงานของส่วนประกอบทุกส่วน อย่างสัมพันธ์กัน ซึ่ง ได้แก่ CPU , วงจรป้อนกลับ และ วงจรตรวจจับสัญญาณ รวมไปถึงส่วนประกอบย่อย ๆ อื่น ๆ อีกดังรูปที่ 4.10



รูปที่ 4.10 วงจร Feed Back

จากรูป การทำงานจะเริ่มต้นจาก Z80-CPU จะส่งค่า Control Word ไปให้กับ 8255A เพื่อที่จะให้ Port A และ Port C เฉพาะ 4 บิตบนทำหน้าที่เป็น input และ Port C 4 บิตล่างนั้นเป็น output Port Z80 CPU จะต้องส่งให้สัญญาณที่ Port C บิตที่ 3 เป็นค่า High พร้อมกันนั้นก็จะส่ง output แบบ High ก็เพื่อที่จะทำการเลือก input ของ 74 HC 4051 ทาง Port C บิตที่ 0 และ 2 หลังจากนั้นก็จะทำการส่ง output เป็นค่า Low ออกไปยัง Port C บิตที่ 3 ทำให้เกิดสัญญาณทางด้านขอบขาลงมาป้อนให้กับ 74LS123 เป็นผลทำให้ 74LS123 นั้นสร้างสัญญาณ Convert Command ป้อนให้กับขา Convert ของ ADC 80 ซึ่ง ADC 80 นี้จะใช้เวลาในการ Convert สัญญาณอนาล็อกที่ถูกป้อนเข้ามาให้กลายเป็นสัญญาณดิจิตอล โดยใช้เวลาประมาณ 25 μsec ซึ่งจากนั้น Z80 CPU จะส่งให้ input สัญญาณที่ถูก Convert เสร็จเรียบร้อยแล้วเข้าไปทาง Port A และ Port C 4 บิตบน หลังจากที่ CPU ได้ทำการอ่านข้อมูลเรียบร้อยแล้วก็จะทำการส่งค่าสั่ง Out High ไปยังด้าน Port C บิตที่ 3 และ Out Low ไปยังด้าน Port C บิตที่ 0, 1 และ 2 เพื่อเป็นการเตรียมตัว Convert สัญญาณอื่น ๆ อีกต่อไป

ข้อมูลที่ทางด้าน Z80 CPU ได้ทำการอ่านเข้าไปเก็บไว้นั้นจะถูกนำออกไปเปรียบเทียบกับข้อมูลเดิม ว่ามีการเปลี่ยนแปลงเกิดขึ้นหรือไม่ อย่างไร และหลังจากนั้นก็จะทำการประมวลผลเพื่อให้เกิดความเป็นเสถียรภาพต่อระบบควบคุมต่อไป ซึ่งเป็นเรื่องของทางด้านส่วน Soft Ware ดังจะกล่าวในหัวข้อต่อไป

Grounding

การทำงานของ ADC 80 นั้นมีความละเอียดมาก เพราะมีขนาดถึง 12 บิต ทางด้าน output ดังนั้น ถ้าเกิดว่าสัญญาณทางด้าน input ได้เกิดมีการเปลี่ยนแปลงแม้ว่าจะเพียงเล็กน้อยก็ตาม ก็จะทำให้ค่าทางดิจิตอลที่ Convert ได้นั้น มีการเปลี่ยนแปลงไปมาก แม้แต่มี Noise เพียงเล็กน้อย ก็ยังมีผลกระทบได้ ดังนั้นเพื่อทำการลดสัญญาณรบกวนที่จะเกิดขึ้นได้ภายในวงจรกำลังหลัก และ วงจรขับ จึงต้องทำการ Sheild วงจร ซึ่งระบบกราวด์ที่ใช้นั้นจะต้องพิจารณาให้ละเอียด ก็เพราะว่าเนื่องจากมีทั้ง Analogue Common และ Digital Common สายกราวด์ของระบบทั้งหมดนั้นจะต้องต่อกันที่เพียงจุดจุดเดียว เพื่อที่จะต่อลงบน Plane ทั้งนี้ก็เพื่อเป็นการป้องกันไม่ให้เกิดมีกระแสไหลวนใน Plane ซึ่งเป็นสาเหตุของการเกิดสัญญาณรบกวนได้

4.4.3 <u>Soft Ware Feed Back</u>

สิ่งที่เป็นหัวใจสำคัญของการทำ Close Loop แบบดิจิตอลก็คือ Soft Ware เนื่องจากการ Close Loop แบบดิจิตอลนั้นไม่เหมือนกับการทำการ Close Loop แบบอิเลคทรอนิกส์ ซึ่งสัญญาณ Feed Back จะทำการป้อนกลับได้โดยตรง เพื่อเพิ่ม (Positive Feed Back) หรือลด (Negative Feed Back) สัญญาณควบคุม แต่ว่าการป้อนกลับแบบดิจิตอลนี้ สัญญาณที่ได้แบบอนาล็อกจะถูก Convert เป็นสัญญาณแบบดิจิตอล แล้วนำไปประมวลผลเพื่อทำการเปรียบเทียบกันกับสัญญาณเดิม เมื่อเกิดความแตกต่างขึ้น ก็จะแสดงได้ว่าภายในระบบได้เกิดมีการเปลี่ยนแปลงไป ดังนั้น CPU ก็จะทำการส่งคำสั่งไปยังวงจรที่ทำหน้าที่ในการสร้างสัญญาณรูปแบบของ PWM เพื่อที่จะทำการเพิ่มค่าหรือลดค่าของสัญญาณต่าง ๆ ดังต่อไปนี้

การ Close Loop กระแส DC Output

กระแสตรงดีซีทางด้าน output นั้นจะมีการเกิดการเปลี่ยนแปลงขึ้นได้ ซึ่งแปรไปตามค่าของโหลดที่ได้รับ ซึ่งถ้าค่าของโหลดมีค่าเพิ่มขึ้น กระแสก็จะมีค่ามากขึ้นตามไปด้วย เมื่อค่าของกระแสมีการเปลี่ยนแปลงไป ก็จะเป็นผลทำให้ค่าของตัวประกอบกำลังนั้นมีการเปลี่ยนแปลงค่าไปด้วย ดังนั้นเพื่อเป็นการรักษาให้ค่าตัวประกอบกำลังนั้นมีค่าให้คงที่ จึงต้องทำการรักษาให้ค่าของกระแสนั้นมีค่าคงที่ ค่าของกระแสตรงดีซีทางด้าน output นี้ สามารถที่จะทำการควบคุมได้ โดยการทำการปรับค่าความกว้างของพัลส์ ในรูปแบบของ PWM ซึ่งก็คือ ค่าตัวประกอบมอดูเลชั่น (แลมป์ดา) โดยที่เมื่อค่า แลมป์ดานี้มีค่ามากขึ้น ค่าของกระแสก็จะมีค่ามากขึ้นด้วย หมายถึงว่าค่าของกระแสนั้นแปรผันตรงกับค่าของ แลมป์ดา ดังนั้นถ้าต้องการที่จะทำการลดค่าของกระแสให้ลดลง ก็จะทำการลดค่าความกว้างของ แลมป์ดานี้ให้ลดลง ซึ่งในการเปลี่ยนแปลงค่า แลมป์ดา นี้จะเป็นหน้าที่ของ Z80 CPU ในการที่จะทำการตัดสินใจว่าจะลดหรือเพิ่มค่านี้

การ Close Loop ค่าแรงดันที่ตกคร่อมตัวคาปาซิเตอร์ C_d

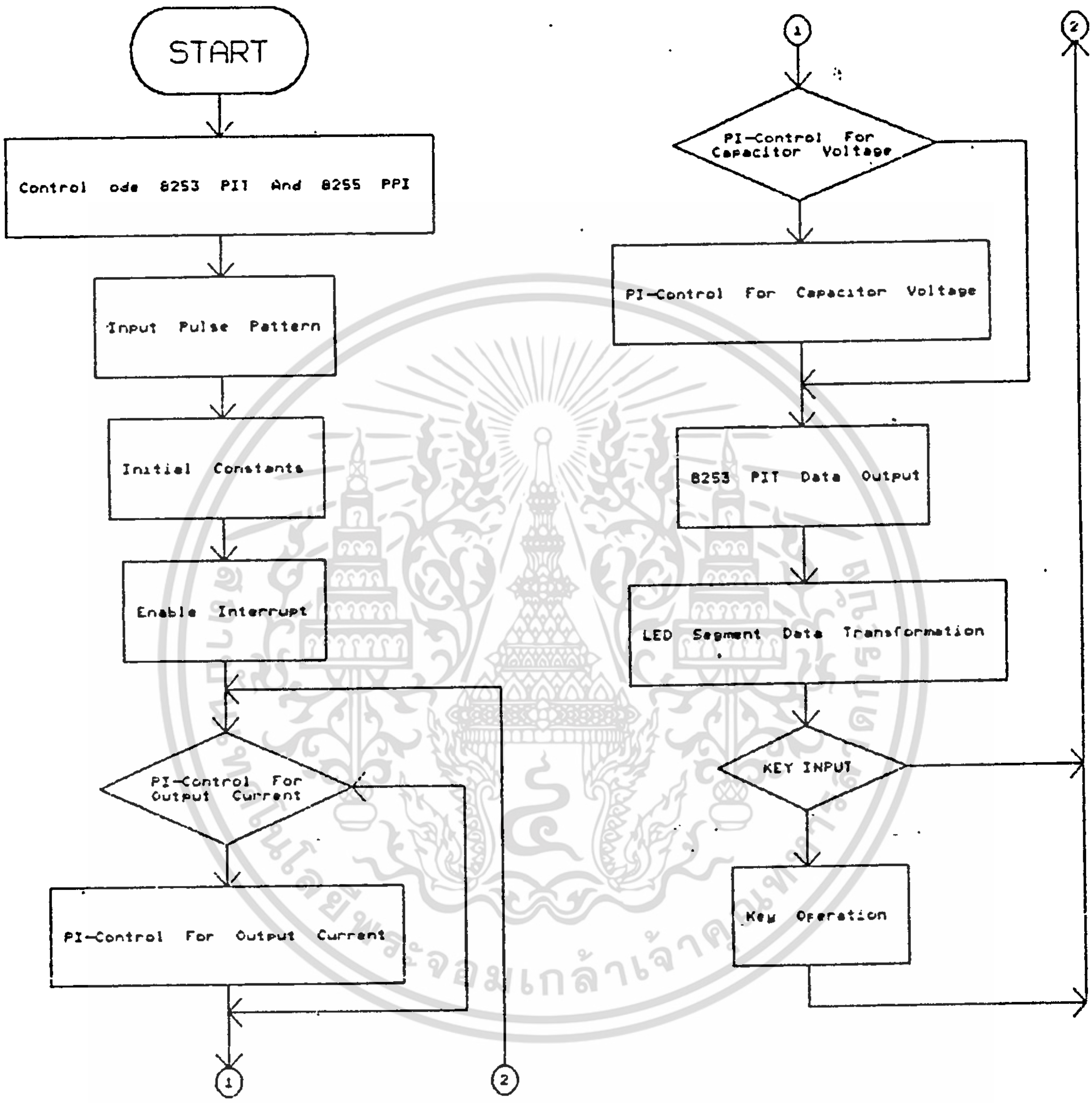
คาปาซิเตอร์ ในส่วนของวงจรช่วย (C_d) นั้น จะมีหน้าที่สำคัญก็คือ การเก็บค่าของ Spike ที่เกิดขึ้น จากการสวิทชิ่งของอุปกรณ์ GTO Thyristor แล้วก็ทำการถ่ายประจุนี้ออกไปทางด้าน output เพื่อที่จะช่วยทำการจ่ายโหลด ซึ่งเป็นผลพลอยได้อีกทอดหนึ่ง ค่าแรงดันที่ตกคร่อม C_d นี้ จะต้องอยู่ที่ค่าที่เหมาะสมค่าหนึ่ง ซึ่งที่แรงดันนี้จะทำให้ตัวคาปาซิเตอร์นี้มีประสิทธิภาพดีที่สุด แต่การที่กระแสทางด้าน output นั้นได้มีการเปลี่ยนแปลงไป ก็จะเป็นผลทำให้ค่าแรงดันที่ตกคร่อมตัวคาปาซิเตอร์นี้มีการเปลี่ยนแปลงตามไปด้วย เพราะว่า ค่าของกระแสทางด้าน output นั้นสูง ค่า

Spike ที่เกิดขึ้นก็จะสูงด้วย การรักษาให้ค่าแรงดันตกคร่อมตัวคาปาซิเตอร์นี้ให้มีค่าคงที่นั้น สามารถที่จะทำได้โดยการปรับค่าของ ช่วงเวลาในการถ่ายประจุ ซึ่งเป็นสัญญาณควบคุมให้อุปกรณ์ GTO 7 และ GTO 8 นั้นทำการนำกระแส โดยที่ ถ้าค่าของช่วงเวลาในการถ่ายประจุนี้มีค่าน้อย ค่าแรงดันตกคร่อมตัวคาปาซิเตอร์ก็จะมีค่ามากขึ้น แต่ถ้าค่าของช่วงเวลาในการถ่ายประจุนี้มีค่ามาก ค่าแรงดันตกคร่อมตัวคาปาซิเตอร์ก็จะมีค่าน้อยลง หรือ อาจจะกล่าวได้ว่า ค่าแรงดันที่ตกคร่อมตัวคาปาซิเตอร์นี้แปรผกผันกับค่าของช่วงเวลาการถ่ายประจุ ซึ่ง CPU นั้นจะทำการเปรียบเทียบสัญญาณ Feed Back ที่ป้อนเข้ามากับค่าแรงดันที่ถูกตั้งขึ้นไว้แต่เดิม แล้วก็ทำการเปลี่ยนแปลงค่าของช่วงเวลาการถ่ายประจุ เพื่อให้ค่าแรงดันตกคร่อมตัวคาปาซิเตอร์นั้นมีค่าคงที่เท่าเดิมไม่มีการเปลี่ยนแปลง

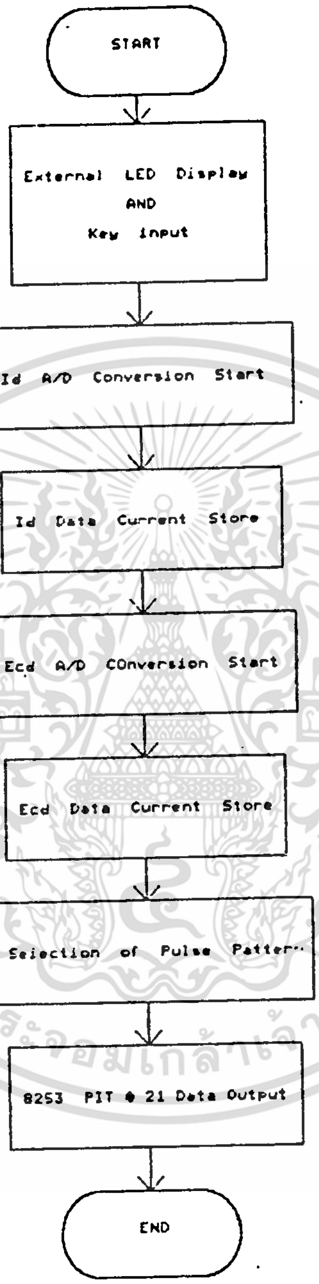
4.5 การเขียนโปรแกรม Soft Ware

ตัวไมโครโพรเซสเซอร์ Z80 ที่ใช้ในการควบคุมและทำการเปรียบเทียบข้อมูลที่ได้จากการ Feed Back นี้เป็นไมโครโพรเซสเซอร์ที่ใช้ขนาด 8 บิต ที่ใช้ลักษณะการโปรแกรมเป็นภาษาแอสเซมบลี้ (Assembly) ซึ่งโปรแกรมนี้ สามารถที่จะเขียนแล้วเก็บเอาไว้ในอุปกรณ์ EPROM ซึ่งเมื่อทำการเปิดเครื่องแล้ว สั่งให้ Run Program ตัว CPU Z80 นี้ก็จะทำการอ่านเอาข้อมูลที่เก็บไว้ใน EPROM ออกมาแล้วก็ทำการ Run ดังนั้น โปรแกรมที่จะถูกนำเอามาใช้สำหรับภายในโครงงานนี้ จึงเป็นโปรแกรมภาษาแอสเซมบลี้ ซึ่งเป็นภาษาเครื่องที่เหมาะสมที่สุดที่จะนำมาประยุกต์ใช้กับระบบ Power Electronics ในสมัยปัจจุบันนี้ เพราะว่าราคาไม่แพง และยังมีความเร็วพอสมควรซึ่งเหมาะสมสำหรับการทำงานของเครื่องคอนเวอร์เตอร์ ที่ใช้ไมโครโพรเซสเซอร์ในการควบคุม

ตัวโปรแกรมภาษาแอสเซมบลี้สำหรับการ Close Loop นี้จะอยู่รวมกับ ส่วน Main Program ซึ่งจะอยู่ในรูปของการ Interupt ซึ่งจะมีข้อดีก็คือ สามารถกำหนดได้ว่าจะให้มีการ Close Loop หรือไม่ก็ได้ โดยการตั้งค่าภายในโปรแกรมแค่เพียง 2-3 บรรทัด ไม่จำเป็นที่จะต้องไปเปลี่ยนทั้งโปรแกรม โปรแกรมส่วน Interupt นี้จะแทรกอยู่ในส่วนใดส่วนหนึ่งของ Main Programe ดังแผนภูมิการทำงานหลักดังนี้

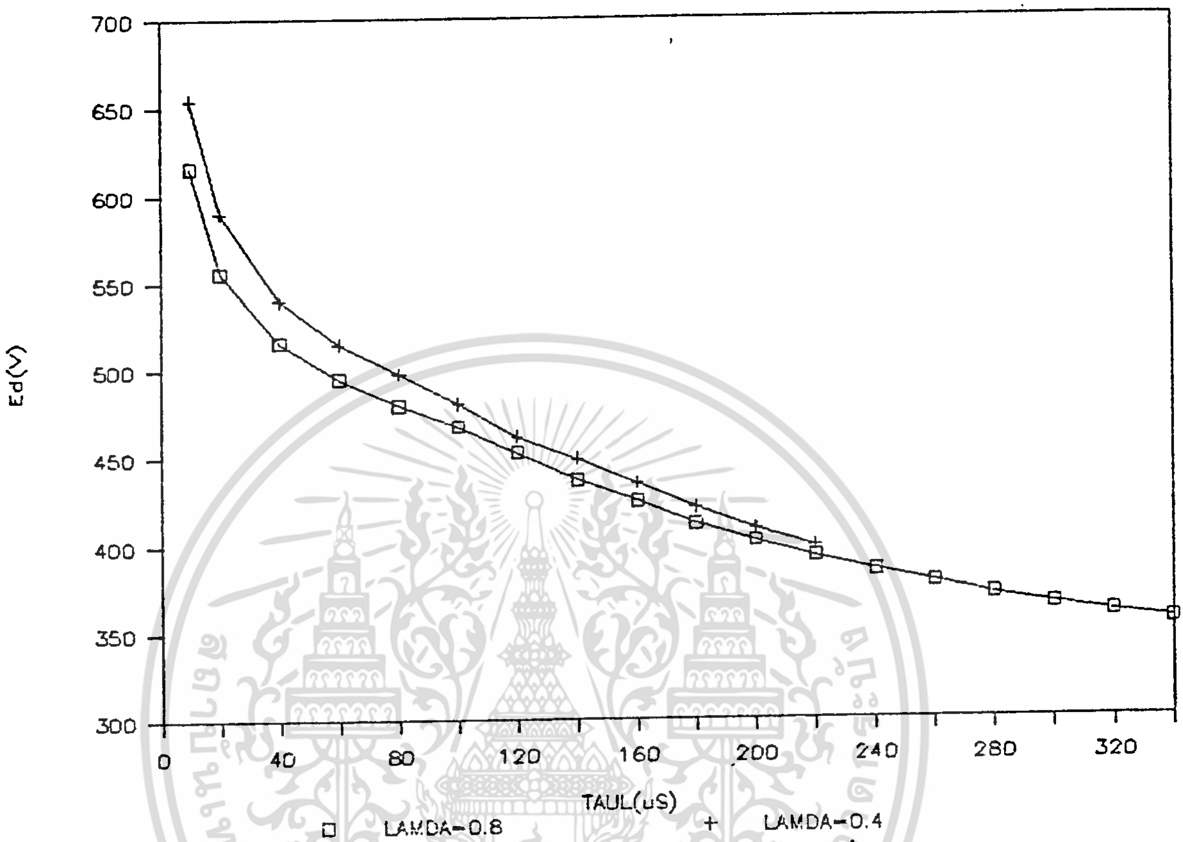


รูปที่ 4.11 Main Programe

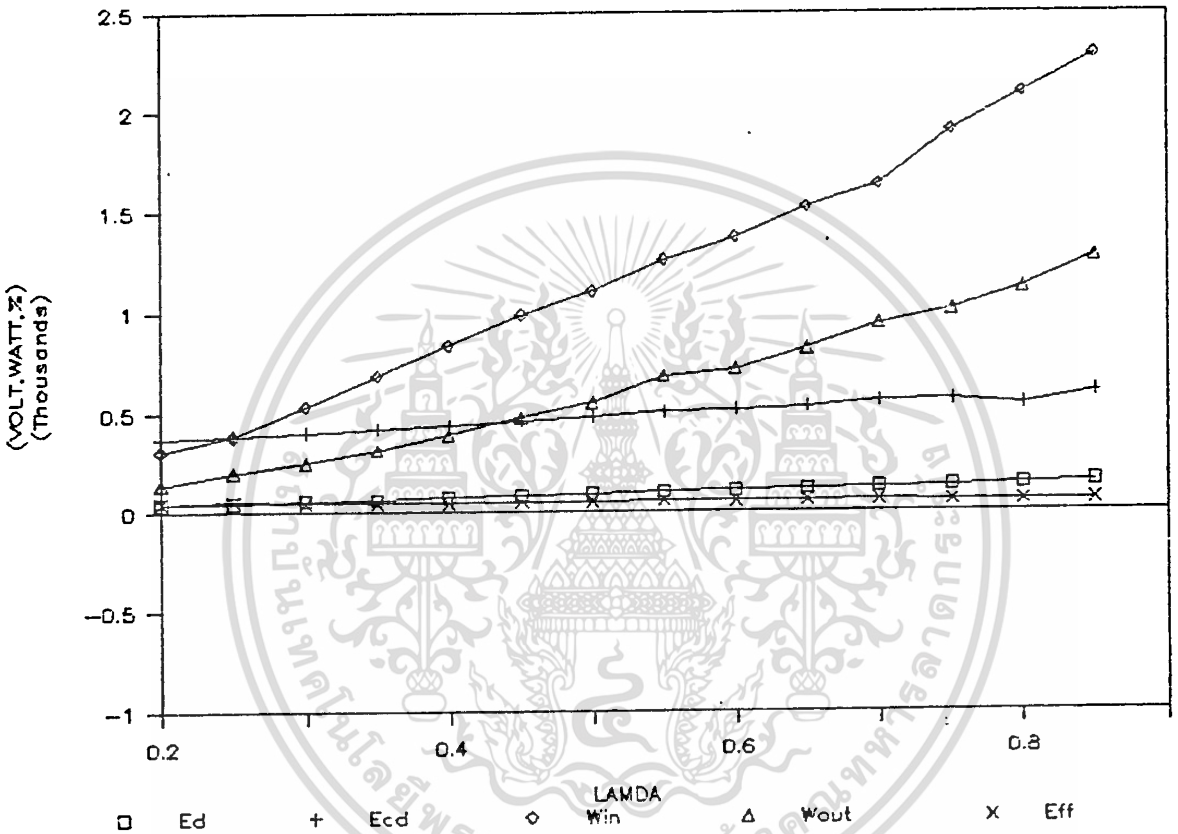


รูปที่ 4.12 Interupt Service Routine

การทดลองและผลการทดลอง



TAUL	Ed (0.8)	Ed (0.4)
10	616	654
20	556	590
40	516	540
60	495	515
80	480	498
100	468	481
120	453	462
140	437	449
160	425	435
180	412	421
200	402	409
220	393	399
240	385	
260	378	
280	371	
300	365	
320	360	
340	356	



Iin	Id	Ed	Ecd	Win	Wout	Eff
6	8.5	150	600	2286.24	1275	55.76842
5.5	8	140	540	2095.72	1120	53.44225
5	7.8	130	561	1905.2	1014	53.22275
4.3	7.6	124	555	1638.472	942.4	57.51700
4	7.1	115	525	1524.16	816.5	53.57049
3.6	6.8	105	512	1371.744	714	52.05052
3.3	6.8	100	502	1257.432	680	54.07847
2.9	6.1	90	478	1105.016	549	49.68253
2.6	5.8	82	458	990.704	475.6	48.00626
2.2	5.4	72	438	838.288	388.8	46.38024
1.8	5	62	420	685.872	310	45.19793
1.4	4.5	55	400	533.456	247.5	46.39557
1	4.7	42	384	381.04	197.4	51.80558
0.8	3.6	38	373	304.832	136.8	44.87717

ALFA	Id6	Id9	Id12	Id15
-75	1.76	1.87	1.76	1.65
-60	4.07	3.96	3.74	3.52
-45	6.05	5.28	4.84	4.62
-30	6.6	6.16	5.72	5.5
-15	7.15	6.82	6.38	5.94
0	7.7	7.15	6.6	6.16
15	7.48	6.93	6.49	6.16
30	7.26	6.6	6.16	5.72
45	6.38	5.94	5.5	5.17
60	5.28	4.95	4.4	4.29
75	3.85	3.41	3.08	2.75

ALFA	Iin6	Iin9	Iin12	Iin15
-75	1	1	1	0.9
-60	2.5	2.4	2.2	2.1
-45	3.3	3.2	3	2.9
-30	4	3.8	3.5	3.3
-15	4.4	4.1	3.9	3.7
0	4.7	4.2	4	3.8
15	4.4	4.3	4	3.8
30	4.3	4.1	3.8	3.5
45	4	3.6	3.3	3.1
60	3.3	3	2.7	2.6
75	2.3	2.3	1.8	1.6

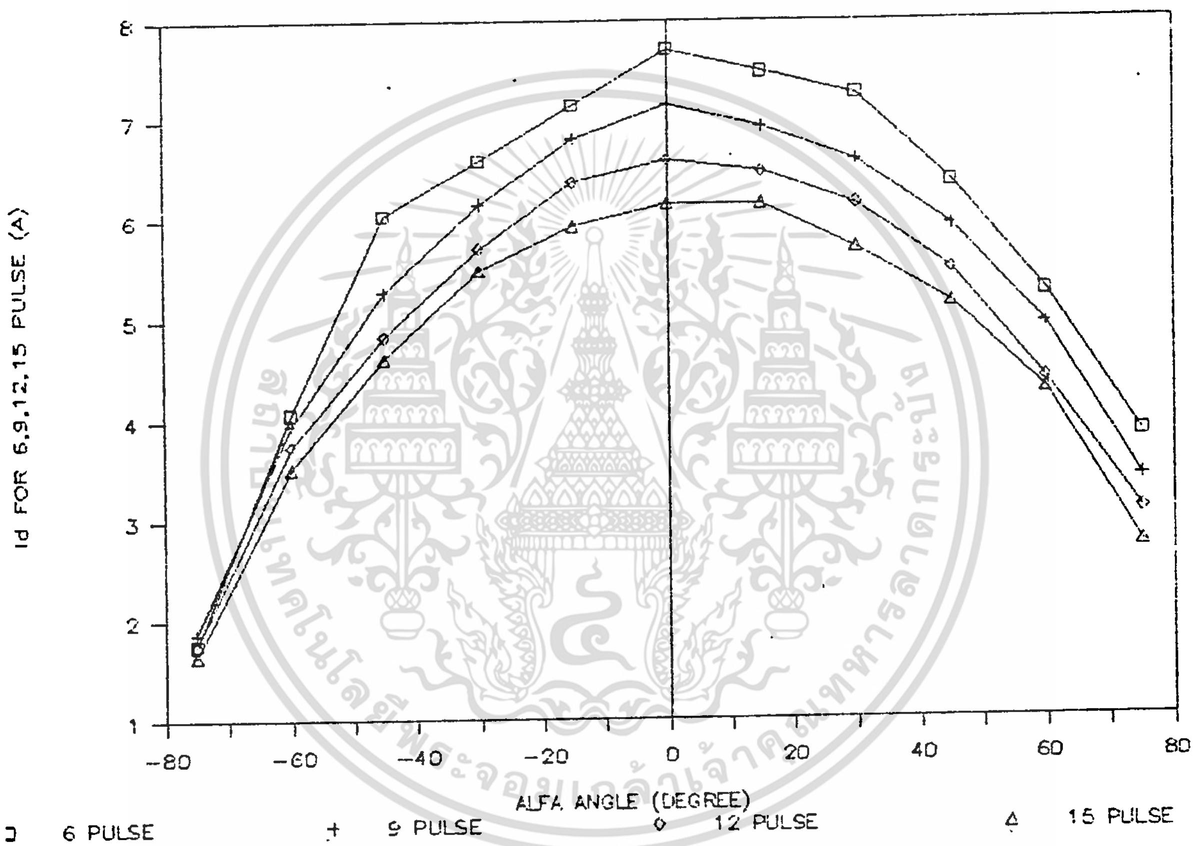
ALFA	Ed6	Ed9	Ed12	Ed15
-75	11	11	8.8	7.7
-60	33	28.6	24.2	22
-45	52.8	50.6	41.8	37.4
-30	72.6	66	55	51.7
-15	85.8	79.2	67.1	61.6
0	96.8	83.6	72.6	63.8
15	88	81.4	72.6	63.8
30	83.6	74.8	63.8	57.2
45	70.4	59.4	49.5	46.2
60	48.4	44	33	30.8
75	24.2	22	17.6	14.3

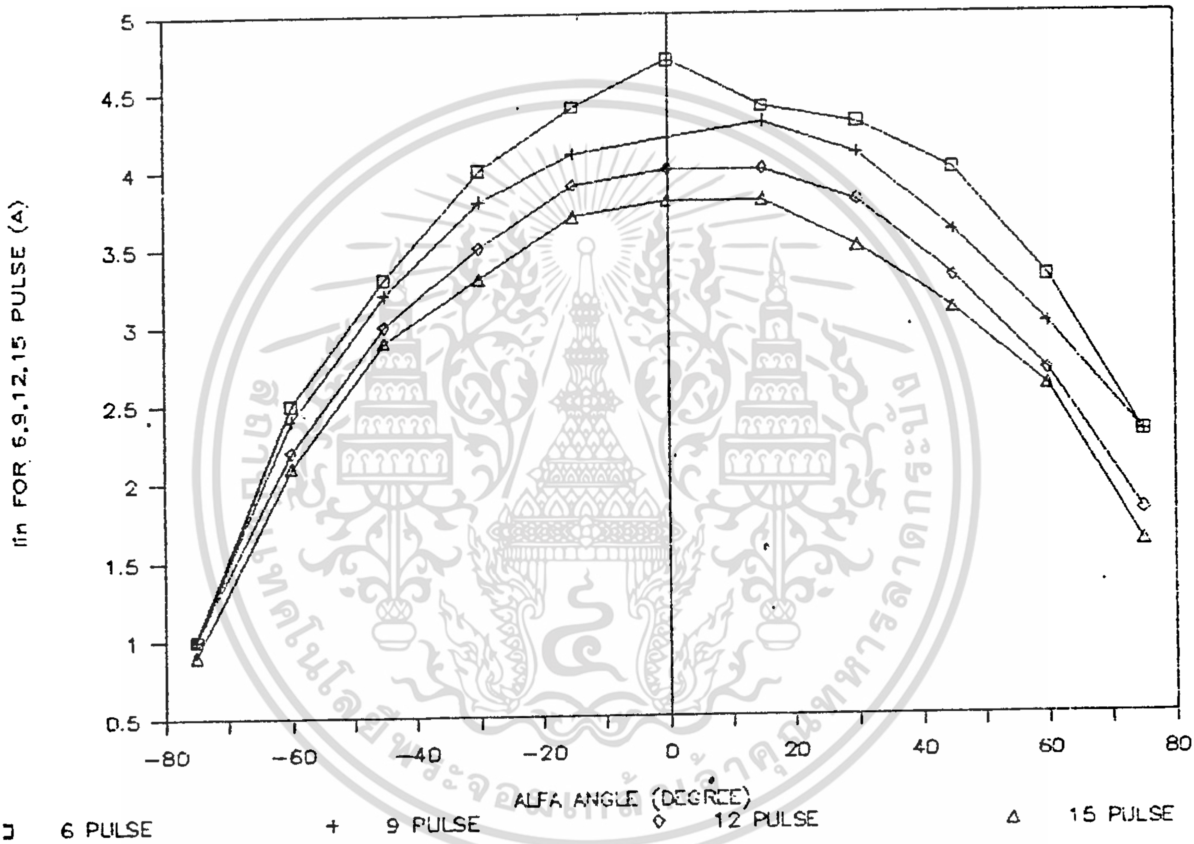
ALFA	Win6	Win9	Win12	Win15
-75	207.84	207.84	207.84	187.056
-60	519.6	498.816	457.248	436.464
-45	685.872	665.088	623.52	602.736
-30	831.36	789.792	727.44	685.872
-15	914.496	852.144	810.576	769.008
0	976.848	872.928	831.36	789.792

15	914.496	893.712	831.36	789.792
30	893.712	852.144	789.792	727.44
45	831.36	748.224	685.872	644.304
60	685.872	623.52	561.168	540.384
75	478.032	478.032	374.112	332.544

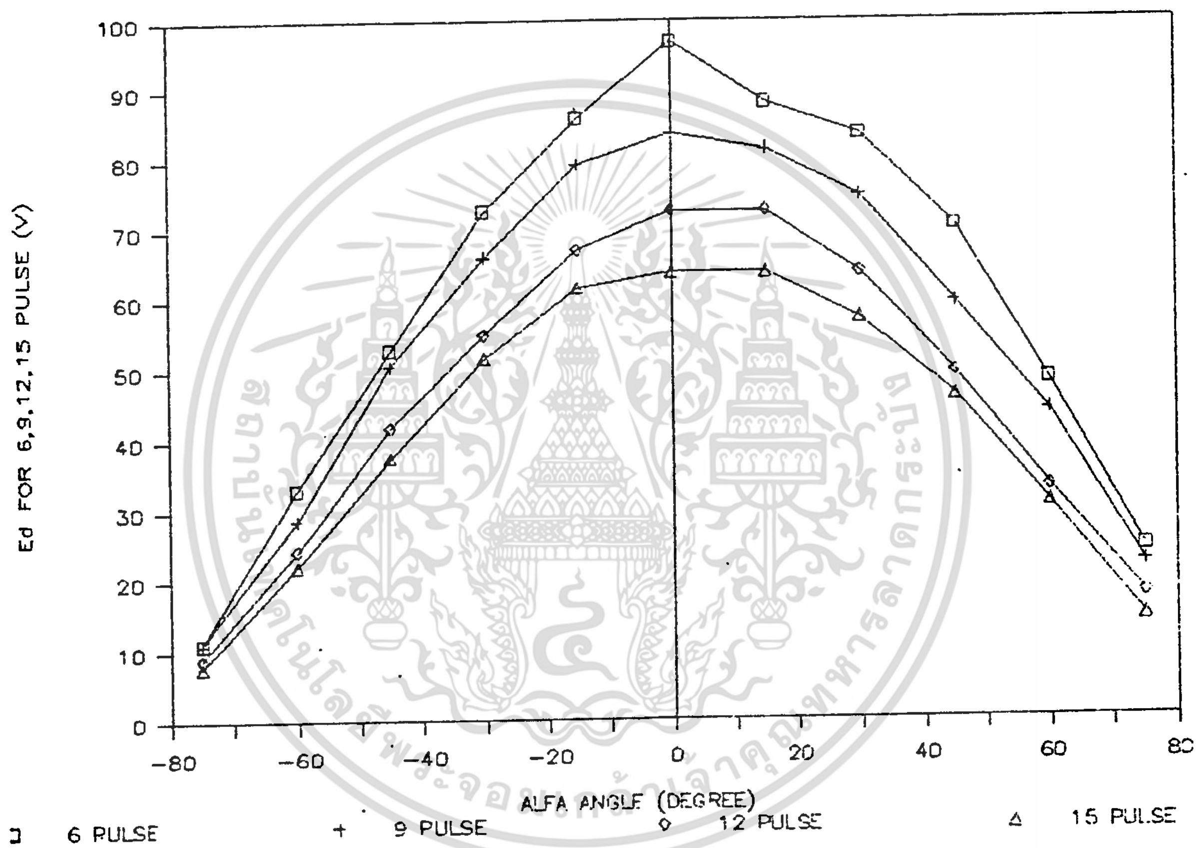
ALFA	Wout6	Wout9	Wout12	Wout15
-75	19.36	20.57	15.488	12.705
-60	134.31	113.256	90.508	77.44
-45	319.44	267.168	202.312	172.788
-30	479.16	406.56	314.6	284.35
-15	613.47	540.144	428.098	365.904
0	745.36	597.74	479.16	393.008
15	658.24	564.102	471.174	393.008
30	606.936	493.68	393.008	327.184
45	449.152	352.836	272.25	238.854
60	255.552	217.8	145.2	132.132
75	93.17	75.02	54.208	39.325

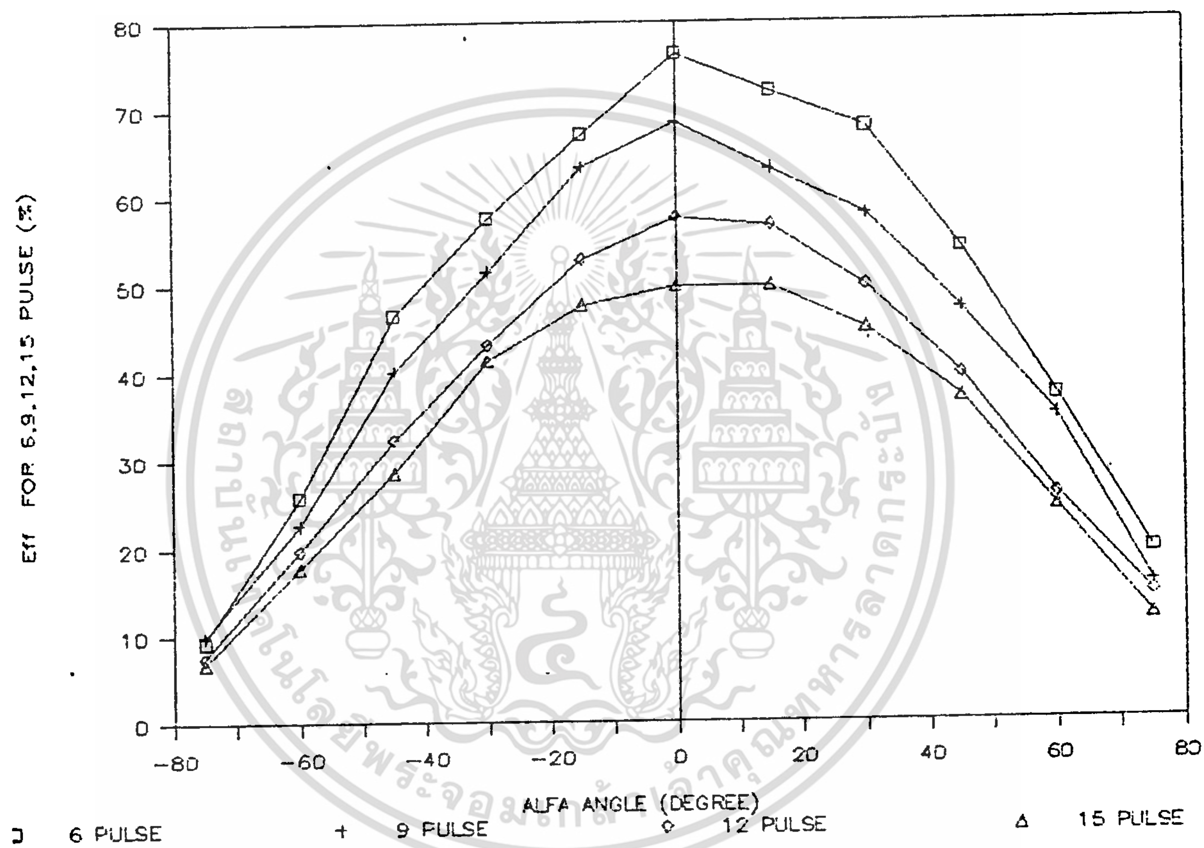
ALFA	Eff6	Eff9	Eff12	Eff15
-75	9.314857	9.897036	7.451886	6.792083
-60	25.84872	22.70496	19.79407	17.74258
-45	46.57428	40.17032	32.44675	28.66727
-30	57.63568	51.47684	43.24755	41.45817
-15	67.08285	63.38646	52.81404	47.58129
0	76.30255	68.47529	57.63568	49.76094
15	71.97844	63.11899	56.67508	49.76094
30	67.91181	57.93387	49.76094	44.97745
45	54.02617	47.15646	39.69399	37.07163
60	37.25943	34.93071	25.87460	24.45150
75	19.49032	15.69351	14.48977	11.82550


Id FOR 6,9,12,15 PULSE (A)
ALFA ANGLE (DEGREE)
6 PULSE
9 PULSE
12 PULSE
15 PULSE



Iin FOR 6,9,12,15 PULSE (A)
ALFA ANGLE (DEGREE)
6 PULSE
9 PULSE
12 PULSE
15 PULSE


100
90
80
70
60
50
40
30
20
10
0
-80
-60
-40
-20
0
20
40
60
80
Ed FOR 6,9,12,15 PULSE (V)
ALFA ANGLE (DEGREE)
6 PULSE
9 PULSE
12 PULSE
15 PULSE



Eff FOR 6,9,12,15 PULSE (%)
ALFA ANGLE (DEGREE)
6 PULSE
9 PULSE
12 PULSE
15 PULSE

6 PULSE

Vm=Vs=120V

Wm=667 VarM=-223

Im=1.12 Lamda =0.8

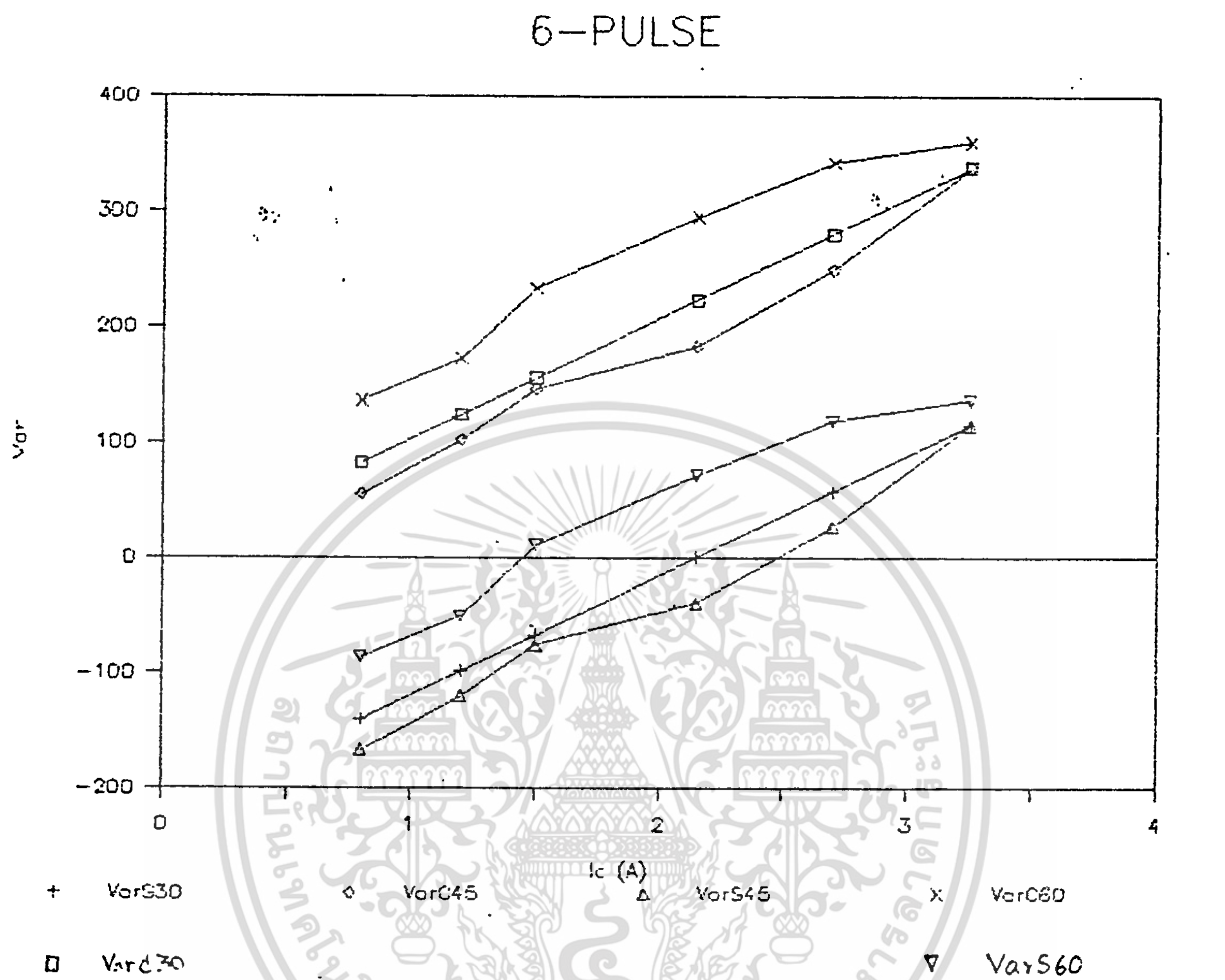
Ws30	Ic30	Wc30
1087	3.25	420
1032	2.7	365
958	2.15	291
907	1.5	240
842	1.2	175
792	0.8	125

Ws45	Ic45	Wc45
912	2.3	245
862	1.7	195
827	1.25	160
792	1	125
762	0.7	95
727	0.38	60

Ws60	Ic60	Wc60
812	2	145
807	1.9	140
789	1.64	122
772	1.3	105
752	0.96	85
742	0.76	75

VarC30	VarS30	VarC45	VarS45
337.74	114.74	337.9686	114.9686
280.584	57.584	249.8028	26.80289
223.428	0.428	183.6786	-39.3214
155.88	-67.12	146.9428	-76.0571
124.704	-98.296	102.8600	-120.139
83.136	-139.864	55.83829	-167.161

VarC60	VarS60
359.9788	136.9788
341.9799	118.9799
295.1826	72.18268
233.9862	10.98627
172.7898	-50.2101
136.7919	-86.2080


6-PULSE
400
300
200
100
0
-100
-200
Var
0
1
2
3
4
Ic (A)
+ VarS30
◇ VarC45
△ VarS45
X VarC60
□ VarC30
▽ VarS60

5 PULSE

Vm=Vs=120V

Wm=667 VarM=-223

Im=1.12 Lamda =0.8

Ws30	Ic30	Wc30
1037	2.45	370
1032	2.4	365
977	2	310
907	1.45	240
862	1.15	195
807	0.8	140

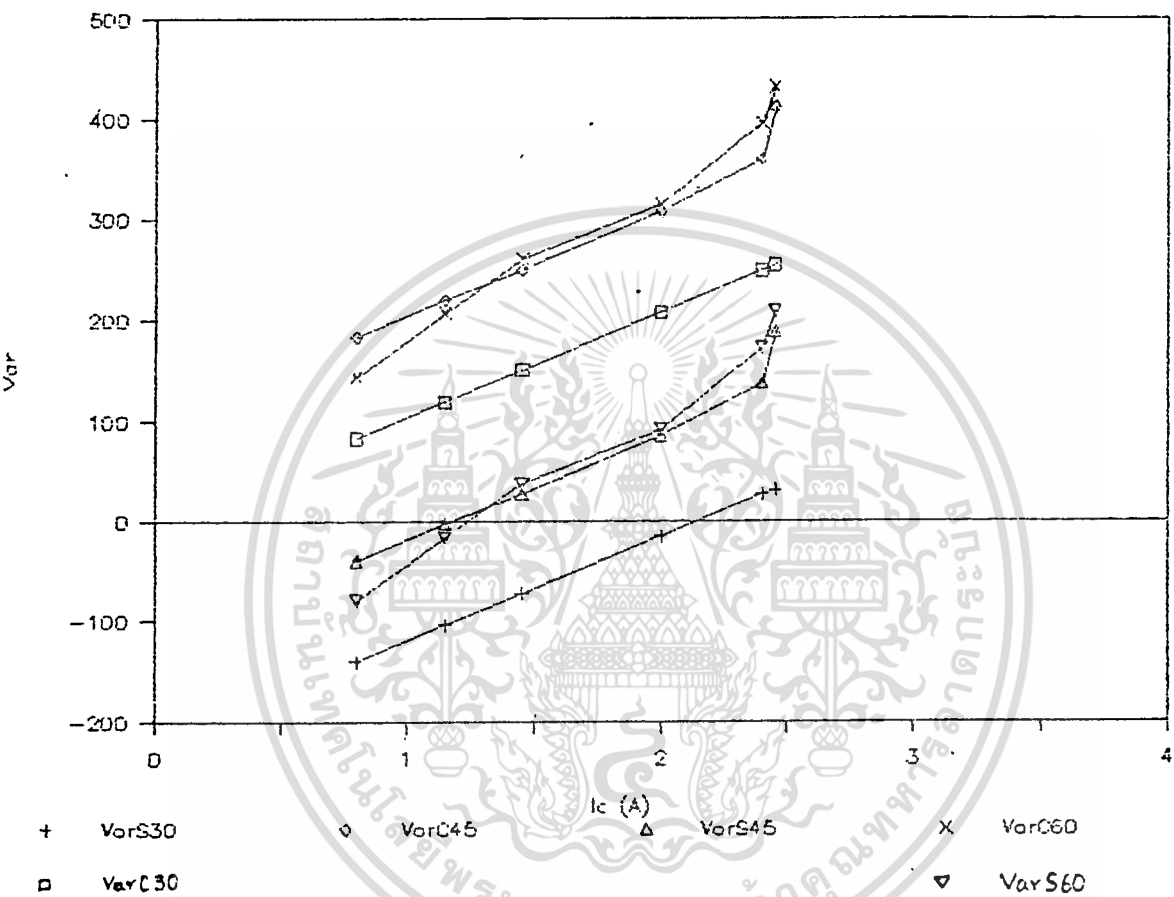
Ws45	Ic45	Wc45
982	2.5	315
952	2.45	285
919	2.1	252
882	1.7	215
857	1.5	190
832	1.25	165

Ws60	Ic60	Wc60
842	2.4	175
832	2.2	165
807	1.75	140
792	1.45	125
772	1.15	105
742	0.8	75

VarC30	VarS30	VarC45	VarS45
254.604	31.604	411.4400	188.4400
249.408	26.408	360.0100	137.0100
207.84	-15.16	305.5800	65.58004
150.624	-72.316	249.8028	26.80289
119.568	-103.432	220.4143	2.56618
83.136	-139.864	183.4786	-39.221[illegible]

VarC60	VarS60
431.9746	208.9746
395.9767	172.9767
314.9815	91.98152
260.9846	37.98466
204.9878	-16.0121
143.9915	-79.0084

9-PULSE


500
400
300
200
100
0
−100
−200
Var
0
1
2
3
4
Ic (A)
+ VarS30
◇ VarC45
△ VarS45
X VarC60
□ VarC30
▽ VarS60

12 PULSE

Vm=Vs=120V

Wm=667 VarM=-223

Im=1.12 Lamda =0.8

Ws30	Ic30	Wc30
1037	2.4	370
972	1.9	305
902	1.4	235
862	1.1	195
817	0.8	150
762	0.45	95

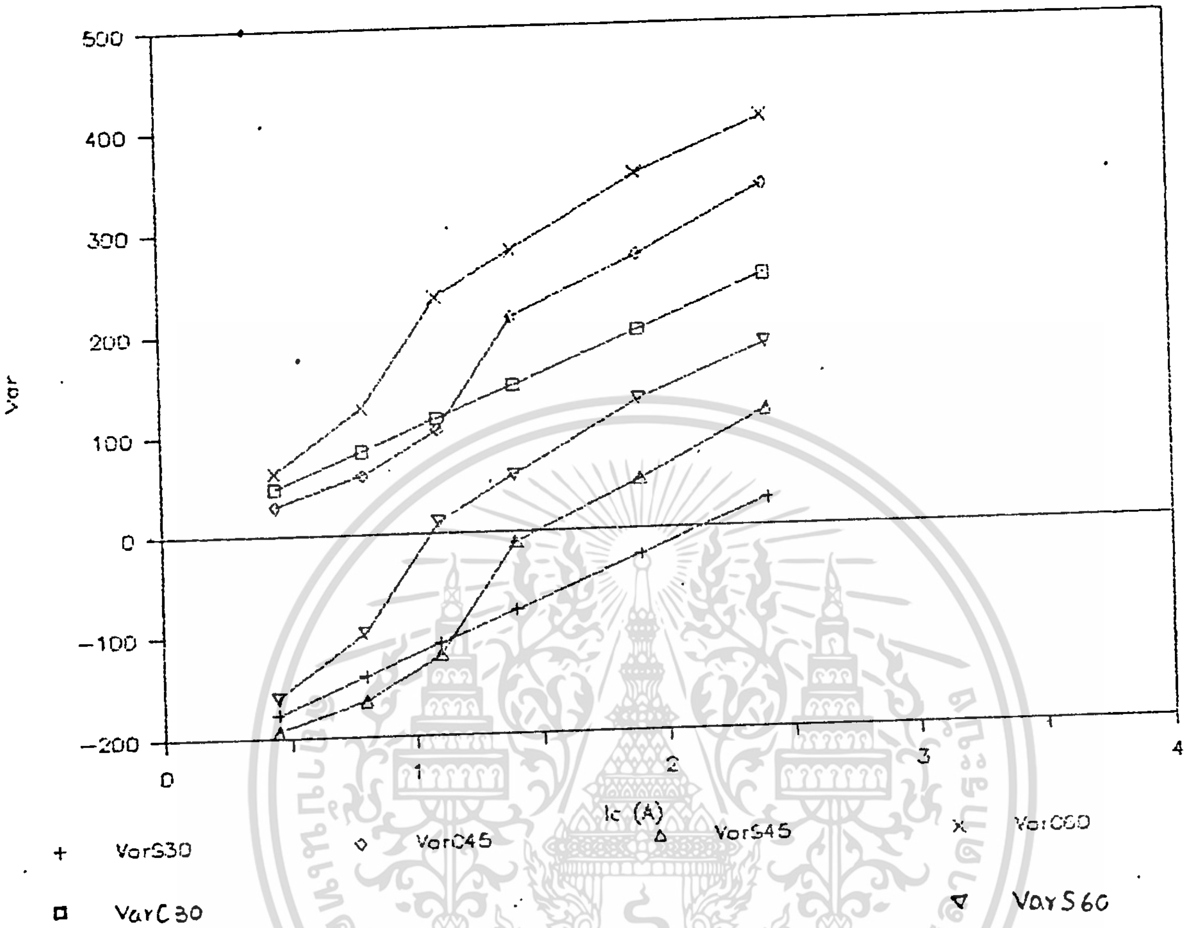
Ws45	Ic45	Wc45
942	2.3	275
892	1.85	225
862	1.45	195
777	0.7	110
742	0.4	75
707	0.2	40

Ws60	Ic60	Wc60
837	2.25	170
824	1.95	157
802	1.55	135
787	1.3	120
752	0.7	85
722	0.35	55

VarC30	VarS30	VarC45	VarS45
249.408	26.408	337.9686	114.9686
197.448	-25.552	271.8443	48.84432
145.488	-77.512	213.0671	-9.93282
114.312	-108.688	102.8600	-120.139
83.136	-139.864	58.77715	-164.222
46.764	-176.236	29.38857	-193.611

VarC60	VarS60
404.9762	181.9762
350.9794	127.9794
278.9836	55.98363
233.9862	10.98627
125.9926	-97.0073
62.99630	-160.003

12–PULSE



500
400
300
200
100
0
−100
−200
Var
0
1
2
3
4
Ic (A)
VarS30
VarC45
VarS45
VarC60
VarC30
VarS60

13 Mulch

Vm=Vs=1.207

Wm=667 Va-Ms 223

Ir =1.12 Landa?=0.8

Ws30	Ic30	Wc30
1071	2.65	404
1002	2.1	335
942	1.65	275
867	1.1	200
817	0.8	150
762	0.45	95

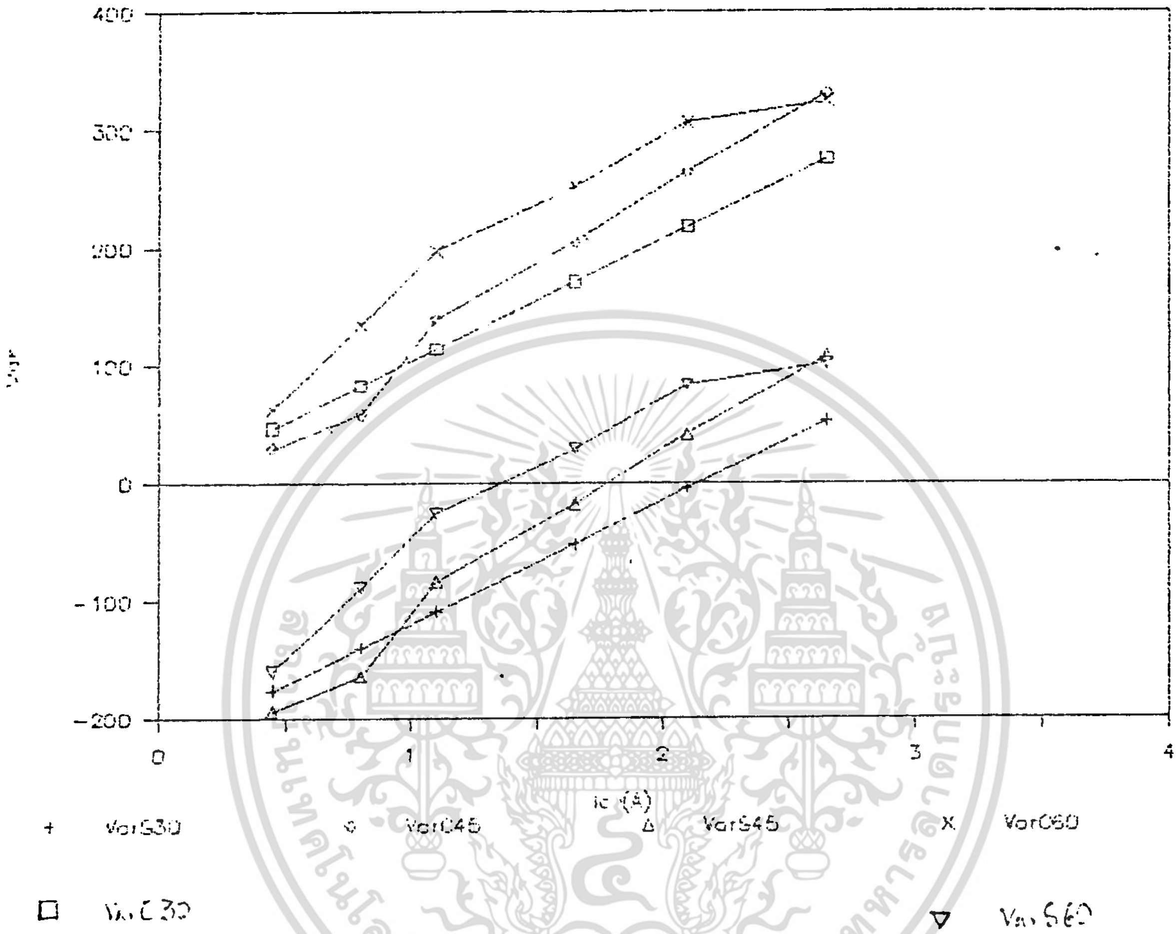
Ws45	Ic45	Wc45
937	2.25	270
897	1.8	230
864	1.4	197
814	0.95	147
747	0.4	80
717	0.2	50

Ws60	Ic60	Wc60
827	1.8	160
817	1.7	150
799	1.4	132
784	1.1	117
762	0.75	95
722	0.35	55

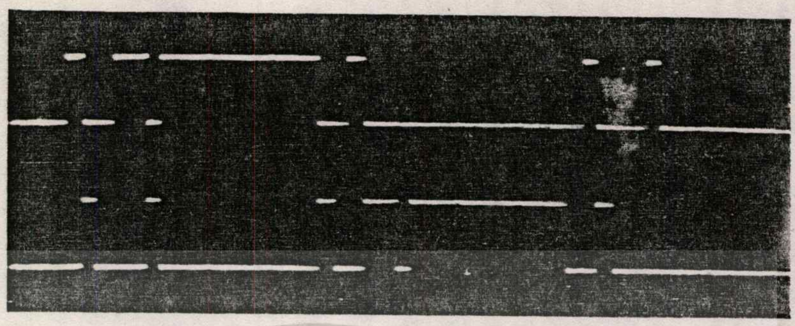
VarC30	VarS30	VarC45	VarS45
275.388	52.388	330.6214	107.6214
218.232	-4.768	264.4971	41.49718
171.466	-51.532	205.7200	-17.2799
114.312	-108.688	139.5957	-83.4042
83.136	-139.864	58.77[illegible]	-164.222
46.764	-176.236	29.38857	-193.611

VarC60	VarS60
323.9809	100.9809
305.9820	82.98204
251.9852	28.98521
197.9883	-25.0116
134.9920	-88.0079
62.99630	-160.003

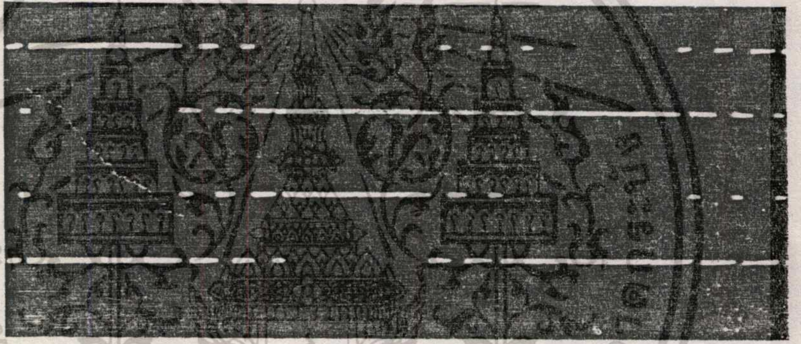
15–PULSE



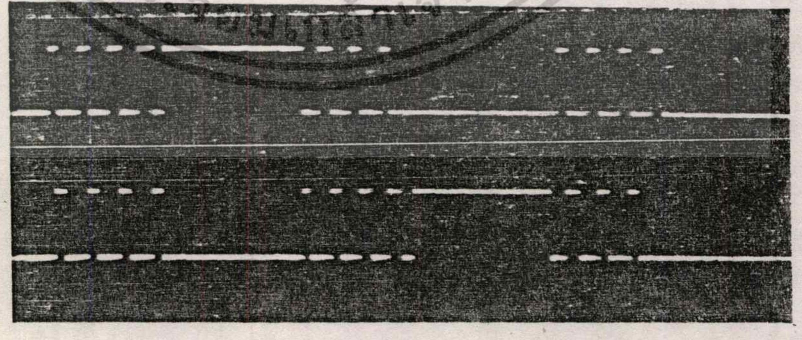
400
300
200
100
0
-100
-200
0
1
2
3
4
Var
Ic (A)
VarS30
VarC45
VarS45
VarC60
Var C30
Var S60



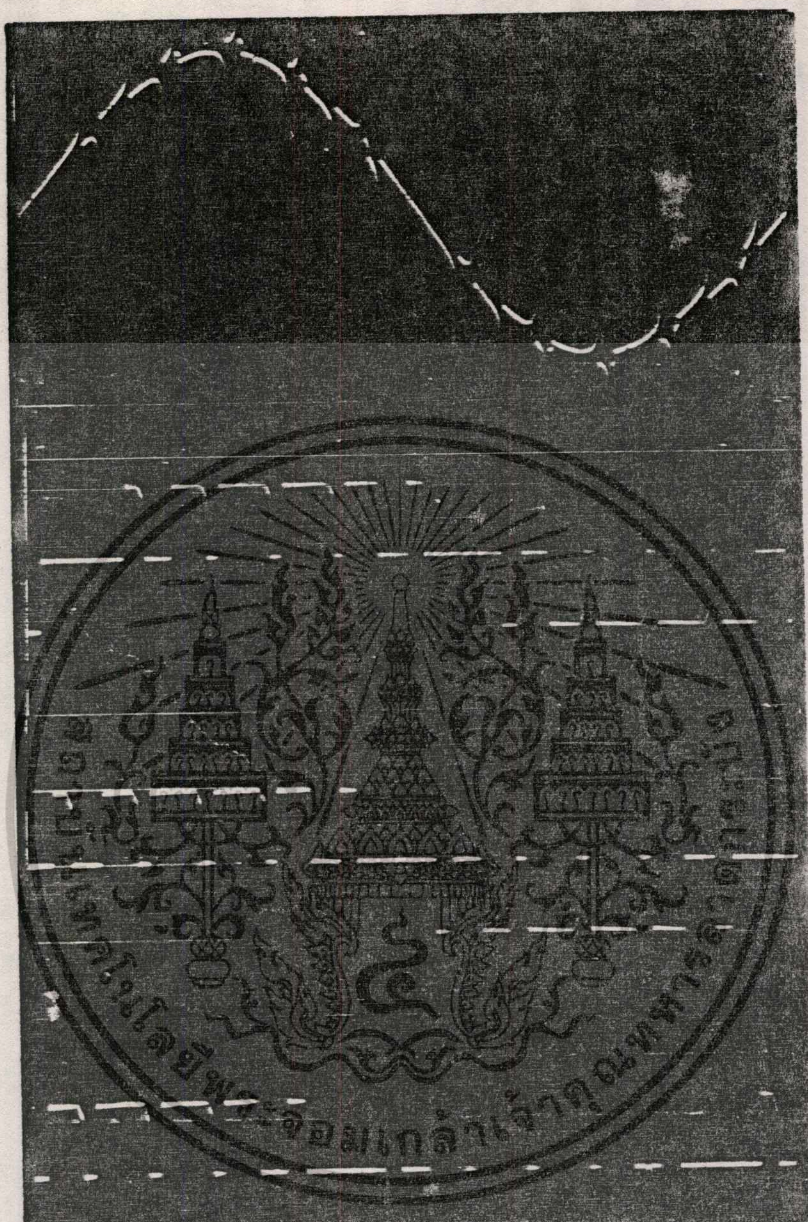
สัญญาณควบคุมแบบ 6 พัลส์ ต่อครึ่งไซเคิล



สัญญาณควบคุมแบบ 9 พัลส์ต่อครึ่งไซเคิล

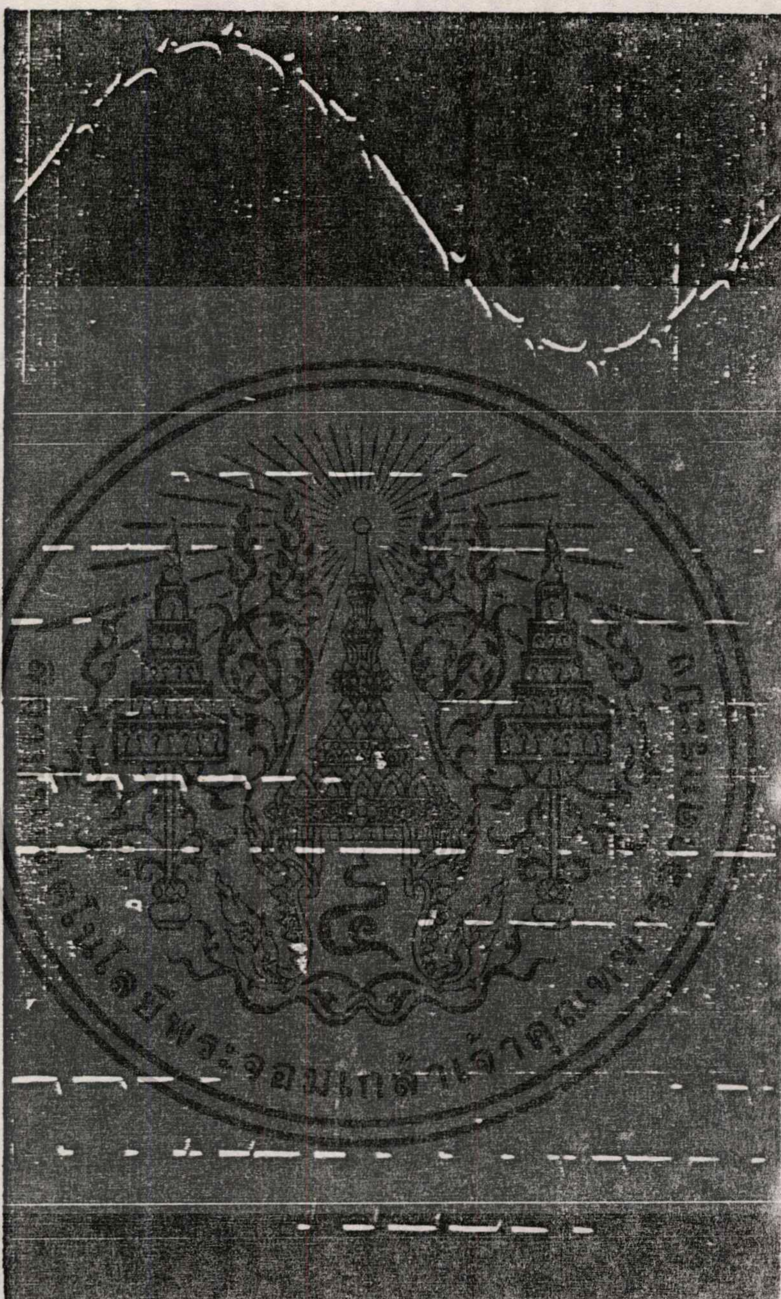


สัญญาณควบคุมแบบ 12 พัลส์ต่อครึ่งไซเคิล



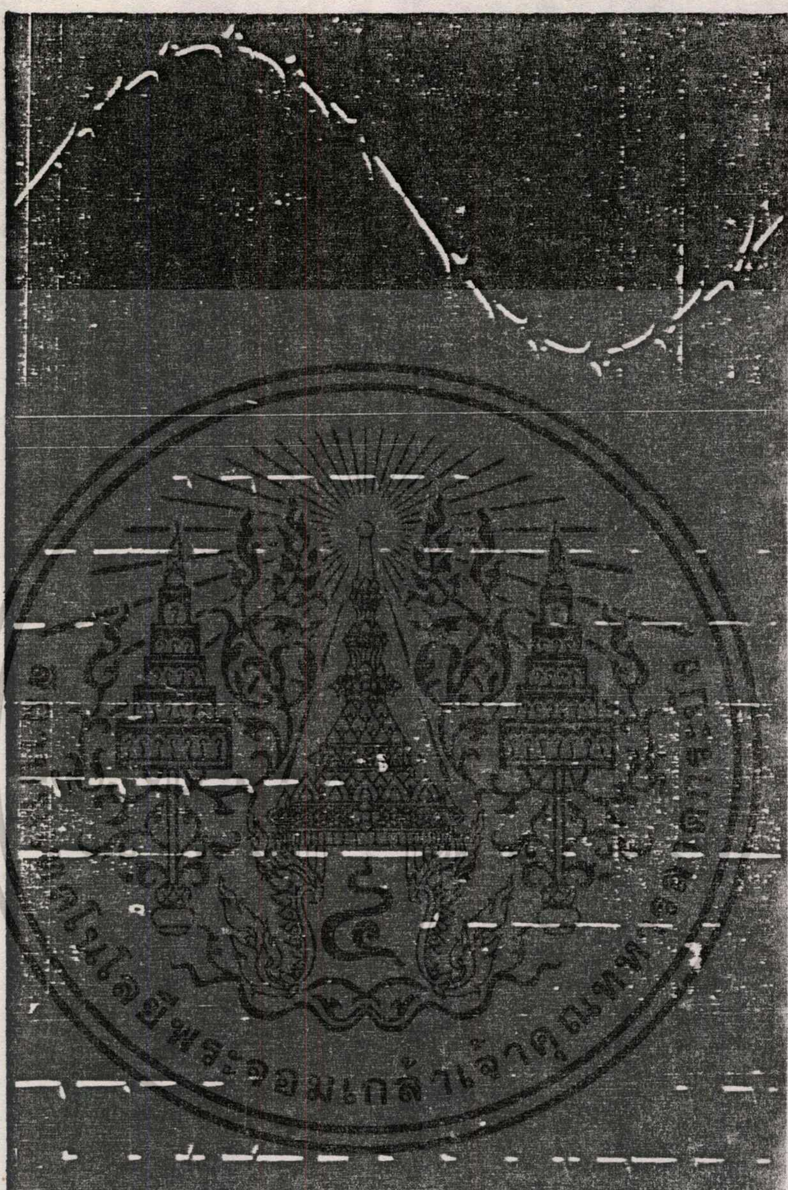
รูปเปรียบเทียบแรงดันเฟส (Vun) กับกระแสไลน์ (Iu) เมื่อมุม α = -30° , 0° , 30o

τ = 100 μ sec, λ = 0.8, 6 พัลส์ต่อครึ่งไซเคิล



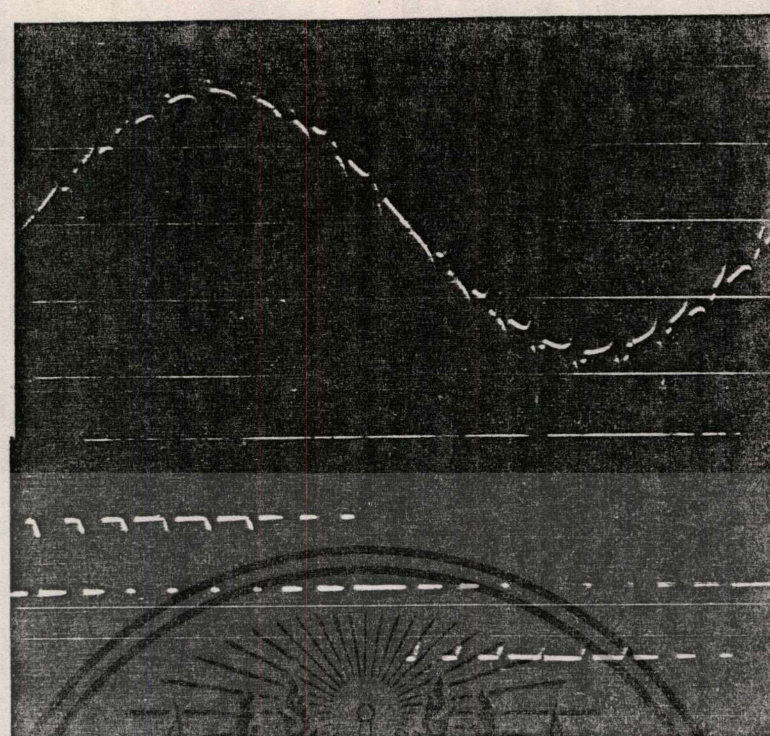
รูปเปรียบเทียบแรงดันเฟส (Vun) กับกระแสไลน์ (Iu) เมื่อมุมα = -60° , 0° , 60°

τ = 100 μ sec, λ = 0.8, 6 พัลส์ต่อครึ่งไซเคิล



รูปเปรียบเทียบแรงดันเฟส (V_{un}) กับกระแสไลน์ (I_u) เมื่อมุมα = -60° , 0° , 60°

τ = 100 μ sec, λ = 0.8, 6 พัลส์ต่อครึ่งไซเคิล

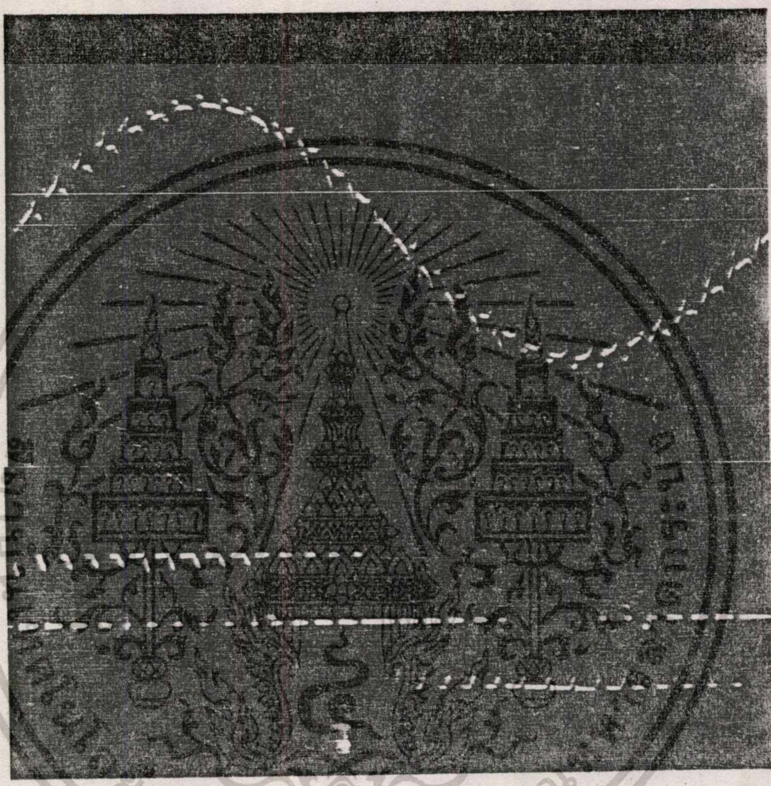


รูปเปรียบเทียบแรงดันเฟส (Vun) กับกระแสไลน์ (Iu) เมื่อมุม $\alpha = 0^\circ$

τ = 100 μ sec, λ = 0.8 , 9 พัลส์ต่อครึ่งไซเคิล

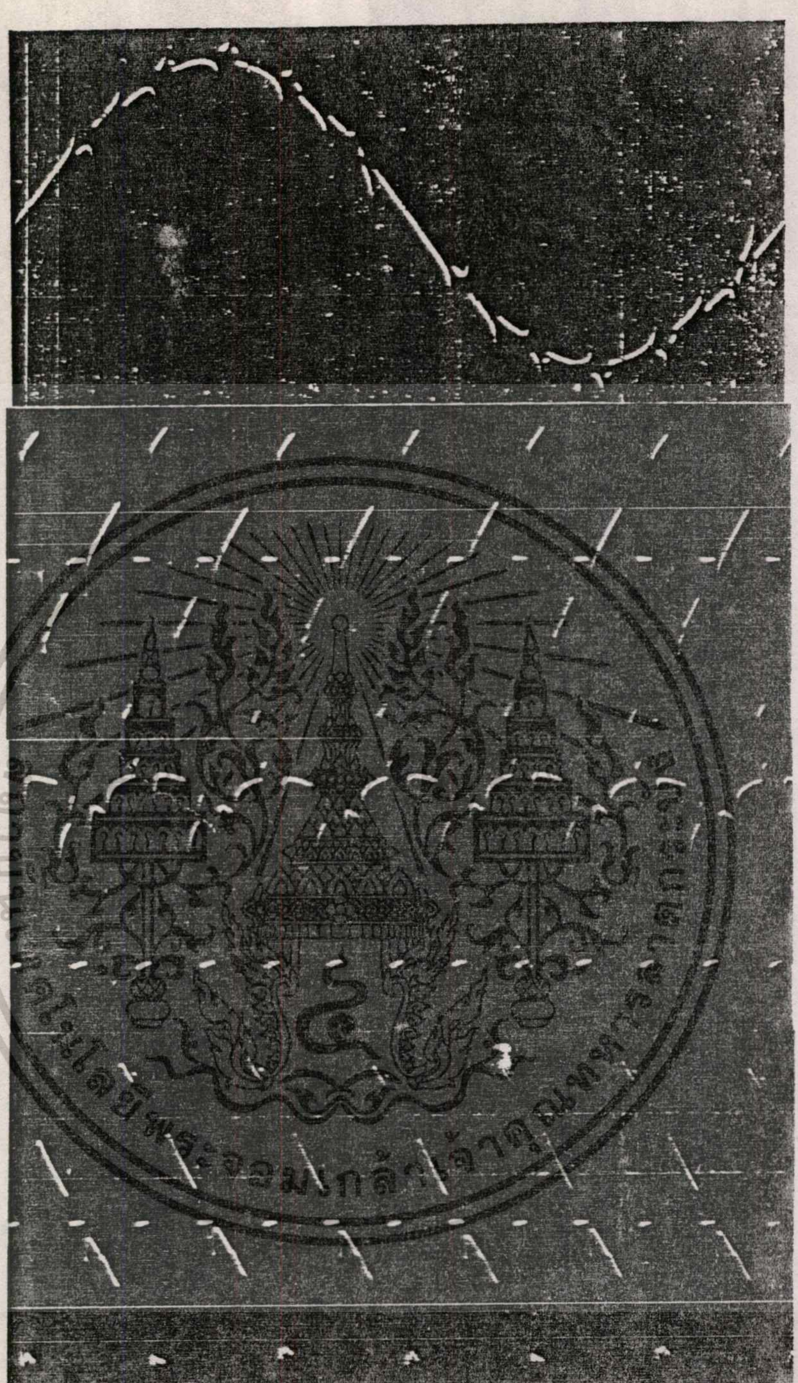
รูปเปรียบเทียบแรงดันเฟส (Vun) กับกระแสไลน์ (Iu) เมื่อมุม $\alpha = 0^\circ$

τ = 100 μ sec, λ = 0.8, 12 พัลส์ต่อครึ่งไซเคิล



รูปเปรียบเทียบแรงดันเฟส (V_{un}) กับกระแสไลน์ (I_u) เมื่อมุม $\alpha = 0°$

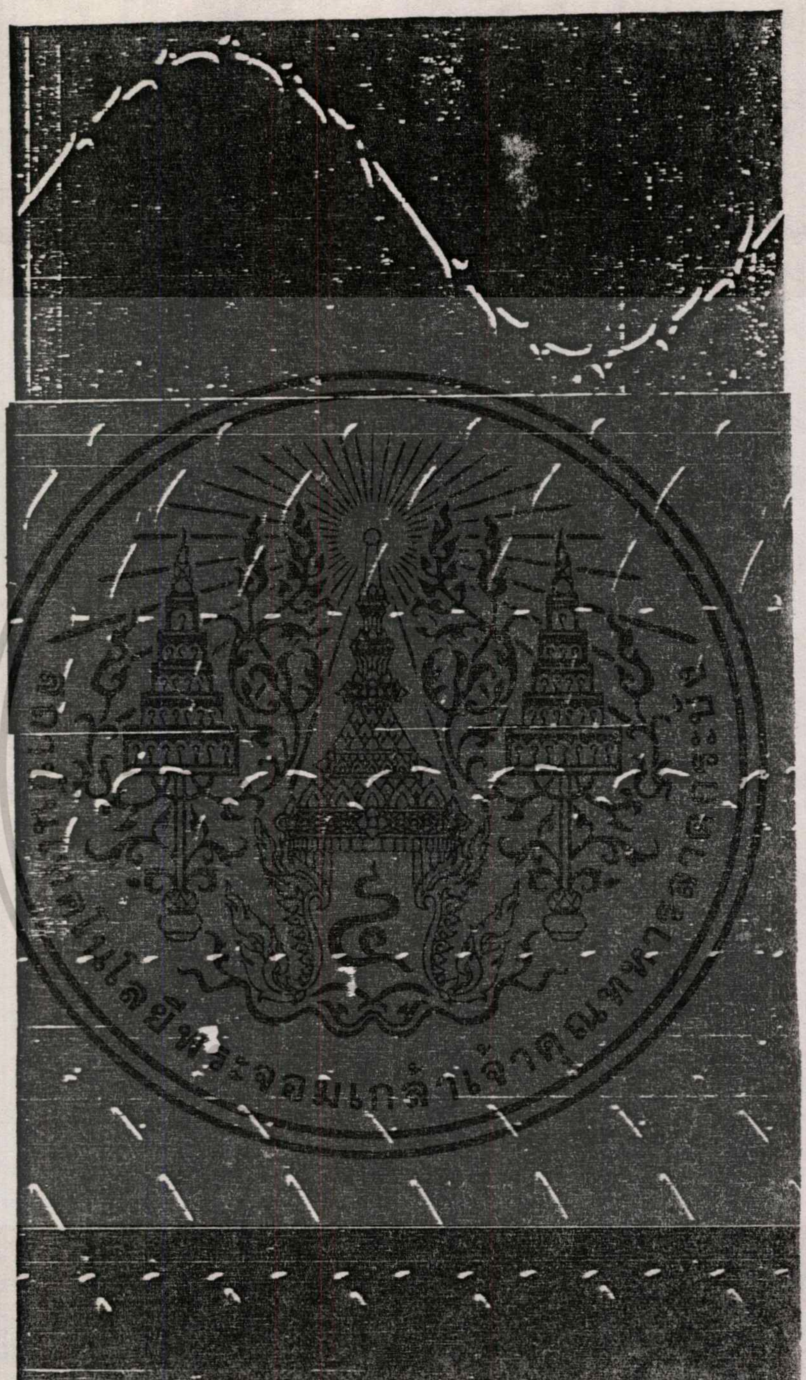
$\tau = 100\ \mu$ sec, $\lambda = 0.8$, 15 พัลส์ในครึ่งไซเคิล



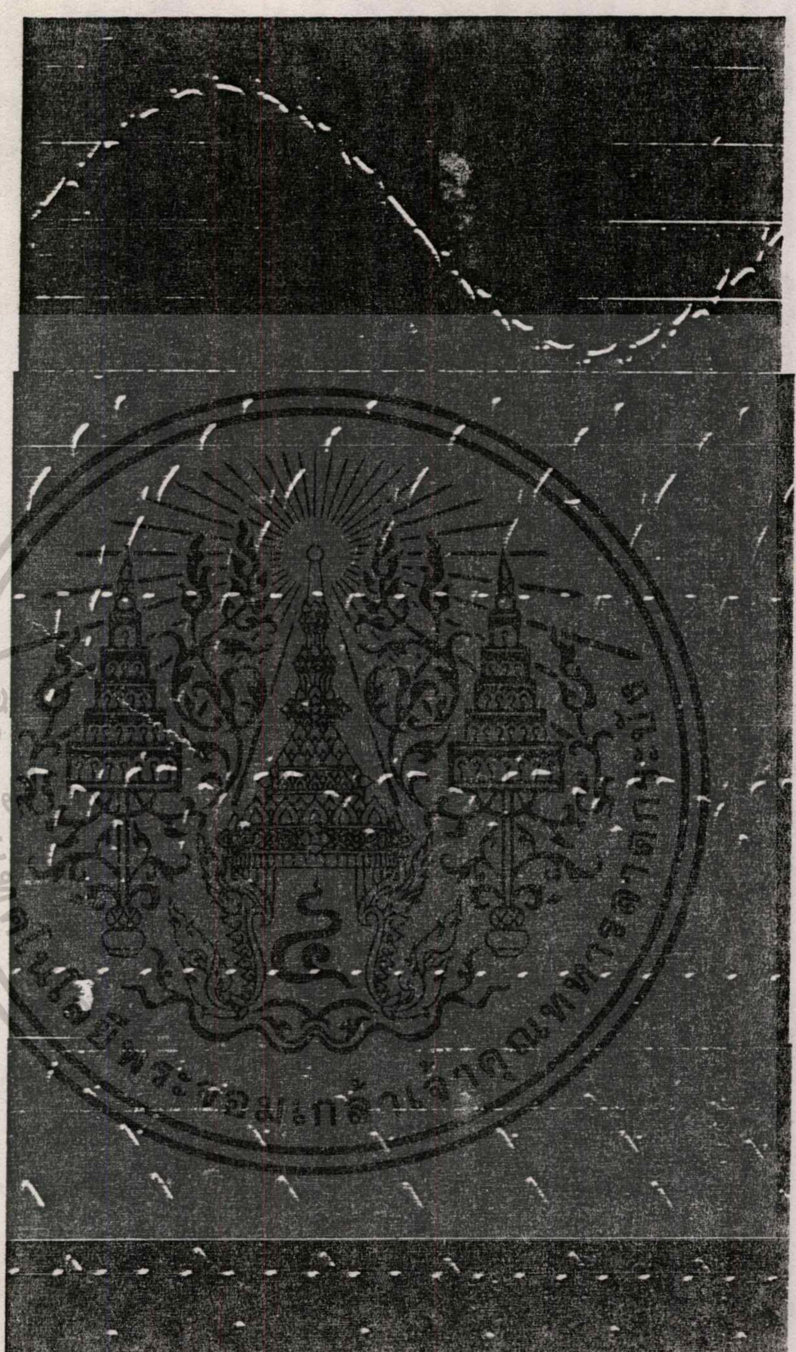
รูปเปรียบเทียบแรงดันเฟส (Vun) กับแรงดัน output เมื่อ $\alpha = -90^\circ, 0^\circ, 90^\circ$

เมื่อ $\tau = 200\ \mu$ sec, $\lambda = 0.8$, 6 พัลส์ต่อครึ่งไซเคิล

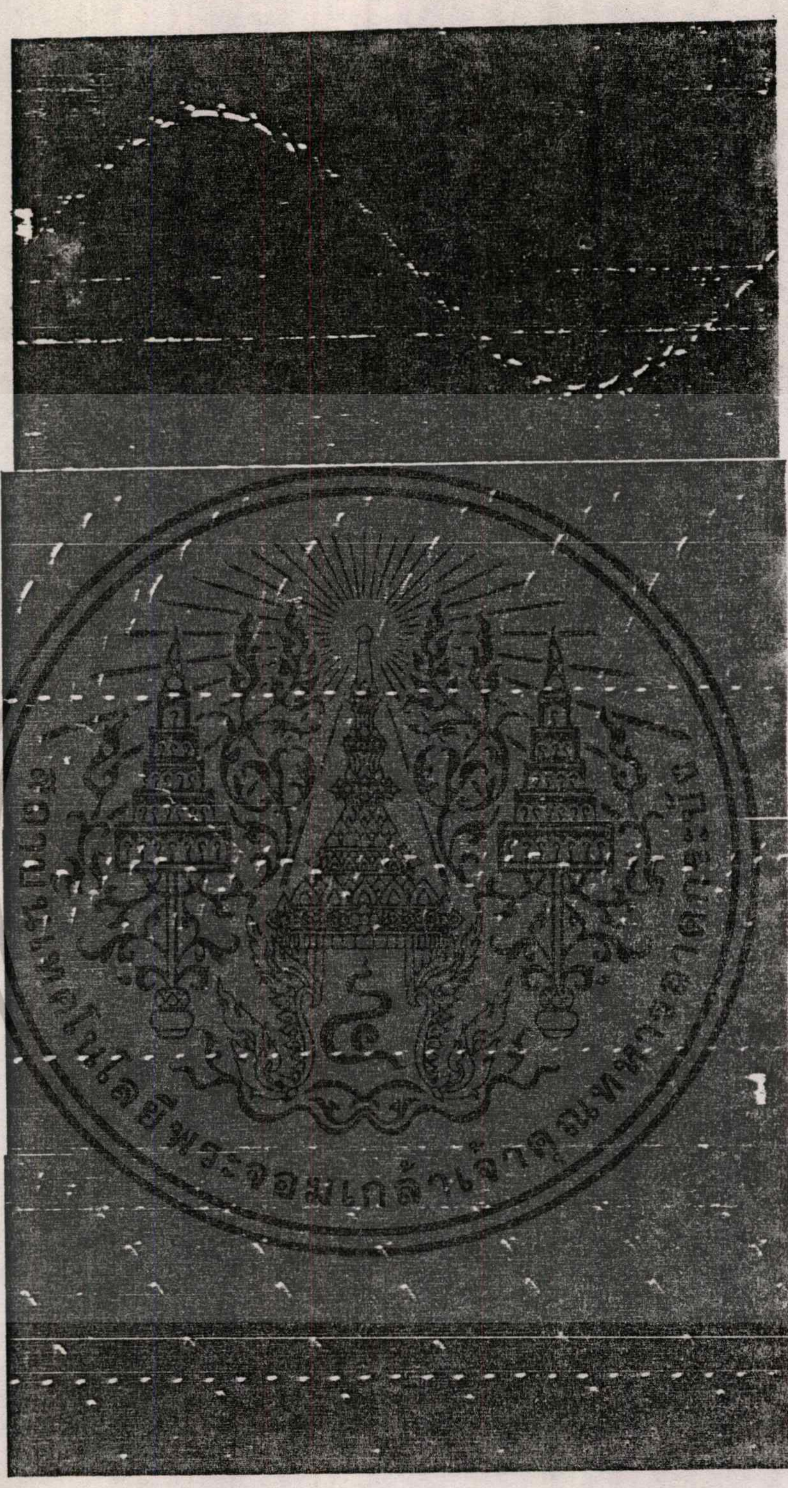
ที่ค่า τ = 200 μ sec, λ = 0.8 และค่า α = -60° ,0° ,60°



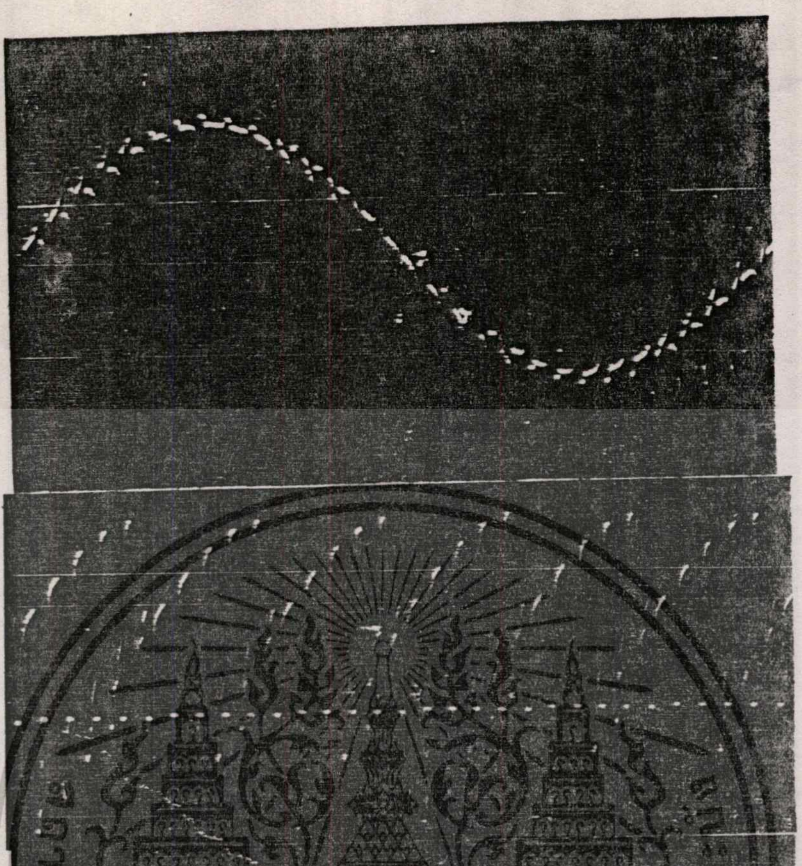
กรณี 6 พัลส์ต่อครึ่งไซเคิล



กรณี 9 พัลส์ต่อครึ่งไซเคิล



กรณี 12 พัลส์ต่อครึ่งไซเคิล



กรณี 15 พัลส์ต่อครึ่งไซเคิล

ภาคผนวก

โปรแกรม Control

```
                    ;::::::::::::::::::::::::::::::::
                    ;
                    ;  PWM PATTERN GENERATOR PROGRAM
                    ;      6-.9-.12-.15-PULSE
                    ;
                    ;    Phase-shift -90 to +90
                    ;         15 deg./step
                    ;  Modulation Factor 0.2 to 0.9
                    ;         0.05/step
                    ;
                    ;   * Jun 1989 to Jan 1990 *
                    ;
                    ;::::::::::::::::::::::::::::::::
                    ;
      32 00         CW10     EQU  32H     ;#1/0 -> alphaT  <mode 1>
      77 00         CW11     EQU  77H     ;#1/1 ->   T     <mode 3>
      B7 00         CW12     EQU  0B7H    ;#1/2 ->   2T    <mode 3>
                    ;
      32 00         CW20     EQU  32H     ;#2/0 -> rambdaT  <mode 1>
      72 00         CW21     EQU  72H     ;#2/1 -> XrambdaT <mode 1>
      B2 00         CW22     EQU  0B2H    ;#2/2 -> tau      <mode 1>
                    ;
      10 27         PW10     EQU  2710H   ;AlphaT 0
      C8 00         PW22     EQU  0200    ;Tau 100uS
                    ;
      57 00         KINC     EQU  57H
      67 00         KDEC     EQU  67H
      63 00         K3:      EQU  63H
      53 00         K7:      EQU  53H
      62 00         K2:      EQU  62H
      52 00         K6:      EQU  52H

      0A 00         TAUGAIN  EQU  10
      82 06         PHASGAIN EQU  682H

6800                         ORG  6800H
6800  11 7B 6D                  LD   DE,SHOW
6803  01 05 01                  LD   BC,105H
6806  3E 0C                     LD   A,12
6808  D7                        RST  10H     ;show PULSE

6809  3E 02                     LD   A,2
680B  D7                        RST  10H     ;input KEY
680C  FE 04                     CP   4
680E  38 02                     JR   C,OK
6810  AF                        XOR  A
6811  D7                        RST  10H     ;Back to monitor

6812                OK:
                    ;---- mode control 8253 ----
6812  3E 32                     LD   A,CW10
6814  D3 23                     OUT  (23H),A      ;alpha*t
6816  3E 77                     LD   A,CW11
6818  D3 23                     OUT  (23H),A      ;T
681A  3E B7                     LD   A,CW12
```

```
681C   D3 23                   OUT   (23H),A      ;2T
                    ;
681E   3E 32                   LD    A,CW20
6820   D3 43                   OUT   (43H),A      ;RAM6DAT1
6822   3E 72                   LD    A,CW21
6824   D3 43                   OUT   (43H),A
6826   3E B2                   LD    A,CW22
6828   D3 43                   OUT   (43H),A

682A   3A FB 3F                LD    A,(3FFBH)  ;KEYIN
682D   C6 02                   ADD   A,2
682F   32 15 3A                LD    (PULSE),A  ;memo PULSE NO.
6832   FE 05                   CP    5
6834   28 44                   JR    Z,PRGF
6836   FE 04                   CP    4
6838   28 2C                   JR    Z,PRGC
683A   FE 03                   CP    3
683C   28 14                   JR    Z,PRG9

683E   21 34 33        PRG6:   LD    HL,3334H
6841   22 02 3A                LD    (PTM2),HL  ;T
6844   3E 68                   LD    A,6668H.MOD.256
6846   D3 22                   OUT   (22H),A
6848   3E 66                   LD    A,6668H/256
684A   D3 22                   OUT   (22H),A    ;2T
684C   FD 21 4C 6C             LD    IY,RAMT6
6850   18 3A                   JR    MAIN

6852   21 23 22        PRG9:   LD    HL,2223H
6855   22 02 3A                LD    (PTM2),HL  ;T
6858   3E 69                   LD    A,6669H.MOD.256
685A   D3 22                   OUT   (22H),A
685C   3E 66                   LD    A,6669H/256
685E   D3 22                   OUT   (22H),A    ;2T
6860   FD 21 88 6C             LD    IY,RAMT9
6864   18 26                   JR    MAIN

6866   21 67 16        PRGC:   LD    HL,1667H
6869   22 02 3A                LD    (PTM2),HL  ;T
686C   3E 6B                   LD    A,666BH.MOD.256
686E   D3 22                   OUT   (22H),A
6870   3E 66                   LD    A,666BH/256
6872   D3 22                   OUT   (22H),A    ;2T
6874   FD 21 C4 6C             LD    IY,RAMTC
6878   18 12                   JR    MAIN

687A   21 34 13        PRGF:   LD    HL,1334H
687D   22 02 3A                LD    (PTM2),HL  ;T
6880   3E 70                   LD    A,6670H.MOD.256
6882   D3 22                   OUT   (22H),A
6884   3E 66                   LD    A,6670H/256
6886   D3 22                   OUT   (22H),A    ;2T
6888   FD 21 1E 6D             LD    IY,RAMTF

688C   21 B1 6A        MAIN:   LD    HL,INT       ;set interrupt vector
```

```
688F   22 D6 3F              LD    (3FD6H),HL   ;and enable interrupt
6892   ED 56                 IM    1
6894   FB                    EI
6895   21 20 6C              LD    HL,NMI
6898   22 D8 3F              LD    (3FD8H),HL
689B   D3 70                 OUT   (70H),A      ;enable NMI signal
                       ;
689D   21 10 27              LD    HL,PW10
68A0   22 00 3A              LD    (PTM1),HL    ;alpha*t
68A3   21 C8 00              LD    HL,PW22
68A6   22 08 3A              LD    (PTM5),HL    ;TAU
                       ;
68A9   3E 07                 LD    A,DIGITN
68AB   32 1A 3A              LD    (DIGIT),A
68AE   3E FF                 LD    A,0FFH
68B0   32 1F 3A              LD    (KEY),A
68B3   32 1E 3A              LD    (LASTKY),A

68B6   AF                    XOR   A
68B7   32 1B 3A              LD    (FLAG),A
68BA   32 14 3A              LD    (COUNT),A
                       ;
68BD   3E 06                 LD    A,6
68BF   32 16 3A              LD    (PHASE),A    ;zero lead-lag
                       ;
68C2   21 19 3A              LD    HL,RAM
68C5   3E 0C                 LD    A,12
68C7   77                    LD    (HL),A       ;RambdaT
68C8   CD DE 69              CALL  P_RATIO      ;XrambdaT
                       ;
68CB   AF              LOOP: XOR   A
68CC   32 1F 3A              LD    (KEY),A      ;clear KEY
68CF   3A 19 3A              LD    A,(RAM)
68D2   32 26 3A              LD    (VIDEO+6),A
                                                ;convert Tau into
68D5   3A 09 3A              LD    A,(PTM5+1)   ;display format
68D8   CB 3F                 SRL   A
68DA   32 28 3A              LD    (CBUF+1),A   ; divide by 2
68DD   3A 08 3A              LD    A,(PTM5)
68E0   1F                    RRA
68E1   32 27 3A              LD    (CBUF),A
68E4   CD 8F 6A              CALL  HTOD
68E7   CD 6B 6A              CALL  UNPK

68EA   21 16 3A              LD    HL,PHASE     ;display AlphaT
68ED   DD 21 20 3A           LD    IX,VIDEO
68F1   06 00                 LD    B,0
68F3   4E                    LD    C,(HL)
68F4   21 32 6C              LD    HL,PHASETAB
68F7   09                    ADD   HL,BC
68F8   09                    ADD   HL,BC
68F9   7E                    LD    A,(HL)
68FA   DD 77 00              LD    (IX+0),A
68FD   23                    INC   HL
68FE   7E                    LD    A,(HL)
```

```
68FF   DD 77 01              LD    (IX+1),A

6902   3A 00 3A     PTMOUT:  LD    A,(PTM1)
6905   D3 20                 OUT   (20H),A
6907   3A 01 3A              LD    A,(PTM1+1)
690A   D3 20                 OUT   (20H),A     ;alpha*T-pulse
                    ;
690C   3A 02 3A              LD    A,(PTM2)
690F   D3 21                 OUT   (21H),A
6911   3A 03 3A              LD    A,(PTM2+1)
6914   D3 21                 OUT   (21H),A     ;T-pulse
                    ;
6916   3A 04 3A              LD    A,(PTM3)
6919   D3 40                 OUT   (40H),A
691B   3A 05 3A              LD    A,(PTM3+1)
691E   D3 40                 OUT   (40H),A     ;rambda*T-pulse
                    ;
6920   3A 04 3A              LD    A,(PTM3)
6923   21 08 3A              LD    HL,PTM5
6926   96                    SUB   (HL)
6927   D3 42                 OUT   (42H),A
6929   3A 05 3A              LD    A,(PTM3+1)
692C   23                    INC   HL
692D   9E                    SBC   A,(HL)
692E   D3 42                 OUT   (42H),A     ;tau-pulse

                    ;* * * * SCAN KEYBOARD * * * *

6930   3A 1F 3A     SCAN:    LD    A,(KEY)
6933   FE FF                 CP    0FFH
6935   28 F9                 JR    Z,SCAN
6937   FE 57                 CP    KINC
6939   28 1B                 JR    Z,PHASELAG
693B   FE 67                 CP    KDEC
693D   CA 6E 69              JP    Z,PHASELEAD
6940   FE 53                 CP    K7
6942   CA 86 69              JP    Z,TAU_INC
6945   FE 63                 CP    K3
6947   CA A2 69              JP    Z,TAU_DEC
694A   FE 52                 CP    K6
694C   CA BE 69              JP    Z,RAM_INC
694F   FE 62                 CP    K2
6951   CA CE 69              JP    Z,RAM_DEC
6954   18 DA                 JR    SCAN
                    ;
6956                PHASELAG:
6956   21 16 3A              LD    HL,PHASE
6959   7E                    LD    A,(HL)
695A   FE 0C                 CP    12          ;+90 deg.
695C   28 D2                 JR    Z,SCAN
695E   34                    INC   (HL)
                    ;
695F   A7                    AND   A
6960   2A 00 3A              LD    HL,(PTM1)
6963   11 82 06              LD    DE,PHASGAIN
```

```
6966   ED 5A                   ADC    HL,DE
6968   22 00 3A                LD     (PTM1),HL
696B   C3 CB 68                JP     LOOP
.
696E               PHASELEAD:
696E   21 16 3A                LD     HL,PHASE
6971   7E                      LD     A,(HL)
6972   FE 00                   CP     0          ;-90 deg.
6974   28 BA                   JR     Z,SCAN
6976   35                      DEC    (HL)
                   ;
6977   A7                      AND    A
6978   2A 00 3A                LD     HL,(PTM1)
697B   11 82 06                LD     DE,PHASGAIN
697E   ED 52                   SBC    HL,DE
6980   22 00 3A                LD     (PTM1),HL
6983   C3 CB 68                JP     LOOP

6986               TAU_INC:
6986   ED 5B 0C 3A             LD   DE,(PTM8) ;
698A   2A 08 3A                LD   HL,(PTM5) ;compare PTM5
698D   CD 67 6A                CALL COMPH      ;with PTM8
6990   D2 30 69                JP   NC,SCAN    ;PTM5>=PTM8
                   ;
6993   A7                      AND  A          ;clear carry
6994   2A 08 3A                LD   HL,(PTM5)
6997   11 0A 00                LD   DE,TAUGAIN
699A   ED 5A                   ADC  HL,DE
699C   22 08 3A                LD   (PTM5),HL
699F   C3 CB 68                JP   LOOP

69A2               TAU_DEC:
69A2   2A 08 3A                LD   HL,(PTM5)
69A5   11 0A 00                LD   DE,TAUGAIN
69A8   CD 67 6A                CALL COMPH      ;PTM5<TAUGAIN
69AB   30 05                   JR   NC,TAU_D1
69AD   21 00 00                LD   HL,0
69B0   18 06                   JR   TAU_D2

69B2   A7          TAU_D1      AND  A          ;clear carry
69B3   2A 08 3A                LD   HL,(PTM5)
69B6   ED 52                   SBC  HL,DE
69B8   22 08 3A    TAU_D2      LD   (PTM5),HL
69BB   C3 CB 68                JP   LOOP

69BE               RAM_INC:
69BE   21 19 3A                LD   HL,RAM
69C1   7E                      LD   A,(HL)
69C2   FE 0E                   CP   14
69C4   CA 30 69                JP   Z,SCAN
69C7   34                      INC  (HL)

69C8   CD DE 69                CALL P_RATIO
69CB   C3 CB 68                JP   LOOP
```

```
69CE                RAM_DEC:
69CE  21 19 3A              LD   HL,RAM
69D1  7E                    LD   A,(HL)
69D2  FE 00                 CP   0
69D4  CA 30 69              JP   Z,SCAN
69D7  35                    DEC  (HL)
69D8  CD DE 69              CALL P_RATIO
69DB  C3 CB 6E              JP   LOOP

                    ;* * PULSE RATIO CALCULATION * *

69DE  16 00         P_RATIO: LD   D,0
69E0  5E                    LD   E,(HL)
69E1  FD E5                 PUSH IY
69E3  E1                    POP  HL     ;HL=IY

69E4  3A 15 3A              LD   A,(PULSE)
69E7  FE 04                 CP   4           ;12- & 15-pulse
69E9  30 44                 JR   NC,P_RATIO2

69EB  19                    ADD  HL,DE
69EC  19                    ADD  HL,DE
69ED  19                    ADD  HL,DE
69EE  19                    ADD  HL,DE  ;+4
69EF  7E                    LD   A,(HL)
69F0  32 04 3A              LD   (PTM3),A
69F3  32 12 3A              LD   (PTME),A
69F6  23                    INC  HL
69F7  7E                    LD   A,(HL)
69F8  32 05 3A              LD   (PTM3+1),A ;RambdaT
69FB  32 13 3A              LD   (PTME+1),A

69FE  23                    INC  HL
69FF  7E                    LD   A,(HL)
6A00  32 0C 3A              LD   (PTMB),A
6A03  23                    INC  HL
6A04  7E                    LD   A,(HL)
6A05  32 0D 3A              LD   (PTMB+1),A ;X1rambdaT
6A08                P_RATIO1:
6A08  2A 04 3A              LD   HL,(PTM3)
6A0B  ED 4B 0C 3A           LD   BC,(PTMB)
6A0F  A7                    AND  A
6A10  ED 42                 SBC  HL,BC
6A12  22 0A 3A              LD   (PTMA),HL ;RambdaT-X1rambdaT

6A15  21 13 3A              LD   HL,PTME+1
6A18  CB 3E                 SRL  (HL)
6A1A  2B                    DEC  HL
6A1B  CB 1E                 RR   (HL)      ;0.5RambdaT
                    ;
6A1D  ED 5B 08 3A           LD   DE,(PTM5)
6A21  2A 0C 3A              LD   HL,(PTMB)
6A24  CD 67 6A              CALL COMPH
6A27  D0                    RET  NC
                    ;                      ;If Tau>XrambdaT
```

```
6A28   2A 0C 3A          LD    HL,(PTMB) ;Then Tau:XrambdaT
6A2B   22 06 3A          LD    (PTM5),HL
6A2E   C9                RET

6A2F            P_RATIO2:
6A2F   19                ADD   HL,DE
6A30   19                ADD   HL,DE
6A31   19                ADD   HL,DE
6A32   19                ADD   HL,DE
6A33   19                ADD   HL,DE
6A34   19                ADD   HL,DE  ;+6
6A35   7E                LD    A,(HL)
6A36   32 04 3A          LD    (PTM3),A
6A39   32 12 3A          LD    (PTME),A
6A3C   23                INC   HL
6A3D   7E                LD    A,(HL)
6A3E   32 05 3A          LD    (PTM3+1),A ;RambdaT
6A41   32 13 3A          LD    (PTME+1),A

6A44   23                INC   HL
6A45   7E                LD    A,(HL)
6A46   32 0C 3A          LD    (PTMB),A
6A49   23                INC   HL
6A4A   7E                LD    A,(HL)
6A4B   32 0D 3A          LD    (PTMB+1),A ;X1rambdaT

6A4E   23                INC   HL
6A4F   7E                LD    A,(HL)
6A50   32 10 3A          LD    (PTMD),A
6A53   23                INC   HL
6A54   7E                LD    A,(HL)
6A55   32 11 3A          LD    (PTMD+1),A ;X2rambdaT

6A58   2A 04 3A          LD    HL,(PTM3)
6A5B   ED 4B 10 3A       LD    BC,(PTMD)
6A5F   A7                AND   A
6A60   ED 42             SBC   HL,BC
6A62   22 0E 3A          LD    (PTMC),HL  ;RambdaT-X2rambdaT
6A65   18 A1             JR    P_RATIO1

                ;* * * * COMP HEX SUB * * * * *

6A67   A7       COMPH:   AND   A
6A68   ED 52             SBC   HL,DE
6A6A   C9                RET

                ;* * * * UNPACK SUB. * * * *

6A6B   11 22 3A UNPK:    LD    DE,VIDEO+2
6A6E   21 2A 3A          LD    HL,CBUF+3
6A71   CD 75 6A          CALL  UNPKS
6A74   2B                DEC   HL
6A75   06 02    UNPKS:   LD    B,2
6A77   AF       UNPKS1:  XOR   A
6A78   ED 6F             RLD
```

```
6A7A   E5                   PUSH  HL
6A7B   CD 84 6A             CALL  UNPKT
6A7E   E1                   POP   HL
6A7F   12                   LD    (DE),A
6A80   13                   INC   DE
6A81   10 F4                DJNZ  UNPKS1
6A83   C9                   RET
                   ;
6A84   21 28 6C    UNPKT:   LD    HL,SEGTAB
6A87   85                   ADD   A,L
6A88   6F                   LD    L,A
6A89   3E 00                LD    A,0
6A8B   8C                   ADC   A,H
6A8C   67                   LD    H,A
6A8D   7E                   LD    A,(HL)
6A8E   C9                   RET

                   ;* * * * HEX -> DEC SUB * * * *

6A8F   AF          HTOD:    XOR   A           ;clear (CBUF)
6A90   21 2B 3A             LD    HL,CBUF+4
6A93   06 03                LD    B,3
6A95   77          HTOD1:   LD    (HL),A
6A96   2B                   DEC   HL
6A97   10 FC                DJNZ  HTOD1

6A99   0E 10                LD    C,16
6A9B   21 27 3A    HTOD2:   LD    HL,CBUF
6A9E   CB 16                RL    (HL)
6AA0   23                   INC   HL
6AA1   CB 16                RL    (HL)
6AA3   23                   INC   HL

6AA4   06 03                LD    B,3
6AA6   7E          HTOD3:   LD    A,(HL)
6AA7   8F                   ADC   A,A
6AA8   27                   DAA
6AA9   77                   LD    (HL),A
6AAA   23                   INC   HL
6AAB   10 F9                DJNZ  HTOD3

6AAD   0D                   DEC   C
6AAE   20 EB                JR    NZ,HTOD2
6AB0   C9                   RET

                   ;*****************************
                   ;
                   ;          I  S  R
                   ;  SCAN DISPLAY, PULSE GEN
                   ;
                   ;*****************************
       07 00       DIGITN   EQU   7
       0C 00       DEBNCE   EQU   12
6AB1   08          INT:     EX    AF,AF'
6AB2   D9                   EXX
```

```
6AB3   DD 21 1B 3A              LD     IX,FLAG
                        ;
6AB7   AF               SCANK1  XOR    A
6AB8   D3 01                    OUT    (1),A
6ABA   3A 1A 3A                 LD     A,(DIGIT)
6ABD   D3 02                    OUT    (2),A
6ABF   4F                       LD     C,A
                        ;
6AC0   16 00                    LD     D,0
6AC2   5F                       LD     E,A
6AC3   21 20 3A                 LD     HL,VIDEO
6AC6   19                       ADD    HL,DE
6AC7   7E                       LD     A,(HL)
6AC8   D3 01                    OUT    (1),A

6ACA   DB 02                    IN     A,(2)
6ACC   E6 70                    AND    70H
6ACE   FE 70                    CP     70H
6AD0   28 2B                    JR     Z,SCANK5

6AD2   B1                       OR     C
6AD3   DD CB 00 C6              SET    0,(IX+0)
6AD7   21 1E 3A                 LD     HL,LASTKY
6ADA   56                       LD     D,(HL)
6ADB   77                       LD     (HL),A
6ADC   7A                       LD     A,D
6ADD   BE                       CP     (HL)
6ADE   28 07                    JR     Z,SCANK3

6AE0   3E 0C                    LD     A,DEBNCE
6AE2   32 1C 3A                 LD     (NREPTS),A
6AE5   18 16                    JR     SCANK5
6AE7   21 1C 3A         SCANK3  LD     HL,NREPTS
6AEA   7E                       LD     A,(HL)
6AEB   B7                       OR     A
6AEC   28 0F                    JR     Z,SCANK5
6AEE   35                       DEC    (HL)
6AEF   20 0C                    JR     NZ,SCANK5

6AF1   21 1E 3A                 LD     HL,LASTKY
6AF4   3A 1F 3A                 LD     A,(KEY)
6AF7   47                       LD     B,A
6AF8   7E                       LD     A,(HL)
6AF9   32 1F 3A                 LD     (KEY),A
6AFC   70                       LD     (HL),B

6AFD   21 1A 3A         SCANK5  LD     HL,DIGIT
6B00   35                       DEC    (HL)
6B01   3E FF                    LD     A,0FFH
6B03   BE                       CP     (HL)
6B04   20 17                    JR     NZ,SCANK9
6B06   36 07                    LD     (HL),DIGITN
6B08   DD CB 00 46              BIT    0,(IX+0)
6B0C   20 03                    JR     NZ,SCANK8
6B0E   32 1E 3A                 LD     (LASTKY),A
```

```
6B11   AF            SCANK8   XOR   A
6B12   32 1B 3A               LD    (FLAG),A
6B15   21 1D 3A               LD    HL,RDELAY
6B18   7E                     LD    A,(HL)
6B19   B7                     OR    A
6B1A   28 01                  JR    Z,SCANK9
6B1C   35                     DEC   (HL)

6B1D   3A 15 3A      SCANK9   LD    A,(PULSE)
6B20   FE 05                  CP    5
6B22   CA C4 6B               JP    Z,PULSE15
6B25   FE 04                  CP    4
6B27   CA B1 6B               JP    Z,PULSE12
6B2A   FE 03                  CP    3
6B2C   28 21                  JR    Z,PULSE9
                     ;---------------------------
6B2E   3A 14 3A      PULSE6   LD    A,(COUNT)
6B31   FE 00                  CP    0
6B33   28 0D                  JR    Z,PAT611
                     ;
6B35   2A 0A 3A               LD    HL,(PTMA)
6B38   22 06 3A               LD    (PTM4),HL
6B3B   AF                     XOR   A
6B3C   32 14 3A               LD    (COUNT),A
6B3F   C3 11 6C               JP    EXIT
                     ;
6B42   2A 0C 3A      PAT611:  LD    HL,(PTMB)
6B45   22 06 3A               LD    (PTM4),HL
6B48   21 14 3A               LD    HL,COUNT
6B4B   34                     INC   (HL)
6B4C   C3 11 6C               JP    EXIT
                     ;---------------------------
6B4F   3A 14 3A      PULSE9   LD    A,(COUNT)
6B52   FE 00                  CP    0
6B54   28 1E                  JR    Z,PAT910
6B56   FE 01                  CP    1
6B58   28 0D                  JR    Z,PAT911
                     ;
6B5A   2A 0A 3A               LD    HL,(PTMA)
6B5D   22 06 3A               LD    (PTM4),HL
6B60   AF                     XOR   A
6B61   32 14 3A               LD    (COUNT),A
6B64   C3 11 6C               JP    EXIT

6B67   2A 0C 3A      PAT911:  LD    HL,(PTMB)
6B6A   22 06 3A               LD    (PTM4),HL
6B6D   21 14 3A               LD    HL,COUNT
6B70   34                     INC   (HL)
6B71   C3 11 6C               JP    EXIT
                     ;
6B74   2A 12 3A      PAT910:  LD    HL,(PTME)
6B77   22 06 3A               LD    (PTM4),HL
6B7A   21 14 3A               LD    HL,COUNT
6B7D   34                     INC   (HL)
```

```
6B7E   C3 11 6C              JP     EXIT
                     ;---------------------------
6B81   3A 14 3A      PULSE12 LD     A,(COUNT)
6B84   FE 00                 CP     0
6B86   28 2F                 JR     Z,PATC10
6B88   FE 01                 CP     1
6B8A   28 1E                 JR     Z,PATC11
6B8C   FE 02                 CP     2
6B8E   28 0D                 JR     Z,PATC12
                     ;
6B90   2A 0A 3A              LD     HL,(PTMA)
6B93   22 06 3A              LD     (PTM4),HL
6B96   AF                    XOR    A
6B97   32 14 3A              LD     (COUNT),A
6B9A   C3 11 6C              JP     EXIT

6B9D   2A 0C 3A      PATC12: LD     HL,(PTMB)
6BA0   22 06 3A              LD     (PTM4),HL
6BA3   21 14 3A              LD     HL,COUNT
6BA6   34                    INC    (HL)
6BA7   C3 11 6C              JP     EXIT

6BAA   2A 10 3A      PATC11: LD     HL,(PTMD)
6BAD   22 06 3A              LD     (PTM4),HL
6BB0   21 14 3A              LD     HL,COUNT
6BB3   34                    INC    (HL)
6BB4   C3 11 6C              JP     EXIT
                     ;
6BB7   2A 0E 3A      PATC10: LD     HL,(PTMC)
6BBA   22 06 3A              LD     (PTM4),HL
6BBD   21 14 3A              LD     HL,COUNT
6BC0   34                    INC    (HL)
6BC1   C3 11 6C              JP     EXIT
                     ;---------------------------
6BC4   3A 14 3A      PULSE15 LD     A,(COUNT)
6BC7   FE 00                 CP     0
6BC9   28 3C                 JR     Z,PATF10
6BCB   FE 01                 CP     1
6BCD   28 2C                 JR     Z,PATF11
6BCF   FE 02                 CP     2
6BD1   28 1C                 JR     Z,PATF12
6BD3   FE 03                 CP     3
6BD5   28 0C                 JR     Z,PATF13
                     ;
6BD7   2A 0A 3A              LD     HL,(PTMA)
6BDA   22 06 3A              LD     (PTM4),HL
6BDD   AF                    XOR    A
6BDE   32 14 3A              LD     (COUNT),A
6BE1   18 2E                 JR     EXIT

6BE3   2A 0C 3A      PATF13: LD     HL,(PTMB)
6BE6   22 06 3A              LD     (PTM4),HL
6BE9   21 14 3A              LD     HL,COUNT
6BEC   34                    INC    (HL)
6BED   18 22                 JR     EXIT
```

```
6BEF   2A 10 3A        PATF12: LD    HL,(PTMD)
6BF2   22 06 3A                LD    (PTM4),HL
6BF5   21 14 3A                LD    HL,COUNT
6BF8   34                      INC   (HL)
6BF9   18 16                   JR    EXIT

6BFB   2A 12 3A        PATF11: LD    HL,(PTME)
6BFE   22 06 3A                LD    (PTM4),HL
6C01   21 14 3A                LD    HL,COUNT
6C04   34                      INC   (HL)
6C05   18 0A                   JR    EXIT
                       ;
6C07   2A 0E 3A        PATF10: LD    HL,(PTMC)
6C0A   22 06 3A                LD    (PTM4),HL
6C0D   21 14 3A                LD    HL,COUNT
6C10   34                      INC   (HL)

6C11   3A 06 3A        EXIT:   LD    A,(PTM4)
6C14   D3 41                   OUT   (41H),A
6C16   3A 07 3A                LD    A,(PTM4+1)
6C19   D3 41                   OUT   (41H),A

6C1B   D9                      EXX
6C1C   08                      EX    AF,AF'
6C1D   FB                      EI
6C1E   ED 4D                   RETI
                       ;
6C20   08              NMI     EX    AF,AF'
6C21   AF                      XOR   A
6C22   32 14 3A                LD    (COUNT),A
6C25   08                      EX    AF,AF'
6C26   ED 45                   RETN
                       ;
6C28   3F 06 5B 4F     SEGTAB  DB   3FH,06H,5BH,4FH
6C2C   66 6D 7D 07             DB   66H,6DH,7DH,07H
6C30   7F 6F                   DB   7FH,6FH
                       ;
6C32   EF 3F           PHASETAB DB  0EFH,3FH   9.0
6C34   87 6D                   DB   087H,6DH   7.5
6C36   FD 3F                   DB   0FDH,3FH   6.0
6C38   E6 6D                   DB   0E6H,6DH   4.5
6C3A   CF 3F                   DB   0CFH,3FH   3.0
6C3C   86 6D                   DB   086H,6DH   1.5
6C3E   00 3F                   DB   00,3FH       0
6C40   06 ED                   DB   06H,0EDH   15.
6C42   4F BF                   DB   4FH,0BFH   30.
6C44   66 ED                   DB   66H,0EDH   45.
6C46   7D BF                   DB   7DH,0BFH   60.
6C48   07 ED                   DB   07H,0EDH   75.
6C4A   6F BF                   DB.  6FH,0BFH   90.
                       ;
6C4C                   RAMT6:
6C4C   9B 02 DE 00             DW   667,222   .2
6C50   42 03 16 01             DW   834,278
```

```
6C54   E8 03 4E 01        DW    1000,334  .3
6C58   8F 04 85 01        DW    1167,389
6C5C   36 05 BD 01        DW    1334.445  .4
6C60   DC 05 F4 01        DW    1500.500
6C64   83 06 2C 02        DW    1667.556  .5
6C68   2A 07 63 02        DW    1834,611
6C6C   D1 07 9B 02        DW    2001,667  .6
6C70   77 08 D2 02        DW    2167,722
6C74   1E 09 0A 03        DW    2334,778  .7
6C78   C5 09 42 03        DW    2501,834
6C7C   6B 0A 79 03        DW    2667.889  .8
6C80   12 0B B1 03        DW    2834,945
6C84   B9 0B E8 03        DW    3001,1000 .9
                     ;
6C88                 RAMT9:
6C88   BC 01 94 00        DW    444,148  0.2
6C8C   2C 02 B9 00        DW    556,185
6C90   9B 02 DE 00        DW    667,222  0.3
6C94   0A 03 03 01        DW    778,259
6C98   79 03 28 01        DW    889,296  0.4
6C9C   E8 03 4D 01        DW    1000,333
6CA0   57 04 72 01        DW    1111,370  0.5
6CA4   C6 04 97 01        DW    1222.407
6CA8   35 05 BC 01        DW    1333,444  0.6
6CAC   A4 05 E1 01        DW    1444.481
6CB0   14 06 07 02        DW    1556.519  0.7
6CB4   83 06 2C 02        DW    1667,556
6CB8   F2 06 51 02        DW    1778,593  0.8
6CBC   61 07 76 02        DW    1889,630
6CC0   D0 07 9B 02        DW    2000,667  0.9
                     ;
6CC4                 RAMT10:
6CC4   4D 01 6F 00        DW    333,111,148  .2
6CC8   94 00
6CCA   A1 01 8B 00        DW    417.139,185
6CCE   B9 00
6CD0   F4 01 A7 00        DW    500,167.222  .3
6CD4   DE 00
6CD6   47 02 C2 00        DW    583,194.259
6CDA   03 01
6CDC   9B 02 DE 00        DW    667.222.296  .4
6CE0   28 01
6CE2   EE 02 FA 00        DW    750,250,333
6CE6   4D 01
6CE8   41 03 16 01        DW    833,278,370  .5
6CEC   72 01
6CEE   95 03 32 01        DW    917,306.407
6CF2   97 01
6CF4   E8 03 4D 01        DW    1000,333,444  .6
6CF8   BC 01
6CFA   3B 04 69 01        DW    1083,361,481
6CFE   E1 01
6D00   8F 04 85 01        DW    1167,389,519  .7
6D04   07 02
6D06   E2 04 A1 01        DW    1250,417,556
```

```
6D0A   2C 02
6D0C   35 05 BC 01        DW   1333,444,593  .8
6D10   51 02
6D12   89 05 D8 01        DW   1417,472,630
6D16   76 02
6D18   DC 05 F4 01        DW   1500,500,667  .9
6D1C   9B 02
                        ;
6D1E                    RAMTF:
6D1E   0B 01 59 00        DW    267,089,111  .2
6D22   6F 00
6D24   4D 01 6F 00        DW    333,111,139
6D28   8B 00
6D2A   90 01 85 00        DW    400,133,167  .3
6D2E   A7 00
6D30   D3 01 9C 00        DW    467,156,194
6D34   C2 00
6D36   15 02 B2 00        DW    533,178,222  .4
6D3A   DE 00
6D3C   58 02 C8 00        DW    600,200,250
6D40   FA 00
6D42   9B 02 DE 00        DW    667,222,278  .5
6D46   16 01
6D48   DD 02 F4 00        DW    733,244,306
6D4C   32 01
6D4E   20 03 0B 01        DW    800,267,333  .6
6D52   4D 01
6D54   63 03 21 01        DW    867,289,361
6D58   69 01
6D5A   A5 03 37 01        DW    933,311,389  .7
6D5E   85 01
6D60   E8 03 4D 01        DW   1000,333,417
6D64   A1 01
6D66   2B 04 64 01        DW   1067,356,444  .8
6D6A   BC 01
6D6C   6D 04 7A 01        DW   1133,378,472
6D70   D8 01
6D72   B0 04 90 01        DW   1200,400,500  .9
6D76   F4 01

6D78   73 3E 38 6D      SHOW  DB  73H,3EH,38H,6DH,79H
6D7C   79
                        ;
3A00                            ORG    3A00H
3A00                    PTM1     DS    2
3A02                    PTM2     DS    2
3A04                    PTM3     DS    2
3A06                    PTM4     DS    2
3A08                    PTM5     DS    2
3A0A                    PTMA     DS    2
3A0C                    PTMB     DS    2
3A0E                    PTMC     DS    2
3A10                    PTMD     DS    2
3A12                    PTME     DS    2
                        ;
```

```
3A14            COUNT   DS    1
3A15            PULSE   DS    1
3A16            PHASE   DS    1
3A17            TAU     DS    2
3A19            RAM     DS    1
                ;
3A1A            DIGIT   DS    1
3A1B            FLAG    DS    1
3A1C            NREPTS  DS    1
3A1D            RDELAY  DS    1
3A1E            LASTKY  DS    1
3A1F            KEY     DS    1
3A20            VIDEO   DS    7
3A27            CBUF    DS    8
3A2F                    END

0000 ASSEMBLY ERRORS
```

กิตติกรรมประกาศ

ขอขอบพระคุณ อาจารย์ วิริยะ พิเชษฐจาเริญ อย่างสูงที่กรุณาให้คาปรึกษา ความรู้ คาแนะนา ตลอดจนปัจจัยต่างๆ ที่ใช้ประกอบการทาโครงงานนี้จนสาเร็จลงได้ด้วยดี พร้อมกันนี้ขอขอบพระคุณ พี่ๆใช้ ที่ช่วยให้กาลังใจและช่วยเหลือจนทาให้โครงงานนี้ ตลอดจนวิทยานิพนธ์นี้สาเร็จเป็นรูปเล่มได้

ท้ายที่สุดสาหรับเพื่อนๆ ชาววิศวกรรมศาสตร์ ลาดกระบัง รุ่นที่ 25 ที่ร่วมเรียนด้วยกันมาตลอดเวลา 4 ปี ผู้จัดทาขอขอบคุณมา ณ ที่นี้

หนังสืออ้างอิง

1. ชัยวัฒน์ โควาวิสารัช และ โชคชัย ธรรมานุธรรม ,ปริญญานิพนธ์ " เครื่องแปลงไฟฟ้ากระแสสลับเป็นกระแสตรงและปรับปรุงตัวประกอบกำลัง โดย จีทีโอ ไทริสเตอร์ ", ปีการศึกษา 2530
2. พลวีร์ บัวศรี และ เลิงสกล จินารัตน์ ,ปริญญานิพนธ์ " การใช้ไมโครคอมพิวเตอร์ควบคุมเครื่องแปลงไฟฟ้ากระแสสลับเป็นกระแสตรง โดยสามารถเลื่อนเฟสกระแส พีค้บบลิว เอ็ม ในเอซีลายน์ ",ปีการศึกษา 2531
3. Curtis D.Johnson, " Microprocessor-Based Process Control ", Prentice-Hall,Inc.,202-203 P.,1984
4. Benjamin C.Kuo, " Automatic Control System ", Prentice-Hall of India,464-533 P.,1988
5. Hiromichi Ohashi, " Snubber Circuit for High-Power Gate Turn-Off Thyristors ", IEEE Trans. Ind. Appl, 1983, pp 655-664