ปีการศึกษา 2532

ปริญญานิพนธ์

เรื่อง แผงไฟสื่อข้อความ (MESSAGE LAMP)

โดย

นาย ศราเวช ไวทยะวิญญู

นาย เสรี สุพันธุ์วณิช

นาย สงวน ทันต์เจริญกิจ

อาจารย์ที่ปรึกษา

ผศ. อภินันท์ มัณยานนท์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

026955

ปริญญานิพนธ์ ปีการศึกษา 2532

ภาควิชา โทรคมนาคม

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหาร ลาดกระบัง

เรื่อง แผงไฟสื่อข้อความ (MESSAGE LAMP)

ผู้จัดทำ นาย ศราเวช ไวทยะวิญญู รหัสประจำตัว 291225

นาย เสรี สุพันธุ์วณิช รหัสประจำตัว 291234

นาย สงวน ทันต์เจริญกิจ รหัสประจำตัว 291236

อภินันท์ มัณยานนท์ อาจารย์ที่ปรึกษา

(ผศ. อภินันท์ มัณยานนท์)

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

026955

22 พ.ย. 53

แผงไฟสื่อข้อความ

(MESSAGE LAMP)

ศราเวช ไวทยะวิญญู
เสรี สุพันธุ์วณิช
สงวน ทันต์เจริญกิจ
ผศ. อภินันท์ มัณยานนท์
อาจารย์ที่ปรึกษา
ปีการศึกษา 2532

บทคัดย่อ

โครงงาน แผงไฟสื่อข้อความ เป็นลักษณะแผงแสดงข้อมูลต่าง ๆ ทั้งตัวอักษรภาษาอังกฤษ ภาษาไทย หรือ รูปภาพและสัญญลักษณ์ต่าง ๆ โดยใช้ LED ต่อกันเป็นแผงแบบแมทริกซ์ (MATRIX) เป็นอุปกรณ์แสดงผลโดยใช้ ไมโครโปรเซสเซอร์เป็นตัวควบคุมลักษณะการแสดงผลตามการใช้งาน มีหน่วยความจำไว้เก็บข้อมูลที่นำมาแสดงผลและข้อมูลเพื่อการควบคุม จุดประสงค์หลักของโครงงานนี้ อยู่ที่การพัฒนาให้นำไปใช้งานจริง เช่น การติดตั้งหน้าร้าน เพื่อการโฆษณา เผยแพร่ข่าวสารในรูปแบบที่น่าสนใจ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MESSAGE LAMP

Sarawech Witayawinyoo

Seri Supanwanich

Sa-nguan Thancharoenkit

Assistant Professor

Apinan Manyanon

Adviser

1989

Abstract

"MESSAGE LAMP" is the board using to display various datas. Including Thai characters , English characters , symbols and/or pictures. It is formed the matrix of LED (Light Emitting Diode) and its function is controlled by microprocessor. Control instructions and display datas are stored in memory of the system. Principle objective of this project is the development for real life application. such as showing outlets for advertising , information publishing in the attractive form.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

		หน้า
บทคัดย่อ		
บทที่ 1	บทนำ	1
บทที่ 2	สถาปัตยกรรม Z-80	2
บทที่ 3	หลักการแสดงผลของแผงไฟสื่อข้อความ	10
บทที่ 4	วงจรฮาร์ดแวร์(HARDWARE)	
	4.1 หน่วยแสดงผล	14
	4.2 หน่วยควบคุมการทำงาน	18
	4.3 หน่วยถอดรหัส	19
	4.4 หน่วยสแกนและรีเซ็ท	22
	4.5 วงจรขับกระแส	25
	4.6 หน่วยจ่ายไฟ	29
	4.7 หน่วยกำหนดช่วงเวลาสแกน	30
บทที่ 5	ส่วนซอฟท์แวร์(SOFTWARE)	
	5.1 การออกแบบซอฟท์แวร์	32
	5.2 หลักการทำงานของโปรแกรม	33
บทที่ 6	การทดลองและผลการทดลอง	67
บทที่ 7	บทวิจารณ์และสรุป	70
ภาคผนวก		

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูปภาพ

		หน้า
รูปที่ 2.1	บล็อกไดอะแกรมของ Z-80	3
รูปที่ 2.2	รีจิสเตอร์ต่างๆภายใน Z-80	5
รูปที่ 2.3	ลักษณะของขาไอซี Z-80 CPU	9
รูปที่ 3.1	บล็อกไดอะแกรมของหลักการแสดงผล	10
รูปที่ 3.2	บล็อกไดอะแกรมของการควบคุมแผงไฟแสดงผลโดยใช้ Z-80	13
รูปที่ 4.1	ตารางความสัมพันธ์ระหว่างค่าดิวตี้แฟคเตอร์ , ความส่องสว่าง และค่ากระแสสูงสุด	15
รูปที่ 4.2	ตารางความสัมพันธ์ระหว่าง จำนวน LED กับ ค่าดิวตี้แฟคเตอร์	16
รูปที่ 4.3	ลายวงจรของแผง LED	18
รูปที่ 4.4	แผนผังเวลา	20
รูปที่ 4.5	วงจรถอดรหัสและสแกน	23
รูปที่ 4.6	วงจรขับกระแสแบบ ANODE DRIVER	25
รูปที่ 4.7	วงจรขับกระแสแบบ CATHODE DRIVER	26
รูปที่ 4.8	วงจรขับกระแส	27
รูปที่ 4.9	วงจรภาคจ่ายไฟกระแสตรง 5-12 V	29
รูปที่ 4.10	วงจรภาคจ่ายไฟกระแสตรง 5 V	30
รูปที่ 4.11	วงจรกำหนดช่วงเวลาสแกน	31
รูปที่ 5.1	การจัดหน่วยความจำ	33
รูปที่ 6.1	สัญญาณเอาท์พุทของ ไอซี 555	68
รูปที่ 6.2	บล็อคไดอะแกรมของการแก้ไขเพื่อลดการเกิดเงา	69

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1

บทนำ

ในปัจจุบัน มีสื่อโฆษณาชนิดใหม่ ที่สามารถดึงดูดความสนใจได้ดีกว่าใบปิดโฆษณาเพราะใบปิดสื่อข้อมูล รูปภาพที่ตายตัว ไม่ตื่นเต้น ไม่น่าสนใจ จึงมีสื่อโฆษณาชนิดนี้ขึ้นมาเรียกว่าแผงไฟสื่อข้อความ การทำงานของแผงไฟสื่อข้อความนั้น จะแสดงข้อความตามตัวอักษรและภาษาที่กำหนด แล้วให้ข้อความนั้น เคลื่อนไหวตามคำสั่งที่กำหนด เช่น จากซ้ายไปขวา บนลงล่าง กระพริบ ฯลฯ

นอกจากจะแสดงผลเป็นตัวอักษรแล้ว ยังแสดงผลเป็นสัญญลักษณ์ หรือรูปภาพต่าง ๆ ตามโปรแกรมและข้อมูลต่าง ๆ ที่เรากำหนดให้

ตามวัตถุประสงค์และการใช้งานแผงไฟสื่อข้อความ จึงทำการออกแบบโครงงานนี้ขึ้นมาโดยแยกการออกแบบเป็น 2 ส่วน ส่วนแรกคือ ส่วนฮาร์ดแวร์ (HARDWARE) มีหน้าที่ควบคุมการทำงานทั้งหมด ประกอบด้วย แผงLED แสดงผล ขนาด 16x96 จุด แผงควบคุม(CONTROL BOARD),ซิงเกิ้ลบอร์ด (SINGLE BOARD Z-80) และวงจรภาคจ่ายไฟ(POWER SUPPLY) ส่วนที่ 2 เป็นส่วนของซอฟท์แวร์ คือส่วนของโปรแกรมภาษาแอสแซมบลี้ Z-80 ที่เขียนขึ้นมาควบคุม การแสดงผล รูปแบบและลำดับขั้นตอนการทำงานของอุปกรณ์ที่ใช้แสดงผล

ดังนั้น เนื้อหาของปริญญานิพนธ์ฉบับนี้ จึงแยกออกเป็น 2 ส่วน ทั้ง 2 ส่วนนี้ จะอธิบายถึง การทำงาน รายละเอียด และการออกแบบของอุปกรณ์ต่าง ๆ ใน แต่ละส่วนไว้โดยละเอียด นอกจากนั้นยังมีเนื้อหาส่วนอื่น ๆ อีก เช่น หลักการแสดงผลของแผงLED ภาคผนวกต่าง ๆ ข้อมูลที่ใช้ในการวิจัย และสรุปวิเคราะห์โครงงาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2

สถาปัตยกรรม Z-80

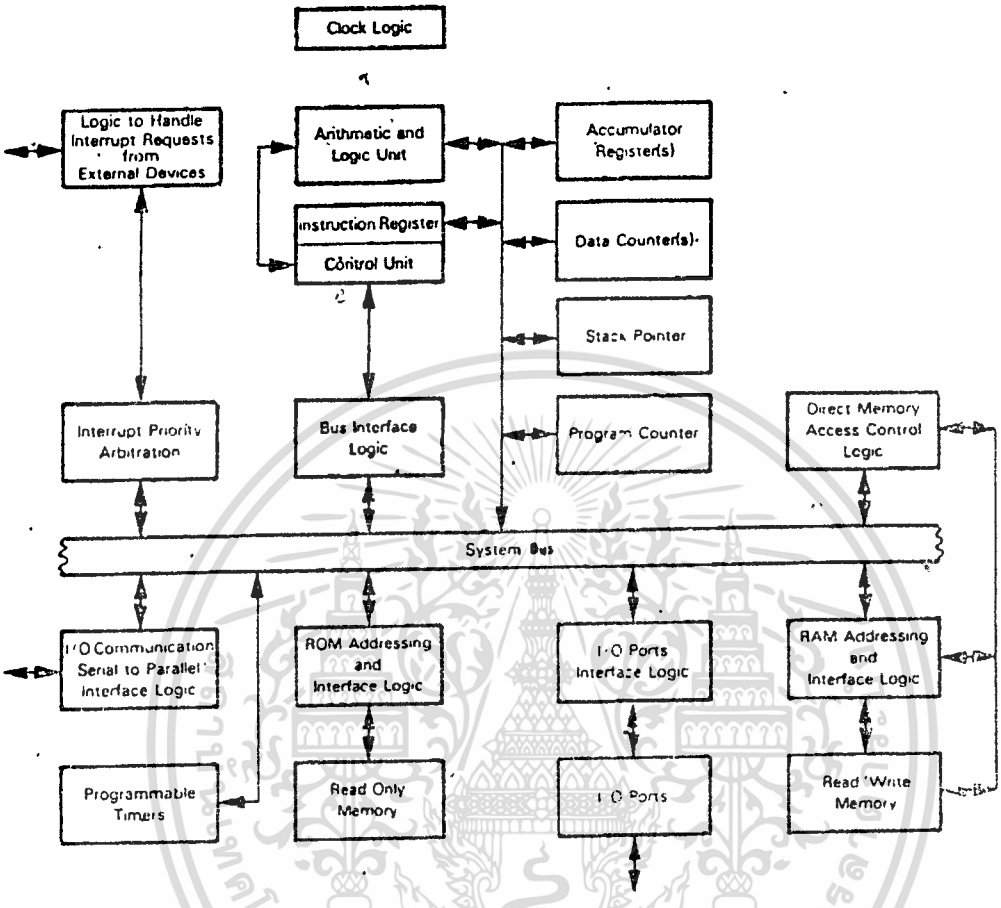
โดยทั่วไปโครงสร้างพื้นฐานของคอมพิวเตอร์ จะประกอบด้วย

- หน่วยควบคุม (CONTROL UNIT)
- หน่วยความจำ (MEMORY UNIT)
- หน่วยคำนวณ (ARITHMETIC UNIT)
- หน่วยรับและส่งสัญญาณ (I/O UNIT)

ด้วยการพัฒนาเทคโนโลยีที่ทันสมัย ทำให้ชิ้นส่วนต่างๆที่ประกอบขึ้นเป็นหน่วยย่อยๆภายในเครื่องคอมพิวเตอร์มีขนาดเล็กลง แต่ประสิทธิภาพกลับสูงขึ้นและราคาถูกลงอย่างมาก ทำให้ความต้องการนำคอมพิวเตอร์มาใช้มีมากขึ้น

ในปัจจุบัน สามารถนำวงจรอิเลคทรอนิคส์ที่ยุ่งยากและซับซ้อนมาบรรจุลงบนแผ่นวงจรเดียวที่มีขนาดเล็กมากเรียกว่า LSI (LARGE SCALE INTEGRATE CIRCUIT) และบรรจุอยู่ในตัวถัง วิ่งต่อขาออกมาใช้ติดต่อกับวงจรภายนอก สิ่งนี้เรียกว่า "ชิพ (CHIP)" องค์ประกอบย่อยๆในไมโครคอมพิวเตอร์ประกอบขึ้นจากชิพเหล่านี้ เช่น หน่วยความจำประเภทรอม , แรม , อุปกรณ์สนับสนุนต่างๆ และสิ่งที่เป็นหัวใจของระบบไมโครคอมพิวเตอร์ คือ หน่วยประมวลผลกลางหรือ CPU (CENTRAL PROCESSING UNIT) ซึ่งภายในประกอบด้วยส่วนต่างๆดังบล็อกไดอะแกรมรูปที่ 2.1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.1 บล็อกไดอะแกรมของ Z-80

ซึ่งแต่ละบล็อกมีลักษณะการทำงานดังต่อไปนี้

1. ARITHMETICS LOGIC UNIT (ALU) เป็นหน่วยที่ทำหน้าที่ในการคำนวณฟังก์ชันพื้นฐานทางคณิตศาสตร์ และการกระทำฟังก์ชันทางลอจิก เช่น AND และ OR ALU จะสามารถทำหน้าที่ได้อย่างมีประสิทธิภาพมากเพียงใดขึ้นอยู่กับการออกแบบวงจรภายในของ ALU

2. CONTROL UNIT เป็นหน่วยที่ทำหน้าที่ในการส่งสัญญาณไปควบคุมอุปกรณ์ต่างๆที่ต่อเชื่อมกับ CPU ให้ทำงานร่วมกันได้อย่างถูกต้อง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3. DATA BUS เป็นบัสสองทิศทาง (BI-DIRECTIONAL) ที่ใช้ในการส่งผ่านข้อมูลระหว่าง CPU กับอุปกรณ์อื่นๆ ภายในระบบ จำนวนเส้นของบัสข้อมูล (DATA BUS) จะขึ้นอยู่กับชนิดของ CPU เช่นในกรณีของ Z-80 CPU จะส่งผ่านข้อมูลทีละ 8 บิท ดังนั้นมีจำนวนเส้นของบัสข้อมูล 8 เส้น

4. CONTROL BUS หรือบัสควบคุม เป็นบัสทางเดียว (UNI-DIRECTIONAL) ที่ใช้ในการส่งผ่านสัญญาณควบคุมให้กับอุปกรณ์ต่างๆในระบบ

5. ADDRESS BUS เป็นบัสทางเดียว ใช้ส่งผ่านค่าแอดเดรสจาก CPU ออกไปยังหน่วยความจำเพื่อระบุตำแหน่งที่ต้องการรับหรือส่งข้อมูล หรือใช้ระบุตำแหน่งของพอร์ท I/O ที่ CPU ต้องการติดต่อด้วย

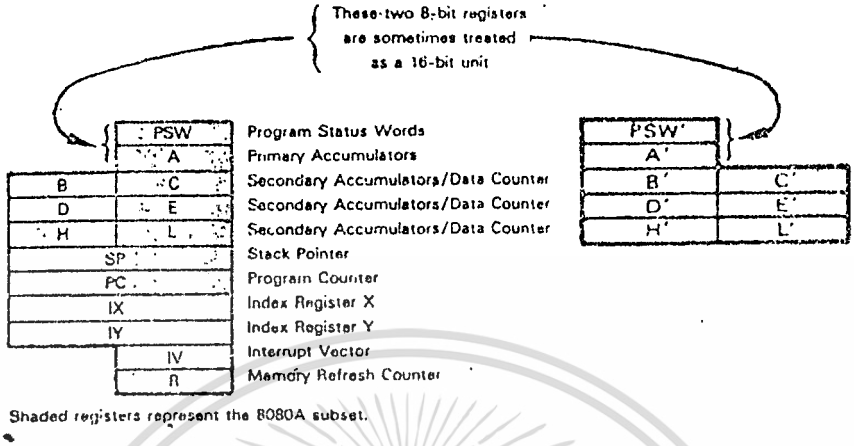
Z-80 ไมโครโปรเซสเซอร์เป็น CPU ที่ผลิตจากบริษัท ZILOG INC. โดยกลุ่มวิศวกรชุดเดียวกับที่ผลิต 8080 CPU ของบริษัท INTEL COORPERATION. Z-80 CPU ได้พัฒนามีข้อดีเหนือกว่า 8080 เช่น มีชุดคำสั่งมากกว่า นอกจากนี้ Z-80 ยังมีรีจิสเตอร์มากกว่าถึง 12 ตัว และ 8080 เพียงตัวเดียวยังไม่สามารถนำไปใช้งานได้ ต้องต่อกับอุปกรณ์สนันสนุนอีก 2 ตัว คือ CLOCK GENERATOR CHIP, SYSTEM CONTROLER CHIP รวมกันเรียกว่า THREE CHIP PROCESSOR แต่ใน Z-80 CPU ได้รวมเอาลักษณะพื้นฐานเหล่านี้ไว้ในชิพเดียวกัน และเพิ่มประสิทธิภาพทางฮาร์ดแวร์ , ซอฟท์แวร์ และการอินเตอร์เฟสให้สูงขึ้น

Z-80 ไมโครโปรเซสเซอร์ เพียงชิ้นเดียวไม่สามารถทำงานเป็นระบบคอมพิวเตอร์ได้ ต้องอาศัยอุปกรณ์อีก 2 ส่วนคือ หน่วยความจำ และหน่วยรับส่งข้อมูลเข้าออก ซึ่งในการทำงานตามคำสั่งจากโปรแกรมที่ป้อนเข้ามา Z-80 CPU จะต้องทำการโอนย้ายคำสั่งหรือข้อมูลระหว่างหน่วยความจำกับรีจิสเตอร์

รีจิสเตอร์ต่างๆใน Z-80 CPU

Z-80 CPU ประกอบด้วยรีจิเตอร์ถึง 22 ตัวดังรูป 2.2 รีจิสเตอร์เหล่านี้แบ่งได้เป็น 2 กลุ่มคือ รีจิสเตอร์ที่ทำหน้าที่ทั่วไป และรีจิสเตอร์ที่ทำหน้าที่เฉพาะงาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.2 รีจิสเตอร์ต่างๆภายใน Z-80

1. รีจิสเตอร์ที่ทำหน้าที่ทั่วๆไป แบ่งเป็นรีจิสเตอร์หลักได้แก่ A,B,C,D,E, H และ L มีความจุขนาด 8 บิท รีจิเตอร์เหล่านี้ใช้เก็บข้อมูลชั่วคราว นอกจากนี้ยังสามารถรับข้อมูลจากหน่วยความจำหรือย้ายข้อมูลไปเก็บไว้ในหน่วยความจำก็ได้ และรีจิสเตอร์สำรองได้แก่ A',B',C',D',E',H' และ L' ซึ่งเป็นรีจิสเตอร์เก็บข้อมูลที่มาจากรีจิสเตอร์หลัก ในกรณีที่ต้องใช้รีจิสเตอร์หลักในการทำงานอย่างอื่นก่อน ดังนั้นรีจิสเตอร์กลุ่มนี้จึงไม่สามารถกระทำขบวนการทางคณิตศาสตร์และลอจิกได้

รีจิสเตอร์ A เรียกว่า แอคคิวมูเลเตอร์ (ACCUMULATOR) ทำหน้าที่เก็บข้อมูลชั่วคราวที่ได้จากขบวนการทางคณิตศาสตร์ เช่น บวกหรือลบข้อมูล 2 จำนวน ผลลัพธ์ที่ได้จะเก็บไว้ในรีจิสเตอร์ A นี้ นอกจากนี้การทำคำสั่งที่ใช้กับข้อมูลขนาด 16 บิท จะใช้รีจิสเตอร์แฟลก "F" มาใช้ร่วมกับรีจิสเตอร์ A เรียกว่าคู่รีจิสเตอร์ AF ซึ่งมีขนาด 16 บิท นอกจากนี้ยังมีคู่รีจิสเตอร์ 16 บิทอื่นๆอีกคือ BC,DE และ HL

2. รีจิสเตอร์ที่ใช้งานเฉพาะอย่าง ได้แก่ รีจิสเตอร์ I,R,IX,IY,SP และ PC ซึ่งทำหน้าที่ต่างๆดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- รีจิสเตอร์ I (INTERRUPT PAGE ADDRESS REGISTER) เมื่อมีการอินเทอร์รัพท์เกิดขึ้นจำเป็นต้องบอก ตำแหน่งของหน่วยความจำที่เก็บโปรแกรมตอบสนองการอินเทอร์รัพท์ รีจิสเตอร์จะทำหน้าที่เก็บค่า 8 บิทบนของตำแหน่งข้อมูลในหน่วยความจำ ส่วนค่า 8 บิทล่างจะป้อนจากภายนอกให้แก่ CPU ค่าทั้งสองจะรวมกันเป็นค่าแอดเดรสที่ระบุตำแหน่งของโปรแกรมการตอบสนองการอินเทอร์รัพท์

- รีจิสเตอร์ R (MEMORY REFRESH REGISTER) เป็นรีจิสเตอร์ขนาด 16 บิทที่ถูกใช้ในการรีเฟรช(REFRESH) DYNAMIC RAM และค่ารีจิสเตอร์R จะเพิ่มขึ้นเองโดยอัตโนมัติ ในทุกๆครั้งที่มีการเฟทช์คำสั่งจากหน่วยความจำ

- รีจิสเตอร์ IX และ IY (INDEX REGISTER) เป็นรีจิสเตอร์ขนาด 16 บิท ใช้บอกตำแหน่งในหน่วยความจำแบบ INDEX ADDRESSING MODE โดยกำหนดค่าในINDEX REGISTER เป็นค่าอ้างอิง แล้วใช้คำสั่งบอกว่าตำแหน่งข้อมูลที่ต้องการอยู่ห่างจากค่าอ้างอิงนี้เท่าใด โดยบอกค่าระยะห่างในรูปของ TWO COMPLEMENT

- รีจิสเตอร์ SP (STACK POINTER) มีขนาด 16 บิท ในหน่วยความจำชนิดแรมจะมีส่วนหนึ่งที่ถูกกำหนดให้เป็นที่เก็บข้อมูลชั่วคราว ส่วนนี้เรียกว่าสแตก (STACK) ซึ่งมีการเก็บข้อมูลแบบ LIFO (LAST IN FIRST OUT)เราสามารถที่จะเก็บข้อมูลลงบนสแตกโดยใช้คำสั่ง PUSH และเมื่อต้องการดึงข้อมูลออกจากสแตกต้องใช้คำสั่ง POP

- รีจิสเตอร์ PC (PROGRAM COUNTER) เป็นรีจิสเตอร์ขนาด 16 บิทที่ใช้ในการเก็บตำแหน่งหน่วยความจำที่ CPU จะเฟทช์(FETCH)คำสั่งหลังจากที่เฟทช์คำสั่งเรียบร้อยแล้ว ค่าในรีจิสเตอร์ PC จะเพิ่มขึ้น และจะชี้ไปยังตำแหน่งของคำสั่งถัดไป เราจะสามารถเปลี่ยนแปลงค่าใน PC โดยใช้คำสั่ง CALL หรือ JUMP

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- รีจิสเตอร์ F (FLAG REGISTER) ประกอบด้วย

SIGN FLAG (S) : แฟลกเครื่องหมาย

ZERO FLAG (Z) : แฟลกศูนย์

HALF CARRY FLAG (H) : แฟลกทดครึ่ง

PARITY/OVERFLOW FLAG (P/V) : แฟลกพาริตี้หรือโอเวอร์โฟล์ว

SUBTRACT FLAG (N) : แฟลกลบ

CARRY FLAG (C) : แฟลกตัวทด

ผู้ผลิต Z-80 ได้นำเอาแฟลกเหล่านี้ประกอบร่วมกับ บิทว่างอีก 2 บิทเพื่อทำให้เป็นรีจิสเตอร์ขนาด 8 บิท

รายละเอียดของขา Z-80 (Z-80 PIN OUTS)

A0-A15 (ADDRESS BUS) : เป็นขาสัญญาณเอาท์พุทแบบ TRI-STATE ใช้บ่งบอกตำแหน่งหน่วยความจำได้ถึง 2^{16} = 65,536 ตำแหน่ง A0-A7 แสดงตำแหน่งของพอร์ทที่ Z-80 ต้องการติดต่อด้วย

D0-D7 (DATA BUS) : เป็นขาสัญญาณอินพุท/เอาท์พุท TRI-STATE แบบ 2 ทิศทาง ซึ่งเป็นทางผ่านของข้อมูลระหว่าง Z-80 กับหน่วยความจำและอุปกรณ์ I/O

$\overline{M1}$ (MACHINE CYCLE 1): เป็นขาเอาท์พุทแอคทีฟที่ลอจิก 0 ขา M1 นี้จะแอคทีฟขณะที่ Z-80 ทำการเฟทช์ออฟโคดของคำสั่ง ถ้าคำสั่งมีขนาด 2 ไบท์ M1 จะแอคทีฟในทุกๆไซเคิลการเฟทช์แต่ละไบท์

$\overline{MREQ}$ (MEMORY REQUEST): เป็นสายเอาท์พุทแบบ TRI-STATE แอคทีฟที่ลอจิก 0 เมื่อบอกว่า Z-80 กำลังทำการติดต่อกับหน่วยความจำ

$\overline{IORQ}$ (INPUT/OUTPUT REQUEST): เป็นสายเอาท์พุทแอคทีฟที่ลอจิก 0 เพื่อบอกว่า Z-80 กำลังทำการติดต่อกับอุปกรณ์ I/O และเมื่อ IORQ และ M1 แอคทีฟทั้งคู่จะบอกการตอบรับการอินเทอร์รัพท์ (INTERRUPT ACKNOWLEDGE)

$\overline{RD}$ (MEMORY READ) : เป็นขาเอาท์พุทแอคทีฟที่ลอจิก 0 เมื่อ Z-80 ต้องการอ่านข้อมูลจากหน่วยความจำหรืออุปกรณ์ I/O และ Z-80 จะรับข้อมูล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากบัสข้อมูลเข้าไปเมื่อสัญญาณนี้เปลี่ยนระดับจากลอจิก 0 เป็น 1

$\overline{WR}$ (MEMORY WRITE) : เป็นขาเอาท์พุทแอคทีฟที่ลอจิก 0 เมื่อ Z-80 ต้องการส่งข้อมูลออกไปให้หน่วยความจำหรืออุปกรณ์ I/O

$\overline{RFSH}$ (REFRESH): เป็นขาเอาท์พุทแอคทีฟเมื่อ 7 บิทล่าง(A0-A6) ของบัสแอดเดรสให้ค่ารีเฟรชออกมา

$\overline{HALT}$ (HALT STATE): เป็นขาเอาท์พุท จะแอคทีฟที่ลอจิก 0 เมื่อ Z-80 อยู่ในสภาวะของการ HALT คือ CPU จะทำคำสั่ง NOP (NO OPERATION) เพื่อให้เกิดการรีเฟรชได้ และ Z-80 จะหลุดพ้นจากสภาวะการ HALT เมื่อได้รับการรีเซ็ทหรือถูกอินเทอร์รัพท์

$\overline{WAIT}$: เป็นขาอินพุทแอคทีฟที่ลอจิก 0 และจะมีการตรวจสอบสัญญาณนี้ที่ขอบขาลงของคล็อกลูกที่ 2 ของทุกๆ MACHINE CYCLE เมื่อมีการตรวจพบว่าขาอินพุทนี้แอคทีฟจะมีการแทรก WAIT STATE ให้กับแต่ละ MACHINE CYCLE เพื่อเป็นการรอให้อุปกรณ์ภายนอกทำงานให้ทันกับการทำงานของ Z-80 และ Z-80 จะแทรก WAIT STATE จนกว่าจะมีการตรวจสอบพบว่าขา WAIT จะมีลอจิกเป็น 1

$\overline{INT}$ (INTERRUPT REQUEST) : เป็นขาอินพุทแอคทีฟที่ลอจิก 0 Z-80จะตรวจสอบระดับสัญญาณที่ขานี้ทุกๆการสิ้นสุดของ INSTRUCTION CYCLE (LAST STATE)

$\overline{NMI}$ (NON MARKABLE INTERRUPT) : เป็นขาอินพุทแอคทีฟที่ลอจิก 0 สัญญาณนี้เป็นสัญญาณที่มีระดับความสำคัญในการขออินเทอร์รัพท์สูงกว่าสัญญาณINT Z-80จะตอบรับการอินเทอร์รัพท์ชนิดนี้เสมอโดยที่เราไม่สามารถ DISABLE ได้ด้วยซอฟท์แวร์

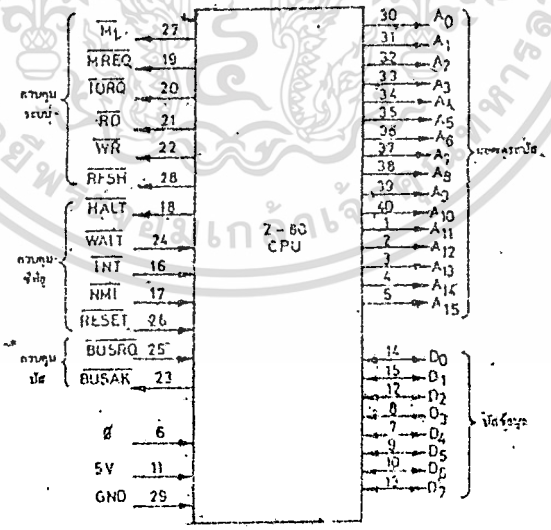
$\overline{RESET}$:เป็นขาอินพุทแอคทีฟที่ลอจิก 0 สัญญาณนี้จะทำการ INITIALIZE CPU โดยทำการรีเซ็ท INTERRUPT FLIP-FLOP และเซ็ทค่าในโปรแกรมเคาน์-เตอร์ให้เป็น 0000H และในสภาวะการรีเซ็ทนี้ บัสแอดเดรสและบัสข้อมูลจะอยู่ในสภาวะ HIGH IMPEDANCE และสัญญาณควบคุมต่างๆจะอยู่ในสภาวะ INACTIVE

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$\overline{\text{BUSRQ}}$ (BUS REQUEST) : เป็นขาอินพุทแอคทีฟที่ลอจิก 0 สัญญาณ BUS REQUEST เป็นสัญญาณที่มีลำดับความสำคัญสูงกว่าสัญญาณ NMI และมีการตรวจสอบสัญญาณนี้ทุกๆการสิ้นสุดของ MACHINE CYCLE อุปกรณ์ภายนอกจะให้สัญญาณนี้แก่ Z-80 เมื่อต้องการใช้บัสข้อมูลและบัสแอดเดรสโดยเปรียบเสมือนว่าเป็นการถอด Z-80 ออกจากระบบบัส

$\overline{\text{BUSAK}}$ (BUS ACKNOWLEDGE) : เป็นขาเอาท์พุทแอคทีฟที่ลอจิก 0 ขานี้จะแอคทีฟเมื่อ Z-80 ตอบสนองต่อสัญญาณ BUS REQUEST และจะทำให้บัสข้อมูล, บัสควบคุม และบัสแอดเดรสมีสภาวะเป็น HIGH IMPEDANCE ซึ่งทำให้อุปกรณ์ภายนอกใช้บัสเหล่านี้ได้โดยไม่มีผลต่อ CPU

จากที่กล่าวทั้งหมดในบทนี้เป็นรายละเอียดที่ควรทราบในการนำ Z-80 ไปใช้ควบคุมการแสดงผลของแผงไฟสื่อข้อความ



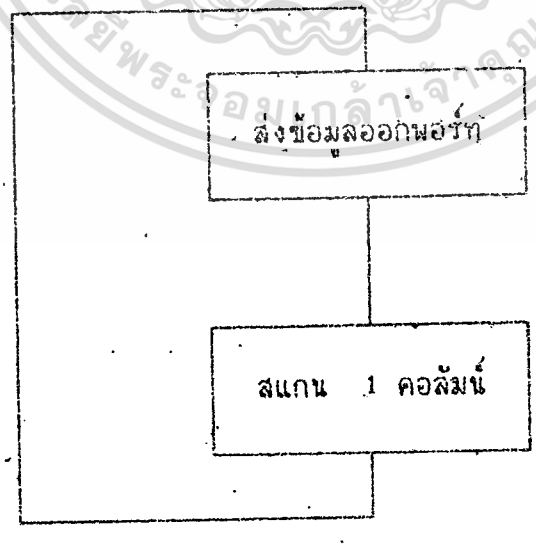
รูปที่ 2.3 ลักษณะของขาไอซี Z-80 CPU

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
026955

บทที่ 3
หลักการแสดงผลของแผงไฟสื่อข้อความ

ตามที่ได้ออกแบบไว้ หน่วยแสดงผลของแผงไฟสื่อข้อความ จะใช้ LED ต่อกันเป็นแผงแมทริกซ์ ขนาด 16x16 จุด จำนวน 6 แผง เรียงต่อกันได้ 96 แถว โดยจะให้แนวแถว(ROW)เป็นส่วนของการส่งข้อมูล และแนวคอลัมน์(COLUMN)เป็นส่วนของการสแกน (SCAN) ดังนั้น จึงอธิบายหลักการแสดงผลได้ดังนี้

ในการส่งข้อมูลออกมาว่าจะให้ LED ดวงไหนในคอลัมน์ติดบ้าง จะใช้วิธีมัลติเพล็กส์แบบแบ่งเวลา (TIME DIVISION MULTIPLEX) ให้แต่ละคอลัมน์ติดต่อเนื่องกัน และที่เราสามารถมองเห็น แผงLED แสดงผลเป็นภาพต่อเนื่องได้นั้น เนื่องจากความเร็วในการมัลติเพล็กส์หรือการสแกนในแต่ละคอลัมน์ เร็วจนสายตาไม่สามารถแยกการติดดับของ LED ได้ และได้ออกแบบให้ข้อมูลที่สั่ง LED ติดหรือดับ อยู่ในรูปของ 1 (HIGH) และ 0 (LOW) ข้อมูลนี้ จะถูกค้าง(LATCH)ไว้ก่อน จากนั้นจึงสั่งให้คอลัมน์แรกติด ในช่วงเวลาต่อมาข้อมูลชุดถัดไปจะเปลี่ยนเข้ามาค้างไว้ แล้วจึงสั่งให้คอลัมน์ต่อไปติด การทำงานจะวนเช่นนี้ไปเรื่อย ๆ ดังรูป



รูปที่ 3.1 บล็อกไดอะแกรมของหลักการแสดงผล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยที่ความเร็วในการสแกนจะต้องมากกว่า20เฮิร์ต หมายความว่า การสแกนทุก ๆ คอลัมน์ ภายใน 1 วินาที จะต้องทำการสแกนทั้งหมดมากกว่า 20 ครั้ง ดังนั้นถ้าจำนวนคอลัมน์มีเพิ่มขึ้นทำให้เวลาในการติดของแต่ละคอลัมน์สั้นลง เพราะต้องเสียเวลาให้กับคอลัมน์อื่นด้วยมีผลทำให้ความสว่างของ LED ลดลง จึงมองเห็นข้อความที่จะแสดงผลไม่ชัดเจน

จากที่ออกแบบให้ข้อมูลที่ต้องการแสดงผลทำการค้างไว้ โดยโปรแกรมสามารถไปทำงานในส่วนอื่น ๆได้ จนกว่าจะมีคำสั่งให้รับข้อมูลชุดใหม่ คือมีสัญญาณจากพอร์ทก่อนแล้วจึงรับข้อมูลชุดใหม่เข้ามา ข้อดีของการค้าง คือ ตัวโปรแกรมไม่ต้องมาจัดการเกี่ยวกับการค้างข้อมูลไว้ และทำให้ความสว่างเพิ่มขึ้นด้วย จึงง่ายต่อการเขียนโปรแกรมการทำงาน โครงงานที่ทำไว้ก่อนเมื่อปี 2524 (PROGRAMMABLE LED DISPLAY)เมื่อใช้จำนวน คอลัมน์ 48 คอลัมน์ ในการสแกน LED มีความสว่างน้อย ถ้าต้องการความสว่างเพิ่มขึ้น จะต้องเพิ่มกระแสให้มากกว่าปกติ หรือให้มีเวลาในการติดค้างอยู่นานพอสมควร ในโครงงานนี้จึงได้ทำการทดลองหาจำนวนคอลัมน์ที่เหมาะสมและมีความสว่างเพียงพอผลการทดลองจำนวนคอลัมน์ที่เหมาะสมคือ 16 คอลัมน์ หรือมีค่าดิวตี้แฟคเตอร์(DUTY FACTOR) แต่ละคอลัมน์เป็น 1/16 (ค่าดิวตี้แฟคเตอร์ จะมีรายละเอียดในเรื่องฮาร์ดแวร์)

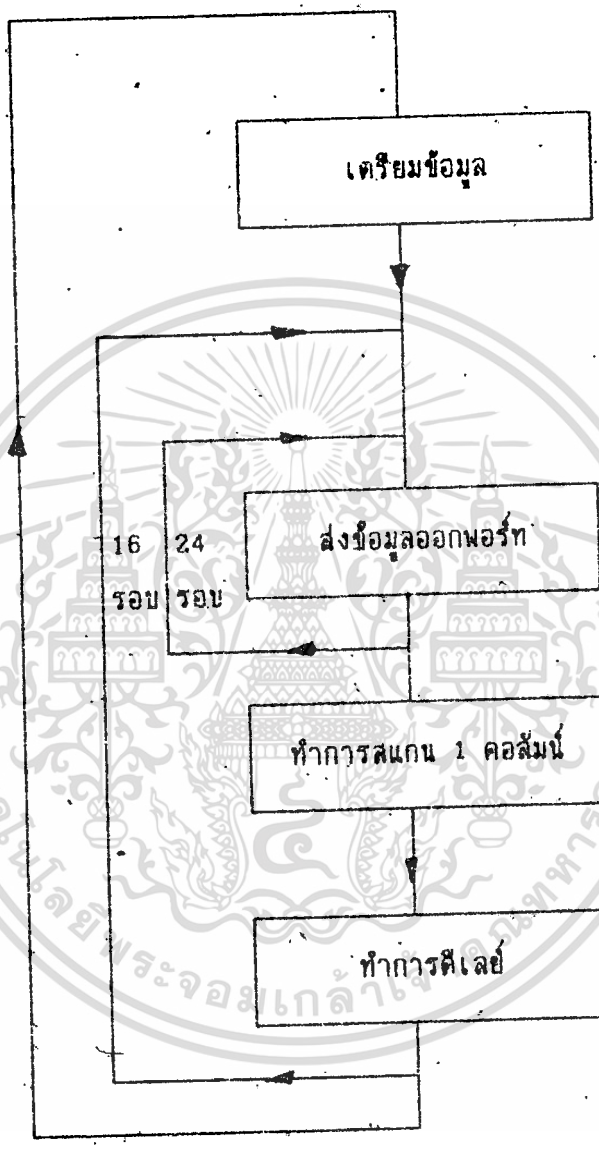
เมื่อไม่สามารถทำให้จำนวนคอลัมน์เพิ่มมากขึ้นได้ เราจึงหาวิธีแก้ปัญหาโดยจะต้องทำให้การสแกนมีเพียง 16 ครั้ง คือ 16 คอลัมน์ เพื่อให้ LED มีความสว่างเพียงพอ และให้มีจำนวนคอลัมน์ได้ตามที่กำหนดไว้ คือ 96 คอลัมน์ ดังนั้น จึงออกแบบให้เกิดการสแกนขึ้นพร้อมกันในแต่ละส่วน โครงงานนี้จะใช้ได้เต็มที่ 192 คอลัมน์ ดังนั้นจึงแบ่งส่วนการสแกนเป็น 12 ส่วน ส่วนละ 16 คอลัมน์ โดยการทำงานจะให้คอลัมน์ที่ 1,17,33,.....,181 ติดพร้อมกันในช่วงเวลาต่อมาคอลัมน์ที่ 2,18,34,....., 182 ติดไล่กันมาเรื่อย ๆ จนคอลัมน์ที่ 16 ,32, 48,....., 192 ติด ก็จะกลับมาสแกนที่ คอลัมน์ที่ 1, 17, 33,....., 181ใหม่ซ้ำกันไปเรื่อยๆ จากการทำงานแบบนี้ การออกแบบฮาร์ดแวร์ในส่วนของ แผงLED จึงทำให้ LED คอลัมน์ที่ 1, 17, 33,...จับติดกันไว้ เช่น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เดียวกับคอลัมน์ต่อไป

ข้อมูลที่ส่งออกมาที่ แผง LEDจะทำงานสัมพันธ์กับตำแหน่งของคอลัมน์ที่ติด โดยการใช้พอร์ทควบคุมให้ข้อมูลในแต่ละส่วนถูกค้างไว้ก่อนจะทำการสแกน ถ้ากำหนดให้ทางด้านแถวใช้ LED 16 ดวง จะต้องใช้พอร์ททั้งหมด 24 พอร์ท (1 พอร์ท ควบคุม ข้อมูลได้ 8 บิทดังนั้นจึงใช้ 2 พอร์ทต่อ 1 ส่วน) การแสดงผลจึงเปลี่ยนเป็นไปตามแผนผัง (BLOCK DIAGRAM) ตามรูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.2 บล็อกไดอะแกรมของการควบคุมแผงไฟแสดงผลโดยใช้ Z-80

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4

วงจรฮาร์ดแวร์ (HARDWARE)

วงจรฮาร์ดแวร์ประกอบด้วยอุปกรณ์ต่างๆ หลายประเภท เช่น LED , ไอซี ,ทรานซิสเตอร์ ฯลฯ และวงจรจะทำงานได้ก็ต่อเมื่อ นำซอฟท์แวร์ป้อนเข้าไป ดังนั้นในการออกแบบฮาร์ดแวร์จะเป็นตัวกำหนดขอบเขตของซอฟท์แวร์ ซึ่งทั้ง 2 ส่วนต้องทำงานสัมพันธ์กัน ถ้าออกแบบฮาร์ดแวร์ไว้ดีและเหมาะสม จะทำให้เขียนคำสั่งควบคุมได้ง่ายขึ้น

รายละเอียดทางฮาร์ดแวร์ของโครงงาน แผงไฟสื่อข้อความ มีดังนี้

4.1 หน่วยแสดงผล

โครงงานนี้ใช้ LED เป็นหน่วยแสดงผล จึงกล่าวถึงคุณสมบัติของ LED ดังต่อไปนี้

LED ย่อมาจาก LIGHT EMITTING DIODE คือ ไดโอดเปล่งแสง เป็นสารกึ่งตัวนำ ประกอบด้วย ขั้วอาโนด(ANODE)ซึ่งเป็นขาบวก และขั้วคาโถด (CATHODE)เป็น ขาลบ เมื่อจ่ายแรงดันบวกที่ขั้วอาโนดให้เหมาะสม LED จะนำกระแส และเกิดการเปล่งแสง

ในปัจจุบันมี LED อยู่หลายชนิดทั้งแบบโดม(กลม) แบบสี่เหลี่ยม หรือ LED ที่ต่อกันเป็นแผงสี่เหลี่ยมขนาดต่างๆ แต่โครงงานนี้จะใช้ LED แบบกลม เพราะหาซื้อง่าย ราคาถูก และการเลือกสีของLEDใช้สีแดงด้วยเหตุผลและคุณสมบัติดังต่อไปนี้

คุณสมบัติของLEDอย่างที่เราจะพิจารณาคือค่า ดิวตี้แฟคเตอร์

ค่าดิวตี้แฟคเตอร์ คือ อัตราส่วนของช่วงเวลาที่LED 1 คอลัมน์ติด ต่อช่วงเวลาของจำนวนคอลัมน์ทั้งหมดที่ติดในการสแกนหนึ่งรอบ ดิวตี้แฟคเตอร์เป็นตัวกำหนดความ สว่างของLED LEDที่มีค่าดิวตี้แฟคเตอร์มากก็จะสว่างมากกว่าLEDที่มีค่าดิวตี้แฟคเตอร์น้อย เมื่อเทียบที่อัตราการสแกนเท่ากัน เพราะค่าดิวตี้แฟคเตอร์มากจะมีการติดค้างของLEDนาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เนื่องจากว่า เราใช้เทคนิคของการแบ่งเวลาในการติดของแต่ละคอลัมน์ ดังนั้นเมื่อเทียบเวลาที่แต่ละคอลัมน์ติดต่อเวลาทั้งหมดในการสแกน 1 ครั้งเท่ากับ 1/16 ด้วย เหตุนี้ค่าดิวตี้แฟคเตอร์ที่ใช้ในโครงงานจึงเป็น 1/16

ค่าดิวตี้แฟคเตอร์ที่เลือกใช้มีความสัมพันธ์กับสี(ความยาวคลื่น)ขนาดกระแสสูงสุด(MAXIMUM PEAK CURRENT)และอัตราการส่องสว่าง(LUMINOUS INTENSITY)ตาม ตารางดังนี้

Lamp type	Maximum Peak Current	Minimum Duty factor to obtain Desired Time Averaged I_v .5 mcd	1.0 mcd	1.5 mcd	2.0 mcd
GaAsP Red (655nm)	1 A	1/64	1/32	------	--------
GaP HER (635nm)	60 mA	1/40	1/18	1/12	1/9
GaP Yellow (583nm)	60 mA	1/32	1/16	1/11	1/8
GaP Green (565nm)	60 mA	1/16	1/8	1/5	1/4

รูปที่ 4.1 ตารางความสัมพันธ์ระหว่างค่าดิวตี้แฟคเตอร์ , ความส่องสว่างและค่ากระแสสูงสุด

mcd : millicandella
dcm : deiacandili = mcd^{-1}

หมายเหตุ mcd.: millicandella (หน่วยวัดความส่องสว่าง)

จากตารางจะพบว่าถ้าเลือกใช้LEDแบบ GaAsP RED ซึ่งมีค่าดิวตี้แฟคเตอร์ต่ำกว่าGaP GREEN หรือ LED ชนิดอื่น เมื่อเทียบที่อัตราการส่องสว่างเท่ากัน GaAsP RED จะให้ลักษณะการแสดงผลที่ดีกว่าคือ LED สีแดงจะใช้ค่าดิวตี้แฟคเตอร์น้อยกว่า จึงทำให้มีเวลาเหลือในการทำงานของโปรแกรมส่วนอื่นๆมากกว่า LED ชนิดอื่นๆตามตาราง แต่LEDสีแดงมีค่ากระแสสูงสุด(MAXIMUM PEAK

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CURRENT)สูงกว่าแบบอื่น ทำให้ต้องออกแบบวงจรขับกระแสที่สามารถขับกระแสได้สูงขึ้น

ถ้าออกแบบให้มี LED หลายสีประกอบกันเป็นแผงLED LEDที่มีค่าดิวตี้แฟคเตอร์น้อยที่สุดจะเป็นตัวกำหนดค่าดิวตี้แฟคเตอร์รวมในแผงนั้น

การเลือกลักษณะLEDในโครงงานนี้ใช้แบบทรงกลม(DOME) เพราะหาซื้อง่ายราคาถูก และมีมุมกระจายแสงแคบทำให้มีความคมชัดมากกว่าLEDชนิดอื่น สำหรับLEDไม่เหมาะที่งานสื่อตัวอักษรเพราะจะดูไม่รู้เรื่องและไม่ละเอียด ส่วนแผงLEDที่ประกอบมาสำเร็จรูปนั้น มีข้อดีคือLEDทุกตัวในแผงได้มาตรฐาน, สว่างเท่ากันทุกดวง และใช้สะดวก แต่มีข้อเสียคือ ราคาแพงและมีขนาดแผงจำกัดต่อการออกแบบจึงไม่แนะนำให้ใช้

จากปัจจัยของค่าดิวตี้แฟคเตอร์ที่กล่าวมา ขนาดของแผง LED ที่ใช้ในโครงงานนี้จึงจำกัดไว้แค่ 16 คอลัมน์ โดยพิจารณาจากค่าในตารางดังนี้

DUTY FACTOR	8-bit Latch	16-bit Latch	24-bit Latch	32-bit Latch
DC	8x1=8 LEDs	16x1=16 LEDs	24x1=24 LEDs	32x1=32 LEDs
1/2	7x2=14 LEDs	15x2=30 LEDs	23x2=46 LEDs	31x2=62 LEDs
1/4	6x4=24 LEDs	14x4=56 LEDs	22x4=88 LEDs	30x4=120 LEDs
1/8	5x8=40 LEDs	13x8=104 LEDs	21x8=168 LEDs	29x8=232 LEDs
1/16	4x16=64 LEDs	12x16=192 LEDs	20x16=320 LEDs	28x16=448LEDs
1/32	3x32=96 LEDs	11x32=352 LEDs	19x32=608 LEDs	27x32=864LEDs

รูปที่ 4.2 ตารางความสัมพันธ์ระหว่าง จำนวน LED กับ ค่าดิวตี้แฟคเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในโครงงานนี้ใช้ลักษณะการค้างข้อมูลแบบ 16 บิท(DATA 16-BITS LATCH) การขยายแผงLEDให้มีขนาดใหญ่ขึ้นจึงทำได้โดยต่อเพิ่มเป็นส่วนๆ แต่ละส่วนมี 16 คอลัมน์ โดยจะมีพอร์ทควบคุมแต่ละส่วน(16 คอลัมน์)แยกกันส่วนละ 2พอร์ท สามารถทำการขยาย แผงLEDได้ถึง12ส่วนหรือ192 คอลัมน์(16x12) ดังนั้นแผงLEDขนาดใหญ่เต็มที่จะต้องใช้ LEDทั้งหมด 3,072 ดวง(16x192) แต่จากงบประมาณและความเหมาะสม โครงงานนี้จึง ประกอบขึ้นมาเพียง6ส่วนคือ 96 คอลัมน์ หรือ 1,536 ดวง

-การออกแบบลายวงจรของแผงLED

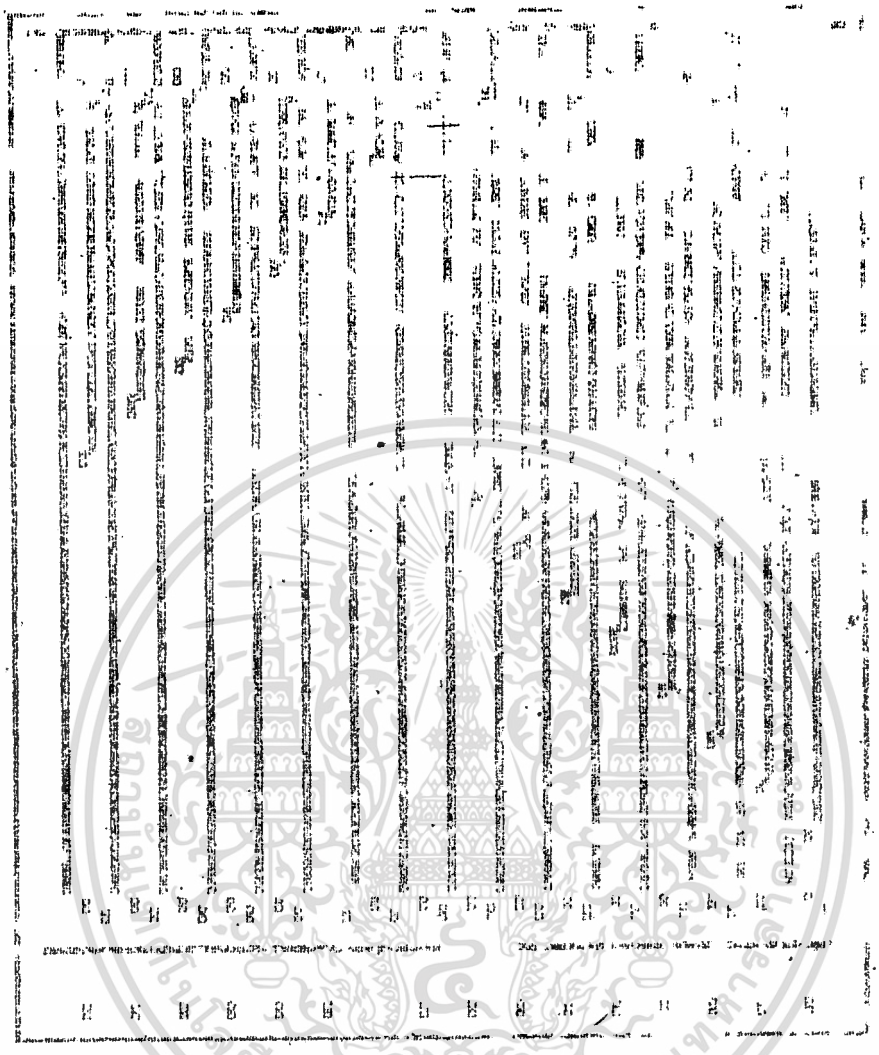
จากปัจจัยของคุณสมบัติLED,ค่าดิวตี้แฟคเตอร์,การออกแบบขนาดของแผง LED,งบประมาณและจุดประสงค์หลักของโครงงานคือ เพื่อใช้สื่อสารข้อความ จึงได้ออกแบบ แผงLEDเป็นส่วนๆขนาด 16x16 จำนวน 6 แผ่น โดยแต่ละส่วนจะมีลายวงจรเหมือนกันทุกอย่าง และนำมาต่อกันเป็นแถวยาวตามต้องการ

การออกแบบให้แต่ละส่วนเหมือนกันหมดเพื่อความสะดวกในการประกอบและการขยายงานในอนาคตต่อไป

รายละเอียดของวงจรมีดังรูปที่ 4.3

จากรูป เราได้ออกแบบรวมวงจรขับกระแสไว้ในแผงLEDแต่ละส่วนด้วย ว่าอุปกรณ์ที่ใช้ในวงจรขับกระแส เช่น ทรานซิสเตอร์ และ ตัวความต้านทานนั้นมีอยู่ทุกคอลัมน์ จึงไม่สะดวกถ้าจะแยกออกเป็นอีกส่วน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.3 ลายวงจรของแผง LED

4.2 หน่วยควบคุมการทำงาน

โครงงานนี้เราออกแบบใช้ไมโครโปรเซสเซอร์เป็นตัวควบคุมการทำงาน โดยใช้ไมโครโปรเซสเซอร์เบอร์ Z-80โดยอยู่ในรูปของซิงเกิ้ลบอร์ด ซึ่งหาซื้อได้ง่ายและราคาถูก ข้อดีของไมโครโปรเซสเซอร์ Z-80 คือ มีคำสั่งในการใช้งานมาก ทำให้การเขียนโปรแกรมไม่ยุ่งยาก และไม่สิ้นเปลืองหน่วยความจำ

โครงสร้างของ ซิงเกิ้ลบอร์ด ที่ใช้ในโครงงานมีดังนี้

4.2.1 CPU เบอร์ Z-80 เป็นไมโครโปรเซสเซอร์ขนาด 8 บิท เป็น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หน่วยประมวลผลกลางและเป็นหัวใจของระบบไมโครคอมพิวเตอร์

4.2.2 ROM 4K (READ ONLY MEMORY) คือหน่วยความจำชนิดหนึ่งที่ใช้สำหรับเก็บข้อมูล โดยที่ข้อมูลเหล่านี้ไม่สูญหายเมื่อไม่มีการจ่ายไฟเลี้ยงแก่ระบบ ข้อมูลที่เก็บไว้ในรอม(ROM) สามารถอ่านออกมาได้ แต่ไม่สามารถเขียนข้อมูลเข้าไปในรอมได้อีก รอมที่ใช้ในซิงเกิลบอร์ดนี้เป็นเบอร์ 2732 มีความจุ 4 กิโลไบท์ ข้อมูลที่เก็บในรอมนี้คือ โปรแกรมมอนิเตอร์

4.2.3 RAM 16K (RANDOM ACCESS MEMORY) คือ หน่วยความจำชนิดหนึ่งที่ใช้สำหรับเก็บข้อมูลชั่วคราว แต่ข้อมูลในแรม(RAM) จะสูญหายไปเมื่อไม่มีการจ่ายไฟเลี้ยงให้และสามารถเขียนข้อมูลเข้าไปเก็บไว้ในแรมและอ่านออกมาได้ แรมที่ใช้คือเบอร์6116จำนวน 2 ตัว แต่ละตัวมีความจุ 4 กิโลไบท์ โดยที่แรมตัวหนึ่งมีแบตเตอรี่เพื่อเลี้ยงข้อมูลไว้ เมื่อปิดไฟข้อมูลในแรมตัวนี้จึงไม่หายไป

4.2.4 พอร์ทต่างๆ มี SILICON GATE MOS 8255 PIA (PROGRAMMABLE INTERFACE ADAPTER) เป็นอุปกรณ์ที่ช่วยในการติดต่อกับระบบภายนอกของระบบไมโครโปรเซสเซอร์ให้มีประสิทธิภาพยิ่งขึ้น

4.2.5 อุปกรณ์อื่นที่ช่วยในการป้อนข้อมูลและการแสดงผล

-คีย์บอร์ด

-CONNECTOR 40 PIN HEADER STRIP FOR SYSTEM EXPANSION

-DISPLAY LED , 7 SEGMENT

-CLOCK RATE(X-TAL)= 3.579 MHz

4.3 หน่วยถอดรหัส (DECODER)

หน่วยถอดรหัสคือ ส่วนที่ออกแบบมาเพื่อถอดรหัสในการสร้างพอร์ท ใช้เปิดปิดเกตของ 74LS373 โดย74LS373เป็นตัวรับข้อมูลที่ต้องการแสดงผลให้ออกตามส่วนต่างๆของแผง LED ถ้าต้องการให้คอลัมน์ใดติดก็ส่งรหัสมาเปิดพอร์ทที่สัมพันธ์กับคอลัมน์นั้นทำงาน และรวมถึงการสแกนตามแนวคอลัมน์ด้วย

ในโครงงานนี้ได้ออกแบบพอร์ทการถอดรหัส(DECODE PORT) เพื่อ

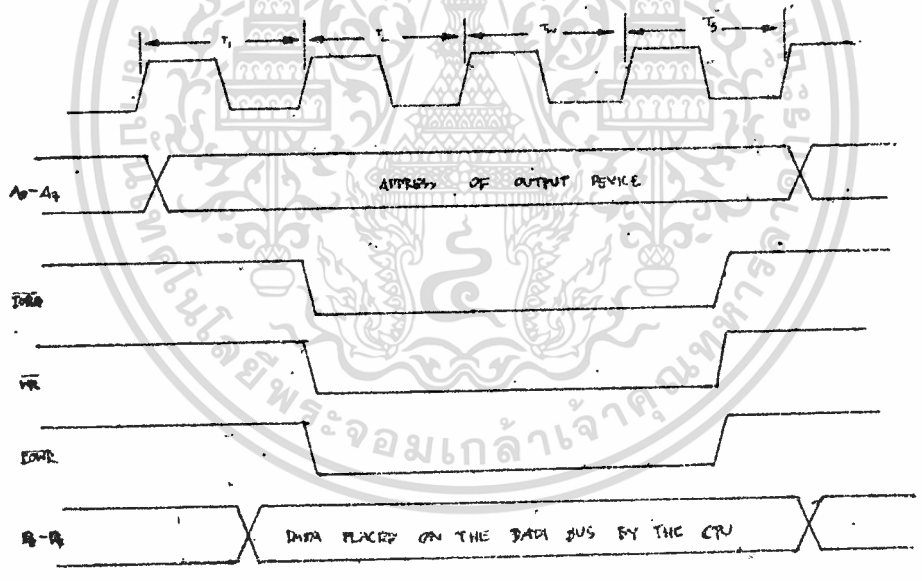
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การขยายแผงLEDไว้ถึง 25 พอร์ท(เป็นพอร์ทสแกน 1 พอร์ท พอร์ทข้อมูล 24 พอร์ท) โดยมีรายละเอียดของอุปกรณ์ดังนี้

1. 74LS138
2. 74LS154
3. 74LS04
4. 74LS373
5. 74LS74

หลักการทำงาน

การทำงานของวงจรถอดรหัส จะเริ่มจากการถอดรหัสของสัญญาณจากแอดเดรสบัส ไปควบคุมแผง LED ส่วนต่างๆ โดยส่วนของการถอดรหัสเริ่มจากขบวนการส่งข้อมูลออกจาก CPU ดังแผนผังเวลาข้างล่างนี้



รูปที่ 4.4 แผนผังเวลา

สัญญาณ $\overline{IORQ}$ และ $\overline{WR}$ จะเปลี่ยนจากลอจิก 1 เป็น 0 นำมา OR กันที่ 74LS32 เพื่อให้ได้สัญญาณนำไปควบคุมส่วนของบัฟเฟอร์(BUFFER)คือ 74LS244 (U0,U1) โดย 74LS244 มีคุณสมบัติเป็น TRISTATE เปิดปิดเกตการรับข้อมูลของแอดเดรสบัสและบัสข้อมูล จากรูป U0และU1 จะทำงานให้ข้อมูลของแอด-

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เดรสบัสผ่านไปได้ก็ต่อเมื่อ $\overline{IORQ}$ และ $\overline{WR}$ เป็น 0 พร้อมกัน การนำสัญญาณของแอดเดรสบัสมาผ่านบัฟเฟอร์ก่อนเพราะต้องการลดสัญญาณรบกวนและระดับ DC ในสายส่ง(JUMPER) รวมทั้งป้องกันการโหลดจากวงจรไม่ให้ CPU เสียหายได้

สัญญาณของแอดเดรสบัสจาก UO จะทำการถอดรหัสเพื่อสร้างพอร์ทโดยทั่วไปCPU 1 ตัวมีความสามารถในการต่ออุปกรณ์ได้จำนวนจำกัด เพราะแอดเดรสบัสซึ่งมีทั้งหมด 16 เส้น จะถูกใช้ในการเลือกอุปกรณ์อินพุท/เอาท์พุทต่างๆไม่ได้ใช้หมด 16 เส้น ส่วนมากจะถูกใช้เพียง 8 เส้นคือ AO-A7 เท่านั้น

ในโครงงานนี้จะถอดรหัสไว้ทั้งหมด 25 พอร์ท โดย 24 พอร์ทแรกจะเริ่มที่ตำแหน่ง EOH-F7H ทำหน้าที่ควบคุมแต่ละส่วนของแผง LED ส่วนละ 2 พอร์ท เพราะข้อมูลมีขนาด 8 บิท และแผง LED แต่ละส่วนมีขนาด 16x16 ดังนั้นในแนวแถวจึงใช้ส่วนละ 2 พอร์ทเป็นตัวควบคุมการเปิดปิดเกตเพื่อค้างข้อมูลไว้

วงจรถอดรหัสประกอบด้วย 74LS138 U2 เป็นตัวถอดรหัสของA4-A7 และ74LS154 U3,U4 จะถูกควบคุมโดยสัญญาณที่มาจากU2 ซึ่งU2จะทำการถอดรหัสที่ตำแหน่ง 1110XXX และ 1111XXXX ได้สัญญาณที่ออกจากขา9และ7ตามลำดับ แต่ละเส้นจะนำไปควบคุมเกตของU3และU4 สัญญาณAO-A3จะเป็นตัวกำหนดตำแหน่งที่แน่นอนของพอร์ทอีกที ทำให้ได้พอร์ททั้งหมด 32 พอร์ท (11110000-11111111) แต่จะใช้เพียง 25 พอร์ทคือตั้งแต่ 11100000 (EOH) ถึง 11111000(F8H) ในพอร์ทF8Hจะแยกไปควบคุมเกตในส่วนของการสแกน เนื่องจากสัญญาณของU3และU4จะทำให้การถอดรหัสทำงานที่สภาวะ 0 (LOW) แต่การค้างข้อมูลโดยใช้74LS373จะทำงานที่สภาวะ1 (HIGH) ดังนั้นสัญญาณจากU3และU4ทั้ง 25 พอร์ทต้องผ่าน 74LS04 (NOT GATE)ก่อน

ส่วนสัญญาณจากบัสข้อมูล DO-D7 จะแยกออกจากบอร์ดควบคุมเพื่อต่อเชื่อมกับแผงLED ในการกำหนดการติดหรือดับในแต่ละจุดที่สัมพันธ์กับคอลัมน์ของการสแกนโดยใช้ข้อมูลของ DO-D3 ส่งจาก U1ไปยังส่วนของตัวสแกน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.4 หน่วยสแกน(SCANNER)และหน่วยรีเซ็ท(RESET)

หน่วยสแกนคือ ส่วนผลิตสัญญาณที่จะให้คอลัมน์ 1 คอลัมน์ติดเรียงกันไป โดยมีการสแกนให้คอลัมน์ที่ติดมีความสัมพันธ์กับข้อมูลที่ค้างไว้ที่ 74LS373

รีเซ็ท คือ ระบบที่ออกแบบมาเพื่อควบคุมแผงLED ไม่ให้มีคอลัมน์ใดติดจนกว่าจะมีการสั่งงาน

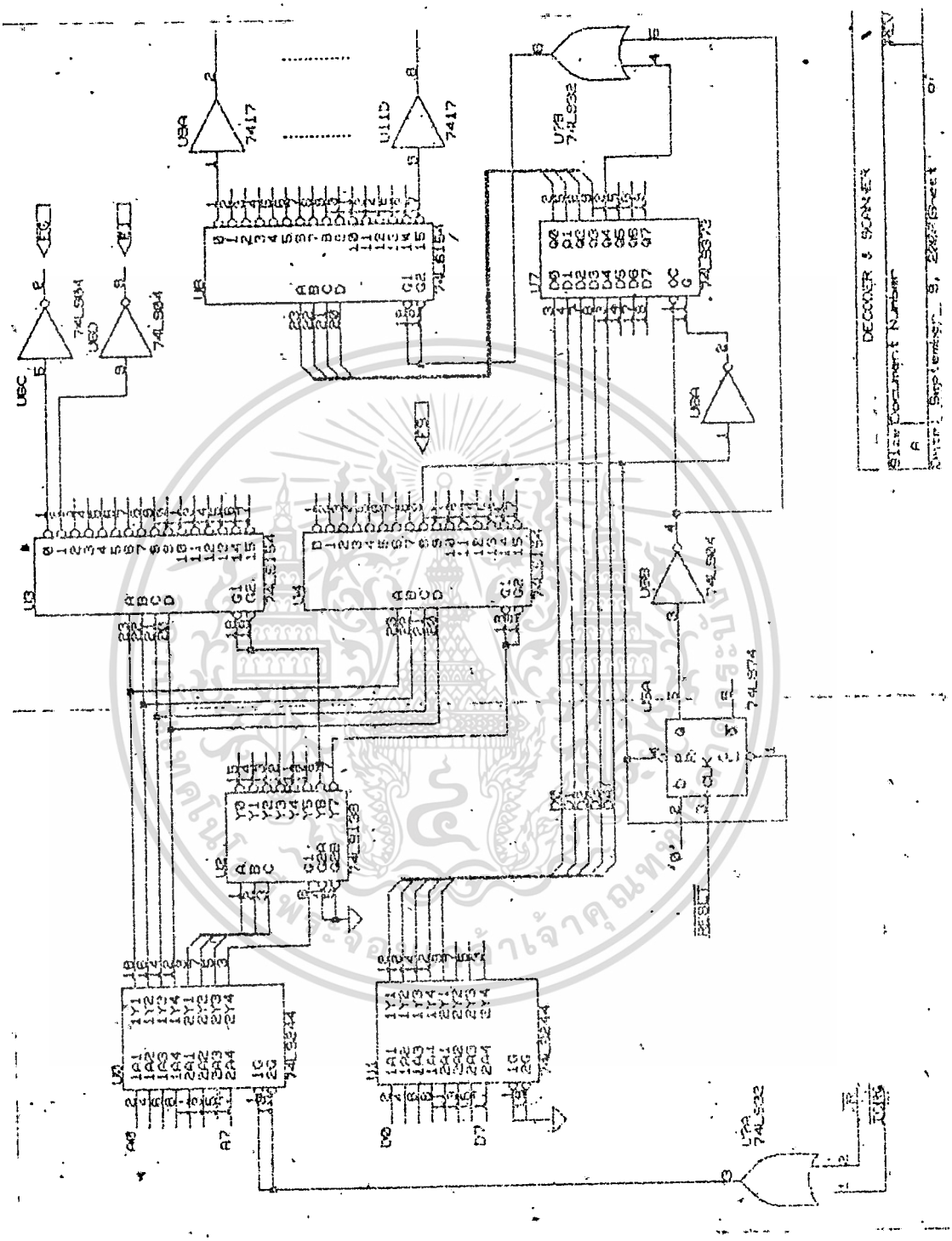
อุปกรณ์ที่ใช้ในวงจรสแกนและรีเซ็ท

1. 74LS373
2. 74LS04
3. 74LS74
4. 74LS154

หลักการทำงาน

จากลักษณะการทำงานของการสแกน จะพบว่าคล้ายกับในส่วนของการถอดรหัสแต่จุดประสงค์ในการถอดรหัสคือ ต้องการสร้างพอร์ทเพื่อควบคุมการเปิดรับข้อมูลรวมทั้งการสแกนด้วย ดังนั้นจึงแยกวงจรส่วนนี้มาอธิบายต่างหาก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.5 วงจรถอดรหัสและสแกน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูป สัญญาณของ D0-D3 จะผ่าน 74LS373(U7) เพื่อทำการค้างไว้ที่จุดนี้จะต่อระบบรีเซ็ทจาก CPU เข้าไปด้วย หลักการทำงานของ 74LS373 จะมีคุณสมบัติเป็นความต้านทานสูง เมื่อขา $\overline{OC}$(OUTPUT CONTROL) เป็น 1 และสามารถค้างข้อมูลไว้ได้ เมื่อขา $\overline{OC}$ เป็น 0 พร้อมกับขา G (ENABLE LATCH)ดังนั้นขา G จึงถูกควบคุมโดยพอร์ท F8H ซึ่งต่อออกมาจาก U4 ผ่าน NOTเกต เมื่อขา G มีสัญญาณจากพอร์ทเป็น 1 และ $\overline{OC}$ มีสัญญาณเป็น 0 U7 จะทำการส่งข้อมูลของ D0-D3 ถึงแม้ว่าขา G จะกลับเป็น 0 แต่ข้อมูลชุดเดิมก็ยังคงค้างไว้ที่ขา Q0-Q3 ของ U7 จนกว่าขา G จะมีสัญญาณเป็น 1 เข้ามาใหม่ ดูรายละเอียดได้จากข้อมูลของ 74LS373 ในภาคผนวก

ระบบรีเซ็ทจะควบคุม U7 อยู่ด้วยเพื่อทำการเซ็ทแผง LED ไม่ให้มีคอลัมน์ใดติดจนกว่าจะมีคำสั่งงาน โดยวงจรรีเซ็ทจะใช้ไอซีเบอร์ 74LS74(U5A) ซึ่งทำหน้าที่เป็น D ฟลิบฟลอบค้างสัญญาณไว้ เมื่อเกิดสัญญาณรีเซ็ทป้อนเข้าที่ขาคล็อก (CLOCK)ของ U5A จะทำให้ขา Q เป็น 0 ตามการต่อของขา D ที่ต่อกับกราวนด์ เมื่อผ่าน NOTเกตจะเปลี่ยนเป็น 1 ซึ่งต่ออยู่กับขา OC ของ U7 ทำให้ U7 อยู่ในภาวะที่มีความต้านทานสูง จนกว่าจะมีสัญญาณของพอร์ท F8H จึงเริ่มทำงานใหม่ ดูรายละเอียดจากข้อมูลของ 74LS74ในภาคผนวก

การใช้สัญญาณจากบัสข้อมูลเพียงแค่ 4 เส้น(D0-D3) เพราะต้องการสแกนเพียง 16 คอลัมน์ ดังนั้นสัญญาณที่เหลือจึงไม่จำเป็นต้องต่อ สัญญาณที่ผ่าน U7จะเข้ามาทำการเลือกคอลัมน์ที่จะติด โดยใช้หลักการเหมือนการถอดรหัสคือใช้ 74LS154(U8)เป็นตัวเลือกข้อมูลที่จะทำการติด(ให้เอาท์พุทเป็น0)ข้อมูลละ 1 คอลัมน์ดังนั้นจากค่า 0000-1111 จะเลือกได้ทั้งหมด 16 คอลัมน์ U8 จะต่อกับระบบรีเซ็ทจากขา $\overline{OC}$ ของ U7 ที่ขา G1,G2 เมื่อ $\overline{OC}$ รับสัญญาณ1จากระบบรีเซ็ทขา G1,G2 จะได้รับสัญญาณ1ด้วย ทำให้เอาท์พุทของ U8 ทุกขาเป็น1 จึงไม่เกิดการสแกนขึ้นดูรายละเอียดได้จากภาคผนวก เนื่องจากU8 ไม่สามารถรับกระแสขับ LED จำนวนมากได้จากวงจรขับกระแสโดยตรง และต้องเผื่อการรับกระแสทั้งหมด 12 ส่วนในการขยายการใช้งาน จึงต้องใช้ 7417 ที่มีคุณสมบัติเป็น

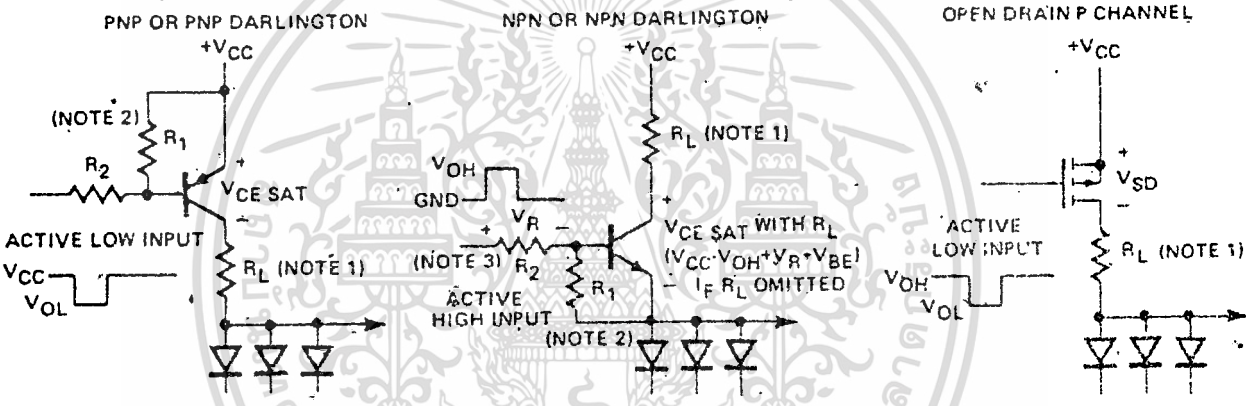
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โอเพ่นคอลเลคเตอร์(OPEN COLLECTOR)ไว้คอยรับกระแสเพื่อไม่ให้ 74LS154 เสียหายได้

4.5 วงจรขับกระแส(DRIVE CIRCUIT)

วงจรขับกระแส เป็นส่วนที่ทำหน้าที่ขับกระแสให้ LED สว่างเพียงพอเห็นได้ชัดเจน โดยใช้ทรานซิสเตอร์มาเป็นตัวขยายกระแสเพื่อให้ LED สว่างมากขึ้น วงจรขับกระแสมีใช้ด้วยกันหลายแบบดังนี้

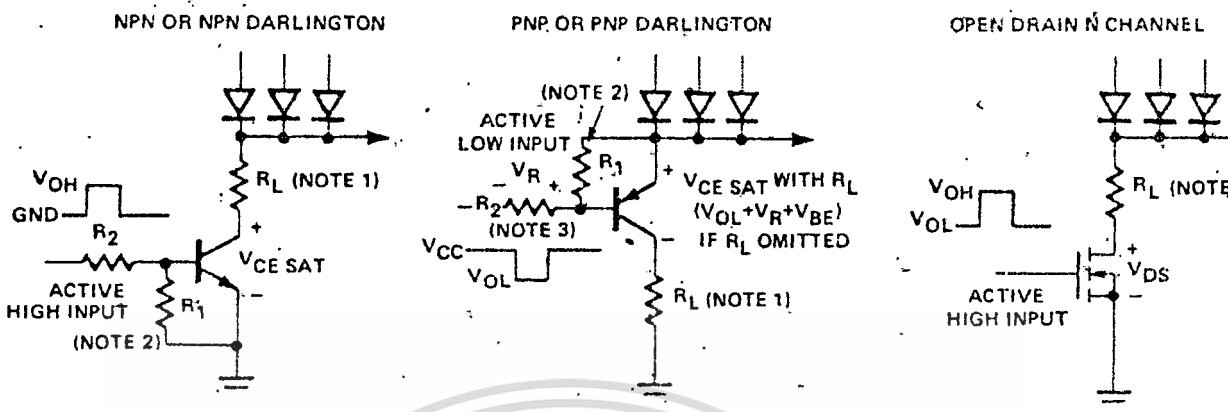
4.5.1 แบบ ANODE DRIVER แบบนี้ LED จะเป็นตัวรับกระแส ดังรูป



รูปที่ 4.6 วงจรขับกระแสแบบ ANODE DRIVER

4.5.2 แบบ CATHODE DRIVER แบบนี้ LED จะเป็นตัวส่งกระแส ดังรูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.7 วงจรขับกระแสแบบ CATHODE DRIVER

เนื่องจากการออกแบบแผง LED ไว้ในแต่ละส่วนคือ 16 คอลัมน์ๆละ 16 ดวง ถ้าใช้ไอซีทีทีแอลขับ LED ทั้ง 16 คอลัมน์นี้โดยตรง กระแสขับจะไม่เพียงพอ ทำให้ LED สว่างมองเห็นไม่ชัดเจน แต่ถ้าจะขับให้ LED สว่างเพียงพอจะทำให้กระแสไหลเกินกว่าที่ไอซีทีทีแอลทนได้

ดังนั้นจึงออกแบบวงจรขับกระแสให้สามารถขับกระแสได้สูงและไม่ทำให้ไอซีทีทีแอลเสียหาย ในโครงงานนี้จะใช้ทรานซิสเตอร์รับและจ่ายกระแสทั้งทางด้านแถวและคอลัมน์ ทรานซิสเตอร์สามารถถูกควบคุมโดยการรับสัญญาณจากวงจรถอดรหัส ดังรูปที่ 4.8

อุปกรณ์ที่ใช้ในวงจรขับกระแส

1.ทรานซิสเตอร์ชนิด NPN เบอร์ BC 547

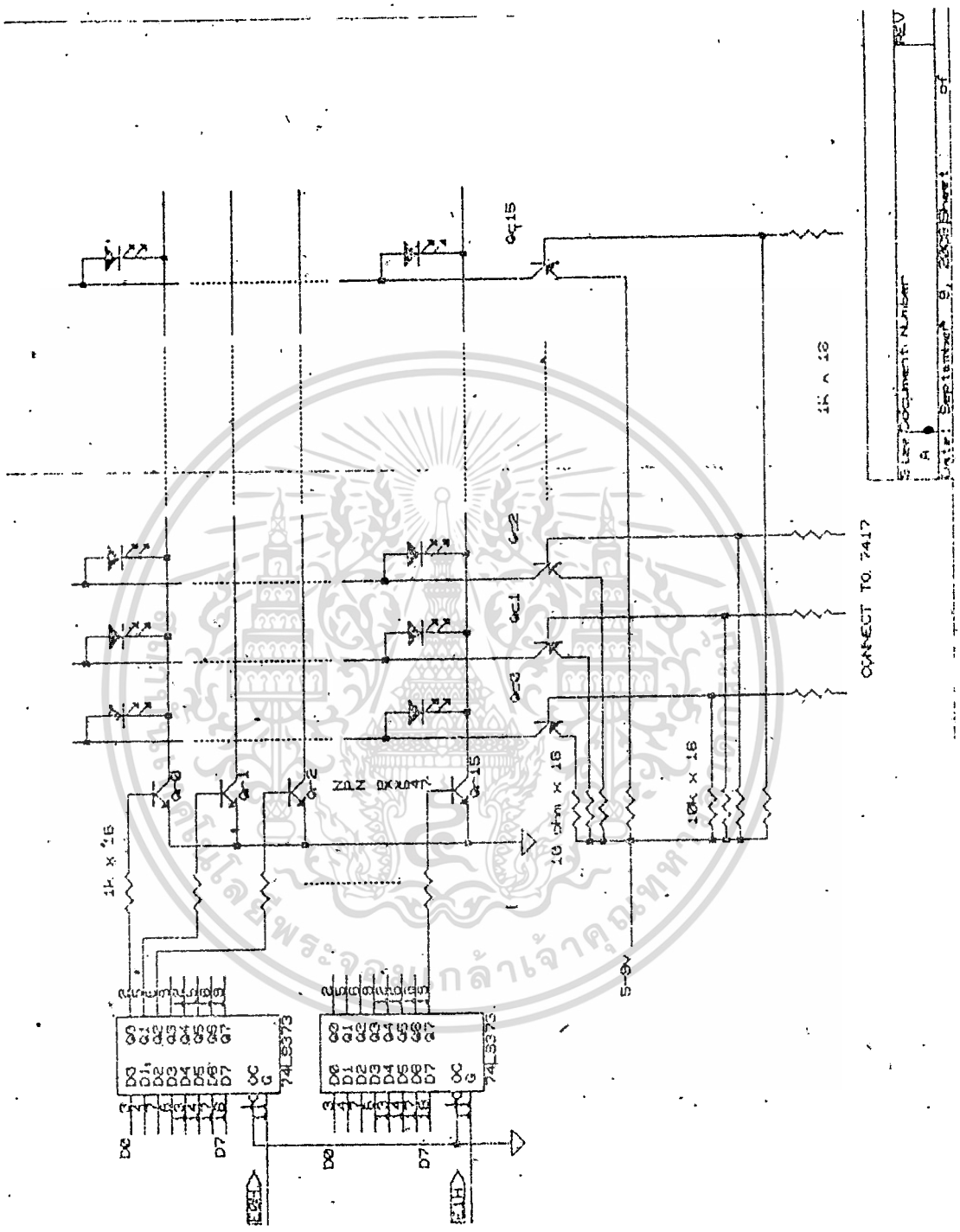
2.ทรานซิสเตอร์ชนิด PNP เบอร์ BC 328/10

3.ความต้านทาน 1 กิโลโอห์ม

4.ความต้านทาน 10 กิโลโอห์ม

5.ความต้านทาน 10 โอห์ม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.8 วงจรขับกระแส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หลักการทำงานของวงจรขับกระแส

วงจรขับกระแสเป็นส่วนที่แยกติดตั้งไปในแต่ละส่วนของแผง LED และมีบางส่วนติดตั้งอยู่ในบอร์ดควบคุม(คือ ไอซี 7417) วงจรขับกระแสทำหน้าที่จ่ายและรับกระแสแทนไอซีทีทีแอล

จากรูป ในแนวคอลัมน์เอาท์พุทของ 74LS154(U8) จะต่อกับ7417(U9A-U11D) โดย 7417 ทำหน้าที่รับกระแสซึ่งมาจากแต่ละส่วนที่ต่อกับขาเบสของทรานซิสเตอร์เบอร์ BC 328/10(Q_{10}-Q_{18}) คุณสมบัติของ 7417 เป็นโอเพ่นคอลเลคเตอร์ เมื่อป้อนอินพุท ให้ 0 จะให้เอาท์พุท 0 แต่ถ้าป้อนอินพุท 1 จะให้เอาท์พุทเป็นลักษณะของอาการเปิดวงจร ในภาวะ 0 7417สามารถรับ(SINK)กระแสได้ 40 มิลลิแอมป์ ในภาวะเปิดวงจรสามารถต่อกับความต้านทานภายนอกและทนแรงดันได้สูง 15 V โดยที่ไฟเลี้ยงเป็น +5V เท่าเดิม ในรูปจะต่อไฟเลี้ยงที่เปลี่ยนค่าได้ตั้งแต่ +5V ถึง +12V กับความต้านทานขนาด 10 โอห์ม และ 10 กิโลโอห์ม โดยที่ตัวความต้านทาน 10 กิโลโอห์มไว้จำกัดกระแสให้น้อยที่สุดเพราะ 7417 ยังต้องคอยรับกระแสจากขาเบสของแต่ละส่วนด้วย

การทำให้คอลัมน์ใดติดคือให้คอลัมนีนั้นนำกระแส การนำกระแสจะเกิดขึ้นเมื่ออินพุทของ7417เป็น0 โดยอินพุทของ7417มีตัวต้านทานขนาด 1 กิโลโอหม์ต่อไว้เพื่อกำจัดการไหลของกระแส ถ้าอินพุทของ7417เป็น 1 เอาท์พุทจะเป็นการเปิดวงจร ทำให้รอยต่อ(JUNCTION)BE ของBC328/10 ไม่มีกระแสไหล(CUT OFF) คอลัมน์นั้นจะไม่ติด

ทรานซิสเตอร์ที่ใช้ขับLEDแต่ละคอลัมน์ ใช้ชนิดPNPเบอร์ BC328/10 สามารถทนกระแส(Ic MAX)ได้ประมาณ 1แอมป์ ถ้าให้กระแสไหลผ่านLEDแต่ละดวงมีกระแสสูงสุดได้ 20 มิลลิแอมป์ ดังนั้นจะมีกระแสไหลในแต่ละคอลัมน์ประมาณ 20x16= 320 มิลลิแอมป์ ซึ่งเพียงพอที่BC328/10 ทนได้ ที่ขาEของBC328/10 จะต่อกับไฟ +5V ถึง +12Vเพื่อเป็นส่วนจ่ายกระแส

ในส่วนของการค้างข้อมูลแต่ละพอร์ทที่กำหนดการติดดับของ LED แต่ละดวงในคอลัมน์หนึ่งๆนั้น จะใช้74LS373 2 ตัวคอยค้างข้อมูลทีละ 8 บิท การให้

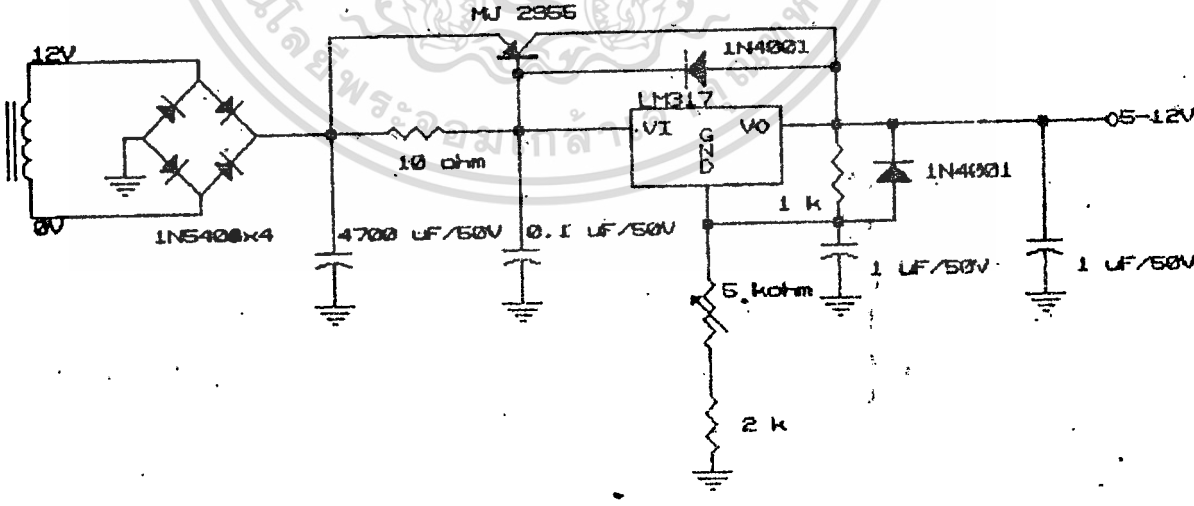
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

LEDดวงใดติดทำได้โดยการป้อน 1 ให้BC547 นำกระแส ในทางตรงข้ามการป้อน 0 จะทำให้ BC547 ไม่นำกระแสLEDดับ การติดดับของLEDแต่ละดวงสามารถแสดงรูปแบบของตัวอักษรหรือรูปภาพได้ขึ้นอยู่กับข้อมูลที่ส่งให้กับพอร์ท ซึ่งสามารถกำหนดในโปรแกรมได้ตามที่กล่าวไว้ในหลักการแสดงผล

4.6 <u>หน่วยจ่ายไฟ</u> (POWER SUPPLY)

หน่วยจ่ายไฟ คือ ส่วนที่ทำหน้าที่เปลี่ยนไฟกระแสสลับให้เป็นกระแสตรงและเปลี่ยนค่าความต่างศักย์จาก 220 V ให้ได้ค่าตามการใช้งาน โครงงานนี้แบ่งหน่วยจ่ายไฟเป็น 2 ส่วน ส่วนแรกนำไปใช้ที่แผงควบคุมเพื่อเป็นไฟเลี้ยงให้อุปกรณ์ไอซีต่างๆ ส่วนนี้จึงต้องการไฟกระแสตรง +5V ส่วนที่สองนำไปใช้ที่แผง LED เพื่อขับ LED ให้สว่างตามต้องการ ส่วนนี้จึงต้องการไฟกระแสตรงและปรับค่าได้ +5V ถึง +12V เพื่อจะควบคุมความสว่างของ LED

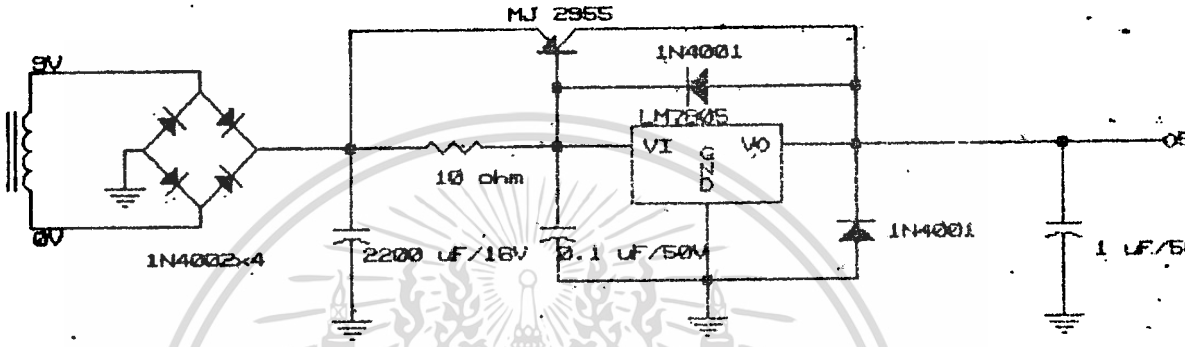
ในส่วนที่ 1 ใช้วงจรแบบบริดจ์เต็มคลื่น(FULLWAVE BRIDGE)แปลงไฟกระแสสลับ 12V จากหม้อแปลงเป็นไฟกระแสตรง และผ่านตัวคงค่าแรงดัน (REGULATOR)เบอร์ 317 โดยมีความต้านทานปรับค่าได้ 0-5กิโลโอห์มเป็นตัวปรับเพื่อให้ได้ไฟกระแสตรง 5-12V ออกมาดังรูป



รูปที่ 4.9 วงจรภาคจ่ายไฟกระแสตรง 5-12 V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในส่วนที่ 2 ใช้วงจรแบบบริดจ์เต็มคลื่นแปลงไฟกระแสสลับ 9 V จากหม้อแปลงเป็นไฟกระแสตรง และผ่านตัวคงค่าแรงดันเบอร์ 7805 เพื่อให้ได้ค่าความต่างศักย์ +5 V ดังรูป



รูปที่ 4.10 วงจรภาคจ่ายไฟกระแสตรง 5 V

4.7 หน่วยกำหนดช่วงเวลาสแกน

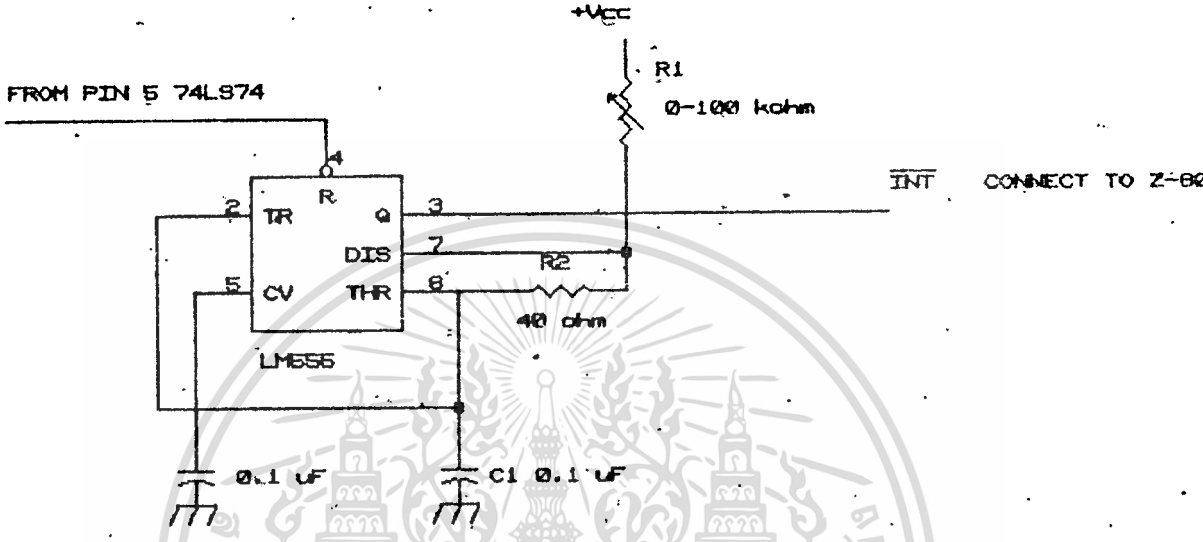
การกำหนดช่วงเวลาของการสแกน คือ การสร้างสัญญาณขึ้นมาเป็นตัวสั่ง Z-80ให้ทำการสแกน โดยใช้วงจรตั้งเวลา(TIMER)สร้างสัญญาณขัดจังหวะ (INTERRUPT) การทำงานในโปรแกรมหลัก(MAIN PROGRAM) เพื่อให้Z-80 กระโดดไปทำงานในส่วนของโปรแกรมตอบสนองการขัดจังหวะ (INTERRUPT SERVICE ROUTINE)

ในการขัดจังหวะจะใช้แบบควบคุมได้โหมด1(MARKABLE INTERRUPT MODE 1)โดยต่อเอาท์พุทของวงจรตั้งเวลาเข้ากับขา INT ของZ-80 เมื่อมีการขัดจังหวะเกิดขึ้น Z-80 จะกระโดดไปทำงานที่ตำแหน่ง 0038H ซึ่งเป็นตำแหน่งของโปรแกรมมอนิเตอร์ โปรแกรมมอนิเตอร์สามารถระบุแอดเดรสของโปรแกรมตอบสนองการขัดจังหวะ ซึ่งก็คือ โปรแกรมการสแกนนั่นเอง

จุดประสงค์ในการกำหนดช่วงเวลาการสแกน เพื่อให้การเขียนโปรแกรมไม่ยุ่งยากและปรับการสแกนด้วยช่วงเวลาที่เหมาะสมได้ LED จะไม่กระพริบและ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สว่างเท่ากันตลอด ช่วงเวลาในการสแกนสามารถควบคุมได้โดยปรับค่าความต้านทานR$_1$ ดังรูป



รูปที่ 4.11 วงจรกำหนดช่วงเวลาสแกน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5

ส่วนซอฟท์แวร์(SOFTWARE)

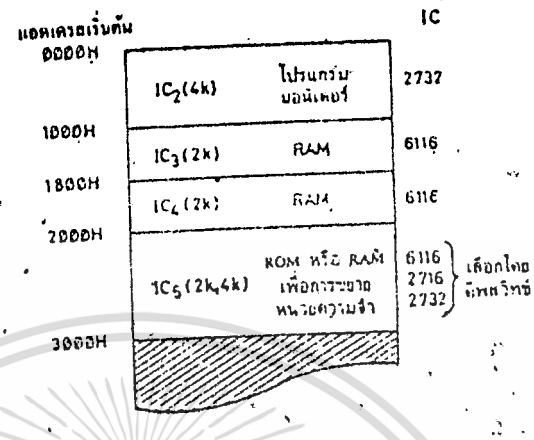
ซอฟท์แวร์เป็นส่วนของโปรแกรมที่ใช้ควบคุมการทำงานของแผงควบคุม, การส่งข้อมูลออกแผง LED,การสแกน และการรับคำสั่งต่างๆจากคีย์ซิงเกิ้ลบอร์ด ส่วนซอฟท์แวร์ในโครงงานนี้แบ่งออกเป็น 2 ส่วน ส่วนแรกคือขั้นตอนการออกแบบการจัดวางตำแหน่งของโปรแกรม ส่วนที่ 2 จะกล่าวถึงหลักการทำงานการใช้งานของโปรแกรม

5.1 การออกแบบซอฟท์แวร์ โครงงานนี้ใช้ซิงเกิ้ลบอร์ด ETT V 2.0 ใช้รอมและแรม รวมทั้งอีพรอมที่ใส่เข้าไป โดยเก็บโปรแกรมหลักและข้อมูลของตัวอักษรในรหัสแอสกี้(ASCII)ไว้ในแรมที่ใช้ไฟเลี้ยง (BACK UP RAM) ที่แอดเดรส 1000H-17FFH รหัสแอสกี้จะนำไปใช้อ้างอิงกับแพทเทอร์นของตัวอักษรในอีพรอม สามารถแก้ไขปรับปรุง หรือเพิ่มเติมโปรแกรมได้ง่าย ที่แอดเดรส 1800H-1FFFHเป็นส่วนของแรมที่ไม่สามารถแบ็คอัพได้ส่วนนี้กำหนดให้แอดเดรสที่ 1900H-1A80H มีเนื้อที่ 192x2 ไบท์เป็นส่วนของพื้นที่แสดงผล (DISPLAY AREA)โดยมีโปรแกรมควบคุมการสแกนทำการติดต่อกับโปรแกรมหลักอยู่ตลอดเวลา ให้สัมพันธ์กับการสแกนในแต่ละคอลัมน์ ส่วนของแอดเดรส 2000H-2FFFH ออกแบบมาใช้กับอีพรอม ในส่วนนี้จะทำการเก็บแพทเทอร์นของตัวอักษร A-Z และตัวอักษรพิเศษอื่นๆ

ส่วนต่างๆในการจัดเก็บและวางแผนการใช้เนื้อที่หน่วยความจำ (MEMORY MAPPING) แสดงดังรูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การจัดหน่วยความจำ (MEMORY MAP)



รูปที่ 5.1 การจัดหน่วยความจำ

5.2 หลักการทำงานของโปรแกรม

ก่อนจะกล่าวถึงรายละเอียดการทำงานของโปรแกรมหลัก จะขออธิบายในส่วนเทคนิคของที่ทำให้ตัวอักษรเคลื่อนที่

การที่จะให้ตัวอักษรเคลื่อนที่ในรูปแบบอย่างไรนั้น ขึ้นอยู่กับเทคนิคการย้ายข้อมูลในพื้นที่แสดงผล ในหน่วยความจำส่วนนี้จะแบ่งออกเป็นสองส่วนๆละ 192 ไบท์ เรียกว่า เฟรม(FRAME) โดยกำหนดให้เป็นเฟรม0 และเฟรม1 ในแต่ละเฟรม บิทแต่ละบิทจะแทนตำแหน่งของ LED แต่ละดวงบนแผง ซึ่งในโครงงานนี้ใช้ LED 96 คอลัมน์ๆละ 16 ดวง ดังนั้นถ้า LED 16 ดวงนี้ถูกแทนด้วยหน่วยความจำ 2 ไบท์ (16 บิท) ก็จะใช้เนื้อที่ 192 ไบท์ รวม 2 เฟรมเป็น 384 ไบท์ ตั้งแต่ตำแหน่ง 1900H-1A80H แต่ละแอดเดรสของพื้นที่แสดงผลส่วนนี้ จะแทนตำแหน่งของ LED แต่ละดวงบนแผง โดยจัดวางแต่ละคอลัมน์ให้อยู่ตรงกับแอดเดรสที่แน่นอน ข้อมูลที่ต้องการแสดงผลจะถูกนำมาเก็บในส่วนนี้ก่อนที่จะนำออกแสดงบนแผง ที่ต้องแยกเป็น2เฟรมเพราะแต่ละเฟรมจะส่งข้อมูลสลับกันไป โดยการย้ายข้อมูลในรูปแบบต่างๆจากเฟรมหนึ่งไปอีกเฟรมหนึ่งแล้วจึงส่งข้อมูลออกไป ทำการสแกน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ก็จะทำให้การแสดงผลเป็นไปตามรูปแบบที่ควบคุมไว้โดยโปรแกรม

ตัวอย่างของซอฟท์แวร์ที่เขียนในโครงงานนี้จะกำหนดให้สามารถป้อนข้อความได้ 16 ข้อความๆละ 32 ตัวอักษร เก็บอยู่ในรูปของรหัสแอสกี้(ASCII) ซึ่งจะเป็นรหัสปิดท้ายให้โปรแกรมคอยตรวจเช็คเพื่อขึ้นข้อความใหม่

การทำงานของโปรแกรมหลักเมื่อกดคีย์ RUNแล้วจะทำการเซ็ทค่าต่างๆในระบบและโปรแกรมการสแกน จากนั้นจึงทำการเคลียร์ข้อมูลในพื้นที่แสดงผล

ในโปรแกรมนี้จะแสดงการเคลื่อนที่ของตัวอักษรจากริมขวาไปซ้าย โดยการย้ายข้อมูลในแต่ละเฟรมให้ชิฟท์ทีละ 2 ไบท์ส่งไปยังอีกเฟรมหนึ่งจากนั้นจึงทำการสแกน แล้วทำการสลับเฟรมที่ใช้ส่งข้อมูลออกเช่นนี้ไปเรื่อยๆเมื่อจบทั้ง 16 ข้อความโปรแกรมจะกลับไปเริ่มที่ข้อความแรกใหม่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                        .Z80
                        ;SET SYSTEM PARAMETER
                        ORG   1000H

1800                    BUFFER  EQU   1800H
1802                    FRBUFF  EQU   BUFFER+2
1804                    SDCODE  EQU   BUFFER+4
1805                    RTCODE  EQU   BUFFER+5

1900                    FRAMEO  EQU   1900H

1000'  21 1800          LD    HL,BUFFER
1003'  01 0100          LD    BC,256
1006'  16 00            LD    D,0
1008'  CD 1200'         CALL  CLRFRAME

100B'  21 1802          LD    HL,FRBUFF
100E'  36 00            LD    (HL),0
1010'  23               INC   HL
1011'  36 19            LD    (HL),19H

0020                    MAXCHAR EQU   32
000C                    COUNTER EQU   12
0060                    COLUMN  EQU   96
0009                    DELAY   EQU   09
0002                    BLANK   EQU   02
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
1013'   DD 21 1800          LD    IX,BUFFER
1017'   3E 20               LD    A,MAXCHAR
1019'   DD 77 06            LD    (IX+6),A
101C'   3E 0C               LD    A,COUNTER
101E'   DD 77 07            LD    (IX+7),A
1021'   3E 60               LD    A,COLUMN
1023'   DD 77 08            LD    (IX+8),A
1026'   3E 09               LD    A,DELAY
1028'   DD 77 09            LD    (IX+9),A
102B'   3E 02               LD    A,BLANK
102D'   DD 77 0A            LD    (IX+10),A

                        ;SET SCANNING SERVICE ROUTINE

19C0                    FRAME1  EQU   FRAME0+192
000C                    NUMPORT EQU   12
00E0                    BEGINPORT EQU 0E0H

1030'   2A 1802           LD    HL,(FRBUFF)
1033'   11 19C0           LD    DE,FRAME1
1036'   06 0C             LD    B,NUMPORT
1038'   0E E0             LD    C,BEGINPORT
103A'   AF                XOR   A
103B'   D9                EXX
```

โอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
103C'   08                          EX    AF,AF'

                            ;*****************************
                            ;****** MAIN PROGRAM ******
                            ;*****************************

00C0                        COUNT   EQU   192
1300                        PTRMSG  EQU   1300H
1500                        PATTERN EQU   1500H
1810                        PTRMBUF EQU   1810H
00FF                        EOM     EQU   0FFH

103D'   21 1900             LD    HL,FRAME0
1040'   01 00C0             LD    BC,COUNT
1043'   16 00               LD    D,0
1045'   CD 1200'            CALL  CLRFRAME
1048'   21 19C0             LD    HL,FRAME1
104B'   01 00C0             LD    BC,COUNT
104E'   CD 1200'            CALL  CLRFRAME

1051'   21 1900             LD    HL,FRAME0
1054'   11 19C0             LD    DE,FRAME1
1057'   06 10       START:  LD    B,16
1059'   DD 21 1300          LD    IX,PTRMSG
105D'   C5         NEXTMSG: PUSH  BC
105E'   D5                  PUSH  DE
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
105F'   E5                      PUSH HL
1060'   FD 21 1810              LD   IY,PTRMBUF
1064'   DD E5                   PUSH IX
1066'   E1                      POP  HL
1067'   FD E5                   PUSH IY
1069'   D1                      POP  DE
106A'   3A 1806                 LD   A,(BUFFER+6)
106D'   4F                      LD   C,A
106E'   06 00                   LD   B,0
1070'   ED B0                   LDIR
1072'   E1                      POP  HL
1073'   D1                      POP  DE
1074'   FD 7E 00        NEXTCH: LD   A,(IY)
1077'   FE FF                   CP   EOM
1079'   28 4C                   JR   Z,LASTCH
107B'   DD E5                   PUSH IX
107D'   CD 120A'                CALL CONVERT
1080'   3E 09                   LD   A,9
1082'   D5              NEXT:   PUSH DE
1083'   E5                      PUSH HL
1084'   F5                      PUSH AF
1085'   3A 1807                 LD   A,(BUFFER+7)
1088'   4F                      LD   C,A
1089'   06 00                   LD   B,0
108B'   CD 122C'                CALL POINT
108E'   DD 7E 00                LD   A,(IX)
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
1091'   12                          LD   (DE),A
1092'   DD 23                       INC  IX
1094'   13                          INC  DE
1095'   DD 7E 00                    LD   A,(IX)
1098'   12                          LD   (DE),A
1099'   DD 23                       INC  IX
109B'   13                          INC  DE
109C'   3E FF                      LD   A,0FFH
109E'   32 1804                    LD   (SDCODE),A
10A1'   F1                          POP  AF
10A2'   E1                          POP  HL
10A3'   D1                          POP  DE
10A4'   EB                          EX   DE,HL
10A5'   3D                          DEC  A
10A6'   20 DA                       JR   NZ,NEXT

10A8'   DD E1                       POP  IX
10AA'   3A 180A                     LD   A,(BUFFER+10)
10AD'   D5                  FILLBK: PUSH DE
10AE'   E5                          PUSH HL
10AF'   F5                          PUSH AF
10B0'   3A 1807                     LD   A,(BUFFER+7)
10B3'   4F                          LD   C,A
10B4'   06 00                       LD   B,0
10B6'   CD 122C'                    CALL POINT
10B9'   CD 125D'                    CALL SPACE
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
10BC'   F1
10BD'   E1
10BE'   D1
10BF'   EB
10C0'   3D
10C1'   20 EA
10C3'   FD 23
10C5'   18 AD
10C7'   3A 1808
10CA'   D5
10CB'   E5
10CC'   F5
10CD'   3A 1807
10D0'   4F
10D1'   06 00
10D3'   CD 122C'
10D6'   CD 125D'
10D9'   F1
10DA'   E1
10DB'   D1
10DC'   EB
10DD'   3D
10DE'   20 EA
10E0'   01 0020
10E3'   DD 09
10E5'   C1
```

```
        POP   AF
        POP   HL
        POP   DE
        EX    DE,HL
        DEC   A'
        JR    NZ,FILLBK
        INC   IY
        JR    NEXTCH
LASTCH: LD    A,(BUFFER+8)
FILLSP: PUSH  DE
        PUSH  HL
        PUSH  AF
        LD    A,(BUFFER+7)
        LD    C,A
        LD    B,0
        CALL  POINT
        CALL  SPACE
        POP   AF
        POP   HL
        POP   DE
        EX    DE,HL
        DEC   A'
        JR    NZ,FILLSP
        LD    BC,32
        ADD   IX,BC
        POP   BC
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                        DEC  B
10E6'   05              JP   NZ,NEXTMSG
10E7'   C2 105D'        JP   START
10EA'   C3 1057'

                        ;=====================
                        ;====== ROUTINE =======
                        ;=====================

                        ;CLEAR FRAME ROUTINE
                        ORG  1200H

1200'   F5              CLRFRAME: PUSH AF
1201'   72              LOOP:     LD   (HL),D
1202'   23                        INC  HL
1203'   0B                        DEC  BC
1204'   79                        LD   A,C
1205'   B0                        OR   B
1206'   20 F9                     JR   NZ,LOOP
1208'   F1                        POP  AF
1209'   C9                        RET


                        ;SEND : A (ASCII CODE)
                        ;RET  : IX (ADDRESS)
120A'   D5              CONVERT:  PUSH DE
120B'   C5                        PUSH BC
120C'   E5                        PUSH HL
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
120D'   D6 30                   SUB   30H
120F'   16 00                   LD    D,0
1211'   5F                     LD    E,A
1212'   CB 23                   SLA   E
1214'   CB 12                   RL    D
1216'   D5                     PUSH  DE
1217'   E1                     POP   HL
1218'   06 03                   LD    B,3
121A'   CB 25           MULT8:  SLA   L
121C'   CB 14                   RL    H
121E'   10 FA                   DJNZ  MULT8
1220'   19                     ADD   HL,DE
1221'   EB                     EX    DE,HL
1222'   DD 21 1500             LD    IX,PATTERN
1226'   DD 19                  ADD   IX,DE
1228'   E1                     POP   HL
1229'   C1                     POP   BC
122A'   D1                     POP   DE
122B'   C9                     RET

;SEND HL = SOURCE ADDRESS
;      DE = DEST!. ADDRESS
;      BC = COUNTER
;RET   HL = HL+194
;      DE = DE+190
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
122C'   23          POINT:  INC  HL
122D'   23                  INC  HL
122E'   CD 1234'            CALL MOVE
1231'   1B                  DEC  DE
1232'   1B                  DEC  DE
1233'   C9                  RET

1234'   F5          MOVE:   PUSH AF
1235'   3A 1809              LD   A,(BUFFER+9)
1238'   E5          LATCH:  PUSH HL
1239'   D5                  PUSH DE
123A'   F5                  PUSH AF
123B'   3E 10               LD   A,16
123D'   C5          NEXTCOL: PUSH BC
123E'   ED B0               LDIR
1240'   C1                  POP  BC
1241'   CD 126A'            CALL SCAN
1244'   3D                  DEC  A
1245'   20 F6               JR   NZ,NEXTCOL
1247'   22 180A             LD   (BUFFER+10),HL
124A'   ED 53 180C          LD   (BUFFER+12),DE
124E'   F1                  POP  AF
124F'   D1                  POP  DE
1250'   E1                  POP  HL
1251'   3D                  DEC  A
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
1252'   20 E4                        JR    NZ,LATCH
1254'   F1                          POP   AF
1255'   2A 180A                     LD    HL,(BUFFER+10)
1258'   ED 5B 180C                  LD    DE,(BUFFER+12)
125C'   C9                          RET

125D'   F5                  SPACE:  PUSH  AF
125E'   AF                          XOR   A
125F'   12                          LD    (DE),A
1260'   13                          INC   DE
1261'   12                          LD    (DE),A
1262'   13                          INC   DE
1263'   3E FF                       LD    A,0FFH
1265'   32 1804                     LD    (SDCODE),A
1268'   F1                          POP   AF
1269'   C9                          RET

001E                                INCRE   EQU   001EH
00E0                                OUTPORT EQU   0E0H
00F8                                SCANPORT EQU  0F8H
000F                                MAXCOL  EQU   0FH

                            ;CHECK  OLDFRAME(00),NEWFRAME(FF)
126A'   D9                  SCAN:   EXX
126B'   08                          EX    AF,AF'
126C'   C5                          PUSH  BC
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
126D'   F5                  PUSH AF
126E'   47                  LD   B,A
126F'   3A 1804             LD   A,(SDCODE)
1272'   F6 00               OR   00
1274'   28 0D               JR   Z,NOCHANGE
1276'   AF                  XOR  A
1277'   32 1804             LD   (SDCODE),A
127A'   2A 1800             LD   HL,(BUFFER)
127D'   EB                  EX   DE,HL
127E'   22 1802             LD   (FRBUFF),HL
1281'   06 00               LD   B,0
1283'   F1          NOCHANGE: POP  AF
1284'   78                  LD   A,B
1285'   C1                  POP  BC
                            ;CHECK COLUMN
1286'   FE 00               CP   0
1288'   20 03               JR   NZ,OUTDAT
128A'   22 1800             LD   (BUFFER),HL

                            ;OUT DATA TO PORT
128D'   E5          OUTDAT: PUSH HL
128E'   C5                  PUSH BC
128F'   D5                  PUSH DE
1290'   11 001E            LD   DE,INCRE
1293'   F6 10               OR   10H
1295'   D3 F8               OUT  (SCANPORT),A
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
1297'   E6 0F                        AND   0FH
1299'   ED A3                       OUTI
129B'   0C                          INC   C
129C'   ED A3                       OUTI
129E'   0C                  NEXTSEC: INC   C
129F'   19                          ADD   HL,DE
12A0'   ED A3                       OUTI
12A2'   0C                          INC   C
12A3'   ED A3                       OUTI
12A5'   20 F7                       JR    NZ,NEXTSEC
12A7'   D1                          POP   DE
12A8'   C1                          POP   BC
12A9'   E1                          POP   HL
12AA'   D3 F8                       OUT   (SCANPORT),A
12AC'   FE 0F                       CP    MAXCOL
12AE'   28 06                       JR    Z,NEWSCAN
12B0'   3C                          INC   A
12B1'   23                          INC   HL
12B2'   23                          INC   HL
12B3'   D9                          EXX
12B4'   08                          EX    AF,AF'
12B5'   C9                          RET
12B6'   3E FF               NEWSCAN: LD    A,0FFH
12B8'   32 1805                     LD    (RTCODE),A
12BB'   AF                          XOR   A
12BC'   2A 1802                     LD    HL,(FRBUFF)
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
12BF'   D9                              EXX
12C0'   08                              EX    AF,AF'
12C1'   C9                              RET
                          ;-------------------------------

                    ;BUFFER
                    ;1800H-1801H  GENERAL PURPOSE
                    ;1802H-1803H  FRAME BUFFER
                    ;1804H        SEND CODE
                    ;1805H        RETURN CODE
                    ;1806H        MAX CHAR IN THE MESSAGE
                    ;1807H        COUNTER
                    ;1808H        COLUMN
                    ;1809H        DELAY
                    ;180AH        BLANK
                    ;180BH-180FH  GENERAL
                    ;1810H-18FFH  BLOCK OF CHAR


                                  END
```

Macros:

Symbols:

```
BEGINP00E0 BLANK0002 BUFFER1800 CLRFRA1200'
COLUMN0060 CONVER120A'COUNTO0C0 COUNTE000C
DELAY0009 EOM00FF FILLBK10AD'FILLSP10CA'
FRAME01900 FRAME119C0 FRBUFF1802 INCRE001E
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
LASTCH10C7'LATCH1238'LOOP1201'MAXCHA0020
MAXCOL000F MOVE1234'MULT8121A'NEWSCA12B6'
NEXT1082'NEXTCH1074'NEXTCO123D'NEXTMS105D'
NEXTSE129E'NOCHAN1283'NUMPOR000C OUTDAT128D'
OUTPOR00E0 PATTER1500 POINT122C'PTRMBU1810
PTRMSG1300 RTCODE1805 SCAN126A'SCANP000F8
SDCODE1804 SPACE125D'START1057'

No  Fatal error(s)
```

ในการป้อนตัวอักษรของโปรแกรมนี้จะทำโดยการใส่รหัสแอสกี้ ลงในแอดเดรสตั้งแต่ 1300H-14FFH เป็นบล็อกๆละ 32 ตัวอักษร(32 ไบท์) จะใช้รหัส FFH ปิดท้ายแต่ละข้อความ รหัสแอสกี้ที่ป้อนเข้าไปจะถูกนำไปแปลงเป็นค่าของแอดเดรส ซึ่งจะนำไปชี้ตำแหน่งตัวอักษรในอีพรอม โดยอีพรอมจะเก็บแพทเทอร์นของตัวอักษร ตัวอักษรหนึ่งตัวจะใช้เนื้อที่ 18 ไบท์และได้ตัวอักษรขนาดตัวอักษร 9x16 LEDs แต่ในโปรแกรมนี้เราเก็บแพทเทอร์นตัวอักษรไว้ในแรมที่ตำแหน่ง 1500H-17FFH แทนเพื่อการทดลองและปรับปรุงคุณภาพ ทดลองสร้างแพทเทอร์นตัวอักษรตั้งแต่ A-Z และตัวเลข 0-9 รวมทั้งสัญญลักษณ์ต่างๆเช่น : , " , ? , ! ฯลฯ

ต่อไปเป็นข้อมูลของแพทเทอร์นตัวอักษรที่ได้ออกแบบไว้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MACRO-80 3.3625-Apr-87PAGE1

```
                        .z80

                        org     0000h

0000'  07 E0    zero:   DB      00000111b,11100000b
0002'  1F F8            DB      00011111b,11111000b
0004'  38 1C            DB      00111000b,00011100b
0006'  F0 0F            DB      11110000b,00001111b
0008'  E0 07            DB      11100000b,00000111b
000A'  F0 0F            DB      11110000b,00001111b
000C'  78 1E            DB      01111000b,00011110b
000E'  1F F8            DB      00011111b,11111000b
0010'  07 E0            DB      00000111b,11100000b
0012'  00 00    one:    DB      00000000b,00000000b
0014'  00 00            DB      00000000b,00000000b
0016'  00 00            DB      00000000b,00000000b
0018'  00 04            DB      00000000b,00000100b
001A'  00 07            DB      00000000b,00000111b
001C'  FF FF            DB      11111111b,11111111b
001E'  FF FF            DB      11111111b,11111111b
0020'  FF FF            DB      11111111b,11111111b
0022'  FF FF            DB      11111111b,11111111b
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
0024'   FC 7C       two:   DB       11111100b,01111100b
0026'   FE 3E                       11111110b,00111110b
0028'   FF 0F                       11111111b,00001111b
002A'   F7 8F                       11110111b,10001111b
002C'   F3 CF                       11110011b,11001111b
002E'   F1 FF                       11110001b,11111111b
0030'   F1 FF                       11110001b,11111111b
0032'   F0 FE                       11110000b,11111110b
0034'   F0 7C                       11110000b,01111100b

0036'   E0 07       three: DB       11100000b,00000111b
0038'   E0 07                       11100000b,00000111b
003A'   E1 87                       11100001b,10000111b
003C'   E3 C7                       11100011b,11000111b
003E'   E3 C7                       11100011b,11000111b
0040'   F7 EF                       11110111b,11101111b
0042'   7F FE                       01111111b,11111110b
0044'   3E 7C                       00111110b,01111100b
0046'   1C 38                       00011100b,00111000b

0048'   03 FE       four:  DB       00000011b,11111110b
004A'   07 FF                       00000111b,11111111b
004C'   0F FE                       00001111b,11111110b
004E'   0F C0                       00001111b,11000000b
0050'   0F C0                       00001111b,11000000b
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
0052'   0F C0                          00001111b,11000000b
0054'   FF FE                          11111111b,11111110b
0056'   FF FF                          11111111b,11111111b
0058'   FF FE                          11111111b,11111110b

005A'   F1 FF       five:   DB         11110001b,11111111b
005C'   F1 FF                          11110001b,11111111b
005E'   F1 E3                          11110001b,11100011b
0060'   F1 E3                          11110001b,11100011b
0062'   F1 E3                          11110001b,11100011b
0064'   F1 E3                          11110001b,11100011b
0066'   F1 E3                          11110001b,11100011b
0068'   7F E3                          01111111b,11100011b
006A'   1F C3                          00011111b,11000011b

006C'   3F F8       six:    DB        00111111b,11111000b
006E'   7F FE                          01111111b,11111110b
0070'   E3 C7                          11100011b,11000111b
0072'   C1 C3                          11000001b,11000011b
0074'   C1 C3                          11000001b,11000011b
0076'   C1 C3                          11000001b,11000011b
0078'   E3 C3                          11100011b,11000011b
007A'   7F 8E                          01111111b,10001110b
007C'   3F 0C                          00111111b,00001100b

007E'   00 0F       seven:  DB         00000000b,00001111b
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
0080'   00 0F                          00000000b,00001111b
0082'   7E 0F                          01111110b,00001111b
0084'   FF 0F                          11111111b,00001111b
0086'   FF 8F                          11111111b,10001111b
0088'   07 CF                          00000111b,11001111b
008A'   03 CF                          00000011b,11001111b
008C'   00 EF                          00000000b,11101111b
008E'   00 FF                          00000000b,11111111b

0090'   06 60          eight:  DB      00000110b,01100000b
0092'   1F F8                          00011111b,11111000b
0094'   3B DC                          00111011b,11011100b
0096'   F1 8F                          11110001b,10001111b
0098'   E1 87                          11100001b,10000111b
009A'   F1 8F                          11110001b,10001111b
009C'   7B DE                          01111011b,11011110b
009E'   1F F8                          00011111b,11111000b
00A0'   06 60                          00000110b,01100000b

00A2'   30 FE          nine:   DB      00110000b,11111110b
00A4'   71 FE                          01110001b,11111110b
00A6'   C3 C7                          11000011b,11000111b
00A8'   C3 83                          11000011b,10000011b
00AA'   C3 83                          11000011b,10000011b
00AC'   C3 83                          11000011b,10000011b
00AE'   E3 C7                          11100011b,11000111b
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
00B0'   7F FE                          01111111b,11111110b
00B2'   3F FC                          00111111b,11111100b

00B4'   00 00       colon:   DB        00000000b,00000000b
00B6'   00 00                          00000000b,00000000b
00B8'   00 00                          00000000b,00000000b
00BA'   3E 7C                          00111110b,01111100b
00BC'   3E 7C                          00111110b,01111100b
00BE'   3E 7C                          00111110b,01111100b
00C0'   00 00                          00000000b,00000000b
00C2'   00 00                          00000000b,00000000b
00C4'   00 00                          00000000b,00000000b

00C6'   00 00       stop:    DB        00000000b,00000000b
00C8'   00 00                          00000000b,00000000b
00CA'   00 00                          00000000b,00000000b
00CC'   78 00                          01111000b,00000000b
00CE'   78 00                          01111000b,00000000b
00D0'   78 00                          01111000b,00000000b
00D2'   00 00                          00000000b,00000000b
00D4'   00 00                          00000000b,00000000b
00D6'   00 00                          00000000b,00000000b

00D8'   01 80       fewer:   DB        00000001b,10000000b
00DA'   03 C0                          00000011b,11000000b
00DC'   07 E0                          00000111b,11100000b
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
00DE'   0E 70                          00001110b,01110000b
00E0'   1C 38                          00011100b,00111000b
00E2'   38 1C                          00111000b,00011100b
00E4'   70 0E                          01110000b,00001110b
00E6'   E0 07                          11100000b,00000111b
00E8'   C0 03                          11000000b,00000011b

00EA'   00 00       equal:   DB        00000000b,00000000b
00EC'   00 00                          00000000b,00000000b
00EE'   1C 38                          00011100b,00111000b
00F0'   1C 38                          00011100b,00111000b
00F2'   1C 38                          00011100b,00111000b
00F4'   1C 38                          00011100b,00111000b
00F6'   1C 38                          00011100b,00111000b
00F8'   00 00                          00000000b,00000000b
00FA'   00 00                          00000000b,00000000b

00FC'   C0 03       greater: DB        11000000b,00000011b
00FE'   E0 07                          11100000b,00000111b
0100'   70 0E                          01110000b,00001110b
0102'   38 1C                          00111000b,00011100b
0104'   1C 38                          00011100b,00111000b
0106'   0E 70                          00001110b,01110000b
0108'   07 E0                          00000111b,11100000b
010A'   03 C0                          00000011b,11000000b
010C'   01 80                          00000001b,10000000b
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
010E'   00 F8      question: DB          00000000b,11111000b
0110'   01 FC                            00000001b,11111100b
0112'   00 1E                            00000000b,00011110b
0114'   5F 9E                            01011111b,10011110b
0116'   5F 9E                            01011111b,10011110b
0118'   01 DE                            00000001b,11011110b
011A'   01 FC                            00000001b,11111100b
011C'   00 78                            00000000b,01111000b
011E'   00 00                            00000000b,00000000b

0120'   00 00      sub:    DB            00000000b,00000000b
0122'   03 C0                            00000011b,11000000b
0124'   03 C0                            00000011b,11000000b
0126'   03 C0                            00000011b,11000000b
0128'   03 C0                            00000011b,11000000b
012A'   03 C0                            00000011b,11000000b
012C'   03 C0                            00000011b,11000000b
012E'   03 C0                            00000011b,11000000b
0130'   00 00                            00000000b,00000000b

0132'   FF F8      A:      DB            11111111b,11111000b
0134'   FF FC                            11111111b,11111100b
0136'   FF FE                            11111111b,11111110b
0138'   07 0F                            00000111b,00001111b
013A'   07 0F                            00000111b,00001111b
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
013C'   07 0F                          00000111b,00001111b
013E'   FF FE                          11111111b,11111110b
0140'   FF FC                          11111111b,11111100b
0142'   FF F8                          11111111b,11111000b

0144'   FF FF      B:      DB         11111111b,11111111b
0146'   FF FF                         11111111b,11111111b
0148'   FF FF                         11111111b,11111111b
014A'   E1 87                         11100001b,10000111b
014C'   E1 87                         11100001b,10000111b
014E'   E1 87                         11100001b,10000111b
0150'   FF FF                         11111111b,11111111b
0152'   7E 7E                         01111110b,01111110b
0154'   3C 3C                         00111100b,00111100b

0156'   3F FC      C:      DB         00111111b,11111100b
0158'   7F FE                         01111111b,11111110b
015A'   FF FF                         11111111b,11111111b
015C'   E0 07                         11100000b,00000111b
015E'   E0 07                         11100000b,00000111b
0160'   E0 07                         11100000b,00000111b
0162'   FC 3F                         11111100b,00111111b
0164'   7C 3E                         01111100b,00111110b
0166'   3C 3C                         00111100b,00111100b

0168'   FF FF      D:      DB         11111111b,11111111b
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
016A'   FF FF                          11111111b,11111111b
016C'   FF FF                          11111111b,11111111b
016E'   E0 07                          11100000b,00000111b
0170'   E0 07                          11100000b,00000111b
0172'   E0 07                          11100000b,00000111b
0174'   FF FF                          11111111b,11111111b
0176'   7F FE                          01111111b,11111110b
0178'   3F FC                          00111111b,11111100b

017A'   FF FF       E:      DB        11111111b,11111111b
017C'   FF FF                         11111111b,11111111b
017E'   FF FF                         11111111b,11111111b
0180'   E3 C7                         11100011b,11000111b
0182'   E3 C7                         11100011b,11000111b
0184'   E3 C7                         11100011b,11000111b
0186'   E3 C7                         11100011b,11000111b
0188'   E3 C7                         11100011b,11000111b
018A'   E3 C7                         11100011b,11000111b

018C'   FF FF       F:      DB        11111111b,11111111b
018E'   FF FF                         11111111b,11111111b
0190'   FF FF                         11111111b,11111111b
0192'   03 C7                         00000011b,11000111b
0194'   03 C7                         00000011b,11000111b
0196'   03 C7                         00000011b,11000111b
0198'   03 C7                         00000011b,11000111b
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
019A'   03 C7                                   00000011b,11000111b
019C'   03 C7                                   00000011b,11000111b

019E'   3F F8       G:          DB              00111111b,11111000b
01A0'   7F FC                                   01111111b,11111100b
01A2'   FF FE                                   11111111b,11111110b
01A4'   E0 0F                                   11100000b,00001111b
01A6'   E3 8F                                   11100011b,10001111b
01A8'   E3 8F                                   11100011b,10001111b
01AA'   FF 9E                                   11111111b,10011110b
01AC'   FF 9C                                   11111111b,10011100b
01AE'   7F 98                                   01111111b,10011000b

01B0'   FF FF       H:          DB              11111111b,11111111b
01B2'   FF FF                                   11111111b,11111111b
01B4'   FF FF                                   11111111b,11111111b
01B6'   03 C0                                   00000011b,11000000b
01B8'   03 C0                                   00000011b,11000000b
01BA'   03 C0                                   00000011b,11000000b
01BC'   FF FF                                   11111111b,11111111b
01BE'   FF FF                                   11111111b,11111111b
01C0'   FF FF                                   11111111b,11111111b

01C2'   E0 07       I:          DB              11100000b,00000111b
01C4'   E0 07                                   11100000b,00000111b
01C6'   E0 07                                   11100000b,00000111b
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
01C8'   FF FF                          11111111b,11111111b
01CA'   FF FF                          11111111b,11111111b
01CC'   FF FF                          11111111b,11111111b
01CE'   E0 07                          11100000b,00000111b
01D0'   E0 07                          11100000b,00000111b
01D2'   E0 07                          11100000b,00000111b

01D4'   3E 00       J:      DB         00111110b,00000000b
01D6'   7E 00                          01111110b,00000000b
01D8'   FE 00                          11111110b,00000000b
01DA'   E0 00                          11100000b,00000000b
01DC'   E0 00                          11100000b,00000000b
01DE'   E0 00                          11100000b,00000000b
01E0'   FF FF                          11111111b,11111111b
01E2'   7F FF                          01111111b,11111111b
01E4'   3F FF                          00111111b,11111111b

01E6'   FF FF       K:      DB         11111111b,11111111b
01E8'   FF FF                          11111111b,11111111b
01EA'   FF FF                          11111111b,11111111b
01EC'   03 C0                          00000011b,11000000b
01EE'   03 C0                          00000011b,11000000b
01F0'   03 C0                          00000011b,11000000b
01F2'   FF FF                          11111111b,11111111b
01F4'   FE 7F                          11111110b,01111111b
01F6'   FC 3F                          11111100b,00111111b
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
01F8'   FF FF       L:      DB          11111111b,11111111b
01FA'   FF FF                           11111111b,11111111b
01FC'   FF FF                           11111111b,11111111b
01FE'   F0 00                           11110000b,00000000b
0200'   F0 00                           11110000b,00000000b
0202'   F0 00                           11110000b,00000000b
0204'   F0 00                           11110000b,00000000b
0206'   F0 00                           11110000b,00000000b
0208'   F0 00                           11110000b,00000000b

020A'   FF FF       M:      DB          11111111b,11111111b
020C'   FF FF                           11111111b,11111111b
020E'   00 3F                           00000000b,00111111b
0210'   7F FF                           01111111b,11111111b
0212'   FF FF                           11111111b,11111111b
0214'   7F FF                           01111111b,11111111b
0216'   00 3F                           00000000b,00111111b
0218'   FF FF                           11111111b,11111111b
021A'   FF FF                           11111111b,11111111b

021C'   FF FF       N:      DB          11111111b,11111111b
021E'   FF FF                           11111111b,11111111b
0220'   00 0F                           00000000b,00001111b
0222'   00 3F                           00000000b,00111111b
0224'   00 FC                           00000000b,11111100b
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
0226'   03 F0                                  00000011b,11110000b
0228'   0F C0                                  00001111b,11000000b
022A'   FF FF                                  11111111b,11111111b
022C'   FF FF                                  11111111b,11111111b

022E'   3F FC       0:          DB             00111111b,11111100b
0230'   7F FE                                  01111111b,11111110b
0232'   FF FF                                  11111111b,11111111b
0234'   E0 07                                  11100000b,00000111b
0236'   E0 07                                  11100000b,00000111b
0238'   E0 07                                  11100000b,00000111b
023A'   FF FF                                  11111111b,11111111b
023C'   7F FE                                  01111111b,11111110b
023E'   3F FC                                  00111111b,11111100b

0240'   FF FF       P:          DB             11111111b,11111111b
0242'   FF FF                                  11111111b,11111111b
0244'   FF FF                                  11111111b,11111111b
0246'   03 87                                  00000011b,10000111b
0248'   03 87                                  00000011b,10000111b
024A'   03 87                                  00000011b,10000111b
024C'   03 FF                                  00000011b,11111111b
024E'   01 FE                                  00000001b,11111110b
0250'   00 FC                                  00000000b,11111100b

0252'   3F FC       Q:          DB             00111111b,11111100b
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
0254'   7F FE                          01111111b,11111110b
0256'   FF FF                          11111111b,11111111b
0258'   E4 07                          11100100b,00000111b
025A'   EC 07                          11101100b,00000111b
025C'   F8 07                          11111000b,00000111b
025E'   FF FF                          11111111b,11111111b
0260'   7F FE                          01111111b,11111110b
0262'   BF FC                          10111111b,11111100b

0264'   FF FF       R:      DB         11111111b,11111111b
0266'   FF FF                          11111111b,11111111b
0268'   FF FF                          11111111b,11111111b
026A'   03 87                          00000011b,10000111b
026C'   03 87                          00000011b,10000111b
026E'   03 87                          00000011b,10000111b
0270'   FF FF                          11111111b,11111111b
0272'   FE FE                          11111110b,11111110b
0274'   FC 7C                          11111100b,01111100b

0276'   00 FC       S:      DB         00000000b,11111100b
0278'   E1 FE                          11100001b,11111110b
027A'   E3 FF                          11100011b,11111111b
027C'   E3 C7                          11100011b,11000111b
027E'   E3 C7                          11100011b,11000111b
0280'   E3 C7                          11100011b,11000111b
0282'   FF C7                          11111111b,11000111b
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
0284'   7F 87                          01111111b,10000111b
0286'   3E 00                          00111110b,00000000b

0288'   00 0F       T:      DB         00000000b,00001111b
028A'   00 0F                          00000000b,00001111b
028C'   00 0F                          00000000b,00001111b
028E'   FF FF                          11111111b,11111111b
0290'   FF FF                          11111111b,11111111b
0292'   FF FF                          11111111b,11111111b
0294'   00 0F                          00000000b,00001111b
0296'   00 0F                          00000000b,00001111b
0298'   00 0F                          00000000b,00001111b

029A'   3F FF       U:      DB         00111111b,11111111b
029C'   7F FF                          01111111b,11111111b
029E'   FF FF                          11111111b,11111111b
02A0'   E0 00                          11100000b,00000000b
02A2'   E0 00                          11100000b,00000000b
02A4'   E0 00                          11100000b,00000000b
02A6'   FF FF                          11111111b,11111111b
02A8'   7F FF                          01111111b,11111111b
02AA'   3F FF                          00111111b,11111111b

02AC'   0F FF       V:      DB         00001111b,11111111b
02AE'   1F FF                          00011111b,11111111b
02B0'   3F FF                          00111111b,11111111b
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
02B2'   60 00                          01100000b,00000000b
02B4'   E0 00                          11100000b,00000000b
02B6'   60 00                          01100000b,00000000b
02B8'   3F FF                          00111111b,11111111b
02BA'   1F FF                          00011111b,11111111b
02BC'   0F FF                          00001111b,11111111b

02BE'   3F FF       W:      DB         00111111b,11111111b
02C0'   7F FF                          01111111b,11111111b
02C2'   E0 00                          11100000b,00000000b
02C4'   FF FF                          11111111b,11111111b
02C6'   FF FF                          11111111b,11111111b
02C8'   FF FF                          11111111b,11111111b
02CA'   E0 00                          11100000b,00000000b
02CC'   7F FF                          01111111b,11111111b
02CE'   3F FF                          00111111b,11111111b

02D0'   FC 3F       X:      DB         11111100b,00111111b
02D2'   FE 7F                          11111110b,01111111b
02D4'   FF FF                          11111111b,11111111b
02D6'   03 C0                          00000011b,11000000b
02D8'   03 C0                          00000011b,11000000b
02DA'   03 C0                          00000011b,11000000b
02DC'   FF FF                          11111111b,11111111b
02DE'   FE 7F                          11111110b,01111111b
02E0'   FC 3F                          11111100b,00111111b
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
02E2'   00 FF       Y:      DB      00000000b,11111111b
02E4'   01 FF                       00000001b,11111111b
02E6'   03 FF                       00000011b,11111111b
02E8'   FF C0                       11111111b,11000000b
02EA'   FF C0                       11111111b,11000000b
02EC'   FF C0                       11111111b,11000000b
02EE'   03 FF                       00000011b,11111111b
02F0'   01 FF                       00000001b,11111111b
02F2'   00 FF                       00000000b,11111111b

02F4'   FC 07       Z:      DB      11111100b,00000111b
02F6'   FE 07                       11111110b,00000111b
02F8'   FF 07                       11111111b,00000111b
02FA'   EF 87                       11101111b,10000111b
02FC'   E7 C7                       11100111b,11000111b
02FE'   E3 E7                       11100011b,11100111b
0300'   E1 FF                       11100001b,11111111b
0302'   E0 FF                       11100000b,11111111b
0304'   E0 7F                       11100000b,01111111b

0306'   00 00       space:  DB      00000000b,00000000b
0308'   00 00                       00000000b,00000000b
030A'   00 00                       00000000b,00000000b
030C'   00 00                       00000000b,00000000b
030E'   00 00                       00000000b,00000000b
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
0310'    00 00                          00000000b,00000000b
0312'    00 00                          00000000b,00000000b
0314'    00 00                          00000000b,00000000b
0316'    00 00                          00000000b,00000000b


                                        end
MACRO-80 3.3625-Apr-87PAGES


Macros:


Symbols:
A0132'B0144'C0156'COLON00B4'
D0168'E017A'EIGHT0090'EQUAL00EA'
F018C'FEWER00D8'FIVE005A'FOUR0048'
G019E'GREATE00FC'H01B0'I01C2'
J01D4'K01E6'L01F8'M020A'
N021C'NINE00A2'0022E'ONE0012'
P0240'Q0252'QUATI0010E'R0264'
S0276'SEVEN007E'SIX006C'SPACE0306'
STOP00C6'SUB0120'T0288'THREE0036'
TWO0024'U029A'V02AC'W02BE'
X02D0'Y02E2'Z02F4'ZER00000'
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 6

การทดลองและผลการทดลอง

6.1 การทดลองเรื่อง การเลือกค่าดิวตี้แฟคเตอร์ที่เหมาะสม

วัตถุประสงค์ เพื่อกำหนดค่าดิวตี้แฟคเตอร์ให้เหมาะสมกับจำนวนคอลัมน์ของแผงLED และให้ LED สว่างชัดเจน

จากการทดลองครั้งแรก โดยการจำลองพอร์ทไว้เพียง 3 พอร์ท คือพอร์ทข้อมูล 2 พอร์ท และพอร์ทสแกน 1 พอร์ท จำนวนคอลัมน์ที่ต้องการคือ 192 คอลัมน์ ทำการทดลองโดยป้อนโปรแกรมให้ทำการสแกน LED ไป 192 คอลัมน์ ปรากฏว่า LED สว่างน้อยมากเพราะมีจำนวนคอลัมน์มากทำให้ค่าดิวตี้แฟคเตอร์น้อย

เราจึงเลือกค่าดิวตี้แฟคเตอร์ใหม่ให้มากขึ้น เพื่อ LED สว่างเพิ่มขึ้น จึงกำหนดค่าดิวตี้แฟคเตอร์เท่ากับ 1/16 จำนวนคอลัมน์ที่ได้คือ 16 คอลัมน์ไม่เพียงพอสำหรับโครงงานนี้ ดังนั้นเราได้ออกแบบการสร้างพอร์ทใหม่โดยสร้างพอร์ทขึ้นมาทั้งหมด 25 พอร์ท เป็นพอร์ทข้อมูล 24 พอร์ท พอร์ทสแกน 1 พอร์ท

โดยกำหนดให้แบ่งแผง LED เป็น 12 ส่วน แผง LED 1 ส่วน (16x16) ประกอบด้วยพอร์ท 2 พอร์ท (16บิท) และให้ LED ทุกคอลัมน์ในแต่ละส่วนจับติดกันไว้ ดังนั้นจะเกิดการสแกนพร้อมกันในทุกส่วน แต่ข้อมูลที่ออกพอร์ทแต่ละพอร์ทไม่เหมือนกัน

จากการทดลองโดยใช้โปรแกรมจำลองการทำงาน เพื่อให้ค่าดิวตี้แฟคเตอร์เท่ากับ 1/16 ค่าความสว่างของ LED จะเพิ่มขึ้นโดยเห็นได้ชัดเจน จึงเลือกใช้ค่านี้เป็นตัวกำหนดช่วงเวลาของการสแกน

6.2 การทดลองโดยใช้สัญญาณขัดจังหวะควบคุม ช่วงเวลาการสแกนในแต่ละคอลัมน์ให้คงที่ ทดลองโดยการสร้างวงจรตั้งเวลาการขัดจังหวะขึ้น ประกอบด้วยไอซี 555 มีค่า R_1,R_2 คอยปรับช่วงเวลาในการขัดจังหวะตามรูปในบทที่4

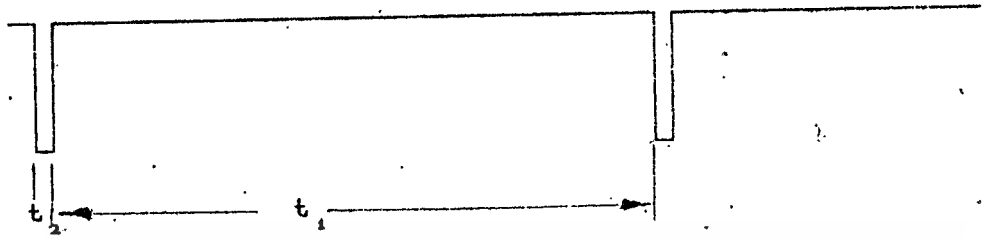
การคำนวณช่วงเวลาในการขัดจังหวะสามารถคำนวณ ได้จากสูตร

$$t_1 = 0.693(R_1+R_2)C_1$$

$$t_2 = 0.693\ R_2C_1$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ซึ่งจะได้ค่าของ t_1 และ t_2 เป็นช่วงเวลาของสัญญาณเอาท์พุท ของ ไอซี 555 ดังรูป



รูปที่ 6.1 สัญญาณเอาท์พุทของ ไอซี 555

นอกจากนี้ได้ทำการเขียนโปรแกรมตอบสนองการขัดจังหวะ โดยการขัดจังหวะ1 ครั้ง จะทำการสแกน 1 คอลัมน์เมื่อสัญญาณขัดจังหวะเข้ามาอีกก็จะทำการสแกนคอลัมน์ถัดไปเรื่อยๆจนครบ 16 คอลัมน์ จึงกลับมาสแกนคอลัมน์ที่ 1 ใหม่และค่าของ t_1 หาจากการกำหนดให้LEDแต่ละคอลัมน์มีความถี่ในการติดเท่ากับ 25เฮิร์ต เนื่องจากมีการสแกน 16 ครั้งใน 1 รอบ ดังนั้นค่าของ $t_1 = 1/(25x16) = 2.5x10^{-3}$ วินาที คำนวณหาค่า R_1 ได้ประมาณ 36 กิโล-โอห์ม เมื่อทดลองต่อวงจรและRUNโปรแกรมตอบสนองการขัดจังหวะ ปรากฏว่ายังมีการกระพริบของ LED อยู่จึงปรับค่า R_1 ให้ลดลง มีผลทำให้ความถี่ในการสแกนเพิ่มขึ้น ปรับจนกระทั่งสังเกตว่า LED ไม่มีการกระพริบแล้ววัดค่า R_1 ได้เท่ากับ18 กิโลโอห์ม คำนวณความถี่ได้ 800 เฮิร์ต ดังนั้นช่วงเวลาที่ทำให้ LED แต่ละคอลัมน์ติดต้องใช้ความถี่ 50 เฮิร์ต จึงทำให้ LED ไม่เกิดการกระพริบ

สำหรับค่า R_2 จะปรับไว้ให้สัญญาณกลับขึ้นมาเป็น 1 เพื่อถอนสัญญาณในการขัดจังหวะประมาณเป็น 10 เท่าของสัญญาณนาฬิกาจาก Z-80 ดังนั้น $t_2 = 10/3.579x10^6 = 2.8x10^{-6}$ วินาที ได้ค่า R_2 ประมาณ 40 โอห์ม

ส่วนการควบคุมวงจรตั้งเวลาใช้ขา 4 ของไอซี 555 ต่อเข้ากับสัญญาณจากขา 5 ของ U5A เป็นตัวควบคุม ซึ่งจะทำงานก็ต่อเมื่อมีสัญญาณ 1 เข้ามา และเมื่อกดรีเซ็ทก็จะหยุดทำงาน

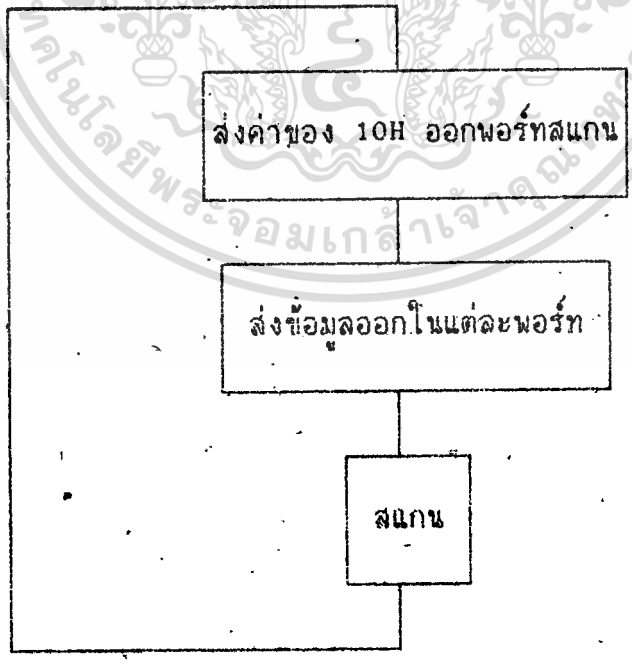
(หมายเหตุ หลังจากได้ทดลองต่อวงจรตั้งเวลาการขัดจังหวะเพื่อทำการสแกนเข้ากับวงจรใช้งานจริง ผลปรากฏว่าไม่สามารถเขียนโปรแกรมให้ควบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

คุมตอบสนองการขัดจังหวะได้ ภาพที่ปรากฏบนแผง LED ออกมาไม่เป็นระเบียบในวงจรใช้งานจริงจึงใช้คำสั่งจากโปรแกรมย่อยสแกน(SCAN ROUTINE) แทน)

6.3 เมื่อต่อแผง LED ขนาด 16x16 จุดได้ 1 ส่วนแล้วทำการ RUN โปรแกรมเพื่อแสดงตัวอักษรออกมาบนแผง LED สังเกตพบว่ามีเงาตัวอักษรนั้นเหลื่อมมา 1 คอลัมน์ เมื่อตรวจสอบการทำงานในแต่ละขั้น จะพบสาเหตุเกิดขึ้นจากการส่งข้อมูลออกพอร์ทและการสแกนไม่สามารถทำงานในเวลาที่ตรงกันได้ เนื่องจากการทำงานของ Z-80 จะกระทำทีละคำสั่ง ในช่วงเวลาที่เปลี่ยนข้อมูลของคอลัมน์ถัดไปส่งออกมา ยังคงมีการค้างการสแกนของคอลัมน์เดิมอยู่ ทำให้ข้อมูลคอลัมน์ถัดไปเกิดทับกับข้อมูลของคอลัมน์ก่อน

การแก้ปัญหานี้ ทำได้โดยให้หน่วยสแกนหยุดการสแกนไว้ก่อนจนกว่าข้อมูลในคอลัมน์ถัดไปส่งออกมาเรียบร้อยแล้วจึงค่อยทำการสแกน แก้ไขวงจรโดยการต่อสัญญาณข้อมูล D4 ป้อนให้กับขาเกตควบคุมของ 74LS154 โดยการสั่งข้อมูล 10H ออกพอร์ทสแกน เมื่อข้อมูลคอลัมน์ถัดไปถูกค้างไว้เรียบร้อยแล้วจึงเปิดเกตทำการสแกนในคอลัมน์ถัดไป ดังแผนผัง



รูปที่ 6,2 บล็อคไดอะแกรมของการแก้ไขเพื่อลดการเกิดเงา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 7

บทวิจารณ์และสรุป

ในโครงงานนี้มีปัญหาเกิดขึ้นหลายอย่างด้วยกัน ปัญหาแรกที่พบบ่อยก็คือสายไฟที่ชื่อมต่อในส่วนต่างๆมีมากมาย ระหว่างการทดลองทำให้สายไฟเกิดการขาดบ่อยครั้ง ซึ่งทำให้วงจรทำงานผิดพลาด จึงควรจะหาวิธีแก้ไข อาจทำโดยพยายามจัดสายไฟที่ใช้เชื่อมต่อให้เป็นระเบียบและมีความยาวเพียงพอต่อการเคลื่อนย้ายและแก้ไข หรืออาจจะใช้การเดินลายวงจรแทนสายต่อ แต่จะทำให้ลายวงจรมีขนาดใหญ่ซึ่งยุ่งยากต่อการออกแบบ

สัญญาณรบกวนจากภายนอกและการที่มีไอซีจำนวนมาก เป็นผลทำให้ไฟเลี้ยงไม่เรียบพอ ก็เป็นปัญหาอีกปัญหาหนึ่ง การแก้ไขผู้จัดทำจึงใช้ตัวเก็บประจุต่อบายพาสระหว่างไฟเลี้ยงกับกราวน์ที่จุดต่างๆ

ปัญหาที่เกิดขึ้นในโครงงานปี 2524 คือ LED มีความสว่างไม่เพียงพอ เนื่องจากจำนวนคอลัมน์ที่ใช้สแกนมีมากเกินไป ทำให้ค่าดิวตี้แฟคเตอร์น้อยซึ่งไม่เพียงพอต่อความสว่างของ LED เราจึงแก้ปัญหาโดยการลดจำนวนคอลัมน์ที่ใช้สแกนลงให้เหลือเพียง 16 คอลัมน์ โดยให้เกิดการสแกนพร้อมกันไปในคอลัมน์ที่ 1,17,33,... ของแผง LED แต่ละส่วน ทำให้ LED มีความสว่างเพียงพอ

ในส่วนของฮาร์ดแวร์ทางผู้จัดทำได้ออกแบบขึ้นมาเอง โดยอาศัยแนวคิดจากอาจารย์ที่ปรึกษาและหนังสืออ้างอิงต่างๆ รายละเอียดของลายวงจร,อุปกรณ์ที่ใช้ ได้รวบรวมไว้ในภาคผนวกของปริญญานิพนธ์นี้ และได้ทำการประกอบโครงงานนี้ออกมาเป็นชิ้นงานที่สามารถใช้งานได้ในระดับหนึ่ง ในส่วนของซอฟแวร์ผู้จัดทำได้เขียนขึ้นมาเพื่อใช้เป็นคำสั่งควบคุมการทำงานของส่วนฮาร์ดแวร์ ในการนำไปใช้งานจริงจะแตกต่างกันไปตามจุดประสงค์และขนาดของการใช้งาน ซึ่งสามารถที่จะขยายส่วนทั้งสองนี้ออกไปได้ โดยอาศัยแนวความคิดและพื้นฐานที่ผู้จัดทำได้อธิบายไว้.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รายชื่ออุปกรณ์ที่ใช้

ส่วนของแผง LED

1.LED แบบโดม สีแดง	1,536 ดวง
2.TRANSISTOR	
BC 328/10 (PNP)	96 ตัว
BC 547 (NPN)	96 ตัว
3.RESISTOR	
10 Ω/0.5 watt	96 ตัว
1 kΩ/0.25 watt	192 ตัว
10 kΩ/0.25 watt	96 ตัว
4. IC TTL	
74LS373	12 ตัว

ส่วนของวงจรควบคุม

1. IC TTL	
74LS04	5 ตัว
7417	4 ตัว
74LS32	1 ตัว
74LS74	1 ตัว
74LS138	1 ตัว
74LS154	3 ตัว
74LS244	2 ตัว
74LS373	1 ตัว
2.IC TIMER	
LM 555	1 ตัว
3.VARIABLE RESISTOR	
0-1 kΩ	1 ตัว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

0-100 kΩ	1 ตัว

4.CAPACITOR

0.1 uF	2 ตัว

ส่วนของหน่วยจ่ายไฟ

1.IC REGULATOR

LM 317	1 ตัว
LM 7805	1 ตัว

2.RESISTOR

10 Ω	2 ตัว
1 kΩ	1 ตัว
2 kΩ	1 ตัว
0-5 kΩ	1 ตัว

3.CAPACITOR

4700 uF/50V	1 ตัว
2200 uF/16V	1 ตัว
1 uF/50V	3 ตัว
0.1 uF/50V	2 ตัว

4.DIODE

1N4001	4 ตัว
1N4002	4 ตัว
1N5400	4 ตัว

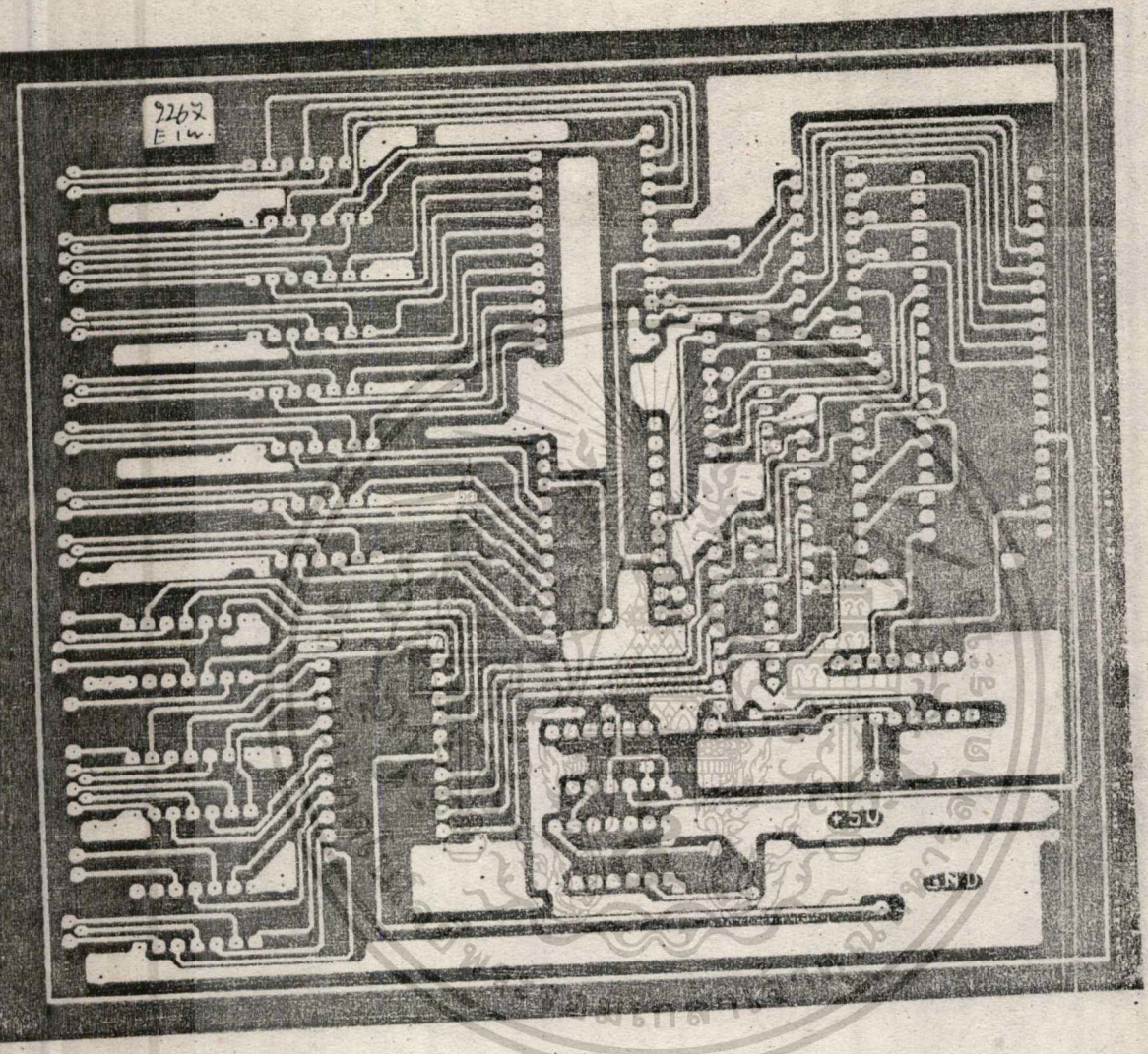
5.TRANSISTOR

MJ 2955	2 ตัว

6.TRANFORMER

220V : 9V,12V / 2 AMPS	1 ตัว

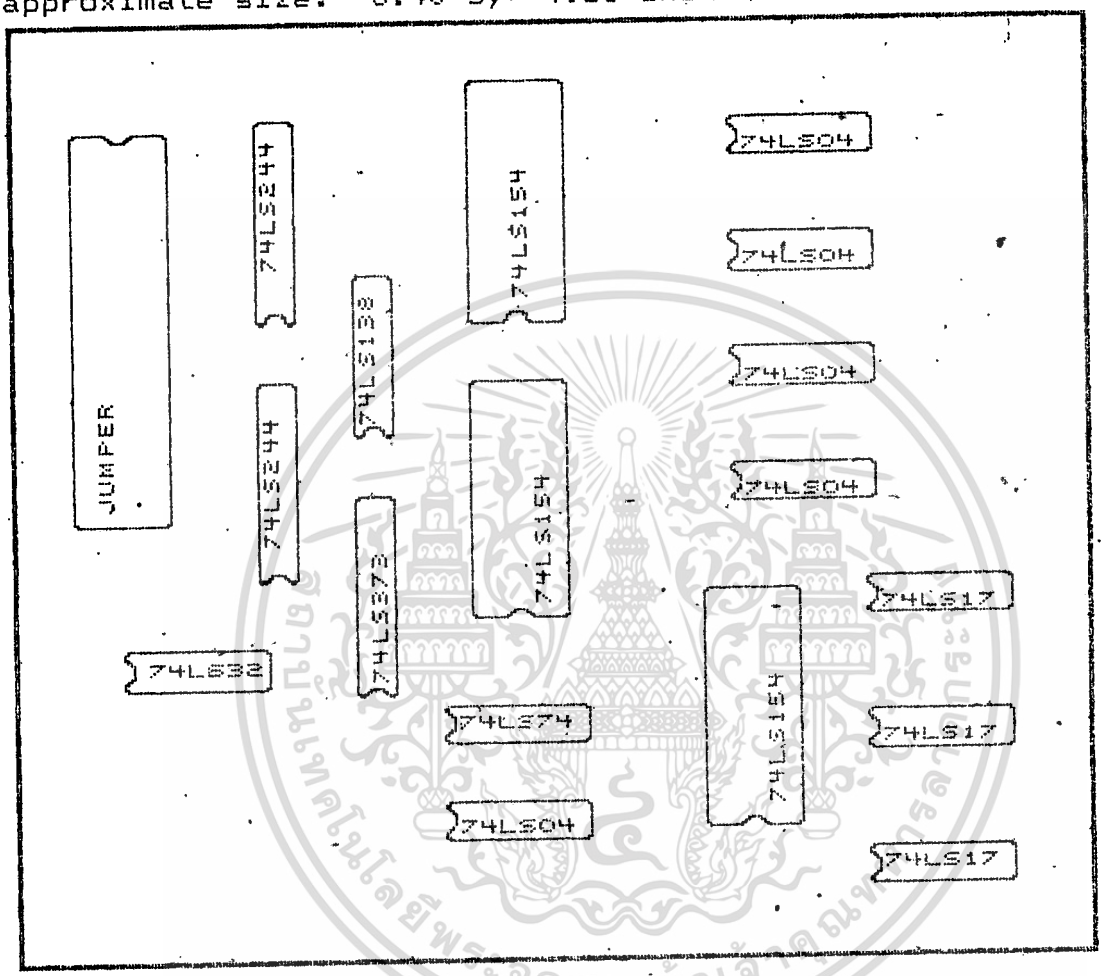
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ลายวงจรส่วนควบคุม

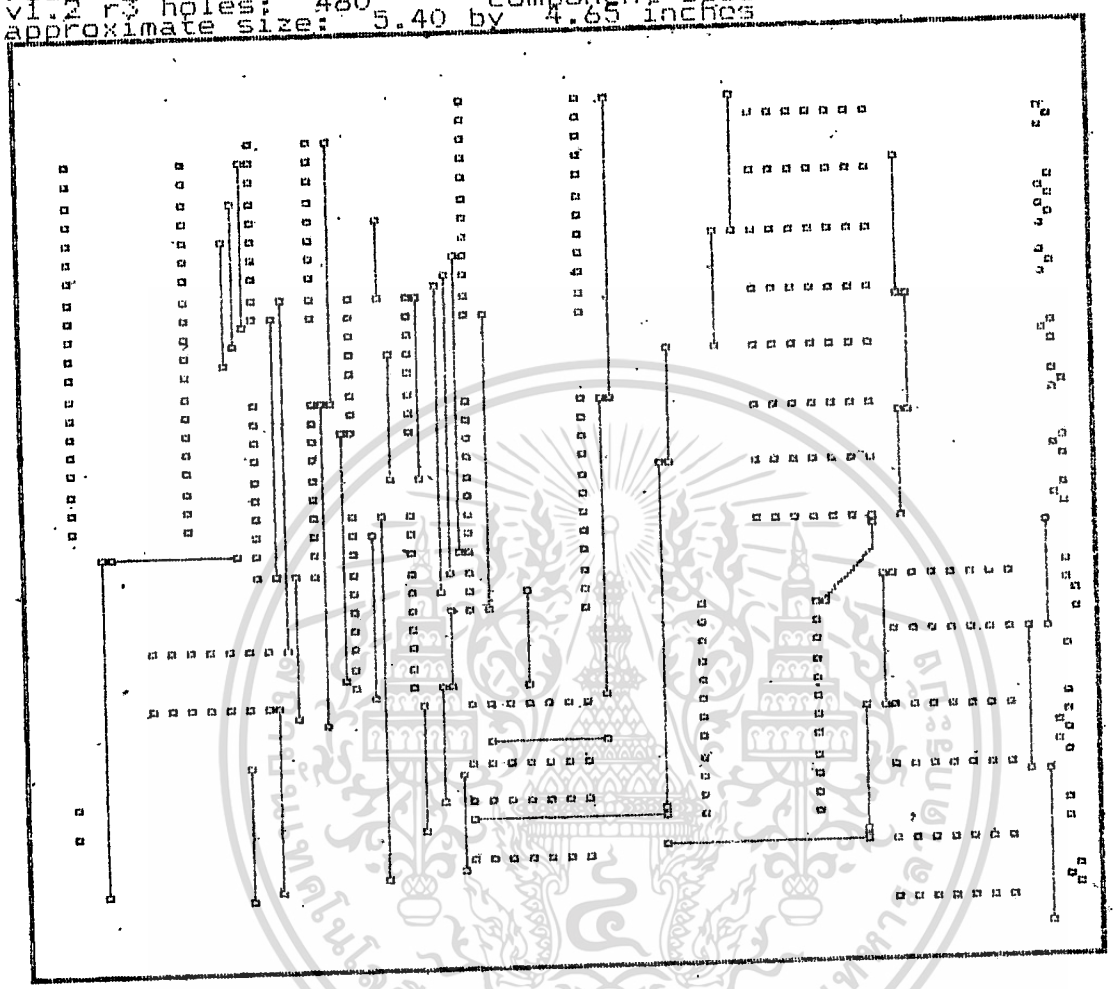
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1X checkplot 1 Jan 1980 00:07:53
ree2
v1.2 r3 holes: 460 silkscreen
approximate size: 5.40 by 4.65 inches



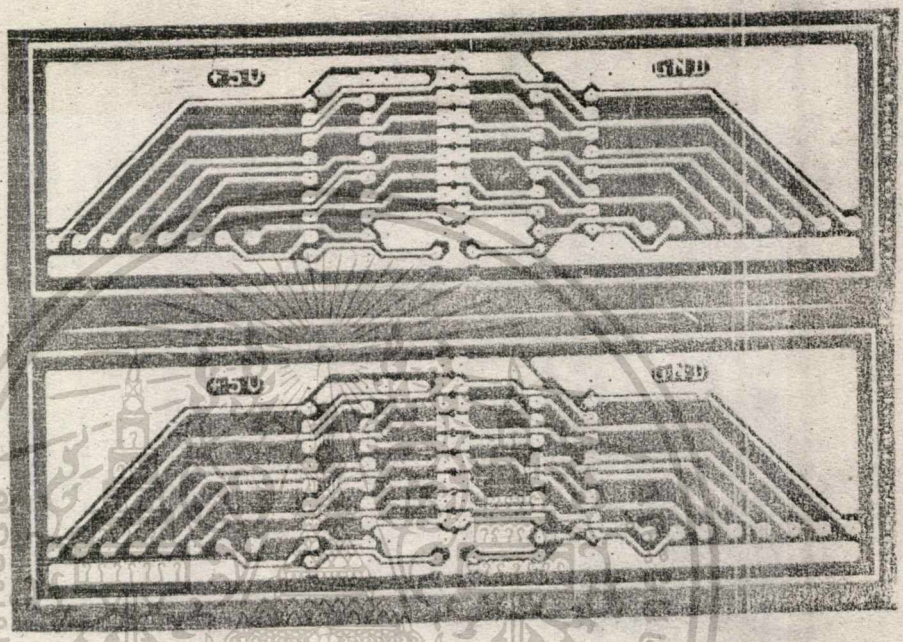
รูปการวางตำแหน่งอุปกรณ์บนบอร์ดควบคุม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



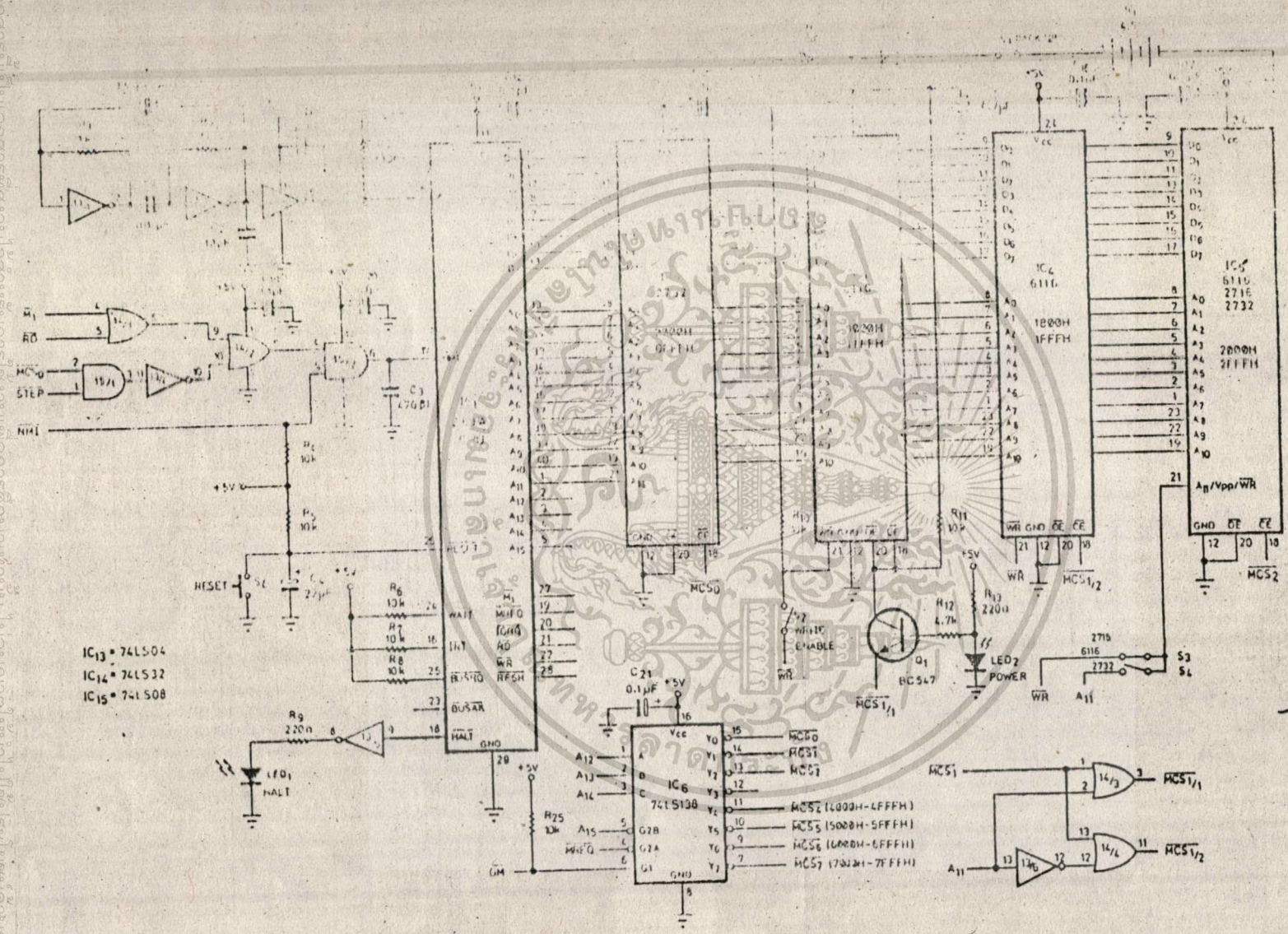
รูปแสดงการเดินสายไฟด้านอุปกรณ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



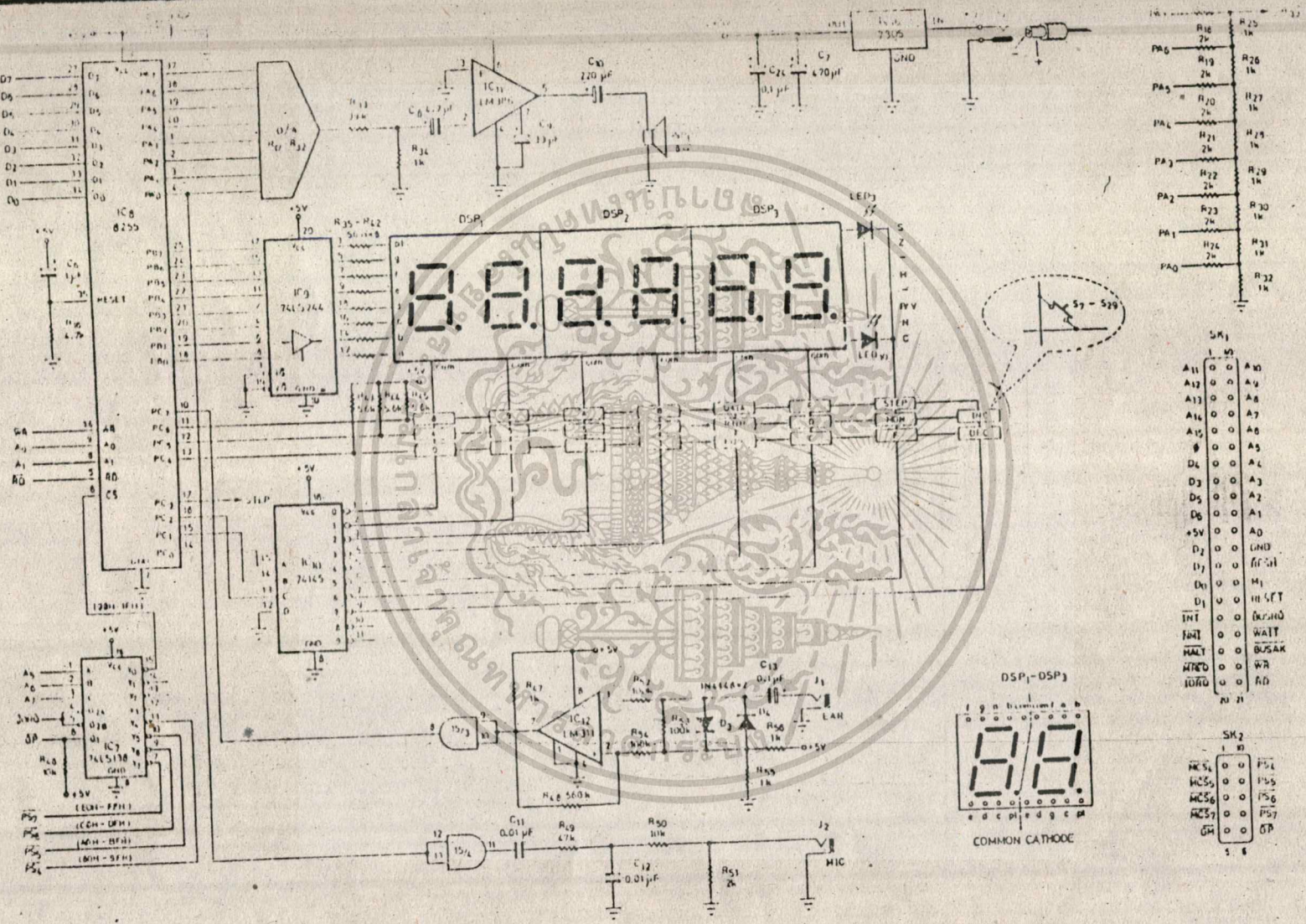
ลายวงจรส่วนค้างข้อมูล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



วงจรต่อกับ CPU + ROM + RAM + CLOCK + DECODER

09 LAN


IC8 8255
IC9 74LS244
IC10 74LS145
IC7 74LS138
IC11 LM311
IC12 LM311
DSP1
DSP2
DSP3
LED1
LED2
S7 - S29
SK1
SK2
DSP1-DSP3
COMMON CATHODE
RESET
STEP
MEM
DEC
INT
WAIT
HALT
BUSAK
RD
WR
MREQ
IORQ
MIC
EAR

Z80-CPU
Absolute Maximum Ratings

Temperature Under Bias	Specified operating range
Storage Temperature	-65°C to +150°C
Voltage On Any Pin with Respect to Ground	-0.3V to +7V
Power Dissipation	1.5W

*Comment

Stresses above those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress rating only and functional operation of the device at these or any other condition above those indicated in the operational sections of this specification is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

Note: For Z80-CPU all AC and DC characteristics remain the same for the military grade parts except I_{CC}.

I_{CC} = 200 mA

Z80-CPU D.C. Characteristics

T_A = 0°C to 70°C, V_{CC} = 5V ± 5%, unless otherwise specified

Symbol	Parameter	Min	Typ	Max	Unit	Test Condition
V_{ILC}	Clock Input Low Voltage	-0.3		0.45	V	
V_{IHC}	Clock Input High Voltage	V_{CC} -.6		V_{CC}+.3	V	
V_{IL}	Input Low Voltage	-0.3		0.8	V	
V_{IH}	Input High Voltage	2.0		V_{CC}	V	
V_{OL}	Output Low Voltage			0.4	V	I_{OL} = 2.0mA
V_{OH}	Output High Voltage	2.4			V	I_{OH} = -250μA
I_{CC}	Power Supply Current			150	mA	
I_{LI}	Input Leakage Current			10	μA	V_{IN}=0 to V_{CC}
I_{LOH}	Tri State Output Leakage Current in Float			10	μA	V_{OUT}=2.4 to V_{CC}
I_{LOL}	Tri State Output Leakage Current in Float			-10	μA	V_{OUT}=0.4V
I_{LD}	Data Bus Leakage Current in Input Mode			±10	μA	$0 \leq V_{IN} \leq V_{CC}$

Capacitance

T_A = 25°C, f = 1 MHz,
unmeasured pins returned to ground

Symbol	Parameter	Max	Unit
C_ϕ	Clock Capacitance	35	pF
C_{IN}	Input Capacitance	5	pF
C_{OUT}	Output Capacitance	10	pF

Z80-CPU Ordering Information

C – Ceramic
P – Plastic
S – Standard 5V ±5% 0° to 70°C
E – Extended 5V ±5% -40° to 85°C
M – Military 5V ±10% -55° to 125°C

Z80A-CPU D.C. Characteristics

T_A = 0°C to 70°C, V_{CC} = 5V ± 5%, unless otherwise specified

Symbol	Parameter	Min.	Typ	Max	Unit	Test Condition
V_{ILC}	Clock Input Low Voltage	-0.3		0.45	V	
V_{IHC}	Clock Input High Voltage	V_{CC} -.6		V_{CC}+.3	V	
V_{IL}	Input Low Voltage	-0.3		0.8	V	
V_{IH}	Input High Voltage	2.0		V_{CC}	V	
V_{OL}	Output Low Voltage			0.4	V	I_{OL} = 1.8mA
V_{OH}	Output High Voltage	2.4			V	I_{OH} = -250μA
I_{CC}	Power Supply Current		90	200	mA	
I_{LI}	Input Leakage Current			10	μA	V_{IN}=0 to V_{CC}
I_{LOH}	Tri State Output Leakage Current in Float			10	μA	V_{OUT}=2.4 to V_{CC}
I_{LOL}	Tri State Output Leakage Current in Float			-10	μA	V_{OUT}=0.4V
I_{LD}	Data Bus Leakage Current in Input Mode			±10	μA	$0 \leq V_{IN} \leq V_{CC}$

Capacitance

T_A = 25°C, f = 1 MHz,
unmeasured pins returned to ground

Symbol	Parameter	Max	Unit
C_ϕ	Clock Capacitance	35	pF
C_{IN}	Input Capacitance	5	pF
C_{OUT}	Output Capacitance	10	pF

Z80A-CPU Ordering Information

C Ceramic
P Plastic
S Standard 5V ±5% 0° to 70°C

We reprint data sheets on pages 7-D2 through 7-D13 by permission of Zilog, Incorporated.

Z80-CPU
A.C. Characteristics

T_A = 0°C to 70°C, Vcc = +5V ± 5%, Unless Otherwise Noted.

Signal	Symbol	Parameter	Min	Max	Unit	Test Condition	
Φ	t_c	Clock Period	4	[12]	usec		[12] $t_c = t_{w(\Phi H)} + t_{w(\Phi L)} + t_r + t_f$
	$t_{w(\Phi H)}$	Clock Pulse Width, Clock High	180	[13]	nsec		
	$t_{w(\Phi L)}$	Clock Pulse Width, Clock Low	180	2000	nsec		
	t_r, t_f	Clock Rise and Fall Time		30	nsec		
A_{0-15}	$t_{D(AD)}$	Address Output Delay		145	nsec	C_L = 50pF	
	$t_{F(AD)}$	Delay to Float		110	nsec		
	t_{acm}	Address Stable Prior to $\overline{MREQ}$ (Memory Cycle)	[1]		nsec		[1] $t_{acm} = t_{w(\Phi H)} + t_f - 75$
	t_{ac}	Address Stable Prior to $\overline{IORQ}$, $\overline{RD}$ or $\overline{WR}$ (I/O Cycle)	[2]		nsec		[2] $t_{ac} = t_c - 80$
	t_{ca}	Address Stable from $\overline{RD}$, $\overline{WR}$, $\overline{IORQ}$ or $\overline{MREQ}$	[3]		nsec		[3] $t_{ca} = t_{w(\Phi L)} + t_r - 25$
	t_{af}	Address Stable From $\overline{RD}$ or $\overline{WR}$ (During Float)	[4]		nsec		[4] $t_{af} = t_{w(\Phi L)} + t_r - 90$
D_{0-7}	$t_{D(D)}$	Data Output Delay		230	nsec	C_L = 50pF	[5] $t_{dcm} = t_c - 210$
	$t_{F(D)}$	Delay to Float During Write Cycle		90	nsec		[6] $t_{dcr} = t_{w(\Phi L)} + t_r - 210$
	$t_{sD(D)}$	Data Setup Time to Rising Edge of Clock During M1 Cycle	50		nsec		[7] $t_{cdf} = t_{w(\Phi L)} + t_r - 80$
	$t_{sD(D)}$	Data Setup Time to Falling Edge of Clock During M2 to M5 Cycles	60		nsec		
	t_{dcm}	Data Stable Prior to $\overline{WR}$ (Memory Cycle)	[5]		nsec		
	t_{dcr}	Data Stable Prior to $\overline{WR}$ (I/O Cycle)	[6]		nsec		
	t_{cdf}	Data Stable From $\overline{WR}$	[7]		nsec		
	t_H	Any Hold Time for Setup Time	0		nsec		
$\overline{MREQ}$	$t_{D(MR)}$	$\overline{MREQ}$ Delay From Falling Edge of Clock, $\overline{MREQ}$ Low		100	nsec	C_L = 50pF	
	$t_{D(MR)}$	$\overline{MREQ}$ Delay From Rising Edge of Clock, $\overline{MREQ}$ High		100	nsec		
	$t_{D(MR)}$	$\overline{MREQ}$ Delay From Falling Edge of Clock, $\overline{MREQ}$ High		100	nsec		
	$t_{w(MRL)}$	Pulse Width, $\overline{MREQ}$ Low	[8]		nsec		[8] $t_{w(MRL)} = t_c - 40$
	$t_{w(MRH)}$	Pulse Width, $\overline{MREQ}$ High	[9]		nsec		[9] $t_{w(MRH)} = t_{w(\Phi H)} + t_f - 30$
$\overline{IORQ}$	$t_{D(IR)}$	$\overline{IORQ}$ Delay From Rising Edge of Clock, $\overline{IORQ}$ Low		90	nsec	C_L = 50pF	
	$t_{D(IR)}$	$\overline{IORQ}$ Delay From Falling Edge of Clock, $\overline{IORQ}$ Low		110	nsec		
	$t_{D(IR)}$	$\overline{IORQ}$ Delay From Rising Edge of Clock, $\overline{IORQ}$ High		100	nsec		
	$t_{D(IR)}$	$\overline{IORQ}$ Delay From Falling Edge of Clock, $\overline{IORQ}$ High		110	nsec		
$\overline{RD}$	$t_{D(RD)}$	$\overline{RD}$ Delay From Rising Edge of Clock, $\overline{RD}$ Low		145	nsec		
	$t_{D(RD)}$	$\overline{RD}$ Delay From Falling Edge of Clock, $\overline{RD}$ Low		130	nsec		
	$t_{D(RD)}$	$\overline{RD}$ Delay From Rising Edge of Clock, $\overline{RD}$ High		100	nsec		
	$t_{D(RD)}$	$\overline{RD}$ Delay From Falling Edge of Clock, $\overline{RD}$ High		110	nsec		
$\overline{WR}$	$t_{D(WR)}$	$\overline{WR}$ Delay From Rising Edge of Clock, $\overline{WR}$ Low		80	nsec	C_L = 50pF	
	$t_{D(WR)}$	$\overline{WR}$ Delay From Falling Edge of Clock, $\overline{WR}$ Low		90	nsec		
	$t_{D(WR)}$	$\overline{WR}$ Delay From Falling Edge of Clock, $\overline{WR}$ High		100	nsec		
	$t_{w(WRL)}$	Pulse Width, $\overline{WR}$ Low	[10]		nsec		[10] $t_{w(WRL)} = t_c - 40$
$\overline{M1}$	$t_{D(M1)}$	$\overline{M1}$ Delay From Rising Edge of Clock, $\overline{M1}$ Low		130	nsec	C_L = 50pF	
	$t_{D(M1)}$	$\overline{M1}$ Delay From Rising Edge of Clock, $\overline{M1}$ High		130	nsec		
$\overline{RFSH}$	$t_{D(RF)}$	$\overline{RFSH}$ Delay From Rising Edge of Clock, $\overline{RFSH}$ Low		180	nsec	C_L = 50pF	
	$t_{D(RF)}$	$\overline{RFSH}$ Delay From Rising Edge of Clock, $\overline{RFSH}$ High		150	nsec		
$\overline{WAIT}$	$t_{s(WT)}$	$\overline{WAIT}$ Setup Time to Falling Edge of Clock	70		nsec		
$\overline{HALT}$	$t_{D(HT)}$	$\overline{HALT}$ Delay Time From Falling Edge of Clock		300	nsec	C_L = 50pF	
$\overline{INT}$	$t_{s(IT)}$	$\overline{INT}$ Setup Time to Rising Edge of Clock	80		nsec		
$\overline{NMI}$	$t_{w(NML)}$	Pulse Width, $\overline{NMI}$ Low	80		nsec		
$\overline{BUSRQ}$	$t_{s(BQ)}$	$\overline{BUSRQ}$ Setup Time to Rising Edge of Clock	80		nsec		
$\overline{BUSAK}$	$t_{D(BA)}$	$\overline{BUSAK}$ Delay From Rising Edge of Clock, $\overline{BUSAK}$ Low		120	nsec	C_L = 50pF	
	$t_{D(BA)}$	$\overline{BUSAK}$ Delay From Falling Edge of Clock, $\overline{BUSAK}$ High		110	nsec		
$\overline{RESET}$	$t_{s(RS)}$	$\overline{RESET}$ Setup Time to Rising Edge of Clock	90		nsec		
	$t_{F(C)}$	Delay to Float ($\overline{MREQ}$, $\overline{IORQ}$, $\overline{RD}$ and $\overline{WR}$)		100	nsec		
	t_{ml}	$\overline{M1}$ Stable Prior to $\overline{IORQ}$ (Interrupt Ack.)	[11]		nsec		[11] $t_{ml} = t_c + t_{w(\Phi H)} + t_f - 80$

NOTES

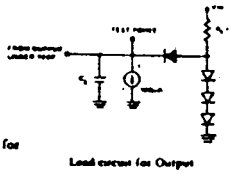
A. Data should be enabled onto the CPU data bus when $\overline{RD}$ is active. During interrupt acknowledge data should be enabled when $\overline{M1}$ and $\overline{IORQ}$ are both active.

B. All control signals are internally synchronized, so they may be totally asynchronous with respect to the clock.

C. The $\overline{RESET}$ signal must be active for a minimum of 3 clock cycles.

D. Output Delay vs. Loading Capacitance
TA = 70°C, Vcc = +5V ± 5%
Add 10nsec delay for each 50pf increase in load up to a maximum of 200pf for the data bus & 100pf for address & control lines.

E. Although static by design, testing guarantees $t_{w(\Phi H)}$ and 200 μsec maximum.



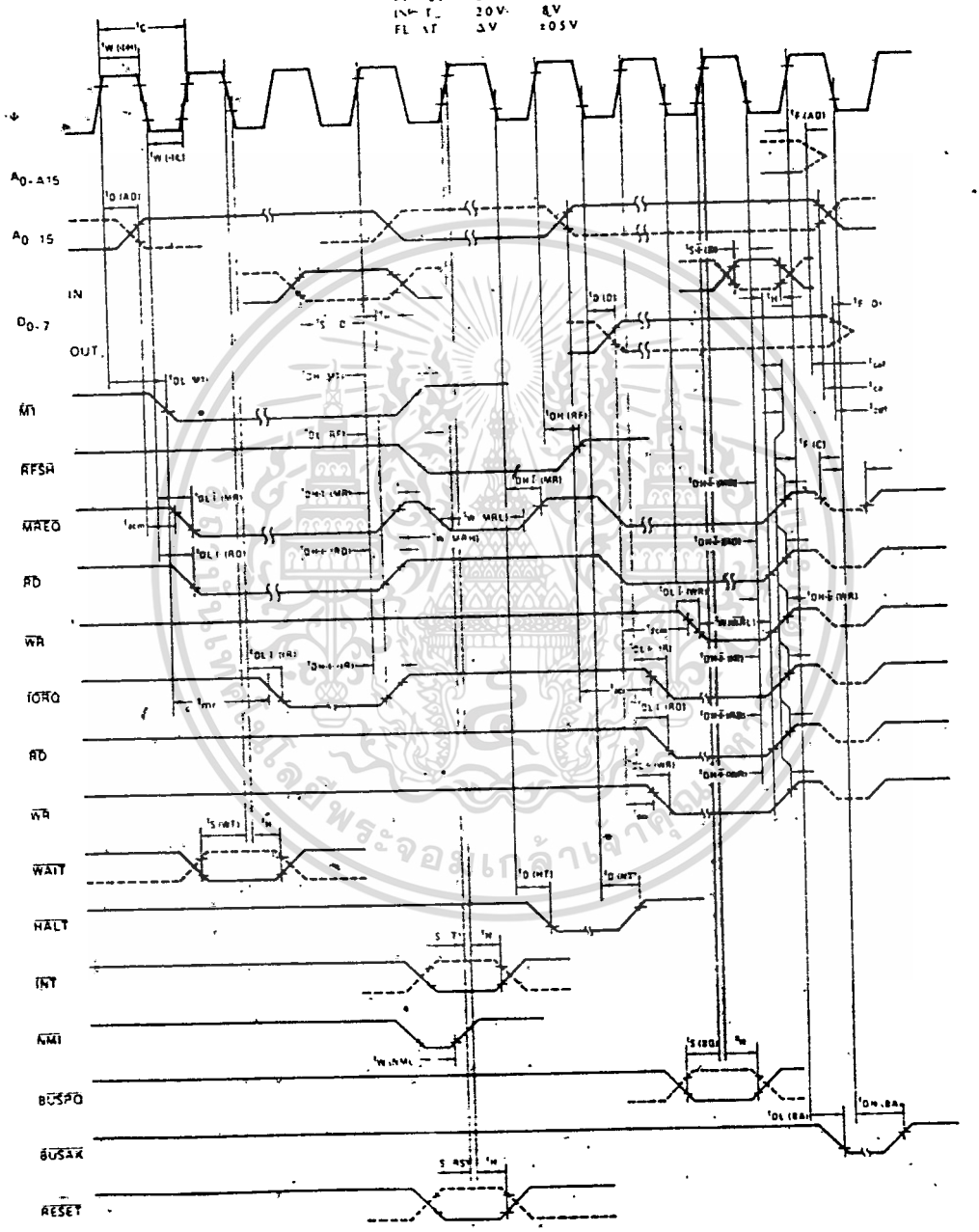
Load circuit for Output

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

A.C. Timing Diagram

Timing measurements are made at the following voltages, unless otherwise specified:

	"1"	"0"
[illegible]	V_{CC} -.6V	.45V
[illegible]	2.0V	.8V
[illegible]	2.0V	.8V
[illegible]	Δ V	±0.5V



*Address Bus: A0-A7: [C]
A8-A15: [B]

Table 7.2 A Summary of the Z80 Instruction Set

TYPE	MNEMONIC	OPERAND(S)	BYTES	STATUS						OPERATION PERFORMED
				C	Z	S	P/O	A_C	N	
I/O	IN	A port	2							[A]←[port] Input to Accumulator from directly addressed I/O port. Address Bus: A0-A7: port A8-A15: [A]
	IN	reg,(C)	2		X	X	P	X	0	[reg]←[[C]] Input to register from I/O port addressed by the contents of C.* If second byte is 70_{16} only the flags will be affected.
	INIR		2		1	?	?	?	1	Repeat until [B]=0: [[HL]]←[[C]] [B]←[B] - 1 [HL]←[HL] + 1 Transfer a block of data from I/O port addressed by contents of C to memory location addressed by contents of HL, going from low addresses to high. Contents of B serve as a count of bytes remaining to be transferred.*
	INDR		2		1	?	?	?	1	Repeat until [B]=0 [[HL]]←[[C]] [B]←[B] - 1 [HL]←[HL] - 1 Transfer a block of data from I/O port addressed by contents of C to memory location addressed by contents of HL, going from high addresses to low. Contents of B serve as a count of bytes remaining to be transferred.*
	INI		2		X	?	?	?	1	[[HL]]←[[C]] [B]←[B] - 1 [HL]←[HL] + 1 Transfer a byte of data from I/O port addressed by contents of C to memory location addressed by contents of HL. Decrement byte count and increment destination address.*
	IND		2		X	?	?	?	1	[[HL]]←[[C]] [B]←[B] 1 [HL]←[HL] 1 Transfer a byte of data from I/O port addressed by contents of C to memory location addressed by contents of HL. Decrement both byte count and destination address.*
	OUT	port,A	2							[port]←[A] Output from Accumulator to directly addressed I/O port. Address Bus: A0-A7: port A8-A15: [A]
	OUT	(C),reg	2							[[C]]←[reg] Output from register to I/O port addressed by the contents of C.*
	OTIR		2		1	?	?	?	1	Repeat until [B]=0: [[C]]←[[HL]] [B]←[B] 1 [HL]←[HL] + 1 Transfer a block of data from memory location addressed by contents of HL to I/O port addressed by contents of C, going from low memory to high. Contents of B serve as a count of bytes remaining to be transferred

*Address Bus: A0-A7: [C]
A8-A15 [B]

Table 7-2 A Summary of the Z80 Instruction Set (Continued)

TYPE	MNEMONIC	OPERAND(S)	BYTES	STATUS						OPERATION PERFORMED
				C	Z	S	P/O	AC	N	
I/O (Continued)	OTDR		2		1	?	?	?	1	Repeat until [B]=0; [[C]]←[[HL]] [B]←[B] - 1 [HL]←[HL] - 1 Transfer a block of data from memory location addressed by contents of HL to I/O port addressed by contents of C, going from high memory to low. Contents of B serve as a count of bytes remaining to be transferred.*
	OUTI		2		X	?	?	?	1	[[C]]←[[HL]] [B]←[B] - 1 [HL]←[HL] + 1 Transfer a byte of data from memory location addressed by contents of HL to I/O port addressed by contents of C. Decrement byte count and increment source address.*
	OUTD		2		X	?	?	?	1	[[C]]←[[HL]] [B]←[B] - 1 [HL]←[HL] - 1 Transfer a byte of data from memory location addressed by contents of HL to I/O port addressed by contents of C. Decrement both byte count and source address.*
PRIMARY MEMORY REFERENCE	LD	A,(addr)	3							[A]←[addr] Load Accumulator from directly addressed memory location.
	LD	HL,(addr)	3							[H]←[addr + 1], [L]←[addr] Load HL from directly addressed memory
	LD	rp,(addr) xy,(addr)	4							[rp(HI)]←[addr + 1], [rp(LO)]←[addr] or [xy(HI)]←[addr + 1], [xy(LO)]←[addr] Load register pair or Index register from directly addressed memory.
	LD	(addr),A	3							[addr]←[A] Store Accumulator contents in directly addressed memory location.
	LD	(addr),HL	3							[addr + 1]←[H], [addr]←[L] Store contents of HL to directly addressed memory location
	LD	(addr),rp (addr),xy	4							[addr + 1]←[rp(HI)], [addr]←[rp(LO)] or [addr + 1]←[xy(HI)], [addr]←[xy(LO)] Store contents of register pair or Index register to directly addressed memory.
	LD	A,(BC) A,(DE)	1							[A]←[[BC]] or [A]←[[DE]] Load Accumulator from memory location addressed by the contents of the specified register pair.
	LD	reg,(HL)	1							[reg]←[[HL]] Load register from memory location addressed by contents of HL.
	LD	(BC),A (DE),A	1							[[BC]]←[A] or [[DE]]←[A] Store Accumulator to memory location addressed by the contents of the specified register pair.
	LD	(HL),reg	1							[[HL]]←[reg] Store register contents to memory location addressed by the contents of HL.
	LD	reg,(xy + disp)	3							[reg]←[[xy] + disp] Load register from memory location using base relative addressing.
	LD	(xy + disp),reg	3							[[xy] + disp]←[reg] Store register to memory location addressed relative to contents of Index register.

Table 7.2 A Summary of the Z80 Instruction Set (Continued)

TYPE	MNEMONIC	OPERAND(S)	BYTES	STATUS						OPERATION PERFORMED
				C	Z	S	P/O	A_C	N	
BLOCK TRANSFER AND SEARCH	LDIR		2				0	0	0	Repeat until [BC]=0: [[DE]]←[[HL]] [DE]←[DE] + 1 [HL]←[HL] + 1 [BC]←[BC] - 1 Transfer a block of data from the memory location addressed by the contents of HL to the memory location addressed by the contents of DE, going from low addresses to high. Contents of BC serve as a count of bytes to be transferred.
	LDDR		2				0	0	0	Repeat until [BC]=0: [[DE]]←[[HL]] [DE]←[DE] - 1 [HL]←[HL] - 1 [BC]←[BC] - 1 Transfer a block of data from the memory location addressed by the contents of HL to the memory location addressed by the contents of DE, going from high addresses to low. Contents of BC serve as a count of bytes to be transferred
	LDI		2				X	0	0	[[DE]]←[[HL]] [DE]←[DE] + 1 [HL]←[HL] + 1 [BC]←[BC] - 1 Transfer one byte of data from the memory location addressed by the contents of HL to the memory location addressed by the contents of DE. Increment source and destination addresses and decrement byte count.
	LDD		2				X	0	0	[[DE]]←[[HL]] [DE]←[DE] - 1 [HL]←[HL] - 1 [BC]←[BC] - 1 Transfer one byte of data from the memory location addressed by the contents of HL to the memory location addressed by the contents of DE. Decrement source and destination addresses and byte count.
	CPIR		2		X	X	X	X	1	Repeat until [A]=[[HL]] or [BC]=0: [A] - [[HL]] (only flags are affected) [HL]←[HL] + 1 [BC]←[BC] - 1 Compare contents of Accumulator with those of memory block addressed by contents of HL, going from low addresses to high. Stop when a match is found or when the byte count becomes zero.
	CPDR		2		X	X	X	X	1	Repeat until [A]=[[HL]] or [BC]=0: [A] - [[HL]] (only flags are affected) [HL]←[HL] - 1 [BC]←[BC] - 1 Compare contents of Accumulator with those of memory block addressed by contents of HL, going from high addresses to low. Stop when a match is found or when the byte count becomes zero.

Table 7-2. A Summary of the Z80 Instruction Set (Continued)

TYPE	MNEMONIC	OPERAND(S)	BYTES	STATUS						OPERATION PERFORMED
				C	Z	S	P/O	A_C	N	
BLOCK TRANSFER AND SEARCH (Continued)	CPI		2		X	X	X	X	1	[A] - [[HL]] (only flags are affected) [HL]←[HL] + 1 [BC]←[BC] - 1 Compare contents of Accumulator with those of memory location addressed by contents of HL. Increment address and decrement byte count.
	CPD		2		X	X	X	X	1	[A] - [[HL]] (only flags are affected) [HL]←[HL] - 1 [BC]←[BC] - 1 Compare contents of Accumulator with those of memory location addressed by contents of HL. Decrement address and byte count.
SECONDARY MEMORY REFERENCE	ADD	(HL)	1	X	X	X	O	X	0	[A]←[A] + [[HL]] or [A]←[A] + [[xy] + disp] Add to Accumulator using implied addressing or base relative addressing.
		(xy + disp)	3							
	ADC	(HL)	1	X	X	X	O	X	0	[A]←[A] + [[HL]] + C or [A]←[A] + [[xy] + disp] + C Add with Carry using implied addressing or base relative addressing.
		(xy + disp)	3							
	SUB	(HL)	1	X	X	X	O	X	1	[A]←[A] - [[HL]] or [A]←[A] - [[xy] + disp] Subtract from Accumulator using implied addressing or base relative addressing.
		(xy + disp)	3							
	SBC	(HL)	1	X	X	X	O	X	1	[A]←[A] - [[HL]] - C or [A]←[A] - [[xy] + disp] - C Subtract with Carry using implied addressing or base relative addressing.
		(xy + disp)	3							
	AND	(HL)	1	0	X	X	P	1	0	[A]←[A] ∧ [[HL]] or [A]←[A] ∧ [[xy] + disp] AND with Accumulator using implied addressing or base relative addressing.
		(xy + disp)	3							
	OR	(HL)	1	0	X	X	P	1	0	[A]←[A] ∨ [[HL]] or [A]←[A] ∨ [[xy] + disp] OR with Accumulator using implied addressing or base relative addressing.
		(xy + disp)	3							
	XOR	(HL)	1	0	X	X	P	1	0	[A]←[A] ∨ [[HL]] or [A]←[A] ∨ [[xy] + disp] Exclusive-OR with Accumulator using implied addressing or base relative addressing.
		(xy + disp)	3							
	CP	(HL)	1	X	X	X	O	X	1	[A] - [[HL]] or [A] - [[xy] + disp] Compare with Accumulator using implied addressing or base relative addressing. Only the flags are affected.
		(xy + disp)	3							
	INC	(HL)	1		X	X	O	X	0	[[HL]]←[[HL]] + 1 or [[xy] + disp]←[[xy] + disp] + 1 Increment using implied addressing or base relative addressing.
		(xy + disp)	3							
	DEC	(HL)	1		X	X	O	X	1	[[HL]]←[[HL]] - 1 or [[xy] + disp]←[[xy] + disp] - 1 Decrement using implied addressing or base relative addressing.
		(xy + disp)	3							

Table 7-2 A Summary of the Z80 Instruction Set (Continued)

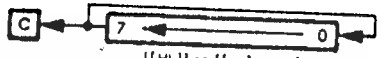
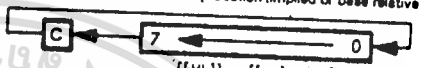
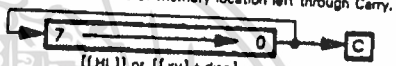
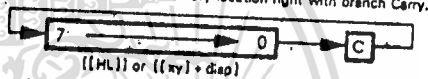
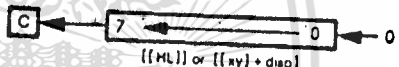
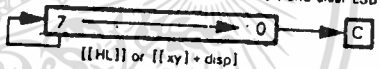
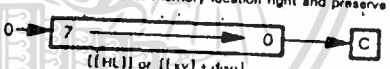
TYPE	MNEMONIC	OPERAND(S)	BYTES	STATUS C	Z	S	P/O	A_C	N	OPERATION PERFORMED
MEMORY SHIFT AND ROTATE	RLC	(HL) (xy + disp)	2 4	X	X	X	P	0	0	 Rotate contents of memory location (implied or base relative addressing) left with branch Carry.
	RL	(HL) (xy + disp)	2 4	X	X	X	P	0	0	 Rotate contents of memory location left through Carry.
	RRC	(HL) (xy + disp)	2 4	X	X	X	P	0	0	 Rotate contents of memory location right with branch Carry.
	RR	(HL) (xy + disp)	2 4	X	X	X	P	0	0	 Rotate contents of memory location right through Carry.
	SLA	(HL) (xy + disp)	2 4	X	X	X	P	0	0	 Shift contents of memory location left and clear LSB (Arithmetic Shift).
	SRA	(HL) (xy + disp)	2 4	X	X	X	P	0	0	 Shift contents of memory location right and preserve MSB (Arithmetic Shift)
	SRL	(HL) (xy + disp)	2 4	X	X	X	P	0	0	 Shift contents of memory location right and clear MSB (Logical Shift).
IMMEDIATE	LD	reg,data	2							[reg]←data Load immediate into register.
	LD	rp,data16 xy,data16	3 4							[rp]←data16 or [xy]←data16 Load 16 bits of immediate data into register pair or index register.
	LD	(HL),data (xy + disp),data	2 4							[[HL]]←data or [[xy] + disp]←data Load immediate into memory location using implied or base relative addressing.

Table 7.2 A Summary of the Z80 Instruction Set (Continued)

TYPE	MNEMONIC	OPERAND(S)	BYTES	STATUS						OPERATION PERFORMED
				C	Z	S	P/O	A_C	N	
JUMP	JP	label	3							[PC]—label Jump to instruction at address represented by label
	JR	disp	2							[PC]—[PC] ± 2 + disp Jump relative to present contents of Program Counter
	JP	(HL) (xy)	1 2							[PC]—[HL] or [PC]—[xy] Jump to address contained in HL or Index register.
SUBROUTINE CALL AND RETURN	CALL	label	3							[[SP] - 1]—[PCHI] [[SP] - 2]—[PCLO] [SP]—[SP] - 2 [PC]—label Jump to subroutine starting at address represented by label.
	CALL	cond,label	3							Jump to subroutine if condition is satisfied; otherwise, continue in sequence.
	RET		1							[PCLO]—[[SP]] [PCHI]—[[SP] + 1] [SP]—[SP] + 2 Return from subroutine
	RET	cond	1							Return from subroutine if condition is satisfied; otherwise, continue in sequence
IMMEDIATE OPERATE	ADD	data	2	X	X	X	O	X	0	[A]—[A] + data Add immediate to Accumulator.
	ADC	data	2	X	X	X	O	X	0	[A]—[A] + data + C Add immediate with Carry.
	SUB	data	2	X	X	X	O	X	1	[A]—[A] - data Subtract immediate from Accumulator
	SBC	data	2	X	X	X	O	X	1	[A]—[A] - data - C Subtract immediate with Carry.
	AND	data	2	0	X	X	P	1	0	[A]—[A] ∧ data AND immediate with Accumulator.
	OR	data	2	0	X	X	P	1	0	[A]—[A] ∨ data OR immediate with Accumulator.
	XOR	data	2	0	X	X	P	1	0	[A]—[A] ⊻ data Exclusive-OR immediate with Accumulator.
	CP	data	2	X	X	X	U	X	1	[A] - data Compare immediate data with Accumulator contents; only the flags are affected

TYPE	MNEMONIC	OPERAND(S)	BYTES	STATUS						OPERATION PERFORMED
				C	Z	S	P/O	A_C	N	
JUMP ON CONDITION	JP	cond,label	3							If cond. then [PC]—label Jump to instruction at address represented by label if the condition is true
	JR	C,disp	2							If C=1, then [PC]—[PC] + 2 + disp Jump relative to contents of Program Counter, if Carry flag is set
	JR	NC,disp	2							If C=0, then [PC]—[PC] + 2 + disp Jump relative to contents of Program Counter if Carry flag is reset.
	JR	Z,disp	2							If Z=1, then [PC]—[PC] + 2 + disp Jump relative to contents of Program Counter if Zero flag is set
	JR	NZ disp	2							If Z=0, then [PC]—[PC] + 2 + disp Jump relative to contents of Program Counter if Zero flag is reset
	DJNZ	disp	2							[B]—[B] - 1 If [B] ≠ 0, then [PC]—[PC] + 2 + disp Decrement contents of B and Jump relative to contents of Program Counter if result is not 0.
REGISTER-REGISTER MOVE	LD	dst src	1							[dst]—[src] Move contents of source register to destination register. Register designations src and dst may each be A, B, C, D, E, H or L
	LD	A,IV	2		X	X	I	0	0	[A]—[IV] Move contents of Interrupt Vector register to Accumulator
	LD	A R	2		X	X	I	0	0	[A]—[R] Move contents of Refresh register to Accumulator
	LD	IV A	2							[IV]—[A] Load Interrupt Vector register from Accumulator
	LD	R A	2							[R]—[A] Load Refresh register from Accumulator
	LD	SP HL	1							[SP]—[HL] Move contents of HL to Stack Pointer
	LD	SP xy	2							[SP]—[xy] Move contents of Index register to Stack Pointer.
	EX	DE HL	1							[DE]—[HL] Exchange contents of DE and HL.
	EX	AF AF	1							[AF]—[AF'] Exchange program status and alternate program status
	EXX		1							$\begin{pmatrix}[BC]\\[DE]\\[HL]\end{pmatrix} \longleftrightarrow \begin{pmatrix}[BC']\\[DE']\\[HL']\end{pmatrix}$ Exchange register pairs and alternate register pairs

Table 7-2. A Summary of the Z80 Instruction Set (Continued)

TYPE	MNEMONIC	OPERAND(S)	BYTES	STATUS						OPERATION PERFORMED
				C	Z	S	P/O	A_C	N	
REGISTER-REGISTER OPERATE	ADD	reg	1	X	X	X	O	X	0	[A]←[A] + [reg] Add contents of register to Accumulator.
	ADC	reg	1	X	X	X	O	X	0	[A]←[A] + [reg] + C Add contents of register and Carry to Accumulator.
	SUB	reg	1	X	X	X	O	X	1	[A]←[A] - [reg] Subtract contents of register from Accumulator.
	SBC	reg	1	X	X	X	O	X	1	[A]←[A] - [reg] - C Subtract contents of register and Carry from Accumulator.
	AND	reg	1	0	X	X	P	1	0	[A]←[A] ∧ [reg] AND contents of register with contents of Accumulator.
	OR	reg	1	0	X	X	P	1	0	[A]←[A] ∨ [reg] OR contents of register with contents of Accumulator.
	XOR	reg	1	0	X	X	P	1	0	[A]←[A] ∀ [reg] Exclusive-OR contents of register with contents of Accumulator.
	CP	reg	1	X	X	X	O	X	1	[A] - [reg] Compare contents of register with contents of Accumulator. Only the flags are effected.
	ADD	HL,rp	1	X				?	0	[HL]←[HL] + [rp] 16-bit add register pair contents to contents of HL
	ADC	HL,rp	2	X	X	X	O	?	0	[HL]←[HL] + [rp] + C 16-bit add with Carry register pair contents to contents of HL.
	SBC	HL,rp	2	X	X	X	O	?	1	[HL]←[HL] - [rp] - C 16-bit subtract with Carry register pair contents from contents of HL.
	ADD	IX,pp	2	X				?	0	[IX]←[IX] + [pp] 16-bit add register pair contents to contents of index register IX (pp=BC, DE, IX, SP)
	ADD	IY,rr	2	X				?	0	[IY]←[IY] + [rr] 16-bit add register pair contents to contents of index register IY (rr=BC, DE, IY, SP).
REGISTER OPERATE	DAA		1	X	X	X	P	X		Decimal adjust Accumulator, assuming that Accumulator contents are the sum or difference of BCD operands.
	CPL		1					1	1	[A]←[$\overline{A}$] Complement Accumulator (ones complement).
	NEG		2	X	X	X	O	X	1	[A]←[$\overline{A}$] + 1 Negate Accumulator (twos complement).
	INC	reg	1		X	X	O	X	0	[reg]←[reg] + 1 Increment register contents.
	INC	rp xy	1 2							[rp]←[rp] + 1 or [xy]←[xy] + 1 Increment contents of register pair or Index register
	DEC	reg	2		X	X	O	X	1	[reg]←[reg] - 1 Decrement register contents.
	DEC	rp xy	1 2							[rp]←[rp] - 1 or [xy]←[xy] - 1 Decrement contents of register pair or Index register.

Table 7-2 A Summary of the Z80 Instruction Set (Continued)

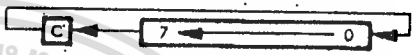
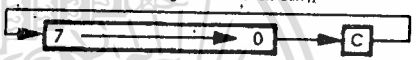
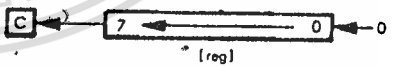
TYPE	MNEMONIC	OPERAND(S)	BYTES	STATUS						OPERATION PERFORMED
				C	Z	S	P/O	A_C	N	
REGISTER SHIFT AND ROTATE	RLCA		1	X				0	0	[A] Rotate Accumulator left with branch Carry.
	RLA		1	X				0	0	 [A] Rotate Accumulator left through Carry.
	RRCA		1	X				0	0	[A] Rotate Accumulator right with branch Carry.
	RRA		1	X				0	0	 [A] Rotate Accumulator right through Carry.
	RLC	reg	2	X	X	X	P	0	0	[reg] Rotate contents of register left with branch Carry
	RL	reg	2	X	X	X	P	0	0	[reg] Rotate contents of register left through Carry.
	RRC	reg	2	X	X	X	P	0	0	[reg] Rotate contents of register right with branch Carry.
	RR	reg	2	X	X	X	P	0	0	[reg] Rotate contents of register right through Carry
	SLA	reg	2	X	X	X	P	0		 [reg] Shift contents of register left and clear LSB (Arithmetic Shift)
	SRA	reg	2	X	X	X	P	0		[reg] Shift contents of register right and preserve MSB (Arithmetic Shift).

Table 7-2. A Summary of the Z80 Instruction Set (Continued)

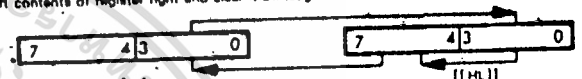
TYPE	MNEMONIC	OPERAND(S)	BYTES	STATUS C	Z	S	P/O	Ac	N	OPERATION PERFORMED
REGISTER SHIFT AND ROTATE (Continued)	SRL	reg	2	X	X	X	P	0	0	Shift contents of register right and clear MSB (Logical Shift)
	RLD		2		X	X	P	0	0	 Rotate one BCD digit left between the Accumulator and memory location (implied addressing). Contents of the upper half of the Accumulator are not affected
	RRD		2		X	X	P	0	0	Rotate one BCD digit right between the Accumulator and memory location (implied addressing). Contents of the upper half of the Accumulator are not affected
BIT MANIPULATION	BIT	b,reg	2		X	X	X	1	0	$Z \leftarrow \overline{reg(b)}$ Zero flag contains complement of the selected register bit.
	BIT	b,(HL) b,(xy + disp)	2 4		X	X	X	1	0	$Z \leftarrow \overline{[[HL]](b)}$ or $Z \leftarrow \overline{[[xy] + disp](b)}$ Zero flag contains complement of selected bit of the memory location (implied addressing or base relative addressing).
	SET	b,reg	2							reg(b)←1 Set indicated register bit.
	SET	b,(HL) b,(xy + disp)	2 4							[[HL]](b)←1 or [[xy] + disp](b)←1 Set indicated bit of memory location (implied addressing or base relative addressing).
	RES	b reg	2							reg(b)← 0 Reset indicated register bit.
	RES	b,(HL) b,(xy + disp)	2 4							[[HL]](b)← 0 or [[xy] + disp](b)← 0 Reset indicated bit in memory location (implied addressing or base relative addressing).
STACK	PUSH	pr xy	1 2							[[SP]-1]←[pr(HI)] [[SP]-2]←[pr(LO)] [SP]←[SP]-2 Put contents of register pair or Index register on top of Stack and decrement Stack Pointer.
	POP	pr xy	1 2							[pr(LO)]←[[SP]] [pr(HI)]←[[SP] + 1] [SP]←[SP] + 2 Put contents of top of Stack in register pair or Index register and increment Stack Pointer.
	EX	(SP),HL (SP),xy	1 2							[H]←[[SP] + 1] [L]←[[SP]] Exchange contents of HL or Index register and top of Stack.

Table 7-2 A Summar, the Z80 Instruction Set (Continued)

TYPE	MNEMONIC	OPERAND(S)	BYTES	STATUS						OPERATION PERFORMED
				C	Z	S	P/O	A_C	N	
INTERRUPT	DI		1							Disable interrupts.
	EI		1							Enable interrupts.
	RST	n	1							[[SP]-1]—[PC(HI)] [[SP]-2]—[PC(LO)] [SP]—[SP]-2 [PC]—$(8 \cdot n)_{16}$ Restart at designated location.
	RETI		2							Return from interrupt.
	RETN		2							Return from nonmaskable interrupt.
	IM	0	2							Set interrupt mode 0, 1, or 2.
		1								
		2								
STATUS	SCF		1	1				0	0	C — 1 Set Carry flag.
	CCF		1	X				X	0	C — $\overline{C}$ Complement Carry flag.
	NOP		1							No operation — volatile memories are refreshed.
	HALT		1							CPU halts, executes NOPs to refresh volatile memories.

A Summary of Instruction Object Codes and Execution Cycles with 8080A Mnemonics for Identical Instructions

INSTRUCTION	OBJECT CODE	BYTES	CLOCK PERIODS	8080A MNEMONIC	8080A CLOCK PERIODS
ADC data	CE yy	2	7	ACI data	7
ADC (HL)	8E	1	7	ADC M	7
ADC HL rp	ED 01xx1010	2	15		
ADC (IX + disp)	DD 8E yy	3	19		
ADC (IY + disp)	FD 8E yy	3	19		
ADC reg	10001xxx	1	4	ADC reg	4
ADD data	C6 yy	2	7	ADI data	7
ADD (HL)	86	1	7	ADD M	7
ADD HL rp	00xx1001	1	11	DAD rp	10
ADD (IX + disp)	DD 86 yy	3	19		
ADD IX pp	DD 00xx1001	2	15		
ADD (IY + disp)	FD 86 yy	3	19		
ADD IY,rr	FD 00xx1001	2	15		
ADD reg	10000xxx	1	4	ADD reg	4
AND data	E6 yy	2	7	ANI data	7
AND (HL)	A6	1	7	ANA M	7
AND (IX + disp)	DD A6 yy	3	19		
AND (IY + disp)	FD A6 yy	3	19		
AND reg	10100xxx	1	4	ANA reg	4
BIT b,reg	CB 01bbb110	2	12		
BIT b,(IX + disp)	DD CB yy 01bbb110	4	20		
BIT b,(IY + disp)	FD CB yy 01bbb110	4	20		
BIT b,reg	CB 01bbbxxx	2	8		
CALL label	CD pqqq	3	17	CALL label	17
CALL C label	DC pqqq	3	10/17	CC label	11/17
CALL M label	FC pqqq	3	10/17	CM label	11/17
CALL NC label	D4 pqqq	3	10/17	CNC label	11/17
CALL NZ label	C4 pqqq	3	10/17	CNZ label	11/17
CALL P label	F4 pqqq	3	10/17	CP label	11/17
CALL PE label	EC pqqq	3	10/17	CPE label	11/17
CALL PO label	E4 pqqq	3	10/17	CPO label	11/17
CALL Z label	CC pqqq	3	10/17	CZ label	11/17
CCF	3F	1	4	CMC	4
CP data	FE yy	2	7	CPI data	7
CP (HL)	BE	1	7	CMP M	7
CP (IX + disp)	DD BE yy	3	19		
CP (IY + disp)	FD BE yy	3	19		
CP reg	10111xxx	1	4	CMP reg	19
CPD	ED A9	2	16		
CPDR	ED B9	2	21/16*		
CPI	ED A1	2	16		
CPIR	ED B1	2	21/16*		
CPL	2F	1	4	CMA	4
DAA	27	1	4	DAA	4
DEC m	35	1	11	DCR M	10
DEC rr	DD 2B	2	10		
DEC (IX + disp)	DD 35 yy	3	23		
DEC IY	FD 2B	2	10		
DEC (IY + disp)	FD 35 yy	3	23		
DEC rr	00xx1011	1	6	DCX rp	5
DEC reg	00xxx101	1	4	DCR reg	5
DI	F3	1	4	DI	4
DJNZ label	10 yy	2	8/13		
EI	FB	1	4	EI	4
EX AF,AF	08	1	4		
EX DE,HL	EB	1	4	XCHG	4
EX (SP),HL	E3	1	19	XTHL	18
EX (SP),IX	DD E3	2	23		

A Summary of Instruction Object Codes and Execution Cycles with 8080A Mnemonics for Identical Instructions (Continued)

INSTRUCTION	OBJECT CODE	BYTES	CLOCK PERIODS	8080A MNEMONIC	8080A CLOCK PERIODS
EX (SP),IY	FD E3	2	23		
EXX	D9	1	4		
HALT	76	1	4	HLT	4
IM 0	ED 46	2	8		
IM 1	ED 56	2	8		
IM 2	ED 5E	2	8		
IN A,port	DB yy	2	10	IN port	10
IN reg,(C)	ED	2	11		
	01ddd000				
INC (HL)	34	1	11	INR M	10
INC IX	DD 23	2	10		
INC (IX + disp)	DD 34 yy	3	23		
INC IY	FD 23	2	10		
INC (IY + disp)	FD 34 yy	3	23		
INC rp	00xx0011	1	6	INX rp	5
INC reg	00xxx100	1	4	INR reg	5
IND	ED AA	2	15		
INDR	ED BA	2	20/15		
INI	ED A2	2	15		
INIR	ED B2	2	20/15		
JP label	C3 pqqq	3	10	JMP label	10
JP C,label	DA pqqq	3	10	JC label	10
JP (HL)	E9	1	4	PCHL	5
JP (IX)	DD E9	2	8		
JP (IY)	FD E9	2	8		
JP M,label	FA pqqq	3	10	JM label	10
JP NC,label	D2 pqqq	3	10	JNC label	10
JP NZ,label	C2 pqqq	3	10	JNZ label	10
JP P,label	F2 pqqq	3	10	JP label	10
JP PE,label	EA pqqq	3	10	JPE label	10
JP PO,label	E2 pqqq	3	10	JPO label	10
JP Z,label	CA pqqq	3	10	JZ label	10
JR C,disp	38 yy	2	7/12		
JR disp	18 yy	2	12		
JR NC,disp	30 yy	2	7/12		
JR NZ,disp	20 yy	2	7/12		
JR Z,disp	28 yy	2	7/12		
LD A,(addr)	3A pqqq	3	13	LDA addr	13
LD A,(BC)	0A	1	7	LDAX B	7
LD A,(DE)	1A	1	7	LDAX D	7
LD A,I	ED 57	2	9		
LD A,R	ED 5F	2	9		
LD (addr),A	32 pqqq	3	13	STA addr	13
LD (addr),BC	ED 43 pqqq	4	20		
LD (addr),DE	ED 53 pqqq	4	20		
LD (addr),HL	22 pqqq	3	16	SHLD addr	16
LD (addr),IX	DD 22 pqqq	4	20		
LD (addr),IY	FD 22 pqqq	4	20		
LD (addr),SP	ED 73 pqqq	4	20		
LD (BC),A	02	1	7	STAX B	7
LD (DE),A	12	1	7	STAX D	7
LD HL,(addr)	2A pqqq	3	16	LHLD addr	16
LD (HL),data	36 yy	2	10	MVI M,data	10
LD (HL),reg	01110sss	1	7	MOV M,reg	
LD I,A	ED 47	2	9		
LD IX,(addr)	DD 2A pqqq	4	20		
LD IX,data16	DD 21 yyyy	4	14		
LD (IX + disp),data	DD 36 yy yy	4	19		
LD (IX + disp),reg	DD 01110sss	3	19		
	yy				
LD IY,(addr)	FD 2A pqqq	4	20		
LD IY,data16	FD 21 yyyy	4	4		

A Summary of Instruction Object Codes and Execution Cycles with 8080A Mnemonics for Identical Instructions (Continued)

INSTRUCTION		OBJECT CODE	BYTES	CLOCK PERIODS	8080A MNEMONIC		8080A CLOCK PERIODS
LD	(IY + disp),data	FD 36 yyvv	4	19			
LD	(IY + disp),reg	FD 01110sss yy	3	19			
LD	R,A	ED 4F	2	9			
LD	reg,data	00ddd110 yy	2	7	MVI	reg,data	7
LD	reg,(HL)	01ddd110	1	7	MOV	reg,M	7
LD	reg,(IX + disp)	DD 01ddd110 yy	3	19			
LD	reg,(IY + disp)	FD 01ddd110 yy	3	19			
LD	reg,reg	01dddsss	1	4	MOV	reg,reg	5
LD	rp,(addr)	ED 01xx1011 pppp	4	20			
LD	rp,data16	00xx0001 yyvv	3	10	LXI	rp,data16	10
LD	SP,HL	F9	1	6	SPHL		5
LD	SP,IX	DD F9	2	10			
LD	SP,IY	FD F9	2	10			
LDD		ED A8	2	16			
LDDR		ED B8	2	21/16*			
LDI		ED A0	2	16			
LDIR		ED B0	2	21/16*			
NEG		ED 44	2	8			
NOP		00	1	4	NOP		4
OR				7	OR	data	7
OR	(HL)	B6	1	7	ORA	M	7
OR	(IX + disp)	DD B6 yy	3	19			
OR	(IY + disp)	FD B6 yy	3	19			
OR	reg	10110xxx	1	4	ORA	reg	5
OTDR		ED BB	2	20/15*			
OTIR		ED B3	2	20/15*			
OUT	(C),reg	ED 01sss001	2	12			
OUT	port,A	D3 yy	2	11	OUT	port	10
OUTD		ED AB	2	15			
OUTI		ED A3	2	15			
POP	IX	DD E1	2	14			
POP	IY	FD E1	2	14			
POP	rp	11xx0001	1	10	POP	rp	10
PUSH	IX	DD E5	2	15			
PUSH	IY	FD E5	2	15			
PUSH	rp	11xx0101	1	11	PUSH	rp	11
RES	b,(HL)	CB 10bbb110	2	15			
RES	b,(IX + disp)	DD CB,yy 10bbb110	4	23			
RES	b,(IY + disp)	FD CB yy 10bbb110	4	23			
RES	b,reg	CB 10bbbxxx	2	8			
RET		C9	1	10	RET		10
RET	C	D8	1	5/11	RC		5/11
RET	M	F8	1	5/11	RM		5/11
RET	NC	D0	1	5/11	RNC		5/11
RET	NZ	C0	1	5/11	RNZ		5/11
RET	P	F0	1	5/11	RP		5/11
RET	PE	E8	1	5/11	RPE		5/11
RET	PO	E0	1	5/11	RPO		5/11
RET	Z	C8	1	5/11	RZ		5/11
RETI		ED 4D	2	14			

A Summary of Instruction Object Codes and Execution Cycles with 8080A Mnemonics for Identical Instructions (Continued)

INSTRUCTION	OBJECT CODE	BYTES	CLOCK PERIODS	8080A MNEMONIC	8080A CLOCK PERIODS
RETN	ED 45	2	14		
RL (HL)	CB 16	2	15		
RL (IX + disp)	DD CB yy 16	4	23		
RL (IY + disp)	FD CB yy 16	4	23		
RL reg	CB 00010xxx	2	8		
RLA	17	1	4	RAL	4
RLC (HL)	CB 06	2	15		
RLC (IX + disp)	DD CB yy 06	4	23		
RLC (IY + disp)	FD CB yy 06	4	23		
RLC reg	CB 00000xxx	2	8		
RLCA	07	1	4	RLC	4
RLD	ED 6F	2	18		
RR (HL)	CB 1E	2	15		
RR (IX + disp)	DD CB yy 1E	4	23		
RR (IY + disp)	FD CB yy 1E	4	23		
RR reg	CB 00011xxx	2	8		
RRA	1F	1	4	RAR	4
RRC (HL)	CB 0E	2	15		
RRC (IX + disp)	DD CB yy 0E	4	23		
RRC (IY + disp)	FD CB yy 0E	4	23		
RRC reg	CB 00001xxx	2	8		
RRCA	0F	1	4	RRC	4
RRD	ED 67	2	18		
RST n	11xxx111	1	11	RST n	11
SBC data	DE yy	2	7	SBI data	7
SBC (HL)	9E	1	7	SBB M	7
SBC HL,rp	ED 01xx0010	2	15		
SBC (IX + disp)	DD 9E yy	3	19		
SBC (IY + disp)	FD 9E yy	3	19		
SBC reg	10011xxx	1	4	SBB reg	4
SCF	37	1	4	STC	4
SET b,(HL)	CB 11bbb110	2	15		
SET b,(IX + disp)	DD CB yy 11bbb110	4	23		
SET b,(IY + disp)	FD CB yy 11bbb110	4	23		
SET b,reg	CB 11bbbxxx	2	8		
SLA (HL)	CB 26	2	15		
SLA (IX + disp)	DD CB yy 26	4	23		
SLA (IY + disp)	FD CB yy 26	4	23		
SLA reg	CB 00100xxx	2	8		
SRA (HL)	CB 2E	2	15		
SRA (IX + disp)	DD CB yy 2E	4	23		
SRA (IY + disp)	FD CB yy 2E	4	23		
SRA reg	CB 00101xxx	2	8		
SRL (HL)	CB 3E	2	15		
SRL (IX + disp)	DD CB yy 3E	4	23		
SRL (IY + disp)	FD CB yy 3E	4	23		
SRL reg	CB 00111xxx	2	8		
SUB data	D6 yy	2	7	SUI data	7
SUB (HL)	96	1	7	SUB M	7
SUB (IX + disp)	DD 96 yy	3	19		
SUB (IY + disp)	FD 96 yy	3	19		
SUB reg	10010xxx	1	4	SUB reg	4
XOR data	EE yy	2	7	XRI data	7
XOR (HL)	AE	1	7	XRA M	7

5404/7404 Hex Inverter

	Schottky TTL					High-Speed TTL					Low-Power Schottky TTL					Standard TTL					Low-Power TTL				
	Device Type	Package				Device Type	Package				Device Type	Package				Device Type	Package				Device Type	Package			
		C	P	M	CF		C	P	M	CF		C	P	M	CF		C	P	M	CF		C	P	M	CF
T.I.	SN54S04	J-1			W-1	SN54H04	J-1			W-1	SN54L S04	J-1			W-2	SN5404	J-14			W-2	SN54L04	J-1	P-1	T-2	
	SN74S04	J-14	N-14			SN74H04	J-14	N-14			SN74L S04	J-14	N-14			SN7404	J-14	N-14			SN74L04	J-14	N-14	T-2	
FAIRCHILD	F M54S04 F M9S04	D-1				F M54H04 F M9H04	D-1			F-2	F M54L S04 F M9L S04	D-1			F-2	F M5404 F M9N04	D-1			F-2					
	F C74S04 F C9S04	D-1	P-1			F C74H04 F C9H04	D-1	P-1			F C74L S04 F C9L S04	D-1	P-1			F M7404 F C9P04	D-1	P-1							
MOTOROLA						MC3108	L-1			F-1						MC5404	L-1			F-2					
						MC3008	L-1	P-1		F-1	SN74L S04		P-1			MC7404	L-1	P-1							
N.S.C.						DM54H04	J-1	N-1			DM54L S04					DM5404	J-1	N-1		W-2	DM54L04	J-1	N-1		F-2
	DM74S04		N-1			DM74H04	J-14	N-1			DM74L S04					DM7404	J-1	N-1			DM74L04	J-1	N-1		F-2
PHILIPS																F JH281/7404									
	N74S04		T-			N74H04		T-			N74L S04		T-			S5404	F-1	A-1		W-2					
SIGNETICS	S54S04	F-14	A-1		W-1	S54H04	F-14	A-1		W-2						N7404	F-14	A-1							
	N74S04	F-14	A-1		W-1	N74H04	F-14	A-1			N74L S04		A-1												
SIEMENS																F H211									
FUJITSU											74L S04		M-1			MB418		M-							
HITACHI	HD74S04		P-1								HD74L S04		P-1			HD7404 HD7527		P-1							
MITSUBISHI	M55704		P-1								M74L S04		P-1			M53704		P-1							
NEC	74S04		C-1								74L S04		C-1			μPB235	D-1								
TOSHIBA																TD3404A		P-1							

Electrical Characteristics SN54LS04 SN74LS04

absolute maximum ratings over operating free-air temperature range

recommended operating conditions

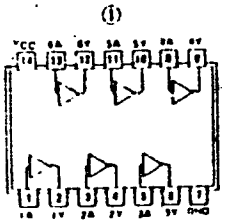
	SN54LS04			SN74LS04			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	

electrical characteristics over recommended operating free-air temperature range

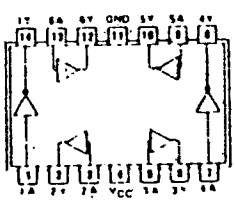
	PARAMETER	TEST CONDITIONS †	MIN	TYP ‡	MAX	UNIT
V_{IH}	High-level input voltage		2			V
V_{IL}	Low-level input voltage				0.8	V
V_I	Input clamp voltage	V_{CC} MIN, I_I −18mA			−1.5	V
V_{OH}	High-level output voltage	V_{CC} MIN, V_{IL} MAX, V_{IH} 2V, I_{OH} MAX	2.7	3.4		V
V_{OL}	Low-level output voltage	V_{CC} MIN, V_{IH} 2V, I_{OL} 4mA		0.25	0.4	V
I_I	Input current at maximum input voltage	V_{CC} MAX, V_I 7V			0.1	mA
I_{IH}	High-level input current	V_{CC} MAX, V_{IH} 2.7V			20	μA
I_{IL}	Low-level input current	V_{CC} MAX, V_{IL} 0.4V			−0.4	mA
I_{OS}	Short-circuit output current *	V_{CC} MAX, 54LS Family	−20		−100	mA
		V_{CC} MAX, 74LS Family	−20		−100	mA
I_{CCH}	Supply current	V_{CC} MAX, Total, outputs high		1.2	2.4	mA
I_{CCL}	Supply current	V_{CC} MAX, Total, outputs low		3.6	6.6	mA
I_{CC}	Supply current	V_{CC} 5V, Average per gate (50% duty cycle)		0.4		mA
t_{PLH}	Propagation delay time, low-to-high-level output	V_{CC} 5V, T_A 25°C, C_L 15pF, R_L 2kΩ		9	15	ns
t_{PHL}	Propagation delay time, high-to-low-level output			10	15	ns

Pin Assignments (Top View)

(1)

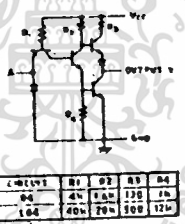


(2)



positive logic
Y = Ā

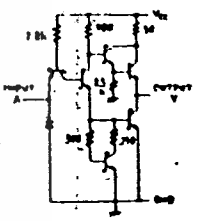
Schematics (each gate)



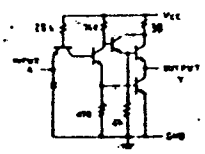
CIRCUITS	R1	R2	R3	R4
04	4k	1.6k	130	1k
L04	40k	20k	500	12k

Input clamp diodes not on SN54L/SN74L* circuits

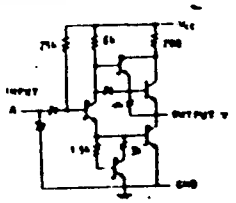
'04 'L04 CIRCUITS



S04 CIRCUIT



H04 CIRCUIT



'LS04 CIRCUIT

Resistor values shown are nominal and in ohms

5417/7417 Hex Buffer/Driver with Open-Collector High-Voltage Output

	Schottky TTL					High-Speed TTL					Low-Power Schottky TTL					Standard TTL					Low-Power TTL				
	Device Type	Package				Device Type	Package				Device Type	Package				Device Type	Package				Device Type	Package			
		C	P	M	CF		C	P	M	CF		C	P	M	CF		C	P	M	CF		C	P	M	CF
T.I																SN5417	J(D)			W(L)					
																SN7417	J(D)	N(L)							
FAIRCHILD																FM5417/FM9N17	D(L)			F(L)					
																FC7417/FC9N17	D(L)	N(L)							
MOTOROLA																SN7417		P(L)							
																DM5417	J(L)	N(L)		W(L)					
N.S.C.																DM7417	J(L)	N(L)							
PHILIPS																N7417		(L)							
SIGNETICS																S5417	F(L)	A(L)		W(L)					
																N7417	F(L)	A(L)							
SIEMENS																FLH491T		(L)							
FUJITSU																									
HITACHI																HD7417									
MITSUBISHI																M7417									
NEC																									
TOSHIBA																TD7417									

Electrical Characteristics SN5417/SN7417

absolute maximum ratings over operating free-air temperature range

Supply voltage V_{CC}	7V	Operating free-air temperature range	SN54	−55°C to 125°C
Input voltage	5.5V		SN74	0°C to 70°C
Off-state (high-level) voltage applied to open-collector outputs	15V	Storage temperature range		−65°C to 150°C

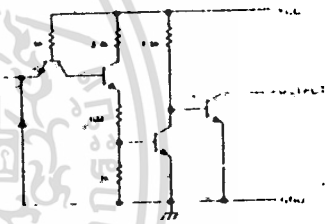
recommended operating conditions

	SN5417			SN7417			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage V_{CC}	4.5	5	5.5	4.75	5	5.25	V
High-level output voltage, V_{OH}			15			15	V
Low-level output current, I_{OL}			30			48	mA
Operating free-air temperature T_A	−55		125	0		70	°C

electrical characteristics over recommended operating free-air temperature range

	PARAMETER	TEST CONDITIONS†		MIN	TYP‡	MAX	UNIT
V_{IH}	High-level input voltage			2			V
V_{IL}	Low-level input voltage					0.8	V
V_I	Input clamp voltage	V_{CC} = MIN, I_I = −12mA				−1.5	V
I_{OH}	High-level output current	V_{CC} = MIN, V_{IH} = 2V, V_{OH} = MAX				250	μA
V_{OL}	Low-level output voltage	V_{CC} = MIN, V_{IH} = V_{IH} min, I_{OL} = 16mA				0.4	V
		V_{CC} = MIN, V_{IL} = V_{IL} max, I_{OL} = MAX				0.7	
I_I	Input current at maximum input voltage	V_{CC} = MAX, V_I = 5.5V				1	mA
I_{IH}	High-level input current	V_{CC} = MAX, V_{IH} = 2.4V				40	μA
I_{IL}	Low-level input current	V_{CC} = MAX, V_{IL} = 0.4V				−1.6	mA
I_{CCH}	Supply current	V_{CC} = MAX	Total, outputs high		25	41	mA
I_{CCL}	Supply current		Total, outputs low		21	36	mA
I_{CC}	Supply current	V_{CC} = 5V	Average per gate (50% duty cycle)		6.17		mA
t_{PLH}	Propagation delay time, low-to-high-level output	V_{CC} = 5V, T_A = 25°C, C_L = 15pF, R_L = 110Ω			6	10	ns
t_{PHL}	Propagation delay time, high-to-low-level output				20	30	ns

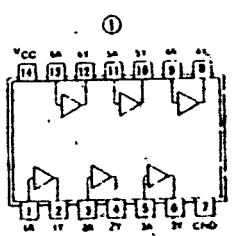
Schematic (each gate)



17 CIRCUIT

Resistor values shown are nominal and in ohms.

Pin Assignment (Top View)



positive logic:
Y = A.

5432/7432 Quadruple 2-Input Positive-OR Gate

	Schottky TTL				High-Speed TTL				Low-Power Schottky TTL				Standard TTL				Low-Power TTL			
	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	I
T.I.	SN54S32	J①			W①						SN54LS32	J①			W①	SN5432	J①			W①				
	SN74S32	J①	N①								SN74LS32	J①	N①			SN7432	J①	N①						
FAIRCHILD	μA9032/μA9L32	⑩			F⑩						μA9LS32/μA9LS32	⑩			F⑩	FM5432/FM9N32	⑩①	-		F①				
	μA9S32/μA9S32	⑩	P⑩		F⑩						μA9LS32/μA9LS32	⑩	P⑩		F⑩	FC7432/FC9N32	⑩①	P⑩						
MOTOROLA											SN74LS32		P⑪											
											DM74LS32		⑪			DM5432	J⑩	P⑩		W⑩	DM54L32			
N.S.C.											DM54LS32		⑪			DM74232	J⑩	P⑩			DM74L32			
PHILIPS	N74S32		①								N74LS32		⑪			N7432		⑩						
SIGNETICS																9322	F⑩	49		W⑩				
											N74LS32		A⑪			9322	F⑩	49						
SIEMENS																FLH631		⑩						
FUJITSU											NL53**		M⑪											
HITACHI											HD74LS32		P⑪			HD7432		⑩	P⑩					
MITSUBISHI											M53LS32		P⑪											
NEC											74LS32		C⑪											
TOSHIBA																								

Electrical Characteristics SN54LS32/SN74LS32

absolute maximum ratings over operating free-air temperature range

Supply voltage V_{CC}	7V	Operating free-air temperature range	SN54LS	-55°C to 125°C
Input voltage	7V		SN74LS	0°C to 70°C
		Storage temperature range		-65°C to 150°C

recommended operating conditions

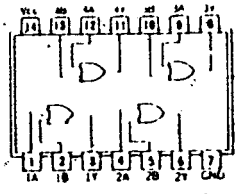
	SN54LS32			SN74LS32			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage V_{CC}	4.5	5	5.5	4.75	5	5.25	V
High-level output current I_{OH}			-400			-400	μA
Low-level output current I_{OL}			4			8	mA
Operating free-air temperature T_A	55		125	0		70	°C

electrical characteristics over recommended operating free-air temperature range

	PARAMETER	TEST CONDITIONS †		MIN	TYP ‡	MAX	UNIT
V_{IH}	High-level input voltage			2			V
V_{IL}	Low-level input voltage					0.8	V
V_I	Input clamp voltage	V_{CC} = MIN, I_I = -18mA				-1.5	V
V_{OH}	High-level output voltage	V_{CC} = MIN, V_{IH} = 2V, I_{OH} = MAX		2.7	3.4		V
V_{OL}	Low-level output voltage	V_{CC} = MIN, V_{IL} = V_{IL} max, I_{OL} = 4mA			0.35	0.4	V
I_I	Input current at maximum input voltage	V_{CC} = MAX, V_I = 7V				0.1	mA
I_{IH}	High-level input current	V_{CC} = MAX, V_{IH} = 2.7V				20	μA
I_{IL}	Low-level input current	V_{CC} = MAX, V_{IL} = 0.4V				-0.4	mA
I_{OS}	Short-circuit output current ◆	V_{CC} = MAX	54LS Family	-20		-100	mA
			74LS Family	-20		-100	
I_{CCH}	Supply current	V_{CC} = MAX	Total, outputs high		3.1	6.2	mA
I_{CCL}	Supply current		Total, outputs low		4.8	9.8	mA
I_{CC}	Supply current	V_{CC} = 5V	Average per gate (50% duty cycle)		1.8		mA
t_{PLH}	Propagation delay time, low-to-high-level output	V_{CC} = 5V, T_A = 25°C, C_L = 15pF, R_L = 2kΩ			18	22	ns
t_{PHL}	Propagation delay time, high-to-low-level output				14	22	ns

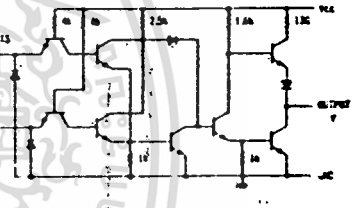
Pin Assignment (Top View)

(1)

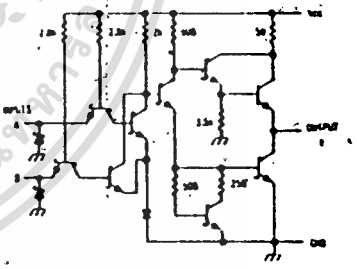


positive logic:
$Y = A + B$

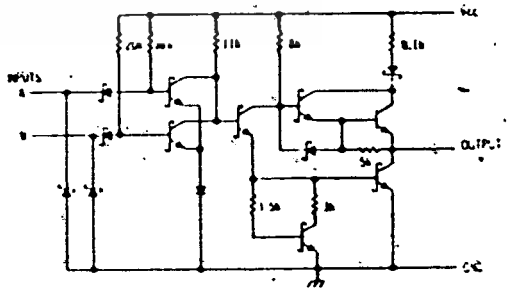
Schematics (each gate)



'32 CIRCUIT



'S32 CIRCUIT



'LS32 CIRCUIT

Resistor values shown are nominal and in ohms

5474/7474 Dual D-Type Positive-Edge-Triggered Flip-Flop with Preset and Clear

	Schottky TTL					High-Speed TTL					Low-Power Schottky TTL					Standard TTL					Low-Power TTL				
	Device Type	Package				Device Type	Package				Device Type	Package				Device Type	Package				Device Type	Package			
		C	P	M	CF		C	P	M	CF		C	P	M	CF		C	P	M	CF		C	P	M	CF
T.I.	SN54S74	J			W	SN54H74	J			W	SN54LS74A	J			W	SN5474	J			W	SN54L74	J			
	SN74S74	J	N			SN74H74	J	N			SN74LS74A	J	N			SN7474	J	N			SN74L74	J	N		
FAIRCHILD	FM54S74/FM94S74	D				FM54H74/FM94H74	D			F	FM54LS74A/FM74LS74A	D			F	FM5474/FM7474	D			F					
	FC74S74/FC9S74	D	N			FC74H74/FC9H74	D	P		F	FC74LS74A/FC9LS74A	D	P		F	FC7474/FC9474	D	P		F					
MOTOROLA											SN74LS74A		P												
N.S.C.	DM74S74		N			DM54H74	J	N			DM54LS74A		P	J		DM5474	J			W	DM54L74	J			
						DM74H74	J	N			DM74LS74A		P	J		DM7474	J				DM74L74	J			
PHILIPS	N74S74		P			GJJ131/74H74		P			N74LS74A		P			FJJ131/3474									
SIGNETICS	S54S74					S54H74	F	N	A	W						S5474	F	A		W					
	N74S74					N74H74	F	N	A		N74LS74A		A			N7474	F	A							
SIEMENS																FLJ141									
FUJITSU																MB620									
HITACHI	HD74S74		P								HD74LS74A		P			HD7474/HC2S10		P							
MITSUBISHI	M74S74		P								M74LS74A		P			M5327/M5374		P							
NEC	74S74		C								MB LS74		C			μPB214		C							
TOSHIBA																TC34744		P							

Electrical Characteristics SN54LS74/SN74LS74

absolute maximum ratings over operating free-air temperature range

Supply voltage V_{CC}	7V	Operating free-air temperature range	SN54LS74	−55°C to 125°C
Input voltage	5.5V		SN74LS74	0°C to 70°C
		Storage temperature range		−65°C to 150°C

recommended operating conditions

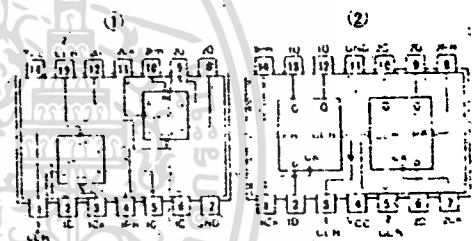
		SN54LS74			SN74LS74			UNIT
		MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage V_{CC}		4.5	5	5.5	4.75	5	5.25	V
High-level output current I_{OH}				−400			−400	μA
Low-level output current I_{OL}				4			8	mA
Pulse width t_w	Clock high	25			25			ns
	Preset or clear low	25			25			
Input setup time t_{su}	High-level data	25†			20†			ns
	Low-level data	20†			20†			
Input hold time t_h		5†			5†			ns
Operating free-air temperature T_A		−55		125	0		70	°C

electrical characteristics over recommended operating free-air temperature range

PARAMETER			TEST CONDITIONS‡	MIN	TYP§	MAX	UNIT
V_{IH}	High-level input voltage			2			V
V_{IL}	Low-level input voltage					0.8	V
V_I	Input clamp voltage		V_{CC} = MIN, I_I = −18mA			−1.5	V
V_{OH}	High-level output voltage		V_{CC} = MIN, V_{IH} = 2V, V_{IL} = 0.8V, I_{OH} = MAX	2.7	3.4		V
V_{OL}	Low-level output voltage		V_{CC} = MIN, V_{IH} = 2V, V_{IL} = 0.8V, I_{OL} = 4mA		0.25	0.4	V
I_I	Input current at maximum input voltage	D, R, K	V_{CC} = MAX, V_I = 7V			0.1	mA
		Clock				0.2	
		Preset				0.4	
		Clock				0.4	
I_{IH}	High-level input current	D, R, K	V_{CC} = MAX, V_I = 2.7V			20	μA
		Clear				60	
		Preset				60	
		Clock				20	
I_{IL}	Low-level input current	D, R, K	V_{CC} = MAX, V_I = 0.4V			−0.4	mA
		Clear				−0.6	
		Preset				−0.6	
		Clock				−0.6	
I_{OS}	Short-circuit output current¶	Series 54LS	V_{CC} = MAX	−20		−100	mA
		Series 74LS		−20		−100	
I_{CC}	Supply current (Average per flip-flop)		See Note 7		4	8	mA
f_{clock}	Clock frequency		V_{CC} = 5V, T_A = 25°C, C_L = 15pF, R_L = 2kΩ	25	33		MHz
t_{PLH}	Propagation time, preset or clear to Q or Q̄ (see definitions)				13	25	ns
t_{PHL}					15	40	

Pin Assignments (Top View)

(1) (2)

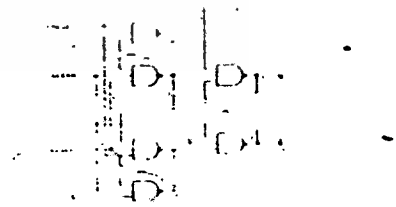


Functional Table

'74, H74, LS74, S74 (See Note 2)

INPUTS				OUTPUTS	
PRESET	CLEAR	CLOCK	D	Q	Q̄
L	H	↑	H	H	L
L	H	↑	L	L	H
H	L	↑	H	H	L
H	L	↑	L	L	H
L	L	↑	X	H	H
H	H	↓	X	Q₀	Q̄₀

Functional Block Diagram



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

54138/74138 3-Line-to-8-Line Decoder

	Schottky TTL					High-Speed TTL					Low-Power Schottky TTL					Standard TTL					Low-Power
	Device Type	Package				Device Type	Package				Device Type	Package				Device Type	Package				Device Type
		C	P	M	CF		C	P	M	CF		C	P	M	CF		C	P	M	CF	
T.I.	SN54S138	J16			W16						SN54LS138	J16			W16						
	SN74S138	J16	N16								SN74LS138	J16	N16								
FAIRCHILD	—, PWA138	M16									PWA-LS138/ PWR138	M16			F16						
	RCW138, PCS138	M16									PCW-LS138/ PCS138	M16			F16						
MOTOROLA											SN74LS138		P16								
N.S.C.	DM74S138		J16								DM74LS138		J16								
											DM54LS138		J16								
PHILIPS	N74S138		T16								N74LS138		T16								
SIGNETICS	S54S138	F16	R16		W16						N74LS138		A16								
	N74S138	F16	R16																		
SIEMENS																					
FUJITSU											74LS138		M16								
HITACHI											HD74LS138		R16								
MITSUBISHI	M74S138		P16								M74LS138		P16								
NEC											74LS138		C16								
TOSHIBA																					

Electrical Characteristics SN54LS138 SN74LS138

absolute maximum ratings over operating free-air temperature range

Supply voltage V_{CC}	7 V	Operating free-air temperature range	SN54LS	−55°C to 125°C
Input voltage	7 V		SN74LS	0°C to 70°C
		Storage temperature range		−65°C to 150°C

recommended operating conditions

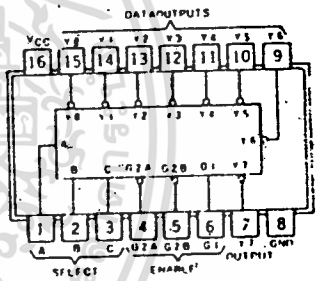
	SN54LS138			SN74LS138			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage V_{CC}	4.5	5	5.5	4.75	5	5.25	V
High-level output current I_{OH}			−400			−400	μA
Low-level output current I_{OL}			4			8	mA
Operating free-air temperature T_A	−55		125	0		70	°C

electrical characteristics over recommended operating free-air temperature range

PARAMETER		TEST CONDITIONS†		MIN	TYP‡	MAX	UNIT
V_{IH}	High-level input voltage			2			V
V_{IL}	Low-level input voltage					0.8	V
V_I	Input clamp voltage	V_{CC} = MIN, I_I = −18 mA				−1.5	V
V_{OH}	High-level output voltage	V_{CC} = MIN, V_{IH} = 2 V, V_{IL} = 0.8 V, I_{OH} = −400 μA	SN54LS	2.5	3.4		V
			SN74LS	2.7	3.4		
V_{OL}	Low-level output voltage	V_{CC} = MIN, V_{IH} = 2 V, V_{IL} = 0.8 V, I_{OL} = 8 mA			0.35	0.5	V
I_I	Input current at maximum input voltage	V_{CC} = MAX, V_I = 7 V				0.1	mA
I_{IH}	High-level input current	V_{CC} = MAX, V_I = 2.7 V				20	μA
I_{IL}	Low-level input current	V_{CC} = MAX, V_I = 0.4 V				−0.4	mA
I_{OS}	Short-circuit output current ⊕	V_{CC} = MAX		−20		−100	mA
I_{CC}	Supply current	V_{CC} = MAX, Outputs enabled and open			6.1	10	mA

					TYP	MAX	UNIT
t_{PLH}	From (Input) to (Output)	V_{CC} = 5 V, C_L = 15 pF, R_L = 2 kΩ, T_A = 25°C	Any	2	13	20	ns
t_{PHL}					22	33	
t_{PLH}				3	18	27	ns
t_{PHL}					26	39	
t_{PLH}	From Enable			2	12	18	ns
t_{PHL}					21	32	
t_{PLH}	From Any			3	17	26	ns
t_{PHL}					25	38	

Pin Assignment (Top View)



Function Table

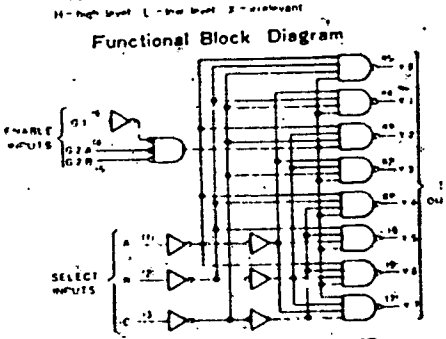
'S138 'LS138

INPUTS					OUTPUTS							
ENABLE		SELECT										
G1	G2*	C	B	A	Y0	Y1	Y2	Y3	Y4	Y5	Y6	Y7
X	H	X	X	X	H	H	H	H	H	H	H	H
L	X	X	X	X	H	H	H	H	H	H	H	H
H	L	L	L	L	L	H	H	H	H	H	H	H
H	L	L	L	H	H	L	H	H	H	H	H	H
H	L	L	H	L	H	H	L	H	H	H	H	H
H	L	L	H	H	H	H	H	L	H	H	H	H
H	L	H	L	L	H	H	H	H	L	H	H	H
H	L	H	L	H	H	H	H	H	H	L	H	H
H	L	H	H	L	H	H	H	H	H	H	L	H
H	L	H	H	H	H	H	H	H	H	H	H	L

* $\overline{G2} = \overline{G2A} + \overline{G2B}$

H = high level, L = low level, X = irrelevant

Functional Block Diagram



'S138 'LS138 DECODER DEMULTIPLEXER

54154 / 74154 4-Line-to-16-Line Decoder / Demultiplexer

	Schottky TTL					High-Speed TTL					Low-Power Schottky TTL					Standard TTL					Low-Power TTL				
	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF
T.I.																SN54154	J①			W①	SN54L154	J①			
FAIRCHILD																SN74154	J①	N①			SN74L154	J①	N②		
MOTOROLA																FC74154	⑩	⑩							
N.S.C.																SN74154		P①							
PHILIPS											DM54LS154	④				DM54154	J①			F①	DM54L154A	D①	N①		
SIGNETICS											DM74LS154	④				DM74154	J①	N①		F①	DM74L154A	D①	N①		
SIEMENS																N74154									
FUJITSU											N74LS154	④				S54154	F①	N①		⑤①					
HITACHI																N74154		N①							
MITSUBISHI																FLY101		⑦							
NEC											HD74LS154	P①				HD74154 / HD2580	①	P①							
TOSHIBA																M53354		P①							
																μPB82154	D①								

Electrical Characteristics SN54154 SN74154

absolute maximum ratings over operating free-air temperature range

			SN54	SN74
Supply voltage V_{CC}	7V	Operating free-air temperature range	−55°C to 125°C	0°C to 70°C
Input voltage	5.5V	Storage temperature range	−65°C to 150°C	

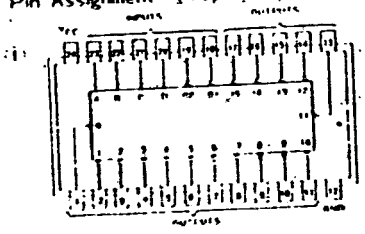
recommended operating conditions

	SN54154 MIN	NOM	MAX	SN74154 MIN	NOM	MAX	Unit
Supply voltage V_{CC}	4.5	5	5.5	4.75	5	5.25	V
High-level output current I_{OH}			−800			−800	μA
Low-level output current I_{OL}			16			16	mA
Operating free-air temperature T_A	−55		125	0		70	°C

electrical characteristics over recommended operating free-air temperature range

PARAMETER	TEST CONDITIONS		MIN	TYP‡	MAX	UNIT
V_{IH}	High-level input voltage		2			V
V_{IL}	Low-level input voltage				0.8	V
V_I	Input clamp voltage	V_{CC} = MIN, I_I = −12mA			−1.5	V
V_{OH}	High-level output voltage	V_{CC} = MIN, V_{IH} = 2V, V_{IL} = 0.8V, I_{OH} = −800μA	2.4	3.4		V
V_{OL}	Low-level output voltage	V_{CC} = MIN, V_{IH} = 2V, V_{IL} = 0.8V, I_{OL} = 16mA		0.2	0.4	V
I_I	Input current at maximum input voltage	V_{CC} = MAX, V_I = 5.5V			1	mA
I_{IH}	High-level input current	V_{CC} = MAX, V_I = 2.4V			40	μA
I_{IL}	Low-level input current	V_{CC} = MAX, V_I = 0.4V			−1.6	mA
I_{OS}	Short-circuit output current§	V_{CC} = MAX	SN54	−20	−55	mA
			SN74	−18	−55	
I_{CC}	Supply current	V_{CC} = MAX, See Note	SN54		34	49	mA
			SN74		34	56	
t_{PLH}	From A, B, C, or D inputs through 3 levels of logic	V_{CC} = 5V, T_A = 25°C, C_L = 50pF			24	40	ns
t_{PHL}					22	33	
t_{PLH}	From A, B, C, or D inputs through 4 levels of logic				26	39	ns
t_{PHL}					18	27	
t_{PLH}	From either strobe input				20	30	ns
t_{PHL}					18	27	

Pin Assignment (Top View)



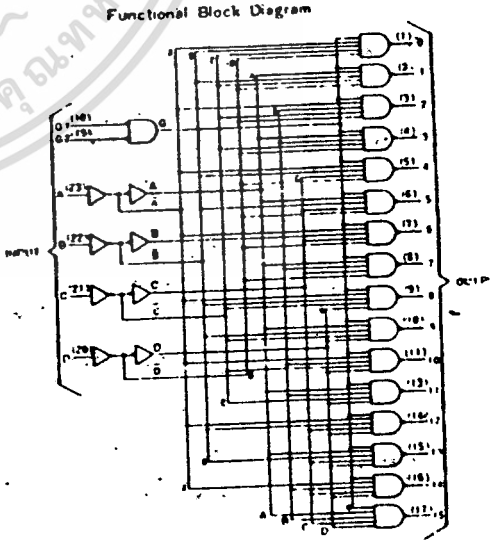
Function Table

154, L154

INPUTS G1	G2	D	C	B	A	OUTPUTS 0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
L	L	L	L	L	L	L	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H
L	L	L	L	L	H	H	L	H	H	H	H	H	H	H	H	H	H	H	H	H	H
L	L	L	L	H	L	H	H	L	H	H	H	H	H	H	H	H	H	H	H	H	H
L	L	L	L	H	H	H	H	H	L	H	H	H	H	H	H	H	H	H	H	H	H
L	L	L	H	L	L	H	H	H	H	L	H	H	H	H	H	H	H	H	H	H	H
L	L	L	H	L	H	H	H	H	H	H	L	H	H	H	H	H	H	H	H	H	H
L	L	L	H	H	L	H	H	H	H	H	H	L	H	H	H	H	H	H	H	H	H
L	L	L	H	H	H	H	H	H	H	H	H	H	L	H	H	H	H	H	H	H	H
L	L	H	L	L	L	H	H	H	H	H	H	H	H	L	H	H	H	H	H	H	H
L	L	H	L	L	H	H	H	H	H	H	H	H	H	H	L	H	H	H	H	H	H
L	L	H	L	H	L	H	H	H	H	H	H	H	H	H	H	L	H	H	H	H	H
L	L	H	L	H	H	H	H	H	H	H	H	H	H	H	H	H	L	H	H	H	H
L	L	H	H	L	L	H	H	H	H	H	H	H	H	H	H	H	H	L	H	H	H
L	L	H	H	L	H	H	H	H	H	H	H	H	H	H	H	H	H	H	L	H	H
L	L	H	H	H	L	H	H	H	H	H	H	H	H	H	H	H	H	H	H	L	H
L	L	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	L
H	X	X	X	X	X	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H
X	H	X	X	X	X	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H

H = high level, L = low level, X = irrelevant

Functional Block Diagram



154, L154 4-LINE-TO-16-LINE DECODER/DEMULTIPLEXER

NOTE: I_{CC} is measured with all inputs grounded and all outputs open

54244/74244 Octal Buffers/Line Drivers/Line Receivers

	Schottky TTL					High-Speed TTL					Low-Power Schottky TTL					Standard TTL					Low-Power T				
	Device Type	Package				Device Type	Package				Device Type	Package				Device Type	Package				Device Type	Pac			
		C	P	M	CF		C	P	M	CF		C	P	M	CF		C	P	M	CF		C	P		
T. I.											SN54LS244	J													
											SN74LS244	J	N												
FAIRCHILD																									
MOTOROLA																									
N. S. C.																									
PHILIPS																									
SIGNETICS																									
SIEMENS																									
FUJITSU																									
HITACHI																									
MITSUBISHI																									
NEC																									
TOSHIBA																									

Electrical Characteristics SN54LS244, SN74LS244

absolute maximum ratings over operating free-air temperature range

Supply voltage, V_{CC}	7V	Operating free-air temperature range:	SN54LS	−55°C to 125°C
Input voltage	5.5V		SN74LS	0°C to 70°C
Interemitter voltage	5.5V	Storage temperature range		−65°C to 150°C

recommended operating conditions

	LS54LS244			SN74LS244			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage, V_{CC}	4.5	5	5.5	4.75	5	5.25	V
High-level output current, I_{OH}			−12			−15	mA
Low-level output current, I_{OL}			12			24	mA
Operating free-air temperature, T_A	−55		125	0		70	°C

electrical characteristics over recommended operating free-air temperature range (unless otherwise noted)

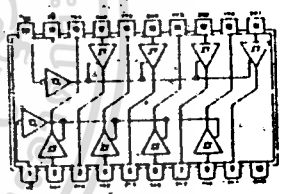
PARAMETER		TEST CONDITIONS†		SN74LS MIN	TYP‡	MAX	UNIT
V_{IH}	High-level input voltage			2			V
V_{IL}	Low-level input voltage					0.8	V
V_{IK}	Input clamp voltage	V_{CC} MIN, I_I = −18 mA				−1.5	V
	Hysteresis ($V_{T+} - V_{T-}$)	V_{CC} MIN		0.2	0.4		V
V_{OH}	High-level output voltage	V_{CC} MIN, V_{IH} = 2V, V_{IL} = V_{IL} max, I_{OH} = −3 mA		2.4	3.4		V
		V_{CC} MIN, V_{IH} = 2V, V_{IL} = 0.5V, I_{OH} = MAX		2			
V_{OL}	Low-level output voltage	V_{CC} MIN, V_{IH} = 2V, V_{IL} = V_{IL} max	I_{OL} = 12 mA			0.4	V
			I_{OL} = 24 mA			0.5	
I_{OZH}	Off-state output current, high-level voltage applied	V_{CC} MAX, V_{IH} = 2V, V_{IL} = V_{IL} max	V_O = 2.7V			20	μA
I_{OZL}	Off-state output current, low-level voltage applied		V_O = 0.4V			−20	
I_I	Input current at maximum input voltage	V_{CC} MAX	V_I = 7V			0.1	mA
I_{IH}	High-level input current, any input	V_{CC} MAX,	V_I = 2.7V			20	μA
I_{IL}	Low-level input current	V_{CC} MAX	V_{IL} = 0.4V			−0.2	mA
I_{OS}	Short-circuit output current#	V_{CC} MAX		−40		−225	mA
I_{CC}	Supply current, Outputs high	V_{CC} = MAX			19	33	mA
	Outputs low	Outputs open	LS244		27	44	
	All outputs disabled		LS244		17	34	

switching characteristics, V_{CC} = 5V, T_A = 25°C

PARAMETER		TEST CONDITIONS	MIN	TYP	MAX	UNIT
t_{PLH}	Propagation delay time, low-to-high-level output	C_L = 45pF, R_L = 667Ω, See Note 2		8	18	ns
t_{PHL}	Propagation delay time, high-to-low-level output			12	18	
t_{PZL}	Output enable time to low level			28	38	
t_{PZH}	Output enable time to high level			15	23	
t_{PLZ}	Output disable time from low level	C_L = 5pF, R_L = 667Ω, See Note 2		15	25	
t_{PHZ}	Output disable time from high level			10	18	

Pin Assignment (Top View)

(i)



SN54LS244 J, SN74LS244 J, N

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

54373/74373 Octal D-Type Transparent Latches and Edge-Triggered Flip-Flops

	Schottky TTL					High-Speed TTL					Low-Power Schottky TTL					Standard TTL					Low-Power TTL				
	Device Type	Package				Device Type	Package				Device Type	Package				Device Type	Package				Device Type	Package			
		C	P	M	CF		C	P	M	CF		C	P	M	CF		C	P	M	CF		C	P	M	
T.I.	SN54S373	J-1									SN54LS373	J-1													
	SN74S373	J-1	N-1								SN74LS373	J-1	N-1												
FAIRCHILD																									
MOTOROLA																									
N.S.C.																									
PHILIPS																									
SIGNETICS																									
SIEMENS																									
FUJITSU																									
HITACHI																									
MITSUBISHI																									
NEC																									
TOSHIBA																									

Electrical Characteristics SN54LS373 SN74LS373

absolute maximum ratings over operating free-air temperature range

Supply voltage, V_{CC}	7V	Operating free-air temperature range: SN54LS	55°C to 125°C
Input voltage	7V	SN74LS	0°C to 70°C
		Storage temperature range	−65°C to 150°C

recommend operating conditions

	SN54LS373 MIN	NOM	MAX	SN74LS373 MIN	NOM	MAX	UNIT
Supply voltage V_{CC}	4.5	5	5.5	4.75	5	5.25	V
High-level output current, I_{OH}			−1			−2.6	mA
High-level output voltage, V_{OH}	2			2			V
Pulse width, t_w — Clock enable high	15			15			ns
Clock enable low	15			15			ns
Setup time, t_{su} (see Fig. 1)	0			0			ns
Hold time, t_h	10			10			ns
Operating free-air temperature, T_A	55	125		0		70	°C

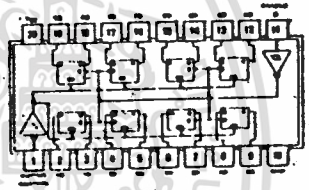
electrical characteristics over recommended operating free-air temperature range (unless otherwise noted)

PARAMETER		TEST CONDITIONS‡	MIN	TYP§	MAX	UNIT
V_{IH}	High-level input voltage		2			V
V_{IL}	Low-level input voltage				0.8	V
V_{IK}	Input clamp voltage	V_{CC} MIN, I_I −18mA			−1.5	V
V_{OH}	High-level output voltage	V_{CC} MIN, V_{IH} 2V, V_{IL} 0.8V, I_{OH} MAX	2.4	3.1		V
V_{OL}	Low-level output voltage	V_{CC} MIN, V_{IH} 2V, V_{IL} 0.8V, I_{OL} 24mA		0.35	0.5	V
I_{OZH}	Off-state output current, high-level voltage applied	V_{CC} MAX, V_{IH} 2V, V_{IL} 0.8V, V_O 2.7V			20	μA
I_{OZL}	Off-state output current, low-level voltage applied	V_{CC} MAX, V_{IH} 2V, V_{IL} 0.8V, V_O 0.4V			−20	μA
I_I	Input current at maximum input voltage	V_{CC} MAX, V_I 7V			0.1	mA
I_{IH}	High-level input current	V_{CC} MAX, V_I 2.7V			20	μA
I_{IL}	Low-level input current	V_{CC} MAX, V_I 0.4V			−0.4	mA
I_{OS}	Short-circuit output current§	V_{CC} MAX	−30		−130	mA
I_{CC}	Supply current	V_{CC} MAX, Output control at 4.5V		24	40	mA

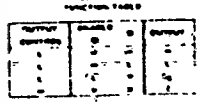
switching characteristics, V_{CC} = 5V, T_A = 25°C

PARAMETER	FROM (INPUT)	TO (OUTPUT)	TEST CONDITIONS	MIN	TYP	MAX	UNIT
f_{max}				25			MHz
t_{PLH}	Data	Any Q	C_L = 45pF, R_L = 667Ω, See Notes 2 and 3		12	18	ns
t_{PHL}					12	18	ns
t_{PLH}	Clock or enable	Any Q			20	30	ns
t_{PHL}					18	30	ns
t_{PZH}	Output control	Any Q			15	25	ns
t_{PZL}					25	35	ns
t_{PHZ}	Output control	Any Q	C_L = 5pF, R_L = 667Ω, See Note 3		12	20	ns
t_{PLZ}					15	25	ns

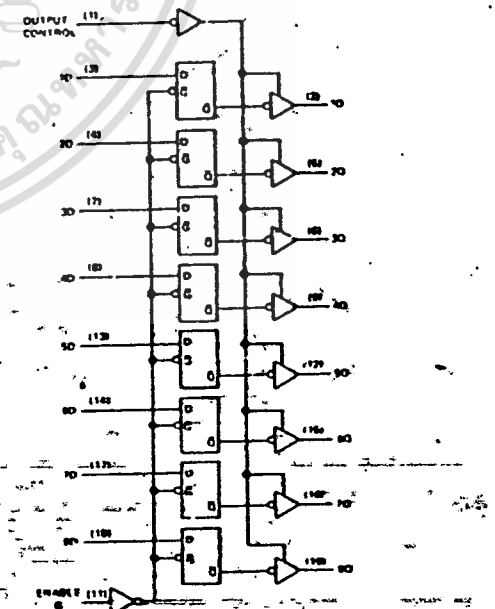
Pin Assignments (Top View)



SN54LS373 (J) SN74LS373 (J, N)
SN54S373 (J) SN74S373 (J, N)



'LS373, 'S373
TRANSPARENT LATCHES



กิตติกรรมประกาศ

ขอขอบคุณ อาจารย์อภินันท์ มัณยานนท์ ที่ท่านได้ประสิทธิ์ประสาทวิชาความรู้ ขอขอบคุณ อาจารย์ทองทด วานิชศรี , อาจารย์กิตติชัย พาณิชย์ปฐมพงษ์ , อาจารย์ถวิล พึ่งมา และอาจารย์ในภาควิชาฯทุกๆท่านที่ได้ให้คำปรึกษาแนะนำ , ให้ความสะดวกในการใช้เครื่องมือต่างๆ และขอขอบคุณ คุณพัชรา สุวรรณสิงห์ ที่ได้ให้ความช่วยเหลือทางด้านการพิมพ์ จนทำให้ปริญญานิพนธ์ฉบับนี้สำเร็จลงได้ด้วยดี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หนังสืออ้างอิง

1. Thesis 2524 " LED PROGRAMABLE DISPLAY "
2. บุญเลิศ เอี่ยมทัศนา , " เซมิคอนดักเตอร์อีเลคทรอนิคส์ " ฉบับที่ 79,93 , เอช.เอ็น. การพิมพ์ , 2530
3. OPTOELECTRONICS APPLICATIONS MANNUAL , HEWLETT-PACKARD
4. Z-80 MICROPROCESSOR TECHNICS
5. พิสิกส์เซ็นเตอร์ , " การใช้งาน Z-80 " , พิสิกส์เซ็นเตอร์การพิมพ์ , 284 หน้า
6. Jame W. Coffron , " Z-80 APPLICATION " , USA , 1983
7. Rodnay Zaxs , " PROGRAMMING THE Z-80 " , USA , 1979

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า