ปีการศึกษา 2532

การออกแบบเครื่องรับส่งระบบรวมสัญญาณโดยการแบ่งเวลา

DESIGN OF THE TIME DIVISION MULTIPLEX TRANSMITTER AND RECIEVER

และ

การสังเคราะห์ความถี่โดยใช้เฟสล็อคลูป

FREQUENCY SYSTHESIZER

โดย

นายมนตรี ตั้งจารุกิจ

นายวิโรจน์ สุพรประดิษฐ์

นายวิชัย นาคลดา

อาจารย์ที่ปรึกษา

รศ.ดร.สิทธิชัย โภไคยอุดม

026917

ปริญญานิพนธ์ปีการศึกษา 2532

เรื่อง การออกแบบเครื่องรับส่งระบบสัญญาณโดยการแบ่งเวลา

ผู้จัดทำ 1. นายมนตรี ตั้งจารุกิจ 29.1160

2. นายวิโรจน์ สุพรประดิษฐ์ 29.1182

3. นายวิชัย นาคลดา 29.1194

..... อาจารย์ที่ปรึกษา

(รศ.ดร.สิทธิชัย โภไคยอุดม)

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

026917

การออกแบบเครื่องรับส่งระบบรวมสัญญาณโดยการแบ่งเวลา

DESIGN OF THE TIME DIVISION MULTIPLEX TRANSMITTER AND RECIEVER

นาย มนตรี ตั้งจารุกิจ 291160
นาย วิโรจน์ สุพรประดิษฐ์ 291182
นาย วิชัย นาคลดา 291194

อาจารย์ที่ปรึกษา
รศ.ดร.สิทธิไชย โภไคยอุดม

บทคัดย่อ

วิทยานิพนธ์ฉบับนี้เป็นการศึกษาและออกแบบเครื่องส่งและเครื่องรับข่าวสารแบบที่ใช้ระบบการรวมสัญญาณโดยการแบ่งเวลา ข่าวสารที่ใช้เป็นสัญญาณ ในย่านความถี่300-3400 Hz ตามมาตรฐานของ The International Telegraph and Telephone Consultative Committee (CCITT) ซึ่งการผสมสัญญาณเสียงจะใช้วิธีให้ขนาดความสูงของพัลส์แปรตามขนาดความสูงของสัญญาณข่าวสารที่ต้องการจะส่ง ซึ่งเป็นหลักการของPAM (Pulse Amplitude Modulation)

เนื้อหาของวิทยานิพนธ์ฉบับนี้จะกล่าวถึง ทฤษฎีหลักการช่องการรวมสัญญาณโดยการแบ่งเวลา ตลอดจนการทำงานและการออกแบบของวงจรส่วนต่าง ๆ ที่ใช้ในการสร้างเครื่องรับและส่งสัญญาณรวมโดยการแบ่งเวลา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ส า ร บั ญ

การออกแบบเครื่องรับส่งสัญญาณโดยการแบ่งเวลา

DESIGN OF TIME DIVISION MULTIPLEX TRANSMITTER AND RECEIVER

		หน้า
บทคัดย่อ		1
บทที่ 1	บทนำ	2
บทที่ 2	ทฤษฎีต่างๆ ที่ใช้ในระบบการรวมสัญญาณโดยการแบ่งเวลา	9
บทที่ 3	การออกแบบส่วนต่างๆ	12
บทที่ 4	การทดสอบการทำงานของระบบ	40
บทที่ 5	บทสรุปและวิจารณ์	49
	ภาคผนวก	51
	กิตติกรรมประกาศ	52
	หนังสืออ้างอิง	53

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1

บทนำ

1. การรวมสัญญาณ (Multiplexing)

ในการส่งสัญญาณข่าวสารหลาย ๆ สัญญาณออกไปพร้อม ๆ กันนั้น ในกรณีที่เครื่องรับและเครื่องส่งมีระยะทางอยู่ไกลกันมาก ถ้าใช้การส่งแยกกันไปสัญญาณละหนึ่งช่องทางการส่งจะเป็นการสิ้นเปลืองมาก ดังนั้นจึงเกิดวิธีการส่งสัญญาณแบบหนึ่งที่เรียกว่า "การรวมสัญญาณ" (Muitiplex) ซึ่งเป็นการส่งสัญญาณโดยการนำสัญญาณข่าวสารหลาย ๆ สัญญาณมารวมกันก่อนโดยวิธีใดวิธีหนึ่ง แล้วจึงส่งออกไปในช่องทางเดียวกัน และทางด้านเครื่องรับจะมีส่วนที่สามารถแยกสัญญาณที่รวมกันเข้ามานี้ออกจากกันได้ เพื่อให้ได้สัญญาณข่าวสารออกมาตามต้องการโดยมีวิธีในการรวมสัญญาณอยู่สองวิธีคือ

1.1 การรวมสัญญาณโดยการแบ่งความถี่ (Frequency Division Multiplex: FDM)

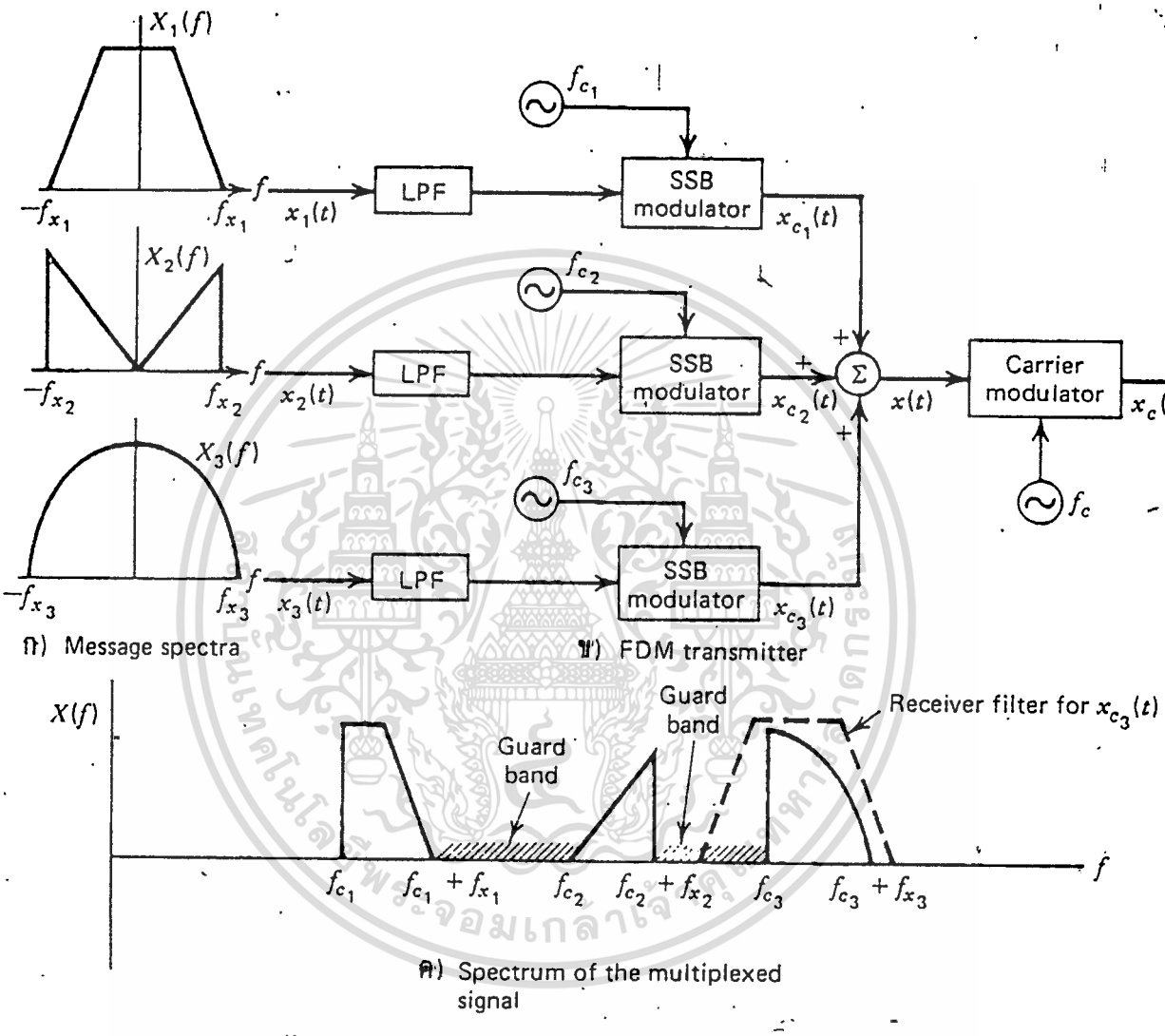
การรวมสัญญาณด้วยวิธีนี้จะจัดสเปคตรัม (Spectrum) ของความถี่ของ Modulating signal ในช่องต่าง ๆ ให้มีช่วงความถี่แตกต่างกันโดยไม่ให้เกิดการเหลื่อม (Overlap) กันทางความถี่ขึ้น โดยการเลื่อนย่านความถี่ของสัญญาณข่าวสารแต่ละสัญญาณให้อยู่ในช่วงความถี่ต่าง ๆ กัน ดังแสดงไว้ในรูปที่ 1.1 ซึ่งเป็นการยกตัวอย่างการส่งและรับสัญญาณสามสัญญาณที่ถูกส่งมาโดยการรวมสัญญาณวิธีนี้

จากรูปที่ 1.1 จะเห็นว่าสัญญาณข่าวสารทั้ง 3 สัญญาณจะถูกมอดดูเลท (Modulate) ด้วยคลื่นพาห์ย่อยความถี่ f_{c1}, f_{c2} และ f_{c3} ตามลำดับใน การมอดดูเลทคลื่นพาห์ย่อยที่แสดงไว้ในรูปนี้ใช้แบบ SSB (Single Sideband)

Modulated Signal ทั้ง 3 สัญญาณจะถูกรวมกันเป็นสัญญาณมัลติเพล็กซ์รวม x (t) ไว้ในรูป 1.1ค ถ้าเลือกใช้ความถี่ของคลื่นพาห์ย่อยได้อย่างเหมาะสมแล้ว สเปคตรัมของสัญญาณ x (t) จะถูกแบ่งออกเป็นช่วง ๆ โดยไม่เกิดการเหลื่อมกันทางความถี่ สัญญาณมัลติเพล็กซ์ x (t) นี้จะถูกส่งออกไปในช่องทางการส่งโดยตรงหรือจะมอดดูเลทเข้ากับคลื่นพาห์อื่น ความถี่ f_c กลายเป็นสัญญาณ $x_c(t)$ ก่อนการส่งก็ได้

สัญญาณเข้ามาทางเครื่องรับจะถูกทำการแยกออกให้กับเป็นสัญญาณข่าวสาร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



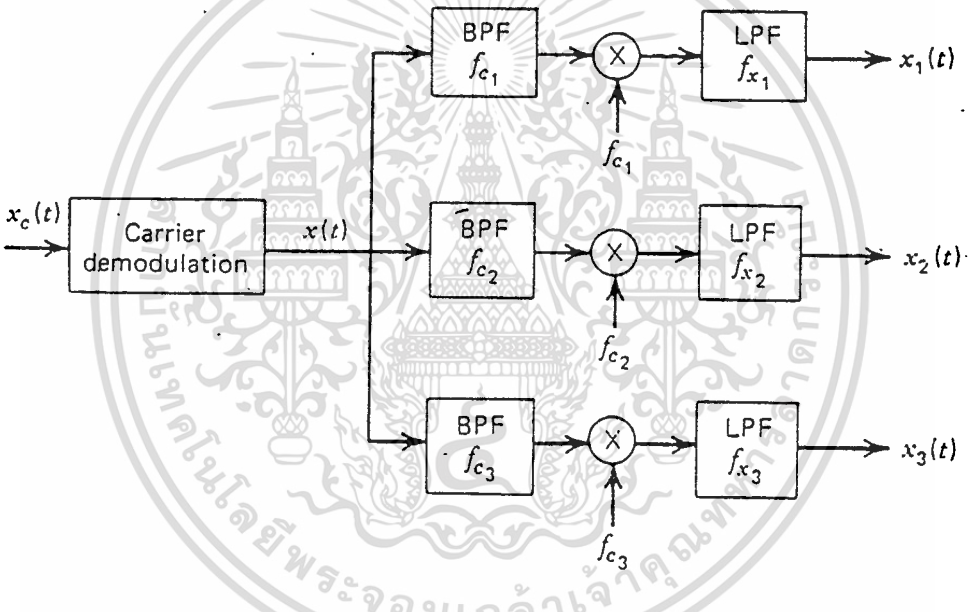
รูปที่ 1.1 การส่งสัญญาณแบบ FDM ก) สเปคตรัมของสัญญาณข่าวสาร

ข) เครื่องส่ง FDM

ค) สเปคตรัมของสัญญาณมัลติเพลกซ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สามสัญญาณดังเดิม โดยการผ่านสัญญาณที่ได้รับนี้เข้าส่วน ดีมอดดูเลท (Demodulator) เพื่อที่จะนำเอาสัญญาณ x (t) ออกจากสัญญาณ x_c (t) แล้วจึงทำการแยกเอา x_{c1} (t), x_{c2} (t), x_{c3} (t) ออกจาก x (t) ด้วยวงจรกรองแถบความถี่ต่ำผ่าน (Band-Pass Filter) หลังจากนั้นทั้งสามสัญญาณ x_{c1} (t), x_{c2} (t), x_{c3} (t) จะถูกดีมอดดูเลทเพื่อให้ได้สัญญาณ 3 สัญญาณสุดท้ายเป็นเหมือนสัญญาณข่าวสาร 3 สัญญาณที่ส่งมาดังแสดงไว้ในรูปที่ 1.2



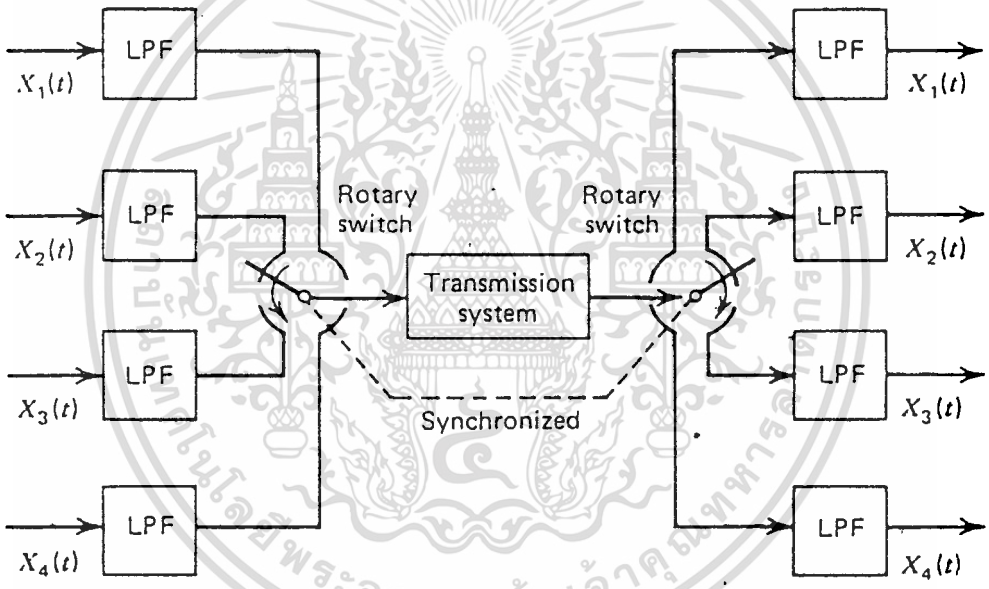
รูปที่ 1.2 เครื่องรับ FDM

ปัญหาอย่างหนึ่งของการรวมสัญญาณแบบ FDM นี้คือ การเกิดครอสทอร์ค (Cross Talk) ซึ่งเป็นการคัปปลิ้งของสัญญาณข่าวสารอื่นๆ กับ อีกข่าวสารหนึ่ง สาเหตุใหญ่เกิดจากความไม่เป็นเชิงเส้นของส่วนต่าง ๆ ในระบบและอีกสาเหตุที่รองลงมาก็คือการแยกสเปคตรัมเป็นไปอย่างไม่สมบูรณ์เนื่องจากการกรองความถี่ที่ไม่สมบูรณ์และการเกิดการดริฟท์ของความถี่ของคลื่นพาห์ย่อย ในการลดการเกิดการเหลื่อมกันทางความถี่ของสเปคตรัมที่อาจเกิดขึ้นได้ทำได้โดยการเว้นช่วงความถี่ไว้ช่วงหนึ่งระหว่างสเปคตรัมของแต่ละสัญญาณที่มอดดูเลตแล้ว เรียกช่วงสัญญาณที่เว้นไว้นี้ว่า Guard Band ดังแสดงไว้ในรูปที่ 1.1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.2 การรวมสัญญาณโดยการแบ่งเวลา (Time Division Multiplexer :TDM)

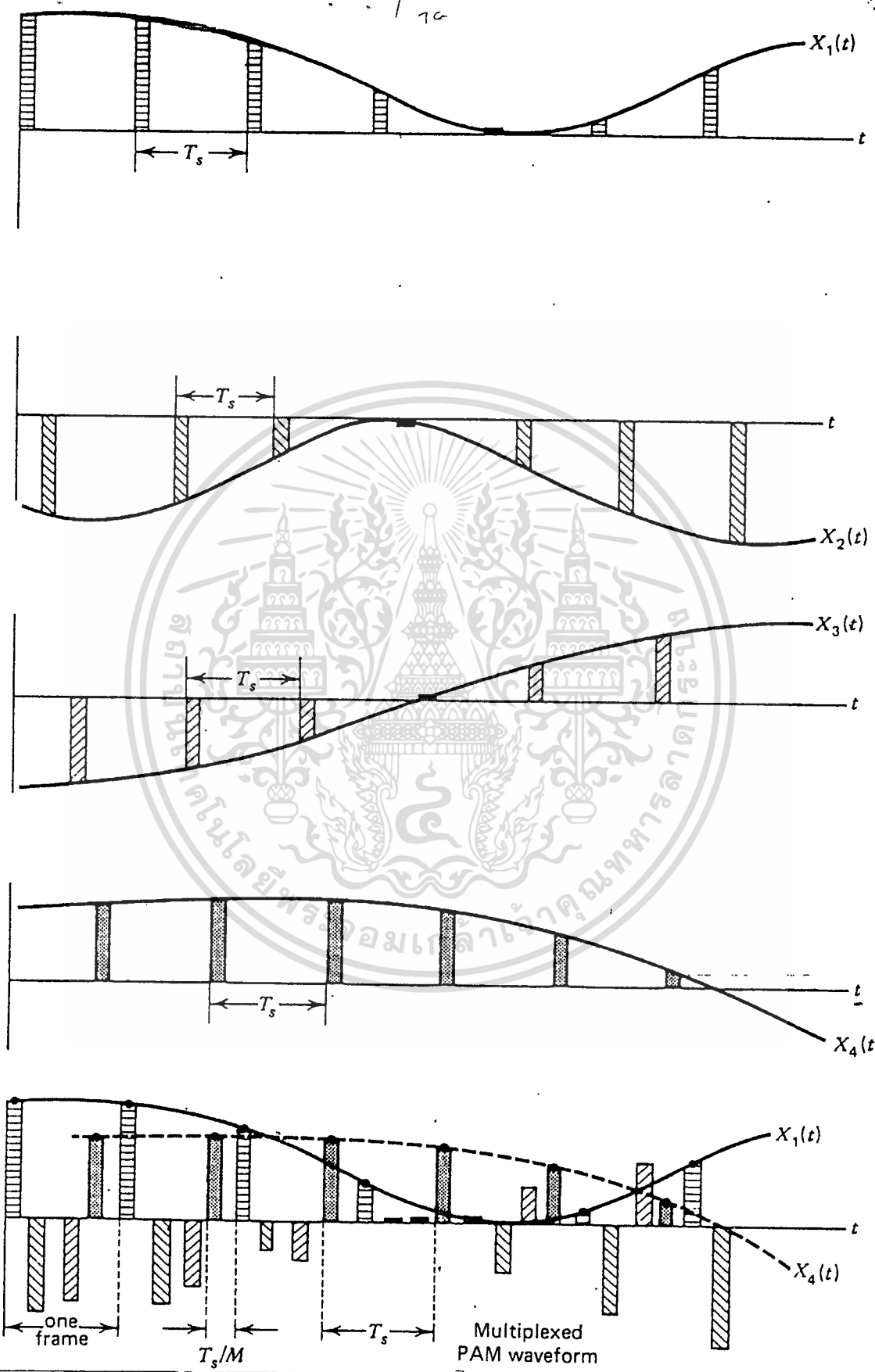
การรวมสัญญาณโดยการแบ่งเวลาหรือ TDM นี้เป็นวิธีการส่งสัญญาณทางแอนนาลอกหลาย ๆ สัญญาณในช่องทางสื่อสารเดียวกัน โดยการแบ่งเฟรมของเวลา (Time Frame) ออกเป็นหลาย ๆ สลอท (Slot)หนึ่งสลอทสำหรับแต่ละสัญญาณข่าวสารในขณะที่การรวมสัญญาณโดยการแบ่งความถี่หรือ FDM นั้นจะแบ่งแบนด์วิธออกเป็นสลอทสำหรับแต่ละสัญญาณข่าวสารลักษณะของ TDM ได้แสดงไว้ในรูปที่ 1.3



รูปที่ 1.3 แสดงบล็อคไดอะแกรมการส่งแบบ TDM 4 ช่องสัญญาณ

สัญญาณอินพุททั้งสี่สัญญาณ จะถูกสุ่มตัวอย่างอย่างเป็นลำดับ ด้วย โรตารี่สวิทช์ (Rotary Switch) หรือ คอมมิวเตเตอร์ (Commutator) เอ๊าท์พุทที่ได้ของสัญญาณจะเป็นตัวอย่างของสัญญาณอินพุทซึ่งจะอยู่ในรูปของลักษณะการมอทดูเลชั่นทางความสูงของพัลส์หรือ PAM (Pulse Amplitude Modulation) ตัวอย่างของสัญญาณข่าวสารในช่องสัญญาณที่ติดกันจะถูกั้นด้วยเวลา T_s/M โดยที่ M คือจำนวนช่องของสัญญาณอินพุท กลุ่มของพัลส์จำนวน M พัลส์ที่ประกอบด้วย 1 ตัวอย่างของสัญญาณแต่ละช่องเรียกว่า หนึ่งเฟรม ดูรูปที่ 1.4 ประกอบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 1.4 รูปคลื่น TDM

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณตัวอย่างที่ส่งรวมกันเข้ามายังเครื่องรับจะถูกแยกจากกันโดยโรตารี่สวิทช์อีกตัวหนึ่งที่เรียกว่า Distributor หรือ Demodulator สัญญาณตัวอย่างที่ถูกแยกออกมาแล้วนี้จะถูกกรองสัญญาณด้วยวงจรกรองความถี่ต่ำผ่าน เพื่อให้มีลักษณะของสัญญาณต่อเนื่องเหมือนสัญญาณข่าวสารเดิม โดยวงจรกรองสัญญาณ โดยปกติแล้วโรตารี่สวิทช์ทั้งในเครื่องส่งและในเครื่องรับจะใช้อิเลคทรอนิคส์สวิทช์ ซึ่งถูกจัดให้ทำงานสัมพันธ์กันโดยการซิงโครไนซ์

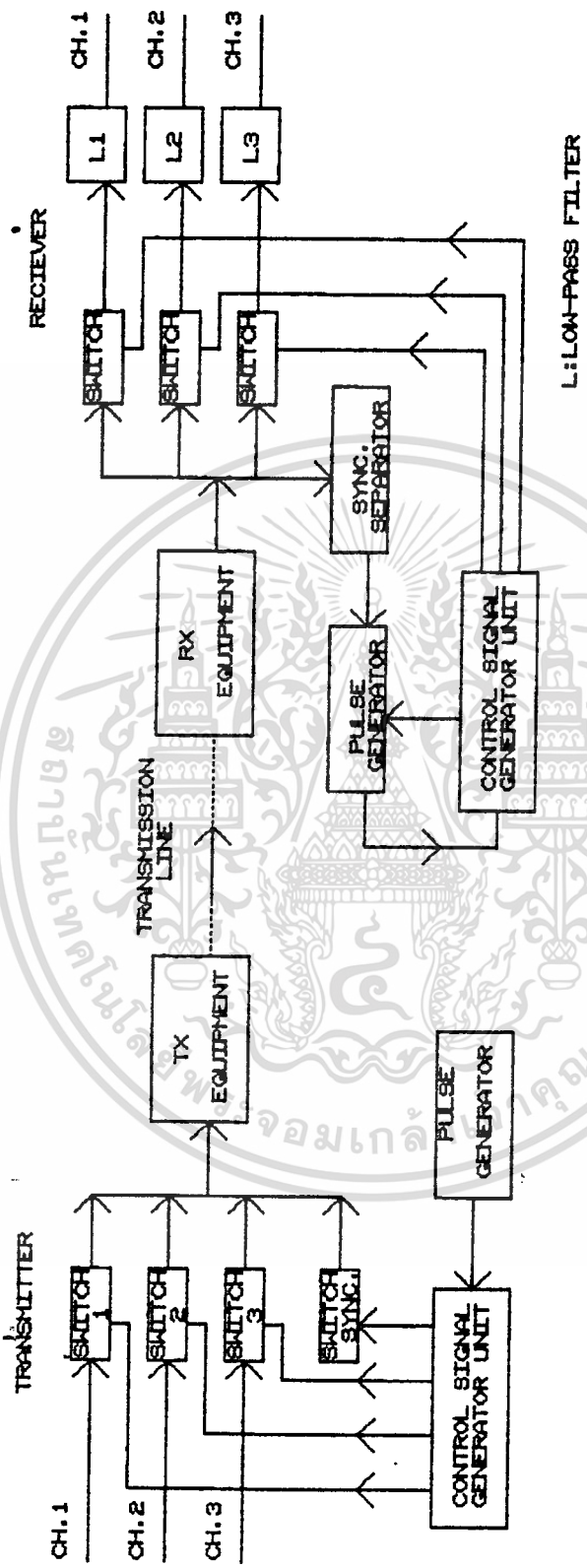
จากหลักการที่ได้กล่าวมาแล้วนี้เราจะสามารถแสดงได้ด้วยรูปที่ 1.5 ซึ่งเป็นบล็อค-ไดอะแกรมของระบบการรวมสัญญาณข่าวสารสามสัญญาณ สัญญาณลำดับตัวอย่างของข่าวสารที่ได้จะถูกส่งไปในลักษณะของ PAM โดยตรงหรืออาจถูกส่งไปในลักษณะของ PCM ก็ได้

เมื่อเปรียบเทียบระหว่างการรวมสัญญาณโดยการแบ่งเวลาหรือ TDM กับการรวมสัญญาณโดยการแบ่งความถี่หรือ FDM จะพบว่าในการใช้งาน TDM จะมีข้อดีกว่า FDM อย่างน้อยสองประการคือ

1. วงจรที่ใช้ในการสื่อสารแบบ TDM จะมีลักษณะง่ายกว่าของ FDM มากเพราะว่าวงจรส่วนต่าง ๆ ของ FDM ได้แก่วงจรมอดดูเลเตอร์, วงจรกำเนิดคลื่นพาห์, วงจรกรองแถบความถี่ผ่าน และ วงจรดีมอดดูเลเตอร์ ในแต่ละช่องสัญญาณจะเป็นวงจรแบบแอนนาลอกแต่วงจรที่ใช้ใน TDM ซึ่งประกอบด้วยคอมมิวเตเตอร์และดิสทริบิวเตอร์เป็นวงจรทางดิจิตอล จะให้ความน่าเชื่อถือและประสิทธิภาพการทำงานที่สูงกว่า

2. ใน FDM จะเกิดครอสทอล์กที่เกิดขึ้นจากความไม่เป็นเชิงเส้นในวงจร ความไม่เป็นเชิงเส้นนี้จะทำให้เกิดการมอทดูเลทภายในและความเพี้ยนฮาร์โมนิคส์ซึ่ง จะส่งผลกระทบต่อช่องสัญญาณความถี่สูงและความถี่ต่ำของระบบดังนั้นในการออกแบบวงจรจะต้องออกแบบให้มีความเป็นเชิงเส้นของเฟสและแอมปลิจูดสูงมากโดยเฉพาะในกรณีที่จำนวนช่องสัญญาณมาก ๆ ในทางตรงข้ามจะไม่เกิดครอสทอล์กใน TDM อันเนื่องมาจากความไม่เป็นเชิงเส้นของวงจรนั้น เพราะสัญญาณตัวอย่างจะถูกสุ่มที่เวลาต่างกัน ดังนั้นเราสามารถลดความลำบากในการออกแบบวงจรไปได้แต่ TDM ก็มีปัญหาในเรื่องของการซิงโครไนซ์เมื่อต้องการความถี่ในการสุ่มสูง ๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 1.5 แสดงบล็อคไดอะแกรมของการส่งแบบ TDM 3 ช่องสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2

ทฤษฎีต่าง ๆ ที่ใช้ในระบบการรวมสัญญาณโดยการแบ่งเวลา

2.1 ทฤษฎีการสุ่มตัวอย่าง (Sampling Theorem)

"ถ้าสัญญาณข่าวสารที่มีช่วงความสูงเป็นฟังก์ชั่นกับเวลา และถ้าเราแบ่งเวลาออกเป็นส่วนย่อย ๆ T วินาทีเท่า ๆ กัน โดยที่แต่ละส่วนย่อยมีค่าน้อยกว่าครึ่งหนึ่งของคาบ (Period) ของสัญญาณข่าวสารที่มีความถี่สูงสุด ถ้าเราสุ่มตัวอย่างสัญญาณที่ใดที่หนึ่งออกจากแต่ละส่วนย่อยนั้นส่งไปยังเครื่องรับ เครื่องรับจะรับรู้สัญญาณข่าวสารที่ส่งมาได้จากตัวอย่างและเวลาที่สุ่มตัวอย่างจากแต่ละส่วนย่อยของเวลานั้น ๆ"

จากทฤษฎีการสุ่มตัวอย่างนี้ เราสามารถสุ่มตัวอย่างจากแต่ละส่วนย่อย ของเวลาที่ใดที่หนึ่งก็ได้ส่งออกไปเครื่องรับสามารถรับข่าวสารได้เมื่อรู้ความสูงของสัญญาณตัวอย่างและเวลาที่สัญญาณตัวอย่างนั้นถูกสุ่มออกไป

ในทางปฏิบัติเราใช้วิธีการสุ่มตัวอย่างอย่างสม่ำเสมอ Uniform Sampling มากกว่า เพราะอุปกรณ์ที่ใช้ในการรับ-ส่งข่าวสารสร้างได้สะดวก ประหยัดทั้งเวลาและค่าใช้จ่ายในการสร้างอุปกรณ์ อีกประการหนึ่งการสุ่มสัญญาณอย่างไม่สม่ำเสมอส่งออกไปยังเครื่องรับนั้นเป็นการทำให้ความกว้างของย่านความถี่ของระบบเพิ่มขึ้นโดยไม่จำเป็น

2.2 การผสมสัญญาณข่าวสารกับพัลส์ในขบวนคลื่น (Pulse Modulation)

จากทฤษฎีของการสุ่มตัวอย่างจะเห็นได้ว่าเราไม่จำเป็นต้องส่งสัญญาณข่าวสารไปทั้งหมด เราส่งเพียงตัวอย่างของสัญญาณข่าวสารที่ได้จากการสุ่มตัวอย่างด้วยความถี่ของการสุ่มตัวอย่างที่มีค่าสูงพอไปยังเครื่องรับเท่านั้น เครื่องรับจะสามารถรู้ข่าวสารนั้นไปทั้งหมด

ในการส่งเฉพาะตัวอย่างของสัญญาณข่าวสารไปนี้ เราสามารถดำเนินการได้โดยการส่งขบวนพัลส์จะนำพาข่าวสารไปได้นั้น สัญญาณตัวอย่างจะต้องทำให้ลักษณะสมบัติเฉพาะ (Characteristic) ของพัลส์ในขบวนคลื่น (Pulse Train) เปลี่ยนแปลงไป การทำให้ลักษณะสมบัติของพัลส์ในขบวนคลื่นเปลี่ยนแปลงไปโดยสัญญาณตัวอย่างนี้เรียกว่า การผสมสัญญาณข่าวสารกับพัลส์ในขบวนคลื่น ซึ่งกระทำได้หลายวิธี เช่น ทำให้ความสูงของพัลส์เปลี่ยนแปลงไปตามตัวอย่างของสัญญาณข่าวสาร (Pulse Amplitude Modulation, P.A.M.) ทำให้ความกว้างของพัลส์เปลี่ยนแปลงไปตามตัวอย่างของสัญญาณข่าวสาร (Pulse Duration

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
026917

Modulation, P.D.M.) ทำให้ตำแหน่งของพัลส์เปลี่ยนแปลงไปตามตัวอย่างของสัญญาณข่าวสาร (Pulse Position Modulation, P.P.M.) การที่จะเลือกใช้วิธีการผสมสัญญาณแบบใดนั้นขึ้นอยู่กับความเหมาะสมในแต่ละกรณี

2.4 วงจรสุ่มสัญญาณ (Sampling Circuit)

การทำงานของวงจรสุ่มสัญญาณคล้ายกับการปิด-เปิดสวิทช์ไฟฟ้า โดยมีสัญญาณควบคุมทำหน้าที่เป็นผู้ปิด-เปิดสวิทช์ ขณะใดที่สวิทช์ได้รับสัญญาณควบคุม สวิทช์จะปิด (ON) ยอมให้สัญญาณผ่านไปได้เฉพาะในช่วงเวลานั้น ถ้าไม่มีสัญญาณควบคุมมาบังคับสวิทช์จะเปิด (OFF) และสัญญาณข่าวสารจะผ่านไปไม่ได้ ตัวอย่างเช่น แอนนาลอกสวิทช์ (Analog Switch) เมื่อมีแรงดันลบค่าหนึ่งที่ขั้วแรงดันควบคุมสวิทช์จะเปิด สัญญาณข่าวสารที่ป้อนให้แก่ขั้วแรงดันทางเข้า (input) จะผ่านไปยังขั้วทางออก (output) ไม่ได้ แต่เมื่อขั้วแรงดันควบคุมได้รับแรงดันบวกที่มีค่ามากกว่าค่าแรงดันลบที่เป็นแรงดันไบอัส (bias) เดิมสวิทช์จะปิดสัญญาณข่าวสารที่ป้อนให้กับขั้วแรงดันทางเข้าจะผ่านไปยังขั้วทางออกได้เฉพาะในช่วงเวลาที่ได้รับสัญญาณควบคุมเป็นบวกนั้น

2.5 การซินโครไนซ์ (Synchronization)

ในระบบการรวมสัญญาณโดยการแบ่งเวลานั้นเครื่องส่งและเครื่องรับจำเป็นต้องทำงานช่วงเวลาที่สอดคล้องกัน ถ้าวงจรใดทำงานคลาดเคลื่อนเพียงเล็กน้อยจะทำให้สัญญาณข่าวสารที่รับได้ผิดพลาดจึงจำเป็นต้องส่งสัญญาณพิเศษซึ่งเรียกว่า สัญญาณซินโครไนซ์ร่วมไปกับสัญญาณข่าวสารด้วย โดยอาศัยสัญญาณซินโครไนซ์นี้เครื่องรับสามารถที่จะรู้จะเริ่มต้นของรอบการทำงานและสามารถตรวจสอบได้ว่าการทำงานของเครื่องรับสัมพันธ์ถูกต้องกับเครื่องส่งหรือไม่

2.5.1 วิธีการซินโครไนเซชั่นในการส่งสัญญาณข่าวสารแบ่งออกเป็น 2 วิธีคือ

1. การส่งสัญญาณข่าวสารด้วยวิธีอะซินโครนัส (Asychronous Transmission)

การส่งสัญญาณข่าวสารโดยวิธีนี้ คือการส่งข่าวสารเป็นชุด ๆ โดยแต่ละชุดมีสัญญาณซินโครไนซ์ในตัวเอง วิธีนี้ส่วนมากใช้ในการส่งโทรเลขหรือโทรพิมพ์ ซึ่งสัญญาณข่าวสารจะถูกส่งต่อเนื่องกันไปเป็นชุด ๆ โดยแต่ละชุดมีสัญญาณพิเศษกำหนดจุดเริ่มต้นและจุดหยุดของชุดนั้น ๆ เมื่อเครื่องรับได้รับสัญญาณบอกจุดเริ่มต้น เครื่องรับจะเริ่มรับสัญญาณข่าวสารที่ส่งมาและจะหยุดรับเมื่อได้รับสัญญาณหยุดและเตรียมรับสัญญาณข่าวสารชุดต่อไป จังหวะเวลาว่างของสัญญาณแต่ละชุดไม่เท่ากัน ส่วนมากจำกัดเวลาต่ำสุดเอาไว้ เพื่อให้เครื่องรับเตรียมตัวได้ทัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในการรับสัญญาณชุดใหม่เท่านั้นสัญญาณข่าวสารแต่ละชุดประกอบด้วยสัญญาณ 5, 7, 8 บิท แล้วแต่ความมากน้อยของจำนวนข่าวสาร ช่วงเวลาระหว่างบิท เป็นตัวกำหนดความเร็วในการรับส่งข่าวสาร การส่งข่าวสารโดยวิธีนี้ไม่ต้องส่งสัญญาณคลอคพัลส์ (Clock Pulse) ร่วมไปด้วย เครื่องรับสามารถรับรู้สัญญาณแต่ละชุดได้โดยการนับตำแหน่งศูนย์กลางของบิท เครื่องรับสัญญาณอซิงโครนัสนี้มีราคาถูกค่าใช้จ่ายในการติดตั้งและบำรุงรักษาน้อย แต่มีข้อเสียคือการทำงานค่อนข้างช้า อัตราเร็วสูงสุดทำได้เพียง 1,200 บิทต่อนาทีเท่านั้น

2. การส่งสัญญาณแบบซิงโครนัส (Synchronous Transmission)

การส่งสัญญาณแบบซิงโครนัส หมายถึง การส่งสัญญาณไปตามสายส่งด้วยอัตราความเร็วของการส่งคงที่ โดยมีสัญญาณคลอคพัลส์ที่กำเนิดขึ้นจากเครื่องส่งกำกับไปกับสัญญาณข่าวสารไปยังเครื่องรับด้วย เพื่อใช้เป็นตัวกำหนดเวลาให้เครื่องส่งและเครื่องรับทำงานตรงกัน

การส่งสัญญาณแบบซิงโครนัสนี้สามารถส่งได้รวดเร็วกว่า แบบอซิงโครนัส จึงทำให้อัตราการส่งของข่าวสารต่อเวลาสูงขึ้น และเนื่องจากมีสัญญาณนาฬิกาเป็นตัวกำหนดเวลาทั้งทางเครื่องส่งและเครื่องรับ จึงทำให้ระบบนี้สามารถทำงานได้เที่ยงตรงมีความคลาดเคลื่อนในการรับข่าวสารน้อยมากสัญญาณที่ส่งไปในการส่งแบบซิงโครนัสนี้เป็นชุด ๆ แน่นอนเช่นเดียวกับแบบอซิงโครนัส ต่างกันแต่ว่าการส่งแต่ละชุดเป็นไปอย่างต่อเนื่องสม่ำเสมอในแต่ละชุดาของสัญญาณมีข่าวสารหลาย ๆ ข่าวสารส่งรวมกันไป โดยจะมี 1 บิท เอาไว้ส่งสัญญาณซิงโครไนซ์เพื่อให้เครื่องรับสามารถแยกสัญญาณออกได้ถูกต้องตามช่องสัญญาณที่ส่งมา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3

การออกแบบส่วนต่างๆ

3.1 หลักการในการออกแบบ

ในวิทยานิพนธ์ฉบับนี้ เป็นการออกแบบเครื่องส่งและเครื่องรับระบบรวมสัญญาณโดยการแบ่งเวลา โดยได้ทำการทดลองออกแบบเครื่องส่งและเครื่องรับ 3 ช่องสัญญาณที่ใช้ระบบรวมสัญญาณโดยการแบ่งเวลานี้ สัญญาณข่าวสารที่ต้องการส่งจะเป็นสัญญาณความถี่อยู่ในย่าน 300-3400 Hz ตามมาตราฐานของ CCITT (The International Telegraph and Consultative Committee) สัญญาณข่าวสารจะถูกรวมเข้ากับพัลส์โดยความสูงของพัลส์จะแปรตามขนาดของความสูงของสัญญาณข่าวสาร สัญญาณรวมที่ได้จะถูกส่งออกไปโดยสารส่งเดียวกันโดยการจัดเวลาสำหรับส่งสัญญาณแต่ละช่องสัญญาณให้ต่างๆกัน แต่มีระยะเวลาสำหรับตัวอย่างของข่าวสารเท่าๆกัน เมื่อส่งสัญญาณครบ 3 สัญญาณแล้ว ก็จะส่งสัญญาณซิงโครไนซ์รวมออกไปด้วย สัญญาณซิงโครไนซ์นี้จะมีขนาดความกว้างของพัลส์เท่ากับขนาดความกว้างของพัลส์ที่ผสมรวมกับสัญญาณข่าวสาร แต่สัญญาณซิงโครไนซ์จะมีความสูงๆกว่า

เมื่อสัญญาณรวมมาถึงเครื่องรับ ที่เครื่องรับจะมีวงจรแยกสัญญาณซิงโครไนซ์ออกจากสัญญาณรวม สัญญาณซิงโครไนซ์นี้ใช้เป็นสัญญาณกำหนดเวลาให้หน่วยสร้างสัญญาณควบคุม จัดเวลาในการเปิดปิดวงจรสวิทซ์ เพื่อให้สัญญาณผ่านออกถูกต้องตามช่องสัญญาณที่กำหนดไว้ สัญญาณที่ผ่านออกมานี้เป็นเพียงตัวอย่างของข่าวสารที่ต้องการส่งมา เมื่อนำไปผ่านวงจรกรองความถี่ต่ำผ่าน (Low-Pass Filter) สัญญาณที่ได้รับหลังจากผ่านส่วนวงจรกรองความถี่ต่ำผ่านจะเป็นสัญญาณที่มีลักษณะคล้ายกับสัญญาณข่าวสารที่ส่งมา

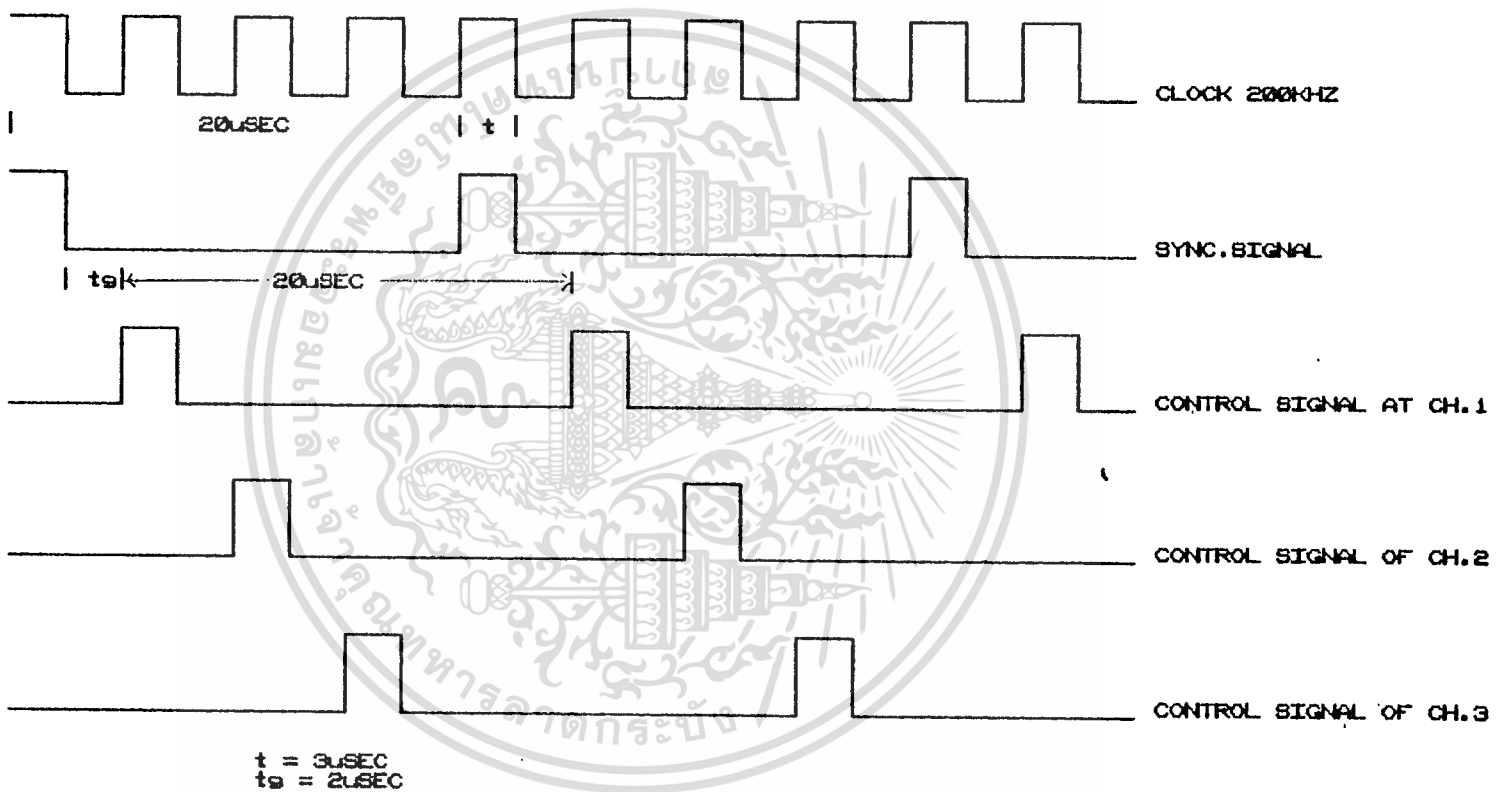
3.2 การกำหนดความถี่ของชบวนพัลส์ (Pulse Frequency)

จากทฤษฎีการสุ่มตัวอย่างสัญญาณจะเห็นได้ว่า ความถี่ของการสุ่มตัวอย่าง อย่างน้อยต้องเท่ากับ 2 เท่าของความถี่สูงสุดของสัญญาณข่าวสาร เครื่องรับจึงสามารถสร้างสัญญาณที่มีลักษณะคล้ายกับสัญญาณข่าวสารเดิมที่ถูกสุ่มตัวอย่างมา ดังนั้นความถี่ที่ใช้ในการสุ่มตัวอย่างของสัญญาณ(f_s) สำหรับวิทยานิพนธ์นี้ความถี่อย่างน้อยต้องเท่ากับ

$$f_{s(min)} = 3.4*2 \text{ kHz}$$

$$= 6.8 \text{ kHz}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.1 แสดงไดอะแกรมเวลาของสัญญาณควบคุมของเครื่องส่งแบบ TDM 3 ช่องสัญญาณ

ในการกำหนดความถี่ของขบวนพัลส์ จะกำหนดจากจำนวนช่องของสัญญาณข่าวสารและความถี่ของการสุ่มสัญญาณ สำหรับวิทยานิพนธ์ฉบับนี้กำหนดให้มี 3 ช่องสัญญาณ โดยจะถือว่าสัญญาณซิงโครไนซ์เป็นเสมือนตัวอย่างหนึ่งของสัญญาณ เมื่อพิจารณาในส่วนของวงจรสร้างสัญญาณควบคุม จะเห็นว่าสัญญาณควบคุมการสุ่มตัวอย่างแต่ละช่องสัญญาณจะจากเกิดการนับสัญญาณนาฬิกา ซึ่งก็คือสัญญาณขบวนพัลส์ 4 ลูกต่อ 1 ลูกของสัญญาณควบคุม ดังนั้นความถี่ของขบวนพัลส์จะเท่ากับ 4 เท่าของความถี่ของการสุ่มสัญญาณ(ดูรูปที่ 3.1 ประกอบ)

$$f_p = 4f_s$$

สำหรับวิทยานิพนธ์นี้ กำหนดให้ความถี่ของการสุ่มสัญญาณเท่ากับ 50 kHz ดังนั้นความถี่ของขบวนพัลส์จะเท่ากับ

$$f_p = 4*50 \text{ kHz}$$

$$= 200 \text{ kHz}$$

3.3 การออกแบบเครื่องส่ง 3 ช่องสัญญาณในระบบการรวมสัญญาณโดยการแบ่งเวลา

ในการออกแบบเครื่องส่ง เราสามารถแยกออกแบบตามหน้าที่ของแต่ละส่วนภายในเครื่องส่งดังนี้คือ

3.3.1 การออกแบบส่วนสร้างขบวนพัลส์ (Pulse Generating Circuit)

3.3.2 การออกแบบส่วนสร้างสัญญาณควบคุม (Control Unit)

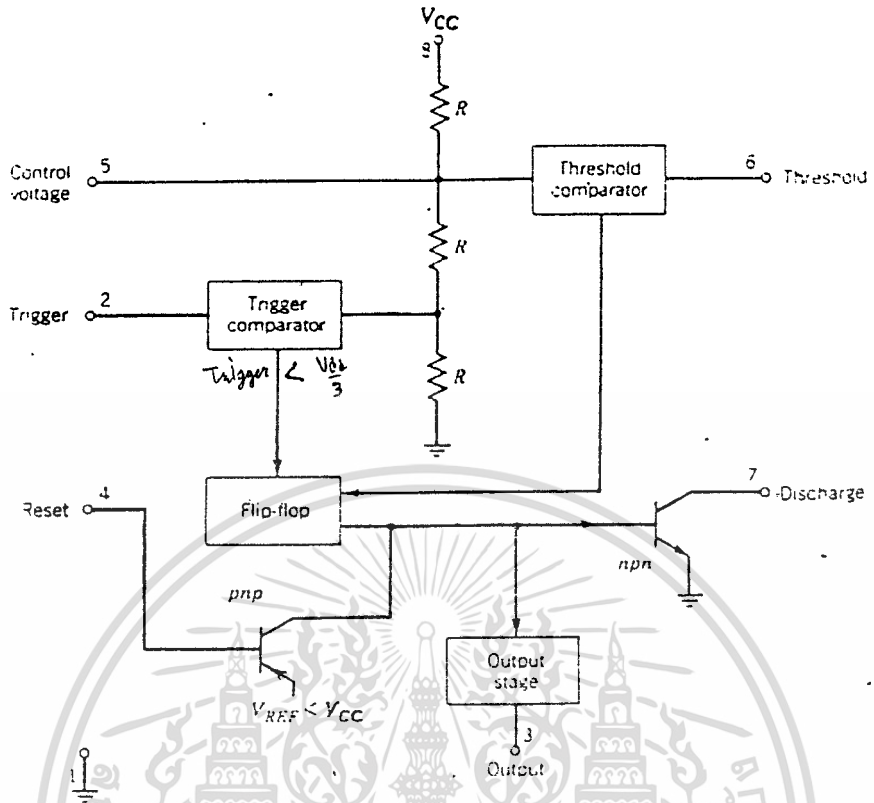
3.3.3 การออกแบบวงจรสุ่มสัญญาณ (Sampling Circuit)

3.3.4 การออกแบบวงจรเอาท์พุทแอมปลิฟายเออร์ (Output Amplifier)

3.3.1 การออกแบบส่วนสร้างขบวนพัลส์

การออกแบบส่วนนี้ต้องพิจารณาถึงรูปร่างของสัญญาณที่จะสร้างขึ้น ต้องมีความเหมาะสมกับการทำงานของหน่วยสร้างสัญญาณควบคุม ซึ่งถ้าพิจารณาถึงส่วนสร้างสัญญาณควบคุมที่จะกล่าวถึงในหัวข้อ 3.3.2 แล้วจะเห็นว่าวงจรรวมที่ใช้ในหน่วยสร้างสัญญาณควบคุมต้องการสัญญาณพัลส์เป็นสัญญาณกระตุ้นในการทำงาน โดยมีความสูงของสัญญาณพัลส์อยู่ในช่วง +6ถึง+9 โวลต์ และจะต้องมีเสถียรภาพของความถี่ดีไม่เปลี่ยนแปลงง่าย ดังนั้นในวิทยานิพนธ์นี้จึงเลือกใช้วงจรรวมเบอร์ 555 เป็นตัวสร้างขบวนพัลส์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.2 แสดงบล็อคไดอะแกรมของวงจรรวมเบอร์ 555

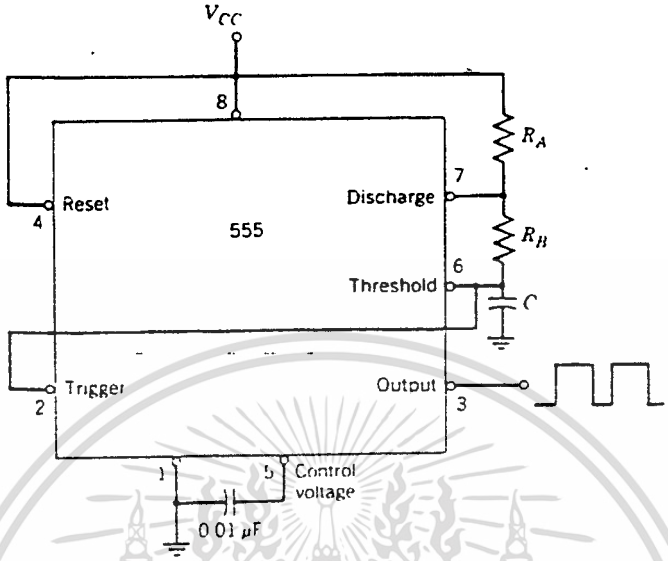
การทำงานของวงจรรวมเบอร์ 555

คอมพาราเตอร์2 (Comparator2) จะเปรียบเทียบโวลเตจของ trigger input (ขา2) กับโวลเตจ $V_{cc}/3$ เมื่อโวลเตจที่ขา trigger มีค่าต่ำกว่า $V_{cc}/3$ คอมพาราเตอร์2 จะให้สัญญาณไปรีเซ็ท(Reset)ให้ฟลิปฟลอป(Flip-flop) อยู่ในสถานะต่ำ ซึ่งจะทำให้ดิสชาร์จทรานซิสเตอร์(Discharge transitor) ไม่นำกระแสและเมื่อสัญญาณระดับต่ำผ่านภาคเอาท์พุทซึ่งเป็นอินเวอร์ทติ้งบัฟเฟอร์(Inverting Buffer) จะได้เอาท์พุทที่ขา3มีสถานะสูง

คอมพาราเตอร์1 (Comparator1)จะเปรียบเทียบโวลเตจของthreshold input (ขา6) กับโวลเตจ $2V_{cc}/3$ เมื่อโวลเตจที่ขา threshold มีค่ามากกว่า $2V_{cc}/3$ คอมพาราเตอร์1 จะส่งสัญญาณไปทำให้ฟลิปฟลอปอยู่ในสถานะสูง ดิสชาร์จทรานซิสเตอร์จะนำกระแสและเมื่อผ่านอินเวอร์ทติ้งบัฟเฟอร์ จะได้เอาท์พุทที่ขา3มีสถานะต่ำ

ในการใช้งานวงจรรวมเบอร์ 555 ให้กำเนิดชุดวนพัลส์ สามารถใช้วงจรดังรูปที่ 3.3 ได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.3 แสดงการนำ 555 มาสร้างขบวนพัลส์

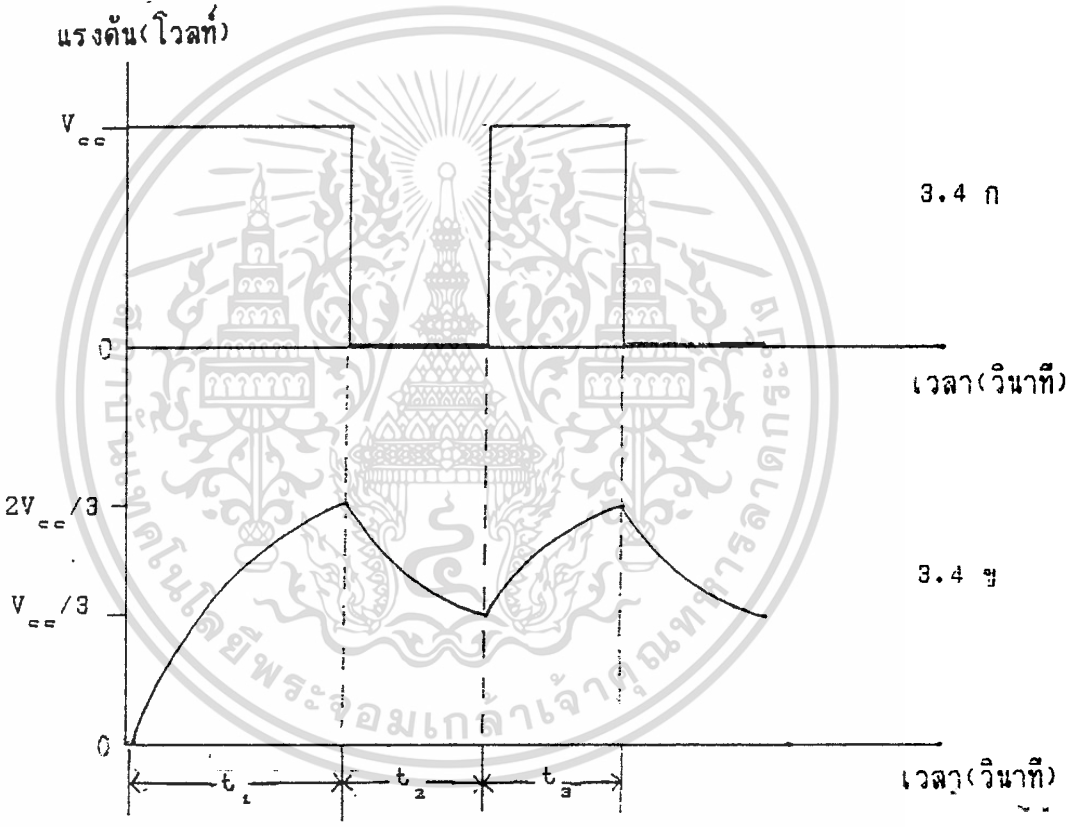
วงจรนี้จะให้แรงดันทางออกเป็นขบวนพัลส์ต่อเนื่องที่ ขา3ของวงจรรวม 555 โดยค่าความถี่ของขบวนพัลส์จะถูกกำหนดโดยตัวต้านทาน R_A,R_Bและตัวเก็บประจุ C ที่ต่ออยู่ภายนอก

การทำงานของวงจร

เมื่อเริ่มจ่ายไฟเลี้ยง V_{cc} ให้กับวงจร ขณะนั้นศักดาคร่อมตัวเก็บประจุ C มีค่าเท่ากับศูนย์โวลท์ ดังนั้นคอมพาราเตอร์2 จะรีเซ็ทให้ฟลิปฟลอปอยู่ในสถานะต่ำทำให้เอาท์พุทที่ขา3มีสถานะสูง และหลังจากเวลาผ่านไป t_1 วินาที ศักดาตกคร่อมตัวเก็บประจุ C จะถูกอัดประจุผ่านความต้านทาน R_A และ R_B มีค่าเท่ากับ $2v_{cc}/3$ ซึ่งจะทำให้ศักดาไฟฟ้าที่ขา threshold มีค่าเท่ากับ $2V_{cc}/3$ คอมพาราเตอร์1 ก็จะเปลี่ยนระดับโวลเตจ เปลี่ยนสถานะของเอาท์พุทฟลิปฟลอปให้อยู่ในสถานะสูง ทำให้เอาท์พุทที่ขา3 มีสถานะต่ำ และบังคับให้ดิสชาร์จทรานซิสเตอร์นำกระแส ซึ่งจะทำให้ตัวเก็บประจุ C คายประจุผ่านความต้านทาน R_B และดิสชาร์จทรานซิสเตอร์ และเมื่อเวลาผ่านไป t_2 วินาที ศักดาตกคร่อมตัวเก็บประจุ C จะ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ลดลงจาก $2v_{cc}/3$ เหลือ $V_{cc}/3$ ซึ่งจะทำให้ศักดาไฟฟ้าที่ขา trigger มีค่าเท่ากับ $V_{cc}/3$ คอมพาราเตอร์2 ก็จะรีเซ็ทให้ฟลิปฟลอปอยู่ในสถานะต่ำอีกครั้ง ดังนั้นดิสชาร์จทรานซิสเตอร์จะหยุดนำกระแส เอาท์พุทที่ขา3 ก็จะเปลี่ยนเป็นสถานะสูง ตัวเก็บประจุ C จะเริ่มอัดประจุโดยไฟเลี้ยง V_{cc} ผ่านความต้านทาน R_A และ R_B และเมื่อเวลาผ่านไป t_3 วินาที เอาท์พุทที่ขา3 จะเปลี่ยนเป็นสถานะต่ำอีกครั้งโดยที่ตัวเก็บประจุ C จะอัดประจุจาก $V_{cc}/3$ ถึง $2V_{cc}/3$ โวลท์ พิจารณารูปที่ 3.4 ซึ่งแสดงสัญญาณเอาท์พุทที่ขา3 ของวงจรรวมเบอร์ 555 เทียบกับศักดาตกคร่อมตัวเก็บประจุ C



รูปที่ 3.4 ก) แสดงสัญญาณเอาท์พุทที่ขา3 ของไอซี 555

ข) แสดงศักดาไฟฟ้าตกคร่อมตัวเก็บประจุ C

ความถี่ของขบวนพัลส์ (f) หาได้จาก

$$f = 1/T = 1/(t_2+t_3) \quad Hz \qquad (3.1)$$

t_2 คือเวลาในการคายประจุของตัวเก็บประจุ C ลงกราวด์ผ่านตัวต้านทาน R_B จากศักดาไฟฟ้า $2V_{cc}/3$ ถึง V_{cc}

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

t_3 คือเวลาในการอัดประจุของตัวเก็บประจุ C โดย V_{cc} ผ่านตัวต้านทาน R_A และ R_B จากศักดาไฟฟ้า $V_{cc}/3$ ถึง $2V_{cc}/3$

จากสมการคายประจุตัวเก็บประจุ C ผ่านความต้านทาน R ลงกราวด์

$$V_{(t)} = V_c e^{-t/RC} \qquad (3.2)$$

เมื่อ $V_{(t)}$ คือศักดาคร่อมตัวเก็บประจุที่เวลา t วินาที

V_c คือศักดาคร่อมตัวเก็บประจุที่เวลา t=0

เมื่อใช้สมการ(3.2) ในการหาเวลา t_2 จะได้เป็น

$$V_{cc}/3 = 2V_{cc}/3\, e^{-t_2/R_BC} \qquad (3.3)$$

$$t_2 = 0.693R_BC \qquad (3.4)$$

และจากสมการอัดประจุตัวเก็บประจุ C ผ่านความต้านทาน R ด้วยแรงดัน V

$$V_{(t)} = V-(V-V_c)\, e^{-t_3/RC} \qquad (3.5)$$

เมื่อใช้สมการ(3.5)ในการหา t_3 จะได้เป็น

$$2V_{cc}/3 = V_{cc}-(V_{cc}-V_{cc}/3)\, e^{-t_3/RC} \qquad (3.6)$$

$$t_3 = 0.693(R_A+R_B)C \qquad (3.7)$$

ดังนั้นจาก (3.1)

$$f = 1/[0.693(R_A+2R_B)C] \quad \text{Hz} \qquad (3.8)$$

การกำหนดความต้านทาน R_A และ R_B และตัเก็บประจุ C

พิจารณารูปที่ (3.3) เมื่อระดับโวลเตจที่ขา threshold ถึงระดับ $2V_{cc}/3$ จะมีกระแสส่วนหนึ่งไหลเข้าขา threshold (ขา6) ดังนั้นเราสามารถกำหนดค่า R_A+R_B สูงสุด $(R_A+R_B)_{max}$ ได้จากศักดาตกคร่อม R_A รวมกับศักดาตกคร่อมี R_B หารด้วยค่ากระแสที่ไหลเข้าขา threshold สูงสุด $[I_{threshold(max)}]$ เพราะฉะนั้น

$$(R_A+R_B)_{max} = [V_{cc} - 2V_{cc}/3]/I_{threshold(max)} \qquad (3.9)$$

สำหรับในวิทยานิพนธ์นี้ใช้ไฟเลี้ยง V_{cc} เท่ากับ 9 โวลท์ และจากสเปคของไอซี 555 ค่าของ $I_{thres(max)}$ เท่ากับ 0.25 ไมโครแอมป์ เพราะฉะนั้น

$$(R_A+R_B)_{max} = (9 - 6)\ V/0.25\ uA$$

$$(R_A+R_B)_{max} = 12\ M$$

ซึ่งในทางปฏิบัติแล้วค่า R_A+R_B ควรมีค่าต่ำกว่า $(R_A+R_B)_{max}$ มากๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เพราะฉะนั้น $R_A+R_B << 12\ M\Omega$ (3.10)

สำหรับในวิทยานิพนธ์กำหนดให้ t_2 = 3 us , t_3 = 2 us , c = 500 PF เมื่อใช้สมการ (3.4) หาค่า R_B จะได้

$$R_B = 5772\ \Omega$$

และใช้สมการ (3.7) หาค่า R_A+R_B จะได้

$$R_A+R_B = 8658\ \Omega$$

เพราะฉะนั้นอสมการ (3.10) เป็นจริง

เพราะฉะนั้น $R_A = 2886\ \Omega$

เลือกใช้ค่าใกล้เคียงเพื่อให้เหมาะสมกับการปฏิบัติ สามารถเลือกใช้ R_A = 3KΩ, R_B = 5.6KΩ, C = 500 PF

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3.2 การออกแบบหน่วยสร้างสัญญาณควบคุม

หน่วยสร้างสัญญาณควบคุมนี้รับขบวนพัลส์ (ซึ่งเรียกว่า คลอคพัลส์: Clock Pulse) จากหน่วยกำเนิดขบวนพัลส์ มาทำให้เป็นสัญญาณควบคุม สัญญาณควบคุมที่สร้างได้จะมีแรงดันเปลี่ยนแปลงอยู่ระหว่าง 0 ถึง +9 โวลท์ สัญญาณควบคุมนี้มีอยู่ 4 ชุด พัลส์ของสัญญาณควบคุมที่อยู่ในชุดข้างเคียงกันจะเกิดขึ้นที่เวลาห่างกัน 2 usec และพัลส์ของสัญญาณควบคุมชุดเดียวกันจะเกิดขึ้นที่เวลาห่างกัน 20 usec เวลาที่ใช้ในการสุ่มตัวอย่างสัญญาณข่าวสาร (t_1) จะเป็นเวลาที่สัญญาณควบคุมมีค่าแรงดันเท่ากับ 9 โวลต์ ค่า t_1 นี้มีค่าเท่ากับ 3 usec

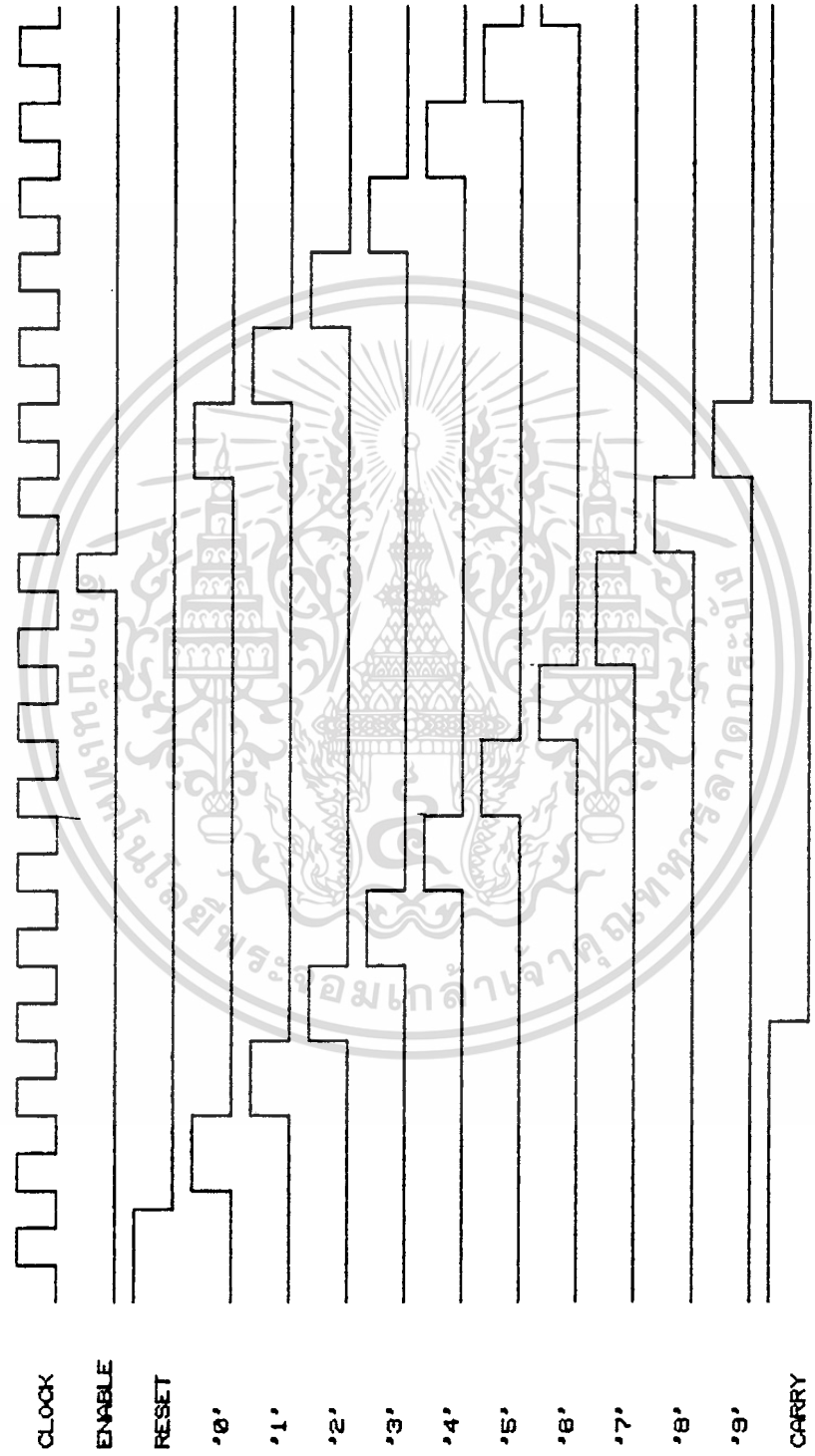
ในวิทยานิพนธ์นี้ หน่วยสร้างสัญญาณควบคุมประกอบด้วยวงจรรวม 3 ตัว ทำงานร่วมกัน วงจรทั้งสามนี้เป็นวงจรรวมชนิด CMOS (Complementary Metal Oxide Semiconductor Integrated Circuit) วงจรรวม 3 ตัวที่ใช้ได้แก่ วงจรรวม 4017, 4009, และ 4011

4017 : วงจรรวมนี้เป็นวงจร 5 Stage Johnson Decade Counter and an Output Decoder วงจรนี้จะทำงานในขณะที่สัญญาณคลอคพัลส์เปลี่ยนสถานะจากศูนย์ไปเป็นการทำงานหนึ่ง และให้สัญญาณออกที่ขา Decoded Output "0" ถึง "9" โดยมีไดอะแกรมเวลาดังแสดงไว้ในรูปที่ 3.5

ถ้ามีแรงดันบวกที่ขารีเซ็ท (Reset) และที่ขาคลอคเอ็นเอเบิล (Clock enable) มีแรงดันเป็นศูนย์เมื่อใด วงจรรวมจะรีเซ็ทตัวเองโดยที่ขา "0" จะเปลี่ยนจากสถานะเดิมเมื่อคลอคพัลส์เปลี่ยนจากแรงดันศูนย์ไปเป็นบวก และเริ่มต้นทำงานในรอบใหม่

การทำงานในรอบหนึ่งเป็นดังนี้คือ เมื่อสัญญาณคลอคพัลส์ป้อนให้กับขาคลอค (14) ถ้าแรงดันที่ขารีเซ็ท (15) และขาคลอคเอ็นเอเบิล (13) เป็นศูนย์ สัญญาณดีโคดเอ้าท์พุท "0" ซึ่งได้จากขา 3 ของวงจรรวมจะมีสถานะเป็น 1 (เป็นค่าแรงดันบวกค่าหนึ่งขึ้นอยู่กับค่าแรงดันที่ป้อนให้กับขา V_{DD} และ V_{SS}) เมื่อคลื่นลูกแรกในสัญญาณคลอคพัลส์ผ่านเข้ามา 1 ลูกคลื่น และจะเป็นศูนย์เมื่อมีลูกคลื่นที่ 3 เริ่มเข้ามาซึ่งในขณะเดียวกันนี้มีสัญญาณดีโคดเอ้าท์พุท "2" ที่ได้จากขาที่ 4 ของวงจรรวมจะมีสถานะเป็น 1 และจะมีสถานะเป็นศูนย์เมื่อลูกคลื่นลูกที่ 4 เริ่มเข้ามา สัญญาณดีโคดเอ้าท์พุท "0" ถึง "9" จะผลัดกันมีค่าเป็น 1 ตามจำนวนลูกคลื่นที่ผ่านเข้ามาที่ขา Clock จนครบ 10 ลูกคลื่นแล้วขาดีโคดเอ้าท์พุท "0" จะเริ่มเป็น 1 ใหม่เมื่อมีคลื่นลูกที่ 11 เริ่มเข้ามา วงจรรวมนี้จะทำงานเป็นรอบเช่นนี้เรื่อยไป ถ้ามีแรงดันบวกเข้าที่ขาคลอคเอ็นเอเบิลและที่ขารีเซ็ทเป็นศูนย์เมื่อใดจะทำให้แรงดันขาออกที่ขาดีโคดเอ้าท์พุท

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ ห้ามมิให้ผู้ใดนำไปใช้ประโยชน์ในทางการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

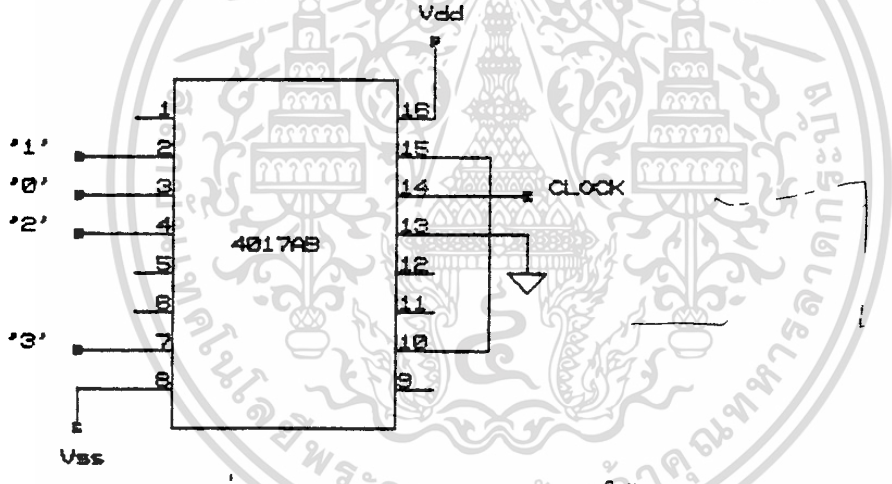


รูปที่ 3-5 แสดงไดอะแกรมเวลาของ 4017

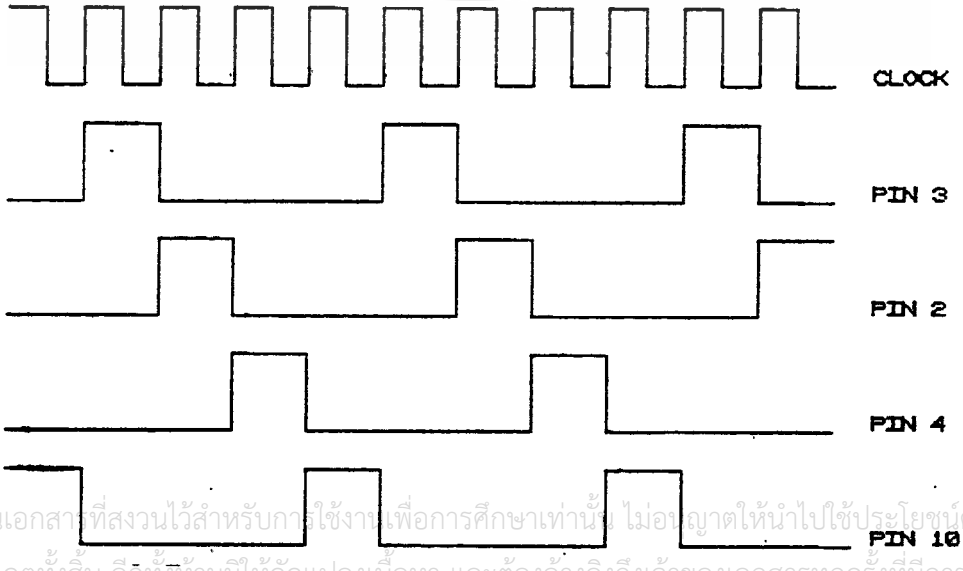
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ซึ่งมีสถานะเป็น 1 อยู่คงสถานะเป็นหนึ่งต่อไปจนกระทั่งแรงดันที่ขาคลอดเอ็นเอเบิลมีค่าเป็นศูนย์ ในขณะนี้ถ้ามีคลื่นลูกใหม่เข้ามาที่ขาที่ Clock แรงดันที่ขาดีโคดเอ้าท์พุทที่มีสถานะเป็น 1 จะเปลี่ยนเป็นศูนย์ ในขณะเดียวกันแรงดันที่ขาดีโคดเอ้าท์พุทขาต่อไปจะมีสถานะเป็น 1 วงจรรวมนี้จะทำงานต่อไปจนครบรอบ

ในวิทยานิพนธ์นี้ต้องการให้วงจรทำงานเพียงบางลูกคือ ให้นับลูกคลื่นเพียง 4 ลูก แล้วให้เริ่มต้นรอบใหม่เมื่อลูกคลื่นที่ 5 เริ่มเข้ามาที่ขา Clock เราสามารถใช้วงจรรวม 4017 นี้ทำงานได้โดยนำแรงดันที่ออกจากขาดีโค้ดเอ้าท์พุท "4" ไปป้อนเข้ามาที่ขา RESET และ ต่อขา CLOCK ENABLE ลงกราวด์ เมื่อคลื่นลูกที่ 5 ผ่านเข้ามาที่ขา CLOCK แรงดันที่ขาดีโค้ดเอ้าท์พุท "0" จะเปลี่ยนสถานะเป็น 1 ที่เป็นเช่นนี้เพราะมีแรงดันจากขาดีโค้ดเอ้าท์พุท "4" ไปรีเซ็ตทำให้ขา "0" เปลี่ยนสถานะเป็น 1 ตามต้องการ



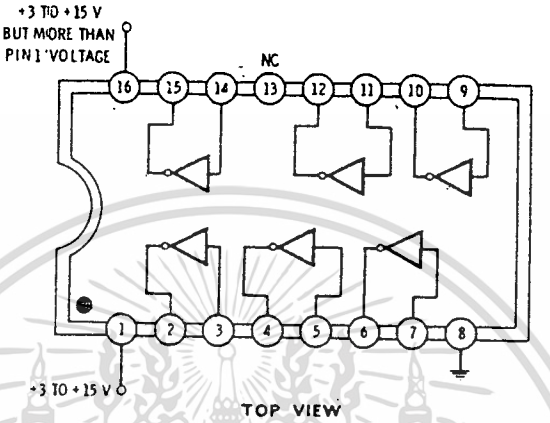
รูปที่ 3-6ก แสดงการนำ 4017 มาใช้งาน



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

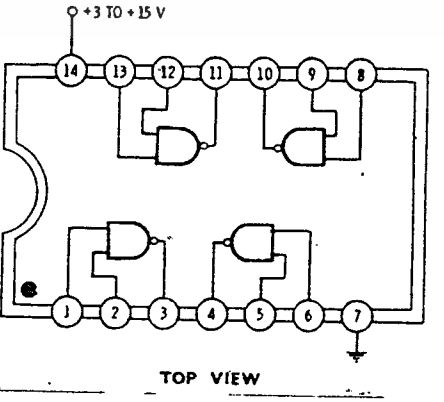
รูปที่ 3-6ข แสดงสัญญาณเอาท์พุทที่จุดต่างๆ ของวงจรรูป 3-6ก

4009 : วงจรนี้ประกอบด้วยอินเวอร์ทเตอร์ (Inverter) 6 ตัว รวมอยู่ในวงจรรวมเดียวกัน ดังแสดงในรูปที่ 3.7 อินเวอร์ทเตอร์แต่ละตัวทำหน้าที่กลับสัญญาณที่เข้ามาให้ต่างไปจากเดิม 180 องศา สัญญาณเอาท์พุทที่ได้รับมีค่าแรงดันเปลี่ยนแปลงอยู่ระหว่าง 0 กับ $+V_{cc}$ และเราสามารถเลื่อกค่าแรงดันเอาท์ได้โดยการปรับค่าแรงดัน $+V_{cc}$



รูปที่ 3-7 แสดงตำแหน่งอินเวอร์ทเตอร์ภายใน 4009

4011 : วงจรรวมนี้ภายในประกอบด้วย 2 INPUT NAND GATE 4 ตัวอยู่ในวรจรรวมเดียวกันดังแสดงในรูปที่ 3.8 NAND GATE แต่ละตัวจะให้สถานะต่ำเมื่อมีแรงดันบวก 5 ถึง 9 โวลต์เข้ามาที่ขาอินพุททั้งสองของ NAND GATE แรงดันที่จุดเอ๊าท์พุทจะมีค่าเท่ากับ V_{ss} แต่ถ้าแรงดันเข้าที่ขาอินพุทของ NAND GATE ขาใดขาหนึ่งหรือทั้งสองขาเป็นศูนย์ แรงดันออก จะมีค่าเท่ากับบวก V_{DD}



รูปที่ 3-8 แสดงตำแหน่ง NAND GATE ภายใน 4011

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยการต่อให้วงจรทั้งสามตัว คือ 4017, 4009, 4011 ทำงานร่วมกันดังแสดงในรูปที่ 3-9 ได้เป็นหน่วยสร้างสัญญาณควบคุมที่สามารถให้สัญญาณควบคุมได้ตามความต้องการดังแสดงในรูป 3-10

การทำงานของวงจรสร้างสัญญาณควบคุม

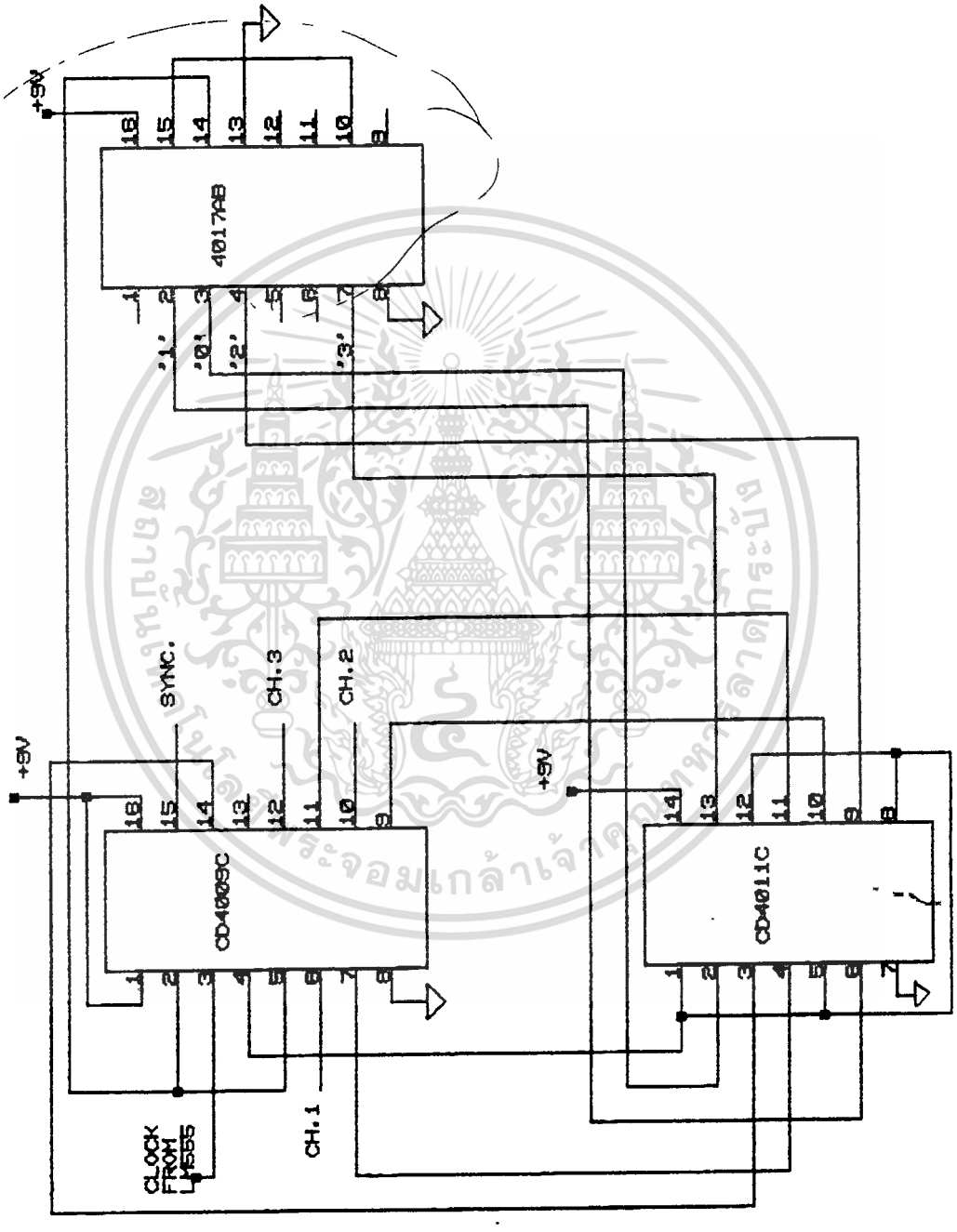
โดยการนำสัญญาณคลอคพัลส์ดังแสดงในรูป 3-10 ก ซึ่งได้จากหน่วยกำเนิดขบวนพัลส์ผ่านวงจรอินเวอร์เตอร์ (4009) จะได้แรงดันเอ๊าท์พุทเป็นสัญญาณคลอคพัลส์กับเฟสไปจากเดิม 180 องศาดังแสดงในรูป 3-10 ก เมื่อนำสัญญาณคลอคพัลส์ที่กลับเฟสแล้วนี้ไปป้อนเข้าที่ขา 14 ของวงจรรวม 4017 วงจรรวมนี้จะให้แรงดันเอ๊าท์พุทที่ขา 1,2,3 และ 7 ที่มีลักษณะดังแสดงในรูปที่ 3-10 แล้วนำเอาสัญญาณเอ๊าท์พุทที่ได้รับนี้ไปป้อนเข้าที่ขาใดขาหนึ่งของวงจรรวม NAND GATE (4011) แต่ละตัว ในขณะเดียวกันที่ขาอีกข้างหนึ่งของวงจร NAND GATE แต่ละตัวจะถูกป้อนด้วยสัญญาณคลอคพัลส์ เมื่อนำแรงดันเอ๊าท์พุทของ NAND GATE แต่ละตัวไปผ่านวงจรอินเวอร์เตอร์ จะได้สัญญาณเอ๊าท์พุทตามรูปที่ 3-10 ซึ่งเป็นสัญญาณควบคุมที่ต้องการ

3.3.3 วงจรสุ่มสัญญาณ (Sampling Circuit)

วงจรสุ่มสัญญาณที่นำมาใช้ในวิทยานิพนธ์นี้ต้องมีความกว้างของย่านความถี่นั้นมากพอที่จะให้ความถี่ตั้งแต่ 300-3400 Hz ผ่านได้สะดวก ความต้านทานของวงจรสุ่มสัญญาณในขณะที่ยอมให้สัญญาณข่าวสารผ่านออกไปมีค่าน้อย และค่าความต้านทานนี้จะมีค่ามากในขณะที่ไม่ยอมให้สัญญาณผ่าน วงจรสุ่มสัญญาณนี้สามารถให้สัญญาณข่าวสารที่มีขนาดแรงดันเปลี่ยนแปลงอยู่ระหว่าง +5 โวลต์ -5 โวลต์ผ่านได้โดยสะดวก

ในวิทยานิพนธ์นี้เลือกใช้วงจรรวม 4016 เป็นวงจรสุ่มสัญญาณที่ประกอบด้วยแอนนาลอกสวิทช์ (Analog Switch) 4 ตัวในวงจรรวมเดียวกันดังแสดงในรูปที่ 3-11 แอนนาลอกสวิทช์แต่ละตัวอาศัยการทำงานระหว่าง P Channel กับ N Channel ค่าความต้านทานของสวิทช์นี้มีค่ามากกว่า 80 MΩ เมื่อสวิทช์ไม่นำกระแส (สวิทช์เปิด) ในขณะที่สวิทช์นำกระแส (สวิทช์ปิด) ความต้านทานมีค่าประมาณ 300 Ω โดยที่สวิทช์จะปิดก็ต่อเมื่อมีแรงดันควบคุมมาทำให้แรงดันที่ขาควบคุมมีค่าเป็นบวก และสวิทช์จะเปิดเมื่อมีแรงดันควบคุมมาทำให้แรงดันที่ขาควบคุมมีค่าเป็นลบ สัญญาณข่าวสารจะผ่านแอนนาลอกสวิทช์ไปได้ในช่วงเวลาที่ขาควบคุมมีแรงดันเป็นบวกเท่านั้น การให้แรงดันควบคุมกับขาควบคุมของแอนนาลอกสวิทช์นั้นจะใช้ Capacitive Coupling ทั้งนี้เพื่อให้มีแรงดันที่ควบคุมมีลักษณะเหมาะสมกับไบเอ็ส 4016

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3-9 วงจรสร้างสัญญาณควบคุม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

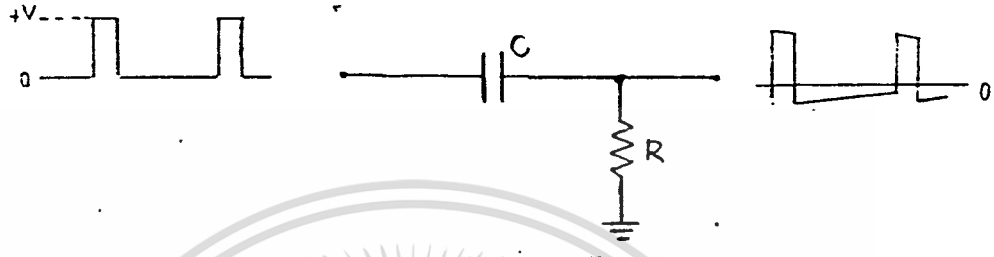
รูปที่ 3-10 แสดงการจัดเวลาของหน่วยสร้างสัญญาณควบคุม

รูปที่ 3-11 แสดงตำแหน่งสวิทช์ภายใน 4016

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การออกแบบส่วน Capacitive Coupling

ในการออกแบบจะใช้วงจร RC ในลักษณะของวงจรกรองความถี่สูงผ่าน (High-Pass Filter) ดังรูปที่ 3-12 ซึ่งได้แสดงในลักษณะสัญญาณอินพุทและเอ๊าท์พุทของวงจรส่วนนี้ไว้ด้วย



รูปที่ 3-12 แสดงลักษณะของส่วน Capacitive Coupling

พิจารณารูปที่ 3-13 ซึ่งแสดงสัญญาณเอ๊าท์พุทเมื่ออยู่ในสภาวะสมดุลย์

รูปที่ 3-13 แสดงลักษณะสัญญาณเอ๊าท์พุทของส่วน Capacitive Coupling

จะสามารถเขียนสมการที่เกี่ยวข้องในการหาค่า $V_1 - V_4$ ได้ดังนี้

$$V_1 = V + V_4 \qquad (3.11)$$

$$V_2 = V_1 e^{-t_1/RC} \qquad (3.12)$$

$$V_3 = V_2 - V \qquad (3.13)$$

$$V_4 = V_3 e^{-t_2/RC} \qquad (3.14)$$

สำหรับวิทยานิพนธ์กำหนดให้ $t_1 = 3$ us , $t_2 = 17$ us

ลักษณะสัญญาณเอ๊าท์พุทนี้จะนำไปควบคุมการเปิดปิดของแอนนาลอกสวิทช์ภายในวงจรรวม CMOS 4016 ดังนั้นระดับสัญญาณในสถานะเดียวกันไม่ควรแตกต่างกันมากนัก

กำหนดให้ $V_2 = 0.95\ V_1$

จาก (3.12) จะได้

$$0.95\ V_1 = V_1 e^{-t_1/RC}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$RC = -t_1 / \ln 0.95$$

$$RC = 5.85 * 10^{-5}$$

แทนค่า V = 9 โวลท์ แล้วแก้สมการจะได้

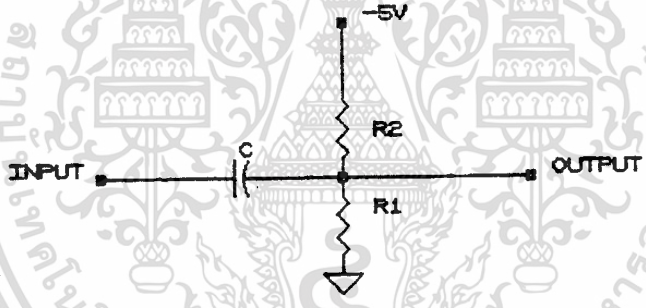
V_1 = 7.84 โวลท์

V_2 = 7.45 โวลท์

V_3 = -1.55 โวลท์

V_4 = -1.16 โวลท์

และเพราะสัญญาณควบคุมนี้ไม่ควรมีค่าเกิน V_{DD} หรือต่ำกว่า V_{SS} ดังนั้นต้องลดระดับ V_1 ลงให้ต่ำลงกว่า +5 V โดยที่การลดระดับสัญญาณ V_1 นี้ไม่ทำให้ V_3 มีค่าต่ำกว่า V_{SS} ถ้ากำหนดให้ V_1 ลดระดับลง 2 V เราจะได้วงจรใหม่ดังรูปที่ 3-14



รูปที่ 3-14 แสดงวงจรส่วนคาปาซิทีฟดัปปลิ้ง

โดยที่ R_1 และ R_2 จะกำหนดระดับแรงดันดีซีโวลเตจที่จุดเอาท์พุทเท่ากับ -3 V ซึ่งจะเกิดผลให้ระดับโวลเตจที่เอาท์พุทลดลงจากเดิม 3 V จากวงจรจะเห็นว่าถ้าต้องการให้มีดีซีโวลเตจที่เอาท์พุท -3 V ค่าอัตราส่วน R_1/R_2 จะต้องเท่ากับ 3/2 ดังนั้นถ้ากำหนดให้ R_2 = 100k แล้ว R_1 = 150k

จากสมการที่ (3.15) $RC = 5.85*10^{-5}$

ในที่นี้ $R = R_1 // R_2 = (100 * 150) / (100 + 150)$ k = 60kΩ

เพราะฉะนั้น $C = 5.85*10^{-5} / 60\text{ k} = 975$ PF

สามารถใช้ C = 1000 PF

เพราะฉะนั้นจะได้ระดับโวลเตจที่เอาท์พุทใหม่คือ

เอกสารนี้ใช้เพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

V_1 = 4.84 Volt

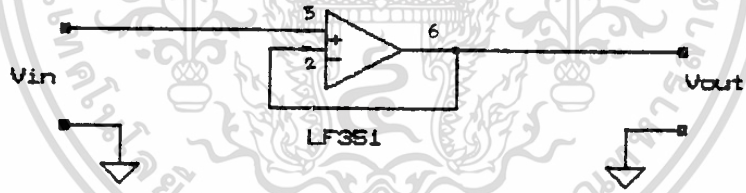
V_2 = 4.45 Volt

V_3 = -4.55 Volt

V_4 = -4.16 Volt

3.3.4 วงจรเอาท์พุทบัฟเฟอร์แอมปลิฟายเออร์ (Output Buffer Amplifier)

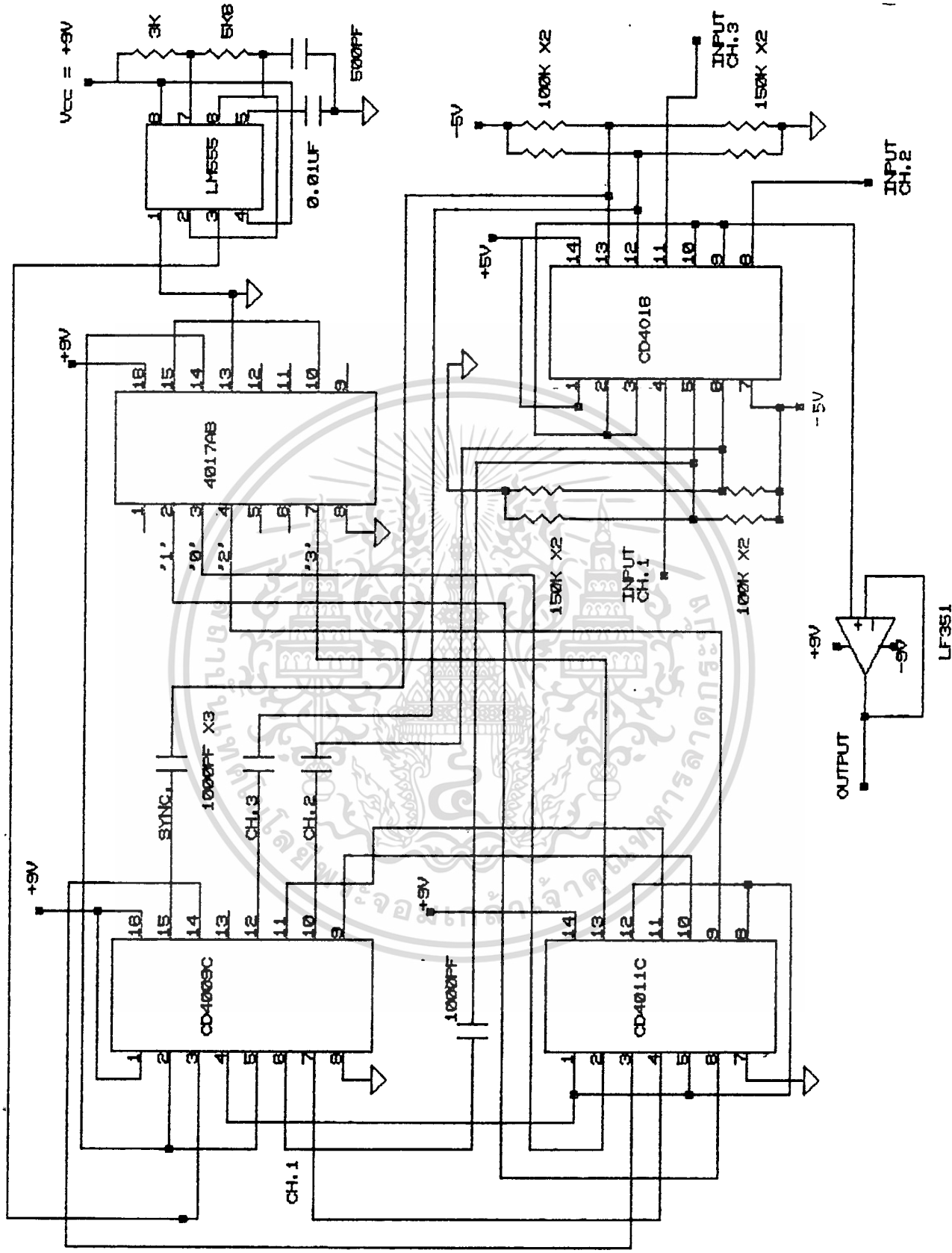
เพื่อลดผลกระทบกระเทือนของสายส่งที่จะเกิดกับเครื่องส่งในที่นี้จึงเพิ่มวงจรเอาท์พุทบัฟเฟอร์แอมปลิฟายเออร์ขึ้นอีกชุดหนึ่ง โดยใช้วงจรรวม LF 351 (วงจรรวมเบอร์นี้เป็น Monolithic JFET Input Operational Amplifier) โดยการต่อวงจรให้ทำงานเป็นวงจร Votage follower ดังรูปที่ 3-15



รูปที่ 3.15 แสดงการนำไอซีเบอร์ LF 351 มาใช้งานเป็น BUFFER

การทำงานของวงจรในรูปที่ 3-15 นี้เข้าใกล้ Ideal Voltage Follower มาก สัญญาณทางออกจะมีลักษณะตามสัญญาณทางเข้าตลอดเวลาดังนี้ $V_o = V_i$ การใช้ JFET Input Operational Amplifier ทำให้ Input Impedance ของวงจรนี้สูงมาก ดังนั้นผลกระทบจากสายส่งที่มีถึงเครื่องส่งจึงมีค่าน้อยมาก และเมื่อนำส่วนต่างมาประกอบกันเป็นเครื่องส่ง จะได้วงจรที่สมบูรณ์ดังแสดงไว้ในรูปที่ 3-16

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.4 การออกแบบเครื่องรับ 3 ช่องสัญญาณในระบบการรวมสัญญาณโดยการแบ่งเวลา การแบ่งเวลา การออกแบบเครื่องรับแบ่งออกเป็น 4 ส่วน คือ :-

3.4.1 การออกแบบวงจรแยกสัญญาณซินโครไนซ์

3.4.2 การออกแบบหน่วยสร้างสัญญาณควบคุม

3.4.3 การออกแบบวงจรแยกสัญญาณ

3.4.4 การออกแบบวงจรผ่านย่านความถี่ต่ำ 0-3.4 kHz

3.4.1 การออกแบบวงจรแยกสัญญาณซินโครไนซ์

วงจรแยกสัญญาณซินโครไนซ์ที่สร้างขึ้นนี้ ต้องสามารถแยกสัญญาณซินโครไนซ์ สัญญาณซินโครไนซ์ที่ส่งร่วมมากับตัวอย่างของสัญญาณข่าวสาร ซึ่งอยู่ในรูปของสัญญาณซินโครไนซ์ที่ส่งร่วมมากับตัวอย่างของสัญญาณข่าวสาร ซึ่งอยู่ในรูปของ PAM - TDM (Pulse Amplitude Modulation Time Division Multiplexing) ที่มาถึงเครื่องรับได้ และสัญญาณซินโครไนซ์ที่แยกออกนั้นจะต้องมีรูปร่างลักษณะเหมือนกับสัญญาณซินโครไนซ์ที่ส่งมา

ในวิทยานิพนธ์เราใช้วงจรรวม 4011 ซึ่งภายในประกอบด้วย 2 INPUT NAND GATE 4 ตัว อยู่ในวงจรรวมเดียวกัน โดยต่อวงจรให้ทำงานตามรูปที่ 3-17

รูปที่ 3.17 แสดงวงจรแยกซิงค์โดยใช้ NAND GATE

การทำงานของวงจรแยกสัญญาณซินโครไนซ์

ในการส่งสัญญาณ กำหนดให้ ตัวอย่างของสัญญาณข่าวสารมีขนาดความสูงสุดน้อยกว่าสัญญาณซินโครไนซ์ประมาณ 2 โวลท์ ดังนั้น ในช่วงเวลาที่ตัวอย่างของสัญญาณ

เอกสารนี้มีลิขสิทธิ์ ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ข่าวสารผ่านเข้ามา สัญญาณทางออกของ NAND GATE ตัวแรกจึงมีค่า 9 โวลต์ และในช่วงเวลาที่สัญญาณชินโครไนซ์ซึ่งมีขนาดความสูงประมาณ 5 โวลท์ ผ่านเข้ามา NAND GATE ตัวแรกจะให้สัญญาณทางออกมีค่าเป็น 0 โวลท์ เมื่อนำสัญญาณทางออกนี้ไปผ่านวงจรอินเวอร์เตอร์ วงจรอินเวอร์เตอร์นี้จะทำหน้าที่กลับเฟสของสัญญาณที่เข้ามาให้ต่างไปจากเดิม 180 องศา ดังนั้นสัญญาณทางออกจากวงจรอินเวอร์เตอร์จึงเป็นสัญญาณชินโครไนซ์ที่แยกออกจากสัญญาณรวมตามต้องการ

3.4.2 การออกแบบหน่วยสร้างสัญญาณควบคุม

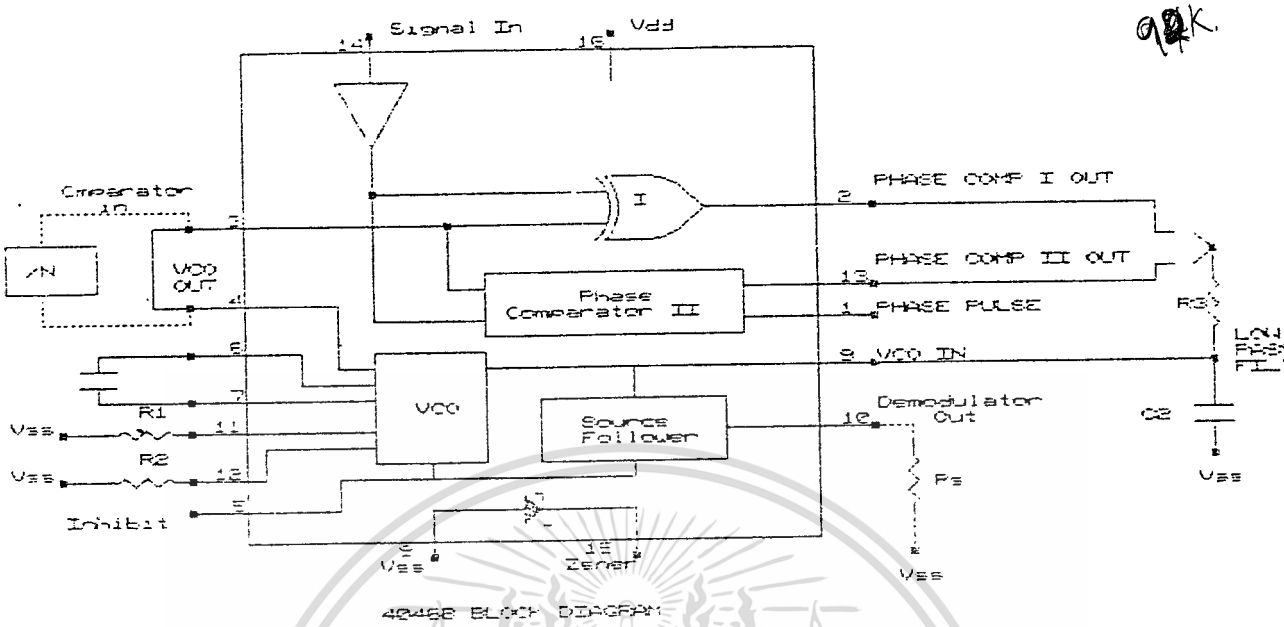
หน่วยสร้างสัญญาณควบคุมนี้ รับพัลส์ชินโครไนซ์จากวงจรแยกสัญญาณชิงโครไนซ์นำมาสร้างเป็นสัญญาณควบคุมสัญญาณควบคุมที่สร้างได้นี้มีลักษณะเป็นพัลส์รูปสี่เหลี่ยมผืนผ้าระดับแรงดันเปลี่ยนแปลงอยู่ระหว่าง 0 ถึง 9 โวลท์ สัญญาณควบคุมนี้มีอยู่ 4 ชุด และเพื่อและเพื่อให้การทำงานของเครื่องส่งและเครื่องรับ เป็นจังหวะสัมพันธ์กันในที่นี้ใช้สัญญาณควบคุมที่สร้างขึ้นชุดที่ 1 เป็นสัญญาณเปรียบเทียบกันกับสัญญาณชินโครไนซ์ ที่ได้รับจากวงจรแยกสัญญาณชินโครไนซ์ สัญญาณทั้งสองจะต้องมีเฟสตรงกัน

ในวิทยานิพนธ์นี้ หน่วยสร้างสัญญาณควบคุมทางเครื่องรับประกอบด้วยวงจรรวม 4 ตัว ทำงานร่วมกัน วงจรรวมทั้ง 4 ตัวเป็นวงจรรวมชนิด CMOS ได้แก่ วงจรรวม 4046, 4009, 4017 และ 4011

4046: วงจรรวมนี้เป็น Micropower Phase-Locked Loop ประกอบด้วยวงจร A Low Power Linear, Voltage-Controlled Oscillator (VCO), A Source Follower, A Zener Diode และ Phase Comparator 2 ตัว ดังแสดงเอาไว้ในรูปที่ 3-18

โวลเตจคอนโทรลออสซิลเลเตอร์ (VCO) ของ 4046 สามารถผลิตความถี่ได้ในย่านตั้งแต่ ดีซีไปจนถึงความถี่ในย่านของเมกกะเฮิร์ซ โดยขึ้นอยู่กับค่าของรีซีสเตอร์ คาพาซิเตอร์ ที่ต่ออยู่ภายนอกไอซี และค่าของไฟเลี้ยงวงจรความถี่ต่ำสุดของการออสซิลเลทขึ้นขึ้นอยู่กับค่าของ ตัวต้านทาน R_2 ที่ขา 12 และความถี่สูงสุดของการออสซิลเลทขึ้นอยู่กับค่าของ R_1 ที่ขา 11 และค่าของไฟเลี้ยงวงจร การทำงานของออสซิลเลเตอร์ (V_{DD} สามารถควบคุมได้ด้วยระดับโลจิกที่ขา 5 ถ้าต่อขา 5 ของ 4046 เข้ากับไฟบวก (V_{DD}) ออสซิลเลเตอร์จะไม่ทำงานและถ้าต่อขา 5 ลงกราวนด์ (V_{SS}) ออสซิลเลเตอร์ก็จะทำงาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.18 แสดงบล็อคไดอะแกรมภายใน 4046

วงจรภายในของ 4046 ประกอบด้วยเฟสคอมพาราเตอร์ 2 คือตัวเฟสคอมพาราเตอร์ I หรือ โลว์นอยซ์ เฟสคอมพาราเตอร์ ซึ่งมีเอ้าท์พุทออกที่ขา 2 และเฟสคอมพาราเตอร์ II หรือไวด์แบนด์เฟสคอมพาราเตอร์ ซึ่งมีเอาท์พุทออกที่ขา 13 โดยเฟสคอมพาราเตอร์ทั้งสองมีอินพุทร่วมกันอยู่ ในการใช้งานเฟสคอมพาราเตอร์ตัวใดก็นำลูปฟิลเตอร์ไปต่อเข้ากับเอาท์พุทของเฟสคอมพาราเตอร์นั้น สำหรับในการใช้งาน 4046ในหน่วยสร้างสัญญาณควบคุมของเครื่องรับนี้จะใช้ไวด์แบนด์เฟสคอมพาราเตอร์ เพราะอินพุทพลัส์ที่นำมาเปรียบเทียบไม่ได้มีดิวตี้ไซเคิ้ล50%ในขณะที่การเปรียบเทียบเฟสของโลว์นอยซ์เฟสคอมพาราเตอร์ต้องเป็นพัลส์ที่ดิวตี้ไซเคิ้ล 50% เท่านั้น

สำหรับความถี่ของ VCO จะต้องเท่ากับความถี่ของส่วนกำหนดขบวนพัลส์ทางเครื่องส่ง การทำงานจึงจะสามารถเข้าจังหวะกันได้อย่างพอดี ดังนั้น VCO จะต้องผลิตแรงดันทางออกความถี่ 200 KHz โดยเราสามารถหาค่า R_1, R_2, R_3, C_1, C_2 ได้จากตารางคุณสมบัติของ 4046 ดังนั้นเราจะได้

$$R_1 = 10\ K\ ,\ R_2 = 100\ K\ ,\ R_3 = 300$$

$$C_1 = 1000\ PF,\ C_2 = 1\ uF$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

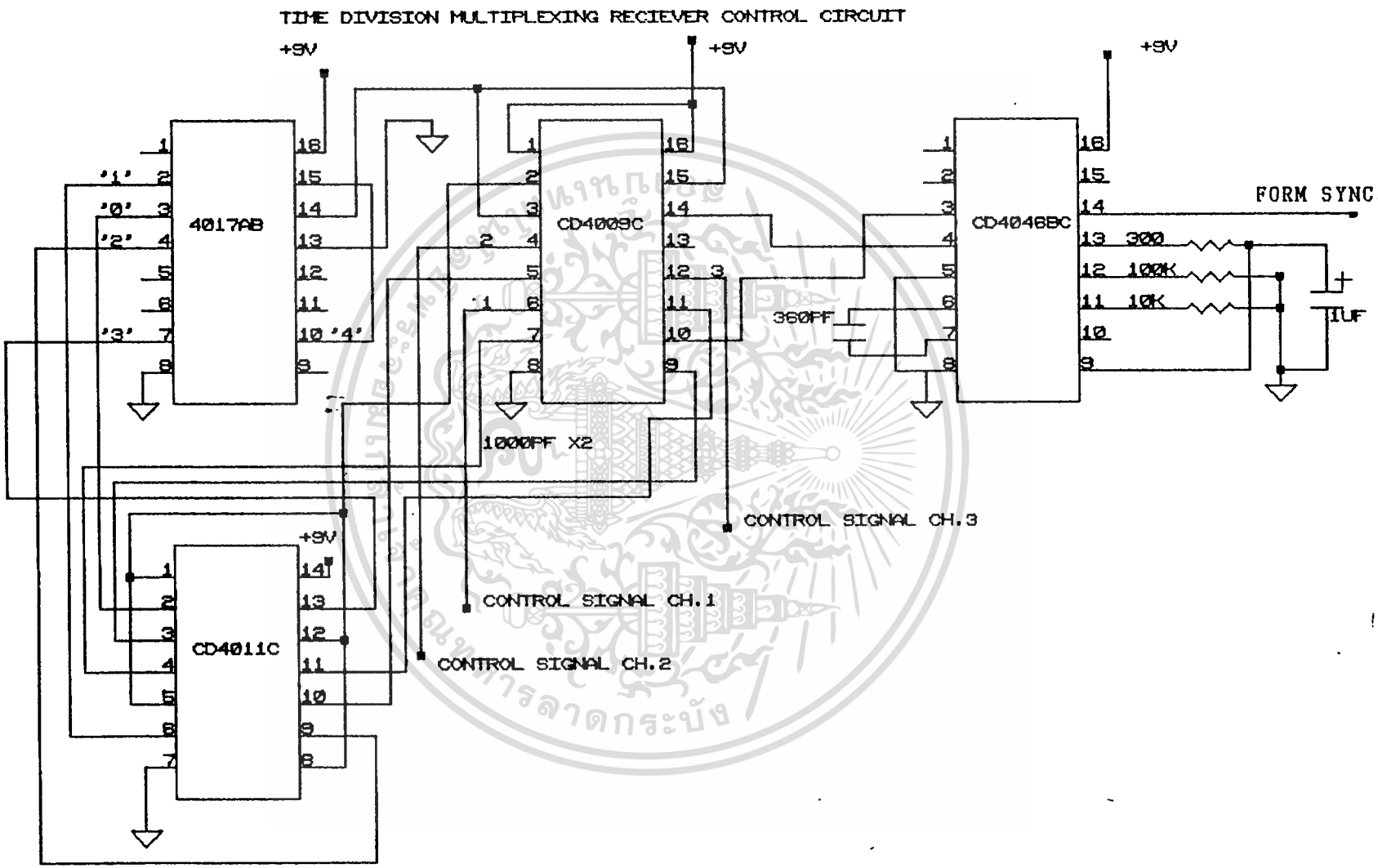
การทำงานของวงจร

ป้อนสัญญาณซินโครไนซ์ที่ได้จาก วงจรแยกสัญญาณซินโครไนซ์เข้าที่ขา 14 ของวงจรรวม 4046 วงจร Phase Comparator II จะเปรียบเทียบเฟสของสัญญาณนี้กับสัญญาณที่ผ่านเข้ามาทางขั้ว Comparator in ผลต่างของเฟสของสัญญาณทั้งสองนำไปผ่านวงจรผ่านย่านความถี่ต่ำซึ่งประกอบด้วย R_3 และ C_2 จะได้แรงดันไฟตรง แรงดันไฟตรงนี้จะป้อนเข้าที่ขั้ว VCO in จะทำให้ VCO สร้างแรงดันทางออกมีความถี่ค่าหนึ่ง ดังแสดงในรูปที่ 3-19 สัญญาณที่ได้นี้ไปผ่านวงจรเหมือนกับวงจรในหน่วยสร้างสัญญาณควบคุมทางด้านเครื่องส่งจะได้สัญญาณซินโครไนซ์ป้อนเข้าที่ขั้ว comparator in ของ 4046 เมื่อนำสัญญาณซินโครไนซ์นี้ไปเปรียบเทียบกับสัญญาณซินโครไนซ์ที่ได้รับมาจากวงจรแยกสัญญาณซินโครไนซ์ ถ้าสัญญาณทั้งสองมีเฟสต่าง กันจะมีสัญญาณผลต่างออกที่ขั้ว Phase comparator II Out สัญญาณที่ได้รับจากผลต่างของเฟสนี้จะไปควบคุมวงจร VCO ให้สร้างสัญญาณทางออกขึ้นที่ขั้ว VCO Out ในทางที่จะทำให้ ผลต่างของเฟสมีค่าลดลงจนสัญญาณทั้งสองมีเฟสตรงกัน ในการทดลองนี้เมื่อสัญญาณทั้งสองมีเฟสตรงกันแล้ว ขั้ว VCO in จะมีแรงดันไฟตรงค่าหนึ่งที่ทำให้ VCO สร้างความถี่ค่าคงที่นั้นไว้ (ในการทดลองมีความถี่เท่ากับ 200 kHz) ตราบเท่าที่ความถี่ของสัญญาณซินโครไนซ์ไม่เปลี่ยนแปลง ในขณะเดียวกันหน่วยสร้างสัญญาณควบคุมทางด้านเครื่องรับจะให้สัญญาณควบคุมสำหรับช่องสัญญาณที่ 1, 2, และ 3 ออกมาด้วย นำสัญญาณนี้ไปใช้ปิดเปิดสวิทช์ให้สัญญาณข่าวสารออกตรงตามช่องสัญญาณที่ส่งมาได้ตามต้องการ

3.4.3 การออกแบบวงจรแยกสัญญาณ

ในที่นี้วงจรแยกสัญญาณใช้แอนนาลอกสวิทช์ 4016 เช่นเดียวกันกับวงจรสุ่มสัญญาณทางด้านเครื่องส่งโดยการนำสัญญาณควบคุมของแต่ละช่องสัญญาณป้อนเข้าที่ขาควบคุมของแอนนาลอกสวิทช์แต่ละตัว นำสัญญาณรวมที่ส่งมายังเครื่องรับป้อนเข้าที่ขั้วทางเข้าของแอนนาลอกสวิทช์ทั้งสามตัวเราจะได้ตัวอย่างสัญญาณเป็นสัญญาณข่าวสารที่ไม่ต่อเนื่อง และเมื่อนำสัญญาณนี้ไปผ่านวงจรความถี่ต่ำผ่าน ก็จะได้สัญญาณข่าวสารมีลักษณะคล้ายกับสัญญาณข่าวสารที่ส่งมาในแต่ละช่องสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3-19 แสดงวงจรสร้างสัญญาณควบคุมของเครื่องรับ

3.4.4 วงจรผ่านย่านความถี่ต่ำ 0 - 3.4 kHz

วงจรผ่านย่านความถี่ต่ำ 0 - 3.4 kHz นี้มีไว้เพื่อป้องกันสัญญาณที่มีความถี่สูงกว่า 3.4 kHz เข้ามารบกวนสัญญาณTDMที่ได้รับทางเครื่องรับ และเป็นการทำให้สัญญาณเสียงที่รับได้ต่อเนื่องอีกด้วย วงจรผ่านย่านความถี่ต่ำนี้สร้างขึ้นเพื่อใช้ในย่านความถี่ค่อนข้างต่ำ ดังนั้นการใช้ตัวความต้านทาน(R), ตัวเหนี่ยวนำ(L), และตัวเก็บประจุ(C) ประกอบขึ้นเป็นวงจรผ่านย่านความถี่ต่ำนี้จึงไม่สะดวกในทางปฏิบัติ เนื่องจากตัวเหนี่ยวนำมีขนาดใหญ่ ในที่นี้เราจึงใช้วงจร Active filter แทน

การออกแบบส่วนกรองความถี่ต่ำผ่าน (LOW-PASS FILTER)

ในการออกแบบจะกำหนดให้ cut-off frequency สูงกว่าความถี่สูงสุดของสัญญาณข่าวสารซึ่งก็คือ 3.4 kHz ดังนั้นถ้ากำหนดให้ที่ความถี่ 5 kHz ยอมให้เกิด Maximum Loss 1 dB ดังนั้นจากสมการของ Loss Function ของ 4^{th} - order LP normalized Butterworth Approximations คือ

$$(S^2 + 0.76537\ S + 1)(S^2 + 1.8447\ S + 1)$$

กำหนด MAXIMUM LOSS (Amax) 1 dB ที่ 5 kHz

$$W_p = 2\pi f = 30\ k\ rad/sec$$

และจาก

$$\varepsilon = (10^{0.1A_{max}} - 1)^{1/2}$$

$$\varepsilon = (10^{0.1(1)} - 1)^{1/2}$$

แทนค่า S ใน Loss Function ด้วย

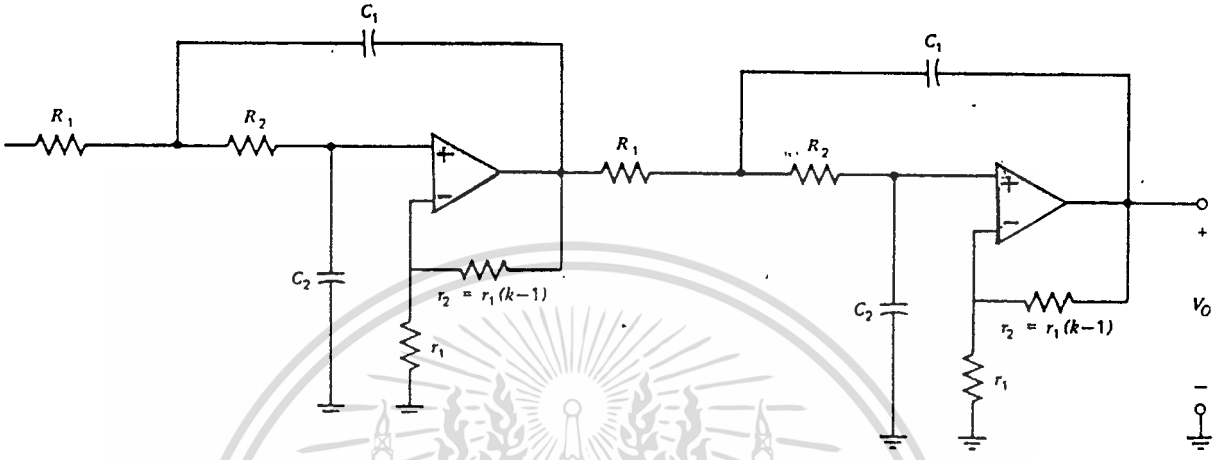
$$S(\varepsilon^{1/n})/W_p = S(0.509)^{1/4}/30\ k = 2.8155*10^{-5}\ S$$

จะได้ denormalized LP Approximation Function คือ

$$H(S) = \frac{(S^2 + 27184\ S + 1261489437)}{1261489437}\ \frac{(S^2 + 65627.73\ S + 1261489437)}{1261489437}$$

เมื่อได้ Loss Function ของเงื่อนไขที่ต้องการแล้วก็จะสามารถนำไปสร้างเป็นวงจรได้โดยในวิทยานิพนธ์จะใช้วงจร Sallen and Key low-pass circuit มาต่อ cascade กับ 2 ชุด เพื่อให้ได้ Loss Function ที่ต้องการดังรูปที่ 3-20

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3-20 แสดงวงจรกรองความถี่ต่ำ

สมการ Gain Function ของ low-pass order 2

$$GAIN\ 1 = \frac{K}{S^2 + W_p S/Q_p + W_p^2}$$

และเพราะว่า Gain function คือ ส่วนกลับของ Loss Function

กำหนดให้ Gain Function ของชุดที่ 1 (GAIN 1) คือ

$$GAIN\ 1 = \frac{1261489437}{(S^2 + 27164\ S + 1261489437)}$$

และ Gain Function ของชุดที่ 2 (GAIN 2) คือ

$$GAIN\ 2 = \frac{1261489437}{(S^2 + 65627.73\ S + 1261489437)}$$

จะได้ $W_{p1} = W_{p2} = 35.5$ k rad/sec

$Q_{p1} = 1.3066$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$Q_p 2 = 0.5412$$

ในการหาค่าอุปการณ์ต่างๆ นั้น ถ้าเรากำหนดให้ชาเรกาดีไซน์ (Saraga's Design)

$$C_2 = 1 \ , \ C_1 = \sqrt{3} * Q_p \ , \ R_2 / R_1 = Q_p / \sqrt{3}$$

จะได้ $R_2 = 1/\sqrt{3}W_p$, $R_1 = 1/Q_p W_p$, $k = 4/3$

เพราะฉะนั้นเราจะได้อุปกรณ์ต่างๆ ดังนั้น

ชุดที่ 1		ชุดที่ 2	
C1 =	2.263 F	C1 =	0.973 F
C2 =	1 F	C2 =	1 F
R1 =	$2.155 * 10^{-5}$ Ω	R1 =	$5.2 * 10^{-5}$ Ω
R2 =	$1.625 * 10^{-5}$ Ω	R2 =	$1.625 * 10^{-5}$ Ω

และสำหรับค่า $K = 1 + r_2/r_1 = 4/3$

สามารถกำหนดให้ r2 = 1 , r1 = 3

ค่าต่างๆ ที่คำนวนได้สามารถนำมา scale เพื่อให้ได้ค่าที่เหมาะสมในทางปฏิบัติด้วยการนำค่า C หารด้วยค่า scale และนำค่า R คูณด้วยค่า scale ทุกตัวในแต่ละชุด ในที่นี้จะใช้ 45454545.5 เป็นค่า scale ทั้ง 2 ชุด

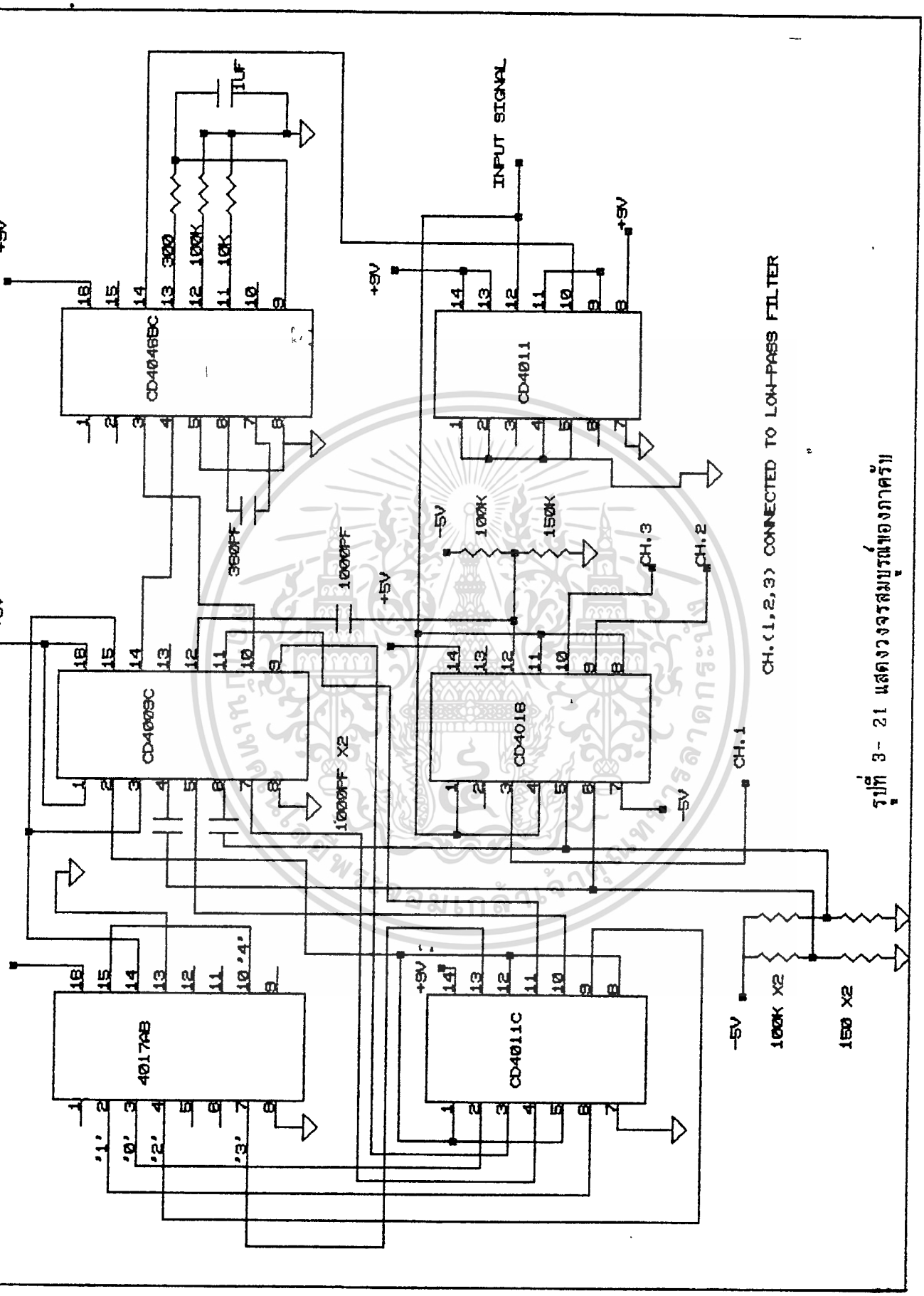
ชุดที่ 1		ชุดที่ 2	
C1 =	0.005 uF	C1 =	0.0022 uF
C2 =	0.0022 uF	C2 =	0.0022 uF
R1 =	9.8 kΩ	R1 =	23.64 kΩ
R2 =	7.38 kΩ	R2 =	7.38 kΩ

สำหรับค่า r_1 และ r_2 สามารถ scale ด้วยค่า 5000 ทั้ง 2 ชุด

r1 = 15 kΩ, r2 = 5 kΩ

สุดท้ายเมื่อนำส่วนทั้งหมดที่ออกแบบไว้มาประกอบเป็นเครื่องรับจะได้วงจรที่สมบูรณ์ ดังแสดงเอาไว้ในรูปที่ 3- 21

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3- 21 แสดงวงจรสมบูรณ์ของภาครับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4

การทดสอบการทำงานของระบบ

เมื่อนำวงจรแต่ละหน่วยที่ได้ออกแบบและสร้างไว้แล้วในบทที่ 3 มาประกอบกันให้ทำงานเป็นเครื่องส่ง และเครื่องรับระบบ PAN-TDM จะได้เป็นวงจรดังแสดงรายละเอียดเอาไว้ในรูปที่ 4.1 ได้ทำการทดสอบการทำงานของระบบโดยเริ่มทดสอบที่หน่วยกำเนิดขบวนพัลส์ออกที่ขาที่ 3 ของวงจรรวม LM 555 มีลักษณะดังแสดงเอาไว้ในรูปที่ 4.1 ความถี่ของสัญญาณนี้มีค่า 200 kHz เมื่อนำขบวนพัลส์นี้ไปป้อนให้กับหน่วยสร้างสัญญาณควบคุมทางด้านเครื่องส่ง จะได้สัญญาณควบคุมออกจากหน่วยสร้างสัญญาณควบคุมนี้ 4 ชุด โดยสัญญาณควบคุมที่อยู่ภายในชุดเดียวกันจะเกิดขึ้นที่เวลาห่างกัน 20 usec และสัญญาณควบคุมชุดที่อยู่ข้างเคียงกันจะเกิดขึ้นด้วยเวลาห่างกัน 2 usec. ดังแสดงเอาไว้ใน รูปที่ 4.1, 4.2, 4.3 และ 4.4 สัญญาณควบคุมที่สร้างได้แต่ละชุดนี้ได้นำไปป้อนผ่านวงจร capacitive coupling ไปยังขาควบคุมของแอนนาลอกสวิทช์แต่ละตัว

ในขณะเดียวกันที่ขาแรงดันทางเข้าของแอนลอกสวิทช์ ที่ได้รับสัญญาณควบคุมชุดที่ 1 ป้อนแรงดันไฟตรง + 5 โวลท์เอาไว้ แรงดันทางออกที่ได้รับจากแอนนาลอกสวิทช์ตัวนี้จะมีลักษณะเหมือนกับสัญญาณควบคุมชุดที่ 1 แตกต่างกันเพียงขนาดความสูงของแรงดันทางออกมีค่าเป็น + 5 โวลท์ แรงดันทางออกที่ได้รับนี้จะใช้เป็นสัญญาณซินโครไนซ์ ถ้าเราป้อนแรงดันเป็นคลื่นรูปไซน์มีขนาดความสูง 4 โวลท์ (วัดจากยอดต่ำสุด ถึงยอดสูงสุดของคลื่น) และมีความถี่เท่ากับ 300 Hz เข้าที่ขั้วแรงดันทางเข้าของแอนนาลอกสวิทช์ตัวที่ได้รับสัญญาณควบคุมชุดที่ 2 แรงดันทางออกของแอนนาลอกสวิทช์ตัวนี้จะเป็นตัวอย่างของสัญญาณคลื่นรูปไซน์ในทำนองเดียวกันที่ขั้วแรงดันทางเข้าของแอนนาลอกสวิทช์ ตัวที่ได้รับสัญญาณควบคุมชุดที่ 3 เราป้อนแรงดันคลื่นรูปไซน์ มีขนาดความสูง 4 โวลท์ (วัดจากยอดต่ำสุดถึงยอดสูงสุดของคลื่น) ความถี่ 1 kHz และสำหรับแอนนาลอกสวิทช์ตัวที่ได้รับสัญญาณควบคุมชุดที่ 4 เราป้อนแรงดันมีขนาดความสูง 4 โวลท์ (วัดจากยอดต่ำสุดถึงยอดสูงสุดของคลื่น) ความถี่ 3.4 kHz แรงดันทางออกที่ได้รับจะมีรูปร่างดังแสดงในรูปที่ 4.5 นำสัญญาณที่ได้ในขั้นนี้ไปผ่านวงจรบัฟเฟอร์แอมปลิฟายเออร์แล้วส่งผ่านสายส่งไปยังเครื่องรับต่อไป

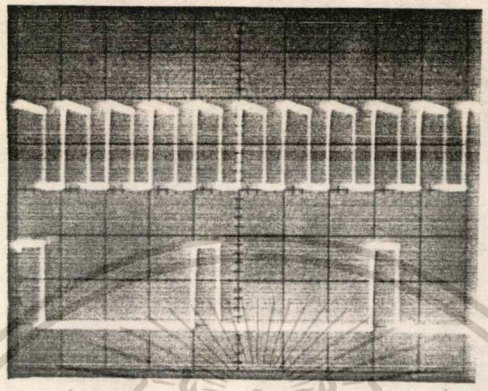
สัญญาณที่มาถึงทางด้านเครื่องรับเป็นสัญญาณรวมทั้งสัญญาณซินโครไนซ์และตัวอย่าง

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ของสัญญาณข่าวสารอีก 3 ข่าวสาร ที่เครื่องรับมีวงจรแยกสัญญาณซินโครไนซ์ออกจากสัญญาณรวมได้เป็นสัญญาณดังแสดงในรูปที่ 4.5 นำสัญญาณซินโครไนซ์ที่แยกได้นี้ป้อนให้แก่หน่วยสร้างสัญญาณควบคุมทางด้านเครื่องรับสัญญาณที่ได้รับจากหน่วยสร้างสัญญาณควบคุมนี้ เป็นสัญญาณควบคุม 3 ชุด นำสัญญาณควบคุมนี้ไปป้อนให้กับขาควบคุมของแอนนาลอกสวิทช์แต่ละตัว สัญญาณที่ได้รับจากสวิทช์แต่ละตัวจะเป็นตัวอย่างของสัญญาณข่าวสารแต่ละข่าวสารที่ส่งมาดังแสดงเอาไว้ในรูปที่ 4.6 นำสัญญาณที่ได้ในขั้นนี้ไปผ่านวงจรผ่านย่านความถี่ต่ำ สัญญาณที่ได้รับในขั้นสุดท้ายจะเป็นสัญญาณข่าวสารที่ต่อเนื่องเหมือนสัญญาณข่าวสารที่ส่งมาในแต่ละช่อง ดังแสดงในรูปที่ 4.7 คือสัญญาณของช่องที่ 2 (ความถี่ 1 kHz)และในรูปที่ 4.8 แสดงการเปรียบเทียบระหว่างสัญญาณข่าวสารที่ส่งมากับสัญญาณข่าวสารที่ได้รับตครั้งสุดท้ายจากเครื่องส่ง ส่วนในรูปที่ 4.6 แสดงการเปรียบเทียบระหว่างสัญญาณ ที่ออกจากเครื่องส่งกับสัญญาณที่ ได้รับจากสวิทช์จะเห็นสัญญาณที่ได้รับปนอยู่กับสัญที่ออกจากเครื่องส่งอย่างชัดเจน

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

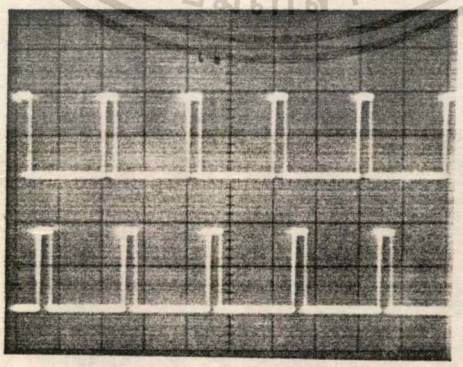


5 V / div

5 usec / div

5 V / div

รูปที่ 4.1 แสดงการเปรียบเทียบสัญญาณของขบวนพัลส์(บน)กับสัญญาณควบคุมสัญญาณซิงโครไนซ์(ล่าง)



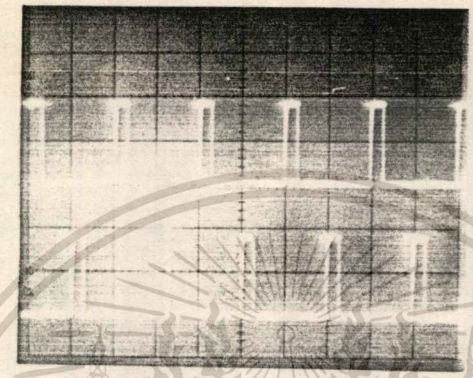
5 V / div

10 usec / div

5 V / div

รูปที่ 4.2 แสดงการเปรียบเทียบสัญญาณควบคุมสัญญาณซิงโครไนซ์(บน)กับสัญญาณควบคุมสัญญาณช่องที่1(ล่าง)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

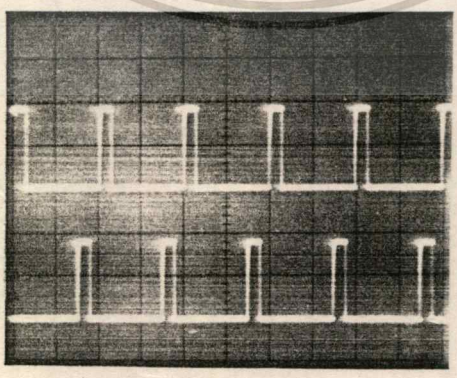


5 V / div

10 usec / div

5 V / div

รูปที่ 4.3 แสดงการเปรียบเทียบสัญญาณควบคุมสัญญาณชิงโครไนซ์(บน)กับสัญญาณควบคุมสัญญาณช่องที่2(ล่าง)



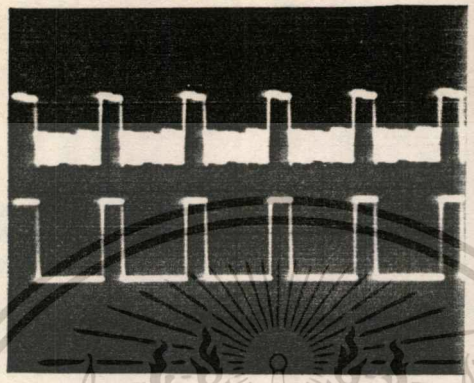
5 V / div

10 usec / div

5 V / div

รูปที่ 4.4 แสดงการเปรียบเทียบสัญญาณควบคุมสัญญาณชิงโครไนซ์(บน)กับสัญญาณควบคุมสัญญาณช่องที่3(ล่าง)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

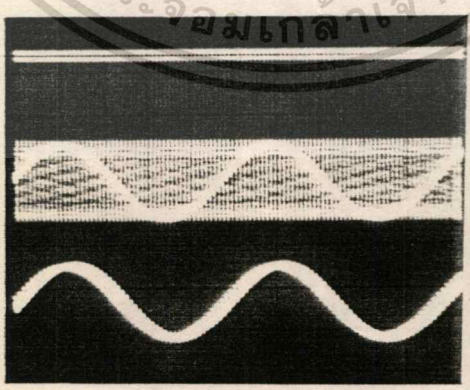


5 V / div

10 usec / div

5 V / div

รูปที่ 4.5 แสดงสัญญาณเอาท์พุทจากเครื่องส่ง(บน)กับสัญญาณที่ได้จากวงจรแยกสัญญาณซิงค์ทางเครื่องรับ(ล่าง)



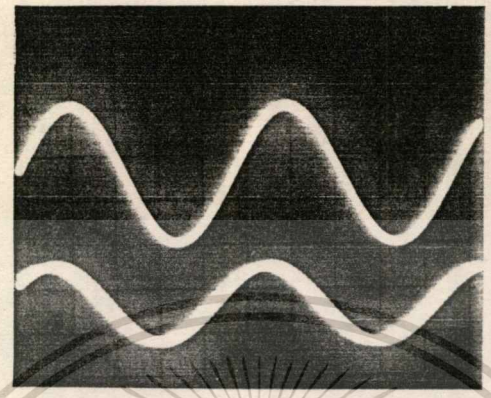
2 V / div

0.2 ms / div

2 V / div

รูปที่ 4.6 แสดงสัญญาณเอาท์พุทจากเครื่องส่ง(บน)กับสัญญาณPAMที่ได้จากเครื่องรับช่องที่2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

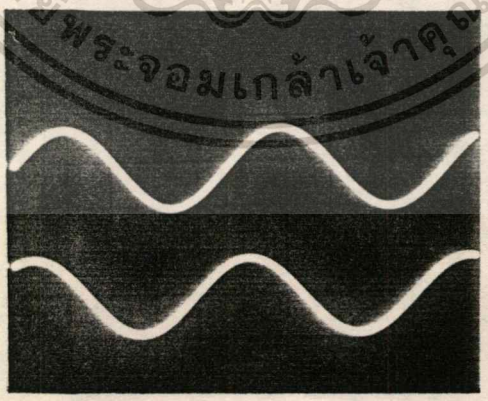


2 V / div

0.2 ms / div

2 V / div

รูปที่ 4.7 แสดงการเปรียบเทียบของสัญญาณPAMที่ได้รับจากเครื่องรับช่องที่2(ล่าง)หลังจากผ่านวงจรกรองความถี่ต่ำผ่าน(บน)



calibrated

0.2 ms / div

2 V / div

รูปที่ 4.8 แสดงการเปรียบเทียบของสัญญาณเอาท์พุทที่เครื่องรับ(บน)ช่องที่2กับสัญญาณอินพุทที่เครื่องส่งช่องที่2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

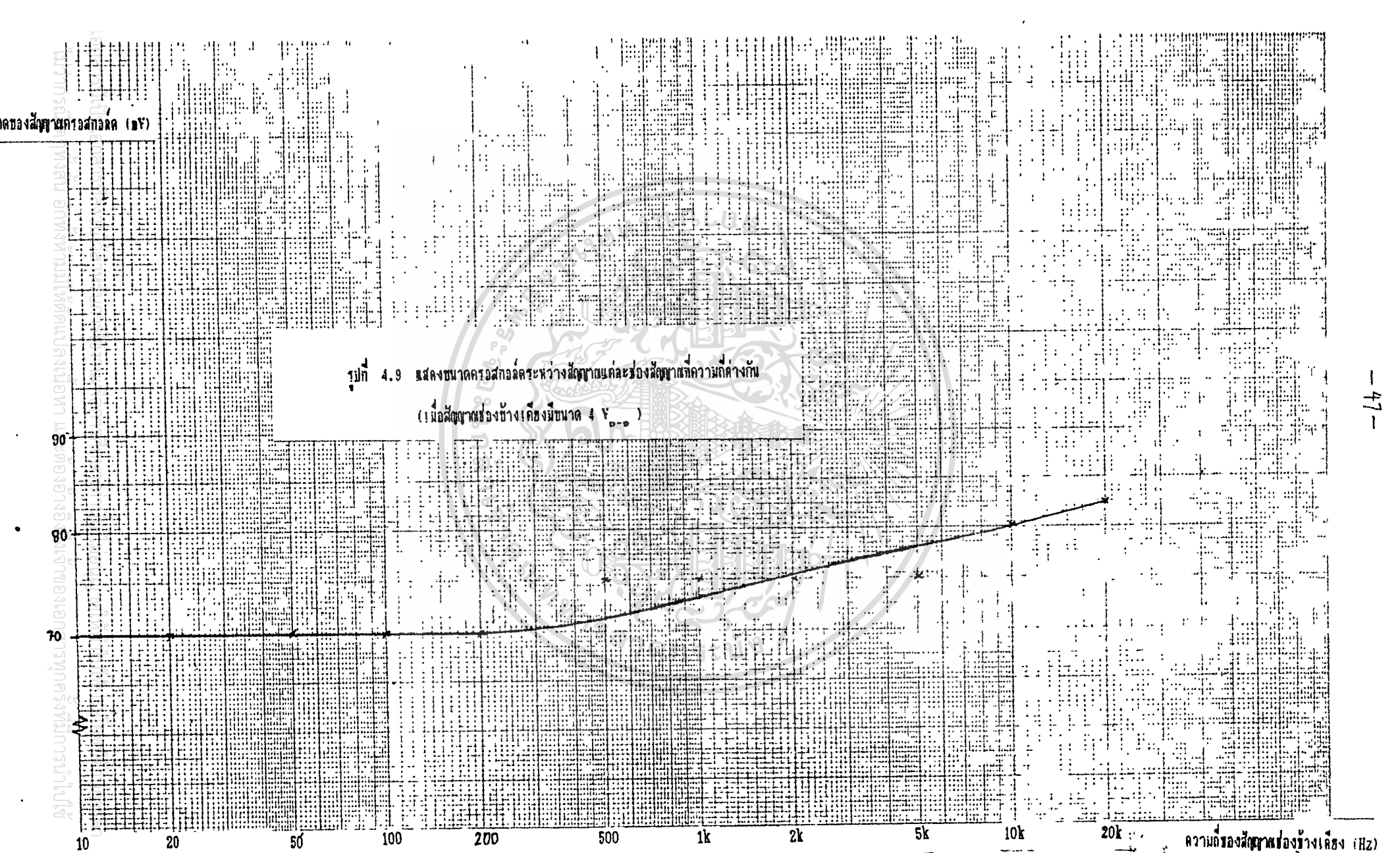
การทดสอบเรื่องครอสทอล์ค (Cross Talk)

ในทางทฤษฎีแล้วนั้น ครอสทอล์คจะไม่เกิดขึ้นในระบบรับส่งสัญญาณ TDM เลย แต่ในทางปฏิบัตินั้นเนื่องจากอุปกรณ์ที่ใช้ในวงจรไม่เป็นอุดมคติ โดยเฉพาะอย่างยิ่งส่วนที่ทำหน้าที่เป็นสวิทช์สุ่มสัญญาณ (IC 4016) ไม่สามารถให้คุณสมบัติของสวิทช์อย่างแท้จริง จึงเกิดปรากฏการณ์ครอสทอล์คขึ้น ดังแสดงในรูปที่ 4.9 ซึ่งเป็นการแสดงขนาดสัญญาณครอสทอล์คที่เกิดขึ้นในช่องสัญญาณหนึ่ง เมื่อมีสัญญาณที่อีกช่องสัญญาณหนึ่งที่ความถี่ต่างๆ กัน

การทดสอบผลตอบสนองทางความถี่ของระบบ (Frequency Respond)

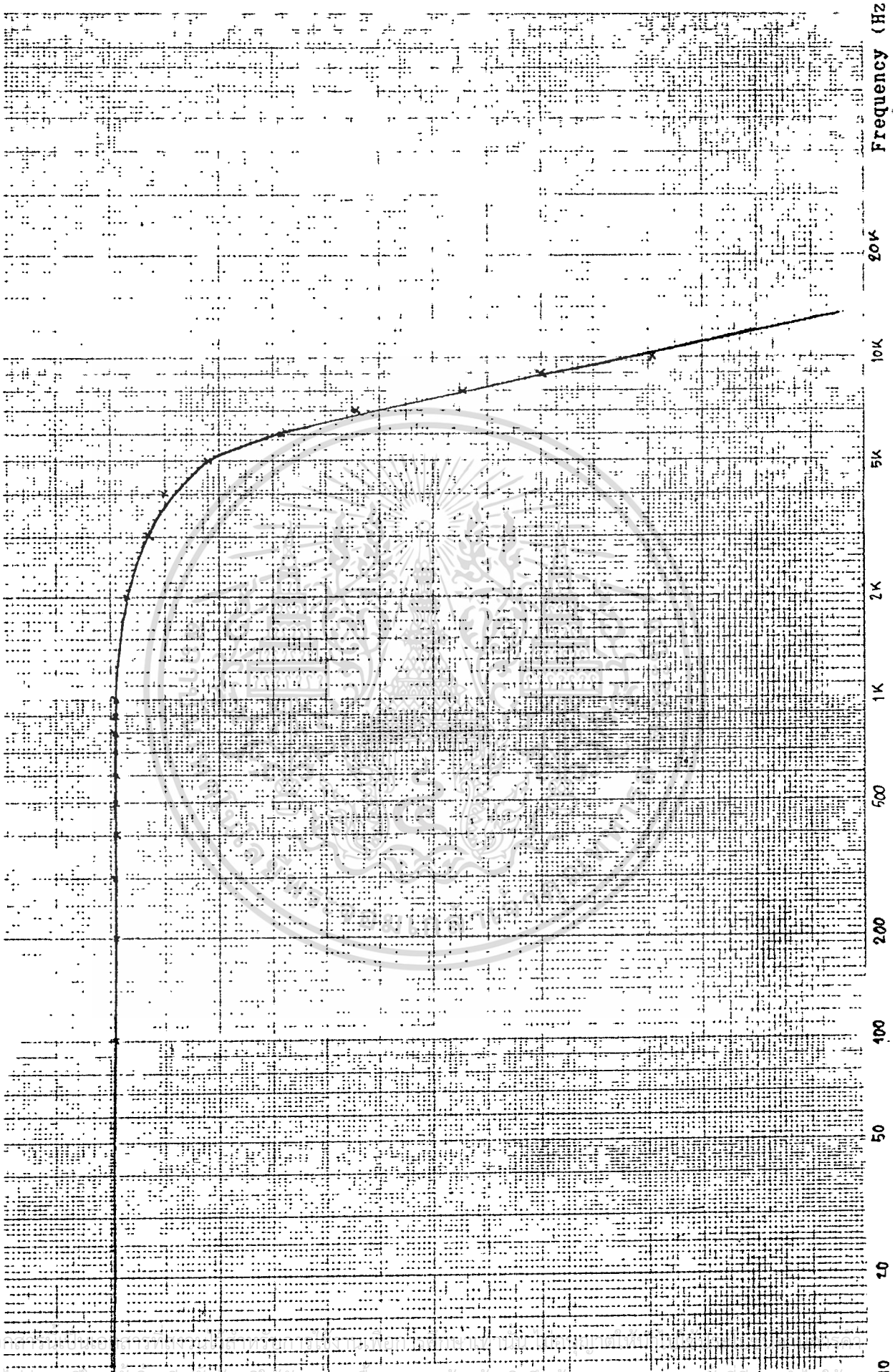
ผลตอบสนองทางความถี่ของระบบ จะถูกจำกัดโดยวงจรกรองความถี่ต่ำผ่านผ่านทางด้านเครื่องรับเป็นสำคัญ อีกทั้งเราได้กำหนดความถี่ในการสุ่มสัญญาณไว้แล้วว่าเป็น 50 kHz ดังนั้นสัญญาณความถี่สูงสุดของวงจรก็จะถูกจำกัดว่ามีค่าไม่เกิน 25kHz ในการทดสอบนั้นได้ทำการทดสอบความถี่ของสัญญาณไว้ 10 Hz ถึง 20 kHz โดยครอบคลุมย่านความถี่เสียงทั้งหมดไว้ดังแสดงในรูปที่ 4.10

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.9 แสดงขนาดครอสทอล์คระหว่างสัญญาณแต่ละช่องสัญญาณที่ความถี่ต่างกัน

(เมื่อสัญญาณช่องข้างเคียงมีขนาด 4 V_{p-p})



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น
ไม่ว่ากรณีใดๆ ห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5

บทสรุปและวิจารณ์

ในวิทยานิพนธ์ ได้กล่าวถึงหลักการและขั้นตอนในการออกแบบเครื่องรับส่งระบบรวมสัญญาณ โดยการแบ่งเวลา โดยได้ทดลองออกแบบเครื่องรับส่ง 3 ช่องสัญญาณ โดยใช้ระบบนี้เป็นตัวอย่างปรากฏว่าวงจรทุกวงจรทำงานเป็นปกติตลอดการทดลอง แต่ละวงจรให้สัญญาณที่มีรูปร่างลักษณะตามความต้องการคลาดเคลื่อนจากที่ออกแบบเพียงเล็กน้อยในค่าที่ยอมรับได้ ทั้งนี้เป็นเพราะความคลาดเคลื่อนของอุปกรณ์ต่างๆ ตลอดจนความไม่เป็นอุดมคติของอุปกรณ์ต่างๆ ในการออกแบบได้พยายามเลือกใช้วงจรรวมชนิด CMOS เพื่อให้เป็นการประหยัดพลังงานและพยายามเลือกอุปกรณ์ที่หาง่ายในท้องตลาด ตลอดจนราคาของอุปกรณ์ต่างๆ ที่ใช้ราคาต้องไม่แพงเกินไป สำหรับการออกแบบเครื่องรับส่งระบบนี้ ถ้าต้องการให้มีความสามารถของเครื่องรับส่งที่สร้างได้สูงขึ้นกว่าเดิมจำเป็นต้องเลือกอุปกรณ์ใหม่ให้เหมาะสมกับคุณสมบัติที่ต้องการ แต่หลักการออกแบบต่างๆ ยังสามารถใช้ได้

ในการทดลอง เคยทดลองใช้ความถี่ในการสุ่มสัญญาณมีค่าเท่ากับ 2 เท่าของความถี่สูงสุดของสัญญาณข่าวสาร ปรากฏว่าสัญญาณมีความเพี้ยนสูงมากเมื่อสัญญาณข่าวสารมีความถี่สูงสุด ดังนั้นในทางปฏิบัติจริงๆ แล้วนั้นควรใช้ความถี่ในการสุ่มตัวอย่างสูงกว่าความถี่สูงสุดของสัญญาณข่าวสารมากกว่าหลายๆ เท่า

สำหรับความยาวของสายส่งที่มีผลต่อการรับสัญญาณของเครื่องรับได้ทำการทดสอบโดยส่งสัญญาณผ่านสายโทรศัพท์ (18 AWG) ยาวประมาณ 30 เมตร ปรากฏว่าสัญญาณที่เอาท์พุทเข้าเครื่องส่งและอินพุทของเครื่องรับที่สัญญาณนอยซ์ปนออกมามาก ไม่สามารถดูออกว่าเป็นสัญญาณอะไร ต่างกับเมื่อใช้สายส่งสั้นๆ ซึ่งสามารถเห็นลักษณะของสัญญาณว่าเป็นสัญญาณที่เกิดจากการรวมกันโดยการแบ่งเวลา แต่เมื่อดูสัญญาณเอาท์พุทของเครื่องรับ (เอาท์พุทของส่วน LOW-PASS FILTER) ปรากฏว่าสัญญาณเหมือนกับสัญญาณอินพุท ที่เครื่องส่งเช่นเดียวกับเมื่อใช้สายส่งสั้นๆ หมายความว่าสำหรับสายส่งที่ไม่ยาวมากนัก เราสามารถไม่คิดผลที่เกิดจากความยาวของสายส่งได้ แต่สำหรับสายส่งที่มีความยาวสูงมากแล้ว สัญญาณย่อมมีการลดทอนภายในสายส่ง ดังนั้นถ้าต้องการส่งสัญญาณข่าวสารเป็นระยะทางไกลๆ แล้วนั้นจำเป็นต้องเพิ่มส่วน Repeater ซึ่งจะทำหน้าที่รับสัญญาณและส่งสัญญาณระหว่างเครื่องรับและเครื่องส่งขึ้นมาอีกส่วนหนึ่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วิทยานิพนธ์นี้สามารถใช้เป็นอุปกรณ์ประกอบการเรียนการสอนให้เข้าใจถึงระบบการรวมสัญญาณโดยการแบ่งเวลาได้เป็นอย่างดี วงจรต่างๆ แยกเป็นส่วนๆ ได้อย่างชัดเจนอีกทั้งความถี่ในการสุ่มสัญญาณก็สามารถเปลี่ยนแปลงได้ง่าย สามารถแสดงให้เห็นถึงผลกระทบของความถี่การสุ่มสัญญาณที่มีต่อระบบ ซึ่งเป็นการสร้างเสริมความเข้าใจแก่ผู้ทดลองได้เป็นอย่างดี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor Corporation

LF351 Wide Bandwidth JFET Input Operational Amplifier

General Description

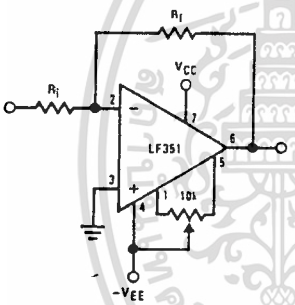
The LF351 is a low cost high speed JFET input operational amplifier with an internally trimmed input offset voltage (BI-FET II™ technology). The device requires a low supply current and yet maintains a large gain bandwidth product and a fast slew rate. In addition, well matched high voltage JFET input devices provide very low input bias and offset currents. The LF351 is pin compatible with the standard LM741 and uses the same offset voltage adjustment circuitry. This feature allows designers to immediately upgrade the overall performance of existing LM741 designs.

The LF351 may be used in applications such as high speed integrators, fast D/A converters, sample-and-hold circuits and many other circuits requiring low input offset voltage, low input bias current, high input impedance, high slew rate and wide bandwidth. The device has low noise and offset voltage drift, but for applications where these requirements are critical, the LF356 is recommended. If maximum supply current is important, however, the LF351 is the better choice.

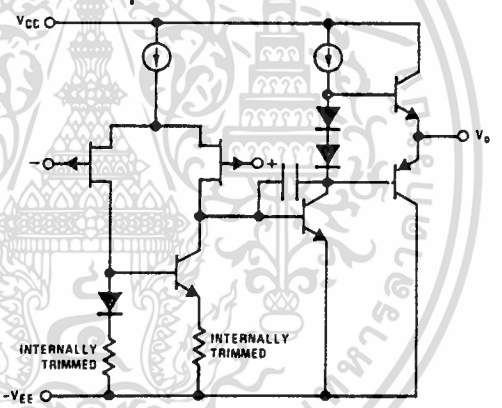
Features

■ Internally trimmed offset voltage	10 mV
■ Low input bias current	50 pA
■ Low input noise voltage	25 nV/$\sqrt{Hz}$
■ Low input noise current	0.01 pA/$\sqrt{Hz}$
■ Wide gain bandwidth	4 MHz
■ High slew rate	13 V/μs
■ Low supply current	1.8 mA
■ High input impedance	$10^{12}\Omega$
■ Low total harmonic distortion $A_V = 10$, $R_L = 10k$, $V_O = 20$ Vp-p, BW = 20 Hz–20 kHz	<0.02%
■ Low 1/f noise corner	50 Hz
■ Fast settling time to 0.01%	2 μs

Typical Connection

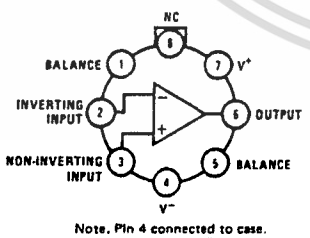


Simplified Schematic



Connection Diagrams (Top Views)

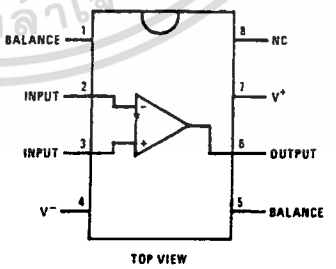
Metal Can Package



Note. Pin 4 connected to case.

Order Number LF351H
See NS Package Number H08C

Dual-In-Line Package



TOP VIEW

Order Number LF351J, LF351M or LF351N
See NS Package Number J08A, M08A or N08E

TL/H/5648–1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings

If Military/Aerospace specified devices are required, contact the National Semiconductor Sales Office/ Distributors for availability and specifications.

Supply Voltage	±18V
Power Dissipation (Notes 1 and 6)	670 mW
Operating Temperature Range	0°C to +70°C
$T_{J(MAX)}$	115°C
Differential Input Voltage	±30V
Input Voltage Range (Note 2)	±15V
Output Short Circuit Duration	Continuous
Storage Temperature Range	−65°C to +150°C
Lead Temp. (Soldering, 10 sec.)	
Metal Can	300°C
DIP	260°C

	H Package	N Package
θ_{jA}	225°C/W (Still Air) 160°C/W (400 LF/min Air Flow)	120°C/W
θ_{jC}	25°C/W	

Soldering Information

Dual-In-Line Package	
Soldering (10 sec.)	260°C
Small Outline Package	
Vapor Phase (60 sec.)	215°C
Infrared (15 sec.)	220°C

See AN-450 "Surface Mounting Methods and Their Effect on Product Reliability" for other methods of soldering surface mount devices.

ESD rating to be determined.

DC Electrical Characteristics (Note 3)

Symbol	Parameter	Conditions	LF351			Units
			Min	Typ	Max	
V_{OS}	Input Offset Voltage	$R_S = 10\,k\Omega$, $T_A = 25°C$ Over Temperature		5	10 13	mV mV
$\Delta V_{OS}/\Delta T$	Average TC of Input Offset Voltage	$R_S = 10\,k\Omega$		10		µV/°C
I_{OS}	Input Offset Current	$T_j = 25°C$, (Notes 3, 4) $T_j \leq 70°C$		25	100 4	pA nA
I_B	Input Bias Current	$T_j = 25°C$, (Notes 3, 4) $T_j \leq +70°C$		50	200 8	pA nA
R_{IN}	Input Resistance	$T_j = 25°C$		10^{12}		Ω
A_{VOL}	Large Signal Voltage Gain	$V_S = \pm 15V$, $T_A = 25°C$ $V_O = \pm 10V$, $R_L = 2\,k\Omega$ Over Temperature	25 15	100		V/mV V/mV
V_O	Output Voltage Swing	$V_S = \pm 15V$, $R_L = 10\,k\Omega$	±12	±13.5		V
V_{CM}	Input Common-Mode Voltage Range	$V_S = \pm 15V$	±11	+15 −12		V V
CMRR	Common-Mode Rejection Ratio	$R_S \leq 10\,k\Omega$	70	100		dB
PSRR	Supply Voltage Rejection Ratio	(Note 5)	70	100		dB
I_S	Supply Current			1.8	3.4	mA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC Electrical Characteristics (Note 3)

Symbol	Parameter	Conditions	LF351			Units
			Min	Typ	Max	
SR	Slew Rate	$V_S = \pm 15V$, $T_A = 25°C$		13		V/μs
GBW	Gain Bandwidth Product	$V_S = \pm 15V$, $T_A = 25°C$		4		MHz
e_n	Equivalent Input Noise Voltage	$T_A = 25°C$, $R_S = 100\Omega$, $f = 1000$ Hz		25		$nV/\sqrt{Hz}$
i_n	Equivalent Input Noise Current	$T_j = 25°C$, $f = 1000$ Hz		0.01		$pA/\sqrt{Hz}$

Note 1: For operating at elevated temperature, the device must be derated based on the thermal resistance, θ_{JA}.

Note 2: Unless otherwise specified the absolute maximum negative input voltage is equal to the negative power supply voltage.

Note 3: These specifications apply for $V_S = \pm 15V$ and $0°C \le T_A \le +70°C$. V_{OS}, I_B and I_{OS} are measured at $V_{CM} = 0$.

Note 4: The input bias currents are junction leakage currents which approximately double for every 10°C increase in the junction temperature, T_j. Due to the limited production test time, the input bias currents measured are correlated to junction temperature. In normal operation the junction temperature rises above the ambient temperature as a result of internal power dissipation, P_D. $T_j = T_A + \theta_{jA} P_D$ where θ_{jA} is the thermal resistance from junction to ambient. Use of a heat sink is recommended if input bias current is to be kept to a minimum.

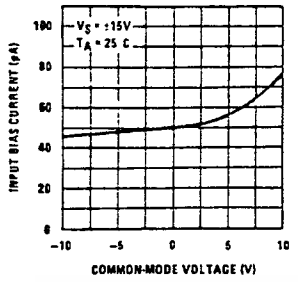
Note 5: Supply voltage rejection ratio is measured for both supply magnitudes increasing or decreasing simultaneously in accordance with common practice. From ±15V to ±5V.

Note 6: Max. Power Dissipation is defined by the package characteristics. Operating the part near the Max. Power Dissipation may cause the part to operate outside guaranteed limits.

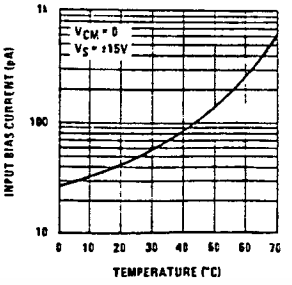
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Characteristics

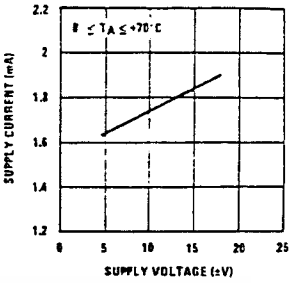
Input Bias Current



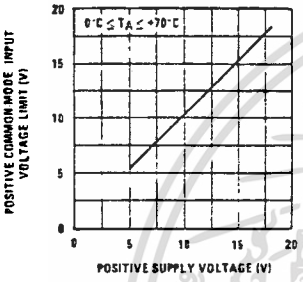
Input Bias Current



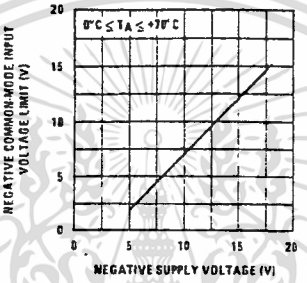
Supply Current



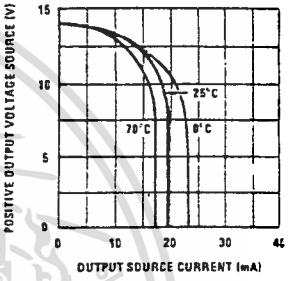
Positive Common-Mode Input Voltage Limit



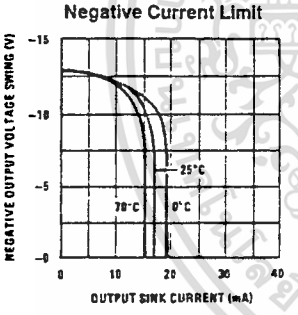
Negative Common-Mode Input Voltage Limit



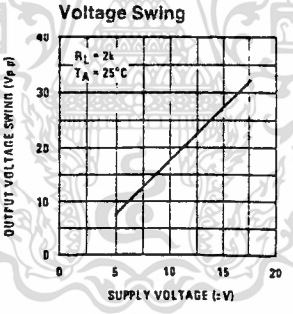
Positive Current Limit



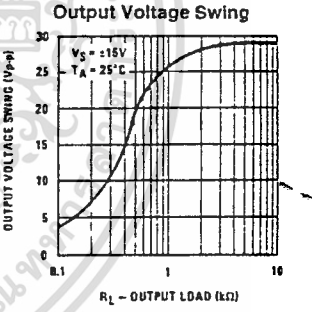
Negative Current Limit



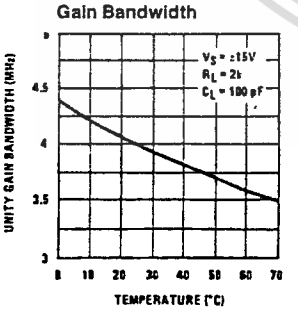
Voltage Swing



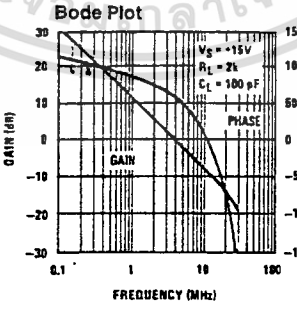
Output Voltage Swing



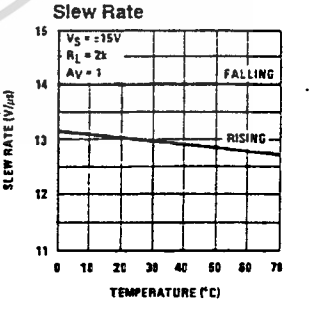
Gain Bandwidth



Bode Plot



Slew Rate

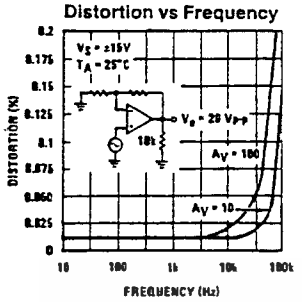


TL/H/5648–2

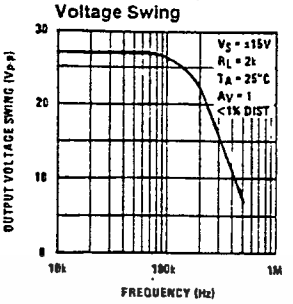
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Characteristics (Continued)

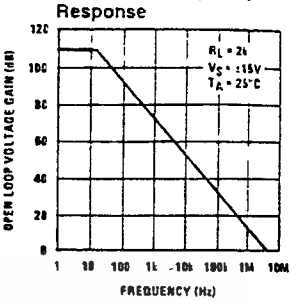
Distortion vs Frequency



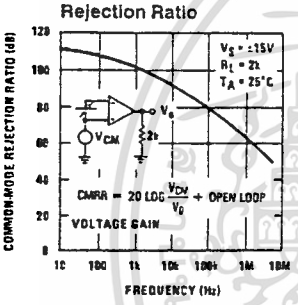
Undistorted Output Voltage Swing



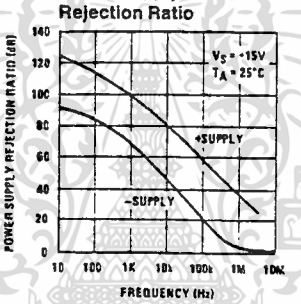
Open Loop Frequency Response



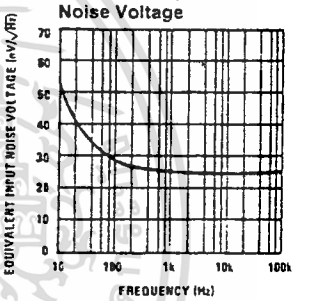
Common-Mode Rejection Ratio



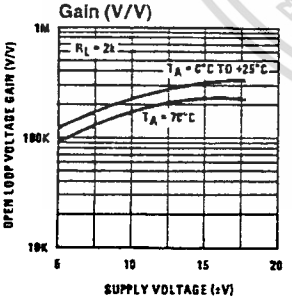
Power Supply Rejection Ratio



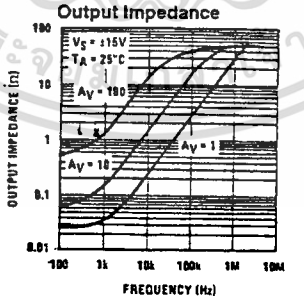
Equivalent Input Noise Voltage



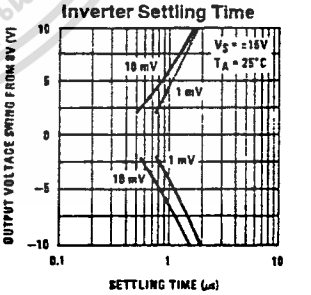
Open Loop Voltage Gain (V/V)



Output Impedance



Inverter Settling Time



TL/H/5648–3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor Corporation

LM101A/LM201A/LM301A Operational Amplifiers

General Description

The LM101A series are general purpose operational amplifiers which feature improved performance over industry standards like the LM709. Advanced processing techniques make possible an order of magnitude reduction in input currents, and a redesign of the biasing circuitry reduces the temperature drift of input current. Improved specifications include:

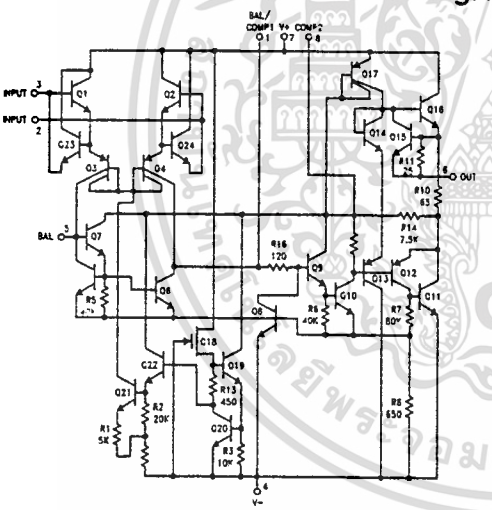
- Offset voltage 3 mV maximum over temperature (LM101A/LM201A)
- Input current 100 nA maximum over temperature (LM101A/LM201A)
- Offset current 20 nA maximum over temperature (LM101A/LM201A)
- Guaranteed drift characteristics
- Offsets guaranteed over entire common mode and supply voltage ranges
- Slew rate of 10V/μs as a summing amplifier

This amplifier offers many features which make its application nearly foolproof: overload protection on the input and output, no latch-up when the common mode range is exceeded, and freedom from oscillations and compensation with a single 30 pF capacitor. It has advantages over internally compensated amplifiers in that the frequency compensation can be tailored to the particular application. For example, in low frequency circuits it can be overcompensated for increased stability margin. Or the compensation can be optimized to give more than a factor of ten improvement in high frequency performance for most applications.

In addition, the device provides better accuracy and lower noise in high impedance circuitry. The low input currents also make it particularly well suited for long interval integrators or timers, sample and hold circuits and low frequency waveform generators. Further, replacing circuits where matched transistor pairs buffer the inputs of conventional IC op amps, it can give lower offset voltage and a drift at a lower cost.

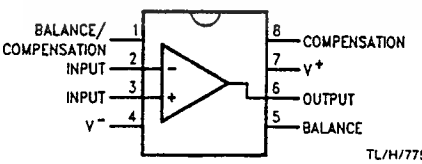
The LM101A is guaranteed over a temperature range of −55°C to +125°C, the LM201A from −25°C to +85°C, and the LM301A from 0°C to +70°C.

Schematic** and Connection Diagrams (Top View)



TL/H/7752-1

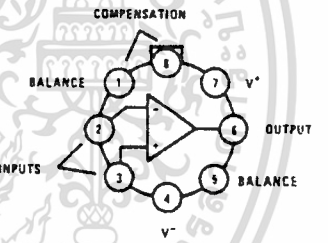
Dual-In-Line Package



TL/H/7752-4

Order Number LM101AJ, LM201AJ, LM301AJ, LM201AN or LM301AN
See NS Package Number J08A or N08A

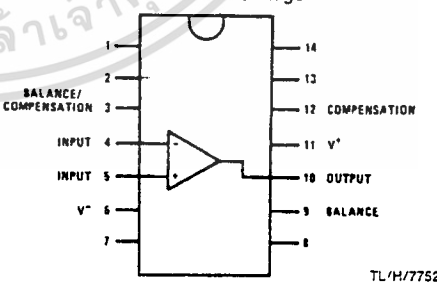
Metal Can Package



TL/H/7752-2

Order Number LM101AH, LM201AH or LM301AH
See NS Package Number H08C

Dual-In-Line Package



TL/H/7752-3

Note: Pin 6 connected to bottom of package.

Order Number LM101AJ-14A, LM201AJ-14 or LM301AJ-14
See NS Package Number J14A

**Pin connections shown are for 8-pin packages.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings

If Military/Aerospace specified devices are required, contact the National Semiconductor Sales Office/Distributors for availability and specifications.

	LM101A/LM201A	LM301A
Supply Voltage	±22V	±18V
Differential Input Voltage	±30V	±30V
Input Voltage (Note 1)	±15V	±15V
Output Short Circuit Duration (Note 2)	Indefinite	Indefinite
Operating Junction Temp. Range	−55°C to +125°C (LM101A) −25°C to +85°C (LM201A)	
T_J Max		
H-Package	150°C	100°C
N-Package	150°C	100°C
J-Package	150°C	100°C
M-Package		
Power Dissipation at T_A = 25°C		
H-Package (Still Air)	500 mW	300 mW
(400 LF/Min Air Flow)	1200 mW	700 mW
N-Package	900 mW	500 mW
J-Package	1000 mW	650 mW
M-Package		
Thermal Resistance (Typical) θ_{jA}		
H-Package (Still Air)	230°C/W	230°C/W
(400 LF/Min Air Flow)	95°C/W	95°C/W
N Package	135°C/W	135°C/W
J-Package	110°C/W	110°CmW
M-Package		
(Typical) θ_{jC}		
H-Package (Still Air)	25°C/W	25°C/W
(400 LF/Min Air Flow)	10°C/W	10°C/W
Storage Temperature Range	−65°C to +150°C	−65°C to +150°C
Lead Temperature (Soldering, 10 sec.)		
Metal Can or Ceramic	300°C	300°C
Plastic	260°C	260°C
ESD rating to be determined.		

Electrical Characteristics (Note 3) $T_A = T_J$

Parameter	Conditions		LM101A/LM201A			LM301A			Units
			Min	Typ	Max	Min	Typ	Max	
Input Offset Voltage	T_A = 25°C, $R_S \le 50\ k\Omega$			0.7	2.0		2.0	7.5	mV
Input Offset Current	T_A = 25°C			1.5	10		3.0	50	nA
Input Bias Current	T_A = 25°C			30	75		70	250	nA
Input Resistance	T_A = 25°C		1.5	4.0		0.5	2.0		MΩ
Supply Current	T_A = 25°C	V_S = ±20V		1.8	3.0				mA
		V_S = ±15V					1.8	3.0	mA
Large Signal Voltage Gain	T_A = 25°C, V_S = ±15V V_{OUT} = ±10V, $R_L \ge 2\ k\Omega$		50	160		25	160		V/mV
Input Offset Voltage	$R_S \le 50\ k\Omega$				3.0			10	mV
Average Temperature Coefficient of Input Offset Voltage	$R_S \le 50\ k\Omega$			3.0	15		6.0	30	µV/°C
Input Offset Current					20			70	nA
Average Temperature Coefficient of Input Offset Current	25°C ≤ $T_A \le T_{MAX}$			0.01	0.1		0.01	0.3	nA/°C
	$T_{MIN} \le T_A \le$ 25°C			0.02	0.2		0.02	0.6	nA/°C

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Electrical Characteristics (Note 3) $T_A = T_J$ (Continued)

Parameter	Conditions		LM101A/LM201A			LM301A			Units
			Min	Typ	Max	Min	Typ	Max	
Input Bias Current					0.1			0.3	μA
Supply Current	$T_A = T_{MAX}$, $V_S = \pm 20V$			1.2	2.5				mA
Large Signal Voltage Gain	$V_S = \pm 15V$, $V_{OUT} = \pm 10V$ $R_L \geq 2k$		25			15			V/mV
Output Voltage Swing	$V_S = \pm 15V$	$R_L = 10\ k\Omega$	±12	±14		±12	±14		V
		$R_L = 2\ k\Omega$	±10	±13		±10	±13		V
Input Voltage Range	$V_S = \pm 20V$		±15						V
	$V_S = \pm 15V$			±15, −13		±12	+15, −13		V
Common-Mode Rejection Ratio	$R_S \leq 50\ k\Omega$		80	96		70	90		dB
Supply Voltage Rejection Ratio	$R_S \leq 50\ k\Omega$		80	96		70	96		dB

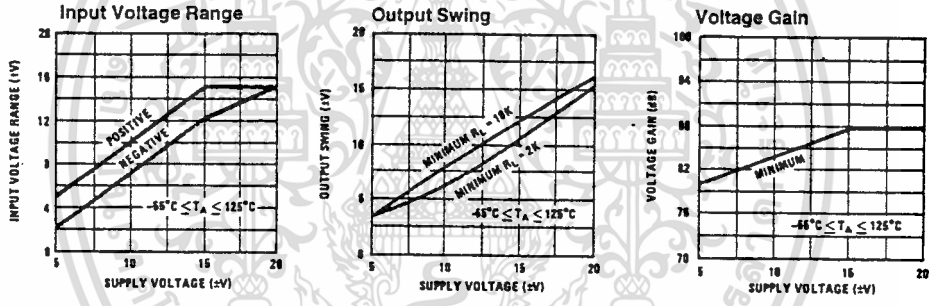
Note 1: For supply voltages less than ±15V, the absolute maximum input voltage is equal to the supply voltage.

Note 2: Continuous short circuit is allowed for case temperatures to 125°C and ambient temperatures to 75°C for LM101A/LM201A, and 70°C and 55°C respectively for LM301A.

Note 3: Unless otherwise specified, these specifications apply for C1 = 30 pF, ±5V ≤ V_S ≤ ±20V and −55°C ≤ T_A ≤ +125°C (LM101A), ±5V ≤ V_S ≤ ±20V and −25°C ≤ T_A ≤ +85°C (LM201A), ±5V ≤ V_S ≤ ±15V and 0°C ≤ T_A ≤ +70°C (LM301A).

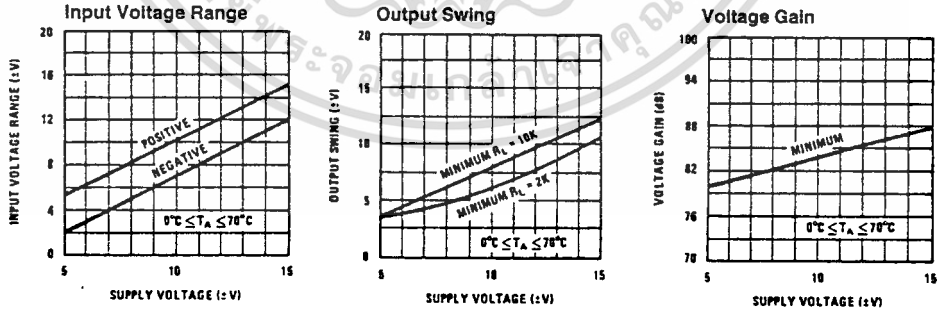
Note 4: Refer to RETS101AX for LM101A military specifications.

Guaranteed Performance Characteristics LM101A/LM201A



TL/H/7752–5

Guaranteed Performance Characteristics LM301A

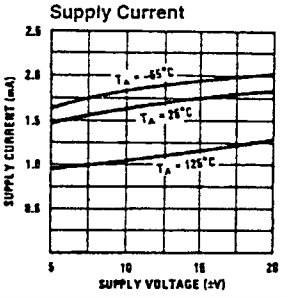


TL/H/7752–6

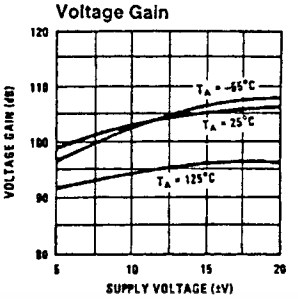
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Characteristics

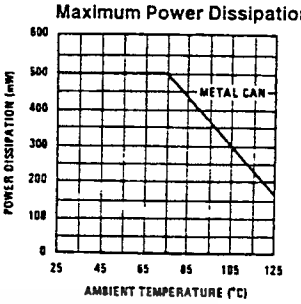
Supply Current



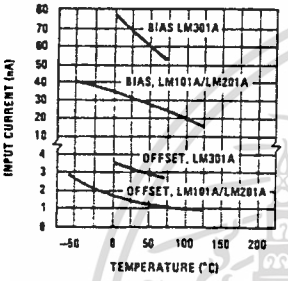
Voltage Gain



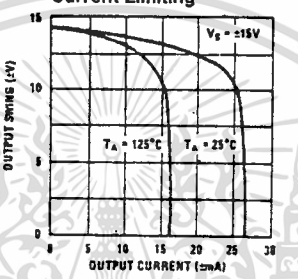
Maximum Power Dissipation



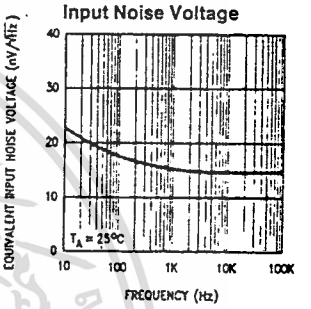
Input Current, LM101A/LM201A/LM301A



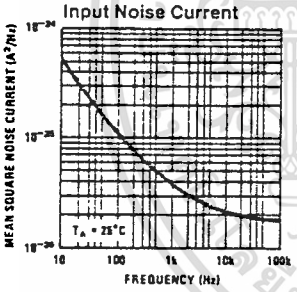
Current Limiting



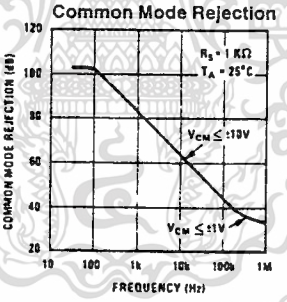
Input Noise Voltage



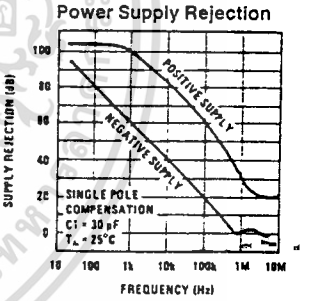
Input Noise Current



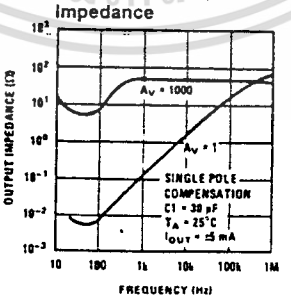
Common Mode Rejection



Power Supply Rejection



Closed Loop Output Impedance

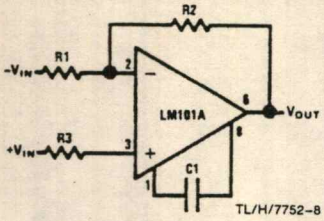


TL/H/7752–7

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Characteristics for Various Compensation Circuits**

Single Pole Compensation

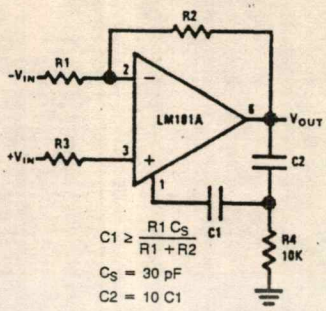


TL/H/7752-8

$$C1 \geq \frac{R1\,C_S}{R1 + R2}$$

C_S = 30 pF

Two Pole Compensation



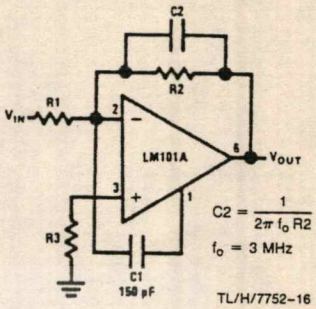
$$C1 \geq \frac{R1\,C_S}{R1 + R2}$$

C_S = 30 pF

C2 = 10 C1

TL/H/7752-12

Feedforward Compensation

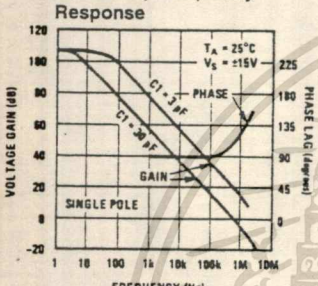


$$C2 = \frac{1}{2\pi\, f_o\, R2}$$

f_o = 3 MHz

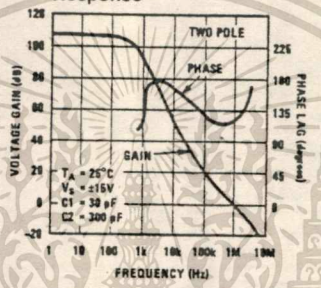
TL/H/7752-16

Open Loop Frequency Response



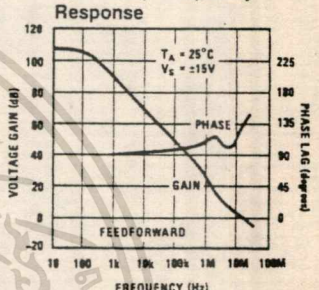
TL/H/7752-9

Open Loop Frequency Response



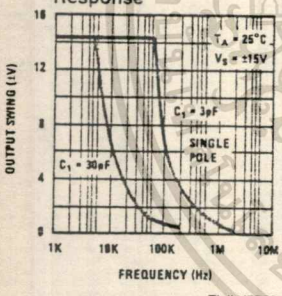
TL/H/7752-13

Open Loop Frequency Response



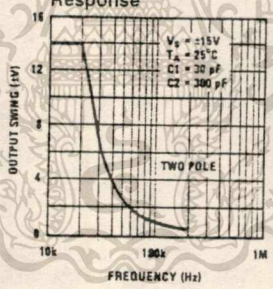
TL/H/7752-17

Large Signal Frequency Response



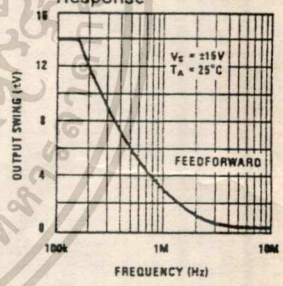
TL/H/7752-10

Large Signal Frequency Response



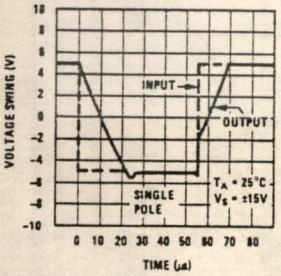
TL/H/7752-14

Large Signal Frequency Response



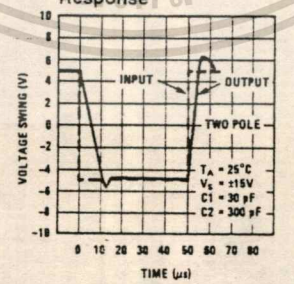
TL/H/7752-18

Voltage Follower Pulse Response



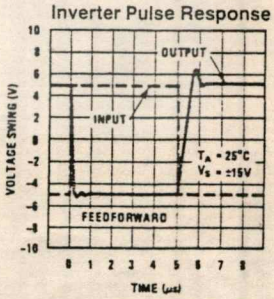
TL/H/7752-11

Voltage Follower Pulse Response



TL/H/7752-15

Inverter Pulse Response



TL/H/7752-19

**Pin connections shown are for 8-pin packages.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

LINEAR INTEGRATED CIRCUITS

DESCRIPTION

The NE/SE 555 monolithic timing circuit is a highly stable controller capable of producing accurate time delays, or oscillation. Additional terminals are provided for triggering or resetting if desired. In the time delay mode of operation, the time is precisely controlled by one external resistor and capacitor. For a stable operation as an oscillator, the free running frequency and the duty cycle are both accurately controlled with two external resistors and one capacitor. The circuit may be triggered and reset on falling waveforms, and the output structure can source or sink up to 200mA or drive TTL circuits.

FEATURES

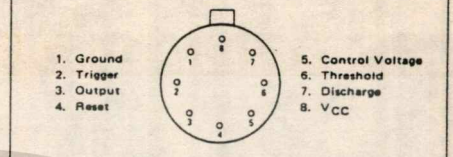
- TIMING FROM MICROSECONDS THROUGH HOURS
- OPERATES IN BOTH ASTABLE AND MONOSTABLE MODES
- ADJUSTABLE DUTY CYCLE
- HIGH CURRENT OUTPUT CAN SOURCE OR SINK 200mA
- OUTPUT CAN DRIVE TTL
- TEMPERATURE STABILITY OF 0.005% PER °C
- NORMALLY ON AND NORMALLY OFF OUTPUT

APPLICATIONS

PRECISION TIMING
PULSE GENERATION
SEQUENTIAL TIMING
TIME DELAY GENERATION
PULSE WIDTH MODULATION
PULSE POSITION MODULATION
MISSING PULSE DETECTOR

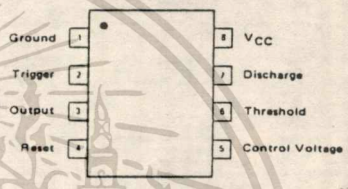
PIN CONFIGURATIONS (Top View)

T PACKAGE



ORDER PART NOS. SE555T/NE555T

V PACKAGE

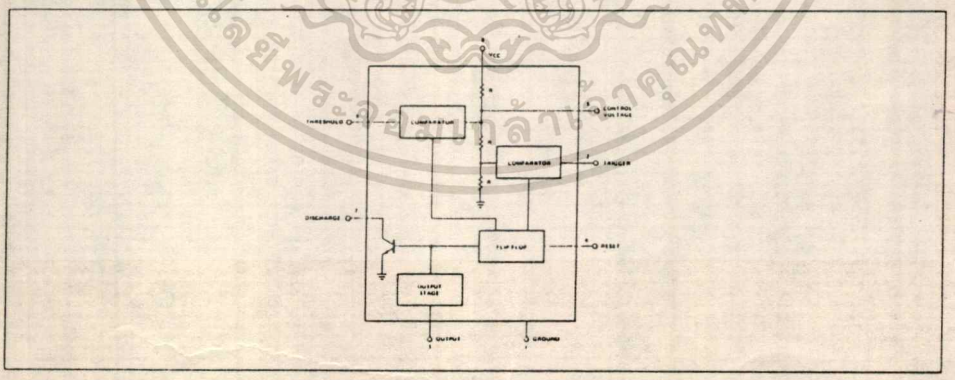


ORDER PART NOS. SE555V/NE555V

ABSOLUTE MAXIMUM RATINGS

Supply Voltage	+18V
Power Dissipation	600 mW
Operating Temperature Range	
NE555	0°C to +70°C
SE555	−55°C to +125°C
Storage Temperature Range	−65°C to +150°C
Lead Temperature (Soldering, 60 seconds)	+300°C

BLOCK DIAGRAM



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

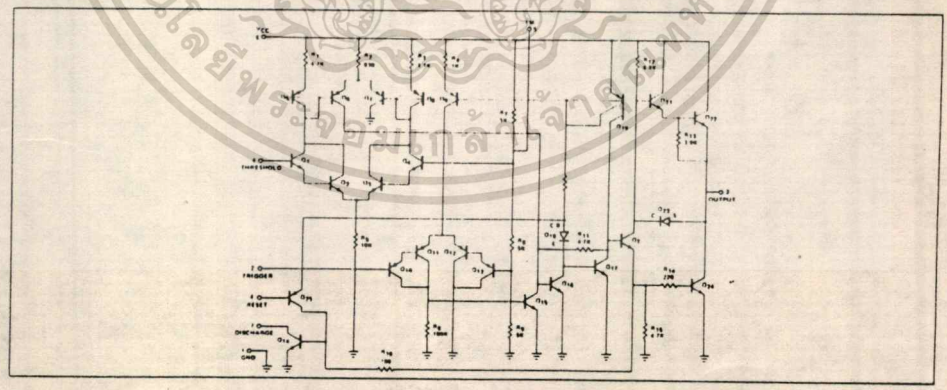
ELECTRICAL CHARACTERISTICS $T_A = 25°C$, V_{CC} = +5V to +15 unless otherwise specified

PARAMETER	TEST CONDITIONS	SE 555			NE 555			UNITS
		MIN	TYP	MAX	MIN	TYP	MAX	
Supply Voltage		4.5		18	4.5		16	V
Supply Current	V_{CC} = 5V R_L = ∞		3	5		3	6	mA
	V_{CC} = 15V R_L = ∞		10	12		10	15	mA
	Low State, Note 1							
Timing Error(Monostable)	R_A, R_B = 1KΩ to 100KΩ							
Initial Accuracy	C = 0.1 μF Note 2		0.5	2		1		%
Drift with Temperature			30	100		50		ppm/°C
Drift with Supply Voltage			0.05	0.2		0.1		%/Volt
Threshold Voltage			2/3			2/3		X V_{CC}
Trigger Voltage	V_{CC} = 15V	4.8	5	5.2		5		V
Timing Error(Astable)	V_{CC} = 5V	1.45	1.67	1.9		1.67		V
Trigger Current			0.5			0.5		μA
Reset Voltage		0.4	0.7	1.0	0.4	0.7	1.0	V
Reset Current			0.1			0.1		mA
Threshold Current	Note 3		0.1	.25		0.1	.25	μA
Control Voltage Level	V_{CC} = 15V	9.6	10	10.4	9.0	10	11	V
	V_{CC} = 5V	2.9	3.33	3.8	2.6	3.33	4	V
Output Voltage (low)	V_{CC} = 15V							
	I_{SINK} = 10mA		0.1	0.15		0.1	.25	V
	I_{SINK} = 50mA		0.4	0.5		0.4	.75	V
	I_{SINK} = 100mA		2.0	2.2		2.0	2.5	V
	I_{SINK} = 200mA		2.5			2.5		
	V_{CC} = 5V							
	I_{SINK} = 8mA		0.1	0.25				V
	I_{SINK} = 5mA					25	.35	
Output Voltage Drop (low)								
	I_{SOURCE} = 200mA		12.5			12.5		
	V_{CC} = 15V							
	I_{SOURCE} = 100mA							
	V_{CC} = 15V	13.0	13.3		12.75	13.3		V
	V_{CC} = 5V	3.0	3.3		2.75	3.3		V
Rise Time of Output			100			100		nsec
Fall Time of Output			100			100		nsec

NOTES

1. Supply Current when output high typically 1mA less.
2. Tested at V_{CC} = 5V and V_{CC} = 15V.
3. This will determine the maximum value of R_A + R_B. For 15V operation, the max total R = 20 megohm.

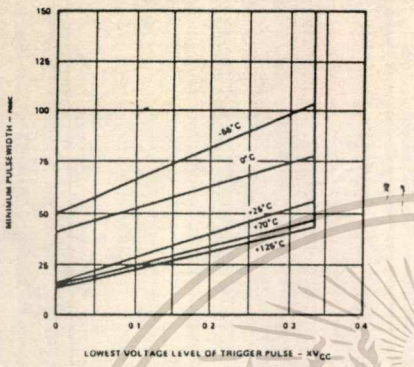
EQUIVALENT CIRCUIT (Shown for One Side Only)



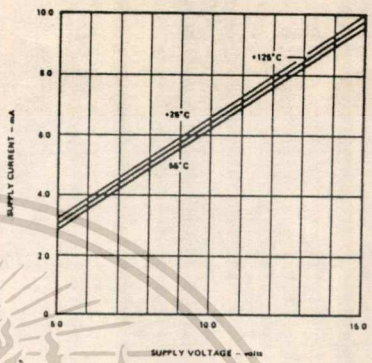
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPICAL CHARACTERISTICS

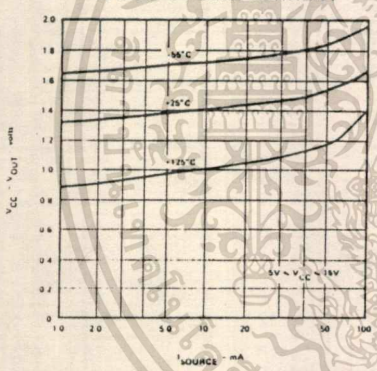
MINIMUM PULSE WIDTH REQUIRED FOR TRIGGERING



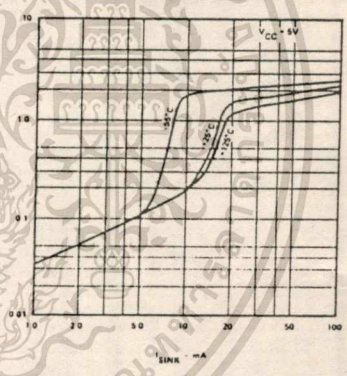
SUPPLY CURRENT vs SUPPLY VOLTAGE



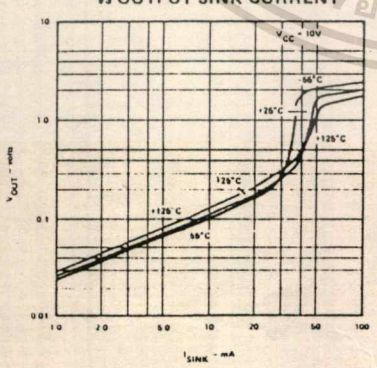
LOW OUTPUT VOLTAGE vs OUTPUT SINK CURRENT



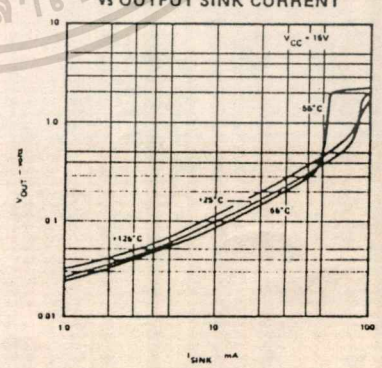
HIGH OUTPUT VOLTAGE vs OUTPUT SOURCE CURRENT



LOW OUTPUT VOLTAGE vs OUTPUT SINK CURRENT



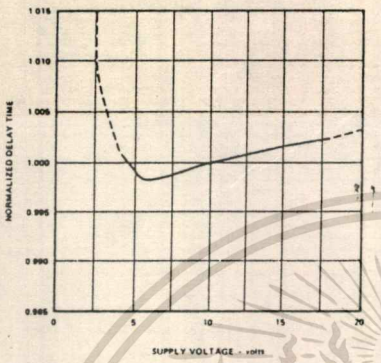
LOW OUTPUT VOLTAGE vs OUTPUT SINK CURRENT



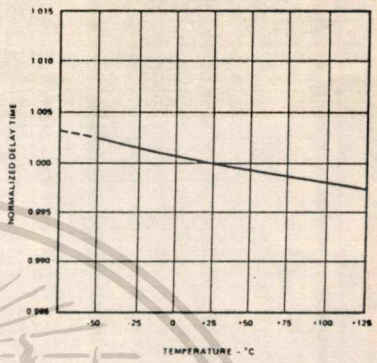
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPICAL CHARACTERISTICS (Cont'd)

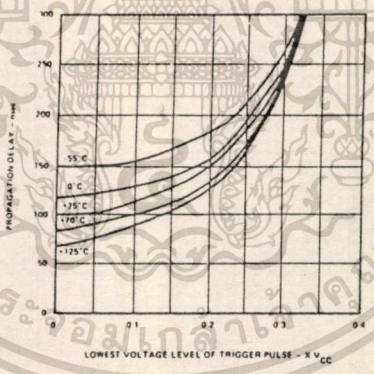
DELAY TIME vs SUPPLY VOLTAGE



DELAY TIME vs TEMPERATURE



PROPAGATION DELAY vs VOLTAGE LEVEL OF TRIGGER PULSE



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SCL4009UB Inverting
SCL4010B Non-Inverting

CMOS
HEX BUFFERS/CONVERTERS

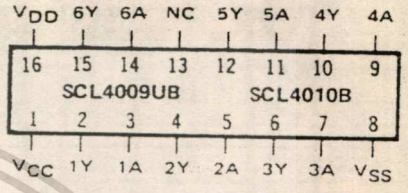
FEATURES

- **Direct Drive of 2 TTL/DTL Loads**
- **Operation from Single or Dual Supplies**
- **All Inputs Diode-Protected**

DESCRIPTION

The SCL4009UB and SCL4010B are single-chip monolithic silicon integrated circuits containing eighteen N-Channel and twelve P-Channel enhancement-mode MOS transistors connected to form six independent buffer/converter configurations. These devices are designed for use as hex CMOS-to-DTL or TTL logic level converters or hex CMOS current drivers. Conversion ranges are from CMOS logic operating at 3Vdc to 18Vdc supply levels to DTL or TTL logic operating at 3Vdc to 6Vdc supply levels. Conversion to logic output levels greater than 6Vdc is permitted proving $V_{CC} \leqslant V_{DD}$.

CONNECTION DIAGRAM
(all packages)



Add Suffix for Package:

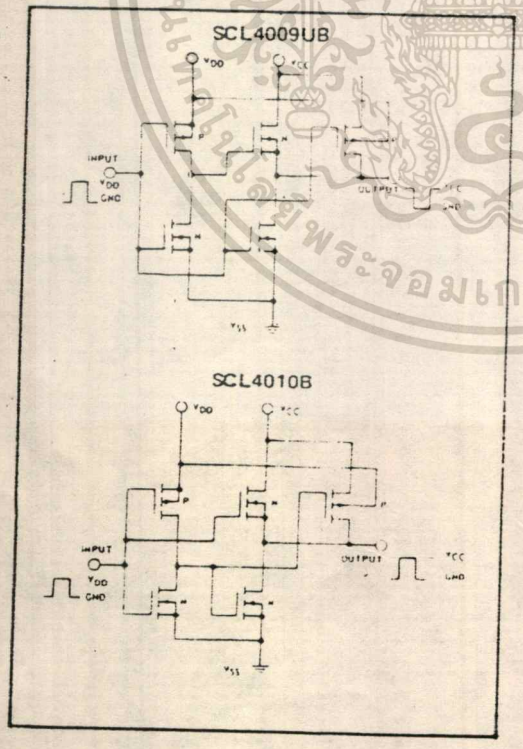
C 16-pin Cerdip
D 16-pin Ceramic
E 16-pin Epoxy
F 16-pin Flat
H Chip

RECOMMENDED OPERATING CONDITIONS

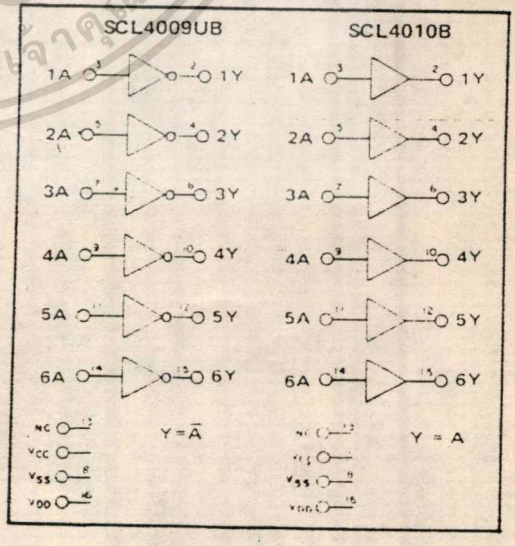
For maximum reliability:

DC Supply Voltage	$V_{DD} - V_{SS}$	3 to 15	Vdc
	$V_{CC} - V_{SS}$	3 to 15	Vdc
	$V_{CC} \leqslant V_{DD}$		
Operating Temperature	T_A		
C, D, F, H Device		-55 to +125	°C
E Device		-40 to +85	°C

SCHEMATIC DIAGRAMS



LOGIC DIAGRAMS



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS

STATIC CHARACTERISTICS [1, 3]

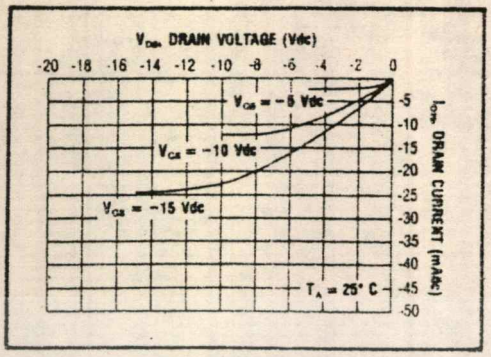
PARAMETER		V_{DD} (Vdc)	CONDITIONS	T_{LOW} [2] Min.	T_{LOW} [2] Max.	+25°C Min.	+25°C Typ.	+25°C Max.	T_{HIGH} [2] Min.	T_{HIGH} [2] Max.	Units
QUIESCENT DEVICE CURRENT	I_{DD}	5	$V_{IN} = V_{SS}$ or V_{DD}	–	1.0	–	0.005	1.0	–	30	µAdc
		10	All valid input	–	2.0	–	0.01	2.0	–	60	
		15	combinations	–	4.0	–	0.02	4.0	–	120	
MINIMUM INPUT HIGH VOLTAGE SCL4009UB	V_{IH}	5	$V_{OL} = 0.5V$	–	4.0	–	2.75	4.0	–	4.0	Vdc
		10	$V_{OL} = 1.0V$	–	8.0	–	5.5	8.0	–	8.0	
		15	$V_{OL} = 1.5V$	–	12.0	–	8.25	12.0	–	12.0	
			$\lvert I_O \rvert \leq 1\mu A$								
MAXIMUM INPUT LOW VOLTAGE SCL4009UB	V_{IL}	5	$V_{OH} = 3.6V$	1.0	–	1.0	2.25	–	1.0	–	Vdc
		10	$V_{OH} = 7.2V$	2.0	–	2.0	4.5	–	2.0	–	
		15	$V_{OH} = 10.8V$	3.0	–	3.0	6.75	–	3.0	–	
			$\lvert I_O \rvert \leq 1\mu A$								
OUTPUT LOW (SINK) CURRENT C, D, F, H device	I_{OL}	5	$V_{OL} = 0.4V$	3.8	–	3.0	4.0	–	2.2	–	mAdc
		10	$V_{OL} = 0.5V$	10.0	–	8.0	10	–	5.6	–	
		15	$V_{OL} = 1.5V$	30	–	24	36	–	16	–	
			$V_{IN} = V_{SS}$ or V_{DD}								
E device		5	$V_{OL} = 0.4V$	3.6	–	3.0	4.0	–	2.4	–	mAdc
		10	$V_{OL} = 0.5V$	9.6	–	8.0	10	–	6.4	–	
		15	$V_{OL} = 1.5V$	28	–	24	36	–	20	–	
			$V_{IN} = V_{SS}$ or V_{DD}								

NOTES: [1] Remaining Static Electrical Characteristics are listed under "SCL4000B Series Family Specifications".
[2] T_{LOW} = -55°C for C, D, F, H device
= -40°C for E device.
T_{HIGH} = +125°C for C, D, F, H device
= + 85°C for E device.
[3] $V_{CC} = V_{DD}$

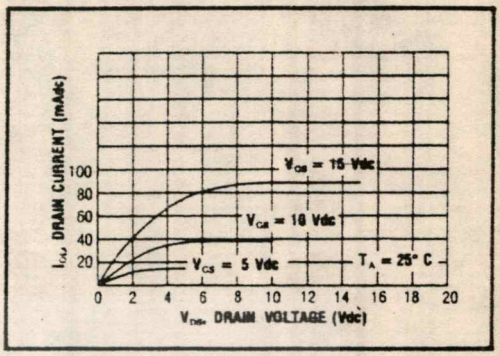
DYNAMIC CHARACTERISTICS (C_L = 50pF, T_A = 25°C)

PARAMETER		V_{DD} (Vdc)	V_{CC} (Vdc)	Min.	Typ.	Max.	Units
PROPAGATION DELAY TIME							
Driving CMOS	t_{PLH}						
		5	5	–	60	120	ns
		10	10	–	35	70	
		15	15	–	28	56	
Driving TTL/DTL		5	5	–	45	90	ns
		10	5	–	20	40	
		15	5	–	15	30	
Driving CMOS	t_{PHL}						
		5	5	–	30	60	ns
		10	10	–	18	36	
		15	15	–	12	24	
Driving TTL/DTL		5	5	–	35	70	ns
		10	5	–	15	30	
		15	5	–	10	20	
OUTPUT TRANSITION TIME	t_{TLH}						
		5	5	–	150	300	ns
		10	10	–	75	150	
		15	15	–	60	120	
	t_{THL}	5	5	–	30	60	ns
		10	10	–	20	40	
		15	15	–	12	24	
INPUT CAPACITANCE	C_{IN}						
SCL4009UB		–	–	–	10	15	pF
SCL4010B		–		–	5	7.5	

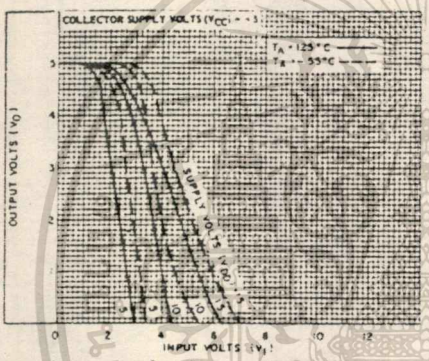
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



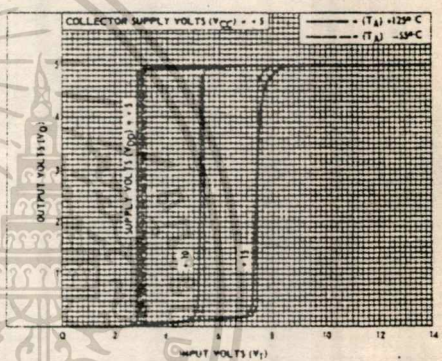
Typical P-Channel
Source Current Characteristics



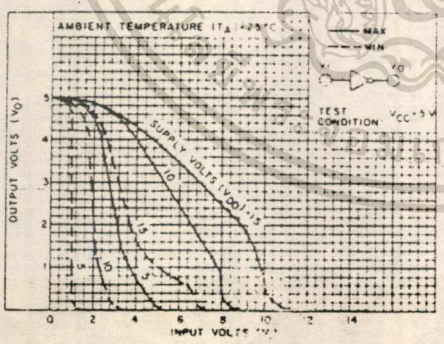
Typical N-Channel
Sink Current Characteristics



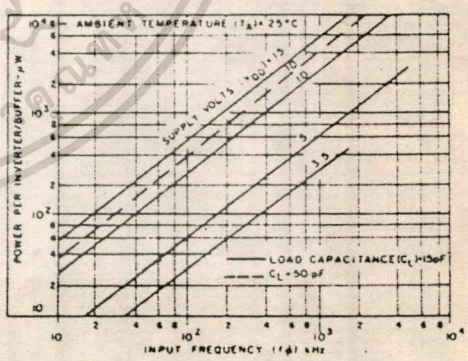
Typ. voltage transfer characteristics as function of temperature — SCL4009UB



Typ. voltage transfer characteristics as a function of temperature — SCL4010B



Min. & max. voltage transfer characteristics — SCL4009UB



Typ. dissipation characteristics — SCL4009UB, SCL4010B

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SCL4011B, SCL4012B SCL4023B, SCL4068B

CMOS NAND GATES

SCL4011B – Quad 2-Input NAND
SCL4012B – Dual 4-Input NAND
SCL4023B – Triple 3-Input NAND
SCL4068B – 8-Input NAND

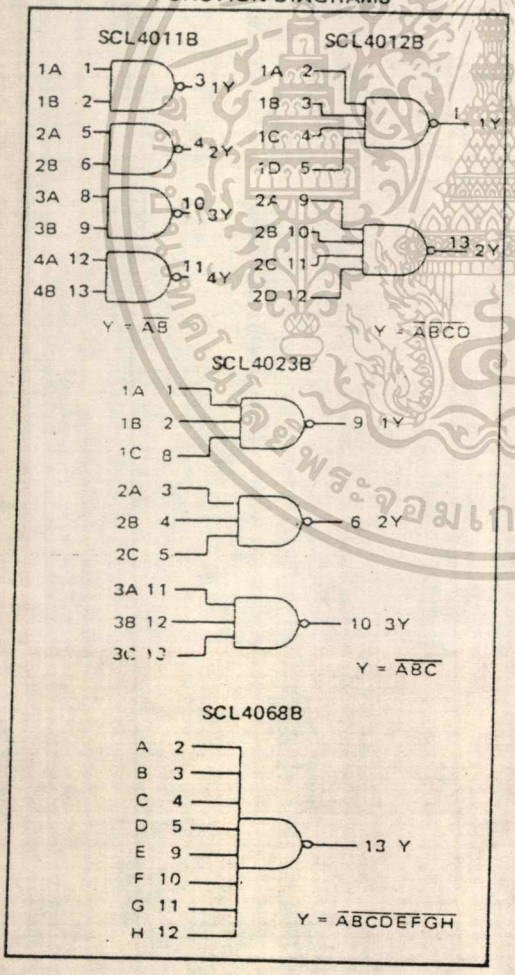
FEATURES

- Buffered Outputs
- Diode Protection on all Inputs
- Fully "B"-Series Compatible
- Balanced Output Drive Current Specifications

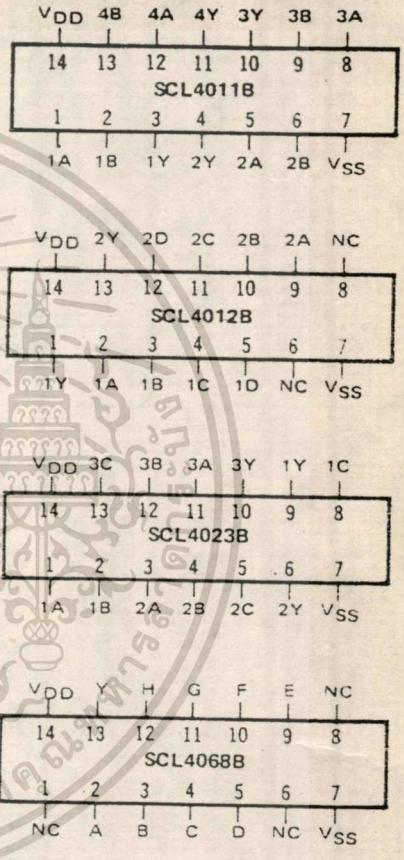
TRUTH TABLE

Inputs	Output
1 1 . . . 1	0
All other combinations	1

FUNCTION DIAGRAMS



CONNECTION DIAGRAMS
(all packages)



Add suffix to package:

- C 14-pin Cerdip
- D 14-pin Ceramic
- E 14-pin Epoxy
- F 14-pin Flat
- H Chip

RECOMMENDED OPERATING CONDITIONS

For maximum reliability:

DC Supply Voltage	$V_{DD} - V_{SS}$	3 to 15	Vdc
Operating Temperature	T_A		
C, D, F, H Device		-55 to +125	°C
E Device		-40 to +85	°C

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS

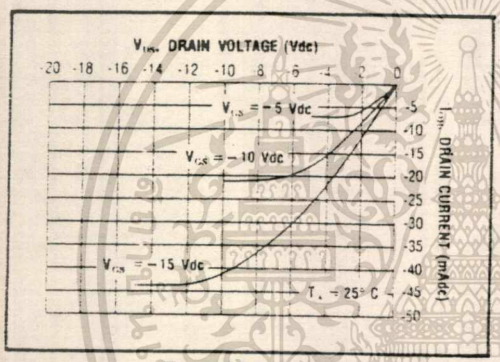
STATIC CHARACTERISTICS

PARAMETER		V_{DD} (Vdc)	CONDITIONS	T_{LOW} [1]		+25°C			T_{HIGH} [1]		Units
				Min.	Max.	Min.	Typ.	Max.	Min.	Max.	
QUIESCENT DEVICE CURRENT	I_{DD}	5	$V_{IN} = V_{SS}$ or V_{DD}	-	0.05	-	0.0005	0.05	-	15	µAdc
		10	All valid input	-	0.10	-	0.001	0.10	-	30	
		15	combinations	-	0.20	-	0.002	0.20	-	60	

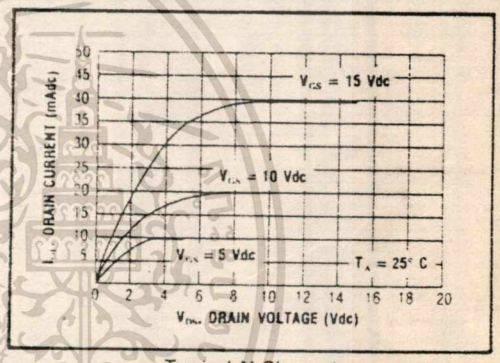
NOTES: [1] Remaining Static Electrical Characteristics are listed under "SCL4000B Series Family Specifications".
T_{LOW} = -55°C for C, D, F, H device
-40°C for E device.
T_{HIGH} = +125°C for C, D, F, H device
= +85°C for E device.
[2] These devices have been designed for balanced output drive current specifications. Consult Family Specifications.

DYNAMIC CHARACTERISTICS (C_L = 50pF, T_A = 25°C)

PARAMETER		V_{DD} (Vdc)	Min.	Typ.	Max.	Units
PROPAGATION DELAY TIME	t_{PHL}, t_{PLH}	5		125	250	ns
		10		60	120	
		15		45	90	
OUTPUT TRANSITION TIME	t_{THL}, t_{TLH}	5		100	200	ns
		10		50	100	
		15		40	80	

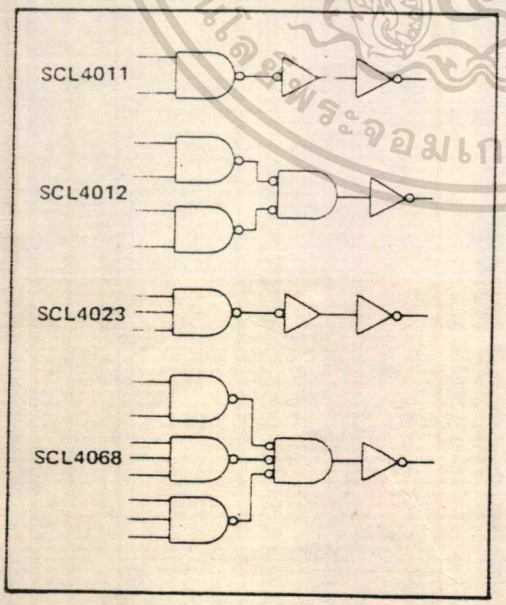


Typical P-Channel
Source Current Characteristics

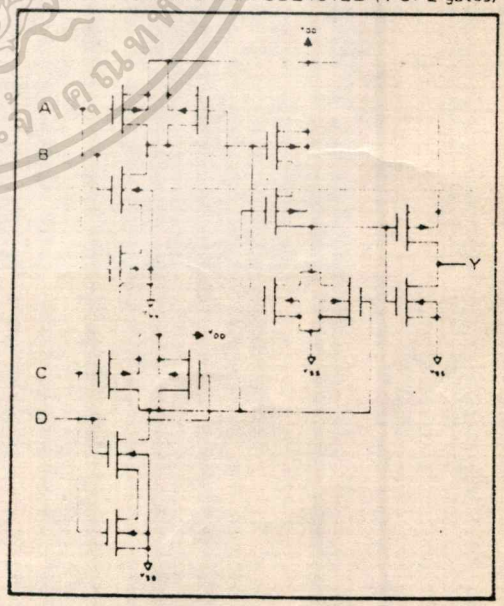


Typical N-Channel
Sink Current Characteristics

LOGIC DIAGRAMS



SCHEMATIC DIAGRAM SCL4012B (1 of 2 gates)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SCL4011UB

CMOS NAND GATE (Unbuffered)

FEATURES

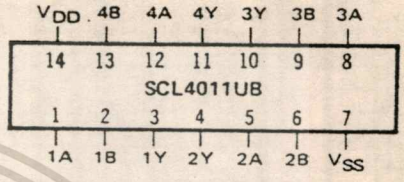
- **Unbuffered Outputs for Quasi-Linear Applications**
- **Quad 2-Input NAND Configuration**
- **Diode Protection on all Inputs**
- **Output Drive Current Compatible with "B" Series**
- **Pin Compatible with Buffered SCL4011B**
- **Balanced Output Drive Current Specifications**

DESCRIPTION

The SCL4011UB consists of four positive-logic NAND gates. The outputs are unbuffered, making the device suitable for quasi-linear applications, such as gated oscillators, multivibrators, and pulse shaping circuits.

For digital applications, the buffered SCL4011B is recommended for its higher gain and input pattern insensitivity.

CONNECTION DIAGRAM
(all packages)



Add suffix for package:

C 14-pin Cerdip
D 14-pin Ceramic
E 14-pin Epoxy
F 14-pin Flat
H Chip

TRUTH TABLE

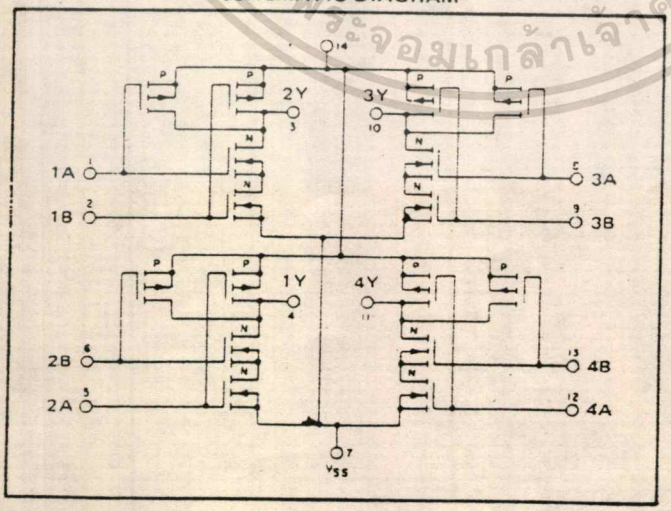
Inputs	Output
1 1	0
All other combinations	1

RECOMMENDED OPERATING CONDITIONS

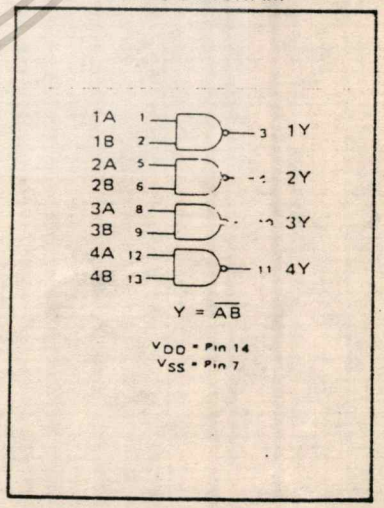
For maximum reliability:

DC Supply Voltage	$V_{DD} - V_{SS}$	3 to 15	Vdc
Operating Temperature	T_A		
C, D, F, H Device		-55 to +125	°C
E Device		-40 to +85	°C

SCHEMATIC DIAGRAM



LOGIC DIAGRAM



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS

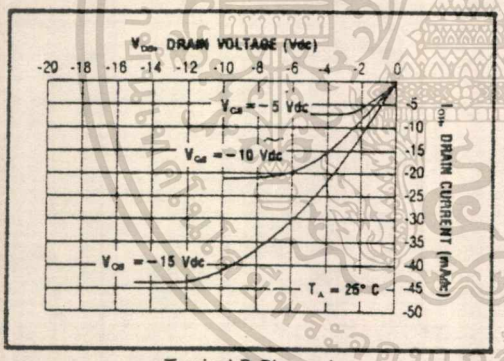
STATIC CHARACTERISTICS [1, 3]

PARAMETER		V_{DD} (Vdc)	CONDITIONS	T_{LOW} [2]		+25°C			T_{HIGH} [2]		Units
				Min.	Max.	Min.	Typ.	Max.	Min.	Max.	
QUIESCENT DEVICE CURRENT	I_{DD}	5	V_{IN} = V_{SS} or V_{DD}	–	0.05	–	0.0005	0.05	–	1.5	µAdc
		10	All valid input	–	0.10	–	0.001	0.10	–	3.0	
		15	combinations	–	0.20	–	0.002	0.20	–	6.0	

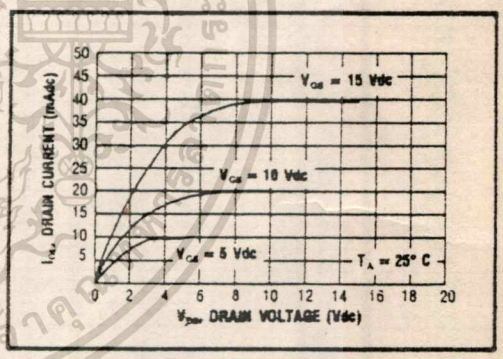
NOTES: [1] Remaining Static Electrical Characteristics are listed under "SCL4000B Series Family Specifications".
[2] T_{LOW} = -55°C for C, D, F, H device.
= -40°C for E device.
T_{HIGH} = +125°C for C, D, F, H device.
= + 85°C for E device.
[3] This device has been designed for balanced output drive current specifications. Consult Family Specifications.

DYNAMIC CHARACTERISTICS (C_L = 50pF, T_A = 25°C)

PARAMETER		V_{DD} (Vdc)	Min.	Typ.	Max.	Units
PROPAGATION DELAY TIME	t_{PLH}, t_{PHL}	5	–	75	150	ns
		10	–	35	70	
		15	–	25	50	
OUTPUT TRANSITION TIME	t_{TLH}, t_{THL}	5	–	100	200	ns
		10	–	50	100	
		15	–	40	80	



Typical P-Channel
Source Current Characteristics



Typical N-Channel
Sink Current Characteristics

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

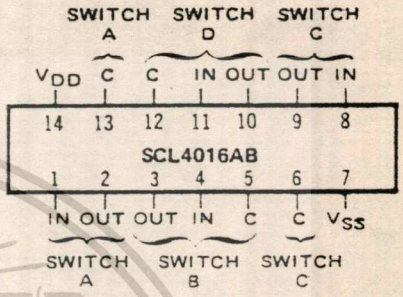
SCL4016AB

CMOS QUAD ANALOG SWITCH

FEATURES

- **Wide Range of Digital and Analog Signal Levels- Digital or Analog Signals to 18 Volts peak**
- **Low ON Resistance — 200 Ω typ. over 15Vp-p Signal Input Range, @ 15Vdc**
- **Matched Switch Characteristics - 10Ω typ. Difference between R_{ON} Values at a Fixed Bias Point over 15Vp-p Signal Input Range @+15Vdc**
- **High On/Off Output Voltage Ratio – 65 dB typ. @ f_{is} = 10kHz, R_L = 10KΩ**
- **High degree of Linearity - ≤ 0.4% Distortion typ. @ f_{is} = 1kHz, V_{is} = 5V_{p-p}, V_{DD}-V_{SS} ≥ 10V, R_L = 10kΩ**
- **Extremely Low OFF Switch Leakage Resulting in Very Low Offset Current and High Effective OFF resistance - 10pA typ. @ V_{DD}-V_{SS} = 10V, T_A = 25°C**
- **Extremely High Control Input Impedance (Control Circuit Isolated from Signal Circuit) - 10^{12}Ω typ.**
- **Low Crosstalk between Switches - -50dB typ. @ f_{is} = 0.9MHz, R_L = 1kΩ**
- **Matched Control-Input to Signal-Output Capacitances - Reduces Output Signal Transients**
- **Transmits Frequencies up to 40MHz**

CONNECTION DIAGRAM
(all packages)



Add suffix for package:

C	14-pin Cerdip
D	14-pin Ceramic
E	14-pin Epoxy
F	14-pin Flat
H	Chip

DESCRIPTION

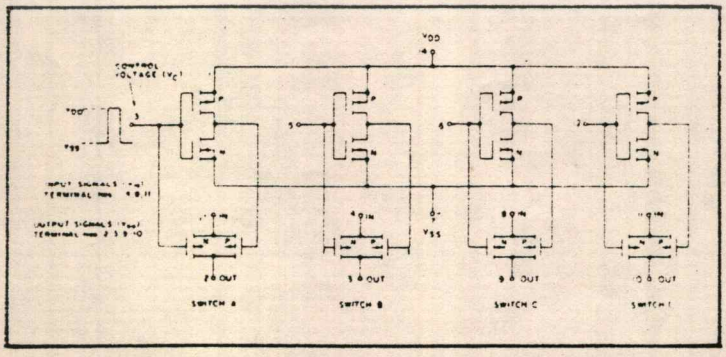
The SCL4016AB is a single-chip monolithic silicon integrated circuit containing eight N-channel and eight P-channel enhancement-mode MOS transistors connected to form four independent bilateral signal switches. Each switch consists of both P- and N-channel devices with common source and drain connections. A single control signal is required per switch. Both P and N devices in a given switch are biased ON or OFF by the control signal. The CMOS switch permits peak input-signal voltage swings equal to the full supply voltage, a considerable advantage over single-channel types.

RECOMMENDED OPERATING CONDITIONS

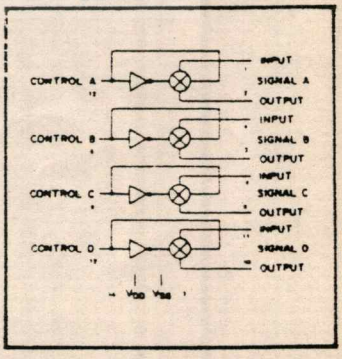
For maximum reliability:

DC Supply Voltage	V_{DD} - V_{SS}	3 to 15	Vdc
Operating Temperature	T_A		
C, D, F, H Device		-55 to +125	°C
E Device		-40 to +85	°C

SCHEMATIC DIAGRAM



LOGIC DIAGRAM



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS

STATIC CHARACTERISTICS[1,3]

PARAMETER		CONDITIONS	V_{SS} (Vdc)	V_{DD} (Vdc)	T_{LOW}[3] Min.	T_{LOW}[3] Max.	25°C Min.	25°C Typ.	25°C Max.	T_{HIGH}[2] Min.	T_{HIGH}[2] Max.	Units
QUIESCENT DEVICE CURRENT	I_{DD}	V_{IN} = V_{SS} or V_{DD}	0	5	–	0.05	–	0.0005	0.05	–	1.5	µAdc
		All valid input	0	10	–	0.1	–	0.001	0.1	–	3.0	
		combinations	0	15	–	0.2	–	0.002	0.2	–	6.0	
MINIMUM INPUT HIGH VOLTAGE (Control Input)	V_{IH}	V_{IS} = V_{SS}	0	5	–	2.9	–	1.5	2.9	–	2.4	Vdc
		V_{OS} = V_{DD}	0	10	–	2.9	–	1.5	2.7	–	2.4	
		I_{OS} = 10µA	0	15	–	2.9	–	1.5	2.7	–	2.4	
MAXIMUM INPUT LOW VOLTAGE (Control Input)	V_{IL}	V_{IS} = V_{SS}	0	5	0.9	–	0.7	1.5	–	0.4	–	Vdc
		V_{OS} = V_{DD}	0	10	0.9	–	0.7	1.5	–	0.4	–	
		I_{OS} = 10µA	0	15	0.9	–	0.7	1.5	–	0.4	–	
SWITCH INPUT/OUTPUT LEAKAGE (Switch off)	I_{OFF}	V_C = V_{SS} V_{IS} ±7.5	-7.5	+7.5	–	±250	–	±0.1	±250	–	±2500	nAdc
		±5	-5	+5	–	±125	–	±0.01	±125	–	±1250	
ON-RESISTANCE C, D, F, H device	R_{ON}	V_C = V_{DD}, R_L = 10kΩ; V_{IS} (Vdc) +7.5	7.5	+7.5	–	360	–	200	400	–	600	Ω
		-7.5			–	360	–	200	400	–	600	
		±0.25			–	775	–	280	850	–	1230	
		+5	5	+5	–	600	–	250	660	–	960	Ω
		-5			–	600	–	250	660	–	960	
		±0.25			–	1870	–	580	2000	–	2600	
		+15	0	+15	–	360	–	200	400	–	600	Ω
		+0.25			–	360	–	200	400	–	600	
		+9.3			–	775	–	300	850	–	1230	
		+10	0	+10	–	600	–	250	660	–	960	Ω
		+0.25			–	600	–	250	660	–	960	
		+5.6			–	1870	–	560	2000	–	2600	
E device	R_{ON}	V_C = V_{DD}, R_L = 10kΩ; V_{IS} (Vdc) +7.5	7.5	+7.5	–	370	–	200	400	–	520	Ω
		-7.5			–	370	–	200	400	–	520	
		±0.25			–	790	–	280	850	–	1080	
		+5	5	+5	–	610	–	250	660	–	840	Ω
		-5			–	610	–	250	660	–	840	
		±0.25			–	1900	–	580	2000	–	2380	
		+15	0	+15	–	370	–	200	400	–	520	Ω
		+0.25			–	370	–	200	400	–	520	
		+9.3			–	790	–	300	850	–	1080	
		+10	0	+10	–	610	–	250	660	–	840	Ω
		+0.25			–	610	–	250	660	–	840	
		+5.6			–	1900	–	560	2000	–	2380	
ON-RESISTANCE MATCH (Same package)	ΔR_{ON}	V_C = V_{DD}, R_L = 10kΩ; V_{IS} (Vdc) ±7.5	7.5	+7.5	–	–	–	10	–	–	–	Ω
		±5	-5	+5	–	–	–	15	–	–	–	

NOTES:
1. Remaining Static Electrical Characteristics are listed under "SCL40008 Series Family Specifications".
2. T_{LOW} = -55°C for C, D, F, H device.
   = -40°C for E device.
   T_{HIGH} = +125°C for C, D, F, H device.
   = + 85°C for E device
3. This device has been designed for balanced output drive current specifications. Consult Family Specifications.

DYNAMIC CHARACTERISTICS (C_L = 50 pF, T_A = 25°C)

PARAMETER		CONDITIONS	V_{SS} (Vdc)	V_{DD} (Vdc)	Min.	Typ.	Max.	UNIT
SIGNAL INPUTS (V_{IS}) AND OUTPUTS (V_{OS})								
PROPAGATION DELAY TIME Signal input to signal output	t_{PLH}, t_{PHL}	V_C = V_{DD}	0	5	–	20	40	ns
		V_{IS} = square wave	0	10	–	10	20	
		R_L = 10kΩ	0	15	–	7.5	15	
BANDWIDTH (-3dB) (Sine Wave)	BW	V_C = V_{DD}, V_{IS} = 5V_{p-p} centered @0.0Vdc; R_L 1kΩ	5	+5	–	54	–	MHz
		10kΩ			–	40	–	
		100kΩ			–	38	–	
		1MΩ			–	37	–	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS (Continued)

DYNAMIC CHARACTERISTICS (C_L = 50 pF, T_A = 25°C) (Continued)

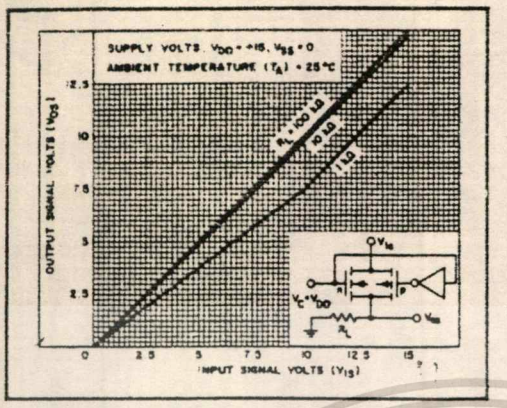
PARAMETER		CONDITIONS	R_L	V_{SS} (Vdc)	V_{DD} (Vdc)	Min.	Typ.	Max.	Units
SIGNAL INPUTS (V_{IS}) AND OUTPUTS (V_{OS}) (Continued)									
INSERTION LOSS ($= 20 \log_{10} \frac{V_{OS}}{V_{IS}}$)		$V_C = V_{DD}$, V_{IS} = $5V_{p-p}$ centered @0.0Vdc	1kΩ	-5	+5	–	2.3	–	dB
			10kΩ			–	0.2	–	
			100kΩ			–	0.1	–	
			1MΩ			–	0.05	–	
SIGNAL DISTORTION (Sine Wave)		$V_C = V_{DD}$, $V_{IS} = 5V_{p-p}$ centered @0.0Vdc, f_{IS} = 1.0kHz, R_L = 10kΩ		-5	+5	–	0.4	–	%
FEEDTHROUGH (-50dB)		$V_C = V_{SS}$, $V_{IS} = 5V_{p-p}$ centered @0.0Vdc	1kΩ	-5	+5	–	1250	–	kHz
			10kΩ			–	140	–	
			100kΩ			–	18	–	
			1MΩ			–	2	–	
CROSSTALK (-50dB) (Between two switches)		V_C (A) = V_{DD}, V_C (B) = V_{SS}, V_{IS} (A) = $5V_{p-p}$ centered @0.0Vdc, R_L = 1.0k		-5	+5	–	0.9	–	MHz
CAPACITANCE									
Input	C_{IS}	$V_C = V_{SS}$		-5	+5	–	4	–	pF
Output	C_{OS}					–	4	–	pF
Feedthrough	C_{IOS}					–	0.2	–	pF
CONTROL INPUT (V_C)									
PROPAGATION DELAY TIME	t_{PLH}, t_{PHL}	$V_{SS} \le V_{IS} \le V_{DD}$, R_L = 10kΩ		0	5	–	40	80	ns
Turn on				0	10	–	20	40	
				0	15	–	15	30	
MAXIMUM INPUT FREQUENCY	f_c	$V_{SS} \le V_{IS} \le V_{DD}$, R_L = 1.0kΩ		0	5		5		MHz
				0	10		10		
				0	15		12		
CROSSTALK (To signal port)		V_C = Square wave, R_L = 10kΩ, R_{IN} = 1.0kΩ		0	5	–	30	–	mV
				0	10	–	50	–	
				0	15	–	100	–	

TYPICAL ON-RESISTANCE CHARACTERISTICS

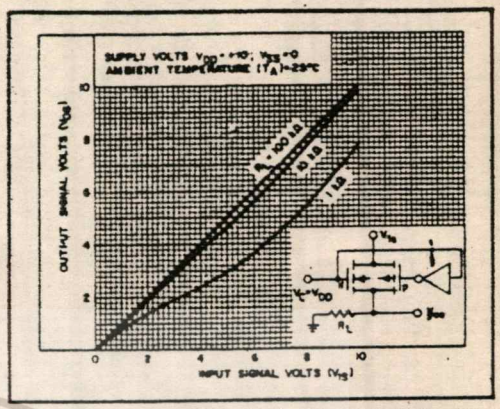
CHARACTERISTIC*	SUPPLY CONDITIONS		LOAD CONDITIONS					
			R_L = 1kΩ		R_L = 10kΩ		R_L = 100kΩ	
	V_{DD} (V)	V_{SS} (V)	VALUE (Ω)	V_{is} (V)	VALUE (Ω)	V_{is} (V)	VALUE (Ω)	V_{is} (V)
R_{ON}	+15	0	200	+15	200	+15	180	+15
			200	0	200	0	200	0
R_{ON}(max.)	+15	0	300	+11	300	+9.3	320	+9.2
R_{ON}	+10	0	290	+10	250	+10	240	+10
			290	0	250	0	300	0
R_{ON}(max.)	+10	0	500	+7.4	560	+6.6	610	+6.5
R_{ON}	+ 5	0	860	+ 5	470	+ 5	450	+ 5
			800	0	580	0	800	0
R_{ON}(max.)	+ 5	0	1.7k	+4.2	7k	+2.9	33k	+2.7
R_{ON}	+7.5	−7.5	200	+7.5	200	+7.5	180	+7.5
			200	−7.5	200	−7.5	180	−7.5
R_{ON}(max.)	+7.5	−7.5	290	±0.25	280	±25	400	±0.25
R_{ON}	+ 5	− 5	260	+ 5	250	+ 5	240	+ 5
			310	− 5	250	− 5	240	− 5
R_{ON}(max.)	+ 5	− 5	600	±0.25	580	±0.25	760	±0.25
R_{ON}	+2.5	−2.5	590	+2.5	450	+2.5	490	+2.5
			720	−2.5	520	−2.5	520	−2.5
R_{ON}(max.)	+2.5	−2.5	232k	±0.25	300k	±0.25	870k	±0.25

* Variation from a perfect switch: R_{ON} = 0Ω.

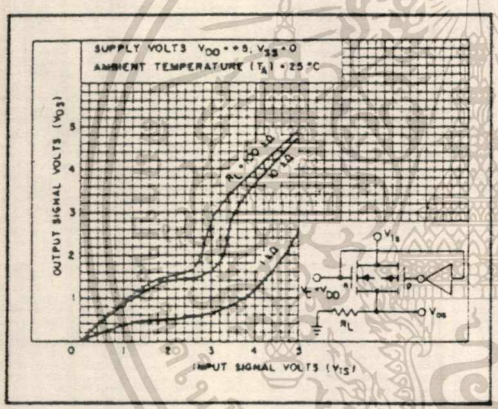
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



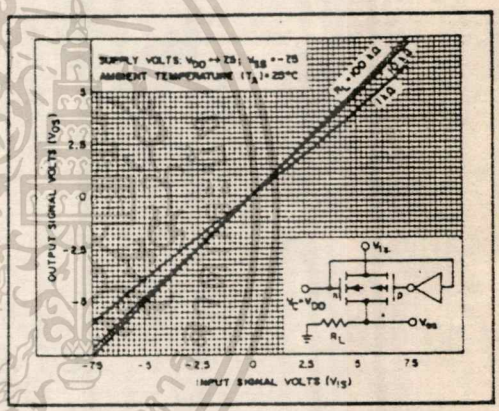
Typ. ON characteristics for 1 of 4 switches with V_{DD}=+15V, V_{SS}=0V



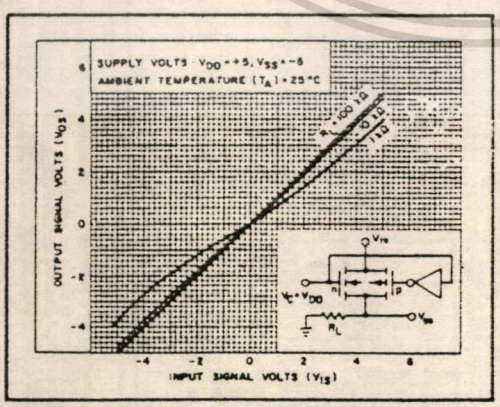
Typ. ON characteristics for 1 of 4 switches with V_{DD}=+10V, V_{SS}=0V



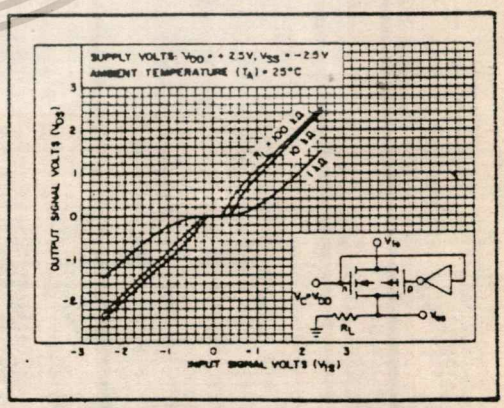
Typ. ON characteristics for 1 of 4 switches with V_{DD}=+5V, V_{SS}=0V



Typ. ON characteristics for 1 of 4 switches with V_{DD}=+7.5V, V_{SS}=-7.5V

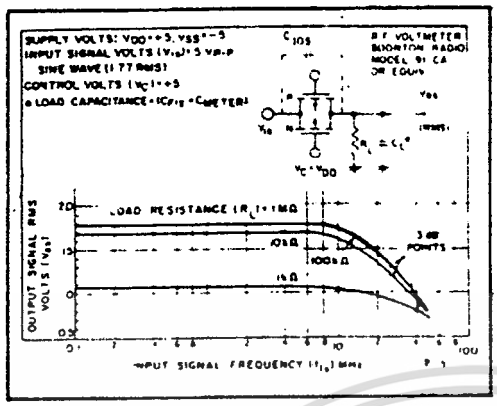


Typ. ON characteristics for 1 of 4 switches with V_{DD}=+5V, V_{SS}=-5V

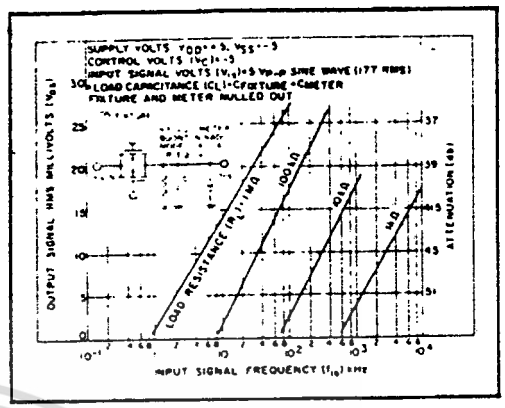


Typ. ON characteristics for 1 of 4 switches with V_{DD}=+2.5V, V_{SS}=-2.5V

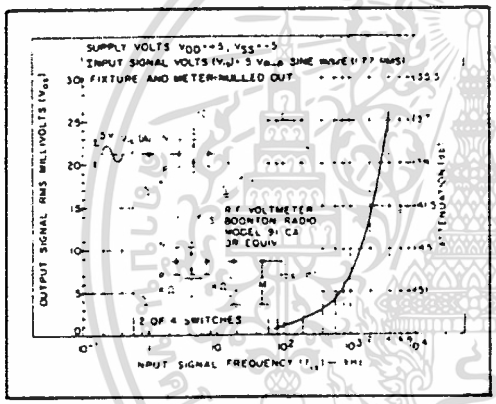
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



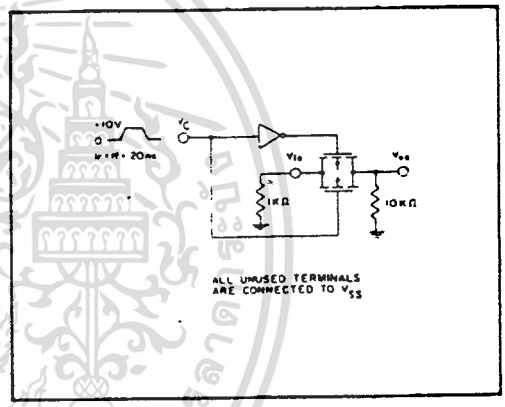
Typ. switch frequency response - switch ON



Typ. feedthru vs. freq. - switch OFF



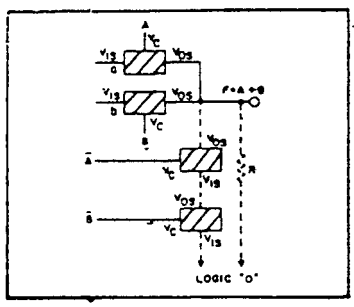
Typ. crosstalk between switch circuits in the same package



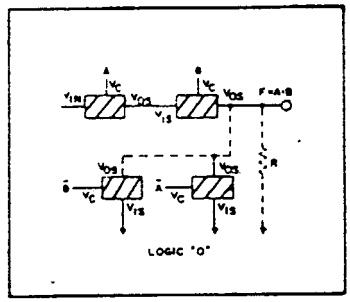
Crosstalk-control input to signal output

APPLICATIONS INFORMATION

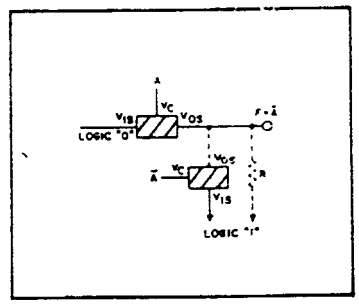
LOGIC FUNCTIONS USING THE SCL4016AB



OR Gate



AND Gate



Inverter

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SCL4017AB

CMOS DECADE COUNTER/DIVIDER

FEATURES

- 10 Decoded Decimal Outputs
- Direct Reset
- Trigger from either Edge of Clock Input
- Carry Output for Cascading Stages
- Fully Static Operation - DC to 5MHz @ 10Vdc

DESCRIPTION

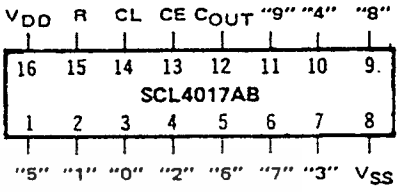
The SCL4017AB consists of a 5-stage Johnson Decade Counter and an Output Decoder. Inputs include Clock, Reset, and Clock Enable signals.

The counter has interchangeable Clock and Clock Enable lines for incrementing on either a positive-going or negative-going transition, respectively. A high Reset signal clears the counter to its zero count.

Use of the Johnson decade counter configuration permits high-speed operation, 2-input decode gating, and spike-free decoded outputs. Anti-lock gating is provided, thus assuring proper counting sequence. The 10 decoded outputs are normally low and go high only at their respective decoded time slot. Each decoded output remains high for one full clock cycle. A Carry-out (C_{OUT}) signal completes one cycle every 10 clock input cycles and is used to directly clock the succeeding counter in multi-stage applications.

This part can be used in frequency division circuits as well as decade counter or decimal decode display applications.

CONNECTION DIAGRAM
(all packages)



Add suffix for package:

C	16-pin Cerdip
D	16-pin Ceramic
E	16-pin Epoxy
F	16-pin Flat
H	Chip

RECOMMENDED OPERATING CONDITIONS

For maximum reliability:

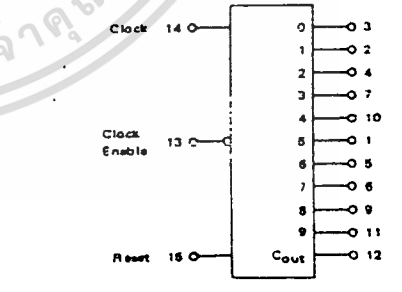
DC Supply Voltage	$V_{DD} - V_{SS}$	3 to 15	Vdc
Operating Temperature	T_A		
C, D, F, H Device		-55 to +125	°C
E Device		-40 to +85	°C

FUNCTIONAL TRUTH TABLE
(Positive Logic)

Clock	Clock Enable	Reset	Decode Output = n
0	X	0	n
X	1	0	n
X	X	1	"0"
⌒	0	0	n + 1
⌒	X	0	n
X	⌒	0	n
1	⌒	0	n + 1

x = Don't Care
If n < 5 Carry = "1", Otherwise = "0"

BLOCK DIAGRAM



VDD = Pin 16
VSS = Pin 8

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ELECTRICAL CHARACTERISTICS

STATIC CHARACTERISTICS [1]

PARAMETER		V_{DD} (Vdc)	CONDITIONS	T_{LOW} [2] Min.	T_{LOW} [2] Max.	+25°C Min.	+25°C Typ.	+25°C Max.	T_{HIGH} [2] Min.	T_{HIGH} [2] Max.	Units
QUIESCENT DEVICE CURRENT	I_{DD}	5	$V_{IN}=V_{SS}$ or V_{DD}	–	5	–	0.05	5	–	150	μAdc
		10	All valid input	–	10	–	0.1	10	–	300	
		15	combinations	–	20	–	0.2	20	–	600	
OUTPUT HIGH (SOURCE) CURRENT											
C, D, F, H device	I_{OH}										
Decoded Outputs		5	V_{OH} = 4.6V	-0.05	–	-0.04	-0.3	–	-0.028	–	mAdc
		10	V_{OH} = 9.5V	-0.125	–	-0.1	-0.75	–	-0.07	–	
		15	V_{OH} = 13.5V	-0.375	–	-0.3	-2.5	–	-0.21		
			$V_{IN}=V_{SS}$ or V_{DD}								
Carry Output		5	V_{OH} = 4.6V	-0.25	–	-0.2	-0.75	–	-0.14	–	mAdc
		10	V_{OH} = 9.5V	-0.62	–	-0.5	-1.1	–	-0.35	–	
		15	V_{OH} = 13.5V	-1.9	–	-1.5	-3.5	–	-1.1	–	
			$V_{IN}=V_{SS}$ or V_{DD}								
E device	I_{OH}										
Decoded Outputs		5	V_{OH} = 4.6V	-0.048	–	-0.04	-0.3	–	-0.032	–	mAdc
		10	V_{OH} = 9.5V	-0.12	–	-0.1	-0.75	–	-0.08	–	
		15	V_{OH} = 13.5V	-0.36	–	-0.3	-2.5	–	-0.24	–	
			$V_{IN}=V_{SS}$ or V_{DD}								
Carry Output		5	V_{OH} = 4.6V	-0.24	–	-0.2	-0.75	–	-0.16	–	mAdc
		10	V_{OH} = 9.5V	-0.6	–	-0.5	-1.1	–	-0.4	–	
		15	V_{OH} = 13.5V	-1.8	–	-1.5	-3.5	–	-1.2	–	
			$V_{IN}=V_{SS}$ or V_{DD}								
OUTPUT LOW (SINK) CURRENT											
C, D, F, H device	I_{OL}										
Decoded Outputs		5	V_{OL} = 0.4V	0.05	–	0.04	0.4	–	0.028	–	mAdc
		10	V_{OL} = 0.5V	0.125	–	0.1	1.0	–	0.07	–	
		15	V_{OL} = 1.5V	0.375	–	0.3	3.0	–	0.21	–	
			$V_{IN}=V_{SS}$ or V_{DD}								
Carry Output		5	V_{OL} = 0.4V	0.25	–	0.2	0.75	–	0.14	–	mAdc
		10	V_{OL} = 0.5V	0.62	–	0.5	1.3	–	0.35	–	
		15	V_{OL} = 1.5V	1.9	–	1.5	4.0	–	1.1	–	
			$V_{IN}=V_{SS}$ or V_{DD}								
E device	I_{OL}										
Decoded Outputs		5	V_{OL} = 0.4V	0.048	–	0.04	0.4	–	0.032	–	mAdc
		10	V_{OL} = 0.5V	0.12	–	0.1	1.0	–	0.08	–	
		15	V_{OL} = 1.5V	0.36	–	0.3	3.0	–	0.24	–	
			$V_{IN}=V_{SS}$ or V_{DD}								
Carry Output		5	V_{OL} = 0.4V	0.24	–	0.2	0.75	–	0.16	–	mAdc
		10	V_{OL} = 0.5V	0.6	–	0.5	1.3	–	0.4	–	
		15	V_{OL} = 1.5V	1.8	–	1.5	4.0	–	1.2	–	
			$V_{IN}=V_{SS}$ or V_{DD}								

NOTES: [1] Remaining Static Electrical Characteristics are listed under "SCL4000B Series Family Specifications".

[2] T_{LOW} = –55°C for C, D, F, H device.
= –40°C for E device.
T_{HIGH} = +125°C for C, D, F, H device.
= + 85°C for E device.

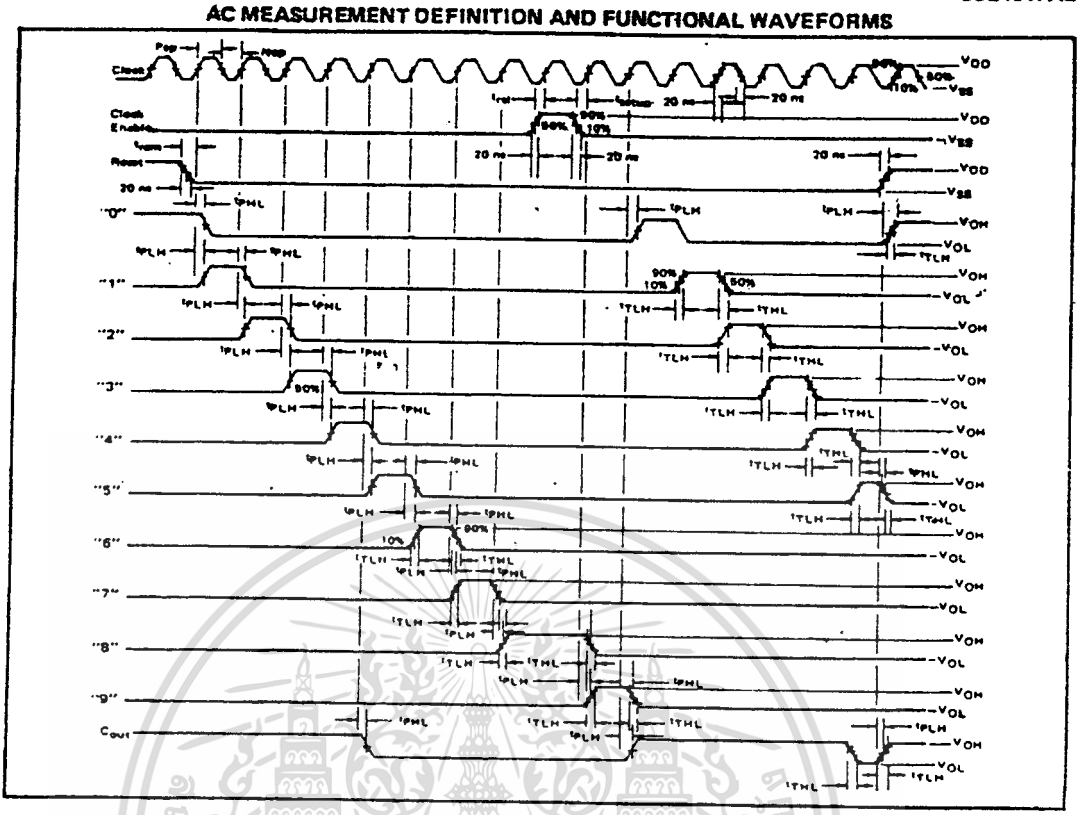
ELECTRICAL CHARACTERISTICS (Continued)

DYNAMIC CHARACTERISTICS (C_L = 50pF, T_A = 25°C)

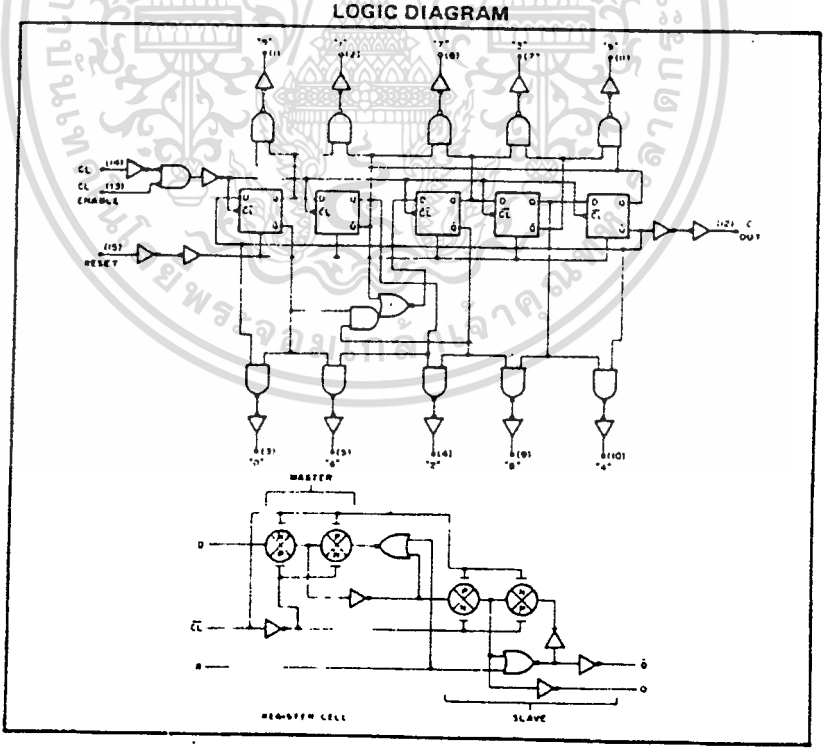
PARAMETER		V_{DD} (Vdc)	Min.	Typ.	Max.	Units
CLOCKED OPERATION						
PROPAGATION DELAY TIME To Decoded Outputs	t_{PLH}, t_{PHL}	5	–	600	1200	ns
		10	–	240	480	
		15	–	180	360	
To Carry Output	t_{PLH}, t_{PHL}	5	–	500	1000	ns
		10	–	200	400	
		15	–	150	300	
OUTPUT TRANSITION TIME Decoded Outputs	t_{TLH}, t_{THL}	5	–	250	500	ns
		10	–	125	250	
		15	–	90	180	
Carry Output	t_{TLH}, t_{THL}	5	–	180	360	ns
		10	–	90	180	
		15	–	65	130	
MINIMUM CLOCK PULSE WIDTH	PW_{CL}	5	–	200	400	ns
		10	–	100	200	
		15	–	80	160	
MAXIMUM CLOCK FREQUENCY	f_{CL}	5	1.25	2.5	–	MHz
		10	2.5	5.0	–	
		15	3.0	6.0	–	
MAXIMUM CLOCK OR ENABLE RISE AND FALL TIME	t_{rCL}, t_{fCL}	5	15	–	–	μs
		10	15	–	–	
		15	5	–	–	
MINIMUM ENABLE SETUP TIME	t_{setup}	5	–	175	350	ns
		10	–	75	150	
		15	–	55	110	
MINIMUM ENABLE REMOVAL TIME	t_{rem}	5	–	250	500	ns
		10	–	100	200	
		15	–	75	150	
RESET OPERATION						
PROPAGATION DELAY TIME To Decoded Outputs	t_{PLH}, t_{PHL}	5	–	500	1000	ns
		10	–	200	400	
		15	–	140	280	
To Carry Output	t_{PLH}	5	–	400	800	ns
		10	–	150	300	
		15	–	110	220	
MINIMUM RESET PULSE WIDTH	PW_R	5	–	150	300	ns
		10	–	75	150	
		15	–	60	120	
RESET REMOVAL TIME	t_{rem}	5	–	250	500	ns
		10	–	100	200	
		15	–	80	160	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC MEASUREMENT DEFINITION AND FUNCTIONAL WAVEFORMS



LOGIC DIAGRAM



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

SCL4046B
SCL4446B

CMOS PHASE-LOCKED LOOPS

FEATURES

- Very low power consumption — 70 μW (typ) @ f_o = 10kHz, 5Vdc
- Operating frequency range (no offset) — Up to 3MHz (typ) @ 10Vdc (SCL4046B) Up to 4MHz (typ) @ 10Vdc (SCL4446B)
- Low frequency drift — 0.04%/°C (typ) @ 10Vdc
- Choice of two phase comparators:
  1. Exclusive-OR network
  2. Edge-controlled memory network with phase-pulse output for lock indication
- VCO Inhibit control for ON-OFF keying and ultra-low standby power consumption
- High VCO linearity 1% (typ)
- Source-follower output of VCO control input (Demodulator Output)
- Zener Diode to assist Supply Regulation
- Balanced Output Drive Current Specifications

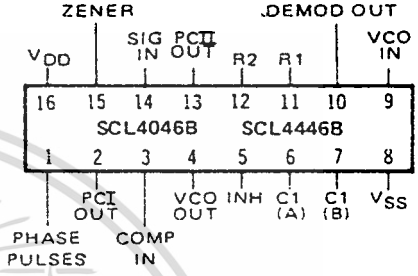
APPLICATIONS

- FM demodulator and modulator
- Frequency synthesis and multiplication
- Frequency discriminator
- Data synchronization
- Voltage-to-frequency conversion
- Tone decoding
- FSK-Modems
- Signal conditioning

DESCRIPTION

The SCL4046B and SCL4446B phase-locked loops contain two phase comparators, a voltage-controlled oscillator (VCO), source follower, and zener diode. The comparators have two common inputs. The Signal input can be used directly coupled to large voltage signals, or indirectly coupled (with a series capacitor) to small voltage signals. The self-bias circuit adjusts small voltage signals in the linear region of the amplifier. Phase comparator I (an exclusive-OR gate) provides a digital error signal PCI_{out}, and maintains 90° phase shift at the center frequency between Signal and Comparator inputs (both at 50% duty cycle). Phase comparator II (with leading edge sensing logic) provides digital error signals $PCII_{out}$ and Phase Pulses, and maintains a 0° phase shift between input signals (duty cycle is immaterial). The linear VCO produces an output signal VCO_{out} whose frequency is determined by the voltage of input VCO_{in} and the capacitor and resistors connected to pins $C1_A$, $C1_B$, R1, and R2. The source follower output, Demod Out, with an external resistor is used where the VCO_{in} signal is needed but no loading can be tolerated. The inhibit input Inh, when high, disables the VCO and source follower to minimize standby power consumption. The zener diode can be used to assist in power supply regulation.

CONNECTION DIAGRAM
(all packages)



Add suffix for package:

- C, 16-pin Cerdip
- D 16-pin Ceramic
- E 16-pin Epoxy
- F 16-pin Flat
- H Chip

RECOMMENDED OPERATING CONDITIONS

For maximum reliability:

DC Supply Voltage	$V_{DD} - V_{SS}$	3 to 15	Vdc
Operating Temperature	T_A		
C, D, F, H Device		-55 to +125	°C
E Device		-40 to +85	°C

BLOCK DIAGRAM

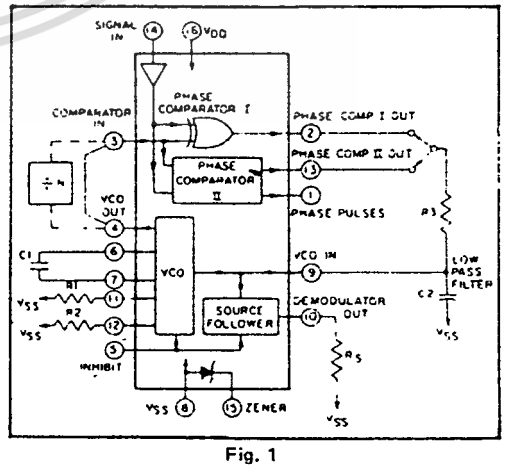


Fig. 1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

VCO SECTION

The VCO requires one external capacitor (C1) and one to two external resistors (R1 or R1 and R2). Resistor R1 and capacitor C1 determine the frequency range of the VCO and resistor R2 enables the VCO to have a frequency offset if required. The high input impedance ($10^{12}\Omega$) of the VCO simplifies the design of low-pass filters by permitting the designer a wide choice of resistor-to-capacitor ratios. In order not to load the low-pass filter, a source-follower output of the VCO input voltage is provided at terminal 10 (DEMODULATOR OUTPUT). If this terminal is used, a load resistor (R_S) of 50kΩ or more should be connected from this terminal to V_{SS}. If unused, this terminal should be left open. The VCO can be connected directly or through frequency dividers to the comparator input of the phase comparators. A full CMOS logic swing is available at the output of the VCO. A logic 0 on the INHIBIT input "enables" the VCO and the source follower, while a logic 1 "turns off" both to minimize stand-by power consumption.

PHASE COMPARATORS

The phase-comparator signal input (terminal 14) can be direct-coupled provided the signal swing is within CMOS logic levels [logic "0" $\leqslant$ 30% (V_{DD}-V_{SS}), logic "1" $\geqslant$ 70% (V_{DD}-V_{SS})]. For smaller swings the signal must be capacitively coupled to the self-biasing amplifier at the signal input.

Phase comparator I is an exclusive-OR network; it operates analogously to an over-driven balanced mixer. To maximize the lock range, the signal and comparator-input frequencies must have a 50% duty cycle. With no signal or noise on the signal input, this phase comparator has an average output voltage equal to $V_{DD}/2$. The low-pass filter connected to the output of phase comparator I supplies the averaged voltage to the VCO input, and causes the VCO to oscillate at the center frequency (f_o).

The frequency range of input signals on which the PLL will lock, if it was initially out of lock, is defined as the frequency capture range ($2f_c$).

The frequency range of input signals on which the loop will stay locked if it was initially in lock is defined as the frequency lock range ($2f_L$). The capture range can not exceed the lock range.

With phase comparator I, the range of frequencies over which the PLL can acquire lock (capture range) is dependent on the low-pass-filter characteristics, and can be made as large as the lock range. Phase-comparator I enables a PLL system to remain in lock in spite of high amounts of noise in the input signal.

One characteristic of this type of phase comparator is that it may lock onto input frequencies that are close to harmonics of the VCO center-frequency. A second characteristic is that the phase angle between the signal and the comparator input varies between 0° and 180°, and is 90° at the center frequency. Figure 2 shows the (typical) triangular phase-to-output response characteristic of phase-comparator I. Typical waveforms for a CMOS phase-locked-loop employing phase comparator I in locked condition is shown in Figure 3.

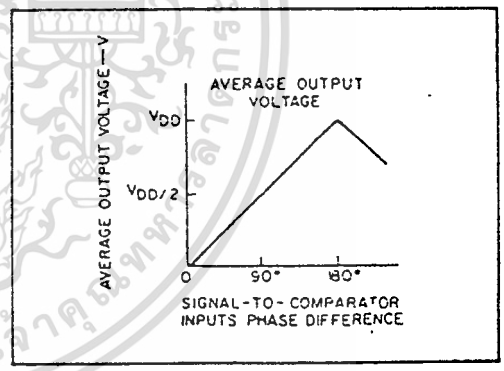


Fig. 2 — Phase-comparator I characteristics at low-pass filter output.

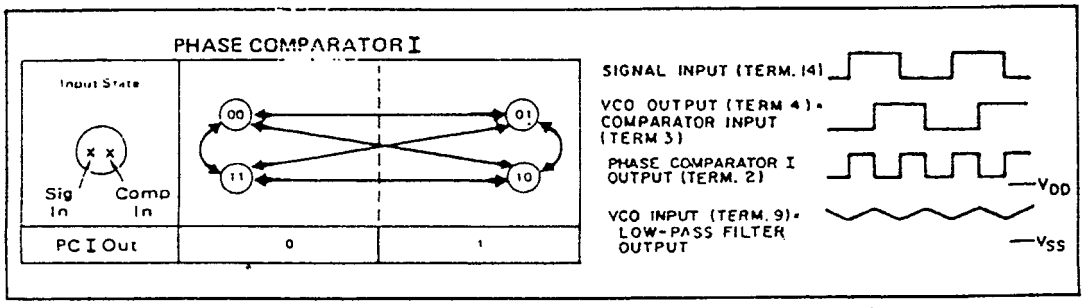


Fig. 3 — Typical waveforms employing phase comparator I in locked condition

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

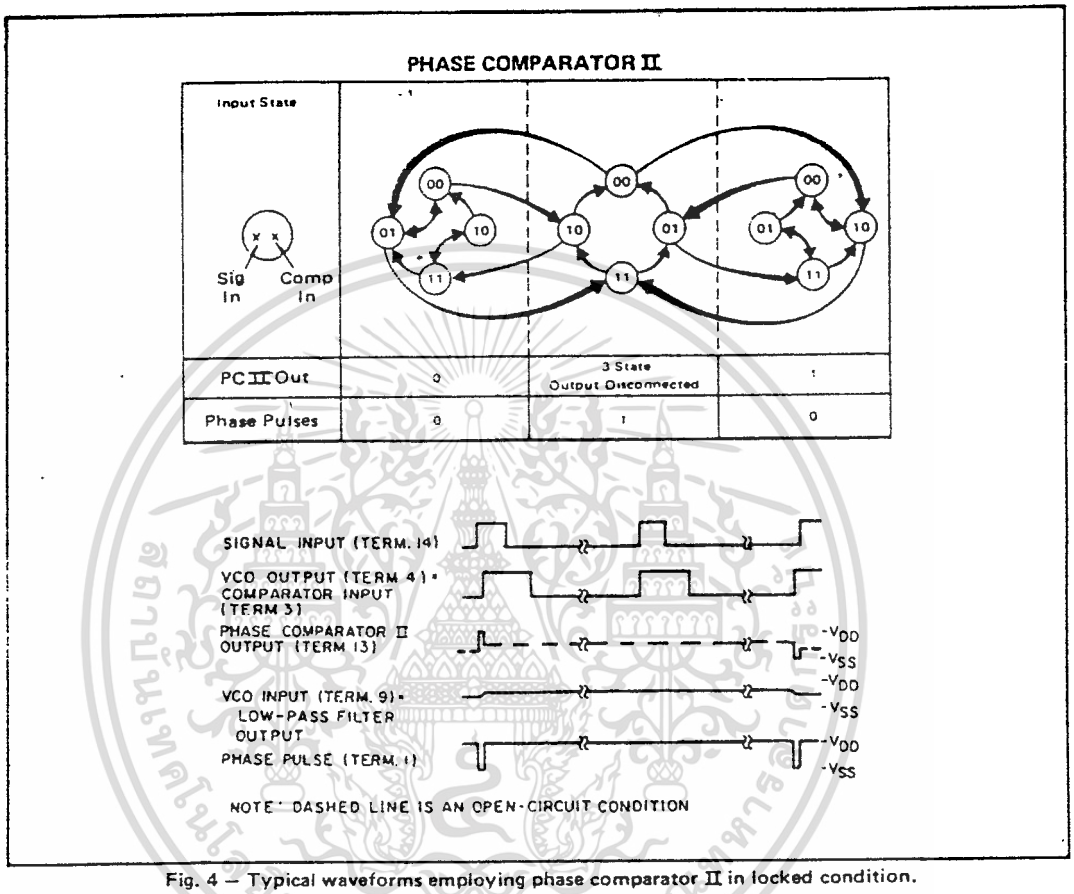


Fig. 4 — Typical waveforms employing phase comparator II in locked condition.

Phase-comparator II is an edge-controlled digital memory network. It consists of several flip-flop stages, control gating, and a three state output circuit comprising p- and n-type drivers having a common output node. When the p-MOS or n-MOS drivers are ON, they pull the output up to V_{DD} or down to V_{SS}, respectively. This type of phase comparator acts only on the positive edges of the signal and comparator inputs. The duty cycles of the signal and comparator inputs are not important since positive transitions control the PLL system utilizing this type of comparator. If the signal lags the comparator input in phase, the n-type output driver is maintained ON for a time corresponding to the phase difference. If the comparator input lags the signal in phase, the p-type output driver is maintained ON for a time corresponding to the phase difference. Subsequently, the capacitor voltage of the low-pass filter connected to this phase comparator is adjusted until the signal and comparator inputs are equal in both phase and frequency. At this stable point, both p- and n-type output drivers remain OFF. Thus, the phase comparator output becomes an open circuit and holds the voltage on the capacitor of the low-pass filter constant. Moreover, the signal at the "phase pulses" output is a high level which can be used for indicating a locked condition. Thus, for phase comparator II, no phase difference exists between signal and comparator input over the full VCO frequency range. Moreover, the power dissipation due to the low-pass filter is reduced when this type of phase comparator is used because both the p- and n-type output drivers are OFF for most of the signal input cycle.

It should be noted that the PLL lock range for this type of phase comparator is equal to the capture range, independent of the low-pass filter. With no signal present at the signal input, the VCO is adjusted to its lowest frequency for phase comparator II. Figure 4 shows typical waveforms for a CMOS PLL employing phase comparator II in a locked condition.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

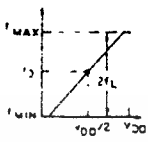
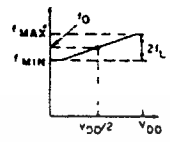
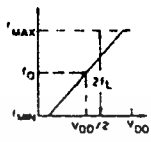
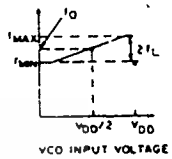
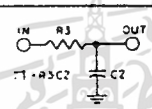
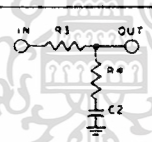
DESIGN INFORMATION

This information is a guide for approximating the values of external components for the SCL4046B and SCL4446B in a Phase-Locked Loop system. The selected external components must be within the following ranges:

$R1, R2 \geq 2k\Omega$, $R_S \geq 10k\Omega$

$C1 \geq 15pF$

In addition to the given design information refer to Figure 5 for R1, R2, and C1 component selections.

CHARACTERISTICS	USING PHASE COMPARATOR I		USING PHASE COMPARATOR II	
	VCO WITHOUT OFFSET $R_2 = \infty$	VCO WITH OFFSET	VCO WITHOUT OFFSET $R_2 = \infty$	VCO WITH OFFSET
VCO Frequency				
For No Signal Input	VCO in PLL system will adjust to center frequency, f_o		VCO in PLL system will adjust to lowest operating frequency, f_{min}	
Frequency Lock Range, $2f_L$	$2f_L$ = full VCO frequency range $2f_L = f_{max} - f_{min}$			
Frequency Capture Range, $2f_C$	 $2f_C \approx \frac{1}{\pi}\sqrt{\frac{2\pi f_L}{\pi}}$		$f_C = f_L$	
Loop Filter Component Selection		For $2f_C$, see Ref.		
Phase Angle between Signal and Comparator	90° at center frequency (f_o), approximating 0° and 180° at ends of lock range ($2f_L$)		Always 0° in lock	
Locks on Harmonics of Center Frequency	Yes		No	
Signal Input Noise Rejection	High		Low	
VCO Component Selection	Given f_o Use f_o with Fig.5a to determine R1 and C1	– Given: f_o and f_L – Calculate f_{min} from the equation $f_{min} = f_o - f_L$ – Use f_{min} with Fig. 5b to determine R2 and C1 – Calculate $\frac{f_{max}}{f_{min}}$ from the equation $\frac{f_{max}}{f_{min}} = \frac{f_o + f_L}{f_o - f_L}$ – Use $\frac{f_{max}}{f_{min}}$ with Fig.5c to determine ratio R2/R1 to obtain R1	– Given: f_{max} – Calculate f_o from the equation $f_o = \frac{f_{max}}{2}$ – Use f_o with Fig.5a to determine R1 and C1	– Given f_{min} & f_{max} – Use f_{min} with Fig.5b to determine R2 and C1 – Calculate $\frac{f_{max}}{f_{min}}$ Use $\frac{f_{max}}{f_{min}}$ with Fig.5c to determine ratio R2/R1 to obtain R1

REF. G. S. Moschytz, "Miniaturized RC Filters Using Phase-Locked Loop", BSTJ, May, 1965.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ELECTRICAL CHARACTERISTICS [1, 3]

PARAMETER		V_{DD} (Vdc)	CONDITIONS	T_{LOW} [2] Min.	T_{LOW} [2] Max.	+25°C Min.	+25°C Typ.	+25°C Max.	T_{HIGH} [2] Min.	T_{HIGH} [2] Max.	Units
QUIESCENT DEVICE CURRENT	I_{DD}	5	Inhibit V_{DD}	–	5		0.05	5	–	150	μAdc
		10	Signal Input =	–	10	–	0.01	10	–	300	
		15	V_{DD}	–	20	–	0.2	20	–	600	
TOTAL POWER DISSIPATION	P_T		Inh V_{SS}, $VCO_{IN} = \frac{V_{DD}}{2}$, f_o 10kHz,								
		5	C_L 15pF	–	–	–	0.07	–			mW
		10	R1 1MΩ	–		–	0.6	–			
		15	R2 R_S ∞	–		–	2.4	–			

NOTES: [1] Remaining Static Electrical Characteristics are listed under "SCL4000B Series Family Specifications".
[2] T_{LOW} = -55°C for C, D, F, H device
= -40°C for E device
T_{HIGH} = +125°C for C, D, F, H device
= + 85°C for E device
[3] VCO output (pin 4) and Phase Comparator Outputs (pins 2 and 13) have been designed for balanced output drive current specifications. Consult Family Specifications.

PARAMETER		CONDITIONS		V_{DD}	25°C Min.	25°C Typ.	25°C Max.	UNIT
VCO SECTION								
MAXIMUM OPERATING FREQUENCY	f_{max}							
SCL4046B			R1 C1					
		R2 = ∞	10k 50pF	5	0.5	0.8	–	MHz
		VCO_{IN} = V_{DD}		10	1.0	1.5	–	
				15	1.3	1.9	–	
			5k 50pF	5	0.6	1.0	–	MHz
				10	1.4	2.1	–	
				15	1.8	2.7	–	
			2k 50pF	5	–	1.3	–	MHz
				10	–	2.9	–	
				15	–	3.8	–	
SCL4446B		R2 = ∞	R1 C1					
		VCO_{IN} = V_{DD}	10k 50pF	5	0.7	1.0	–	MHz
				10	1.3	2.0	–	
				15	1.9	2.8	–	
			5k 50pF	5	0.9	1.3	–	MHz
				10	1.9	2.9	–	
				15	2.6	3.9	–	
			2k 50pF	5	–	1.8	–	MHz
				10	–	3.9	–	
				15	–	5.4	–	
LINEARITY		R2 = ∞						
		VCO_{IN} = 2.5±0.3V, R1 ≥ 10kΩ		5	–	1	–	%
		VCO_{IN} = 5.0±2.5V, R1 ≥ 400kΩ		10	–	1	–	
		VCO_{IN} = 7.5±5.0V, R1 ≥ 1MΩ		15	–	1	–	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS (Continued)

PARAMETER		CONDITIONS	V_{DD}	+25°C			UNIT
				Min.	Typ.	Max.	
VCO SECTION (Continued)							
TEMPERATURE-FREQUENCY STABILITY							
No Offset		R2 = ∞	5	–	0.12-0.24	–	%/°C
			10	–	0.04-0.08	–	
			15	–	0.015-0.03	–	
With Offset		R2 ≤ 10X R1	5	–	0.06-0.12		%/°C
			10	–	0.05-0.1	–	
			15	–	0.03-0.05	–	
INPUT RESISTANCE (VCO_{IN})	R_{IN}		5, 10, 15	–	10^5	–	MΩ
OUTPUT DUTY CYCLE		All valid input combinations and voltages		–	50	---	%
OUTPUT TRANSITION TIME	t_{TLH}, t_{THL}	C_L = 50pF	5	–	100	200	ns
			10	–	50	100	
			15	–	40	80	
PHASE COMPARATORS							
INPUT RESISTANCE							
Signal Input	R_{IN}		5	1	3	–	MΩ
			10	0.2	0.7	–	
			15	0.1	0.3	–	
Comparator Input	R_{IN}		5, 10, 15	–	10^6	–	MΩ
AC-COUPLED INPUT SENSITIVITY	V_{IN}						
Signal Input			5	–	200	400	mV
			10	–	400	800	
			15	–	700	1400	
OUTPUT TRANSITION TIME							
PCI, PCII Outputs	t_{TLH}, t_{THL}	C_L = 50pF	5	–	100	200	ns
			10	–	50	100	
			15	–	40	80	
Phase Pulses Output	t_{TLH}, t_{THL}		5	–	130	260	ns
			10	–	65	130	
			15	–	50	100	
DEMODULATOR OUTPUT							
OFFSET VOLTAGE	VCO_{IN} = V_{DEM}	$R_S \geq 50k\Omega$	5	–	1.4	2.2	Vdc
			10	–	1.6	2.2	
			15	–	1.8	2.2	
LINEARITY		$R_S \geq 50k\Omega$					
		VCO_{IN} = 2.5±0.3V	5	–	0.1	–	%
		VCO_{IN} = 5.0±2.5V	10	–	0.6	–	
		VCO_{IN} = 7.5±5.0V	15	–	0.8	–	
ZENER DIODE							
ZENER VOLTAGE	V_Z	I_Z = 50μA	–	6.3	7.0	7.7	V
DYNAMIC RESISTANCE	R_Z	I_Z = 1mA	–	–	100	–	Ω

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

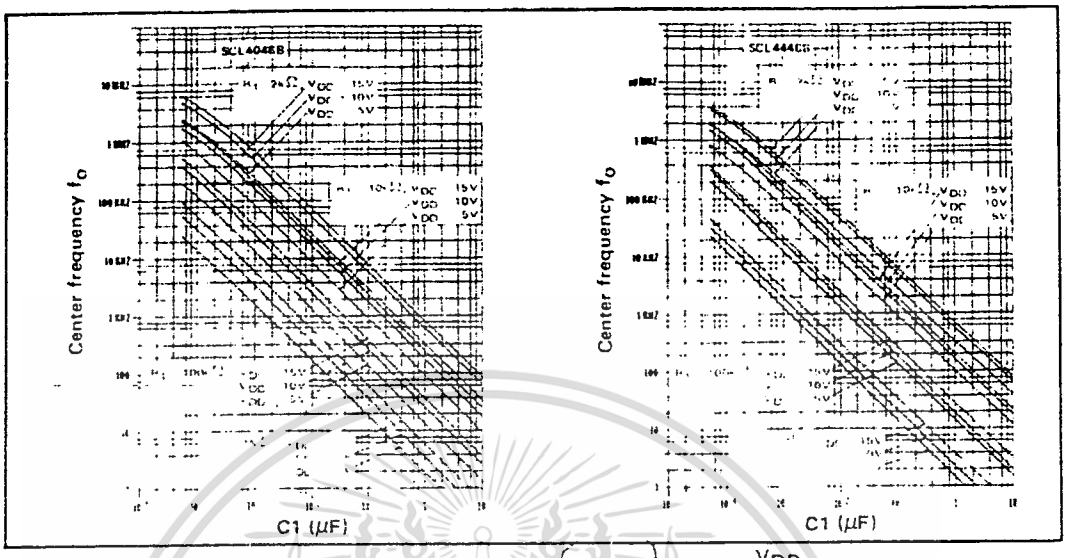


Fig. 5 (a) Typical center frequency (f_o) vs C1 ($R2 = \infty$, $VCO_{IN} = \frac{V_{DD}}{2}$, $T_A = 25°C$)

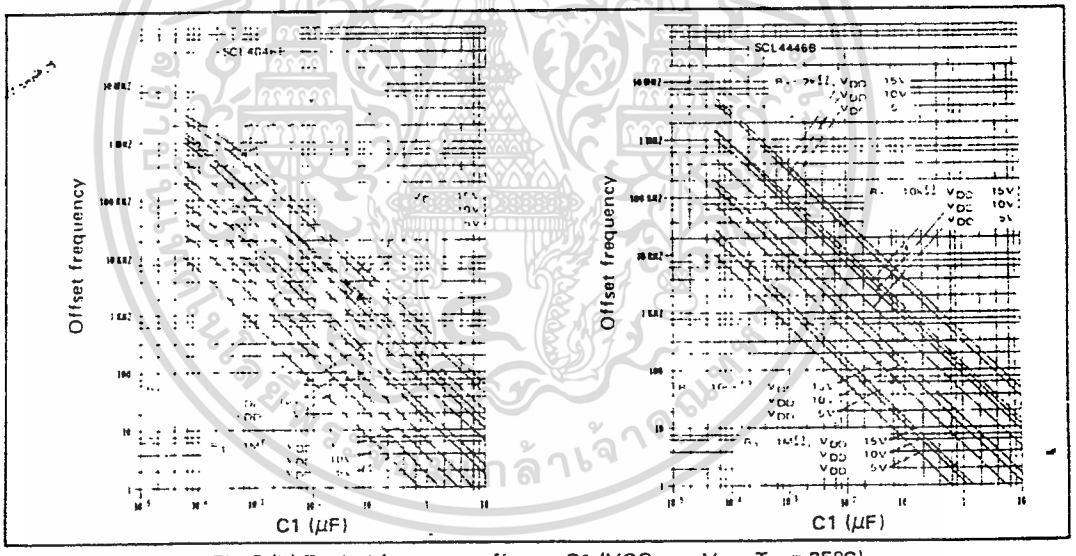


Fig. 5 (b) Typical frequency offset vs C1 ($VCO_{IN} = V_{SS}$, $T_A = 25°C$)

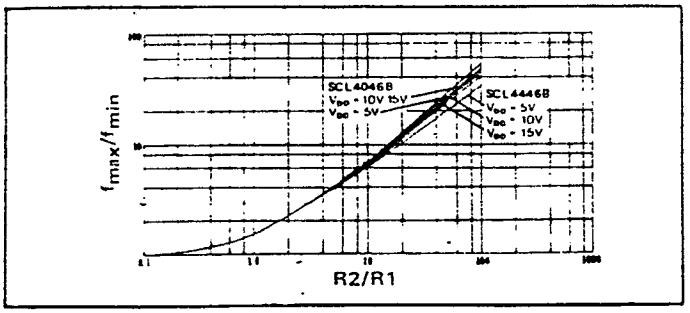


Fig. 5 (c) Typical f_{max}/f_{min} vs R2/R1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

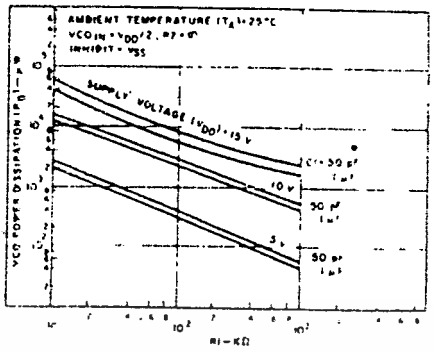


Fig. 6 (a) - Typical VCO power dissipation at center frequency vs R1.

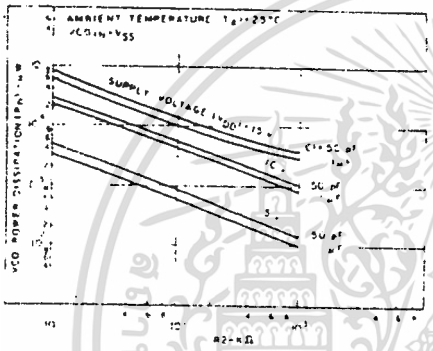


Fig. 6 (b) - Typical VCO power dissipation at f_{min} vs R2.

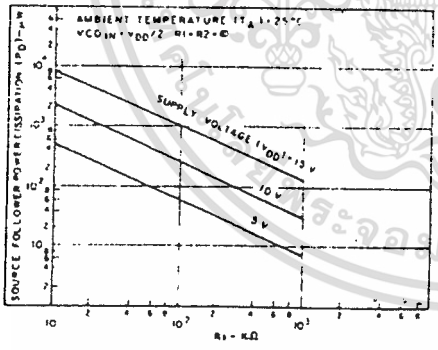


Fig. 6 (c) - Typical source follower power dissipation vs R_S.

NOTE: To obtain approximate total power dissipation of PLL system for no-signal input

P_D (Total) = P_D (f_o) + P_D (f_{MIN}) + P_D (R_S)
– Phase Comparator I

P_D (Total) = P_D (f_{MIN})
– Phase Comparator II

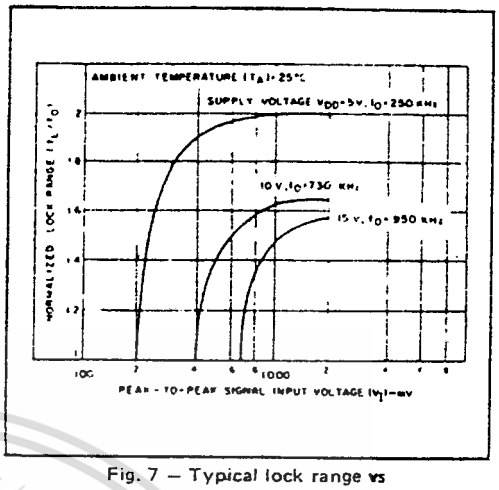


Fig. 7 – Typical lock range vs signal input amplitude

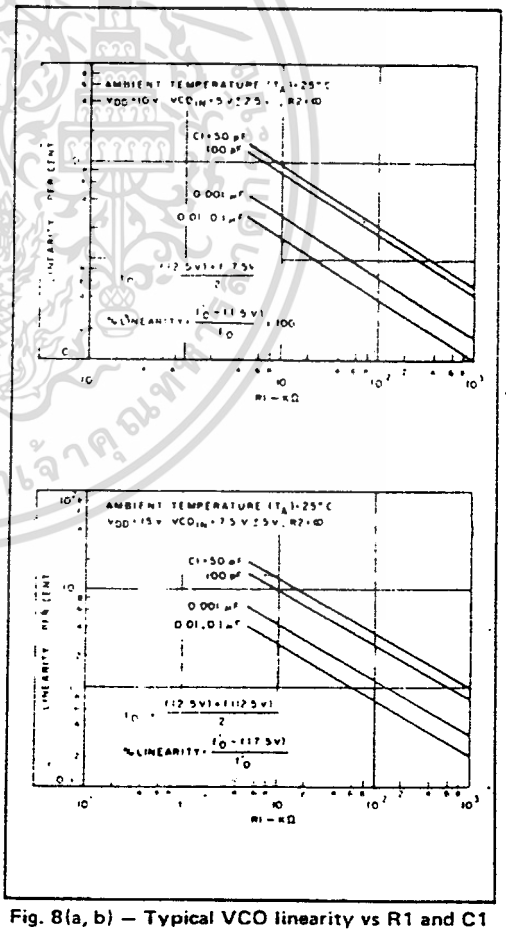


Fig. 8(a, b) – Typical VCO linearity vs R1 and C1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ปริญญานิพนธ์ฉบับนี้ไม่อาจเสร็จสมบูรณ์ได้หากขาดความร่วมมือจากหลายฝ่ายและต้องขอขอบคุณอาจารย์ที่เป็นที่ปรึกษาเป็นอย่างยิ่งที่ได้ให้ข้อคิดและคำปรึกษาที่มีประโยชน์ต่อการทำปริญญานิพนธ์ในครั้งนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หนังสืออ้างอิง

Gobind,Daryanani. : " Principles of Active Network Synthesis and Design," John Wiley & Sons,, 1976

K. Sam, Shanmugam. : " Digital and Analog Communication Systems , " John Wiley & Sons , 1979

Hai,Hung.Chiang,:" Electronic Wave Forming and Processing Circuits, " John Wiley & Sons , 1986

Harold,S.Black.: " Modulation Theory ,"Bell Laboratories Series, 1966

Morris,David.Joseph. : " communication Command and Control System , " Oxford Pergamond Press,1977

National Semiconductor , Corp.: " CMOS Data Book, " U.S.A ,1977

National Semiconductor , Corp.: " Linear Data Book , " U.S.A ,1976

Roger,L.Freeman. ; Telecommunication Transmission Handbook, " Wiley International Book.,Co.,1975

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

การสังเคราะห์ความถี่ด้วยเฟสล็อคลูป

		หน้า
บทคัดย่อ		54
บทที่ 1	บทนำ	55
บทที่ 2	เฟสล็อคลูป (PHASE - LOCKED LOOP)	60
บทที่ 3	วงจรที่ใช้งานจริงในการสังเคราะห์ความถี่	71
บทที่ 4	ผลการทดลองและสรุป	76
	หนังสืออ้างอิง	77
	กิตติกรรมประกาศ	78

* * * * * * * * * * * *

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ปีการศึกษา 2532

เรื่อง การสังเคราะห์ความถี่ด้วยเฟสล็อคลูป

ผู้จัดทำ 1. นายมนตรี ตั้งจารุกิจ

2. นายวิโรจน์ สุพรประดิษฐ์

3. นายวิชัย นาคลดา

..... อาจารย์ที่ปรึกษา

( )

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

บทคัดย่อ

เป็นที่ยอมรับกันโดยทั่วไปว่าระบบสื่อสารวิทยุในปัจจุบันนี้ มีการพัฒนาทางเทคโนโลยีสูงขึ้นมาก โดยจะใช้ระบบทางอิเล็กทรอนิคส์เข้ามาเชื่อมโยงต่อกับระบบสื่อสาร ซึ่งระบบการสังเคราะห์ความถี่ (FREQUENCY SYSTHESIZER) ก็เป็นอีกระบบหนึ่งที่เข้ามามีบทบาทเป็นอย่างมาก โดยเฉพาะการสังเคราะห์ความถี่แบบที่ใช้ PHASE-LOCKED LOOP (PLL) ในวิทยานิพนธ์นี้จะกล่าวถึงการทำงานของภาคส่วนต่างๆ ที่เป็นส่วนหนึ่งของระบบการสังเคราะห์ความถี่ (ได้แก่ ภาค DECODER,ภาค VOLTAGE CONTROLLED OSCILLATOR (VCO), ภาค DETECTOR,ภาคหารความถี่ ซึ่งเป็นส่วนหนึ่งของวงจรที่ใช้งานจริงเพื่อนำมาประยุกต์ และใช้ในการสร้างเครื่องสังเคราะห์ความถี่ได้ในโอกาสต่อไป

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1

เครื่องสังเคราะห์ความถี่

(FREQUENCY SYNTHESIZER)

1.1 บทนำ

เครื่องสังเคราะห์ความถี่คือเครื่องมือที่สามารถให้กำเนิดสัญญาณที่มีความถี่ต่าง ๆ กันจำนวนมากจากความถี่อ้างอิงเพียงค่าเดียว และในปัจจุบันนี้การออกแบบ ตลอดจนการผลิตวงจรรวม (INTEGRATED CIRCUIT:IC) ได้พัฒนาไปมาก ทำให้เกิดการนำมาประยุกต์ใช้กันอย่างกว้างขวาง โดยเฉพาะงานทางด้านการสื่อสาร

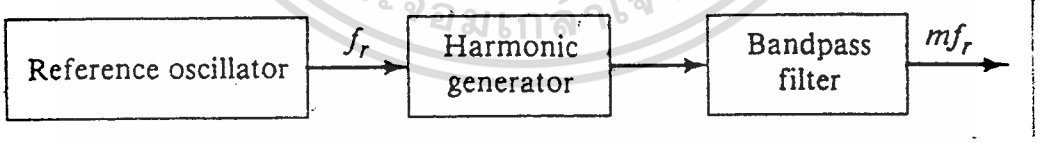
เริ่มแรกทีเดียวนั้นการสังเคราะห์ความถี่นั้น (พ.ศ.2486) ใช้วิธีที่เรียกว่าการสังเคราะห์ความถี่ทางตรง (direct frequency synthesis) โดยจะใช้วงจรมิกเซอร์ (MIXER), วงจรคูณความถี่ (FREQUENCY MULTIPLIER), วงจรหาร (DIVIDER) และวงจรกรองแถบความถี่ที่ผ่าน (BANDPASS FILTER) มาประกอบกันเพื่อใช้ในการสังเคราะห์ความถี่ แต่ต่อมาภายหลังการสังเคราะห์ความถี่ทางอ้อม (INDIRECT FREQUENCY SYNTHESIS) ได้เข้ามามีบทบาทและแทนที่ การสังเคราะห์ความถี่ทางตรง โดยมีการนำเอา เฟส ล็อค ลูป (PHASE-LOCKED LOOP:PLL มาใช้งานในการสังเคราะห์ความถี่ สำหรับวิทยานิพนธ์นี้ได้นำการสังเคราะห์ความถี่ในลักษณะนี้มาใช้ในการออกแบบเครื่องสังเคราะห์ความถี่นี้ขึ้นมา ในบทนี้จะเป็นการกล่าวถึง ลักษณะของการสังเคราะห์ความถี่แต่ละแบบตลอดจนข้อดีข้อเสียของวิธีต่างๆ

1.2 การสังเคราะห์ความถี่ทางตรง

การสังเคราะห์ความถี่โดยวิธีนี้นั้นจะใช้ ฮาร์โมนิค เยนเนอเรเตอร์(HARMONIC GENERATOR) วงจรกรองสัญญาน วงจรคูณสัญญาน, วงจรหาร และวงจรมิกเซอร์ ซึ่งนิยมใช้ไปโพลาร์ ทรานซิสเตอร์ ทำหน้าที่เป็นตัวกำเนิดสัญญานฮาร์โมนิคเพราะคุณสมบัติทางไวเตจของรอยต่อเบส.อิมิตเตอร์ เป็นแบบเอ็กซ์โปแนนเชียล ซึ่งเป็นผลรวมของฮาร์โมนิคจำนวนมาก วิธีหนึ่งที่ใช้ในการกำเนิดสัญญานทางฮาร์โมนิคนี้ แสดงได้ดังรูปที่

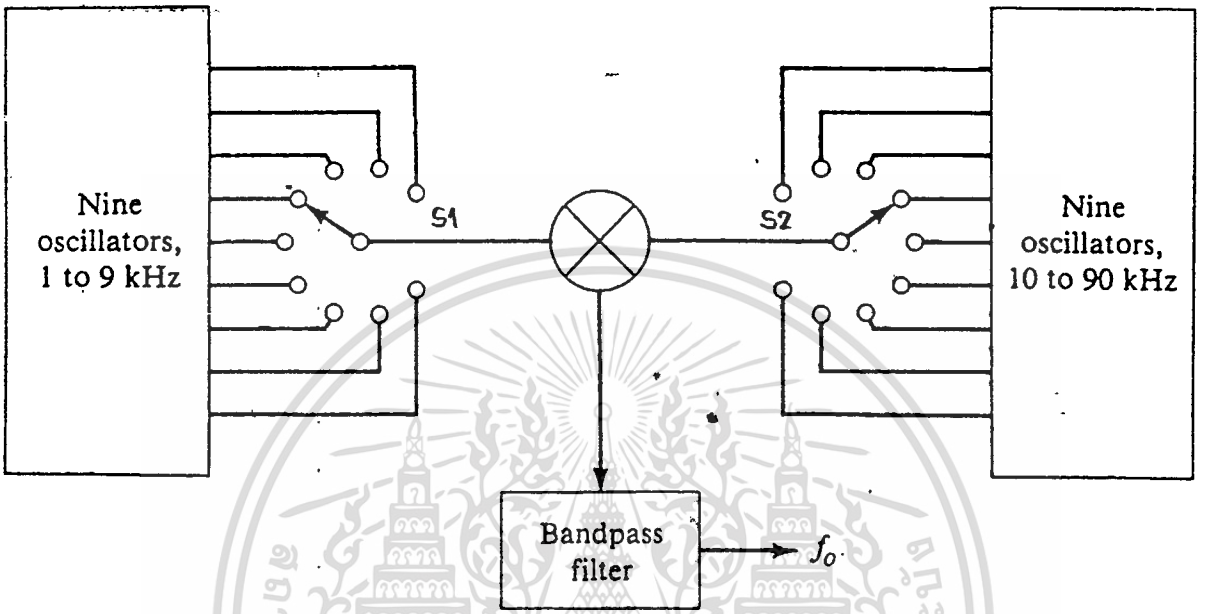
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.1 ความถี่ของสัญญาณที่ต้องการจะถูกผ่านออกไปทางวงจรกรองแถบความถี่ผ่าน และเพื่อต้องการสัญญาณที่มีความบริสุทธิ์สูง ดังนั้นวงจรกรองสัญญาณต้องมีค่า Q แฟคเตอร์สูงมากจึงถือเป็นอุปสรรคอย่างหนึ่งในการออกแบบโดยใช้วิธีนี้ จึงมีการแก้ปัญหาดังกล่าวโดยเลี่ยงไปใช้วงจรออสซิลเลเตอร์หลายๆ ชุด ซึ่งวงจรออสซิลเลเตอร์ที่มีความแม่นยำทางความถี่สูงนั้นสร้างได้ง่ายกว่าวงจรกรองสัญญาณที่มีค่า Q แฟคเตอร์สูงๆ ดังแสดงในรูปที่ 1.2 เป็นตัวอย่างการสังเคราะห์ความถี่ได้ 99 ค่าจากคริสตัลออสซิลเลเตอร์ 18 ชุด โดยมีสวิทช์ตัวที่ 1 (S1) เป็นตัวเลือกออสซิลเลเตอร์ 1 ชุด จากชุดออสซิลเลเตอร์ 9 ชุด ทางซ้ายมือ ซึ่งความถี่ในทางออสซิลเลเตอร์ทั้ง 9 ชุด จะเป็น 1 KHZ, 2KHZ จนถึง 9 KHZ ตามลำดับ และสวิทช์ตัวที่ 2 (S2) จะเป็นตัวเลือกออสซิลเลเตอร์ 1 ชุด จากชุดออสซิลเลเตอร์ 9 ชุด ทางขวามือโดยมีความถี่ของการออสซิลเลทเป็น 10 KHZ ,20 KHZ จนถึง 90 KHZ ตามลำดับ สัญญาณที่ถูกเลือกจากสวิทช์ทั้ง 2 นี้ จะถูกรวมกันเข้าในวงจรมิกเซอร์เพื่อให้ค่าความถี่ผลต่างและผลบวกออกมา หลังจากนั้นสัญญาณความถี่ทั้งสองจะถูกส่งผ่านไปยังวงจรกรองความถี่เพื่อความถี่ (FO) ค่าใดค่าหนึ่งออกมา



รูปที่ 1.1 การสังเคราะห์ความถี่ทางตรงโดยใช้ฮาร์โมนิค เยนเนอเรเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 1.2 รูป ตัวอย่างการสังเคราะห์ความถี่ทางตรงโดยใช้ชุดออสซิลเลเตอร์

ตัวอย่าง เช่น ถ้าต้องการสัญญาณความถี่ 27 KHz มาปรากฏที่หน้าเอาท์พุท (So) จะเลือกตำแหน่งสวิทช์ S1 ไปที่ 7 KHz และเลือกตำแหน่งสวิทช์ S2 ไปที่ 20 KHz เมื่อสัญญาณทั้งสองผ่านวงจรมิกเซอร์ แล้วจะได้สัญญาณความถี่ออกมา 2 ค่าคือ 13 KHz และ 27 KHz เมื่อกรองความถี่สัญญาน 13 KHz ออกไปก็จะได้สัญญาณความถี่ 27 KHz ตามต้องการ

การสังเคราะห์ความถี่ทางตรงที่จะสามารถให้ความถี่ตามที่ต้องการได้เร็วที่สุด และสามารถนำไปใช้งานในย่านความถี่ที่สูงที่สุดด้วย แต่จำนวนฮาร์ดแวร์ที่ใช้ก็มากด้วย

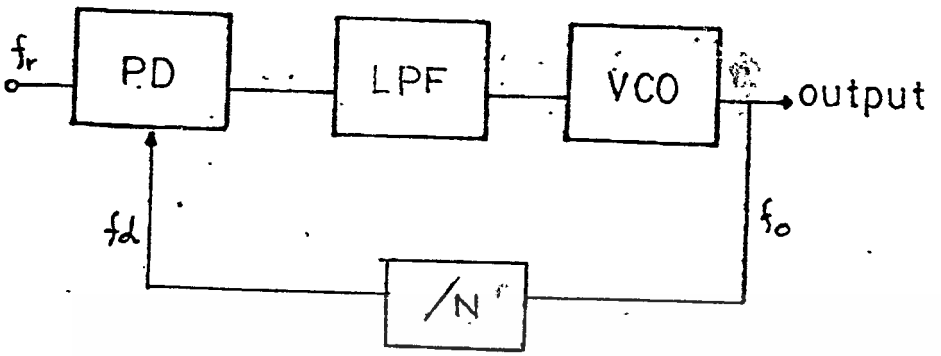
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เช่นกัน ทำให้เสียค่าใช้จ่ายสูง และข้อเสียอีกข้อหนึ่งก็คืออาจเกิดสัญญาณความถี่ที่ไม่ต้องการ (Frequency Frequency) ปนออกมาที่เอาท์พุทได้

1.3 การสังเคราะห์ความถี่ โดยใช้เฟสล็อคลูป มาสังเคราะห์ความถี่ หลักการง่าย ๆ ของการนำเฟสล็อคลูปมาสังเคราะห์ความถี่ได้ แสดงไว้ในรูปที่ 1.3 สำหรับรายละเอียดจะกล่าวถึงในบทที่ 2 ในหัวข้อนี้จะเป็นการกล่าวถึงคร่าวๆ ว่า เมื่อเฟสล็อคลูปอยู่ในสภาวะล็อคแล้ว ความถี่ที่อินพุททั้งสองของเฟสดีเทคเตอร์จะเท่ากันคือ

$$fr = fd \quad . \qquad (1.1)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 1.3 การสังเคราะห์ความถี่โดยใช้เฟสล็อคลูป

สัญญาณความถี่ fd ได้จากการหารความถี่ของสัญญาณที่ได้จากโวลเตจคอนโทรลวอสซิลเลเตอร์ (Voltage - controlled oscillator : vco)

$$fd = fo/N \qquad (1.2)$$

และจาก (1.1) และ (1.2) จะได้ว่า

$$fo = Nfr \qquad (1.3)$$

จากสมการที่ (1.3) จะเห็นว่าเราสามารถสร้างความถี่ fo ได้มากมายจาก fr เพียงค่าเดียวโดยการเปลี่ยนค่าของ N.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

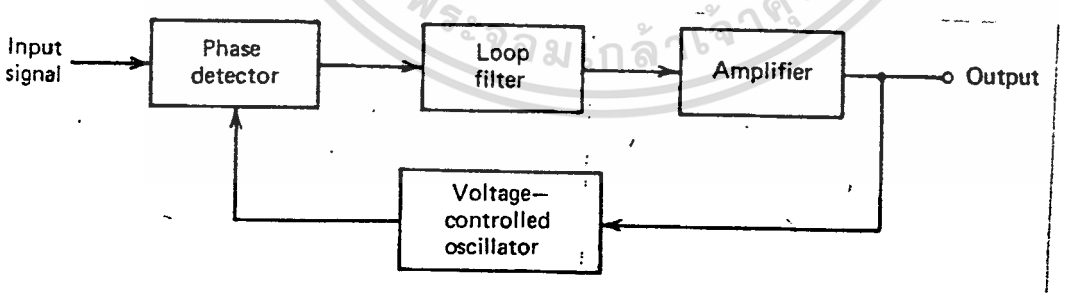
บทที่ 2

เฟสล็อคลูป

(Phase - locked loap)

2.1 บทนำ

เฟสล็อคลูป (phase - locked loap : PLL) เป็นระบบป้อนกลับ โดยที่สัญญาณป้อนกลับถูกใช้ เพื่อทำให้เกิดการล็อคกันทางความถี่และเฟสของสัญญาณอินพุท กับสัญญาณเอ้าท์พุท โดยสัญญาณอินพุทนั้น จะเป็นได้ทั้งสัญญาณอนาล็อค หรือดิจิตอล การนำ PLL มาใช้งานครั้งแรกนั้น ด้านการออกแบบ และการสร้างวงจรรวม (Integrated circuit : IC) ได้ถูกพัฒนาไปมาก ทำให้มีการนำเอา PLL มาประยุกต์ใช้งานกันอย่างแพร่หลาย เช่น การสังเคราะห์ความถี่, การควบคุมความเร็วมอเตอร์, การมอดดูเลทสัญญาณ, การดีมอดดูเลทสัญญาณ และอื่น ๆ อีกมาก วงจรที่ใช้ในระบบจะเป็นได้ทางอนาล็อค หรือดิจิตอล แต่ส่วนใหญ่แล้วจะเป็นการนำเอาทั้งอนาล็อคและดิจิตอลมาใช้งานร่วมกัน.



รูป 2.1 บล็อคไดอะแกรมของเฟสล็อคลูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2 หลักการทำงานเบื้องต้นของ PLL

พิจารณารูปที่ 2.1 ซึ่งแสดงบล็อคไดอะแกรมของเฟสล็อคลูป ส่วนเฟสดีเทคเตอร์ (Phase detector : PD) จะให้สัญญาณเอาท์พุท ที่เป็นฟังก์ชั่นของความแตกต่างระหว่างเฟสของสัญญาณอินพุททั้ง 2 สัญญาณเอาท์พุทที่ได้นี้จะถูกกรองสัญญาณด้วยส่วนของลูปฟิวเตอร์ (Loop filter) ที่มีค่าทรานเฟอร์ฟังก์ชั่น F(s) จากนั้นจะถูกขยายโดยส่วนของแอมพลิฟลายเออร์ สัญญาณหลังจากถูกขยายแล้วจะถูกป้อนให้กับ ส่วนวอลเตจคอนโทรลออสซิลเลเตอร์ (Voltage control oscillator : VCO) เพื่อเปลี่ยนความถี่ ในทิศทางที่จะลดความแตกต่าง ระหว่างความถี่อินพุททั้งสองของส่วนเฟสดีเทคเตอร์ และเมื่อความถี่ของสัญญาณอินพุททั้งสองเท่ากันแล้ว เราจะเรียกว่าระบบอยู่ในสภาวะล็อกนั่นคือ

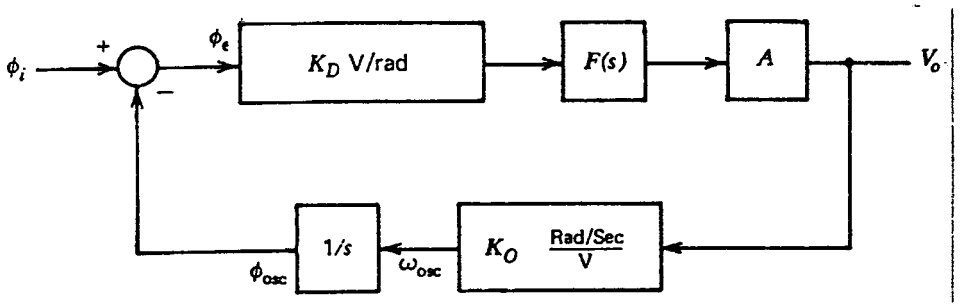
$$fs = fd \qquad (2.1)$$

ความถี่สัญญาณเอาท์พุท fo จะมีค่าดังสมการ

$$fo = Nfr \qquad (2.2)$$

แม้ว่าระบบ PLL นี้เป็นระบบที่ไม่เป็นเชิงเส้น (non-linear) ทั้งนี้เพราะในกระบวนการแคปเจอร์สัญญาณนั้น เป็นแบบไม่เป็นเชิงเส้น แต่ว่าเราอาจจะพิจารณาให้อยู่ในลักษณะของระบบเชิงเส้น (linear) ได้ ถ้าความแตกต่างทางเฟสระหว่างอินพุททั้งสองของสวน PD มีค่าน้อย โดยเฉพาะเมื่อระบบอยู่ในสภาวะล็อค โดยเราจะเขียนบล็อคไดอะแกรมในรูป 2.1 ใหม่ เพื่อที่จะหาทรานเฟอร์ฟังก์ชั่นของระบบดังแสดงในรูปที่ 2.2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.2 บล็อคไดอะแกรมของเฟสล็อคลูปในโดเมนคอมเพล็กซ์ฟรีเควนซี่

รูปที่ 2.2 แสดงถึงบล็อคไดอะแกรมของระบบ PLL ที่เป็นระบบป้อนกลับลิเนียร์ในโดเมนคอมเพล็กซ์ฟรีเควนซี่เมื่อ S คือตัวแปรตามความถี่เชิงซ้อน เฟสดีเทคเตอร์จะให้เอาท์พุทโวลเตจในสัดส่วนกับผลต่างของเฟส ระหว่างสัญญาอินพุทและเอ้าท์พุท VCO ที่มีค่าคอนเวอร์ชั่นเกนเท่ากับ Kd มีหน่วยเป็น (โวลท์/เรเดียน) สมมติว่า F(s) มีอัตราการขยายสัญญาณดีซีเท่ากับ 1 และอัตราการขยายโวลเตจเป็นความถี่ของ VCO มีค่าเท่ากับ Ko มีหน่วยเป็น (เรเดียน/วินาที)/โวลท์

ความถี่ของออสซิลเลเตอร์ Wosc จะมีค่าเป็นสัดส่วนกับคอนโทรลโวลเตจ

จะมีค่าเป็น $$Wosc = Wo + KoVo \qquad (2.3)$$

เมื่อ Wo คือความถี่ฟรีรันนิ่งของ VCO ($Wo = 2\pi fo$) ซึ่งจะเกิดขึ้นเมื่อ Vo เท่ากับศูนย์ ขณะที่ Vo มีค่าคงที่ความถี่ของวอสซิลเลเตอร์ Wosc จะมีค่าคงที่ด้วย อย่างไรก็ตามเมื่อมีความแตกต่างของเฟสของสัญญาณอินพุท และสัญญาณเอาท์พุทของ Vco เกิดขึ้นค่า Vo ก็จะมีการเปลี่ยนแปลงไป ดังนั้นเพื่อให้การวิเคราะห์เป็นไปอย่างเหมาะสม เอาท์พุทของ Vco ควรจะแสดงในรูปของเฟสมากกว่าในรูปของความถี่และเนื่องจากเฟส คือการอินทิกรัลของความถี่

$$\phi_{osc}(t) = \phi_{osc}|_{t=0} + \int_0^t \omega_{osc}(t)\,dt \qquad (2.4)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ซึ่งจะสามารถแทนการอินทิเกรชั่นของความถี่นี้ด้วยบล็อค 1/s ตัวแสดงในรูปที่ 2.2 และเมื่อใช้การวิเคราะห์ระบบในรูปที่ 2.2 ให้อยู่ในรูปของระบบป้อนกลับทรานเฟอร์ฟังก์ชั่น ลูปปิด (closed - loap transfer function) จะมีค่าเท่ากับ

$$Vo/\phi i = [SKdF(s)A]/[S + KdF(s)AKo] \qquad (2.5)$$

เมื่อ ϕ_i คือเฟสของสัญญาณอินพุทที่สัมพันธ์กับเอาท์พุทของ Vco และเพื่อความละดวก จะแทน KdKoA ด้วยค่า Kv ซึ่งจะเรียกว่าเป็นค่าอัตราขยายสัญญาณดีซี ของลูป มีหน่วยเป็น (1/sec) เพราะฉะนั้นสามารถเขียนสมการ (2.5) ใหม่ได้เป็น

$$vo/\phi_i = (Kv/Ko) - [SF(s)]/[S + KvF(s)] \qquad (2.6)$$

ในทางปฏิบัตินั้น มักจะสนใจกับผลตอบสนองของระบบ PLL ต่อการเปลี่ยนแปลงของความถี่อินพุทมากกว่าเฟสอินพุท และเนื่องจากความถี่เท่ากับอนุพันธ์ทางเวลาของเฟส ดังนั้นสามารถเขียนได้เป็น

$$Wi = d\phi i/dt \qquad (2.7)$$

และเมื่อเขียนให้อยู่ในรูปของโดเมนความถี่เชิงซ้อนจะได้

$$Wi(s) = S\phi i(s) \qquad (2.8)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดังนั้นสามารถเขียนทรานเฟอร์ฟังก์ชั่นของระบบ PLL ในสมการที่ 2.6 ได้ใหม่ให้อยู่ในรูปของความถี่อินพุท Wi ได้เป็น

$$\frac{Vo}{Wi} = \frac{1}{S\phi_i}\frac{Vo}{} = \frac{Kv}{Ko} \cdot \frac{F(s)}{\left[s + K_v F(s)\right]} \qquad (2.9)$$

สมการ (2.9) เป็นสมการซึ่งอธิบายถึงคุณสมบัติการแปลงความถี่ไบเป็นโวลท์เตจของระบบ PLL ในสภาวะล๊อค

2.3 ผลของลูปฟิลเตอร์และอัตราขยายลูปที่มีต่อคุณสมบัติการทำงานของระบบ PLL

ฟังก์ชั่นวงลูปฟิลเตอร์ F(s) มีผลต่อการทำงานของระบบ PLL เป็นอย่างมาก เมื่อระบบ PLL อยู่ในรูปสภาวะล๊อค หน้าที่ของลูปฟิลเตอร์ร่วมกับอัตราขยายลูป KV จะเป็นตัวกำหนดทั้งผลตอบสนองชั่วขณะและคุณสมบัติของผลตอบสนองความถี่ของระบบ ในหัวข้อนี้จะพิจารณาถึงผลของลูปฟิลเตอร์ที่มีต่อคุณสมบัติต่างๆ ทั้งหมดของระบบเฟสล็อคลูป

2.3.1 ลูปลำดับที่หนึ่ง

การทำงานของระบบ PLL ในกรณีที่ง่ายที่สุดก็คือการที่ไม่ได้ต่อลูปฟิลเตอร์เข้ากับระบบทำได้โดยการตั้งให้ F(s)=1 ระบบ PLL แบบนี้เรียกว่า ลูปลำดับที่หนึ่ง เนื่องจากทรานสเฟอร์ฟังค์ชันของสมการที่ 2.9 จะลดลงเหลือโพล (pole) เดียวของโวล์พาสฟังค์ชัน

$$\frac{Vo}{Wi} = \frac{1}{Ko} \cdot \frac{KV}{(S + KV)} \qquad (2.10)$$

ซึ่งจะเห็นได้ว่าสมการที่ 2.10 มีลักษณะเหมือนกับทรานสเฟอร์ฟังค์ชันของวงจรกรองความถี่ต่ำผ่านที่มีโพลเดียว โดยมีค่าเกนที่ความถี่ต่ำเท่ากับ 1/ko และ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

มีแบนด์วิธเท่ากับ KV แสดงให้เห็นว่าผลตอบสนองของระบบ PLL ในสภาวะล็อค ต่อการเปลี่ยนแปลงของความถี่อินพุทจะได้รับอิทธิพลจากพารามิเตอร์ 2 ตัว คือทรานเฟอร์ฟังค์ชันของลูปฟิลเตอร์ F(s)และแฟคเตอร์ของอัตราขยายลูป Kv

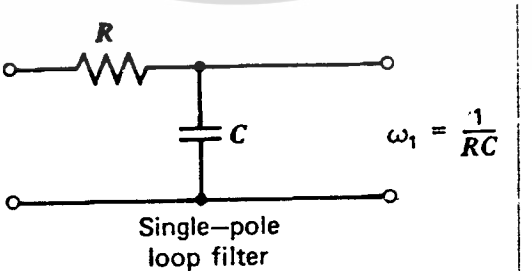
การทำงานของเฟสล็อคลูปอันดับที่หนึ่งนี้มีข้อเสีย คือถ้าสัญญาณอินพุทมีสัญญาณรบกวนที่อยู่นอกแบนด์วิธเข้ามาจะมีผลทำให้ความถี่เอาท์พุทเปลี่ยนแปลงด้วย ดังนั้นจึงจำเป็นอย่างมากที่จะต้องเพิ่มส่วนลูปฟิลเตอร์เข้าไป ในกรณีที่มีสัญญาณรบกวนที่อินพุทเพื่อกำจัดเอาท์พุทสัญญาณรบกวนออกไป

2.3.2 ลูปลำดับที่ 2

ในการใช้งานในระบบ PLL เมื่อใช้วงจรกรองความถี่ต่ำผ่านแบบมีโพลเดียวทำหน้าที่เป็นลูปฟิลเตอร์ จะทำให้สมการ 2.9 อยู่ในรูปของสมการลำดับที่สอง ดังนั้นระบบ PLL ดังกล่าวจึงถูกเรียกว่าเป็นลูปลำดับที่สอง โครงสร้างของวงจรกรองความถี่ต่ำผ่านแบบโพลเดียวที่ใช้กันทั่วไป แสดงได้ดังรูปที่ 2.3 ซึ่งมีทรานเฟอร์ฟังค์ชันเป็น

$$F(s) = \frac{1}{(1+ s/w1)} \qquad (2.11)$$

เมื่อ $w1 = 1/R1C1$ เป็นแบนด์วิธของวงจรกรองความถี่ต่ำผ่าน



รูปที่ 2.3 วงจรกรองความถี่ต่ำผ่านแบบโพลเดียว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อแทนค่าสมการ 2.11 ลงในสมการทรานเฟอร์ฟังค์ชันของ PLL (สมการที่ 2.9) จะได้เป็น

$$\frac{Vo(s)}{W_1} = \frac{1}{Ko}\left[\frac{1}{1 + \frac{s}{Kv} + \frac{s^2}{\omega 1 Kv}}\right] \qquad (2.12)$$

จากสมการ (2.12) สามารถกำหนดค่าโพลของระบบ PLL ได้เท่ากับ

$$S = \frac{-\omega 1}{2}\left(1 + \sqrt{1 - \frac{4kv}{\omega 1}}\right) \qquad (2.13)$$

สมการที่ 2.12 สามารถเขียนให้อยู่ในรูป

$$\frac{Vo}{\omega i} = \frac{1}{Ko}\left[\frac{1}{\frac{s^2}{Wn^2} + \frac{2\zeta s}{Wn} + 1}\right] \qquad (2.14)$$

โดยที่ $$Wn = \sqrt{KvW1} \qquad (2.15)$$

$$\zeta = \frac{1}{2}\sqrt{\frac{\omega 1}{kv}} \qquad (2.16)$$

ซึ่งจะสังเกตุได้ว่า ถ้าแบนด์วิธของลูปฟิลเตอร์ W_1 ลดลงหรือค่า Kv เพิ่มขึ้น การแด้มพ์ปิ้งของลูปจะลดลง (ค่า ζ ลดลง) ผลตอบสนองทางความถี่ของลูปจะเกิดเป็นพีค และผลตอบสนองต่อสเตปของลูปในช่วงเริ่มต้นชั่วขณะจะเกิดการออสซิลเลท การออกแบบระบบ PLL ให้มีคุณสมบัติการทำงานได้ดีที่สุด ควรกำหนดให้ผลตอบสนองทางออกความถี่ของวงจรกรองความถี่ต่ำผ่านมีค่าแฟลต(flat) ให้มากที่สุดคือให้โพลอยู่ที่รัศมีทำมุม 45°

เอกสารนี้ได้รับอนุญาตสำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ที่ทำให้ระบบเป็นลบและค่าแดมพ์ปิ้งแฟคเตอร์ ζ (dumping factor) ควรมีค่าเท่ากับ $1/\sqrt{2}$ ดังนั้นจากสมการที่ 2.16 จะได้

$$\frac{1}{2} = \frac{1}{2\sqrt{\frac{W_1}{Kv}}} \qquad (2.17)$$

$$W_1 = 2\,Kv \qquad (2.18)$$

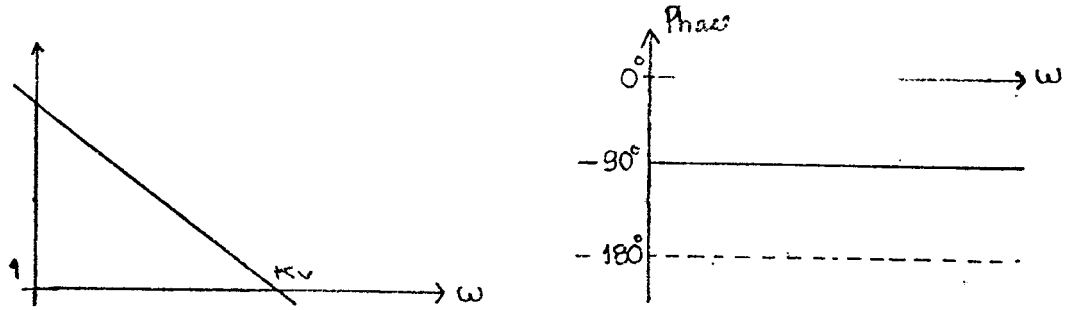
และจะได้ความถี่ -3dB ของทรานเฟอร์ฟังค์ชัน(Vo/Wi) เป็น

$$W_{-3dB} = W_n = \sqrt{KvW_1} = \sqrt{2}Kv \qquad (2.19)$$

จากสมการลูปอันดับที่ 2 คือแบนด์วิธของลูป (W_n) จะถูกกำหนดโดยอัตราขยายรูป Kv และเป็นไปตามสมการ 2.19 นอกจากนั้นอัตราขยายลูป Kv นี้ ยังเป็นพารามิเตอร์ที่สำคัญในการสร้างไฟสล็อคลูปด้วย ซึ่งวงจร PLL ที่ใช้งานด้านการสื่อสารทั่วๆไปนั้น ต้องการให้มีแบนด์วิธกว้าง เพื่อจะได้สามารถติดตามการเปลี่ยนแปลงความถี่ของสัญญาณอินพุทได้อย่างรวดเร็ว นอกจากนั้นก็ต้องการให้ระบบมีแบนด์วิธของลูปแคบๆ เพื่อกำจัดสัญญาณที่มีความถี่อยู่นอกแบนด์ ดังนั้นจึงสรุปได้ว่าค่า W_1 ต้องมีค่าน้อยที่สุด แต่จะส่งผลให้ผลตอบสนองของลูปมีลักษณะเป็นอันเดอร์แดมพ์ (Underdamped ซึ่งเป็นข้อเสียของลูปอันดับที่สอง) จากการแก้ปัญหาข้อนี้โดยเพิ่มซีโร่ (Zero)เข้าไปในลูปฟิลเตอร์ จะทำให้ผลของลูปฟิลเตอร์มีค่าน้อยได้โดยยังรักษาการแดมพ์ของลูปให้อยู่ในลักษณะที่ดีได้

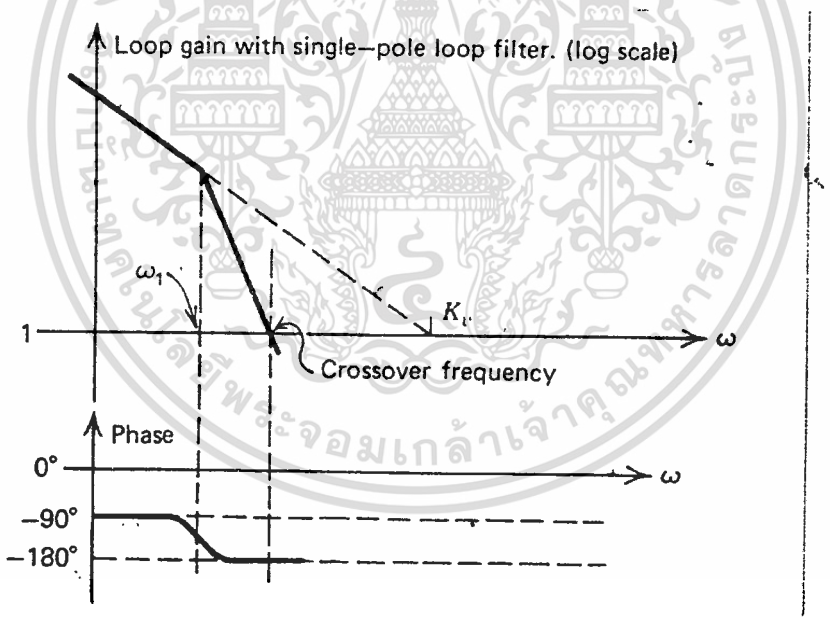
การเพิ่มเติมซีโร่ในลูปฟิลเตอร์จะมีผลต่อผลตอบสนองของลูปในทางที่ดีซึ่งจะเห็นได้จากการพิจารณาผลตอบสนองของลูปเปิดของวงจร PLL ในรูปที่ 2.4 แสดงถึงผลตอบสนองลูปเปิดของวงจรเพสล็อคลูปเมื่อลูปฟิลเตอร์ F(s) = 1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.4 แสดงผลตอบสนองลูปเปิดของ PLL เมื่อ F(s) = 1

ด้วยคุณสมบัติของอินทิเกรชั่นภายในลูปผลตอบสนองจะมีสโลป -20 dB/decade ตลอดช่วงความถี่และตัดกับเส้นยูนิตี้เกน (unity gain) ที่ Kv ในรูปที่ 2.5 แสดงถึงผลตอบสนอง เมื่อลูปฟิลเตอร์มี W_1 น้อยกว่า Kv มาก ซึ่งจะส่งผลให้ได้ผลตอบสนองในความถี่ของลูปปิดมีพีคแหลมที่ความถี่ก็งจุดตัด



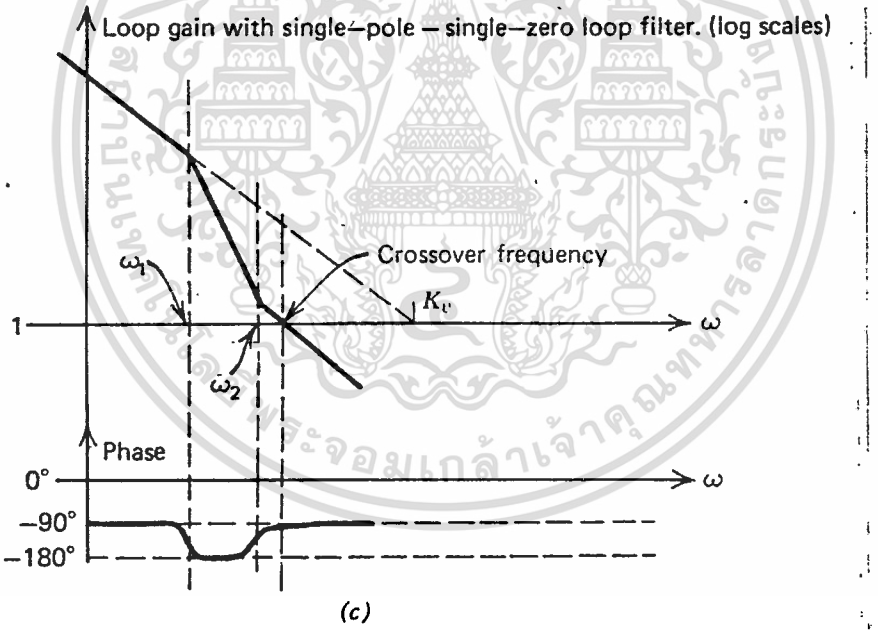
รูปที่ 2.5 แสดงผลตอบสนองลูปเปิดของ PLL เมื่อลูปฟิลเตอร์มีโพลเดียว และ $W_1 << kV$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในรูปที่ 2.6 แสดงถึงผลการตอบสนองทางความถี่เมื่อซีโร่เข้าไปในลูปฟิลเตอร์ ที่ W_2 จะทำให้เฟสมาร์จิน (Phase margin) ของลูปดีขึ้น ในกรณีนี้จะสังเกตุได้ว่าแบนด์วิธของลูปจะเท่ากับความถี่จุดตัดซึ่งมีค่าน้อยกว่า Kv การออกแบบเช่นนี้ทำให้สามารถให้ค่าแบนด์วิธของลูปและ Kv ได้เป็นอิสระต่อกันซึ่งเป็นข้อดีของลูปฟิลเตอร์แบบนี้ สำหรับวงจร RC ที่ใช้เพื่อให้ได้โพลและซีโร่ตามต้องการนี้แสดงในรูปที่ 2.7 ซึ่งมีทรานเฟอร์ฟังค์ชันเป็น

$$F(s) = \frac{1 + s/W2}{1 + S/W_1} \qquad (2.20)$$

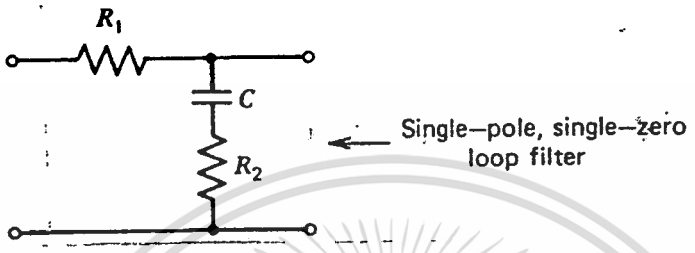
เมื่อ $W_1 = \frac{1}{(R_1 + R_2)C_1}$ และ $W_2 = \frac{1}{R_2C_1}$



(c)

รูปที่ 2.6 แสดงผลตอบสนองลูปเปิด PLL เมื่อรูปฟิลเตอร์มีซีโร่เพิ่มขึ้นที่ $S = -W_2$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.7 แสดงวงจร Rc ที่จะโพลและซีโร่ อย่างละ 1 ตัว

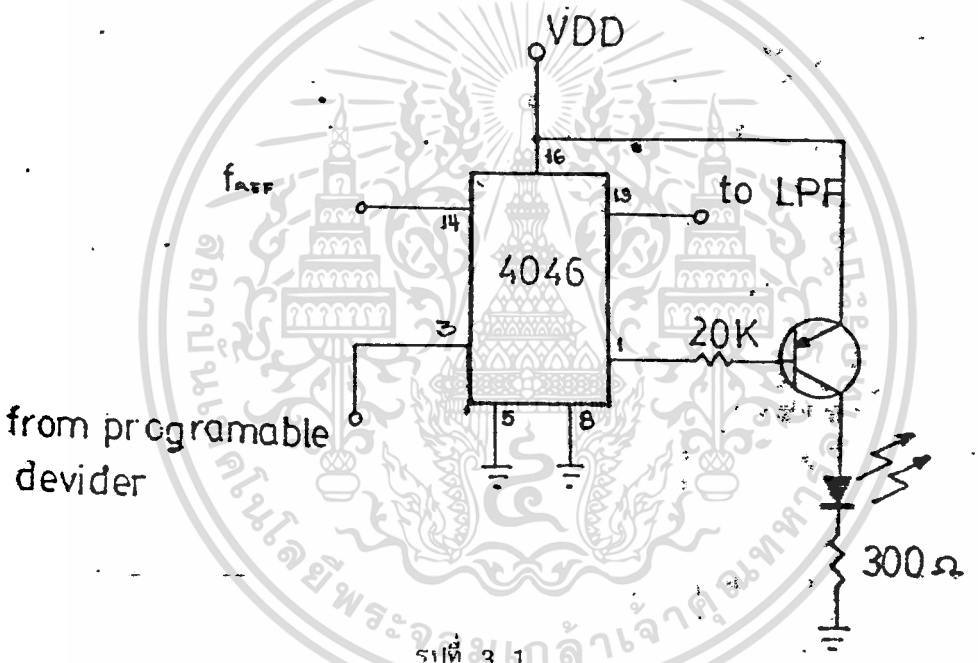
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3

ว ง จ ร

ใช้งานจริงในการสังเคราะห์ความถี่

3.1 ส่วน PHASE DETECTOR (PD)



รูปที่ 3.1

ส่วนนี้จะใช้ 4046 CMOS PHASE-LOCKED LOOP ทำหน้าที่เป็น PHASE FETECTOR โดยได้รับสัญญาณจากการหารความถี่มาแล้วด้วยค่า INPUT N จากส่วน DEVIDER มาเปรียบเทียบเฟสกับความถี่มาตรฐาน 10 HZ ที่ได้จากคริสตัลออสซิลเลเตอร์ และจะให้สัญญาน PHASE ERROR ออกมาในลักษณะพัลส์ ที่ขา 13 ของ IC 4046 ซึ่งจะถูกนำไปยังส่วน LPF เพื่อควบคุมส่วนของ VCO อีกทีหนึ่งในวงจรได้เพิ่มส่วนแสดงว่าระบบอยู่ในสภาวะล็อคแล้วหรือไม่ โดยเอาท์พุทที่ขา 1 จะให้โวลเตจสูงเมื่อ fref ที่ขา 14 และ f ที่ขา 3 มีการเปลี่ยนที่ระดับสูงไปต่ำพร้อมกัน นั่นคือถ้าระบบอยู่ในสภาวะล็อคแล้วทรานซิสเตอร์ จะไม่ทำงานทำให้ LED ดับ

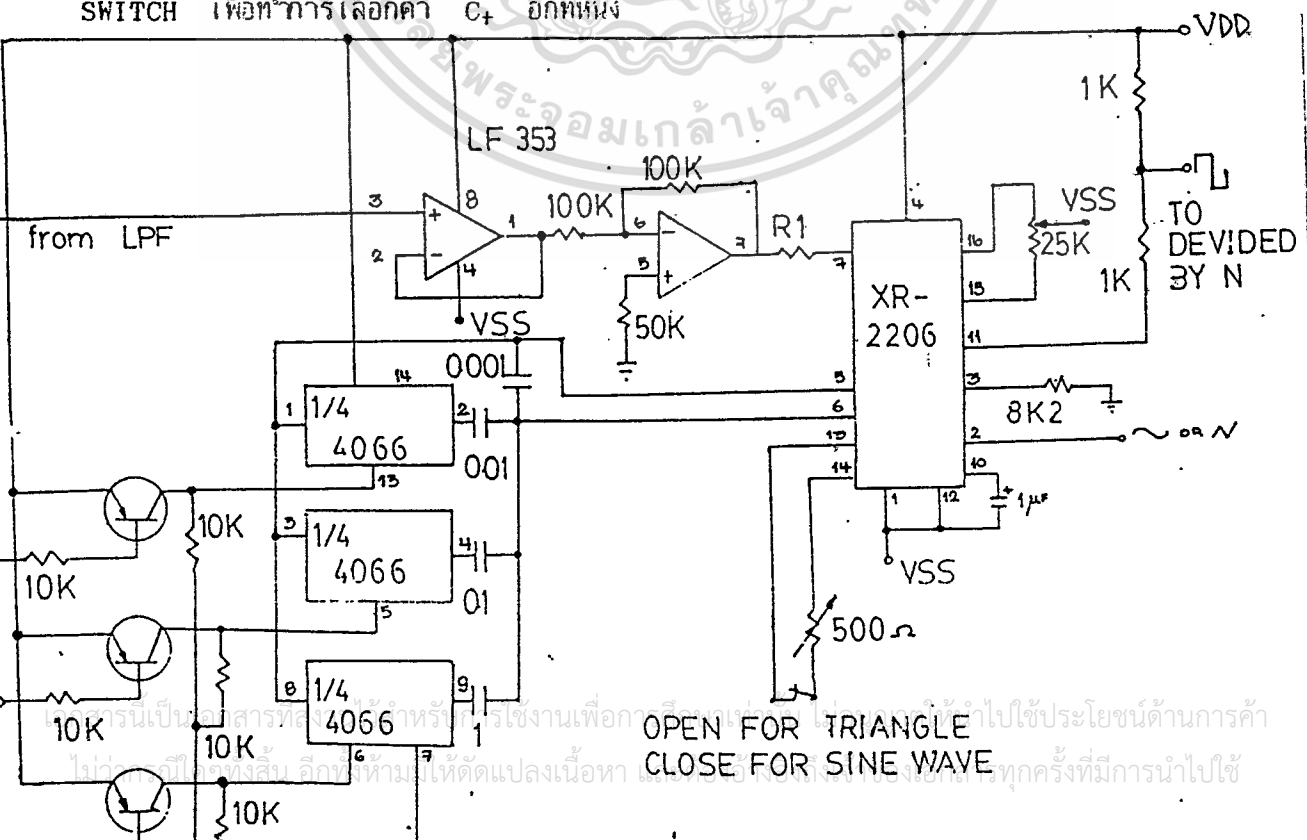
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2 ส่วน VCO (VOLTAGE CONTROLLER OSCILLATOR)

ในส่วนนี้จะใช้ IC XR-2206 FUNCTION GENERTOR เป็น VCO ซึ่งจะให้สัญญาณเอาท์พุทเป็นรูปซายน์ (SINE WAVE) สามเหลี่ยม (TRIANGLE WAVE) และสี่เหลี่ยม (SQUARE WAVE) โดยมี TC BIFET OP-AMP LF353 มีหน้าที่เป็นบัฟเฟอร์ให้ส่วน LPF เพื่อกันไม่ให้ไปโหลดส่วน LPF(หรือโหลดน้อยที่สุด) และ OP-AMP อีกตัวหนึ่งทำหน้าที่เป็น INVERTING AMP ที่มีอัตราขยายเท่ากับ -1 เพื่อทำหน้าที่กลับสัญญาณดีซี ค่าบวกจากส่วน LPF เป็นค่าลบ ทั้งนี้เพราะในวงจร XR-2206 ต้องให้สัญญาณไฟลบตั้งแต่ -2 โวลต์ลงมา ไปควบคุมความถี่ในการ OSCILLATE ซึ่งมีค่าเท่ากับ

$$fosc = \frac{V}{3R_1C_t} \quad HZ$$

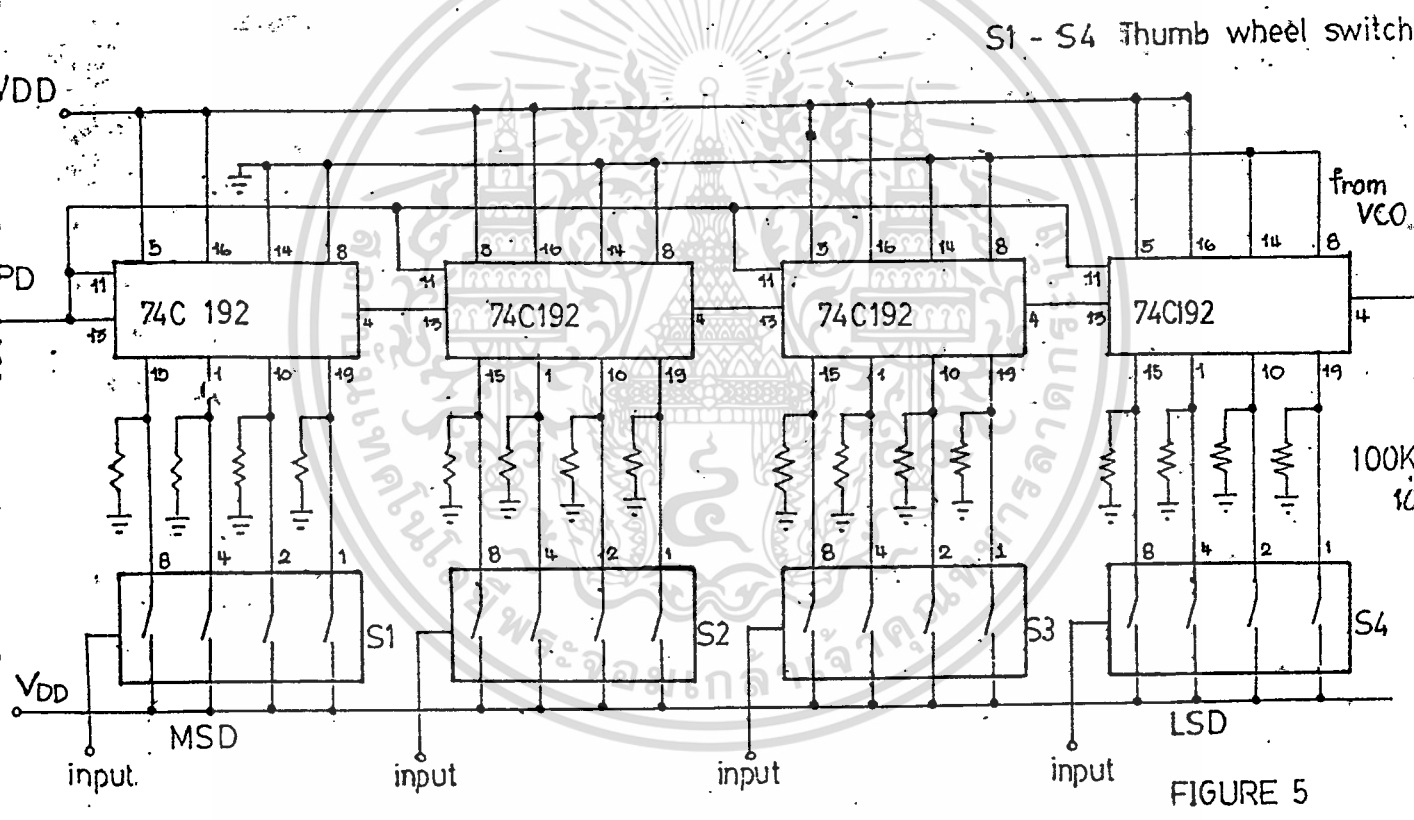
โดย C_t คือค่า TIMING CAPACITOR ที่ต่อระหว่างขา 5 และขา 6 ซึ่งจะถูกควบคุมโดยสัญญาณ DECODER จาก INPUT N โดยผ่านทาง 4066 ANALOG SWITCH เพื่อทำการเลือกค่า C_t อีกทีหนึ่ง



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3 ส่วน DEVIDER BY N

สำหรับวงจรในส่วนนี้จะใช้ 74C192 DECADE UP-DOWN มาต่อแบบ CASCADE เป็น 4 STAGE เพื่อที่จะสามารถหารความถี่ที่ได้จาก VCO ตั้งแต่ 1-9999 เท่าได้ และเอาท์พุทที่ได้ก็จะนำไปเปรียบเทียบเฟสกับความถี่มาตรฐานที่ส่วน PD ต่อไป ดังแสดงในรูปที่ 3.3



รูปที่ 3.3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4

ผลการทดลองและสรุป

เมื่อนำวงจรทั้งหมดมาประกอบกันเพื่อทำหน้าที่เป็นเครื่องสังเคราะห์ความถี่นั้น พบว่า เมื่อเลือกค่าของ N โดยการกดสวิทช์ thumb wheel แล้วดูสัญญาณที่เอาท์พุทปรากฏว่ามีสัญญานความถี่ที่ไม่ต้องการปนออกมาด้วย (สังเกตุจากเมื่อขยายไทม์เบสของออสซิลไลสโคปออกไปมาก ๆ เพื่อดู risetime ของสัญญานสี่เหลี่ยมที่ได้จากเอาท์พุทของ IC XR2206 จะเห็นว่ามีการสั่นของเส้นไรสไทม์มีลักษณะเป็นแถบๆ) จึงได้ทำการออกแบบส่วนกรองความถี่ต่ำผ่านใหม่ ปรากฏว่าไม่สามารถช่วยให้ดีขึ้นได้อีก ทั้งค่าความถี่ของสัญญานเอาท์พุทที่ได้จาก IC XR 2206 มีอยู่ช่วงหนึ่งที่ไม่ตรงกับค่าที่ควรได้ เมื่อกดสวิทช์ THUMB WHEEL โดยมีค่าต่างกันมาก ซึ่งในจุดนี้คณะผู้จัดทำไม่สามารถวิเคราะห์ได้ว่าเป็นเพราะเหตุใด จึงทำให้วิทยานิพนธ์นี้ไม่สามารถสำเร็จลุล่วงตามที่คาดหวังไว้ได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สถานะต่ำทำให้สวิทช์ภายในตัว 4066 เปิดทั้งหมด ดังนั้นค่าเก็บประจุสมบูรณ์ที่ต่อระหว่างขา 5 และขา 6 ของไอซี XR 2206 มีค่าเท่ากับ 1000 PF ซึ่งจะเป็นค่าที่ทำให้ XR 2206 ให้สัญญาณที่ความถี่ 10 KHz-99.99KHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้