ปีการศึกษา 2532

ชื่อปริญญานิพนธ์ HONEST SENTRY


โดย

นาย พันศักดิ์ เพียรพิทยากุล

นาย เมธีชัย ฉวางวงศานุกูล

นาย ศิริชัย แก้วมณี

อาจารย์ที่ปรึกษา

ผศ.ดร. กนก เจนจิระพงศ์เวช

อาจารย์ ชวลิต เบญจางคประเสริฐ


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ปริญญานิพนธ์ ปีการศึกษา 2532
ภาควิชา เทคนิคอุตสาหกรรม
คณะ วิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
เรื่อง เลขาผู้ซื่อสัตย์ (HONEST SENTRY)
ผู้จัดทำ

1. นาย พันศักดิ์ เพียรพิทยากุล เลขประจำตัว 31.3308
2. นาย เมธีชัย ฉวางวงศานุกูล เลขประจำตัว 31.3310
3. นาย ศิริชัย แก้วมณี เลขประจำตัว 31.3316

ผศ.ดร. กนก เจนจิระพงศ์เวช อาจารย์ที่ปรึกษา
(.....)
อาจารย์ ชาลิต เบญจางคประเสริฐ อาจารย์ที่ปรึกษา
(.....)
..... อาจารย์ที่ปรึกษา
(.....)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# เลขาผู้ซื่อสัตย์

นาย พันศักดิ์ เพียรพิทยากุล
นาย เมธีชัย ฉวางวงศานุกูล
นาย ศิริชัย แก้วมณี
ผศ.ดร. กนก เจนจิระพงศ์เวช อาจารย์ที่ปรึกษา
อาจารย์ ชวลิต เบญจางคประเสริฐ อาจารย์ที่ปรึกษา
ปีการศึกษา 2532

บทคัดย่อ

เครื่อง เลขาผู้ซื่อสัตย์ เป็นเครื่องตอบรับโทรศัพท์อัตโนมัติที่สามารถทำงานได้ 2 mode โดย mode ที่ 1 ทำการอัดข้อมูลลงบนชุดบันทึกข้อมูลและ mode ที่ 2 สามารถติดต่อกับเจ้าของได้เลย โดยผ่านตัวเครื่องซ้ำยังสามารถทำเป็นตัวชุดระบบเตือนภัยอีกด้วย โดยทำเป็นระบบเช็คขโมยกับระบบเช็คเพลิงไหม้ และยังสามารถติดต่อกับสถานีตำรวจและสถานีดับเพลิงได้เอง ในกรณีเมื่อเกิดชุดระบบเตือนภัยทำงาน โดยเครื่องจะติดต่อกับสถานีก่อนแล้วค่อยติดต่อกับเจ้าของบ้าน โดยการทำงานเหมือนกันทั้ง 2 mode ต่างกันแต่เพียง mode ที่ 1 เป็น mode บันทึกข้อมูลเก็บไว้ ส่วน mode ที่ 2 จะติดต่อกับเจ้าของบ้าน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# HONEST SENTRY

Mr. PANSAK PEANPITTHAYAKUL
Mr. METHEECHAI CHAWANGWONGSANUKUL
Mr. SIRICHAI KAEWMANEE
Assist. Prof. Dr. KANOK JENJIRAPONGVET
Ajarn. CHAWALIT BENJANGKAPRASERT
1989

Abstract.

An HONEST SONTRY is the automatic answering telephone which is able to work by two modes. One is to record the information in tapes and the other one is to contact with his owner directly. He also works as an alarm system which can be both security function and fire alarm function. When alarm system works, he will inform to post office and fire station then call his owner. The working capability of two modes are the same but their functions are different. Mode 1 is recording mode and Mode 2 is contacting mode.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# สารบัญ


| เรื่อง | | หน้า |
|---|---|---|
| คำนำ | | 1 |
| บทที่ 1 | บทนำ | 2 |
| บทที่ 2 | ระบบทั่ว ๆ ไปของโทรศัพท์ | 3 |
| บทที่ 3 | 8255 PPI | 6 |
| | - ชุดวิเคราะห์เรียงพูด | 18 |
| | - Specification | 24 |
| | - วงจร bandpass filter | 31 |
| | - วงจร Phase Lock Loop | 34 |
| | - วงจร Hardware | 36 |
| บทที่ 4 | วิธีการใช้เครื่อง HONEST SENTRY | 45 |
| บทที่ 5 | สรุป | 47 |
| ภาคผนวก | | 48 |
| program | การทำงานของเครื่อง | 49 |
| รายละเอียดข้อมูลไมโครโปรเซสเซอร์และชิพสนับสนุน | | 62 |
| กิตติกรรมประกาศ | | 82 |
| หนังสืออ้างอิง | | 83 |



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# คำนำ

ในขณะที่ความก้าว หน้าทางเทคโนโลยี ได้มีการพัฒนากันอย่างกว้างขวาง ทั้งทางด้านซอฟแวร์ และ ฮาร์ดแวร์ เพื่อให้สะดวกและรวดเร็วในการทำงานด้านต่าง ๆ ซึ่งมีความสำคัญต่อมนุษย์อย่างมาก โดยเฉพาะทางด้าน ธุรกิจ หรือความต้องการที่จะติดต่อระหว่างบุคคลหนึ่ง ไปอีกบุคคลหนึ่งให้ได้รวดเร็วที่สุด อีกทั้งยังประหยัดค่าใช้จ่าย ซึ่งเป็นจุดประสงค์ในการสร้างงานชิ้นนี้ขึ้นมา และนอกจากจุดประสงค์ข้างต้นแล้ว คณะผู้จัดทำยังได้ทำการประยุกต์ชิ้นงานบางส่วนนำไปใช้ประโยชน์ทางด้าน ป้องกันไฟไหม้ และ ป้องกันขโมย โดยรายละเอียดต่าง ๆ ได้จัดทำขึ้นในหนังสือฉบับนี้เรียบร้อยแล้ว หากหนังสือเล่มนี้ มีการผิดพลาดเกี่ยวกับสำนวนต่าง ๆ ที่ใช้ และอาจจะยุ่งยากอยู่บ้างขอให้ผู้อ่านทำความเข้าใจให้ดี หากมีสิ่งผิดพลาดประการใด ทางคณะผู้จัดทำขอรับผิดชอบต่อสิ่งต่าง ๆ ที่จัดทำขึ้น ถ้าหากแจ้งให้คณะผู้จัดทำทราบเกี่ยวกับข้อผิดพลาด จะเป็นพระคุณอย่างสูง

งานชิ้นนี้ ได้รับคำแนะนำจากบุคคลหลายฝ่าย ซึ่งทางคณะผู้จัดทำขอขอบพระคุณท่าน ผศ.ดร. กนก เจนจิระพงศ์เวช อาจารย์ ชวลิต เบญจางคประเสริฐ ห้องสมุดคณะวิศวฯ. ลาดกระบัง และเพื่อน ๆ ที่ให้คำปรึกษา จนสำเร็จลุล่วงไปได้ด้วยดี

พันศักดิ์ เพียรพิทยากุล
เมธีชัย ฉวางวงศานุกูล
ศิริชัย แก้วมณี

17/3/33

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# บทที่ 1

## บทนำ

เครื่อง HONEST SENTRY เป็นเครื่องที่จะคอยแจ้งข่าวสารให้แก่เจ้าของและคอยติดตามเจ้าของโดยเราสามารถ ตั้งโปรแกรมว่าจะให้เครื่องทำงานโดยบันทึกข้อมูลเก็บไว้ หรือตั้งให้เครื่องติดต่อกับเจ้าของตามเบอร์โทรศัพท์ที่เราตั้งเอาไว้ ก่อนออกจากบ้าน

การใช้งาน คือ เมื่อเรา SET ระบบให้พร้อมรับข้อมูลแล้ว เราสามารถตั้งโปรแกรมได้ 2 MODE คือ ถ้าเป็น MODE 1 เป็นการเก็บข้อมูลไว้ในหน่วยบันทึกข้อมูล MODE 2 เป็นการติดต่อกับเจ้าของ โดยถ้าเราตั้งการทำงานไว้ที่ MODE 1 เมื่อมีคนโทรศัพท์เข้ามาเครื่องจะบอกให้ผู้ติดต่อพูดใส่ข้อความลงในหน่วยบันทึกข้อมูลเก็บไว้คอยจนกว่าเจ้าของจะมาเปิดฟัง ส่วนใน MODE 2 เมื่อมีคนโทรเข้ามาเครื่องจะบอกให้รอสักครู่ แล้วจะโทรติดต่อกับเจ้าของให้เมื่อต่อได้ก็สามารถพูดติดต่อกัน โดยผ่านตัวเครื่อง HONEST SENTRY โดยเครื่องนี้ยังออกแบบให้ทำงานเป็นระบบเตือนภัยอีกด้วย โดยจะคอยเช็ดระบบขโมยกับระบบไฟ เช่นถ้ามีขโมยเข้ามา เครื่องทำการตรวจจับได้ ก็จะทำการติดต่อกับสถานีตำรวจที่ใกล้บ้านที่เราโปรแกรมเบอร์โทรไว้ เสร็จแล้วก็จะติดต่อกับเจ้าของบ้านให้ ขณะเดียวกันถ้าระบบดับเพลิงทำงาน เครื่องก็จะทำการติดต่อสถานีดับเพลิงที่ใกล้บ้านที่เราโปรแกรมเบอร์โทรไว้ เสร็จแล้วก็จะติดต่อเจ้าของให้

เหตุผลที่ทำวิทยานิพนธ์ฉบับนี้ ก็เนื่องมาจากระบบที่ใช้กันอยู่ในปัจจุบันเป็นระบบที่เมื่อมีคนโทรเข้ามา ก็จะให้ผู้ติดต่อพูดบันทึกไว้ในชุดบันทึก ทำให้เสียเวลา ยิ่งถ้าหากผู้ที่ติดต่อมีธุระเร่งด่วน ก็ไม่สามารถติดต่อได้ ยิ่งในชีวิตปัจจุบัน เวลาเป็นสิ่งสำคัญมาก ทางคณะผู้จัดทำจึงคิดว่าเราน่าจะหาระบบที่เมื่อมีบุคคลติดต่อเข้ามา แล้วเจ้าของบ้านไม่อยู่ ก็สามารถที่จะติดต่อกับเจ้าของบ้านได้ ขณะเดียวกันก็ยังคงรักษาระบบเดิมไว้ให้เหมือนเดิม เราจึงได้พัฒนาเครื่อง HONEST SENTRY ขึ้นมาจนเป็นผลสำเร็จในวิทยานิพนธ์ฉบับนี้ และในการใช้งานจริง ๆ อาจมีปัญหาอยู่บ้างเนื่องจากวิทยานิพนธ์ฉบับนี้ ใช้ระบบโทรศัพท์ระบบเก่า และอาจเกิดจาก GROUND LOOP ได้ และหวังว่าวิทยานิพนธ์ฉบับนี้ คงสามารถนำไปพัฒนา และนำไปใช้งานด้านอื่น ๆ อีกต่อ ๆ ไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2

## ระบบทั่ว ๆ ไปของโทรศัพท์

เครื่องโทรศัพท์ ประกอบด้วยส่วนต่าง ๆ ที่สำคัญคือ เครื่องส่ง เครื่องรับ กระดิ่ง และหน้าปัดสำหรับหมุน/กดเลขหมาย สำหรับเครื่องส่งและเครื่องรับรวมกันเรียกว่าปากพูดหูฟัง (Hand set) ซึ่งเป็นอุปกรณ์ที่ใช้สำหรับเปลี่ยนพลังงานเสียงที่เกิดจากการพูดให้เป็นพลังงานไฟฟ้า และเปลี่ยนพลังงานไฟฟ้าที่ได้รับให้กลับเป็นพลังงานเสียงอีกครั้งหนึ่งโดยเราจะใช้ Transmitter เป็นตัวเปลี่ยนพลังงานเสียงให้เป็นพลังงานไฟฟ้า และ Receiver เป็นตัวเปลี่ยนพลังงานไฟฟ้าให้เป็นพลังงานเสียง

กระดิ่งของเครื่องโทรศัพท์ (Ringer) เมื่อมีการเรียกเข้า กระดิ่งที่เครื่องรับโทรศัพท์ของผู้ถูกเรียกจะดังขึ้น ซึ่งจะหมายถึงชุมสายโทรศัพท์ได้ทำการส่งกระแสไฟฟ้าสลับ (Ringing Voltage) มาป้อนที่กระดิ่งของเครื่องโทรศัพท์ โดยทั่วไปแล้ว Ringing voltage จะมีค่าประมาณ 75 - 80 V. 18 - 25 Hz

หน้าปัดของเครื่องโทรศัพท์ มีอยู่ 2 แบบคือ แบบหมุน (Rotary Dial) ซึ่งการหมุนจะทำให้เกิด Pulse ขึ้นเป็นจำนวนเท่ากันเลขหมายที่หมุน และแบบกดปุ่ม (Push Button) ซึ่งใช้กรรมวิธีของ Dual Tone Multi-Frequency (DTMF) ในการส่งเลขหมายโทรศัพท์

หน้าปัดแบบหมุน เมื่อหมุนเลขหมาย จะเกิดจำนวน Pulse เท่ากับเลขหมายที่หมุน เช่น เลข 1 จะเกิด 1 Pulse, เลข 0 จะเกิด 10 Pulse เป็นต้น ความเร็วหน้าปัด (Dial Speed) ของเครื่องโทรศัพท์มีความสำคัญที่จะต้องกำหนดให้อยู่ในมาตรฐาน ซึ่งประกอบด้วยความเร็วของกระแส Impulse อัตราส่วนการตัด - ต่อ (Break Make Ratio) ของ Contact และช่วงเวลาหยุดระหว่างเลขหมาย (Inter digit Interral) ตามปกติแล้ว ความเร็วของกระแส Impulse จะใช้อยู่ 2 ค่าคือ 10 และ 20 IPS (Impulse per second) ส่วนค่ามาตรฐานสำหรับอัตราส่วนการตัดต่อ จะมีค่า 2:1 ซึ่งหมายความว่า contact จะต้องตัดวงจรเป็นเวลา 2 หน่วยเวลา และต้องต่อวงจรเป็นเวลา 1 หน่วยเวลา

ส่วนช่วงเวลาหยุดระหว่างเลขหมายโดยทั่วไปมี 600 - 900 mS หน้าปัด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเอกสารนี้ทุกครั้งที่มีการนำไปใช้

แบบกดปุ่ม ใช้กรรมวิธีของ Dual Tone Multi Frequency (DTMF) ในการส่งเลขหมายโทรศัพท์ โดยทั่วไปมี 12 ปุ่ม แบ่งเป็น 4 Rows และ 3 Column และเครื่องโทรศัพท์บางแบบมี 16 ปุ่ม โดยเพิ่ม Column ที่ 4

ความถี่ที่ใช้ในแต่ละ Row และ Column จะมีความถี่ต่างกันความถี่ของทั้ง 4 Rows เรียกว่า เป็นกลุ่มความถี่ต่ำ (Low Group Frequency) และความถี่ของทั้ง 4 Column เรียกว่า เป็นกลุ่มความถี่สูง (High Group Frequency ) การกดที่เลขหมายใด ๆ จะทำให้วงจร อิเลคโทรนิคส์ภายในเครื่องโทรศัพท์ผลิตความถี่ออกมา 2 ความถี่ เช่น เมื่อกดเลข 5 ความถี่ที่ผลิตออกมาคือ 770 Hz และ 1336 Hz เป็นต้น

**สัญญาณพื้นฐานขององค์การโทรศัพท์แห่งประเทศไทย**

สัญญาณสมาชิก ( SUBSCRIBER SIGNAL )

สัญญาณสมาชิกคือ สัญญาณที่เครื่องชุมสายโทรศัพท์จะแจ้งสภาวะต่าง ๆ ว่าควรจะทำอย่างไร เมื่อได้ยินสัญญาณนั้นประกอบด้วย

1. สัญญาณให้หมุน ( DT : DIAL TONE ) ใช้เพื่อแสดงให้สมาชิกรู้ว่าให้กดปุ่มเลขหมายผู้รับได้ เป็นสัญญาณเสียงต่อเนื่อง 400 เฮิร์ท คลื่นความถี่ประมาณ 50 เฮิร์ท แบบ AM

2. สัญญาณไม่ว่าง ( BT : BUSY TONE ) ใช้เพื่อเตือนให้สมาชิกผู้เรียกว่าผู้รับหรือ OBT ไม่ว่างควรวางหูก่อนสักระยะหนึ่งแล้วจึงเริ่มเรียกใหม่ เป็นสัญญาณ 400 เฮิร์ทช่วงของเวลาส่งประมาณ 0.5 วินาที เงียบประมาณ 0.5 วินาที

3. สัญญาณเรียกกลับ ( RBT : RING BACKTONE ) ใช้เมื่อการต่อทุกขั้นตอนตามความประสงค์ของผู้เรียกมายังผู้รับ เครื่องชุมสายโทรศัพท์ดำเนินการต่อสำเร็จแจ้งให้ผู้เรียกรู้ว่าการเรียกสำเร็จเป็นสัญญาณ 400 เฮิร์ท ช่วงเวลาการส่งประมาณ 1 วินาที เงียบประมาณ 4 วินาที

4. สัญญาณกริ่งเรียก ( RGT : RINGING TONE ) ใช้เมื่อมีการต่อทุกขั้นตอนตามความประสงค์ของผู้เรียกมายังผู้รับ เครื่องชุมสายโทรศัพท์ดำเนินการต่อสำเร็จด้วยกริ่งเรียกผู้รับมาตอบการเรียกเป็นสัญญาณ 25 เฮิร์ท ช่วงเวลาการส่งและเงียบเช่นเดียวกับสัญญาณเรียกกลับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยระบบเครื่องชุมสายโทรศัพท์ระบบหมุน ( DIAL ) เป็นระบบเก่าเมื่อผู้เรียกทำการเรียกไปยังผู้รับและได้รับการตอบการเรียกจากผู้รับ จะทำให้ชั้วที่คู่สายโทรศัพท์กลับชั้วจนตลอดช่วงสนทนา เมื่อทำการสนทนาเสร็จแล้วผู้เรียกและผู้รับวางหูจะทำให้ชั้วที่คู่สายโทรศัพท์กลับสู่สภาพปกติ แต่ในระบบเครื่องชุมสายโทรศัพท์แบบกดปุ่ม ( DTMF ) เมื่อผู้เรียกทำการเรียกไปยังผู้รับและได้รับการตอบการเรียกจากผู้รับชั้วที่คู่สายโทรศัพท์จะอยู่ในสภาพเดิมไม่มีการกลับชั้วตลอดช่วงการสนทนาจนกระทั่งสนทนาเสร็จแล้วทำการวางหูทั้งผู้รับและผู้เรียกระบบสัญญาณต่าง ๆ ของเครื่องชุมสายโทรศัพท์ถือว่าเป็นสิ่งสำคัญในการบอกสภาวะและแจ้งให้ผู้เรียก ผู้รับทราบว่าจะทำอย่างไรเมื่อได้ยินสัญญาณแต่ละชนิด ในวิทยานิพนธ์นี้จะใช้สัญญาณเหล่านี้ประกอบในการทำงานของเครื่อง " HONEST SENTRY " โดยใช้ระบบแบบหมุน ( DIAL )

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3

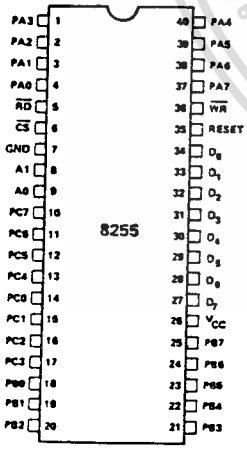
## 8255 PPI (programmable Pheripheral Interface)

ถ้าหากเราต้องการให้ Port ที่เป็น IC แบบ TTL ทั่ว ๆ ไปทำงานในสิ่งต่อไปนี้

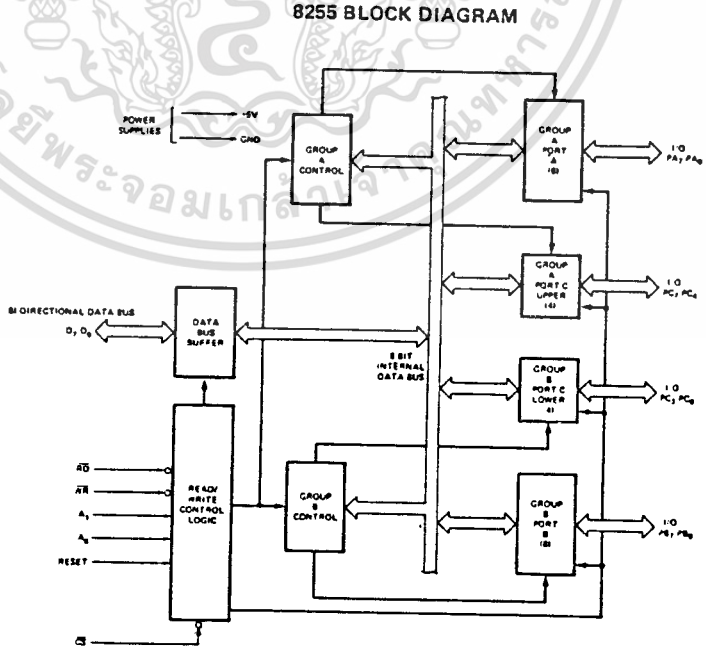
1. โครงงานต้องการความเชื่อมั่นสูง
2. ต้องการใช้งาน Port จำนวนมาก ๆ
3. ต้องการให้ Port ขอ Interrupt หรือทำ Hand Shaking ได้

เราจะต้องใช้ Port สำหรับงานซึ่งมีอยู่มากมาย แต่ในที่นี้จะนำมากล่าวเพียงตัวเดียว คือ 8255 PPI ซึ่งถ้าเข้าใจในตัวนี้แล้ว ก็จะทำความเข้าใจกับตัวอื่น ๆ ได้ไม่ยากเลยเพราะมีการทำงานที่คล้าย ๆ กัน 8255 เป็น Port ที่เราจะต้องมีโปรแกรมตัวมันเสียก่อนที่จะใช้งานโดยปกติแล้ว Port เบอร์นี้สร้างเพื่อใช้งานกับ Microprocessor ที่ผลิตโดยบริษัท INTEL หน้าที่หลักก็เหมือน ๆกับ Port ทั่วไปคือทำหน้าที่ เชื่อมต่อระหว่าง CPU กับอุปกรณ์ I/O 8255 มี Port ใช้งานอยู่ 3 Port คือ Port A, Port B, port C กับ Control Port Port 8255 เป็น port แบบขนานมีขนาด 40 ขาโดยแบ่งออกเป็น

PIN CONFIGURATION




8255 BLOCK DIAGRAM

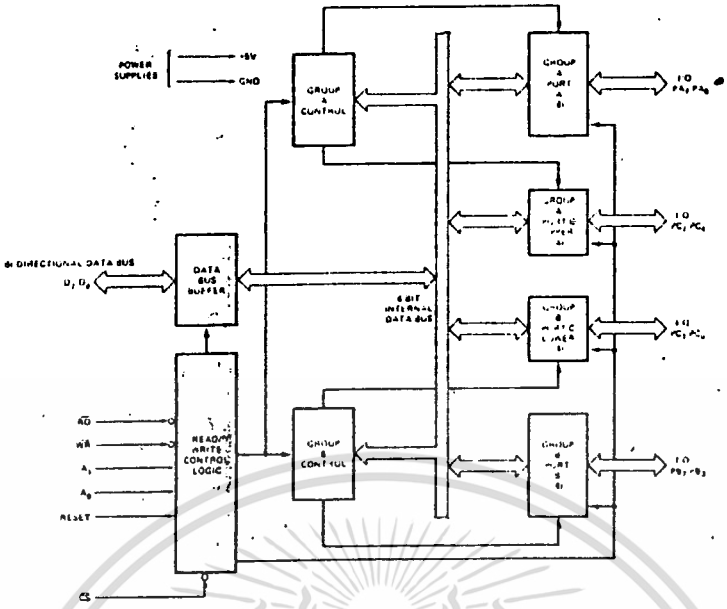



PIN NAMES

| | |
|---|---|
| $D_7$-$D_0$ | DATA BUS (BI-DIRECTIONAL) |
| RESET | RESET INPUT |
| $\overline{CS}$ | CHIP SELECT |
| $\overline{RD}$ | READ INPUT |
| $\overline{WR}$ | WRITE INPUT |
| A0, A1 | PORT ADDRESS |
| PA7-PA0 | PORT A (BIT) |
| PB7-PB0 | PORT B (BIT) |
| PC7-PC0 | PORT C (BIT) |
| $V_{CC}$ | +5 VOLTS |
| GND | 0 VOLTS |

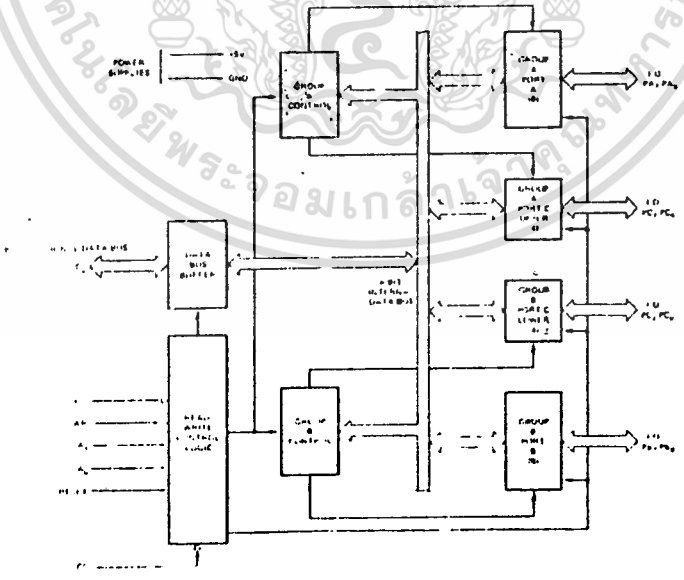
รูปที่ 1 แสดงการจัดขาของ 8255

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 2 8255 BLOCK DIAGRAM

ขาที่ INPUT และ CONTROL



รูปที่ 3 8255 BLOCK DIAGRAM ขาที่ OUTPUT

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**DATA BUS BUFFER**

เป็น BUS ที่ใช้ในการรับส่งข้อมูล มี 3 Port,Port ละ 8 Bit คือ PA0-PA7, PB0-PB7,PC0-PC7 ซึ่งมีลักษณะเป็น Bidirectional และเป็น 3-state ใช้สำหรับรับส่งข้อมูล ระหว่างอุปกรณ์ I/O กับ CPU

**READ/WRITE AND CONTROL LOGIC**

เป็นสัญญาณที่จะกำหนดให้อ่านข้อมูลเข้า CPU หรือส่งข้อมูลออกจาก CPU ไปสู่อุปกรณ์ I/O และมีสัญญาณ Control ต่าง ๆ

- $\overline{CS}$ เป็นขา Enable เพื่อเลือกใช้ Port จะถูกเลือกเมื่อมีสภาวะเป็น "LOW"
- $\overline{RD}$ ถ้ามีสภาวะเป็น "LOW" หมายถึง CPU จะอ่านข้อมูลจากอุปกรณ์ภายนอกผ่านทาง Port เข้ามายัง CPU
- $\overline{WR}$ ถ้ามีสภาวะเป็น "LOW" หมายถึง CPU จะส่งข้อมูลออกจาก CPU ผ่านทาง Port เพื่อส่งให้กับอุปกรณ์ I/O

**A0,A1**

Port Select 0 และ Port Select 1 สัญญาณ Input เหล่านี้จะใช้ร่วมกับสัญญาณ $\overline{RD}$ และสัญญาณ $\overline{WR}$ ใช้ในการอ้างถึง Port ทั้ง 3 Port หรือเป็น Control Word เพื่อให้ Port ทำงานตามต้องการ ซึ่งโดยปกติจะต่อเข้ากับ A0 และ A1 กับ CPU โดยมีความหมายดังในตาราง ( 8255A Basic Operation)

**8255 BASIC OPERATION**

| $A_1$ | $A_0$ | $\overline{RD}$ | $\overline{WR}$ | $\overline{CS}$ | INPUT OPERATION (READ) |
|---|---|---|---|---|---|
| 0 | 0 | 0 | 1 | 0 | PORT A => DATA BUS |
| 0 | 1 | 0 | 1 | 0 | PORT B => DATA BUS |
| 1 | 0 | 0 | 1 | 0 | PORT C => DATA BUS |

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

| $A_1$ | $A_0$ | $\overline{RD}$ | $\overline{WR}$ | $\overline{CS}$ | OUTPUT OPERATION (WRITE) |
|---|---|---|---|---|---|
| 0 | 0 | 1 | 0 | 0 | DATA BUS => PORT A |
| 0 | 1 | 1 | 0 | 0 | DATA BUS => PORT B |
| 1 | 0 | 1 | 0 | 0 | DATA BUS => PORT C |
| 1 | 1 | 1 | 0 | 0 | DATA BUS => CONTROL |
| $A_1$ | $A_0$ | $\overline{RD}$ | $\overline{WR}$ | $\overline{CS}$ | DISABLE FUNCTION |
| X | X | X | X | 1 | DATA BUS => 3-STATE |
| 1 | 1 | 0 | 1 | 0 | ILLEGAL CONDITION |

**RESET**

หากได้รับสภาวะ "HIGH" จะทำการยกเลิกสภาพที่ทำหน้าที่อยู่และจัด Port ทุก Portเป็น Input Port

**คุณสมบัติของ Port แต่ละ Port**

Port A: เป็น Port ขนาด 8 Bit เป็นได้ทั้ง Input และ Output สามารถ Latch ข้อมูลได้ และเป็น Buffer (ในกรณี Output)

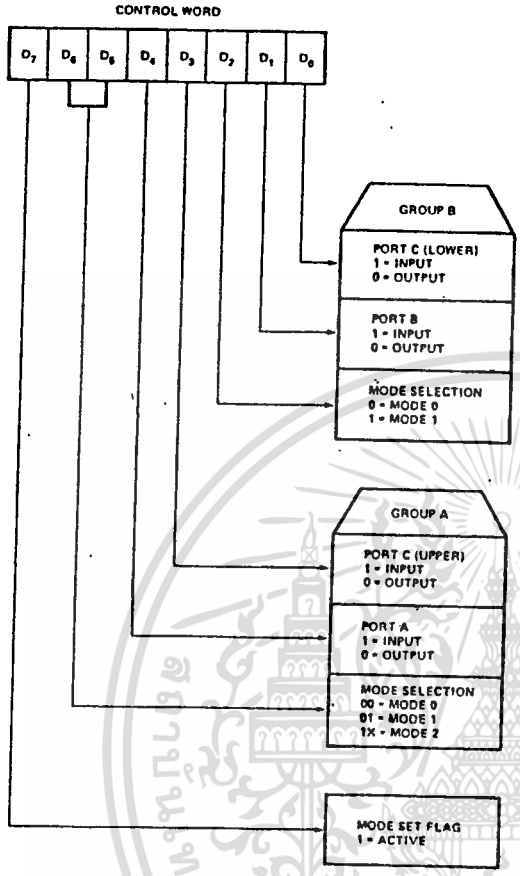
Port B: เหมือนกันกับ Port A และยังเป็น Buffer ในกรณี Input ได้ด้วย

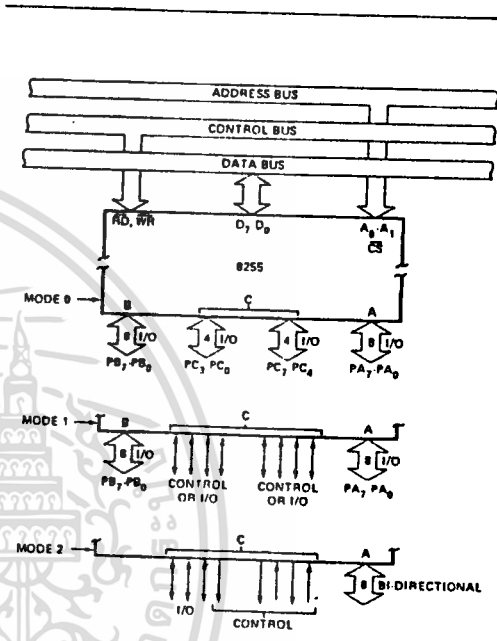
Port C: มีขนาด 8 Bit เป็นได้ทั้ง Input และ Output และเป็น Buffer ทั้ง 2 ลักษณะ Latch ข้อมูลได้ในกรณีที่เป็น Output เท่านั้น และ port C สามารถแบ่งใช้งานได้ 2 ชุด ๆ ละ 4 Bit คือ PC0- PC7 และ PC4-PC7 โดยทั้ง 2 ชุดทำงานอิสระต่อกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

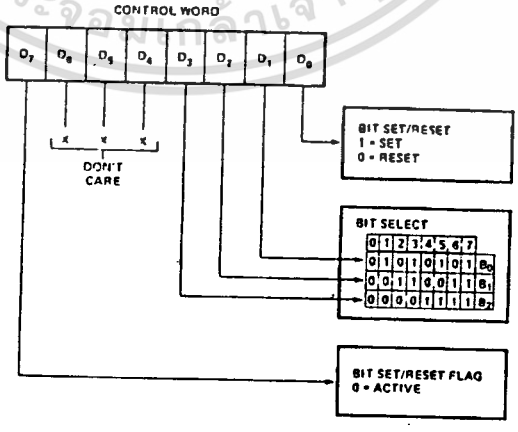


026906



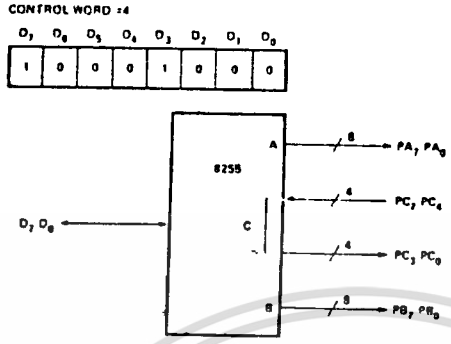

**Basic Mode Definitions and Bus Interface**



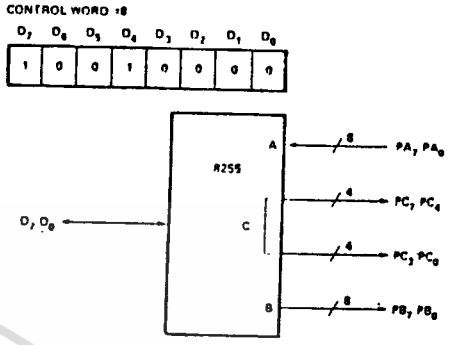

**Bit Set/Reset Format**

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

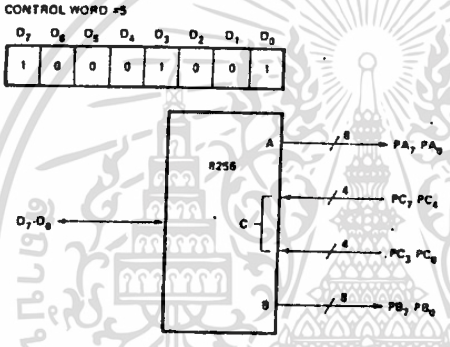
CONTROL WORD =4



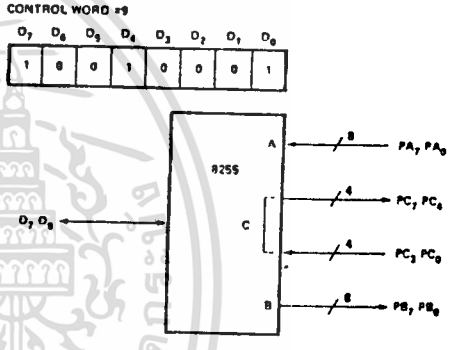

CONTROL WORD =8



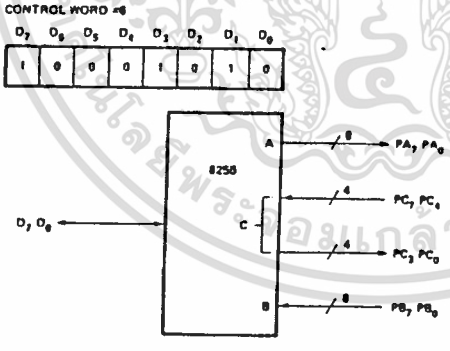

CONTROL WORD =5



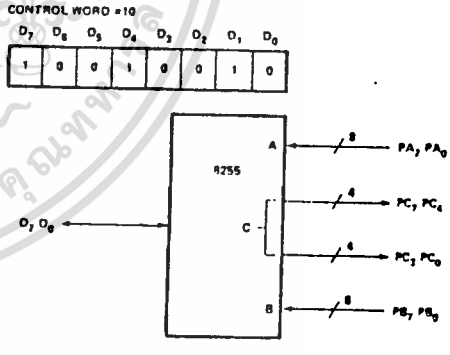

CONTROL WORD =9



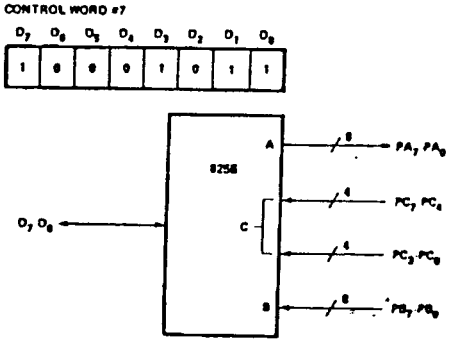

CONTROL WORD =6



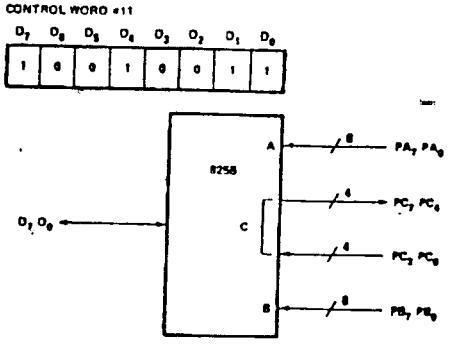

CONTROL WORD =10




CONTROL WORD =7




CONTROL WORD =11

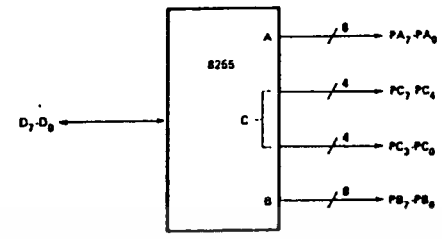



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## MODE 0 CONFIGURATIONS

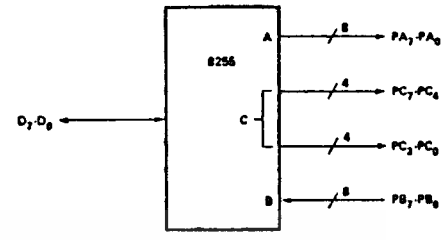
CONTROL WORD #0

| $D_7$ | $D_6$ | $D_5$ | $D_4$ | $D_3$ | $D_2$ | $D_1$ | $D_0$ |
|---|---|---|---|---|---|---|---|
| 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |



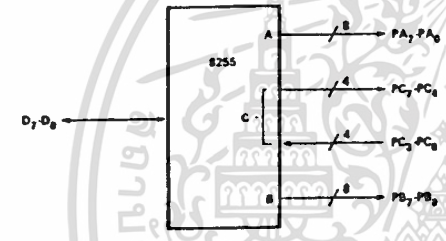

CONTROL WORD #2

| $D_7$ | $D_6$ | $D_5$ | $D_4$ | $D_3$ | $D_2$ | $D_1$ | $D_0$ |
|---|---|---|---|---|---|---|---|
| 1 | 0 | 0 | 0 | 0 | 0 | 1 | 0 |



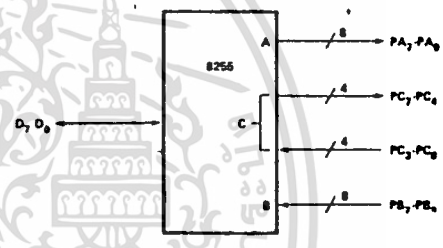

CONTROL WORD #1

| $D_7$ | $D_6$ | $D_5$ | $D_4$ | $D_3$ | $D_2$ | $D_1$ | $D_0$ |
|---|---|---|---|---|---|---|---|
| 1 | 0 | 0 | 0 | 0 | 0 | 0 | 1 |



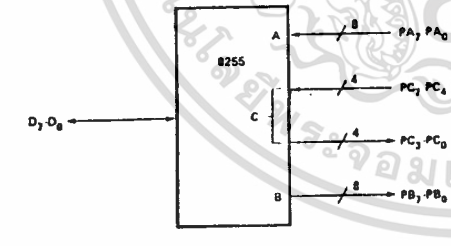

CONTROL WORD #3

| $D_7$ | $D_6$ | $D_5$ | $D_4$ | $D_3$ | $D_2$ | $D_1$ | $D_0$ |
|---|---|---|---|---|---|---|---|
| 1 | 0 | 0 | 0 | 0 | 0 | 1 | 1 |



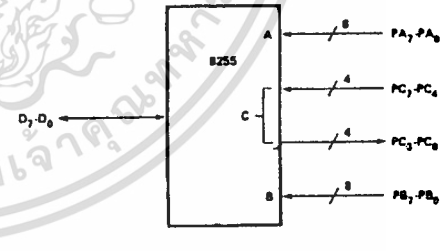

CONTROL WORD #12

| $D_7$ | $D_6$ | $D_5$ | $D_4$ | $D_3$ | $D_2$ | $D_1$ | $D_0$ |
|---|---|---|---|---|---|---|---|
| 1 | 0 | 0 | 1 | 1 | 0 | 0 | 0 |



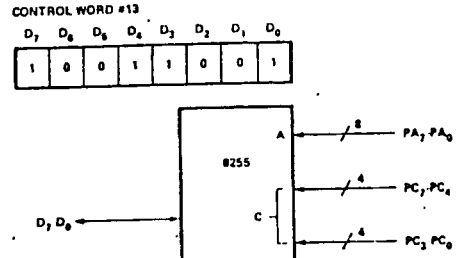

CONTROL WORD #14

| $D_7$ | $D_6$ | $D_5$ | $D_4$ | $D_3$ | $D_2$ | $D_1$ | $D_0$ |
|---|---|---|---|---|---|---|---|
| 1 | 0 | 0 | 1 | 1 | 0 | 1 | 0 |



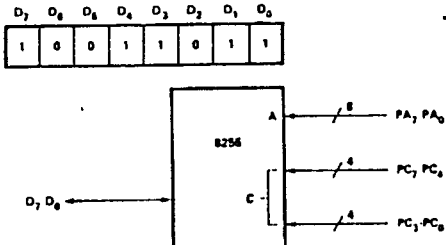

CONTROL WORD #13

| $D_7$ | $D_6$ | $D_5$ | $D_4$ | $D_3$ | $D_2$ | $D_1$ | $D_0$ |
|---|---|---|---|---|---|---|---|
| 1 | 0 | 0 | 1 | 1 | 0 | 0 | 1 |




CONTROL WORD #15

| $D_7$ | $D_6$ | $D_5$ | $D_4$ | $D_3$ | $D_2$ | $D_1$ | $D_0$ |
|---|---|---|---|---|---|---|---|
| 1 | 0 | 0 | 1 | 1 | 0 | 1 | 1 |




เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## การทำงานของ 8255

### Mode Selection

8255 มีการทำงานได้ 3 Mode โดยที่จะให้ทำงานใน Mode ใดจะต้องโปรแกรมก่อนใช้งาน Mode ทั้ง 3 คือ

- Mode 0 : Basic Input/Output (Port A, PortB, PortC)
- Mode 1 : Strobe Input/ Output (PortA, PortB)
- Mode 2 : Bi-dirctional Bus

ในทันทีที่ 8255 ถูก reset ทุก Port จะมีลักษณะเป็น input ( port ทั้ง 3 เป็น High impedance )ในการกำหนดให้ Port ทำงานใน Mode ใดจะต้องโปรแกรมก่อนโดยส่ง Data ขนาด 8 bit ในตำแหน่ง Ø3 ($A_0$=1, $A_1$=1) โดยแต่ละ Bit มีความหมายดังนี้

D0 : Port C ( Lower $PC_0$ -$PC_3$ ) ให้เป็น Input หรือ Output เป็น 1 = Input, Ø เป็น Output

D1 : Port B (8 Bit) ถ้าเป็น 1= Input, Ø= Output

D2 : ให้ Port B ทำงานใน Mode ใด ถ้าเป็น Ø = Mode Ø, 1= Mode 1

D3 : Port C ( Upper $PC_4$ - $PC_7$ ) ถ้าเป็น 1 = Input , Ø= Output

D4 : Port A ( 8 Bit ) ถ้าเป็น 1 = Input, Ø = Output

D5,D6: ให้ Port A ทำงานใน Mode ใด เป็นได้ทั้ง 3 Mode

ØØ = Mode Ø

Ø1 = Mode 1

11 = Mode 2

D7 : ต้องมีค่าเป็น 1 ถือเป็นไบท์ที่แสดงว่าเป็น Control Word

### Operating Mode

**Mode Ø** (Basic Input / Output)

ใน Mode นี้ Port แต่ละ Port ใน 3 Port จะกำหนดให้เป็น Input หรือ Output ก็ได้แต่ไม่สามารถทำ Handshaking ได้ลักษณะของ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Mode นี้ ได้แก่

- มี Port ขนาด 8 bit 2 Port และขนาด 4 bit 2 Port
- ทุก Port สามารถกำหนดเป็น input หรือ output ได้
- Output สามารถ Latch ข้อมูลได้ด้วย
- Input ไม่สามารถ Latch ข้อมูลได้
- สามารถกำหนดการเป็น Input/ Output ได้ถึง 16 รูปแบบ

MODE 1 (strobed Input /Output)

ใน Mode นี้จะมี port ที่ใช้เป็น Data Bus ได้เพียง 2 Port คือ Port A และ Port B โดยจะทำงานได้เพียงทิศทางเดียว สามารถทำเป็น Handshaking ได้โดยใช้ Port c เป็นสายสัญญาณของ Handshaking ลักษณะของ Mode นี้ ได้แก่

- ใช้ Data Bus ได้เพียง 2 Port ( Port A และ Port c)
- แต่ละ Port มีขนาด 8 Bit และ control Data อีก 4 Bit
- Port 8 Bit 2 Port นี้ เป็น Output หรือ Input ก็ได้ และสามารถที่จะ Latch ข้อมูลได้ทั้ง 2 กรณี
- Port ขนาด 4 Bit 2 ชุด ใช้สำหรับเป็นตัวควบคุมและแสดงสถานะของแต่ละ Port

<u>ส่วนสัญญาณในการ control ในการทำ Hand shaking</u>

<u>กรณี Input</u>

$\overline{\text{STB}}$ (strobe input) ในกรณีของ Port A คือขา $pc_4$ และเป็น $pc_2$ ในกรณีของ Port B เมื่อได้รับสภาวะ Ø จะทำการรับ Data เข้าทาง Port และ Latch ไว้

IBF (Input BufferFull F/F) ในกรณีของ Port A คือ $Pc_5$ และ $pc_1$ ในกรณีของ Port B เป็น Output มีค่าเป็น "1"เมื่อรับ Data และ Latch ไว้แล้วซึ่งมี Output เป็น "1"เมื่อ STB มีค่าเป็น "Ø" และจะมีค่าเป็น "Ø" เมื่อสัญญาณ RD ที่ได้รับเริ่มเป็น "Ø" (Fulling edge)

INTR(Interrupt Request)ในกรณีของ Port A คือ $PC_3$ และ $PC_0$ ในกรณีของ Port B เป็น Output มีค่าเป็น "1"ก็ต้องขอ Interrupt

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กับ CPU สัญญาณ INTR จะเป็น "1" ก็ต่อเมื่อ $\overline{STB}$ เป็น "1" , IBE เป็น "1" และ INTE เป็น "1" สัญญาณ INTE จะมีค่าเป็น "0"เมื่อ $\overline{RD}$ เริ่มเป็น "0" (Falling edge)

## กรณี OUTPUT

$\overline{OBF}$ (Output Buffer Full F/F) เป็น low แสดงสภาวะ CPU ต้องการเขียนข้อมูลออกไปที่พอร์ท OBF F/F จะ set ให้ขา WR เป็น "1" และ ให้สัญญาณ $\overline{ACK}$ เป็น "0

**MODE 0 PORT DEFINITION CHART**

| A | | B | | GROUP A | | | GROUP B | |
|---|---|---|---|---|---|---|---|---|
| D4 | D3 | D1 | D0 | PORT A | PORT C (UPPER) | # | PORT B | PORT C (LOWER) |
| 0 | 0 | 0 | 0 | OUTPUT | OUTPUT | 0 | OUTPUT | OUTPUT |
| 0 | 0 | 0 | 1 | OUTPUT | OUTPUT | 1 | OUTPUT | INPUT |
| 0 | 0 | 1 | 0 | OUTPUT | OUTPUT | 2 | INPUT | OUTPUT |
| 0 | 0 | 1 | 1 | OUTPUT | OUTPUT | 3 | INPUT | INPUT |
| 0 | 1 | 0 | 0 | OUTPUT | INPUT | 4 | OUTPUT | OUTPUT |
| 0 | 1 | 0 | 1 | OUTPUT | INPUT | 5 | OUTPUT | INPUT |
| 0 | 1 | 1 | 0 | OUTPUT | INPUT | 6 | INPUT | OUTPUT |
| 0 | 1 | 1 | 1 | OUTPUT | INPUT | 7 | INPUT | INPUT |
| 1 | 0 | 0 | 0 | INPUT | OUTPUT | 8 | OUTPUT | OUTPUT |
| 1 | 0 | 0 | 1 | INPUT | OUTPUT | 9 | OUTPUT | INPUT |
| 1 | 0 | 1 | 0 | INPUT | OUTPUT | 10 | INPUT | OUTPUT |
| 1 | 0 | 1 | 1 | INPUT | OUTPUT | 11 | INPUT | INPUT |
| 1 | 1 | 0 | 0 | INPUT | INPUT | 12 | OUTPUT | OUTPUT |
| 1 | 1 | 0 | 1 | INPUT | INPUT | 13 | OUTPUT | INPUT |
| 1 | 1 | 1 | 0 | INPUT | INPUT | 14 | INPUT | OUTPUT |
| 1 | 1 | 1 | 1 | INPUT | INPUT | 15 | INPUT | INPUT |

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$\overline{\text{ACK}}$ (Acknowledge Input) เมื่อมีลอจิก "0" 8255 จะส่งข้อมูลออกไปทางPort A หรือ Port B จากนั้นอุปกรณ์ Peripheral จะส่งสัญญาณตอบรับกลับมาให้ INTR (Interrupt Request) จะส่งสัญญาณไปขอ Interrupt กับ CPU และรับสัญญาณตอบรับจากขา $\overline{\text{ACK}}$ ถ้า $\overline{\text{OBF}}$ และ INTE เป็น "1" จะไป Reset ให้ WR เป็น "0"

**MODE 2** (Strobeed Bi-Directional Bus I/0)

สำหรับการทำงานใน Mode ที่ 2 นี้นำไปใช้ในการส่งผ่านข้อมูลที่มีการส่ง 2 ทิศทางคือมีทั้งการส่งข้อมูลออกไป และการรับข้อมูลเข้ามา โดยใช้ Bus ข้อมูล (8 Bit) ชุดเดียวกันดังนั้นจึงจำเป็นต้องใช้สัญญาณควบคุมบางอย่าง เพื่อจะบอกทิศทางการส่งข้อมูลและยังต้องใช้สัญญาณควบคุมอื่นๆ( Handshaking ) อีกด้วย

ลักษณะทั่ว ๆ ไปของ Mode 2 คือ

- จะใช้งานกับ Port A เท่านั้น
- Port ข้อมูลขนาด 8 Bitจะเป็นแบบ 2 ทิศทาง(Bi-Directional) ซึ่งเป็น Port A และสัญญาณควบคุมอีก 5 Bit (Port C)

<u>กรณี Output</u>

- $\overline{\text{OBF}}$ (Output Buffer Full)
  จะเป็น "0" เมื่อ CPU ส่งข้อมูลมาที่ Port A
- $\overline{\text{ACK}}$ (Acknorledge)
  เมื่อ ACK ได้รับ Logic "0" จากภายนอก จะเป็นการทำให้ Port A ส่งข้อมูลไปให้ I/O
- INTE 1 (INTE flip-flop)

จะทำงานร่วมกับ OBF คือ เมื่อ CPU ส่งข้อมูลมายัง Port แล้วนำสัญญาณ INTE 1 ("1") ร่วมกับ OBF ("0") เพื่อทำการ INTE (Interrupt acknowledge) ไปบอกอุปกรณ์ภายนอก ( ว่าข้อมูลมาแล้ว ) INTE 1 นี้จะถูกควบคุมโดยการ set/reset ของ $PC_6$ ( โดยคำสั่งของ Soft ware )

<u>กรณี Inout</u>

- $\overline{\text{STB}}$ (Strobe Input)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อได้รับสัญญาณ Logic "0" จากภายนอกมา Port จะทำการนำข้อมูลจาก Port A เข้ามา Latch ไว้ภายในตัว Buffer ของ Port

- IBF (Input Buffer Full F/F )

เมื่อ Port รับข้อมูลและ Latch ไว้ภายในตัวมันแล้วขา IBF จะให้ Logic "1" ออกมา

- INTE 2 (INTE filp-flop)

จะทำงานร่วมกับ IBF คือ เมื่ออุปกรณ์ภายนอกส่งข้อมูลเข้ามา แล้วมา Latch อยู่ภายในตัวของ Port และ INTE 2 ซึ่งถ้าเป็น Logic "1" พร้อมกับ IBF ที่เป็น "1" ด้วยจะทำการส่งสัญญาณ INTR ไปบอกให้ CPU โดยการ Interrupt

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

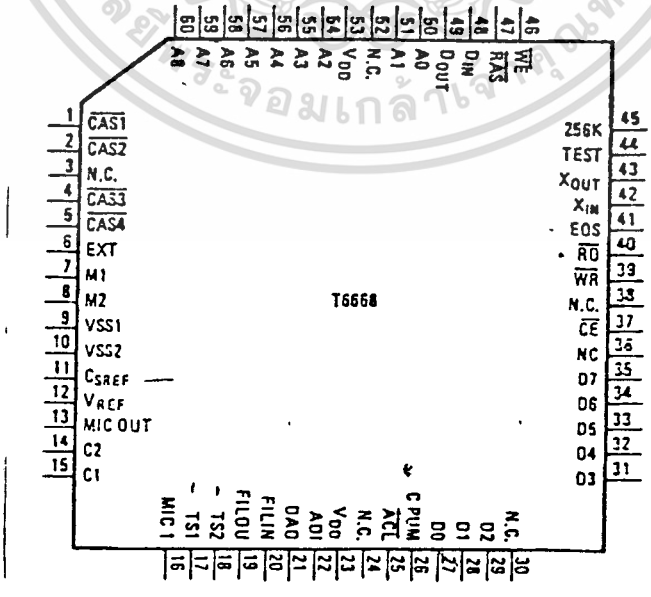
## ชุดวิเคราะห์เสียงพูด

จะทำหน้าที่บันทึกเสียงพูดหรือเสียงต่าง ๆ เก็บไว้แล้วถ่ายทอดออกมาให้เราได้ฟังโดยที่เสียงนั้น ๆ ไม่มีการผิดเพี้ยนไปจากเสียงเดิมเลยและไม่ต้องอาศัยเทปคาสเซ็ทหรือส่วนประกอบทางแมคคานิคใด ๆ เข้ามาเกี่ยวข้อง

### T 6668

เบอร์ T6668 เป็นของบริษัท โตชิบา รูปร่างภายนอกเป็นแบบติดตั้งบนผิวหรือเซอร์เฟสเมาต์ขนาด 60 ขา ต่อกับหน่วยความจำชนิดไดนามิก ขนาด 64 K * 1 บิต หรือ 256 K * 1 บิต ได้โดยตรง 4 ตัว ใช้ดริสตอลควบคุมความถี่สัญญาณนาฬิกา เปลี่ยนบิตเรตโดยใช้ดิปสวิตช์ เลือกขนาดของหน่วยความจำแยกบรรทึก / เล่นกลับได้ เมื่อใช้หน่วยความจำ 256 K * 1(41256) จำนวน 4 ตัว ที่บิตเรต 16 K จะบันทึกได้นาน 64 วินาที หรือ นาทีเศษ ๆ

T 6668 นี้สมบูรณ์ในตัวทางด้านอินพุทสามารถต่อไมโครโฟนเข้ากับ IC ได้เลย ด้าน Output ก็เพิ่มภาคขยายอีกส่วนเดียว เนื่องจาก T6668 เป็นแบบเซอร์เฟสเมาต์ มีขาชิดกันมากจึงจำเป็นต้องใช้แผ่นวงจรพิมพ์แบบสองหน้าชนิดเพลตทรูโอลด์

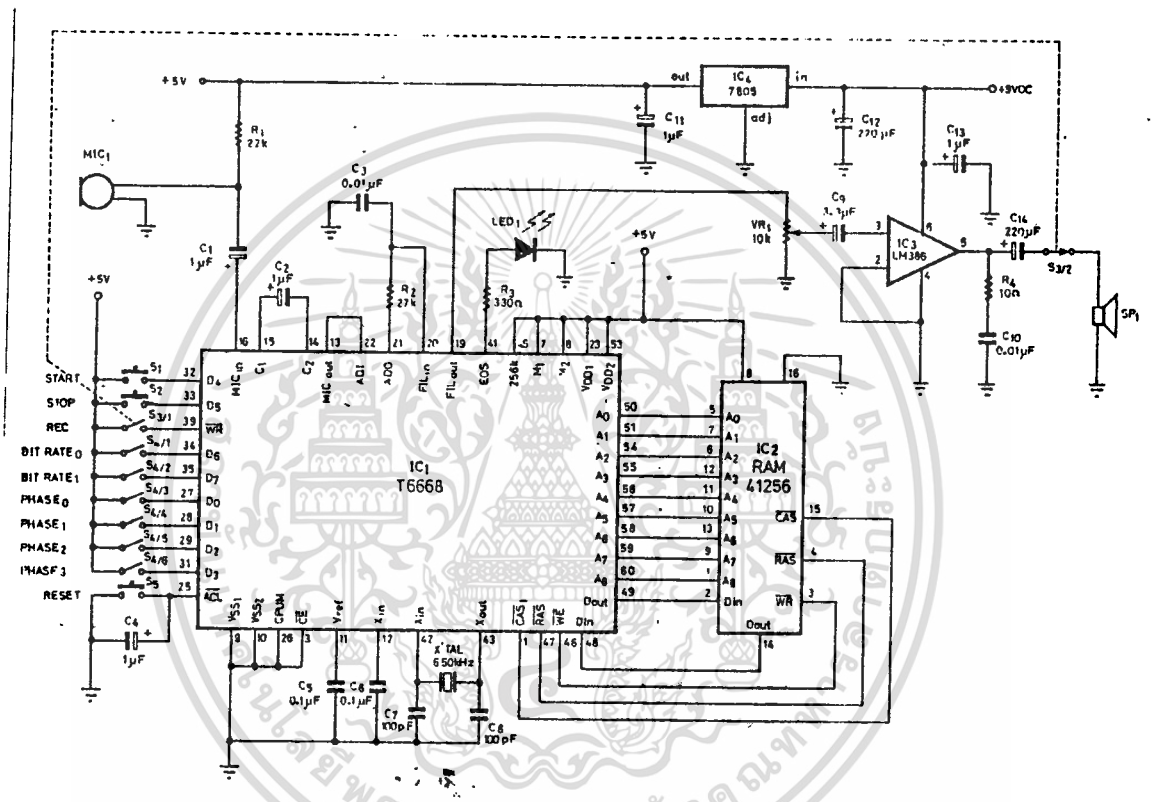



**รูปที่ 1 แสดงตำแหน่งขาต่าง ๆ ของไอซี T6668**

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## วงจรการทำงาน

จากวงจรในรูปที่ 2 เป็นวงจรสมบูรณ์ของชุดวิเคราะห์เสียงพูด หัวใจสำคัญของวงจรอยู่ที่ $IC_1$ และ $IC_2$ ซึ่งเป็นไอซีไมโครโปรเซสเซอร์และหน่วยความจำตัว $IC_1$ เองถูกออกแบบขึ้นมาเพื่อใช้งานด้านวิเคราะห์เสียงพูดลักษณะโครงสร้างภายนอกและตำแหน่งขาต่าง ๆ แสดงไว้ในรูปที่ 1




**รูปที่ 2 วงจรสมบูรณ์ของชุดวิเคราะห์เสียงพูด**

การทำงาน $IC_1$ จะทำการรับสัญญาณเสียงพูดเข้ามาจากนั้นทำการขยายแล้วเปลี่ยนจากสัญญาณอนาล็อก ไปเป็นข้อมูลดิจิตอล แล้วไปเก็บไว้ที่ไดนามิกแรม (DRAM) $IC_2$ โดย CPU ภายในจะทำการเลื่อนแอดเดรส ที่จะนำเข้าไปเก็บเองโดยอัตโนมัติ เมื่อทำการแปลงข้อมูลจาก D/A จะใช้อัตรา 10 BIT D/A เพื่อเปลี่ยนกลับมาเป็นเสียงเช่นเดิมการอัดเข้าไป เราจะสามารถเลือก speed ได้ 4 speed โดยเลือกที่ $D_6$ - $D_7$

1. ถ้าเราเลื่อนสวิทช์ $D_7$ - $D_6$ ไปที่ 0 , 0 จะทำให้อัตราความเร็วของการแปลงข้อมูลเป็น 8K บิทต่อวินาที ทำให้อัดหรือเล่นได้นาน 128 วินาที

2. $D_7$ - $D_6$ เป็น 0 , 1 จะทำให้อัตราการแปลงข้อมูลเป็น 11K bit

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ต่อวินาที ทำให้อัดหรือเล่นได้นาน 93 วินาที

3. $D_7$ - $D_6$ เป็น 1, 0 ทำให้อัตราการแปลงข้อมูลเป็น 16K bit ทำให้อัดหรือเล่นได้นาน 64 วินาที

4. $D_7$ - $D_6$ เป็น 1 , 1 ทำให้อัตราการแปลงข้อมูลเป็น 32K bit ทำให้อัดหรือเล่นได้นาน 32 วินาที

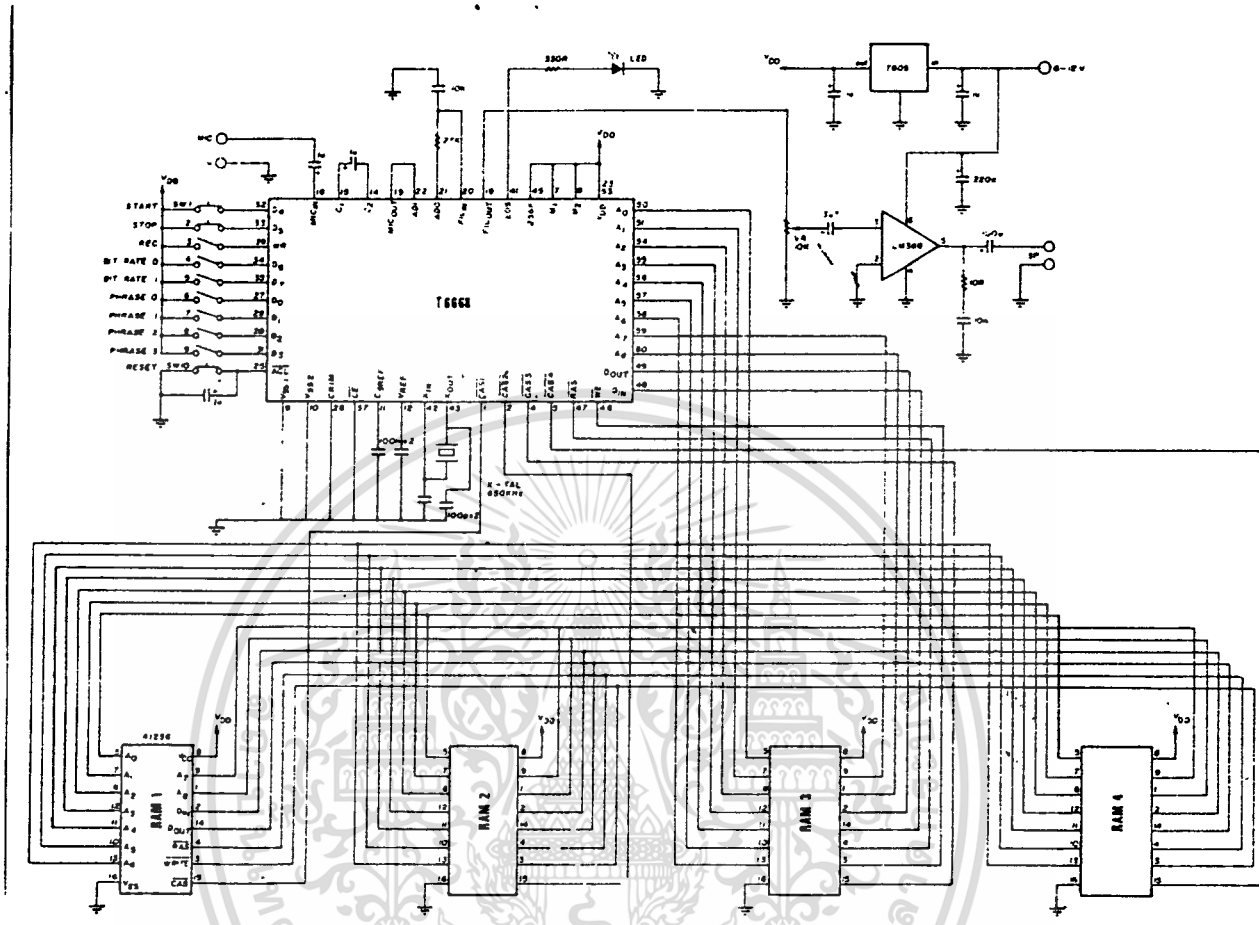
**ตารางที่** 1 การกำหนดชนิด และ จำนวนแรมที่ใช้

| บิตเรต | D7 (ขา 35) | D6 (ขา 34) |
|---|---|---|
| 8 K | Ø | Ø |
| 11 K | Ø | 1 |
| 16 K | 1 | Ø |
| 32 K | 1 | 1 |

**ตารางที่ 2**

| ชนิดและจำนวน | 256K (ขา45) | M2 | M1 |
|---|---|---|---|
| 4164 * 1 | Ø | Ø | Ø |
| 4164 * 2 | Ø | Ø | 1 |
| 4164 * 3 | Ø | 1 | Ø |
| 4164 * 4 | Ø | 1 | 1 |
| 41256 * 1 | 1 | Ø | Ø |
| 41256 * 2 | 1 | Ø | 1 |
| 41256 * 3 | 1 | 1 | Ø |
| 41256 * 4 | 1 | 1 | 1 |

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




**รูปที่ 3 วงจรเมื่อต่อ RAM 4 ตัว**

ไอซี T 6668 นี้ใช้ X-TAL 650 KHz เป็นฐานความถี่และต่อกับ RAM 256K จำนวน 4 ตัว ทำให้ความจุของ memory เพิ่มขึ้นเป็น 1M bit ดังวงจรรูปที่ 3 การอัดเมื่อเราอัดที่สปีดใดสปีดหนึ่งเสร็จแล้ว เราสามารถที่จะนำกลับมาเล่นในสปีดอื่นได้ทำให้เราสามารถเร่งหรือลดสปีดของเสียง ได้ตามต้องการ ถ้าเราต้องการอัดเสียงสูง ๆ ให้ได้ผลดี ควรใช้สปีดสูง ๆ ในการอัดด้วยจึงจะทำให้เสียงที่อัดออกมาดี

T6668 สามารถเลือกใช้ memory ได้ 2 ขนาดคือ 64K DRAM กับ 256K DRAM โดยการเลือกที่ขา 45 ของ IC (ที่เขียนไว้ว่า 256K) คือเมื่อเราจะต่อ DRAM 256K ให้กับ IC เราต้องต่อขา 45 กับกราวด์ T6668 ก็จะรู้ว่าใช้เมมโมรีขนาดเท่าใดกับมัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การเพิ่มเมมโมรี ให้กับ IC T6668 สามารถกำหนดได้โดยการต่อขา $M_2$ (ขา8) $M_1$(ขา7) ตามตารางที่ 2 คือ ถ้าเราต่อ $M_2$, $M_1$ ลงกราวด์ T6668 จะทำการเขียนหรืออ่านข้อมูลจาก 00000H ไปจนถึง 0FFFFH แล้วตัวมันเองก็จะเลิกการอ่านหรือการเขียนมารอการเริ่มต้นใหม่

ดังนั้นเราจึงกำหนดขนาดของเมมโมรี ได้ตามต้องการเพื่อการประหยัดในการนำไปใช้งาน ที่ต้องการขนาดเมมโมรีต่างกัน ได้รูปการต่ออินเตอร์เฟส T 6668 กับ CPU เพื่อควบคุมทำงาน

**ตารางที่ 3**

| $D_0$ | $D_1$ | $D_2$ | $D_3$ | ช่องที่ |
|---|---|---|---|---|
| 0 | 0 | 0 | 0 | 1 |
| 0 | 0 | 0 | 1 | 2 |
| 0 | 0 | 1 | 0 | 3 |
| 0 | 0 | 1 | 1 | 4 |
| 0 | 1 | 0 | 0 | 5 |
| 0 | 1 | 0 | 1 | 6 |
| 0 | 1 | 1 | 0 | 7 |
| 0 | 1 | 1 | 1 | 8 |
| 1 | 0 | 0 | 0 | 9 |
| 1 | 0 | 0 | 1 | 10 |
| 1 | 0 | 1 | 0 | 11 |
| 1 | 0 | 1 | 1 | 12 |
| 1 | 1 | 0 | 0 | 13 |
| 1 | 1 | 0 | 1 | 14 |
| 1 | 1 | 1 | 0 | 15 |
| 1 | 1 | 1 | 1 | 16 |

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

| | |
|---|---|
| A0 ~ A8 | : ขาแอดเดรสต่อกับแรม |
| Din , Dout | : ขาดาต้าต่อกับแรม |
| RAS , WE | : สัญญาณควบคุมแรม |
| $CAS_1$ ~ $CAS_4$ | : ขาเลือกแรมแต่ละตัว |
| M1 , M2 | : ใช้กำหนดจำนวนแรมดัง ตารางที่ 1 |
| 256 K | : เลือกขนาดแรมต่อกราวด์ใช้ 4146 ต่อไปบวกใช้ 41256 |
| EOS | : Output เป็น HIGH เมื่อจบข้อความที่บันทึก |
| $MIC_{in}$ , $MIC_{out}$ | : Input and Output ของภาคขยายส่วนหน้า |
| $AD_7$ , $AD_0$ | : อินพุทสัญญาณอะนาลอก ที่จะนำไปแปลงเพื่อบันทึกและเอาท์พุตอะนาลอกที่ได้จากการอ่าน |
| $FIL_{in}$ , $FIL_{out}$ | : วงจรกรองความถี่ต่ำผ่าน |
| $C_1$ , $C_2$ | : ต่อตัวเก็บประจุภายนอก |
| ACL | : ขารีเซ็ท แอคทีฟโลว์ |
| $X_{in}$ , $X_{out}$ | : คริสตอลออสซิเลเตอร์ความถี่ 650 kHz |
| CPUM , CE | : สัญญาณควบคุมสำหรับอินเตอร์เฟส กับ CPU |
| WR | : ขาอินพุทสัญญาณควบคุมสำหรับเปลี่ยนไปโหมดการบันทึก |
| $D_4$ , $D_5$ | : เริ่มต้น ($D_4$) และหยุด ($D_5$) การนับของเคาน์เตอร์สำหรับการบันทึกและเล่นกลับ |
| $D_6$ , $D_7$ | : กำหนดบิตเรต ดูตารางที่ 2 |
| $D_0$ , $D_3$ | : เลือกหน้าของหน่ายความจำสำหรับบันทึกแบ่งได้สูงสุด 16 หน้าตามระหัสเลขฐานสองแต่ละหน้าไม่กำหนดความยาวแล้วแต่จะกด STOP($D_5$) เมื่อใดก็จะมีการบันทึกเอาไว้โดยอัตโนมัติ |
| VDD , VSS | : ขาไฟเลี้ยงกราวด์ |

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**# specifiation #**

กรณีออกนอกบ้าน เราสามารถ set ได้ 2 mode คือ

- mode 1 กรณีต้องการให้บันทึกข้อความลง Tape (จะโชว์ Tape)
- mode 2 กรณีต้องการให้เครื่องติดตามเจ้าของ (จะโชว์ Follow)

กรณีวงจร Alarm ทำงาน มี 2 ลักษณะคือ

- กรณีขโมย เครื่องจะโทรแจ้งตำรวจ แล้วโทรแจ้งเจ้าของ
- กรณีไฟไหม้ . เครื่องจะโทรแจ้งดับเพลิง แล้วโทรแจ้งเจ้าของ

## การใช้งาน

กรณีต้องการ Program ให้กด Key O.K. แล้วตามด้วย code 100 ภายใน 10 วินาที ถ้ากด code ภายในเวลาที่กำหนด แล้วกดถูกต้อง เครื่องจึงจะ SHOW คำว่า " HELLO "

- การ Program memory
  1. กด Key mem.
  2. กด 1 กรณีเป็นเบอร์ที่จะให้ตามเจ้าของ
     กด 2 กรณีเป็นเบอร์ที่จะให้แจ้งตำรวจ
     กด 3 กรณีเป็นเบอร์ที่จะให้แจ้งดับเพลิง
     ขณะกดเลขทั้ง 3 ตัวเครื่องจะ SHOW หมายเลขที่เคย Program ก่อนหน้านั้น
  3. กรณีที่ยังไม่เคย program เมื่อกด Key mem แล้วก็กด 1 , 2 หรือ 3 คือเป็นการตั้งว่าจะให้เบอร์ที่จะ Program เป็นของใคร แล้วต้องมากด Key mem อีกครั้งหนึ่งก็สามารถป้อนเบอร์ที่จะ Program ลงได้
  4. กด Key O.K.

- การ Program mode
  1. กด Key mode (ขณะนั้นเครื่องจะ Show mode ที่เคยProgram ก่อนหน้านั้น)
  2. กด 1 กรณีต้องการให้บันทึกข้อความลงเทป
     กด 2 กรณีต้องการให้ตามเจ้าของ
  3. กด Key O.K.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- การดูเลขหมายที่ Program

1. กด Key mem
2. กด 1 กรณีเป็นเบอร์ที่ ให้ตามเจ้าของ

   กด 2 กรณีเป็นเบอร์ที่ให้แจ้งตำรวจ

   กด 3 กรณีเป็นเบอร์ที่ให้แจ้งดับเพลิง

   โดยกดเบอร์ใดเบอร์หนึ่งจะ show หมายเลขที่ต้องการทราบ
3. กด Key O.K.

- การดู mode ที่ Program

1. กด Key mode (จะ show mode ที่ต้องการทราบ)
2. กด Key O.K.

**กรณีออกนอกบ้าน**

ให้โยก S/W Enable system เพื่อให้วงจร Alarm ทำงานและเครื่องเตรียมพร้อมที่จะทำงาน โดยพร้อมที่จะค่อยรับสายที่จะเข้ามา

**หลักการเขียน soft ware**

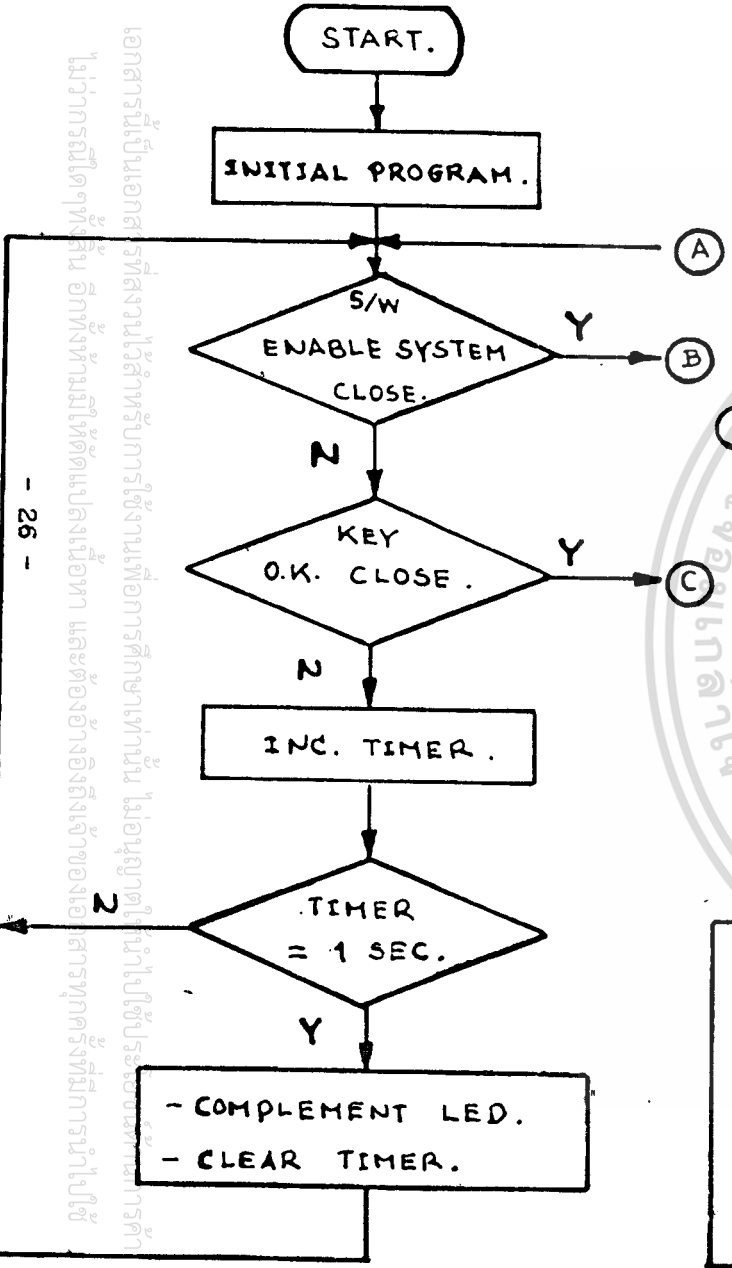
เริ่มต้นเมื่อเราจะให้ Program ทำงานเราต้องทำการ Initial Program ก่อนโดยการให้ mode แต่ละ mode ของ 8255 ว่าจะให้ทำงานกันอย่างไร เช่น เราสามารถกำหนดให้ 8255 ทำงานได้ทั้ง input และ output ก็ได้ขึ้นอยู่กับเราที่จะให้ทำงานอย่างไร เมื่อเรากำหนดให้แต่ละ port ของ 8255 ทำงานอย่างไรแล้วเราก็มาเขียน program ให้เครื่องทำงานตามที่เราต้องการต่อไป

**Flow chart 1**

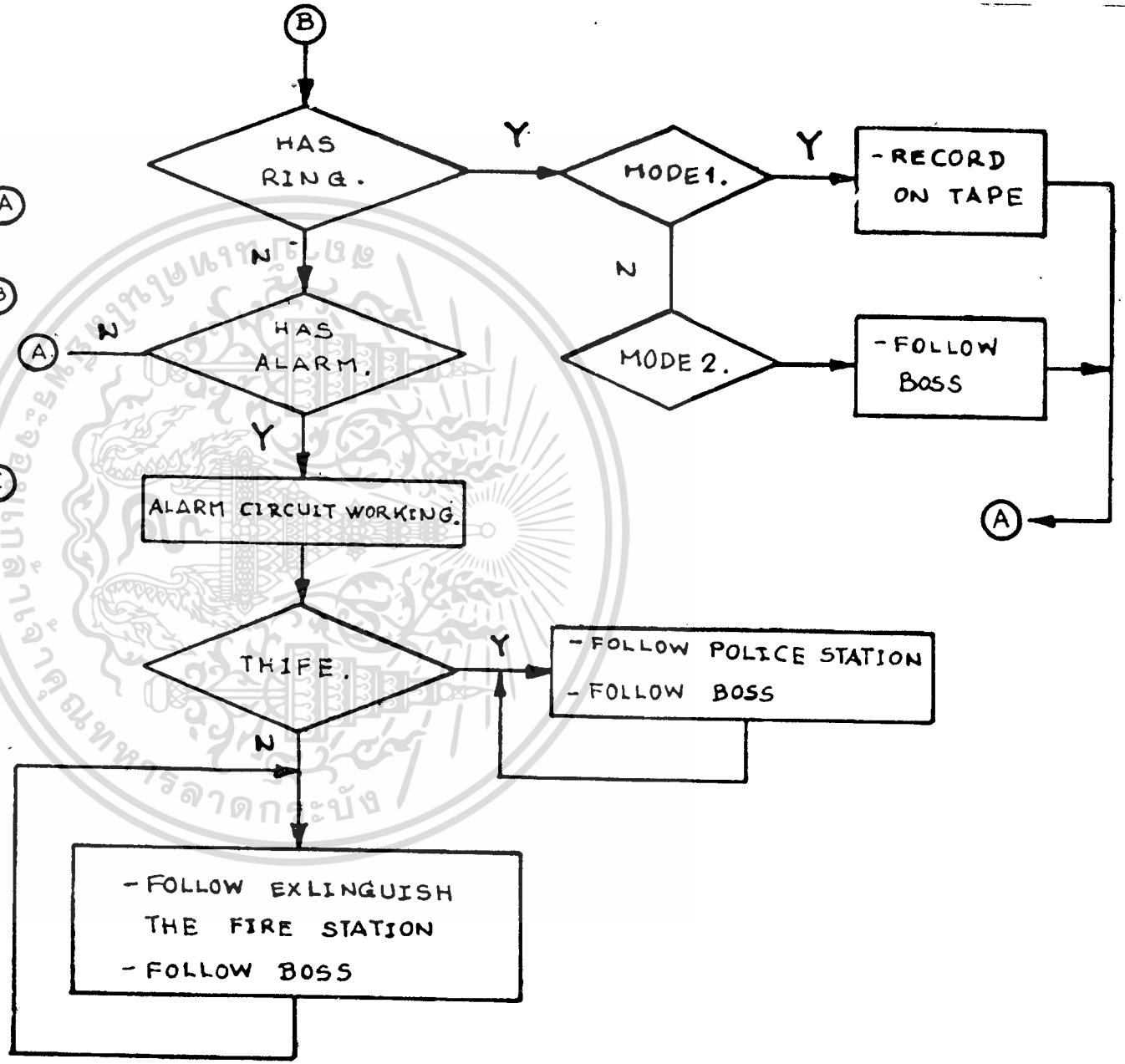
เมื่อเรากำหนดการทำงานของ port แต่ละ port ของ 8255 ทั้ง 2 ตัวแล้ว เมื่อเราเปิดเครื่องให้ทำงาน เครื่องต้องตรวจเช็คการทำงานตาม program ที่เราเขียนตาม Flow chart ดังนี้

เมื่อเราเปิดเครื่อง program จะต้องเช็คดูว่า ES (Enable System ) ปิดหรือเปิดถ้าปิดก็จะไปทำงานที่จุดต่อ B แสดงว่า เข้าสู่การทำการเช็คคู่สายโทรศัพท์นั่นเอง แต่ถ้า ES เปิดอยู่ ก็จะมาเช็คดูว่ามีการกด Key O.K. หรือเปล่า ถ้ามีก็จะไปต่อที่จุด C ถ้าไม่มีการกด Key O.K. ก็จะ

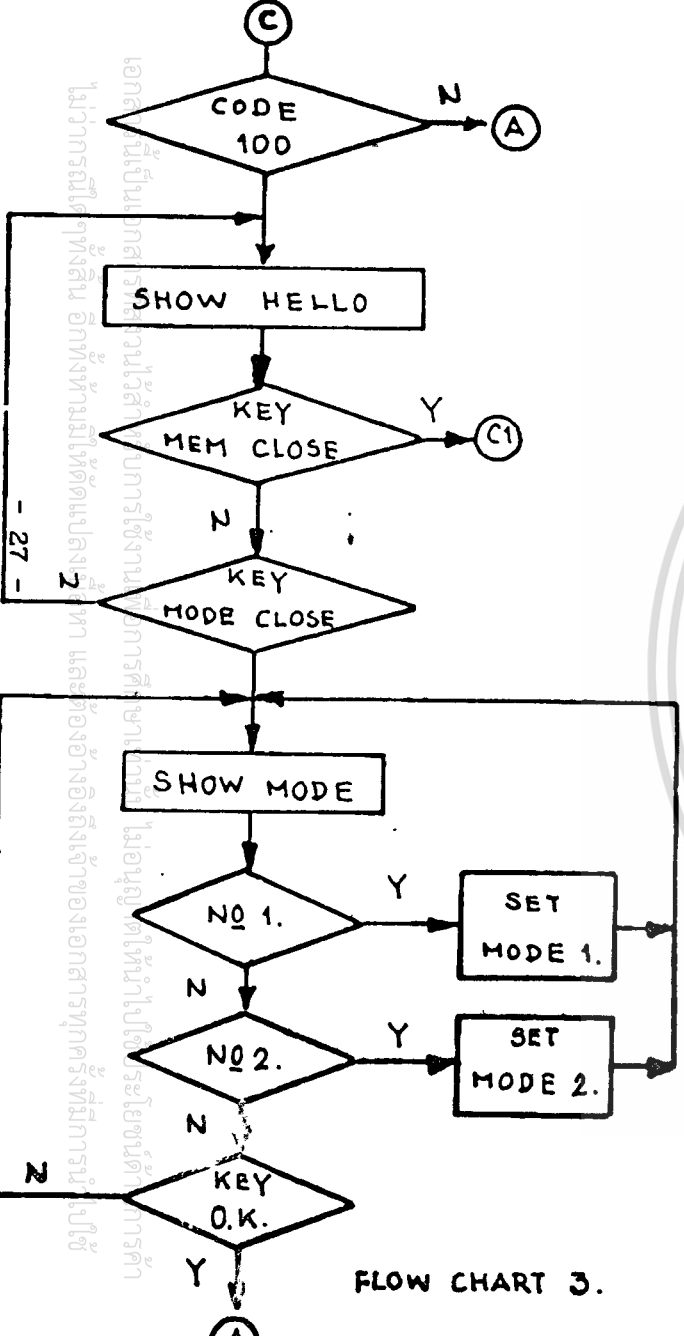
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



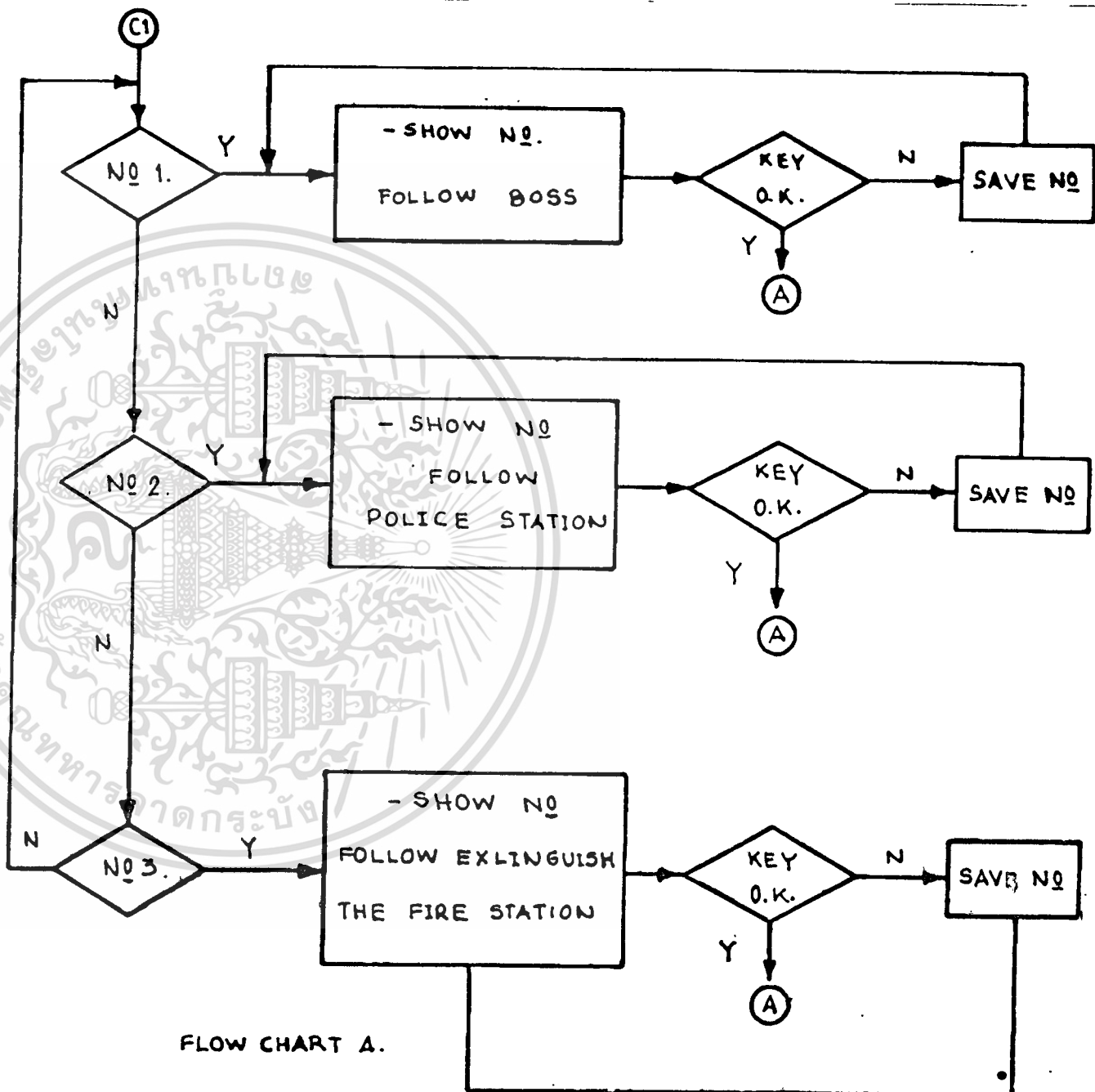

FLOW CHART 1.




FLOW CHART 2.




FLOW CHART 3.




FLOW CHART A.

ทำการเพิ่มเวลา แล้วเช็คดูว่ามีค่าเท่ากับ 1 sec หรือยังถ้ายังก็จะกลับไปที่จุด A แต่ถ้าเช็คว่าเวลาเท่ากับ 1 sec เมื่อไรก็จะทำการ Reset ให้เวลาเป็นศูนย์ใหม่แล้วก็เข้าลูปการเช็คตาม Flow chart 1 ต่อไปเรื่อย ๆ จนกว่าจะมีการกด ES ให้ปิด และมีการกด Key O.K.

**Flow chart 2**

เมื่อมีการกด ES ปิดลงเมื่อใด program ก็จะต่อไปที่จุด B เข้าสู่การเช็คคู่สายโทรศัพท์และถ้ามีคู่สายเข้ามา program ก็จะเช็คดูว่าเราตั้งให้เครื่องทำงานที่ mode ใดถ้าหากเรา set ไว้ที่ mode 1 ก็จะเป็นการบันทึกข้อความของผู้ที่จะติดต่อด้วยลงสู่ Tape แต่ถ้าไม่ได้ set ไว้ที่ mode 1 ก็จะเป็นการ set ไว้ที่ mode 2 โดยเครื่องจะติดต่อกับเจ้าของให้เมื่อมีสายเข้ามา เมื่อเสร็จธุระแล้วก็จะกลับไปที่จุด A เพื่อคอยเช็คคู่สายต่อไป

ขณะเดียวกันเมื่อ program มาทำงานที่จุด B แล้วแต่ยังไม่มีคู่สายเข้ามา ก็ยังมีการเช็คการทำงานของชุด ALARM อีก ถ้า program ตรวจเช็คได้ว่า ชุด ALARM ทำงานก็จะติดต่อตาม program ที่ตั้งไว้ เช่น ชุดขโมยทำงานก็จะต่อโทรศัพท์ไปหาสถานี ตำรวจ ที่ตั้งเบอร์ไว้ เมื่อโทรติดต่อกับสถานีตำรวจเสร็จแล้ว เครื่องก็จะติดต่อกับเจ้าของต่อไป แต่ถ้า program เช็คว่าระบบ ไฟ ทำงานก็จะทำการต่อไปหาสถานี ดับเพลิงที่เราตั้งไว้ เสร็จแล้วก็จะทำการติดต่อไปหาเจ้าของอีกทีหนึ่ง แต่ถ้าทั้งชุด ขโมย และ ชุด ไฟ ไม่ทำงาน เครื่องก็จะทำการเช็คคู่สายต่อไป ถ้าไม่มีสัญญาณเข้ามาก็จะทำการเช็คตาม Flow chart ต่อไป

**Flow chart 3**

จาก Flow chart 1 ถ้าไม่มีการ กด ES แต่มีการกด Key O.K. เครื่องก็จะกระโดดมาทำงานที่ Flow chart 3 คือที่จุด C ที่จุดนี้ขณะเริ่มแรกเครื่องจะรอ code ระหัส100 ก่อน ถ้ามีระหัส 100 เข้ามาตามเวลาที่กำหนด เครื่องจะแสดง HELLO ขึ้นที่ LED แต่ถ้าไม่มี code เข้ามาหรือเข้ามาแล้วกดผิดหรือกดช้าไปเครื่องก็จะกลับไปทำงานที่จุด A เพราะฉะนั้นจะผ่านจุดนี้ไปได้ต้องกด code 100 ให้ตรงและทันกับเวลาที่กำหนด เมื่อกดถูกจะแสดง HELLO ให้และถ้าเกิด HELLO แล้วถ้าเรากด Key MEM เครื่องจะไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ทำงานที่จุด C1 แต่ถ้าเรากด Key mode เครื่องก็จะแสดง mode ขึ้นที่ LED ถ้าเรากดหมายเลข 1 ก็จะเป็นการ set mode 1 โดยเป็นการรับทึกข้อความลงสู่เทป แต่ถ้าเรากดหมายเลข 2 ก็จะเป็นการ set mode 2 โดยจะเป็นการให้เครื่องทำการติดต่อไปหาเจ้าของ โดยเมื่อเราเลือกกดหมายเลข 1 หรือ 2 อย่างใดอย่างหนึ่งเราจะต้องกด Key O.K. ตามเพื่อเครื่องจะได้ set mode ให้ แต่ถ้าเราไม่กด Key O.K. เครื่องก็จะกลับไปแสดง mode ต่อไป mode ก็ยังไม่ได้ set แต่ถ้าเราเลือก mode และกด Key O.K. แล้ว เครื่องจะกลับไปที่จุด A ต่อไป จาก Flow chart ขณะนี้เครื่องแสดง HELLO แล้วถ้าเรายังไม่ได้กด Key mode และ Key mem เครื่องก็จะคอยรับ Key ต่อไปเรื่อย ๆ โดยแสดง HELLO นี้ตลอดไป

**Flow chart 4**

จาก Flow chart 3 เมื่อเรากด Key mem เครื่องจะมาทำที่จุด C1 ที่จุดนี้ เป็นการ program เบอร์โทรศัพท์ที่จะติดต่อไปหาสถานีตำรวจ สถานีดับเพลิงและตามเจ้าของ

ที่จุด C1 เมื่อเรากดหมายเลข 1 เครื่องจะ SHOW BOSS และเครื่องจะแสดงเบอร์ตามเจ้าเบอร์เก่า ถ้าเรากด Key O.K. ก็หมายความว่าเราไม่ต้องการเปลี่ยนเบอร์ เครื่องก็จะกลับไปที่จุด A แต่ถ้าเราไม่กด Key O.K. แต่เรากดหมายเลขเบอร์ลงไปมันจะเข้าไปแทนที่เบอร์เก่าเมื่อเรากดจนครบหมายเลขแล้วกด Key O.K. เครื่องก็จะทำการ SAVE เบอร์ใหม่ลงไปให้เรียบร้อย

ถ้าเรากดหมายเลข 2 เครื่องจะ SHOW POLICE โดยจะแสดงเบอร์สถานีตำรวจเบอร์เก่าที่เก็บอยู่ถ้าเรากด Key O.K. ก็หมายถึงเราไม่เปลี่ยนเบอร์ แต่ถ้าเราไม่กด Key O.K. แต่เรากดหมายเลขโทรศัพท์ลงไปเบอร์เก่าก็จะถูกลบ และเบอร์ใหม่ก็จะเข้าไปแทนที่ เมื่อกดจนครบหมายเลขแล้วจึงกด Key O.K. ตามจึงจะเป็นการเสร็จการเปลี่ยนเบอร์ เครื่องก็จะกลับไปที่จุด A

แต่ถ้าเรากดหมายเลข 3 เครื่องจะ SHOW FIRE และจะแสดงเบอร์สถานีดับเพลิง โดยแสดงเบอร์เก่าที่เก็บอยู่แต่ถ้าจะเปลี่ยนเราก็กดเบอร์ใหม่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

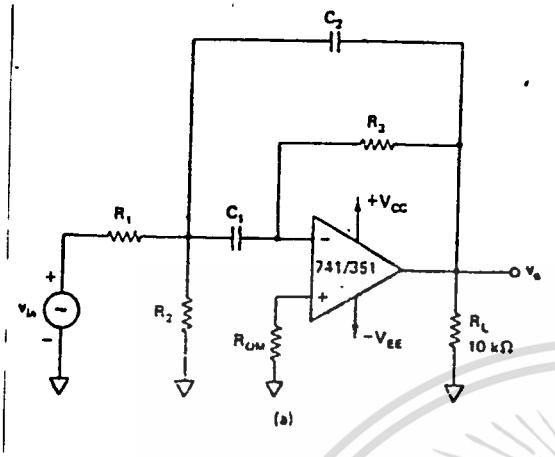
ลงไปได้เลย จนครบหมายเลข แล้วเราก็กด Key O.K. เบอร์ใหม่ก็จะไปเก็บทับเบอร์เก่า เครื่องก็จะกลับไปที่จุด A

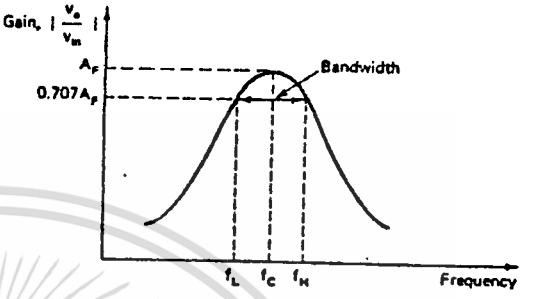
แต่ถ้าเรากด Key mem แต่เรายังไม่ได้กดหมายเลข 1,2,3 หรือกดแต่หมายเลขอื่นเครื่องก็จะคอยรับหมายเลข 1,2,3 อยู่เช่นนี้ไปเรื่อย ๆ จนกว่าจะมีการกด Key หมายเลข 1,2,3 เพื่อ program ใน mode memory ต่อไป



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## วงจร bandpass filter




รูป ก bandpass filter  รูป ข ผลของความถี่

รูปที่ 1 วงจร

การคำนวณ

R1 = $Q/2\pi f_c CAF$

R2 = $Q/2\pi f_c C\ (2Q^2 - AF)$

R3 = $Q/\pi f_c C$

AF = R3/2R1

Q = $f_c / BW$

เงื่อนไข AF < $2Q^2$

จากวงจร เมื่อเราไม่ต้องการ gain เราจะได้ AF = 1

กำหนดให้ Q = 2.6  center ferquency = 400 $H_z$

ให้ C1 = C2 = C  กำหนดให้ C = 0.022 uf

R1 = $2.6/2\pi * 400 * 0.022 * 10^{-6} * 1$

= 47023

ให้ R1 = 47 K

R2 = $2.6/2\pi * 400 * 0.022 * 10^{-6}\ [2(2.6)^2 - 1]$

= 3755

ให้ R2 = 3.3 K + 820  (เผื่อไว้ปรับให้ได้ $f_c$ ที่ดีที่สุด)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

R3 = 2.6/$\pi$ * 400 * 0.022 * $10^{-6}$

= 94046

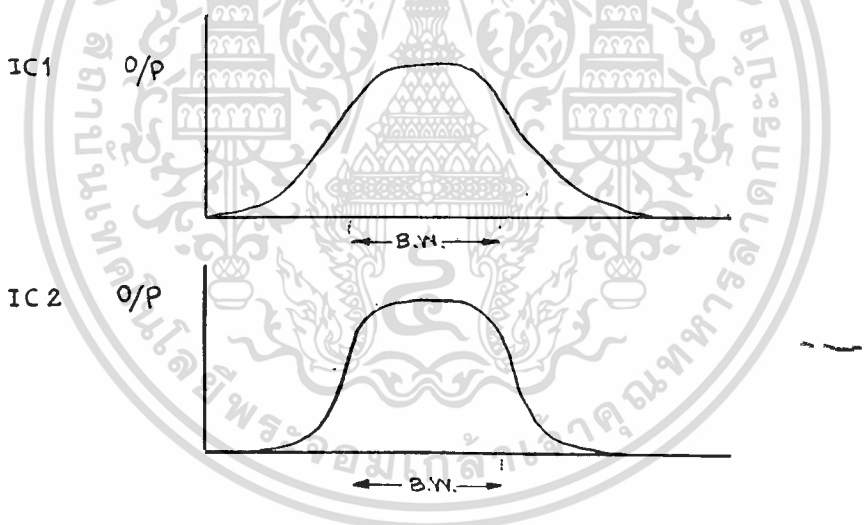
ให้ R3 = 100 K

จาก BW = $f_c$/Q

จะได้ BW = 400/2.6

= 153.84

เมื่อได้ค่า R1,R2,R3 และ C1,C2 แล้วก็นำไปทำการทดลองต่อวงจรดู ปรากฏว่าวงจรให้ Amplitude สูงสุดที่ประมาณ 400 $H_z$ เท่ากับที่เราออกแบบ โดยที่ความถี่ที่สูงกว่าหรือต่ำกว่า 400 $H_z$ นี้ จะมี Amplitude ที่ต่ำลดลงมาตามความถี่ที่ป้อนเข้ามา จะเห็นได้จากรูป




**รูปที่ 2 ผลของความถี่ที่ได้**

จากรูปจะเห็นว่าที่ความถี่ต่ำ ๆ Amplitude จะน้อยแต่เมื่อเพิ่มความถี่ขึ้นไปเรื่อย ๆ จนถึงจุด ๆ หนึ่งที่มี Amplitude สูงที่สุด เมื่ออ่านความถี่ที่อินพุทดูปรากฏว่าได้ประมาณ 400 Hz ขณะเดียวกันเราเพิ่มความถี่ขึ้นไปอีกจะเห็นว่า Amplitude ลดค่าลง และเมื่อเพิ่มไปอีกก็ยิ่งลดลง เราจึงสรุปได้ว่า วงจร bandpass filter จะให้ Amplitude สูงสุดที่ความถี่ center frequency หรือความถี่ที่ 400 Hz นั่นเอง โดยจะตอบสนองที่จุดนี้ ช่วงความถี่อื่นจะไม่มีผล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

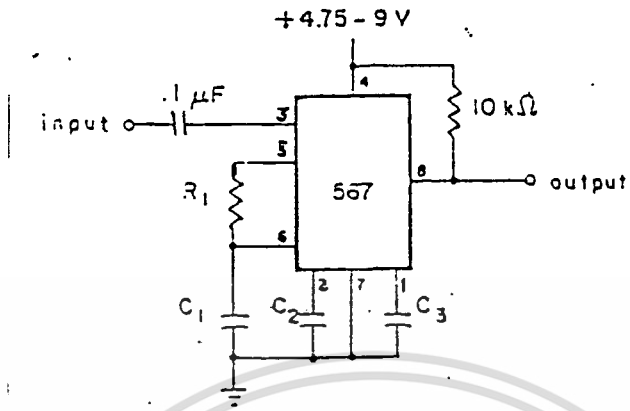
จะเห็นว่าเมื่อเราใช้ op-amp เพียงตัวเราจะได้ช่วง slope กว้างมาก เราจึงเพิ่ม op-amp เข้าไปอีกตัวต่อวงจรเหมือนกันค่าเท่ากัน เพื่อให้ค่า slope ดีขึ้น แต่ค่าของ BW เท่าเดิมและความถี่คัฟออฟเท่าเดิม

การใช้ op-amp 2 ตัวนี้เพื่อให้วงจรตอบสนองที่ความถี่ 400 Hz ได้ดีขึ้น โดยวงจรจะทำให้ผลที่ได้ทาง output มีความถี่ที่ได้ใกล้เคียงกับความที่ center frequency มากยิ่งขึ้น



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**วงจร phase lock loop (PLL)**




เมื่อเราออกแบบ วงจร bandpass filter เรียบร้อยแล้วต่อไป เราก็มาออกแบบ วงจร phase lock loop เพื่อทำการควบคุมอีกครั้งหนึ่งก่อนที่จะไปต่อกับ port เพื่อให้ CPU เช็คสัญญาณต่อไป

หลักการออกแบบ

$fo = 1.1/C1R1$

$C2 = V1/fo\ (1070/BW)^2$

กำหนดให้

$fo = 400$ Hz

$V1 = 100$ mV rms

$BW = 12$ เปอร์เซนต์

กำหนดให้

$C1 = 0.1$ u

เพราะฉะนั้นจะได้

$fo = 1.1\ /C1R1$

$R1 = 1.1\ /foC1$

$R1 = 1.1\ /400 * 0.1 * 10^{-6}$

$= 27.5$ K

จะใช้ $R1 = 22K + 5K$ (เพื่อไว้ปรับความถี่)

$C2 = 100 * 10^{-9}/400\ (1070/12)^2$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

= 1.98 uf

จะใช้ C2 = 2.2 uf

C3 = 2C2

จะได้ C3 = 2 * 1.98 uf

= 3.96 uf

จะใช้ C3 = 3.3 uf

เมื่อได้ค่า R1,C1,C2,C3 แล้วก็นำไปต่อวงจร ป้อนความถี่ต่ำ ๆ เข้าที่ inputของ PLL จะทำให้ output เป็น high แต่เมื่อเพิ่มความถี่เข้าไปเรื่อย ๆ จน output เปลี่ยนจาก high ไปเป็น low แล้ววัดความถี่ที่ input ดูได้ความถี่ประมาณเกือบ 400 Hz ขณะเดียวกันเพิ่มความถี่เข้าไปอีก และทำให้ output เปลี่ยนจาก low ไปเป็น high วัดความถี่ดูได้ความถี่มากกว่าความถี่ 400 Hz ไม่มากนัก

ในทางกลับกันตั้งความถี่ให้ Input มาก ๆ จะเห็นว่าที่ Output เป็น high เมื่อลดความถี่ไปเรื่อย ๆ จะเห็นว่า Output เปลี่ยนจาก high เป็น low วัดความถี่ได้ประมาณ 400 Hz กว่า เมื่อลดความถี่ลงไปอีกพบว่า Output เปลี่ยนจาก low เป็น high วัดความถี่ดูได้ค่าประมาณ 400 Hz

จึงสรุปได้ว่า วงจรจะตอบสนองที่ความถี่ 400 Hz หรือความถี่ที่จุด center frequency เราจึงนำวงจร PLL ไปควบคุมวงจร bandpass filter

ช่วงที่เราป้อนความถี่จากน้อยไปมากจนทำให้ Output เปลี่ยนจาก high เป็น low ให้เป็น F1 เมื่อเพิ่มไปอีกทำให้เปลี่ยน low เป็น high ให้เป็น F2

ช่วงที่เราป้อนความถี่จากมากไปน้อยจนทำให้ Output เปลี่ยนจาก high เป็น low ให้เป็น F3 เมื่อลดความถี่ไปอีกทำให้เปลี่ยน low เป็น high ให้เป็น F4

loop lock range = F2 - F4

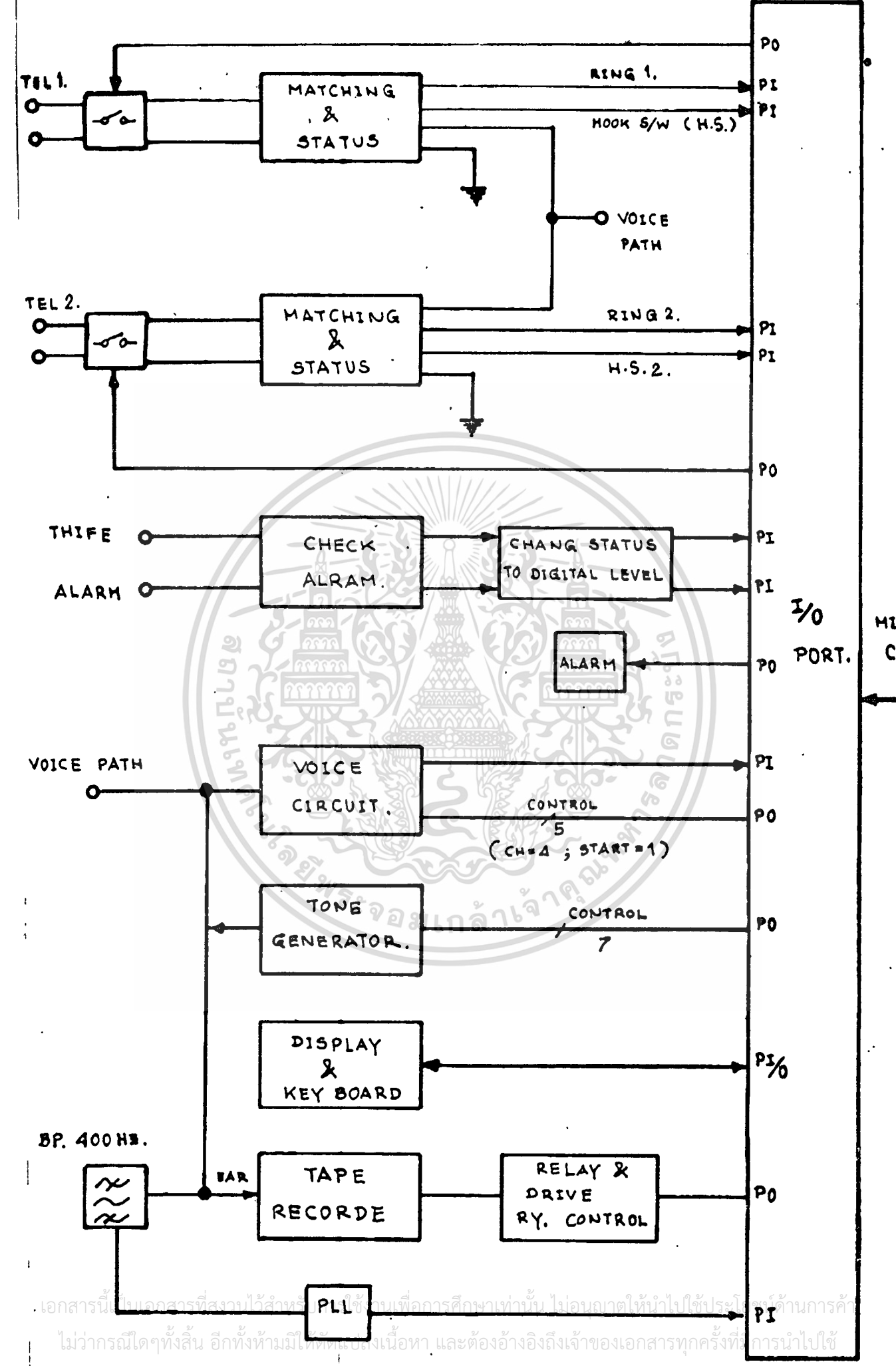
loop capture range = F3 - F1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจร Hardware

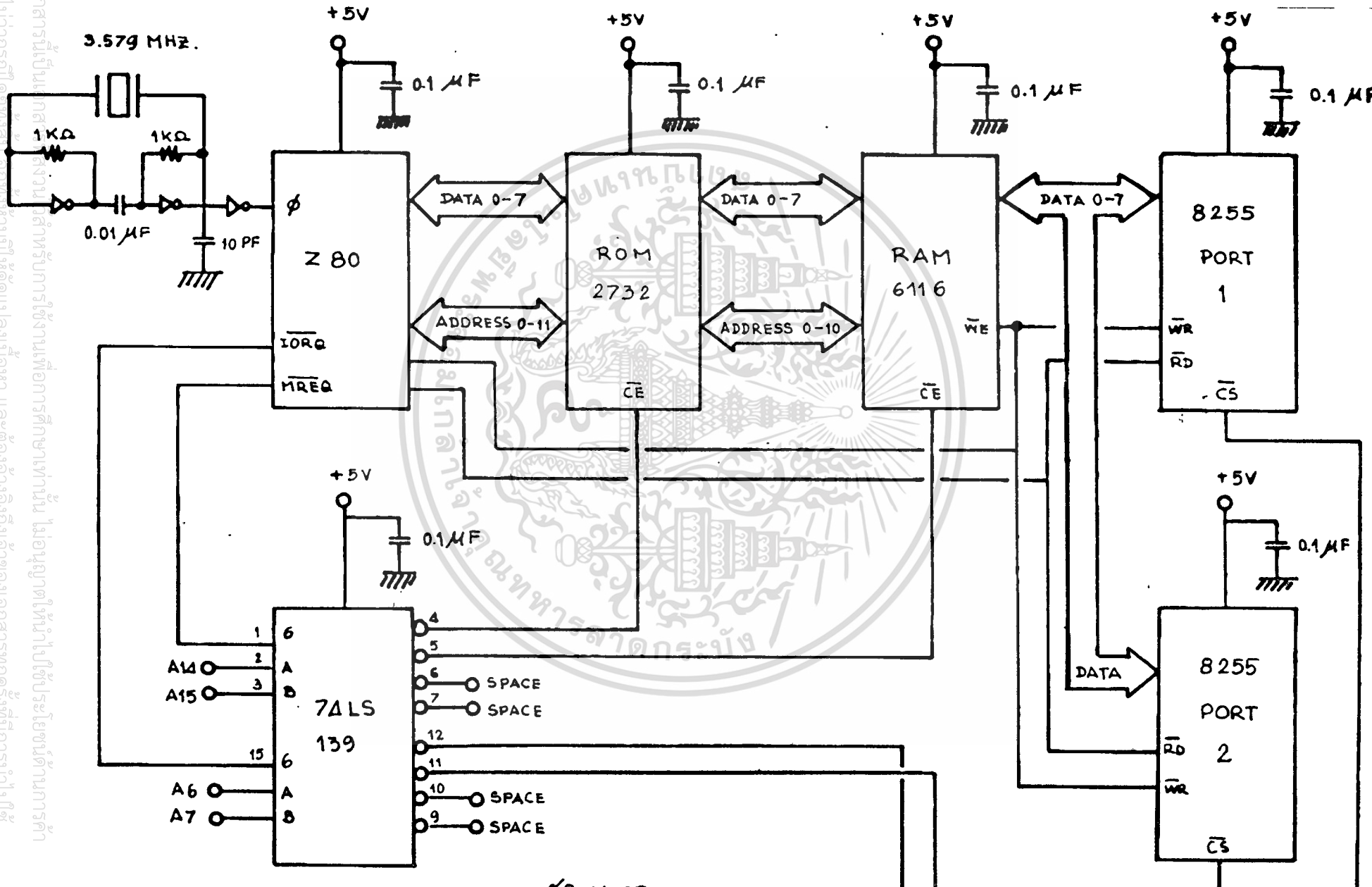


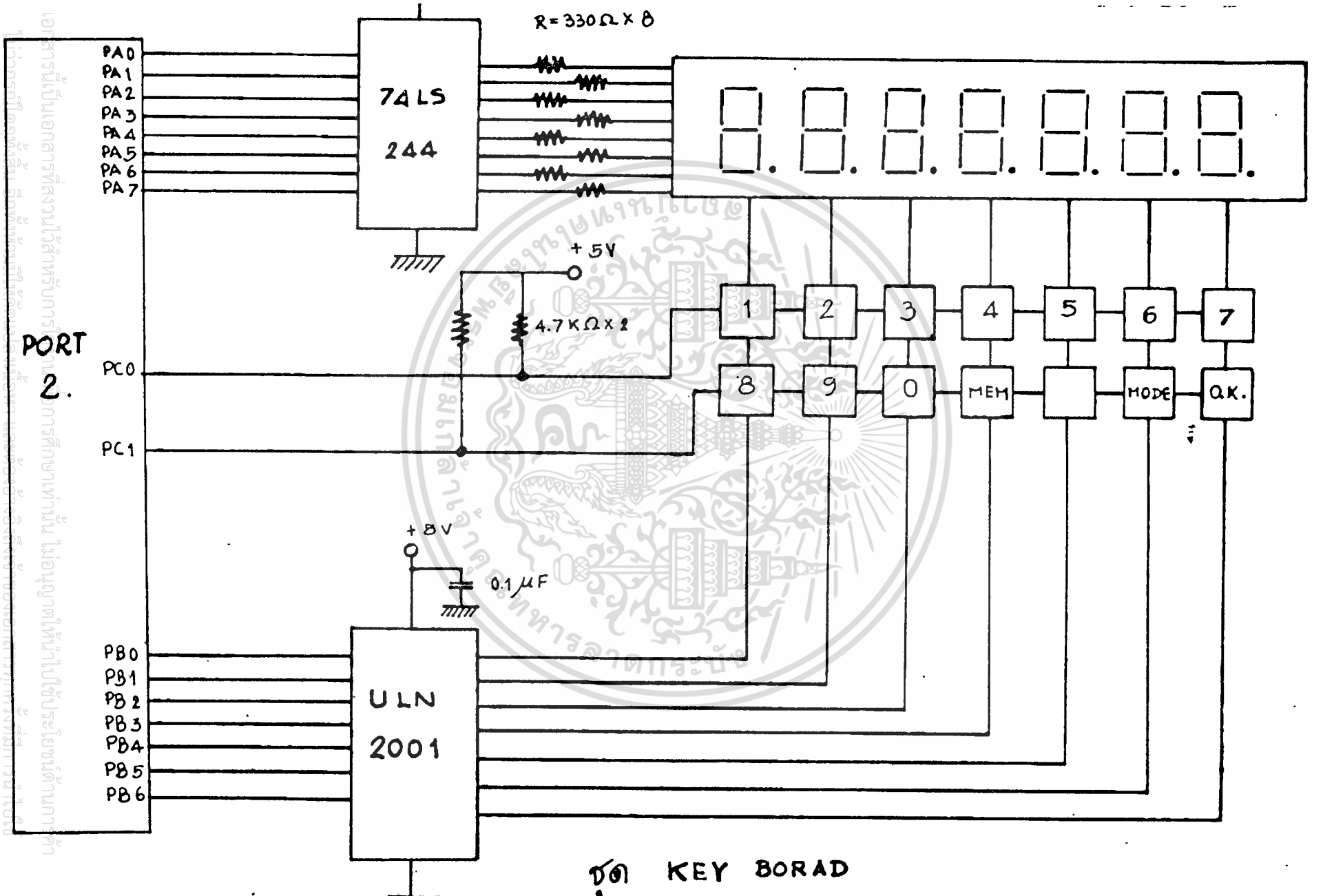
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



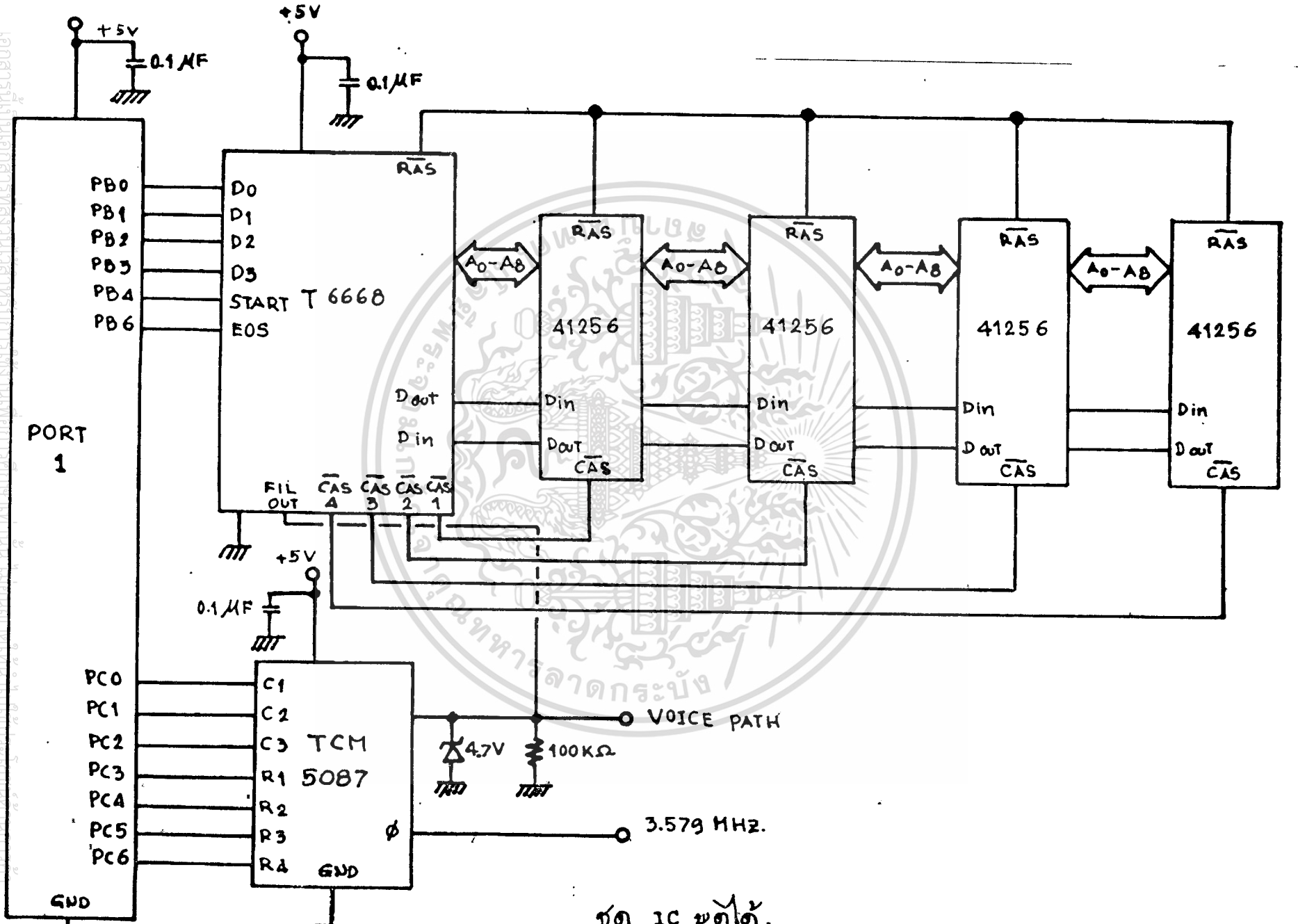

HONEST SENTRY.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

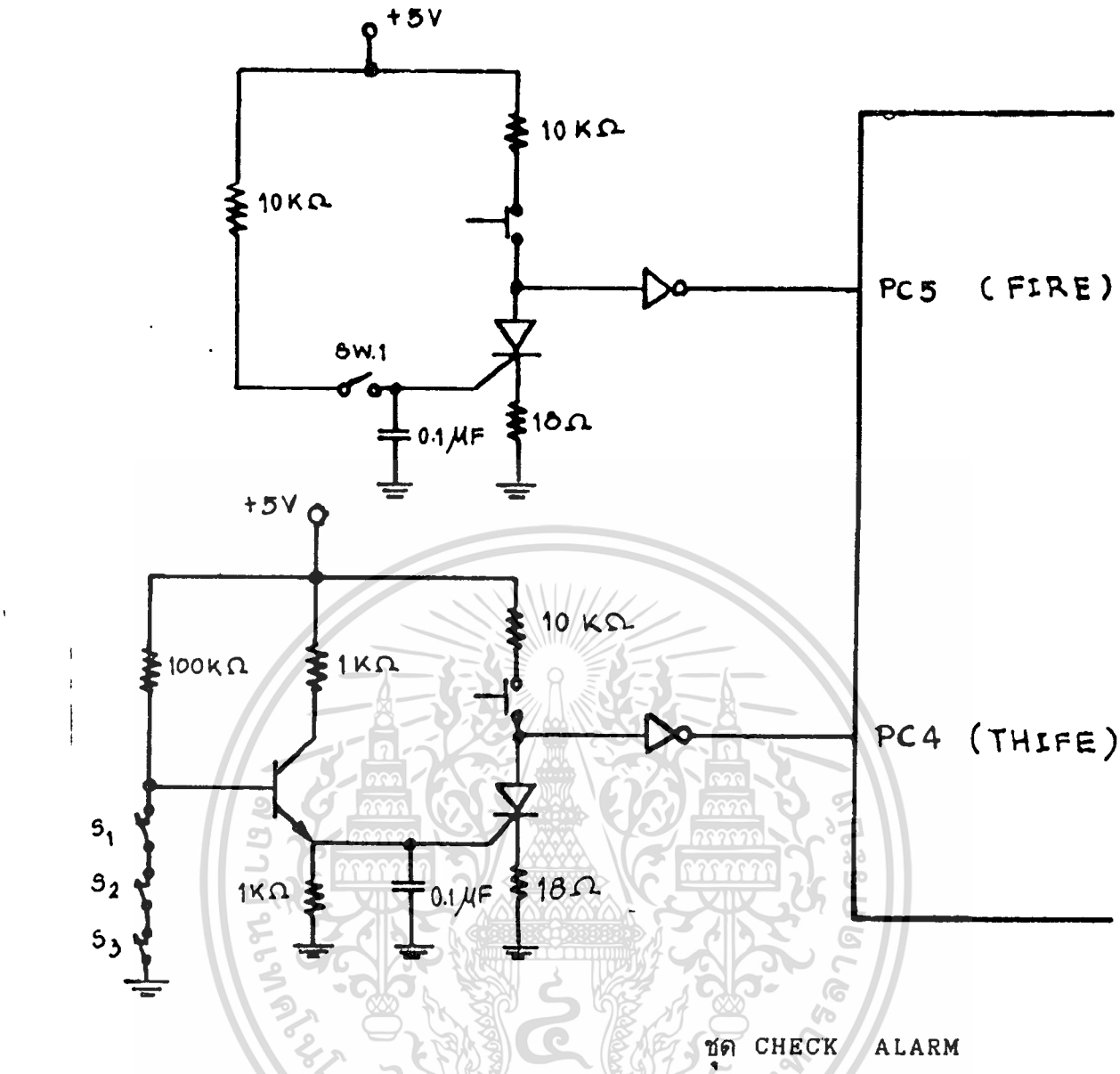

3.579 MHZ.
+5V
0.1 μF
1KΩ
1KΩ
0.01 μF
10 PF
Z 80
ϕ
IORQ
MREQ
DATA 0-7
ADDRESS 0-11
ROM
2732
CE
ADDRESS 0-10
RAM
6116
WE
8255
PORT
1
WR
RD
CS
74LS
139
A14
A15
A6
A7
SPACE
DATA
2


R = 330Ω X 8
PA0
PA1
PA2
PA3
PA4
PA5
PA6
PA7
74LS
244
+5V
4.7KΩX2
PORT
2.
PC0
PC1
1
2
3
4
5
6
7
8
9
0
MEM
MODE
O.K.
+8V
0.1μF
PB0
PB1
PB2
PB3
PB4
PB5
PB6
ULN
2001

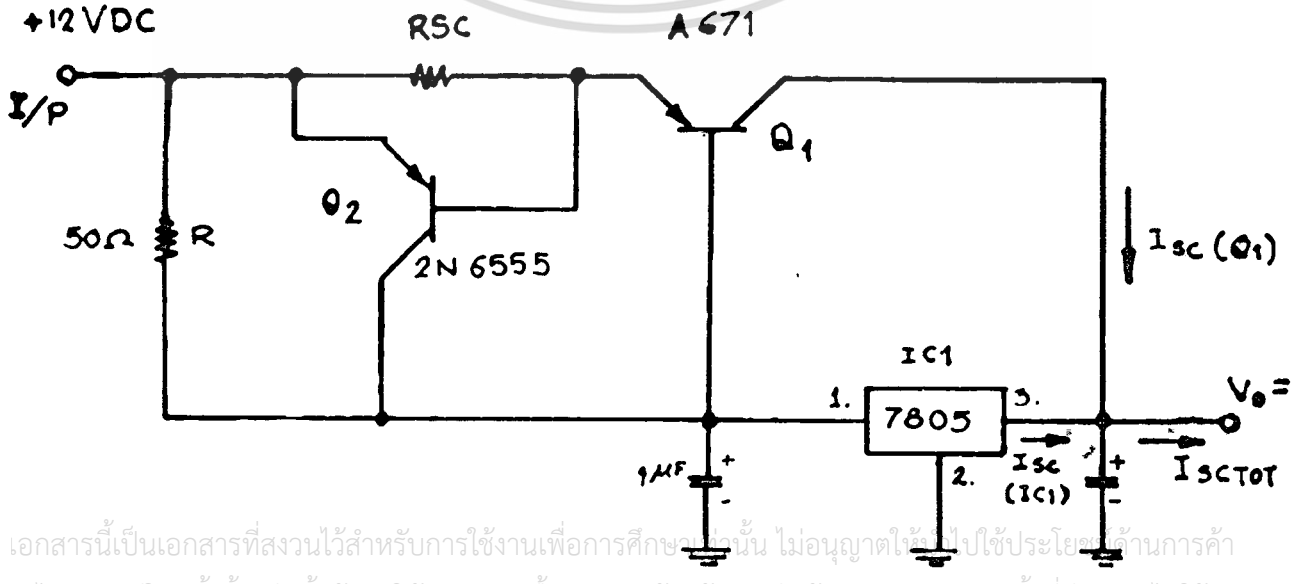
รูป KEY BORAD


+5V
0.1 μF
+5V
0.1 μF
PB0
PB1
PB2
PB3
PB4
PB6
PORT
1
GND
D0
D1
D2
D3
START T 6668
EOS
RAS
Dout
Din
FIL OUT
CAS 4
CAS 3
CAS 2
CAS 1
A0-A8
41256
Din
Dout
CAS
+5V
0.1 μF
PC0
PC1
PC2
PC3
PC4
PC5
PC6
C1
C2
C3 TCM
R1 5087
R2
R3
R4
GND
φ
4.7V
100KΩ
VOICE PATH
3.579 MHz.

ชุด IC ที่ใช้.

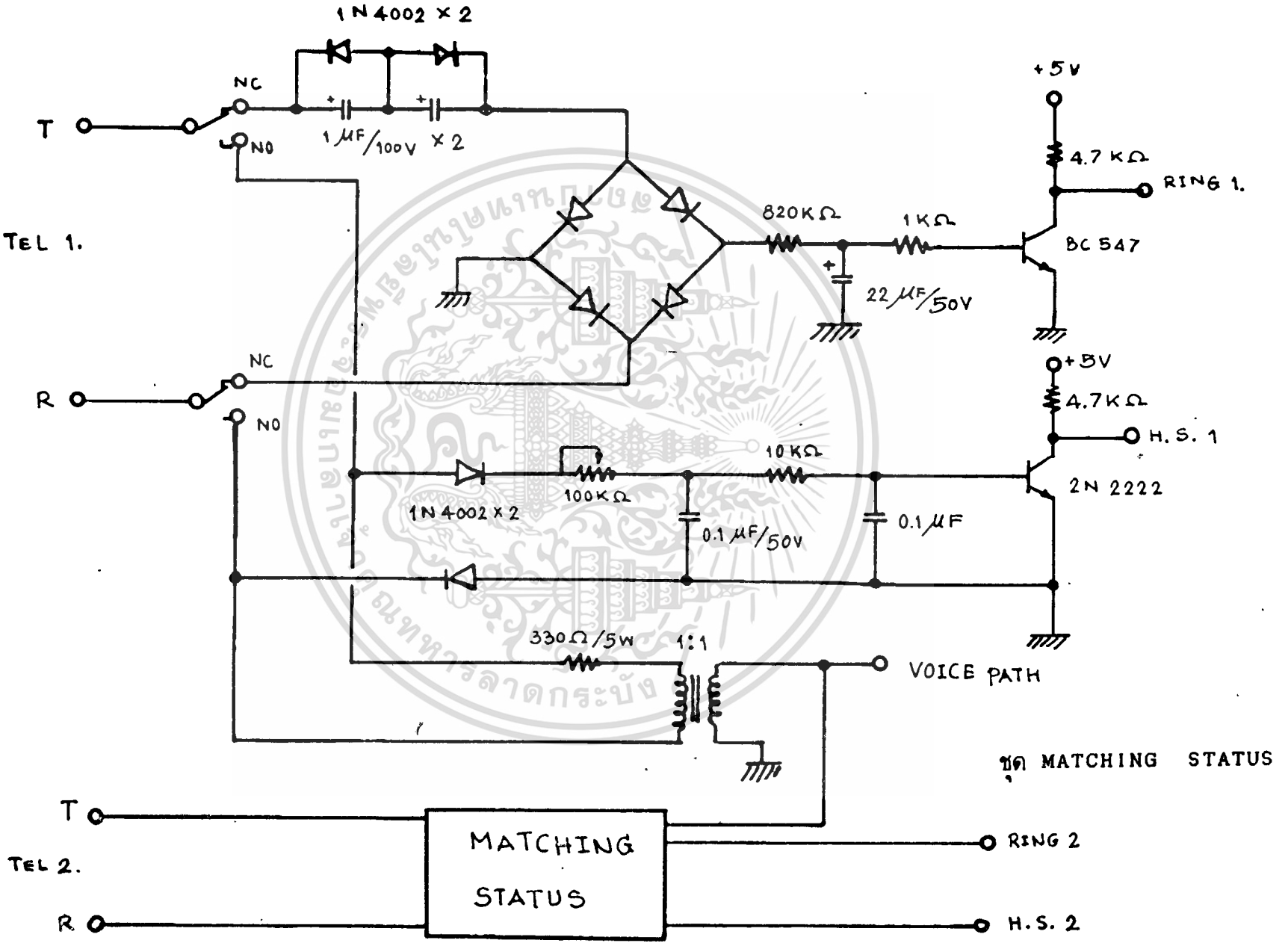


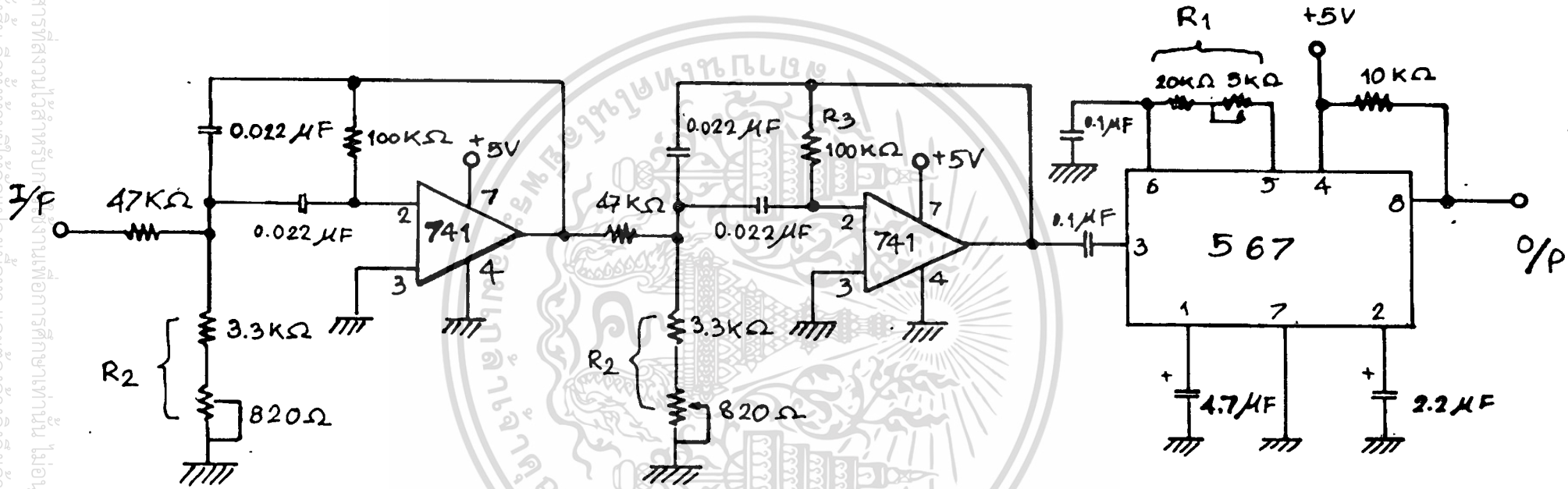

ชุด CHECK ALARM



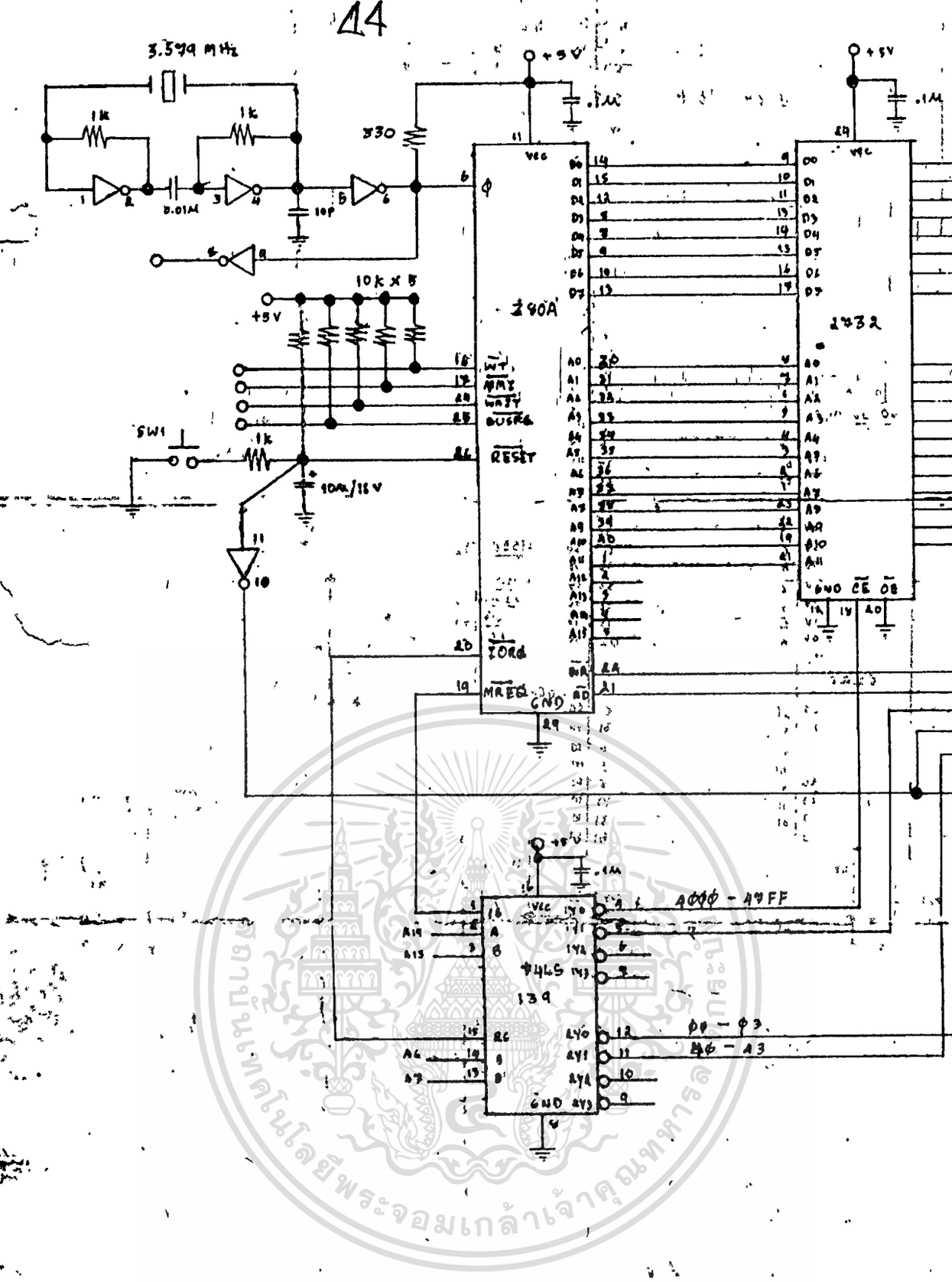

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

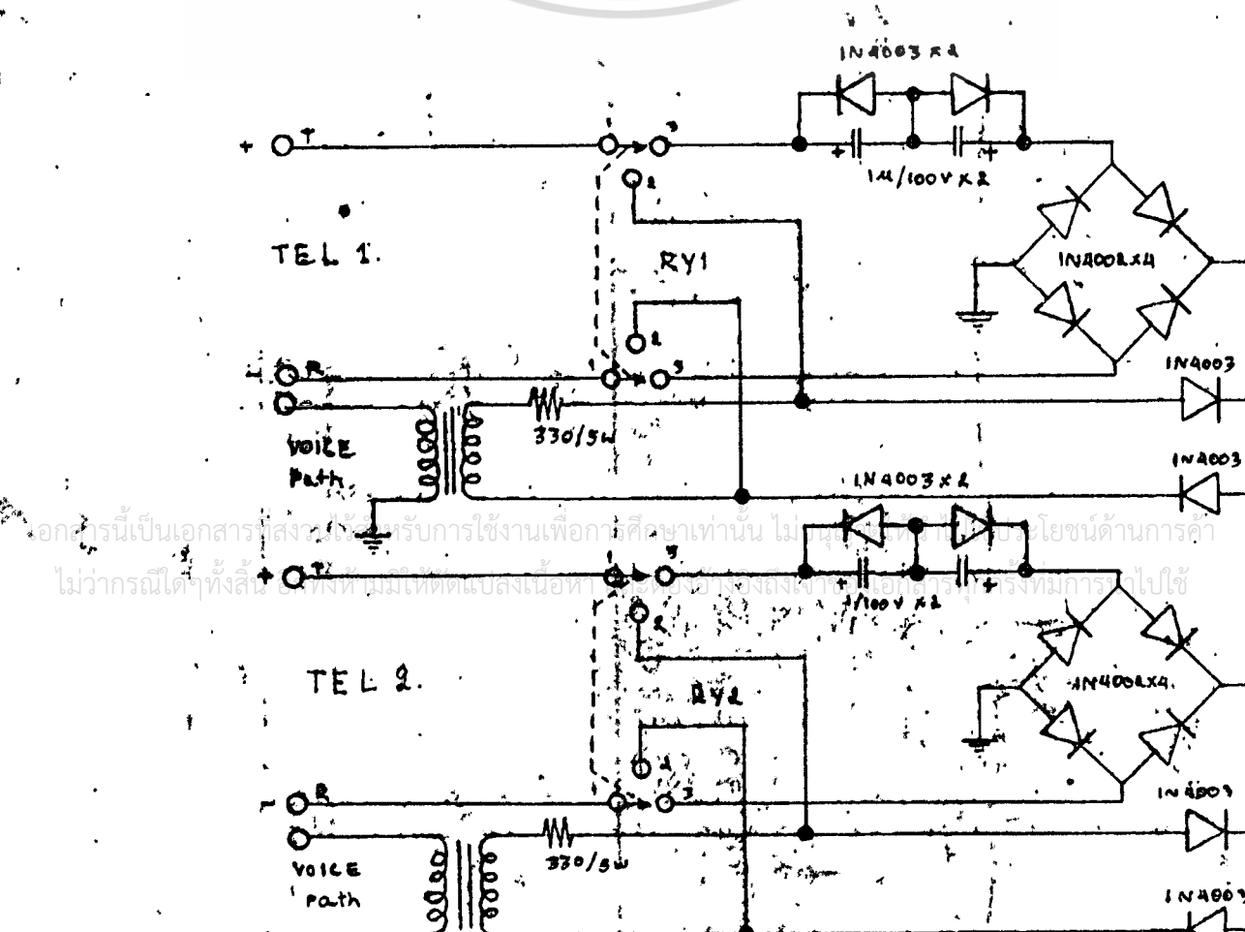
ชุด POWER SUPPLY


1N4002 x 2
NC
T
NO
1 μF/100V x 2
TEL 1.
820KΩ
1KΩ
+5V
4.7 KΩ
RING 1.
BC 547
22 μF/50V
NC
R
NO
+5V
4.7KΩ
H.S. 1
10KΩ
100KΩ
1N4002 x 2
2N 2222
0.1 μF/50V
0.1 μF
330Ω/5W
1:1
VOICE PATH
รูป MATCHING STATUS
T
TEL 2.
R
MATCHING
STATUS
RING 2
H.S. 2


I/F
47KΩ
0.022 μF
100KΩ
+5V
0.022 μF
741
2
3
7
4
3.3KΩ
R2
820Ω
47KΩ
0.022 μF
R3
100KΩ
+5V
741
3.3KΩ
R2
820Ω
R1
20KΩ 5KΩ
10 KΩ
+5V
0.1 μF
0.1 μF
567
6
5
4
8
3
1
7
2
4.7 μF
2.2 μF
O/P

ชุด เช็คสัญญาณ




เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น ไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# บทที่ 4

## การใช้งานของเครื่อง HONEST SENTRY

เมื่อเริ่มเปิดเครื่องอันดับแรก จะต้องทำการโปรแกรม voice เสียก่อน โดยมี 5 ช่อง ที่จะอัดได้ คือ F , 0 ,1 , 2 , 3 เช่น

ช่อง F อัดคำพูด " นี่เป็นเครื่องตอบรับอัตโนมัติ ขณะนี้เจ้าของบ้านไม่อยู่ "

ช่อง 0 อัดคำพูด " ได้เกิดเพลิงไหม้ ขอให้ตำรวจดับเพลิงมาด่วน "

ช่อง 1 อัดคำพูด " ได้มีขโมยเข้าบ้าน ขอให้ตำรวจมาด่วน "

ช่อง 2 อัดคำพูด " ขอให้คุณบอกชื่อเบอร์โทรศัพท์ ที่จะให้ติดต่อหลังจากได้ยินเสียงเตือนดังขึ้น "

ช่อง 3 อัดคำพูด " กรุณาถือสายรอสักครู่เพื่อเราจะโทรตามเจ้าของบ้านให้ "

คำพูดแต่ละช่องสามารถเปลี่ยนแปลงได้ ที่แสดงไว้เป็นแต่เพียงตัวอย่าง การ select แต่ละช่องก็ใช้ปรับ select ไปตามช่อง เช่น ถ้าจะอัดช่อง F ก็ต้อง select ไปที่ช่อง F และถึงจะอัดคำพูดได้

RESET START STOP REC

เช่นจะอัดคำพูด ช่อง F ก็จะ select มาที่ช่อง F ก่อน แล้วกดปุ่ม START กับ ปุ่ม REC พร้อมกันไฟที่ LED VOICE จะดับเป็นการบอกให้เรารู้ว่าให้อัดคำพดลงไปได้ และพูดเสร็จก็กด STOP เป็นอันเสร็จการอัดช่อง F เสร็จ และกรณีที่จะอัดจะต้องกด SWITCH ตัดสายลำโพงด้วย ถ้าไม่ตัดจะทำให้เวลาอัดมีเสียงรบกวนเกิดขึ้น ถ้าต้องการจะ TEST คำพูดก็กด START VOICE ก็จุมีเสียงออกมาเหมือนที่เราอัดเข้าไป สังเกตดูได้ LED VOIEC จะดับเมื่อเครื่องพูดออกมาและจะดับตอนที่อัดด้วย แต่ถ้าเราไม่ได้อัด LED VOICE จะติดตลอดเวลา ถ้าจะอัดช่องอื่น ก็ SELECT ไปตามช่องแล้วทำเหมือนตามที่กล่าวมาแล้ว ส่วน RESET จะเป็นการ RESET CPU ของช่อง VOICE เมื่อเราโปรแกรม ครบทั้ง 5 ช่องแล้วก็เป็นการอัดเสร็จกระบวนการชุด โปรแกรม VOICE

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# บทที่ 5

## บทสรุป

การทำวิทยานิพนธ์เรื่องนี้พวกเราในกลุ่มได้ช่วยกันออกแบบกันเองจึงทำให้เครื่องที่ทำออกมามีขนาดใหญ่เนื่องจากต้องทดลองทำเป็นบล็อก ๆ จึงทำให้รูปร่างของวิทยานิพนธ์มีขนาดใหญ่ แต่ถ้าหากนำต้นแบบไปทำอีกก็สามารถทำให้เล็กลงได้ เนื่องจากเราไม่ต้องทำเป็นบล็อกอีกแล้วเราสามารถทำให้อยู่ในแผ่นปริ้นซ์เดียวกันได้ทำให้เครื่องที่ได้มีขนาดเล็กลง ส่วนปัญหาในการสร้างก็มีปัญหาเล็ก ๆ น้อย มากมายที่เกิดขึ้นแต่เราจะยกตัวอย่างแต่ปัญหาที่น่าสนใจเท่านั้น

ตอนที่เราออกแบบในเบรดบอร์ด แล้วใช้งานได้แต่พอเรานำไปลงในปริ้นซ์กลับไม่ทำงาน จึงทำให้ต้องแก้ไขวงจรกันทำให้เสียเวลาเป็นอันมาก อีกอย่างหนึ่งตอนที่เราออกแบบวงจรแบบ 2 หน้าหรือที่เรียกว่า แบบเพลททรูโฮล โดยใช้โปรแกรม smart work นำไปให้ทางร้านทำ พอทำเสร็จเราก็นำมาใส่อุปกรณ์ เสร็จเราก็นำมาทดลองแต่ปรากฏว่า รูโฮลของขาอุปกรณ์ที่สั่งทำขาทางด้านบนกับด้านล่างไม่ต่อกันทำให้เราเสียเวลาในการหาว่าทำไมเครื่องจึงไม่ทำงาน ฉะนั้นเวลาที่เราได้แผ่นมาจากร้านควรจะตรวจเช็คดูว่ารูแต่ละรูต่อถึงกันหรือไม่เพื่อจะได้ไม่เสียเวลาตรวจเช็คอีก

อีกอย่างหนึ่งตอนเราออกแบบวงจร band pass filter เราใช้ IC 741 ออกแบบ โดยไอซี 741 นี้จะใช้ไฟบวก ลบ กราวด์เราออกแบบก็สามารถทำงานได้ แต่พอเราออกแบบใหม่ให้ใช้ไฟ บวก กราวด์ เราออกแบบในเบรดบอร์ด ก็ทำงานได้ถึงแม้จะใช้ไฟ บวก กราวด์ ก็ตาม แต่พอเรานำไปประกอบลงในแผ่นปริ้นซ์กลับไม่ทำงาน ต้องจ่ายไฟ บวก ลบ กราวด์ ให้มันเหตุผลที่เราใช้ไฟ บวก กราวด์ เนื่องมาจากจะได้ใช้ไฟที่มีอยู่ได้เลยไม่ต้องไปสร้างไฟลบให้มัน และเหตุผลที่ใช้ไฟ บวก กราวด์ แล้วไม่ได้ผลตามต้องการเมื่อเอาสโคปจับปรากฏว่า สัญญาณที่ได้ที่เอาท์พุทไม่มีเสถียรภาพ คล้ายกับมันไม่ครบวงจรทำให้สัญญาณได้ผิดไปจากที่เราใช้ไฟ บวก ลบ กราวด์

แต่อย่างไรก็ดีวิทยานิพนธ์นี้ก็ประสบความสำเร็จลงได้ด้วยดี ก็เนื่องมาจากการได้รับคำปรึกษาและแนะนำจากอาจารย์ ผศ.ดร. กนก เจนจิระพงศ์เวช และ อาจารย์ ชวลิต เบญจางคประเสริฐ และเพื่อน ๆ ทุกคนที่ช่วยให้คำแนะนำ จนทำให้วิทยานิพนธ์ชุดนี้สำเร็จออกมาเป็นรูปได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# ภาคผนวก



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

program การทำงานของเครื่อง

```
        .Z80
        ASEG

        ORG     0000H
        LD      SP,47FFH
        CALL    DY1s
        CALL    INIT
MAIN:   LD      HL,4000H
        LD      B,7
        XOR     A
MAIN1:  LD      (HL),A
        INC     HL
        DJNZ    MAIN1
MAIN2:  IN      A,(0H)          ;S/W ENSYS.
        BIT     7,A
        JP      Z,EN
        CALL    SCAN
        CP      0EH             ;K.OK.
        JP      Z,PRG
        LD      A,(4009H)
        AND     80H
        OUT     (1),A
        LD      HL,4008H        ;TIMER.
        INC     (HL)
        LD      A,(HL)
        CP      140             ;1 SEC
        JR      NZ,MAIN2
        LD      (HL),0          ;CLEAR TIMER.
        INC     HL              ;CPL LED
        LD      A,(HL)
        BIT     7,A
        JP      NZ,MN1
        SET     7,A
MN:     LD      (HL),A
        OUT     (1),A
        JP      MAIN
MN1:    RES     7,A
        JP      MN
PRG:    CALL    SCAN
        CP      0FFH
        JR      Z,PRG
        CP      1
        JP      NZ,MAIN
PRG1:   CALL    SCAN
        CP      0FFH
        JR      Z,PRG1
        CP      0AH
        JP      NZ,MAIN
PRG2:   CALL    SCAN
        CP      0FFH
        JR      Z,PRG2
        CP      0AH
        JP      NZ,MAIN
        LD      A,(4009H)
        OR      20H
        OUT     (1),A
        LD      HL,4000H        ;SHOW HELLO
        LD      A,76H           ;H
        LD      (HL),A
        INC     HL
        LD      A,79H           ;E
        LD      (HL),A
        INC     HL
        LD      A,38H           ;L
        LD      (HL),A
        INC     HL
        LD      (HL),A          ;L
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        INC     HL
        LD      A,3FH           ;O
        LD      (HL),A
PRG3:   CALL    SCAN
        CP      0BH             ;KEY MEM
        JR      Z,MEM
        CP      0DH             ;MODE
        JR      NZ,PRG3
        LD      HL,4000H        ;SHOW MODE
        LD      B,7
        XOR     A
PRGA:   LD      (HL),A
        INC     HL
        DJNZ    PRGA
        LD      HL,4000H
        LD      A,33H           ;(0011,0011)
        LD      (HL),A
        LD      A,27H           ;(0010,0111)
        INC     HL
        LD      (HL),A
        LD      A,3FH           ;(0011,1111)
        INC     HL
        LD      (HL),A
        LD      A,5EH           ;(0101,1110)
        INC     HL
        LD      (HL),A
        LD      A,79H           ;(0111,1001)
        INC     HL
        LD      (HL),A
        LD      A,40H           ;(0100,0000)
        INC     HL
        LD      (HL),A
        INC     HL
        LD      A,(400BH)
        CP      0
        JR      NZ,PRGA1
        LD      A,6
        LD      (4006H),A
        JP      PRG4
PRGA1:  LD      A,5BH
        LD      (4006H),A
PRG4:   CALL    SCAN
        CP      0EH             ;O.K
        JP      NZ,PRG4A
        XOR     A               ;CLEAR 7-SEGMENT
        LD      HL,4000H
        LD      B,7
PRG4A1: LD      (HL),A
        INC     HL
        DJNZ    PRG4A1
        JP      MAIN
PRG4A:  CP      1
        JR      NZ,PRG5
        XOR     A
        LD      (400BH),A
        LD      A,6             ;(0000,0110)
        LD      (HL),A
        JP      PRG4
PRG5:   CP      2
        JR      NZ,PRG4
        LD      A,5BH           ;(0101,1011)
        LD      (HL),A
        LD      A,0FFH
        LD      (400BH),A
        JP      PRG4
MEM:    LD      HL,4000H        ;SHOW MEM.
        LD      B,7
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        XOR     A
MEMA:   LD      (HL),A
        INC     HL
        DJNZ    MEMA
        LD      HL,4000H
        LD      A,33H
        LD      (HL),A
        INC     HL
        LD      A,27H
        LD      (HL),A
        INC     HL
        INC     HL
        LD      A,79H
        LD      (HL),A
        INC     HL
        INC     HL
        LD      A,33H
        LD      (HL),A
        INC     HL
        LD      A,47H
        LD      (HL),A
MEM1:   CALL    SCAN
        CP      1
        JR      Z,BOSS
        CP      2
        JR      Z,POLICE
        CP      3
        JR      NZ,MEM1
        LD      HL,401AH        ;FIRE BUFF
MEM2:   CALL    NTOLD           ;MOVE No FOLLOW TO 7-SEG.
MEM3:   CALL    SCAN
        CP      OFFH
        JR      Z,MEM3
        CP      OEH             ;O.K
        JP      Z,MAIN
        JR      Z,MEM3
        CP      OBH             ;MEM
        JR      NZ,MEM3
        LD      B,7
        XOR     A
        PUSH    HL
MEM3A:  LD      (HL),A
        INC     HL
        DJNZ    MEM3A
        POP     HL
        LD      B,7
MEM3A1: CALL    SCAN
        CP      OFFH
        JR      Z,MEM3A1
        CP      OEH
        JP      Z,MAIN
        CP      ODH
        JR      Z,MEM3A1
        CP      OCH
        JR      Z,MEM3A1
        CP      OBH
        JR      Z,MEM3A1
        LD      (HL),A
        INC     HL
        DJNZ    MEM3A1
        JP      MAIN
        LD      (HL),A
        INC     HL
        DJNZ    MEM3
        LD      B,7
MEM4:   DEC     HL
        DJNZ    MEM4
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        JP      MEM2
BOSS:   LD      HL,400CH
        JP      MEM2
POLICE: LD      HL,4013H
        JP      MEM2
EN:     LD      B,A
        LD      A,(4009H)
        OR      40H
        OUT     (1),A
        LD      A,B
        BIT     0,A             ;RING No 1
        JP      Z,RINGA
        BIT     2,A             ;RING No 2
        JP      Z,RINGB
        BIT     4,A             ;ALARM POLICEA
        JP      NZ,POA
        BIT     5,A             ;FIRE
        JP      Z,MAIN
        CALL    ALARM
        LD      HL,401AH        ;FIRE
        CALL    NTG
EN1:    CALL    HK
        CP      0
        JR      Z,EN1
        CALL    FIRST
        CALL    SPKAL
        LD      HL,400CH        ;BOSS
        CALL    NTG
EN2:    CALL    HK
        CP      0
        JR      Z,EN2
        CALL    FIRST
        CALL    SPKAL
        XOR     A
        LD      (400AH),A
        OUT     (42H),A
        JP      MAIN
POA:    CALL    ALARM
        LD      HL,4013H        ;POLICE
        CALL    NTG
POA1:   CALL    HK
        CP      0
        JR      Z,POA1
        CALL    FIRST
        CALL    SPKPO
        LD      HL,400CH
        CALL    NTG
POA2:   CALL    HK
        CP      0
        JR      Z,POA2
        CALL    FIRST
        CALL    SPKPO
        XOR     A
        LD      (400AH),A
        OUT     (42H),A
        JP      MAIN
RINGA:  LD      A,(400AH)
        SET     4,A
        LD      (400AH),A
        OUT     (042H),A
        LD      A,(400BH)
        CP      0
        JR      NZ,RM1
TAPE:   CALL    FIRST
        CALL    SPKTA
        LD      A,(400AH)
        SET     6,A             ;TAPE
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        LD      (400AH),A
        OUT     (042H),A
TAPEZ:  LD      B,30
RINGA1: CALL    DY1s
        DJNZ    RINGA1
        XOR     A
        LD      (400AH),A
        OUT     (042H),A
        JP      MAIN
RM1:    CALL    FIRST
        CALL    SPKIC
        LD      A,(400AH)
        SET     5,A
RM1A:   LD      (400AH),A
        OUT     (042H),A
        LD      HL,400CH        ;BOSS
        CALL    NTG
        LD      B,0AH
RM2:    CALL    HKB
        CP      0
        JR      NZ,TAPEZ
        DJNZ    RM2
        XOR     A
        LD      (4000H),A
        OUT     (042H),A
        JP      MAIN
RINGB:  LD      A,(400AH)
        SET     5,A
        LD      (400AH),A
        OUT     (042H),A
        LD      A,(400BH)
        CP      0
        JR      Z,TAPE
RINGB1: CALL    FIRST
        CALL    SPKIC
        LD      A,(400AH)
        SET     4,A
        LD      (400AH),A
        OUT     (42H),A
        LD      HL,400CH
        CALL    NTG
        LD      B,0AH
RINGB2: CALL    HK
        CP      0
        JR      NZ,TAPEZ
        DJNZ    RINGB2
        XOR     A
        LD      (0400AH),A
        OUT     (42H),A
        JP      MAIN

        ;***** INIT *****
INIT:   LD      HL,4000H
        LD      B,0
INIT1:  LD      (HL),B          ;CLEAR MEM.
        INC     HL
        LD      A,H
        CP      47H
        JR      NZ,INIT1
        LD      A,90H           ;PORT1
        OUT     (3),A
        LD      A,81H           ;PORT2
        OUT     (043H),A
        RET
        ;***** SCAN *****
SCAN:   PUSH    BC
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งหมด ห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        PUSH    DE
        PUSH    HL
        LD      HL,4000H
        LD      DE,100H
        LD      B,7
SCAN1:  LD      A,(HL)          ;CODE
        OUT     (040H),A
        LD      A,D
        OUT     (041H),A        ;COMMON
        RLCA
        LD      D,A
        INC     E
        CALL    DY1ms
        IN      A,(042H)        ;KEY CLOSE
        AND     03H
        CP      3
        JR      Z,SCAN3
        PUSH    AF
        PUSH    DE
        LD      B,10
SNZA:   CALL    DY1ms
        DJNZ    SNZA
SNZA1:  LD      B,7
        LD      HL,4000H        ;KEY OPEN
        LD      D,1
SNZA2:  LD      A,(HL)
        OUT     (040H),A
        LD      A,D
        OUT     (041H),A
        RLCA
        LD      D,A
        CALL    DY1ms
        XOR     A
        OUT     (40H),A
        OUT     (41H),A
        INC     HL
        DJNZ    SNZA2
        LD      A,0FFH
        OUT     (41H),A
        IN      A,(42H)
        AND     03
        CP      03
        JR      NZ,SNZA1
        LD      B,10
SCZA3:  CALL    DY1ms
        DJNZ    SCZA3
        XOR     A
        OUT     (40H),A
        OUT     (41H),A
        POP     DE
        POP     AF
        BIT     0,A
        JR      NZ,SCAN2
        LD      A,E
SCANZ:  POP     HL
        POP     DE
        POP     BC
        RET
SCAN2:  LD      A,E
        ADD     A,7
        JR      SCANZ
SCAN3:  INC     HL
        DJNZ    SCAN1
        XOR     A
        OUT     (40H),A
        OUT     (41H),A
        LD      A,0FFH
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
          JR       SCANZ

          ;***** NTOLED *****
NTOLD:    PUSH     HL
          PUSH     BC
          PUSH     DE
          LD       DE,4000H
          LD       B,7
NTOLD1:   LD       A,(HL)
          CP       1
          JR       Z,NTD1
          CP       2
          JR       Z,NTD2
          CP       3
          JR       Z,NTD3
          CP       4
          JR       Z,NTD4
          CP       5
          JR       Z,NTD5
          CP       6
          JR       Z,NTD6
          CP       7
          JR       Z,NTD7
          CP       8
          JR       Z,NTD8
          CP       9
          JR       Z,NTD9
          CP       0AH
          JR       Z,NTDA
          XOR      A
NTDZ:     LD       (DE),A
          INC      DE
          INC      HL
          DJNZ     NTOLD1
          POP      DE
          POP      BC
          POP      HL
          RET
NTD1:     LD       A,6
          JR       NTDZ
NTD2:     LD       A,5BH
          JR       NTDZ
NTD3:     LD       A,4FH
          JR       NTDZ
NTD4:     LD       A,66H
          JR       NTDZ
NTD5:     LD       A,6DH
          JR       NTDZ
NTD6:     LD       A,7DH
          JR       NTDZ
NTD7:     LD       A,7
          JR       NTDZ
NTD8:     LD       A,7FH
          JR       NTDZ
NTD9:     LD       A,6FH
          JR       NTDZ
NTDA:     LD       A,3FH
          JR       NTDZ

          ;***** ALARM *****
ALARM:    PUSH     HL
          LD       HL,400AH
          LD       A,(HL)
          OR       0BFH
          LD       (HL),A
          OUT      (042H),A
          POP      HL
          RET
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
NTG:    PUSH    HL
        PUSH    DE
        PUSH    BC
        LD      DE,4021H
        LD      B,7
NTG1:   LD      A,(HL)
        LD      (DE),A
        INC     HL
        INC     DE
        DJNZ    NTG1
        POP     BC
        POP     DE
        POP     HL
        RET

        ;***** No TOT.G. *****
NTTG:   PUSH    HL
        PUSH    DE
        PUSH    BC
        PUSH    AF
        LD      DE,4021H
        LD      B,7
NTTG1A: LD      A,(HL)
        CP      1
        JR      Z,NTTG1
        CP      2
        JR      Z,NTTG2
        CP      3
        JR      Z,NTTG3
        CP      4
        JR      Z,NTTG4
        CP      5
        JR      Z,NTTG5
        CP      6
        JR      Z,NTTG6
        CP      7
        JR      Z,NTTG7
        CP      8
        JR      Z,NTTG8
        CP      9
        JR      Z,NTTG9
        CP      0AH
        JR      Z,NTTGA
        LD      A,78H
NTTGZ:  LD      (DE),A
        INC     DE
        INC     HL
        DJNZ    NTTG1A
        POP     AF
        POP     BC
        POP     DE
        POP     HL
        RET
NTTG1:  LD      A,71H
        JR      NTTGZ
NTTG2:  LD      A,72H
        JR      NTTGZ
NTTG3:  LD      A,74H
        JR      NTTGZ
NTTG4:  LD      A,69H
        JR      NTTGZ
NTTG5:  LD      A,6AH
        JR      NTTGZ
NTTG6:  LD      A,6CH
        JR      NTTGZ
NTTG7:  LD      A,59H
        JR      NTTGZ
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
NTTG8:  LD      A,5AH
        JR      NTTGZ
NTTG9:  LD      A,5CH
        JR      NTTGZ
NTTGA:  LD      A,3AH
        JR      NTTGZ

        ;***** HOOK *****
HOOK:   PUSH    BC
        PUSH    HL
        LD      HL,400AH
        LD      A,(HL)
        RES     4,A
        OUT     (042H),A
        CALL    DY1s
        SET     4,A
        OUT     (042H),A
        CALL    DY1s
        LD      HL,4021H
        LD      B,7
HOOK1:  LD      A,(HL)
        OUT     (2),A
        INC     HL
        CALL    DY100ms
        LD      A,78H
        OUT     (2),A
        CALL    DY100ms
        DJNZ    HOOK1
        LD      B,60
HOOK2:  IN      A,(0)           ;H.S. (CHECKVALID)
        BIT     1,A
        JR      Z,HOOK4
        CALL    DY1s
        DJNZ    HOOK2
        XOR     A
HOOK3:  POP     HL
        POP     BC
        RET
HOOK4:  LD      A,0FFH
        JR      HOOK3

        ;***** SPEAK ALARM *****
SPKAL:  PUSH    BC
        PUSH    DE
        PUSH    HL
        LD      B,30
SKAL:   LD      A,(4009H)
        AND     0E0H
        OUT     (1),A
        CALL    DY100ms
        SET     4,A
        OUT     (1),A
        CALL    DY100ms
        RES     4,A
        OUT     (1),A
SPKAL1: IN      A,(0)
        BIT     6,A
        JR      Z,SPKAL1
        DJNZ    SKAL
        LD      A,(400AH)
        AND     80H
        LD      (400AH),A
        OUT     (042H),A
        POP     HL
        POP     DE
        POP     BC
        RET
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        ;***** SPEAK  POLICE *****
SPKPO:  PUSH    BC
        PUSH    DE
        PUSH    HL
        LD      B,30
SPKPO1: LD      A,(4009H)
        AND     0E0H
        OR      01
        OUT     (1),A
        CALL    DY100ms
        SET     4,A
        OUT     (1),A
        CALL    DY100ms
        RES     4,A
        OUT     (1),A
SPKPO2: IN      A,(0)
        BIT     6,A
        JR      Z,SPKPO2
        DJNZ    SPKPO1
        LD      A,(400AH)
        AND     80H
        LD      (400AH),A
        OUT     (042H),A
        POP     HL
        POP     DE
        POP     BC
        RET

        ;***** FIRST *****
FIRST:  PUSH    AF
        PUSH    BC
        LD      A,(4009H)
        AND     0E0H
        OR      0FH             ;CH 0FH (FIRST)
        OUT     (1),A
        CALL    DY100ms
        SET     4,A             ;START
        OUT     (1),A
        CALL    DY100ms
        RES     4,A
        OUT     (1),A
SPF:    IN      A,(0)           ;CHECK  VALID
        BIT     6,A
        JR      Z,SPF
        POP     BC
        POP     AF
        RET

        ;***** SPEAK TAPE *****
SPKTA:  PUSH    BC
        PUSH    DE
        PUSH    HL
        LD      A,(4009H)
        AND     0E0H
        OR      02
        OUT     (1),A           ;TUPP
        CALL    DY100ms
        SET     4,A             ;START
        OUT     (1),A
        CALL    DY100ms
        RES     4,A
        OUT     (1),A
SKTA:   IN      A,(0)           ;OES (VALID = 'H')
        BIT     6,A
        JR      Z,SKTA
        LD      A;71H           ;T.G.No1
        OUT     (2),A
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
          CALL    DY1s
          LD      A,78H
          OUT     (2),A
          POP     HL
          POP     DE
          POP     BC
          RET

          ;***** SPEAK IC#(FOLLOWBOSS) *****
SPKIC:    PUSH    BC
          PUSH    DE
          PUSH    HL
          LD      A,(4009H)
          AND     0E0H
          OR      3
          OUT     (1),A
          CALL    DY100ms
          SET     4,A
          OUT     (1),A
          CALL    DY100ms
          RES     4,A
          OUT     (1),A
SKIC:     IN      A,(0)
          BIT     6,A
          JR      Z,SKIC
          POP     HL
          POP     DE
          POP     BC
          RET


          ;***** DELAY 1s *****
DY1s:     PUSH    BC
          PUSH    AF
          LD      BC,0D3D2H
LOOP0:    DEC     BC
          LD      A,B
          PUSH    HL
          PUSH    DE
          POP     DE
          POP     HL
          OR      C
          JP      NZ,LOOP0
          POP     AF
          POP     BC
          RET

          ;***** DELAY 100ms *****
DY100ms:  PUSH    BC
          PUSH    AF
          LD      BC,03A3EH
LOOPd1:   DEC     BC
          LD      A,B
          OR      C
          JP      NZ,LOOPd1
          POP     AF
          POP     BC
          RET

          ;***** DELAY 1ms *****
DY1ms:    PUSH    BC
          PUSH    AF
          LD      BC,093H
LOOPd2:   DEC     BC
          LD      A,B
          OR      C
          JP      NZ,LOOPd2
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        POP     AF
        POP     BC
        RET

HK:     PUSH    BC
        PUSH    DE
        PUSH    AF
        LD      HL,400AH
        LD      A,(HL)
        RES     4,A
        OUT     (42H),A
        CALL    DY1S
        SET     4,A
        OUT     (42H),A
        CALL    DY1S
        LD      HL,4021H
        LD      B,7
HK3:    LD      C,(HL)
HK1:    LD      A,C
        CP      0
        JR      Z,HK2
        DEC     C
        LD      A,(400AH)
        RES     4,A
        OUT     (42H),A
        CALL    DY100ms
        SET     4,A
        OUT     (42H),A
        CALL    DY100ms
        JP      HK1
HK2:    INC     HL
        CALL    DY1s
        DJNZ    HK3
        LD      B,30
HK4:    IN      A,(0)
        BIT     1,A
        JR      Z,HK6
        CALL    DY1s
        DJNZ    HK4
        XOR     A
HK5:    POP     HL
        POP     DE
        POP     BC
        RET
HK6:    LD      A,0FFH
        JR      HK5
HKB:    PUSH    BC
        PUSH    DE
        PUSH    HL
        LD      HL,400AH
        LD      A,(HL)
        RES     5,A
        OUT     (42H),A
        CALL    DY1s
        SET     5,A
        OUT     (42H),A
        CALL    DY1s
        LD      HL,4021H
        LD      B,7
HKB3:   LD      C,(HL)
HKB1:   LD      A,C
        CP      0
        JR      Z,HKB2
        DEC     C
        LD      A,(400AH)
        RES     5,A
        OUT     (42H),A
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        CALL    DY100ms
        SET     5,A
        OUT     (42H),A
        CALL    DY100ms
        JP      HKB1
HKB2:   INC     HL
        CALL    DY1s
        DJNZ    HKB3
        LD      B,30
HKB4:   IN      A,(0)
        BIT     3,A
        JR      Z,HKB6
        CALL    DY1s
        DJNZ    HKB4
        XOR     A
HKB5:   POP     HL
        POP     DE
        POP     BC
        RET
HKB6:   LD      A,0FFH
        JP      HKB5

        END
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# รายละเอียดข้อมูลไมโครโปรเซสเซอร์และชิพสนับสนุน

# Z80®-CPU
# Z80A-CPU

# Product Specification

MARCH 1978

The Zilog Z80 product line is a complete set of microcomputer components, development systems and support software. The Z80 microcomputer component set includes all of the circuits necessary to build high-performance microcomputer systems with virtually no other logic and a minimum number of low cost standard memory elements.

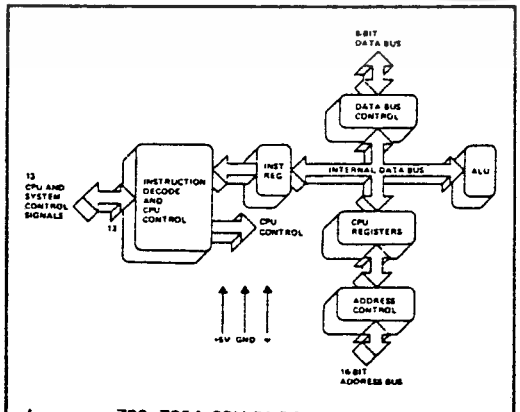
The Z80 and Z80A CPU's are third generation single chip microprocessors with unrivaled computational power. This increased computational power results in higher system through-put and more efficient memory utilization when compared to second generation microprocessors. In addition, the Z80 and Z80A CPU's are very easy to implement into a system because of their single voltage requirement plus all output signals are fully decoded and timed to control standard memory or peripheral circuits. The circuit is implemented using an N-channel, ion implanted, silicon gate MOS process.

Figure 1 is a block diagram of the CPU, Figure 2 details the internal register configuration which contains 208 bits of Read/Write memory that are accessible to the programmer. The registers include two sets of six general purpose registers that may be used individually as 8-bit registers or as 16-bit register pairs. There are also two sets of accumulator and flag registers. The programmer has access to either set of main or alternate registers through a group of exchange instructions. This alternate set allows foreground/background mode of operation or may be reserved for very fast Interrupt response. Each CPU also contains a 16-bit stack pointer which permits simple implementation of multiple level interrupts, unlimited subroutine nesting and simplification of many types of data handling.

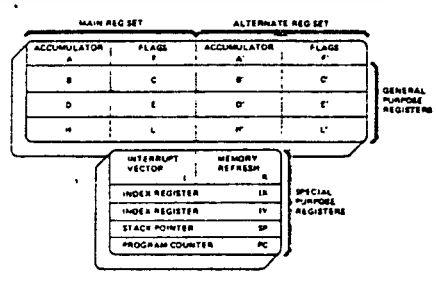
The two 16-bit index registers allow tabular data manipulation and easy implementation of relocatable code. The Refresh register provides for automatic, totally transparent refresh of external dynamic memories. The I register is used in a powerful interrupt response mode to form the upper 8 bits of a pointer to a interrupt service address table, while the interrupting device supplies the lower 8 bits of the pointer. An indirect call is then made to this service address.

## FEATURES

- Single chip, N-channel Silicon Gate CPU.
- 158 instructions–includes all 78 of the 8080A instructions with total software compatibility. New instructions include 4-, 8- and 16-bit operations with more useful addressing modes such as indexed, bit and relative.
- 17 internal registers.
- Three modes of fast interrupt response plus a non-maskable interrupt.
- Directly interfaces standard speed static or dynamic memories with virtually no external logic.
- 1.0 μs instruction execution speed.
- Single 5 VDC supply and single-phase 5 volt Clock.
- Out-performs any other single chip microcomputer in 4-, 8-, or 16-bit applications.
- All pins TTL Compatible
- Built-in dynamic RAM refresh circuitry.



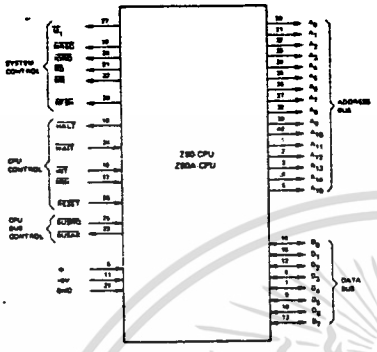

Z80, Z80A CPU BLOCK DIAGRAM




Z80, Z80A CPU REGISTERS

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## Z80, Z80A-CPU Pin Description



Z80, Z80A CPU PIN CONFIGURATION

**$A_0$-$A_{15}$ (Address Bus)** Tri-state output, active high. $A_0$-$A_{15}$ constitute a 16-bit address bus. The address bus provides the address for memory (up to 64K bytes) data exchanges and for I/O device data exchanges.

**$D_0$-$D_7$ (Data Bus)** Tri-state input/output, active high. $D_0$-$D_7$ constitute an 8-bit bidirectional data bus. The data bus is used for data exchanges with memory and I/O devices.

**$\overline{M_1}$ (Machine Cycle one)** Output, active low. $\overline{M_1}$ indicates that the current machine cycle is the OP code fetch cycle of an instruction execution.

**$\overline{MREQ}$ (Memory Request)** Tri-state output, active low. The memory request signal indicates that the address bus holds a valid address for a memory read or memory write operation.

**$\overline{IORQ}$ (Input/ Output Request)** Tri-state output, active low. The $\overline{IORQ}$ signal indicates that the lower half of the address bus holds a valid I/O address for a I/O read or write operation. An $\overline{IORQ}$ signal is also generated when an interrupt is being acknowledged to indicate that an interrupt response vector can be placed on the data bus.

**$\overline{RD}$ (Memory Read)** Tri-state output, active low. $\overline{RD}$ indicates that the CPU wants to read data from memory or an I/O device. The addressed I/O device or memory should use this signal to gate data onto the CPU data bus.

**$\overline{WR}$ (Memory Write)** Tri-state output, active low. $\overline{WR}$ indicates that the CPU data bus holds valid data to be stored in the addressed memory or I/O device.

**$\overline{RFSH}$ (Refresh)** Output, active low. $\overline{RFSH}$ indicates that the lower 7 bits of the address bus contain a refresh address for dynamic memories and the current $\overline{MREQ}$ signal should be used to do a refresh read to all dynamic memories.

**$\overline{HALT}$ (Halt state)** Output, active low. $\overline{HALT}$ indicates that the CPU has executed a HALT software instruction and is awaiting either a non-maskable or a maskable interrupt (with the mask enabled) before operation can resume. While halted, the CPU executes NOP's to maintain memory refresh activity.

**$\overline{WAIT}$ (Wait)** Input, active low. $\overline{WAIT}$ indicates to the Z-80 CPU that the addressed memory or I/O devices are not ready for a data transfer. The CPU continues to enter wait states for as long as this signal is active.

**$\overline{INT}$ (Interrupt Request)** Input, active low. The Interrupt Request signal is generated by I/O devices. A request will be honored at the end of the current instruction if the internal software controlled interrupt enable flip-flop (IFF) is enabled.

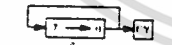
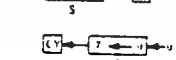
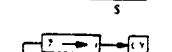
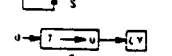
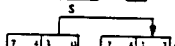
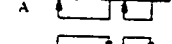
**$\overline{NMI}$ (Non Maskable Interrupt)** Input, active low. The non-maskable nterrupt request line has a higher priority than $\overline{INT}$ and is always recognized at the end of the current instruction, independent of the status of the interrupt enable flip-flop. $\overline{NMI}$ automatically forces the Z-80 CPU to restart to location $0066_H$.

**$\overline{RESET}$** Input, active low. $\overline{RESET}$ initializes the CPU as follows: reset interrupt enable flip-flop, clear PC and registers I and R and set interrupt to 8080A mode. During reset time, the address and data bus go to a high impedance state and all control output signals go to the inactive state.

**$\overline{BUSRQ}$ (Bus Request)** Input, active low. The bus request signal has a higher priority than $\overline{NMI}$ and is always recognized at the end of the current machine cycle and is used to request the CPU address bus, data bus and tri-state output control signals to go to a high impedance state so that other devices can control these busses.

**$\overline{BUSAK}$ (Bus Acknowledge)** Output, active low. Bus acknowledge is used to indicate to the requesting device that the CPU address bus, data bus and tri-state control bus signals have been set to their high impedance state and the external device can now control these signals.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

| | Mnemonic | Symbolic Operation | Comments |
|---|---|---|---|
| 8-BIT ALU | CP s | A - s | s = r, n (HL) (IX+e), (IY+e) |
| | INC d | d ← d + 1 | d = r, (HL) (IX+e), (IY+e) |
| | DEC d | d ← d - 1 | |
| 16-BIT ARITHMETIC | ADD HL, ss | HL ← HL + ss | ss ≡ BC, DE HL, SP |
| | ADC HL, ss | HL ← HL + ss + CY | |
| | SBC HL, ss | HL ← HL - ss - CY | |
| | ADD IX, ss | IX ← IX + ss | ss ≡ BC, DE, IX, SP |
| | ADD IY, ss | IY ← IY + ss | ss ≡ BC, DE, IY, SP |
| | INC dd | dd ← dd + 1 | dd ≡ BC, DE, HL, SP, IX, IY |
| | DEC dd | dd ← dd - 1 | dd ≡ BC, DE, HL, SP, IX, IY |
| GP ACC. & FLAG | DAA | Converts A contents into packed BCD following add or subtract. | Operands must be in packed BCD format |
| | CPL | $A \leftarrow \overline{A}$ | |
| | NEG | A ← 00 - A | |
| | CCF | $CY \leftarrow \overline{CY}$ | |
| | SCF | CY ← 1 | |
| MISCELLANEOUS | NOP | No operation | |
| | HALT | Halt CPU | |
| | DI | Disable Interrupts | |
| | EI | Enable Interrupts | |
| | IM 0 | Set interrupt mode 0 | |
| | IM 1 | Set interrupt mode 1 | 8080A mode Call to $0038_H$ |
| | IM 2 | Set interrupt mode 2 | Indirect Call |
| ROTATES AND SHIFTS | RLC s | | s ≡ r, (HL) (IX+e), (IY+e) |
| | RL s | | |
| | RRC s |  | |
| | RR s | | |
| | SLA s |  | |
| | SRA s |  | |
| | SRL s |  | |
| | RLD |  | |
| | RRD |  | |

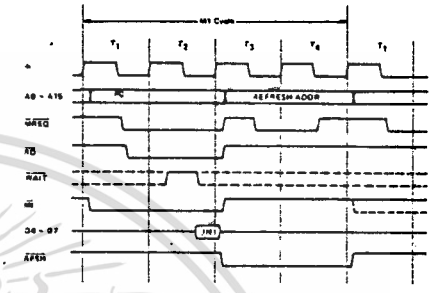
| | Mnemonic | Symbolic Operation | Comments |
|---|---|---|---|
| BIT S, R, & T | BIT b, s | $Z \leftarrow \overline{s_b}$ | Z is zero flag |
| | SET b, s | $s_b \leftarrow 1$ | s ≡ r, (HL) (IX+e), (IY+e) |
| | RES b, s | $s_b \leftarrow 0$ | |
| INPUT AND OUTPUT | IN A, (n) | A ← (n) | |
| | IN r, (C) | r ← (C) | Set flags |
| | INI | (HL) ← (C), HL ← HL + 1 B ← B - 1 | |
| | INIR | (HL) ← (C), HL ← HL + 1 B ← B - 1 Repeat until B = 0 | |
| | IND | (HL) ← (C), HL ← HL - 1 B ← B - 1 | |
| | INDR | (HL) ← (C), HL ← HL - 1 B ← B - 1 Repeat until B = 0 | |
| | OUT(n), A | (n) ← A | |
| | OUT(C), r | (C) ← r | |
| | OUTI | (C) ← (HL), HL ← HL + 1 B ← B - 1 | |
| | OTIR | (C) ← (HL), HL ← HL + 1 B ← B - 1 Repeat until B = 0 | |
| | OUTD | (C) ← (HL), HL ← HL - 1 B ← B - 1 | |
| | OTDR | (C) ← (HL), HL ← HL - 1 B ← B - 1 Repeat until B = 0 | |
| JUMPS | JP nn | PC ← nn | cc ≡ NZ PO, Z PE, NC P, C M |
| | JP cc, nn | If condition cc is true PC ← nn, else continue | |
| | JR e | PC ← PC + e | kk ≡ NZ NC, Z C |
| | JR kk, e | If condition kk is true PC ← PC + e, else continue | |
| | JP (ss) | PC ← ss | ss = HL, IX, IY |
| | DJNZ e | B ← B - 1, if B = 0 continue, else PC ← PC + e | |
| CALLS | CALL nn | $(SP-1) \leftarrow PC_H$ $(SP-2) \leftarrow PC_L$, PC ← nn | cc ≡ NZ PO, Z PE, NC P, C M |
| | CALL cc, nn | If condition cc is false continue, else same as CALL nn | |
| RESTARTS | RST L | $(SP-1) \leftarrow PC_H$ $(SP-2) \leftarrow PC_L$, $PC_H \leftarrow 0$ $PC_L \leftarrow L$ | |
| RETURNS | RET | $PC_L \leftarrow (SP)$, $PC_H \leftarrow (SP+1)$ | cc ≡ NZ PO, Z PE, NC P, C M |
| | RET cc | If condition cc is false continue, else same as RET | |
| | RETI | Return from interrupt, same as RET | |
| | RETN | Return from non-maskable interrupt | |

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## Timing Waveforms

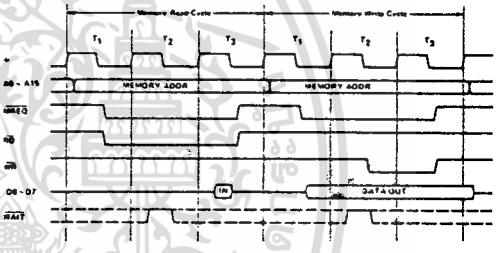
### INSTRUCTION OP CODE FETCH

The program counter content (PC) is placed on the address bus immediately at the start of the cycle. One half clock time later $\overline{MREQ}$ goes active. The falling edge of $\overline{MREQ}$ can be used directly as a chip enable to dynamic memories. $\overline{RD}$ when active indicates that the memory data should be enabled onto the CPU data bus. The CPU samples data with the rising edge of the clock state $T_3$. Clock states $T_3$ and $T_4$ of a fetch cycle are used to refresh dynamic memories while the CPU is internally decoding and executing the instruction. The refresh control signal $\overline{RFSH}$ indicates that a refresh read of all dynamic memories should be accomplished.



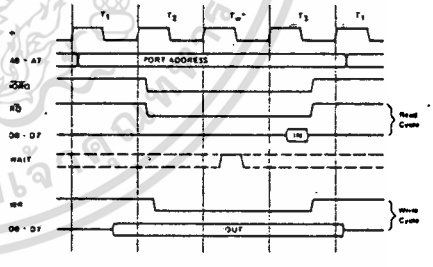

### MEMORY READ OR WRITE CYCLES

Illustrated here is the timing of memory read or write cycles other than an OP code fetch ($M_1$ cycle). The $\overline{MREQ}$ and $\overline{RD}$ signals are used exactly as in the fetch cycle. In the case of a memory write cycle, the $\overline{MREQ}$ also becomes active when the address bus is stable so that it can be used directly as a chip enable for dynamic memories. The $\overline{WR}$ line is active when data on the data bus is stable so that it can be used directly as a R/W pulse to virtually any type of semiconductor memory.



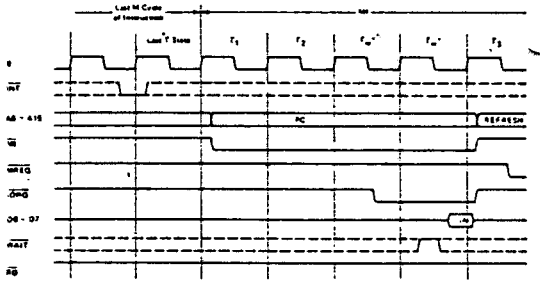

### INPUT OR OUTPUT CYCLES

Illustrated here is the timing for an I/O read or I/O write operation. Notice that during I/O operations a single wait state is automatically inserted (Tw*). The reason for this is that during I/O operations this extra state allows sufficient time for an I/O port to decode its address and activate the $\overline{WAIT}$ line if a wait is required.




### INTERRUPT REQUEST/ACKNOWLEDGE CYCLE

The interrupt signal is sampled by the CPU with the rising edge of the last clock at the end of any instruction. When an interrupt is accepted, a special $M_1$ cycle is generated. During this $M_1$ cycle, the $\overline{IORQ}$ signal becomes active (instead of $\overline{MREQ}$) to indicate that the interrupting device can place an 8-bit vector on the data bus. Two wait states (Tw*) are automatically added to this cycle so that a ripple priority interrupt scheme, such as the one used in the Z80 peripheral controllers, can be easily implemented.




เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## Z80, Z80A Instruction Set

The following is a summary of the Z80, Z80A instruction set showing the assembly language mnemonic and the symbolic operation performed by the instruction. A more detailed listing appears in the Z80-CPU technical manual, and assembly language programming manual. The instructions are divided into the following categories:

| | |
|---|---|
| 8-bit loads | Miscellaneous Group |
| 16-bit loads | Rotates and Shifts |
| Exchanges | Bit Set, Reset and Test |
| Memory Block Moves | Input and Output |
| Memory Block Searches | Jumps |
| 8-bit arithmetic and logic | Calls |
| 16-bit arithmetic | Restarts |
| General purpose Accumulator & Flag Operations | Returns |

In the table the following terminology is used.

b ≡ a bit number in any 8-bit register or memory location

cc ≡ flag condition code
- NZ ≡ non zero
- Z ≡ zero
- NC ≡ non carry
- C ≡ carry
- PO ≡ Parity odd or no over flow
- PE ≡ Parity even or over flow
- P ≡ Positive
- M ≡ Negative (minus)

d ≡ any 8-bit destination register or memory location

dd ≡ any 16-bit destination register or memory location

e ≡ 8-bit signed 2's complement displacement used in relative jumps and indexed addressing

L ≡ 8 special call locations in page zero. In decimal notation these are 0, 8, 16, 24, 32, 40, 48 and 56

n ≡ any 8-bit binary number

nn ≡ any 16-bit binary number

r ≡ any 8-bit general purpose register (A, B, C, D, E, H, or L)

s ≡ any 8-bit source register or memory location

$s_b$ ≡ a bit in a specific 8-bit register or memory location

ss ≡ any 16-bit source register or memory location

subscript "L" ≡ the low order 8 bits of a 16-bit register

subscript "H" ≡ the high order 8 bits of a 16-bit register

( ) ≡ the contents within the ( ) are to be used as a pointer to a memory location or I/O port number

8-bit registers are A, B, C, D, E, H, L, I and R

16-bit register pairs are AF, BC, DE and HL

16-bit registers are SP, PC, IX and IY

Addressing Modes implemented include combinations of the following:

| | |
|---|---|
| Immediate | Indexed |
| Immediate extended | Register |
| Modified Page Zero | Implied |
| Relative | Register Indirect |
| Extended | Bit |

| | Mnemonic | Symbolic Operation | Comments |
|---|---|---|---|
| 8-BIT LOADS | LD r, s | r ← s | s ≡ r, n, (HL), (IX+e), (IY+e) |
| | LD d, r | d ← r | d ≡ (HL), r (IX+e), (IY+e) |
| | LD d, n | d ← n | d ≡ (HL), (IX+e), (IY+e) |
| | LD A, s | A ← s | s ≡ (BC), (DE), (nn), I, R |
| | LD d, A | d ← A | d ≡ (BC), (DE), (nn), I, R |
| 16-BIT LOADS | LD dd, nn | dd ← nn | dd ≡ BC, DE, HL, SP, IX, IY |
| | LD dd, (nn) | dd ← (nn) | dd ≡ BC, DE, HL, SP, IX, IY |
| | LD (nn), ss | (nn) ← ss | ss ≡ BC, DE, HL, SP, IX, IY |
| | LD SP, ss | SP ← ss | ss = HL, IX, IY |
| | PUSH ss | $(SP-1) \leftarrow ss_H$; $(SP-2) \leftarrow ss_L$ | ss = BC, DE, HL, AF, IX, IY |
| | POP dd | $dd_L \leftarrow (SP)$; $dd_H \leftarrow (SP+1)$ | dd = BC, DE, HL, AF, IX, IY |
| EXCHANGES | EX DE, HL | DE ↔ HL | |
| | EX AF, AF' | AF ↔ AF' | |
| | EXX | $\begin{pmatrix} BC \\ DE \\ HL \end{pmatrix} \leftrightarrow \begin{pmatrix} BC' \\ DE' \\ HL' \end{pmatrix}$ | |
| | EX (SP), ss | $(SP) \leftarrow ss_L$, $(SP+1) \leftarrow ss_H$ | ss ≡ HL, IX, IY |

| | Mnemonic | Symbolic Operation | Comments |
|---|---|---|---|
| MEMORY BLOCK MOVES | LDI | (DE) ← (HL), DE ← DE+1 HL ← HL+1, BC ← BC-1 | |
| | LDIR | (DE) ← (HL), DE ← DE+1 HL ← HL+1, BC ← BC-1 Repeat until BC = 0 | |
| | LDD | (DE) ← (HL), DE ← DE-1 HL ← HL-1, BC ← BC-1 | |
| | LDDR | (DE) ← (HL), DE ← DE-1 HL ← HL-1, BC ← BC-1 Repeat until BC = 0 | |
| MEMORY BLOCK SEARCHES | CPI | A-(HL), HL ← HL+1 BC ← BC-1 | |
| | CPIR | A-(HL), HL ← HL+1 BC ← BC-1, Repeat until BC = 0 or A = (HL) | A-(HL) sets the flags only A is not affected |
| | CPD | A-(HL), HL ← HL-1 BC ← BC-1 | |
| | CPDR | A-(HL), HL ← HL-1 BC ← BC-1, Repeat until BC = 0 or A = (HL) | |
| 8-BIT ALU | ADD s | A ← A + s | |
| | ADC s | A ← A + s + CY | CY is the carry flag |
| | SUB s | A ← A - s | |
| | SBC s | A ← A - s - CY | s ≡ r, n, (HL) (IX+e), (IY+e) |
| | AND s | A ← A ∧ s | |
| | OR s | A ← A ∨ s | |
| | XOR s | A ← A ⊕ s | |

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$T_A$ = 0°C to 70°C, $V_{CC}$ = +5V ± 5%, Unless Otherwise Noted.

| Signal | Symbol | Parameter | Min | Max | Unit | Test Condition | |
|---|---|---|---|---|---|---|---|
| Φ | $t_c$ | Clock Period | 4 | [12] | μsec | | [12] $t_c = t_{w(\Phi H)} + t_{w(\Phi L)} + t_r + t_f$ |
| | $t_{w(\Phi H)}$ | Clock Pulse Width, Clock High | 180 | [E] | nsec | | |
| | $t_{w(\Phi L)}$ | Clock Pulse Width, Clock Low | 180 | 2000 | nsec | | |
| | $t_{r,f}$ | Clock Rise and Fall Time | | 30 | nsec | | |
| $A_{0-15}$ | $t_{D(AD)}$ | Address Output Delay | | 145 | nsec | $C_L$ = 50pF | |
| | $t_{F(AD)}$ | Delay to Float | | 110 | nsec | | |
| | $t_{acm}$ | Address Stable Prior to $\overline{MREQ}$ (Memory Cycle) | [1] | | nsec | | [1] $t_{acm} = t_{w(\Phi H)} + t_f - 75$ |
| | $t_{aci}$ | Address Stable Prior to $\overline{IORQ}$, $\overline{RD}$ or $\overline{WR}$ (I/O Cycle) | [2] | | nsec | | [2] $t_{aci} = t_c - 80$ |
| | $t_{ca}$ | Address Stable from $\overline{RD}$, $\overline{WR}$, $\overline{IORQ}$ or $\overline{MREQ}$ | [3] | | nsec | | |
| | $t_{caf}$ | Address Stable From $\overline{RD}$ or $\overline{WR}$ During Float | [4] | | nsec | | |
| $D_{0-7}$ | $t_{D(D)}$ | Data Output Delay | | 230 | nsec | $C_L$ = 50pF | [3] $t_{ca} = t_{w(\Phi L)} + t_f - 40$ |
| | $t_{F(D)}$ | Delay to Float During Write Cycle | | 90 | nsec | | [4] $t_{caf} = t_{w(\Phi L)} + t_f - 60$ |
| | $t_{S\Phi(D)}$ | Data Setup Time to Rising Edge of Clock During M1 Cycle | 50 | | nsec | | [5] $t_{dcm} = t_c - 210$ |
| | $t_{S\overline{\Phi}(D)}$ | Data Setup Time to Falling Edge of Clock During M2 to M5 | 60 | | nsec | | [6] $t_{dci} = t_{w(\Phi L)} + t_f - 210$ |
| | $t_{dcm}$ | Data Stable Prior to $\overline{WR}$ (Memory Cycle) | [5] | | nsec | | [7] $t_{cdf} = t_{w(\Phi L)} + t_f - 80$ |
| | $t_{dci}$ | Data Stable Prior to $\overline{WR}$ (I/O Cycle) | [6] | | nsec | | |
| | $t_{cdf}$ | Data Stable From $\overline{WR}$ | [7] | | | | |
| | $t_H$ | Any Hold Time for Setup Time | 0 | | nsec | | |
| $\overline{MREQ}$ | $t_{DL\Phi(MR)}$ | $\overline{MREQ}$ Delay From Falling Edge of Clock, $\overline{MREQ}$ Low | | 100 | nsec | $C_L$ = 50pF | |
| | $t_{DH\Phi(MR)}$ | $\overline{MREQ}$ Delay From Rising Edge of Clock, $\overline{MREQ}$ High | | 100 | nsec | | |
| | $t_{DH\overline{\Phi}(MR)}$ | $\overline{MREQ}$ Delay From Falling Edge of Clock, $\overline{MREQ}$ High | | 100 | nsec | | |
| | $t_{w(MRL)}$ | Pulse Width, $\overline{MREQ}$ Low | [8] | | nsec | | [8] $t_{w(MRL)} = t_c - 40$ |
| | $t_{w(MRH)}$ | Pulse Width, $\overline{MREQ}$ High | [9] | | nsec | | [9] $t_{w(MRH)} = t_{w(\Phi H)} + t_f - 30$ |
| $\overline{IORQ}$ | $t_{DL\Phi(IR)}$ | $\overline{IORQ}$ Delay From Rising Edge of Clock, $\overline{IORQ}$ Low | | 90 | nsec | $C_L$ = 50pF | |
| | $t_{DL\overline{\Phi}(IR)}$ | $\overline{IORQ}$ Delay From Falling Edge of Clock, $\overline{IORQ}$ Low | | 110 | nsec | | |
| | $t_{DH\Phi(IR)}$ | $\overline{IORQ}$ Delay From Rising Edge of Clock, $\overline{IORQ}$ High | | 100 | nsec | | |
| | $t_{DH\overline{\Phi}(IR)}$ | $\overline{IORQ}$ Delay From Falling Edge of Clock, $\overline{IORQ}$ High | | 110 | nsec | | |
| $\overline{RD}$ | $t_{DL\Phi(RD)}$ | $\overline{RD}$ Delay From Rising Edge of Clock, $\overline{RD}$ Low | | 100 | nsec | $C_L$ = 50pF | |
| | $t_{DL\overline{\Phi}(RD)}$ | $\overline{RD}$ Delay From Falling Edge of Clock, $\overline{RD}$ Low | | 130 | nsec | | |
| | $t_{DH\Phi(RD)}$ | $\overline{RD}$ Delay From Rising Edge of Clock, $\overline{RD}$ High | | 100 | nsec | | |
| | $t_{DH\overline{\Phi}(RD)}$ | $\overline{RD}$ Delay From Falling Edge of Clock, $\overline{RD}$ High | | 110 | nsec | | |
| $\overline{WR}$ | $t_{DL\Phi(WR)}$ | $\overline{WR}$ Delay From Rising Edge of Clock, $\overline{WR}$ Low | | 80 | nsec | $C_L$ = 50pF | |
| | $t_{DL\overline{\Phi}(WR)}$ | $\overline{WR}$ Delay From Falling Edge of Clock, $\overline{WR}$ Low | | 90 | nsec | | |
| | $t_{DH\overline{\Phi}(WR)}$ | $\overline{WR}$ Delay From Falling Edge of Clock, $\overline{WR}$ High | | 100 | nsec | | |
| | $t_{w(WRL)}$ | Pulse Width, $\overline{WR}$ Low | [10] | | nsec | | [10] $t_{w(WRL)} = t_c - 40$ |
| $\overline{M1}$ | $t_{DL(M1)}$ | $\overline{M1}$ Delay From Rising Edge of Clock, $\overline{M1}$ Low | | 130 | nsec | $C_L$ = 50pF | |
| | $t_{DH(M1)}$ | $\overline{M1}$ Delay From Rising Edge of Clock, $\overline{M1}$ High | | 130 | nsec | | |
| $\overline{RFSH}$ | $t_{DL(RF)}$ | $\overline{RFSH}$ Delay From Rising Edge of Clock, $\overline{RFSH}$ Low | | 180 | nsec | $C_L$ = 50pF | |
| | $t_{DH(RF)}$ | $\overline{RFSH}$ Delay From Rising Edge of Clock, $\overline{RFSH}$ High | | 150 | nsec | | |
| $\overline{WAIT}$ | $t_{s(WT)}$ | $\overline{WAIT}$ Setup Time to Falling Edge of Clock | 70 | | nsec | | |
| $\overline{HALT}$ | $t_{D(HT)}$ | $\overline{HALT}$ Delay Time From Falling Edge of Clock | | 300 | nsec | $C_L$ = 50pF | |
| $\overline{INT}$ | $t_{s(IT)}$ | $\overline{INT}$ Setup Time to Rising Edge of Clock | 80 | | nsec | | |
| $\overline{NMI}$ | $t_{w(NML)}$ | Pulse Width, $\overline{NMI}$ Low | 80 | | nsec | | |
| $\overline{BUSRQ}$ | $t_{s(BQ)}$ | $\overline{BUSRQ}$ Setup Time to Rising Edge of Clock | 80 | | nsec | | |
| $\overline{BUSAK}$ | $t_{DL(BA)}$ | $\overline{BUSAK}$ Delay From Rising Edge of Clock, $\overline{BUSAK}$ Low | | 120 | nsec | $C_L$ = 50pF | |
| | $t_{DH(BA)}$ | $\overline{BUSAK}$ Delay From Falling Edge of Clock, $\overline{BUSAK}$ High | | 110 | nsec | | |
| $\overline{RESET}$ | $t_{s(RS)}$ | $\overline{RESET}$ Setup Time to Rising Edge of Clock | 90 | | nsec | | |
| | $t_{F(C)}$ | Delay to Float ($\overline{MREQ}$, $\overline{IORQ}$, $\overline{RD}$ and $\overline{WR}$) | | 100 | nsec | | |
| | $t_{mr}$ | $\overline{M1}$ Stable Prior to $\overline{IORQ}$ (Interrupt Ack.) | [11] | | nsec | | [11] $t_{mr} = 2t_c + t_{w(\Phi H)} + t_f - 80$ |

NOTES:

A Data should be enabled onto the CPU data bus when $\overline{RD}$ is active. During interrupt acknowledge data should be enabled when $\overline{M1}$ and $\overline{IORQ}$ are both active.

B. All control signals are internally synchronized, so they may be totally asynchronous with respect to the clock.

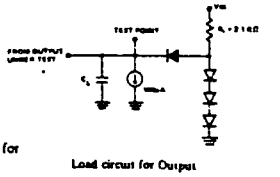
C The $\overline{RESET}$ signal must be active for a minimum of 3 clock cycles.

D Output Delay vs. Loaded Capacitance

TA = 70°C Vcc = +5V ±5%

Add 10nsec delay for each 50pf increase in load up to a maximum of 200pf for the data bus & 100pf for address & control lines

E Although static by design, testing guarantees $t_{w(\Phi H)}$ of 200 μsec maximum



Load circuit for Output

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## Absolute Maximum Ratings

| | |
|---|---|
| Temperature Under Bias | Specified operating range. |
| Storage Temperature | -65°C to +150°C |
| Voltage On Any Pin with Respect to Ground | -0.3V to +7V |
| Power Dissipation | 1.5W |

*Comment

Stresses above those listed under "Absolute Maximum Rating" may cause permanent damage to the device. This is a stress rating only and functional operation of the device at these or any other condition above those indicated in the operational sections of this specification is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

Note: For Z80-CPU all AC and DC characteristics remain the same for the military grade parts except $I_{cc}$.

$I_{cc}$ = 200 mA

## Z80-CPU D.C. Characteristics

$T_A$ = 0°C to 70°C, $V_{cc}$ = 5V ± 5% unless otherwise specified

| Symbol | Parameter | Min. | Typ. | Max. | Unit | Test Condition |
|---|---|---|---|---|---|---|
| $V_{ILC}$ | Clock Input Low Voltage | -0.3 | | 0.45 | V | |
| $V_{IHC}$ | Clock Input High Voltage | $V_{cc}$ -.6 | | $V_{cc}$+.3 | V | |
| $V_{IL}$ | Input Low Voltage | -0.3 | | 0.8 | V | |
| $V_{IH}$ | Input High Voltage | 2.0 | | $V_{cc}$ | V | |
| $V_{OL}$ | Output Low Voltage | | | 0.4 | V | $I_{OL}$=1.8mA |
| $V_{OH}$ | Output High Voltage | 2.4 | | | V | $I_{OH}$ = -250μA |
| $I_{CC}$ | Power Supply Current | | | 150 | mA | |
| $I_{LI}$ | Input Leakage Current | | | 10 | μA | $V_{IN}$=0 to $V_{cc}$ |
| $I_{LOH}$ | Tri-State Output Leakage Current in Float | | | 10 | μA | $V_{OUT}$=2.4 to $V_{cc}$ |
| $I_{LOL}$ | Tri-State Output Leakage Current in Float | | | -10 | μA | $V_{OUT}$=0.4V |
| $I_{LD}$ | Data Bus Leakage Current in Input Mode | | | ±10 | μA | $0 \leq V_{IN} \leq V_{cc}$ |

## Capacitance

$T_A$ = 25°C, f = 1 MHz,
unmeasured pins returned to ground

| Symbol | Parameter | Max. | Unit |
|---|---|---|---|
| $C_\phi$ | Clock Capacitance | 35 | pF |
| $C_{IN}$ | Input Capacitance | 5 | pF |
| $C_{OUT}$ | Output Capacitance | 10 | pF |

## Z80-CPU Ordering Information

C – Ceramic
P – Plastic
S – Standard 5V ±5% 0° to 70°C
E – Extended 5V ±5% -40° to 85°C
M – Military 5V ±10% -55° to 125°C

## Z80A-CPU D.C. Characteristics

$T_A$ = 0°C to 70°C, $V_{cc}$ = 5V ± 5% unless otherwise specified

| Symbol | Parameter | Min. | Typ. | Max. | Unit | Test Condition |
|---|---|---|---|---|---|---|
| $V_{ILC}$ | Clock Input Low Voltage | -0.3 | | 0.45 | V | |
| $V_{IHC}$ | Clock Input High Voltage | $V_{cc}$ -.6 | | $V_{cc}$+.3 | V | |
| $V_{IL}$ | Input Low Voltage | -0.3 | | 0.8 | V | |
| $V_{IH}$ | Input High Voltage | 2.0 | | $V_{cc}$ | V | |
| $V_{OL}$ | Output Low Voltage | | | 0.4 | V | $I_{OL}$=1.8mA |
| $V_{OH}$ | Output High Voltage | 2.4 | | | V | $I_{OH}$ = -250μA |
| $I_{CC}$ | Power Supply Current | | 90 | 200 | mA | |
| $I_{LI}$ | Input Leakage Current | | | 10 | μA | $V_{IN}$=0 to $V_{cc}$ |
| $I_{LOH}$ | Tri-State Output Leakage Current in Float | | | 10 | μA | $V_{OUT}$=2.4 to $V_{cc}$ |
| $I_{LOL}$ | Tri-State Output Leakage Current in Float | | | -10 | μA | $V_{OUT}$=0.4V |
| $I_{LD}$ | Data Bus Leakage Current in Input Mode | | | ±10 | μA | $0 \leq V_{IN} \leq V_{cc}$ |

## Capacitance

$T_A$ = 25°C, f = 1 MHz,
unmeasured pins returned to ground

| Symbol | Parameter | Max. | Unit |
|---|---|---|---|
| $C_\phi$ | Clock Capacitance | 35 | pF |
| $C_{IN}$ | Input Capacitance | 5 | pF |
| $C_{OUT}$ | Output Capacitance | 10 | pF |

## Z80A-CPU Ordering Information

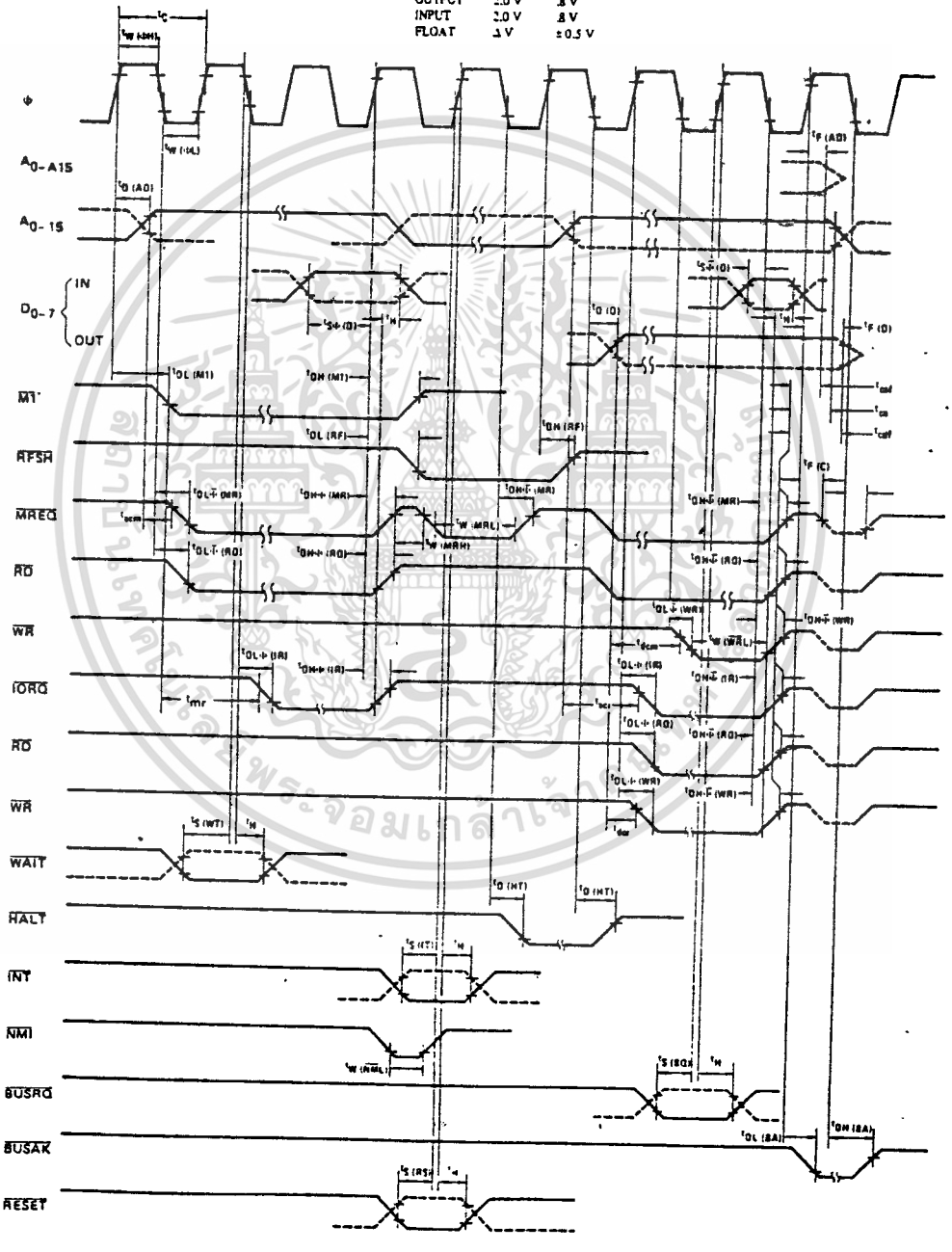
C – Ceramic
P – Plastic
S – Standard 5V ±5% 0° to 70°C

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## A.C. Timing Diagram

Timing measurements are made at the following voltages, unless otherwise specified:

| | "1" | "0" |
|---|---|---|
| CLOCK | $V_{CC}$ -.6V | .45V |
| OUTPUT | 2.0 V | .8 V |
| INPUT | 2.0 V | .8 V |
| FLOAT | Δ V | ±0.5 V |




เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$T_A$ = 0°C to 70°C, Vcc = +5V ± 5%, Unless Otherwise Noted.

| Signal | Symbol | Parameter | Min | Max | Unit | Test Condition | |
|---|---|---|---|---|---|---|---|
| Φ | $t_c$ | Clock Period | 25 | 1121 | nsec | | [12] $t_c = t_{w(\Phi H)} + t_{w(\Phi L)} + t_r + t_f$ |
| | $t_{w(\Phi H)}$ | Clock Pulse Width, Clock High | 110 | 1616 | nsec | | |
| | $t_{w(\Phi L)}$ | Clock Pulse Width, Clock Low | 110 | 2000 | nsec | | |
| | $t_r, t_f$ | Clock Rise and Fall Time | | 30 | nsec | | |
| $A_{0-15}$ | $t_{D(AD)}$ | Address Output Delay | | 110 | nsec | $C_L$ = 50pF | |
| | $t_{F(AD)}$ | Delay to Float | | 90 | nsec | | |
| | $t_{acm}$ | Address Stable Prior to $\overline{MREQ}$ (Memory Cycle) | [1] | | nsec | | [1] $t_{acm} = t_{w(\Phi H)} + t_f - 65$ |
| | $t_{aci}$ | Address Stable Prior to $\overline{IORQ}$, $\overline{RD}$ or $\overline{WR}$ (I/O Cycle) | [2] | | nsec | | [2] $t_{aci} = t_c - 70$ |
| | $t_{ca}$ | Address Stable from $\overline{RD}$, $\overline{WR}$, $\overline{IORQ}$ or $\overline{MREQ}$ | [3] | | nsec | | [3] $t_{ca} = t_{w(\Phi L)} + t_r - 50$ |
| | $t_{caf}$ | Address Stable From $\overline{RD}$ or $\overline{WR}$ During Float | [4] | | nsec | | [4] $t_{caf} = t_{w(\Phi L)} + t_r - 45$ |
| $D_{0-7}$ | $t_{D(D)}$ | Data Output Delay | | 150 | nsec | $C_L$ = 50pF | [5] $t_{dcm} = t_c - 170$ |
| | $t_{F(D)}$ | Delay to Float During Write Cycle | | 90 | nsec | | [6] $t_{dci} = t_{w(\Phi L)} + t_r - 170$ |
| | $t_{S\Phi(D)}$ | Data Setup Time to Rising Edge of Clock During M1 Cycle | 35 | | nsec | | [7] $t_{cdf} = t_{w(\Phi L)} + t_r - 70$ |
| | $t_{S\overline{\Phi}(D)}$ | Data Setup Time to Falling Edge of Clock During M2 to M5 | 50 | | nsec | | |
| | $t_{dcm}$ | Data Stable Prior to $\overline{WR}$ (Memory Cycle) | [5] | | nsec | | |
| | $t_{dci}$ | Data Stable Prior to $\overline{WR}$ (I/O Cycle) | [6] | | nsec | | |
| | $t_{cdf}$ | Data Stable From $\overline{WR}$ | [7] | | | | |
| | $t_H$ | Any Hold Time for Setup Time | | 0 | nsec | | |
| $\overline{MREQ}$ | $t_{DL\Phi(MR)}$ | $\overline{MREQ}$ Delay From Falling Edge of Clock, $\overline{MREQ}$ Low | | 85 | nsec | $C_L$ = 50pF | |
| | $t_{DH\Phi(MR)}$ | $\overline{MREQ}$ Delay From Rising Edge of Clock, $\overline{MREQ}$ High | | 85 | nsec | | |
| | $t_{DH\overline{\Phi}(MR)}$ | $\overline{MREQ}$ Delay From Falling Edge of Clock, $\overline{MREQ}$ High | | 85 | nsec | | |
| | $t_{w(\overline{MRL})}$ | Pulse Width, $\overline{MREQ}$ Low | [8] | | nsec | | [8] $t_{w(\overline{MRL})} = t_c - 30$ |
| | $t_{w(\overline{MRH})}$ | Pulse Width, $\overline{MREQ}$ High | [9] | | nsec | | [9] $t_{w(\overline{MRH})} = t_{w(\Phi H)} + t_f - 20$ |
| $\overline{IORQ}$ | $t_{DL\Phi(IR)}$ | $\overline{IORQ}$ Delay From Rising Edge of Clock, $\overline{IORQ}$ Low | | 75 | nsec | $C_L$ = 50pF | |
| | $t_{DL\overline{\Phi}(IR)}$ | $\overline{IORQ}$ Delay From Falling Edge of Clock, $\overline{IORQ}$ Low | | 85 | nsec | | |
| | $t_{DH\Phi(IR)}$ | $\overline{IORQ}$ Delay From Rising Edge of Clock, $\overline{IORQ}$ High | | 85 | nsec | | |
| | $t_{DH\overline{\Phi}(IR)}$ | $\overline{IORQ}$ Delay From Falling Edge of Clock, $\overline{IORQ}$ High | | 85 | nsec | | |
| $\overline{RD}$ | $t_{DL\Phi(RD)}$ | $\overline{RD}$ Delay From Rising Edge of Clock, $\overline{RD}$ Low | | 85 | nsec | $C_L$ = 50pF | |
| | $t_{DL\overline{\Phi}(RD)}$ | $\overline{RD}$ Delay From Falling Edge of Clock, $\overline{RD}$ Low | | 95 | nsec | | |
| | $t_{DH\Phi(RD)}$ | $\overline{RD}$ Delay From Rising Edge of Clock, $\overline{RD}$ High | | 85 | nsec | | |
| | $t_{DH\overline{\Phi}(RD)}$ | $\overline{RD}$ Delay From Falling Edge of Clock, $\overline{RD}$ High | | 85 | nsec | | |
| $\overline{WR}$ | $t_{DL\Phi(WR)}$ | $\overline{WR}$ Delay From Rising Edge of Clock, $\overline{WR}$ Low | | 65 | nsec | $C_L$ = 50pF | |
| | $t_{DL\overline{\Phi}(WR)}$ | $\overline{WR}$ Delay From Falling Edge of Clock, $\overline{WR}$ Low | | 80 | nsec | | |
| | $t_{DH\overline{\Phi}(WR)}$ | $\overline{WR}$ Delay From Falling Edge of Clock, $\overline{WR}$ High | | 80 | nsec | | |
| | $t_{w(\overline{WRL})}$ | Pulse Width, $\overline{WR}$ Low | [10] | | nsec | | [10] $t_{w(\overline{WRL})} = t_c - 30$ |
| $\overline{M1}$ | $t_{DL(M1)}$ | $\overline{M1}$ Delay From Rising Edge of Clock, $\overline{M1}$ Low | | 100 | nsec | $C_L$ = 50pF | |
| | $t_{DH(M1)}$ | $\overline{M1}$ Delay From Rising Edge of Clock, $\overline{M1}$ High | | 100 | nsec | | |
| $\overline{RFSH}$ | $t_{DL(RF)}$ | $\overline{RFSH}$ Delay From Rising Edge of Clock, $\overline{RFSH}$ Low | | 130 | nsec | $C_L$ = 50pF | |
| | $t_{DH(RF)}$ | $\overline{RFSH}$ Delay From Rising Edge of Clock, $\overline{RFSH}$ High | | 120 | nsec | | |
| $\overline{WAIT}$ | $t_{s(WT)}$ | $\overline{WAIT}$ Setup Time to Falling Edge of Clock | 70 | | nsec | | |
| $\overline{HALT}$ | $t_{D(HT)}$ | $\overline{HALT}$ Delay Time From Falling Edge of Clock | | 300 | nsec | $C_L$ = 50pF | |
| $\overline{INT}$ | $t_{s(IT)}$ | $\overline{INT}$ Setup Time to Rising Edge of Clock | 80 | | nsec | | |
| $\overline{NMI}$ | $t_{w(\overline{NML})}$ | Pulse Width, $\overline{NMI}$ Low | 80 | | nsec | | |
| $\overline{BUSRQ}$ | $t_{s(BQ)}$ | $\overline{BUSRQ}$ Setup Time to Rising Edge of Clock | 50 | | nsec | | |
| $\overline{BUSAK}$ | $t_{DL(BA)}$ | $\overline{BUSAK}$ Delay From Rising Edge of Clock, $\overline{BUSAK}$ Low | | 100 | nsec | $C_L$ = 50pF | |
| | $t_{DH(BA)}$ | $\overline{BUSAK}$ Delay From Falling Edge of Clock, $\overline{BUSAK}$ High | | 100 | nsec | | |
| $\overline{RESET}$ | $t_{s(RS)}$ | $\overline{RESET}$ Setup Time to Rising Edge of Clock | 60 | | nsec | | |
| | $t_{F(C)}$ | Delay to Float ($\overline{MREQ}$, $\overline{IORQ}$, $\overline{RD}$ and $\overline{WR}$) | | 80 | nsec | | |
| | $t_{mr}$ | M1 Stable Prior to IORQ (Interrupt Ack.) | [11] | | nsec | | [11] $t_{mr} = 2t_c + t_{w(\Phi H)} + t_f - 65$ |

NOTES:

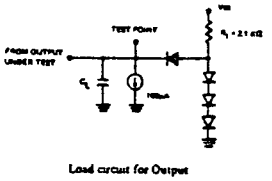
A. Data should be enabled onto the CPU data bus when $\overline{RD}$ is active. During interrupt acknowledge data should be enabled when $\overline{M1}$ and $\overline{IORQ}$ are both active.

B. All control signals are internally synchronized, so they may be totally asynchronous with respect to the clock.

C. The $\overline{RESET}$ signal must be active for a minimum of 3 clock cycles.

D. Output Delay vs. Loaded Capacitance
TA = 70°C Vcc = +5V ±5%
Add 10nsec delay for each 50pf increase in load up to maximum of 200pf for data bus and 100pf for address & control lines.

E. Although static by design, testing guarantees $t_{w(\Phi H)}$ of 200 μsec maximum



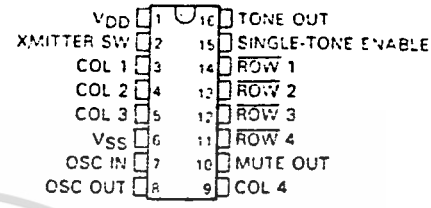
Load circuit for Output

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TPCS NOVEMBER 1982 REVISED OCTOBER 1983

- Low-Cost TV Color-Burst Crystal Sine-Wave Input Produces Highly Accurate and Stable Tones
- Device Powered Directly by Telephone or Small Batteries
- Keyboard or Electronic Input Capability
- Dual-Tone and Single-Tone Capability
- Minimal Standby Power Requirement
- Total Harmonic Distortion Meets EIA Standard RS-470
- PEP3 Processing Available
- Wide Supply-Voltage Range
- Minimal Parts Required
- Single-Tone Production Can be Inhibited
- Auxiliary Switching Outputs: One Bipolar Transistor and One CMOS Gate
- Designed to be Interchangeable with Mostek MK5087

**N DUAL-IN-LINE PACKAGE**
**(TOP VIEW)**




Caution. These devices have limited built-in gate protection. The leads should be shorted together or the device placed in conductive foam during storage or handling to prevent electrostatic damage to the MOS gates.

## description

The TCM5087 tone encoder is a CMOS integrated circuit designed specifically to generate the dial tones used in dual-tone telephone dialing systems. It requires a sine-wave input normally supplied by a low-cost TV color-burst crystal at 3.579545 MHz to generate eight different audio sinusoidal frequencies. With this input the encoder generates dial tones that are very low in total harmonic distortion and comply with standard Dual-Tone Multi-Frequency (DTMF) specifications without any need for frequency adjustment.

When generating a dual-tone signal, the encoder generates one column tone and one row tone and adds them for its output. The table below presents the frequencies produced by the tone encoder with the 3.579545-MHz TV-crystal signal input. Any deviation in this frequency will be reflected in the frequency output. The tolerance of the crystal is normally 0.02%.

| TONE | DTMF STANDARD (Hz) | ENCODER OUTPUT* (Hz) | ERROR FROM STANDARD* (%) |
|---|---|---|---|
| Row 1 | 697 | 701.3 | +0.62 |
| Row 2 | 770 | 771.4 | +0.19 |
| Row 3 | 852 | 857.2 | +0.61 |
| Row 4 | 941 | 935.1 | −0.63 |
| Column 1 | 1209 | 1215.9 | +0.57 |
| Column 2 | 1336 | 1331.7 | −0.32 |
| Column 3 | 1477 | 1471.9 | −0.35 |
| Column 4 | 1633 | 1645 | +0.73 |

*Using an input signal from a 3.579545-MHz crystal.

PRODUCTION DATA documents contain information current as of publication date. Products conform to specifications per the terms of Texas Instruments standard warranty. Production processing does not necessarily include testing of all parameters.

Copyright © 1982, Texas Instruments Incorporated



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

operation

**keyboard and electronic inputs**

The specific tone or tones generated are determined by inputs designated $\overline{\text{ROW}}$ 1 through $\overline{\text{ROW}}$ 4 and COLUMN 1 through COLUMN 4. The inputs are normally received from a 2-of-8 DTMF (DPST) keyboard, a Class A (SPST) keyboard, or an electronic circuit. Unlike dynamic or scanned inputs, the static inputs of the TCM5057 do not generate noise. See function table for input and output description.

**single-tone enable input**

This input inhibits the generation of single tones when taken low. All other chip functions remain unchanged. If the input is high or left open, single-tone operation is enabled.

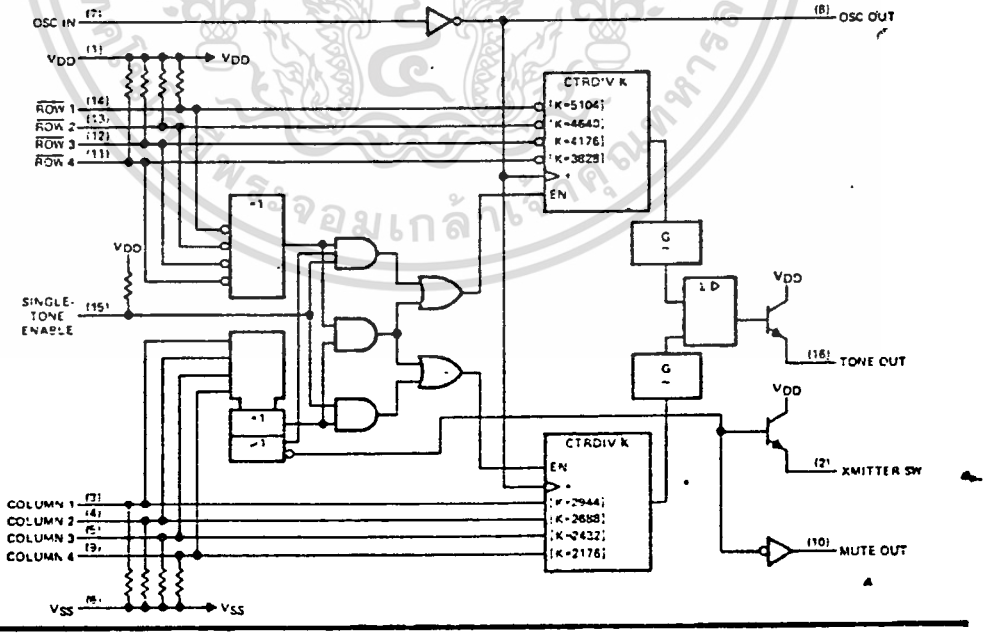
**transmitter switch output**

This output is at high impedance when one or more of the column inputs are active and is high when all column inputs are inactive. The output is the emitter of a bipolar transistor whose collector is at $V_{DD}$.

**mute output**

The mute output is high when one or more column inputs are active and is low when all column inputs are inactive.

**functional block diagram**




Telecommunications Circuits



TEXAS INSTRUMENTS
POST OFFICE BOX 225012 • DALLAS, TEXAS 75265

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TONE ENCODER FUNCTION TABLE

| INPUT COMBINATIONS[1] | TONE OUTPUT | | MUTE OUTPUT | TRANSMITTER SWITCH OUTPUT |
|---|---|---|---|---|
| | PIN 15[2] OPEN | PIN 15[2] AT $V_{SS}$ | | |
| 0 rows<br>0 columns | 0 | 0 | L | H |
| 1 row<br>1 column | Row and column | Row and column | H | Hi-Z |
| 2 or more rows<br>1 column | column | 0 | H | Hi-Z |
| 1 row<br>2 or more columns | Row | 0 | H | Hi-Z |
| 2 or more rows<br>2 or more columns | 0 | 0 | H | Hi-Z |
| 0 rows<br>1 column | Column | 0 | H | Hi-Z |
| 0 rows<br>2 or more columns | 0 | 0 | H | Hi-Z |
| 1 or more rows<br>0 columns | 0 | 0 | L | H |

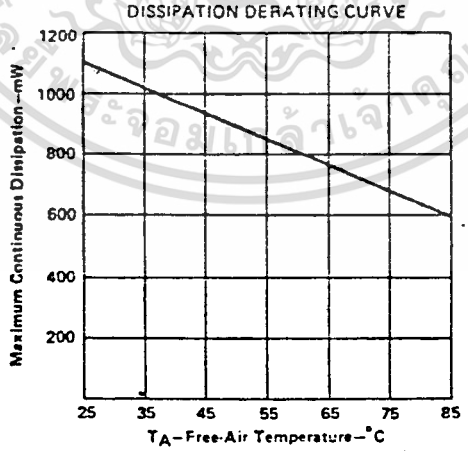
[1]Row inputs will be active (on) when the input voltage is at a low level ($V_I \leq V_{IL}$), and column inputs are active at a high input level. Under keyboard control, connecting a row input to a column input activates both.
[2]Pin 15 is the single tone disable input.

## absolute maximum ratings over operating free-air temperature range (unless otherwise noted)

Supply voltage $V_{DD}$ (see Note 1) . . . . . 13.5 V
Input voltage range . . . . . −0.3 V to $V_{DD}$ + 0.3 V
Output voltage range . . . . . −0.3 V to $V_{DD}$ + 0.3 V
Continuous power dissipation at 25°C free-air temperature (see Note 2) . . . . . 1150 mW
Operating free-air temperature range . . . . . −30°C to 70°C
Storage temperature range . . . . . −55°C to 150°C

NOTES: 1. All voltage values are with respect to the $V_{SS}$ terminal.
2. For operation above 25°C free-air temperature see the Dissipation Derating Curve.

DISSIPATION DERATING CURVE








เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## recommended operating conditions

| | | MIN | NOM | MAX | UNIT |
|---|---|---|---|---|---|
| Supply voltage, $V_{DD}$ | | 3.5 | | 10 | V |
| High-level input voltage, $V_{IH}$ | Row inputs (off) | 0.9 $V_{DD}$ | | $V_{DD}$ | V |
| | All other inputs | 0.7 $V_{DD}$ | | $V_{DD}$ | |
| Low-level input voltage, $V_{IL}$ | Column inputs (off) | $V_{SS}$ | | 0.1 $V_{DD}$ | V |
| | All other inputs | $V_{SS}$ | | 0.3 $V_{DD}$ | |
| Contact resistance between row and column inputs | | | | 100 | Ω |
| Tone output load resistance, $R_L$ | $V_{DD}$ = 5 V | | 620 | | Ω |
| | $V_{DD}$ = 5 V | | 330 | | Ω |
| Operating free-air temperature, $T_A$ | | -30 | | 70 | °C |

## electrical characteristics over operating free-air temperature range (unless otherwise noted)

| PARAMETER | | | TEST CONDITIONS | MIN | TYP | MAX | UNIT |
|---|---|---|---|---|---|---|---|
| Current of row input resistance | | | | 10 | | | kΩ |
| Single-tone enable input resistance to $V_{DD}$ | | | $T_A$ = 25°C | 20 | | 100 | kΩ |
| $V_{OH}$ | High-level output voltage | Mute output | $V_{DD}$ = 3 V, $I_{OH}$ = -0.2 mA | 2 | | | V |
| | | | $V_{DD}$ = 10 V, $I_{OH}$ = -0.5 mA | 9 | | | |
| | | Transmitter switch output | $V_{DD}$ = 3.5 V, $I_{OH}$ = -15 mA | 1.5 | 2.5 | | |
| | | | $V_{DD}$ = 10 V, $I_{OH}$ = -40 mA | 8 | | | |
| $V_{OL}$ | Low-level output voltage, mute output | | $V_{DD}$ = 3 V, $I_{OL}$ = 0.2 mA | | | 0.5 | V |
| | | | $V_{DD}$ = 10 V, $I_{OL}$ = 0.5 mA | | | 0.5 | |
| $I_{OL}$ | Off-state current, transmitter switch output | | $V_{DD}$ = 10 V, $V_O$ = 0 V | | | 10 | μA |
| $I_{DDstby}$ | Standby supply current with outputs unloaded | | $V_{DD}$ = 3.5 V | | 0.25 | 100 | μA |
| | | | $V_{DD}$ = 10 V | | 0.5 | 200 | |
| $I_{DDop}$ | Operating current | | $V_{DD}$ = 3.5 V, See Note 3 | | 1 | 2 | mA |
| | | | $V_{DD}$ = 10 V, See Note 3 | | 5 | 10 | |

## operating characteristics over recommended ranges of operating free-air temperature and supply voltage (unless otherwise noted)

| PARAMETER | | TEST CONDITIONS† | MIN | TYP | MAX | UNIT |
|---|---|---|---|---|---|---|
| Output rms voltage | Row tone | $R_L$ = 330 Ω to 1 kΩ, $T_A$ = 25°C | 317 | 400 | 500 | mV |
| | Column tone | | 396 | 500 | 630 | |
| Preemphasis (column tone to row tone) | | | 1 | 2 | 3 | dB |
| Dual-tone output distortion (see Note 4) | | $V_{DD}$ ≥ 4 V | | | -20 | dB |
| Quiescent tone-output power | | | | | -80 | dBm |
| Tone output rise time (see Note 5) | | | | 3 | 5 | ms |

†Unless otherwise noted, test conditions are: $R_L$ = 620 Ω for $V_{DD}$ ≤ 5 V or $R_L$ = 330 Ω for $V_{DD}$ > 5 V. Crystal parameters are the following: f = 3.579545 MHz ±0.02%, $R_S$ < 100 Ω, $C_L$ = 18 pF, $C_M$ = 0.02 pF, $C_H$ = 5 pF, $L_M$ = 96 mH.

NOTES: 3. Operating current is measured with all outputs unloaded, one row input connected to one column input, and normal oscillator input.

4. Distortion is expressed as the ratio of total out-of-band power relative to the total fundamental power for the dual tone.

5. This is the time required for output to change from its quiescent value to 90% of its final rms value.





TEXAS INSTRUMENTS
POST OFFICE BOX 225012 • DALLAS, TEXAS 75265

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

output waveforms

Typical row and column stairstep approximations of sinusoidal outputs are shown in Figures 1 and 2. The row and column outputs are added together resulting in a typical dual-tone waveform as shown in Figure 3. Spectral analysis of this dual-tone waveform shows that all harmonic and intermodulation distortions are typically 30 dB below the strongest column-tone fundamental.

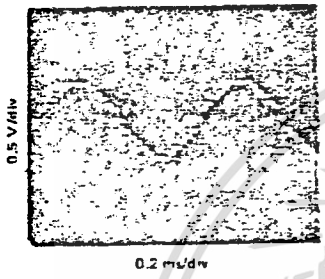


FIGURE 1

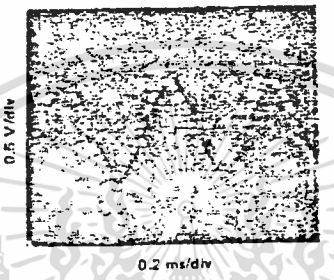


FIGURE 2

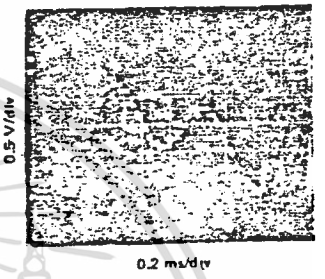


FIGURE 3

distortion considerations

The following formula is used to calculate the total harmonic distortion of a single row or a single column:

$$THD = \left(\frac{\sqrt{V_{2f}^2 + V_{3f}^2 + V_{4f}^2 + V_{5f}^2 + \ldots + V_{nf}^2}}{V_{1f}}\right) \times 100\%$$

where $V_{2f}$ is the second harmonic of the fundamental frequency $V_{1f}$ waveform and so on. The dual-tone total harmonic distortion is:

$$THD = \left(\frac{\sqrt{V_{2R}^2 + V_{3R}^2 + \ldots + V_{nR}^2 + V_{2C}^2 + \ldots V_{nC}^2 \pm V_{IMD}^2}}{\sqrt{V_{FR}^2 + V_{FC}^2}}\right) \times 100\%$$

where $V_{FR}$ and $V_{FC}$ are the row and column fundamental frequency waveforms, and $V_{2R}$ and $V_{2C}$, etc., are the corresponding harmonics.

The total intermodulation distortion is:

$$V_{IMD}^2 = (V_{1R} + V_{1C})^2 + (V_{1R} - V_{1C})^2 + \ldots + (V_{nr} + V_{nC})^2 + (V_{nR} - V_{nC})^2$$

A relatively simple method of distortion measurement uses a spectrum analyzer to relate the harmonics to the fundamental frequency waveform. The tone encoder spectrum indicates the harmonics and intermodulation distortion at least 30 dB down relative to the column tone.

Another method for distortion measurement of the dual-tone waveform is to compare the total power in the fundamental frequencies with the total power in the various harmonics plus intermodulation on a signal analyzer. The encoders provide an output distortion of −20 dB maximum when operated between 3.5 volts and 10 volts. If operated between 3 volts and 3.5 volts, some clipping occurs at the output causing the distortion to exceed the −20 dB level.





เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## TYPICAL APPLICATIONS DATA

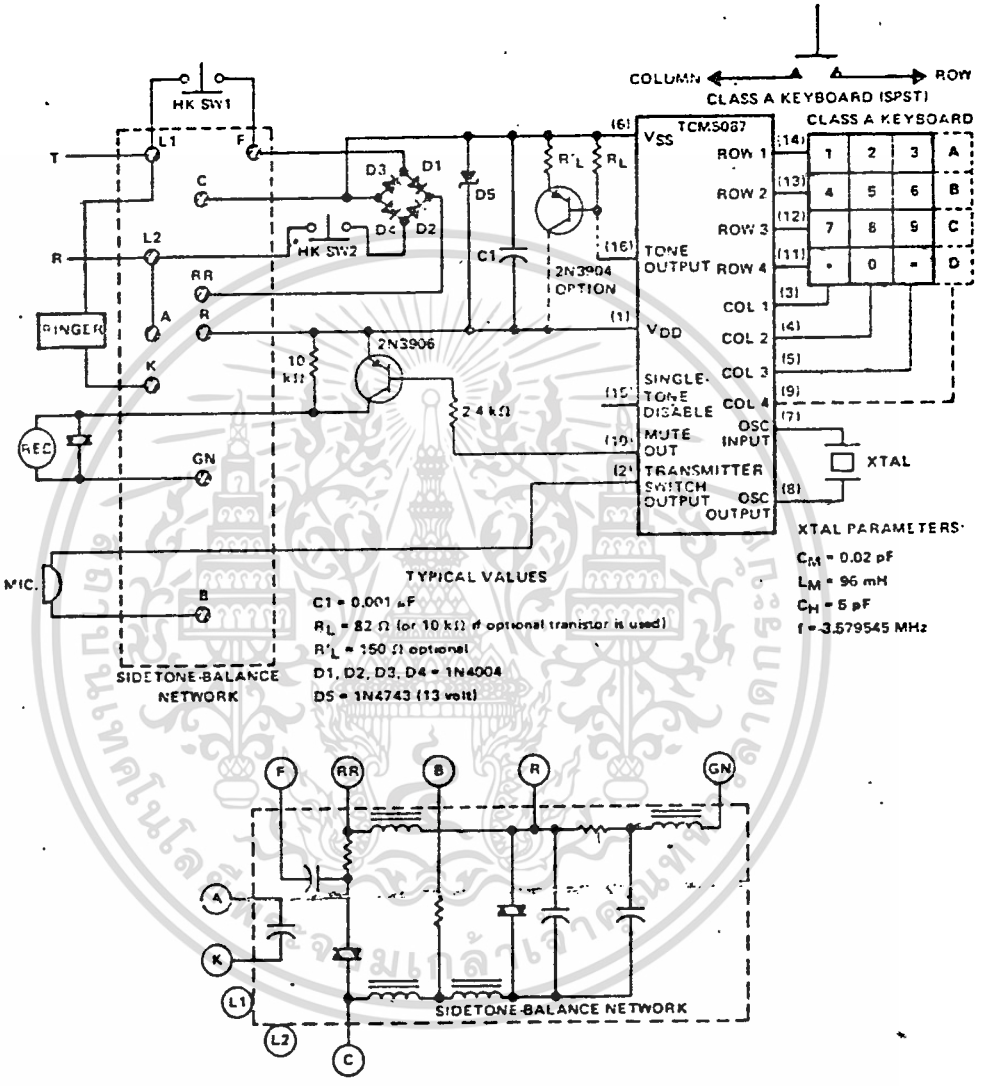



FIGURE 4. TYPICAL APPLICATION USING HYBRID COIL SIDETONE-BALANCE NETWORK, ELECTRONIC SWITCHING, AND LOW-COST (CLASS A) KEYBOARD





TEXAS INSTRUMENTS
POST OFFICE BOX 225012 • DALLAS, TEXAS 75265

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# Consumer Circuits

## LM567/LM567C tone decoder

### general description

The LM567 and LM567C are general purpose tone decoders designed to provide a saturated transistor switch to ground when an input signal is present within the passband. The circuit consists of an I and Q detector driven by a voltage controlled oscillator which determines the center frequency of the decoder. External components are used to independently set center frequency, bandwidth and output delay.

### features

- 20 to 1 frequency range with an external resistor
- Logic compatible output with 100 mA current sinking capability
- Bandwidth adjustable from 0 to 14%
- High rejection of out of band signals and noise
- Immunity to false signals
- Highly stable center frequency
- Center frequency adjustable from 0.01 Hz to 500 kHz

### applications

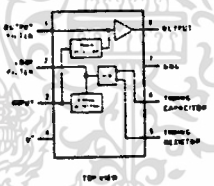
- Touch tone decoding
- Precision oscillator
- Frequency monitoring and control
- Wide band FSK demodulation
- Ultrasonic controls
- Carrier current remote controls
- Communications paging decoders

### schematic and connection diagrams

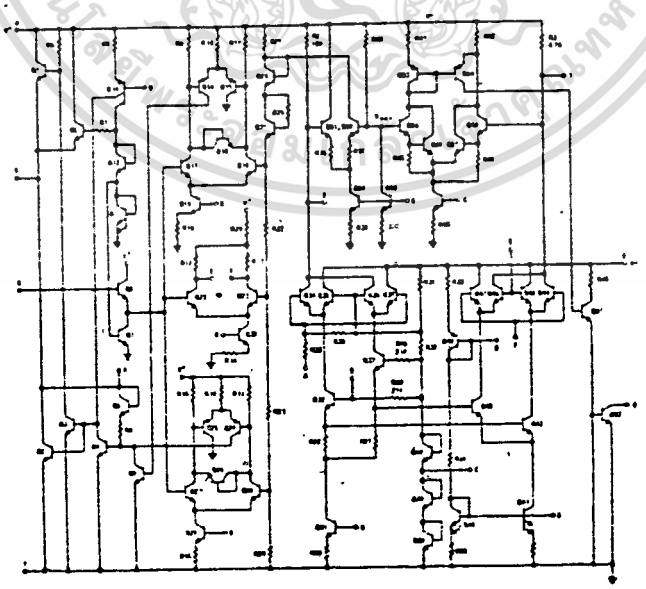
Metal Can Package

Order Number LM567H or LM567CH
See Package 11

Dual-In-Line Package



Order Number LM567CN
See Package 20





เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## absolute maximum ratings

| | |
|---|---|
| Supply Voltage Pin | 10V |
| Power Dissipation (Note 1) | 300 mW |
| $V_6$ | 15V |
| $V_3$ | −10V |
| $V_3$ | $V_8$ + 0.5V |
| Storage Temperature Range | −65°C to +150°C |

## electrical characteristics (AC Test Circuit, $T_A$ = 25°C, $V_C$ = 5V)

| PARAMETERS | CONDITIONS | LM567 | | | LM567C/LM567CN | | | UNITS |
|---|---|---|---|---|---|---|---|---|
| | | MIN | TYP | MAX | MIN | TYP | MAX | |
| Power Supply Voltage Range | | 4.75 | 5.0 | 9.0 | 4.75 | 5.0 | 9.0 | V |
| Power Supply Current | $R_L$ = 20k | | | | | | | |
| Quiescent | | | 6 | 8 | | 7 | 10 | mA |
| Power Supply Current | $R_L$ = 2k | | | | | | | |
| Activated | | | 11 | 13 | | 12 | 15 | mA |
| Input Resistance | | | 20 | | | 20 | | kΩ |
| Smallest Detectable Input Voltage | $I_L$ = 100 mA, $f = f_o$ | | 20 | 25 | | 20 | 25 | mVrms |
| Largest No Output Input Voltage | $I_L$ = 100 mA, $f = f_o$ | 10 | 15 | | 10 | 15 | | mVrms |
| Largest Simultaneous Outband Signal to Inband Signal Ratio | | | 6 | | | 6 | | dB |
| Minimum Input Signal to Wideband Noise Ratio | $B_n$ = 140 kHz | | -6 | | | -6 | | dB |
| Largest Detection Bandwidth | | 12 | 14 | 16 | 10 | 14 | 18 | % of $f_o$ |
| Largest Detection Bandwidth Skew | | | 1 | 2 | | 2 | 3 | % of $f_o$ |
| Largest Detection Bandwidth Variation with Temperature | | | ±0.1 | | | ±0.1 | | %/°C |
| Largest Detection Bandwidth Variation with Supply Voltage | | | ±2 | | | ±2 | | %/V |
| Highest Center Frequency | | 100 | 500 | | 100 | 500 | | kHz |
| Center Frequency Stability | 0 < $T_A$ < 70 | | ± 35 ± 60 | | | 35 ± 60 | | ppm/°C |
| | −55 < $T_A$ < +125 | | 35 ± 140 | | | 35 ± 140 | | ppm/°C |
| Center Frequency Shift with Supply Voltage | | | 0.5 | 1.0 | | 0.4 | 2.0 | %/V |
| Fastest ON OFF Cycling Rate | | | $f_o$/70 | | | $f_o$/20 | | |
| Output Leakage Current | $V_8$ = 15V | | 0.01 | 25 | | 0.01 | 25 | µA |
| Output Saturation Voltage | $e^-$ = 25 mV, $I_8$ = 30 mA | | 0.2 | 0.4 | | 0.2 | 0.4 | V |
| | $e^-$ = 25 mV, $I_8$ = 100 mA | | 0.6 | 1.0 | | 0.8 | 1.0 | |
| Output Fall Time | | | 30 | | | 30 | | ns |
| Output Rise Time | | | 150 | | | 150 | | ns |

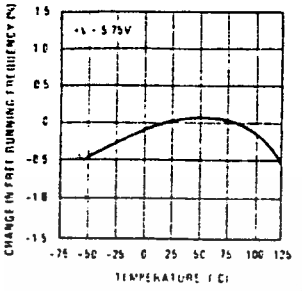
Note 1: The maximum junction temperature of the LM567 is 150°C, while that of the LM567C and LM567CN is 100°C. For operating at elevated temperatures, devices in the TO-5 package must be derated based on a thermal resistance of 150 C/W, junction to ambient or 45°C/W, junction to case. For the DIP the device must be derated based on a thermal resistance of 187 C/W, junction to ambient.



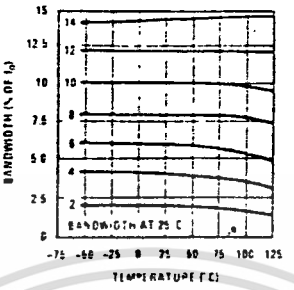
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## typical performance characteristics

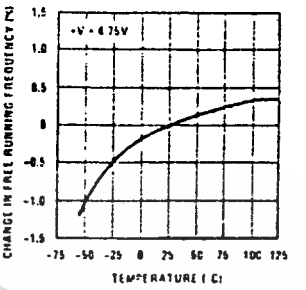
Typical Frequency Drift with Temperature (Mean and S.D.)



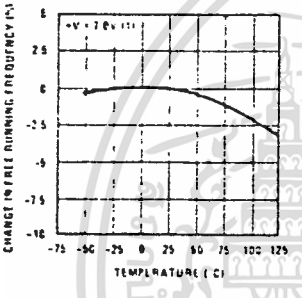

Typical Bandwidth Variation with Temperature



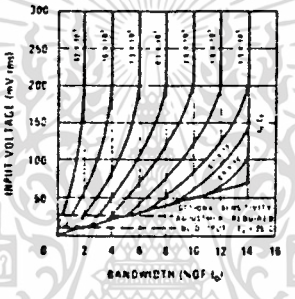

Typical Frequency Drift with (Mean and S.D.) Temperature



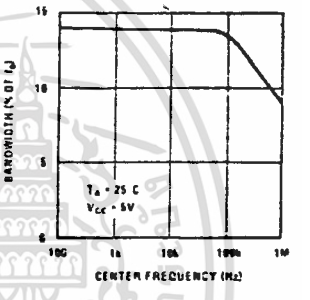

Typical Frequency Drift with Temperature (Mean and S.D.)



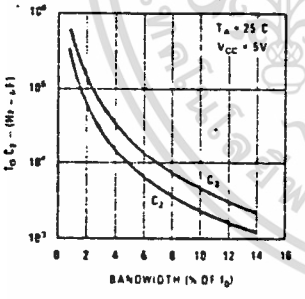

Bandwith vs Input Signal Amplitude



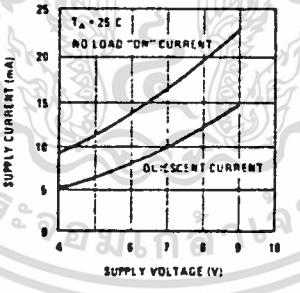

Largest Detection Bandwidth



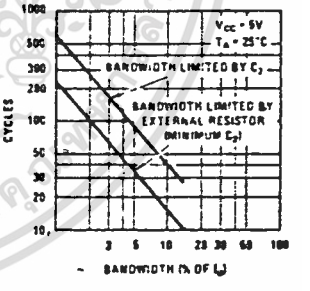

Detection Bandwidth as a Function of $C_2$ and $C_3$



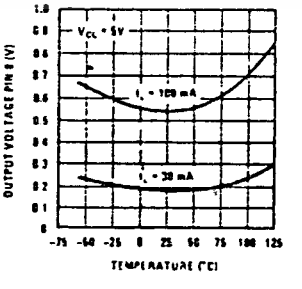

Typical Supply Current vs Supply Voltage




Greatest Number of Cycles Before Output




Typical Output Voltage vs Temperature

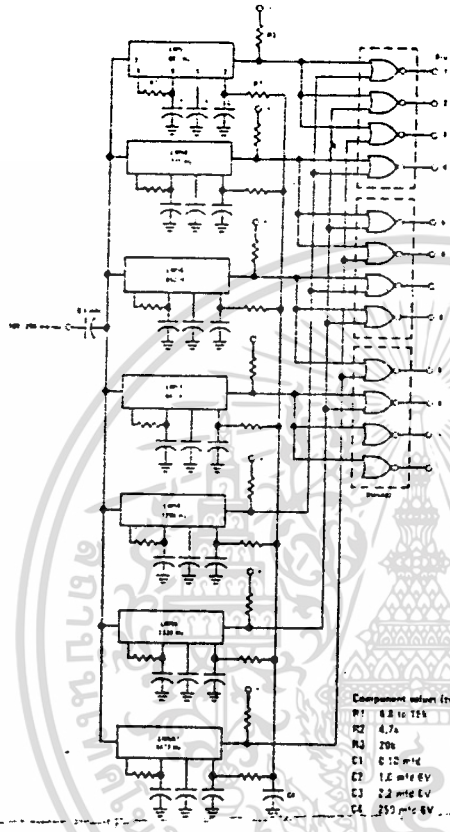




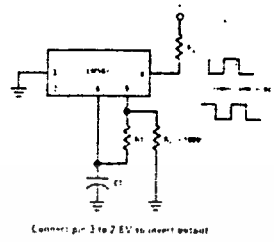

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## typical applications

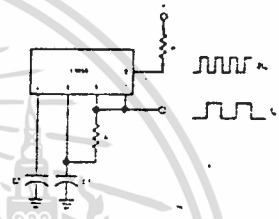
Touch-Tone Decoder



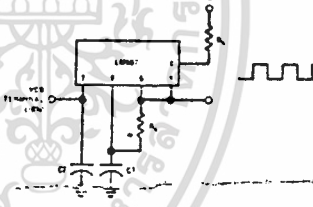
Oscillator with Quadrature Output



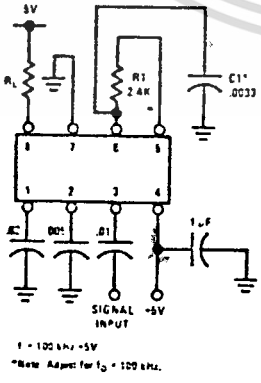
Oscillator with Double Frequency Output



Precision Oscillator Drive 100 mA Loads



## ac test circuit



## applications information

The center frequency of the tone decoder is equal to the free running frequency of the VCO. This is given by

$$f_o \cong \frac{1}{R_1 C_1}$$

The bandwidth of the filter may be found from the approximation

$$BW = 1070 \sqrt{\frac{V_i}{f_o C_2}} \quad \text{in \% of } f_o$$

Where:

$V_i$ = Input voltage (volts rms), $V_i \leq 200$ mV

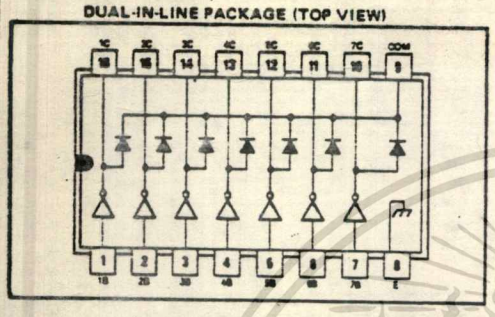
$C_2$ = Capacitance at Pin 2 ($\mu$F)



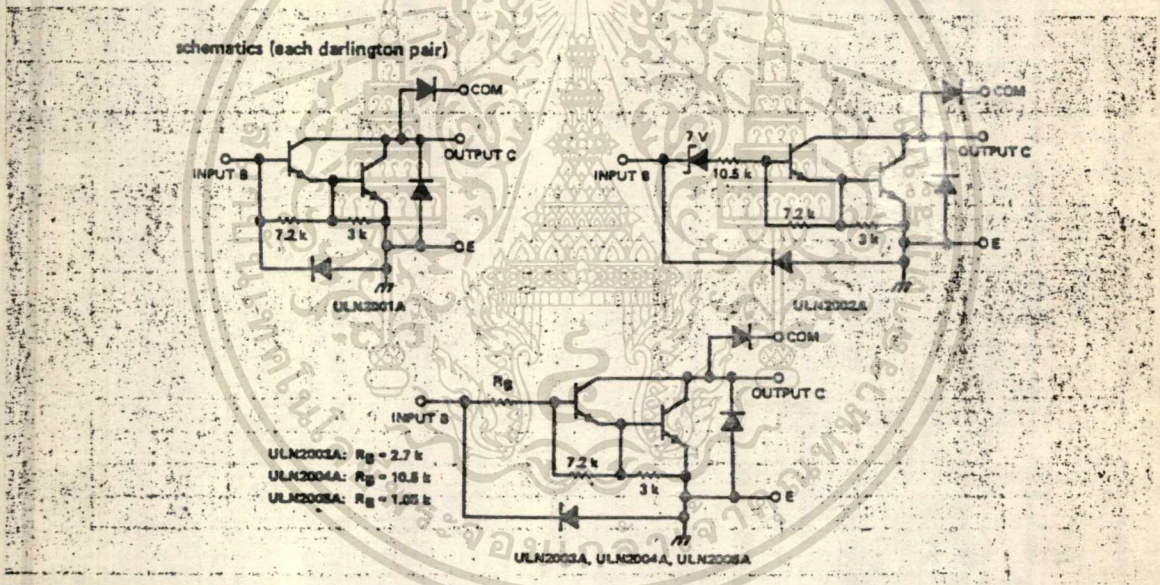
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# ULN 2001AN, ULN 2002AN
# ULN 2003AN, ULN 2004AN

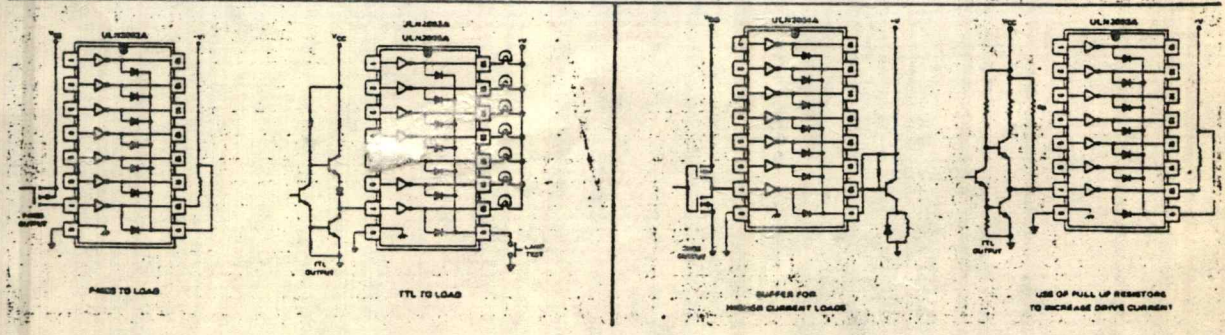
## high-voltage high-current darlington transistor arrays




- ขับโหลดได้ถึง 500 mA
- ทนแรงดันออกได้สูงถึง 50 โวลท์
- มีไดโอดต่อป้องกันไว้ภายในสำหรับขับรีเลย์ได้เลย
- ULN 2001 สำหรับอินพุทแบบ TTL, DTL, CMOS
- ULN 2002 สำหรับอินพุทขนาด 14-25V
- ULN 2003 สำหรับอินพุทแบบ TTL หรือ CMOS ขนาด 5V
- ULN 2004 สำหรับอินพุท ขนาด 6-15V




## ตัวอย่างการนำไปใช้งาน



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# กิตติกรรมประกาศ

เราขอขอบคุณ ผศ.ดร. กนก เจนจิระพงศ์เวช และ อาจารย์ชวลิต เบญจางคประเสริฐ ที่ได้ช่วยเหลือให้ความรู้และความสะดวก ในการจัดทำวิทยานิพนธ์ฉบับนี้

เราขอแสดงความขอบคุณต่อบุคคลต่อไปนี้ ที่ช่วยให้เราตัดสินใจทำวิทยานิพนธ์ ฉบับนี้ขึ้นมาเราขอบคุณ วรสาร อิเลคทรอนิคส์เวิลย์ วรสาร เซมิคอนดัดเตอร์ อิเลคทรอนิคส์ และขอขอบคุณห้องสมุด คณะวิศวกรรมศาสตร์ ที่ให้ข้อมูลแก่คณะผู้จัดทำ

เราขอขอบคุณ คุณพ่อคุณแม่ ที่เลี้ยงดูเรามาและพี่ ๆ น้อง ๆ ที่มีส่วนช่วยสนับสนุนในการทำวิทยานิพนธ์ฉบับนี้และขอขอบคุณเพื่อน ๆ และมิตรที่รักทุกคนที่ช่วยเหลือ จนทำให้วิทยานิพนธ์ฉบับนี้สำเร็จลงได้

พันศักดิ์ เพียรพิทยากุล
เมธีชัย ฉวางวงศานุกูล
ศิริชัย แก้วมณี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# เอกสารอ้างอิง


1. ยืน ภู่วรวรรณ,วัฒนา เชียงกูล, " ไมโครโปรเซสเซอร์ ไมโครคอมพิวเตอร์ " ,ซีเอ็ดยูเคชั่น , 2525
2. ชูชัย ธนสารตั้งเจริญ และคณะ, " การใช้งาน Z80 ", โครงการตำราเรียน PHYSICS CENTER
3. สมชาย วิศิษฏ์ภาคา, " ชุดวิเคราะห์เสียงพูด " , วรสาร เซมิคอนดัคเตอร์ อิเลคทรอนิคส์ , ฉบับที่ 112 , 2530 , หน้า 21 - 26
4. ห้องสมุดคณะวิศวกรรมศาสตร์ พระจอมเกล้าลาดกระบัง



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้