ชุดฝึก เครื่องส่ง-เครื่องรับ PCM.(PULSE CODE MODULATION)

(PCM. TRANSMITTER AND RECEIVER)

นายเจริญ มณีจันทร์

นายวีระพล พงษ์บริบูรณ์

วิทยานิพนธ์สำหรับปริญญาอุตสาหกรรมศาสตร์บัณฑิต

สาขาเทคโนโลยีอิเล็กทรอนิกส์

ภาควิชาเทคนิคอุตสาหกรรม

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2532

026905

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ปีการศึกษา 2532

เรื่อง ชุดเครื่องส่ง-เครื่องรับ PCM

ผู้จัดทำ

1. นายเจริญ นณีจันทร์

2. นายวีระพล พงษ์บริบูรณ์

.....อาจารย์ที่ปรึกษา

(ผศ.ดร.กนก เจนจิระพงศ์เวช)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

บทคัดย่อ

โครงงานนี้เป็นการออกแบบ-สร้างเครื่องส่ง-เครื่องรับ PCM (PCM transmitter and receiver) เนื่องเป็นการศึกษาระบบสื่อสารหรือโทรคมนาคมและเป็นต้นแบบหรือแนวทางที่จะขยายไปสู่ระบบหลายช่อง (multi-channel) ในระบบ PCM นี้จะมีความแม่นยำมากกว่าหรือเกิดการผิดเพี้ยน (distortion) ของสัญญาณในการส่งน้อยกว่าการส่งในลักษณะของสัญญาณอนาลอก (analog communication) สิ่งรบกวน (noise) ที่มีขึ้นก็สามารถแก้ไขหรือพอที่จะยอมให้เกิดขึ้นได้ เช่น ความผิดพลาดในการจัดระดับ (quantizing error) เป็นต้น ข่าวสาร (massage) ที่ต้องการส่งซึ่งเป็นสัญญาณอนาลอก (analog signal)จะถูกทำการสุ่มตัวอย่าง (sampling),จัดระดับ(quantizing) และเข้ารหัส (encoding) เป็นสัญญาณดิจิตอล (digital signal) ในรูปแบบของเลขฐานสอง 8 บิท (8-bit binary code) จากนั้นทำการส่งออกไปแบบอนุกรม (serial) ทางภาครับก็จะทำการถอดรหัส (decoding) ออกมา ดังนั้นจึงได้สัญญาณเอาท์พุทจากภาครับ (analog output signal) ในรูปแบบที่ใกล้เคียงหรืออาจพูดได้ว่าเหมือนกับสัญญาณอนาลอกที่ต้องการส่งมา (original analog signal)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Abstract

This thesis is design and product the PCM transmitter and receiver. That is education about the communication and telecommuni - cation or multi - channel. The PCM have accuracy more than analog communication. We can be prevent to noise or concession to do,such as quantizing error and ect.. Sampling signals sent to output by analog signals or messages. It is quantizing and encoding to digital signals. A digital signals shown in the 8 - bit binary code. It sent to the - receiver by serial circuit and it is decoding to output circuit. Output signal will have waveform as input signal as.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

	หน้า
กิตติกรรมประกาศ	ก
บทคัดย่อ	ข
สารบัญ	ค
บทที่ 1 บทนำ	ง
1.1 วัตถุประสงค์	1
1.2 ขอบเขตของโครงงาน	1
1.3 ประโยชน์ที่คาดว่าจะได้รับ	2
1.4 ข้อกำหนดของโครงงาน	2
1.5 นิยามความสามารถ (specification)	3
1.6 ข้อดีของระบบ PCM	3
1.7 ข้อเสียของระบบ PCM	4
บทที่ 2 ทฤษฎีและหลักการของ PCM	5
2.1 ส่วนประกอบพื้นฐานของระบบ PCM	5
2.2 ทฤษฎีการสุ่มตัวอย่าง (Sampling theorem)	6
2.3 การจัดระดับ (Quantization)	7
2.4 การเข้ารหัส (Encoding)	9
2.5 การถอดรหัส (Decoding)	11
2.6 การส่ง (Transmission)	11
2.7 Synchronisation	12
2.8 Noise in PCM System	13
บทที่ 3 การออกแบบ-สร้าง	15
3.1 เครื่องส่ง (Transmitter)	15
3.1.1 วงจรกรองผ่านความถี่ต่ำ (Low-pass filter)	17
3.1.2 วงจรแปลงแรงดัน (Voltage changer)	22

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

	หน้า
3.1.3 สัญญาณนาฬิกา (Clock)	23
3.1.4 วงจรแปลงสัญญาณอนาลอกเป็นดิจิตอล (ADC)	24
3.1.5 วงจรกำเนิดพัลซ์ (Pulse generator)	26
3.1.6 วงจรเปลี่ยนสัญญาณแบบขนานเป็นแบบอนุกรม (PISO)	28
3.2 เครื่องรับ (Receiver)	28
3.2.1 วงจรเปลี่ยนสัญญาณแบบอนุกรมเป็นแบบขนาน (SIPO)	29
3.2.2 Synchronizing Code Detector	29
3.2.3 วงจรแลทช์ (Latch)	35
3.2.4 วงจรแปลงสัญญาณดิจิตอลเป็นอนาลอก (DAC)	36
3.2.5 แหล่งจ่ายไฟ (Power supply)	37
บทที่ 4 บทสรุปและข้อเสนอแนะ	39
4.1 บทสรุป	39
4.2 ข้อเสนอแนะ	40
ข้อแก้ไข	40
พัฒนาต่อ	40
ภาคผนวก ข้อมูลทางเทคนิคของวัสดุ	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1

บทนำ

PCM (Pulse Code Modulation) เป็นการสื่อสารแบบดิจิตอล (digital communication) โดยธรรมชาติส่วนใหญ่แล้วข่าวสาร (message) จะเป็นสัญญาณอนาลอก (analog signal)

ก่อนคริสต์ศตวรรษที่ 20 การส่งสัญญาณเสียง (speech signal) ในรูปแบบของ analog transmission เป็นที่เหมาะสมกับความต้องการ , ตัวกลางและเทคโนโลยีในสมัยนั้น ต่อมาก่อนจะถึงยุคที่เกิดสงครามโลกครั้งที่ 2ไม่นาน ก็มีนักวิจัยบางคนได้หันเหความสนใจมาศึกษา ค้นคว้าถึงความเป็นไปได้ที่จะใช้วิธีการทางดิจิตอลสำหรับการส่งสัญญาณเสียงพูด (speech signal) แต่ทว่าในสมัยนั้นยังไม่มีความเจริญหรือการเปลี่ยนแปลงทางด้าน digital electronics และ computer มากนักดังเช่นปัจจุบัน ในปี ค.ศ. 1926 ได้มีการเสนอวิธีการที่จะลอกเลียนแบบสัญญาณ (facsimile signal) โดย P.M. Rainey ซึ่งอยู่กับ Western Electronic Company แต่ผลงานของเขาได้รับความสนใจเพียงน้อยนิด

PCM ได้ถูกคิดค้นหรือกำเนิดลิขสิทธิ์ขึ้นในปี ค.ศ. 1939 โดย Sir Alec Reeves ซึ่งในสมัยนั้นเขาเป็นวิศวกรประจำห้องปฏิบัติการ (laboratory) ของ International Telephone and Telegraph Company (ITT) ในประเทศฝรั่งเศส เขาได้ใช้เทคนิคการสุ่มตัวอย่าง (sampling) สัญญาณอนาลอก (analog signal) และการเข้ารหัส (coding) ค่าแอมปลิจูด (amplitude) ของสัญญาณที่สุ่มตัวอย่างมา (sample) ให้เป็นสัญญาณพัลซ์เลขฐานสอง (binary number pulses) แล้วจึงส่งพัลซ์ (pulse) นี้ออกไปแบบอนุกรม (serial transmission) ที่เครื่องรับจะทำการสร้างสัญญาณอนาลอกที่เหมือนกับสัญญาณต้นกำเนิด (original analog signal) โดยสร้างจากพัลซ์ (pulse)ที่รับเข้ามา

อาจกล่าวได้ว่า PCM ขึ้นอยู่กับส่วนประกอบหลัก 3 ส่วนคือ

1. การสุ่มตัวอย่าง (sampling)
2. การจัดระดับ (quantizing)
3. การเข้ารหัส (coding)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ในปัจจุบันนี้มีการใช้ระบบดิจิตอลกันอย่างกว้างขวาง ดังนั้น CCITT (International Telegraph and Telephone Consulative Committee) จึงมีข้อกำหนดในการส่งของ PCM ให้อยู่บนมาตราฐานอันเดียวกัน

ระบบ PCM ในการส่งโทรศัพท์ได้เริ่มพัฒนากันมาตั้งแต่กลางปี ค.ศ.1950 และนำมาใช้งานตั้งแต่ต้นปี ค.ศ.1960 สถาบันและบริษัทผู้ผลิตต่างฯ ได้ใช้เทคนิคในการแก้ปัญหาต่างกันออกไป เท่าที่มีใช้อยู่ในปัจจุบัน พอจำแนกออกได้เป็น 4 ระบบคือ

1. ระบบ 24 channel 1.54 megabit rate ใช้ 7 bit speech coding ระบบนี้ออกแบบมาไว้สำหรับ local area network ใช้กันแพร่หลายในอเมริกา
2. ระบบ 30 channel 2.048 megabit rate ใช้ 8 bit speech coding ระบบนี้ใช้กันเป็นมาตราฐานในกลุ่มประเทศทางยุโรป
3. ระบบ 24 channel 1.544 megabit rate ใช้ 8 bit speech coding ระบบนี้สำหรับการส่งโทรศัพท์ในระยะทางไกล (long distance transmission) มีใช้กันมากในอเมริกา
4. ระบบ 24 channel 1.536 megabit rate ใช้ 7 bit speech coding ระบบนี้ได้รับการพัฒนาขึ้นใช้ในประเทศอังกฤษ

1.1 วัตถุประสงค์ของโครงงาน

1. เพื่อศึกษาถึงพื้นฐานการสื่อสารแบบดิจิตอล (digital communication) ในระบบ PCM
2. ออกแบบและสร้างต้นแบบเครื่องรับ - เครื่องส่ง PCM (PCM Transmitter and Receiver) แบบช่องเดียว (one - channel)
3. เพื่อเป็นแนวทางการขยายไปสู่การออกแบบและสร้างแบบหลายช่อง (multi - channel)

1.2 ขอบเขตของโครงงาน

ด้านเครื่องส่ง : สามารถเปลี่ยนสัญญาณที่ต้องการส่งซึ่งเป็นสัญญาณอนาลอก (analog signal)

- เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ให้เป็นสัญญาณดิจิตอล 8 บิท (8 bit binary number) โดยการสุ่มตัวอย่าง (sampling) จัดระดับขั้น(quantizing), เข้ารหัส(coding)จากนั้นจึงส่งออกไปแบบอนุกรม(serialtransmission) สลับกับ synchronizing code ซึ่งมี 8 บิท เช่นกัน นั่นคือสัญญาณที่จะส่งออกไปจะประกอบด้วยส่วนที่เป็นข้อมูล (data) 8บิท สลับกับส่วนที่เป็น synchronizing code อีก 8 บิท เช่นนี้เรื่อยๆดังรูปที่1.1

- - - DDDDDDDDSSSSSSSSDDDDDDDDSSSSSSSSDDDDDDDDSSSSSSSS- - -

เมื่อ D คือข้อมูล (data)

S คือ synchronizing code

รูปที่ 1.1 แสดงรูปแบบการส่งสัญญาณ (ดิจิตอล)

ด้านเครื่องรับ : สามารถรับสัญญาณที่ส่งมาจากเครื่องส่ง (รูปที่ 1.1) แล้วนำไปทำการแยกให้ถูกว่า 8 บิทใดคือข้อมูล และ 8 บิทใดคือ synchronizing code นำเอา เฉพาะส่วนที่เป็นข้อมูลไปทำการถอดรหัส (decoding) เพื่อสร้างสัญญาณอนาลอกที่เหมือนหรือใกล้เคียงสัญญาณอนาลอกต้นกำเนิด (facsimile original analog signal)

1.3 <u>ประโยชน์ที่คาดว่าจะได้รับ</u>

1. สามารถนำไปใช้ในการศึกษาเกี่ยวกับการสื่อสารแบบดิจิตอล (digital communication) โดยพื้นฐานได้โดยเฉพาะในระบบ PCM
2. เป็นต้นแบบพื้นฐานของเครื่องส่ง - เครื่องรับ PCM เพื่อการพัฒนาระบบ PCM ให้ดียิ่งขึ้น
3. เป็นต้นแบบเพื่อการขยายไปสู่ระบบ PCM หลายช่อง (multi-channel)

1.4 <u>ข้อกำหนดของโครงงาน</u>

โครงงานนี้มีข้อกำหนดทั่วๆไป ดังต่อไปนี้

1. ใช้อุปกรณ์ราคาถูก หาซื้อได้ง่าย
2. สร้าง ประกอบและซ่อมแซมในภายหลังได้
3. ใช้งานได้สะดวก ง่าย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

4. มีความละเอียด ความแม่นยำพอสมควร

1.5 ขีดความสามารถ(specification)

1.เครื่องส่งสามารถรับสัญญาณอินพุทได้ในช่วง -10 V. ถึง +10 V.

2.แปลงสัญญาณที่รับเข้ามาให้เป็นสัญญาณดิจิตอล 8 บิท

3.มี synchronizing code 8 บิท (11010100)

4.เครื่องส่งจะส่งสัญญาณออกไปแบบอนุกรม (serial transmission)

5.เครื่องรับจะให้เอาท์พุทออกมาในช่วง -10 V. ถึง +10 V.

6.ความเร็วในการส่งประมาณ 131.2 kbit/sec (รวมทั้ง synchronizing code)

1.6 ข้อดีของระบบ PCM

1.ในการสื่อสารระยะทางไกลฯ สัญญาณ PCM สามารถที่จะถูกทวนให้สมบูรณ์ได้ในระหว่างทางโดยใช้ตัวทวนสัญญาณ (repeator) เพราะสิ่งที่ถูกส่ง (information) จะอยู่ในรูปของรหัส (code) สัญญาณรบกวนในการส่ง (transmission) จะไม่มีผลและไม่มีการสะสมมากขึ้นเพราะจะถูกกำจัดออกไปโดยตัวทวนสัญญาณ (repeator) ที่อยู่ถัดกันไประหว่างทาง

2.วงจรมอดูเลชั่นและดีมอดูเลชั่น (modulation and demodulation circuit) ล้วนแต่เป็นดิจิตอล ดังนั้นจึงมีความเชื่อถือได้ (reliability) และ เสถียรภาพสูง และยังสามารถออกแบบโดยใช้ไอซี (integrated circuit) ได้โดยง่าย

3.ที่อิทพุทมีค่า S/N ต่ำ เอาท์พุทจะมีค่า S/N ดีกว่าที่ใช้อนาลอกมอดูเลชั่น (analog modulation)

4.สัญญาณสามารถจะถูกเก็บไว้ได้อย่างมีประสิทธิภาพ เช่น บนดาวเทียมข้อมูล PCM จะถูกกำเนิดขึ้นนาทีละหนึ่งครั้งตลอดช่วงเวลา 90 นาที แล้วจึงทำการส่งสัญญาณลงมายังภาคพื้นดินครั้งหนึ่งโดยใช้เวลาเพียงไม่กี่วินาที

5.การใช้รหัสที่มีประสิทธิภาพสามารถลดความฟุ่มเฟือยในข่าวสาร (message) ได้ เช่น จะส่งคำอวยพรว่า "A MERRY CHRISTMAS AND A HAPPY NEW YEAR" ก็จะเป็นการง่ายและประหยัดในการส่งสัญญาณโดยการกำหนดรหัสขึ้นมา เช่น อาจเป็นตัวเลข ใช้กับข้อความที่มีการใช้บ่อยๆ

6.สามารถที่จะส่งโดยใช้แสงในเส้นใยนำแสงได้ (optic fiber) และท่อนำคลื่น (waveguide)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ได้อย่างเหมาะสมในย่านความถี่ 30 ถึง 100 GHz

7. สะดวกในการใช้อิเล็กทรอนิกส์สวิทชิ่ง (electronic switching) สำหรับสัญญาณดิจิตอล (digital signal) เพื่อเลือกกลุ่มสัญญาณ (group of digit) ลักษณะนี้เรียกว่า " packet switching "

1.7 ข้อเสียของระบบ PCM

PCM เป็นการสื่อสารแบบดิจิตอล (digital communication) จึงมีข้อเสียดังนี้

1. ต้องการช่วงความถี่ (bandwidth) ที่กว้าง เช่น audio channel โดยปกติต้องใช้ analog bandwidth 4 KHz แต่ในระบบ PCM จะต้องการถึง 64KHz ปัญหานี้มีทางแก้ไขโดย signal processing และใช้เทคนิคพิเศษในการมอดูเลชั่น (special modulation) techniques) แต่ก็ต้องเสียค่าใช้จ่ายสูงและซับซ้อนอีกด้วย
2. time division digital transmission ไม่คอมแพทิเบิล (compatible) กับ frequency division analog transmission ในรูปแบบของการใช้กระแสทั้งสองนี้ไม่สามารถที่จะถูกส่งไปโดยใช้คลื่นพาหะ (carrier) ตัวเดียวกันในเวลาเดียว

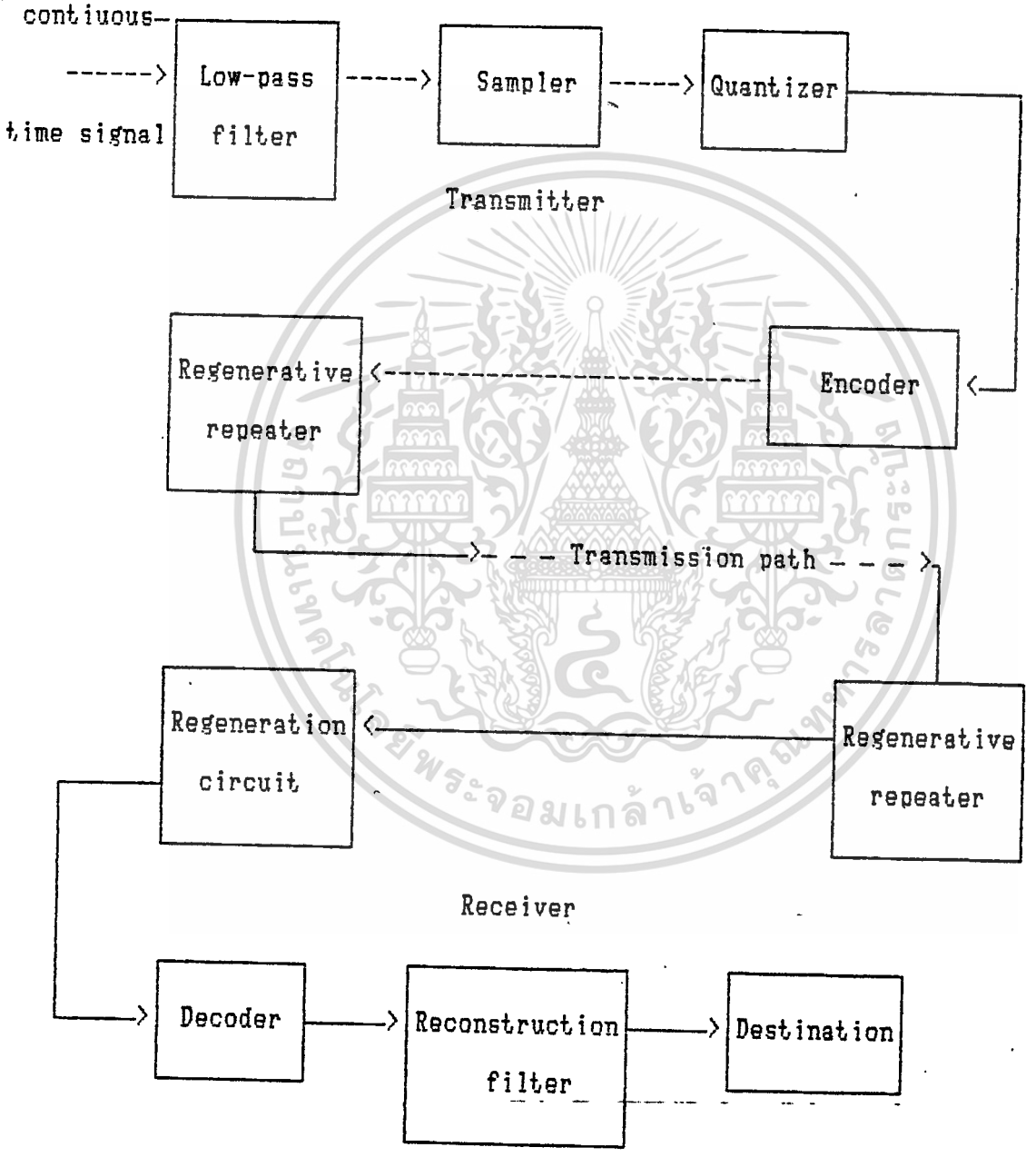
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2

ทฤษฎี และหลักการของ PCM

2.1 ส่วนประกอบพื้นฐานของระบบ PCM

ในการส่ง - รับของระบบ PCM ที่ใช้กับสัญญาณเสียงพูด (speech signal) หรือสัญญาณอื่น ๆ พอที่จะแสดงส่วนประกอบพื้นฐานคร่าว ๆ ได้ดังรูปที่ 2.1

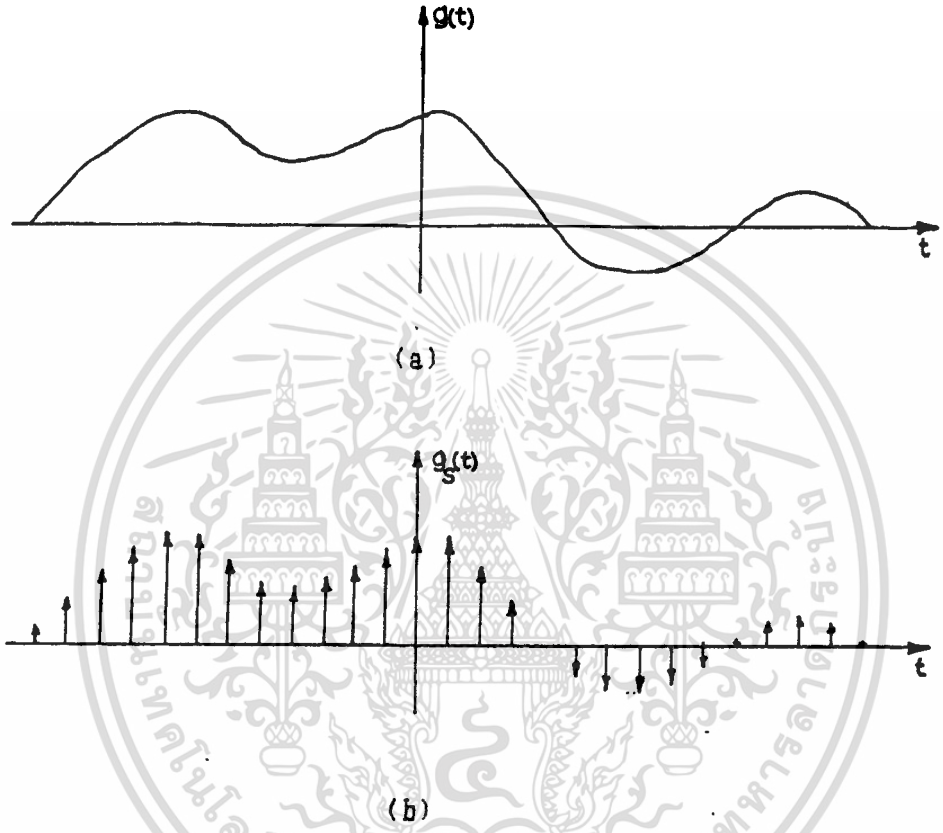


รูปที่ 2.1 แสดงองค์ประกอบพื้นฐานของระบบ PCM

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

2.2 <u>ทฤษฎีการสุ่มตัวอย่าง (sampling Theorem)</u>

พิจารณาสัญญาณอนาลอกใดๆ ที่หาค่าได้ (finite energy signal) ให้เป็น g(t) ทำการสุ่มตัวอย่าง (sampling) ด้วยอัตราที่คงที่อันหนึ่ง ให้เป็น 1/ T_s (T_s = sampling period) ทำให้ได้ g_s (t) ดูรูปที่ 2.2



รูปที่2.2 (a) continouus time signal

(b) sampled signal

นั้นคือการทำ continuous function ให้เป็น discrete function

ตามมาตราฐานของ CCITT ได้กำหนดความถี่เสียงที่ใช้ในการสื่อสารไว้ในช่วง 300 ถึง 3400 Hz และอัตราการสุ่มตัวอย่าง (sampling rate) มีค่า 8000 samplesper second

ในทฤษฎีการสุ่มตัวอย่าง (sampling therem) สามารถพิสูจน์ออกมาได้ หาดูได้จากหนังสือที่มีหัวข้อเรื่อง digital communication) ว่าอัตราการสุ่มตัวอย่าง (sampling rate) ต้องมีค่ามากกว่าหรือเท่ากับ 2 เท่าของ bandwidth ของสัญญาณ g(t) (speech signal)

$$1/T_s > 2B$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

B = ความถี่ bandwidth ของสัญญาณ g(t)

ในทางปฏิบัติเพื่อความแน่นอนจึงใช้อัตราการสุ่มตัวอย่าง ให้มากกว่าสองเท่าของ bandwidth ของสัญญาณ ดังเช่น มาตราฐานของ CCITT ที่กล่าวมาเพื่อป้องกันกราเกิดปรากฏการณ์ที่เรียกว่า " aliasing effact " ซึ่งรายละเอียดเกี่ยวกับเรื่องนี้ไม่อยู่ในขอบเขตของการศึกษาในโครงการนี้

2.3 <u>การจัดระดับ (Quantization)</u>

ในที่นี้จะกล่าวถึงการจัดระดับยูนิฟอร์ม (uniform quantizing) หมายถึงการแบ่งระดับของสัญญาณอ้างอิงในการจัดระดับออกเป็นขั้นที่มีช่วงห่างเท่ากัน ความแตกต่างระหว่างขั้นที่ถัดกันเรียกว่า " ควอนตัน (quantum) "

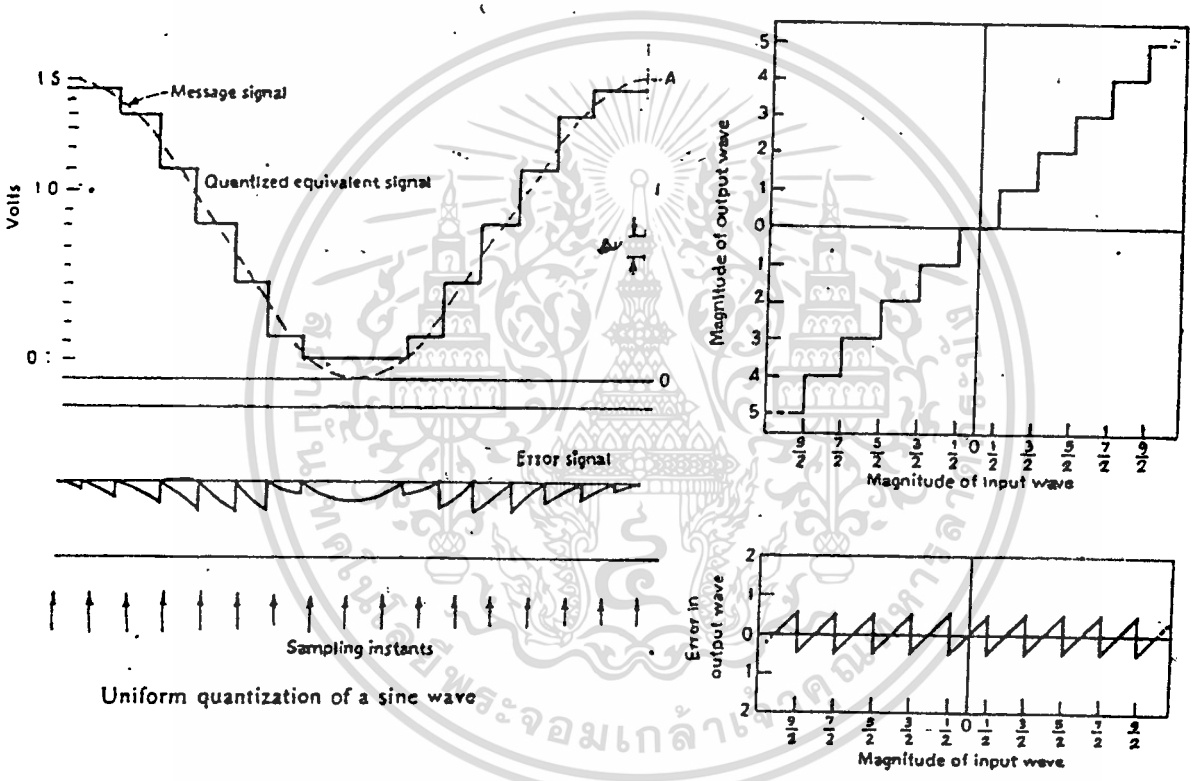
ถ้าต้องการแปลงสัญญาณให้ได้ 8 บิต จะได้จำนวนขั้นทั้งหมดอยู่ 256 ขั้น เป็นไปตามสมการข้างล่างคือ

$$q = 2^N$$

q = จำนวนขั้น (ระดับ)

N = จำนวนบิตที่ใช้

ในรูปที่ 2.3 แสดงถึงลักษณะขั้นบันได (staircase charateristic) ของการจัดระดับ (quantizing) เมื่อสัญญาณป้อนเข้าสู่ตัวจัดระดับ (quantizeeer) จะมีลักษณะอินพุต-เอาท์พุตดังรูปที่ 2.3 สัญญาณอินพุตจะถูกจัดให้อยู่ในขั้นที่ m ใดๆ ถ้าแอมปลิจุด (ammplitude) อยู่ในช่วงควอนตัมนั้น โดยมีจุดกึ่งกลางของแต่ละควอนตัมเป็นจุดอ้างอิงของควอนตัมนั้นๆ ไม่ว่าสัญญาณอินพุตนั้นจะน้อยกว่าหรือมากกว่าจุดกึ่งกลางของควอนตันที่ m นั้นๆ โดยไม่เกินครึ่งหนึ่งของระดับควอนตัมที่เข้าไปสู่ควอนตัมที่ (m+1) หรือ (m+1) ด้วยเหตุนี้เองจึงทำให้เกิดความผิดพลาดในการจัดระดับ (quantizing wrror) ขึ้น ซึ่งอย่างมากก็แค่ผิดพลาดครึ่งขั้นควอนตัม (half of one quantum stem) เท่านั้น



รูปที่ 2.3 แสดงถึงหลักการจัดระดับ (quantizing principle)

2.4 การเข้ารหัส (enconding)

การเข้ารหัส (encoding) เป็นการนำเอาสัญญาณที่ผ่านการสุ่มตัวอย่าง และการจัดระดับ (quantizing) ซึ่งจะเป็นสัญญาณไม่ต่อเนื่อง (discrete signal) ที่แอมปลิจูด(amplitude) ต่างๆกันมาทำให้เป็นสัญญาณดิจิตอล (digital signal) อาจประกอบด้วยภาวะประสม "1" กับ "0" (เรียกว่า "binary code") หรือ "1" "0" และ "-1" (เรียกว่า "ternary code") แต่อย่างไรก็ตาม binary code จะเป็นที่นิยมกันมากกว่าด้วยเหตุผลที่ว่าสามารถต่อสิ่งรบกวนได้ดีกว่า (regeneration)

รูปที่2.4 เป็นการถึงกรานำเอา binary symbol ("1" และ "0")มาใช้ในสัญญาณไฟฟ้า

รูปที่2.4 (a) มี 2ภาวะ คือ ภาวะที่มี pulse ("1") กับภาวะที่ไม่มีpulse("0") จึงเรียกว่า "on-off signal" หรือเป็นแบบ "unipolar"

รูปที่2.4 (b) ภาวะ "1" ถูกแทนด้วยพัลซ์บวก (positive pulse) และ "0" ถูกแทนด้วยพัลซ์ลบ (negative pulse) สัญญาณที่อยู่ในลักษณะนี้เป็นแบบ "bipolar"

สัญญาณทั้งแบบ on-off signal (unpolar) และ bipolar อาจเรียกว่าเป็นสัญญาณแบบ "nonreturn-to-zero (NRZ)"

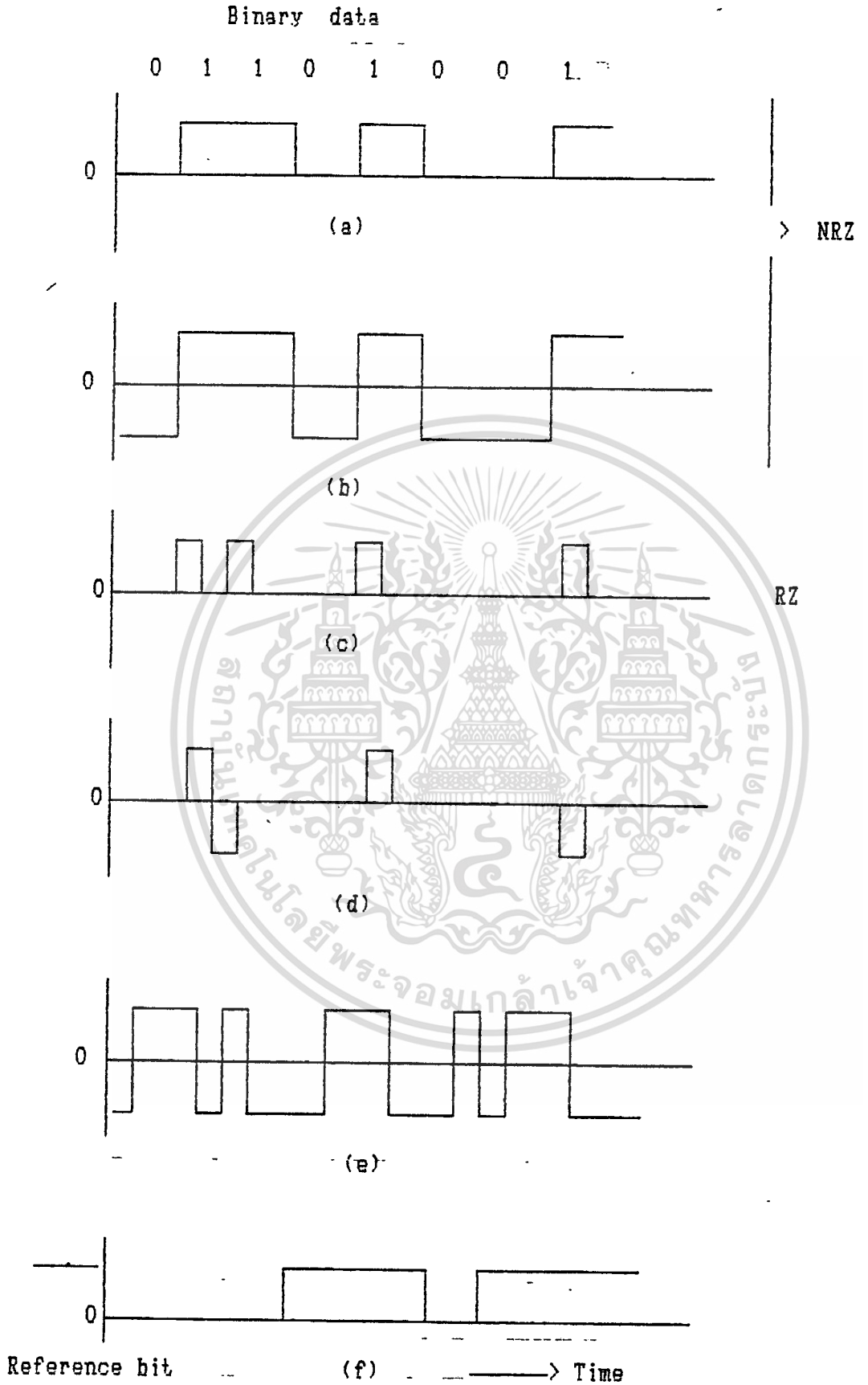
รูปที่2.4 (c) จะเรียกว่าเป็นแบบ "return-to-zero (RZ)" เพราะในหนึ่งบิตใดๆ จะต้องมีครึ่งบิตอยู่ที่ภาวะ "0"

รูปที่2.4 (d) ในหนึ่งบิตภาวะ "1" จะถูกแทนด้วยพัลซ์บวก (positive pulse) หรือพัลซ์ลบ (negative pulse) สลับกันเสียครึ่งบิต ส่วนอีกครึ่งบิตเป็นศูนย์ในภาวะที่เป็น "0" จะแทนด้วยศูนย์ทั้งบิต จึงทำให้ดูเหมือนว่ามี 3 สถานะ (3-state) ดังนั้นจึงได้ชื่อว่า "pseudoternary"

รูปที่2.4 (e)"1" แทนด้วยพัลซ์บวก(positive pulse) ในครึ่งบิตแรกส่วนครึ่งบิตหลังด้วยพัลซ์ลบ (negative pulse) "0" แทนด้วยพัลซ์ลบ(negative pulse) ในครึ่งบิตแรกและในครึ่งบิตหลังแทนด้วยพัลซ์บวก (positive pulse) สัญญาณชนิดนี้เรียกว่า "split-phase or Manchester code"

สำหรับโครงงานนี้จะเลือกใช้แบบ on-off signal หรือ unipolar เพราะว่าเป็นชนิดที่ใช้กันแพร่หลายและหาอุปกรณ์ได้ง่าย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า



รูปที่ 2.4 แสดงสัญญาณดิจิตอล digital signal

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.5 การถอดรหัส (Decoding)

สัญญาณที่ส่งมาจากเครื่องส่งเข้าสู่เครื่องรับจะถูกถอดรหัส (decoding) จาก binary code ให้ได้แอมปลิจูดออกมาอยู่ในควอนตัม (quantum) ต่างๆ ตามค่าของรหัสที่ส่งมา ถ้าเป็นการส่งข้อมูล (data) มา 8 บิท จะมีความสำคัญของแต่ละบิทดังนี้คือ

MSB LSB

2^7 2^6 2^5 2^4 2^3 2^2 2^1 2^0

ข้อมูล (data)แต่ละชุดที่ส่งเข้ามาจะเป็นผลบวกของแต่ละบิท ซึ่งจะขึ้นอยู่กับแต่ละบิทอีกทีหนึ่งว่าเป็น "1" หรือ "0" ดังตัวอย่างข้างล่างนี้

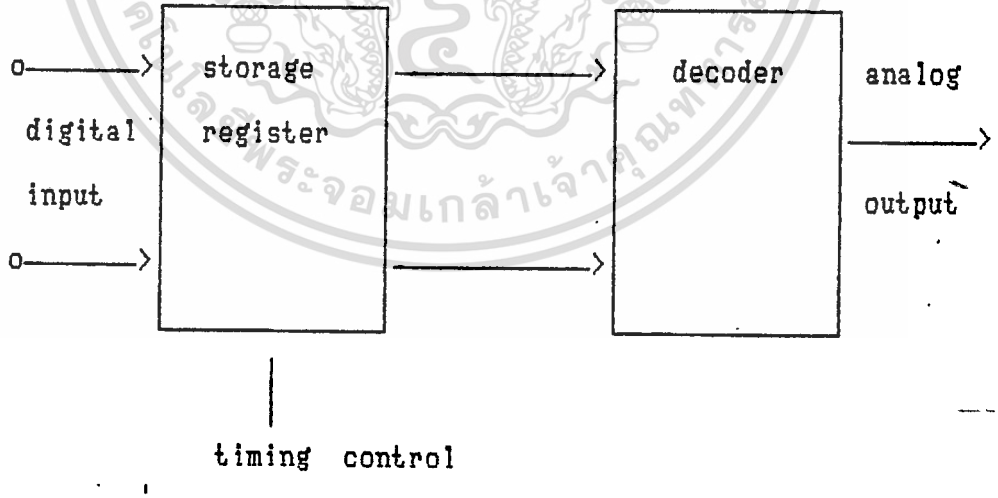
ข้อมูลที่ส่งมา : 10001011

ดังนั้นข้อมูลจะถูกถอดรหัสออกมามีค่าเป็น

$(1x2^7)+(0x26)+(0x2^5)+(0x2^4)+(1x2^3)+(1x2^2)+(1x2^1)+(1x2^0) = 139$

หมายความว่าข้อมูลชุดนี้อยู่ที่ระดับควอนตัม (quantum level) ที่ 139 จะมีค่ากี่โวลท์ก็ขึ้นอยู่กับว่าเราได้ให้ระดับควอนตัมสูงสุดและต่ำสุดมีค่ากี่โวลท์

ดังนั้นข้อมูลแต่ละชุดจะมีค่าออกมาเป็นระดับแตกต่างกันไปแล้วแต่ว่าข้อมูล ชุดไหนมีค่าเท่าใด ข้อมูลที่ถูกแปลงออกมานี้จะคงอยู่ในระดับนั้นฯ ตราบเท่าที่มี data bit ชุดนั้นป้อนให้ที่อินพุทอยู่ จนกว่าจะมี data bit ชุดใหม่หรือค่าใหม่เข้ามาแทนในเวลาต่อมา



รูปที่ 2.5 แสดงการป้อนข้อมูล (data) เข้าสู่ตัวถอดรหัส

2.6 การส่ง(Transmission)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

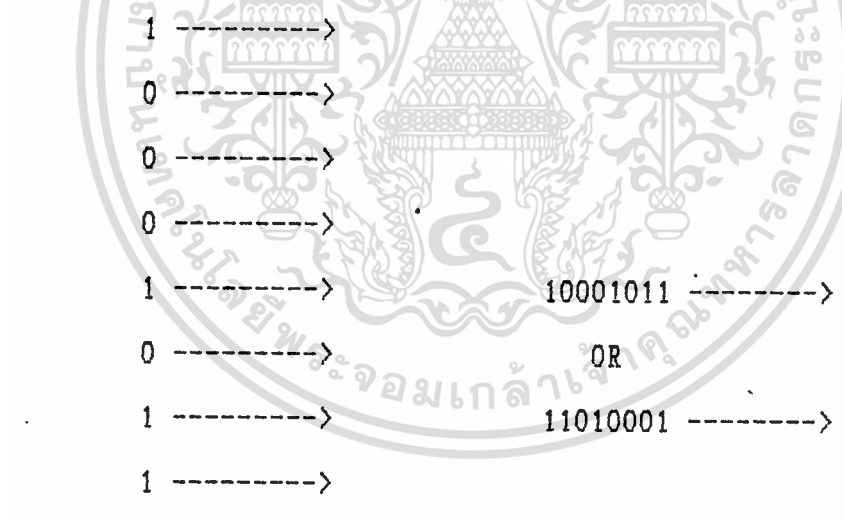
ในที่นี้จะกล่าวถึงการส่งโดยใช้สายส่ง (transmission line) โดยทั่วไปการส่งในลักสัญญาณดิจิตอล (digital transmission) จะแบ่งออกเป็น 2 ชนิดคือ

1.การส่งแบบขนาน (parallel transmission)

2.การส่งแบบอนุกรม (serial transmission)

การส่งแบบขนานคือการส่งข้อมูลออกไปทุกบิทพร้อมกัน ถ้าทำเป็นแบบ 8 บิทก็จะมีสายส่งอยู่ 8 สาย ส่งข้อมูลชุดหนึ่งๆ ออกไปโดยแต่ละบิทจะถูกส่งออกไปในเวลาเดียวกันพร้อมกัน จึงเป็นการทำให้ความสิ้นเปลืองในการใช้สายส่งโดยเฉพาะอย่างยิ่งถ้าใช้กับระยะทางไกลๆและถ้ามีการใช้ตัวทวนสัญญาณ (repeater) ก็ต้องใช้ถึง 8 ตัวเท่ากับ จำนวนสายส่ง ด้วยเหตุนี้วิธีการส่งแบบขนานจึงไม่ค่อยเป็นที่นิยมมากนัก

การส่งแบบอนุกรมคือ การส่งข้อมูลชุดหนึ่งๆ ออกไปโดยแต่ละบิทจะถูกส่งออกไปคนละเวลากัน ใช้สายส่งเพียงเส้นเดียว จึงเป็นการประหยัดและเป็นวิธีที่นิยมใช้กันมาก ในโครงงานนี้ก็ใช้วิธีนี้ ซึ่งจะมีข้อมูล 8 บิทสลับกับ synchronizing code อีก 8 บิทไปเรื่อยๆ



รูปที่ 2.6 (a) แบบขนาน (parallel)
(b) แบบอนุกรม (serial)

2.7 Synchronization

สำหรับการทำงานเพื่อให้ได้ความถูกต้องแน่นอน จึงจำเป็นต้องให้เครื่องส่งและเครื่องรับทำงานอยู่ในภาวะ synchronisim ซึ่งแบ่งออกได้เป็น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- bit synchronism

- frame synchronisum

bit synchronism : ที่ปลายทางด้านส่ง master clock เป็นตัวผลิต timing pulse สำหรับ logic circuits ที่ repeter และที่ปลายทางด้านรับจำเป็นต้องสกัด (extract) เอา timing information ออกจากสัญญาณที่เข้ามา (incoming signal) timing information (local clock) สกัด ออกมาได้โดยใช้ filter ซึ่งมีความถี่กึ่งกลางของตัวมันเองตรงกับ bit rate ของระบบ clock ของปลายทางด้านส่ง และ local clock จักต้องให้ตรงกันทั้งความถี่และเฟส (phase) เพื่อให้แน่ใจว่ามี bit synchronism ตามที่ต้องการ หรืออาจใช้วิธีการของ phase lock loop [3] สำหรับ master oscillator ที่ใช้ผลิต clock ควรมีความแม่นยำสูง เช่นใช้ crystal

ก็พอจะกล่าวได้ว่า bit synchronism คือ ภาวะที่เครื่องรับสามารถรับรู้ได้ว่า digital bits ที่ส่งมาจากเครื่องส่งนั้น ตรงไหนคือจุดเริ่มต้นของบิทและตรงไหนคือจุดสิ้นสุดของบิท เพื่อให้เครื่องรับทำการแปลงสัญญาณได้ถูกต้องตามสัญญาณที่มาจากเครื่องส่ง

frame synchronism : นอกจาก bit synchronism แล้ว ยังจำเป็นต้องมี frame synchronism ด้วย ทั้งนี้เพื่อให้เข้าใจว่าที่ปลายทางด้านรับสามารถรับรู้ได้ว่าตรงไหนคือจุดเริ่มต้นของข้อมูลที่จะเอามาทำการถอดระหัส ตรงไหนคือจุดสิ้นสุดของข้อมูลชุดนั้นและเพื่อให้ข้อมูลที่มาจาก sampled signal หนึ่งฯ จะถูกป้อนเข้าช่องที่ถูกต้อง (ในกรณีที่มีหลายช่องข้อมูลชุดหนึ่งฯ จะประกอบด้วยข้อมูลของแต่ละช่องสลับกันไป เป็นระบบที่มีการมัลติเพล็กซ์และดีมัลติเพล็กซ์ (multiplexing and demultiplexing) หรือมี time sharing)

ในโครงงานนี้ ทำการส่ง - รับ แบบช่องเดียว (1-channel) ดังนั้นใน frame หนึ่งฯ จะประกอบด้วย ข้อมูล (data word) 1 sample กับ synchronizing word อีก 1 word (อย่างละ 8 บิทสลับกัน) นั่นคือ incoming signal จะสลับกันไปเรื่อยๆระหว่าง data word กับ synchronizing word

อีกประการหนึ่งในโครงงานนี้ไม่ได้ทำ bit synchronism ด้วยวิธีดังกล่าวมาข้างต้นรายละเอียดและเหตุผลได้กล่าวไว้ในบทที่ 3

2.8 Noise in PCM System

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในระบบ PCM นั้น noise ต่างๆ พอที่จะแบ่งออกได้ดังนี้คือ

-transmission noise

-quantizing noise

-thermal noise

-transient noise

-phase jitter

แต่ที่มีอิทธิพลมากที่สุดหรือเป็นตัวหลัก คือ transmission noise กับ quantizing noise transmission noise อาจเกิดจากการได้รับสัญญาณอื่นๆเข้ามารบกวนเช่นอาจจะเป็นฟ้าผ่า ฟ้าร้อง หรือได้รับการแทรกสอดจากคลื่นวิทยุต่างๆเป็นต้น ซึ่งอาจเกิดขึ้นได้ทุกๆที่ระหว่างทางของเครื่องส่ง-เครื่องรับ

quantizing noise เกิดขึ้นที่เครื่องส่งแล้วส่งไปยังเครื่องรับ ซึ่งอาจแก้ไขได้โยการเพิ่มจำนวนระดับควอนตัม (quantum level) ให้มากขึ้น นั่นหมายถึงการเพิ่มจำนวนบิทที่ใช้ แต่ก็จะเกิดปัญหาด้านอื่นตามมาคือ ต้องการ bandwidth ที่มากขึ้นรายละเอียดการเกิด noise ชนิดนี้อยู่ในหัวข้อการจัดระดับ (quantizing)

การเกิด noise ยังเกิดจากวิธีอื่นได้อีก เช่น เกิดจากการใช้เครื่องมือต่างๆ อาจเป็นสว่านไฟฟ้า เครื่องมือเชื่อม หรืออาจเป็นการรบกวนจากเครื่องยนต์ เป็นต้น

รายละเอียดอื่นๆ ที่นอกเหนือจากที่กล่าวไปแล้วนี้จะไม่กล่าวถึงอีก เพราะไม่ได้อยู่ในขอบข่ายของการศึกษาในโครงงานนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3

การออกแบบ - สร้าง

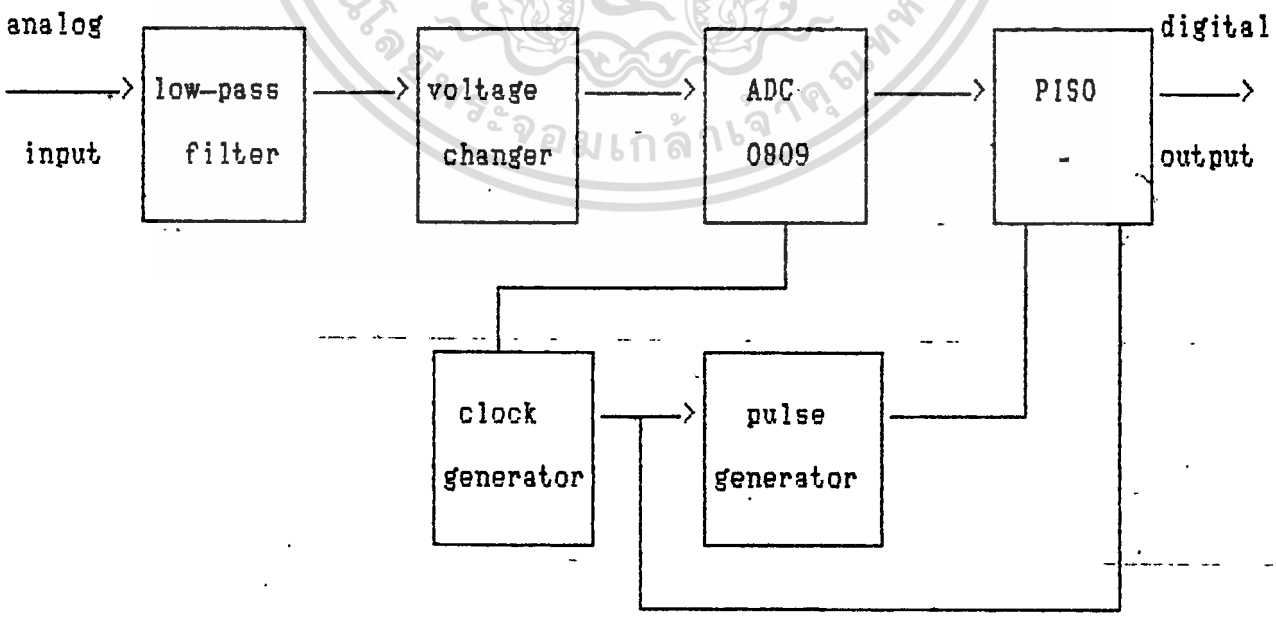
ในบทนี้จะกล่าวถึงการออกแบบและการสร้างเครื่องส่ง - เครื่องรับ ซึ่งมีรายละเอียดที่จะกล่าวถึงดังต่อไปนี้ คือ

3.1 เครื่องส่ง (Transmitter)

ทางด้านเครื่องส่งจะแบ่งการทำงานออกเป็นส่วนๆ ได้ดังนี้คือ

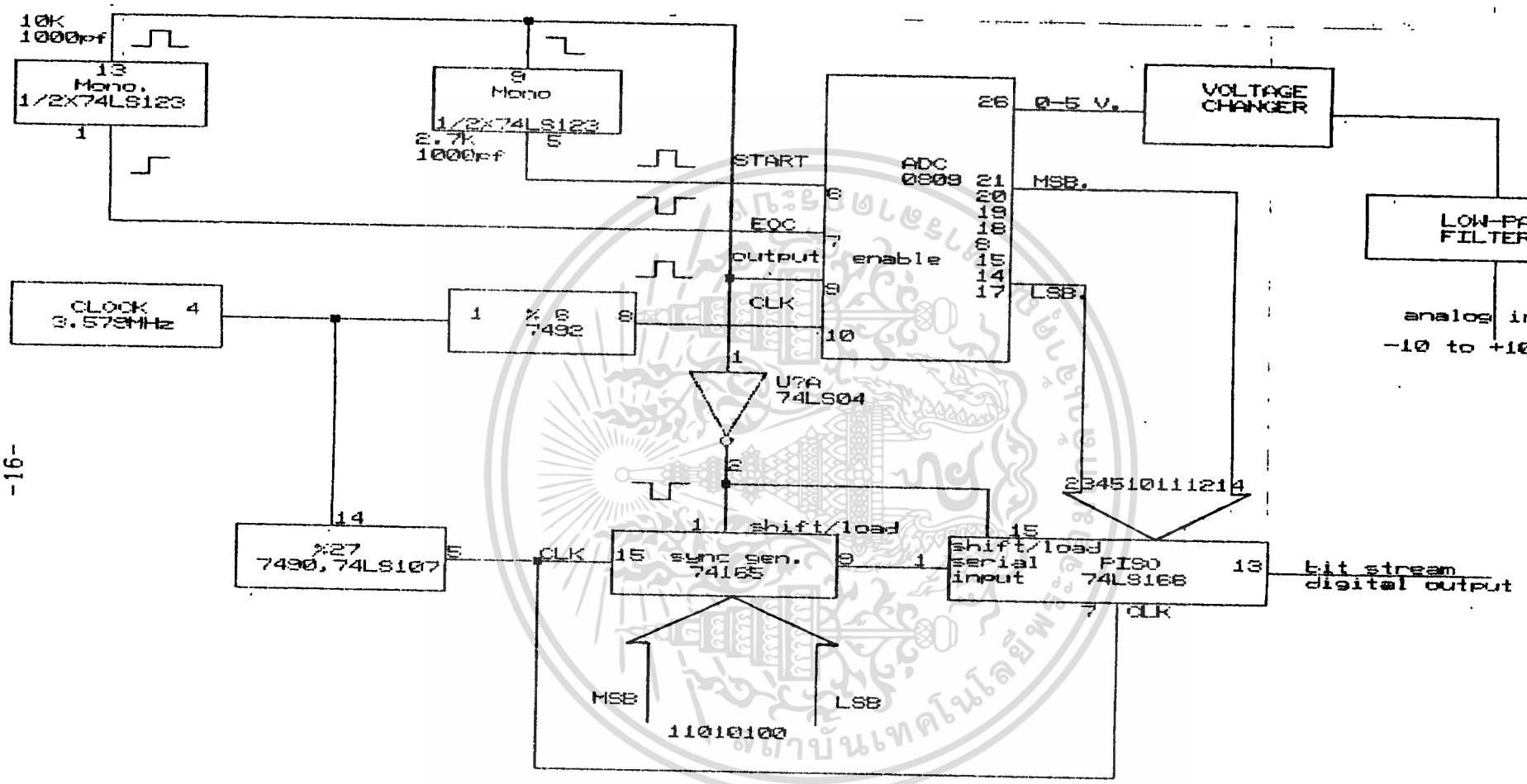
- วงจรกรองผ่านความถี่ต่ำ (low-pass filter)
- วงจรแปลงแรงดัน (voltage changer)
- วงจรแปลงสัญญาณอนาลอกเป็นดิจิตอล (Analog to Digital Converter)
- วงจรกำเนิดสัญญาณนาฬิกา (clock generator)
- วงจรแปลงสัญญาณแบบขนานเป็นแบบอนุกรม (PISO)

จากรูปที่ 3.1 (a) สัญญาณอนาลอกจะผ่านวงจรกรองผ่านความถี่ต่ำ แล้วจึงถูกเปลี่ยนระดับแรงดันเพื่อส่งไปยัง ADC เอาท์พุทของ ADC จะเป็นสัญญาณดิจิตอลถูกส่งไปที่ PISO ที่ pulse generator จะส่งสัญญาณนาฬิกาไปให้ ADC pulse generator และ PISO เอาท์พุทของ PISO ก็จะอยู่ในรูปของ bit stream



รูปที่ 3.1 (a) องค์ประกอบแบบคร่าวๆของเครื่องส่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป บล็อกไดอะแกรมส่วนที่เป็นเครื่องส่ง

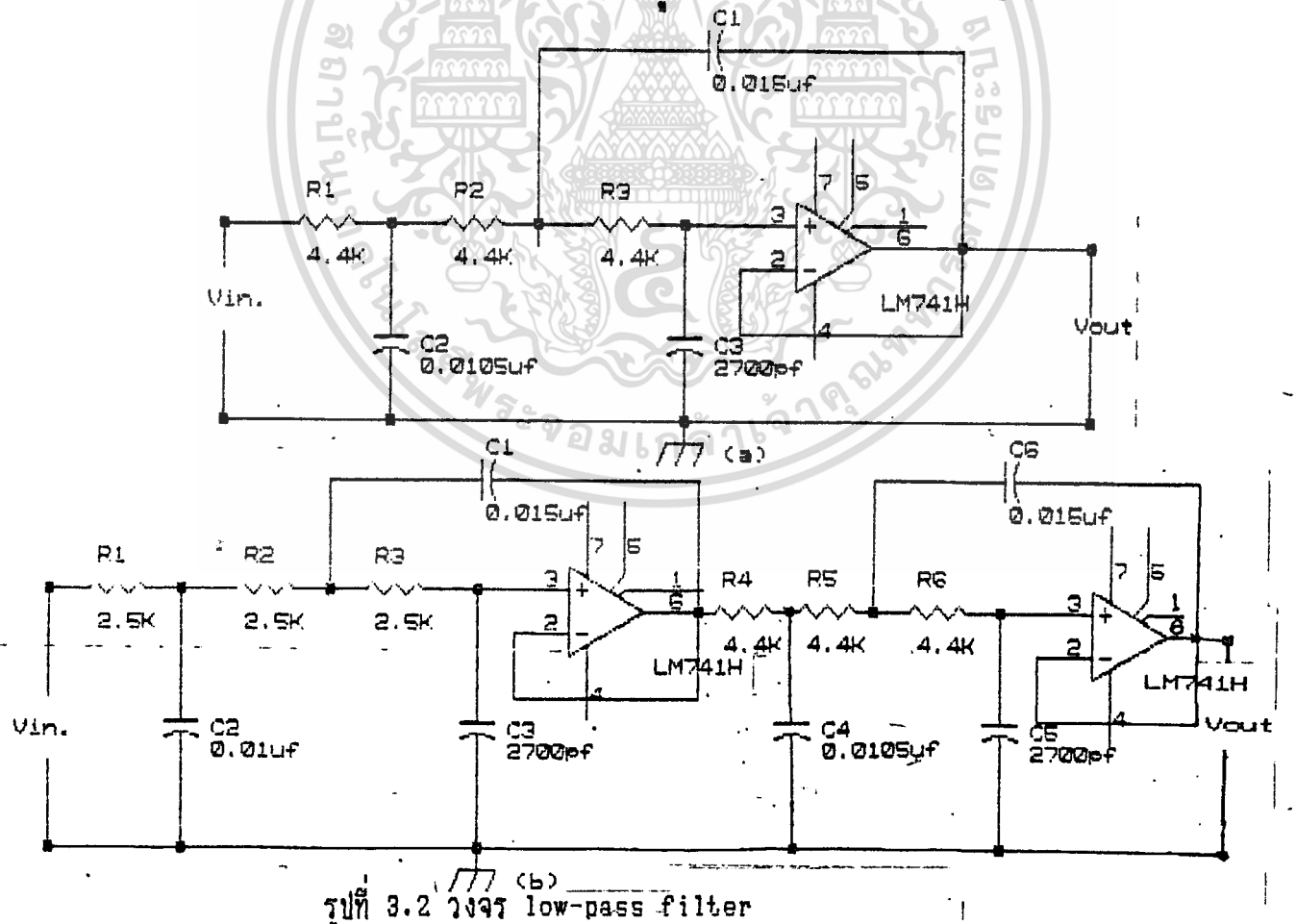
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.1.1 วงจรกรองผ่านความถี่ต่ำ (Low - pass filter)

วงจร low-pass flter จะมีใช้ทั้งในเครื่องส่งและเครื่องรับ ในเครื่องส่งนั้น low pass filter จึงเป็นวงจรที่กรองความถี่ให้ผ่านได้ในช่วง 0 ถึงประมาณ 3,400 Hz ตามมาตราฐาน CCITT ของสัญญาณเสียงพูด (speech signal) ในโครงงานนี้จะใช้วงจร Third-order low-pass filter แบบBasssl [6] ที่ cut-off frequency 3.4 KHz

ในเครื่องรับจะใช้ low-pass filter เพื่อกรองสัญญาณที่ได้จาก ADC และเพื่อให้สัญญาณเรียบมากขึ้นจึงใช้ low-pass filter 2 ตัว (เป็น Third-order low-pass filter แบบ Bassel เช่นเดียวกับที่ใช้ในเครื่องส่ง) ตัวแรกมี cut-off frequency ที่ 6 KHz ตัวที่สองมี cut-off frequency ที่3.4 KHz

วงจร low-pass filter ดังกล่าวไว้ในรูปที่3.2 โดยใช้ op-amp. เบอร์ 741



รูปที่ 3.2 วงจร low-pass filter

(a) ในเครื่องส่ง (b) ในเครื่องรับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การออกแบบ THIRD-ORDER LOW-PASS-FILTER มี 4 ขั้นตอนด้วยกันสำหรับจะนำมาออกแบบ THIRD-ORDER BASSEL FILTER.

ความต้องการในการออกแบบ (ทางด้านภาคส่ง)

f_{cp} = 3400 Hz.

maximum capacitor = 0.02 uF

ข้อมูลเกี่ยวกับอุปกรณ์

A_v (3400) = 1000

ขั้นที่ 1 จากตารางที่ 10.3 เราให้

C''_1 =0.9880

C''_2 =1.423

C''_3 =0.2538

ขั้นที่ 2

$$C'_1 = \frac{C''_1}{2// f_{cp}} = \frac{0.9880}{6800//} = 4.627*10^{-5} \text{ F.}$$

$$C'_2 = \frac{C''_2}{2// f_{cp}} = \frac{1.423}{6800//} = 6.664*10^{-5} \text{ F.}$$

$$C'_3 = \frac{C''_3}{2// f_{cp}} = \frac{0.2538}{6800//} = 1.188*10^{-5} \text{ F.}$$

ขั้นที่ 3 C_2 ปกติจะใช้ค่าไม่มากไปกว่าที่เรากำหนดนี้คือ

C_2 = 0.015 uF

คำนวณหาค่า R,C_1 และ C_3

$$R = \frac{C'_2}{C_2} = \frac{6.664*10^{-5}}{0.015*10^{-6}} = 4442 \text{ (เราเลือกใช้ค่า 4.4 Kohm)}$$

$$C_1 = \frac{C'_1}{R} = \frac{4.627*10^{-5}}{4400} = 0.0105 \text{ uF}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$C_3 = \frac{C'_2}{R} = \frac{1.188*10^{-5}}{4400} = 2700 \text{ pf}$$

ขั้นที่ 4 สามารถพิสูจน์หาความจริงได้จากขั้นตอนที่3

A_v (3400Hz) = 3400 > 100

ความต้องการในการออกแบบ (ทางด้านภาครับ)

$f_c p$ = 6000 Hz.

maximum capacitor = 0.02 uF

ข้อมูลเกี่ยวกับอุปกรณ์

A_v (6000Hz) = 1.000

ขั้นที่ 1 จากตารางที่ 10.3 เราให้

C''_1 = 0.9880

C''_2 = 1.423

C''_3 = 0.2538

ขั้นที่ 2

$$C'_1 = \frac{C''_1}{2//f_c p} = \frac{0.9980}{12000//} = 2.622*10^{-5} \text{ F.}$$

$$C'_2 = \frac{C''_2}{2//f_c p} = \frac{1.423}{12000//} = 3.776*10^{-5} \text{ F.}$$

$$C'_3 = \frac{C''_3}{2//f_c p} = \frac{0.2538}{12000//} = 6.735*10^{-6} \text{ F.}$$

ขั้นที่ 3 C_2 ปกติจะใช้ค่าไม่มากไปกว่าที่เรากำหนดนี้คือ

C_2 = 0.015 uF

คำนวณหาค่า R , C_1 และ C_3

$$R = \frac{C'_2}{C_2} = \frac{3.776*10^{-5}}{0.015*10^{-6}} = 2517 \text{ ohm (เลือกใช้ค่า 2.5 Kohm)}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$C_1 = \frac{C'_1}{R} = \frac{2.662*10^{-5}}{2500} = 1.0488*10^{-8} = 0.0105 \text{ uF}$$

$$C_3 = \frac{C'_3}{R} = \frac{6.735*10^{-6}}{2500} = 2.694*10^{-9} = 2694 \text{ pf}$$

(จะเลือกใช้ค่า 2700 pf)

ขั้นที่ 4 สามารถพิสูจน์หาความจริงได้จากขั้นตอนที่ 3

A_v (6000Hz) = 6000 > 100

ตารางที่ 10.2 ทิศทางของขั้วในขอบเขต สำหรับ Single-Feedback Third Order Low-Pass Filter

ชนิดของ 3 ขั้วสำหรับวงจรกรองความถี่ต่ำ	ตำแหน่งขั้วของค่าที่แท้จริง	ตำแหน่งขั้วของค่าคอมเพล็กซ์สองค่า
Bessel	-0.942	-0.746±j0.711
Butterwort	-1.000	-0.500±j0.866
Chebyshev (0.1-dB peak)	-0.696	-0.348±j0.866
Chebyshev (0.25-dB peak)	-0.609	-0.305±j0.866
Chebyshev (0.5-dB peak)	-0.530	-0.265±j0.866
Chebyshev (1-dB peak)	-0.444	-0.222±j0.866
Chebyshev (2-dB peak)	-0.345	-0.173±j0.866
Chebyshev (3-dB peak)	-0.286	-0.143±j0.866

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 10.3 ค่าของ คาปาซิเตอร์ ที่ไม่เป็นไปตามสัดส่วน

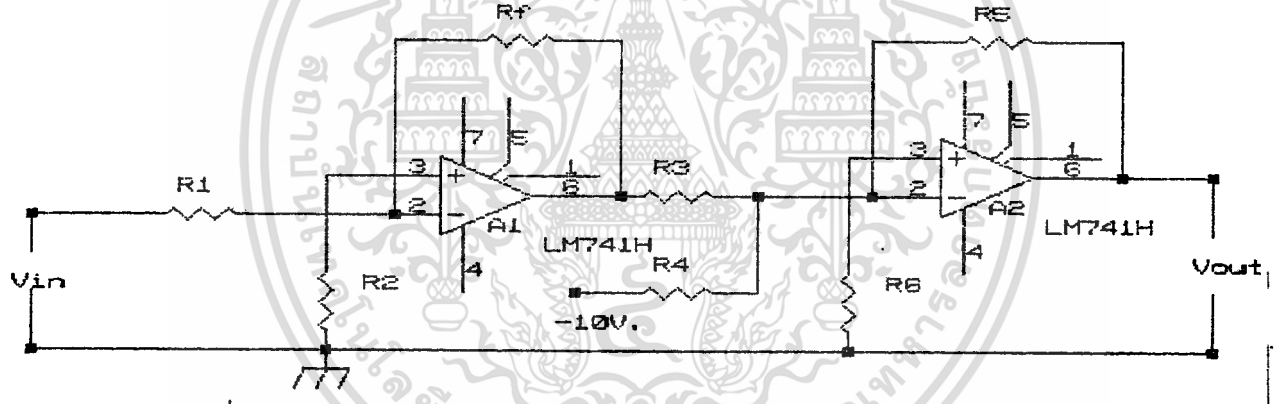
ชนิดของ 3 ขั้วสำหรับ วงจรกรองความถี่ต่ำ	C"1	C"2	C"3
Bessel	0.9880	1.423	0.2538
Butterworth	1.3392	3.546	0.2024
Chebyshev (0.1-dB peak)	1.825	6.653	0.1345
Chebyshev (0.25-dB peak)	2.018	8.551	0.1109
Chebyshev (0.5-dB peak)	2.250	11.23	0.08950
Chebyshev (1-dB peak)	2.567	16.18	0.06428
Chebyshev (2-dB peak)	3.113	27.82	0.03892
Chebyshev (3-dB peak)	3.629	43.42	0.02533

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

3.1.2 วงจรแปลงแรงดัน (Voltage changer)

เนื่องจากว่า ไอซีที่ใช้ในการแปลงสัญญาณอนาลอกให้เป็นสัญญาณดิจิตอลเป็นเบอร์ ADC0809 ซึ่งมีความสามารถรับแรงดันอินพุท (input voltage) ได้ในช่วง 0-5 V. แต่การสร้างเครื่องส่งนี้ต้องการให้ใช้ได้กับสัญญาณอินพุท (input voltage) ได้ในช่วง -10 V.ถึง +10 V. เนื่องจะใช้ทดสอบกับสัญญาณที่มีค่าต่ำกว่าศูนย์ได้ด้วย ดังนั้นจึงต้องมีการออกแบบ - สร้างวงจรแปลงแรงดันขึ้นให้รับสัญญาณอินพุท (input signal) ในช่วง -10 V. ถึง +10 V. แล้วส่งไปให้ ADC0809 ในช่วง 0-5 V.

วงจรนี้ประกอบด้วย op-amp. เบอร์ 741 อยู่ 2 ตัว ดังแสดงในรูปที่ 3.3



รูปที่ 3.3 วงจรแปลงแรงดัน -10 V. ถึง +10 V. เป็น 0-5 V.

ในวงจรนี้ประกอบด้วยส่วนสำคัญ 2 ส่วนคือ ที่ A_1 จะเป็นวงจรขยายแบบกลับเฟส (inverting Amplifier) และที่ A_2 จะเป็นวงจรรวมสัญญาณ (Adder) ซึ่งแท้ที่จริงวงจรรวมสัญญาณนี้ก็คือ วงจรกลับเฟส (Inverting Amplifier) นั่นเองเพียงแต่ว่ามีหลายอินพุท

ที่ A_1 : $Vo = (-R_F / R_1) \times V_IN$ (จาก $Av = Vo/V_IN = -R_F / R_1$)

นั่นคือ Vo จะต่างเฟสไปจาก V_IN อยู่ 180

$Vo = -V_IN$ ก็ให้ $R_1 = R_F$

ที่ A_2 : แรงดัน Vo และ -10 V. จะทำให้มีกระแส I_3 , I_4 ไหลผ่าน R_3 ,R_4 และจะไม่ไหลเข้าที่ขั้วลบของ op-amp. (ถือว่า op-amp. มีค่าอินพุทอิมพีแดนซ์สูงมาก) แต่จะไหลผ่าน R_5 ทั้งหมด ดังนั้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$I_3 + I_4 + I_5$ (กระแสไหลผ่าน R_5)

เนื่องจาก op-amp. มีอัตราขยายแรงดัน (Av) สูงมาก ดังนั้น

$V_1 \quad V_2 \quad 0 \qquad V = V = 0$

เพราะฉะนั้น $(Vo/R_3) \times (-10/R_4) = -Vout/R_5$

$Vout = (-R_5/R_3) \times Vo + (10) \times R_5/R_4$

แทนค่า Vo ด้วย $-V_1N$ จะได้

$Vout = (R_5 \times R_F) \times V_1N / (R_1 \times R_3) + (10) \times R_5/R_4$

ให้ $R_1 = R_F = 10\ K$

$R_2 = 5\ K$

$R_3 = R_4 = 2\ K$

$R_5 = 0.5\ K$

$R_6 = 330\ ohm$

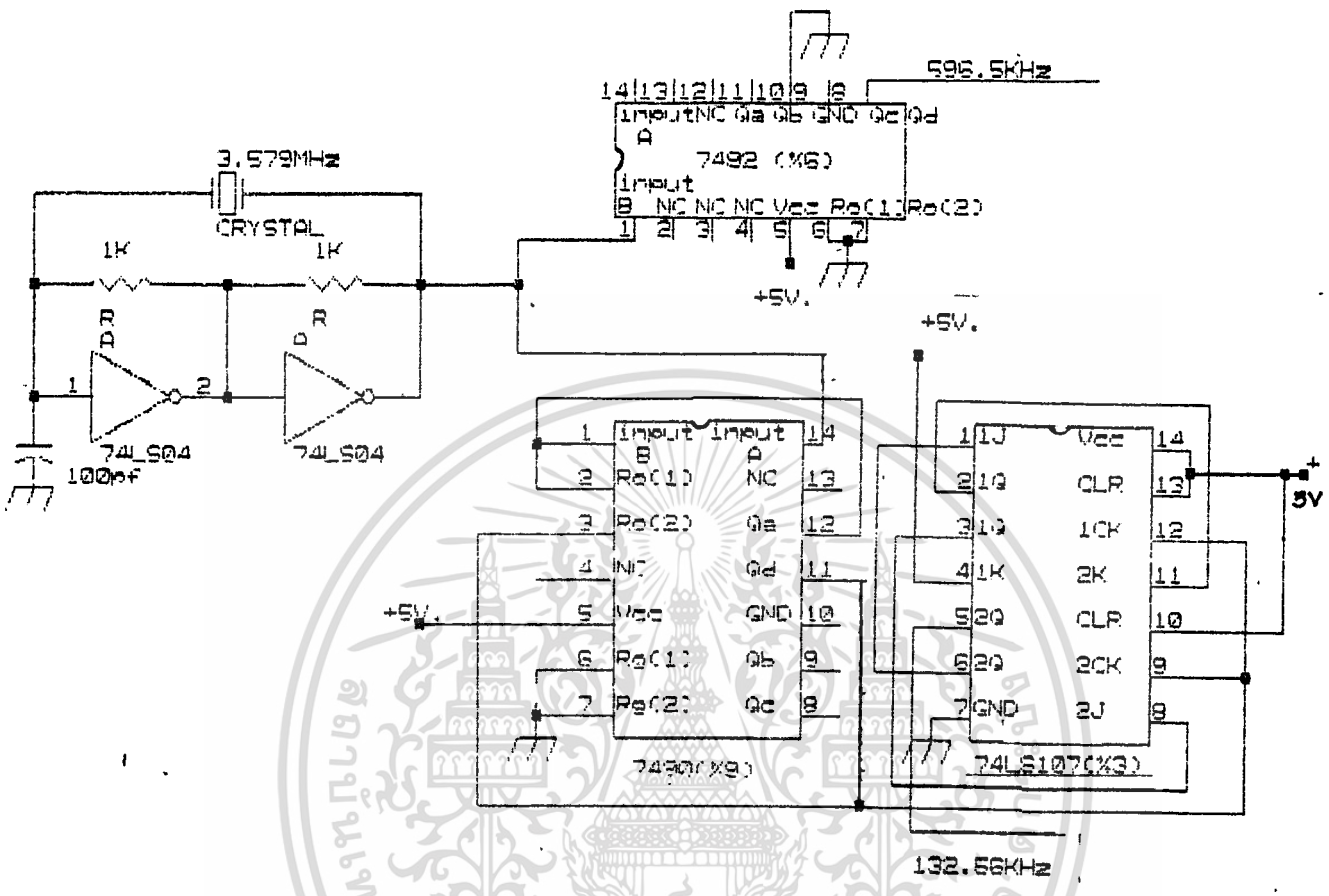
เพราะฉะนั้น $Vout = 2.5 + (0.25 \times V_1N)$ โวลท์

ดังนั้นจึงสามารถเปลี่ยนขนาดสัญญาณแรงดันจาก - 10 ถึง + 10 โวลท์เป็น 0 - 5 โวลท์ได้ การเลือกให้ $R_2 = R_1 // R_F$, $R_6 = R_3 // R_4 // R_5$ ก็เพื่อให้เกิดความสมดุลย์ทางกระแสมากที่สุด

3.1.3 สัญญาณนาฬิกา (Clock)

ตัวกำเนิดสัญญาณนาฬิกา (clock) เพื่อให้มีความถี่ที่ค่อนข้างคงที่มากและมีเสถียรภาพดี จึงเลือกใช้ crystal มีความถี่ธรรมชาติที่ 3.579 MHz แต่ที่ต้องการใช้มีอยู่ 2 ความถี่ คือ ประมาณ 596.5 KHz (3.579 MHz/6) เพื่อป้อนให้ ADC 0809 และอีกความถี่ คือ ประมาณ 132.5 KHz เพื่อป้อนให้ตัวที่ทำหน้าที่เป็น PISO (PARALEL-IN , SERIAL-OUT) กับตัวที่ผลิต synchronizing word (pulse generator) ดูรูปที่ 3.1 และรูปที่ 3.4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า



รูปที่ 3.4 แสดงวงจรกำเนิดสัญญาณนาฬิกา (clock generator)

ทางด้านเครื่องรับก็ผลิตสัญญาณนาฬิกาขึ้นในลักษณะเดียวกันนี้ เพียงแต่ใช้เพียงค่า 132.5 KHz เพียงค่าเดียวเท่านั้น ไม่ใช้ค่า 596.5 KHz ดังนั้นด้านเครื่องรับจะไม่มีส่วนที่เป็นวงจรหาร 6 วงจรหาร 6 ใช้ไอซีเบอร์ 7492 เพียง 1 ตัว , วงจรหาร 27 ใช้ไอซีเบอร์ 7490 เป็นตัวหาร 9 ใช้ไอซีเบอร์ 74LS107 เป็นตัวหาร 3 [7]

3.1.4 วงจรแปลงสัญญาณอนาลอกเป็นดิจิตอล (Analog-to-Digital Converter)

สำหรับวงจรส่วนนี้ได้ใช้ไอซีตัวเดียวเป็นตัวแปลงสัญญาณอนาลอกเป็นดิจิตอล (Analog-to-Digital Converter) คือไอซีเบอร์ ADC 0809 (แสดง data sheet ไว้ในภาคผนวก) ซึ่งใช้เทคนิคแบบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Successive Approximation

สักษณะสมบัติ ของ ADC 0809 ที่สำคัญคือ

- แปลงสัญญาณอนาลอกเป็นดิจิตอล ขนาด 8 บิท
- รับสัญญาณอินพุทได้ 8 ช่อง (8-channel)
- ใช้เวลาในการแปลงประมาร 100 microsec.
- ความผิดพลาด 1/2 LSB และ 1 LSB
- ใช้แหล่งจ่ายไฟเพียงอันเดียวคือ 5 V.
- เอาท์พุทมีตัวแลทช์ (latch) ข้อมูลแบบ Tri-state
- รับสัญญาณอินพุทในช่วง 0-5 V.
- ให้เอาท์พุทที่ใช้กับไอซีทีทีแอลได้เลย (TTL compatible)

เนื่องจากต้องการสร้างเครื่องส่งที่มีเพียงช่องเดียว (1 channel) ดังนั้นก็เลือกใช้เพียงช่องเดียว ช่อง (channel) ใดก็ได้ขึ้นอยู่กับการเลือกแอดเดรส (address) ของผู้ใช้ไอซี

ใช้สัญญาณนาฬิกา (clock) ป้อนให้ ADC 0809 ด้วยความถี่ประมาณ 596.5 KHz (3.579MHz/6) ทำให้ได้เอาท์พุทของ ADC 0809 ที่ความถี่ประมาณ 8.2 KHz ถึง 8.3 KHz ซึ่งก็คืออัตราการสุ่มตัวอย่าง(sampling rate) นั่นเอง ถือว่าเป็นค่าที่ใช้ได้เพราะว่า bandwidth ของความถี่ของสัญญาณเสียงพูดไม่เกิน 3.4 KHz (ตามมาตราฐานของ CCITT) และอัตราการสุ่มตัวอย่างจะต้องมากว่า 2 X 3.4 KHz

สัญญาณที่ขา start จะเป็นตัวสั่งให้เริ่มทำการแปลง สัญญาณ EOC (end of conversion) เป็นสัญญาณจากตัวไอซีเพื่อบอกให้ทราบว่าสิ้นสุดการทำงานแล้ว ดังนั้นจึงใช้สัญญาณ EOC ต่อเข้ากับขาไอซี 74LS123 (monostable) เพื่อไปสั่งให้ ADC 0809 ปล่อยเอาท์พุทออกมา เมื่อสิ้นสุดการนำเอาท์พุทออกจาก ADC 0809 จึงทำการส่งสัญญาณ start ไปสั่งให้ ADC 0809 เริ่มการแปลงในรอบใหม่ต่อไป การทำงานก็จะดำเนินแบบนี้ไปเรื่อยๆ เอาท์พุทที่ได้จาก ADC 0809 นี้จะเป็นข้อมูลแบบขนาน (ดูรูปที่ 3.1 (b) ประกอบ)

3.1.5 วงจรกำเนิดพัลซ์ (pulse generator)

ในรูปที่ 3.1 ส่วนที่เป็น pulse generator เป็นส่วนที่ให้กำเนิด synchronizing word ขนาด 8 บิท โดยให้รหัสเป็น 11010100 เหตุผลที่ใช้รหัสดังกล่าวก็คือ ง่ายต่อเครื่องรับที่จะดักจับ (detec) synchronizing code

พิจารณา bit stream ที่ส่งมาจากเครื่องส่ง จะมีส่วนที่เป็นข้อมูลสลับกับ synchronizing word โอกาสที่เครื่องรับจะรับรหัสที่เป็น 11010100 ได้ มีอยู่ 2 กรณีคือ รหัสที่เป็น synchronizing word เอง กับอีกกรณีหนึ่งคือ ข้อมูลที่มีค่าเป็น 11010100 ส่วนกลุ่มบิท 8 บิท ที่คร่อมระหว่างข้อมูล กับ synchronizing word จะไม่มีโอกาสที่จะตรงกับรหัส 11010100 เลย แต่ถ้าใช้ synchronizing code เป็นอย่างอื่น กลุ่มบิทที่คร่อมระหว่างข้อมูลกับ synchronizing word ก็จะมีโอกาสตรงกับรหัสของ synchronizing word เช่น ถ้าให้ synchronizing code เป็น 11111111 ทั้งนี้ก็ไม่ได้หมายความว่าจะมีเฉพาะรหัส 11010100 เท่านั้นที่ใช้ได้ รหัสอื่นๆ ก็มีเช่น 00101011 , 11100100 เป็นต้น

วงจรที่ให้กำเนิด synchronizing code ได้ใช้ไอซีเบอร์ 74LS165 (PISO 8-bit shift register) เพียงหนึ่งตัวเท่านั้น สัญญาณนาฬิกาที่ป้อนให้มีความถี่ประมาณ 132.5 KHz ใช้ขารับข้อมูล (data input) ของ 74LS165 ต่อตรงเข้ากับ Vcc หรือ ground ตามรหัสที่เลือกเป็น synchronizing word

รูปที่ 3.รหัสการเรียงลำดับใน synchronizing code

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.1.6 วงจรเปลี่ยนสัญญาณแบบขนานเป็นแบบอนุกรม(Parallel-in , Serial-out)

วงจรเปลี่ยนสัญญาณจากที่เป็นแบบขนานให้เป็นแบบอนุกรม (PISO) ใช้ไอซีเพียงตัวเดียว คือ เบอร์ 74LS166 (PISO 8-bit shift register) ใช้สัญญาณนาฬิกาที่มีความถี่ประมาณ 132.5 KHz ขารับข้อมูล (data input) ต่อตรงเข้ากับขาข้อมูลออก (data output) ของ ADC 0809 ไอซี 74LS165 ให้เอาท์พุทออกมาแบบอนุกรม ใช้ต่อเข้ากับขา serial input ของ 74LS166 ทั้ง 74LS165 และ 74LS166 รับคำสั่งให้ปล่อย/รับ (shift/load) ข้อมูลจาก ADC 0809 โดยเอาสัญญาณมาจากขา output enable ซึ่งเป็นสัญญาณที่ป้อนให้กับ ADC 0809 ด้วย เพื่อนำเอาเอาท์พุทออกจาก ADC 0809 ดังนั้นเมื่อได้รับสัญญาณ ปล่อย/รับ (shift/load) ทั้ง 74LS166 และ 74LS165 ก็จะเลื่อนข้อมูลที่อยู่ในตัวมันเองออกมาจนหมด ผลสุดท้ายคือ เอาท์พุทของ 74LS166 ก็จะเป็น bit stream ที่มีข้อมูลออกมาก่อนตามด้วย synchronizing word เมื่อการทำงานของระบบไปเป็นอย่างต่อเนื่อง เอาท์พุทของ 74LS166 ก็จะเป็น bit stream ที่มีข้อมูลสลับกับ synchronizing word ไปเรื่อยๆ ดูรูปที่ 3.6 และรูปที่ 3.1 (b) ประกอบการทำงาน

-----XXXXXXXX11010100XXXXXXXX11010100XXXXXXXX11010100-----

รูปที่ 3.6 แสดง bit stream ที่เป็นเอาท์พุทของเครื่องส่ง

3.2 **เครื่องรับ** (Receiver)

ทางด้านเครื่องรับที่ทำขึ้นนี้อาจกล่าวได้ว่า มีส่วนสำคัญหลักๆ อยู่ 4 ส่วนคือ

- ส่วนที่แปลง bit stream ที่รับเข้ามา (เป็นแบบ serial)ให้เป็นแบบอนุกรม (parallel)
- สัญญาณนาฬิกา (clock) ที่ใช้กับเครื่องรับ
- ส่วนตรวจจับ (detector) สัญญาณ synchronizing word
- ส่วนแปลงสัญญาณดิจิตอลเป็นอนาลอก (digital to analog converter , DAC)

ยังมีส่วนประกอบอีก 2 ส่วนที่นอกเหนือจาก 4 ส่วนข้างบนคือ

- วงจรค้างข้อมูล (data latch)
- วงจรกรองผ่านความถี่ต่ำ (low-pass filter)

ทั้งหมดนี้มีความสัมพันธ์กันในการทำงานดังแสดงในรูปที่ 3.7

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2.1 วงจรเปลี่ยนสัญญาณแบบอนุกรมเป็นแบบขนาน(Serial-in Parallel-out , SIPO)

สัญญาณที่เครื่องรับได้รับมาจากเครื่องส่งนั้นจะเป็นแบบอนุกรม (serial) ต่อกัน

3.2.2 Synchronizing Code Detector

เครื่องรับจะต้องค้นหา (detect) synchronizing code ให้ได้ก่อนจึงจะรู้ว่า bit stream ที่รับเข้ามานั้น ส่วนไหนคือข้อมูลที่ถูกต้องตามที่ต้องการ จากนั้นก็นำเอาข้อมูลนั้นไปทำการถอดรหัสออกมา synchronizing code ที่ใช้คือ 11010100 เหตุผลที่ใช้รหัสนี้ก็ได้กล่าวไว้ในหัวข้อก่อนๆแล้ว

เมื่อ synchronizing code detector พบรหัส (code) 8 บิท ที่เป็น synchronizing code แล้วให้นับไปอีก 8 บิท แล้วนำเอาจำนวนบิท 8 บิทที่นับได้นี้ไปทำการถอดรหัสออกมา ซึ่งจำนวนบิท 8 บิทที่กล่าวถึงนี้ก็คือข้อมูลที่ต้องการนั่นเอง ต่อไปนี้จะกล่าวถึงหน้าที่การทำงานของ synchronizing code detector ซึ่งได้กำหนดให้มีหน้าที่สำคัญอยู่ 3 ประการคือ

1.เมื่อเริ่มเปิดเครื่อง (ทั้งเครื่องรับและเครื่องส่ง) ให้เครื่องรับ ทำการตรวจจับ (detect) รหัสที่ตรงกับ synchronizing code ที่ได้กำหนดไว้ ให้ได้จำนวน 3-4 ครั้งถัดกัน (หมายถึงในตำแหน่งที่ควรจะเป็น synchronizing code) ก็ให้แน่ใจได้ว่าสามารถตรวจจับ (detect) synchronizing code ได้ถูกต้องแล้ว จากนั้นก็โอนการทำงานให้ส่วนต่อไป จะเรียกส่วนที่ทำงานตามที่กล่าวมานี้ว่า " ส่วนเช็ค (check) ถูก 3 ครั้ง "

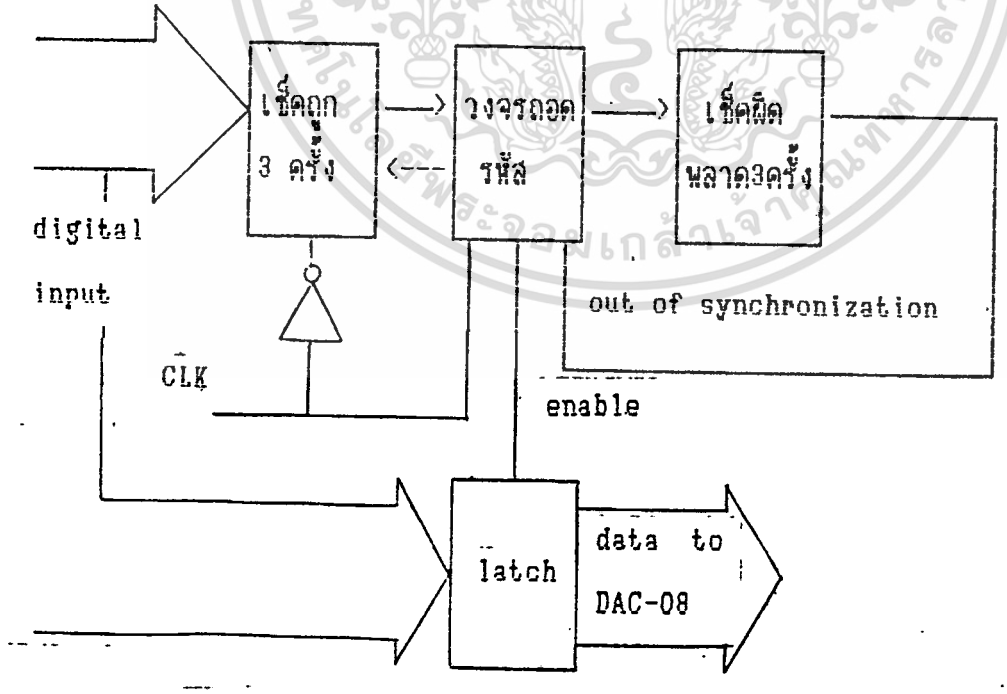
2.เมื่อผ่านการทำงานในข้อ 1. แล้ว ก็จะเป็นการทำงานในภาวะปกติ คือ เมื่อพบ synchronizing code แล้วก็ให้รู้ว่าส่วนไหนคือข้อมูลนั่นหมายถึงให้นับไปอีก 8 บิท ก็จะได้ข้อมูล ตามที่ต้องการ พร้อมกันนี้ก็ส่งสัญญาณสั่งให้วงจรแลทช์ (latch) รับข้อมูลเข้าไป วงจรแลทช์จะทำการค้างข้อมูลที่ได้รับคำสั่งให้ข้อมูล (data) ชุดใหม่เข้าไป

3. ส่วนนี้จะทำงานควบคู่ไปกับ ส่วนทำงานในภาวะปกติ จะเรียกส่วนนี้ว่า " ส่วนเช็ค (clock) ผิดพลาด 3 ครั้ง " หมายความว่า ในภาวะปกติเมื่อเช็คส่วนที่ควรเป็น synchronizing code แล้วแต่ปรากฏว่าไม่ตรงกับ synchronizing code ถ้าเกิดขึ้นเพียงครั้งเดียวหรือเพียง 2 ครั้งติดต่อกัน ยังจะไม่ถือว่าเกิดการ out of synchronization ให้ถือว่ารหัสที่ถูกเช็คแล้วไม่ตรงกับ synchronizing code นั้นยังเป็น synchronizing code อยู่ เพียงแต่ว่าที่รหัสไม่ตรงกับ synchronizing code นั้นอาจเกิดจากการถูกรบกวน (noise) หรือเกิดการผิดเพี้ยนของสัญญาณไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

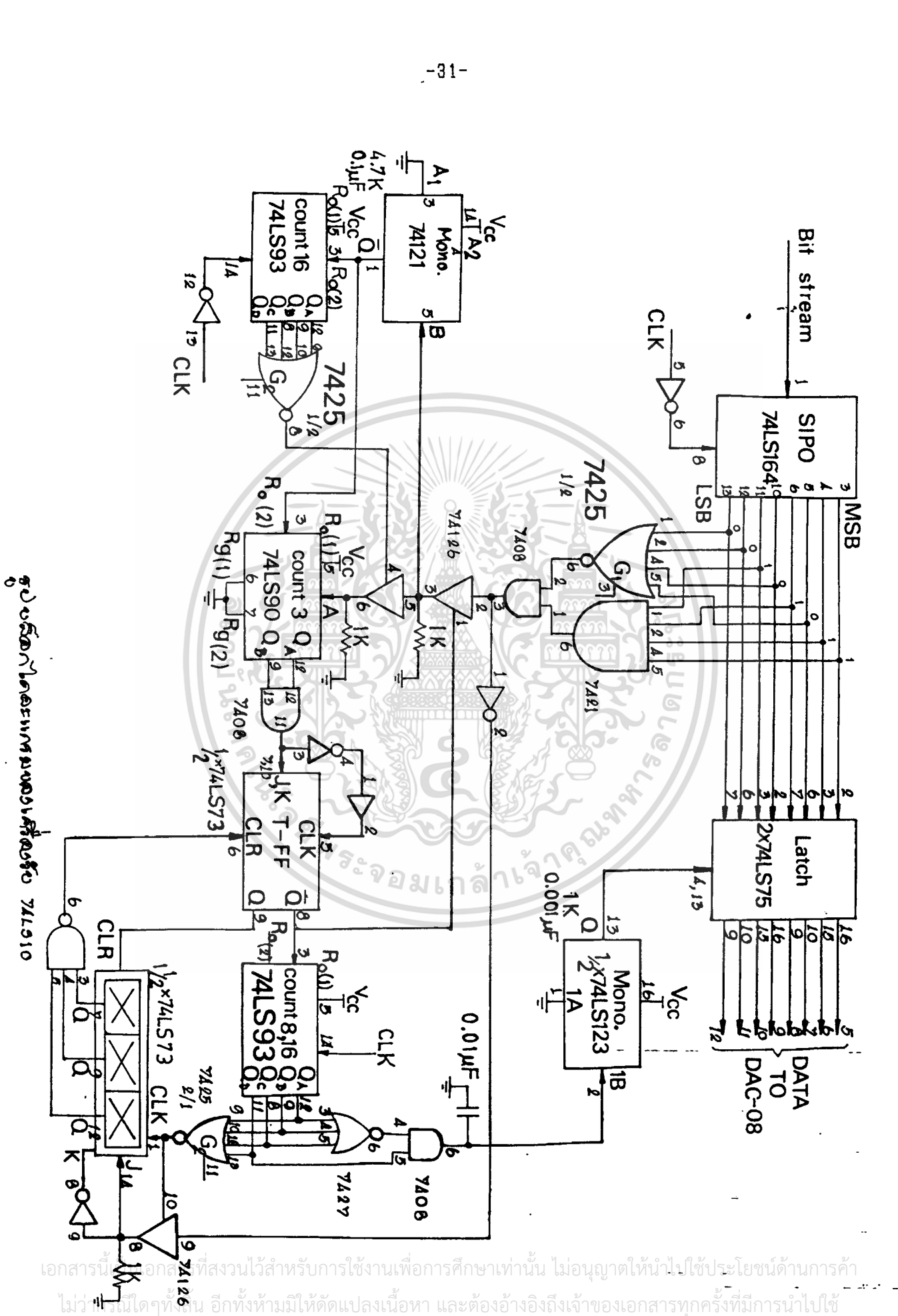
เป็นต้น แต่ว่าถ้าเกิดเช็คได้ถึง 3 ครั้งติดต่อกัน ก็ให้แน่ใจได้เลยว่าเกิดการ out of synchronization แล้วจึงจะหยุดการทำงานของส่วนทำงานสภาวะปกติ และจะไปเริ่มการทำงานในส่วนเช็ค ผิดพลาด 3 ครั้งใหม่อีกทีหนึ่ง โดยการส่งสัญญาณไปเคลียร์ (clear) ส่วนการทำงานในสภาวะปกติพร้อมกันนี้ก็ส่งสัญญาณไปเริ่มการทำงานในข้อ 1. อีกทีให้การทำงานเป็นเช่นนี้ไปเรื่อยๆ ดูรูปที่ 3.9ประกอบ

ในรูปที่ 3.9 (b) ที่ฟลิบฟลอบชนิดทอกเกิล (T-FF) ใช้ไอซีเบอร์ 74LS73 (Dual J-K Master-Slave FF with Clear) จำนวน 1/2 ตัว โดยเอาขา J ต่อเข้ากับขา K เพื่อรับอินพุทที่เหมือนกัน จึงจะได้การทำงานที่อยู่ในภาวะ toggle ดังรูปที่ 3.10(a) สัญญาณเคลียร์ (clear) เป็น " 0 " จะทำให้เอาท์พุท (Q) เป็น " 0 " โดยไม่สนใจอินพุทที่เข้าตรงขา J กับ K เลยในส่วนที่เป็น register 3 บิท เพื่อนับการทำงานว่าพบเหตุการณ์ที่เรียกว่า " out of synchronization " หรือยัง จะใช้ไอซีเบอร์ 74LS73 เช่นกัน จำนวนหนึ่งตัวครึ่ง (ทำ 3 บิท) โดยการนำมาต่อดังรูปที่ 3.10 (b) เมื่อนำสัญญาณจากขา " Q " ของทั้ง 3 บิทเป็น " 1 " พร้อมกัน แสดงว่าเกิดการ out of synchronization ตามเงื่อนไขที่ได้กล่าวไปแล้วข้างต้น สัญญาณจากขา " Q " ทั้ง 3 ที่กล่าวถึงเมื่อไปผ่าน NAND GATE แล้วจะให้เอาท์พุทออกมาเป็น " 0 " ซึ่งเป็นสัญญาณที่ไปเคลียร์การทำงานของ T-FF ให้เริ่มต้นใหม่



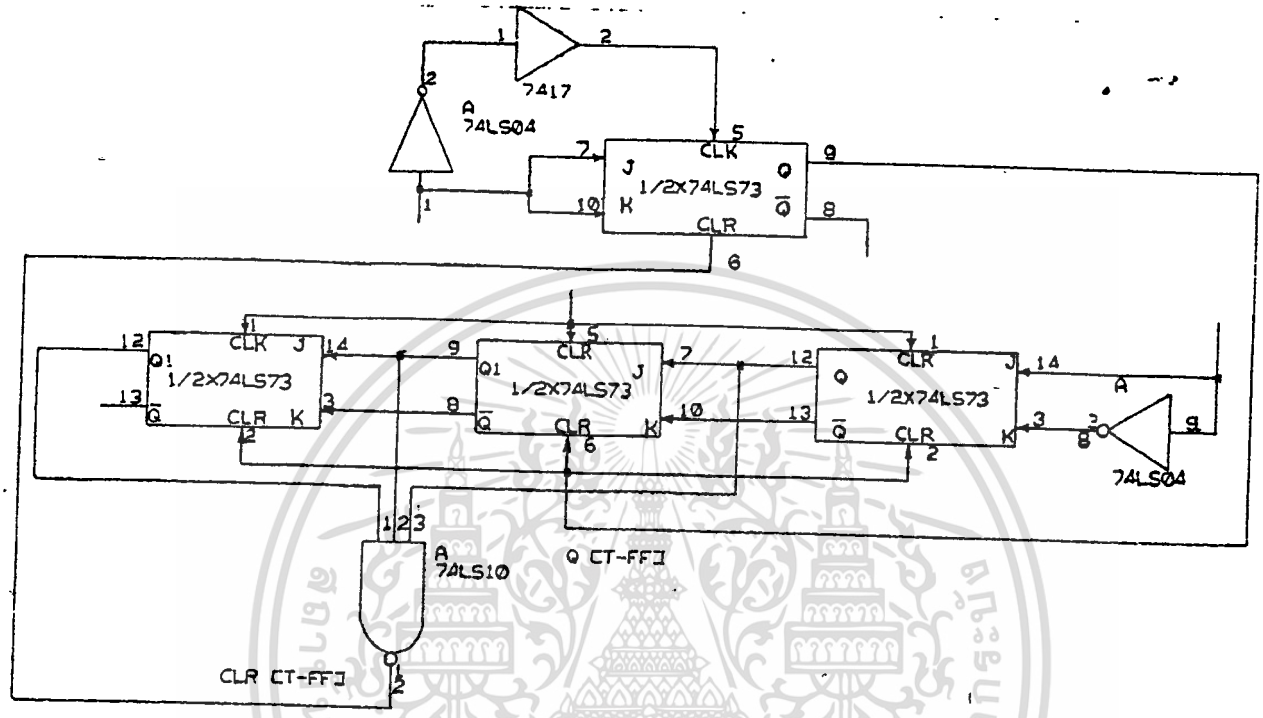
รูปที่ 3.9(a) แสดงส่วนประกอบแบบคร่าวๆ ของ synchronizing code detector

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปวงจรตัวอย่างการประยุกต์ใช้งาน 74LS10

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.10 (a) วงจร toggle (b) 3-bit register

ในระยะแรกเข้าใจว่าถ้าเฟสของสัญญาณนาฬิกาของเครื่องรับไม่ตรงกับสัญญาณนาฬิกาของเครื่องส่งแล้วนั้น การทำงานจะไม่เป็นไปตามที่ต้องการได้ [ถ้าเฟส (phase) ไม่ตรงกัน] แต่เมื่อมาพิจารณาให้ดีแล้วจะไม่มีปัญหาเลย ดูได้จากการจับสัญญาณที่เครื่องรับตรง bit stream กับเอาท์พุท (output) ของ synchronizing code detector โปรดดูรูปที่ 3.11 ประกอบ

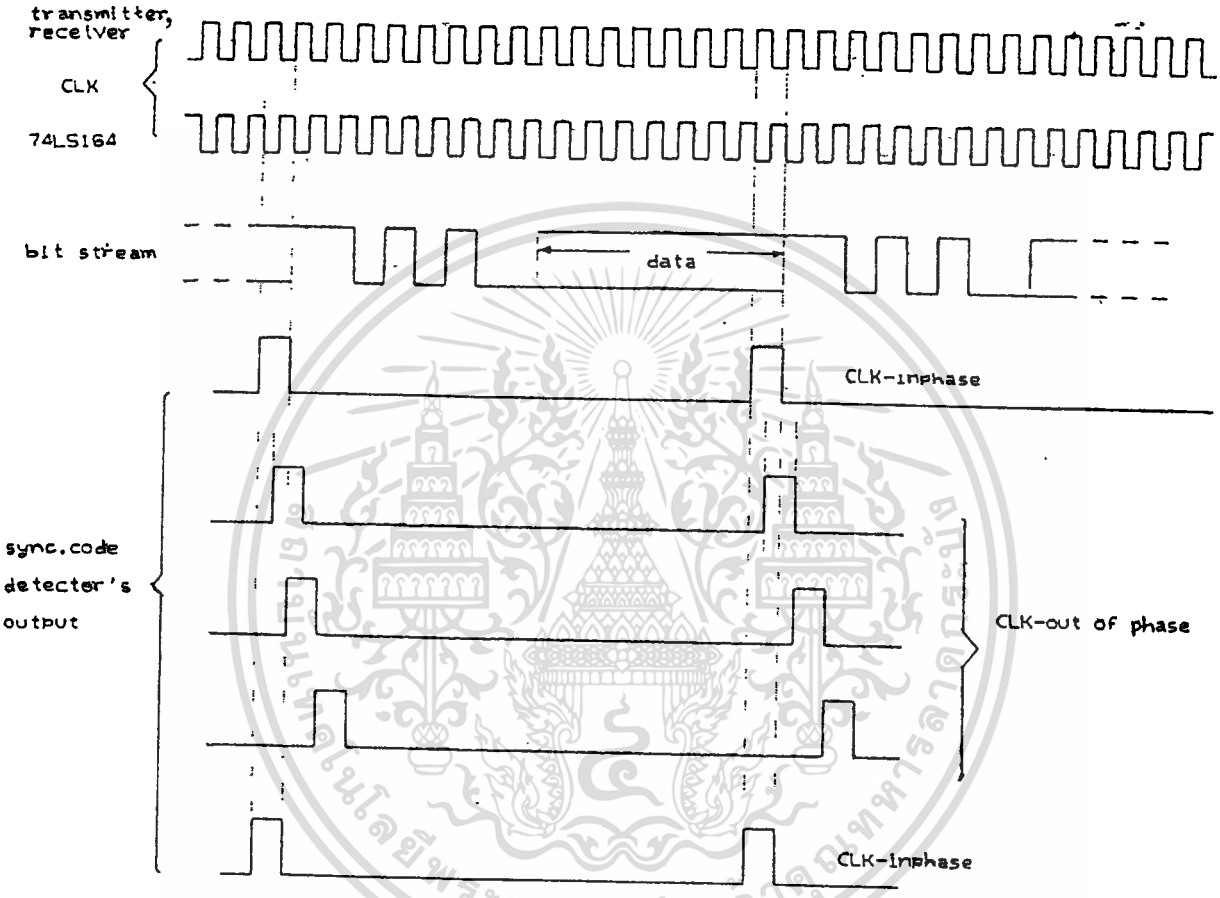
จากรูปที่ 3.11 เพื่อความง่ายจะอธิบายกรณีที่เฟสของสัญญาณนาฬิกาของเครื่องส่งและเครื่องส่งตรงกัน ดังนั้นเมื่อสัญญาณนาฬิกาของเครื่องรับส่งไปยัง PISO (74LS166) ก็จะต่างเฟส (out of phase) ไปจากสัญญาณนาฬิกาของเครื่องส่งอยู่ 180
(74LS166)) ดังนั้นถ้าเกิดความถี่ของสัญญาณนาฬิกาของเครื่องส่งและเครื่องรับต่างกันไปเพียงเล็กน้อย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

(crystal มีความผิดพลาดอยู่ไม่เกิน 0.01 %) ก็จะเกิดการต่างเฟส (out of phase) กันไปเรื่อย ๆ แต่ว่าไม่ 1 clock นั่นคือ 1 บิท ดังนั้นแม้ว่าจะเกิดการต่างเฟส (out of phase) ของสัญญาณนาฬิกาก็ตาม เครื่องรับก็ยังสามารถทำงานได้ถูกต้อง เพราะว่าไอซี TTL ที่นำมาใช้นี้ทำงานที่ขอบขาขึ้นหรือขอบขาลงของสัญญาณนาฬิกาเมื่อเกิดการต่างเฟส (out of phase) ของสัญญาณนาฬิกา ขอบขาขึ้นของสัญญาณนาฬิกาของ 74LS166 (PISO) ก็จะอยู่ระหว่างบิท การทำงานจึงดำเนินต่อไปได้โดยถูกต้อง

ถ้าเฟสของนาฬิกา (clock) ต่างกันไปถึง 360 องศา ก็คือการเริ่มต้นของการมีเฟส (phase) ตรงกันอีกครั้ง กรณีที่ขอบของสัญญาณนาฬิกาที่ 74LS166 ใช้ในการทำงานไปอยู่ตรงขอบของบิทพอดี (เกิดขึ้นในช่วงเวลาที่สั้นมาก ๆ) ซึ่งเป็นกรณีที่มีโอกาสเกิดขึ้นได้น้อยมาก การทำงานของไอซีอาจตัดสินใจไม่ได้ว่าบิทที่ต้องการทำนั้นเป็น " 1 " หรือ " 0 " เมื่อเฟสของสัญญาณนาฬิกาเลื่อนไปอีกไอซีก็สามารถตัดสินใจในการทำงานได้

ดูสัญญาณของ bit stream กับสัญญาณเอาท์พุทของ synchronizing code detector ในรูปที่ 3.11 เมื่อเฟสของสัญญาณนาฬิกาตรงกัน สัญญาณเอาท์พุทของ synchronizing code detector จะอยู่ที่บิทที่ 8 (LSB) ของข้อมูลเมื่อสัญญาณนาฬิกาของเครื่องส่งและเครื่องรับต่างเฟสกันไปเรื่อย ๆ สัญญาณเอาท์พุทจาก synchronizing code detector ก็จะเลื่อนออกไปเรื่อย ๆ จนตรงกับบิทที่ 1 (MSB) ของ synchronizing code พอดี สัญญาณเอาท์พุทของ synronizing code detector ก็จะกลับไปเริ่มต้นใหม่ คือตรงกับบิทที่ 8 (LSB) ของข้อมูลอีกครั้ง เหตุการณ์จะเป็นเช่นนี้ตลอดไป ดังนั้นก็แสดงว่า ไม่มีปัญหาเกิดขึ้นในเรื่องเฟสของสัญญาณนาฬิกา เครื่องรับก็ทำงานได้ถูกต้อง จึงไม่มีการออกแบบวงจร ในส่วนที่ทำหน้าที่เกี่ยวกับเฟสของสัญญาณนาฬิกา



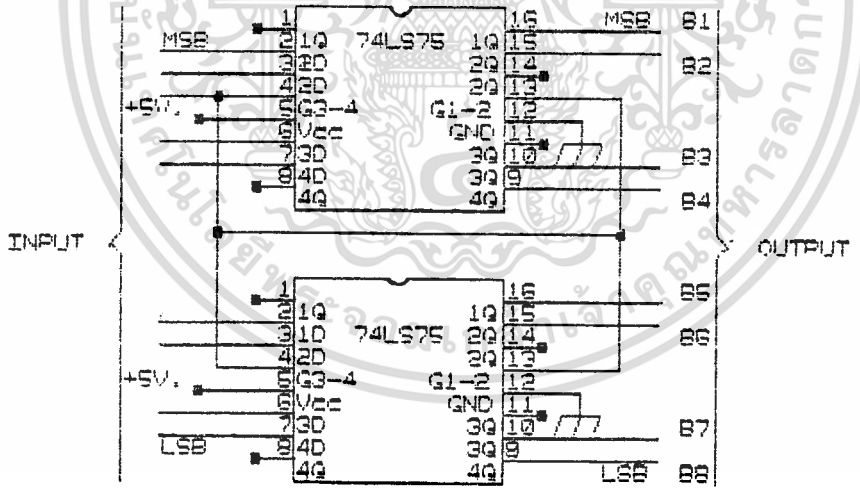
รูปที่ 3.11 timing diagram ของ synchronizing code detector

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2.3 วงจรแลทช์(Latch)

เนื่องจากไอซี DAC-08 จะแปลงสัญญาณตลอดเวลาที่มีการจ่ายไฟเลี้ยงเข้าให้ ดังนั้นในช่วงเวลาที่ข้อมูลชุดใหม่ยังไม่เข้ามา จะต้องให้ DAC-08 ทำการแปลงข้อมูลชุดเก่าไปก่อนจนกว่าจะได้รับข้อมูลชุดใหม่เข้ามา ดังนั้นจึงได้เอาท์พุทจาก DAC-08 เป็นขั้นต่อเนื่องกันไป (analog signal) เมื่อการทำงานเป็นเช่นนี้ จึงต้องมีการสร้างวงจรแลทช์ (latch) เพื่อค้างข้อมูลให้ DAC-08

ในโครงงานนี้ได้ใช้ไอซีเบอร์ 74LS75(4-bit bistable latch) จำนวน 2 ตัว ดังแสดงในรูปที่ 3.12 สัญญาณที่มาควบคุมให้ 74LS75 ปล่อยข้อมูลชุดเก่าออกไปพร้อมกับรับข้อมูลชุดใหม่เข้าไปนั้นก็คือสัญญาณที่เป็นเอาท์พุทของ synchronizing code detector โดยผ่าน 74LS123 (monotable) เพื่อลดโอกาสที่ 74LS75 รับข้อมูลเข้ามาผิดจากที่ต้องการ เมื่อเอาท์พุทของ synchronizing code detector " 1 " คร่อมระหว่างบิทข้อมูล โดย 74LS123 ให้เอาท์พุทออกมาในช่วงแคบๆ



รูปที่3.12 แสดงวงจรแลทช์ก่อนไปเข้า DAC-08

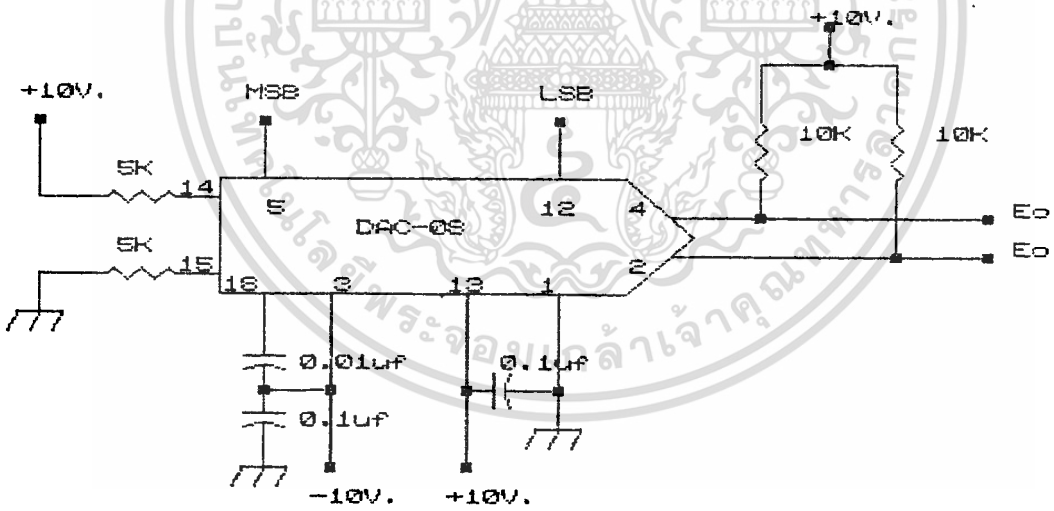
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2.4 วงจรแปลงสัญญาณดิจิตอลเป็นอนาลอก (Digital to Analog Converter)

ในโครงงานนี้ได้เลือกใช้ไอซีเบอร์ DAC-08 ซึ่งจะแปลงข้อมูลตลอดเวลา โดยข้อมูล 8 บิทจะถูกแปลงเป็นสัญญาณอนาลอก มีค่าระหว่าง -10 V. ถึง +10 V.

เอาท์พุทที่ขา 2 กับขา 4 จะต่างเฟสกันอยู่ 180 องศา เพื่อให้ได้สัญญาณเอาท์พุทที่ใกล้เคียงกับสัญญาณอินพุทของเครื่องส่ง จึงเลือกเอาเอาท์พุทที่ขาที่ 2 (data sheet ของ DAC-08 แสดงไว้ในภาคผนวก)

เอาท์พุทที่ได้จะเป็นขั้นฯ ดังนั้นเพื่อให้สัญญาณเรียบยิ่งขึ้นจึงต้องนำไปผ่านวงจรกรองผ่านความถี่ต่ำ (low-pass filter) ซึ่งแสดงไว้ในหัวข้อวงจรกรองผ่านความถี่ต่ำ ในภาคเครื่องส่ง



รูปที่ 3.13 แสดงการต่อ DAC-08

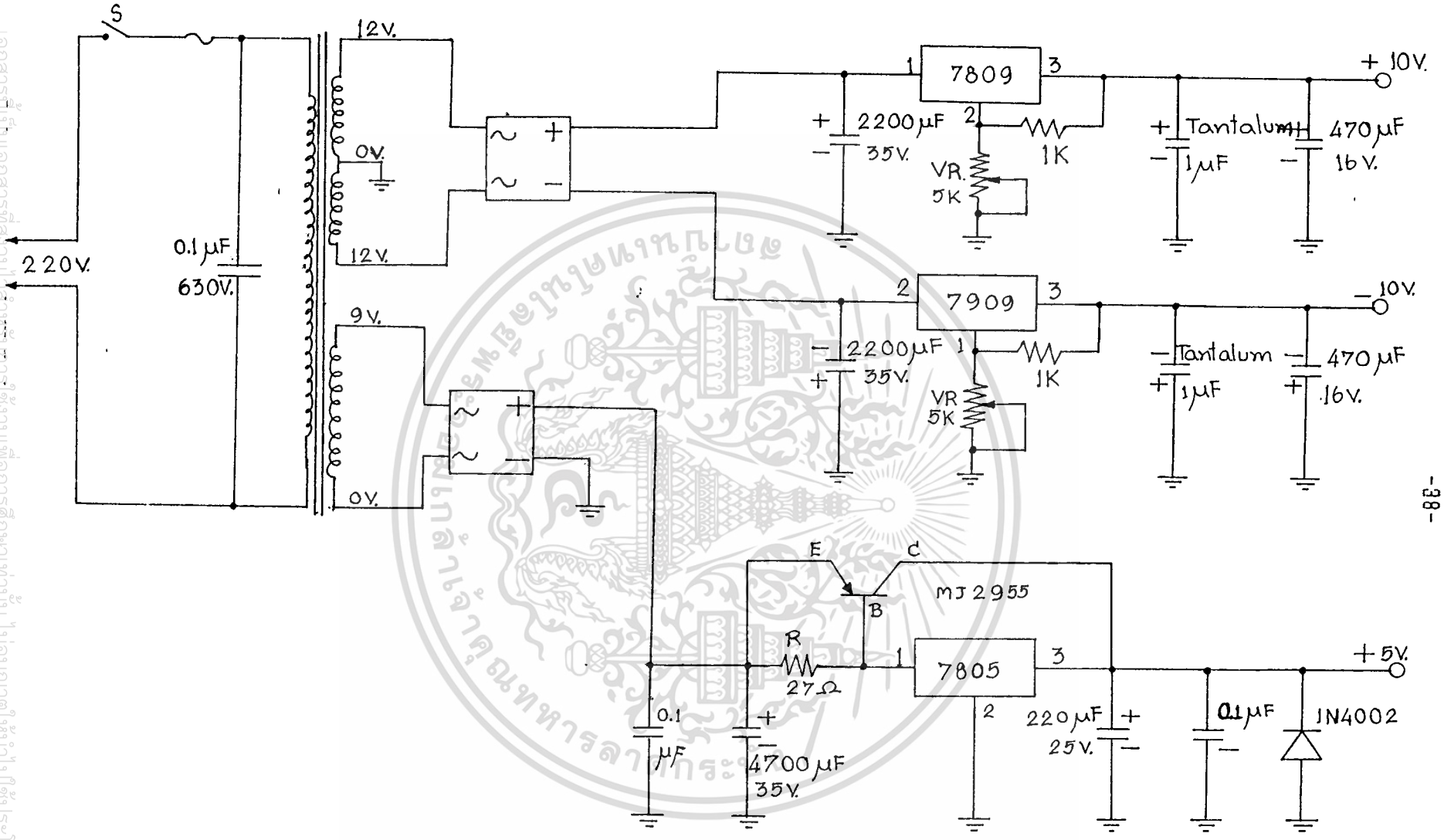
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2.5 แหล่งจ่ายไฟ (Power supply)

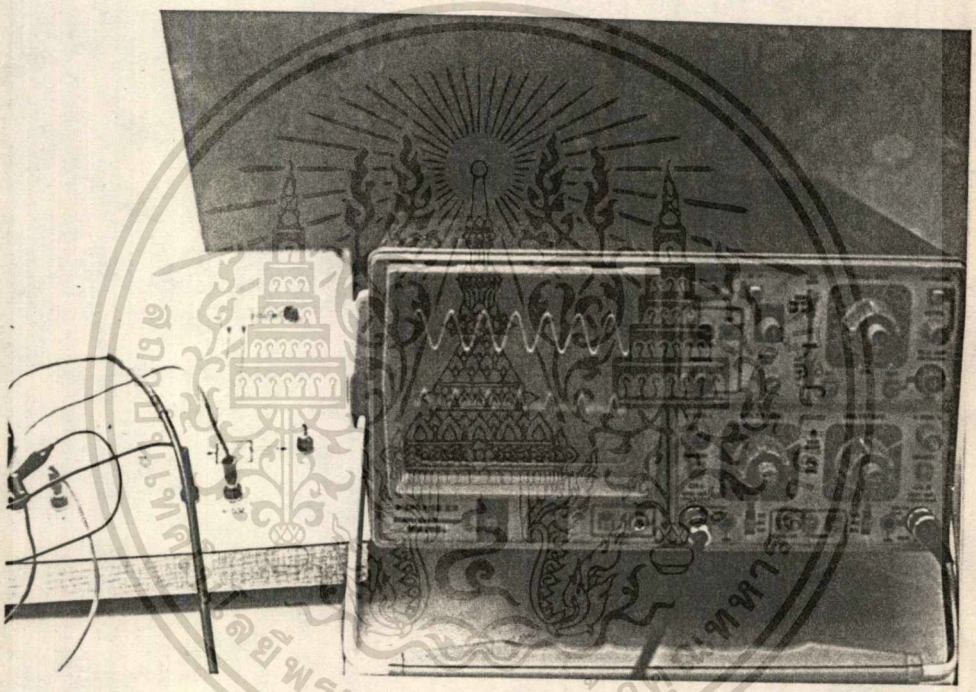
ทั้งในเครื่องส่งและเครื่องรับต้องการใช้แหล่งจ่ายไฟที่มีค่า + 5V. , + 10V. และ - 10 V. ไฟเลี้ยง +5V. ไว้จ่ายให้กับไอซี TTL ไฟเลี้ยง +10V. และ -10V. จ่ายให้กับ op-amp. และที่ reference voltage ใช้ที่ค่า 0-5 V. สำหรับ ADC -0809 ที่วงจรเปลี่ยนระดับแรงดันใช้ -10V. ที่ DAC-08 ใช้ +10V. กับ 0 V. (ground) reference voltage แต่ละค่าที่กล่าวไปจะใช้วิธีต่อตรงเข้ากับแหล่งจ่ายไฟตามค่าที่ระบุไว้ข้างต้น

ใช้หม้อแปลงหนึ่งตัวเพื่อแปลงไฟ 220 V. ใช้ได้ +9V., +12V. และ -12 V. จากนั้นก็นำไปแปลงให้เป็นไฟตรง (d.c.) +5 V. , +10 V. , - 10 V. ดังที่แสดงไว้ในรูปที่ 3.14

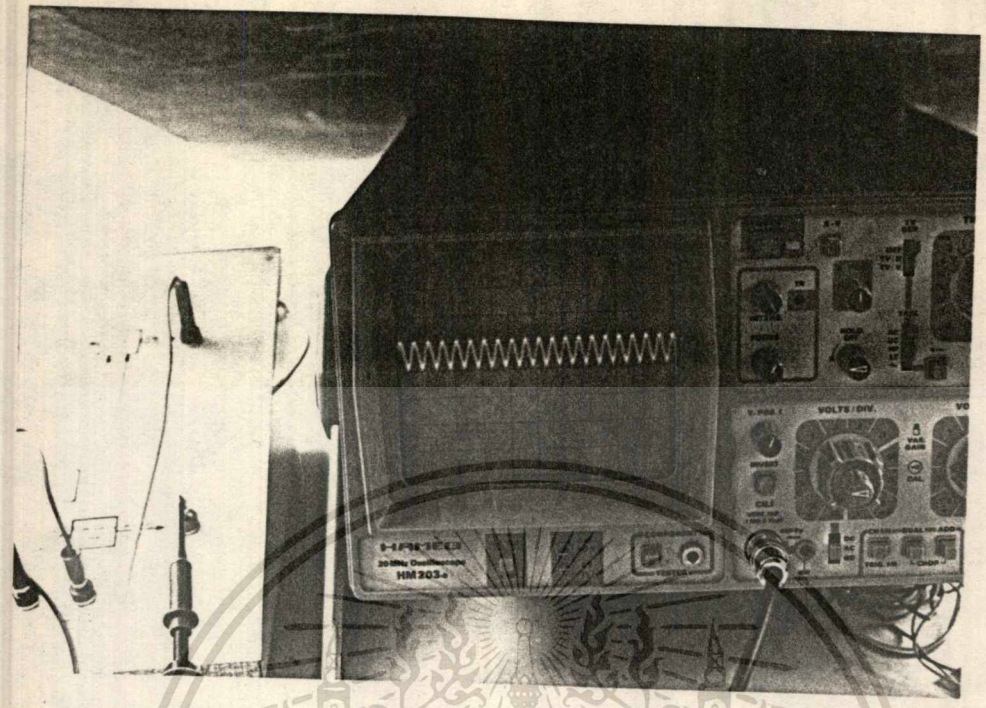
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

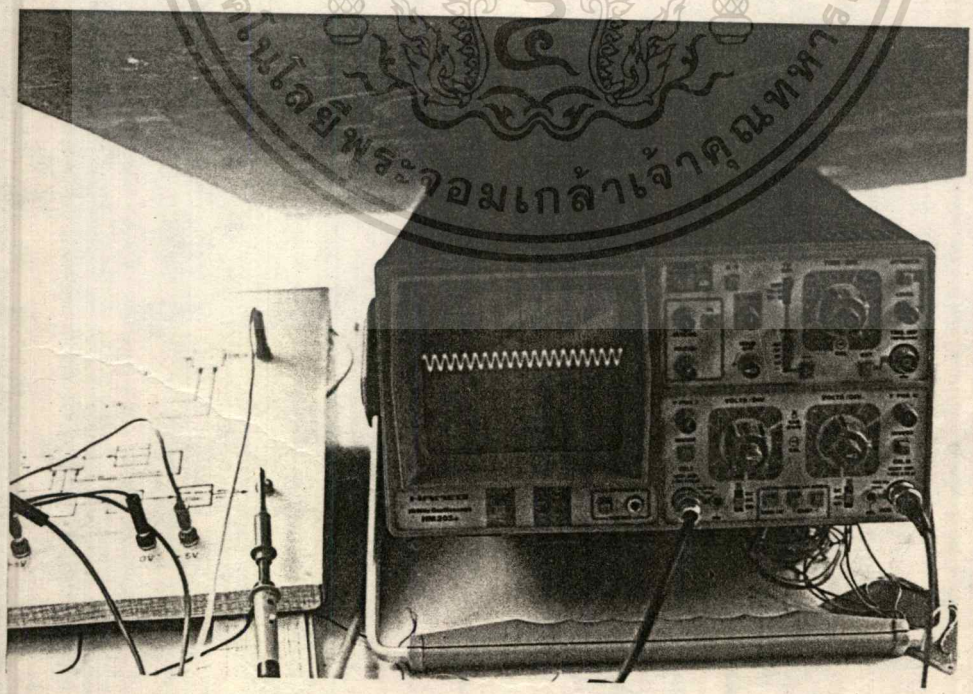


รูปที่3.14 วงจรแหล่งจ่ายไฟ (power supply)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้





เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4

บทสรุปและข้อเสนอแนะ

4.1 บทสรุป

ในโครงงานนี้สามารถใช้เป็นพื้นฐานของการทำความเข้าใจเกี่ยวกับการสื่อสารในระบบดิจิตอลแบบ PCM ได้ เพื่อการพัฒนาต่อไปสู่ระบบ PCM แบบหลายช่อง (multi-channel) ซึ่งผลลัพท์ที่ได้จากโครงงานก็ค่อนข้างเป็นที่น่าพอใจ อาจต้องมีบางส่วนที่ต้องการปรับปรุงแก้ไขให้ดีและสมบูรณ์ยิ่งขึ้น

จากการทดลองใช้กับสัญญาณคลื่นซายน์ (sine wave) ที่ความถี่ไม่เกิน 3.4 KHz ผลปรากฏว่าเครื่องรับสามารถให้เอาท์พุทที่เหมือนกับสัญญาณอินพุทที่เครื่องส่งได้ [แอมปลิจูด (amplitude) อาจไม่เท่ากัน, ความเรียบของสัญญาณไม่เหมือนกันเลยทีเดียว] แต่ที่ความถี่ประมาณ 3.4 KHz ขึ้นไปเอาท์พุทของเครื่องรับจะไม่ค่อยดีนัก, แอมปลิจูดมีค่าลดลงไปมาก นั่นแสดงว่าความถี่ที่ประมาณ 3.4 KHz ถูกตัดออกไป และที่ความถี่ก่นจะถึง 3.4 KHz แอมปลิจูดก็มีค่าลดลงบ้างแล้ว ซึ่งเป็นไปตามคุณสมบัติ (characteristic) ของวงจรกรองผ่านความถี่ต่ำ (low-pass filter) คือแอมปลิจูดลดลงเรื่อยๆ เมื่อความถี่เพิ่มขึ้น (ตามทฤษฎีจะเริ่มที่ความถี่ 0 Hz) จนถึงที่ความถี่คัท-ออฟ (cut-off frequency) แอมปลิจูด (amplitude) จะลดลงไปถึง 3 db

ตั้งแต่อดีตการส่งข่าวสาร (message) เป็นไปในรูปแบบของสัญญาณอนาลอก (analog communication) ในปัจจุบันนี้ความเจริญทางด้านดิจิตอลมีมากขึ้นจึงมีการหันมาให้ความสนใจการส่งข่าวสาร (message) ในรูปแบบของดิจิตอล (digital communication) กันมากขึ้น อย่างเช่นการใช้ PCM ในระบบโทรศัพท์ (ในอเมริกา, ยุโรป) องค์การโทรศัพท์ก็ได้ให้ความสนใจกับการใช้ PCM ในระบบโทรศัพท์ ซึ่งมีข้อดีในด้านความแม่นยำ, สัญญาณรบกวนมีผลน้อยลง, ราคาถูก

การที่โครงงานนี้สำเร็จลุล่วงได้นั้น ต้องมีความเข้าใจทางด้านอิเล็กทรอนิกส์พอสมควร สิ่งสำคัญคือการรู้จักวิเคราะห์ปัญหาต่าง ๆ ที่เกิดขึ้น เพื่อการแก้ไขให้ถูกต้องตามที่ต้องการ, การค้นหาส่วนที่ผิดพลาดและการหาวิธีแก้ไขอย่างมีหลักการ มีประสิทธิภาพและถูกต้อง

อย่างไรก็ตาม ในโครงงานนี้ก็ยังมีข้อผิดพลาดอยู่บางจุด เช่น ในเครื่องส่งบางครั้งที่ทำการป้อนสัญญาณเข้าที่ขาอินพุทของ ADC 0809 เอาท์พุทแต่ละข้างทั้ง 8 บิทมีครบและไปถึง 74LS166 (PISO shift register) แต่ปรากฏว่าไม่มีเอาท์พุทในส่วนที่เป็นข้อมูลออกจาก 74LS166 (PISO shift register) คง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

มีเฉพาะส่วนที่เป็น synchronizing code เท่านั้น

4.2 ข้อเสนอแนะ

ถึงแม้ว่าโครงงานนี้เสร็จสิ้นไปแล้ว ก็ยังมีข้อผิดพลาดที่ควรได้รับการแก้ไขและบางอย่างที่ควรพัฒนาต่อไป ดังต่อไปนี้

ข้อแก้ไข

1.ในเครื่องส่ง เมื่อจ่ายไฟเลี้ยง (supply).ป้อนสัญญาณต่าง ๆ ให้พร้อมแล้ว ในบางครั้งเอาท์พุทที่ได้ออกมาจากเครื่องส่งจะมีแต่ส่วนที่เป็น synchronizing code ไม่มีส่วนที่เป็นโดยที่ที่ตัว ADC 0809 มีการแปลงรหัสออกมา (จับสัญญาณที่เอาท์พุทแต่ละขาออกมาดู) และส่งไปถึงยัง 74LS166 (PISO 8-bit shift register) เมื่อต้องการให้มีส่วนที่เป็นข้อมูลออกมาจากเครื่องส่งด้วย ต้องหยุดจ่ายไฟเลี้ยงแล้วทำการจ่ายไฟเลี้ยงให้ใหม่ จึงจะมีส่วนที่เป็นข้อมูลออกมาด้วย บนบอร์ดทดลอง (proto board) ใช้วิธีดึงสายไฟเลี้ยงหรือสายดิน (ground) ออกแล้วเสียบเข้าไปใหม่ ที่เป็นเช่นนี้อาจจะเป็นที่ระบบจ่ายไฟและการใช้ไอซี ซึ่งยังหาสาเหตุที่แท้จริงไม่ได้

2. ที่ADC 0809 ยังมีเอาท์พุทออกมาประมาณ 2 ถึง 3 บิทที่มีความสำคัญน้อยที่สุด (LSB) แม้ว่าสัญญาณอินพุทที่ป้อนให้ ADC 0809 จะเป็นศูนย์ก็ตามคือเอาไปต่อลงกับดินที่เป็นเช่นนี้อาจเป็นเพราะว่าสัญญาณอินพุทนั้นไม่อยู่ที่ศูนย์จริง เพราะถ้าเกิดการแกว่งหรือการกระเพื่อมของสัญญาณอินพุทเพียงนิดหน่อยจนถึงระดับที่ ADC 0809 สามารถแปลงรหัสออกมาได้แล้วนั้น ก็จะมีเอาท์พุทออกมา สาเหตุอีกประการคืออาจจะเป็นที่ตัว ADC 0809 ทำงานผิดพลาด

การแก้ไขก็อาจจะลองเช็คดูระบบดิน หรือเช็คที่เอ้าต์พุทของวงจรแปลงระดับแรงดันจาก -10v. ถึง +10v. ให้เป็น 0-5 v. ดูว่าเป็นศูนย์จริงหรือไม่เมื่ออินพุทที่ป้อนให้ เป็น -10 v. สาเหตุอันสุดท้ายนี้น่าจะมีทางเป็นไปได้มากที่สุด

นัยนาต่อ

1. ดัดแปลงแก้ไขหรือใช้เป็นแนวทางที่จะทำเป็นแบบหลายช่อง (mult-channel)
2. สร้างวงจรที่ใช้เป็น reference voltage ให้ทั้งเครื่องส่งและเครื่องรับ โดยเฉพาะที่ ADC 0809 กับ DAC-08
3. ที่เครื่องรับให้สามารถให้เอ้าพุทได้เรียบยิ่งขึ้นกว่าที่เป็นอยู่นี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4. อาจจะสร้างวงจรที่ทำหน้าที่เกี่ยวกับการทำให้เฟสของสัญญาณนาฬิกาของเครื่องส่ง และเครื่องรับ ตรงกัน

ในการที่จะทำเป็น multi-channel ถ้าใช้ ADC 0809 จะทำได้เพียง 2 ช่อง(2-channel) เท่านั้นเอง (สำหรับ speech signal 3.4 KHz) เพราะ ADC 0809 นี้สามารถรับสัญญาณนาฬิกาความถี่สูงสุดเพียง 1.280 KHz เท่านั้น และที่ทำไปเพียงช่องเดียว(1-channel) ในโครงงานนี้ใช้สัญญาณนาฬิกาความถี่ 596.5 KHz ดังนั้นถ้า ทำ 2 ช่อง (2-channel) ก็ต้องมีการแบ่งเวลา(time sharing) ไปให้แก่อีกช่องหนึ่งนั่นคือถ้าทำให้ได้อัตราการสุ่มตัวอย่าง(sampling rate) ของแต่ละช่องมีค่าเท่ากับที่ทำไปในโครงงานนี้ ต้องป้อนสัญญาณนาฬิกาให้กับ ADC 0809 ที่มีค่าความถี่เป็น 2 เท่าของ 596.5 khz คือ 1,193 KHz แต่ถ้ามากกว่า 2 ช่อง (2-channel) แล้ว ADC 0809 จะทำให้อัตราการสุ่มตัวอย่างมากกว่าหรือเท่ากับ 8,000 samples per second ไม่ได้

อัตราการสุ่มตัวอย่างถ้ายิ่งได้มากกว่า 8,000 samples per second ก็ยิ่งทำให้ได้จำนวนตัวอย่าง (sample) มากขึ้น ผลก็คือทำให้ได้เอ้าท์พุทที่ DAC -08 มีความระเอียดมากขึ้นความเพี้ยน(distortion) ของสัญญาณที่ได้ออกมาลดลง เมื่อเอาไปผ่านวงจร กรองผ่านความถี่ต่ำจะได้สัญญาณที่เรียบยิ่งขึ้นอีกด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

กิตติกรรมประกาศ

โครงงานนี้สำเร็จลุล่วงได้ด้วยความช่วยเหลือจาก ผศ.ดร.กนก เจษจิระพงศ์เวช ที่ได้ให้คำแนะนำ , เอกสาร , หนังสือที่เป็นประโยชน์ และเป็นอาจารย์ที่ปรึกษาตลอดเวลา เวลาของการทำโครงงานนี้ อีกทั้งเพื่อนๆที่ให้คำแนะนำ จึงใคร่ขอขอบพระคุณอาจารย์และเพื่อนๆ ทุกท่านมา ณ ที่นี้

สุดท้ายนี้ขอขอบคุณเจ้าหน้าที่ ภาควิชาเทคนิคอุตสาหกรรมทุกท่านที่ได้ให้ความสะดวกในการติดต่อกับภาควิชา เกี่ยวกับการทำโครงงานนี้ด้วย

เจริญ มณีจันทร์

วีระพล พงษ์บริบูรณ์

ธันวาคม 2532

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอกสารอ้างอิง

1. เนรงค์ เหมกรณ์ : " ระบบสื่อสารวิทยุไมโครเวฟ " , สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง 2524 , หน้า 257-270

2. สุรพงศ์ สุรบถโสภณ , " วารสารเซมิคอนดัคเตอร์อิเลคทรอนิคส์ " , บริษัทซีเอ็ดยูเคชั่นจำกัด ฉบับที่ 85 2531 , หน้า 190-199

3. คู่มือ / เทียบเบอร์ ไอซี TTL บริษัท ซีเอ็ดยูเคชั่น จำกัด

4. PEYTON Z. PEEBLES,JR.,Ph.D , " DIGITAL COMUNICATION SYSTEMS " Prentice Hall , Inc. , pp. 12 - 135 , 1987

5. DAVID F. STOUT/MILTON KAUFMAN , " HANDBOOK OF OPERATIONAL AMPLIFIER CIRCUIT DESIGN" McGRAW-HILL BOOK COMPANY , 1976

6. NATIONAL SEMICONDUCTOR CORPORATION " LINEAR DATABOOK 2 " 1988

7. THE TTL DATA BOOK FOR DESIGN ENGINEERS , TEXAS INSTRUMENT,1983

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ข้อมูลทางเทคนิคของวัสดุ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5404/7404 Hex Inverter

	Schottky TTL		High-Speed TTL		Low-Power Schottky TTL		Standard TTL		Low-Power TTL	
	Device Type	Package	Device Type	Package	Device Type	Package	Device Type	Package	Device Type	Package
T.I.	SN54S04	J W N	SN54H04	J W N	SN54LS04	J W #2 N	SN5404	J W #2 N	SN54L04	J F N D T #2
	SN74S04	J F W #2 N	SN74H04	J F W #2 N	SN74LS04	J F W #2 N	SN7404	J F W #2 N	SN74L04	J F N T #2
FAIRCHILD	FM54S04, FM95S04	D F	FM54H04, FM95H04	D F	FM54LS04 / FM95LS04	D F	FM5404 / FM9N04	D F		
	FC74S04, FC9S04	D F	FC74H04 FC9H04	D F	FC74LS04 / FC9LS04	D F	FM7404 / FC9N04	D F		
MOTOROLA			MC3004	F			MC5404	L F		
			MC3004	L P F	SN74LS04	P	MC7404	L P F		
N.S.C.			DM54H04	J W N	DM54LS04	J W N	DM5404	J W N	DM54L04	J F N D
	DM74S04	N	DM74H04	J F N	DM74LS04	J F N	DM7404	J F N	DM74L04	J F N
PHILIPS										
	N74S04	D	N74H04	D	N74LS04	P	FLH241 / 7404	D		
SIGNETICS	554S04	F A W #2	S54H04	F A W #2			S5404	F A W #2		
	N74S04	F P A W #2	N74H04	F P A W #2	N74LS04	A	N7404	F P A W #2		
SIEMENS										
							FLH211	D		
FUJITSU										
					74LS04	M P	MB418	D M P		
HITACHI	HD74S04	D P								
					HD74LS04	P	HD7404/HD2522	D P		
MITSUBISHI	M5S004	P								
					M74LS04	P	M53204	P		
NEC	74S04	C P								
					74LS04	C P	μPB235	C D		
TOSHIBA							TD3404A	P		

Electrical Characteristics SN54LS04/SN74LS04

absolute maximum ratings over operating free-air temperature range

Supply voltage, V_{CC}	7V	Operating free-air temperature range	SN54LS	−55°C to 125°C
Input voltage	7V		SN74LS	0°C to 70°C
		Storage temperature range		−65°C to 150°C

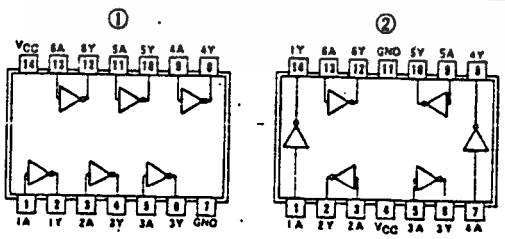
recommended operating conditions

	SN54LS04			SN74LS04			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage V_{CC}	4.5	5	5.5	4.75	5	5.25	V
High-level output current, I_{OH}			−400			−400	μA
Low-level output current, I_{OL}			4			8	mA
Operating free-air temperature T_A	−55		125	0		70	°C

electrical characteristics over recommended operating free-air temperature range

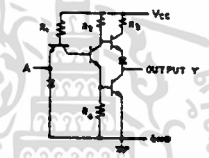
PARAMETER		TEST CONDITIONS†		MIN	TYP‡	MAX	UNIT
V_{IH}	High-level input voltage			2			V
V_{IL}	Low-level input voltage					0.8	V
V_I	Input clamp voltage	V_{CC} = MIN,	I_I = −18mA			−1.5	V
V_{OH}	High-level output voltage	V_{CC} = MIN, I_{OH} = MAX	V_{IL} = V_{IL} max,	2.7	3.4		V
V_{OL}	Low-level output voltage	V_{CC} = MIN, I_{OL} = 4mA	V_{IH} = 2V,			0.4	V
I_I	Input current at maximum input voltage	V_{CC} = MAX,	V_I = 7V			0.1	mA
I_{IH}	High-level input current	V_{CC} = MAX,	V_{IH} = 2.7V			20	μA
I_{IL}	Low-level input current	V_{CC} = MAX,	V_{IL} = 0.4V			−0.4	mA
I_{OS}	Short-circuit output current *	V_{CC} = MAX	54LS Family	−20		−100	mA
			74LS Family	−20		−100	
I_{CCH}	Supply current	V_{CC} = MAX	Total, outputs high		1.2	2.4	mA
I_{CCL}	Supply current		Total, outputs low		3.6	6.6	mA
I_{CC}	Supply current	V_{CC} = 5V	Average per gate (50% duty cycle)		0.4		mA
t_{PLH}	Propagation delay time, low-to-high-level output	V_{CC} = 5V, C_L = 15pF,	T_A = 25°C, R_L = 2kΩ		9	15	ns
t_{PHL}	Propagation delay time, high-to-low-level output				10	15	ns

Pin Assignments (Top View)



positive logic :
$Y = \overline{A}$

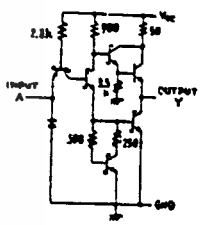
Schematics (each gate)



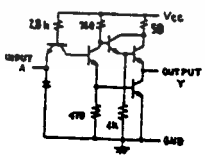
CIRCUIT	R1	R2	R3	R4
'04	4kΩ	1kΩ	130Ω	1kΩ
'L04	40kΩ	20kΩ	500Ω	12kΩ

Input clamp diodes not on SN54L/74L* circuits.

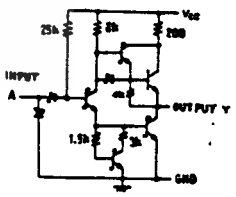
'04, 'L04 CIRCUITS



'S04 CIRCUIT



'H04 CIRCUIT



'LS04 CIRCUIT

Resistor values shown are nominal and in ohms.

†For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.
‡All typical values are at V_{CC} = 5V, T_A = 25°C.
Not more than one output should be shorted at a time, and for SN54H/SN74H* and SN54S*/SN74S*, duration of short-circuit should not exceed 1 second.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5408 / 7408 Quadruple 2-Input Positive-AND Gate

	Schottky TTL		High-Speed TTL		Low-Power Schottky TTL		Standard TTL		Low-Power TTL	
	Device Type	Package C P M CF	Device Type	Package C P M CF	Device Type	Package C P M CF	Device Type	Package C P M CF	Device Type	Package C P M CF
T.I.	SN54S08	W			SN54LS08	W	SN5408	W		
	SN74S08	N			SN74LS08	N	SN7408	N		
FAIRCHILD	9N54S		F9N54S08 F9N74S		9N54LS		F9N5408 F9N7408			
	9N74S		F9C74S08 F9C74S		9C54LS		F9C7408 F9C7408			
MOTOROLA			MC3101							
			MC300	P	SN74_S08	P	MC7408	P		
N.S.C			DM54S08	W	DM54LS08	W	DM5408	W	DM54L08	
			DM74S08	N	DM74LS08	N	DM7408	N	DM74L08	
PHILIPS	N74S		N74S08		N74_S08		N7408			
SIGNETICS	N74S08		8T54S08	F 7A			5408	F 7A		
			N74S08	F 7A	N74_S08		N7408	F 7A		
SIEMENS										
FUJITSU										
					74_S08					
HITACHI					HD74_S08	P	HD7408 HD7408	P		
MITSUBISHI					M74_S08	P	M5320	P		
NEC					74_S08		UPB734			
TOSHIBA							TD3408			

Electrical Characteristics SN54LS08 SN74LS08

absolute maximum ratings over operating free-air temperature range

			SN54_S		V
			SN74_S		V
					°C
					°C

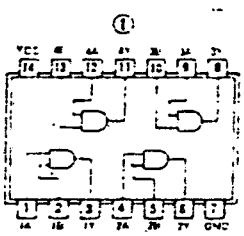
recommended operating conditions

	SN54LS08			SN74LS08			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
	4.5	5	5.5	4.75	5	5.25	V
			−400			400	µA
			4			8	mA
	−55	125		0	25	70	°C

electrical characteristics over recommended operating free-air temperature range

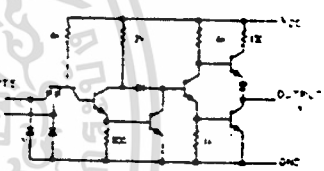
PARAMETER		TEST CONDITIONS*		MIN	TYP†	MAX	UNIT
				2			V
						0.8	V
						−1.5	V
		V_{CC} = MIN, I_I = −18 mA					
		V_{CC} = MIN, V_{IH} = 2 V, I_{OH} = MAX		2.7	3.4		V
		V_{CC} = MIN, V_{IH} = 2 V, I_{OL} = 4 mA			0.25	0.4	V
		V_{CC} = MAX, V_I = 7 V				0.1	mA
		V_{CC} = MAX	V_{IH} = 2.7 V			20	µA
		V_{CC} = MAX	V_{IL} = 0.4 V			−0.4	mA
		V_{CC} = MAX	54L S Family	−20		−100	mA
			74L S Family	−20		−100	mA
		V_{CC} = MAX	Total, outputs high		2.4	4.8	mA
			Total, outputs low		4.4	8.8	mA
		V_{CC} = 5 V	Average per gate (50% duty cycle)		0.85		mA
		V_{CC} = 5 V, C_L = 15 pF,	T_A = 25°C, R_L = 2 kΩ		8	15	ns
					10	20	ns

Pin Assignment (Top View)

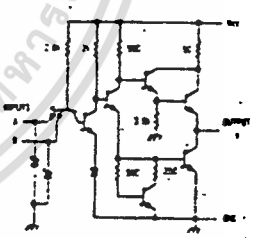


positive logic:
Y = AB

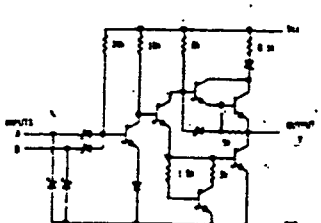
Schematics (each gate)



'08 CIRCUIT



'S08 CIRCUIT



'LS08 CIRCUIT

Resistor values shown are nominal and in ohms.

* For conditions shown as MIN or MAX, use the appropriate values specified under recommended operating conditions.
† All typical values are at V_{CC} = 5 V, T_A = 25°C.
‡ Not more than one output should be shorted at a time, and for SN54S'/SN74S', duration of output short circuit should not exceed one second.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5417/7417 Hex Buffer/Driver with Open-Collector High-Voltage Output

	Schottky TTL					High-Speed TTL					Low-Power Schottky TTL					Standard TTL					Low-Power TTL				
	Device Type	Package				Device Type	Package				Device Type	Package				Device Type	Package				Device Type	Package			
		C	P	M	CF		C	P	M	CF		C	P	M	CF		C	P	M	CF		C	P	M	CF
T.I.																SN5417	J/W			W					
																SN7417	J	N							
FAIRCHILD																FM5417/FM5N17	D			F					
																FC7417/FC9N17	D	P							
MOTOROLA																									
																SN7417		P							
N.S.C.																DM5417	J/W	N		W					
																DM7417	J	N							
PHILIPS																									
																N7417		J							
SIGNETICS																5417	F	J		W					
																N7417	F	J							
SIEMENS																									
																FLH491T									
FUJITSU																									
HITACHI																									
																HD7417		P							
MITSUBISHI																M7417		P							
NEC																									
TOSHIBA																TC7417		P							

Electrical Characteristics SN5417 SN7417

absolute maximum ratings over operating free-air temperature range

Supply voltage V_{CC}	7V	Operating free-air temperature range	SN54 −55°C to 125°C
Input voltage	5.5V		SN74 0°C to 70°C
Off-state (high-level) voltage applied to open-collector outputs	15V	Storage temperature range	−65°C to 150°C

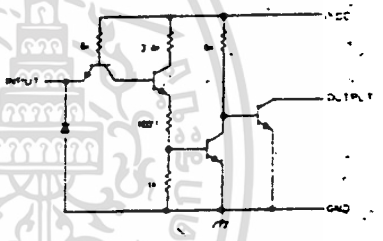
recommended operating conditions

	SN5417 MIN	SN5417 NOM	SN5417 MAX	SN7417 MIN	SN7417 NOM	SN7417 MAX	UNIT
Supply voltage V_{CC}	4.5	5	5.5	4.75	5	5.25	V
High-level output voltage V_{OH}			15			15	V
Low-level output current I_{OL}			48			48	mA
Operating free-air temperature T_A	−55	25	125	0	25	70	°C

electrical characteristics over recommended operating free-air temperature range

PARAMETER		TEST CONDITIONS†		MIN	TYP‡	MAX	UNIT
V_{IH}	High-level input voltage			2			V
V_{IL}	Low-level input voltage					0.8	V
V_I	Input clamp voltage	V_{CC} = MIN,	I_I = −12mA			−1.5	V
I_{OH}	High-level output current	V_{CC} = MIN, V_{IH} = 2V, V_{OH} = MAX				250	μA
V_{OL}	Low-level output voltage	V_{CC} = MIN, I_{OL} = 16mA	V_{IL} = V_{IL} max			0.4	V
		V_{CC} = MIN, I_{OL} = MAX	V_{IL} = V_{IL} max			0.7	V
I_I	Input current at maximum input voltage	V_{CC} = MAX,	V_I = 5.5V			1	mA
I_{IH}	High-level input current	V_{CC} = MAX,	V_{IH} = 2.4V†			40	μA
I_{IL}	Low-level input current	V_{CC} = MAX,	V_{IL} = 0.4V			−1.6	mA
I_{CCH}	Supply current	V_{CC} = MAX	Total outputs high		29	61	mA
I_{CCL}	Supply current		Total outputs low		21	39	mA
I_{CC}	Supply current	V_{CC} = 5V	Average per gate (50% duty cycle)		4.17		mA
t_{PLH}	Propagation delay time, low-to-high-level output	V_{CC} = 5V, C_L = 15pF	T_A = 25°C, R_L = 1kΩ		6	10	ns
t_{PHL}	Propagation delay time, high-to-low-level output				20	30	ns

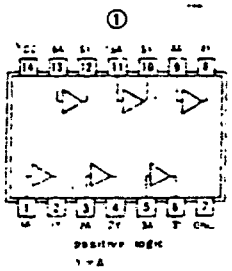
Schematic (each gate).



17 CIRCUIT

Resistor values shown are nominal and in ohms.

Pin Assignment (Top View).



† For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.
‡ All typical values are at V_{CC} = 5V, T_A = 25°C.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5421/7421 Dual 4-Input Positive-AND Gate

	Schottky TTL				High-Speed TTL				Low-Power Schottky TTL				Standard TTL				Low-Power TTL			
	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF
T.I.																								
FAIRCHILD																								
MOTOROLA																								
N.S.C.																								
PHILIPS																								
SIGNETICS																								
SIEMENS																								
FUJITSU																								
HITACHI																								
MITSUBISHI																								
NEC																								
TOSHIBA																								

Electrical Characteristics SN54LS21, SN74LS21

absolute maximum ratings over operating free-air temperature range

Supply voltage V_{CC}	7V	Operating free-air temperature range	SN54xx	−55°C to 125°C
Input voltage	7V		SN74xx	0°C to 70°C
Storage temperature range				−65°C to 150°C

recommended operating conditions

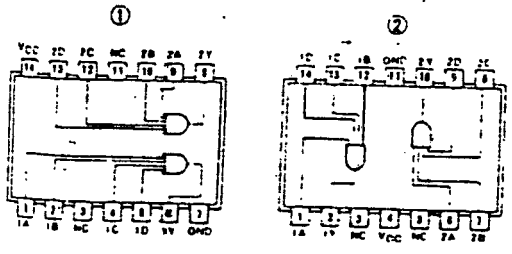
	SN54LS21			SN74LS21			Unit
	min	nom	max	min	nom	max	
Supply voltage V_{CC}	4.5	5	5.5	4.75	5	5.25	V
High-level output current I_{OH}			−400			−400	μA
Low-level output current I_{OL}			4			8	mA
Operating free-air temperature T_A	−55	25	125	0	25	70	°C

electrical characteristics over recommended operating free-air temperature range

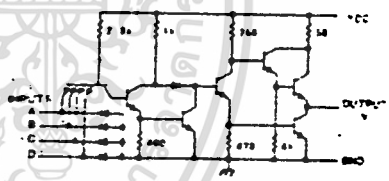
PARAMETER		TEST CONDITIONS†		MIN	TYP‡	MAX	UNIT
V_{IH}	High-level input voltage			2			V
V_{IL}	Low-level input voltage					0.8	V
V_I	Input clamp voltage	V_{CC} = MIN,	I_I = −18mA			−1.5	V
V_{OH}	High-level output voltage	V_{CC} = MIN, I_{OH} = MAX	V_{IL} = 0.8V	2.7	3.4		V
V_{OL}	Low-level output voltage	V_{CC} = MIN, I_{OL} = 4mA	V_{IH} = 2V, V_{IL} = V_{IL} max		0.25	0.4	V
I_I	Input current at maximum input voltage	V_{CC} = MAX	V_I = 5.5V			0.1	mA
I_{IH}	High-level input current	V_{CC} = MAX	V_I = 2.7V			20	μA
I_{IL}	Low-level input current	V_{CC} = MAX	V_I = 0.4V			−0.4	mA
I_{OS}	Short-circuit output current §	V_{CC} = MAX		−20		−100	mA
I_{CCH}	Supply current	V_{CC} = MAX	Total, outputs high		1.2	2.4	mA
I_{CCL}	Supply current		Total, outputs low		2.2	4.4	mA
I_{CC}	Supply current	V_{CC} = 5V	Average per gate (50% duty cycle)		0.85		mA
t_{PLH}	Propagation delay time, low-to-high-level output	V_{CC} = 5V, C_L = 15pF,	T_A = 25°C, R_L = 2kΩ		8	15	ns
t_{PHL}	Propagation delay time, high-to-low-level output				10	20	ns

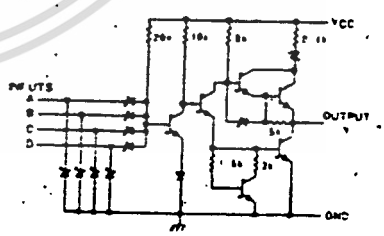
† For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.
‡ All typical values are at V_{CC} = 5V, T_A = 25°C.
§ Not more than one output should be shorted at a time, and for SN54H' and SN74H' duration of output short circuit should not exceed one second.

Pin Assignments (Top View)



Schematics (each gate)





Resistor values shown are nominal and in ohms.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5425/7425 Dual 4-Input Positive-NOR Gate with Strobe

	Schottky TTL				High-Speed TTL				Low-Power Schottky TTL				Standard TTL				Low-Power TTL			
	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF
T.I.																SN5425				W					
																SN7425									
FAIRCHILD																FM5425 FJA9N25									
																FC7425 FJC9N25									
MOTOROLA																									
N.S.C.																SN7425									
																DM5425				W					
PHILIPS																DM7425				W					
SIGNETICS																N7425									
SIEMENS																N1425									
FUJITSU																FLH521									
HITACHI																									
																HD7425									
MITSUBISHI																									
																M53275									
NEC																									
TOSHIBA																									

Electrical Characteristics SN5425 SN7425

absolute maximum ratings over operating free-air temperature range

Supply voltage V_{CC}	7V	Operating free-air temperature range	SN54	−55°C to 125°C
Input voltage	5.5V		SN74	0°C to 70°C
Interemitter voltage	5.5V	Storage temperature range		−65°C to 150°C

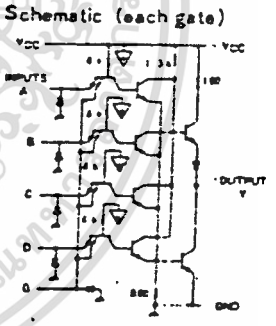
recommended operating conditions

	SN5425			SN7425			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage V_{CC}	4.5	5	5.5	4.75	5	5.25	V
High-level output current, I_{OH}			−400			−400	μA
Low-level output current, I_{OL}			16			16	mA
Operating free-air temperature, T_A	−55		125	0		70	°C

electrical characteristics over recommended operating free-air temperature range

	PARAMETER		TEST CONDITIONS†		MIN	TYP‡	MAX	UNIT
V_{IH}	High-level input voltage				2			V
V_{IL}	Low-level input voltage						0.8	V
V_I	Input clamp voltage		V_{CC} = MIN, I_I = −12 mA				−1.5	V
V_{OH}	High-level output voltage		V_{CC} = MIN, V_{IL} = V_{IL} max, I_{OH} = MAX		2.4	3.4		V
V_{OL}	Low-level output voltage		V_{CC} = MIN, V_{IH} = 2 V, I_{OL} = MAX			0.2	0.4	V
I_I	Input current at maximum input voltage		V_{CC} = MAX, V_I = 5.5 V				1	mA
I_{IH}	High-level input current	Data inputs	V_{CC} = MAX, V_{IH} = 2.4 V				40	μA
		Strobe of '25					160	
I_{IL}	Low-level input current	Data inputs	V_{CC} = MAX, V_{IL} = 0.4 V				−1.6	mA
		Strobe of '25					−6.4	
I_{OS}	Short-circuit output current ⊕		V_{CC} = MAX	54 Family	−20		−55	mA
				74 Family	−18		−55	
I_{CCH}	Supply current		V_{CC} = MAX	Total outputs high		8	15	mA
I_{CCL}	Supply current			Total outputs low		10	19	mA
I_{CC}	Supply current		V_{CC} = 5 V	Average per gate (50% duty cycle)		2.25		mA
t_{PLH}	Propagation delay time, low-to-high-level output		V_{CC} = 5 V, T_A = 25°C, C_L = 15 pF, R_L = 400 Ω			13	22	ns
t_{PHL}	Propagation delay time, high-to-low-level output					8	15	ns

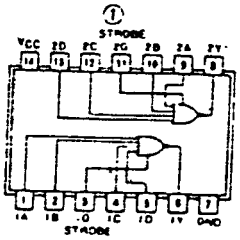
Schematic (each gate)



'25 CIRCUIT

Resistor values shown are nominal and in ohms.

Pin Assignment (Top View)



positive logic:
$Y = \overline{G \cdot A + B + C + D}$

† For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.
‡ All typical values are at V_{CC} = 5 V, T_A = 25°C.
⊕ Not more than one output should be shorted at a time.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5427/7427 Triple 3-Input Positive-NOR Gate

	Schottky TTL					High-Speed TTL					Low-Power Schottky TTL					Standard TTL					Low-Power TTL				
	Device Type	Package				Device Type	Package				Device Type	Package				Device Type	Package				Device Type	Package			
		C	P	M	CF		C	P	M	CF		C	P	M	CF		C	P	M	CF		C	P	M	CF
T.I.											SN54LS27	J,W				SN5427	J,W								
											SN74LS27	J,D,N,NS				SN7427	J,D,N,NS								
FAIRCHILD											54LS27/54HLS27	DQ				54S27/54HS27	DQ								
											74LS27/74HLS27	DQ	PC			74S27/74HS27	DQ,PC								
MOTOROLA											SN74LS27		JPG			SN7427		JPC							
N.S.C.											DM54LS27		J			DM5427		J,D,N,NA							
											DM74LS27		J			DM7427		J,D,N,NA							
PHILIPS																									
											N74LS27		J			N7427		J							
SIGNETICS																									
											N74LS27		AJ			N7427		AJ,N							
SIEMENS																FLH621		C							
FUJITSU																									
HITACHI											MD74LS27		JP			MD7427		D,P,G							
MITSUBISHI																									
NEC											MSR.S27		JP			MS3277		JPG							
											74LS27		CJ												
TOSHIBA																									

Electrical Characteristics SN54LS27, SN74LS27

absolute maximum ratings over operating free-air temperature range

		Operating free-air temperature range	SN54LS	−55°C to 125°C
			SN74LS	0°C to 70°C
	−0.5V	Storage temperature range		−65°C to 150°C

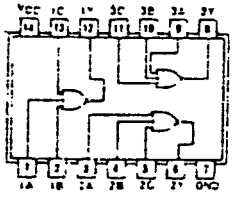
recommended operating conditions

	SN54LS27			SN74LS27			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
	4.5	5	5.5	4.75	5	5.25	V
			−400			−400	μA
			4			8	mA
	−55		125	0		70	°C

electrical characteristics over recommended operating free-air temperature range

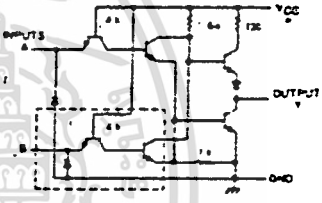
PARAMETER		TEST CONDITIONS†		MIN	TYP‡	MAX	UNIT
				2			V
						0.8	V
		V_{CC} = MIN,	I_I = −18 mA			−1.5	V
V_{OH}	High-level output voltage	V_{CC} = MIN, V_{IH} = 2 V, V_{IL} = MAX	V_{IL} = 0.8 V, I_{OH} = −400 μA	2.7	3.4		V
V_{OL}	Low-level output voltage	V_{CC} = MIN, V_{IH} = 2 V, I_{OL} = 4 mA			0.25	0.4	V
I_I	Input current at maximum input voltage	V_{CC} = MAX, V_I = 7 V				0.1	mA
I_{IH}	High-level input current, Data inputs	V_{CC} = MAX, V_{IH} = 2.7 V				20	μA
I_{IL}	Low-level input current, Data inputs	V_{CC} = MAX, V_{IL} = 0.4 V				−0.4	mA
I_{OS}	Short-circuit output current §	V_{CC} = MAX	54LS Family	−20		−100	mA
			74LS Family	−20		−100	
I_{CCH}	Supply current	V_{CC} = MAX	Total, outputs high		2.8	4	mA
I_{CCL}	Supply current		Total, outputs low		3.4	5.8	mA
I_{CC}	Supply current	V_{CC} = 5 V	Average per gate, 50% duty cycle		0.9		mA
t_{PLH}	Propagation delay time, low-to-high-level output	V_{CC} = 5 V, T_A = 25°C			10	15	ns
t_{PHL}	Propagation delay time, high-to-low-level output	C_L = 15 pF, R_L = 2 kΩ			10	15	ns

Pin Assignment (Top View)



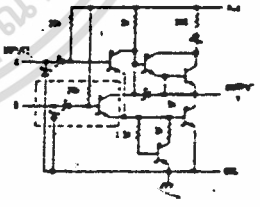
positive logic:
$Y = \overline{A + B + C}$

Schematics (each gate)



The portion of the schematic within the dashed lines is repeated for the C input of the '27.

'27 CIRCUIT



The portion of the schematic within the dashed lines is repeated for the C input of the 'LS27.

'LS27 CIRCUIT

Resistor values shown are nominal and in ohms.

† For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.
‡ All typical values are at V_{CC} = 5 V, T_A = 25°C.
§ Not more than one output should be shorted at a time.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5473/7473 Dual J-K Master-Slave Flip-Flop with Clear

	Schottky TTL				High-Speed TTL				Low-Power Schottky TTL				Standard TTL				Low-Power TTL			
	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF
T.I.						SN54H73	J			W	SN54LS73	J			W	SN5473	J			W	SN54L73	J			
						SN74H73	J	N			SN74LS73	J	N			SN7473	J	N			SN74L73	J	N		
FAIRCHILD						FJH54H73/FJH74H73	DC			F	FJH54LS73/FJH74LS73					FJH5473/FJH7473	DC			F					
						FC74H73/FC9H73	DC	PC			FC54LS73/FC74LS73					FC7473/FC9N73	DC	PC							
MOTOROLA						MC3063	L			F						MC5473	L			F					
						MC3063	L	PC		F	SN74LS73		P			MC7473	L	PC		F					
N.S.C.						DM54H73	J	N			DM54LS73		P			DM5473	J	N		W	DM54L73	J	N		
						DM74H73	J	N			DM74LS73		P			DM7473	J	N		W	DM74L73	J	N		
PHILIPS																									
						N74H73		C			N74LS73		J												
SIGNETICS						S54H73	F	A		W						S5473	F	A		W					
						N74H73	F	A			N74LS73		A			N7473	F	A							
SIEMENS																									
FUJITSU																FLJ121		C							
HITACHI																									
MITSUBISHI											HD74LS73		P			HD7473/HD6515	D	P							
NEC											M74LS73		P			M53273		P							
TOSHIBA																μPB225		D	H						
																TD3473A		P							

Electrical Characteristics SN54LS73/SN74LS73A

absolute maximum ratings over operating free-air temperature range

Supply voltage V_{CC}	7V	Operating free-air temperature range	SN54LS	−55°C to 125°C
Input voltage	5.5V		SN74LS	0°C to 70°C
		Storage temperature range		−65°C to 150°C

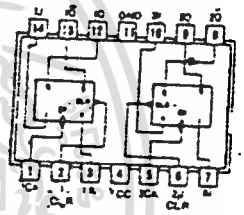
recommended operating conditions

	SN54LS73A			SN74LS73A			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage V_{CC}	4.5	5	5.5	4.75	5	5.25	V
High-level output current I_{OH}			−400			−400	μA
Low-level output current I_{OL}			4			8	mA
Pulse width t_w Clock high	20			20			ns
Preset or clear low	25			25			
Input setup time t_{su} High-level data	20↓			20↓			ns
Low-level data	25↓			25↓			
Input hold time t_h	0↓			0↓			ns
Operating free-air temperature T_A	−55		125	0		70	°C

electrical characteristics over recommended operating free-air temperature range

PARAMETER		TEST CONDITIONS†		MIN	TYP‡	MAX	UNIT
V_{IH}	High-level input voltage			2			V
V_{IL}	Low-level input voltage					0.8	V
V_I	Input clamp voltage	V_{CC} = MIN, I_I = −18mA				−1.5	V
V_{OH}	High-level output voltage	V_{CC} = MIN, V_{IH} = 2V, V_{IL} = 0.8V, I_{OH} = MAX		2.7	3.4		V
V_{OL}	Low-level output voltage	V_{CC} = MIN, V_{IH} = 2V, V_{IL} = 0.8V, I_{OL} = 4mA			0.25	0.4	V
I_I	Input current at maximum input voltage	D, J, K	V_{CC} = MAX, V_I = 7V			0.1	mA
		Clear				0.3	
		Preset				0.3	
		Clock				0.4	
I_{IH}	High-level input current	D, J, K	V_{CC} = MAX, V_I = 2.7V			20	μA
		Clear				60	
		Preset				60	
		Clock				80	
I_{IL}	Low-level input current	D, J, K	V_{CC} = MAX, V_I = 0.4V			−0.4	mA
		Clear				−0.8	
		Preset				−0.8	
		Clock				−0.8	
I_{OS}	Short-circuit output current§	Series 54LS	V_{CC} = MAX	−20		−100	mA
		Series 74LS		−20		−100	
I_{CC}	Supply current (Average per flip-flop)		V_{CC} = MAX, See Note 1		6	6	mA
f_{max}	Maximum clock frequency		V_{CC} = 5V, T_A = 25°C, C_L = 15pF, R_L = 2kΩ	30	45		MHz
t_{PLH}	Propagation delay time, low-to-high-level output from clear, preset or clock (as appropriate) to Q or $\bar{Q}$				15	20	ns
t_{PHL}	Propagation delay time, high-to-low-level output from clear, preset or clock (as appropriate) to Q or $\bar{Q}$				15	20	

Pin Assignment (Top View)



Function Tables

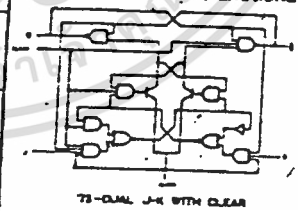
'73 H73, L73 (See Note 2)

INPUTS				OUTPUTS	
CLEAR	CLOCK	J	K	Q	$\bar{Q}$
L	X	X	X	L	H
H	↓	L	L	Q_0	$\bar{Q}_0$
H	↓	H	L	H	L
H	↓	L	H	L	H
H	↓	H	H	TOGGLE	

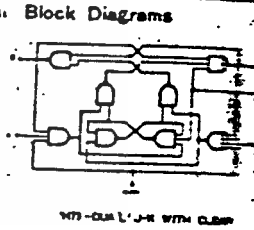
LS73 (See Note 2)

INPUTS				OUTPUTS	
CLEAR	CLOCK	J	K	Q	$\bar{Q}$
L	X	X	X	L	H
H	↓	L	L	Q_0	$\bar{Q}_0$
H	↓	H	L	H	L
H	↓	L	H	L	H
H	↓	H	H	TOGGLE	
H	H	X	X	Q_0	$\bar{Q}_0$

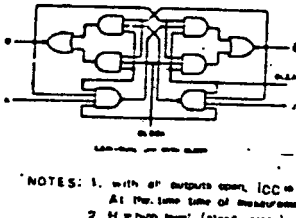
Functional Block Diagrams

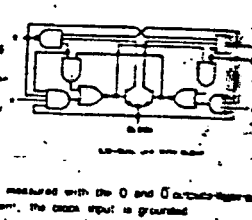


'73—DUAL J-K WITH CLEAR



'H73—DUAL J-K WITH CLEAR





NOTES: 1. With all outputs open, I_{CC} is measured with the Q and $\bar{Q}$ outputs high in turn.
At the time of measurement, the clock input is grounded.
2. H = high level (steady state), L = low level (steady state), X = either
↓ = transition from high to low level
⎍ = high-level pulse, data inputs should be held constant while clock is transferred to output or the falling edge of the clock pulse.
Q_0 = the level of Q before the indicated input conditions were established.
TOGGLE = Each output changes to the complement of its previous state on each active transition (pulse) of the clock.

† For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.
‡ All typical values are at V_{CC} = 5V, T_A = 25°C.
§ Not more than one output should be shorted at a time.
t_{PLH} = propagation delay time, low-to-high-level output
t_{PHL} = propagation delay time, high-to-low-level output.
↓ The arrow indicates the edge of the clock pulse used for reference: ↑ for the rising edge, ↓ for the falling edge.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPES SN5475, SN5477, SN54L75, SN54
SN7475, SN7477, SN74L75, SN7
4-BIT BISTABLE LATC

BULLETIN NO. DL-S 7211851 DECEMBER

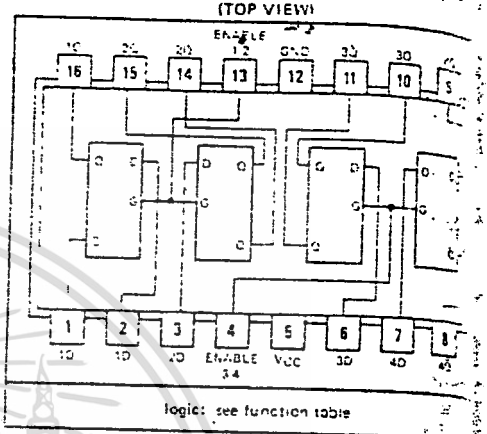
logic

FUNCTION TABLE
(Each Latch)

INPUTS		OUTPUTS	
D	G	Q	$\bar{Q}$
L	H	L	H
H	H	H	L
X	L	Q_0	$\bar{Q}_0$

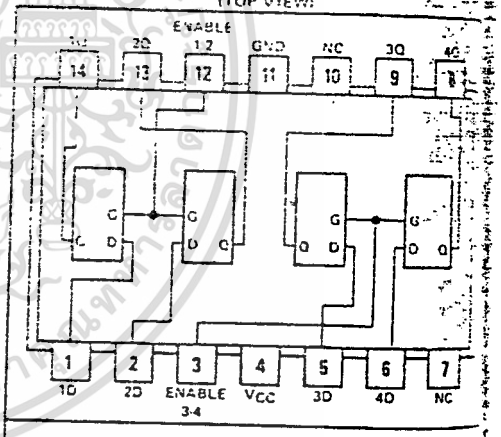
H = high level, L = low level, X = irrelevant
Q_0 = the level of Q before the high-to-low transition of G

'75 . . . J, N, OR W PACKAGE
'L75 . . . J OR N PACKAGE
(TOP VIEW)



logic: see function table

'77 . . . W PACKAGE
'L77 . . . T PACKAGE
(TOP VIEW)



logic: see function table

NC—No internal connection

description

These latches are ideally suited for use as temporary storage for binary information between processing units and input/output or indicator units. Information present at a data (D) input is transferred to the Q output when the enable (G) is high and the Q output will follow the data input as long as the enable remains high. When the enable goes low, the information (that was present at the data input at the time the transition occurred) is retained at the Q output until the enable is permitted to go high.

The '75 and 'L75 feature complementary Q and $\bar{Q}$ outputs from a 4-bit latch, and are available in various 16-pin packages. For higher component density applications, the '77 and 'L77 4-bit latches are available in 14-pin flat packages.

These circuits are completely compatible with all popular TTL or DTL families. All outputs are diode-clamped to minimize transmission-line effects and simplify system design. Series 54 and 54L devices are characterized for operation over the full military temperature range of −55°C to 125°C; Series 74 and 74L devices are characterized for operation from 0°C to 70°C.

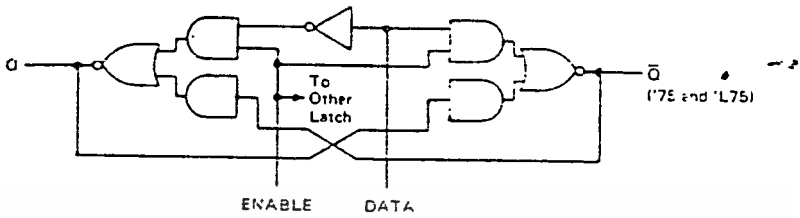
absolute maximum ratings over operating free-air temperature range (unless otherwise noted)

Supply voltage, V_{CC} (see Note 1) 5.5
Input voltage 5.5
Intermitter voltage (see Note 2) 5.5
Operating free-air temperature range: SN54', SN54L' Circuits . . . . . −55°C to 125
SN74', SN74L' Circuits . . . . . 0°C to 70
Storage temperature range . . . . . −65°C to 150

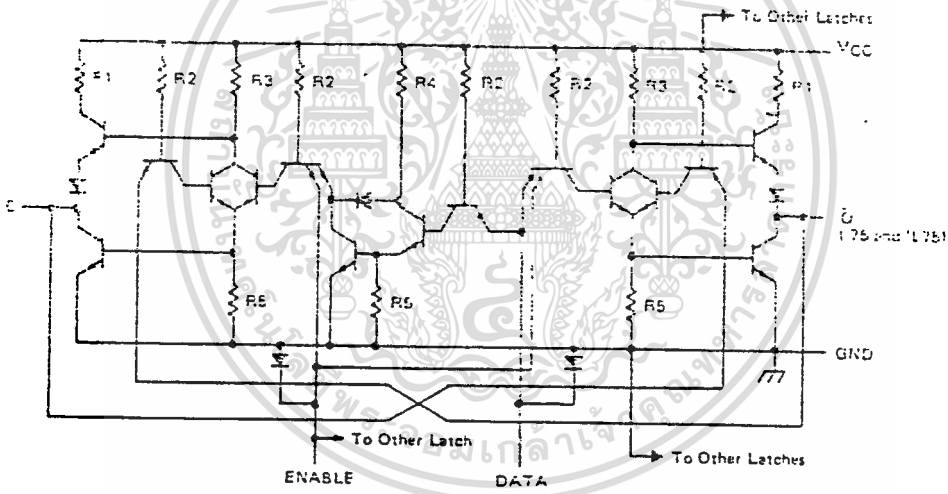
NOTES: 1. Voltage values, except interemitter voltage, are with respect to network ground terminal.
2. This is the voltage between two emitters of a multiple-emitter input transistor.

TEXAS INSTRUMENTS
INCORPORATED
POST OFFICE BOX 5012 • DALLAS, TEXAS 75222

tional block diagram (each latch)



chematic (each latch)



NOMINAL RESISTOR VALUES

RESISTOR	'75, '77	'L75, 'L77
R1	130 Ω	260 Ω
R2	4 kΩ	8 kΩ
R3	1.6 kΩ	3.2 kΩ
R4	2.5 kΩ	5 kΩ
R5	1 kΩ	2 kΩ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการ

recommended operating conditions

	SN5475, SN5477			SN7475, SN7477		
	MIN	NOM	MAX	MIN	NOM	MAX
Supply voltage, V_{CC}	4.5	5	5.5	4.75	5	5.25
High-level output current, I_{OH}			−400			−400
Low-level output current, I_{OL}			16			16
Width of enabling pulse, t_w	20			20		
Setup time, t_{setup}	20			20		
Operating free-air temperature, T_A	−55		125	0		70

electrical characteristics over recommended operating free-air temperature range (unless otherwise noted)

PARAMETER		TEST CONDITIONS†		MIN	TYP‡	MAX	UNIT
V_{IH}	High-level input voltage			2			V
V_{IL}	Low-level input voltage					0.8	V
V_I	Input clamp voltage	V_{CC} = MIN,	I_I = −12 mA			−1.5	V
V_{OH}	High-level output voltage	V_{CC} = MIN, V_{IL} = 0.8 V,	V_{IH} = 2 V, I_{OH} = −400 μA	2.4	3.4		V
V_{OL}	Low-level output voltage	V_{CC} = MIN, V_{IL} = 0.8 V,	V_{IH} = 2 V, I_{OL} = 16 mA		0.2	0.4	V
I_I	Input current at maximum input voltage	V_{CC} = MAX,	V_I = 5.5 V			1	mA
I_{IH}	High-level input current	D input	V_{CC} = MAX, V_I = 2.4 V			40	μA
		G input				80	
I_{IL}	Low-level input current	D input	V_{CC} = MAX, V_I = 0.4 V			−160	μA
		G input				−3.2	mA
I_{OS}	Short-circuit output current§	V_{CC} = MAX	SN5475	−20		−6.4	mA
			SN7475	−18		−57	
I_{CC}	Supply current	V_{CC} = MAX, See Note 3	SN5475		32	−57	mA
			SN7475		32	46	

†For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions for the applicable type.
‡All typical values are at V_{CC} = 5 V, T_A = 25°C.
§Not more than one output should be shorted at a time.
NOTE 3. I_{CC} is tested with all inputs grounded and all outputs open.

switching characteristics, V_{CC} = 5 V, T_A = 25°C

PARAMETER¶	FROM (INPUT)	TO (OUTPUT)	TEST CONDITIONS	MIN	TYP	MAX	UNIT
t_{PLH}	D	Q	C_L = 15 pF, R_L = 400 Ω, See Figure 1		16	30	ns
t_{PHL}					14	25	
t_{PLH}#	D	$\bar{Q}$			24	40	
t_{PHL}#					7	15	
t_{PLH}	G	Q			16	30	
t_{PHL}					7	15	
t_{PLH}#	G	$\bar{Q}$			16	30	
t_{PHL}#					7	15	

¶t_{PLH} ≡ propagation delay time, low-to-high-level output
t_{PHL} ≡ propagation delay time, high-to-low-level output
#These parameters are not applicable for the SN5477 and SN7477.

TEXAS INSTRUMENTS
INCORPORATED
POST OFFICE BOX 5012 • DALLAS, TEXAS 75222

...ended operating conditions

	SN54L75, SN54L77			SN74L75, SN74L77			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
..., V_{CC}	4.5	5	5.5	4.75	5	5.25	V
...utput current, I_{OH}			−200			−200	μA
...utput current, I_{OL}			8			8	mA
...ocking pulse, t_w	100			100			ns
... setup	40			40			ns
...ee-air temperature, T_A	−55		125	0		70	°C

... al characteristics over recommended operating free-air temperature range (unless otherwise noted)

PARAMETER		TEST CONDITIONS[1]		MIN	TYP[2]	MAX	UNIT
... level input voltage				2			V
...w level input voltage						0.8	V
...put clamp voltage		V_{CC} = MIN,	I_I = −12 mA			−1.5	V
...gh level output voltage		V_{CC} = MIN, V_{IL} = 0.8 V,	V_{IH} = 2 V, I_{OH} = −200 μA	2.4	3.4		V
...w level output voltage		V_{CC} = MIN, V_{IL} = 0.8 V,	V_{IH} = 2 V, I_{OL} = 8 mA		0.2	0.4	V
...ut current at maximum input voltage		V_{CC} = MAX,	V_I = 5.5 V			1	mA
...gh level input current	D input	V_{CC} = MAX,	V_I = 2.4 V			40	μA
	G input					80	
...w level input current	D input	V_{CC} = MAX,	V_I = 0.4 V			−1.6	mA
	G input					−3.2	
...t short-circuit output current[3]		V_{CC} = MAX	SN54L'	−10		−35	mA
			SN74L'	−9		−25	
...tal's bar out		V_{CC} = MAX, See Note 3	SN54L'		16	23	mA
			SN74L'		16	27	

... conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions for the applicable device type.
... values are at V_{CC} = 5 V, T_A = 25°C.
... more than one output should be shorted at a time.
... I_{CC} is tested with all inputs grounded and all outputs open.

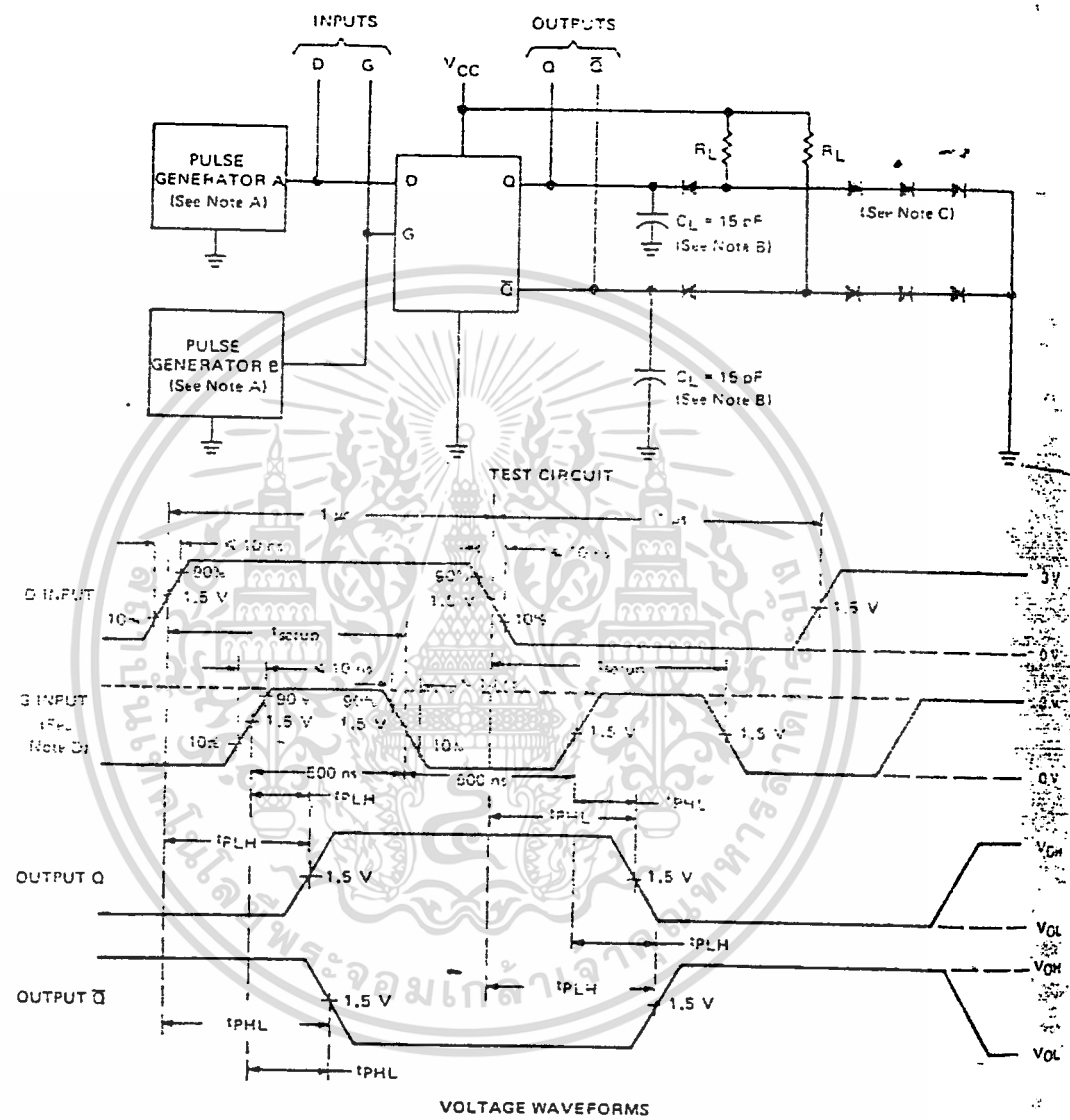
...tching characteristics, V_{CC} = 5 V, T_A = 25°C, N = 10

PARAMETER[1]	FROM (INPUT)	TO (OUTPUT)	TEST CONDITIONS	MIN	TYP	MAX	UNIT
t_{PLH}	D	Q	C_L = 15 pF, R_L = 800 Ω, See Figure 1		32	60	ns
t_{PHL}					28	50	
t_{PLH}[‡]	D	$\overline{Q}$			48	80	ns
t_{PHL}[‡]					14	30	
t_{PLH}	G	Q			32	60	ns
t_{PHL}					14	30	
t_{PLH}[‡]	G	$\overline{Q}$			32	60	ns
t_{PHL}[‡]					14	30	

... t_{PLH} = propagation delay time, low-to-high-level output
... t_{PHL} = propagation delay time, high-to-low-level output
‡ These parameters are not applicable for the SN54L77 and SN74L77.

switching characteristics†

PARAMETER MEASUREMENT INFORMATION



VOLTAGE WAVEFORMS

NOTES: A. The pulse generators have the following characteristics: $Z_{out} \approx 50\ \Omega$; for pulse generator A, PRR ≤ 500 kHz; for pulse generator B, PRR ≤ 1 MHz. Positions of D and G input pulses are varied with respect to each other to verify setup times.
B. C_L includes probe and jig capacitance.
C. All diodes are 1N3064.
D. When measuring propagation delay times from the D input, the corresponding G input must be held high.

†Complementary $\overline{Q}$ outputs are on the '75 and 'L75 only.

FIGURE 1

TEXAS INSTRUMENTS
INCORPORATED
POST OFFICE BOX 5012 • DALLAS, TEXAS 75222

PRINTED IN U.S.A.
TI cannot assume any responsibility for any circuits shown or represent that they are free from patent infringement.
TEXAS INSTRUMENTS RESERVES THE RIGHT TO MAKE CHANGES AT ANY TIME IN ORDER TO IMPROVE DESIGN AND TO SUPPLY THE BEST PRODUCTS POSSIBLE.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการ

TYPES SN5490A, SN5492A, SN5493A, SN54L90, SN54L93, SN7490A, SN7492A, SN7493A, SN74L90, SN74L93 DECADE, DIVIDE-BY-TWELVE, AND BINARY COUNTERS

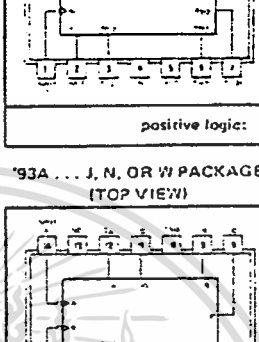
BULLETIN NO. DL-S 7211807, DECEMBER 1972

'90A, 'L90 . . . DECADE COUNTERS

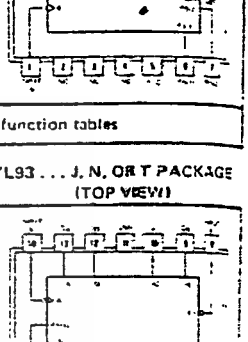
'92A . . . DIVIDE-BY-TWELVE COUNTER

'93A, 'L93 . . . 4-BIT BINARY COUNTERS

'90A . . . J, N, OR W PACKAGE
'L90 . . . J, N, OR T PACKAGE
(TOP VIEW)

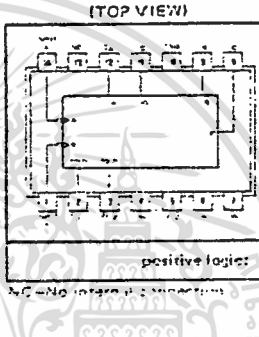


'92A . . . J, N, OR W PACKAGE
(TOP VIEW)

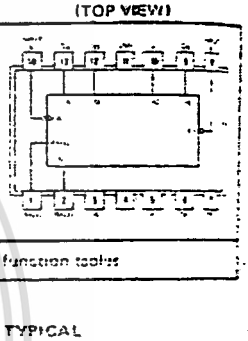


positive logic: see function tables

'93A . . . J, N, OR W PACKAGE
(TOP VIEW)



'L93 . . . J, N, OR T PACKAGE
(TOP VIEW)



positive logic: see function tables

NC—No internal connection

description

Each of these monolithic counters contains four master-slave flip-flops and additional gating to provide a divide-by-two counter and a three-stage binary counter for which the count cycle length is divide-by-five for the '90A and 'L90, divide-by-six for the '92A, and divide-by-eight for the '93A and 'L93.

All of these counters have a gated zero reset and the '90A and 'L90 also have gated set-to-nine inputs for use in BCD nine's complement applications.

To use their maximum count length (decade, divide-by-twelve, or four-bit binary) of these counters, the B input is connected to the Q_A output. The input count pulses are applied to input A and the outputs are as described in the appropriate function table. A symmetrical divide-by-ten count can be obtained from the '90A or 'L90 counters by connecting the Q_D output to the A input and applying the input count to the B input which gives a divide-by-ten square wave at output Q_A.

TYPES	TYPICAL POWER DISSIPATION
'90A	145 mW
'L90	20 mW
'92A, '93A	130 mW
'L93	15 mW

functional block diagrams

'90A, 'L90

'92A

'93A, 'L93

. . . dynamic input activated by transition from a high level to a low level.

The J and K inputs shown without connection are for reference only and are functionally at a high level.

TEXAS INSTRUMENTS
INCORPORATED
POST OFFICE BOX 5012 • DALLAS, TEXAS 75222

'90A, 'L90
BI-QUINARY (5-2)
(See Note B)

COUNT	OUTPUT			
	Q_A	Q_D	Q_C	Q_B
0	L	L	L	L
1	L	L	L	H
2	L	L	H	L
3	L	L	H	H
4	L	H	L	L
5	H	L	L	L
6	H	L	L	H
7	H	L	H	L
8	H	L	H	H
9	H	H	L	L

'90A, 'L90
RESET/COUNT FUNCTION TABLE

RESET INPUTS				OUTPUT			
$R_{0(1)}$	$R_{0(2)}$	$R_{9(1)}$	$R_{9(2)}$	Q_D	Q_C	Q_B	Q_A
H	H	L	X	L	L	L	L
H	H	X	L	L	L	L	L
X	X	H	H	H	L	L	H
X	L	X	L	COUNT			
L	X	L	X	COUNT			
L	X	X	L	COUNT			
X	L	L	X	COUNT			

'92A
COUNT SEQUENCE
(See Note C)

COUNT	OUTPUT			
	Q_D	Q_C	Q_B	Q_A
0	L	L	L	L
1	L	L	L	H
2	L	L	H	L
3	L	L	H	H
4	L	H	L	L
5	L	H	L	H
6	L	H	H	L
7	L	H	H	H
8	H	L	L	L
9	H	L	L	H
10	H	L	H	L
11	H	L	H	H
12	H	H	L	L
13	H	H	L	H
14	H	H	H	L
15	H	H	H	H

'93A, 'L93
COUNT SEQUENCE
(See Note C)

COUNT	OUTPUT			
	Q_D	Q_C	Q_B	Q_A
0	L	L	L	L
1	L	L	L	H
2	L	L	H	L
3	L	L	H	H
4	L	H	L	L
5	L	H	L	H
6	L	H	H	L
7	L	H	H	H
8	H	L	L	L
9	H	L	L	H
10	H	L	H	L
11	H	L	H	H
12	H	H	L	L
13	H	H	L	H
14	H	H	H	L
15	H	H	H	H

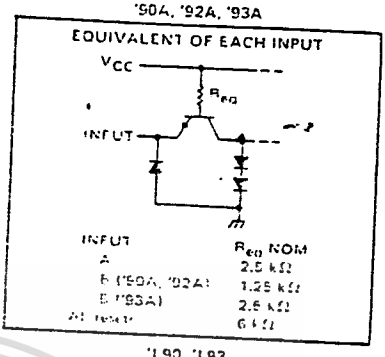
'92A, '93A, 'L93
RESET/COUNT FUNCTION TABLE

RESET INPUTS		OUTPUT			
$R_{0(1)}$	$R_{0(2)}$	Q_D	Q_C	Q_B	Q_A
H	H	L	L	L	L
L	X	COUNT			
X	L	COUNT			

NOTES: A. Output Q_A is connected to input B for BCD count.
B. Output Q_D is connected to input A for bi-quinary count.
C. Output Q_A is connected to input B.
D. H = high level, L = low level, X = irrelevant

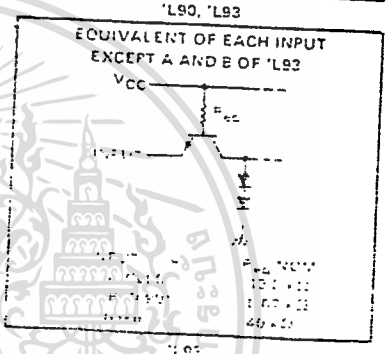
schematics of inputs and outputs

'90A, '92A, '93A
EQUIVALENT OF EACH INPUT



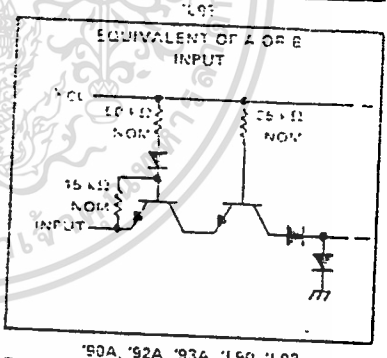
INPUT	R_{eq} NOM
A	2.5 kΩ
B ('90A, '92A)	1.25 kΩ
B ('93A)	2.5 kΩ
All resets	6 kΩ

'L90, 'L93
EQUIVALENT OF EACH INPUT EXCEPT A AND B OF 'L92

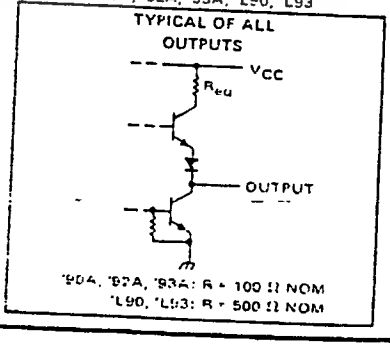


INPUT	R_{eq} NOM
A	10 kΩ
B ('90A, '92A)	5 kΩ
B ('93A)	10 kΩ
All resets	40 kΩ

'L92
EQUIVALENT OF A OR B INPUT



'90A, '92A, '93A, 'L90, 'L93
TYPICAL OF ALL OUTPUTS



'90A, '92A, '93A: R = 100 Ω NOM
'L90, 'L93: R = 500 Ω NOM

absolute maximum ratings over operating free-air temperature range (unless otherwise noted)

Supply voltage, V_{CC} (see Note 1) . . . . . 7 V
Input voltage . . . . . 5.5 V
Interemitter voltage (see Note 2) . . . . . 5.5 V
Operating free-air temperature range: SN5490A, SN5492A, SN5493A . . . . . −55°C to 125°C
SN7490A, SN7492A, SN7493A . . . . . 0°C to 70°C
Storage temperature range . . . . . −65°C to 150°C

NOTES 1. Voltage values, except interemitter voltage, are with respect to network ground terminal.
2. This is the voltage between two emitters of a multiple-emitter transistor. For these circuits, this rating applies between the two R_0 inputs.

recommended operating conditions

		SN5490A, SN5492A, SN5493A			SN7490A, SN7492A, SN7493A		
		MIN	NOM	MAX	MIN	NOM	MAX
Supply voltage, V_{CC}		4.5	5	5.5	4.75	5	5.25
High-level output current, I_{OH}				−800			−800 μA
Low-level output current, I_{OL}				16			16 mA
Count frequency, f_{count} (see Figure 1)	A input	0		32	0		32 MHz
	B input	0		16	0		16 MHz
Pulse width, t_w	A input	15			15		ns
	B input	30			30		ns
	Reset input	15			15		ns
Reset inactive-state setup time, t_{su}		25			25		ns
Operating free-air temperature, T_A		−55		125	0		70°C

electrical characteristics over recommended operating free-air temperature range (unless otherwise noted)

PARAMETER		TEST CONDITIONS†		90A			92A			93A		
				MIN	TYP‡	MAX	MIN	TYP‡	MAX	MIN	TYP‡	MAX
V_{IH}	High-level input voltage			2			2			2		V
V_{IL}	Low-level input voltage					0.8			0.8			0.8 V
V_I	Input clamp voltage	V_{CC} = MIN, I_I = −12 mA				−1.5			−1.5			−1.5 V
V_{OH}	High-level output voltage	V_{CC} = MIN, V_{IH} = 2 V, V_{IL} = 0.8 V, I_{OH} = −800 μA		2.4	3.4		2.4	3.4		2.4	3.4	V
V_{OL}	Low-level output voltage	V_{CC} = MIN, V_{IH} = 2 V, V_{IL} = 0.8 V, I_{OL} = 16 mA§			0.2	0.4		0.2	0.4		0.2	0.4 V
I_I	Input current at maximum input voltage	V_{CC} = MAX, V_I = 5.5 V				1			1			1 mA
I_{IH}	High-level input current	Any reset	V_{CC} = MAX, V_I = 2.4 V			40			40			40 μA
		A input				80			80			80 μA
		B input				120			120			80 μA
I_{IL}	Low-level input current	Any reset	V_{CC} = MAX, V_I = 0.4 V			−1.6			−1.6			−1.6 mA
		A input				−3.2			−3.2			−3.2 mA
		B input				−4.8			−4.8			−3.2 mA
I_{OS}	Short-circuit output current§	V_{CC} = MAX	SN54'	−20		−57	−20		−57	−20		−57 mA
			SN74'	−18		−57	−18		−57	−18		−57 mA
I_{CC}	Supply current	V_{CC} = MAX, See Note 3			29	42		26	39		26	39 mA

† For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions for the applicable type.
‡ All typical values are at V_{CC} = 5 V, T_A = 25°C.
§ Not more than one output should be shorted at a time.
NOTE 3: For 92A and 93A circuits are tested at I_{OL} = 16 mA plus the limit value for I_{IL} for the B input. This permits driving the B input while maintaining full fan-out capability.
I_{CC} is measured with all outputs open, both R_0 inputs grounded following momentary connection to 4.5 V, and all other inputs grounded.

witching characteristics, V_{CC} = 5 V, T_A = 25°C

PARAMETER*	FROM (INPUT)	TO (OUTPUT)	TEST CONDITIONS	'90A MIN	'90A TYP	'90A MAX	'92A MIN	'92A TYP	'92A MAX	'93A MIN	'93A TYP	'93A MAX	UNIT
f_{max}	A	Q_A	C_L = 15 pF, R_L = 400 Ω, See Figure 1	32	42		32	42		32	42		MHz
	B	Q_B		10			16			16			
t_{PLH}	A	Q_A			10	16		10	16		10	16	ns
t_{PHL}					12	18		12	18		12	18	
t_{PLH}	A	Q_D			32	48		32	48		46	70	ns
t_{PHL}					34	50		34	50		46	70	
t_{PLH}	B	Q_B			10	16		10	16		10	16	ns
t_{PHL}					14	21		14	21		14	21	
t_{PLH}**	B	Q_C			21	32		10	16		21	32	ns
t_{PHL}					23	35		14	21		23	35	
t_{PLH}	B	Q_D			21	32		21	32		34	51	ns
t_{PHL}					23	35		23	35		34	51	
t_{PHL}	Set-to-0	Any			26	40		26	40		26	40	ns
t_{PLH}	Set-to-9	Q_B, Q_D			20	30							ns
t_{PHL}		Q_B, Q_C			26	14							

* f_{max} = maximum count frequency

** t_{PLH} = propagation delay time, low-to-high-level output

t_{PHL} = propagation delay time, high-to-low-level output

54107/74107 Dual J-K Master-Slave Flip-Flop with Clear

	Schottky TTL					High-Speed TTL					Low-Power Schotty TTL					Standard TTL					Low-Power TTL				
	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF
T.I.											SN54LS107		J①			SN54107		J①							
											SN74LS107		J①	N①		SN74107		J①	N①						
FAIRCHILD																FM54107/FM84107		D①							
																FC74107/FC9H107		D①	P①						
MOTOROLA																MC54107		L①							
																MC74107		L①	P①						
N.S.C.											DM54LS107		N①			DM54107		J①	N①						
											DM74LS107		N①			DM74107		J①	N①						
PHILIPS																									
											N74LS107		①			FJJ261/74107			①						
SIGNETICS																S54107		F①	A①						
											N74LS107		A①			N74107		F①	A①						
SIEMENS																									
																FLJ271			①						
FUJITSU																									
											74LS107		M①			MB410		①	M①						
																M53307									
HITACHI											HD74LS107		P①			HD74107/HD2538		①	P①						
MITSUBISHI											M74LS107		P①			M53307			P①						
NEC																									
																μPB2107		D①							
TOSHIBA																TD74107			P①						

Electrical Characteristics SN54LS107/SN74LS107

absolute maximum ratings over operating free-air temperature range

Supply voltage V_{CC}	7V	Operating free-air temperature range	SN54LS	−55°C to 125°C
Input voltage	7V		SN74LS	0°C to 70°C
		Storage temperature range		−65°C to 150°C

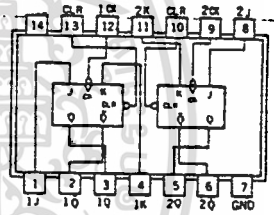
recommended operating conditions

	SN54LS107			SN74LS107			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage, V_{CC}	4.5	5	5.5	4.75	5	5.25	V
High-level output current, I_{OH}			−400			−400	μA
Low-level output current, I_{OL}			4			8	mA
Pulse width, t_w Clock high	20			20			ns
Preset or clear low	25			25			
Input setup time, t_{setup} High level data	20↓			20↓			ns
Low level data	20↓			20↓			
Input hold time, t_{hold}	0↓5			0↓5			ns
Operating free-air temperature T_A	−55		125	0		70	°C

electrical characteristics over recommended operating free-air temperature range

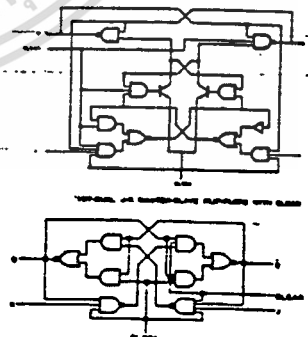
PARAMETER		TEST CONDITIONS†		MIN	TYP‡	MAX	UNIT
V_{IH}	High-level input voltage			2			V
V_{IL}	Low-level input voltage					0.8	V
V_I	Input clamp voltage	V_{CC}=MIN, I_I=−18mA				−1.5	V
V_{OH}	High-level output voltage	V_{CC}=MIN, V_{IH}=2V, V_{IL}=0.8V, I_{OH}=MAX		2.7	3.4		V
V_{OL}	Low-level output voltage	V_{CC}=MIN, V_{IH}=2V, V_{IL}=0.8V, I_{OL}=4mA			0.25	0.4	V
I_I	Input current at maximum input voltage	D, J, K	V_{CC}=MAX, V_I=7V			0.1	mA
		Clear				0.2	
		Preset				0.3	
		Clock				0.4	
I_{IH}	High-level input current	D, J, K	V_{CC}=MAX, V_I=2.7V			20	μA
		Clear				60	
		Preset				60	
		Clock				80	
I_{IL}	Low-level input current	D, J, K	V_{CC}=MAX, V_I=0.4V			−0.4	mA
		Clear				−0.8	
		Preset				−0.8	
		Clock				−0.8	
I_{OS}	Short-circuit output current*	Series 54LS	V_{CC}=MAX	−20		−100	mA
		Series 74LS		−20		−100	
I_{CC}	Supply current (Average per flip-flop)	V_{CC}=MAX, See Note 1			4	6	mA
f_{max}	Maximum clock frequency	V_{CC}=5V, T_A=25°C, C_L=15pF, R_L=2kΩ		30	45		MHz
t_{PLH}	From clear, Preset or clock to Q or $\overline{Q}$				15	20	ns
t_{PHL}					15	20	

Pin Assignment (Top View)



Function Table

Functional Block Diagram



NOTES: 1. With all outputs open, I_{CC} is measured with the Q and $\overline{Q}$ outputs high in turn. At the time of measurement, the clock input is grounded.

2. H = high level (steady state), L = low level (steady state), X = irrelevant, ↓ = transition from high to low level, Q_0 = the level of Q before the indicated input conditions were established. TOGGLE: Each output changes to the complement of its previous level on each active transition (pulse) of the clock.

† For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.

‡ All typical values are at V_{CC} = 5V, T_A = 25°C.

* Not more than one output should be shorted at a time.

t_{PLH} = Propagation delay time, low to high-level output.

t_{PHL} = Propagation delay time, high to low-level output.

§ The arrow indicates the edge of the clock pulse used for reference: ↑ for the rising, ↓ for the falling edge.

เอกสารนี้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

54121/74121 Monostable Multivibrator with Schmitt-Trigger Input

	Schottky TTL		High-Speed TTL		Low-Power Schottky TTL		Standard TTL		Low-Power TTL	
	Device Type	Package	Device Type	Package	Device Type	Package	Device Type	Package	Device Type	Package
		C P M CF		C P M CF		C P M CF		C P M CF		C P M CF
T.I.							SN54121 SN74121	J N W	SN54L121 SN74L121	J N J N
FAIRCHILD							μA9601 μA9602 μA9603	D P F		
MOTOROLA							MC5412 MC7412	L P F		
N.S.C.							DM5412 DM7412	J N W J N		
PHILIPS							FJH101 74121			
SIGNETICS							S54121 N74121	F A W F A W		
SIEMENS							FLH121			
FUJITSU										
HITACHI							HD74121 HD62543	F		
MITSUBISHI							M53321	P		
NEC										
TOSHIBA							TD3412IA	P		

Electrical Characteristics SN54S121 SN74S121

absolute maximum ratings over operating free-air temperature range

Supply voltage, V_{CC}		7 V	
Input voltage		5.5 V	
Storage temperature range		−65°C to 150°C	

recommended operating conditions

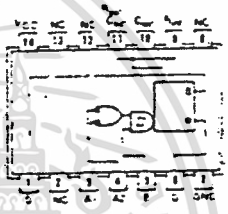
	SN54S121 MIN	NOM	MAX	SN74S121 MIN	NOM	MAX	UNIT
Supply voltage, V_{CC}	4.5	5	5.5	4.75	5	5.25	V
Input voltage							
Output current							
Duty cycle							
Rise time, input							
Fall time, input							
Input pulse width							
External timing resistance, R_{ext}							
External timing capacitance, C_{ext}							
Operating free-air temperature, T_A							

electrical characteristics over recommended operating free-air temperature range

PARAMETER	TEST CONDITIONS†		MIN	TYP‡	MAX	UNIT
V_{T+} Positive-going threshold voltage	V_{CC} = MIN	A input		1.4	2	V
V_{T-} Negative-going threshold voltage	V_{CC} = MIN	A input	0.8	1.4		V
V_{T+} Positive-going threshold voltage	V_{CC} = MIN	B input		1.55	2	V
V_{T-} Negative-going threshold voltage	V_{CC} = MIN	B input	0.8	1.35		V
V_{IK} Input clamp voltage	V_{CC} = MIN,	I_I = −12mA			−1.5	V
V_{OH} High-level output voltage	V_{CC} = MIN,	I_{OH} = MAX	2.4	3.4		V
V_{OL} Low-level output voltage	V_{CC} = MIN,	I_{OL} = MAX		0.2	0.4	V
I_I Input current at maximum input voltage	V_{CC} = MAX,	V_I = 5.5 V			1	mA
I_{IH} High-level input current	V_{CC} = MAX, V_I = 2.4 V	A1 or A2			40	μA
		B			80	μA
I_{IL} Low-level input current	V_{CC} = MAX, V_I = 0.4 V	A1 or A2			−1.6	mA
		B			−3.2	mA
I_{OS} Short-circuit output current§	V_{CC} = MAX	S4 Family	−70		−155	mA
		74 Family	−18		−55	mA
I_{CC} Supply current	V_{CC} = MAX,	Quiescent		13	25	mA
		Triggered		23	40	mA
t_{PLH} Propagation delay time, low-to-high-level Q output from either A input	V_{CC} = 5 V, T_A = 25°C, C_L = 15pF, R_L = 400Ω	C_T = 80 pF, Rext to V_{CC}		45	70	ns
t_{PHL} Propagation delay time, low-to-high-level Q output from B input				35	55	ns
t_{PLH} Propagation delay time, high-to-low-level Q output from either A input				50	80	ns
t_{PHL} Propagation delay time, high-to-low-level Q output from B input				40	65	ns
$t_{w(out)}$ Pulse width obtained using external timing resistor	V_{CC} = 5V, T_A = 25°C, C_L = 15pF, R_L = 400Ω	C_T = 80pF, Rext to V_{CC}	70	110	150	ns
$t_{w(out)}$ Pulse width obtained with zero timing capacitance		C_T = 0, Rext to V_{CC}		30	50	ns
$t_{w(out)}$ Pulse width obtained using external timing resistor		C_T = 100pF, R_T = 10kΩ	600	700	800	ns
		C_T = 1μF, R_T = 10kΩ	6	7	8	ms

†For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.
‡All typical values are at V_{CC} = 5V, T_A = 25°C.
§Not more than one output should be shorted at a time.

Pin Assignment (Top view)



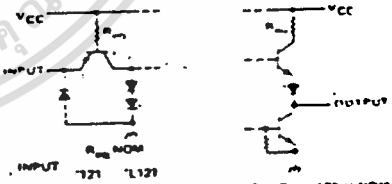
NC = no internal connection
'121: R_{int} = 2 kΩ NOM
'L121: R_{int} = 4 kΩ NOM

Function Table

'121, 'L121 (See Note)

INPUTS A1	A2	B	OUTPUTS Q	Q
L	X	H	L	H
X	L	H	L	H
X	X	L	L	H
H	H	↓	⊓	⊔
H	↓	H	⊓	⊔
↓	H	H	⊓	⊔
L	X	↑	⊔	⊓
X	L	↑	⊔	⊓

schematics of inputs and outputs



INPUT	'121	'L121
A1	4 kΩ	8 kΩ
A2	2 kΩ	4 kΩ
B	2 kΩ	4 kΩ

'121 R_{req} = 130 Ω NOM
'L121 R_{req} = 260 Ω NOM

EQUIVALENT OF EACH INPUT — TYPICAL OF BOTH OUTPUTS

NOTES: A. H = high level (steady state), L = low level (steady state), ↑ = transition from low to high level, ↓ = transition from high to low level, ⊓ = one high-level pulse, ⊔ = one low-level pulse, X = irrelevant (any input, including transitions).

B. To use the internal timing resistor connect R_{int} to V_{CC}.

C. An external timing capacitor may be connected between C_{ext} (positive) and R_{ext}/C_{ext}.

D. For accurate repeatable pulse widths, connect an external resistor between R_{ext}/C_{ext} and V_{CC} with R_{int} open-circuited.

E. To obtain variable pulse widths, connect external variable resistance between R_{int} or R_{ext}/C_{ext} and V_{CC}.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

54123/74123 Dual Retriggerable Monostable Multivibrator with Clear

	Schottky TTL					High-Speed TTL					Low-Power Schottky TTL					Standard TTL					Low-Power TTL				
	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF
T.I.											SN54LS123	J①			W①	SN54123	J①			W①	SN54L123	J①			
											SN74LS123	J①	N①			SN74123	J①	N①			SN74L123	J①	N①		
FAIRCHILD																9N54123/9N99123	9①								
																9C74123/9C99123	9①	9①							
MOTOROLA																					DM54L123A		①		
																MC74123		P①			DM74L123A		①		
N.S.C.											DM54LS123		①												
											DM74LS123		①			DM74123		N①							
PHILIPS																									
											N74LS123		①			N74123		①							
SIGNETICS																S54123	F①	B①		W①					
																N74123	F①	B①							
SIEMENS																									
																FLK121		①							
FUJITSU																									
											74LS123		M①			MB440	①	M①							
HITACHI																									
											HD74LS123		P①			HD74123/HD2516	①	P①							
MITSUBISHI																									
											M74LS123		P①			M53323		P①							
NEC																									
																μPB2123	D①								
TOSHIBA																									

Electrical Characteristics SN54LS123/SN74LS123

absolute maximum ratings operating free-air temperature range

Supply voltage, V_{CC}	7V	Operating free-air temperature range	SN54LS	−55°C to 125°C
Input voltage	7V		SN74LS	0°C to 70°C
		Storage temperature range		−65°C to 150°C

recommended operating conditions

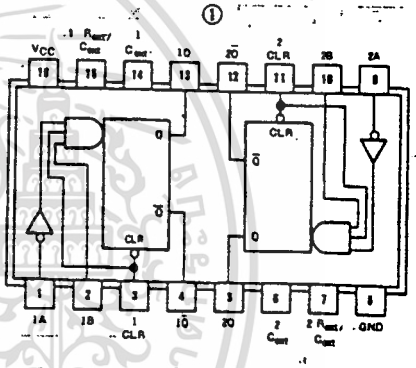
	SN54LS123 MIN	NOM	MAX	SN74LS123 MIN	NOM	MAX	UNIT
Supply voltage, V_{CC}	4.5	5	5.5	4.75	5	5.25	V
High-level output current, I_{OH}			−400			−400	μA
Low-level output current, I_{OL}			4			8	mA
Pulse width, t_w	40			40			ns
External timing resistance, R_{ext}	5		180	5		260	kΩ
External timing capacitance, C_{ext}	No restriction			No restriction			
Timing capacitance at R_{ext}/C_{ext} terminal			30			50	pF
Operating free-air temperature, T_A	−55		125	0		70	°C

electrical characteristics over recommended operating free-air temperature range

PARAMETER ◆		TEST CONDITIONS †		MIN	TYP ‡	MAX	UNIT
V_{IH}	High-level input voltage			2			V
V_{IL}	Low-level input voltage					0.8	V
V_I	Input clamp voltage	V_{CC}=MIN, I_I=−18mA				−1.5	V
V_{OH}	High-level output voltage	V_{CC}=MIN, I_{OH}=MAX, See Note 1		2.7	3.5		V
V_{OL}	Low-level output voltage	V_{CC}=MIN, I_{OL}=8mA, See Note 1			0.35	0.5	V
I_I	Input current at maximum input voltage	V_{CC}=MAX, V_I=7V				0.1	mA
I_{IH}	High-level input current	V_{CC}=MAX, V_I=2.7V				20	μA
I_{IL}	Low-level input current	V_{CC}=MAX, V_I=0.4V				0.4	mA
I_{OS}	Short-circuit output current ◆	V_{CC}=MAX, See Note 1		20		100	mA
I_{CC}	Supply current (quiescent or triggered)	V_{CC}=MAX, See Notes 2 and 3			12	20	mA
t_{PLH}	from A to output Q	V_{CC}=5V, T_A=25°C, C_L=15pF, R_L=2kΩ	C_{ext}=0, R_{ext}=5kΩ		22	33	ns
	from B to output Q				23	44	
t_{PHL}	from A to output Q				32	45	ns◆
	from B to output Q				34	56	
t_{PHL}	from Clear to output Q				20	27	ns
t_{PLH}	from Clear to output Q				28	45	
t_{w0}(min)	from A or B to output Q				116	200	ns
t_{w0}	from A or B to output Q		C_{ext}=1000pF, R_{ext}=10kΩ	4	4.5	5	μs

† For conditions shown as MIN or MAX, use the value specified under recommended operating conditions.
‡ All typical values are at V_{CC}=5V, T_A=25°C.
◆ Not more than one output should be shorted at a time.
◆ t_{PLH} = propagation delay time, low-to-high-level output
t_{PHL} = propagation delay time, high-to-low-level output

Pin Assignment (Top View)



FUNCTION TABLE

'123 LS123, L123 (See Note 4)

INPUTS			OUTPUTS	
CLEAR	A	B	Q	Q
L	X	X	L	H
X	H	X	L	H
X	X	L	L	H
H	L	↑	⎍	⎍
H	↓	H	⎍	⎍
↑	L	H	⎍	⎍

NOTES:
1. Ground C_{ext} to measure V_{OH} at Q, V_{OL} at Q, or I_{OS} at Q. C_{ext} is open to measure V_{OH} at Q, V_{OL} at Q, or I_{OS} at Q.
2. Quiescent I_{CC} is measured (after clearing) with 2.4V applied to all clear and A inputs, B inputs grounded, all outputs open, C_{ext}=0.02 μF, and R_{ext}=25kΩ.
3. I_{CC} is measured in the triggered state with 2.4V applied to all clear and B inputs, A inputs grounded, all outputs open, C_{ext}=0.02 μF, and R_{ext}=25 kΩ.
4. A: H=high level (steady state), L=low level (steady state), ↑=transition from low to high level, ↓=transition from high to low level, ⎍=one high-level pulse, ⎍=one low-level pulse, X=irrelevant (any input, including transitions).
5. An external timing capacitor may be connected between and Rext/Cext (positive).
6. For accurate repeatable pulse widths, connect an external resistor between R_{ext}/C_{ext} and V_{CC} with R_{int} open-circuited.
7. To obtain variable pulse widths, connect external resistance between R_{int} or R_{ext}/C_{ext} and V_{CC}.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

54126/74126 Quadruple Bus Buffer Gate with Three-State Output

	Schottky TTL				High-Speed TTL				Low-Power Schotty TTL				Standard TTL				Low-Power TTL			
	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF
T.I.																SN54126									
																SN74126									
FAIRCHILD																									
MOTOROLA																									
N.S.C.																									
PHILIPS																									
SIGNETICS																									
SIEMENS																									
FUJITSU																									
HITACHI																									
MITSUBISHI																									
NEC																									
TOSHIBA																									

Electrical Characteristics SN54LS126 SN74LS126

absolute maximum ratings over operating free-air temperature range

Supply voltage V_{CC}	7V	Operating free-air temperature range	SN54LS	−55°C to 125°C	
Input voltage	7V		SN74LS	0°C to 70°C	
		Storage temperature range		−65°C to 150°C	

recommended operating conditions

	SN54LS126			SN74LS126			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage V_{CC}	4.5	5	5.5	4.75	5	5.25	V
High-level output current I_{OH}			−1			−2.6	mA
Low-level output current I_{OL}			12			24	mA
Operating free-air temperature T_A	−55		125	0		70	°C

electrical characteristics over recommended operating free-air temperature range

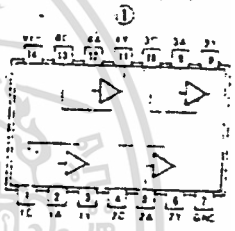
PARAMETER		TEST CONDITIONS†		MIN	TYP‡	MAX	UNIT
V_{IH}	High-level input voltage			2			V
V_{IL}	Low-level input voltage					0.8	V
V_I	Input clamp voltage	V_{CC} = MIN, I_I = −18mA				−1.5	V
V_{OH}	High-level output voltage	V_{CC} = MIN, V_{IH} = 2V, V_{IL} = 0.8V, I_{OH} = MAX	54LS Family	2.4			V
			74LS Family	2.4			
V_{OL}	Low-level output voltage	V_{CC} = MIN, V_{IH} = 2V, V_{IL} = 0.8V, I_{OL} = MAX			0.35	0.5	V
$I_{O(off)}$	Off-state (high-impedance state) output current	V_{CC} = MAX, V_{IH} = 2V, V_{IL} = 0.8V	V_O = 2.4V			20	μA
			V_O = 0.4V			−20	
I_I	Input current at maximum input voltage	V_{CC} = MAX, V_I = 7V				0.1	mA
I_{IH}	High-level input current	V_{CC} = MAX, V_{IH} = 2.7V				20	μA
I_{IL}	Low-level input current	V_{CC} = MAX, V_{IL} = 0.4V				−0.4	mA
I_{OS}	Short-circuit output current*	V_{CC} = MAX	54LS Family	−40		−225	mA
			74LS Family	−40		−225	
I_{CC}	Supply current	V_{CC} = MAX, DATA INPUT = 0V, OUTPUT CONTROL = 0V			12	22	mA

switching characteristics, V_{CC} = 5V, T_A = 25°C

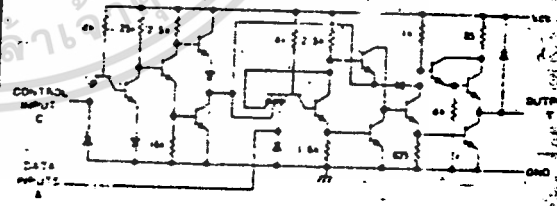
t_{PLH}	Propagation delay time, low-to-high-level output	C_L = 45pF, R_L = 667Ω		9	15	ns
t_{PHL}	Propagation delay time, high-to-low-level output			8	18	ns
t_{ZH}	Output enable time to high level			16	25	ns
t_{ZL}	Output enable time to low level			21	35	ns
t_{HZ}	Output disable time from high level	C_L = 5pF, R_L = 667Ω			25	ns
t_{LZ}	Output disable time from low level				25	ns

† For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.
‡ All typical values are at V_{CC} = 5V, T_A = 25°C.
* Not more than one output should be shorted at a time.

Pin Assignment (Top View)



Schematic(each gate)



'126 CIRCUIT

Resistor values shown are nominal and in ohms.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการ

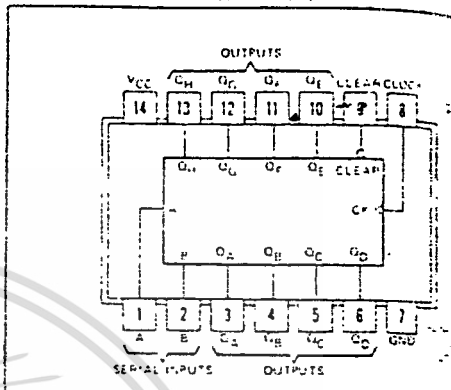
TYPES SN54164, SN54L164, SN74164, SN74...
8-BIT PARALLEL-OUT SERIAL SHIFT REGISTER

BULLETIN NO. DL-S 7211835, DECEMBER ...

- Gated (Enable/Disable) Serial Inputs
- Fully Buffered Clock and Serial Inputs
- Asynchronous Clear

TYPE	TYPICAL MAXIMUM CLOCK FREQUENCY	TYPICAL POWER DISSIPATION
'164	36 MHz	21 mW per bit
'L164	18 MHz	11 mW per bit

'164 . . . J, N, OR W PACKAGES
'L164 . . . J, N, OR T PACKAGES
(TOP VIEW)



positive logic: see function table

description

These 8-bit shift registers feature gated serial inputs and an asynchronous clear. The gated serial inputs (A and B) permit complete control over incoming data as a low at either (or both) input(s) inhibits entry of the new data and resets the first flip-flop to the low level at the next clock pulse. A high-level input enables the other input which will then determine the state of the first flip-flop. Data at the serial inputs may be changed while the clock is high, but only information meeting the requirements will be entered. Clocking occurs on the low-to-high-level transition of the clock input. All inputs are diode-clamped to minimize transmission-line effects.

Series 54 and 54L devices are characterized for operation over the full military temperature range of −55°C to 125°C. Series 74 and 74L devices are characterized for operation from 0°C to 70°C.

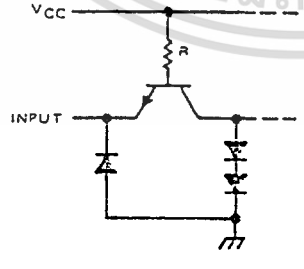
FUNCTION TABLE

INPUTS				OUTPUTS		
CLEAR	CLOCK	A	B	Q_A	Q_B	... Q_H
L	X	X	X	L	L	L
H	L	X	X	Q_{A0}	Q_{B0}	Q_{H0}
H	↑	H	H	H	Q_{An}	Q_{Gn}
H	↑	L	X	L	Q_{An}	Q_{Gn}
H	↑	X	L	L	Q_{An}	Q_{Gn}

H = high level (steady state), L = low level (steady state)
X = irrelevant (any input, including transitions)
↑ = transition from low to high level
Q_{A0}, Q_{B0}, ... = the level of Q_A, Q_B, or Q_H, respectively, before the indicated steady-state input conditions were established.
Q_{An}, Q_{Gn} = the level of Q_A or Q_G before the most recent ↑ transition of the clock; indicates a one-bit shift

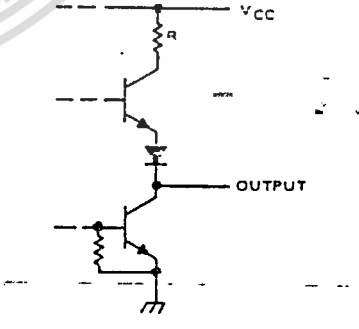
schematics of inputs and outputs

EQUIVALENT OF EACH INPUT



'164: R = 4 kΩ NOM
'L164: R = 8 kΩ NOM

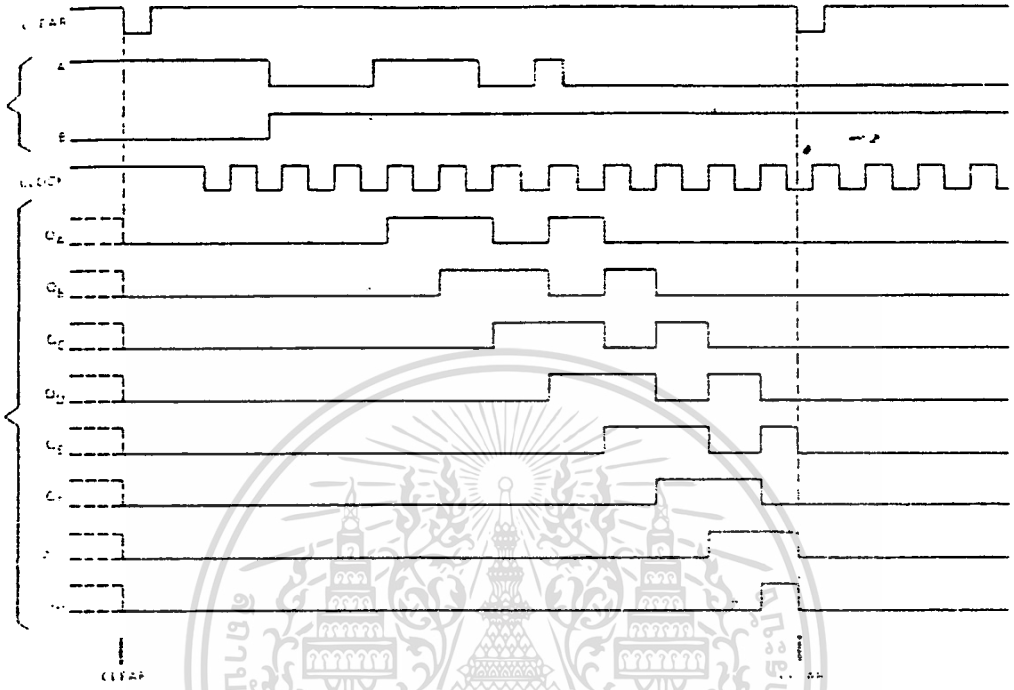
TYPICAL OF ALL OUTPUTS



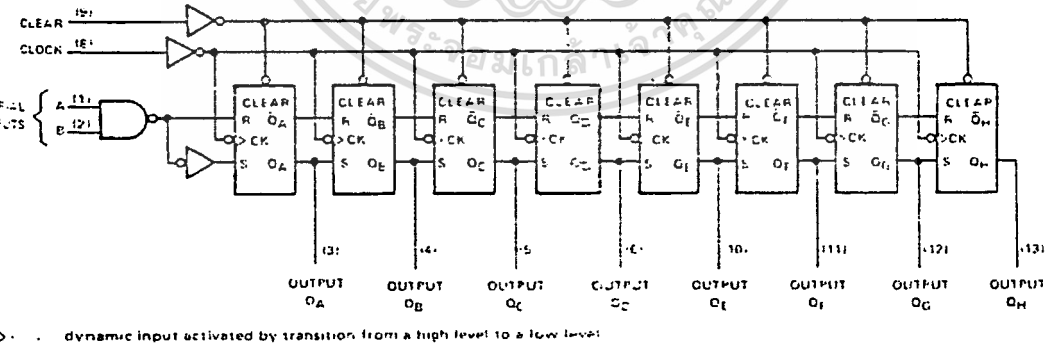
'164: R = 200 Ω NOM
'L164: R = 400 Ω NOM

TEXAS INSTRUMENTS
INCORPORATED
POST OFFICE BOX 5012 • DALLAS, TEXAS 75222

clear, shift, and clear sequences



ctional block diagram



dynamic input activated by transition from a high level to a low level

absolute maximum ratings over operating free-air temperature range (unless otherwise noted)

Supply voltage, V_{CC} (see Note 1) . . . . . 5 V
Input voltage . . . . . 5.5 V
Operating free-air temperature range: SN54164 Circuits . . . . . −55°C to 125°C
SN74164 Circuits . . . . . 0°C to 70°C
Storage temperature range . . . . . −65°C to 150°C

NOTE 1: Voltage values are with respect to network ground terminal.

recommended operating conditions

	SN54164			SN74164			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage, V_{CC}	4.5	5	5.5	4.75	5	5.25	V
High-level output current, I_{OH}			−400			−400	μA
Low-level output current, I_{OL}			8			8	mA
Clock frequency, f_{clock}	0		25	0		25	MHz
Width of clock or clear input pulse, t_w	20			20			ns
Data setup time, t_{setup} (see Figure 1)	15			15			ns
Data hold time, t_{hold} (see Figure 1)	0			0			ns
Operating free-air temperature, T_A	−55		125	0		70	°C

electrical characteristics over recommended operating free-air temperature range (unless otherwise noted)

PARAMETER		TEST CONDITIONS†		SN54164			SN74164			UNIT
				MIN	TYP‡	MAX	MIN	TYP‡	MAX	
V_{IH}	High-level input voltage			2			2			V
V_{IL}	Low-level input voltage					0.8			0.8	V
V_I	Input clamp voltage	V_{CC} = MIN,	I_I = −12 mA			−1.5			−1.5	V
V_{OH}	High-level output voltage	V_{CC} = MIN, V_{IL} = 0.8 V,	I_{OH} = −400 μA	2.4	3.4		2.4	3.2		V
V_{OL}	Low-level output voltage	V_{CC} = MIN, V_{IH} = 2 V, V_{IL} = 0.8 V,	I_{OL} = 8 mA		0.2	0.4		0.2	0.4	V
I_I	Input current at maximum input voltage	V_{CC} = MAX,	V_I = 5.5 V			1			1	mA
I_{IH}	High-level input current	V_{CC} = MAX,	V_I = 2.4 V			40			40	μA
I_{IL}	Low-level input current	V_{CC} = MAX,	V_I = 0.4 V			−1.6			−1.6	mA
I_{OS}	Short-circuit output current§	V_{CC} = MAX		−11		−27.5	−9		−27.5	mA
I_{CC}	Supply current	V_{CC} = MAX, See Note 2	$V_{I(clock)}$ = 0.4 V		30			30		mA
			$V_{I(clock)}$ = 2.4 V		37	54		37	54	

NOTE 2: I_{CC} is measured with outputs open, serial inputs grounded, and a momentary ground, then 4.5 V, applied to clear.

† For conditions shown at MIN or MAX, use the appropriate value specified under recommended operating conditions for the applicable device type.

‡ All typical values are at V_{CC} = 5 V, T_A = 25°C.

§ Not more than one output should be shorted at a time.

switching characteristics, V_{CC} = 5 V, T_A = 25°C

PARAMETER		TEST CONDITIONS		MIN	TYP	MAX	UNIT
f_{max}	Maximum clock frequency	R_L = 800 Ω, See Figure 1	C_L = 15 pF	25	36		MHz
t_{PHL}	Propagation delay time, high-to-low-level Q outputs from clear input		C_L = 15 pF		24	36	ns
			C_L = 50 pF		28	42	
t_{PLH}	Propagation delay time, low-to-high-level Q outputs from clock input		C_L = 15 pF	8	17	27	ns
			C_L = 50 pF	10	20	30	
t_{PHL}	Propagation delay time, high-to-low-level Q outputs from clock input		C_L = 15 pF	10	21	32	ns
			C_L = 50 pF	10	25	37	

TEXAS INSTRUMENTS
INCORPORATED
POST OFFICE BOX 5012 • DALLAS, TEXAS 75222

maximum ratings over operating free-air temperature range (unless otherwise noted)

ly voltage, V_{CC} (see Note 1) . . . . . 7 V
t voltage . . . . . 5.5 V
rating free-air temperature range: SN54L164 Circuits . . . . . −55°C to 125°C
SN74L164 Circuits . . . . . 0°C to 70°C
ge temperature range . . . . . −65°C to 150°C

NOTE 1: Voltage values are with respect to network ground terminal.

mended operating conditions

	SN54L164			SN74L164			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
voltage, V_{CC}	4.5	5	5.5	4.75	5	5.25	V
output current, I_{OH}			−200			−200	μA
output current, I_{OL}			4			4	mA
frequency, f_{clock}	0		12	0		12	MHz
clock or clear input pulse, t_w	40			40			ns
time, t_{setup} (see Figure 1)	30			30			ns
time, t_{hold} (see Figure 1)	0			0			ns
temperature, T_A	−55		125	0		70	°C

characteristics over recommended operating free-air temperature range (unless otherwise noted)

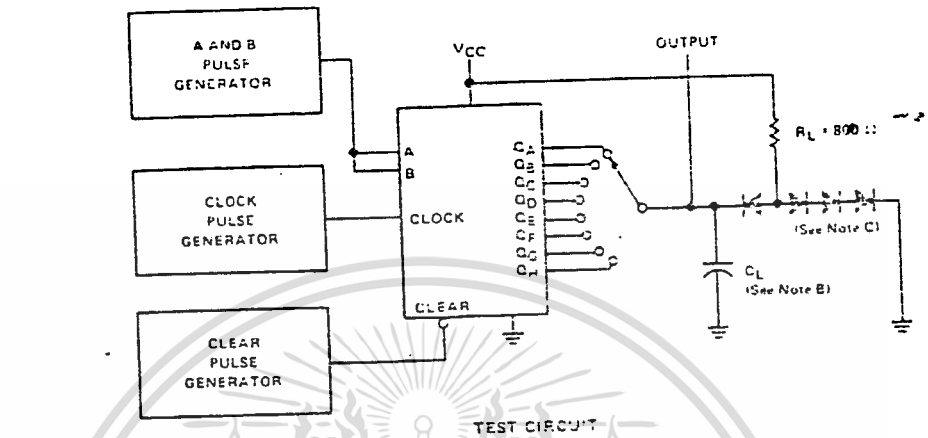
PARAMETER	TEST CONDITIONS†	SN54L164			SN74L164			UNIT
		MIN	TYP	MAX	MIN	TYP	MAX	
								V
								V
								V
	V_{CC} = MIN, V_{IL} = 0.7 V, I_{OH} = −200 μA	2.4	3.2		2.4	3.2		V
	V_{CC} = MIN, V_{IH} = 2 V, I_{OL} = 4 mA		0.2	0.4		0.2	0.4	V
	V_{CC} = MAX, V_I = 5.5 V			1			1	mA
	V_{CC} = MAX, V_I = 2.4 V			20			20	μA
	V_{CC} = MAX, V_I = 0.4 V			−0.8			−0.8	mA
	V_{CC} = MAX	−5		−20	−4		−20	mA
	V_{CC} = MAX, See Note 3		19	27		19	27	mA

† For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.
‡ All typical values are at V_{CC} = 5 V, T_A = 25°C.
§ Not more than one output should be shorted at a time.
NOTE 3: I_{CC} is measured with outputs open, serial inputs grounded, the clock input at 2.4 V, and a momentary ground, then 4.5 V, applied to clear.

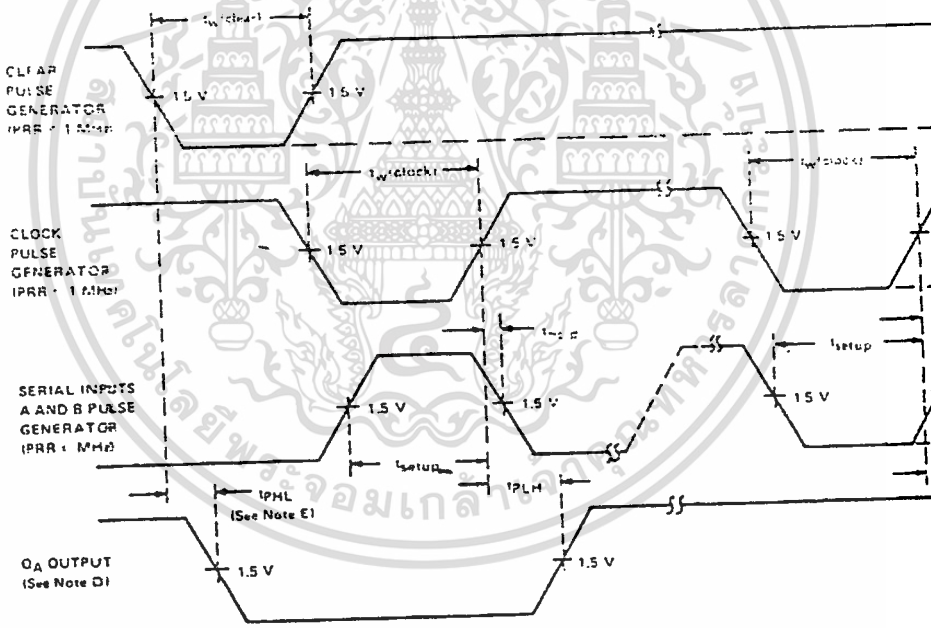
switching characteristics, V_{CC} = 5 V, T_A = 25°C

PARAMETER		TEST CONDITIONS		MIN	TYP	MAX	UNIT
f_{max}	Maximum clock frequency	R_L = 200 Ω, See Figure 1	C_L = 15 pF	12	18		MHz
t_{PHL}	Propagation delay time, high-to-low-level Q outputs from clear input		C_L = 15 pF		48	72	ns
			C_L = 50 pF		56	84	
t_{PLH}	Propagation delay time, low-to-high-level Q outputs from clock input		C_L = 15 pF	8	34	54	ns
			C_L = 50 pF	10	30	60	
t_{PHL}	Propagation delay time, high-to-low-level Q outputs from clock input		C_L = 15 pF	10	42	64	ns
			C_L = 50 pF	10	50	74	

PARAMETER MEASUREMENT INFORMATION



TEST CIRCUIT



VOLTAGE WAVEFORMS

NOTES: A. The pulse generators have the following characteristics: $t_r \leq 10$ ns, $t_f \leq 10$ ns, duty cycle ≤ 50%, $Z_{out} \approx 50\ \Omega$.
B. C_L includes probe and jig capacitance.
C. All diodes are 1N3064 or 1N916.
D. Q_A output is illustrated. Relationship of serial input A and B data to other Q outputs is illustrated in the typical shift sequence.
E. Outputs are set to the high level prior to the measurement of t_{PHL} from the clear input.

FIGURE 1—SWITCHING TIMES

TEXAS INSTRUMENTS
INCORPORATED
POST OFFICE BOX 5012 • DALLAS, TEXAS 75222

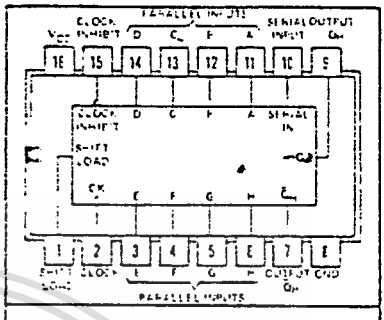
printed in
It cannot assume any responsibility for any circ
or represent that they are free from patent
TEXAS INSTRUMENTS RESERVES THE RIGHT TO MAKE CHANGES
IN ORDER TO IMPROVE DESIGN AND TO SUPPLY THE BEST

TYPES SN54165, SN74165
PARALLEL-LOAD 8-BIT SHIFT REGISTERS

BULLETIN NO. DL-S 7211375, OCTOBER 1970–REVISED DECEMBER 1972

- Typical Maximum Input Clock Frequency . . . 26 MHz
- Complementary Outputs
- Direct Overriding Load (Data) Inputs
- Gated Clock Inputs
- Parallel-to-Serial Data Conversion

J OR N
DUAL-IN-LINE PACKAGE (TOP VIEW)



positive logic: see description

ription

The SN54165 and SN74165 are 8-bit serial shift registers which shift the data in the direction of Q_A toward Q_H when clocked. Parallel-in access to each stage is made available by eight individual direct data inputs which are enabled by a low level at the shift/load input. These registers also feature gated clock inputs and complementary outputs from the eighth bit.

Clocking is accomplished through a 2-input positive-NOR gate, permitting one input to be used as a clock-inhibit function. Holding either of the clock inputs high inhibits clocking and holding either clock input low with the load input high enables the other clock input. The clock-inhibit input should be changed to the high level only while the clock input is high. Parallel loading is inhibited as long as the load input is high. Data at the parallel inputs are loaded directly into the register on a high-to-low transition of the shift/load input, independently of the levels of the clock, clock inhibit, or serial inputs.

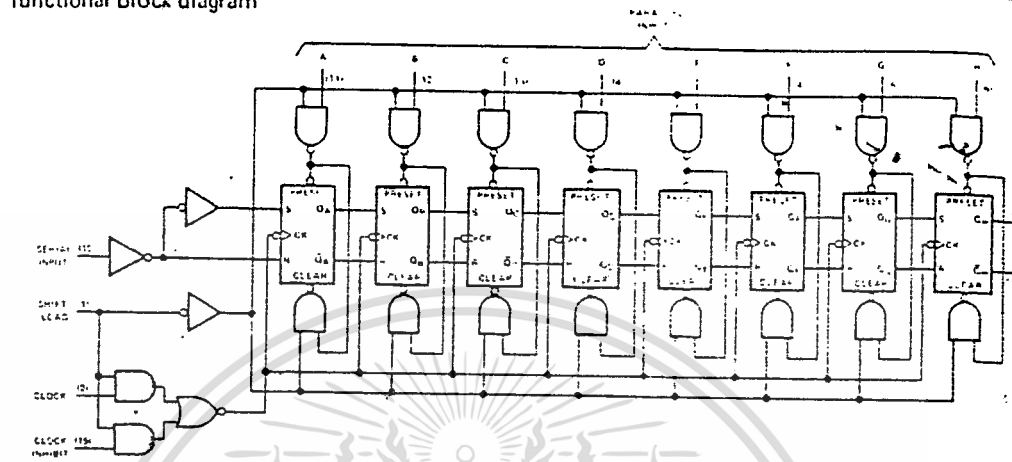
All inputs are diode-clamped to minimize transmission-line effects, thereby simplifying system design. Power dissipation is typically 210 milliwatts and maximum input clock frequency is typically 26 megahertz. The SN54165 is characterized for operation over the full military temperature range of −55°C to 125°C; the SN74165 is characterized for operation from 0°C to 70°C.

FUNCTION TABLE

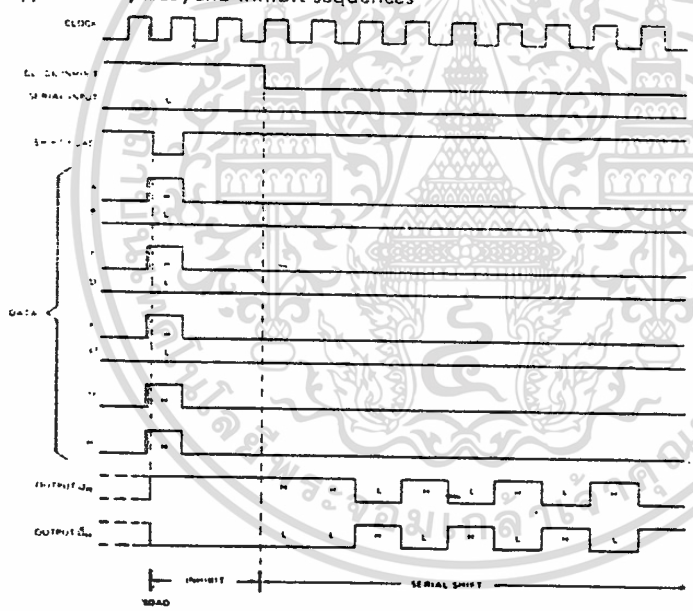
INPUTS					INTERNAL OUTPUTS		OUTPUT
SHIFT/ LOAD	CLOCK INHIBIT	CLOCK	SERIAL	PARALLEL A . . . H	Q_A	Q_B	Q_H
L	X	X	X	a . . . h	a	b	h
H	L	L	X	X	Q_{A0}	Q_{B0}	Q_{H0}
H	L	↑	H	X	H	Q_{An}	Q_{Gn}
H	L	↑	L	X	L	Q_{An}	Q_{Gn}
H	H	↑	X	X	Q_{A0}	Q_{B0}	Q_{H0}

H = high level (steady state), L = low level (steady state)
X = irrelevant (any input, including transitions)
↑ = transition from low to high level
a, . . . h = the level of steady-state input at inputs A thru H, respectively.
Q_{A0}, Q_{B0}, Q_{H0} = the level of Q_A, Q_B, or Q_H, respectively, before the indicated steady-state input conditions were established.
Q_{An}, Q_{Gn} = the level of Q_A or Q_G, respectively, before the most recent ↑ transition of the clock.

functional block diagram



typical shift, load, and inhibit sequences

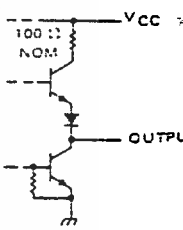


schematics of inputs and outputs

EQUIVALENT OF EACH INPUT

Clock: R_{eq} = 3 kΩ NOM
Other inputs: R_{eq} = 6 kΩ NOM

TYPICAL OF BOTH OUTPUTS



absolute maximum ratings over operating free-air temperature range (unless otherwise noted)

Supply voltage, V_{CC} (see Note 1) 7
Input voltage 5.5
Interemitter voltage (see Note 2) 5.5
Operating free-air temperature range: SN54165 Circuits . . . . . −55°C to 125°C
SN74165 Circuits . . . . . 0°C to 70°C
Storage temperature range . . . . . −65°C to 150°C

NOTES: 1. Voltage values, except interemitter voltage, are with respect to network ground terminal.
2. This is the voltage between two emitters of a multiple-emitter transistor. For this circuit, this rating applies to the shift/load and in conjunction with the clock or clock-inhibit inputs.

TEXAS INSTRUMENTS
INCORPORATED
POST OFFICE BOX 5012 • DALLAS, TEXAS 75222

...mended operating conditions

	SN54165			SN74165			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
S...ply voltage, V_{CC}	4.5	5	5.5	4.75	5	5.25	V
...-level output current, I_{OH}			−800			−800	μA
...w-level output current, I_{OL}			16			16	mA
C...k frequency, f_{clock}	0		20	0		20	MHz
...dth of clock input pulse, $t_{w(clock)}$	25			25			ns
...dth of load input pulse, $t_{w(load)}$	15			15			ns
D...a-enable setup time, t_{setup} (see Figure 1)	30			30			ns
P...allel input setup time, t_{setup} (see Figure 1)	10			10			ns
S...l input setup time, t_{setup} (see Figure 2)	20			20			ns
H...h setup time, t_{setup} (see Figure 2)	45			45			ns
H...d time at any input, t_{hold}	0			0			ns
O...erating free-air temperature, T_A	−55		125	0		70	°C

...ctrical characteristics over recommended operating free-air temperature range (unless otherwise noted)

	PARAMETER		TEST CONDITIONS†	SN54165			SN74165			UNIT
				MIN	TYP‡	MAX	MIN	TYP‡	MAX	
V_{IH}	High-level input voltage			2			2			V
V_{IL}	Low-level input voltage					0.8			0.8	V
V_I	Input clamp voltage		V_{CC} = MIN, I_I = −12 mA			−1.5			−1.5	V
V_{OH}	High-level output voltage		V_{CC} = MIN, I_{OH} = −800 μA, V_{IL} = 0.8 V	2.4	3.4		2.4	3.4		V
V_{OL}	Low-level output voltage		V_{CC} = MIN, I_{OL} = 16 mA, V_{IH} = 2 V		0.2	0.4		0.2	0.4	V
I_I	Input current at maximum input voltage		V_{CC} = MAX, V_I = 5.5 V			1			1	mA
I_{IH}	High-level input current	Load input	V_{CC} = MAX, V_I = 2.4 V			40			40	μA
		Other inputs				20			20	
I_{IL}	Low-level input current	Load input	V_{CC} = MAX, V_I = 0.4 V			−2.4			−2.4	mA
		Other inputs				−1.6			−1.6	
I_{OS}	Short-circuit output current§		V_{CC} = MAX	−20		−55	18		−55	mA
I_{CC}	Supply current		V_{CC} = MAX, See Note 3		42	63		42	63	mA

† For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions for the applicable device type.

‡ All typical values are at V_{CC} = 5 V, T_A = 25°C.

§ Not more than one output should be shorted at a time.

NOTE 3: With the outputs open, clock inhibit and shift/load at 4.5 V, and a clock pulse applied to the clock input, I_{CC} is measured first with the parallel inputs at 4.5 V, then with the parallel inputs grounded.

...itching characteristics, V_{CC} = 5 V, T_A = 25°C

PARAMETER¶	FROM (INPUT)	TO (OUTPUT)	TEST CONDITIONS	MIN	TYP	MAX	UNIT
f_{max}			C_L = 15 pF, R_L = 400 Ω, See figures 1 thru 3	20	26		MHz
t_{PLH}	Load	Any			21	31	ns
t_{PHL}					27	40	
t_{PLH}	Clock	Any			16	24	ns
t_{PHL}					21	31	
t_{PLH}	H	Q_H			11	17	ns
t_{PHL}					24	36	
t_{PLH}	H	$\overline{Q}_H$			18	27	ns
t_{PHL}					18	27	

¶ f_{max} = Maximum clock frequency
t_{PLH} = Propagation delay time, low to high level output
t_{PHL} = Propagation delay time, high to low level output

...นี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านอ...

PARAMETER MEASUREMENT INFORMATION

NOTES: A. The remaining six data inputs and the serial input are low.
B. Pulse as low, high level data as shown for each of the eight inputs.
C. The input pulse generators have the following characteristics: PRR ≤ 1 MHz, t_r = 15 ns, t_f = 6 ns, Z_{out} ≈ 50 Ω.
When testing f_{max}, vary clock PRR.

FIGURE 1. VOLTAGE WAVEFORMS

NOTES: A. The eight data inputs and the clock inhibit input are low. Results are monitored at output Q_H or $\overline{Q}_H$.
B. The input pulse generators have the following characteristics: PRR ≤ 1 MHz, duty cycle = 50%, t_r = 15 ns, t_f = 6 ns, Z_{out} ≈ 50 Ω.

NOTES: A. C_L includes probe and jig capacitance.
B. All diodes are 1N3064.

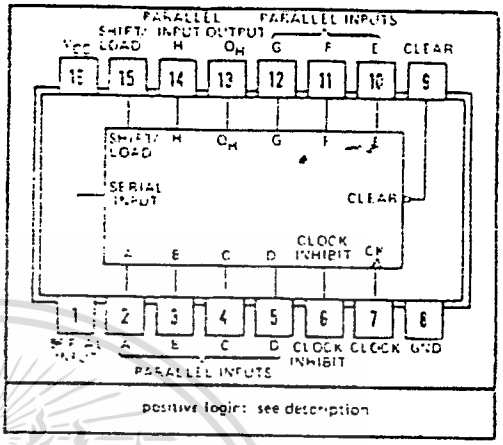
TEXAS INSTRUMENTS
INCORPORATED
POST OFFICE BOX 5012 • DALLAS, TEXAS 75222

PRINTED IN U.S.A.
TI cannot assume any responsibility for any circuits shown or represent that they are free from patents.
TEXAS INSTRUMENTS RESERVES THE RIGHT TO MAKE CHANGES IN ORDER TO IMPROVE DESIGN AND TO SUPPLY THE BEST PRODUCTS

TYPES SN54166, SN74166
8-BIT SHIFT REGISTERS

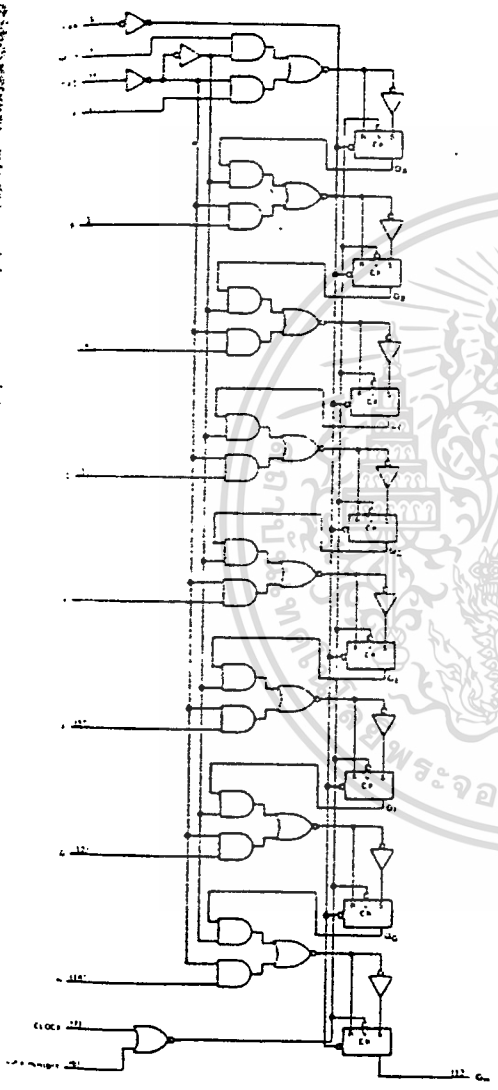
BULLETIN NO. DL-S 7211808, DECEMBER 1972

J OR N DUAL-IN-LINE
OR W FLAT PACKAGE (TOP VIEW)



positive logic: see description

functional block diagram



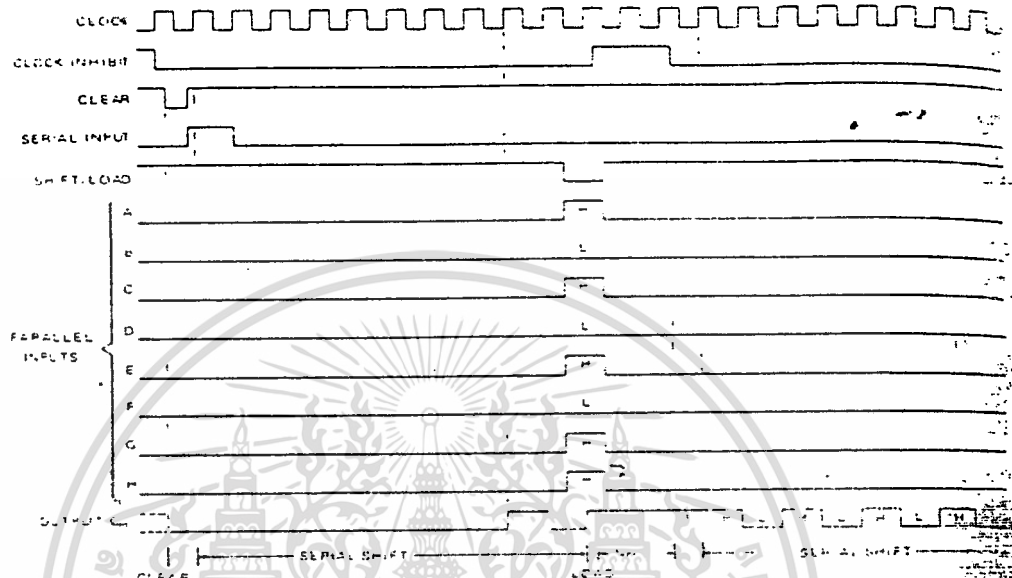
Dynamic input activated by transition from a high level to a low level

description

The SN54166 and SN74166 8-bit shift registers are compatible with most other TTL, DTL, and MSI logic families. All inputs are buffered to lower the drive requirements to one normalized Series 54/74 load. Input clamping diodes minimize switching transients to simplify system design. Maximum input clock frequency is typically 35 megahertz and power dissipation is typically 360 mW.

These parallel-in or serial-in, serial-out shift registers have a complexity of 77 equivalent gates on a monolithic chip. They feature gated clock inputs and an overriding clear input. The parallel-in or serial-in modes are established by the shift/load input. When high, this input enables the serial data input and couples the eight flip-flops for serial shifting with each clock pulse. When low, the parallel (broadside) data inputs are enabled and synchronous loading occurs on the next clock pulse. During parallel loading, serial data flow is inhibited. Clocking is accomplished on the low-to-high-level edge of the clock pulse through a two-input positive NOR gate permitting one input to be used as a clock-enable or clock-inhibit function. Holding either of the clock inputs high inhibits clocking; holding either low enables the other clock input. This, of course, allows the system clock to be free-running and the register can be stopped on command with the other clock input. The clock-inhibit input should be changed to the high level only while the clock input is high. A buffered, direct clear input overrides all other inputs, including the clock, and sets all flip-flops to zero. Average power dissipation per gate is typically 4.7 mW.

typical clear, shift, load, inhibit, and shift sequences

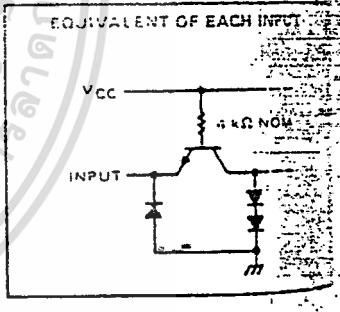


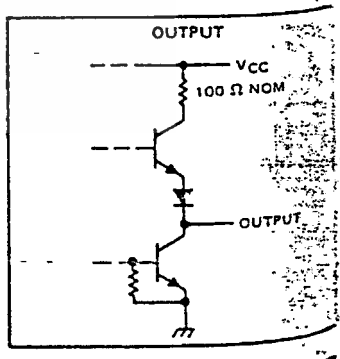
FUNCTION TABLE

INPUTS						INTERNAL OUTPUTS		OUTPUT
CLEAR	SHIFT/ LOAD	CLOCK INHIBIT	CLOCK	SERIAL	PARALLEL A . . . H	Q_A	Q_B	Q_H
L	X	X	X	X	X	L	L	L
H	X	L	L	X	X	Q_{A0}	Q_{B0}	Q_{H0}
H	L	L	↑	X	a . . . h	a	b	h
H	H	L	↑	H	X	H	Q_{An}	Q_{Gn}
H	H	L	↑	L	X	L	Q_{An}	Q_{Gn}
H	X	H	↑	X	X	Q_{A0}	Q_{B0}	Q_{H0}

H = high level (steady state), L = low level (steady state)
X = irrelevant (any input, including transitions)
↑ = transition from low to high level
a . . . h = the level of steady-state input at inputs A thru H, respectively.
Q_{A0}, Q_{B0}, Q_{H0} = the level of Q_A, Q_B, or Q_H, respectively, before the indicated steady-state input conditions were established.
Q_{An}, Q_{Gn} = the level of Q_A or Q_G, respectively, before the most-recent ↑ transition of the clock.

schematics of inputs and outputs





TEXAS INSTRUMENTS
INCORPORATED
POST OFFICE BOX 5012 • DALLAS, TEXAS 75222

maximum ratings over operating free-air temperature range (unless otherwise noted)

voltage, V_{CC} (see Note 1) . . . . . 7 V
voltage . . . . . 5.5 V
operating free-air temperature range: SN54166 Circuits (see Note 2) . . . . . −55°C to 125°C
SN74166 Circuits . . . . . 0°C to 70°C
storage temperature range . . . . . −65°C to 150°C

recommended operating conditions

	SN54166			SN74166			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage, V_{CC}	4.5	5	5.5	4.75	5	5.25	V
High-level output current, I_{OH}			−800			−800	μA
Low-level output current, I_{OL}			16			16	mA
Clock frequency, f_{clock}	0		25	0		25	MHz
Width of clock or clear pulse t_w (see Figure 1)	20			20			ns
Mode-control setup time, t_{setup}	30			30			ns
Data setup time, t_{setup} (see Figure 1)	20			20			ns
Hold time at any input, t_{hold} (see Figure 1)	0			0			ns
Operating free-air temperature, T_A (see Note 2)	55		125	0		70	°C

electrical characteristics over recommended operating free-air temperature range (unless otherwise noted)

PARAMETER		TEST CONDITIONS†	SN54166			SN74166			UNIT
			MIN	TYP‡	MAX	MIN	TYP‡	MAX	
V_{IH}	High-level input voltage		2			2			V
V_{IL}	Low-level input voltage				0.8			0.8	V
V_I	Input clamp voltage	V_{CC} = MIN, I_I = −12 mA			−1.5			−1.5	V
V_{OH}	High-level output voltage	V_{CC} = MIN, V_{IH} = 2 V, V_{IL} = 0.8 V, I_{OH} = −800 μA	2.4	3.4		2.4	3.4		V
V_{OL}	Low-level output voltage§	V_{CC} = MIN, V_{IH} = 2 V, V_{IL} = 0.8 V, I_{OL} = 16 mA		0.2	0.4		0.2	0.4	V
I_I	Input current at maximum input voltage	V_{CC} = MAX, V_I = 5.5 V			1			1	mA
I_{IH}	High-level input current	V_{CC} = MAX, V_I = 2.4 V			40			40	μA
I_{IL}	Low-level input current	V_{CC} = MAX, V_I = 0.4 V			−1.6			−1.6	mA
I_{OS}	Short-circuit output current§	V_{CC} = MAX	−20		−57	−18		−57	mA
I_{CC}	Supply current	V_{CC} = MAX, See Note 3		72	104		72	116	mA

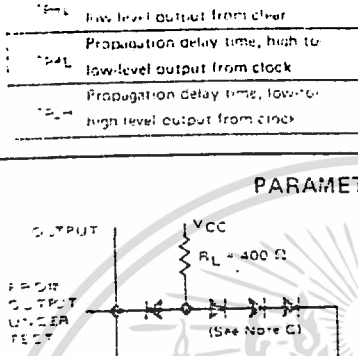
† Conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.
‡ All typical values are at V_{CC} = 5 V, T_A = 25°C.
§ Not more than one output should be shorted at a time.

NOTES: 1. Voltage values are with respect to network ground terminal.
2. An SN54166 in the N package operating at free-air temperatures above 100°C requires a heat sink that provides a thermal resistance from case to free-air, $R_{\theta CA}$, of not more than 42°C/W.
3. With all outputs open, 4.5 V applied to the serial input, all other inputs except the clock grounded, I_{CC} is measured after a momentary ground, then 4.5 V, is applied to clock.

switching characteristics, V_{CC} = 5 V, T_A = 25°C

PARAMETER		TEST CONDITIONS	MIN	TYP	MAX	UNIT
f_{max}	Maximum clock frequency	C_L = 15 pF, R_L = 400 Ω, See Figure 1	25	35		MHz
t_{PHL}	Propagation delay time, high-to-low-level output from clear			23	35	ns
t_{PLH}	Propagation delay time, high to low-level output from clock		8	20	30	ns
t_{PHL}	Propagation delay time, low-to-high-level output from clock		8	17	26	ns

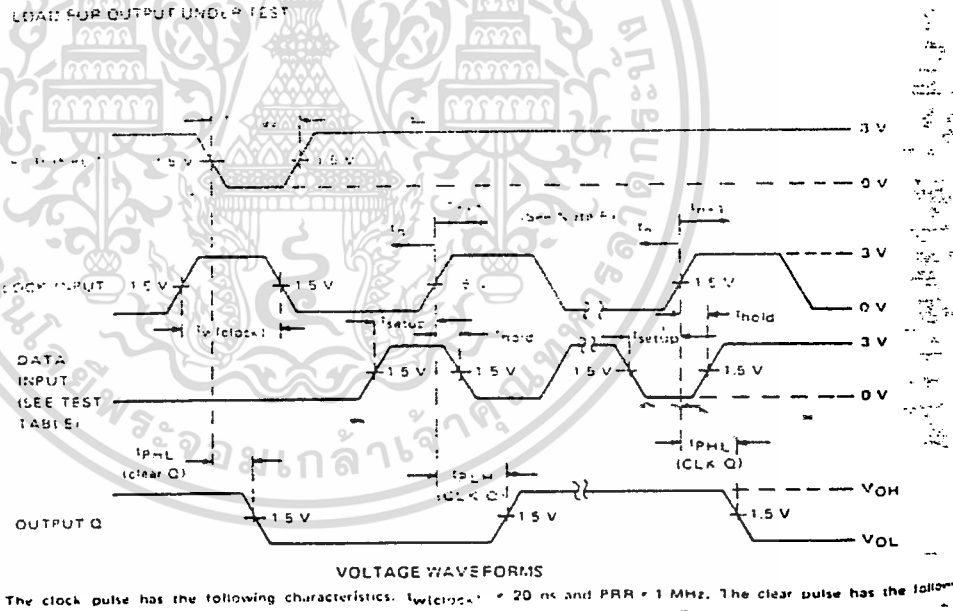
PARAMETER MEASUREMENT INFORMATION



LOAD FOR OUTPUT UNDER TEST

TEST TABLE FOR SYNCHRONOUS INPUTS

DATA INPUT FOR TEST	SHIFT/LOAD	OUTPUT TESTED (SEE NOTE E)
H	0 V	Q_H at t_{n+1}
Serial input	4.5 V	Q_H at t_{n+8}



VOLTAGE WAVEFORMS

NOTES
A. The clock pulse has the following characteristics: $t_{w(clock)}$ = 20 ns and PRR = 1 MHz. The clear pulse has the following characteristics: $t_{w(clear)}$ = 20 ns and t_{hold} = 0 ns. When testing f_{max}, vary the clock PRR.
B. C_L includes probe and jig capacitance.
C. All diodes are 1N3064.
D. A clear pulse is applied prior to each test.
E. Propagation delay times (t_{PLH} and t_{PHL}) are measured at t_{n+1}. Proper shifting of data is verified at t_{n+8} with a functional test.
F. t_n = bit time before clocking transition
t_{n+1} = bit time after one clocking transition
t_{n+8} = bit time after eight clocking transitions

FIGURE 1

TEXAS INSTRUMENTS
INCORPORATED
POST OFFICE BOX 5012 • DALLAS, TEXAS 75222

PRINTED IN U.S.A.
It cannot assume any responsibility for any circuits shown or represent that they are free from patent infringement.
TEXAS INSTRUMENTS RESERVES THE RIGHT TO MAKE CHANGES IN ORDER TO IMPROVE DESIGN AND TO SUPPLY THE BEST PRODUCTS

μA741

FREQUENCY-COMPENSATED OPERATIONAL AMPLIFIER

FAIRCHILD LINEAR INTEGRATED CIRCUIT

GENERAL DESCRIPTION — The μA741 is a high performance monolithic Operational Amplifier constructed using the Fairchild Planar* epitaxial process. It is intended for a wide range of analog applications. High common mode voltage range and absence of latch-up tendencies make the μA741 ideal for use as a voltage follower. The high gain and wide range of operating voltage provides superior performance in integrator, summing amplifier, and general feedback applications. Electrical characteristics of the μA741A and E are identical to MIL-M-38510/10101.

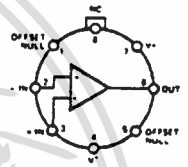
- NO FREQUENCY COMPENSATION REQUIRED
- SHORT CIRCUIT PROTECTION
- OFFSET VOLTAGE NULL CAPABILITY
- LARGE COMMON MODE AND DIFFERENTIAL VOLTAGE RANGES
- LOW POWER CONSUMPTION
- NO LATCH-UP

ABSOLUTE MAXIMUM RATINGS

Supply Voltage	
μA741A, μA741, μA741E	±22 V
μA741C	±18 V
Internal Power Dissipation (Note 1)	
Metal Can	500 mW
Molded and Hermetic DIP	670 mW
Mini DIP	310 mW
Flatpak	570 mW
Differential Input Voltage	±30 V
Input Voltage (Note 2)	±15 V
Storage Temperature Range	
Metal Can, Hermetic DIP, and Flatpak	−65°C to +150°C
Mini DIP, Molded DIP	−55°C to +125°C
Operating Temperature Range	
Military (μA741A, μA741)	−55°C to +125°C
Commercial (μA741E, μA741C)	0°C to +70°C
Lead Temperature (Soldering)	
Metal Can, Hermetic DIPs, and Flatpak (60 s)	300°C
Molded DIPs (10 s)	260°C
Output Short Circuit Duration (Note 3)	Indefinite

CONNECTION DIAGRAMS

8-LEAD METAL CAN
(TOP VIEW)
PACKAGE OUTLINE 5B

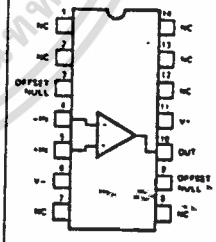


Note: Pin 4 connected to case

ORDER INFORMATION

TYPE	PART NO.
μA741A	μA741AHM
μA741	μA741HM
μA741E	μA741EHC
μA741C	μA741HC

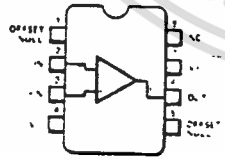
14-LEAD DIP
(TOP VIEW)
PACKAGE OUTLINE 6A, 9A



ORDER INFORMATION

TYPE	PART NO.
μA741A	μA741ADM
μA741	μA741DM
μA741E	μA741EDC
μA741C	μA741DC
μA741C	μA741PC

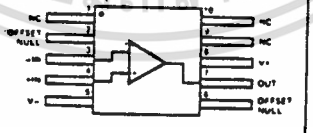
8-LEAD MINIDIP
(TOP VIEW)
PACKAGE OUTLINES 6T 9T
PACKAGE CODES T R



ORDER INFORMATION

TYPE	PART NO.
μA741C	μA741TC
μA741C	μA741RC

10-LEAD FLATPAK
(TOP VIEW)
PACKAGE OUTLINE 3F



ORDER INFORMATION

TYPE	PART NO.
μA741A	μA741AFM
μA741	μA741FM

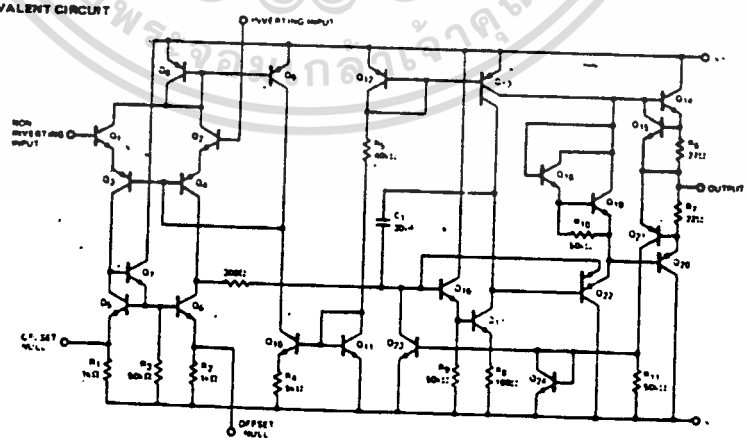
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

μA741C

ELECTRICAL CHARACTERISTICS (V_S = ±15 V, T_A = 25°C unless otherwise specified)

PARAMETERS (see definitions)		CONDITIONS	MIN	TYP	MAX	UNITS
Input Offset Voltage		$R_S \leq 10\ k\Omega$		2.0	6.0	mV
Input Offset Current				20	200	nA
Input Bias Current				80	500	nA
Input Resistance			0.3	2.0		MΩ
Input Capacitance				1.4		pF
Offset Voltage Adjustment Range				±15		mV
Input Voltage Range			±12	±13		V
Common Mode Rejection Ratio		$R_S \leq 10\ k\Omega$	70	90		dB
Supply Voltage Rejection Ratio		$R_S \leq 10\ k\Omega$		30	150	μV/V
Large Signal Voltage Gain		$R_L \geq 2\ k\Omega$, V_{OUT} = ±10 V	20,000	200,000		
Output Voltage Swing		$R_L \geq 10\ k\Omega$	±12	±14		V
		$R_L \geq 2\ k\Omega$	±10	±13		V
Output Resistance				75		Ω
Output Short Circuit Current				25		mA
Supply Current				1.7	2.8	mA
Power Consumption				50	85	mW
Transient Response (Unity Gain)	Rise time	V_{IN} = 20 mV, R_L = 2 kΩ, C_L = 100 pF		0.3		μs
	Overshoot			5.0		%
Slew Rate		$R_L \geq 2\ k\Omega$		0.5		V/μs
The following specifications apply for 0°C ≤ T_A ≤ +70°C						
Input Offset Voltage					7.5	mV
Input Offset Current					300	nA
Input Bias Current					800	nA
Large Signal Voltage Gain		$R_L \geq 2\ k\Omega$, V_{OUT} = ±10 V	15,000			
Output Voltage Swing		$R_L \geq 2\ k\Omega$	±10	±13		V

EQUIVALENT CIRCUIT



National Semiconductor

ADC0808, ADC0809 8-Bit μP Compatible A/D Converters With 8-Channel Multiplexer

General Description

The ADC0808, ADC0809 data acquisition component is a monolithic CMOS device with an 8-bit analog-to-digital converter, 8-channel multiplexer and microprocessor compatible control logic. The 8-bit A/D converter uses successive approximation as the conversion technique. The converter features a high impedance chopper stabilized comparator, a 256R voltage divider with analog switch tree and a successive approximation register. The 8-channel multiplexer can directly access any of 8-single-ended analog signals.

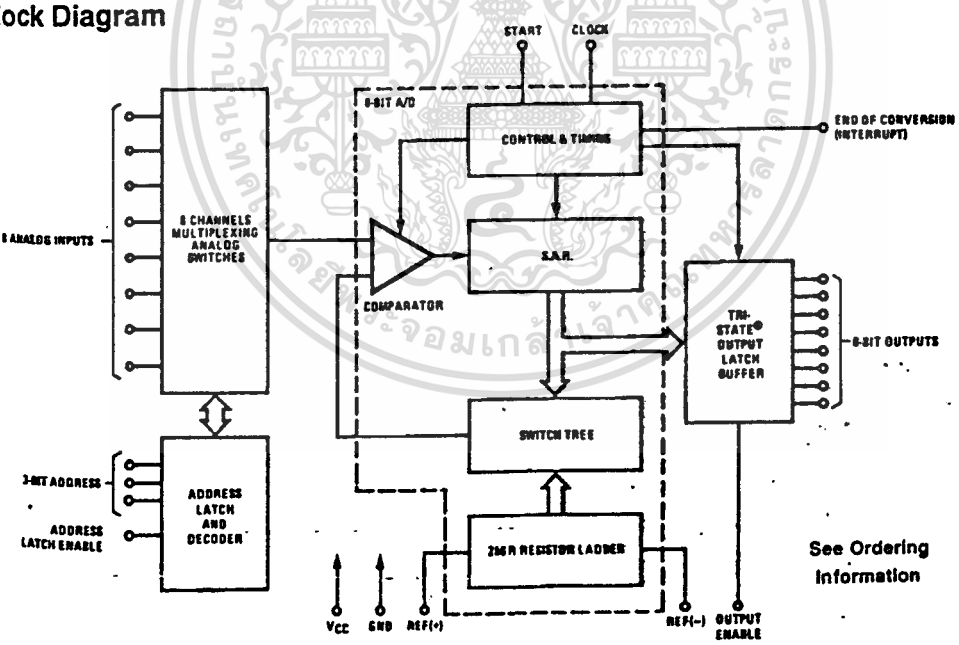
The device eliminates the need for external zero and full-scale adjustments. Easy interfacing to microprocessors is provided by the latched and decoded multiplexer address inputs and latched TTL TRI-STATE® outputs.

The design of the ADC0808, ADC0809 has been optimized by incorporating the most desirable aspects of several A/D conversion techniques. The ADC0808, ADC0809 offers high speed, high accuracy, minimal temperature dependence, excellent long-term accuracy and repeatability, and consumes minimal power. These features make this device ideally suited to applications from process and machine control to consumer and automotive applications. For 16-channel multiplexer with common output (sample/hold port) see ADC0816 data sheet. (See AN-247 for more information.)

Features

- Resolution—8-bits
- Total unadjusted error—±½ LSB and ±1 LSB
- No missing codes
- Conversion time—100 μS
- Single supply—5 V_{DC}
- Operates ratiometrically or with 5 V_{DC} or analog span adjusted voltage reference
- 8-channel multiplexer with latched control logic
- Easy interface to all microprocessors, or operates "stand alone"
- Outputs meet T²L voltage level specifications
- 0V to 5V analog input voltage range with single 5V supply
- No zero or full-scale adjust required
- Standard hermetic or molded 28-pin DIP package
- Temperature range −40°C to +85°C or −55°C to +125°C
- Low power consumption—15 mW
- Latched TRI-STATE® output

Block Diagram



TL/H/5672–1

การนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านก
ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไ

Absolute Maximum Ratings

(Notes 1 and 2)

Supply Voltage (V_{CC}) (Note 3)	6.5V
Voltage at Any Pin Except Control Inputs	−0.3V to (V_{CC} + 0.3V)
Voltage at Control Inputs (START, OE, CLOCK, ALE, ADD A, ADD B, ADD C)	−0.3V to +15V
Storage Temperature Range	−65°C to +150°C
Package Dissipation at T_A = 25°C	875 mW
Lead Temperature (Soldering, 10 seconds)	300°C

Operating Ratings (Notes 1 and 2)

Temperature Range (Note 1)	$T_{MIN} \le T_A \le T_M$
ADC0808CJ	−55°C ≤ T_A ≤ +125
ADC0808CCJ, ADC0808CCN, ADC0809CCN	−40°C ≤ T_A ≤ +85
Range of V_{CC} (Note 1)	4.5 V_{DC} to 6.0 V_D

Electrical Characteristics

Converter Specifications: V_{CC} = 5 V_{DC} = V_{REF+}, $V_{REF(-)}$ = GND, $T_{MIN} \le T_A \le T_{MAX}$ and f_{CLK} = 640 kHz unless otherwise stated.

Symbol	Parameter	Conditions	Min	Typ	Max	Unit
	ADC0808					
	Total Unadjusted Error (Note 5)	25°C			±½	LSB
		T_{MIN} to T_{MAX}			±¾	LSB
	ADC0809					
	Total Unadjusted Error (Note 5)	0°C to 70°C			±1	LSB
		T_{MIN} to T_{MAX}			±1¼	LSB
	Input Resistance	From Ref(+) to Ref(−)	1.0	2.5		kΩ
	Analog Input Voltage Range	(Note 4) V(+) or V(−)	GND−0.10		V_{CC}+0.10	V_{DC}
$V_{REF(+)}$	Voltage, Top of Ladder	Measured at Ref(+)		V_{CC}	V_{CC}+0.1	V
$\frac{V_{REF(+)} + V_{REF(-)}}{2}$	Voltage, Center of Ladder		V_{CC}/2-0.1	V_{CC}/2	V_{CC}/2+0.1	V
$V_{REF(-)}$	Voltage, Bottom of Ladder	Measured at Ref(−)	−0.1	0		V
I_{IN}	Comparator Input Current	f_c = 640 kHz, (Note 6)	−2	±0.5	2	μA

Electrical Characteristics

Digital Levels and DC Specifications: ADC0808CJ 4.5V ≤ V_{CC} ≤ 5.5V, −55°C ≤ T_A ≤ +125°C unless otherwise noted ADC0808CCJ, ADC0808CCN, and ADC0809CCN 4.75 ≤ V_{CC} ≤ 5.25V, −40°C ≤ T_A ≤ +85°C unless otherwise noted

Symbol	Parameter	Conditions	Min	Typ	Max	Units
ANALOG MULTIPLEXER						
$I_{OFF(+)}$	OFF Channel Leakage Current	V_{CC} = 5V, V_{IN} = 5V, T_A = 25°C		10	200	nA
		T_{MIN} to T_{MAX}			1.0	μA
$I_{OFF(-)}$	OFF Channel Leakage Current	V_{CC} = 5V, V_{IN} = 0, T_A = 25°C	−200	−10		nA
		T_{MIN} to T_{MAX}	−1.0			μA
CONTROL INPUTS						
$V_{IN(1)}$	Logical "1" Input Voltage		V_{CC}−1.5			V
$V_{IN(0)}$	Logical "0" Input Voltage				1.5	V
$I_{IN(1)}$	Logical "1" Input Current (The Control Inputs)	V_{IN} = 15V			1.0	μA
$I_{IN(0)}$	Logical "0" Input Current (The Control Inputs)	V_{IN} = 0	−1.0			μA
I_{CC}	Supply Current	f_{CLK} = 640 kHz		0.3	3.0	mA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการ
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Electrical Characteristics (Continued)

Digital Levels and DC Specifications: ADC0808CJ $4.5V \le V_{CC} \le 5.5V$, $-55°C \le T_A \le +125°C$ unless otherwise noted ADC0808CCJ, ADC0808CCN, and ADC0809CCN $4.75 \le V_{CC} \le 5.25V$, $-40°C \le T_A \le +85°C$ unless otherwise noted

Symbol	Parameter	Conditions	Min	Typ	Max	Units
DATA OUTPUTS AND EOC (INTERRUPT)						
$V_{OUT(1)}$	Logical "1" Output Voltage	$I_O = -360\ \mu A$	$V_{CC} - 0.4$			V
$V_{OUT(0)}$	Logical "0" Output Voltage	$I_O = 1.6$ mA			0.45	V
$V_{OUT(0)}$	Logical "0" Output Voltage EOC	$I_O = 1.2$ mA			0.45	V
I_{OUT}	TRI-STATE® Output Current	$V_O = 5V$ $V_O = 0$	 −3		3	μA μA

Electrical Characteristics

Timing Specifications $V_{CC} = V_{REF(+)} = 5V$, $V_{REF(-)} = GND$, $t_r = t_f = 20$ ns and $T_A = 25°C$ unless otherwise noted.

Symbol	Parameter	Conditions	Min	Typ	Max	Units
t_{WS}	Minimum Start Pulse Width	*(Figure 5)*		100	200	ns
t_{WALE}	Minimum ALE Pulse Width	*(Figure 5)*		100	200	ns
t_s	Minimum Address Set-Up Time	*(Figure 5)*		25	50	ns
t_H	Minimum Address Hold Time	*(Figure 5)*		25	50	ns
t_D	Analog MUX Delay Time From ALE	$R_S = 0\Omega$ *(Figure 5)*		1	2.5	μS
t_{H1}, t_{H0}	OE Control to Q Logic State	$C_L = 50$ pF, $R_L = 10$k *(Figure 8)*		125	250	ns
t_{1H}, t_{0H}	OE Control to Hi-Z	$C_L = 10$ pF, $R_L = 10$k *(Figure 8)*		125	250	ns
t_c	Conversion Time	$f_c = 640$ kHz, *(Figure 5)* (Note 7)	90	100	116	μS
f_c	Clock Frequency		10	640	1280	kHz
t_{EOC}	EOC Delay Time	*(Figure 5)*	0		8 + 2 μS	Clock Periods
C_{IN}	Input Capacitance	At Control Inputs		10	15	pF
C_{OUT}	TRI-STATE® Output Capacitance	At TRI-STATE® Outputs, (Note 12)		10	15	pF

Note 1: Absolute maximum ratings are those values beyond which the life of the device may be impaired.

Note 2: All voltages are measured with respect to GND, unless otherwise specified.

Note 3: A zener diode exists, internally, from V_{CC} to GND and has a typical breakdown voltage of 7 V_{DC}.

Note 4: Two on-chip diodes are tied to each analog input which will forward conduct for analog input voltages one diode drop below ground or one diode drop greater than the V_{CC} supply. The spec allows 100 mV forward bias of either diode. This means that as long as the analog V_{IN} does not exceed the supply voltage by more than 100 mV, the output code will be correct. To achieve an absolute $0V_{DC}$ to $5V_{DC}$ input voltage range will therefore require a minimum supply voltage of 4.900 V_{DC} over temperature variations, initial tolerance and loading.

Note 5: Total unadjusted error includes offset, full-scale, linearity, and multiplexer errors. See *Figure 3*. None of these A/Ds requires a zero or full-scale adjust. However, if an all zero code is desired for an analog input other than 0.0V, or if a narrow full-scale span exists (for example: 0.5V to 4.5V full-scale) the reference voltages can be adjusted to achieve this. See *Figure 13*.

Note 6: Comparator input current is a bias current into or out of the chopper stabilized comparator. The bias current varies directly with clock frequency and has little temperature dependence *(Figure 6)*. See paragraph 4.0.

Note 7: The outputs of the data register are updated one clock cycle before the rising edge of EOC.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

Functional Description

Multiplexer. The device contains an 8-channel single-ended analog signal multiplexer. A particular input channel is selected by using the address decoder. Table I shows the input states for the address lines to select any channel. The address is latched into the decoder on the low-to-high transition of the address latch enable signal.

TABLE I

SELECTED ANALOG CHANNEL	ADDRESS LINE		
	C	B	A
IN0	L	L	L
IN1	L	L	H
IN2	L	H	L
IN3	L	H	H
IN4	H	L	L
IN5	H	L	H
IN6	H	H	L
IN7	H	H	H

CONVERTER CHARACTERISTICS

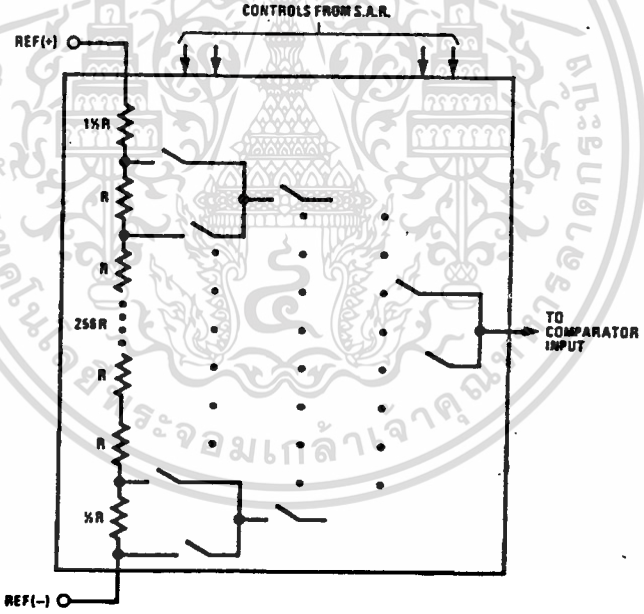
The Converter

The heart of this single chip data acquisition system is its 8-bit analog-to-digital converter. The converter is designed to give fast, accurate, and repeatable conversions over a wide range of temperatures. The converter is partitioned into 3 major sections: the 256R ladder network, the successive approximation register, and the comparator. The converter's digital outputs are positive true.

The 256R ladder network approach *(Figure 1)* was chosen over the conventional R/2R ladder because of its inherent monotonicity, which guarantees no missing digital codes. Monotonicity is particularly important in closed loop feedback control systems. A non-monotonic relationship can cause oscillations that will be catastrophic for the system. Additionally, the 256R network does not cause load variations on the reference voltage.

The bottom resistor and the top resistor of the ladder network in *Figure 1* are not the same value as the remainder of the network. The difference in these resistors causes the output characteristic to be symmetrical with the zero and full-scale points of the transfer curve. The first output transition occurs when the analog signal has reached +½ LSB and succeeding output transitions occur every 1 LSB later up to full-scale.

The successive approximation register (SAR) performs 8 iterations to approximate the input voltage. For any SAR type converter, n-iterations are required for an n-bit converter. *Figure 2* shows a typical example of a 3-bit converter. In the ADC0808, ADC0809, the approximation technique is extended to 8 bits using the 256R network.



TL/H/5672–2

FIGURE 1. Resistor Ladder and Switch Tree

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Functional Description (Continued)

The A/D converter's successive approximation register (SAR) is reset on the positive edge of the start conversion (SC) pulse. The conversion is begun on the falling edge of the start conversion pulse. A conversion in process will be interrupted by receipt of a new start conversion pulse. Continuous conversion may be accomplished by tying the end-of-conversion (EOC) output to the SC input. If used in this mode, an external start conversion pulse should be applied after power up. End-of-conversion will go low between 0 and 8 clock pulses after the rising edge of start conversion.

The most important section of the A/D converter is the comparator. It is this section which is responsible for the ultimate accuracy of the entire converter. It is also the comparator drift which has the greatest influence on the repeatability of the device. A chopper-stabilized comparator provides the most effective method of satisfying all the converter requirements.

The chopper-stabilized comparator converts the DC input signal into an AC signal. This signal is then fed throught a high gain AC amplifier and has the DC level restored. This technique limits the drift component of the amplifier since the drift is a DC component which is not passed by the AC amplifier. This makes the entire A/D converter extremely insensitive to temperature, long term drift and input offset errors.

Figure 4 shows a typical error curve for the ADC0808 as measured using the procedures outlined in AN-179.

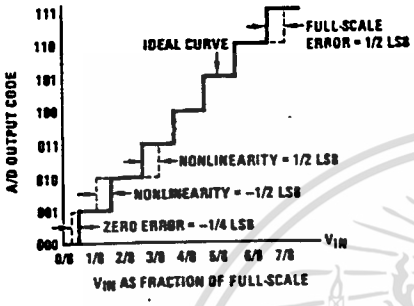


FIGURE 2. 3-Bit A/D Transfer Curve

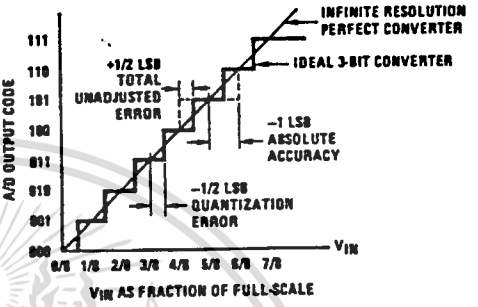


FIGURE 3. 3-Bit A/D Absolute Accuracy Curve

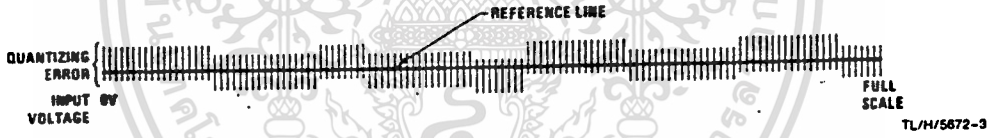
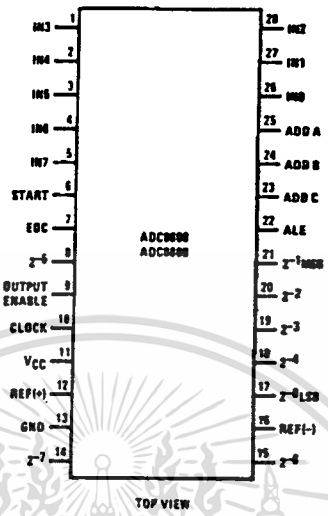


FIGURE 4. Typical Error Curve

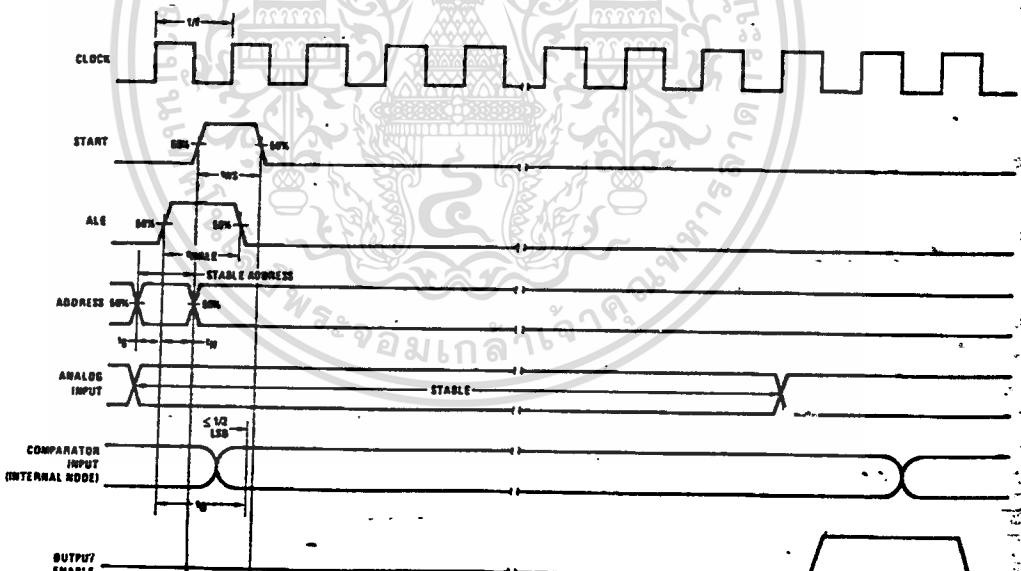
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Connection Diagram

Dual-In-Line Package



Timing Diagram



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการ
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Characteristics

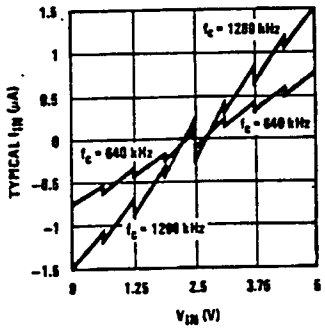
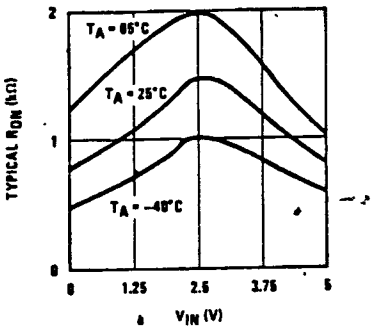


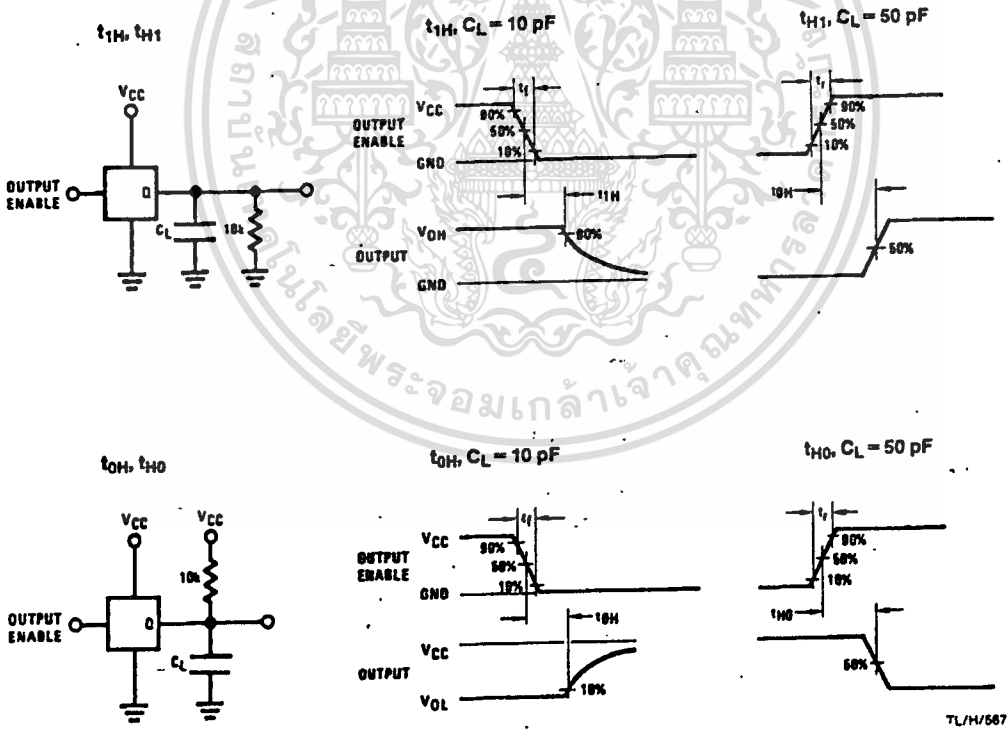
FIGURE 6. Comparator I_{IN} vs V_{IN} ($V_{CC} = V_{REF} = 5V$)



TL/H/5672–5

FIGURE 7. Multiplexer R_{ON} vs V_{IN} ($V_{CC} = V_{REF} = 5V$)

TRI-STATE® Test Circuits and Timing Diagrams



TL/H/5672–6

FIGURE 8

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Applications Information

OPERATION

1.0 RATIOMETRIC CONVERSION

The ADC0808, ADC0809 is designed as a complete Data Acquisition System (DAS) for ratiometric conversion systems. In ratiometric systems, the physical variable being measured is expressed as a percentage of full-scale which is not necessarily related to an absolute standard. The voltage input to the ADC0808 is expressed by the equation

$$\frac{V_{IN}}{V_{fs}-V_Z}=\frac{D_X}{D_{MAX}-D_{MIN}} \quad (1)$$

V_{IN} = Input voltage into the ADC0808

V_{fs} = Full-scale voltage

V_Z = Zero voltage

D_X = Data point being measured

D_{MAX} = Maximum data limit

D_{MIN} = Minimum data limit

A good example of a ratiometric transducer is a potentiometer used as a position sensor. The position of the wiper is directly proportional to the output voltage which is a ratio of the full-scale voltage across it. Since the data is represented as a proportion of full-scale, reference requirements are greatly reduced, eliminating a large source of error and cost for many applications. A major advantage of the ADC0808, ADC0809 is that the input voltage range is equal to the supply range so the transducers can be connected directly across the supply and their outputs connected directly into the multiplexer inputs, *(Figure 9)*.

Ratiometric transducers such as potentiometers, strain gauges, thermistor bridges, pressure transducers, etc., are suitable for measuring proportional relationships; however many types of measurements must be referred to an absolute standard such as voltage or current. This means a system reference must be used which relates the full-scale voltage to the standard volt. For example, if $V_{CC}=V_{REF}=5.12V$, then the full-scale range is divided into 256 standard steps. The smallest standard step is 1 LSB which is then 20 mV.

2.0 RESISTOR LADDER LIMITATIONS

The voltages from the resistor ladder are compared to the selected into 8 times in a conversion. These voltages are coupled to the comparator via an analog switch tree which is referenced to the supply. The voltages at the top, center and bottom of the ladder must be controlled to maintain proper operation.

The top of the ladder, Ref(+), should not be more positive than the supply, and the bottom of the ladder, Ref(−), should not be more negative than ground. The center of the ladder voltage must also be near the center of the supply because the analog switch tree changes from N-channel switches to P-channel switches. These limitations are automatically satisfied in ratiometric systems and can be easily met in ground referenced systems.

Figure 10 shows a ground referenced system with a separate supply and reference. In this system, the supply must be trimmed to match the reference voltage. For instance, if a 5.12V is used, the supply should be adjusted to the same voltage within 0.1V.

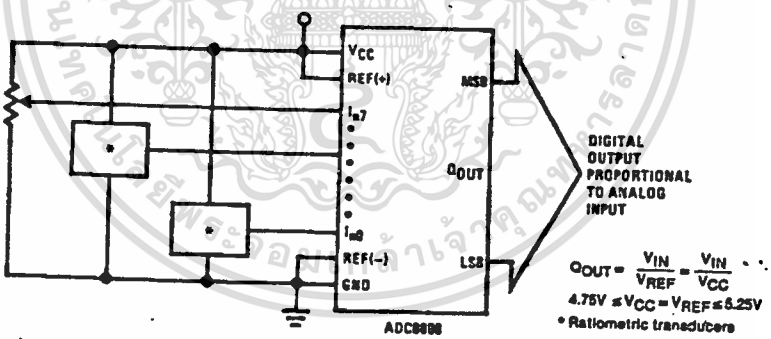


FIGURE 9. Ratiometric Conversion System

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการ
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Applications Information (Continued)

The ADC0808 needs less than a milliamp of supply current so developing the supply from the reference is readily accomplished. In *Figure 11* a ground referenced system is shown which generates the supply from the reference. The buffer shown can be an op amp of sufficient drive to supply the milliamp of supply current and the desired bus drive, or if a capacitive bus is driven by the outputs a large capacitor will supply the transient supply current as seen in *Figure 12*. The LM301 is overcompensated to insure stability when loaded by the 10 μF output capacitor.

The top and bottom ladder voltages cannot exceed V_{CC} and ground, respectively, but they can be symmetrically less than V_{CC} and greater than ground. The center of the ladder voltage should always be near the center of the supply. The sensitivity of the converter can be increased, (i.e., size of the LSB steps decreased) by using a symmetrical reference system. In *Figure 13*, a 2.5V reference is symmetrically centered about $V_{CC}/2$ since the same current flows in identical resistors. This system with a 2.5V reference allows the LSB bit to be half the size of a 5V reference system.

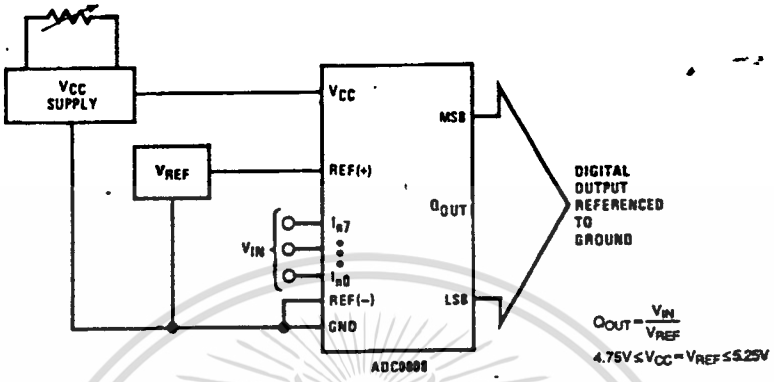


FIGURE 10. Ground Referenced Conversion System Using Trimmed Supply

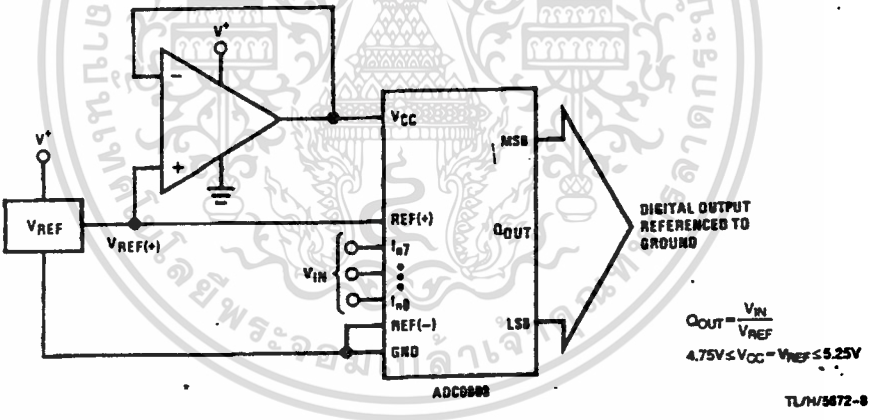


FIGURE 11: Ground Referenced Conversion System with Reference Generating V_{CC} Supply

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Applications Information (Continued)

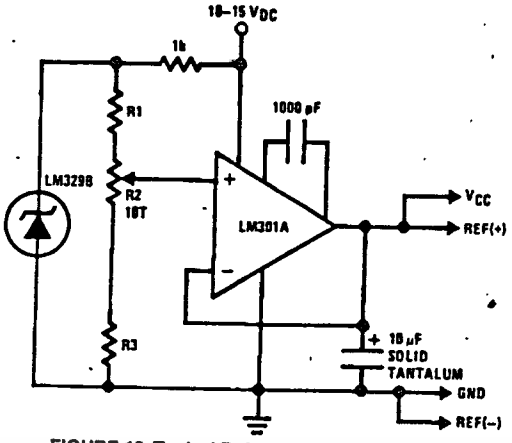


FIGURE 12. Typical Reference and Supply Circuit

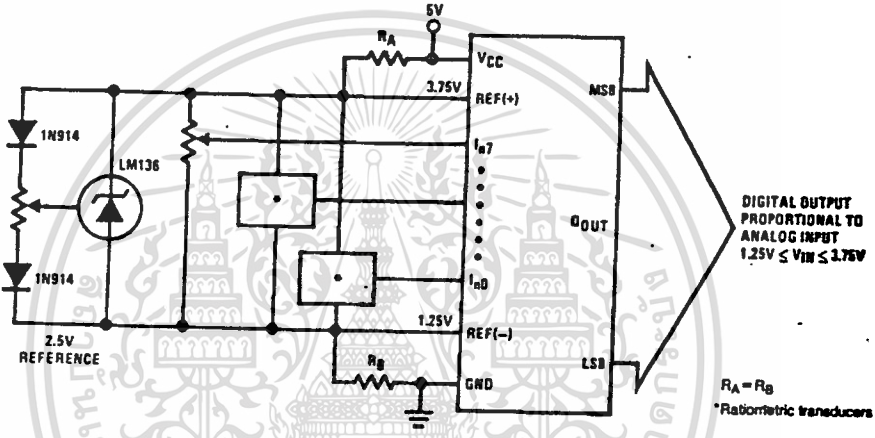


FIGURE 13. Symmetrically Centered Reference

3.0 CONVERTER EQUATIONS

The transition between adjacent codes N and N+1 is given by:

$$V_{IN} = \left\{(V_{REF(+)} - V_{REF(-)})\left[\frac{N}{256} + \frac{1}{512}\right] \pm V_{TUE}\right\} + V_{REF(-)} \quad (2)$$

The center of an output code N is given by:

$$V_{IN}\left\{(V_{REF(+)} - V_{REF(-)})\left[\frac{N}{256}\right] \pm V_{TUE}\right\} + V_{REF(-)} \quad (3)$$

The output code N for an arbitrary input are the integers within the range:

$$N = \frac{V_{IN} - V_{REF(-)}}{V_{REF(+)} - V_{REF(-)}} \times 256 \pm \text{Absolute Accuracy} \quad (4)$$

where: V_{IN} = Voltage at comparator input

$V_{REF(+)}$ = Voltage at Ref(+)

$V_{REF(-)}$ = Voltage at Ref(−)

V_{TUE} = Total unadjusted error voltage (typically $V_{REF(+)} \div 512$)

4.0 ANALOG COMPARATOR INPUTS

The dynamic comparator input current is caused by the periodic switching of on-chip stray capacitances. These are connected alternately to the output of the resistor ladder/switch tree network and to the comparator input as part of the operation of the chopper stabilized comparator.

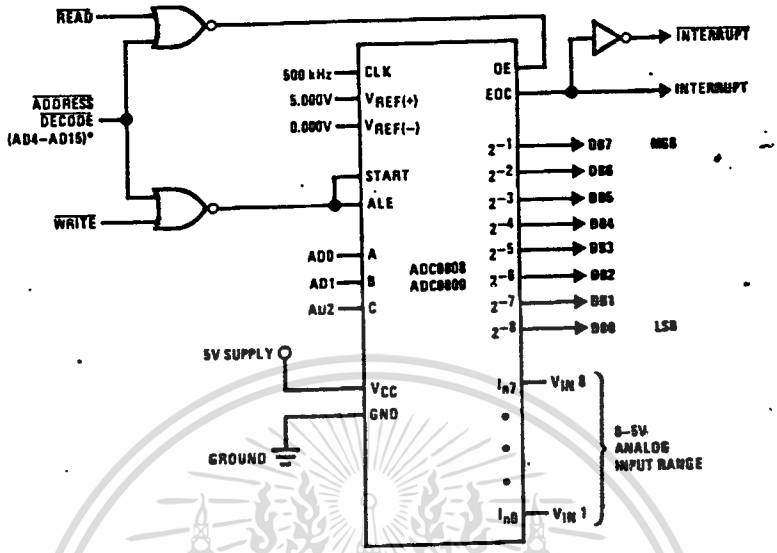
The average value of the comparator input current varies directly with clock frequency and with V_{IN} as shown in *Figure 6*.

If no filter capacitors are used at the analog inputs and the signal source impedances are low, the comparator input current should not introduce converter errors, as the transient created by the capacitance discharge will die out before the comparator output is strobed.

If input filter capacitors are desired for noise reduction and signal conditioning they will tend to average out the dynamic comparator input current. It will then take on the characteristics of a DC bias current whose effect can be predicted conventionally.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Application



TL/H/5672–10

*Address latches needed for 8085 and SC/MP interfacing the ADC0808 to a microprocessor

MICROPROCESSOR INTERFACE TABLE

PROCESSOR	READ	WRITE	INTERRUPT (COMMENT)
8080	MEMR	MEMW	INTR (Thru RST Circuit)
8085	RD	WR	INTR (Thru RST Circuit)
Z-80	RD	WR	INT (Thru RST Circuit, Mode 0)
SC/MP	NRDS	NWDS	SA (Thru Sense A)
6800	VMA•φ2•R/W	VMA•φ•R/W	IRQA or IRQB (Thru PIA)

Ordering Information

TEMPERATURE RANGE		−40°C to +85°C		−55°C to +125°C
Error	±½ Bit Unadjusted	ADC0808CCN	ADC0808CCJ	ADC0808CJ
	±1 Bit Unadjusted	ADC0809CCN		
Package Outline		N28A Molded DIP	J28A Hermetic DIP	J28A Hermetic DIP

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการ
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor Corporation

DAC0800/DAC0801/DAC0802 8-Bit Digital-to-Analog Converters

General Description

The DAC0800 series are monolithic 8-bit high-speed current-output digital-to-analog converters (DAC) featuring typical settling times of 100 ns. When used as a multiplying DAC, monotonic performance over a 40 to 1 reference current range is possible. The DAC0800 series also features high compliance complementary current outputs to allow differential output voltages of 20 Vp-p with simple resistor loads as shown in *Figure 1*. The reference-to-full-scale current matching of better than ±1 LSB eliminates the need for full-scale trims in most applications while the nonlinearities of better than ±0.1% over temperature minimizes system error accumulations.

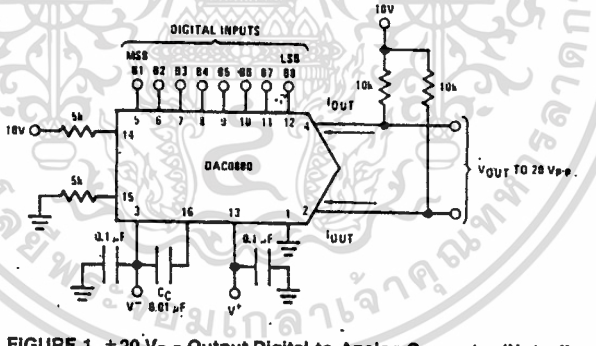
The noise immune inputs of the DAC0800 series will accept TTL levels with the logic threshold pin, V_{LC}, grounded. Changing the V_{LC} potential will allow direct interface to other logic families. The performance and characteristics of the device are essentially unchanged over the full ±4.5V to ±18V power supply range; power dissipation is only 33 mW with ±5V supplies and is independent of the logic input states.

The DAC0800, DAC0802, DAC0800C, DAC0801C and DAC0802C are a direct replacement for the DAC-08, DAC-08A, DAC-08C, DAC-08E and DAC-08H, respectively.

Features

- Fast settling output current — 100 ns
- Full scale error — ±1 LSB
- Nonlinearity over temperature — ±0.1%
- Full scale current drift — ±10 ppm/°C
- High output compliance — −10V to +18V
- Complementary current outputs
- Interface directly with TTL, CMOS, PMOS and others
- 2 quadrant wide range multiplying capability
- Wide power supply range — ±4.5V to ±18V
- Low power consumption — 33 mW at ±5V
- Low cost

Typical Applications



TL/H/5686–1

FIGURE 1. ±20 V_{p-p} Output Digital-to-Analog Converter (Note 4)

Ordering Information

Non-Linearity	Temperature Range	Order Numbers				
		J Package (J16A)*		N Package (N16A)*		SO Package (M16A)
±0.1% FS	−55°C ≤ T_A ≤ +125°C	DAC0802LJ	DAC-08AQ			
±0.1% FS	0°C ≤ T_A ≤ +70°C	DAC0802LCJ	DAC-08HQ	DAC0802LCN	DAC-08HP	DAC0802LCM
±0.19% FS	−55°C ≤ T_A ≤ +125°C	DAC0800LJ	DAC-08Q			
±0.19% FS	0°C ≤ T_A ≤ +70°C	DAC0800LCJ	DAC-08EQ	DAC0800LCN	DAC-08EP	DAC0800LCM
±0.39% FS	0°C ≤ T_A ≤ +70°C	DAC0801LCJ	DAC-08CQ	DAC0801LCN	DAC-08CP	DAC0801LCM

*Devices may be ordered by using either order number.

Absolute Maximum Ratings (Note 1)

If Military/Aerospace specified devices are required, contact the National Semiconductor Sales Office/ Distributors for availability and specifications.

Supply Voltage ($V^+ - V^-$)	±18V or 36V
Power Dissipation (Note 2)	500 mW
Reference Input Differential Voltage (V14 to V15)	V^- to V^+
Reference Input Common-Mode Range (V14, V15)	V^- to V^+
Reference Input Current	5 mA
Logic Inputs	V^- to V^- plus 36V
Analog Current Outputs ($V_S^- = -15V$)	4.25 mA
ESD Susceptibility (Note 3)	TBD V
Storage Temperature	−65°C to +150°C
Lead Temp. (Soldering, 10 seconds)	
Dual-In-Line Package (plastic)	260°C
Dual-In-Line Package (ceramic)	300°C
Surface Mount Package	
Vapor Phase (60 seconds)	215°C
Infrared (15 seconds)	220°C

Operating Conditions (Note 1)

	Min	Max	Units
Temperature (T_A)			
DAC0802L	−55	+125	°C
DAC0800L	−55	+125	°C
DAC0800LC	0	+70	°C
DAC0801LC	0	+70	°C
DAC0802LC	0	+70	°C

Electrical Characteristics

The following specifications apply for $V_S = \pm 15V$, $I_{REF} = 2$ mA and $T_{MIN} \le T_A \le T_{MAX}$ unless otherwise specified. Output characteristics refer to both I_{OUT} and $\overline{I_{OUT}}$.

Symbol	Parameter	Conditions	DAC0802L/ DAC0802LC			DAC0800L/ DAC0800LC			DAC0801LC			Units
			Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
	Resolution		8	8	8	8	8	8	8	8	8	Bits
	Monotonicity		8	8	8	8	8	8	8	8	8	Bits
	Nonlinearity				±0.1			±0.19			±0.39	%FS
t_s	Settling Time	To ±½ LSB, All Bits Switched "ON" or "OFF", $T_A = 25°C$		100	135					100	150	ns
		DAC0800L					100	135				ns
		DAC0800LC					100	150				ns
t_{PLH}, t_{PHL}	Propagation Delay	$T_A = 25°C$										
	Each Bit			35	60		35	60		35	60	ns
	All Bits Switched			35	60		35	60		35	60	ns
TC_{FS}	Full Scale Tempco			±10	±50		±10	±50		±10	±80	ppm/°C
V_{OC}	Output Voltage Compliance	Full Scale Current Change < ½ LSB, $R_{OUT} > 20$ MΩ Typ	−10		18	−10		18	−10		18	V
I_{FS4}	Full Scale Current	$V_{REF} = 10.000V$, R14 = 5.000 kΩ R15 = 5.000 kΩ, $T_A = 25°C$	1.984	1.992	2.000	1.94	1.99	2.04	1.94	1.99	2.04	mA
I_{FSS}	Full Scale Symmetry	$I_{FS4} - I_{FS2}$		±0.5	±4.0		±1	±8.0		±2	±16	μA
I_{ZS}	Zero Scale Current			0.1	1.0		0.2	2.0		0.2	4.0	μA
I_{FSR}	Output Current Range	$V^- = -5V$	0	2.0	2.1	0	2.0	2.1	0	2.0	2.1	mA
		$V^- = -8V$ to $-18V$	0	2.0	4.2	0	2.0	4.2	0	2.0	4.2	mA
	Logic Input Levels											
V_{IL}	Logic "0"	$V_{LC} = 0V$			0.8			0.8			0.8	V
V_{IH}	Logic "1"		2.0			2.0			2.0			V
	Logic Input Current	$V_{LC} = 0V$										
I_{IL}	Logic "0"	$-10V \le V_{IN} \le +0.8V$		−2.0	−10		−2.0	−10		−2.0	−10	μA
I_{IH}	Logic "1"	$2V \le V_{IN} \le +18V$		0.002	10		0.002	10		0.002	10	μA
V_{LS}	Logic Input Swing	$V^- = -15V$	−10		18	−10		18	−10		18	V
V_{THR}	Logic Threshold Range	$V_S = \pm 15V$	−10		13.5	−10		13.5	−10		13.5	V
I_{15}	Reference Bias Current			−1.0	−3.0		−1.0	−3.0		−1.0	−3.0	μA
dI/dt	Reference Input Slew Rate	*(Figure 12)*	4.0	8.0		4.0	8.0		4.0	8.0		mA/μs
$PSSI_{FS+}$	Power Supply Sensitivity	4.5V ≤ V+ ≤ 18V		0.0001	0.01		0.0001	0.01		0.0001	0.01	%/%
$PSSI_{FS-}$		−4.5V ≤ V− ≤ 18V, $I_{REF} = 1$mA		0.0001	0.01		0.0001	0.01		0.0001	0.01	%/%
	Power Supply Current	$V_S = \pm 5V$, $I_{REF} = 1$ mA										
I_+				2.3	3.8		2.3	3.8		2.3	3.8	mA
I_-				−4.3	−5.8		−4.3	−5.8		−4.3	−5.8	mA
		$V_S = 5V, -15V$, $I_{REF} = 2$ mA										
I_+				2.4	3.8		2.4	3.8		2.4	3.8	mA
I_-				−6.4	−7.8		−6.4	−7.8		−6.4	−7.8	mA
		$V_S = \pm 15V$, $I_{REF} = 2$ mA										
I_+				2.5	3.8		2.5	3.8		2.5	3.8	mA
I_-				−6.5	−7.8		−6.5	−7.8		−6.5	−7.8	mA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

Electrical Characteristics (Continued)

The following specifications apply for $V_S = \pm 15V$, $I_{REF} = 2$ mA and $T_{MIN} \leq T_A \leq T_{MAX}$ unless otherwise specified. Output characteristics refer to both I_{OUT} and $\overline{I_{OUT}}$.

Symbol	Parameter	Conditions	DAC0802L/ DAC0802LC			DAC0800L/ DAC0800LC			DAC0801LC			Units
			Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
P_D	Power Dissipation	$\pm 5V$, $I_{REF} = 1$ mA		33	48		33	48		33	48	mW
		$5V, -15V$, $I_{REF} = 2$ mA		108	136		108	136		108	136	mW
		$\pm 15V$, $I_{REF} = 2$ mA		135	174		135	174		135	174	mW

Note 1: Absolute Maximum Ratings indicate limits beyond which damage to the device may occur. DC and AC electrical specifications do not apply when operating the device beyond its specified operating conditions.

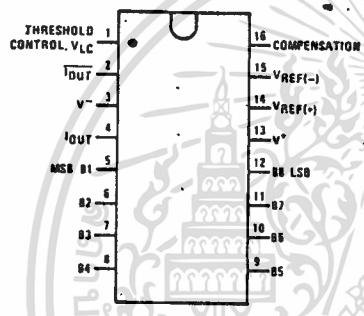
Note 2: The maximum junction temperature of the DAC0800, DAC0801 and DAC0802 is 125°C. For operating at elevated temperatures, devices in the Dual-In-Line J package must be derated based on a thermal resistance of 100°C/W, junction-to-ambient, 175°C/W for the molded Dual-In-Line N package and 100°C/W for the Small Outline M package.

Note 3: Human body model, 100 pF discharged through a 1.5 kΩ resistor.

Note 4: Pin-out numbers for the DAC080X represent the Dual-In-Line package. The Small Outline package pin-out differs from the Dual-In-Line package.

Connection Diagrams

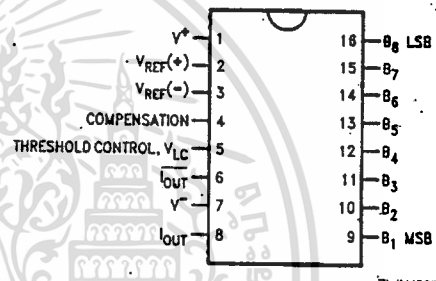
Dual-In-Line Package



Top View

TL/H/5686–13

Small Outline Package

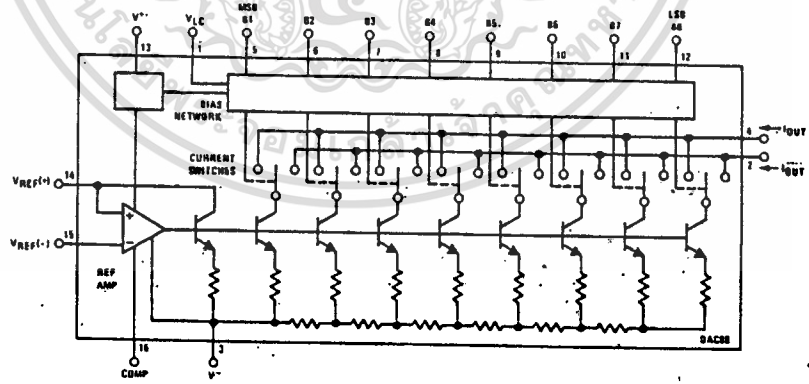


Top View

TL/H/5686–14

See Ordering Information

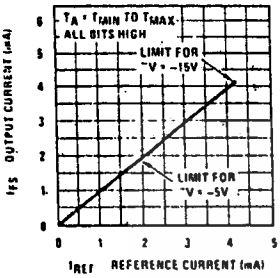
Block Diagram (Note 4)



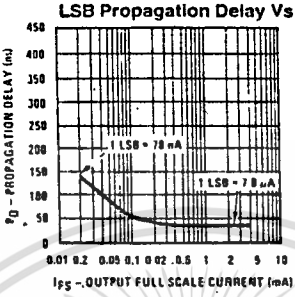
TL/H/5686–4

Typical Performance Characteristics

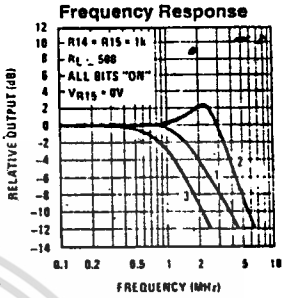
Full Scale Current vs Reference Current



LSB Propagation Delay Vs I_{FS}

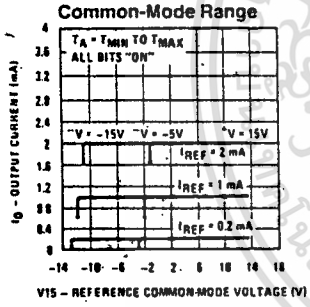


Reference Input Frequency Response



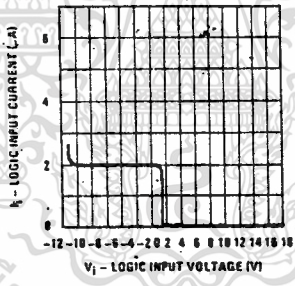
Curve 1: C_C = 15 pF, V_{IN} = 2 Vp-p centered at 1V.
Curve 2: C_C = 15 pF, V_{IN} = 50 mVp-p centered at 200 mV.
Curve 3: C_C 0 pF, V_{IN} 100 mVp-p at 0V and applied through 50 Ω connected to pin 14.2V applied to R14.

Reference Amp Common-Mode Range

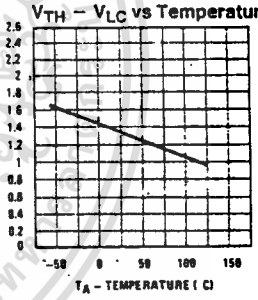


Note. Positive common-mode range is always (V+) − 1.5V

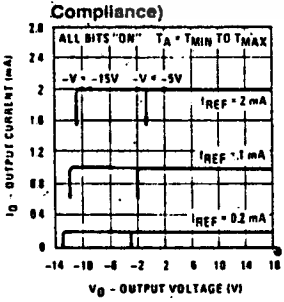
Logic Input Current vs Input Voltage



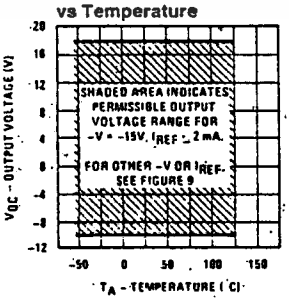
$V_{TH} - V_{LC}$ vs Temperature



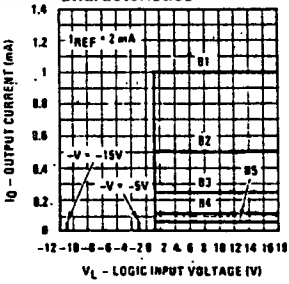
Output Current vs Output Voltage (Output Voltage Compliance)



Output Voltage Compliance vs Temperature



Bit Transfer Characteristics



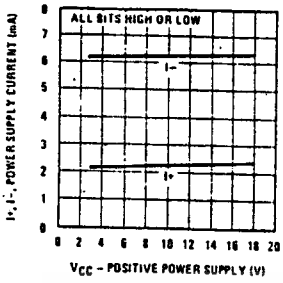
TL/H/5686–3

Note. B1–B8 have identical transfer characteristics. Bits are fully switched with less than ½ LSB error, at less than ± 100 mV from actual threshold. These switching points are guaranteed to lie between 0.8 and 2V over the operating temperature range (V_{LC} = 0V).

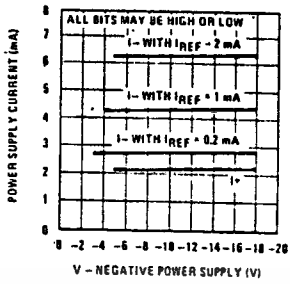
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

Typical Performance Characteristics (Continued)

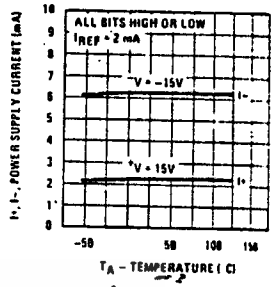
Power Supply Current vs +V



Power Supply Current vs −V

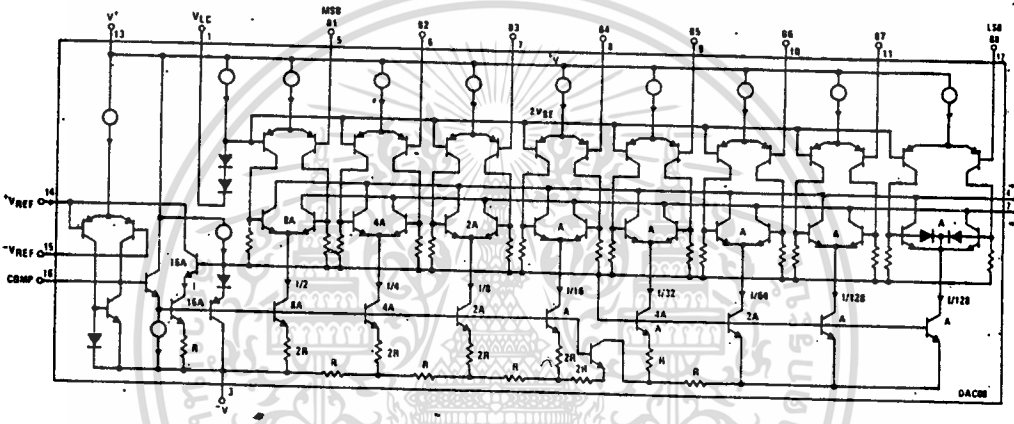


Power Supply Current vs Temperature



TL/H/5686-4

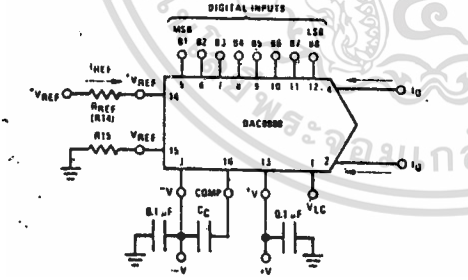
Equivalent Circuit



TL/H/5686-15

FIGURE 2

Typical Applications (Continued)



$$I_{FS} \approx \frac{+V_{REF}}{R_{REF}} \times \frac{255}{256}$$

$I_O + \overline{I_O} = I_{FS}$ for all logic states

For fixed reference, TTL operation, typical values are:

$V_{REF} = 10.000V$

$R_{REF} = 5.000k$

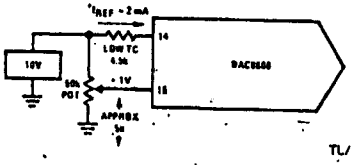
$R15 \approx R_{REF}$

$C_C = 0.01\ \mu F$

$V_{LC} = 0V$ (Ground)

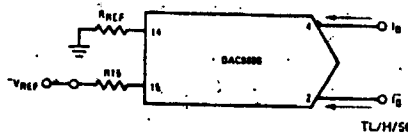
TL/H/5686-5

FIGURE 3. Basic Positive Reference Operation (Note 4)



TL/H/5686-21

FIGURE 4. Recommended Full Scale Adjustment Circuit (Note 4)



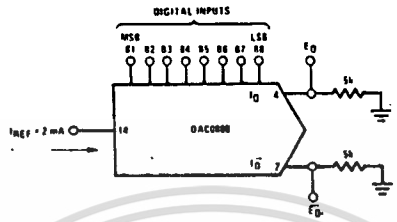
TL/H/5686-16

$$I_{FS} \approx \frac{-V_{REF}}{R_{REF}} \times \frac{255}{256}$$

Note. R_{REF} sets I_{FS}; R15 is for bias current cancellation

FIGURE 5. Basic Negative Reference Operation (Note 4)

Typical Applications (Continued)



TL/H/5686–17

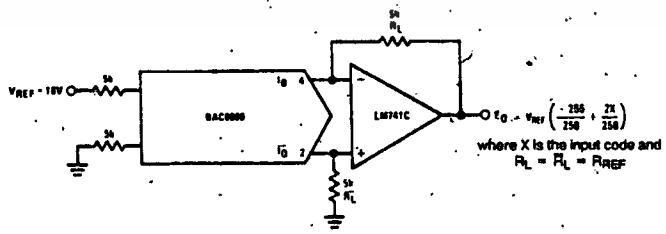
	B1	B2	B3	B4	B5	B6	B7	B8	I_O mA	$\overline{I_O}$ mA	E_O	$\overline{E_O}$
Full Scale	1	1	1	1	1	1	1	1	1.992	0.000	−9.960	0.000
Full Scale − LSB	1	1	1	1	1	1	1	0	1.984	0.008	−9.920	−0.040
Half Scale + LSB	1	0	0	0	0	0	0	1	1.008	0.984	−5.040	−4.920
Half Scale	1	0	0	0	0	0	0	0	1.000	0.992	−5.000	−4.960
Half Scale − LSB	0	1	1	1	1	1	1	1	0.992	1.000	−4.960	−5.000
Zero Scale + LSB	0	0	0	0	0	0	0	1	0.008	1.984	−0.040	−9.920
Zero Scale	0	0	0	0	0	0	0	0	0.000	1.992	0.000	−9.960

FIGURE 6. Basic Unipolar Negative Operation (Note 4)

TL/H/5686–6

	B1	B2	B3	B4	B5	B6	B7	B8	E_O	$\overline{E_O}$
Pos. Full Scale	1	1	1	1	1	1	1	1	−9.920	+10.000
Pos. Full Scale − LSB	1	1	1	1	1	1	1	0	−9.840	+9.920
Zero Scale + LSB	1	0	0	0	0	0	0	1	−0.080	+0.160
Zero Scale	1	0	0	0	0	0	0	0	0.000	+0.080
Zero Scale − LSB	0	1	1	1	1	1	1	1	+0.080	0.000
Neg. Full Scale + LSB	0	0	0	0	0	0	0	1	+9.920	−9.840
Neg. Full Scale	0	0	0	0	0	0	0	0	+10.000	−9.920

FIGURE 7. Basic Bipolar Output Operation (Note 4)



TL/H/5686–18

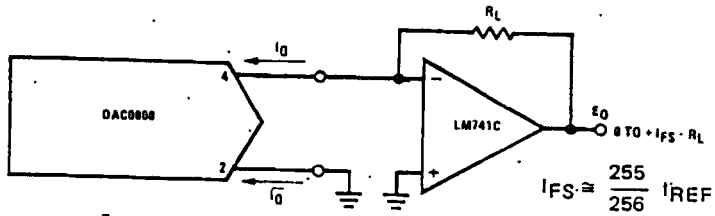
*If $R_L = \overline{R_L}$ within ±0.05%, output is symmetrical about ground

	B1	B2	B3	B4	B5	B6	B7	B8	E_O
Pos. Full Scale	1	1	1	1	1	1	1	1	+9.960
Pos. Full Scale − LSB	1	1	1	1	1	1	1	0	+9.880
(+)Zero Scale	1	0	0	0	0	0	0	0	+0.040
(−)Zero Scale	0	1	1	1	1	1	1	1	−0.040
Neg. Full Scale + LSB	0	0	0	0	0	0	0	1	−9.880
Neg. Full Scale	0	0	0	0	0	0	0	0	−9.960

FIGURE 8. Symmetrical Offset Binary Operation (Note 4)

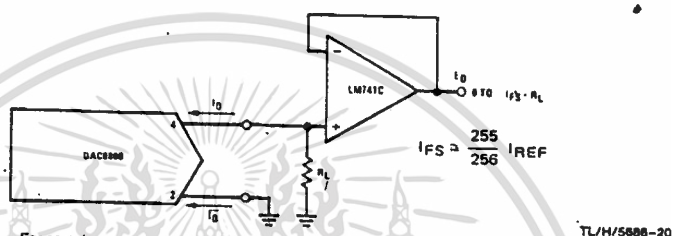
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

Typical Applications (Continued)



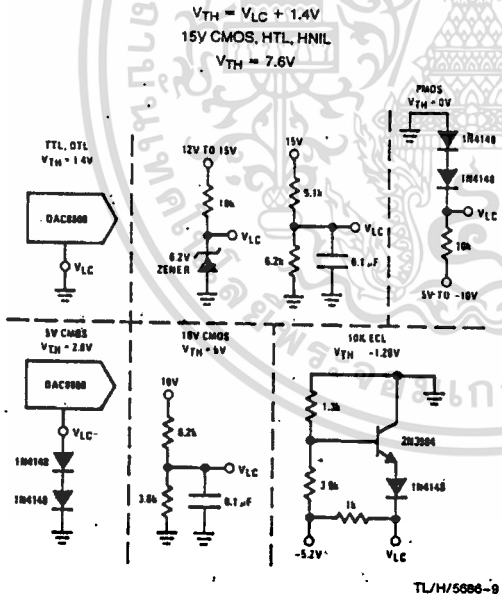
For complementary output (operation as negative logic DAC), connect inverting input of op amp to $\overline{I_O}$ (pin 2), connect I_O (pin 4) to ground.

FIGURE 9. Positive Low Impedance Output Operation (Note 4)



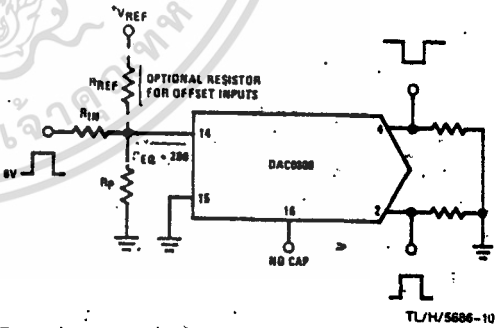
For complementary output (operation as a negative logic DAC) connect non-inverting input of op am to $\overline{I_O}$ (pin 2); connect I_O (pin 4) to ground.

FIGURE 10. Negative Low Impedance Output Operation (Note 4)



Note: Do not exceed negative logic input range of DAC.

FIGURE 11. Interfacing with Various Logic Families



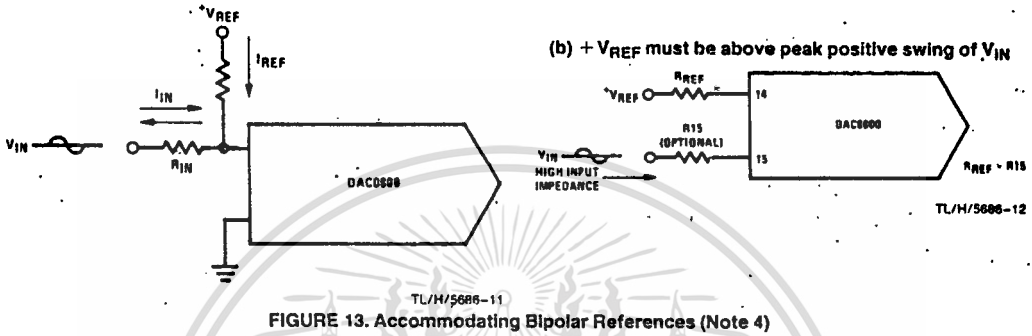
Typical values: $R_{IN} = 5k, +V_{IN} = 10V$

FIGURE 12. Pulsed Reference Operation (Note 4)

Typical Applications (Continued)

(a) $I_{REF} \geq$ peak negative swing of I_{IN}

(b) $+V_{REF}$ must be above peak positive swing of V_{IN}



TL/H/5686–11

FIGURE 13. Accommodating Bipolar References (Note 4)

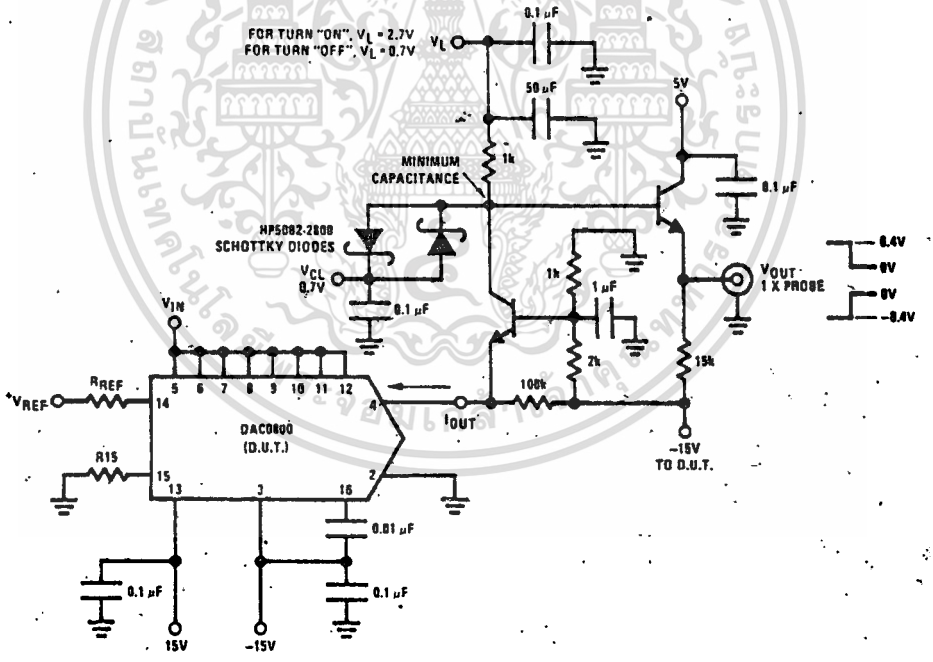
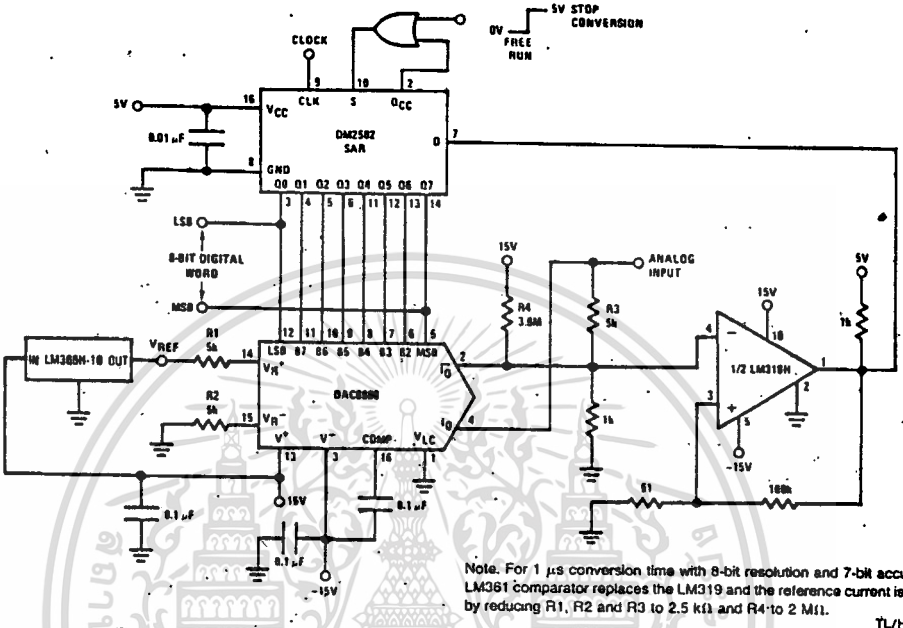


FIGURE 14. Settling Time Measurement (Note 4)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Applications (Continued)



Note. For 1 μs conversion time with 8-bit resolution and 7-bit accuracy, an LM361 comparator replaces the LM319 and the reference current is doubled by reducing R1, R2 and R3 to 2.5 kΩ and R4 to 2 MΩ.

TL/H/5686–6

FIGURE 15. A Complete 2 μs Conversion Time, 8-Bit A/D Converter (Note 4)