ปีการศึกษา 2532

ปริญญานิพนธ์ เรื่อง

PULSE CODE MODULATION

โดย

จตุรักษ์ วงศ์จตุรักษ์

อาจารย์ที่ปรึกษา

อ.ประดิษฐ์ วัชรพิบูลย์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

026903

ปริญญานิพนธ์ปีการศึกษา 2532

ภาควิชา เทคนิคอุตสาหกรรม

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง PULSE CODE MODULATION

ผู้จัดทำ

1. จตุรักษ์ วงศ์จตุรักษ์

.....อาจารย์ที่ปรึกษา

(อ.ประดิษฐ์ วัชรพิบูลย์)

.....กรรมการ

(ผศ.วิชัย สุรพัฒน์)

.....กรรมการ

(อ.อุทัย ศรีธีระวิโรจน์)

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

026903

ชุดทดลอง PULSE CODE MODULATION

จตุรักษ์ วงศ์จตุรักษ์

สถาบันเทคโนโลยีพระจอมเกล้า ลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทคัดย่อ

PCM. (PULSE CODE MODULATION) เป็นหนึ่งในหลายๆเทคนิคของการส่งสัญญาณต่อเนื่อง(ANALOG) ในรูปของสัญญาณไม่ต่อเนื่อง(DIGITAL) แนวคิดนี้เริ่มต้นมาตั้งแต่ พ.ศ.2480 โดยชาวอเมริกันชื่อ นาย A.H.REEVES ซึ่งสามารถแก้ปัญหาสัญญาณรบกวน(NOISE) และความผิดเพี้ยน(DISTORTION) ที่ยังไม่มีผู้ใดสามารถเอาชนะได้ในระบบ(ANALOG) อย่างไรก็ดี ระบบPCM.ยังไม่ได้รับการยอมรับกันในสมัยนั้น เนื่องจากยังไม่มีการพัฒนาอุปกรณ์พัลส์ความเร็วสูง ในเวลาต่อมาเมื่อมีการประดิษฐ์ทรานซิสเตอร์ในปี พ.ศ.2488 จึงมีผู้คิดค้นวิธีการทางเทคนิคพัลส์ความเร็วสูงขึ้น ทำให้การพัฒนาระบบ PCM.มีความเร็วสูงขึ้น

ในปัจจุบันเทคนิคการส่งสัญญาณ PCM.ได้ถูนำมาใช้ในระบบสื่อสารอย่างแพร่หลาย เนื่องจากเทคโนโลยี LSI และ VLSI ที่ทำให้ราคาของระบบดิจิตอลถูกลงกว่าระบบอนาลอก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

		หน้า
บทที่ 1	บทนำ	1
บทที่ 2	ทฤษฎีและหลักการของ PCM.	2
	- หลักการของ PCM.	2
	- DIGITAL TO ANALOG CONVERTER	22
	- ANALOG TO DIGITAL CONVERTER	25
บทที่ 3	รายละเอียดของชุดทดลอง	31
บทที่ 4	การออกแบบวงจรและการทดลอง	36
	- LOWPASS FILTER	37
	- REFERENCE VOLTAGE	39
	- CLAMPER	42
	- SAMPLING	43
	- VARIABLE CLOCK OSCILLATOR	45
	- QUANTIZER & ENCODER	47
	- COMPARATOR	53
	- CONTROL LOGIC & SAMPLING SIGNAL	55
บทที่ 5	การประกอบวงจรและการวัดผล	57
บทที่ 6	การใช้งานชุดทดลอง	65
บทที่ 7	สรุปผล	73
	ภาคผนวก	74

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

บทบาทของการสื่อสารระบบดิจิตอล(DIGITAL) มีแนวโน้มที่จะถูกนำมาแทนระบบอนาลอก(ANALOG)เดิมทั้งหมดในระยะเวลาอันใกล้นี้ และเทคนิคการส่งข้อมูลระบบดิจิตอลแบบ PCM. (PULSE CODE MODULATION) ก็เป็นวิธีหนึ่งที่นำมาใช้กันมากในปัจจุบัน เช่นในการสื่อสารดาวเทียม(SATELLITE COMMUNICATION) และในชุมสายโทรศัพท์ระบบดิจิตอล(DIGITAL EXCHANGE)

สำหรับนักศึกษาโทรคมนาคม การศึกษาระบบ PCM.(PULSE CODE MODULATION) เป็นหัวข้อหนึ่งในวิชา DIGITAL COMMUNICATIONS ที่ได้ศึกษากันแต่กลับถูกนำมาพูดถึงอยู่บ่อยๆ ในวิชาอื่นเช่น วิชา SATELLITE COMMUNICATION, MICROWAVEและวิชาTELEPHONENETWORK ผู้จัดทำเล็งเห็นว่า การศึกษาเรื่อง PCM.นี้ในทางปฏิบัติ น่าจะเป็นประโยชน์มากกว่าที่จะเรียนรู้แต่ทฤษฎีเพียงอย่างเดียว ดังนั้นชุดทดลองนี้จึงถูกจัดทำขึ้น เพื่อจุดประสงค์หลักดังกล่าว และผลพลอยได้ที่เพิ่มเติมมาก็คือชุดวงจร ANALOG TO DIGITAL CONVERTER ในภาค QUANTIZER AND ENCODER ที่เป็นแบบ SUCCESSIVE APPROXIMATION นั้น ผู้จัดทำพยายามอย่างยิ่งที่จะออกแบบให้การทำงานของวงจร ตรงตามทฤษฎีมากที่สุด และผลของสัญญาณ OUTPUT เป็นจริง เพื่อเป็นพื้นฐานในการไปประยุกต์ใช้งาน IC ANALOG TO DIGITAL ประเภทนี้ ที่นิยมใช้กันมาก เพราะมีความเร็วในการทำงานค่อนข้างสูง แต่ราคาไม่แพง

ที่สำคัญอีกอย่างหนึ่งก็คือผู้จัดทำพยายามออกแบบวงจรให้ใช้อุปกรณ์ธรรมดาที่หาซื้อได้ทั่วๆไปและราคาไม่แพง เพื่อให้ชุดทดลองนี้สร้างได้ง่ายและมีราคาถูกเมื่อเทียบกับประสิทธิภาพการทำงานของวงจร

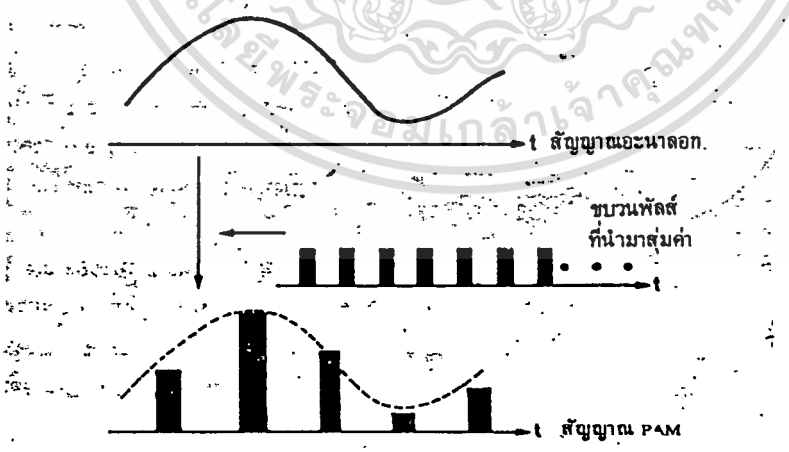
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2

ทฤษฎีและหลักการของ PCM.

จากรูปที่ 1 แสดงให้เห็นถึงขั้นตอนในการแปลงสัญญาณเสียงอนาลอกไปเป็นสัญญาณดิจิตอล PCM. และการแปลงกลับกัน สัญญาณอนาลอกจะถูกทำการสุ่มค่า (SAMPLING) แปลงเป็นตัวเลข (QUANTIZING) และเข้ารหัส (CODING) ซึ่งทั้งสามขั้นตอนรวมกันเรียกว่า การเปลี่ยนสัญญาณอนาลอกไปเป็นสัญญาณดิจิตอล (A/D CONVERSION)

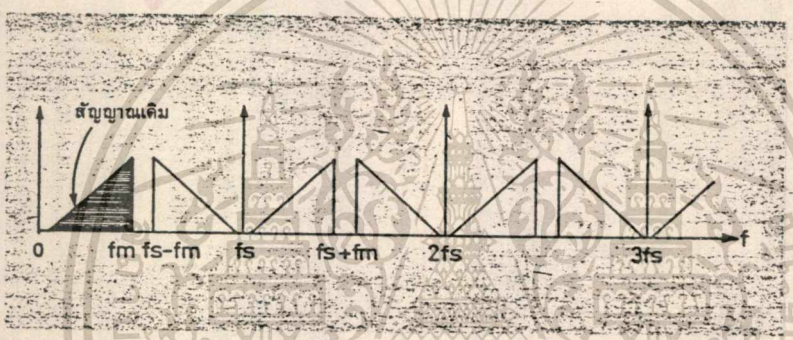
ปกติแล้วแอมปลิจูดของสัญญาณเสียงอนาลอกจะต่อเนื่องกันตลอดเวลาตามแกนของเวลา การสุ่มค่าก็คือขบวนการนำค่าแอมปลิจูดของสัญญาณอนาลอกบางค่าในช่วงเวลาซึ่งห่างกันคงที่มาเรียงต่อกัน วิธีนี้เปรียบเสมือนกับการมอดดูเลตทางแอมปลิจูดโดยมีสัญญาณพาห์เป็นขบวนพัลส์ที่มีคาบเวลาคงที่ ซึ่งมามอดดูเลตกับสัญญาณเสียงอนาลอกนั่นเอง ผลที่ได้จะเป็นสัญญาณไม่ต่อเนื่องตามแกนเวลา ซึ่งเรียกว่า PAM. (PULSE AMPLITUDE MODULATION) (ดูรูปที่2)



รูปที่ 2 สัญญาณอนาลอกมอดูเลตกับสัญญาณพัลส์จะได้สัญญาณ PCM.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

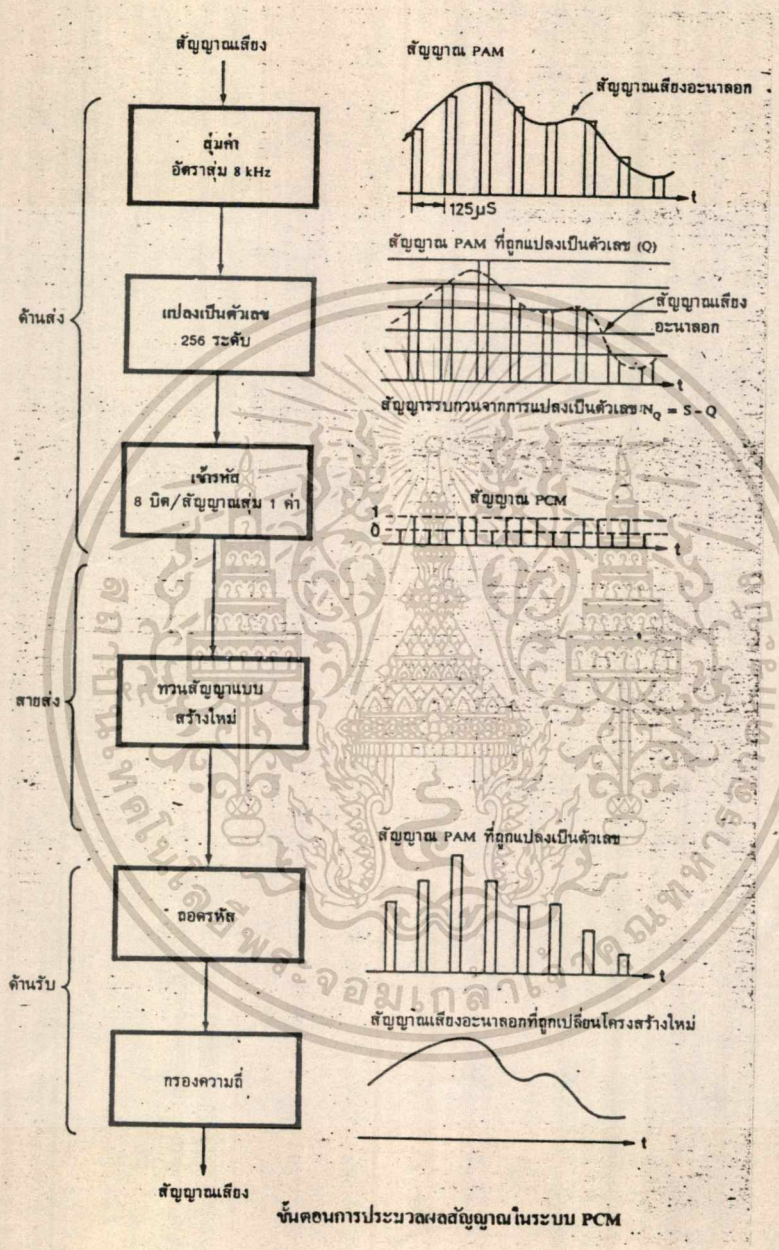
องค์ประกอบสำคัญที่ต้องคำนึงถึงในการสุ่มค่าสัญญาณก็คือ การใช้ความถี่ของพัลส์เท่าใดจึงจะเหมาะสม? สิ่งนี้ได้ผ่านการพิสูจน์ทางคณิตศาสตร์และตั้งเป็นทฤษฎีเรียกว่า ทฤษฎีการสุ่มค่า(SAMPLING THEOREM) ซึ่งกล่าวว่า สัญญาณที่มีแอมปลิจูดเป็นฟังก์ชั่นของเวลา ถูกทำการสุ่มค่าทุกๆช่วงเวลาห่างที่คงที่ เมื่อทำการสุ่มค่าด้วยความถี่อย่างต่ำเป็น 2เท่าของความถี่สูงสุดของสัญญาณนั้นแล้ว ก็จะสามารถเก็บข่าวสารหรือเนื้อหาของสัญญาณต้นแบบไว้ได้ทั้งหมด



รูปที่ 3 แถบความถี่ของสัญญาณ PAM. ซึ่งผ่านการสุ่มค่าแล้ว

ในรูปที่ 3 แสดงให้เห็นแถบความถี่(FREQUENCY SPECTRUM) ของสัญญาณ PAM. ซึ่งได้ผ่านขั้นตอนการสุ่มค่าแล้วโดยมีความถี่สูงสุดของสัญญาณอนาลอก (fm) และความถี่ของการสุ่มค่า(fs, เมื่อนำขบวนสัญญาณพัลส์มาวิเคราะห์ทางคณิตศาสตร์ด้วยอนุกรมฟูเรียร์(FOURIOR SERIES) พบว่าประกอบด้วยฮาโมนิคส์ของสัญญาณซายน์ (SINE) ที่มีความถี่เป็นทวีคูณของความถี่ขบวนพัลส์รวมกันอยู่(0, f_s, $2f_s$, $3f_s$,...)

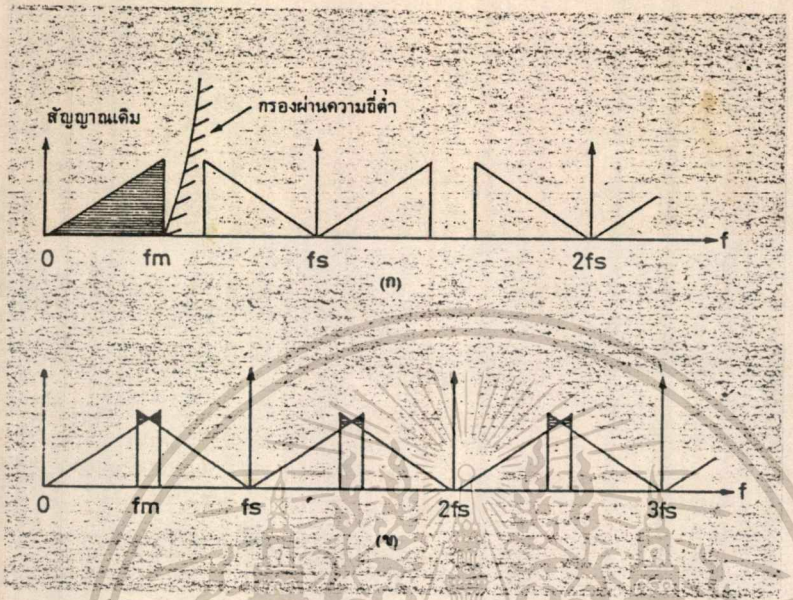
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ขั้นตอนการประมวลผลสัญญาณในระบบ PCM

รูปที่ 1 การแปลงสัญญาณอนาลอกไปเป็นสัญญาณดิจิตอล(A/D CONVERSION) และการแปลงสัญญาณดิจิตอลไปเป็นอนาลอก(D/A CONVERSION)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

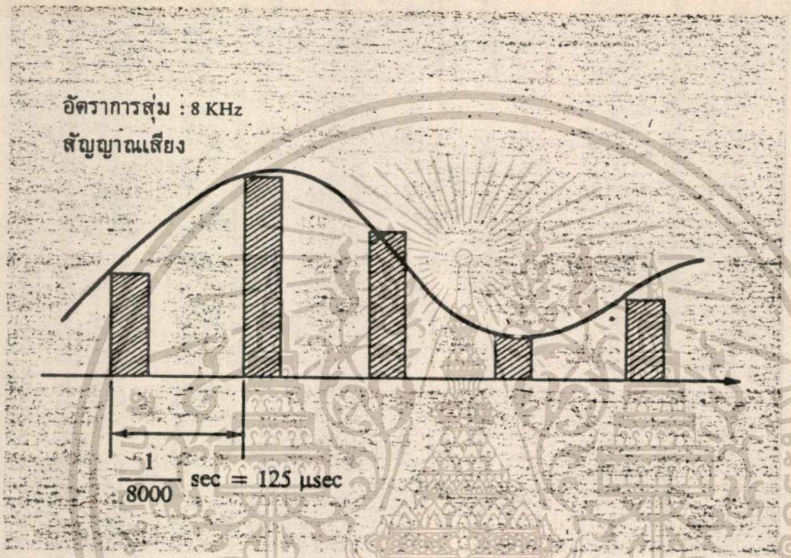


รูปที่ 4 ผลของความถี่สัญญาณสุ่มค่าและสัญญาณอนาลอกต่อสัญญาณ PAM.

จากรูป 4ก. จะเห็นว่าถ้าความถี่ fs มีค่ามากกว่า 2เท่าของความถี่ fm ความถี่แถบข้าง(SIDE BAND) จะไม่ซ้อนทับกัน ซึ่งกรณีนี้สามารถนำสัญญาณอนาลอกกลับคืนมาได้โดยผ่านวงจรกรองผ่านความถี่ต่ำ(LOW PASS FILTER) ในทางตรงข้าม (ดูรูปที่ 4ข. ประกอบ) ถ้าความถี่ fs มีค่าน้อยกว่า 2เท่า ของความถี่ fm ความถี่แถบข้าง(SIDE BAND) จะซ้อนทับกัน ซึ่งไม่มีวิธีการใดๆที่จะนำสัญญาณอนาลอกกลับคืนมาได้

CCITT (INTERNATIONAL TELEPHONE & TELEGRAPH CONSULATIVE COMITTEE) แนะนำให้ใช้ความถี่ของการสุ่มค่า 8 กิโลเฮิรตซ์ สำหรับสัญญาณเสียงซึ่งโดยปกติแล้วแถบความถี่สัญญาณเสียงที่ใช้ในระบบโทรศัพท์มีค่าระหว่าง 0.3 -3.4 กิโลเฮิรตซ์ ดังนั้นค่าความถี่ตามทฤษฎีควรจะเป็น 2 เท่าของ 3.4 กิโลเฮิรตซ์ หรือเท่ากับ 6.8 กิโลเฮิรตซ์ อย่างไรก็ดีในทางปฏิบัติจะใช้ค่าความถี่เท่ากับ 8 กิโลเฮิรตซ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



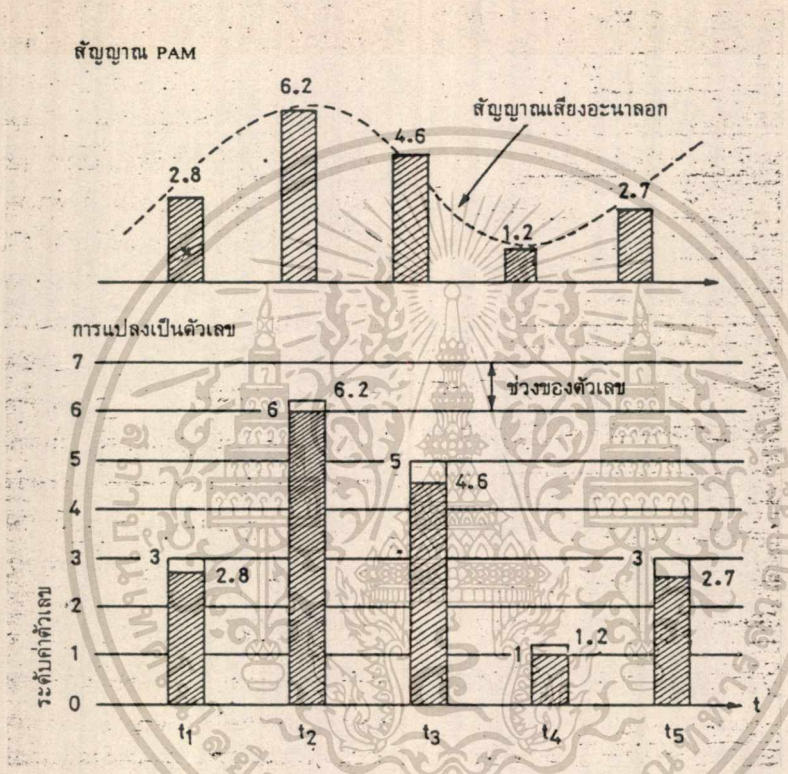
รูปที่ 5 ความถี่ของสัญญาณสุ่มค่า 8 kHz สำหรับสัญญาณเสียง

ด้วยเหตุผลทางด้านเทคนิคในการสร้างวงจรกรองสัญญาณจะได้ง่ายขึ้น ช่วงเวลาที่ใช้ในการสุ่มค่าแต่ละครั้งเท่ากับ 1/8,000 วินาที หรือ 125 ไมโครวินาที (ดูรูปที่ 5)

ในขั้นต่อมาสัญญาณ PAM. นั้นจะถูกส่งผ่านการแปลงเป็นตัวเลข โดยแบ่งขนาดของแอมปลิจูดออกเป็นช่วงๆ (ดูในรูปที่ 6) ค่าของแต่ละช่วงที่ถูกแบ่งเรียกว่าระดับค่าตัวเลข(QUANTIZING LEVEL) และระยะระหว่างช่วงที่ถูกแบ่งเรียกว่าช่วงของตัวเลข(QUANTIZING INTERVAL) ขนาดของแต่ละสัญญาณสุ่มในสัญญาณ PAM. จะถูกแทนด้วยระดับค่าตัวเลข (QUANTIZING LEVEL) ที่ใกล้เคียงกับขนาดของมัน ตัวอย่างเช่น สัญญาณที่ถูกสุ่มที่เวลา t1 มีขนาด 2.8 จะถูกแทนด้วยระดับ 3.0 หรือที่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

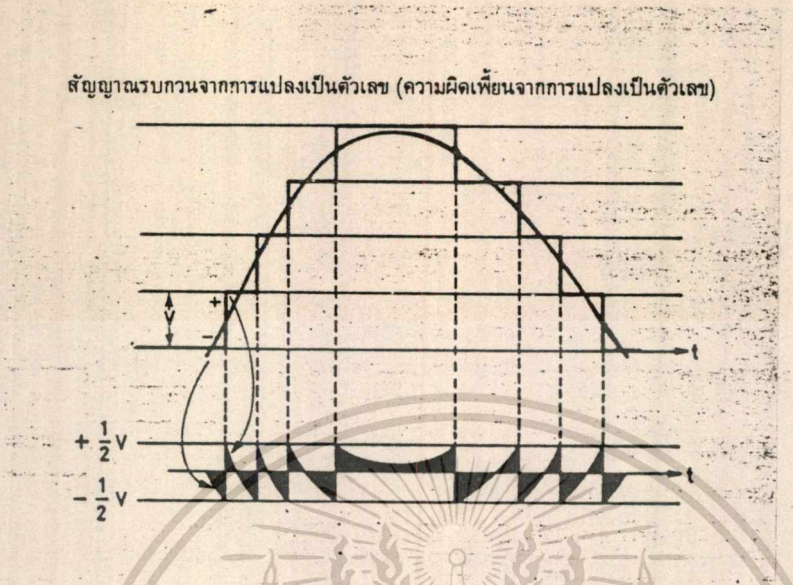
เวลา t2 สัญญาณสุ่มมีขนาด 6.2 จะถูกแทนด้วยระดับ 6.0 (ดูรูปที่ 6) ซึ่งเป็นการทำระดับของสัญญาณให้มีช่วงห่างที่แน่นอน เพื่อให้สามารถนำไปแปลงเป็นรหัสฐานสองที่สอดคล้องกับแต่ละระดับ



รูปที่ 6 การแปลงสัญญาณ PAM. ให้เป็นตัวเลข

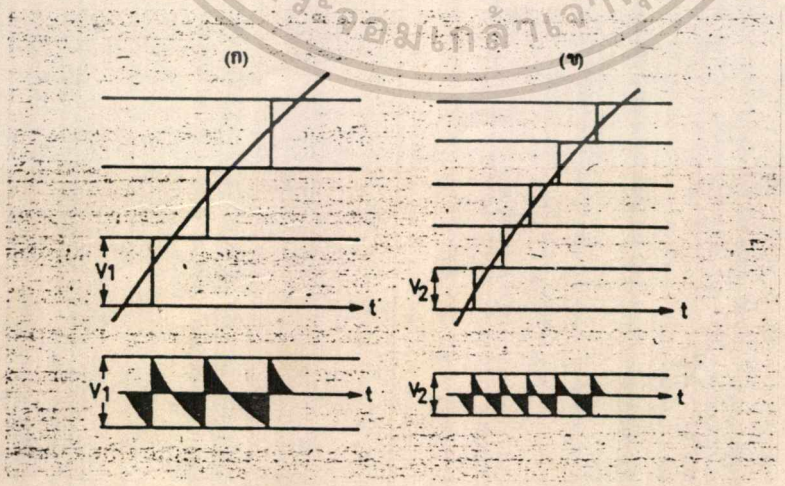
สัญญาณPAM.ที่ถูกแปลงเป็นตัวเลขแล้วจะเป็นเพียงค่าประมาณของสัญญาณอนาลอก ดังนั้น จึงทำให้เกิดมีค่าผิดพลาดระหว่างขนาดของสัญญาณทั้งสองทางขนาดของแอมปลิจูด ค่าผิดพลาดนี้ เรียกว่า สัญญาณรบกวนจากการแปลงเป็นตัวเลข (QUANTIZING NOISE) หรือการผิดเพี้ยนจากการแปลงเป็นตัวเลข (QUANTIZING DISTORTION) (ดูรูปที่ 7) ขนาดของสัญญาณรบกวนจากการแปลงเป็นตัวเลขจะกระจายสม่ำเสมอในระหว่างช่วงของตัวเลขและไม่ขึ้นกับแอมปลิจูดของสัญญาณอนาลอก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 7 สัญญาณรบกวนที่เกิดขึ้นจากการแปลงเป็นตัวเลข

นั่นคือระดับกำลังงานของสัญญาณรบกวนจากการแปลงเป็นตัวเลขนั้นค่อนข้างจะคงที่และเป็นอิสระจากระดับกำลังงานของสัญญาณอนาลอก จะเห็นได้ว่าสัญญาณรบกวนจากการแปลงเป็นตัวเลขนี้เป็นสิ่งที่ไม่สามารถหลีกเลี่ยงได้ แต่สามารถทำให้ลดลงเพื่อรักษาระดับคุณภาพของเสียง (เช่นความชัดเจน)

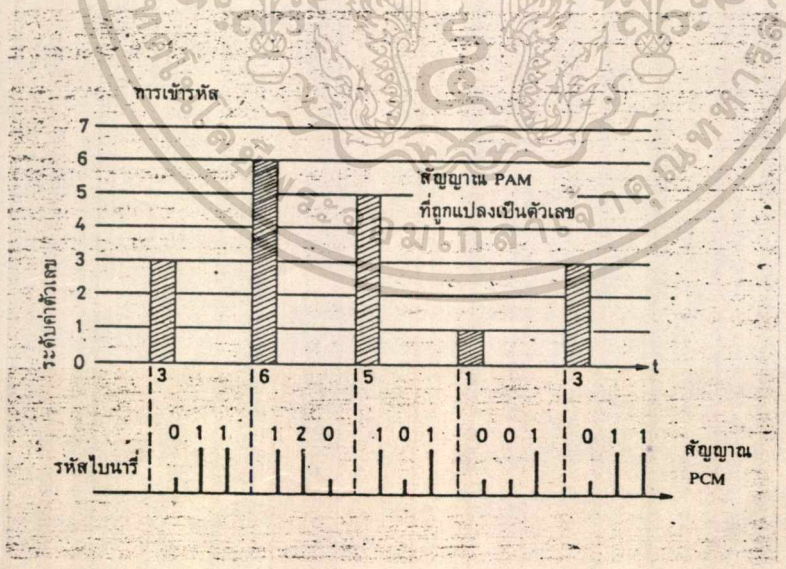


รูปที่ 8 ความสัมพันธ์ระหว่างช่วงตัวเลขกับสัญญาณรบกวนจากการแปลงเป็นตัวเลข

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ด้วยเหตุผลที่ว่าแอมปลิจูดของสัญญาณรบกวนจากการแปลงเป็นตัวเลขไม่มีทางเกินกว่าช่วงของตัวเลข ดังนั้นสัญญาณรบกวนจากการแปลงเป็นตัวเลขในรูปที่ 8ก จึงน้อยกว่าในรูปที่ 8ข หากเรากำหนดให้ช่วงของตัวเลขมีช่วงเล็กพอเพียงแล้ว สัญญาณรบกวนจาการแปลงเป็นตัวเลขก็จะสามารถลดลงสู่ระดับที่เหมาะสมได้

หลังจากการผ่านการแปลงเป็นตัวเลขแล้ว สัญญาณ PAM.ที่ได้จะนำไปเข้ารหัสโดยเปลี่ยนเป็นเลขฐานสอง จากรูปที่ 9 แต่ละค่าที่ผ่านการแปลงเป็นตัวเลขจะถูกแปลงเป็นเลขฐาน 2, 3 บิท สัญญาณที่ได้นี้เรียกว่า สัญญาณ PCM. (PULSE CODE MODULATION) ระดับค่าตัวเลขจะถูกกำหนดโดยจำนวนบิทของเลขฐานสองของแต่ละค่า เช่น ถ้าใช้ n บิทในการเข้ารหัสต่อหนึ่งค่า ก็ได้จำนวนค่าตัวเลข เท่ากับ 2^n ระดับ ซึ่งทาง CCITT แนะนำให้ใช้การเข้ารหัส 8 บิท ต่อหนึ่งค่าหรือให้มีระดับของค่าตัวเลขเท่ากับ $2^n = 256$ ระดับ



รูปที่ 9 การนำสัญญาณ PAM.มาเข้ารหัส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
026903

จากทฤษฎีสายส่งสัญญาณทำให้เราทราบว่าหากทำการส่งสัญญาณ PCM. ไปตามสายส่งจะเกิดการผิดเพี้ยนของสัญญาณได้เนื่องจากสัญญาณรบกวน, การสอดแทรก (INTERFERENCE)ระหว่าทางและการตอบสนองทางความถี่ (FREQUENCY RESPONSE) ของสายส่งซึ่งมีการลดทอนมากสำหรับสัญญาณความถี่สูง และลดทอนน้อยสำหรับความถี่ต่ำ เนื่องจากค่าของตัวเหนี่ยวนำและตัวเก็บประจุที่กระจายอยู่ในสายส่งจะประพฤติตัวเป็นวงจรกรองผ่านสัญญาณความถี่ต่ำทำให้สัญญาณ PCM. ผิดเพี้ยนรูปทรงไป แต่ปัญหานี้ได้ถูกแก้ไขโดยการสร้างสัญญาณ PCM. ขึ้นใหม่ที่ด้านรับ ตราบใดที่เครื่องรับยังสามารถตัดสินใจได้อย่างถูกต้องว่าสัญญาณผิดเพี้ยนที่ได้รับนั้น เป็นค่า บิท 0 หรือ บิท 1

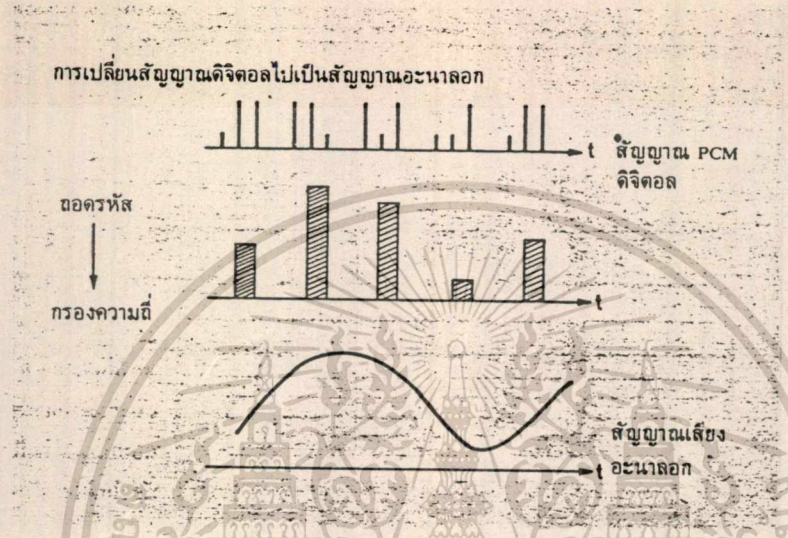
หากต้องการส่งสัญญาณ PCM. ไปในระยะทางไกลๆ โดยไม่ใช้โมเด็มก็จะต้องมีอุปกรณ์ทวนสัญญาณเรียกว่า เครื่องทวนสัญญาณแบบสร้างขึ้นใหม่ (REGENERATIVE REPEATER) ซึ่งจะสร้างสัญญาณ PCM. ที่ผิดเพี้ยนขึ้นใหม่และทำการส่งต่อไปยังเครื่องรับ

รูปที่ 10 ระบบทวนสัญญาณแบบสร้างใหม่

หรืออุปกรณ์ทวนสัญญาณอีกตัวหนึ่ง (ดังในรูปที่ 10) จะเห็นได้ว่าเราสามารถที่จะกำจัดผลของสัญญาณรบกวน, การสอดแทรก และการผิดเพี้ยนรูปทรงเนื่องจากผลตอบสนองทางความถี่ของสายส่งลงได้ ดังนั้น การส่งสัญญาณระบบดิจิตอลจะไม่มีการสะสมผลของ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณรบกวนและสัญญาณแทรกสอด ดังที่พบเห็นในการส่งสัญญาณระบบอนาลอก ซึ่งเป็นข้อที่ดีที่เห็นได้ชัดของระบบดิจิตอลที่เหนือระบบอนาลอก



รูปที่ 11 การปลงสัญญาณดิจิตอลไปเป็นอนาลอก

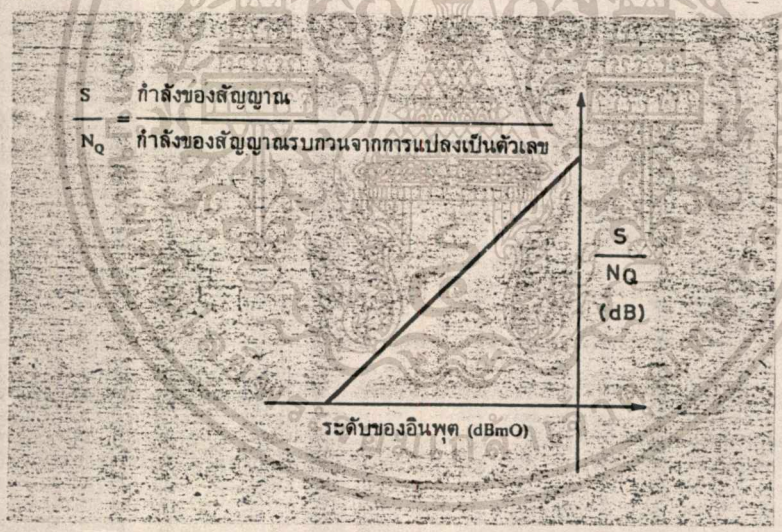
ด้านรับเมื่อเครื่องรับได้รับสัญญาณ PCM. ก็จะแปลงกลับไปเป็นสัญญาณอนาลอก (ดูในรูปที่ 11) โดยผ่านขั้นตอนการถอดรหัส และการกรองสัญญาซึ่งเรียกขั้นตอนทั้งสองรวมกันว่า การเปลี่ยนสัญญาณดิจิตอลไปเป็นสัญญาณอนาลอก (D/A CONVERSION)

การถอดรหัสนั้นก็ตรงกันข้ามกับการเข้ารหัส (ดูในรูปที่ 11) โดยเริ่มต้นจากรหัสฐานสองที่มาจากเครื่องรับสัญญาณ PCM. จะถูกนำมาคำนวณและสร้างเป็นระดับค่าตัวเลข และสัญญาณสุ่มค่าจะถูกสร้างขึ้นใหม่ ซึ่งสอดคล้องกับระดับที่คำนวณได้จากข้อมูลฐานสอง ที่ได้รับนี้ สัญญาณ PCM.ที่ถูกแปลงเป็นตัวเลขแล้วที่ด้านส่งจะถูกสร้างขึ้นใหม่ที่ด้านรับ ซึ่งสัญญาณที่ได้ก็ยังคงมีสัญญาณรบกวนจากการแปลงเป็นตัวเลขเช่นเดียวกับทางด้านส่ง สัญญาณ PCM. ที่สร้างขึ้นใหม่ที่ด้านรับก็จะถูกส่งผ่านไปยังวงจรกรองผ่านความถี่ต่ำก็จะได้สัญญาณเสียงอนาลอกต่อเนื่องตามแกนเวลา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การอัดและการขยาย(COMPANDING AND EXPANDING)

ในการสื่อสารระบบ PCM. สิ่งที่เราไม่สามารถหลีกเลี่ยงได้คือ สัญญาณรบกวนจากการแปลงเป็นตัวเลข เพื่อลดผลที่เกิดขึ้นนี้จึงแก้ปัญหาโดยใช้ขบวนการอัดและขยายสัญญาณ(ไม่ใช่การขยายสัญญาณแบบลิเนียร์เหมือนวงจรเครื่องเสียง) จากที่เคยกล่าวแล้วว่าระดับของสัญญาณรบกวนจากการแปลงเป็นตัวเลขค่อนข้างจะคงที่และไม่ขึ้นกับระดับกำลังงานของสัญญาณเสียง ดังนั้นอัตราส่วนของสัญญาณเสียงต่อสัญญาณรบกวนจากการแปลงเป็นตัวเลข (S/N_q) จะดีเมื่อระดับความแรงสัญญาณเสียงสูง และจะเลวเมื่อระดับความแรงสัญญาณเสียงต่ำ (ดูรูปที่ 12)

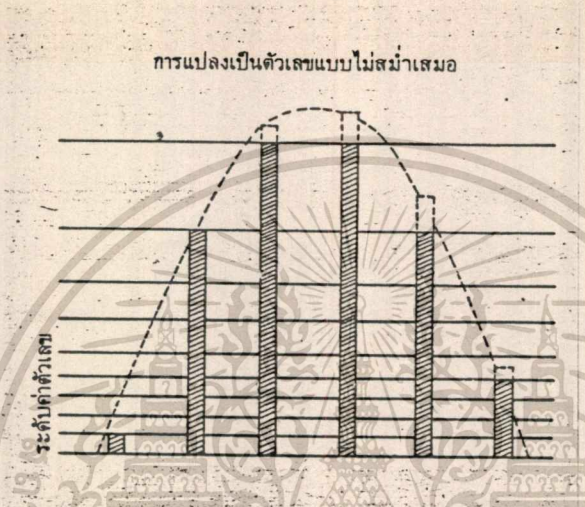


รูปที่ 12 ความสัมพันธ์ระหว่างระดับสัญญาณอินพุตและสัญญาณเสียงต่อสัญญาณรบกวนจากการแปลงเป็นตัวเลข

ในทางปฏิบัติหากต้องการให้คุณภาพเสียงดีแล้ว ค่า S/N_q ควรจะมีค่าคงที่ในทุกๆระดับความแรงของสัญญาณ และไม่ควรแก้ปัญหาด้วยการใช้จำนวนบิทมากเกินไป ด้วยจุดประสงค์นี้มีการลดขนาดช่วงของตัวเลขที่แอมปลิจูดสัญญาณต่ำๆ และขยายช่วงของตัว

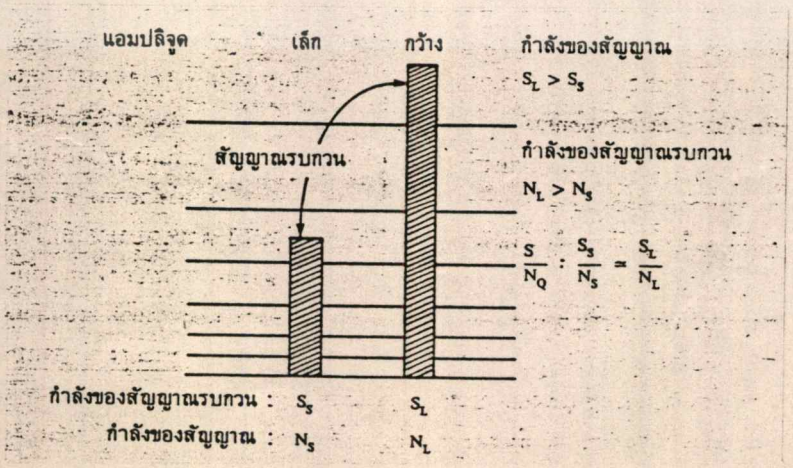
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เลขขึ้นที่แอมปลิจูดของสัญญาณสูงๆ การแปลงเป็นตัวเลขแบบนี้จึงมีช่วงของตัวเลขไม่เท่ากัน แตกต่างกันไปตามระดับแอมปลิจูดของสัญญาณซึ่งเรียกว่า การแปลงเป็นตัวเลขแบบไม่สม่ำเสมอ (NON-UNIFORM QUANTIZING) (ดูในรูปที่ 13)



รูปที่ 13 การแปลงเป็นตัวเลขแบบไม่สม่ำเสมอ

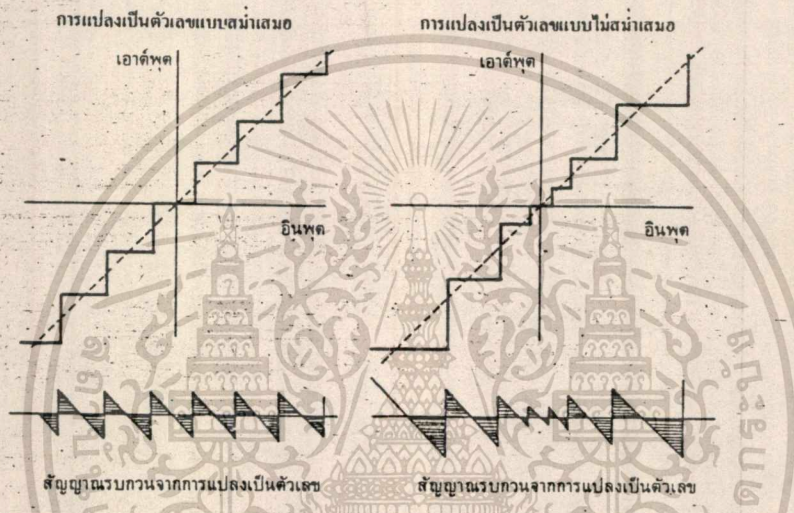
การกระจายแอมปลิจูดของสัญญาณเสียงนั้นไม่สม่ำเสมอ (มีการแกว่งขึ้นลงตลอดเวลา) แอมปลิจูดต่ำๆมีโอกาสเกิดมากกว่าแอมปลิจูดสูงๆ ดังนั้นค่า S/N_q สามารถที่จะสังเคราะห์ขึ้นได้ดีกว่าถ้าสัญญาณรบกวนจากการแปลงเป็นตัวเลขถูกทำให้ลดลงสำหรับค่าแอมปลิจูดที่มีโอกาสเกิดมากกว่าและถูกทำให้เพิ่มขึ้นสำหรับค่าแอมปลิจูดที่มีโอกาสเกิดน้อยกว่า (ดูรูป 14)



รูปที่ 14 อัตราส่วนของสัญญาณต่อสัญญาณรบกวนที่แอมปลิจูดต่างกันจะมีค่าใกล้เคียงกัน

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

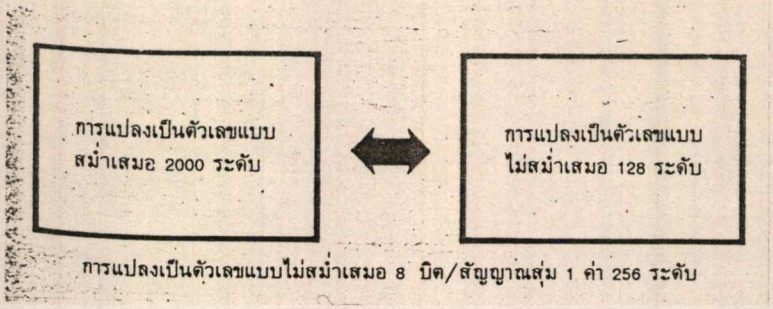
ในรูปที่ 15 เป็นการเปรียบเทียบให้เห็นสัญญาณรบกวนจากการแปลงเป็นตัวเลขที่เกิดขึ้นจากการแปลงเป็นตัวเลขแบบสม่ำเสมอและการแปลงเป็นตัวเลขแบบไม่สม่ำเสมอ จะเห็นได้ว่าการแปลงเป็นตัวเลขแบบไม่สม่ำเสมอสามารถที่จะลดสัญญาณรบกวนจากการแปลงเป็นตัวเลขได้ที่ค่าสัญญาณแอมปลิจูดต่ำๆ



รูปที่ 15 เปรียบเทียบผลของสัญญาณรบกวนจากการแปลงเป็นตัวเลขระหว่างการแปลงเป็นตัวเลขแบบสม่ำเสมอและการแปลงเป็นตัวเลขแบบไม่สม่ำเสมอ

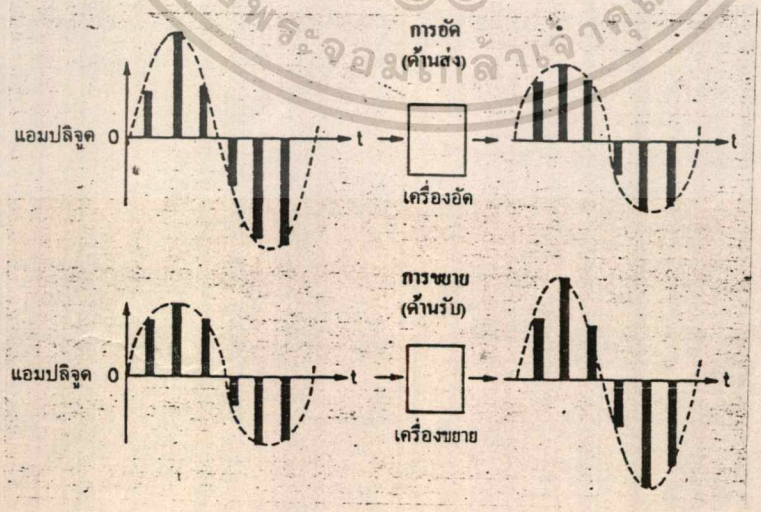
ในกรณีของการแปลงเป็นตัวเลขแบบสม่ำเสมอจะต้องใช้จำนวนระดับค่าตัวเลขประมาณ 2,000 ระดับ เพื่อที่จะรักษาคุณภาพของเสียงพูดให้อยู่ในเกณฑ์ดีแม้ที่ระดับแอมปลิจูดต่ำก็ตาม ซึ่งจะต้องใช้จำนวนบิทต่อสัญญาณถึง 11 บิท วิ่งการใช้จำนวนบิทมากเช่นนี้ต้องใช้อุปกรณ์พัลส์ความเร็วสูงมากซึ่งจะทำให้ระบบมีราคาแพง ในขณะที่การแปลงเป็นตัวเลขแบบไม่สม่ำเสมอต้องการเพียง 128 ระดับค่าตัวเลข และ 7 -บิทต่อสัญญาณสุ่ม 1 ค่าเท่านั้นก็เพียงพอที่จะทำให้ได้ค่า S/N_q ระดับเดียวกับการแปลงเป็นตัวเลขแบบสม่ำเสมอที่ระดับสัญญาณแอมปลิจูดต่ำ อย่างไรก็ดี CCITT แนะนำการใช้งานการแปลงเป็นตัวเลขแบบไม่สม่ำเสมอด้วยรหัส 8 บิทต่อสัญญาณสุ่ม 1 ค่า และ 256 ระดับค่าตัวเลขเพื่อให้มั่นใจได้ว่าจะได้คุณภาพเสียงที่ดีพอ (ดูรูปที่ 16)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



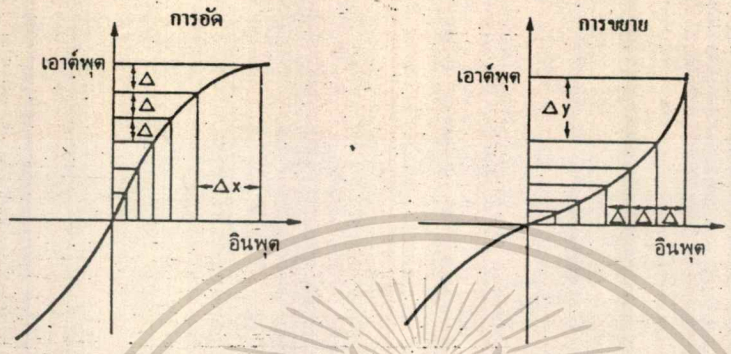
รูปที่ 16 ระดับค่าตัวเลขของการแปลงเป็นตัวเลขแบบสม่ำเสมอ
และการแปลงเป็นตัวเลขแบบไม่สม่ำเสมอ

การแปลงตัวเลขแบบไม่สม่ำเสมอสร้างขึ้นโดยใช้หลักการจัดการกับสัญญาณที่ด้านส่งและด้านรับซึ่งเรียกว่า การอัด และ การขยาย ตามลำดับ รูปที่ 17 แสดงให้เห็นถึงหลักการนี้ ทางด้านส่ง สัญญาณที่มีแอมปลิจูดสูงจะถูกอัด(COMPRESSED) โดยตัวอัด (COMPRESSOR) แล้วนำไปแปลงเป็นตัวเลขแบบไม่สม่ำเสมอ ขบวนการนี้ทำให้เกิดผลลัพธ์แบบเดียวกับการแปรเปลี่ยนช่วงของตัวเลขโดยขึ้นกับขนาดของแอมปลิจูด ทางด้านรับสัญญาณ PCM. จะถูกสร้างขึ้นมาใหม่ โดยการส่งสัญญาณไปยังเครื่องขยาย(EXPANDER) ซึ่งมีคุณสมบัติตรงข้ามกับเครื่องอัด (ดูในรูปที่ 18)



รูปที่ 17 การแปลงเป็นตัวเลขแบบไม่สม่ำเสมอโดยใช้หลักการอัดและขยาย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

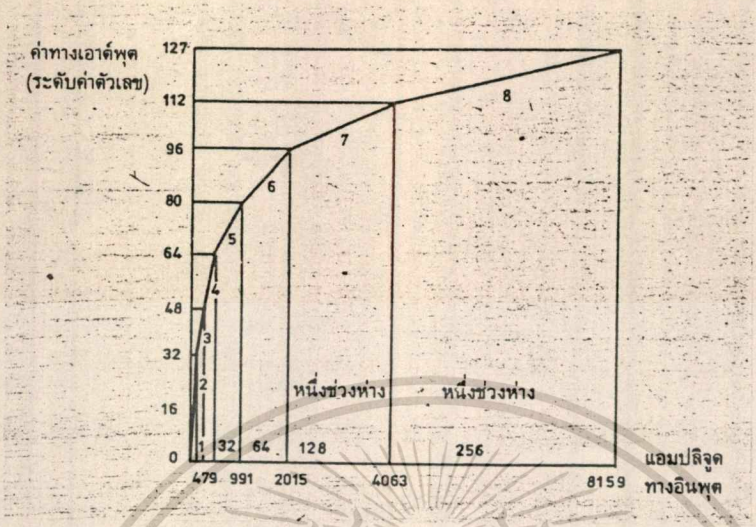


รูปที่ 18 คุณลักษณะของการอัดและการขยาย

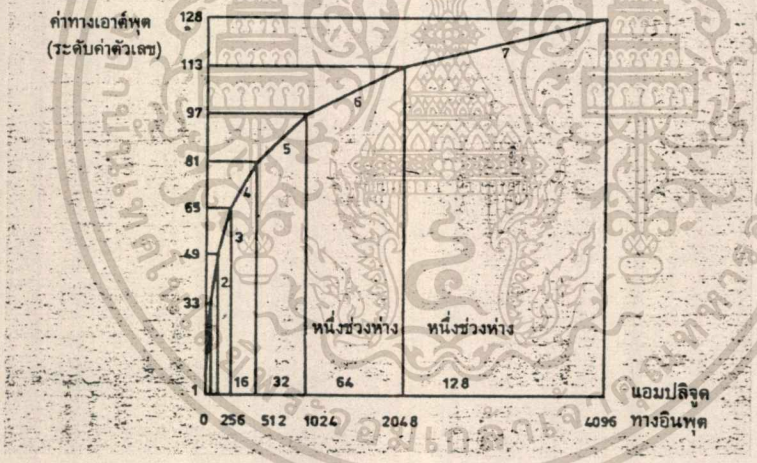
สัญญาณเสียงนั้นมีช่วงการแกว่งขึ้น-ลงของสัญญาณกว้าง (WIDE DYNAMIC RANGE) ซึ่งการที่จะได้คุณภาพเสียงที่ดีนั้น สัญญาณรบกวนจากการแปลงเป็นตัวเลขต้องมีแอมปลิจูดคงที่เมื่อเทียบกับแอมปลิจูดของสัญญาณ ตลอดย่านความกว้างของการแกว่งขึ้นลงของแอมปลิจูดของสัญญาณ เพื่อที่จะบรรลุสิ่งนี้จึงแก้โดยการใช้คุณสมบัติของฟังก์ชั่นลอการิทมิก (LOGARITHMIC)ในการอัดและขยายสัญญาณ ซึ่งมีผลให้สัญญาณรบกวนจากการแปลงเป็นตัวเลขที่ระดับแอมปลิจูดสัญญาณต่ำๆสามารถลดลงอย่างน่าพอใจ และเราสามารถที่จะรักษาค่า S/N_q ไว้ให้คงที่ตลอดย่านกว้างการแกว่งขึ้น-ลงของแอมปลิจูดของสัญญาณ

CCITT แนะนำให้ใช้คุณสมบัติของลอการิทมิก ในการอัดและขยายสัญญาณ 2 แบบดังนี้ แบบแรกเรียกว่า A-LAW นิยมใช้ในยุโรป ส่วนอีกแบบเรียกว่า μ-LAW นิยมใช้กันในแถบอเมริกาเหนือและญี่ปุ่น ในรูปที่ 19 และรูปที่ 20 แสดงให้เห็นถึงคุณสมบัติการอัดและการขยายของ A-LAW และ μ-LAW ตามลำดับ เส้นโค้งทั้งสองแสดงให้เห็นลักษณะการอัดสำหรับแอมปลิจูดของสัญญาณซีกบวก (ซีกลบเป็นลักษณะคล้ายกันแต่ไม่ได้แสดงรูปไว้)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 19 การอัดและการขยายแบบ A- LAW



รูปที่ 20 การอัดและการขยายแบบ u-LAW

CCITT แนะนำว่าการอัดและการขยายนั้นในทางปฏิบัติควรคำนึงถึงการประมวลผลสัญญาณดิจิตอล ซึ่งจะเห็นได้ชัดจากรูปว่าคุณสมบัติในการอัดและขยายแบบลอการิทมิกถูกนำมาใช้ในทางปฏิบัติโดยการแบ่งโค้งออกเป็นช่วงๆ แต่ละช่วงประมาณด้วยกราฟเส้นตรง โค้งของ A-LAW และ u-LAW นั้นถูกประมาณด้วยกราฟเส้นตรง 13 ช่วง และ 15 ช่วงตามลำดับ ซึ่งทั้ง A=LAW และ u-LAW ใช้ระดับค่าตัวเลข 256 ระดับ และเข้ารหัสแต่ละสัญญาณสุ่ม 1 ค่าด้วย 8 บิท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หมายเหตุ

@ เส้นโค้ง A-LAW จากรูปได้จากการประมาณค่าด้วยเส้นตรงเป็นช่วง ตามสมการข้างล่าง

$$Y = \frac{AX}{1+\ln(A)} \quad : (0 \leq X \leq 1/A)$$

หรือ

$$Y = \frac{1+\ln(AX)}{1+\ln(A)} \quad : (1/A \leq X \leq 1)$$

$$A = 87.6$$

@ มีการประมาณเส้นโค้งด้วยเส้นตรง 7 ส่วน สำหรับสัญญาณซีกบวกและอีก 7 ส่วนสำหรับสัญญาณซีกลบโดยเส้นตรงเส้นแรกผ่านจุดกำเนิดและอยู่ทั้งซีกบวกและลบ ดังนั้นแบบ A-LAW จึงมีการประมาณด้วยเส้นตรงทั้งสิ้น 13 ช่วง

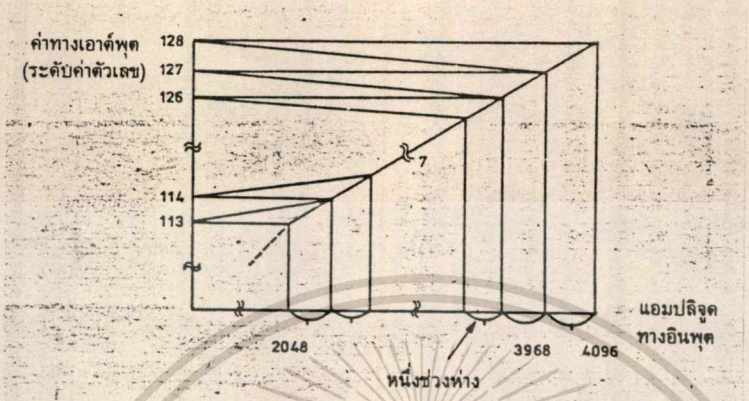
@ แต่ละส่วนของเส้นตรงถูกแบ่งอย่างเท่ากันออกเป็น 16 หรือ 32 ส่วนย่อย และค่าอินพุตแอมปลิจูดภายในส่วนย่อยเดียวกันจะถูกแทนด้วยค่าเอาท์พุตเดียวกัน ในรูปที่ 21 เป็นการแสดงรายละเอียดของเส้นตรงส่วนที่ 7 ของโค้ง A-LAW

@ เส้นโค้ง u-LAW จากรูปได้จากการประมาณค่าด้วยเส้นตรงเป็นช่วงๆ ตามสมการข้างล่าง

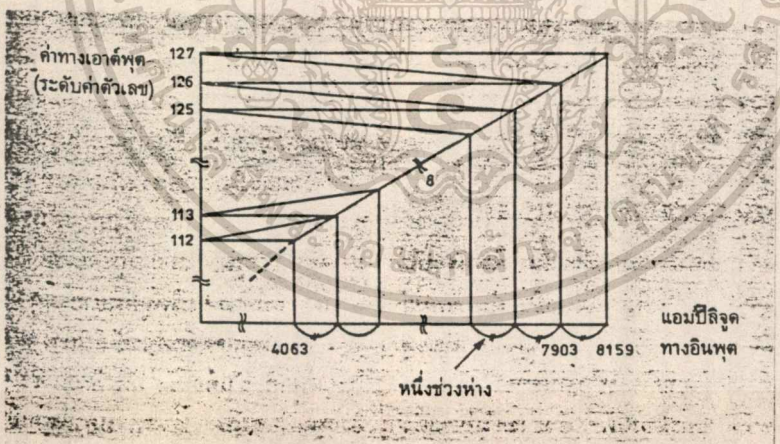
$$Y = \frac{\ln(1+\mu X)}{\ln(1+\mu)} \quad : (0 \leq X \leq 1)$$

$$u = 255$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

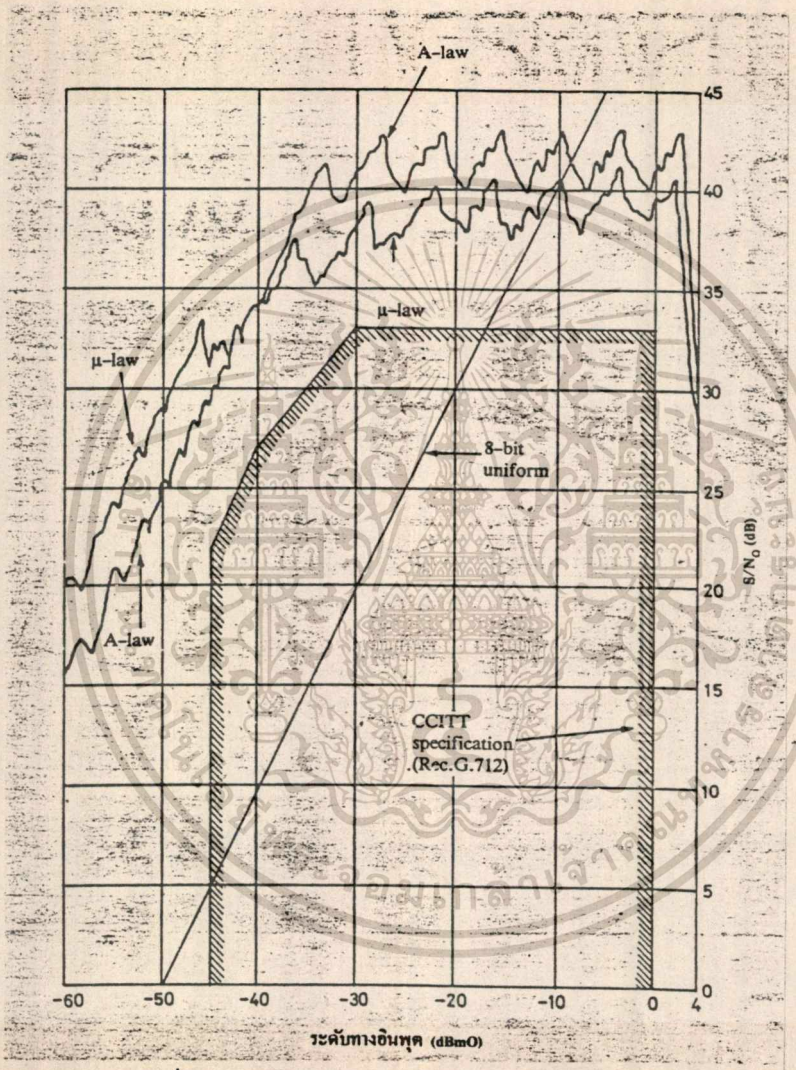


รูปที่ 21 คุณสมบัติของ A-law



รูปที่ 22 ลักษณะสมบัติของ μ-law

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 23 ความสัมพันธ์ระหว่าง S/N_Q และการอัดการขยาย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

@ มีการประมาณเส้นโค้งด้วยเส้นตรง 8 ส่วนสำหรับสัญญาณซีกบวกและอีก 8 ส่วนสำหรับสัญญาณซีกลบ โดยเส้นตรงเส้นแรกผ่านจุดกำเนิดและอยู่ทั้งซีกบวกและลบ ดังนั้นแบบ μ-LAW จึงมีการประมาณด้วยเส้นตรง 15 ช่วง

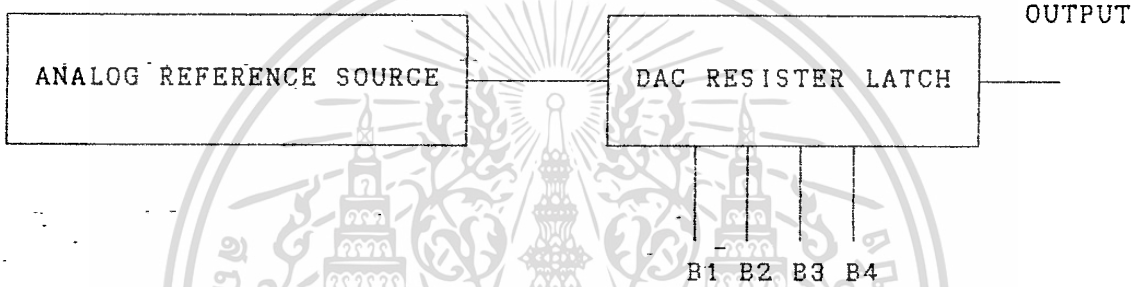
@ แต่ละส่วนของเส้นตรงถูกแบ่งอย่างเท่ากันออกเป็น 16 ส่วนย่อย และค่าอินพุตแอมปลิจูดภายในส่วนย่อยเดียวกันจะถูกแทนด้วยค่าเอาท์พุตเดียวกัน ในรูปที่ 22 เป็นการแสดงรายละเอียดของเส้นตรงส่วนที่ 8 ของโค้ง μ-LAW

ในรูปที่ 23 แสดงให้เห็นการเปรียบเทียบระหว่างคุณสมบัติการอัดและขยายของทั้งแบบ A-LAW และแบบ μ-LAW ในเทอมของ S/N_q ซึ่งลักษณะของ S/N_q ของแบบ A-LAW และ μ-LAW เป็นรูปคลื่นฟันเลื่อยเพราะเส้นโค้งการอัดและขยายถูกประมาณค่าเป็นช่วงๆ โดยเส้นตรงจากรูปนี้ A-LAW ให้ค่า S/N_q สูงกว่าที่ระดับความแรงสัญญาณสูง และให้ค่า S/N_q ต่ำกว่าที่ระดับความแรงของสัญญาณต่ำเมื่อเปรียบเทียบกับ μ-LAW ซึ่งเป็นเพราะว่าช่วงของตัวเลขของ A-LAW นั้นใหญ่กว่าที่ระดับสัญญาณต่ำๆและเล็กกว่าที่ระดับความแรงของสัญญาณสูงๆ เมื่อเทียบกับ μ-LAW อย่างไรก็ดีในกรณีของทั้ง A-LAW และ μ-LAW เราสามารถที่จะรักษาค่า S/N_q ให้มีค่าสูงและค่อนข้างคงที่ เมื่อคิดคำนึงถึงระดับสัญญาณต่ำๆในรูปยังแสดงให้เห็นลักษณะของค่า S/N_q ที่ได้จากการแปลงเป็นตัวเลขแบบสม่ำเสมอ จะเห็นได้อย่างชัดเจนเลยว่าเราสามารถปรับปรุงค่า S/N_q ที่ระดับความแรงสัญญาณต่ำๆได้อย่างมีประสิทธิภาพโดยการใช้การแปลงเป็นตัวเลขแบบไม่สม่ำเสมอแทนการแปลงเป็นตัวเลขแบบสม่ำเสมอ.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DIGITAL TO ANALOG CONVERTER (DAC)

วงจร DAC คือวงจรที่ผลิตสัญญาณ ANALOG ที่เป็น VOLTAGE หรือ CURRENT ออกทาง OUTPUT โดย OUTPUT ที่ได้จะเป็นสัดส่วนกับสัญญาณ ANALOG อ้างอิง และจำนวน BITS-WORD ที่เป็น INPUT

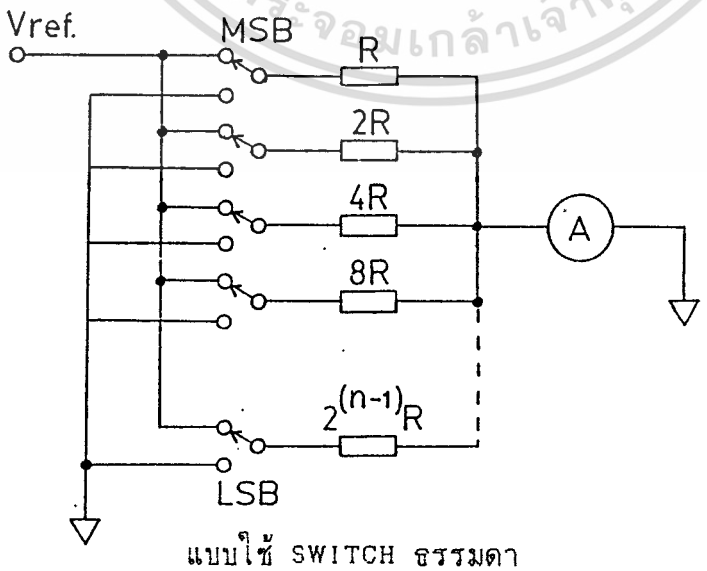


วงจร DAC มี 2 แบบ คือ

1.BINARY WEIGHT RESISTER LADDER

2.R-2R LADDER

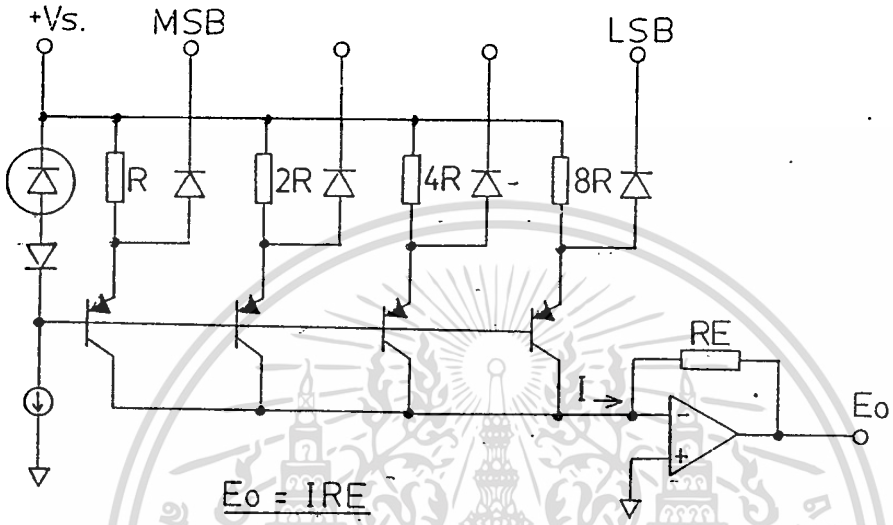
1.วงจร BINARY WEIGHT RESISTER LADDER



แบบใช้ SWITCH ธรรมดา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แบบใช้ TRANSISTOR SWITCH



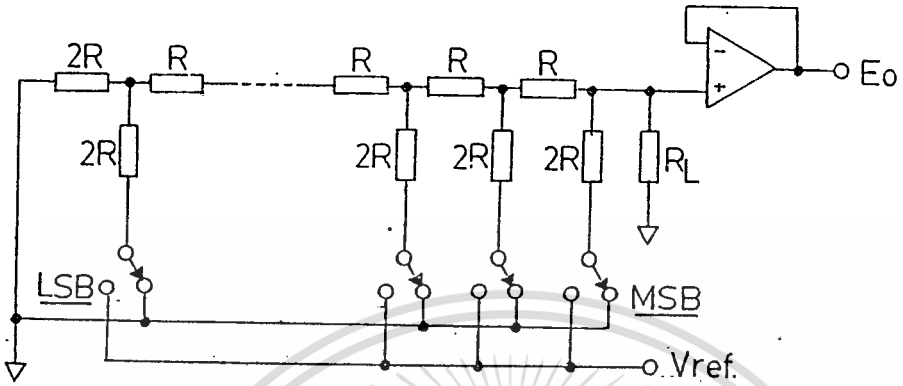
ปัญหาของ BINARY WEIGHT RESISTER LADDER

คือ RESISTER ที่เป็นตัว WEIGHT ทางด้าน LSB ถ้าจำนวน BITS ของวงจรมีค่ามาก(หลายบิท) เช่น มากกว่า 8 BITS จะทำให้ R ที่ LSB มีค่ามากๆ ดังนั้นกระแสรวมที่ได้จะน้อยเกินไปที่จะอ่านค่าได้ เราต้องใช้ OP-AMP ที่มี GAIN สูงๆมาขยาย หรือ OUTPUT ของ LSB ก็จะมี NOISE มากด้วย ที่นี้เราจะมาแก้ปัญหานี้โดยลดค่า R ที่ LSB ให้มีค่าน้อยลงจะทำให้ MSB มี R ค่าน้อยลงอีก กระแสที่ได้ทาง OUTPUT ก็จะมากเกินไปอีก ซึ่งในการวัดกระแสก็ทำได้ยากอีกเหมือนกัน

2.วงจร R-2R LADDER

วงจรนี้จะให้ค่า FULL SCALE OUTPUT ที่คงที่ซึ่งค่านี้ขึ้นอยู่กับ VOLTAGE REFERENCE และจำนวน BIT LENGTH

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



วงจรนี้ ถ้าต่อทุก BITS ของวงจรลง GROUND แล้ววัดที่ JUNCTION จะได้ความต้านทานเท่ากับ R เสมอ (เช่น วัดที่จุด A,B,C,D ใดๆ)

WEIGHT (ผลที่ได้จากการคำนวนด้วยทฤษฎีทางไฟฟ้าของวงจรข้างบน เช่น OHM'S LAW)

MSB			LSB	จะได้	Eo
1	0	0	0		VREF/2
0	1	0	0		VREF/4
0	0	1	0		VREF/8
0	0	0	1		VREF/16

ดังนั้นถ้า FULL SCALE จะได้

$$1 + 1 + 1 + 1 = VREF(1/2 + 1/4 + 1/8 + 1/16)$$

$$= (15/16)VREF$$

$$= 0.9375\ VREF$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ANALOG TO DIGITAL CONVERTER

วงจร A TO D CONVERTER มี 5 แบบ คือ

1. VOLTAGE TO FREQUENCY CONVERTER
2. INTEGRATING CONVERTER (INCLUDING DUAL SCOPE INTEGRATORS)
3. SUCCESSIVE-APPROXIMATION CONVERTER
4. TRACKING CONVERTER
5. PARALLEL (FLASH) CONVERTER

การเลือกวงจร A TO D CONVERTER ไปใช้งาน มีข้อควรคำนึงถึงคือ

1. ความเร็วของการแปลงสัญญาณ (SPEED) นั่นคือต้องพิจารณาค่า CONVERSION TIME คือเวลาที่ต้องการสำหรับการแปลงค่าของวงจร A TO D CONVERTER
2. ความละเอียดของค่าสัญญาณANALOG ที่ต้องการ คือจะต้องพิจารณาค่า RESOLUTION ของแต่ละชนิดของวงจร A TO D
3. ค่าผิดพลาดของการแปลงสัญญาณ(QUANTIZING ERROR) ที่จะเกิดขึ้นในทุก ๆ ชนิดของวงจร A TO D ที่ไม่สามารถหลีกเลี่ยงได้เลย

หลักทั้ง 3 ข้อนี้เป็นหลักสำคัญเบื้องต้นในการพิจารณาวงจร A TO D CONVERTER แต่ละชนิดไปใช้ให้เหมาะสมกับวงจร และยังมีตัวแปรลองลงมาอีกคือ ราคาของวงจรที่ใช้รวมไปถึงค่าตัวแปรอื่น ๆ ในคู่มือของ IC (INTEGRATED CIRCUIT) แต่ละประเภท

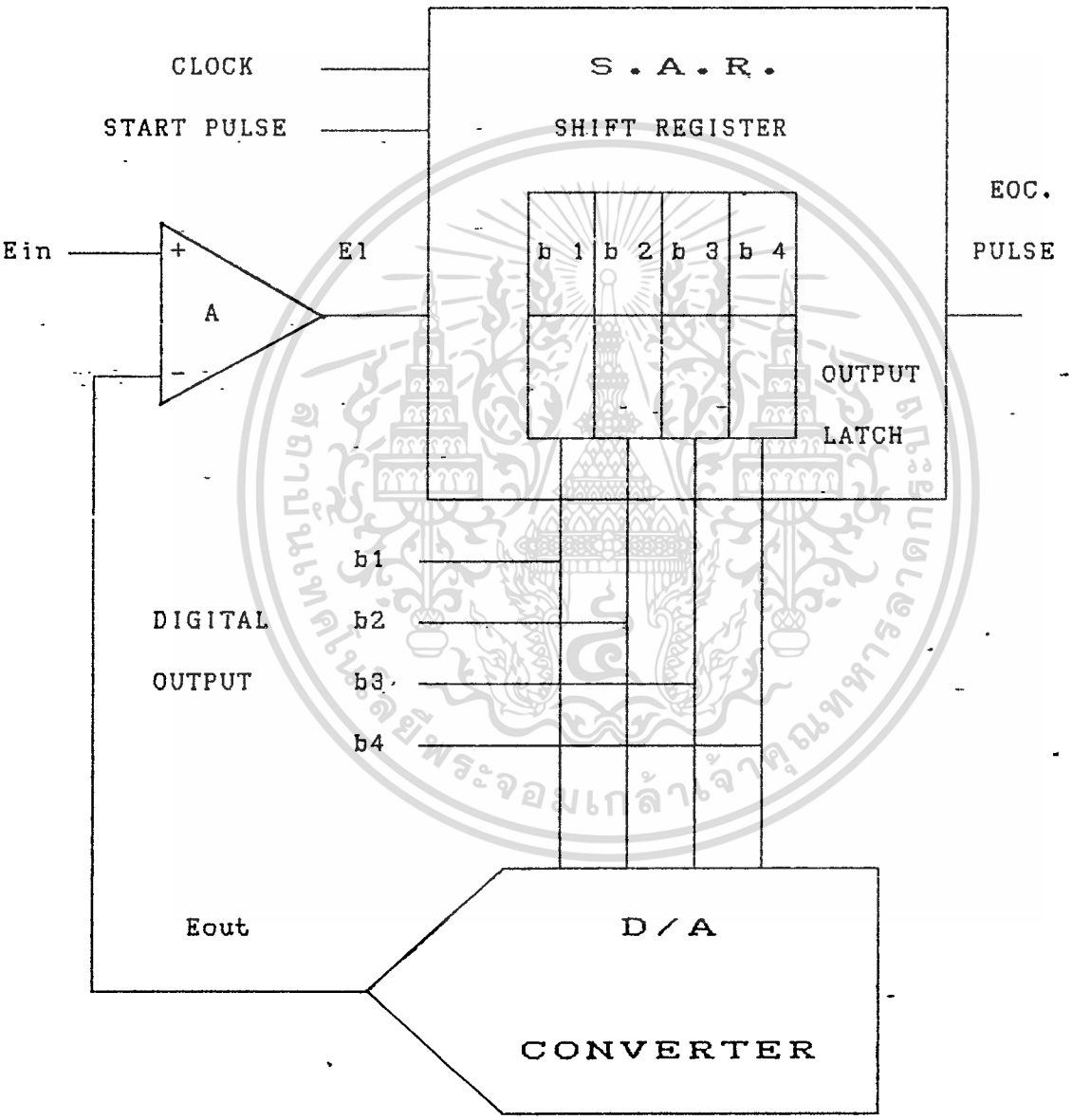
สำหรับการใช้งานความเร็วสูงวงจร SUCCESSIVE APPROXIMATION CONVERTERS และวงจร PARALLEL(FLASH) CONVERTERS จะถูกนำมาพิจารณาเป็นอันดับแรก แต่เนื่องจาก A TO D CONVERTER แบบ FALSH มีราคาแพงมากเพราะมีประสิทธิภาพสูงที่สุดในวงจรชุดทดลอง PULSE CODE MODULATION จึงนำเอาวงจร SUCCESSIVE APPROXIMATION CONVERTERS มาใช้งาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ชนิดของ A/D CONVERTER	CONVERSION TIME	RESOLUTION	ข้อดีและการนำไปใช้งาน
1.VOLTAGE TO FREQUENCY CONVERTER	หลาย KHz.-100KHz.	ขึ้นอยู่กับจำนวนPULSEที่นับหรือเวลาในการวัดค่า	ราคาไม่แพง
2.INTEGRATING	mSec.- หลายร้อย mSec.	3.5 - 5.5 หลัก(11-18บิท)	ใช้ในเครื่องมือวัด DIGITAL
3.SUCCESSIVE APROXIMA--TION CONVERTER	1 uSec ถึงหลายๆ uSec.	8-12 บิท หรือ 16 บิท	ใช้งานอย่างกว้างขวางร่วมกับ MICROPROCESSOR
4.TRACKING CONVERTER	1 uSec.หรือน้อยกว่า หรือน้อยกว่า หรืออาจเป็น mSec สำหรับการเปลี่ยนแปลงF.S.	8-12 บิท หรือ 16 บิท	
5.PARALLEL (FLASH) CONVERTER	เศษส่วนของวินาทีถึง 100,000,000CONVERSIONS ต่อวินาที	4-6 บิท หรือ 16 บิท	มีราคาแพง ใช้สำหรับงาน VIDEO และการรับส่งข้อมูลความเร็วสูง

ตารางการเปรียบเทียบ ANALOG TO DIGITAL CONVERTER แต่ละชนิด

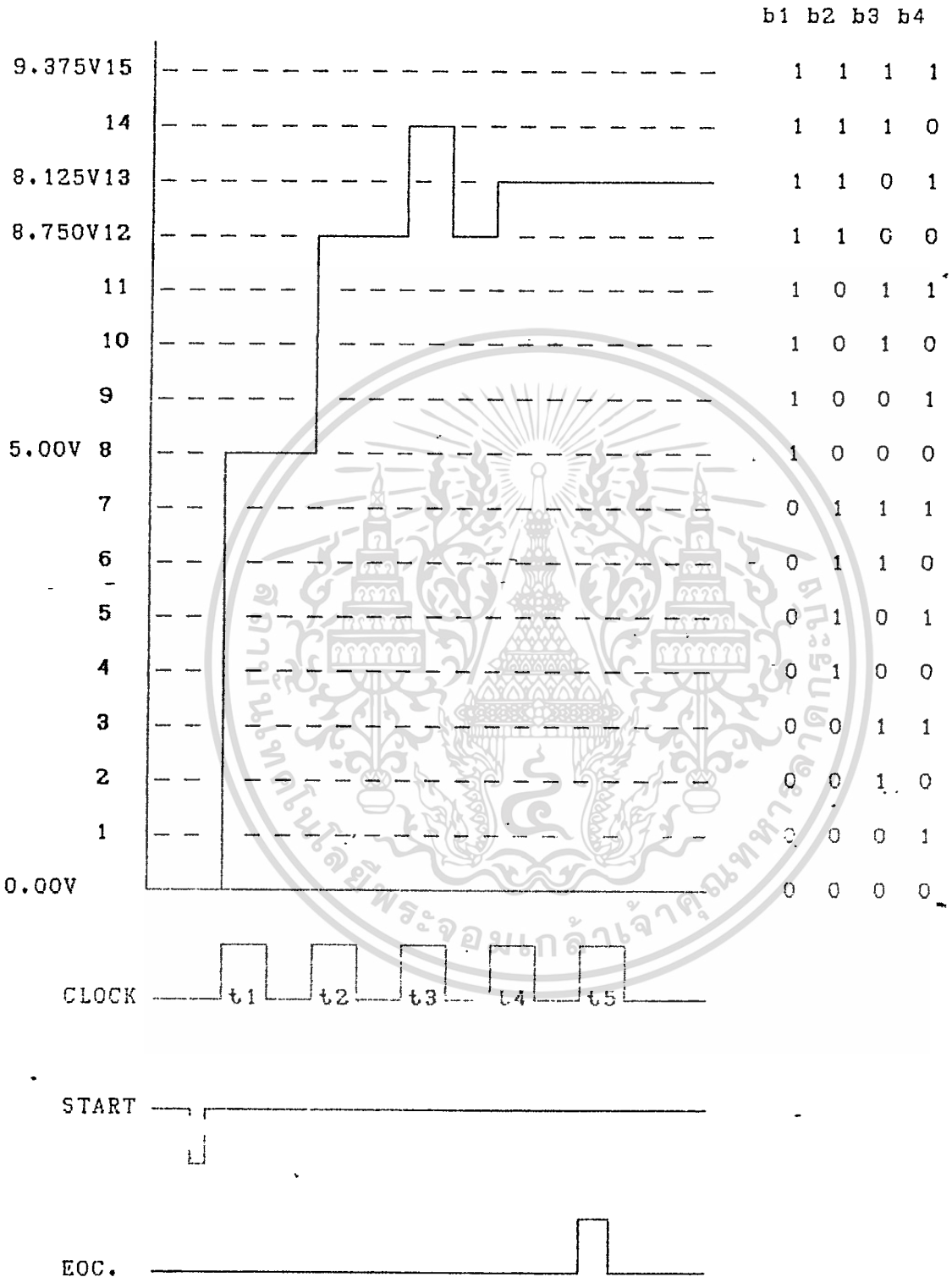
หลักการของวงจร SUCCESSIVE APPROXIMATION CONVERTER



รูปแสดง SUCCESSIVE APPROXIMATION A/D CONVERTER

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

VOLTAGE REF.=10.00 V.



TIMMING DIAGRAM ของวงจร A/D แบบ SAR. ขนาด 4 bits

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SUCCESSIVE APPROXIMATION REGISTER (SAR)

ทำหน้าที่ LATCH ข้อมูลทีละ BIT ออกทาง OUTPUT โดยมีการเปรียบเทียบดังนี้

ถ้า Ein < Eout OUTPUT LATCH บิทนั้นเป็น "0" ออก

Ein > Eout OUTPUT LATCH บิทนั้นเป็น "1" ออก

และยังทำหน้าที่เลื่อนบิต ทีละ บิต โดย set แต่ละบิตเป็น "1" เช่น

เมื่อมี CLOCK เข้ามา => 1 => 1 0 0 0

เมื่อมี CLOCK เข้ามา => 1 => 1 1 0 0 ซึ่งเป็นลักษณะของ

เมื่อมี CLOCK เข้ามา => 1 => 1 1 1 0 SHIFT REGISTER

เมื่อมี CLOCK เข้ามา => 1 => 1 1 1 1

การทำงานของวงจร

สมมติว่า VOLTAGE ที่จะทำการ CONVERT Ein = 8.125 V, Vref ใน DAC = 10V.

1. ที่เวลา t1 SAR รับ start pulse เข้ามาและเมื่อ clock1 เข้ามา bit1 จะถูก set เป็น "1" output = 1000 เมื่อผ่าน DAC ทำการ Weightได้ Eout = 7.5 V Compare กับ E_{in} ได้ Ein > Eout ดังนั้น E1 = 1 output latch registerจะ Latch Bit 1 เป็น 1 ได้ Output เป็น 1000 ดังเดิม

2. ที่เวลา t2 bit2 จะถูก set เป็น 1 output จะเป็น 1100 เมื่อผ่าน DAC ทำการ Weight ได้ Eout = 7.5V Compare ได้ Ein > Eout Output Latch Register จะ Latch Bit2 เป็น 1 ได้ Outputเป็น 1100

3. ที่เวลา t3 bit3 จะถูก set เป็น 1 output จะเป็น 1110 เมื่อผ่าน DAC ทำการ Weight ได้ Eout = 8.75 V Compare ได้ Ein < Eout Output Latch Register จะ Latch Bit3 เป็น 0 ได้ Outputเป็น 1100

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4. ที่เวลา t4 bit4 จะถูก set เป็น 1 output จะเป็น 1101 เมื่อผ่าน DAC ทำการ Weight ได้ Eout =8.125 V Compare ได้ Ein = Eout Output Latch Register จะ Latch Bit4 เป็น 1 ได้ Outputเป็น 1101

5. ที่เวลา t5 เกิดการ Overflow ขึ้น (เพราะ Register มีเพียง 4 bits) ส่งสัญญาณ EOC. PULSE ไปบอกว่าสิ้นสุดการทำงานของวงจรแล้ว ค่าที่ได้ทาง output สุดท้ายนี้คือค่าของสัญญาณ Analog Input (8.125 V.) ที่แปลงเป็นสัญญาณ Digitalแล้วเท่ากับ 1001 (เลข Binary)

จากตัวอย่างจะพบว่า การแปลงสัญญาณ ANALOGเป็น DIGITAL ที่มีค่า 4 bits นั้น เมื่อใช้วงจร SUCCESSIVE APPROXIMATOIN จะใช้ clock เพียง 5 clocks หรือเท่ากับจำนวน bit + 1 เท่านั้น แต่ถ้าใช้วงจร TRACKING จะต้องใช้CLOCK PULSE ตามค่าของ CLOCK ถึง 2 exp n CLOCK เมื่อ n เป็นจำนวน BITS WORD

สรุป วงจร SUCCESSIVE APPROXIMATION จึงทำงานได้เร็วกว่าวงจร TRACKING มาก.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รายละเอียดของชุดทดลอง PULSE CODE MODULATION

1 เป็นวงจรที่ทำการแปลงสัญญาณ ANALOG เป็น DIGITAL CODE ขนาด 8 BITS แบบขนาน (PARAREL) แล้วทำการแปลงสัญญาณ DIGITAL นั้นกลับเป็นสัญญาณ ANALOG ตามเดิม

2 มีจำนวน 1 CHANNEL (ไม่มีการ MULTIPLEX)

3 สัญญาณ ANALOG INPUT มีขนาด $\pm$ 2.5 VOLTS PEAK TO PEAK และมี BANDWIDTH ตั้งแต่ 0 -10 KILOHERTZ

4 จำนวน STEP ของการ QUANTIZATION เท่ากับ 2 exp 8 =256 STEPS

5 เข้ารหัส DIGITAL แบบ BINARY UNIPOLAR CODING

6 วงจรแต่ละภาคในภาครับและภาคส่งแยกส่วนกัน(ไม่ได้ใช้ IC ตัวเดียว) สามารถใช้ OSCILLOSCOPE วัดสัญญาณแต่ละจุดได้

7 อุปกรณ์ทั้งภาครับและภาคส่งลงบนแผ่นวงจรพิมพ์(แผ่น PRINT)เดียวกันทั้งหมด

อธิบาย BLOCK DIAGRAM ของภาคส่ง

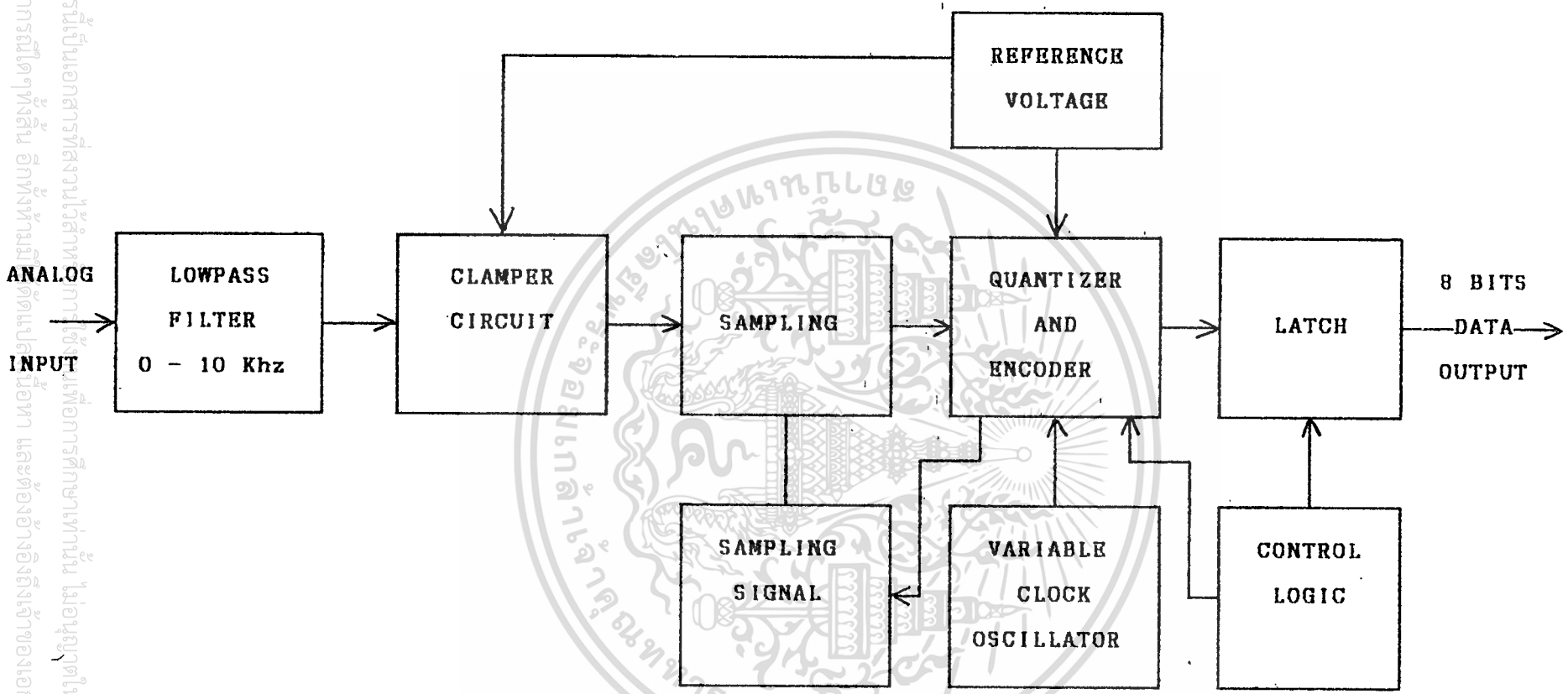
1 LOWPASS FILTER

ทำหน้าที่กรองสัญญาณ ANALOG INPUT ที่มีความถี่ตั้งแต่ 0-10 kHz ให้ผ่านไปยังภาค SAMPLING

2 CLAMPER CIRCUIT

ทำหน้าที่ยกระดับสัญญาณ ANALOG INPUT ให้เป็นบวก ทั้งนี้เพราะวงจร SUCCESSIVE APPROXIMATION CONVERTER ต้องการเฉพาะแรงดันที่เป็นบวก ในการ QUANTIZING และ ENCODING

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ภาคกำเนิดสัญญาณ PULSE CODE MODULATION

3 SAMPLING

ทำหน้าที่ SAMPLING (สุ่ม) สัญญาณ ANALOG INPUT และ HOLD ไว้เพื่อทำการ ENCODE จนกว่าจะมี SAMPLING CLOCK ลูกใหม่เข้ามาทำการ SAMPLING ใหม่ เพราะไม่เช่นนั้นสัญญาณ ANALOG INPUT จะเปลี่ยนแปลงในขณะที่ทำการ ENCODE ทำให้ค่าที่ได้ไม่ถูกต้อง

4 SAMPLING SIGNAL

ทำหน้าที่สร้างสัญญาณ SAMPLING

5 REFERENCE VOLTAGE

สร้าง REFERENCE VOLTAGE ให้กับ ภาค CLAMPER และ ภาค QUANTIZER AND ENCODER

6 QUANTIZING AND ENCODING

เป็นวงจร SUCCESSIVE APPROXIMATION A TO D CONVERTER ทำหน้าที่ QUANTIZEและ ENCODE สัญญาณ ANALOG INPUT ที่ SAMPLING แล้วเป็นสัญญาณ DIGITAL 8 BITS แบบ BINARY BIPOLAR CODING

7 VARIABLE CLOCK OSCILLATOR

เป็นวงจรสร้างสัญญาณ CLOCK รูปสี่เหลี่ยมที่มี DUTY CYCLE = 50 %ให้ภาค QUANTIZER AND ENCODER (A TO D CONVERTER)

8 LATCH

ทำหน้าที่พักข้อมูลในขณะทำการ QUANTIZATION และENCODE จนถูกต้องและส่งออกไปที่ภาครับ

9 CONTROL LOGIC

ทำหน้าที่สร้างสัญญาณควบคุมให้กับภาค QUANTIZER AND ENCODER

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รายละเอียดของวงจรของภาคกำเนิดสัญญาณ PCM.

1) วงจร LOWPASS FILTER เป็นแบบ ACTIVE FILTER โดยใช้ OP-AMPเบอร์ LF351

2) วงจร CLAMPER ใช้ IC OP-AMP เบอร์ LF 351

3) วงจร SAMPLING ใช้ IC เบอร์ LF 398

)

7) วงจร VARIABLE CLOCK OSCILLATORใช้ IC TIMMER TLC 555 สามารถปรับความถี่ได้ตั้งแต่ 10 KHz ถึง 1 MHz โดยมี DUTY CYCLE 50 % คงที่

4) วงจร ANALOG TO DIGITAL CONVERTER เป็นแบบ SUCCESSIVE APPROXIMATION ซึ่งประกอบด้วยวงจร DIGITAL TO ANALOG CONVERTER ที่เป็น IC ตัวเดียว เบอร์ MC1408L8 และวงจร SUCCESSIVE APPROXIMATION REGISTER ประกอบขึ้นจาก IC TTL

5)REFERENCE VOLTAGE ใช้IC

POWER SUPPLY

ชุดจ่ายไฟใช้ IC REGULATOR + 5 VOLTS และ ±15 VOLTS

จาก BLOCK DIAGRAM ของภาครับ

DECODER (DIGITAL TO ANALOG CONVERTER)

ทำหน้าที่เปลี่ยนสัญญาณ DIGITAL ที่เป็น BINARY UNIPOLAR CODING ให้เป็นสัญญาณ ANALOG

LOWPASS FILTER

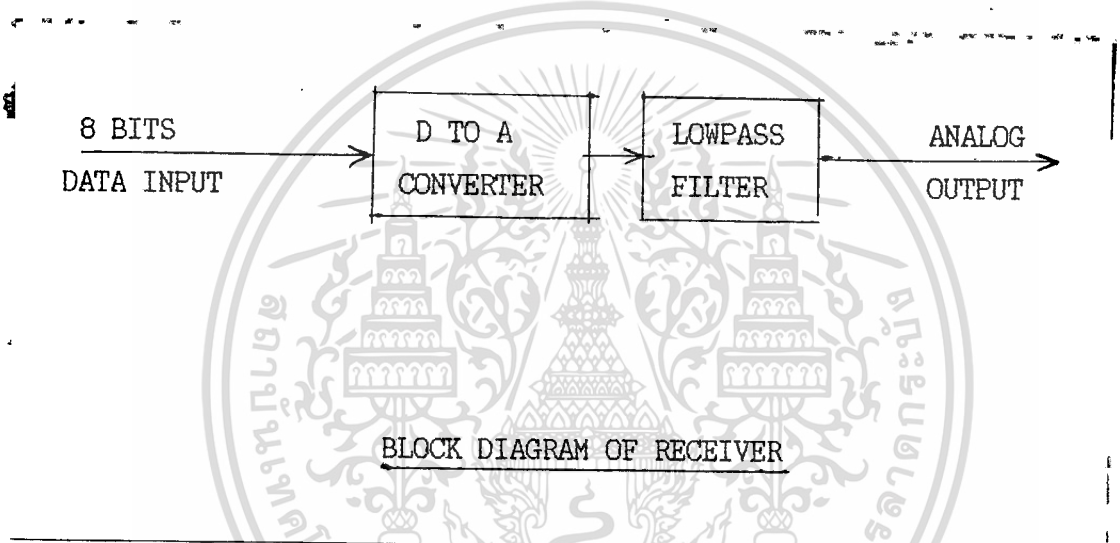
ทำหน้าที่กรองสัญญาณ ANALOG ที่ได้ในช่วงความถี่ 0-10 KHz ให้เหมือนกับสัญญาณ ANALOG INPUT

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รายละเอียดของวงจรของภาคแปลงสัญญาณPCM.กลับเป็น ANALOG

1) วงจร DIGITAL TO ANALOG CONVERTER ใช้ ICเบอร์ MC1408L8

2) วงจร LOWPASS FILTER ใช้ OP-AMPเบอร์ LM311



BLOCK DIAGRAM OF RECEIVER

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4

การออกแบบวงจรและการทดลอง

วงจรในชุดทดลองนี้ ส่วนใหญ่จะออกแบบจาก APPLICATION ในคู่มือ IC เบอร์ต่างๆโดยจะทำการดัดแปลงบางส่วนบ้างเพื่อความเหมาะสม หลังจากนั้นก็จะนำไปทดลองใน PROTOBOARD บันทึกผลที่ได้ในแต่ละวงจร ก่อนที่จะนำไปประกอบลง PRINT CIRCUIT BOARD วงจรต่างๆนั้นได้แก่

วงจร LOWPASS FILTER

วงจร REFERENCE VOLTAGE

วงจร CLAMPER

วงจร SAMPLING

วงจร VARIABLE CLOCK OSCILLATOR

วงจร ENCODER & QUANTIZER

วงจร COMPARATOR

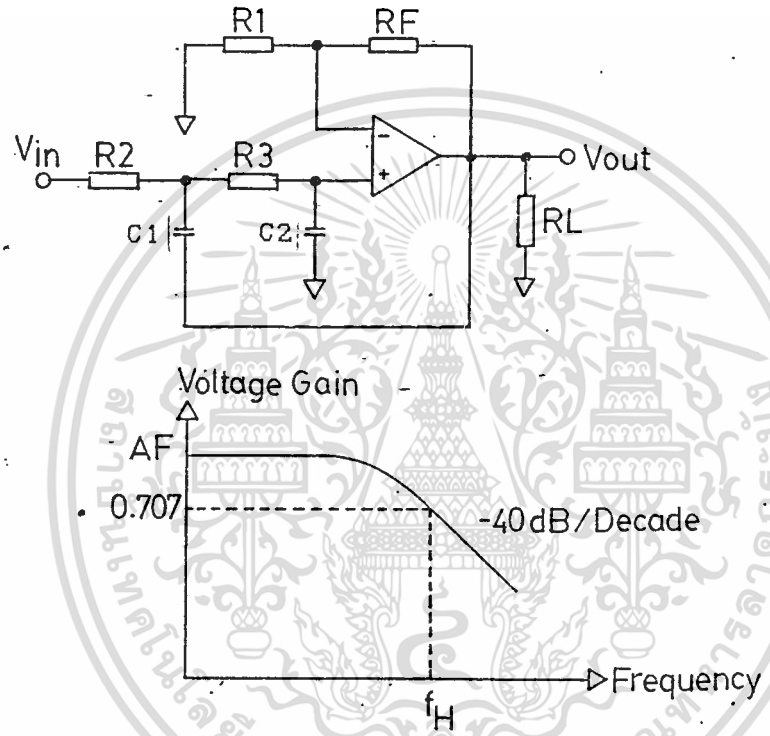
วงจร CONTROL LOGIC & SAMPLING SIGNAL

ซึ่งมีรายละเอียดดังต่อไปนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การออกแบบวงจร LOWPASS FILTER

ใช้วงจร SECOND ORDER LOWPASS BUTTERWORTH FILTER ซึ่งมี STOP BAND RESPONSE CURVE 40dB/DECADE ดังรูป



อัตราขยายของวงจร SECOND ORDER FILTERกำหนดโดย R1 และ RF และ HIGH CUTOFF FREQUENCY fH กำหนดโดย R2,C2,R3 และC3 ดังนี้

$$fH = \frac{1}{2\pi \sqrt{R2\ R3\ C2\ C3}}$$

และมี VOLTAGE GAIN เท่ากับ

$$\left|\frac{VO}{Vin}\right| = \frac{1}{\left|\{1+(f/fH)3\ exp\ 4\right.}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ซึ่ง $AF = 1 + \frac{RF}{R1}$ = PASS BAND GAIN

เมื่อ f = ความถี่ของสัญญาณ INPUT (HERTZ)

fH = HIGH CUTOFF FREQUENCY (HERTZ)

หลักการออกแบบ

1. เลือกค่า HIGH CUTOFF FREQUENCY fH ในที่นี้เลือก 10 KHz.

2. เพื่อให้ง่ายต่อการคำนวณกำหนดให้ R2 = R3 = R และC2 = C3 = C และเลือกค่า C ≤ 1 u F. ในที่นี้เลือกค่า C = 4.7 nF.

3. คำนวณค่า R จากสมการ

$$R = \frac{1}{2\pi * fH * C}$$

แทนค่า $R = \frac{1}{2\pi * 10KHz * 4.7nF}$

$R = 3.386$ KOHMS.

ในที่นี้เลือก R = 3.3 KOHMS.

จึงได้ค่า R2 = R3 = R = 3.3 KOHMS.

และค่า C2 = C3 = C = 4.7 nF.

สำหรับ PASS BAND VOLTAGE GAIN AF ของSECOND ORDER LOWPASS FILTER = 1.586 ดังนั้น RF = 0.586 R1

อัตราส่วน RF/R1 นี้คือค่าของ BUTTERWORTH RESPONSE CURVE ดังนั้นควรจะเลือกค่า R1 ≤ 100 KOHMS. และคำนวณหาค่า R1

ถ้าให้ RF = 27 KOHMS จะได้ R1 = 15.8 KOHMS.

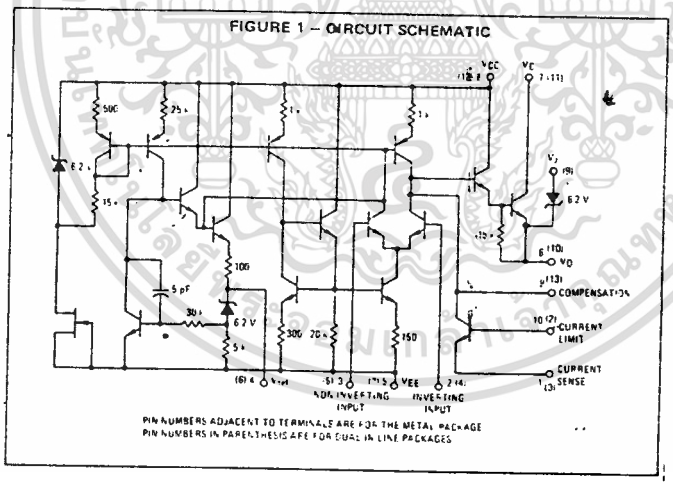
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การออกแบบวงจร REFERENCE VOLTAGE 5.00 V.

รายละเอียดของ IC เบอร์ MC 1723C (MONOLITHIC VOLTAGE REGULATOR)

MC 1723C เป็น IC VOLTAGE REGULATOR ได้ทั้งไฟบวกและไฟลบถูกออกแบบมาสำหรับจ่ายกระแส LOAD ได้สูงสุด 150 mAdc. กระแส OUTPUT สามารถจะเพิ่มได้เป็นหลาย AMPERES โดยต่อ TRANSISTOR เป็น SERIES PASS ภายนอก มีคุณสมบัติเฉพาะดังนี้

* OUTPUT VOLTAGE ปรับได้จาก 2 Vdc ถึง 37 Vdc
* OUTPUT CURRENT จ่ายได้ถึง 150 mAdc ด้วยตัวเอง
* 0.1% LINE REGULATION และ 0.03% LOAD REGULATION
* มี OUTPUT SHORT CIRCUIT PROTECTION และสามารถจะเลือกค่ากระแส SHORT CIRCUIT นั้นได้โดยเปลี่ยนความต้านทานเพียงตัวเดียว

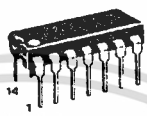


รูป CIRCUIT SCHEMATIC

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูป PACKAGE ของ IC MC1723C

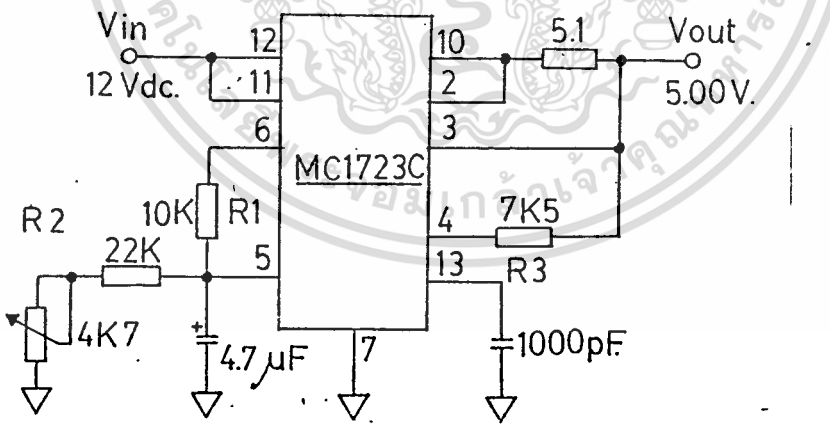
L SUFFIX
CERAMIC PACKAGE
CASE 632-02
MO-001AA



P SUFFIX
PLASTIC PACKAGE
CASE 646-05

สำหรับการออกแบบ VOLTAGE REFERENCE 5.0 V. จะดูจาก TYPICAL APPLICATION เลือกวงจรที่ต้องการได้ดังนี้

TYPICAL CONNECTION FOR 2 V.< Vout < 7 V.



จาก $V_{out} \sim = 7 \left[\frac{R2}{R1 + R2} \right]$

$I_{sc} = \frac{V_{sence}}{R_{sc}} \sim = \frac{0.66}{R_{sc}}$ at $T_j = +25^{\circ}$ C.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FOR BEST RESULTS 10K < R1 +R2 < 100K

FOR MINIMUM DRIFT R3 = R1 // R2

การคำนวณ

เพื่อให้ง่ายจะสมมติให้ R1 = yR2

จะได้ $V_{out} \sim = 7 \left[\frac{R2}{yR2 + R2} \right]$

$5\ V. \sim = 7 \left[\frac{R2}{(y+1)R2} \right]$

จะได้ $y = \left[\frac{7}{5} - 1 \right] R2$

$y = 2/5\ R2$

เพื่อความสะดวกจึงเลือก R2 = 27 kOHM.

ดังนั้น R1 = 27 kOHM. *(2/5) = 10.8 kOHM.

R3 = R1 // R2

= 10.8 kOHM. // 27 kOHM.

R3 = 7.71 kOHM.

สำหรับค่า RESISTOR ในท้องตลาดใช้ R1 = 10 kOHM.

R3 = 7.5 kOHM.

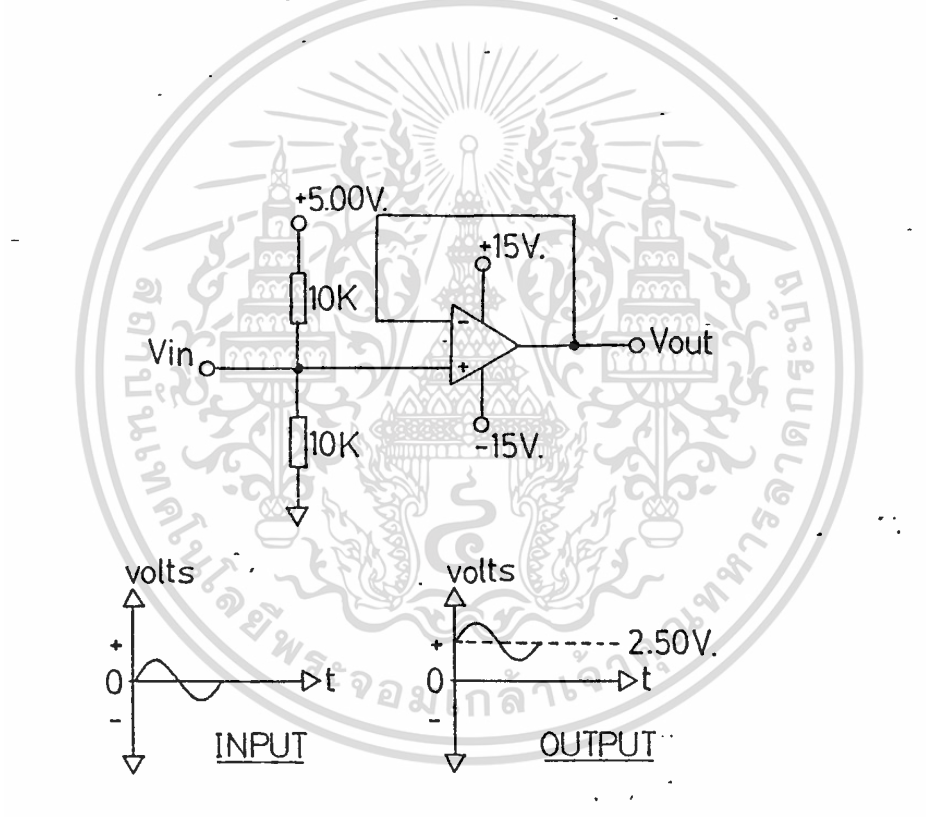
R2 = 22 kOHM. + 4.7 kOHM.

โดยการปรับ R 4.7 kOHM. เพื่อให้ได้ค่า VOLTAGE = 5.00 V.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรยกระดับแรงดัน(CLAMPER)

วงจรนี้มีจุดประสงค์เพื่อยกระดับแรงดันINPUTเพื่อให้SWINGอยู่ในช่วงบวก เนื่องจากวงจรSUCCESSIVE APROXIMATION REGISTER ในส่วนของCOMPARATORทำงานในระดับแรงดันINPUTที่เป็นบวก และต้องการให้อัตราขยาย(GAIN)เท่าเดิมจึงเลือกใช้วงจรBUFFERมาใช้งานโดยแขวนระดับแรงดันINPUTไว้ที่ 2.500 VOLTS เพราะได้กำหนดแรงดันINPUTไว้ 5 VOLTS PEAP TO PEAK วงจรที่ใช้งานมีลักษณะดังนี้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจร SAMPLING

วงจร SAMPLING จะใช้ IC LF398 ที่เป็น SPECIAL FUNCTION สำหรับทำหน้าที่ SAMPLING &HOLD SIGNAL

รายละเอียดของ IC LF398

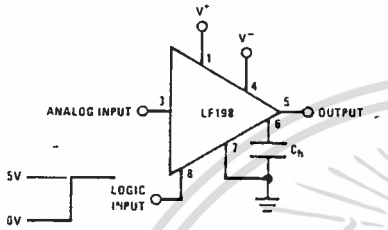
LF398 เป็น IC BI-FET ที่มี ACCURACY ดีมาก มีค่า ACQUISITION TIME เร็ว(ค่าเวลาในการ CLOSE SWITCH ที่ทำให้ค่าสัญญาณมีความถูกต้อง) และมีค่า DROOP RATE(อัตราที่ลดลงของแรงดัน OUTPUT ในช่วง HOLD เนื่องจากการรั่วของ CAPACITOR) INPUT SIGNAL เป็น BIPOLAR ที่มี OFFSET VOLTAGE ต่ำ แต่มี BANDWIDTHที่กว้างถึง 1 MHz. และมี INPUT IMPEDANCE สูงถึง 10 exp 10 OHMS. ทั้งยังมีสัญญาณรบกวนต่ำมากด้วย

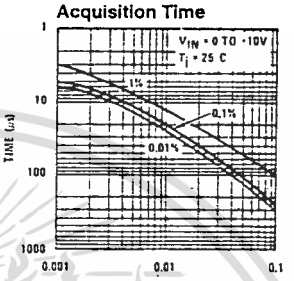
คุณสมบัติ

- ทำงานที่แหล่งจ่ายไฟ $\pm$ 5 V.ถึง $\pm$ 18 V.
- มี ACQUISITION TIME น้อยกว่า 1 μS.
- INPUT LOGIC เป็นไปได้ทั้ง TTL PMOS หรือ PMOS
- HOLD STEP = 0.5 mV. ที่ HOLD CAPACITOR = 0.01 μF.
- INPUT OFFSET ต่ำ
- มี GAIN ACCURACY = 0.002 %
- ในช่วงเวลา HOLD มี OUTPUT NOISE ต่ำ
- สัญญาณ INPUT ไม่เปลี่ยนแปลงใน ขณะ HOLD
- มี BANDWIDTH กว้าง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Connection and Performance Curve

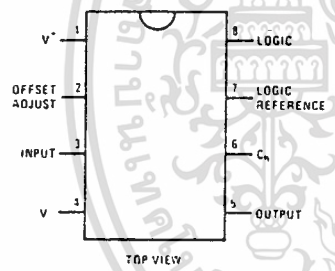




TL/H/5692–2

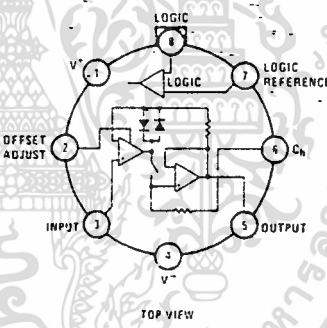
Connection Diagrams

Dual-In-Line Package



Order Number LF398N or LF398AN
See NS Package Number N08E

Metal Can Package



Order Number LF198H, LF298H,
LF398H, LF198AH or LF398AH
See NS Package Number H08C

TL/H/5692–11

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจร VARIABLE CLOCK OSCILLATOR

เนื่องจากวงจร CLOCK ที่ต้องการจะต้องมีความถี่ SQUARE WAVE ที่ปรับความถี่ได้ตั้งแต่ 10 KHz. จนถึง 1 MHz.โดยจะต้องมี DUTY CYCLE = 50 % คงที่ จึงเลือกใช้ IC TLC555 ที่มีคุณสมบัติพิเศษกว่า IC 555 ธรรมดา คือสามารถจะOSCILLATE ความถี่ได้สูงถึง 2MHz.(TYPICALLY) ในกรณีที่เป็นวงจร ASTABLE

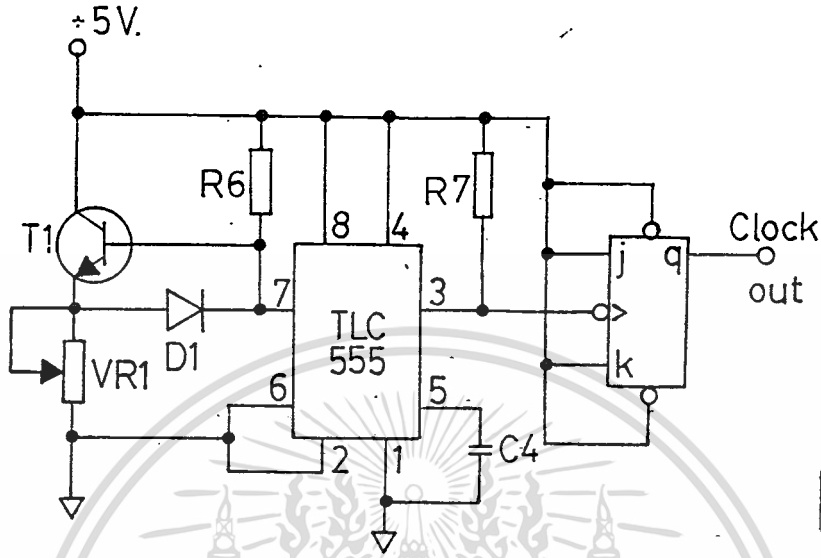
รายละเอียดของ TLC555

- กำลังสูญเสียต่ำ.....1 mW.(TYPE) ที่ VDD = 5 VOLTS
- สามารถผลิตความถี่ได้สูงถึง 2 MHz.(TYPICALY)เมื่อต่อเป็นวงจร ASTABLE
- จ่ายกระแส OUTPUTได้สูง SINK 100 mA.(TYPE)
  SOYRCE 10mA.(TYPE)
- INPUT IMPEDANCE สูงถึง 10 exp 12 OHMS. TYPE
- ใช้ไฟเลี้ยงเพียงชุดเดียวได้ตั้งแต่ 2-18 VOLTS.
- มีขาเหมือน TLC555 ทั่วๆไป จึงใช้เปลี่ยนแทนกันได้

IC TLC555 เป็นIC TIMING ตัวเดียวที่ใช้เทคนิคการผลิตแบบ LIN CMOS ของ TEXAS INSTRUMENT เพราะว่าทำให้ INPUT IMPEDANCE สูง (ค่าใช้งาน 10 exp 12 OHMS) มันสามารถจะ DELAY เวลาและกำเนิดความถี่ได้แน่นอนโดยใช้CAPACITOR ราคาถูกและมีค่าน้อยกว่าIC 555 ทั่วไป สำหรับการนำไปใช้งานก็เหมือนกับ IC 555 คือสามารถจะประกอบเป็นวงจร MONOSTABLE (ใช้ RESISTOR 1ตัว และ CAPACITOR 1 ตัว ในกรณีที่ต้องการ DUTY CYCLE 50 % ในวงจร ASTABLE ก็สามารถทำได้โดยใช้ RESISTOR เพียงตัวเดียวเท่านั้น

ด้วยกรรมวิธีในการผลิตแบบ LIN CMOS นี้ทำให้ IC TLC555 สามารถจะผลิตความถี่ได้สูงถึง 2 MHz. และสามารถจะนำไปใช้งานร่วมกับ IC ตระกูล CMOS TTLและMSC LOGICได้เลยและยังกินกำลังต่ำมาก(1mW.ที่ VDD = 5 V.) ทั้งยังสามารถใช้กับไฟเลี้ยงได้ตั้งแต่ 2-16 VOLTS.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



วงจรที่ใช้งาน

ความถี่ OUTPUT ที่ได้จะถูกนำมาหาร 2 ด้วยวงจร TOGGLE เพื่อให้ได้ DUTY CYCLE ที่มีเสถียรภาพ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การออกแบบวงจรภาค QUANTIZER และ ENCODER

ภาคนี้จะใช้วงจร ANALOG TO DIGITAL CONVERTER แบบ SUCCESSIVE APROXIMATION โดยจะสร้าง SUCCESSIVE APROXIMATION REGISTER ด้วย IC TTL GATES ดังวงจรในรูป

และวงจร DIGITAL TO ANALOG CONVERTER ในวงจร SUCCESSIVE APROXIMATION A/D CONVERTOR นั้นจะใช้ IC MC1408L8 ของบริษัท MOTOROLA

รายละเอียดของ MC1408

1. RELATIVE ACCURACY = 0.19 % ERROR MAXIMUM
2. FAST SETTING TIME =300 nSEC. (TYPICAL)
3. NONINVERTING DIGITAL INPUT ARE MTTL AND CMOS COMPATTIBLE
4. OUTPUT VOLTAGE SWING = +0.4 TO -5.0 VOLTS
5. HIGH SPEED MULTIPLYING INPUT SLEW RATE = 4.0 mA./ μSEC.
6. STANDARD SUPPLY VOLTAGE = + 5.0 V. AND - 5.0 V. TO - 15 V.

FIGURE 1 D-to-A TRANSFER CHARACTERISTICS

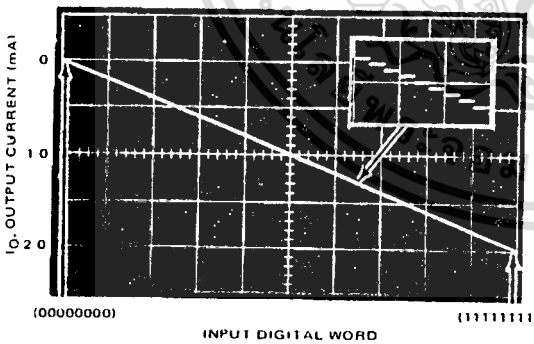
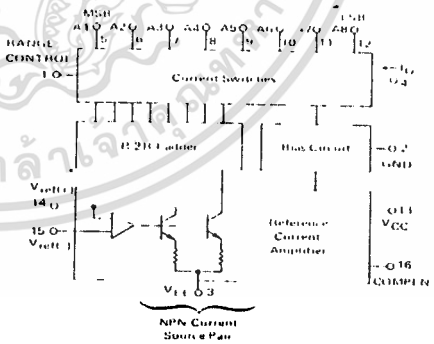


FIGURE 2 – BLOCK DIAGRAM



MC1408L8 ประกอบด้วยวงจรขยายกระแสอ้างอิง (REFERENCE CURRENT AMPLIFIER), R-2R LADDER และสวิตช์ความเร็วสูงที่ทำงานด้วยกระแส (EIGHT HIGH SPEED CURRENT SWITCHES) การใช้งานนั้นต้องการเพียงความต้านทาน (REFERENCE RESISTOR) และแรงดันอ้างอิง (REFERENCE VOLTAGE) เท่านั้นที่เพิ่มเข้าไปในวงจร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สวิตช์ทำงานด้วยสัญญาณที่ไม่กลับเฟส ดังนั้นสภาวะ HIGH ทางด้าน INPUT ในขณะ TURN ON จะกำหนดกระแสทางด้าน OUTPUT สวิตช์ที่ทำงานด้วยกระแสนี้จึงทำงานได้ที่ความเร็วสูง

ข้อกำหนดของการใช้แรงดันอ้างอิงและการ COMPENSATION

วงจร REFERENCE AMPLIFIER ต้องการแรงดันอ้างอิงที่ขา 14 เพื่อเปลี่ยนเป็นกระแสไปให้วงจร LADDER กระแสอ้างอิงที่ขา 14 จะต้องจ่ายให้ IC คงที่สม่ำเสมอ การต่อสำหรับแรงดันอ้างอิงที่เป็นบวก (POSITIVE REFERENCE VOLTAGE) แสดงในรูปที่ 1 แหล่งจ่ายแรงดันอ้างอิงจะจ่ายกระแสเต็มที่ขา 14 สำหรับแรงดันอ้างอิงแบบBIPOLAR ใน MULTIPLYING MODE R15 จะถูกต่อกับแรงดันลบ (NEGATIVE VOLTAGE) ตามระดับINPUT ที่ต่ำที่สุด

ค่า COMPENSATING CAPACITOR ต้องเพิ่มขึ้นตาม R14 เพื่อจะรักษา PHASE MARGIN สำหรับค่า R14 คือ 1.0,2.5,5.0 kOHMS ต้องใช้ค่า CAPACITOR เท่ากับ 15,37,และ 75pF CAPACITOR นี้ควรจะต่อกับแรงดัน VEE

สำหรับแรงดันอ้างอิงที่เป็นลบต้องต่อ R14 ลงGROUND และต่อ REFERENCE VOLTAGE ที่ขา 15 ข้อดีของการต่อแบบนี้คือ ทำให้ความต้านทานทางด้าน INPUT สูง (HIGH INPUT IMPEDANCE) การต่อ COMPENSATING CAPACITOR ก็เหมือนกับที่กล่าวมาแล้ว และแรงดันอ้างอิงที่เป็นลบจะต้องมากกว่า VEE SUPPLY อย่างน้อย 3.0 VOLTS สัญญาณINPUT ที่เป็น BIPOLAR ใช้ได้โดยต่อ R14 เข้ากับแรงดันอ้างอิงที่เป็นบวก ที่มีค่าเท่ากับINPUT ที่เป็นบวกที่ขา 15

เมื่อใช้แรงดันอ้างอิงไฟตรง (DC REFERENCE VOLTAGE) ควรจะใช้ CAPACITOR ต่อ BYPASS ลงGROUND ไฟบวก 5.0 VOLTS ที่ใช้จ่ายให้วงจร LOGIC ไม่ควรจะนำมาเป็นแรงดันอ้างอิง แต่ถ้าต้องการใช้ควรจะต่อ R14 กับแรงดันอ้างอิงนั้นผ่านความต้านทานอีกตัวหนึ่งและ BYPASS ที่จุดต่อของ R ทั้งสองนั้นด้วย CAPACITOR 0.1 uF ลงGROUND และสำหรับแรงดันอ้างอิงที่มีค่ามากกว่า 5.0 VOLTS CLAMP DIODE ควรจะนำมาต่อระหว่าขา 14และ GROUND

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การกำหนด OUTPUT VOLTAGE

แรงดันที่ขา 4 ถูกกำจัดอยู่ระหว่าง -0.55 ถึง +0.4 VOLT ที่ 25 องศาC ขึ้นอยู่กับวิธีการของกระแส SWITCHING ในIC MC1408L8 เมื่อสวิตช์กระแส TURN OFF แรงดันบวกทางด้าน OUTPUT DIODE จะ TURN ON ซึ่งจะทำให้ระดับของกระแสOUTPUT เพิ่มขึ้น เมื่อสวิตช์กระแส TURN ON แรงดันลบที่ OUTPUT จะถูกจำกัด

แรงดัน OUTPUT ที่เป็นลบของ MC1408L8 สามารถจะกำหนดให้เป็น -5.0 VOLTS ได้โดยปล่อยขา 1 ของ IC ลอยไว้ และแรงดัน SUPPLY ที่เป็นลบจะต้องให้เป็นลบมากกว่า -10 V. โดยให้ FULL SCALE CURRENT = 1.992 mA. และความต้านทาน LOADที่ขา 4 กับ GROUND จะต้องเท่ากับ 2.5 kOHMS. ซึ่งจะได้ระดับแรงดันOUTPUT = 256 ระดับ นั่นคือแรงดัน OUTPUT จะมีค่าระหว่าง 0 - 4.980 VOLTS การปล่อยขา1 ลอยไว้จะไม่มีผลต่อความเร็วหรือความสิ้นเปลืองพลังงานของIC แต่อย่างไรก็ตามค่าของความต้านทาน LOAD จะกำหนดแวลาการ SWITCHING ตามค่าแรงดันที่เพิ่มขึ้น

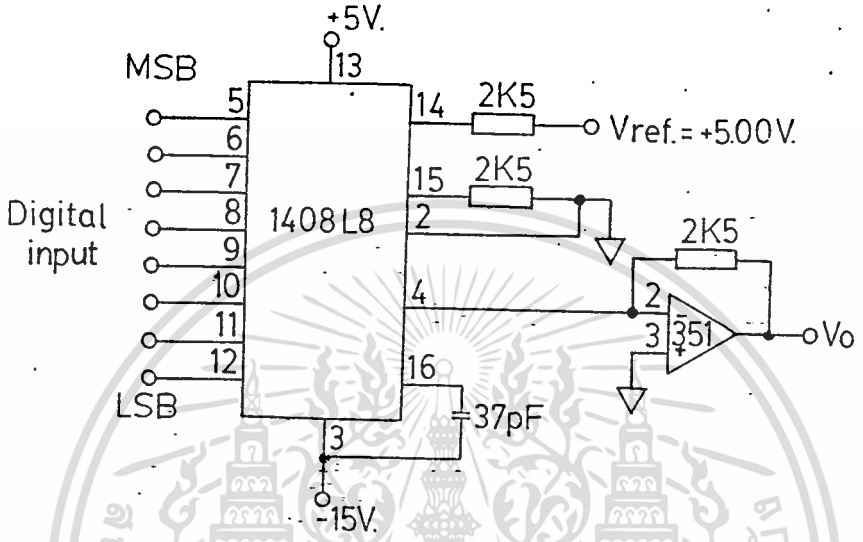
ACCURACY

ความถูกต้องสมบูรณ์(ABSOLUTE ACCURACY)สามารถวัดได้เป็นระดับของค่ากระแสOUTPUT และขึ้นอยู่กับค่าความถูกต้องสัมพัทธ์(RELATIVE ACCURACY) และค่ากระแส FULL SCALE DRIFT ค่า RELATIVE ACCURACY คือค่าที่ได้จากการวัดค่ากระแสของแต่ละOUTPUT ที่เป็นเศษส่วนของกระแส FULL SCALE ค่า RELATIVE ACCURACY ของ MC1408L8 ค่อนข้างที่จะคงที่ เพราะเสถียรภาพที่ดีมากของ MONOLITHIC RESISTOR ในวงจรLADDER ค่ากระแสอ้างอิง(REFERENCE VOLTAGE)M อาจจะเปลี่ยนแปลงตามอุณหภูมิ ทำให้เกิดการเปลี่ยนแปลงค่าABSOLUTE ACCURACY ของกระแสOUTPUT อย่างไรก็ตาม MC1408L8 ก็มีค่าความเปลี่ยนแปลงของกระแสต่ออุณหภูมิต่ำมากๆ

MC1408L8ได้รับการประกันความถูกต้องแน่นอนไม่เกิน $\pm$ 1/2 LBS. ที่กระแสOUTPUT FULL SCALE =1.992 mA. ซึ่งก็ตรงกับค่าขยายกระแส OUTPUT ที่จ่ายให้ R-2R LADDER NETWORK = 2 mA. รวมกับที่หายไป 1 LSB.(8 μA. - ค่าที่ตกคร่อมในวงจร LADDER) กระแสINPUT ที่ขา14 ยอมให้อยู่ระหว่าง 1.9 และ 2.1 mA.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรที่ใช้งาน



$$I_o = K\left[\frac{A}{2} + \frac{A2}{4} + \frac{A3}{8} + \frac{A4}{16} + \frac{A5}{32} + \frac{A6}{64} + \frac{A7}{128} + \frac{A8}{256}\right]$$

โดยที่ K = Vref/R14

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ผลการทดลอง DIGITAL TO ANALOG CONVERTER

จากวงจรทดลองในหน้าก่อน เราจะป้อน DIGITAL INPUT ที่ขา 5,6,7,8,9,10, 11,12 ที่เป็น TTL LOGIC แล้ววัดที่จุด Vo บันทึกผลที่ได้เปรียบเทียบกับการคำนวณดังนี้

DIGITAL INPUT	ค่าที่วัดได้	ค่าที่คำนวณได้
ขา 5 6 7 8 9 10 11 12	VOLTS	VOLTS
MSB.BIT 1 2 3 4 5 6 7 8 LSB.		
1 1 1 1 1 1 1 1	4.98	4.980
0 0 0 0 0 0 0 0	0.00	0.000
1 0 0 0 0 0 0 0	2.50	2.500
1 1 0 0 0 0 0 0	3.74	3.750
1 1 1 0 0 0 0 0	4.37	4.375
1 1 1 1 0 0 0 0	4.68	4.687
1 1 1 1 1 0 0 0	4.84	4.843
1 1 1 1 1 1 0 0	4.92	4.921
1 1 1 1 1 1 1 0	4.95	4.960
0 0 0 0 0 0 0 1	0.02	0.019
0 0 0 0 0 0 1 0	0.04	0.039
0 0 0 0 0 1 0 0	0.08	0.078
0 0 0 0 1 0 0 0	0.16	0.156
0 0 0 1 0 0 0 0	0.31	0.312
0 0 1 0 0 0 0 0	0.62	0.625
0 1 0 0 0 0 0 0	1.24	1.250

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DIGITAL INPUT	ค่าที่วัดได้	ค่าที่คำนวณได้
ขา 5 6 7 8 9 10 11 12	VOLTS	VOLTS
MSB.BIT 1 2 3 4 5 6 7 8 LSB.		
0 0 0 0 0 0 1 1	0.06	0.058
0 0 0 0 0 1 1 1	0.13	0.136
0 0 0 0 1 1 1 1	0.29	0.292
0 0 0 1 1 1 1 1	0.60	0.605
0 0 1 1 1 1 1 1	1.22	1.230
0 1 1 1 1 1 1 1	2.47	2.480

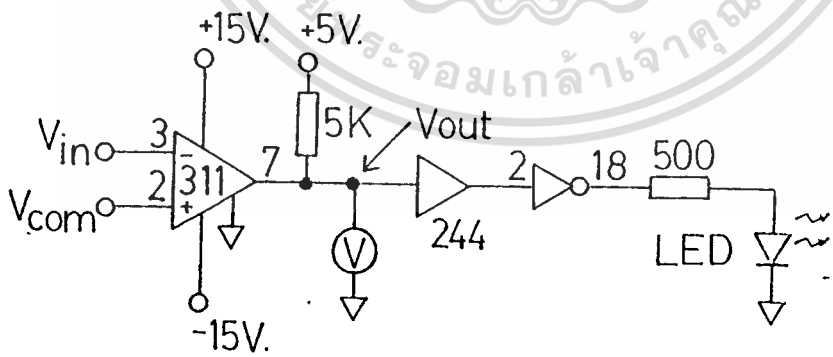
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

COMPARATOR

วงจร COMPARATORในภาค ENCODER & QUANTIZER ที่อยู่ในวงจร SUCESSIVE APROXIMATION REGISTERนั้น มีความสำคัญมาก เพราะต้องทำงานที่ความเร็วสูงและมีความสามารถในการ COMPARE ได้อย่างถูกต้องแม่นยำ สำหรับชุดทดลองนี้ ได้เลือก IC เบอร์ uA 311(หรือ LM311) ที่เป็น IC COMPARATOR มาใช้งานเพราะมีค่า VOLTAGE GAIN สูง (200 V/ uV) และสามารถเพิ่มค่า SLEW RATE ได้ถึง 18V /uS. รายละเอียดของ IC uA311

- LOW INPUT BIAS CURRENT 250 nA.MAX
- LOW INPUT OFFSET CURRENT 50 nA.MAX
- DIFFERENTIAL INPUT VOLTAGE ± 30 VOLTS.
- POWER SUPPLY VOLTAGE SINGLE 5.0 V. SUPPLY TO ± 30 V.
- OFFSET VOLTAGE NULL CAPABILITY
- STROBE CAPABILITY

การกำหนด OUTPUT VOLTAGE ทำได้โดยต่อ RESISTOR กับOUTPUT VOLTAGE ที่ต้องการนั้น สำหรับค่า RESISTOR นั้นจะเป็นตัวกำหนดกระแส OUTPUT ดังรูป



และเพื่อให้มั่นใจว่า LOGIC GATE จะไม่ดึงกระแสจนทำให้ COMPARATOR ทำงานผิดพลาดจึงได้ต่อ BUFFER TRISTATE ไว้ที่OUTPUT ของCOMPARATOR ด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ผลการทดลองวงจร COMPARATOR ที่ใช้IC 311

Vin-(3)	Vcom+(3)	Vout	LED	VLED
0.000V.	0.000V.	0.19V.	ON	3.54V.
0.022V.	0.000V.	0.14V.	ON	3.54V.
0.000V.	0.020V.	4.96V.	OFF	0.054V.
0.039V.	0.021V.	0.13V.	ON	3.54V.
0.156V.	0.020V.	0.14V.	ON	3.54V.
0.154V.	0.176V.	4.96V.	OFF	0.054V.
0.157V.	0.158V.	0.19V.	ON	3.54V.
GROUND	GROUND	0.019V.	ON	3.54V.
GROUND	+5.00V.	4.95V.	OFF	0.054V.
+5.00V.	GROUND	0.14V.	ON	3.54V.
+5.00V.	+5.00V.	0.19V.	ON	3.54V.

สรุปผล

IC COMPARATOR 311 การจัดวงจรในลักษณะนี้จะทำให้ได้ RESOLUTION $\pm$ 0.5 BIT = 0.195 V.

ถ้า Vin-(3) $\geq$ Vcom+(2) จะได้ Vout เป็น TTL LOGIC "0"

ถ้า Vin-(3) $<$ VCOM+(2) จะได้ Vout เป็น TTL LOGIC "1"

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาค CONTROL LOGIC AND SAMPLING SIGNAL

เนื่องจากเราต้องการสัญญาณไปควบคุมให้วงจร SUCCESSIVE APROXIMATION REGISTER ในภาค QUANTIZER & ENCODER ทำงานได้อย่างต่อเนื่อง ดังนั้นเราจึงต้องออกแบบวงจรสร้างสัญญาณควบคุมคือ

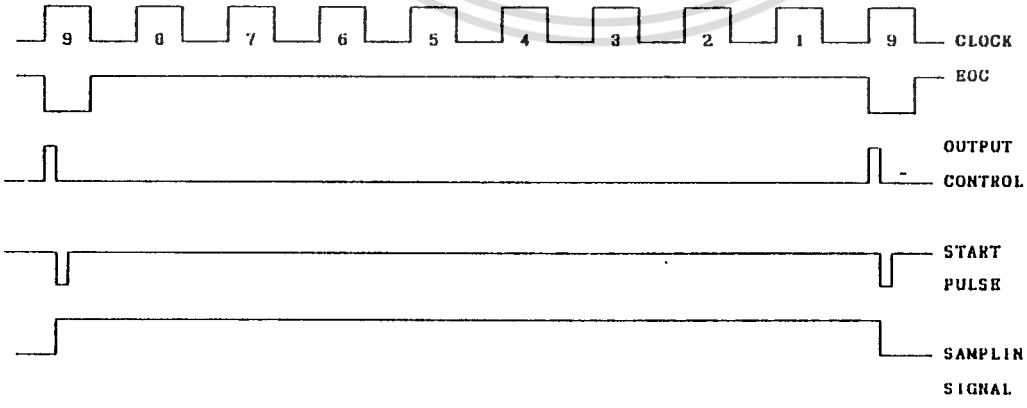
1.OUTPUT CONTROL SIGNAL

ใช้ในการ CONTROL ให้วงจร LATCH ที่ใช้ IC 74LS374 แบบ TRISTATE ให้ทำงานที่ CLOCK ขาขึ้น

2.START PULSE SIGNAL

นำไปทำการ START วงจร SUCCIVE APROXIMATION REGISTER ให้ทำการ INITIALIZE ตัวเองให้พร้อมที่จะรับสัญญาณ ANALOG INPUT ที่จะเข้ามา CONVERTต่อไป.

เพื่อความสะดวกจึงได้นำเอาสัญญาณส่วนหนึ่งของวงจร SUCCESSIVE APROXIMATION REGISTER ที่ถือได้ว่าเป็น EOC SIGNAL(END OF CONVERSION SIGNAL) เป็นสัญญาณอ้างอิงในการสร้างสัญญาณ OUTPUT CONTROL และSTART PULSE ดังรูป



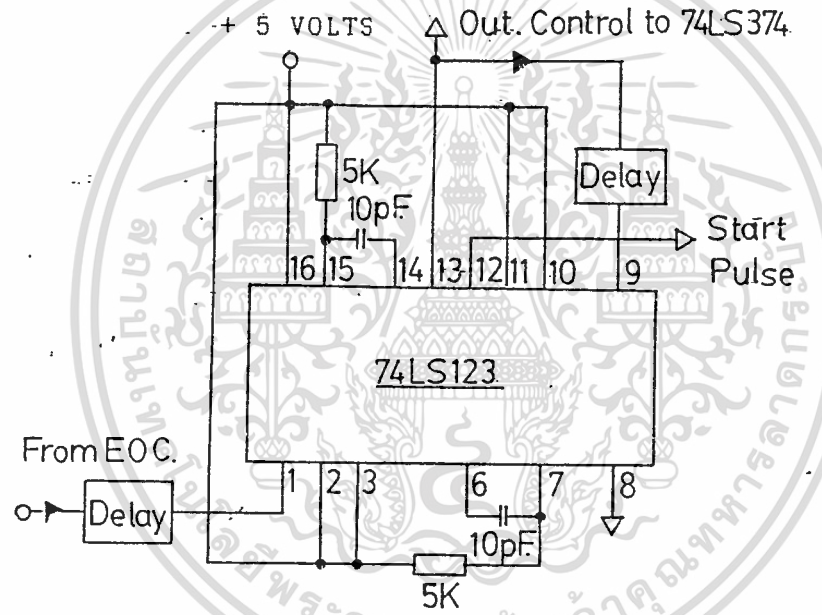
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.SAMPLING SIGNAL

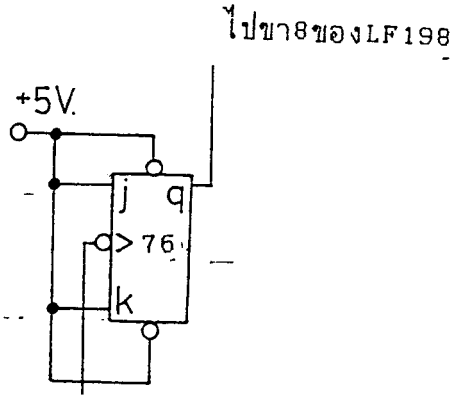
สร้างขึ้นจากสัญญาณ START PULSE เพื่อนำไปเป็นสัญญาณ SAMPLING ให้กับ SAMPLINGที่ใช้ IC LF398

การออกแบบ

OUTPUT CONTROL SIGNAL และSTART PULSE SIGNAL จะใช้ IC 74LS123 ซึ่งเป็น MONOSTABLE MULTIVIBRATOR DELAYสัญญาณ ควบคุมความกว้างของ PULSE ด้วย RESISTOR และCAPACITOR ดังนี้



สำหรับ SAMPLING SIGNAL นั้นจะนำเอา START PULSE SIGNAL ไปผ่านวงจร TOGGLE ที่ใช้ IC 74LS76 ดังนี้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5

การประกอบวงจรและการวัดผล

การประกอบวงจร

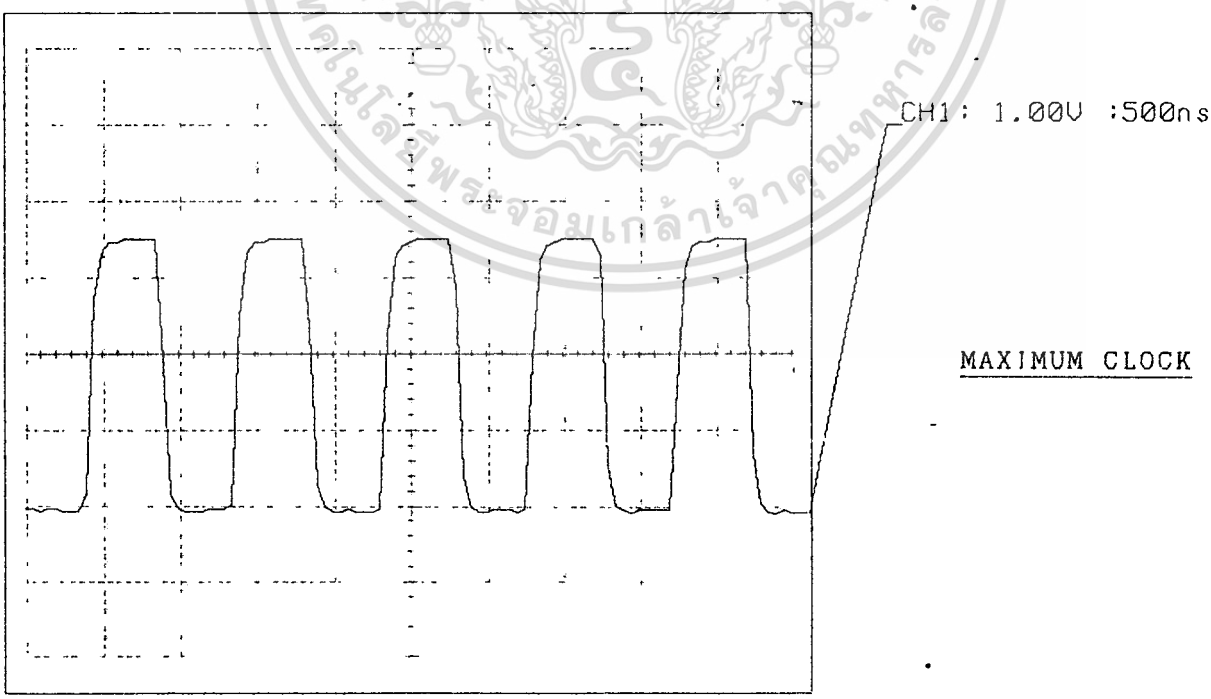
หลังจากที่ได้ออกแบบวงจรและทดลองใน PROTOBOARD แล้วจึงทำการประกอบวงจรทั้งหมดลงใน PRINT CIRCUIT BOARD โดยใช้วิธี WIRE WRAP เพื่อความสะดวกในการแก้ไข เพิ่มเติมในกรณีที่ต้องการ ตาม CIRCUIT DIAGRAM ในแผ่นที่ 1 เมื่อประกอบวงจรเสร็จแล้วจึงได้ทำแผงหน้ากาก ใส่อุปกรณ์ที่จำเป็น ดังรูปในแผ่นที่ 2

การวัดผล

1.ภาค CLOCK OSCILLATOR

เมื่อปรับ VR1ให้ได้ความถี่ OUTPUT สูงสุด จะได้ = 1.052631 MHz.

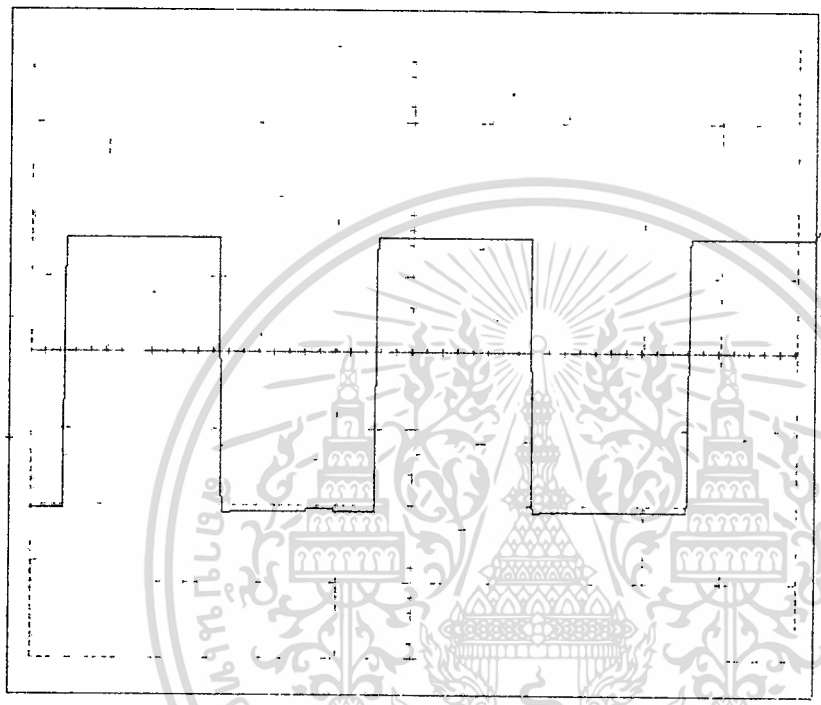
AMPLITUDE จะได้ = 3.6 V.p-p ดังรูป



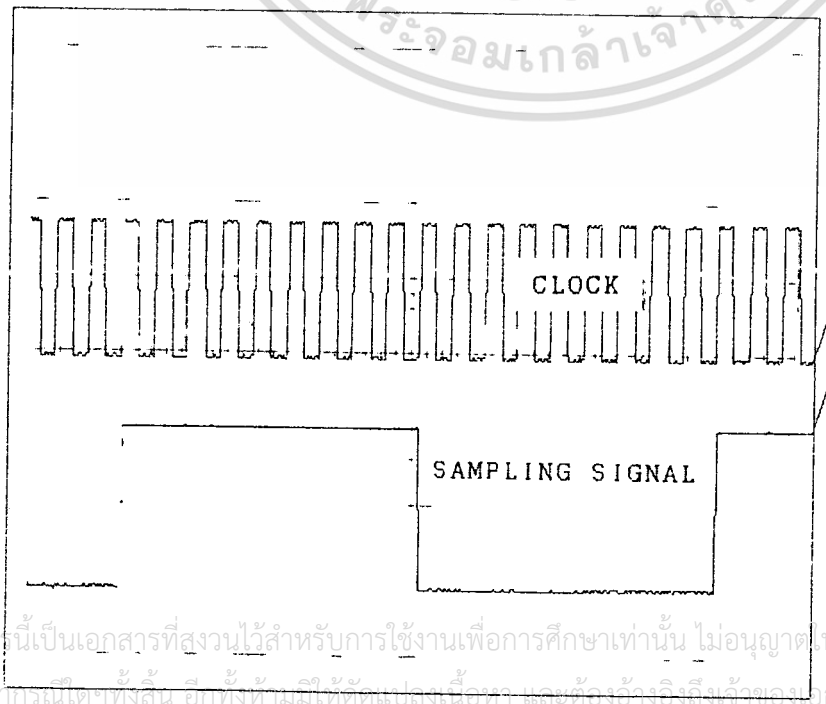
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อปรับ VR1ให้ได้ความถี่ OUTPUT ต่ำสุด จะได้ = 12.195 KHz.

AMPLITUDE จะได้ = 3.6 V.p-p ดังรูป



2. วัดสัญญาณ SAMPLING SIGNAL เทียบกับ สัญญาณ CLOCK ได้ดังนี้

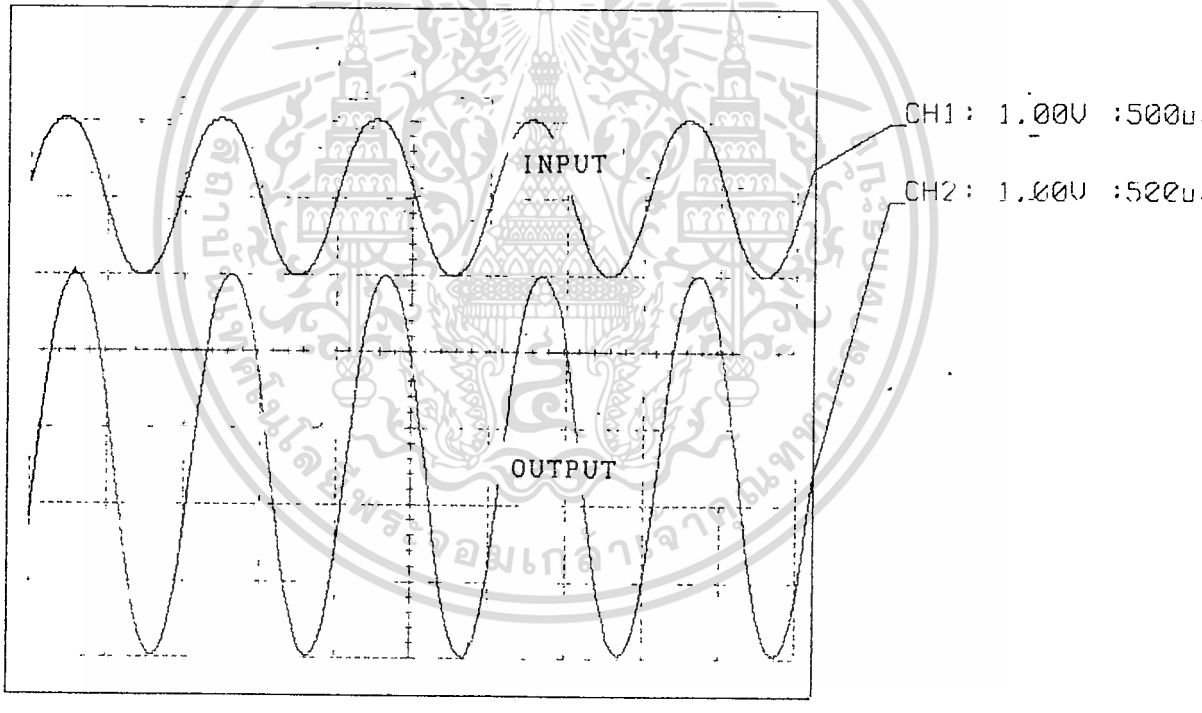


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จะเห็นว่าในขณะที่ CLOCK OSCILLATOR ผลิตความถี่ 18 PULSES จะมี SAMPLING SIGNAL 1 PULSE ดังนั้นความถี่สูงสุดของชุดทดลองนี้จะเท่ากับ

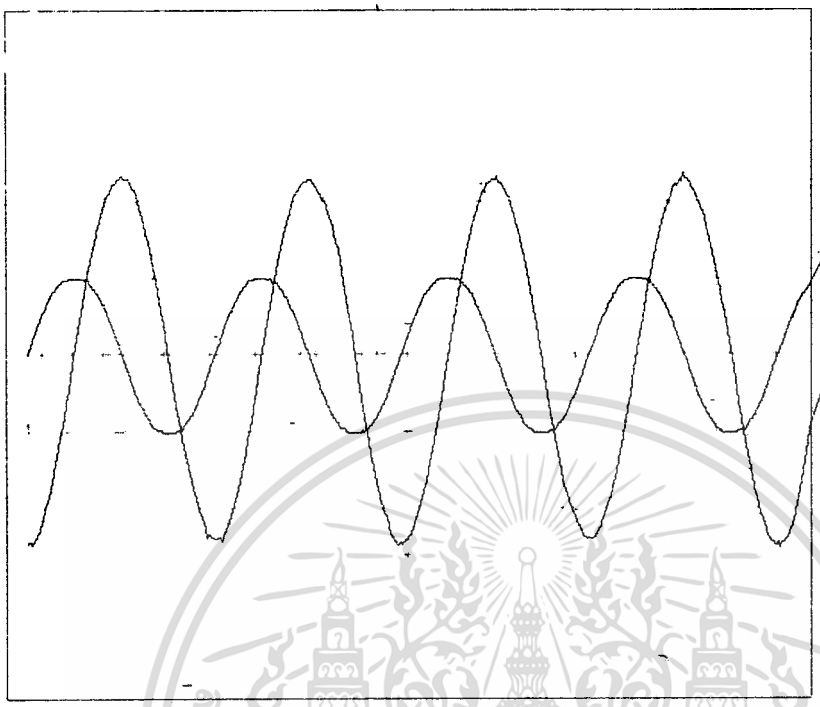
1.052631 MHz / 18 = 58.4795 KHz

3.ทดลองป้อน SINE WAVE ที่มีความถี่ 1 KHz., 4 KHz.และ 10KHz.ที่มีขนาด 2 V. peak to peak เข้าที่ ANALOG INPUT ปรับ CLOCK OSCILLATOR ให้มีสัญญาณ ANALOG OUTPUT ดีที่สุด จะได้ผลดังนี้คือ

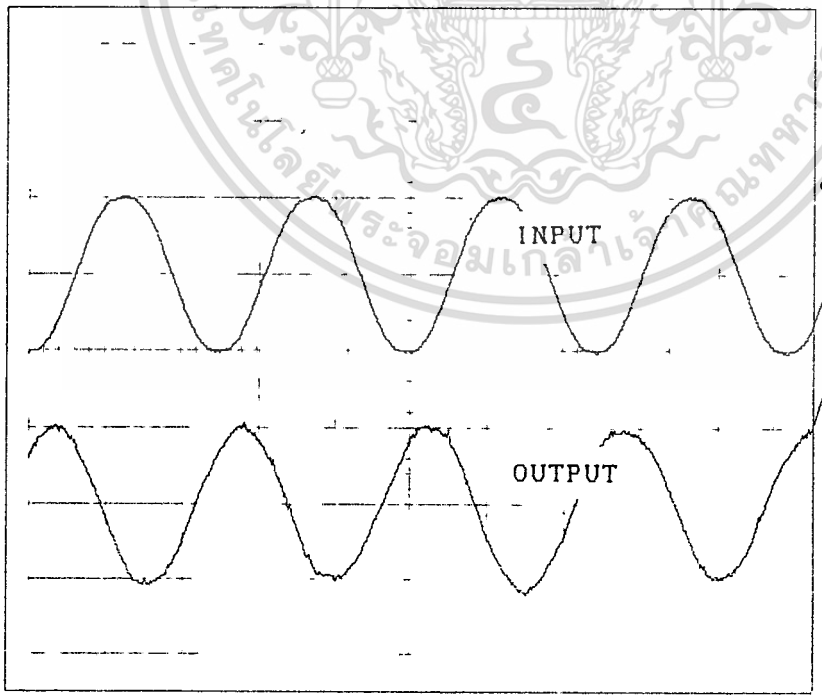


INPUT = 1KHz.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

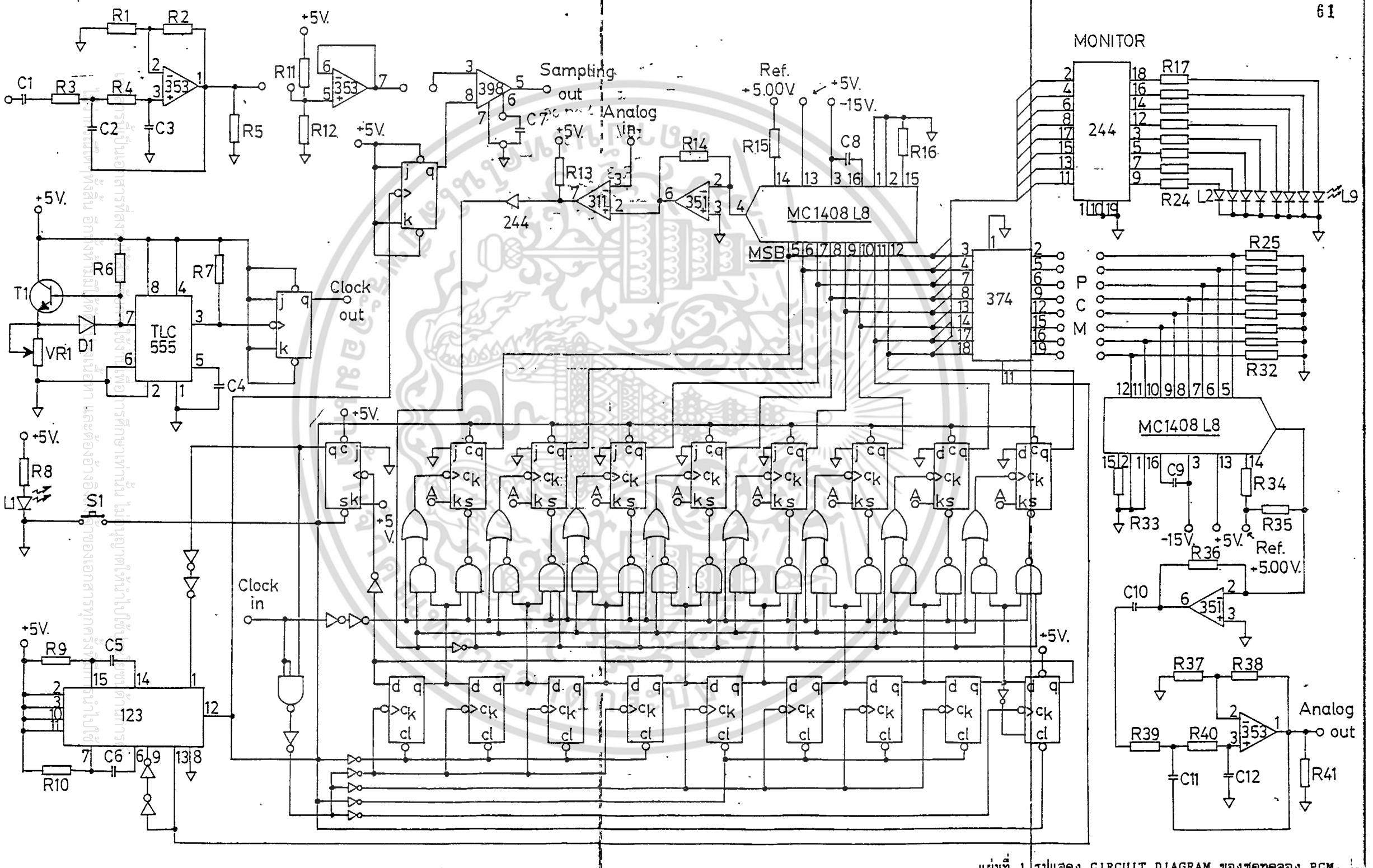


INPUT = 4KHz.



INPUT = 10KHz.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



แผ่นที่ 1 รูปแสดง CIRCUIT DIAGRAM ของชุดทดลอง PCM.

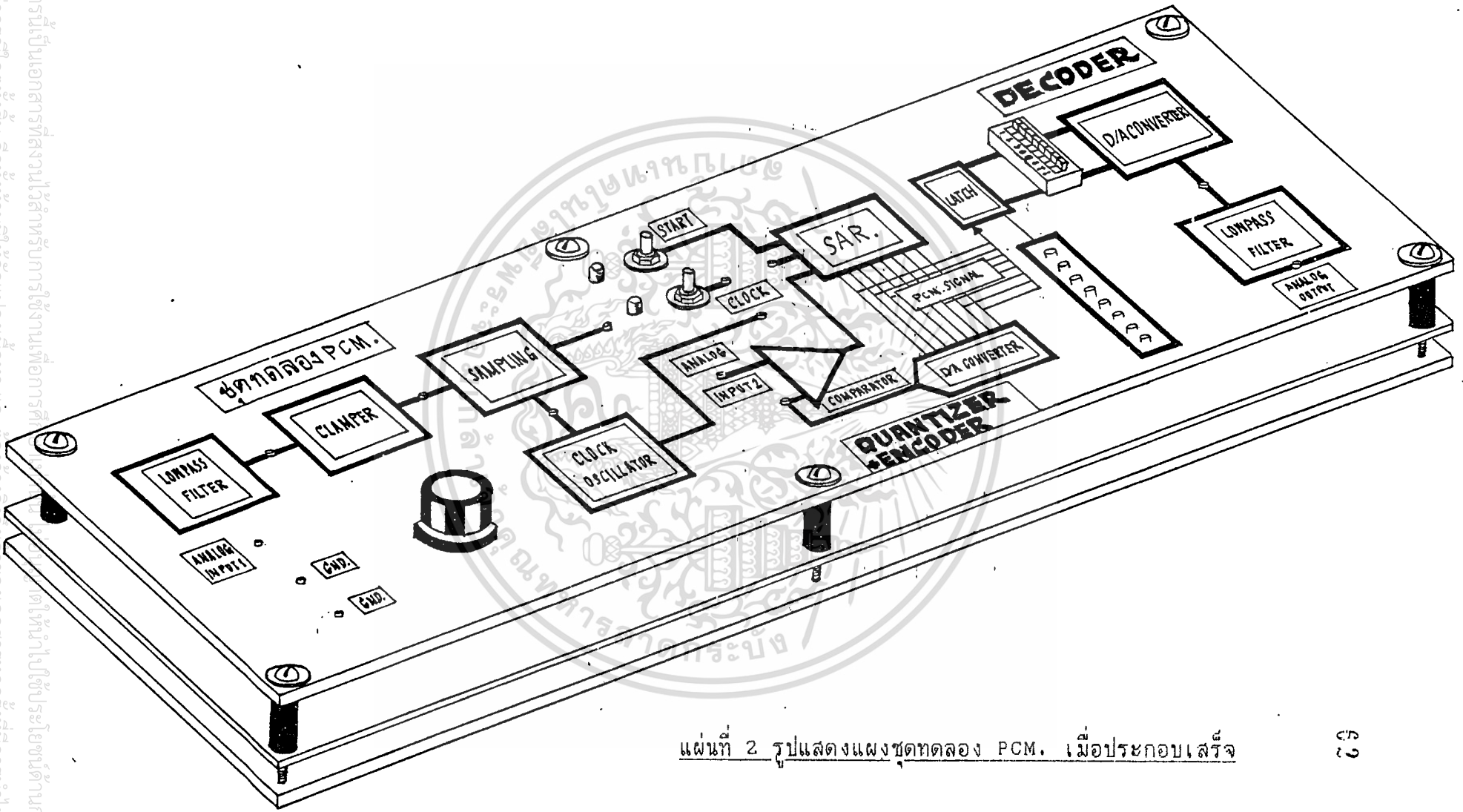
รายการอุปกรณ์

RESISTOR				CAPACITOR			
R1,R37	=	15	KOHMS.	C1,C10	=	10	uFARAD.
R2,R38	=	27	KOHMS.	C2,C3,C11,C12	=	4.7	uFARAD.
R3,R4,R39,R40	=	3.3	KOHMS.	C4	=	0.01	uFARAD.
R5,R11,R12,R41	=	10.00	KOHMS.	C5,C6	=	10	pFARAD.
R6	=	1.5	KOHMS.	C7	=	0.012	uFARAD.
R7	=	10	MOHMS.	C8,C9	=	75	PFARAD.
R8,R17-R24	=	330	OHMS.				
R9,R10,R13	=	5.00	KOHMS.				
R14-R16,R33-R36	=	2.500	KOHMS.				
R25-R32	=	560	OHMS	D1 เบอร์		1N914	
VR1	=	100	KOHMS.	T1 เบอร์		2N356	
LED	11		ตัว				

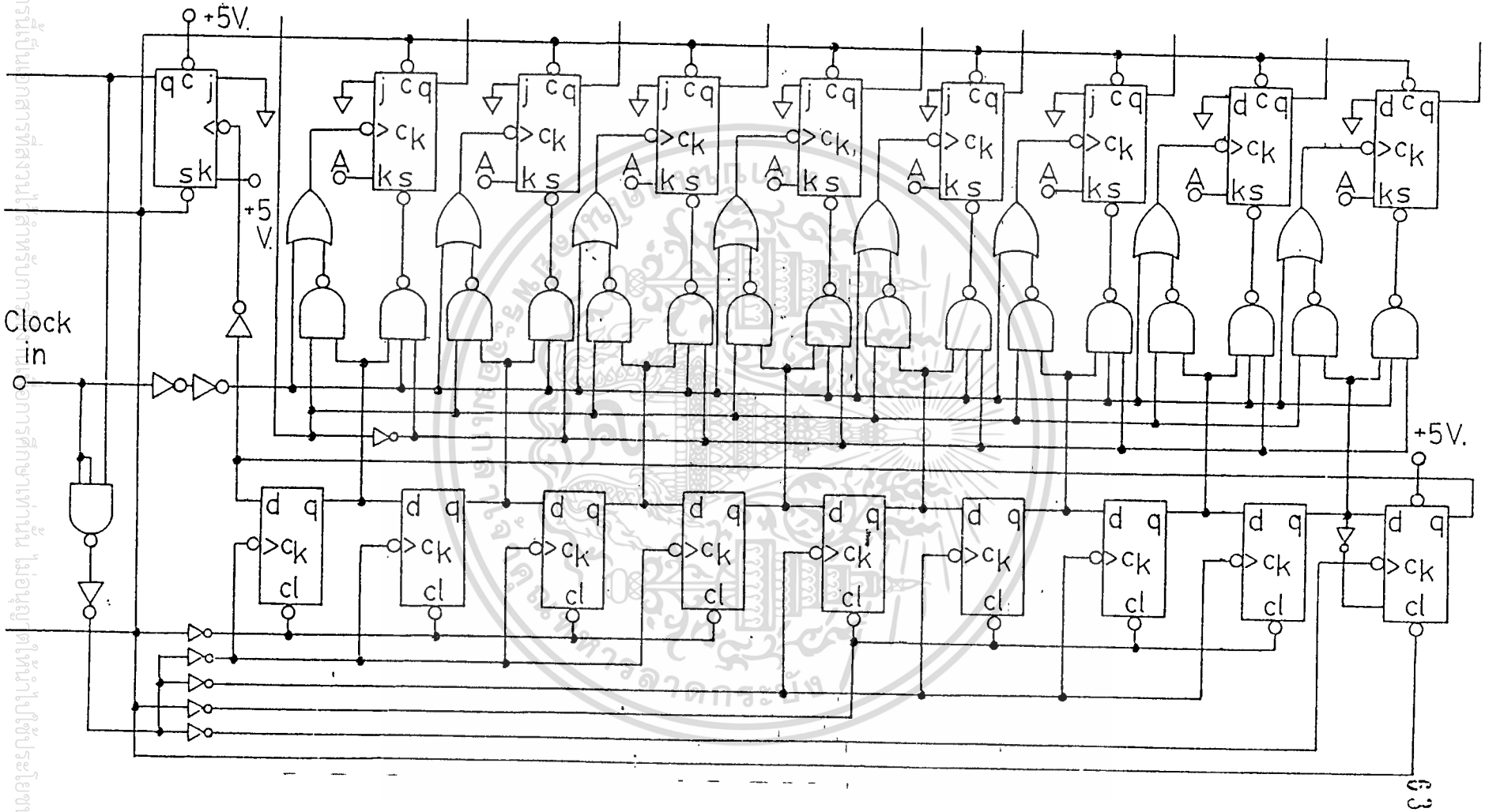
IC

1. LM311	1	ตัว	2. LF351	2	ตัว
3. LF353	2	ตัว	4. LF398	1	ตัว
5. TLC555	1	ตัว	6. MC1408L8	2	ตัว
7. 74LS244	2	ตัว	8. 74LS123	1	ตัว
9. 74LS374	1	ตัว	10. 74LS00	5	ตัว
11.74LS10	3	ตัว	12. 74LS14	2	ตัว
13.74LS74	2	ตัว	14. 74LS76	6	ตัว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

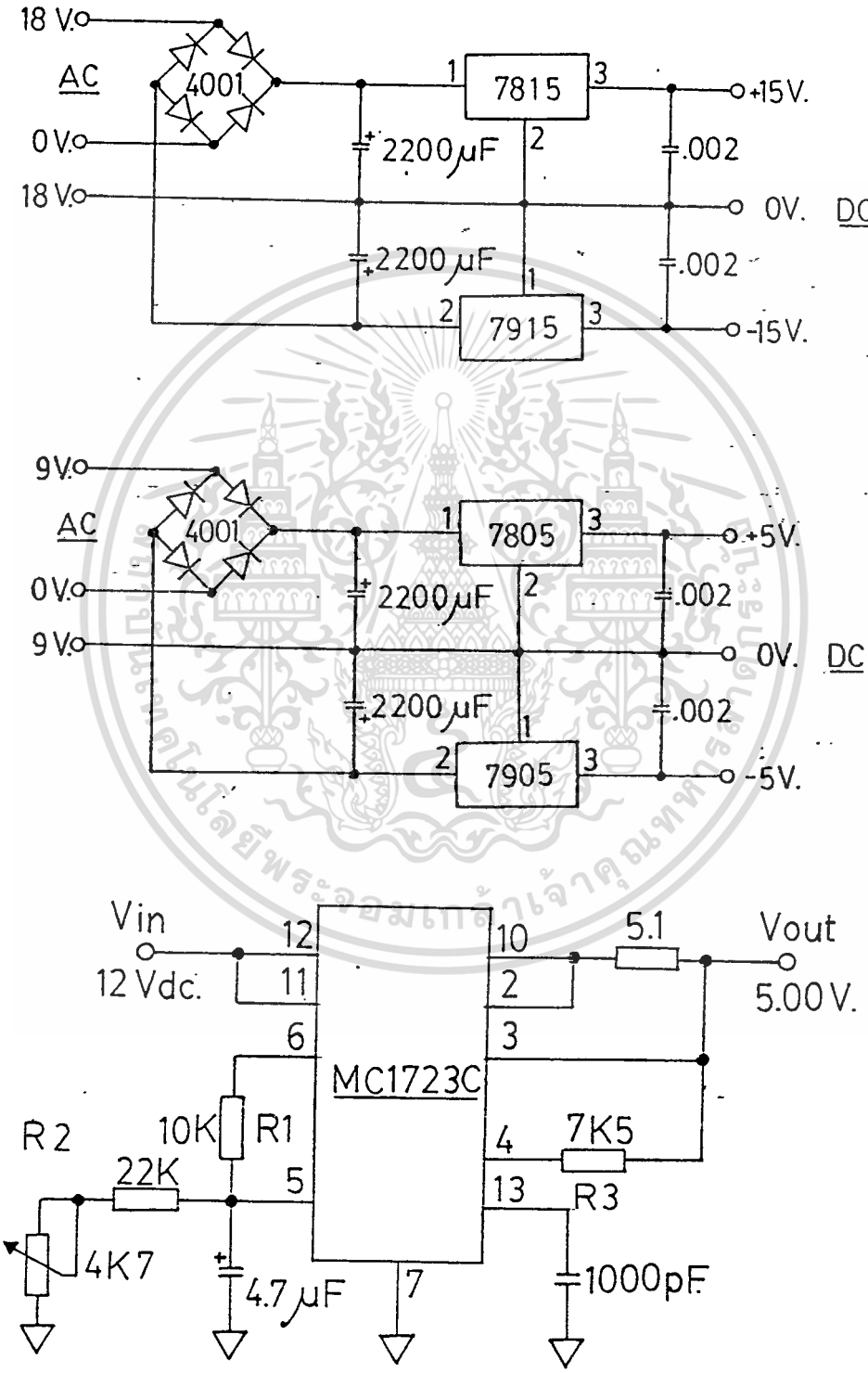


แผ่นที่ 2 รูปแสดงแผงชุดทดลอง PCM. เมื่อประกอบเสร็จ



รูปที่ SUCCESSIVE APROXIMATION REGISTER

CIRCUIT DIAGRAM OF POWER SUPPLY



& VOLTAGE REFERENCE

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 6

การใช้งานชุดทดลอง PCM.

วัตถุประสงค์

1. เพื่อศึกษาหลักการของ PULSE CODE MODULATION

2. เพื่อศึกษาการทำงานของวงจร ANALOG TO DIGITAL CONVERTER แบบ SUCCESSIVE APROXIMATION

เครื่องมือและอุปกรณ์

1 ชุดทดลอง PULSE CODE MODULATION

2 SIGNAL GENERATOR

3 DUAL TRACE OSCILLOSCOPE

4 DC POWER SUPPLY

5 DIGITAL VOLT METER

ขั้นตอนการทดลอง เพื่อศึกษาหลักการของ PULSE CODE MODULATION

1 ป้อนไฟเลี้ยงให้ชุดทดลอง

2 JUMP CLOCK OUTPUT กับ SAR.IN

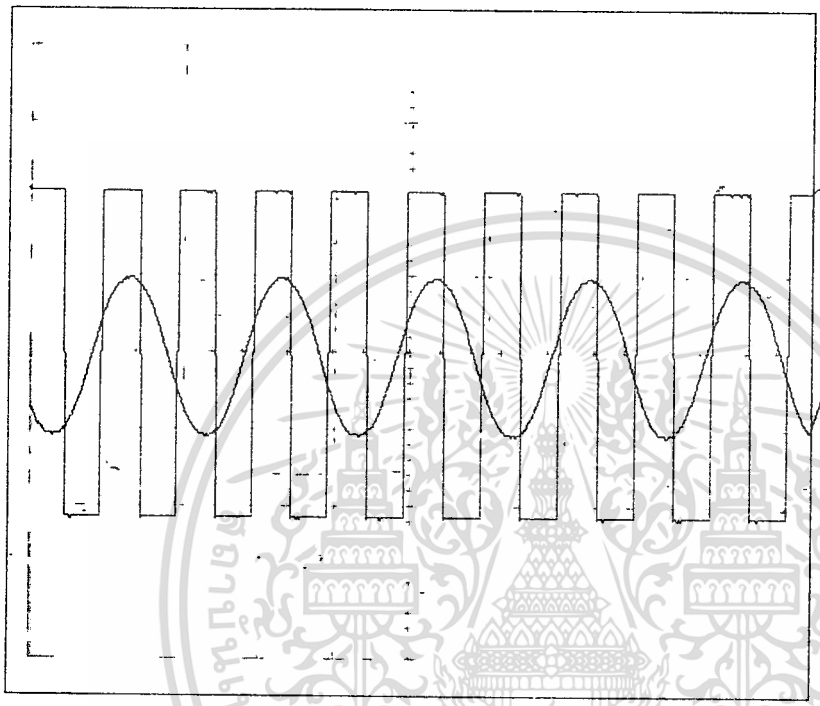
3 JUMP SAMPLING OUTPUT กับ ANALOG INPUT 2

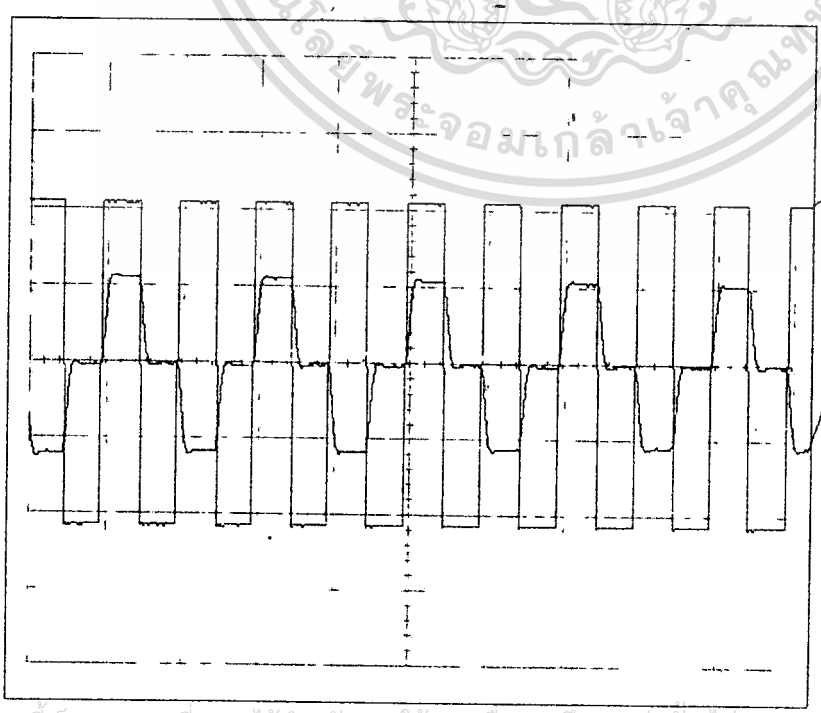
4 ป้อนสัญญาณ SINE WAVE 1KHz. 2 V.peak to peak เข้าที่ ANALOG INPUT 1 กดปุ่ม START

5 ปรับ CLOCK OSCILLATOR ให้ได้ SAMPLING RATE = 2 เท่าของความถี่ INPUT SIGNAL นั่นคือ 2 KHz. ใช้ OSCILLOSCOPE วัดสัญญาณ ANALOG OUTPUT ที่ภาค DECODER เปรียบเทียบกับ INPUT

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

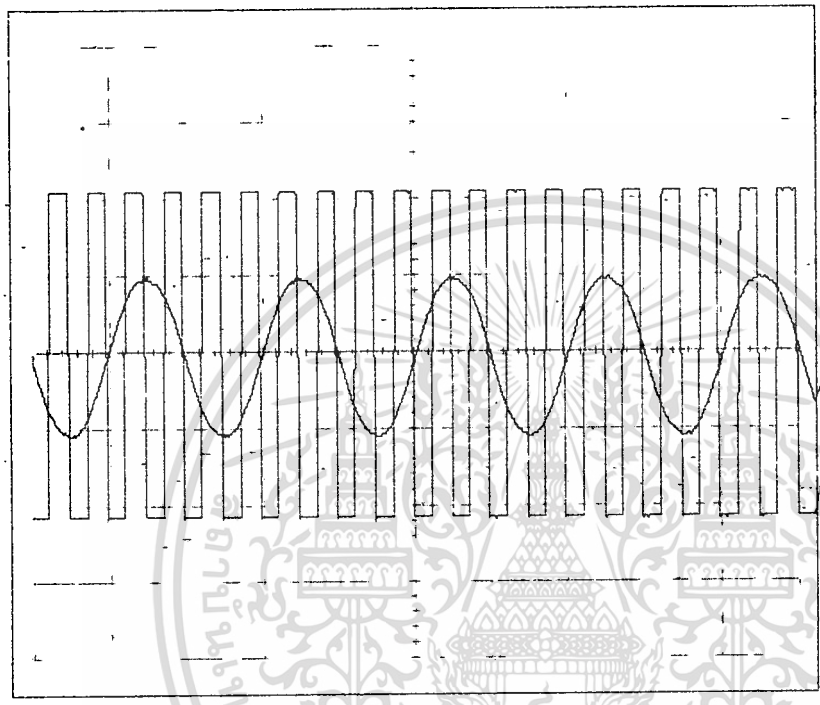
6 บันทึกผลการทดลองที่ได้ ดังนี้

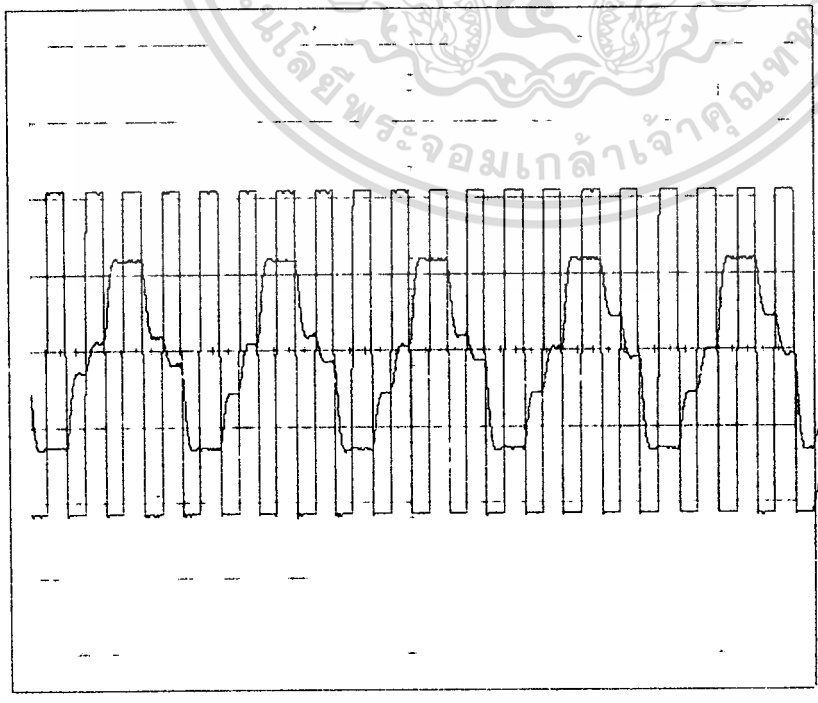




เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

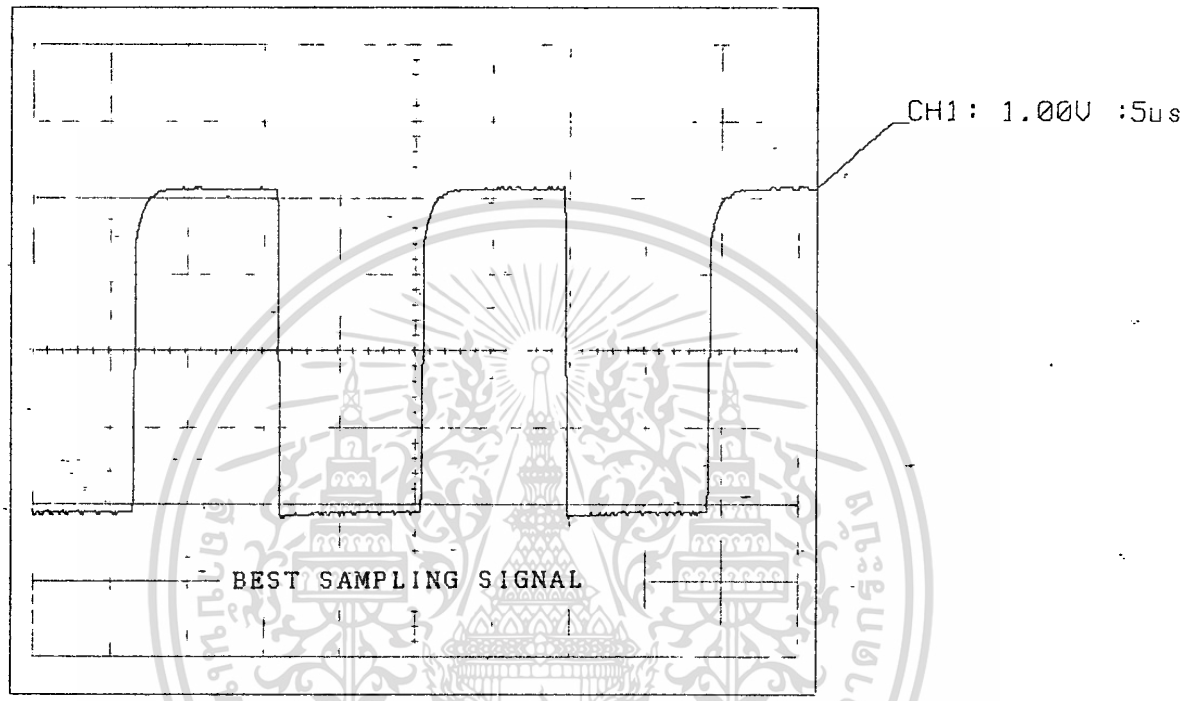
7 ปรับ CLOCK OSCILLATOR ให้ได้ SAMPLING RATE = 4 เท่าของความถี่ INPUT บันทึกผลที่ได้ดังนี้





เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

8 ปรับ CLOCK OSCILLATOR ให้ได้ OUTPUT SIGNAL ดีที่สุด (เป็น SINE WAVE ที่สุด) บันทึกผล และวัดความถี่ SAMPLING ได้ดังนี้



ขั้นตอนการทดลอง เพื่อศึกษาการทำงานของ SAR.

1 JUMP CLOCK จากปุ่ม CLOCK เข้ากับ SAR. IN

2 ป้อนไฟ DC = 2.5 V.DC เข้าที่ ANALOG INPUT 2

3 ใช้ DC DIGITAL VOLTMETER วัดที่ OUTPUT D TO A CONVERTER ที่ภาค DECODER

4 กดปุ่ม CLOCK SWITCH เพื่อป้อน PULSE ทีละลูกให้วงจร สังเกตุ LED MONITOR ว่ามีการเปลี่ยนแปลงอย่างไร และหลังจาก CLOCK ลูกที่ 9 แล้วนั้น VOLTAGE ที่ OUTPUT ของ D TO A CONVERTER เป็นเท่าไร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

LED จะติดทีละดวง (หลังจากนั้นอาจจะดับหรือติดค้าง ขึ้นอยู่กับค่าของINPUT) ในขณะนี้จะอยู่ในระหว่างการ WEIGHT ค่า ของ INPUT โดยเริ่มจาก LED ดวงบนสุด(MSB) ไปเรื่อยๆ จนถึง LED ดวงล่างสุด (LSB) เมื่อถึง CLOCK ลูกที่ 9 วงจร LATCH จะ LATCH ให้ OUTPUT ของ A TO D CONVERTER ในภาค DECODER จะมีค่า VOLTAGE ปรากฏอยู่ แสดงว่าใน 1 CONVERSION TIME จะใช้ CLOCK 9 ลูกสำหรับ 8BITS DIGITAL OUTPUT

ความสัมพันธ์ระหว่าง OUTPUT DIGITAL 8BITS กับค่า VOLTAGE INPUT(หรือหลังจาก DECODE แล้ว) เป็นไปตามสมการ

$$V_o = K (B1/2 + B2/4 + B3/8 + B4/16 + B5/32 + B6/64 + B7/128 + B8/256$$

โดยที่ K = Vref = 5.00 VOLTS ดังนั้น INPUT 2.50 Vdc. ควรจะแสดงผลดังนี้

MSB. B1	B2	B3	B4	B5	B6	B7	B8 LSB.
ON	OFF	OFF	OFF	OFF	OFF	OFF	OFF

5 ทำการทดลองซ้ำข้อ 2 ถึง 4 โดยเปลี่ยน DC INPUT VOLTAGE ตามตาราง และบันทึกผล OUTPUT เปรียบเทียบ ค่า INPUT ,OUTPUT และค่าที่คำนวณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DC INPUT (VOLTS)	DC OUTPUT (VOLTS)
2.50	
3.00	
3.75	
4.00	
5.00	

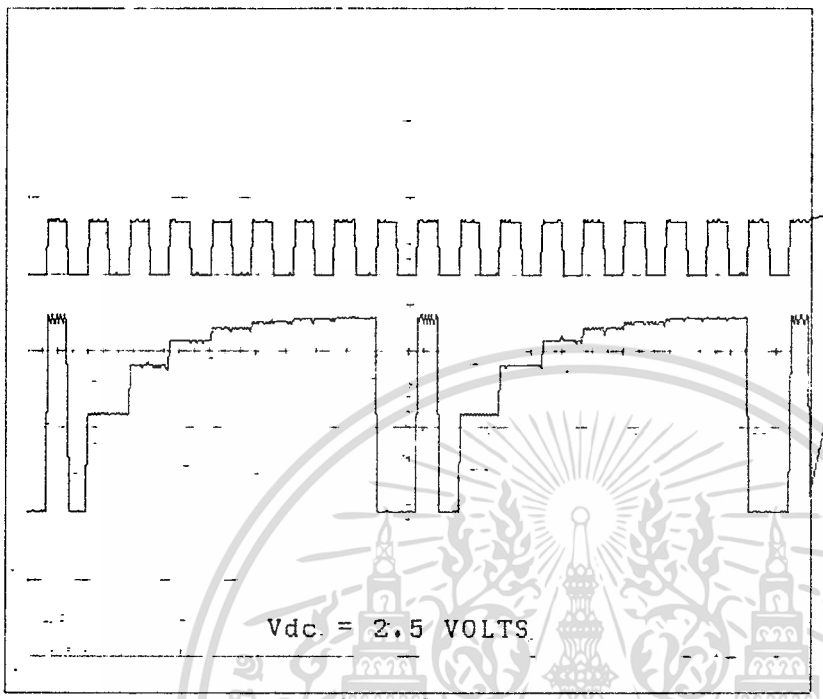
8 JUMP CLOCK จาก CLOCK OSCILLATOR กับ SAR. IN

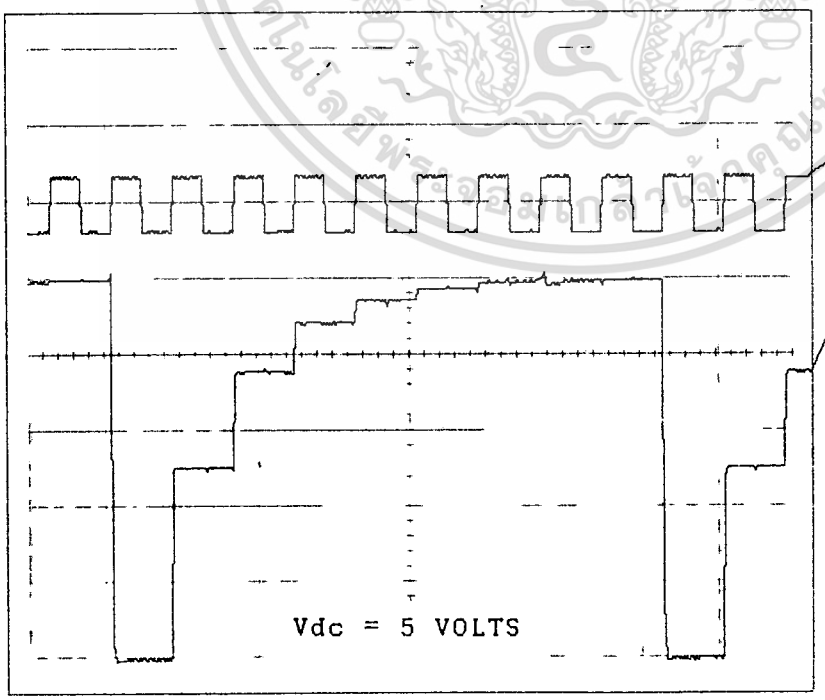
9 ใช้ OSCLLOCCOPE วัดที่จุด COMPARATOR ปรับ CLOCK OSCILLATOR ให้ได้ WAVE FORM บน OSCILLOSCOPE ดีที่สุด

10 ใช้ OSCILLOSCOPE วัดสัญญาณที่ COMPARATOR เปรียบเทียบกับสัญญาณ CLOCK

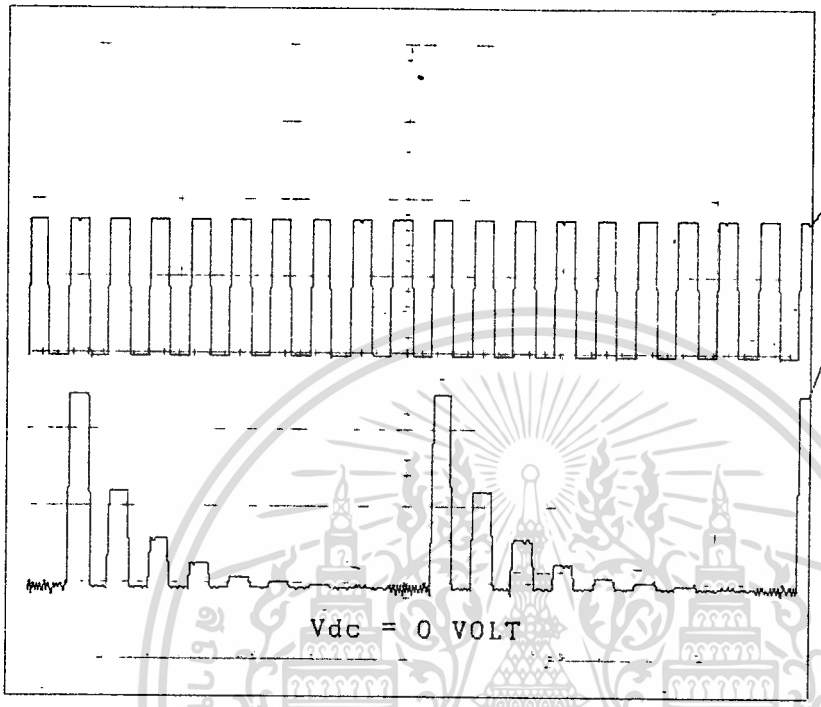
11 ทดลองปรับ DC INPUT แล้วสังเกตุผลใน OSCILLOSCOPE ซึ่งควรจะได้ WAVE FORM ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้





เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 7

สรุปผล

ชุดทดลองนี้มีคุณสมบัติเป็นไปตามวัตถุประสงค์ที่ตั้งไว้ คือ

สามารถแปลงสัญญาณ ANALOG ที่มีขนาด 5.0 V. peak to peak มี BANDWIDTH 0-10 KHz. มีจำนวน STEP ของการ QUANTIZATION เท่ากับ 256 STEPS (8 BITS) ที่มีการเข้ารหัส DIGITALแบบ BINARY UNIPOLAR CODING โดยวงจรภาค QUANTIZER & ENCODER ที่เป็นหัวใจของระบบ PULSE CODE MODULATION นั้นสร้างมาจากวงจร DIGITAL พื้นฐาน ที่ไม่ได้ใช้ IC SPECIAL FUNCTION ตัวเดียวโดดๆที่ใช้งานในการแปลงสัญญาณ PCM. จริง แสดงให้เห็นมีความสามารถเป็นไปได้ในการออกแบบสร้างวงจร ELECTRONICS โดยอิงทฤษฎีที่ได้เรียนมา ถึงแม้ว่าผลที่ได้รับนั้นจะไม่สมบูรณ์ 100 % ก็ตามอย่างไรก็ดีผู้จัดทำหวังว่าชุดทดลองนี้คงจะเป็นประโยชน์สำหรับผู้ที่จะศึกษาวิธีการของ PCM. เบื้องต้นและอาจจะพัฒนาให้สมบูรณ์ต่อไป

****

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor Corporation

LF198/LF298/LF398, LF198A/LF398A Monolithic Sample and Hold Circuits

General Description

The LF198/LF298/LF398 are monolithic sample and hold circuits which utilize BI-FET technology to obtain ultra-high dc accuracy with fast acquisition of signal and low droop rate. Operating as a unity gain follower, dc gain accuracy is 0.002% typical and acquisition time is as low as 6 μs to 0.01%. A bipolar input stage is used to achieve low offset voltage and wide bandwidth. Input offset adjust is accomplished with a single pin, and does not degrade input offset drift. The wide bandwidth allows the LF198 to be included inside the feedback loop of 1 MHz op amps without having stability problems. Input impedance of $10^{10}\Omega$ allows high source impedances to be used without degrading accuracy.

P-channel junction FET's are combined with bipolar devices in the output amplifier to give droop rates as low as 5 mV/min with a 1 μF hold capacitor. The JFET's have much lower noise than MOS devices used in previous designs and do not exhibit high temperature instabilities. The overall design guarantees no feed-through from input to output in the hold mode, even for input signals equal to the supply voltages.

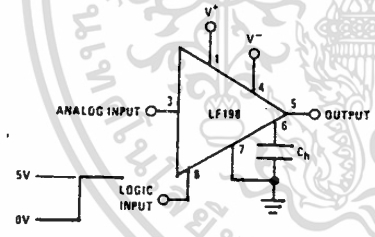
Features

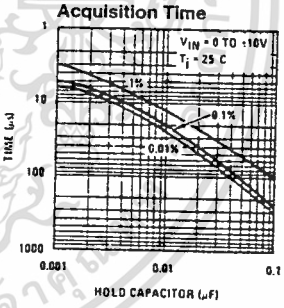
- Operates from $\pm$5V to $\pm$18V supplies
- Less than 10 μs acquisition time
- TTL, PMOS, CMOS compatible logic input
- 0.5 mV typical hold step at C_h = 0.01 μF
- Low input offset
- 0.002% gain accuracy
- Low output noise in hold mode
- Input characteristics do not change during hold mode
- High supply rejection ratio in sample or hold
- Wide bandwidth

Logic inputs on the LF198 are fully differential with low input current, allowing direct connection to TTL, PMOS, and CMOS. Differential threshold is 1.4V. The LF198 will operate from $\pm$5V to $\pm$18V supplies. It is available in an 8-lead TO-5 package.

An "A" version is available with tightened electrical specifications.

Typical Connection and Performance Curve

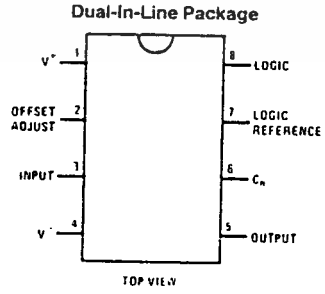




TL/H/5692–2

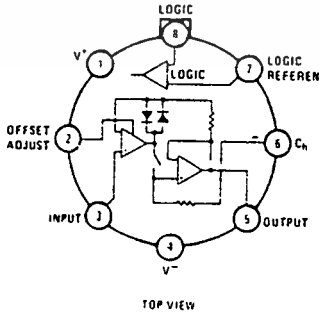
Connection Diagrams

Dual-In-Line Package



Order Number LF398N or LF398AN
See NS Package Number N08E

Metal Can Package



Order Number LF198H, LF298H, LF398H, LF198AH or LF398AH
See NS Package Number H08C

TL/H/5692–11

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings

If Military/Aerospace specified devices are required, contact the National Semiconductor Sales Office/ Distributors for availability and specifications.

Supply Voltage	±18V
Power Dissipation (Package Limitation) (Note 1)	500 mW
Operating Ambient Temperature Range	
LF198/LF198A	−55°C to +125°C
LF298	−25°C to +85°C
LF398/LF398A	0°C to +70°C
Storage Temperature Range	−65°C to +150°C
Input Voltage	Equal to Supply Voltage
Logic To Logic Reference Differential Voltage (Note 2)	+7V, −30V
Output Short Circuit Duration	Indefinite
Hold Capacitor Short Circuit Duration	10 sec
Lead Temperature (Soldering, 10 seconds)	260°C
Thermal Resistance (θ_{JA}) (typicals)	
H package	215°C/W (Board mount in still air)
	85°C/W (Board mount in 400LF/min air flow)
N package	115°C/W
θ_{JC} (typical)	20°C/W

Electrical Characteristics (Note 3)

Parameter	Conditions	LF198/LF298			LF398			Units
		Min	Typ	Max	Min	Typ	Max	
Input Offset Voltage, (Note 6)	T_j = 25°C		1	3		2	7	mV
	Full Temperature Range			5			10	mV
Input Bias Current, (Note 6)	T_j = 25°C		5	25		10	50	nA
	Full Temperature Range			75			100	nA
Input Impedance	T_j = 25°C		10^{10}			10^{10}		Ω
Gain Error	T_j = 25°C, R_L = 10k		0.002	0.005		0.004	0.01	%
	Full Temperature Range			0.02			0.02	%
Feedthrough Attenuation Ratio at 1 kHz	T_j = 25°C, C_h = 0.01 μF	86	96		80	90		dB
Output Impedance	T_j = 25°C, "HOLD" mode		0.5	2		0.5	4	Ω
	Full Temperature Range			4			6	Ω
"HOLD" Step, (Note 4)	T_j = 25°C, C_h = 0.01 μF, V_{OUT} = 0		0.5	2.0		1.0	2.5	mV
Supply Current, (Note 6)	$T_j \geq 25°C$		4.5	5.5		4.5	6.5	mA
Logic and Logic Reference Input Current	T_j = 25°C		2	10		2	10	μA
Leakage Current into Hold Capacitor (Note 6)	T_j = 25°C, (Note 5) Hold Mode		30	100		30	200	pA
Acquisition Time to 0.1%	ΔV_{OUT} = 10V, C_h = 1000 pF		4			4		μs
	C_h = 0.01 μF		20			20		μs
Hold Capacitor Charging Current	$V_{IN} - V_{OUT}$ = 2V		5			5		mA
Supply Voltage Rejection Ratio	V_{OUT} = 0	80	110		80	110		dB
Differential Logic Threshold	T_j = 25°C	0.8	1.4	2.4	0.8	1.4	2.4	V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ctrical Characteristics (Continued) (Note 3)

Parameter	Conditions	LF198A			LF398A			Units
		Min	Typ	Max	Min	Typ	Max	
lfset Voltage, (Note 6)	T_j = 25°C Full Temperature Range		1	1 2		2	2 3	mV mV
as Current, (Note 6)	T_j = 25°C Full Temperature Range		5	25 75		10	25 50	nA nA
ıpedance	T_j = 25°C		10^{10}			10^{10}		Ω
or	T_j = 25°C, R_L = 10k Full Temperature Range		0.002	0.005 0.01		0.004	0.005 0.01	% %
ough Attenuation Ratio	T_j = 25°C, C_n = 0.01 μF	86	96		86	90		dB
mpedance	T_j = 25°C, "HOLD" mode Full Temperature Range		0.5	1 4		0.5	1 6	Ω Ω
" Step, (Note 4)	T_j = 25°C, C_h = 0.01μF, V_{OUT} = 0		0.5	1		1.0	1	mV
Current, (Note 6)	$T_j \geq$ 25°C		4.5	5.5		4.5	6.5	mA
nd Logic Reference Input	T_j = 25°C		2	10		2	10	μA
e Current into Hold or (Note 6)	T_j = 25°C, (Note 5) Hold Mode		30	100		30	100	pA
ion Time to 0.1%	ΔV_{OUT} = 10V, C_h = 1000 pF C_h = 0.01 μF		4 20	6 25		4 20	6 25	μs μs
pacitor Charging Current	$V_{IN} - V_{OUT}$ = 2V		5			5		mA
Voltage Rejection Ratio	V_{OUT} = 0	90	110		90	110		dB
itial Logic Threshold	T_j = 25°C	0.8	1.4	2.4	0.8	1.4	2.4	V

The maximum junction temperature of the LF198/LF198A is 150°C, for the LF298, 115°C, and for the LF398/LF398A, 100°C. When operating at elevated temperature, the power dissipation must be derated based on a thermal resistance (Θ_{jA}) of 150°C/W.

Although the differential voltage may not exceed the limits given, the common-mode voltage on the logic pins may be equal to the supply voltages without damage to the circuit. For proper logic operation, however, one of the logic pins must always be at least 2V below the positive supply and 3V above the supply.

Unless otherwise specified, the following conditions apply. Unit is in "sample" mode, V_S = ±15V, T_j = 25°C, −11.5V ≤ V_{IN} ≤ +11.5V, C_h = 0.01 μF, = 10 kΩ. Logic reference voltage = 0V and logic voltage = 2.5V.

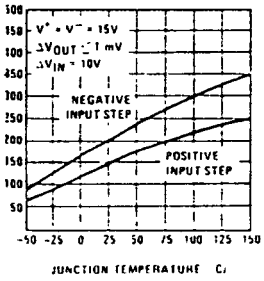
Hold step is sensitive to stray capacitive coupling between input logic signals and the hold capacitor. 1 pF, for instance, will create an additional 0.5 mV h a 5V logic swing and a 0.01μF hold capacitor. Magnitude of the hold step is inversely proportional to hold capacitor value.

Leakage current is measured at a *junction* temperature of 25°C. The effects of junction temperature rise due to power dissipation or elevated ambient can ulated by doubling the 25°C value for each 11°C increase in chip temperature. Leakage is guaranteed over full input signal range.

These parameters guaranteed over a supply voltage range of ±5 to ±18V, and an input range of $-V_S + 3.5V \leq V_{IN} \leq +V_S - 3.5V$.

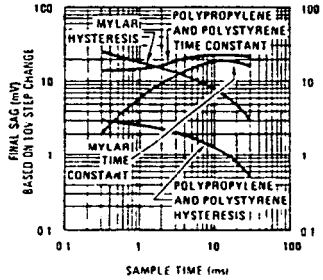
ical Performance Characteristics

Aperture Time*

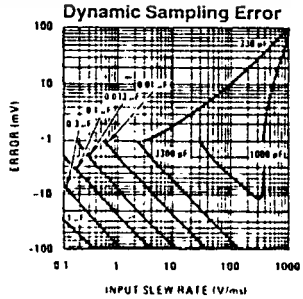


*See Definition of Terms

Dielectric Absorption Error in Hold Capacitor



Dynamic Sampling Error



TL/H/5692-3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Electrical Characteristics (Continued) (Note 3)

Parameter	Conditions	LF198A			LF398A			Units
		Min	Typ	Max	Min	Typ	Max	
Input Offset Voltage, (Note 6)	$T_j = 25°C$ Full Temperature Range		1	1 2		2	2 3	mV mV
Input Bias Current, (Note 6)	$T_j = 25°C$ Full Temperature Range		5	25 75		10	25 50	nA nA
Input Impedance	$T_j = 25°C$		10^{10}			10^{10}		Ω
Gain Error	$T_j = 25°C$, $R_L = 10k$ Full Temperature Range		0.002	0.005 0.01		0.004	0.005 0.01	% %
Feedthrough Attenuation Ratio at 1 kHz	$T_j = 25°C$, $C_h = 0.01\ \mu F$	86	96		86	90		dB
Output Impedance	$T_j = 25°C$, "HOLD" mode Full Temperature Range		0.5	1 4		0.5	1 6	Ω Ω
"HOLD" Step, (Note 4)	$T_j = 25°C$, $C_h = 0.01\mu F$, $V_{OUT} = 0$		0.5	1		1.0	1	mV
Supply Current, (Note 6)	$T_j \geq 25°C$		4.5	5.5		4.5	6.5	mA
Logic and Logic Reference Input Current	$T_j = 25°C$		2	10		2	10	μA
Leakage Current into Hold Capacitor (Note 6)	$T_j = 25°C$, (Note 5) Hold Mode		30	100		30	100	pA
Acquisition Time to 0.1%	$\Delta V_{OUT} = 10V$, $C_h = 1000$ pF $C_h = 0.01\ \mu F$		4 20	6 25		4 20	6 25	μs μs
Hold Capacitor Charging Current	$V_{IN} - V_{OUT} = 2V$		5			5		mA
Supply Voltage Rejection Ratio	$V_{OUT} = 0$	90	110		90	110		dB
Differential Logic Threshold	$T_j = 25°C$	0.8	1.4	2.4	0.8	1.4	2.4	V

Note 1: The maximum junction temperature of the LF198/LF198A is 150°C, for the LF298, 115°C, and for the LF398/LF398A, 100°C. When operating at elevated ambient temperature, the power dissipation must be derated based on a thermal resistance (Θ_{jA}) of 150°C/W.

Note 2: Although the differential voltage may not exceed the limits given, the common-mode voltage on the logic pins may be equal to the supply voltages without causing damage to the circuit. For proper logic operation, however, one of the logic pins must always be at least 2V below the positive supply and 3V above the negative supply.

Note 3: Unless otherwise specified, the following conditions apply. Unit is in "sample" mode, $V_S = \pm 15V$, $T_j = 25°C$, $-11.5V \leq V_{IN} \leq +11.5V$, $C_h = 0.01\ \mu F$, and $R_L = 10\ k\Omega$. Logic reference voltage = 0V and logic voltage = 2.5V.

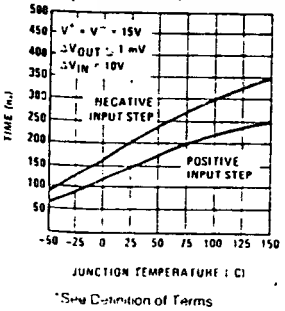
Note 4: Hold step is sensitive to stray capacitive coupling between input logic signals and the hold capacitor. 1 pF, for instance, will create an additional 0.5 mV step with a 5V logic swing and a 0.01μF hold capacitor. Magnitude of the hold step is inversely proportional to hold capacitor value.

Note 5: Leakage current is measured at a *junction* temperature of 25°C. The effects of junction temperature rise due to power dissipation or elevated ambient can be calculated by doubling the 25°C value for each 11°C increase in chip temperature. Leakage is guaranteed over full input signal range.

Note 6: These parameters guaranteed over a supply voltage range of ±5 to ±18V, and an input range of $-V_S + 3.5V \leq V_{IN} \leq +V_S - 3.5V$.

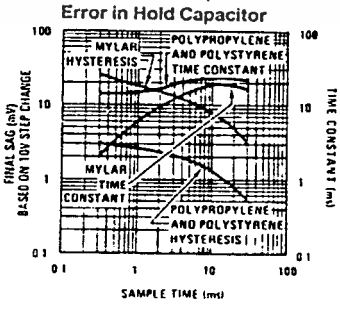
Typical Performance Characteristics

Aperture Time*

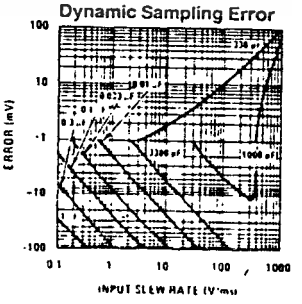


*See Definition of Terms

Dielectric Absorption Error in Hold Capacitor



Dynamic Sampling Error

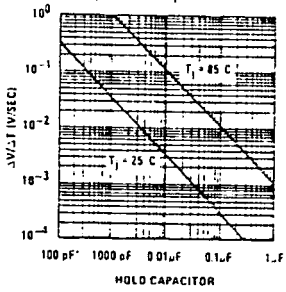


TL/H/5692-7

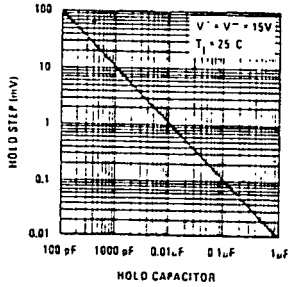
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Characteristics (Continued)

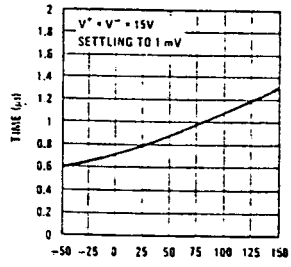
Output Droop Rate



Hold Step

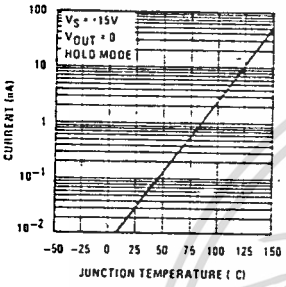


"Hold" Settling Time*

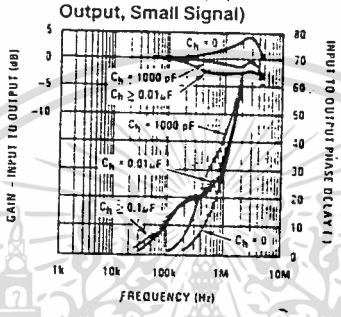


*See definition

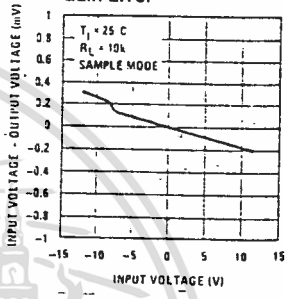
Leakage Current into Hold Capacitor



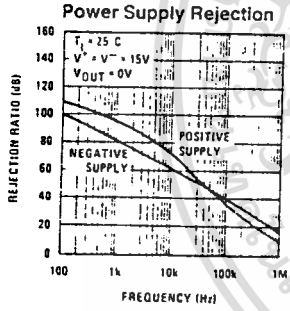
Phase and Gain (Input to Output, Small Signal)



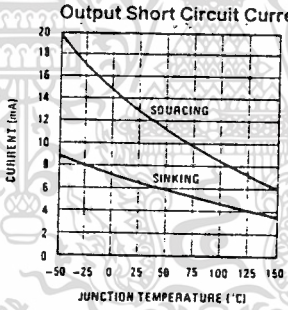
Gain Error



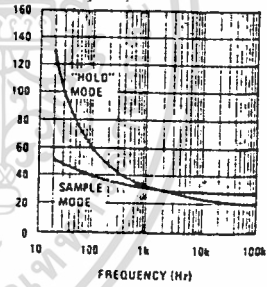
Power Supply Rejection



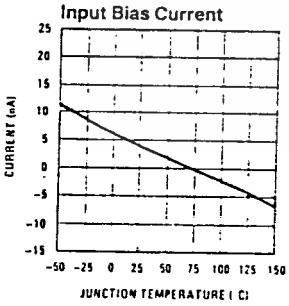
Output Short Circuit Current



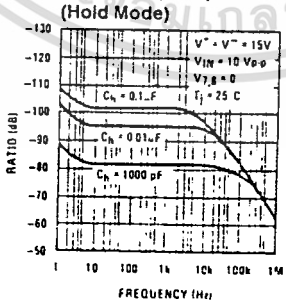
Output Noise



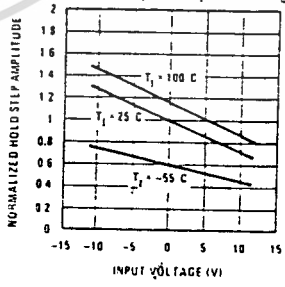
Input Bias Current



Feedthrough Rejection Ratio (Hold Mode)



Hold Step vs Input Voltage



TL/H/5692–4

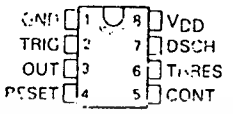
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPES TLC555M, TLC555C
LinCMOS™ TIMERS

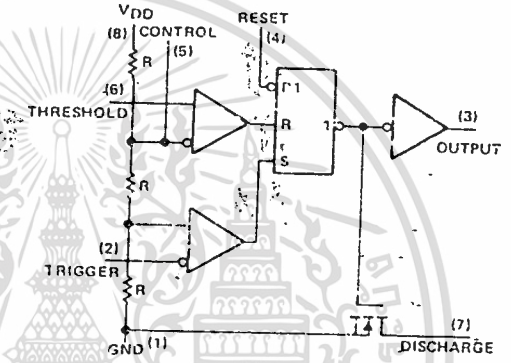
D2784, SEPTEMBER 1983

- Very Low Power Consumption . . . 1 mW Typ at V_{DD} = 5 V
- Capable of Very-High-Speed Operation . . . Typically 2 MHz in Astable Mode
- Complementary CMOS output Capable of Swinging Rail-to-Rail
- High Output-Current Capability
  . . . Sink 100 mA Typ
  . . . Source 10 mA Typ
- Output Fully CMOS-, TTL-, and MOS-Compatible
- Low Supply Current Reduces Spikes During Output Transitions
- High Impedance Inputs . . . 10¹² Ω Typ
- Single-Supply Operation from 2 to 18 V
- Functionally Interchangeable with the Signetics NE555; has Same Pinout

TLC555M . . . JG PACKAGE
TLC555C . . . D, JG, or P PACKAGE
(TOP VIEW)



functional block diagram



Reset can override Trigger, which can override Threshold.

description

The TLC555 is a monolithic timing circuit fabricated using TI's LinCMOS™ process. Due to its high-impedance inputs (typically 10^{12} Ω), it is capable of producing accurate time delays and oscillations while using less expensive, smaller timing capacitors than the NE555. Like the NE555, the TLC555 achieves both monostable (using one resistor and one capacitor) and astable (using two resistors and one capacitor) operation. In addition, 50% duty cycle astable operation is possible using only a single resistor and one capacitor. The LinCMOS™ process allows the TLC555 to operate at frequencies up to 2 MHz and be fully compatible with CMOS, TTL, and MOS logic. It also provides very low power consumption (typically 1 mW at V_{DD} = 5 V) over a wide range of supply voltages ranging from 2 volts to 18 volts.

Like the NE555, the threshold and trigger levels are normally two-thirds and one-third respectively of V_{DD}. These levels can be altered by use of the control voltage terminal. When the trigger input falls below trigger level, the flip-flop is set and the output goes high. If the trigger input is above the trigger level and the threshold input is above the threshold level, the flip-flop is reset and the output is low. The reset input can override all other inputs and can be used to initiate a new timing cycle. When the reset input goes low, the flip-flop is reset and the output goes low. Whenever the output is low, a low-impedance path is provided between the discharge terminal and ground.

While the complementary CMOS output is capable of sinking over 100 mA and sourcing over 10 mA, the TLC555 exhibits greatly reduced supply current spikes during output transitions. This minimizes the need for the large decoupling capacitors required by the NE555.

These devices have internal electrostatic discharge (ESD) protection circuits that will prevent catastrophic failures at voltage up to 2000 volts as tested under MIL-STD-883B, Method 3015.1. However, care should be exercised in handling these devices as exposure to ESD may result in a degradation of the device parametric performance.

All unused inputs should be tied to an appropriate logic level to prevent false triggering.

The TLC555M is characterized for operation over the full military temperature range of −55°C to 125°C; the TLC555C is characterized for operation from 0°C to 70°C.

983 ADVANCE INFORMATION

This document contains information on a new product. Specifications are subject to change without notice.

Copyright © 1983 by Texas Instruments Incorporated

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FUNCTION TABLE

RESET	TRIGGER VOLTAGE†	THRESHOLD VOLTAGE†	OUTPUT	DISCHARGE SWITCH
Low	Irrelevant	Irrelevant	Low	On
High	< 1/3 V_{DD}	Irrelevant	High	Off
High	> 1/3 V_{DD}	> 2/3 V_{DD}	Low	On
High	> 1/3 V_{DD}	< 2/3 V_{DD}	As previously established	

†Voltages levels shown are nominal.

absolute maximum ratings over operating free-air temperature range (unless otherwise noted)

Supply voltage, V_{DD} (see Note 1) . . . . . 18 V
Input voltage range (any input) . . . . . −0.3 V to 18 V
Continuous total dissipation at (or below) 25°C free-air temperature (see Note 2) . . . . . 600 mW
Operating free-air temperature range: TLC555M . . . . . −55°C to 125°C
TLC555C . . . . . 0°C to 70°C
Storage temperature range . . . . . −65°C to 150°C
Lead temperature 1,6 mm (1/16 inch) from case for 60 seconds: JG package . . . . . 300°C
Lead temperature 1,6 mm (1/16 inch) from case for 10 seconds: D or P package . . . . . 260°C

NOTES: 1. All voltage values are with respect to network ground terminal.
2. For operation above 25°C free-air temperature, refer to Dissipation Derating Curves, Section 2. In the JG package, TLC555M chips are alloy-mounted

electrical characteristics at 25°C free-air temperature, V_{DD} = 5 V to 15 V (unless otherwise noted)

PARAMETER	TEST CONDITIONS		MIN	TYP	MAX	UNIT
Threshold voltage level as a percentage of supply voltage				66.7%		
Threshold current	V_{DD} = 5 V			10		pA
Trigger voltage level as a percentage of supply voltage				33.3%		
Trigger current	V_{DD} = 5 V			10		pA
Reset voltage level				0.7		V
Reset current	V_{DD} = 5 V			±10		pA
Control voltage (open-circuit) as a percentage of supply voltage				66.7%		
Low-level output voltage	V_{DD} = 15 V	I_{OL} = 10 mA		0.1		V
		I_{OL} = 50 mA		0.5		
		I_{OL} = 100 mA		1		
	V_{DD} = 5 V	I_{OL} = 5 mA		0.1		
		I_{OL} = 8 mA		0.16		
High-level output voltage	V_{DD} = 15 V	I_{OH} = −1 mA		14.8		V
		I_{OH} = −5 mA		14		
		I_{OH} = −10 mA		12.7		
	V_{DD} = 5 V	I_{OH} = −2 mA		4		
		I_{OH} = −1 mA		4.5		
Supply current	V_{DD} = 15 V			360		μA
	V_{DD} = 5 V			170		

Special Functions

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

operating characteristics, V_{DD} = 5 V, T_A = 25°C (unless otherwise noted)

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNIT
Initial error of timing interval	V_{DD} = 5 V to 15 V, R_A = R_B = 1 kΩ to 100 kΩ, C_T = 0.1 μF, See Figure 1		1%		
Supply voltage sensitivity of timing interval			0.1		%/V
Output pulse rise time	V_{DD} = 5 V, R_L = 10 MΩ, C_L = 10 pF		20		ns
Output pulse fall time			20		
Maximum frequency in astable mode	R_A = 470 Ω, R_B = 200 Ω, C_T = 200 pF		2.1		MHz

TYPICAL APPLICATION DATA

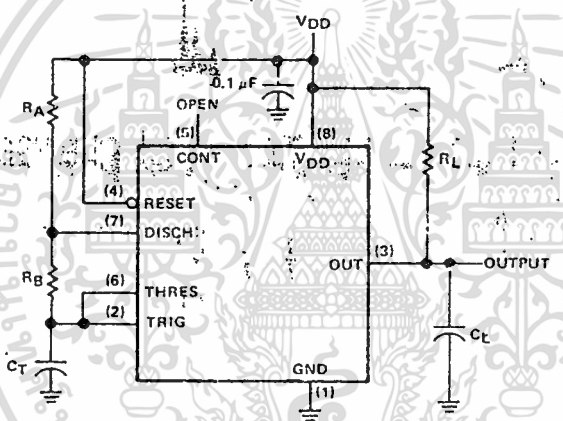


FIGURE 1–CIRCUIT FOR ASTABLE OPERATION

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor Corporation

DAC0808, DAC0807, DAC0806 8-Bit D/A Converters

General Description

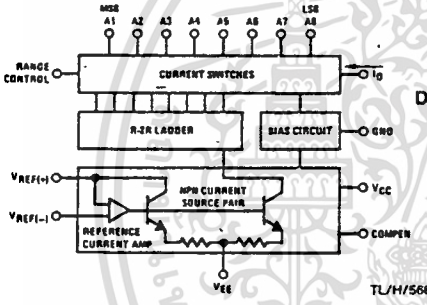
The DAC0808 series is an 8-bit monolithic digital-to-analog converter (DAC) featuring a full scale output current settling time of 150 ns while dissipating only 33 mW with ±5V supplies. No reference current (I_{REF}) trimming is required for most applications since the full scale output current is typically ±1 LSB of 255 I_{REF}/ 256. Relative accuracies of better than ±0.19% assure 8-bit monotonicity and linearity while zero level output current of less than 4 μA provides 8-bit zero accuracy for $I_{REF} \geq 2$ mA. The power supply currents of the DAC0808 series are independent of bit codes, and exhibits essentially constant device characteristics over the entire supply voltage range.

The DAC0808 will interface directly with popular TTL, DTL or CMOS logic levels, and is a direct replacement for the MC1508/MC1408. For higher speed applications, see DAC0800 data sheet.

Features

- Relative accuracy: ±0.19% error maximum (DAC0808)
- Full scale current match: ±1 LSB typ
- 7 and 6-bit accuracy available (DAC0807, DAC0806)
- Fast settling time: 150 ns typ
- Noninverting digital inputs are TTL and CMOS compatible
- High speed multiplying input slew rate: 8 mA/μs
- Power supply voltage range: ±4.5V to ±18V
- Low power consumption: 33 mW @±5V

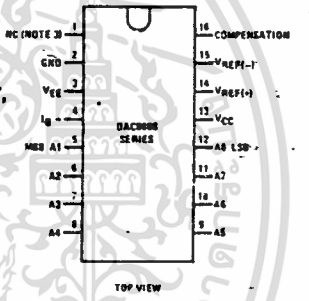
Block and Connection Diagrams



TL/H/5687–1

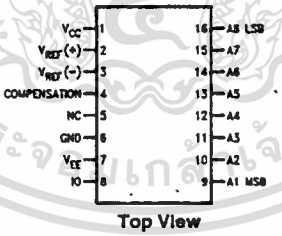
Order Number DAC0808, DAC0807, or DAC0806
See NS Package Number J16A, M16A or N16A

Dual-In-Line Package



TL/H/5687–2

Small-Outline Package



TL/H/5687–13

Top View

Ordering Information

ACCURACY	OPERATING TEMPERATURE RANGE	ORDER NUMBERS				
		J PACKAGE (J16A)*		N PACKAGE (N16A)*		SO PACKAGE (M16A)
8-bit	$-55°C \leq T_A \leq +125°C$	DAC0808LJ	MC1508L8			
8-bit	$0°C \leq T_A \leq +75°C$	DAC0808LCJ	MC1408L8	DAC0808LCN	MC1408P8	DAC0808LCM
7-bit	$0°C \leq T_A \leq +75°C$	DAC0807LCJ	MC1408L7	DAC0807LCN	MC1408P7	DAC0807LCM
6-bit	$0°C \leq T_A \leq +75°C$	DAC0806LCJ	MC1408L6	DAC0806LCN	MC1408P6	DAC0806LCM

*Note. Devices may be ordered by using either order number.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings (Note 1)

If Military/Aerospace specified devices are required, contact the National Semiconductor Sales Office/ Distributors for availability and specifications.

Power Supply Voltage	
V_{CC}	+18 V_{DC}
V_{EE}	−18 V_{DC}
Digital Input Voltage, V5–V12	−10 V_{DC} to +18 V_{DC}
Applied Output Voltage, V_O	−11 V_{DC} to +18 V_{DC}
Reference Current, I_{14}	5 mA
Reference Amplifier Inputs, V14, V15	V_{CC}, V_{EE}
Power Dissipation (Note 3)	1000 mW
ESD Susceptibility (Note 4)	TBD
Storage Temperature Range	−65°C to +150°C
Lead Temp. (Soldering, 10 seconds)	
Dual-In-Line Package (Plastic)	260°C
Dual-In-Line Package (Ceramic)	300°C
Surface Mount Package	
Vapor Phase (60 seconds)	215°C
Infrared (15 seconds)	220°C

Operating Ratings

Temperature Range	$T_{MIN} \le T_A \le T_{MAX}$
DAC0808L	$-55°C \le T_A \le +125°C$
DAC0808LC Series	$0 \le T_A \le +75°C$

Electrical Characteristics

(V_{CC} = 5V, V_{EE} = −15 V_{DC}, $V_{REF}/R14$ = 2 mA, DAC0808: T_A = −55°C to +125°C, DAC0808C, DAC0807C, DAC0806C, T_A = 0°C to +75°C, and all digital inputs at high logic level unless otherwise noted.)

Symbol	Parameter	Conditions	Min	Typ	Max	Units
E_r	Relative Accuracy (Error Relative to Full Scale I_O)	*(Figure 4)*				%
	DAC0808L (LM1508-8), DAC0808LC (LM1408-8)				±0.19	%
	DAC0807LC (LM1408-7), (Note 5)				±0.39	%
	DAC0806LC (LM1408-6), (Note 5)				±0.78	%
	Settling Time to Within ½ LSB (Includes t_{PLH})	T_A = 25°C (Note 6), *(Figure 5)*		150		ns
t_{PLH}, t_{PHL}	Propagation Delay Time	T_A = 25°C, *(Figure 5)*		30	100	ns
TCI_O	Output Full Scale Current Drift			±20		ppm/°C
MSB	Digital Input Logic Levels	*(Figure 3)*				
V_{IH}	High Level, Logic "1"		2			V_{DC}
V_{IL}	Low Level, Logic "0"				0.8	V_{DC}
MSB	Digital Input Current	*(Figure 3)*				
	High Level	V_{IH} = 5V		0	0.040	mA
	Low Level	V_{IL} = 0.8V		−0.003	−0.8	mA
I_{15}	Reference Input Bias Current	*(Figure 3)*		−1	−3	μA
	Output Current Range	*(Figure 3)*				
		V_{EE} = −5V	0	2.0	2.1	mA
		V_{EE} = −15V, T_A = 25°C	0	2.0	4.2	mA
I_O	Output Current	V_{REF} = 2.000V, R14 = 1000Ω, *(Figure 3)*	1.9	1.99	2.1	mA
	Output Current, All Bits Low	*(Figure 3)*		0	4	μA
	Output Voltage Compliance (Note 2)	$E_r \le 0.19\%$, T_A = 25°C				
	V_{EE} = −5V, I_{REF} = 1 mA				−0.55, +0.4	V_{DC}
	V_{EE} Below −10V				−5.0, +0.4	V_{DC}

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Electrical Characteristics (Continued)

(V_{CC} = 5V, V_{EE} = −15 V_{DC}, $V_{REF}/R14$ = 2 mA, DAC0808: T_A = −55°C to +125°C, DAC0808C, DAC0807C, DAC0806C, T_A = 0°C to +75°C, and all digital inputs at high logic level unless otherwise noted.)

Symbol	Parameter	Conditions	Min	Typ	Max	Units
SRI_{REF}	Reference Current Slew Rate	*(Figure 5)*	4	8		mA/μs
	Output Current Power Supply Sensitivity	$-5V \le V_{EE} \le -16.5V$		0.05	2.7	μA/V
	Power Supply Current (All Bits Low)	*(Figure 3)*				
I_{CC}				2.3	22	mA
I_{EE}				−4.3	−13	mA
	Power Supply Voltage Range	T_A = 25°C, *(Figure 3)*				
V_{CC}			4.5	5.0	5.5	V_{DC}
V_{EE}			−4.5	−15	−16.5	V_{DC}
	Power Dissipation					
	All Bits Low	V_{CC} = 5V, V_{EE} = −5V		33	170	mW
		V_{CC} = 5V, V_{EE} = −15V		106	305	mW
	All Bits High	V_{CC} = 15V, V_{EE} = −5V		90		mW
		V_{CC} = 15V, V_{EE} = −15V		160		mW

Note 1: Absolute Maximum Ratings indicate limits beyond which damage to the device may occur. DC and AC electrical specifications do not apply when operating the device beyond its specified operating conditions.

Note 2: Range control is not required.

Note 3: The maximum power dissipation must be derated at elevated temperatures and is dictated by T_{JMAX}, θ_{JA}, and the ambient temperature, T_A. The maximum allowable power dissipation at any temperature is $P_D = (T_{JMAX} - T_A)/\theta_{JA}$ or the number given in the Absolute Maximum Ratings, whichever is lower. For this device, T_{JMAX} = 125°C, and the typical junction-to-ambient thermal resistance of the dual-in-line J package when the board mounted is 100°C/W. For the dual-in-line N package, this number increases to 175°C/W and for the small outline M package this number is 100°C/W.

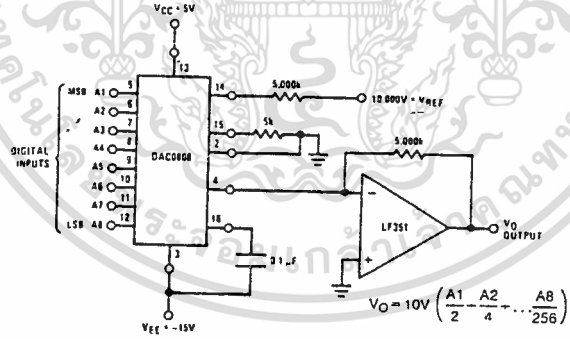
Note 4: Human body model, 100 pF discharged through a 1.5 kΩ resistor.

Note 5: All current switches are tested to guarantee at least 50% of rated current.

Note 6: All bits switched.

Note 7: Pin-out numbers for the DAL080X represent the dual-in-line package. The small outline package pinout differs from the dual-in-line package.

Typical Application



TL/H/5687–3

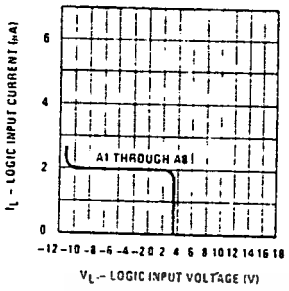
FIGURE 1. + 10V Output Digital to Analog Converter (Note 7)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

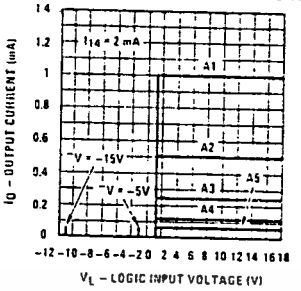
Typical Performance Characteristics

V_{CC} = 5V, V_{EE} = −15V, T_A = 25°C, unless otherwise noted

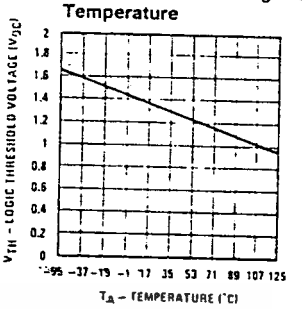
Logic Input Current vs Input Voltage



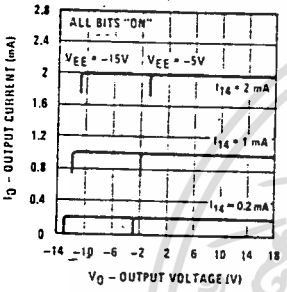
Bit Transfer Characteristics



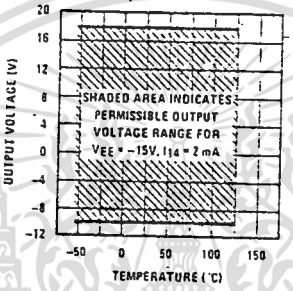
Logic Threshold Voltage vs Temperature



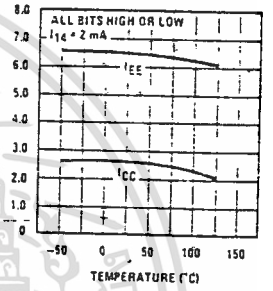
Output Current vs Output Voltage (Output Voltage Compliance)



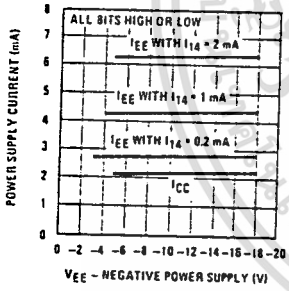
Output Voltage Compliance vs Temperature



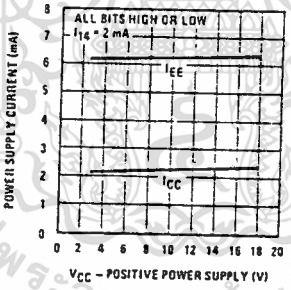
Typical Power Supply Current vs Temperature



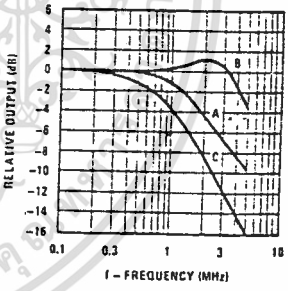
Typical Power Supply Current vs V_{EE}



Typical Power Supply Current vs V_{CC}



Reference Input Frequency Response



TL/H/5687–5

Unless otherwise specified: R14 = R15 = 1 kΩ, C = 15 pF, pin 16 to V_{EE}; R_L = 50Ω, pin 4 to ground.

Curve A: Large Signal Bandwidth Method of *Figure 7*, V_{REF} = 2 Vp-p offset 1 V above ground.

Curve B: Small Signal Bandwidth Method of *Figure 7*, R_L = 250Ω, V_{REF} = 50 mVp-p offset 200 mV above ground.

Curve C: Large and Small Signal Bandwidth Method of *Figure 9* (no op amp, R_L = 50Ω), R_S = 50Ω, V_{REF} = 2V, V_S = 100 mVp-p centered at 0V.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

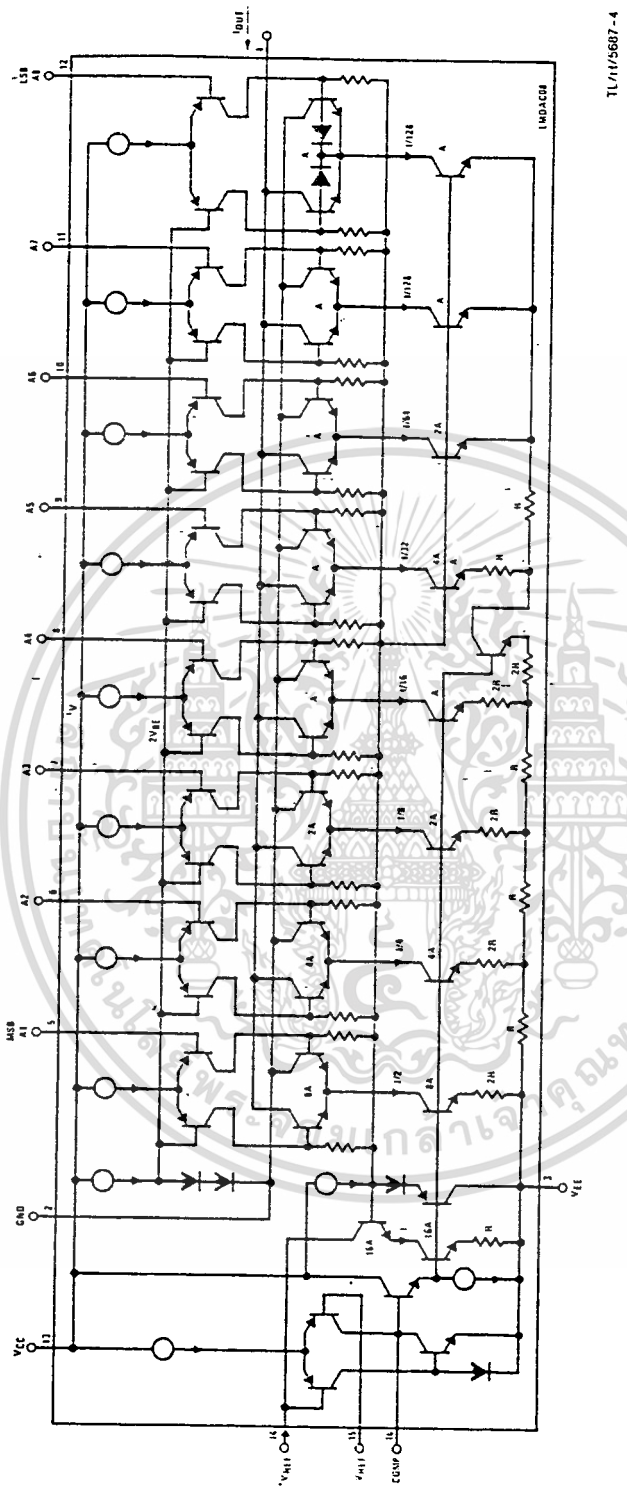


FIGURE 2. Equivalent Circuit of the DAC0808 Series (Note 7)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

Voltage Regulators

LM723/LM723C Voltage Regulator

General Description

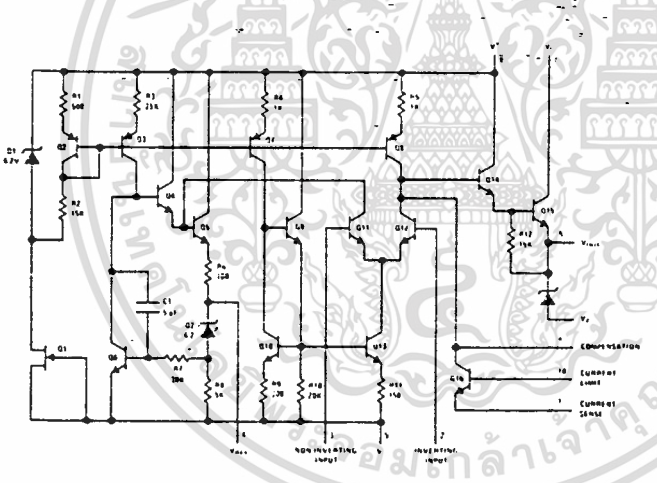
The LM723/LM723C is a voltage regulator designed primarily for series regulator applications. By itself, it will supply output currents up to 150 mA, but external transistors can be added to provide any desired load current. The circuit features extremely low standby current drain, and provision is made for either linear or foldback current limiting. Important characteristics are:

- 150 mA output current without external pass transistor
- Output currents in excess of 10A possible by adding external transistors
- Input voltage 40V max
- Output voltage adjustable from 2V to 37V
- Can be used as either a linear or a switching regulator.

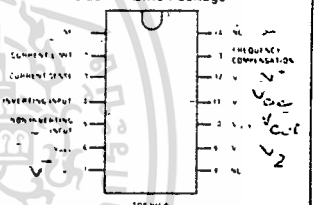
The LM723/LM723C is also useful in a wide range of other applications such as a shunt regulator, a current regulator or a temperature controller.

The LM723C is identical to the LM723 except that the LM723C has its performance guaranteed over a 0°C to 70°C temperature range, instead of −55°C to +125°C.

Schematic and Connection Diagrams *



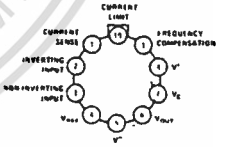
Dual-In-Line Package



Order Number LM723CN
See NS Package N14A

Order Number LM723J or LM723CJ
See NS Package J14A

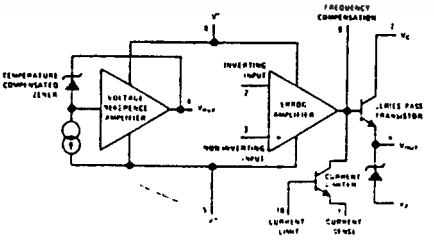
Metal Can Package



Note: Pin 5 connected to case.

Order Number LM723H or LM723CH
See NS Package H10C

Equivalent Circuit *



*Pin numbers refer to metal can package.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings

Pulse Voltage from V^+ to V^- (50 ms)	50V
Continuous Voltage from V^+ to V^-	40V
Input-Output Voltage Differential	40V
Maximum Amplifier Input Voltage (Either Input)	7.5V
Maximum Amplifier Input Voltage (Differential)	5V
Current from V_Z	25 mA
Current from V_{REF}	15 mA
Internal Power Dissipation Metal Can (Note 1)	800 mW
Cavity DIP (Note 1)	900 mW
Molded DIP (Note 1)	660 mW
Operating Temperature Range LM723	−55°C to +125°C
LM723C	0°C to +70°C
Storage Temperature Range Metal Can	−65°C to +150°C
DIP	−55°C to +125°C
Lead Temperature (Soldering, 10 sec)	300°C

Electrical Characteristics (Note 2)

PARAMETER	CONDITIONS	LM723			LM723C			UNITS
		MIN	TYP	MAX	MIN	TYP	MAX	
Line Regulation	V_{IN} = 12V to V_{IN} = 15V		.01	0.1		.01	0.1	% V_{OUT}
	−55°C ≤ T_A ≤ +125°C			0.3				% V_{OUT}
	0°C ≤ T_A ≤ +70°C						0.3	% V_{OUT}
	V_{IN} = 12V to V_{IN} = 40V		.02	0.2		0.1	0.5	% V_{OUT}
Load Regulation	I_L = 1 mA to I_L = 50 mA		.03	0.15		.03	0.2	% V_{OUT}
	−55°C ≤ T_A ≤ +125°C			0.6				%V_{OUT}
	0°C ≤ T_A ≤ +70°C						0.6	%V_{OUT}
Ripple Rejection	f = 50 Hz to 10 kHz, C_{REF} = 0		74			74		dB
	f = 50 Hz to 10 kHz, C_{REF} = 5 μF		86			86		dB
Average Temperature Coefficient of Output Voltage	−55°C ≤ T_A ≤ +125°C		.002	.015				%/°C
	0°C ≤ T_A ≤ +70°C					.003	.015	%/°C
Short Circuit Current Limit	R_{SC} = 10Ω, V_{OUT} = 0		65			65		mA
Reference Voltage		6.95	7.15	7.35	6.80	7.15	7.50	V
Output Noise Voltage	BW = 100 Hz to 10 kHz, C_{REF} = 0		20			20		μVrms
	BW = 100 Hz to 10 kHz, C_{REF} = 5 μF		2.5			2.5		μVrms
Long Term Stability			0.1			0.1		%/1000 hrs
Standby Current Drain	I_L = 0, V_{IN} = 30V		1.3	3.5		1.3	4.0	mA
Input Voltage Range		9.5		40	9.5		40	V
Output Voltage Range		2.0		37	2.0		37	V
Input-Output Voltage Differential		3.0		38	3.0		38	V

Note 1: See derating curves for maximum power rating above 25°C.

Note 2: Unless otherwise specified, T_A = 25°C, V_{IN} = V^+ = V_C = 12V, V^- = 0, V_{OUT} = 5V, I_L = 1 mA, R_{SC} = 0, C_1 = 100 pF, C_{REF} = 0 and divider impedance as seen by error amplifier ≤ 10 kΩ connected as shown in Figure 1. Line and load regulation specifications are given for the condition of constant chip temperature. Temperature drifts must be taken into account separately for high dissipation conditions.

Note 3: L_1 is 40 turns of No. 20 enameled copper wire wound on Ferroxcube P36/22-3B7 pot core or equivalent with 0.009 in. air gap.

Note 4: Figures in parentheses may be used if R1/R2 divider is placed on opposite input of error amp.

Note 5: Replace R1/R2 in figures with divider shown in Figure 13.

Note 6: V^+ must be connected to a +3V or greater supply.

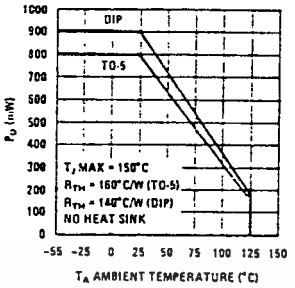
Note 7: For metal can applications where V_Z is required, an external 6.2 volt zener diode should be connected in series with V_{OUT}.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Maximum Power Ratings

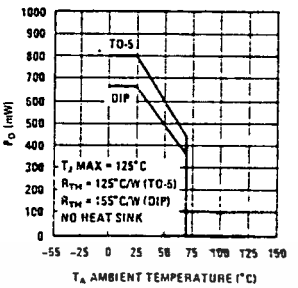
LM723

Power Dissipation vs Ambient Temperature



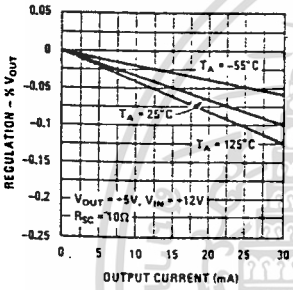
LM723C

Power Dissipation vs Ambient Temperature

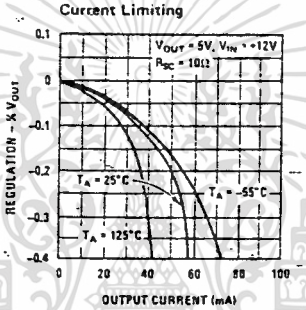


Typical Performance Characteristics

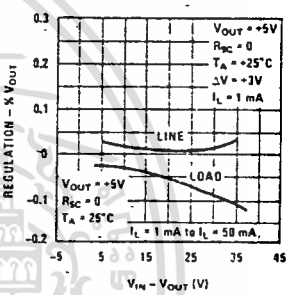
Load Regulation Characteristics with Current Limiting



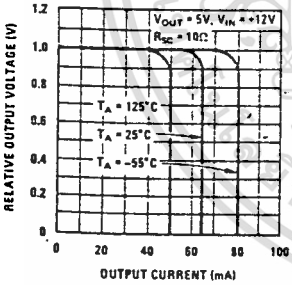
Load Regulation Characteristics with Current Limiting



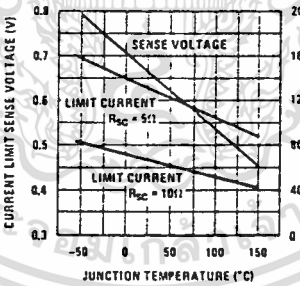
Load & Line Regulation vs Input-Output Voltage Differential



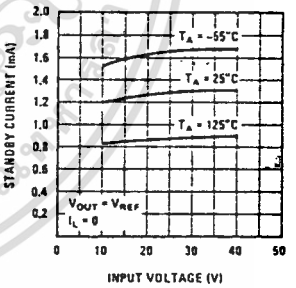
Current Limiting Characteristics



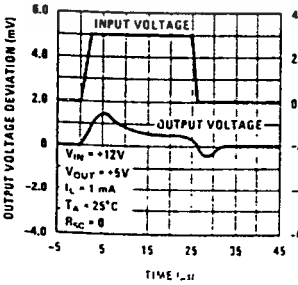
Current Limiting Characteristics vs Junction Temperature



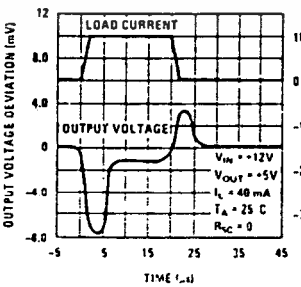
Standby Current Drain vs Input Voltage



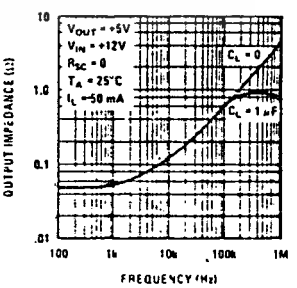
Line Transient Response



Load Transient Response



Output Impedance vs Frequency



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

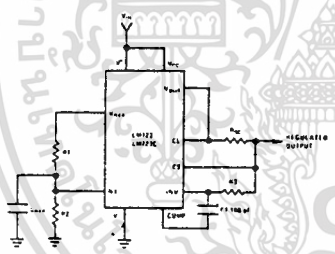
TABLE I RESISTOR VALUES (kΩ) FOR STANDARD OUTPUT VOLTAGE

POSITIVE OUTPUT VOLTAGE	APPLICABLE FIGURES	FIXED OUTPUT ±5%		OUTPUT ADJUSTABLE ±10% (Note 5)			NEGATIVE OUTPUT VOLTAGE	APPLICABLE FIGURES	FIXED OUTPUT ±5%		5% OUTPUT ADJUSTABLE ±10%		
	(Note 4)	R1	R2	R1	P1	R2			R1	R2	R1	P1	R2
+3.0	1, 5, 6, 9, 12 (4)	4.12	3.01	1.8	0.5	1.2	-100	7	3.57	102	2.2	10	91
+3.6	1, 5, 6, 9, 12 (4)	3.57	3.65	1.5	0.5	1.5	-250	7	3.57	255	2.2	10	240
+5.0	1, 5, 6, 9, 12 (4)	2.15	4.99	.75	0.5	2.2	-6 (Note 6)	3, (10)	3.57	2.43	1.2	0.5	.75
+6.0	1, 5, 6, 9, 12 (4)	1.15	6.04	0.5	0.5	2.7	-9	3, 10	3.48	5.36	1.2	0.5	2.0
+9.0	2, 4, (5, 6, 12, 9)	1.87	7.15	.75	1.0	2.7	-12	3, 10	3.57	8.45	1.2	0.5	3.3
+12	2, 4, (5, 6, 9, 12)	4.87	7.15	2.0	1.0	3.0	-15	3, 10	3.65	11.5	1.2	0.5	4.3
+15	2, 4, (5, 6, 9, 12)	7.87	7.15	3.3	1.0	3.0	-28	3, 10	3.57	24.3	1.2	0.5	10
+28	2, 4 (5, 6, 9, 12)	21.0	7.15	5.6	1.0	2.0	-45	8	3.57	41.2	2.2	10	33
+45	7	3.57	48.7	2.2	10	39	-100	8	3.57	97.6	2.2	10	91
+75	7	3.57	78.7	2.2	10	68	-250	8	3.57	249	2.2	10	240

TABLE II FORMULAE FOR INTERMEDIATE OUTPUT VOLTAGES

Outputs from +2 to +7 volts (Figures 1, 5, 6, 9, 12, (4)) $V_{OUT} = [V_{REF} \times \frac{R2}{R1 + R2}]$	Outputs from +4 to +250 volts (Figure 7) $V_{OUT} = [\frac{V_{REF}}{2} \times \frac{R2 - R1}{R1}]$, R3 = R4	Current Limiting $I_{LIMIT} = \frac{V_{SENSE}}{R_{SC}}$
Outputs from +7 to +37 volts (Figures 2, 4, (5, 6, 9, 12)) $V_{OUT} = [V_{REF} \times \frac{R1 + R2}{R2}]$	Outputs from −6 to −250 volts (Figures 3, 8, 10) $V_{OUT} = [\frac{V_{REF}}{2} \times \frac{R1 + R2}{R1}]$, R3 = R4	Foldback Current Limiting $I_{KNEE} = [\frac{V_{OUT}}{R_{SC}} \frac{R3}{R4} + \frac{V_{SENSE}}{R_{SC}} \frac{(R3 + R4)}{R4}]$ $I_{SHORT\,CKT} = [\frac{V_{SENSE}}{R_{SC}} \times \frac{R3 + R4}{R4}]$

Typical Applications

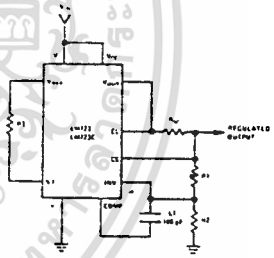


Note: $R3 = \frac{R1\,R2}{R1 + R2}$ for minimum temperature drift.

TYPICAL PERFORMANCE

Regulated Output Voltage	5V
Line Regulation (ΔV_{IN} = 3V)	8.5 mV
Load Regulation (ΔI_L = 50 mA)	1.5 mV

FIGURE 1. Basic Low Voltage Regulator (V_{OUT} = 2 to 7 Volts)



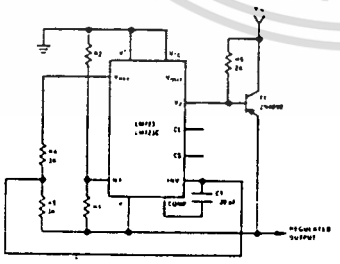
Note: $R3 = \frac{R1\,R2}{R1 + R2}$ for minimum temperature drift.

R3 may be eliminated for minimum component count.

TYPICAL PERFORMANCE

Regulated Output Voltage	15V
Line Regulation (ΔV_{IN} = 3V)	1.5 mV
Load Regulation (ΔI_L = 50 mA)	4.5 mV

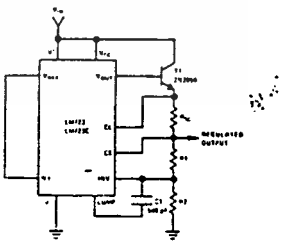
FIGURE 2. Basic High Voltage Regulator (V_{OUT} = 7 to 37 Volts)



TYPICAL PERFORMANCE

Regulated Output Voltage	−15V
Line Regulation (ΔV_{IN} = 3V)	1 mV
Load Regulation (ΔI_L = 100 mA)	2 mV

FIGURE 3. Negative Voltage Regulator



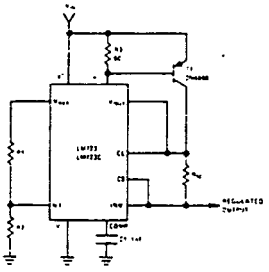
TYPICAL PERFORMANCE

Regulated Output Voltage	+15V
Line Regulation (ΔV_{IN} = 3V)	1.5 mV
Load Regulation (ΔI_L = 1A)	15 mV

FIGURE 4. Positive Voltage Regulator (External NPN Pass Transistor)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

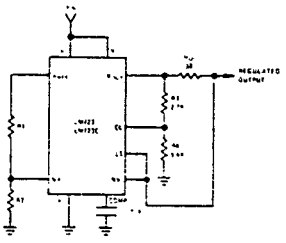
Typical Applications (Continued)



TYPICAL PERFORMANCE

Regulated Output Voltage	+5V
Line Regulation (ΔV_{IN} = 3V)	0.5 mV
Load Regulation (ΔI_L = 1A)	5 mV

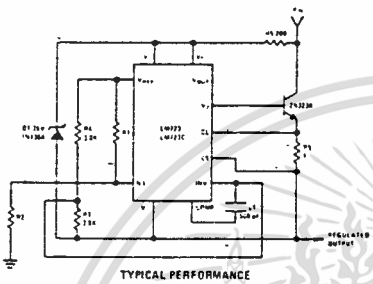
FIGURE 5. Positive Voltage Regulator (External PNP Pass Transistor)



TYPICAL PERFORMANCE

Regulated Output Voltage	−5V
Line Regulation (ΔV_{IN} = 3V)	0.5 mV
Load Regulation (ΔI_L = 10 mA)	1 mV
Short Circuit Current	20 mA

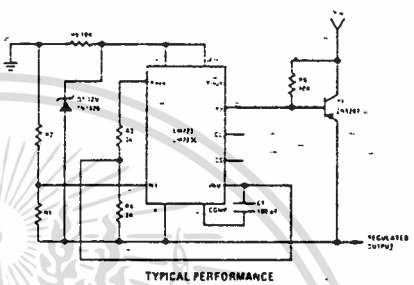
FIGURE 6. Foldback Current Limiting



TYPICAL PERFORMANCE

Regulated Output Voltage	+50V
Line Regulation (ΔV_{IN} = 20V)	15 mV
Load Regulation (ΔI_L = 50 mA)	20 mV

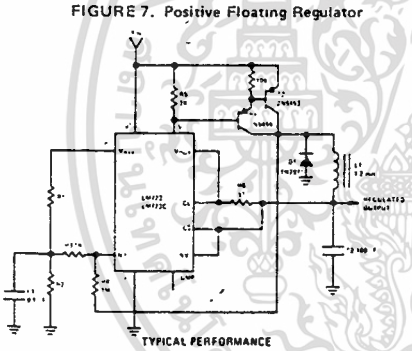
FIGURE 7. Positive Floating Regulator



TYPICAL PERFORMANCE

Regulated Output Voltage	−100V
Line Regulation (ΔV_{IN} = 20V)	30 mV
Load Regulation (ΔI_L = 100 mA)	20 mV

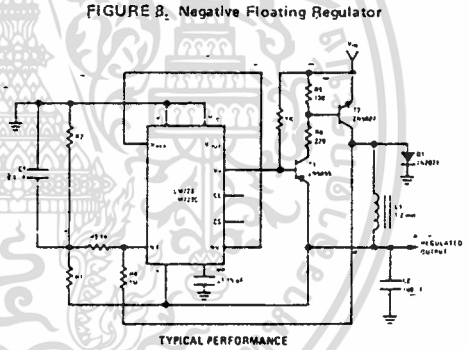
FIGURE 8. Negative Floating Regulator



TYPICAL PERFORMANCE

Regulated Output Voltage	+5V
Line Regulation (ΔV_{IN} = 30V)	10 mV
Load Regulation (ΔI_L = 2A)	80 mV

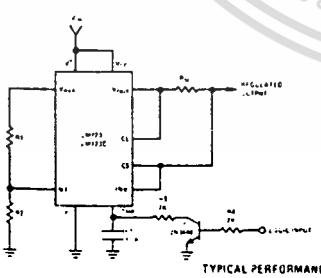
FIGURE 9. Positive Switching Regulator



TYPICAL PERFORMANCE

Regulated Output Voltage	−15V
Line Regulation (ΔV_{IN} = 20V)	6 mV
Load Regulation (ΔI_L = 2A)	6 mV

FIGURE 10. Negative Switching Regulator

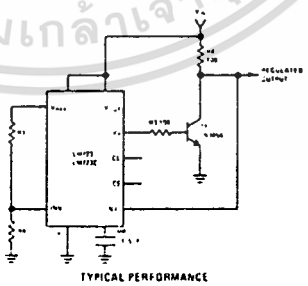


TYPICAL PERFORMANCE

Regulated Output Voltage	+5V
Line Regulation (ΔV_{IN} = 3V)	0.5 mV
Load Regulation (ΔI_L = 50 mA)	1.5 mV

Note: Current limit transistor may be used for shutdown if current limiting is not required

FIGURE 11. Remote Shutdown Regulator with



TYPICAL PERFORMANCE

Regulated Output Voltage	+5V
Line Regulation (ΔV_{IN} = 10V)	0.5 mV
Load Regulation (ΔI_L = 100 mA)	1.5 mV

FIGURE 12. Shunt Regulator

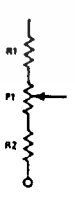
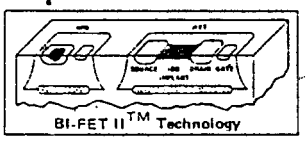


FIGURE 13. Output Voltage

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

Operational Amplifiers/Buffers



LF351 Wide Bandwidth JFET Input Operational Amplifier

General Description

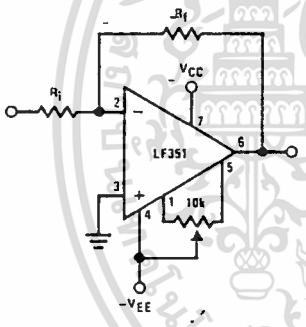
The LF351 is a low cost high speed JFET input operational amplifier with an internally trimmed input offset voltage (BI-FET II™ technology). The device requires a low supply current and yet maintains a large gain bandwidth product and a fast slew rate. In addition, well matched high voltage JFET input devices provide very low input bias and offset currents. The LF351 is pin compatible with the standard LM741 and uses the same offset voltage adjustment circuitry. This feature allows designers to immediately upgrade the overall performance of existing LM741 designs.

The LF351 may be used in applications such as high speed integrators, fast D/A converters, sample-and-hold circuits and many other circuits requiring low input offset voltage, low input bias current, high input impedance, high slew rate and wide bandwidth. The device has low noise and offset voltage drift, but for applications where these requirements are critical, the LF356 is recommended. If maximum supply current is important, however, the LF351 is the better choice.

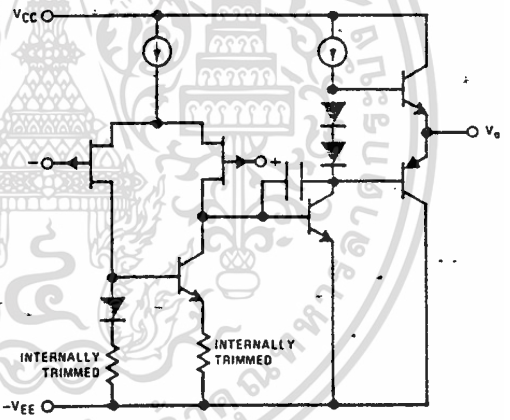
Features

■ Internally trimmed offset voltage	10 mV
■ Low input bias current	50 pA
■ Low input noise voltage	16 nV/√Hz
■ Low input noise current	0.01 pA/√Hz
■ Wide gain bandwidth	4 MHz
■ High slew rate	13 V/μs
■ Low supply current	1.8 mA
■ High input impedance	$10^{12}\Omega$
■ Low total harmonic distortion $A_V = 10$, $R_L = 10k$, $V_O = 20\,V_{p-p}$, BW = 20 Hz-20 kHz	<0.02%
■ Low 1/f noise corner	50 Hz
■ Fast settling time to 0.01%	2 μs

Typical Connection

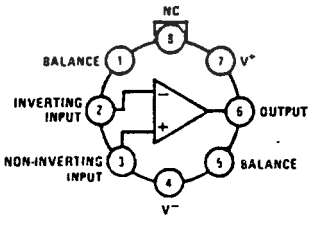


Simplified Schematic



Connection Diagrams (Top Views)

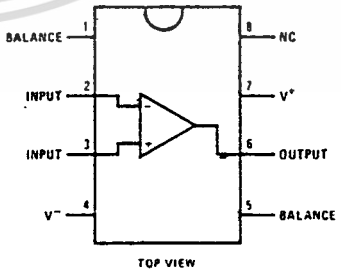
Metal Can Package



Note. Pin 4 connected to case.

Order Number LF351H
See NS Package H08C

Dual-In-Line Package



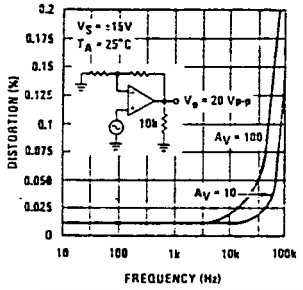
TOP VIEW

Order Number LF351N
See NS Package N08A

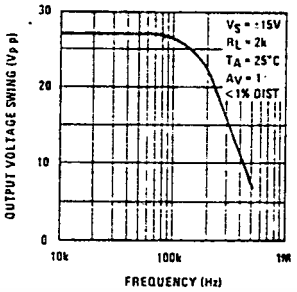
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Characteristics (Continued)

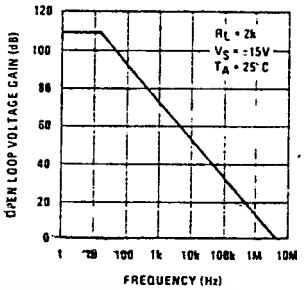
Distortion vs Frequency



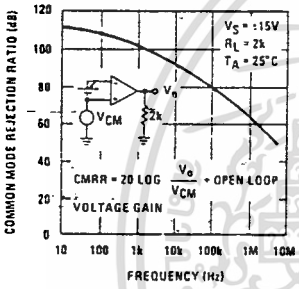
Undistorted Output Voltage Swing



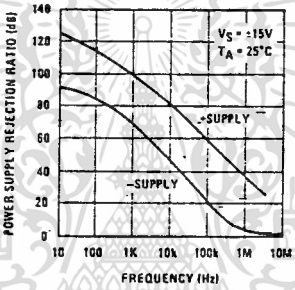
Open Loop Frequency Response



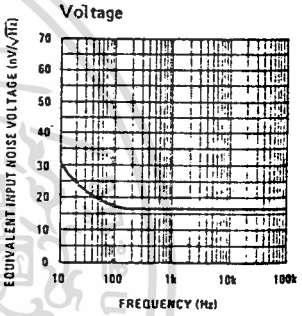
Common-Mode Rejection Ratio



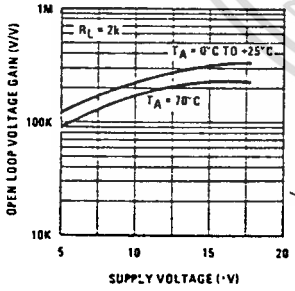
Power Supply Rejection Ratio



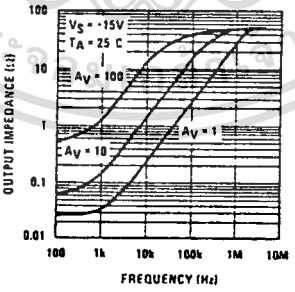
Equivalent Input Noise Voltage



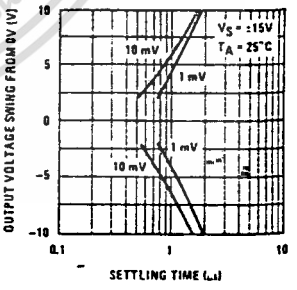
Open Loop Voltage Gain (V/V)



Output Impedance



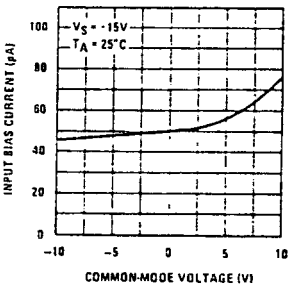
Inverter Settling Time



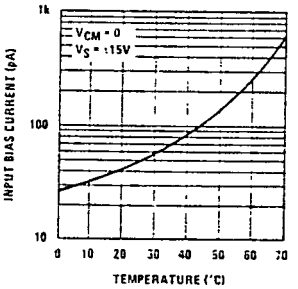
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Characteristics

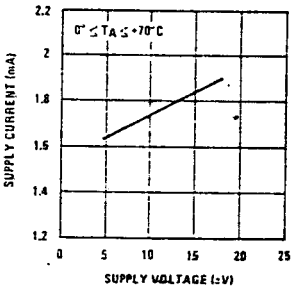
Input Bias Current



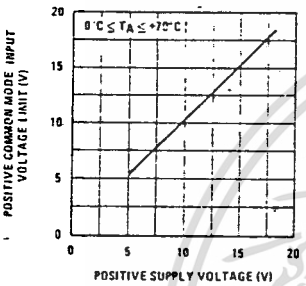
Input Bias Current



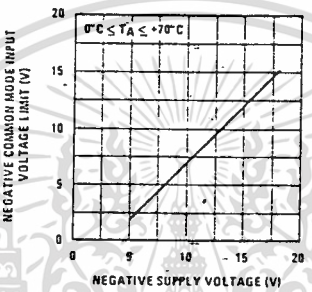
Supply Current



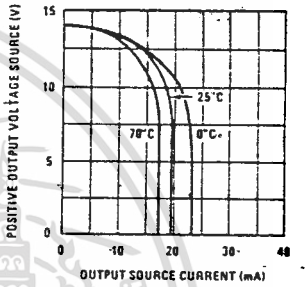
Positive Common-Mode Input Voltage Limit



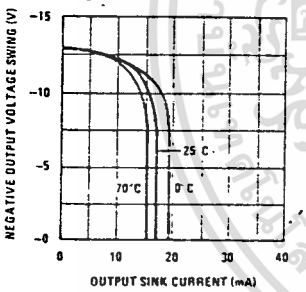
Negative Common-Mode Input Voltage Limit



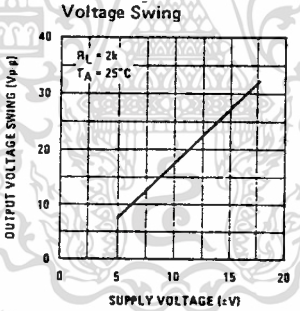
Positive Current Limit



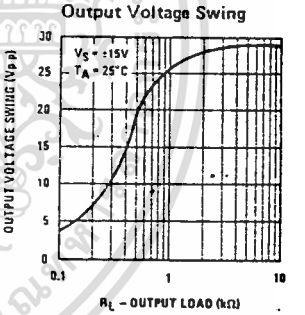
Negative Current Limit



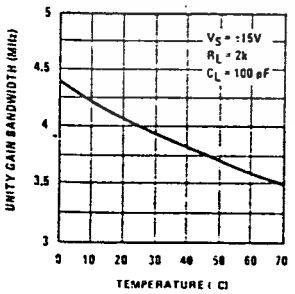
Voltage Swing



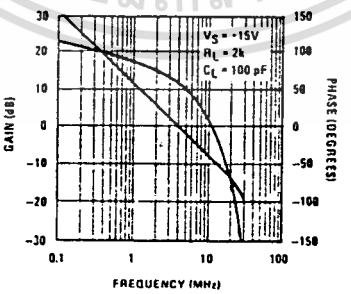
Output Voltage Swing



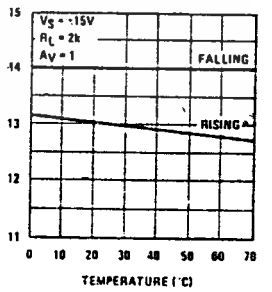
Gain Bandwidth



Bode Plot



Slew Rate



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings

Supply Voltage	±18V
Power Dissipation (Note 1)	500mW
Operating Temperature Range	0°C to +70°C
$T_{j(MAX)}$	115°C
Differential Input Voltage	±30V
Input Voltage Range (Note 2)	±15V
Output Short Circuit Duration	Continuous
Storage Temperature Range	−65°C to +150°C
Lead Temperature (Soldering, 10 seconds)	300°C

DC Electrical Characteristics (Note 3)

SYMBOL	PARAMETER	CONDITIONS	LF351			UNITS
			MIN	TYP	MAX	
V_{OS}	Input Offset Voltage	$R_S = 10k\Omega$, $T_A = 25°C$		5	10	mV
		Over Temperature			13	mV
$\Delta V_{OS}/\Delta T$	Average TC of Input Offset Voltage	$R_S = 10k\Omega$		10		μV/°C
I_{OS}	Input Offset Current	$T_j = 25°C$, (Notes 3, 4)		25	100	pA
		$T_j \leq 70°C$			4	nA
I_B	Input Bias Current	$T_j = 25°C$, (Notes 3, 4)		50	200	pA
		$T_j \leq 70°C$			8	nA
R_{IN}	Input Resistance	$T_j = 25°C$		10^{12}		Ω
A_{VOL}	Large Signal Voltage Gain	$V_S = \pm 15V$, $T_A = 25°C$	25	100		V/mV
		$V_O = \pm 10V$, $R_L = 2k\Omega$				
		Over Temperature	15			V/mV
V_O	Output Voltage Swing	$V_S = \pm 15V$, $R_L = 10k\Omega$	±12	±13.5		V
V_{CM}	Input Common-Mode Voltage Range	$V_S = \pm 15V$	±11	+15		V
				−12		V
CMRR	Common-Mode Rejection Ratio	$R_S \leq 10k\Omega$	70	100		dB
PSRR	Supply Voltage Rejection Ratio	(Note 5)	70	100		dB
I_S	Supply Current			1.8	3.4	mA

AC Electrical Characteristics (Note 3)

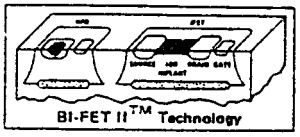
SYMBOL	PARAMETER	CONDITIONS	LF351			UNITS
			MIN	TYP	MAX	
SR	Slew Rate	$V_S = \pm 15V$, $T_A = 25°C$		13		V/μs
GBW	Gain Bandwidth Product	$V_S = \pm 15V$, $T_A = 25°C$		4		MHz
e_n	Equivalent Input Noise Voltage	$T_A = 25°C$, $R_S = 100\Omega$, $f = 1000Hz$		16		$nV/\sqrt{Hz}$
i_n	Equivalent Input Noise Current	$T_j = 25°C$, $f = 1000Hz$		0.01		$pA/\sqrt{Hz}$

Note 1: For operating at elevated temperature, the device must be derated based on a thermal resistance of 150°C/W junction to ambient or 45°C/W junction to case.
Note 2: Unless otherwise specified the absolute maximum negative input voltage is equal to the negative power supply voltage.
Note 3: These specifications apply for $V_S = \pm 15V$ and $0°C \leq T_A \leq +70°C$. V_{OS}, I_B and I_{OS} are measured at $V_{CM} = 0$.
Note 4: The input bias currents are junction leakage currents which approximately double for every 10°C increase in the junction temperature, T_j. Due to the limited production test time, the input bias currents measured are correlated to junction temperature. In normal operation the junction temperature rises above the ambient temperature as a result of internal power dissipation, P_D. $T_j = T_A + \Theta_{jA} P_D$ where Θ_{jA} is the thermal resistance from junction to ambient. Use of a heat sink is recommended if input bias current is to be kept to a minimum.
Note 5: Supply voltage rejection ratio is measured for both supply magnitudes increasing or decreasing simultaneously in accordance with common practice.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

Operational Amplifiers/Buffers



LF353 Wide Bandwidth Dual JFET Input Operational Amplifier

General Description

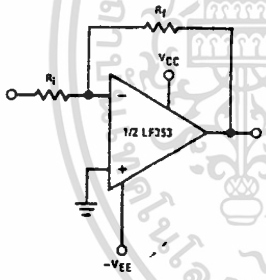
These devices are low cost, high speed, dual JFET input operational amplifiers with an internally trimmed input offset voltage (BI-FET II™ technology). They require low supply current yet maintain a large gain bandwidth product and fast slew rate. In addition, well matched high voltage JFET input devices provide very low input bias and offset currents. The LF353 is pin compatible with the standard LM1558 allowing designers to immediately upgrade the overall performance of existing LM1558 and LM358 designs.

These amplifiers may be used in applications such as high speed integrators, fast D/A converters, sample and hold circuits and many other circuits requiring low input offset voltage, low input bias current, high input impedance, high slew rate and wide bandwidth. The devices also exhibit low noise and offset voltage drift.

Features

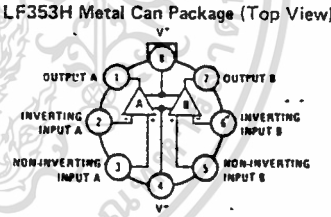
■ Internally trimmed offset voltage	10 mV
■ Low input bias current	50 pA
■ Low input noise voltage	16 nV/√Hz
■ Low input noise current	0.01 pA/√Hz
■ Wide gain bandwidth	4 MHz
■ High slew rate	13 V/μs
■ Low supply current	3.6 mA
■ High input impedance	$10^{12}\Omega$
■ Low total harmonic distortion $A_V = 10$, $R_L = 10k$, $V_O = 20\,V_{p-p}$, BW = 20 Hz-20 kHz	<0.02%
■ Low 1/f noise corner	50 Hz
■ Fast settling time to 0.01%	2 μs

Typical Connection



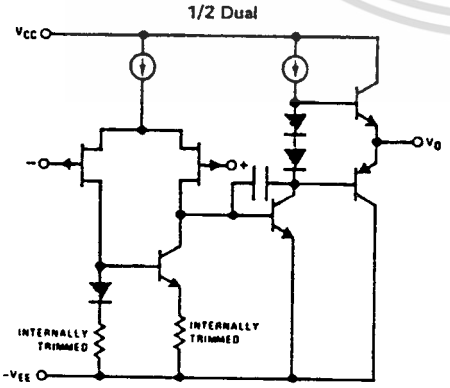
Connection Diagrams

LF353H Metal Can Package (Top View)

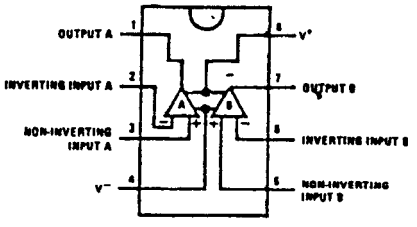


Order Number LF353H
See NS Package H08C

Simplified Schematic



LF353N Dual-In-Line Package (Top View)



Order Number LF353N
See NS Package N08A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings

Supply Voltage	±18V	Input Voltage Range (Note 2)	±15V
Power Dissipation (Note 1)	500 mW	Output Short Circuit Duration	Continuous
Operating Temperature Range	0°C to +70°C	Storage Temperature Range	−65°C to +150°C
$T_{j(MAX)}$	115°C	Lead Temperature (Soldering, 10 seconds)	300°C
Differential Input Voltage	±30V		

DC Electrical Characteristics (Note 4)

SYMBOL	PARAMETER	CONDITIONS	LF353			UNITS
			MIN	TYP	MAX	
V_{OS}	Input Offset Voltage	$R_S = 10k\Omega$, $T_A = 25°C$ Over Temperature		5	10 13	mV mV
$\Delta V_{OS}/\Delta T$	Average TC of Input Offset Voltage	$R_S = 10k\Omega$		10		µV/°C
I_{OS}	Input Offset Current	$T_j = 25°C$, (Notes 4, 5) $T_j \leq 70°C$		25	100 4	pA nA
I_B	Input Bias Current	$T_j = 25°C$, (Notes 4, 5) $T_j \leq 70°C$		50	200 8	pA nA
R_{IN}	Input Resistance	$T_j = 25°C$		10^{12}		Ω
A_{VOL}	Large Signal Voltage Gain	$V_S = \pm 15V$, $T_A = 25°C$ $V_O = \pm 10V$, $R_L = 2k\Omega$ Over Temperature	25 15	100		V/mV V/mV
V_O	Output Voltage Swing	$V_S = \pm 15V$, $R_L = 10k\Omega$	±12	±13.5		V
V_{CM}	Input Common-Mode Voltage Range	$V_S = \pm 15V$	±11	+15 −12		V V
CMRR	Common-Mode Rejection Ratio	$R_S \leq 10k\Omega$	70	100		dB
PSRR	Supply Voltage Rejection Ratio	(Note 6)	70	100		dB
I_S	Supply Current			3.6	6.5	mA

AC Electrical Characteristics (Note 4)

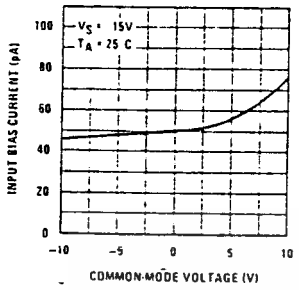
SYMBOL	PARAMETER	CONDITIONS	LF353			UNITS
			MIN	TYP	MAX	
	Amplifier to Amplifier Coupling	$T_A = 25°C$, f = 1 Hz–20 kHz (Input Referred)		−120		dB
SR	Slew Rate	$V_S = \pm 15V$, $T_A = 25°C$		13		V/µs
GBW	Gain Bandwidth Product	$V_S = \pm 15V$, $T_A = 25°C$		4		MHz
e_n	Equivalent Input Noise Voltage	$T_A = 25°C$, $R_S = 100\Omega$, f = 1000 Hz		16		$nV/\sqrt{Hz}$
i_n	Equivalent Input Noise Current	$T_j = 25°C$, f = 1000 Hz		0.01		$pA/\sqrt{Hz}$

Note 1: For operating at elevated temperature, the device must be derated based on a thermal resistance of 160°C/W junction to ambient for the N package, and 150°C/W junction to ambient for the H package.
Note 2: Unless otherwise specified the absolute maximum negative input voltage is equal to the negative power supply voltage.
Note 3: The power dissipation limit, however, cannot be exceeded.
Note 4: These specifications apply for $V_S = \pm 15V$ and $0°C \leq T_A \leq +70°C$. V_{OS}, I_B and I_{OS} are measured at $V_{CM} = 0$.
Note 5: The input bias currents are junction leakage currents which approximately double for every 10°C increase in the junction temperature, T_j. Due to the limited production test time, the input bias currents measured are correlated to junction temperature. In normal operation the junction temperature rises above the ambient temperature as a result of internal power dissipation, P_D. $T_j = T_A + \Theta_{jA} P_D$ where Θ_{jA} is the thermal resistance from junction to ambient. Use of a heat sink is recommended if input bias current is to be kept to a minimum.
Note 6: Supply voltage rejection ratio is measured for both supply magnitudes increasing or decreasing simultaneously in accordance with common practice.

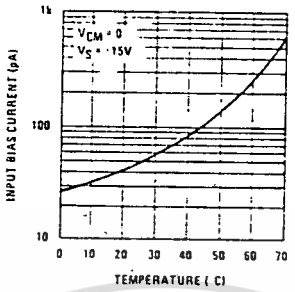
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Characteristics

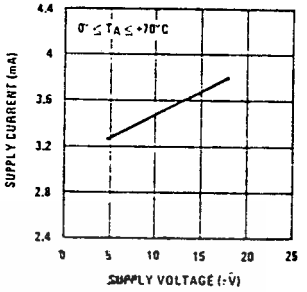
Input Bias Current



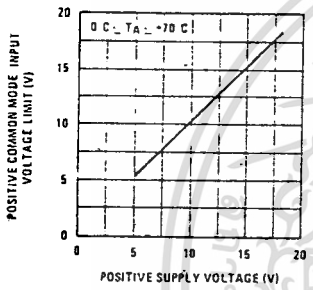
Input Bias Current



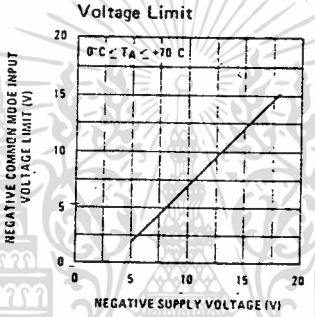
Supply Current



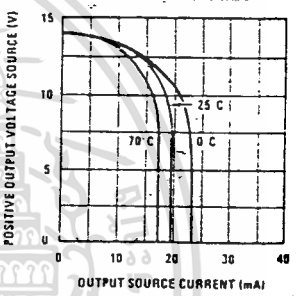
Positive Common-Mode Input Voltage Limit



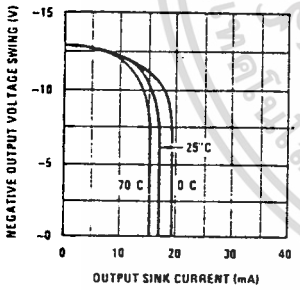
Negative Common-Mode Input Voltage Limit



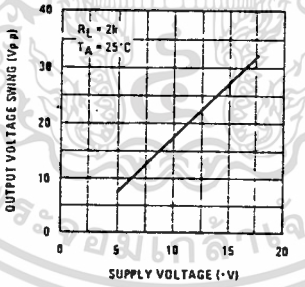
Positive Current Limit



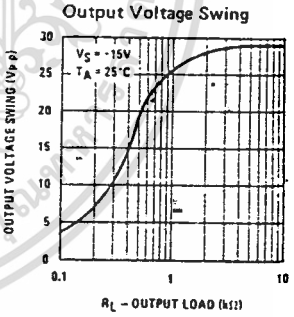
Negative Current Limit



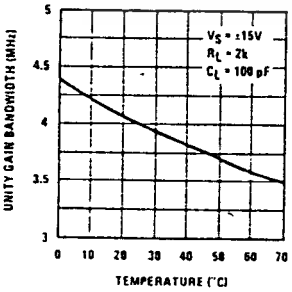
Voltage Swing



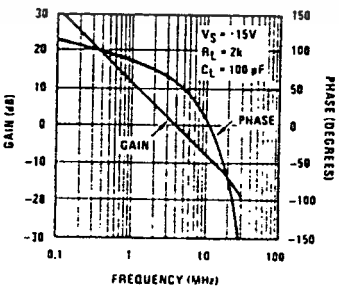
Output Voltage Swing



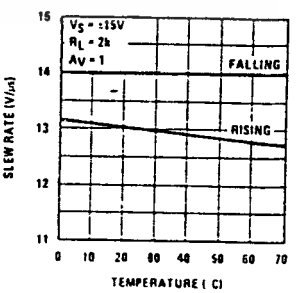
Gain Bandwidth



Bode Plot



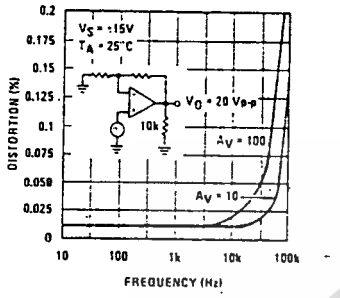
Slew Rate



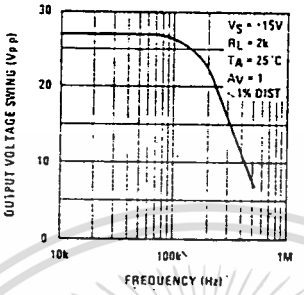
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Characteristics (Continued)

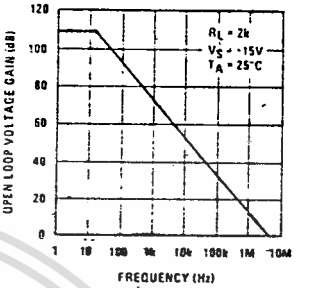
Distortion vs Frequency



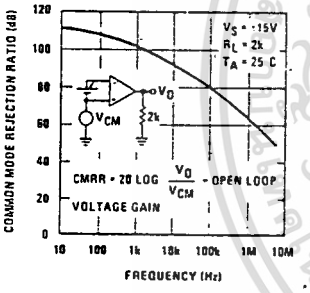
Undistorted Output Voltage Swing



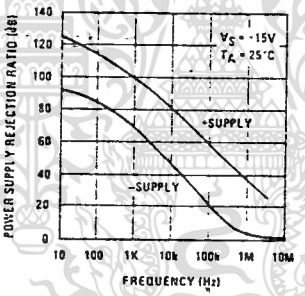
Open Loop Frequency Response



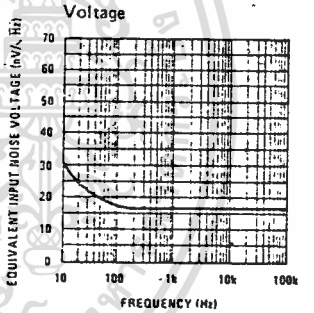
Common-Mode Rejection Ratio



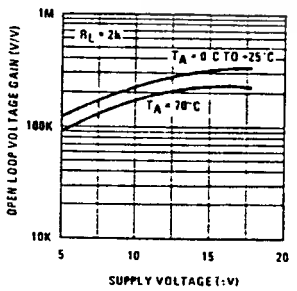
Power Supply Rejection Ratio



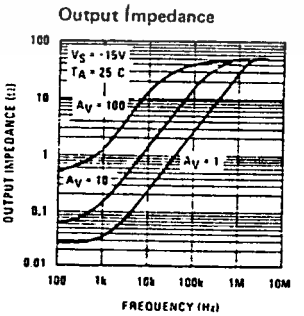
Equivalent Input Noise Voltage



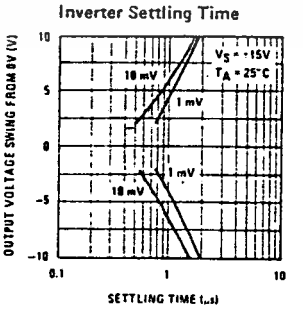
Open Loop Voltage Gain (V/V)



Output Impedance



Inverter Settling Time



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

LM311 Voltage Comparator

General Description

The LM311 is a voltage comparator that has input currents more than a hundred times lower than devices like the LM306 or LM710C. It is also designed to operate over a wider range of supply voltages: from standard ±15V op amp supplies down to the single 5V supply used for IC logic. Its output is compatible with RTL, DTL and TTL as well as MOS circuits. Further, it can drive lamps or relays, switching voltages up to 40V at currents as high as 50 mA.

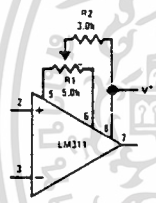
Features

- Operates from single 5V supply
- Maximum input current: 250 nA
- Maximum offset current: 50 nA
- Differential input voltage range: ±30V
- Power consumption: 135 mW at ±15V

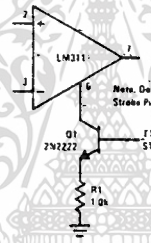
Both the input and the output of the LM311 can be isolated from system ground, and the output can drive loads referred to ground, the positive supply or the negative supply. Offset balancing and strobe capability are provided and outputs can be wire OR'ed. Although slower than the LM306 and LM710C (200 ns response time vs 40 ns) the device is also much less prone to spurious oscillations. The LM311 has the same pin configuration as the LM306 and LM710C. See the "application hints" of the LM311 for application help.

Auxiliary Circuits**

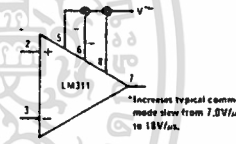
** Note: Pin connections shown on schematic diagram and typical applications are for TO-5 package.



Offset Balancing

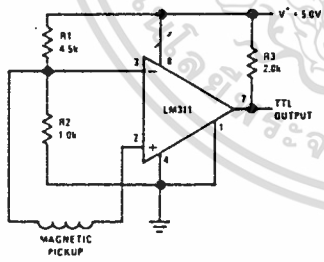


Strobing

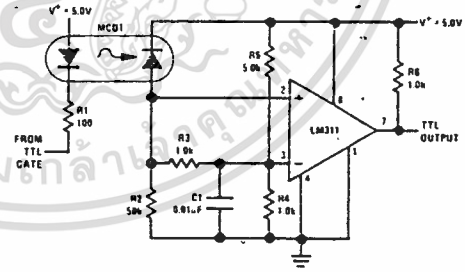


Increasing Input Stage Current*

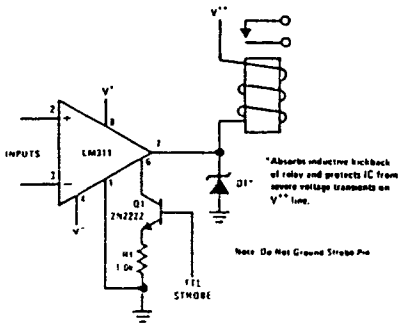
Typical Applications**



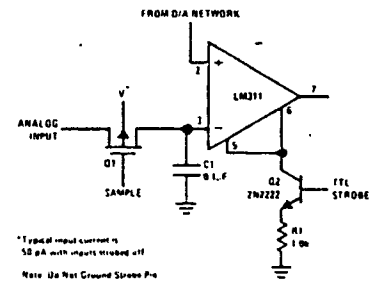
Detector for Magnetic Transducer



Digital Transmission Isolator



Relay Driver with Strobe



Strobing off Both Input* and Output Stages

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings

Total Supply Voltage (V_{+})	36V
Output to Negative Supply Voltage (V_{-})	40V
Ground to Negative Supply Voltage (V_{-})	30V
Differential Input Voltage	±30V
Input Voltage (Note 1)	±15V
Power Dissipation (Note 2)	500 mW
Output Short Circuit Duration	10 sec
Operating Temperature Range	0°C to 70°C
Storage Temperature Range	−65°C to 150°C
Lead Temperature (soldering, 10 sec)	300°C
Voltage at Strobe Pin	V^{+}−5V

Electrical Characteristics (Note 3)

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
Input Offset Voltage (Note 4)	$T_A = 25°C$, $R_S \leq 50K$		2.0	7.5	mV
Input Offset Current (Note 4)	$T_A = 25°C$		6.0	50	nA
Input Bias Current	$T_A = 25°C$		100	250	nA
Voltage Gain	$T_A = 25°C$	40	200		V/mV
Response Time (Note 5)	$T_A = 25°C$		200		ns
Saturation Voltage	$V_{IN} \leq -10$ mV, $I_{OUT} = 50$ mA, $T_A = 25°C$		0.75	1.5	V
Strobe ON Current	$T_A = 25°C$		3.0		mA
Output Leakage Current	$V_{IN} \geq 10$ mV, $V_{OUT} = 35V$, $T_A = 25°C$, $I_{STROBE} = 3$ mA		0.2	50	nA
Input Offset Voltage (Note 4)	$R_S \leq 50k$			10	mV
Input Offset Current (Note 4)				70	nA
Input Bias Current				300	nA
Input Voltage Range		−14.5	13.8, −14.7	13.0	V
Saturation Voltage	$V^{+} \geq 4.5V$, $V^{-} = 0$, $V_{IN} \leq -10$ mV, $I_{SINK} \leq 8$ mA		0.23	0.4	V
Positive Supply Current	$T_A = 25°C$		5.1	7.5	mA
Negative Supply Current	$T_A = 25°C$		4.1	5.0	mA

Note 1: This rating applies for ±15V supplies. The positive input voltage limit is 30V above the negative supply. The negative input voltage limit is equal to the negative supply voltage or 30V below the positive supply, whichever is less.

Note 2: The maximum junction temperature of the LM311 is 110°C. For operating at elevated temperatures, devices in the TO-5 package must be derated based on a thermal resistance of 150°C/W, junction to ambient, or 45°C/W, junction to case. The thermal resistance of the dual-in-line package is 100°C/W, junction to ambient.

Note 3: These specifications apply for V_S = ±15V and the Ground pin at ground, and 0°C < T_A <+70°C, unless otherwise specified. The offset voltage, offset current and bias current specifications apply for any supply voltage from a single 5V supply up to ±15V supplies.

Note 4: The offset voltages and offset currents given are the maximum values required to drive the output within a volt of either supply with 1 mA load. Thus, these parameters define an error band and take into account the worst-case effects of voltage gain and input impedance.

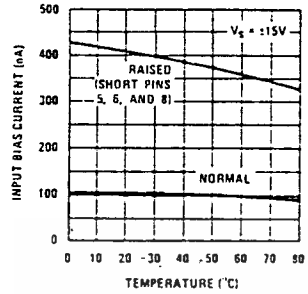
Note 5: The response time specified (see definitions) is for a 100 mV input step with 5 mV overdrive.

Note 6: Do not short the strobe pin to ground; it should be current driven at 3 to 5 mA.

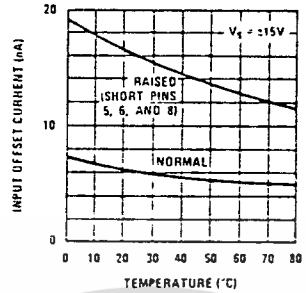
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Characteristics

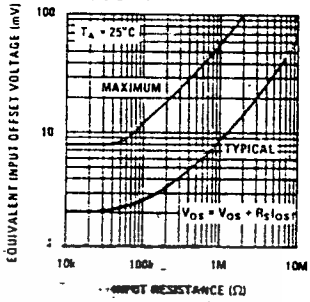
Input Bias Current



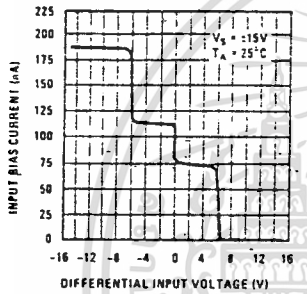
Input Offset Current



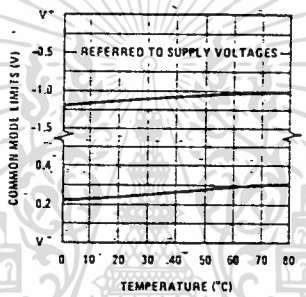
Offset Error



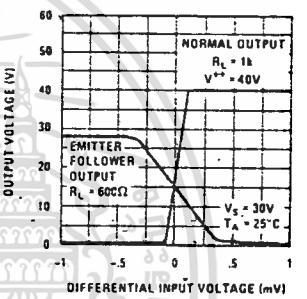
Input Characteristics



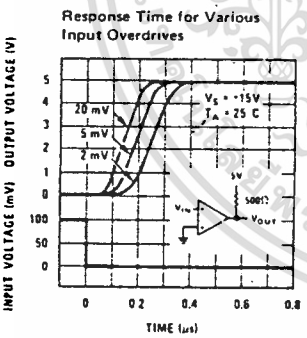
Common Mode Limits



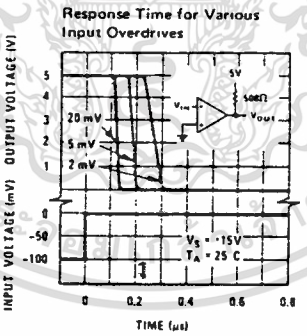
Transfer Function



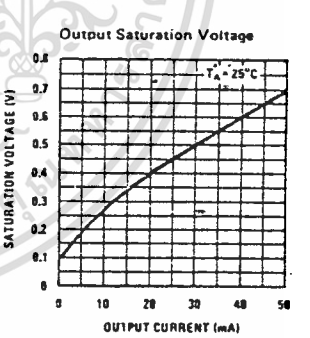
Response Time for Various Input Overdrives



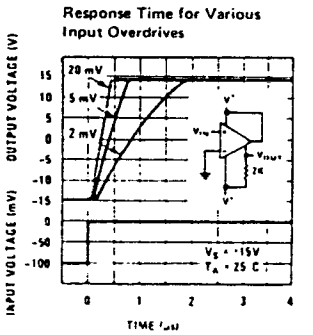
Response Time for Various Input Overdrives



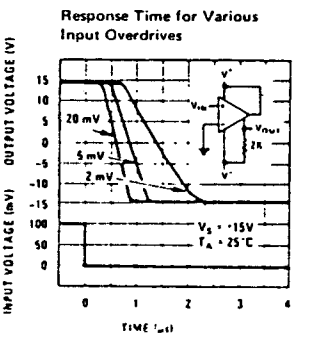
Output Saturation Voltage



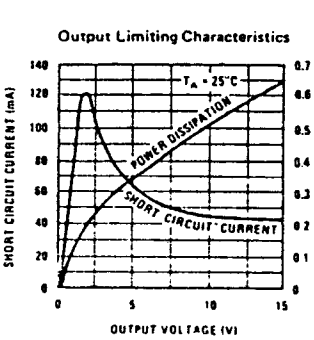
Response Time for Various Input Overdrives



Response Time for Various Input Overdrives



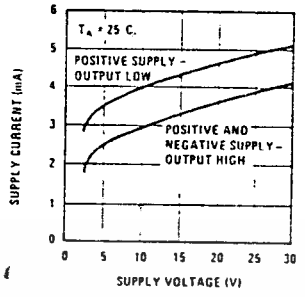
Output Limiting Characteristics



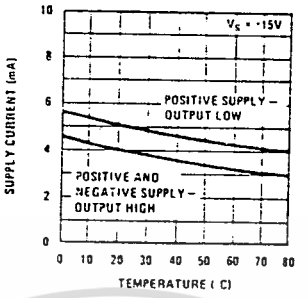
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Characteristics (Continued)

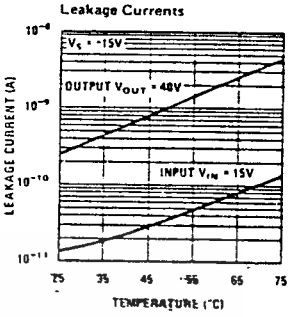
Supply Current



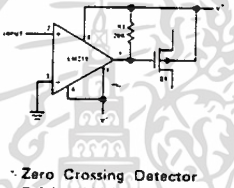
Supply Current



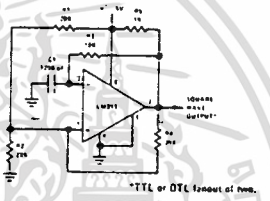
Leakage Currents



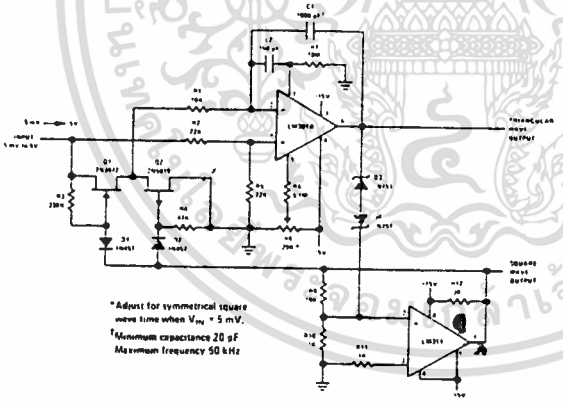
Typical Applications



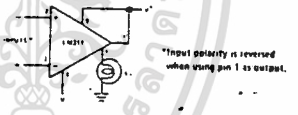
Zero Crossing Detector Driving MOS Switch



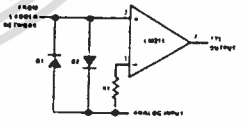
100 kHz Free Running Multivibrator



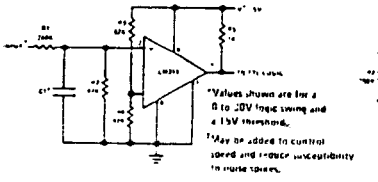
10 Hz to 10 kHz Voltage Controlled Oscillator



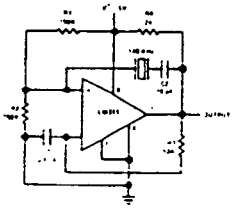
Driving Ground-Referred Loads



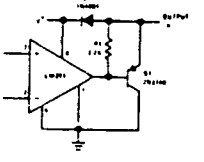
Using Clamp Diodes to Improve Response



TTL Interface with High Level Logic



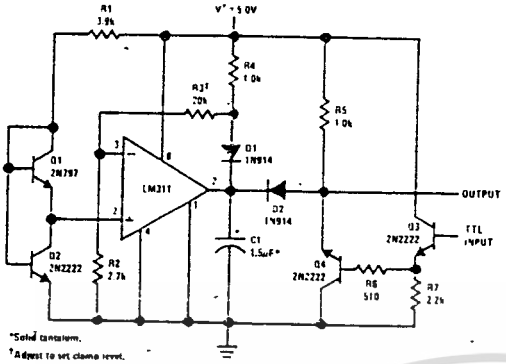
Crystal Oscillator



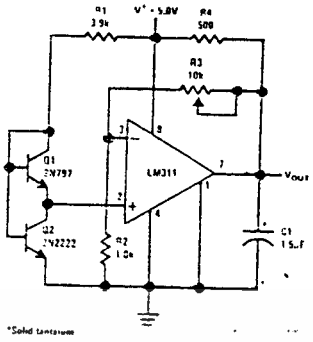
Comparator and Solenoid Driver

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

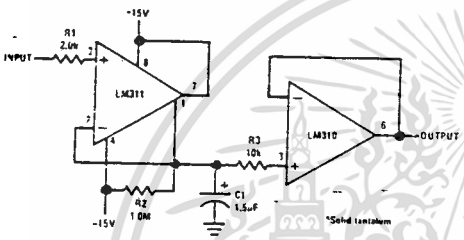
Typical Applications (Continued)



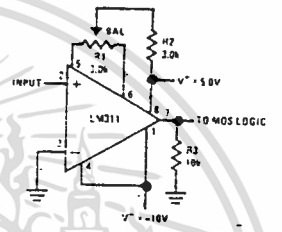
Precision Squarer



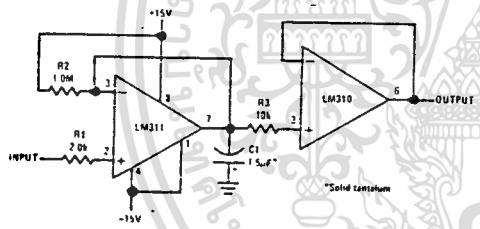
Low Voltage Adjustable Reference Supply



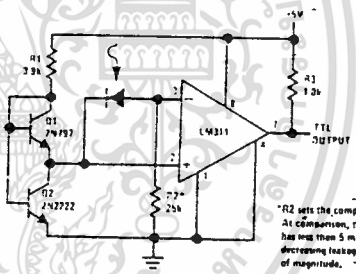
Positive Peak Detector



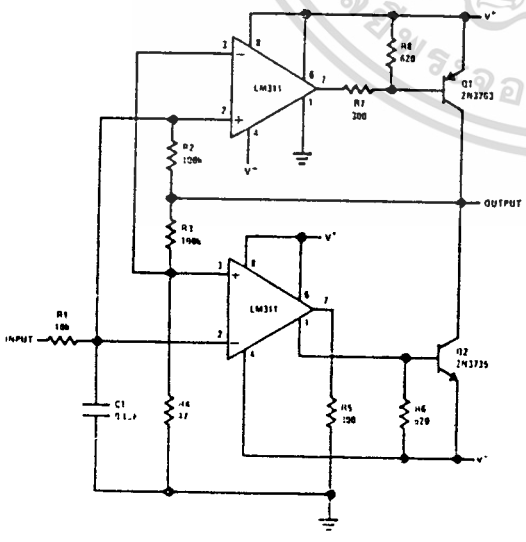
Zero Crossing Detector driving MOS logic



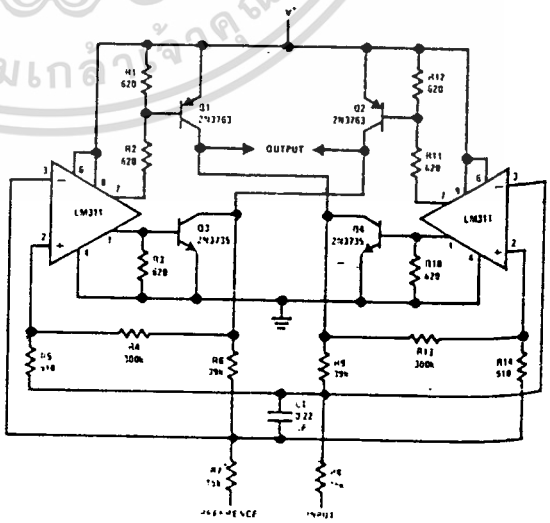
Negative Peak Detector



Precision Photodiode Comparator



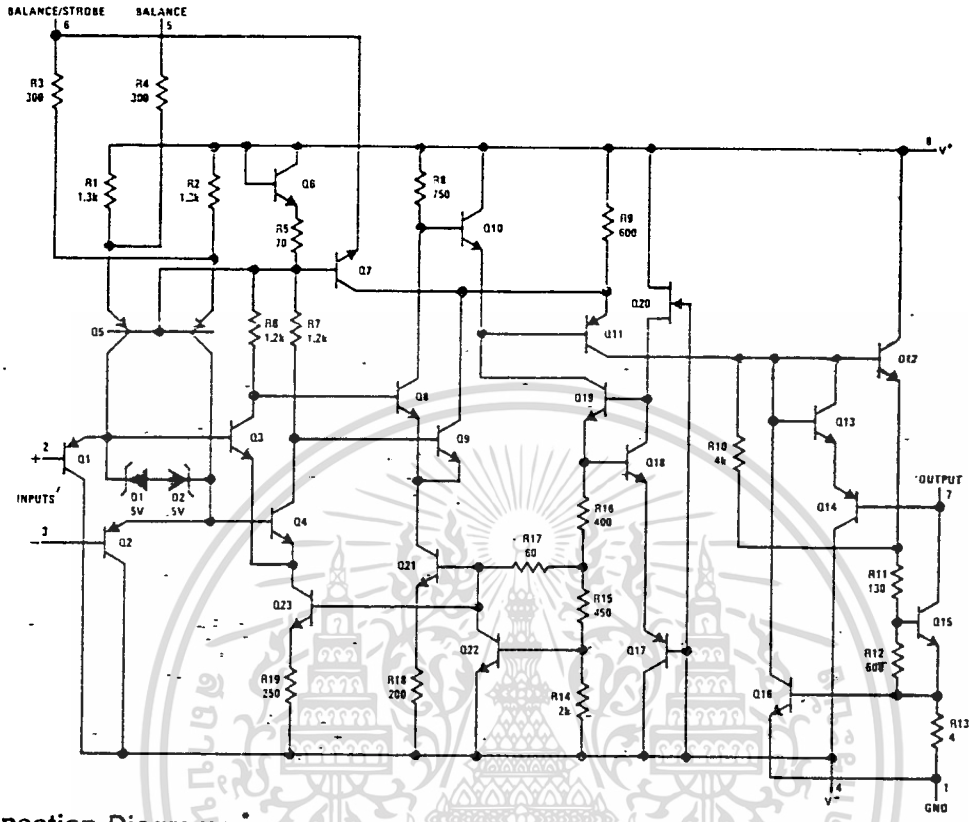
Switching Power Amplifier



Switching Power Amplifier

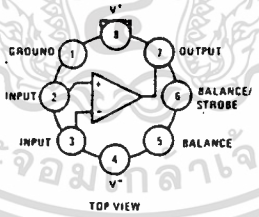
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Schematic Diagram



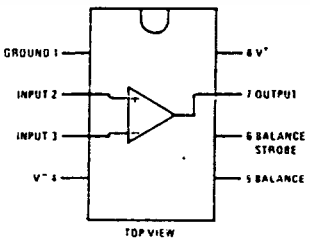
Connection Diagrams

Metal Can Package



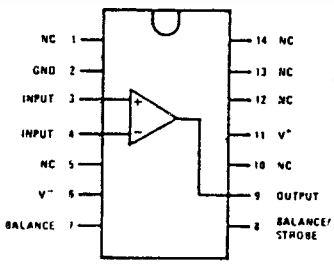
Order Number LM311H
See NS Package H08C

Dual-In-Line Package



Order Number LM311N
See NS Package N08B
Order Number LM311J-8
See NS Package J08A

Dual-In-Line Package



Order Number LM311N-14
See NS Package N14A
Order Number LM311J
See NS Package J14A

Note. Pin 8 connected to bottom of package.

*Pin connections shown on schematic diagram and typical applications are for TO-5 package.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้