ชุดฝึก เดลต้า โมดูเลเตอร์
Delta Modulation

โดย

นายลือชัย จันทรศิริ

นายวสันต์ คงสัมมา

นายสังเวย แก้วอ่วม

ปริญญานิพนธ์วิศวกรรมศาสตร์บัณฑิต

ภาควิชาเทคนิคอุตสาหกรรม คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2532

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ปีการศึกษา 2532
ภาควิชา เทคนิคอุสาหกรรม
คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
เรื่อง ชุดฝึก DELTA MODULATION
ผู้จัดทำ.....

1. นายลือชัย จันทรศิริ
2. นายวสันต์ คงสัมมา
3. นายสังเวย แก้วอ่วม

.....อาจารย์ที่ปรึกษา
(.....)

.....อาจารย์ที่ปรึกษา
(.....)

.....อาจารย์ที่ปรึกษา
(.....)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

เดลต้า โมดูเลเตอร์

ลือชัย จันทรศิริ
วสันต์ คงสัมมา
สังเวย แก้วอ่วม
ผศ.นิกร สุขุตมตันติ
ปีการศึกษา 2532

บทคัดย่อ

โครงงานนี้เป็นโครงงานเกี่ยวกับการสร้างชุดฝึกสำหรับการเรียนรู้การทำงานของการสื่อสารในระบบDELTA MODULATOR(DM) คือการส่งข้อมูลเป็นระหัส BINARY ที่มีระดับสัญญาณเป็น "0"กับ"1" จะมีอยู่ 2 ชุดคือ ชุดที่เป็น

1.เครื่องส่งสัญญาณจะประกอบด้วย วงจร STEP GENERATOR WITH RING COUNTER,วงจร INTEGRAT,วงจร COMMPARATOR,และวงจร TIMING ตามลำดับ BLOCK DIAGRAM ตั้งแต่ INPUT จนถึง - OUTPUT ของเครื่องส่งคือสัญญาณ ANALOG จะเข้าที่วงจร STEP GENERATOR WITH RING COUNTER และจะออกเป็นสัญญาณ "0"กับ"1" ที่วงจร TIMING

2.ส่วนชุดที่เป็นเครื่องรับสัญญาณจะประกอบด้วยวงจร TIMING,วงจร STEP GENERATER WITH RING COUNTER,วงจรINTEGRATOR และวงจร LOW PASS FILTER สัญญาณที่ OUTPUT ของเครื่องส่งที่เป็นสัญญาณ 2 ระดับนี้จะเข้าที่วงจร TIMING ของเครื่องรับและได้OUTPUTเป็นสัญญาณ ANALOG โดยผ่านวงจร LOW PASS FILTER นำสัญญาณนี้ไปผ่านลำโพงก็สามารถรับฟังข่าวสารได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้ง
026898

DELTA MODULATOR

LUECHAI JUNTARASIRI
WASAN KONGSUMMA
SUNGVEAY KAEWAUAM

ASST.PROF. NIKORN SUKUTAMATANTI

1989

Abstract

This project is about how to make the communication in DELTA MODULATION (D.M.). That is the delta BINARY CODE which two waves forms "0" and "1". They are transmitting signal set and consist of STEP GENERATOR WITH RING COUNTER CIRCUIT,and TIMING CIRCUIT. Block diagram from input to output of a transmitter that is ANALOG SIGNAL to be got in STEP GENERATOR WITH RING COUNTER CIRCUIT and got out in "0" and "1" at TIMING CIRCUIT. The other is the receiver which consists of TIMING CIRCUIT,STEP GENERATER WITH RING COUNTER CIRCUIT,INTEGRATOR CIRCUIT and LOW PASS FILTER CIRCUIT. The output signal of a transmitter got into TIMING CIRCUIT of the RECEIVER and output signal which passeg through LOW PASS FILTER CIRCUIT and got output at low pass filter is analog signal and send along to loudspeaker at last you can receiver the messages.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

หน้า

ปริญญานิพนธ์ปีการศึกษา 2532 เรื่องชุดฝึก DELTA MODULATION i

บทคัดย่อ ii

Abstract iii

บทที่

1.หลักการเบื้องต้น การมอดูเลชั่นระบบดิจิตอล (DELTA MODULATION)

1.1 ดิจิตอลมอดูเลชั่น 1-1

1.2 เดลต้ามอดูเลชั่น 1-9

2.วงจรชุดฝึก เดลต้ามอดูเลชั่น

2.1 วงจรกรองความถี่ 2-1

2.2 วงจร POWER SUPPLY 2-3

2.3 วงจร STEP GENERATOR 2-3

2.4 วงจร EXCLUSIVE OR GATE 2-5

2.5 วงจร D - FLIPFLOP 2-5

2.6 วงจร ANALOG SWITCH 2-6

2.7 วงจร COMPARATOR 2-6

2.8 วงจร INTEGRATOR 2-7

2.9 วงจร PEAK CLIPPER 2-10

2.10 วงจร CLOCK CIRCUIT 2-10

2.11 วงจร RING COUNTER 2-12

3.การทดลองและผลการทดลอง

การทดลองที่ 1 INTEGRATING DELTA MODULATOR(DM) 3-1

การทดลองที่ 2 INTEGRATING DELTA DEMODULATOR และ DM CHANNEL 3-7

การทดลองที่ 3 ADAPTIVE DELTA MODULATION 3-10

4.สรุปผลและวิจารณ์ 4-1

ภาคผนวก

รายละเอียดแบบการสร้างชุดฝึก DELTA MODULATION

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

A-1 DELTA MODULATOR

A-1.1 ผังหน้าปัทม์ DELTA MODULATOR A-1

A-1.2 ลายพิมพ์วงจร DELTA MODULATOR A-2

A-2 DELTA DEMODULATOR

A-2.1 ผังหน้าปัทม์ DELTA DEMODULATOR A-3

A-2.2 ลายพิมพ์วงจร DELTA DEMODULATOR A-4

A-3 WORD GEN & SIGNAL PROCESSING CCT.

A-3.1 ผังหน้าปัทม์ WORD GEN & SIGNAL PROCESSING CCT. A-5

A-3.2 ลายพิมพ์วงจร WORD GEN & SIGNAL PROCESSING CCT. A-6

DATA SHEET

A-4 CD4001BC QUAD 2 INPUT NOR BUFFERED ก-1

A-5 CD4013BC DUAL D FLIP-FLOP ก-6

A-6 CD4030C QUAD EXCLUSIVE -OR ก-11

A-7 CD4017BC DECADE COUNTER/DIVIDER WITH 10 DECODED OUTPUT ก-14

A-8 SCL4066B QUAD ANALOG SWITCH ก-19

A-9 UA741 OP-AMP ก-24

A-10 LM339 QUAD COMPARATOR ก-27

กิตติกรรมประกาศ

หนังสืออ้างอิง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1

หลักการเบื้องต้น การมอดูเลชั่นระบบดิจิตอล(DIGITAL MODULATION)

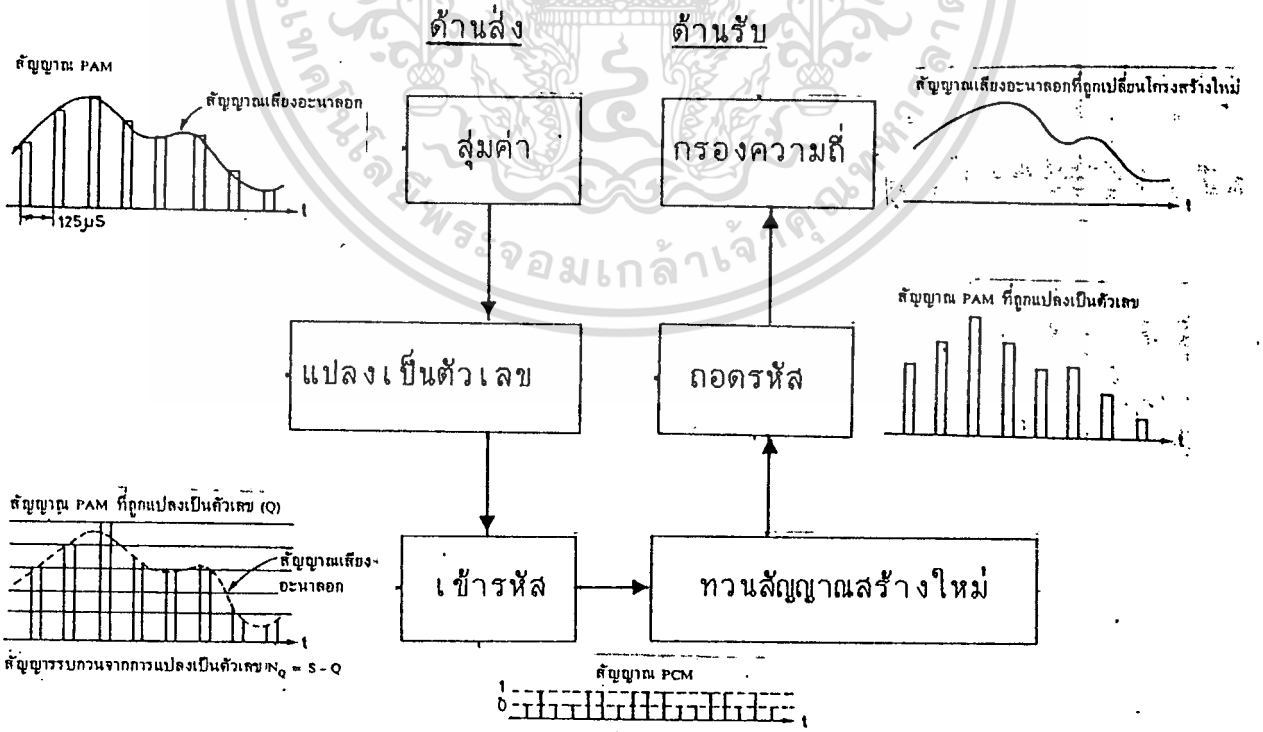
ในการสื่อสารส่งข่าวสารปัจจุบัน ระบบดิจิตอล มอดูเลชั่นถูกนำมาใช้แทนการมอดูเลชั่นแบบอะนาลอก(Analong)โดยหลักการแล้ว ก็คือการนำสัญญาณอะนาลอกมาทำเป็นสัญญาณดิจิตอลก่อน แล้วส่งผ่านทางสายหรือเป็นคลื่นวิทยุหลังจากนั้นก็แปลงกลับมาเป็นสัญญาณอะนาลอกตามเดิม ในขบวนการดำเนินการ ก็คือนำวงจรลิเนียร์(Linear)และวงจรลอจิก(logic)มาทำงานร่วมกัน

1.1 ดิจิตอล มอดูเลชั่น

ดิจิตอล มอดูเลชั่น แบ่งเป็น 2 ระบบ คือ เดลต้า มอดูเลชั่น(Delta Modulation) และ พลัซโค้ดมอดูเลชั่น(Pulse Code Modulation)

เพื่อแสดงให้เห็นว่ากรรมวิธีในการดิจิตอล มอดูเลชั่นจะต้องผ่านขั้นตอนใหญ่ๆ คือ

1. การสุ่มตัวอย่าง
2. การแบ่งย่านแรงดันออกเป็นระดับต่าง ๆ
3. การเข้ารหัส

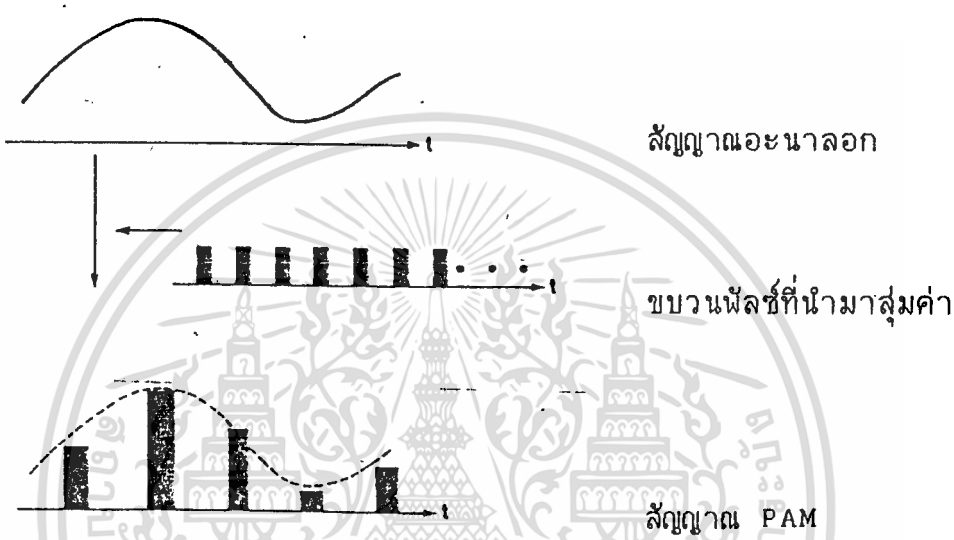


รูปที่ 1.1 การแปลงสัญญาณอะนาลอกไปเป็นสัญญาณดิจิตอลและสัญญาณดิจิตอลไปเป็นสัญญาณอะนาลอก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

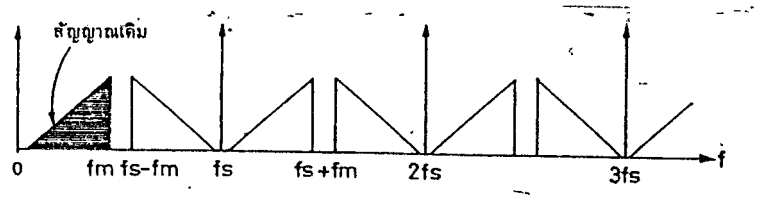
026898

ปกติแล้วแอมปลิจูด(Amplitude)ของสัญญาณเสียงอะนาลอก จะต่อเนื่องกันตลอดตามแกนของเวลา การสุ่มค่าก็คือขบวนการนำค่าแอมปลิจูดสัญญาณอะนาลอกบางค่าในช่วงเวลาซึ่งห่างกันคงที่มาเรียงต่อกันวิธีการนี้เปรียบเสมือนกับการมอดูเลตทางแอมปลิจูดโดยมีสัญญาณพาห์ เป็นขบวนพัลซ์ที่มีคาบเวลาคงที่ ซึ่งมามอดูเลตสัญญาณเสียงอะนาลอกนั่นเอง ผลลัพท์ที่ได้จะเป็นสัญญาณที่ไม่ต่อเนื่องตามแกนเวลา ซึ่งเรียกว่า PAM (Pulse Amplitude Modulation)แสดงดังรูปที่ 1.2



รูปที่ 1.2 สัญญาณอะนาลอกมอดูเลชั่นกับสัญญาณพัลซ์จะได้ PAM

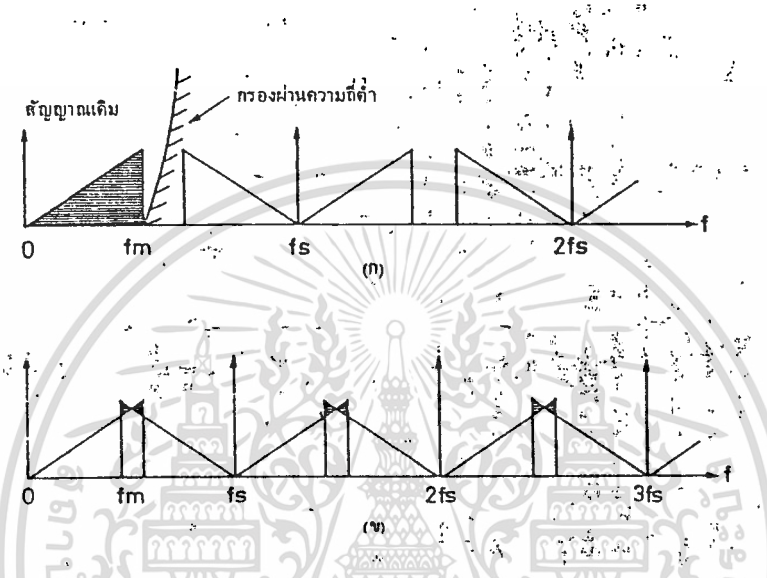
องค์ประกอบสำคัญ ที่ต้องคำนึงถึงใน การสุ่มค่าสัญญาณ ก็คือ ความถี่ของพัลส์เท่าไรจึงจะเหมาะสม สิ่งนี้ได้ผ่านการพิสูจน์ ทางคณิตศาสตร์และ ตั้งทฤษฎีเรียกว่า ทฤษฎีสุ่มค่า (Sampling Theorem) ซึ่งกล่าวว่า สัญญาณที่มีแอมปลิจูดเป็นฟังก์ชั่นของเวลา ถูกทำการสุ่มค่าทุก ๆ ช่วงเวลาห่างที่คงที่ เมื่อทำการสุ่มค่าด้วยความถี่อย่างต่ำเป็น 2 เท่าของความถี่สูงสุดของสัญญาณนั้นแล้ว ก็จะสามารถเก็บข่าวสารหรือเนื้อหาของสัญญาณต้นแบบไว้ได้ทั้งหมด



รูปที่ 1.3 PAM ที่ผ่านการสุ่มค่าแล้ว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในรูปที่ 1.3 แสดงให้เห็นแถบความถี่ (Frequency Spectrum) ของสัญญาณ PAM ซึ่งได้ผ่านขั้นตอนการสุ่มค่าแล้ว โดยมีความถี่สูงสุดของสัญญาณอะนาลอก (fm) และความถี่ของการสุ่มค่า (fs) เมื่อนำขบวนสัญญาณพัลส์มาวิเคราะห์ทางคณิตศาสตร์ด้วยอนุกรมฟูเรียร์ (Foorier Series) พบว่าประกอบด้วยฮาร์โมนิกของสัญญาณซายน์ ที่มีความถี่เป็นทวีคูณของความถี่ขบวนพัลส์รวมกันอยู่ (o, fs, 2fs, 3fs,.....)

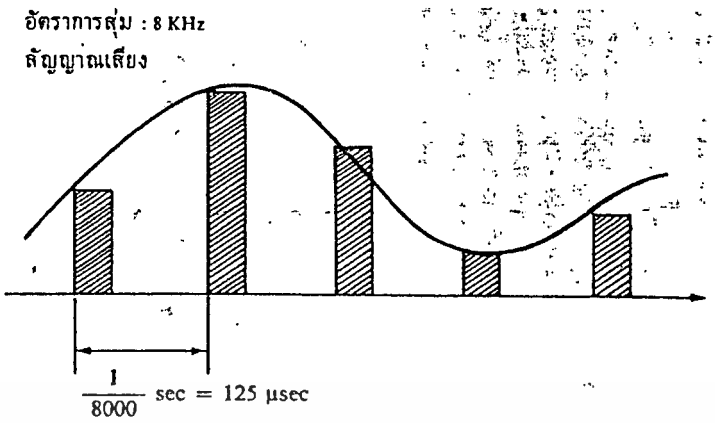


รูปที่ 1.4 ผลของความถี่สัญญาณสุ่มค่าและสัญญาณอะนาลอกต่อ PCM

จากรูป 1.4ก จะเห็นว่าถ้าความถี่ fs มีค่ามากกว่า 2 เท่าของความถี่ fm ความถี่แถบข้าง (Side band) ไม่ซ้อนทับกัน ซึ่งในกรณีนี้สามารถนำสัญญาณอะนาลอกกลับคืนมาได้โดยการผ่านวงจรกรองความถี่ต่ำ (low pass fiher) ในทางตรงข้าม (ดูรูปที่ 4ข ประกอบ) ถ้าความถี่ fs มีค่าน้อยกว่า 2 เท่าของความถี่ fm ความถี่แถบข้าง (side band) จะซ้อนทับกัน ซึ่งไม่มีวิธีการใดๆที่จะนำสัญญาณอะนาลอกกลับคืนมาได้

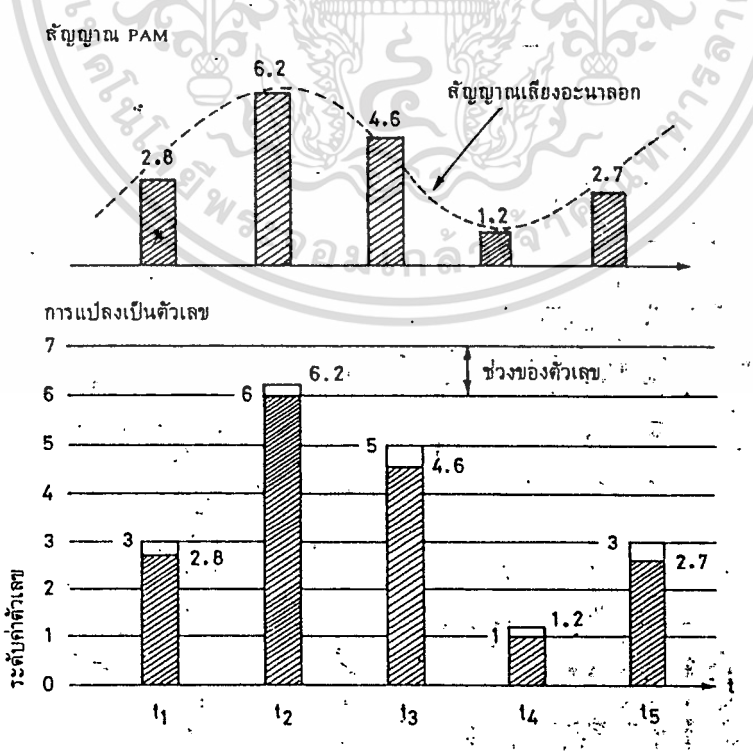
CCITT (International Telephone & Telegraph Consultative Committee) แนะนำให้ใช้ความถี่ของการสุ่มค่า 8 KH_z สำหรับสัญญาณเสียงซึ่งโดยปกติแล้วแถบความถี่สัญญาณเสียงที่ใช้ในระบบโทรศัพท์มีค่าจำกัดระหว่าง 0.3 ถึง 3.4 KH_z ดังนั้นค่าความถี่ fs ตามทฤษฎีควรจะเป็น 2 เท่าของ 3.4 KH_z หรือเท่ากับ 6.8 KH_z อย่างไรก็ดีในทางปฏิบัติจะใช้ค่าความถี่เท่ากับ 8 KH_z ด้วยเหตุผลทางด้านเทคนิคในการสร้างวงจรสัญญาณจะได้ง่ายขึ้น ช่วงเวลาที่ใช้ในการสุ่มค่าแต่ละครั้งเท่ากับ 1/8,000 วินาที หรือ 125 ไมโครวินาที (ดูรูปที่ 1.5)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 1.5 ความถี่ของสัญญาณสุ่มค่า 8 KHz สำหรับสัญญาณเสียง

ในขั้นตอนต่อมาสัญญาณ PAM นั้น จะถูกส่งไปผ่านการแปลงเป็นตัวเลขโดยแบ่งขนาดของแอมปลิจูดออกเป็นช่วง ๆ (ดูรูปที่ 1.6) ค่าของแต่ละช่วงที่ถูกแบ่งเรียกว่าระดับค่าตัวเลข (Quantizing level) และระยะระหว่างช่วงที่ถูกแบ่งเรียกว่า ช่วงของตัวเลข (Quantizing interval) ขนาดของแต่ละสัญญาณสุ่มในสัญญาณ PAM จะถูกแทนด้วยระดับค่าตัวเลข (quantizing interval) ที่ใกล้เคียงกับขนาดของมัน

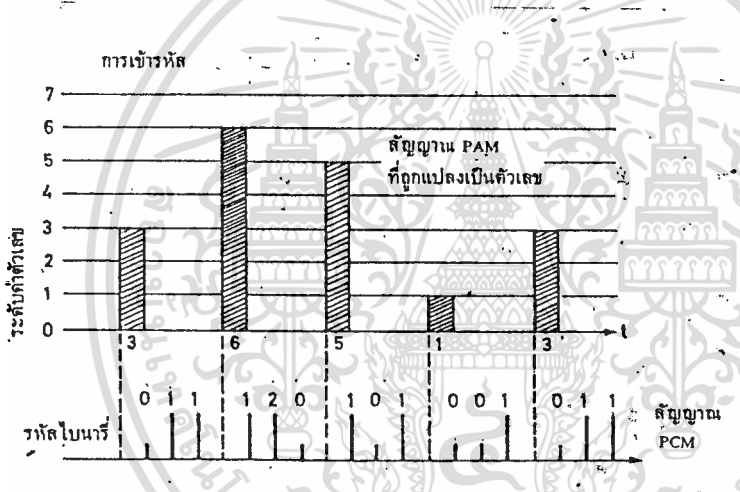


รูปที่ 1.6 การแปลงสัญญาณ PAM ให้เป็นตัวเลข

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตัวอย่างเช่น สัญญาณที่ถูกสุ่มที่เวลา t_1 มีขนาด 5.4 จะถูกแทนด้วยระดับ 5.0 หรือที่เวลาสัญญาณ t_2 สัญญาณสุ่มมีขนาด 6.2 จะถูกแทนด้วยระดับ 6.0 (ดูรูปที่ 6) ซึ่งเป็นการทำระดับของสัญญาณให้มีช่วงห่างที่แน่นอน เพื่อให้สามารถนำไปแปลงเป็นรหัสฐานสองที่สอดคล้องกันแต่ละระดับ

หลังจากผ่านการแปลงเป็นตัวเลขแล้ว สัญญาณ PAM ที่ได้จะนำไปเข้ารหัสโดยเปลี่ยนเป็นรหัสฐานสอง จากรูปที่1.7แต่ละค่าที่ผ่านการแปลงเป็นตัวเลขแล้วจะถูกแปลงเป็นฐาน 2, 3 บิต สัญญาณที่ได้นี้เรียกว่า สัญญาณ PCM (Pulse Code Modulation) ระดับค่าตัวเลขจะถูกกำหนดโดยจำนวนบิตของเลขฐาน 2 ของแต่ละค่า เช่นถ้าใช้ n บิตในการเข้ารหัสต่อหนึ่งค่าจะได้จำนวนค่าตัวเลขเท่ากับ 2^n ระดับ ซึ่งทาง CCITT แนะนำให้ใช้การเข้ารหัส 8 บิต ต่อหนึ่งค่าหรือให้มีระดับของค่าตัวเลขเท่ากับ $2^8 = 256$ ระดับ



รูปที่ 1.7 การนำสัญญาณ PAM มาเข้ารหัส

จากทฤษฎีสายส่งสัญญาณทำให้ทราบว่าหากทำการส่งสัญญาณ PCM ไปตามสายส่งสัญญาณจะเกิดการผิดเพี้ยนของสัญญาณได้เนื่องจากสัญญาณรบกวน, การสอดแทรก (Interference) ระหว่างทางและการตอบสนองทางความถี่ (frequency response) ของสายส่งซึ่งมีการลดทอนมากสำหรับสัญญาณความถี่สูง และลดทอนน้อยสำหรับความถี่ต่ำ เนื่องจากค่าของตัวเหนี่ยวนำและตัวเก็บประจุที่กระจายอยู่ในสายส่งจะประพฤติตัวเป็นวงจรกรองผ่านสัญญาณความถี่ต่ำ ทำให้สัญญาณ PCM ผิดเพี้ยนรูปทรงไปแต่ปัญหานี้ได้ถูกแก้ไขโดยการสร้างสัญญาณ PCM ขึ้นใหม่ที่ด้านรับ ตราบใดที่เครื่องรับยังสามารถตัดสินใจได้อย่างถูกต้องว่าสัญญาณผิดเพี้ยนที่ได้รับนั้นเป็นบิตค่า 0 หรือค่า 1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

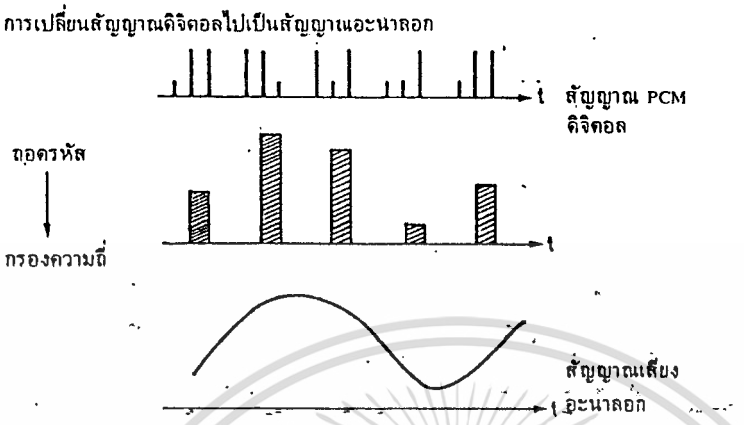
หากต้องการส่งสัญญาณ PCM ไปในระยะทางไกล ๆ โดยไม่ใช้โมเด็มก็จะต้องมีอุปกรณ์ทวนสัญญาณเรียกว่าเครื่องทวนสัญญาณแบบสร้างขึ้นใหม่(regenerative repeater) ซึ่งจะสร้างสัญญาณ PCM ที่ผิดเพี้ยนไปขึ้นใหม่ และ ทำการส่งต่อไปยังเครื่องรับหรืออุปกรณ์ทวนสัญญาณอีกตัวหนึ่ง (ดังในรูปที่ 1.8) จะเห็นได้ว่า เราสามารถที่จะกำจัดผลของสัญญาณรบกวน การสอดแทรก และการผิดเพี้ยนรูปทรงจากผลตอบสนองทางความถี่ของสายส่งลงได้ ดังนั้นการส่งสัญญาณระบบดิจิตอลจะไม่มีการสะสมผลของสัญญาณรบกวนและสัญญาณแทรกสอดดังเช่นที่พบเห็นในการส่งสัญญาณระบบอะนาลอกซึ่งเป็นข้อดีที่เห็นได้ชัดของระบบดิจิตอลที่เหนือระบบอะนาลอก

รูปที่ 1.8 การแปลงสัญญาณดิจิตอลไปเป็นสัญญาณอะนาลอก

ด้านรับเมื่อเครื่องรับได้สัญญาณดิจิตอล PCM ก็จะแปลงกับไปเป็นสัญญาณอะนาลอก (ดูรูปที่ 1.9) โดยผ่านการถอดรหัส และการกรองสัญญาณซึ่งเรียกขั้นตอนทั้งสองรวมกันว่า การเปลี่ยนสัญญาณดิจิตอลไปเป็นสัญญาณอะนาลอก(D/A Conversion)

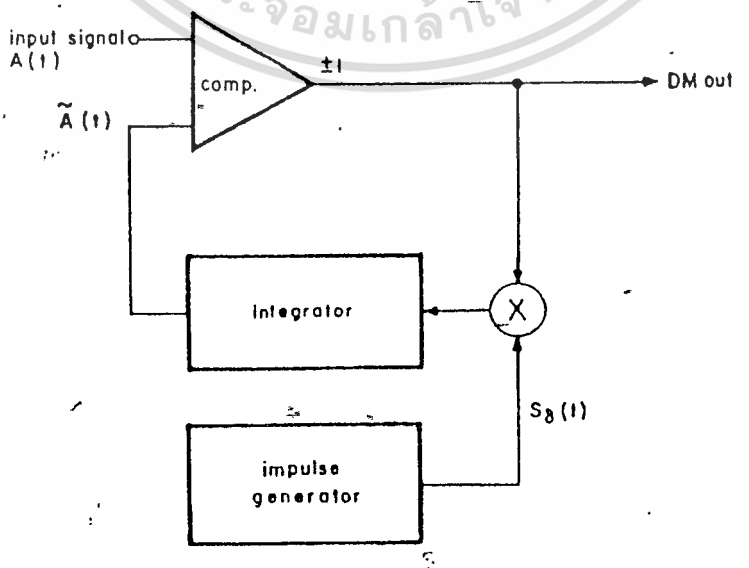
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การเปลี่ยนสัญญาณดิจิตอลไปเป็นสัญญาณอะนาลอก

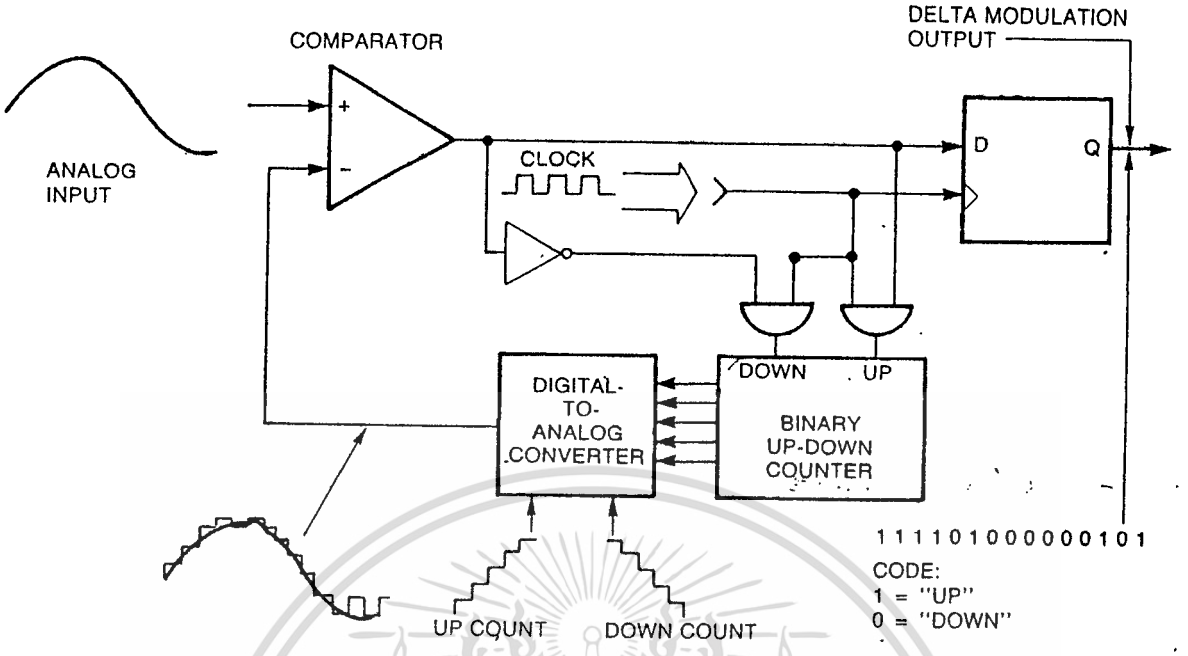


รูปที่ 1.9 การแปลงสัญญาณดิจิตอลไปเป็นสัญญาณอะนาลอก

การถอดรหัสนั้นก็ตรงข้ามกับการเข้ารหัส (ในรูปที่ 1.9) โดยเริ่มต้นจากรหัสฐานสองที่มาจากเครื่องรับสัญญาณ PCM จะถูกนำมาคำนวณและสร้างเป็นระดับค่าตัวเลข และสัญญาณสุ่มค่าจะถูกสร้างขึ้นใหม่ซึ่งสอดคล้องกับระดับที่คำนวณได้จากข้อมูลฐานสองที่ได้รับนี้สัญญาณ PCM ที่ถูกแปลงเป็นตัวเลขแล้วที่ด้านส่งก็จะถูกสร้างขึ้นใหม่ที่ด้านรับ ซึ่งสัญญาณที่ได้ก็ยังคงมีสัญญาณรบกวนจากการแปลงเป็นตัวเลขเช่นเดียวกับทางด้านส่ง สัญญาณ PCM ที่สร้างขึ้นใหม่ที่ด้านรับก็จะถูกส่งผ่านไปยังวงจรกรองผ่านความถี่ต่ำก็จะได้สัญญาณเสียงอะนาลอกต่อเนื่องตามแกนเวลา



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

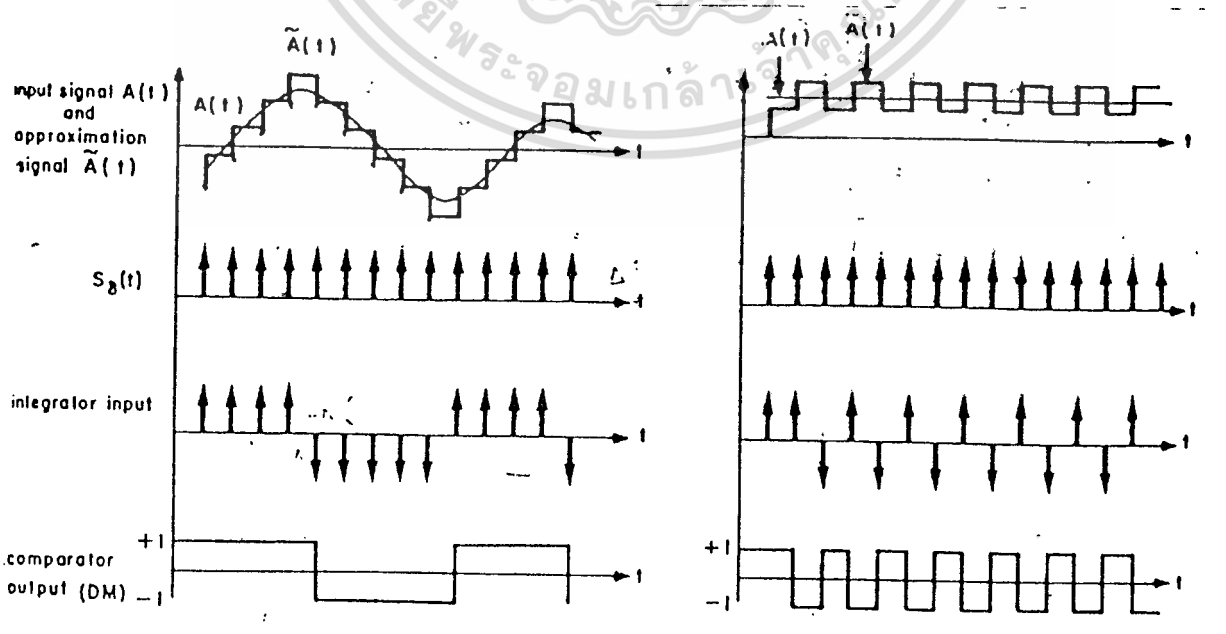


รูปแสดง Block Diagram ของ Delta Modulation ซึ่งจะมีหลักการทำงานเช่นเดียวกับ Digital Modulation จาก Block พอสรุปได้ดังนี้

ถ้า I/P Sig. $A_{(t)} > A\tilde{}_{(t)}$ O/P ที่ Comp. จะได้ + 1 (DM out) ที่ Integrator ก็จะ Integrate Impulse + และ $A\tilde{}_{(t)}$ ก็จะมีค่าเพิ่มขึ้น $+\Delta$

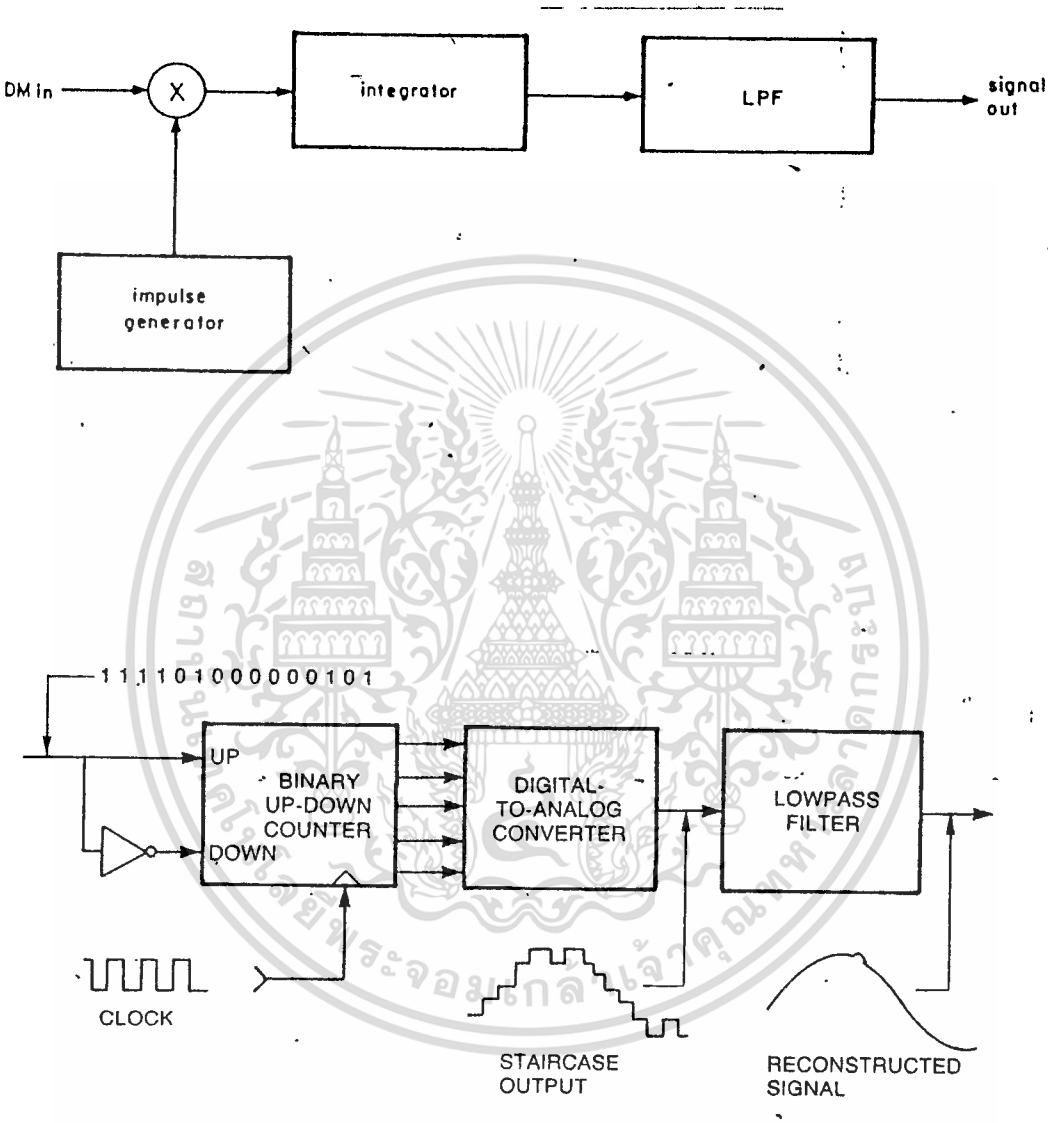
ถ้า $A_{(t)} < A\tilde{}_{(t)}$ o/p ที่ Comp. จะได้ -1 [DM.out]

ที่ Integrator ก็จะ Integrate Impulse ⊖ และ $A\tilde{}_{(t)}$ ก็จะมีค่าลดลง $+\Delta$



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.2 DELTA MODULATION DECODER



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

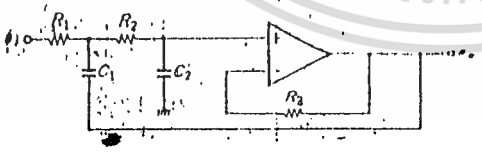
บทที่ 2

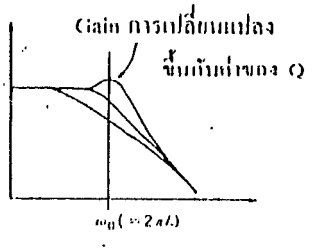
วงจรชุดฝึก DELTA MODULATION

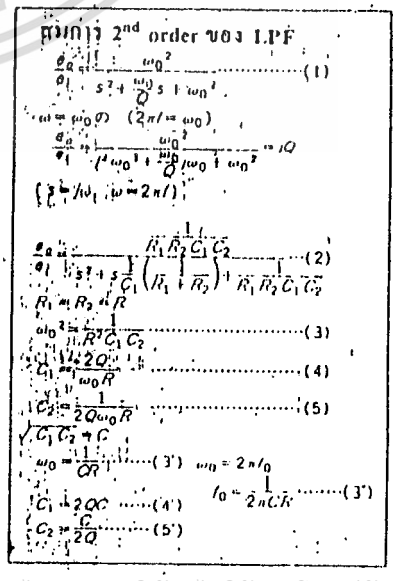
2.1 วงจรกรองความถี่ต่ำ(LOW PASS FILTER)

วงจรกรองความถี่ต่ำแบบแอคตีฟ(Active) เป็นวงจรที่มีแรงดันเอาท์พุทคงที่ตั้งแต่ไฟตรงจนถึงความถี่คัทออฟ(Cut off frequency) หรือ fc โดยความถี่คัทออฟนี้เกิดขึ้นที่จุดฮาฟเพาเวอร์(half-power) หรือ 70.7%.ของแรงดันเอาท์พุทสูงสุด ความถี่ดังกล่าวนี้ นอกจากเรียกว่าความถี่คัทออฟแล้วบางครั้งอาจพบเรียกว่าความถี่ 70.7 ความถี่ -3dB coner frequency หรือ break point frequency ทั้งนี้ความถี่ที่สูงกว่า fc จะถูกลดทอนลง อ่านความถี่ต่ำกว่า fc เรียกว่า " พาส แบนด์ "(pass band) และที่สูงกว่า fc เรียกว่า "สต็อพ แบนด์" (Stop-band) จากเส้นโค้งแสดงการตอบสนองความถี่ตามรูปนั้น ส่วนที่เป็นเส้นประแสดงถึง ideal cut off ซึ่งในทางปฏิบัติแล้ววงจรกรองความถี่ จะมีคุณสมบัติไม่ค่อยเป็นไปตามนี้ โดยจะมีการโค้งออก(roll off) หรือบางทีอาจสูงขึ้นก่อนแล้วโค้งออกก็มี

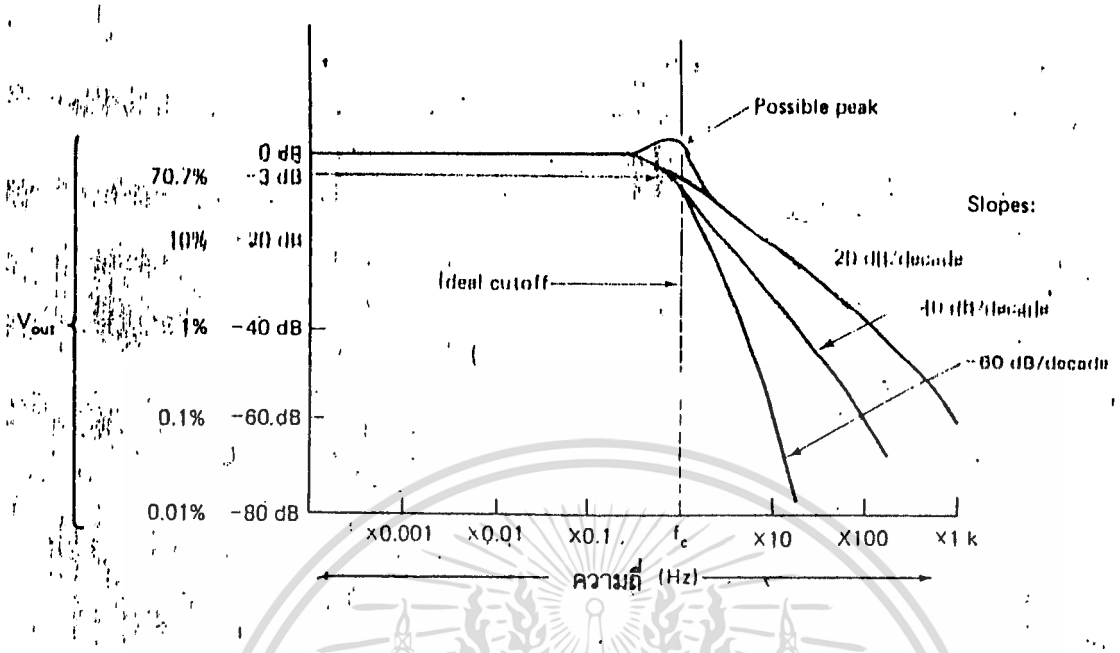
วงจรออพแอมป์ ฟิลเตอร์ (OpAmp Filter) สามารถออกแบบให้มีคุณลักษณะ roll off ได้ต่างกันทำให้มีสโลป (Slope) มากหาย ทั้งนี้สโลป -20 dB/decade หมายความว่าเมื่อความถี่เพิ่มขึ้น 10 เท่า จาก fc แล้วแรงดันเอาท์พุท(OutPut) จะลดลง 20dB โดยยังมี decibell loss/decade มากสโลปยิ่งขึ้นเป็นสิ่งที่ต้องการมาก



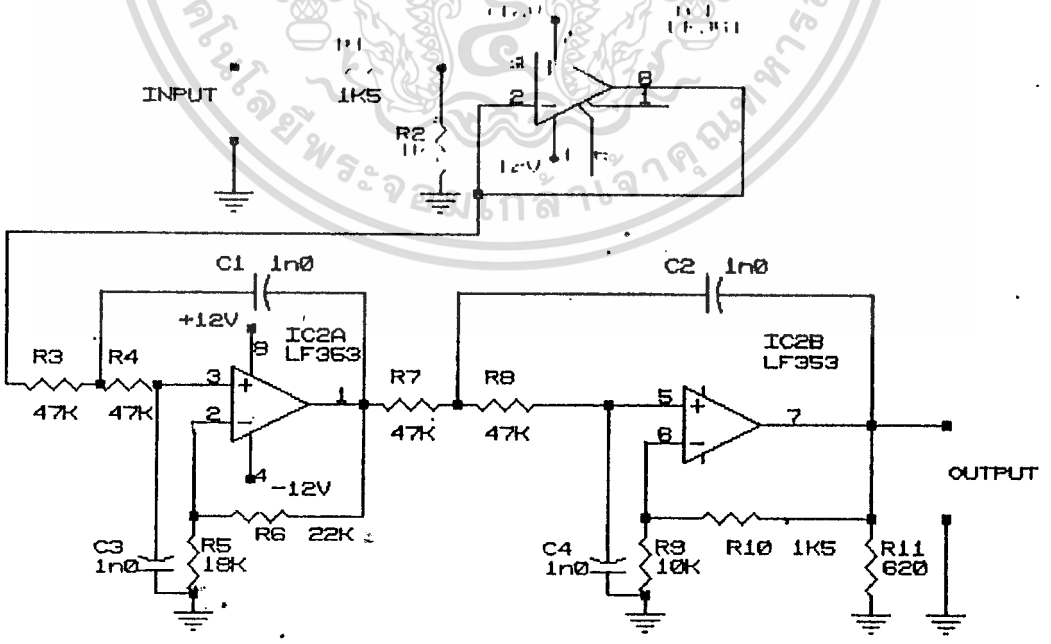




เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



วงจรที่ใช้งานจริงเป็นวงจร Low pass filters แบบ 4 order Butterworth filter ที่ 3 dB มี bandwidth 3.4 KH ใช้ไอซีเบอร์ LE351 เป็น [illegible] ที่ [illegible] ตัว ต่อเป็น วงจรกรองความถี่ต่ำ ชนิด 2 ออร์เดอร์ ต่ออนุกรมกันเป็น 4 ออร์เดอร์ ดังแสดงในรูป

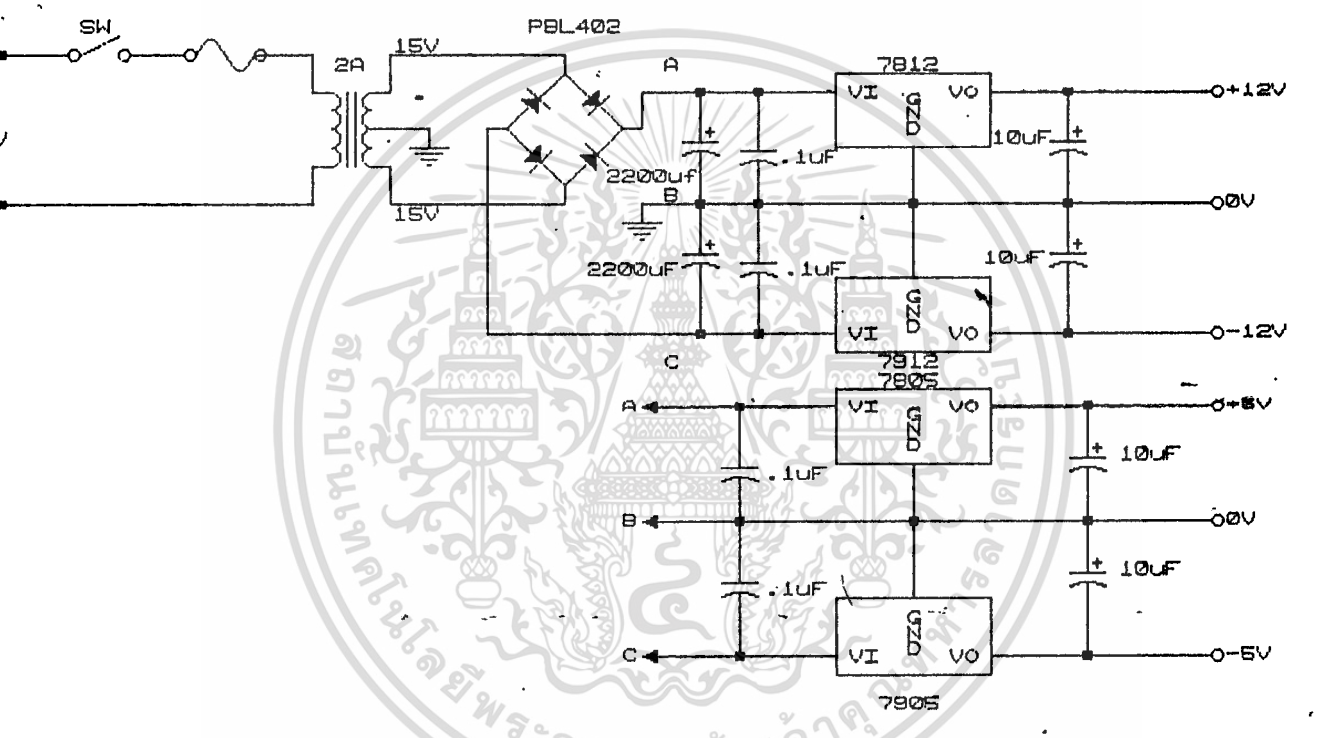


4 ORDER LOWPASS FILTER

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2 วงจร Power Supply

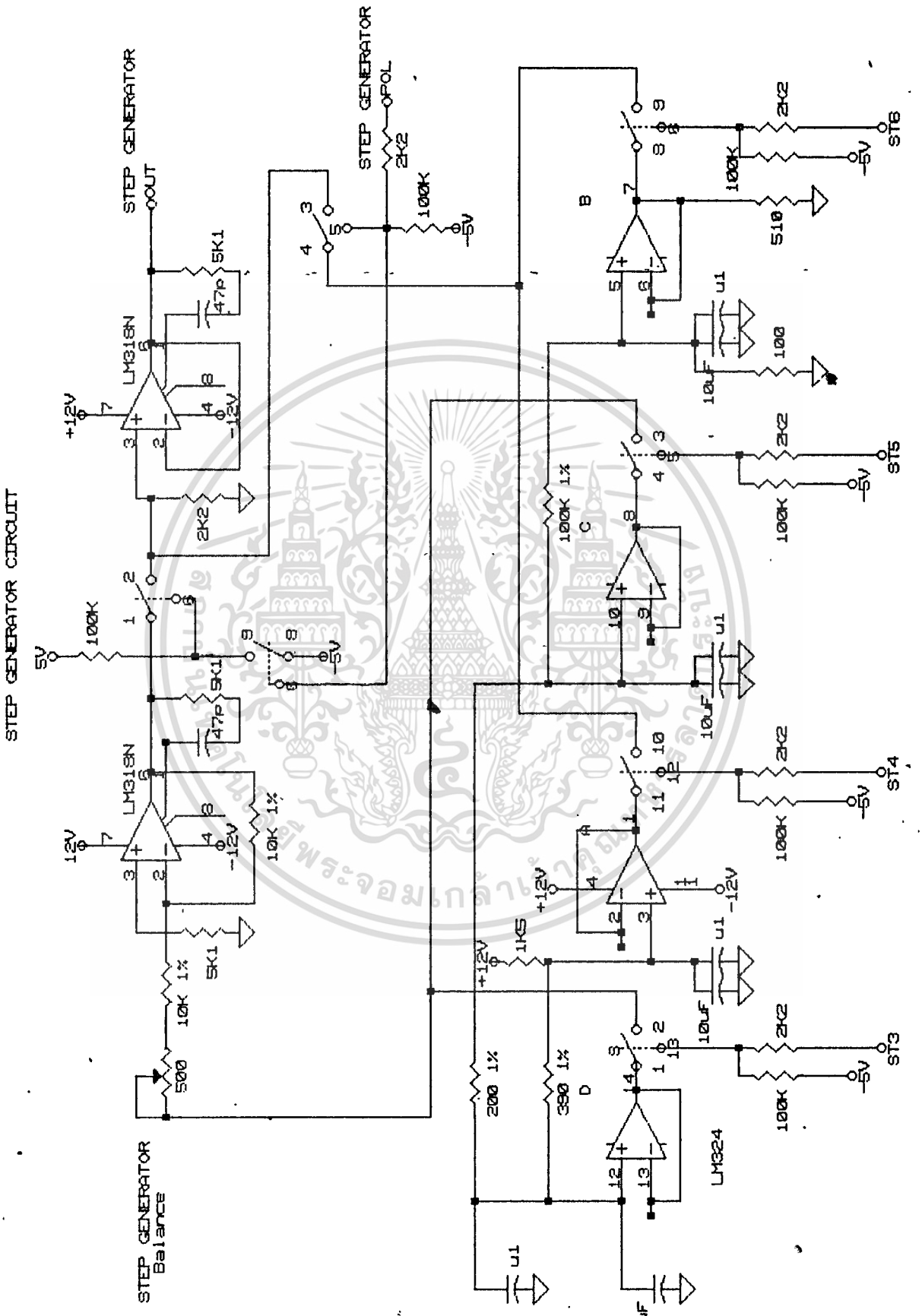
วงจรที่ใช้งานจะใช้ไป ⁺12V เพื่อจ่ายให้กับวงจร Op Amp และ +5v จ่ายให้กับวงจร Ic CMOS หม้อแปลงไฟใช้ขนาด 2 Amp แล้วผ่านการ Rectifer และจากแรงดันทาง Secandary 15-0-15V ผ่านไดโอดบริด(DiodeBridge) Filter ด้วยตัวเก็บประจุ 2200uF 25V แล้วผ่านไอซี 3 ขา Recgurator เบอร์ 7812,7912 เป็นแรงไฟ ⁺12V ต่อจากนั้นก็ผ่านไอซี 3 ขา Recgurator เบอร์ 7805 , 7905 เป็นแรงไฟ +5V ซึ่งวงจรที่ใช้งานจริงแสดงดังรูป



2.3 วงจร STEP GENEARTOR

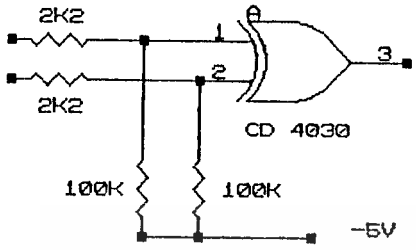
Sterp Generator เป็นสวิทช์ 4 ตัวที่ให้แรงดันโดยอาศัยวงจรขยายแรงดันซึ่งมี Gain เท่ากับ 1 จำนวน 4 ตัว โดยที่ขา Inverting ต่อ Feedback โดยตรง กับ out put และขา Non Inverting ป้อนแรงดัน +12V ผ่าน ความต้านทาน 1.5 กิโลโอห์ม และ 390โอห์ม ส่วน output จะต่อกับจุดสวิทช์อะนาลอก ซึ่งขา Control จะเป็นจุดอินพุททั้ง 4 ค่าส่วนไอซี Ic_2 และ Ic_3 เบอร์ LM318N ก็ถูจัดวงจรให้มีส่วนเหมือนกัน แต่ Ic_2 จะสามารถปรับ Gainได้โดยปรับค่าความต้านทาน 500โอห์ม ซึ่งในทางปฏิบัติในใบงานเป็นการปรับ Balanceให้การอินทิเกรเตอร์เป็นไปในทางที่ถูกต้อง ใน การควบคุม outputจะถูกควบคุมด้วยจุด Pol ซึ่ง วงจรที่ใช้งานจริงดังที่แสดงในรูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

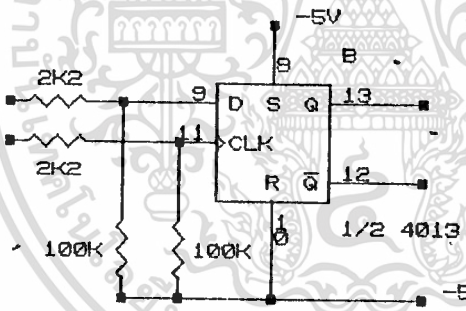
2.4 วงจร EXCLUSIVE - OR GATE



TRUTH TABLE

A	B	J
0	0	0
0	1	1
1	0	1
1	1	0

2.5 วงจร D-FLIP-FLOP



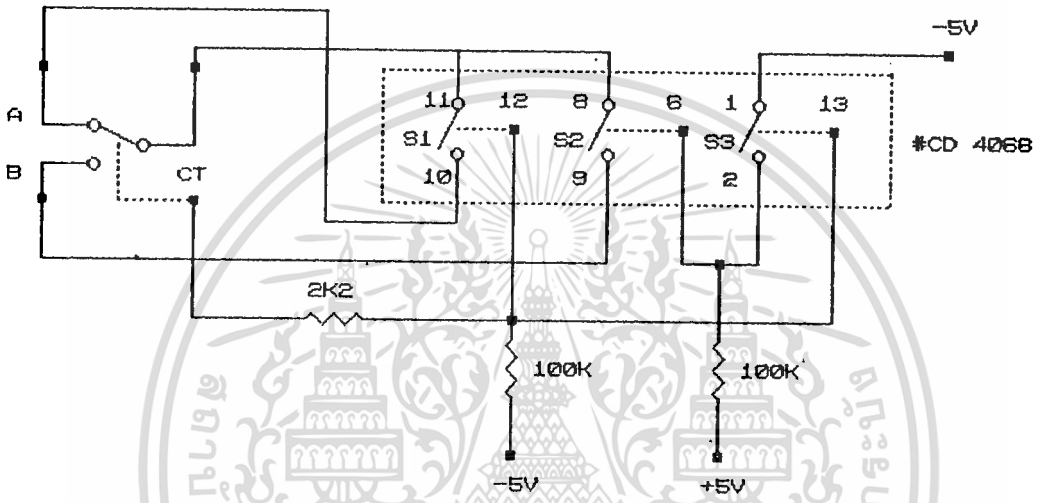
TRUTH TABLE

CLK	D	R	S	Q	$\bar{Q}$
⎍	0	0	0	0	1
⎍	1	0	0	1	0
⎏	X	0	0	Q	$\bar{Q}$
X	X	1	0	0	1
X	X	0	1	1	0
X	X	1	1	1	1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.6 วงจร Analog Switch

ในวงจรใช้ CMOS ไอซีเบอร์ 4066 เป็นสวิทช์ที่มีสวิทช์ภายใน 4 ตัว แต่ต่อใช้งาน 3 ตัวในตำแหน่งที่เป็นอยู่ขณะนี้ (a)สัญญาณจะผ่านได้ทั้งบวกและลบเพราะว่า S_1 ทำงานโดยขา 12 ได้ไฟ -5V ที่ผ่านมาทางความต้านทาน 100 กิโลโอห์ม ถ้าให้ขา CT เป็น +5V สวิทช์จะเลื่อนมาตำแหน่ง 6 สัญญาณก็ผ่านได้ทั้งบวกและลบ เพราะ S_2 ทำงานถูกไฟลบป้อนให้ขา 6 เช่นกัน



2.7 วงจรเปรียบเทียบ (COMPARATOR)

วงจรออฟแอมป์ก็เป็นวงจรเปรียบเทียบหรือวงจรขยายสัญญาณ ความแตกต่างของ อินพุททั้งสองหรือกล่าวอีกนัยหนึ่งออฟแอมป์ก็สามารถประยุกต์ใช้เป็น วงจรเปรียบเทียบได้ในกรณีที่เป็นวงจรขยาย Open Loop นั่นเอง

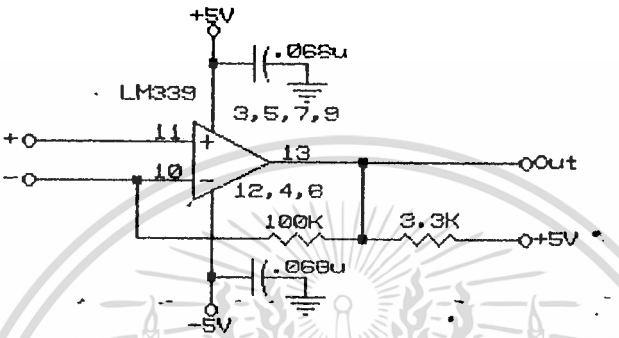
โดยปกติแรงดันไฟเลี้ยงของออปแอมป์จะเป็นแรงดัน +Vcc และ -Vcc ดังนั้น Output ของออฟแอมป์เมื่อเป็นวงจรขยาย Open Loop จะอิ่มตัวอยู่ที่ +Vcc หรือ -Vccเท่านั้นดังในวงจรเปรียบเทียบหรือ comparator จึงมีแรงดันอยู่ 2 ระดับ คือ 0 V กับ 5V เพราะจำเป็นจะต้องเชื่อมโยงกับระบบดิจิตอล จึงทำให้วงจรเปรียบเทียบถูกออกแบบมาเฉพาะไม่เหมือนกับออฟแอมป์ธรรมดา เพราะหน้าที่หลักของวงจรเปรียบเทียบใช้เป็นวงจร Interphase ระหว่างสัญญาณอะนาลอกให้เป็นสัญญาณดิจิตอล วงจรเปรียบเทียบในอุดมคติ ควรมีคุณสมบัติดังนี้

1. อัตราขยายแรงดันของผลต่างที่อินพุทมีค่าเป็นอนันต์
2. อัตราขยายแรงดันเมื่ออินพุททั้งสองมีเฟสร่วมอยู่ในโหมดเดียวกันเป็นศูนย์
3. อินพุทอิมพีแดนซ์เป็นอนันต์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4. เอาท์พุทอิมพีแดนซ์เป็นศูนย์
5. แถบขยายทางด้านความถี่เป็นอนันต์
6. แรงดันและกระแสออฟเซทเป็นศูนย์

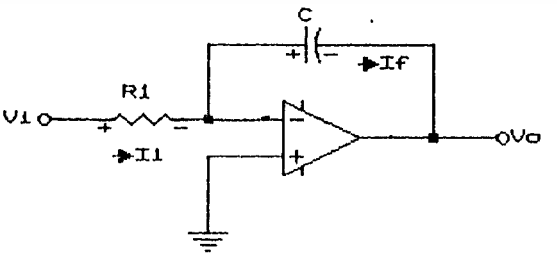
วงจรที่ใช้งานจริงแสดงดังรูป



วงจรคอมพาราเตอร์ใช้ไอซีเบอร์ LM339N แล้วต่อความต้านทาน 100 กิโลโอห์ม เป็น loop ปิดเข้ากับขาอินเวอร์ติ้ง เพื่อไม่ให้ไอซีมีระดับ Output มีค่าเป็นบวกหรือเป็นลบ แต่ให้มีระดับเป็น 0V กับ 5V โดยใช้ ความต้านทาน 3.3 กิโลโอห์ม ต่อกับ +5V ช่วยให้ Output มีแรงดัน 5V เมื่ออินพุทปล่อยลอยไว้

2.8 วงจรอินทิเกรเตอร์(Integrator)

หลักการของวงจรอินทิเกรเตอร์ ใช้ตัวเก็บประจุเป็นตัวป้อนกลับ แทนค่าความต้านทาน ในวงจรออฟแอมป์ วงจรอินทิเกรเตอร์ดังแสดงในรูป

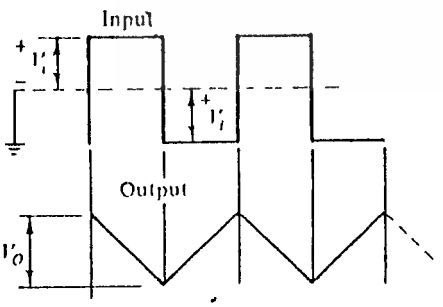


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

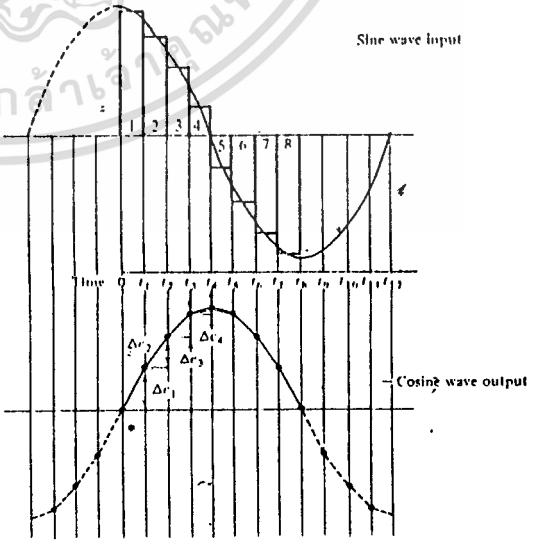
เนื่องจากไม่มีกระแสไหลเข้าอินพุทของออฟแอมป์ ดังนั้นกระแสอินพุทที่ไหลผ่าน R_1 ทั้งหมด ก็จะไหลเข้าไปประจุ C นั่นคือ $I_1 = I_f$ ถ้าแรงดัน V_1 มีค่าคงที่ กระแส I_1 เท่ากับ V_1/R_1 ด้วยเหตุนี้กระแส I_f ซึ่งประจุ C ก็จะมีค่าคงที่ด้วย ทำให้แรงดันคร่อม C (ซึ่งก็คือแรงดัน $-V_o$ นั่นเอง เพราะแรงดันที่อินพุทขาลบเสมือนกับต่อลงกราวด์) ค่อย ๆ เพิ่มขึ้นตามเวลา นั่นก็คือแรงดัน V_o ค่อย ๆ ลดลงตามเวลาดังสมการ

$$\Delta V_o = -I_f \Delta t/C = -I_1 \Delta t/C$$
$$= -V_1 \Delta t/R_1 C$$

จะเห็นว่าสมการนี้ ถ้าแรงดัน V_1 เป็นบวก V_o จะค่อย ๆ เป็นลบมากขึ้นตามเวลา t และจะลดลงมาจนกระทั่งออฟแอมป์อิ่มตัวไม่สามารถลดลงได้อีก ถ้าสัญญาณอินพุท V_1 มีค่าเปลี่ยนแปลงไปเรื่อย ๆ ตัวเก็บประจุ C ก็จะทำหน้าที่รวบรวมผลคูณของแรงดันและเวลาขณะต่าง ๆ กันเอาไว้ ซึ่งคุณสมบัติอันนี้เองทำให้วงจรแบบนี้ช่วยแก้ปัญหาสมการดิฟเฟอเรนเชียลในทางคณิตศาสตร์ได้ และก็เป็นเหตุที่ทำให้วงจรนี้มีชื่อเรียกว่า วงจร Integrator ถ้าสัญญาณอินพุท V_1 เป็นรูปสี่เหลี่ยม ตัวเก็บประจุ C ก็จะคายประจุทีหนึ่งให้แรงดัน V_o เพิ่มขึ้นและลดลงตรงข้ามกับลักษณะการเปลี่ยนแปลงรูปคลื่นของ V_1 กลายเป็นสัญญาณรูปสามเหลี่ยม ดังแสดงในรูป ก.



รูป ก. แสดง Wavefrom



รูป ข. แสดง Wavefrom

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

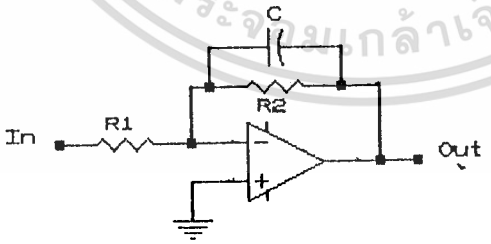
แต่ถ้าสัญญาณอินพุท V_1 เป็นรูป Sine วิธีการคิดจะเป็นแบบธรรมดา คือเป็นวงจรขยายแบบ อินเวอร์ติ้ง ซึ่งอัตราขยายวงจรขึ้นกับอัตราส่วนระหว่างอินพิแดนซ์ของ C และความต้านทานของ R_1 ดังรูป ข. อัตราขยาย $= X_c/R_1 = 1/2\pi fR_1C$ จากสมการจะเห็นว่าอัตราขยายของวงจรขึ้นกับความถี่ของสัญญาณ V_1 ถ้าความถี่ต่ำมากอัตราขยายก็จะสูงมาก ถ้าความถี่เป็นศูนย์ (หมายถึงแรงดันอินพุทคงที่ไม่มีการเปลี่ยนแปลง) อัตราขยายจะเป็นอนันต์ นั่นก็คือหากมีสัญญาณแปลกปลอมเข้ามาเพียงนิดเดียวแรงดันเอาท์พุทก็จะอิ่มตัวไปในทางใดทางหนึ่ง (ทางค่าบวกหรือทางค่าลบ) ทันที ดังนั้นในทางปฏิบัติจึงต้องใส่ตัวต้านทาน R_2 ขนานกับ C เข้าไว้เพื่อจำกัดอัตราขยายด้านไฟตรงให้มีค่าไม่สูงมากเกินไป ดังแสดงในรูป ค. แต่เพื่อไม่ให้มีผลกับการคายประจุและประจุของ C ค่า R_2 ก็ควรจะมีค่าสูงโดยทั่วไปค่า R_2 จะถูกเลือกให้มีค่ามากกว่า 10 เท่าของ R_1 แม้ว่าวงจรจะทำหน้าที่ขยายแต่ก็จะ Shife Phase อินพุทไปด้วยโดยเฟสของสัญญาณเอาท์พุทจะล้ำหน้า สัญญาณอินพุทไป 90 องศา

อัตราขยายสัญญาณสี่เหลี่ยม

$$\Delta V_o = -V_1 \Delta t / R_1 C$$

อัตราขยายสัญญาณรูปซายน์

อัตราขยาย $= 1/2\pi fR_1C$

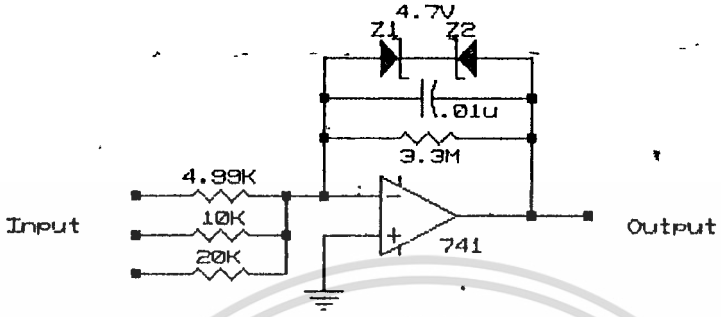


รูป ค. วงจรอินทิเกรเตอร์ที่ใช้ในทางปฏิบัติ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.9 วงจรPeak Clipper

เป็นวงจรตัดยอดคลื่นที่สามารถกำหนดการตัดยอดคลื่นได้ ดังรูป ก.

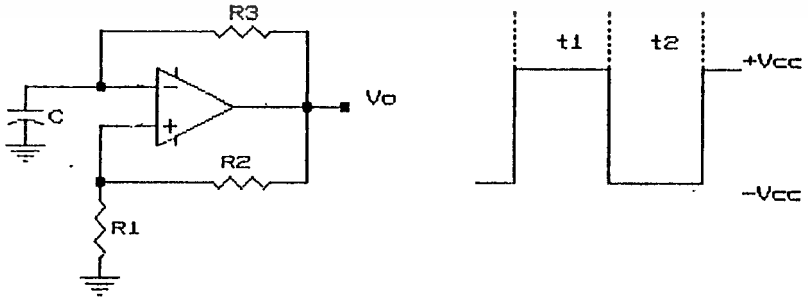


รูป ก. วงจร Peak Clipper

ในวงจรใช้ไอซีเบอร์ 741และต่อซีเนอร์ไดโอดป้อนกลับขนานกับ R และ C เพื่อขลิบสัญญาณด้วย ซึ่งวงจรดังกล่าวเรียกว่า Peak Clipper ซึ่ง Vout จะเท่ากับ $V_2 + V_F$ และอินพุทจะมีจุดต่อ 3 จุดซึ่งแต่ละจุดจะมีค่าอัตราขยายต่างกัน

2.10 วงจรกำเนิดสัญญาณนาฬิกา(CLOCK CIRCUIT)

ในชุดฝึกเดลต้ามอดดูเลทเตอร์ได้ใช้ออปแอมพ์เป็นตัวสร้างฐานเวลา ซึ่งใช้การต่อแบบมัลติไวเบรเตอร์ ในการต่อวงจรออปแอมป์เป็นวงจรอะสเตเบิล ตามหลักการนั้นพออธิบายได้ดังนี้



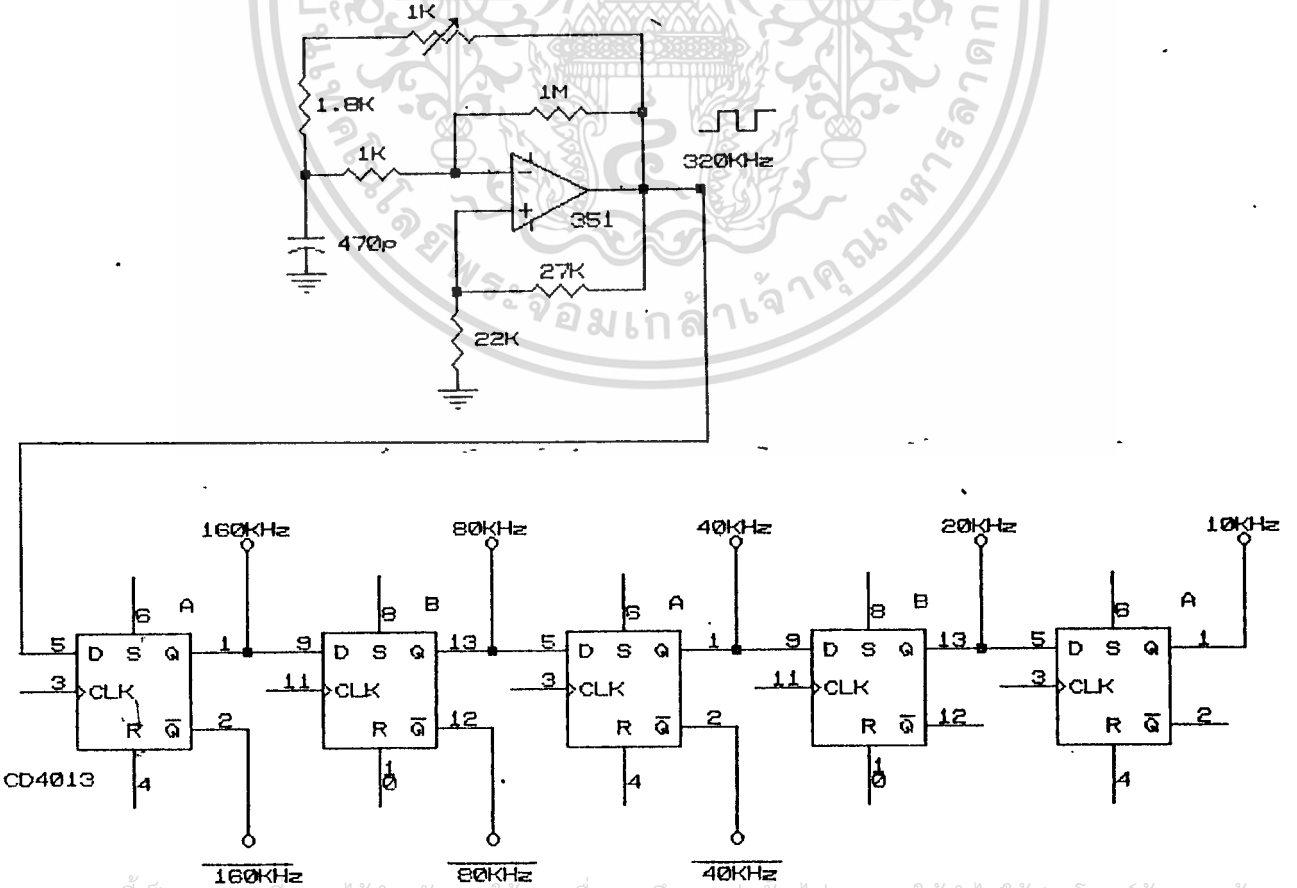
รูป ก. วงจร Multivibator

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อจ่ายไฟให้กับวงจรค่าออฟเซทของวงจรจะเป็นตัวกระตุ้นให้ V_o มีค่าแรงดันในครั้งแรกนั้นก็คือแรงดันเอาท์พุทจะขึ้นไปเป็น $+V_{cc}$ หรือ $-V_{cc}$ ตัวต้านทาน R_2 และ R_1 จะต่อเป็นตัวป้อนกลับแบบบวกจะทำให้เอาท์พุทกลับเข้าสู่ภาวะอิ่มตัว และระดับแรงดันเอาท์พุทนั้นจะมาประจุให้กับตัวเก็บประจุ Cโดยการผ่านทาง R_3 และจะทำให้ที่ขาอินเวอร์ติ้งอินพุทของออปแอมป์มีแรงดันสูงขึ้นเมื่อสูงขึ้นกว่า ขานอนอินเวอร์ติ้งก็จะทำให้เอาท์พุทสวิทช์ลงมาทางลบ และตัวเก็บประจุก็จะถ่ายประจุผ่าน R_3 จนแรงดันมันลดลง ซึ่งก็จะออสซิลเลทขึ้นเรื่อยไป ถ้าให้ระดับแรงดันเอาท์พุททางบวกและลบมีค่าแรงดันเท่ากับการออสซิลเลทจะให้ช่วงเวลาในแต่ละคาบ t_1 , t_2 เป็น 50 % นั่นคือในหนึ่งคาบเวลาคือ t_1+t_2 หรือ T สามารถหาได้จาก

$$T = 2(R_3C)\ C_n(1+2\ R_1/R_2)$$

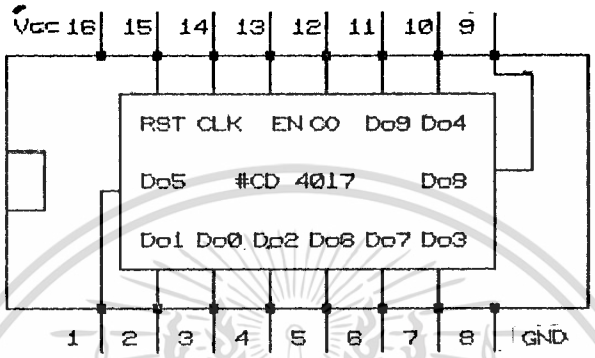
ในวงจรที่ใช้งานจริงใช้ไอซีออฟแอมป์เบอร์ LF 351 สร้างสัญญาณที่ไม่เป็นรูปซายน์มีความถี่ 320 KH_z แล้วนำไปผ่านไอซีเบอร์ 4013 ซึ่งเป็น Dual D Flip-Flop จัดเป็นวงจรหาร 2 จำนวน 5 ครั้ง โดยได้ความถี่ 160KH_z, 80KH_z, 40KH_z, 20KH_z และ 10KH_z ตามลำดับ วงจรที่สมบูรณ์แสดงตามรูป ข.



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.11 วงจรนับแบบวงแหวน (RING COUNGTER)

วงจรนับนี้ใช้ไอซีเบอร์ 4017 ซึ่งเป็นไอซี Decade Counter/Divider with 10 Decoded output ซึ่งเป็นวงจรนับสิบเราสามารถนำไปใช้ในการถอดรหัส 1 จาก 10 หรือเป็นวงจรหาร 10 คือ สแควร์ที่เอาท์พุทขา 12 จะมีความถี่เป็น 1 ส่วน 10 เท่าของความถี่สแควร์เวฟที่อินพุทขา 14 ลักษณะและการต่อขาต่างๆ ของ CMOS 4017 แสดงดังรูป ก.



RST = RESET

CLK = CLOCK

EN = CLOCK ENABLE

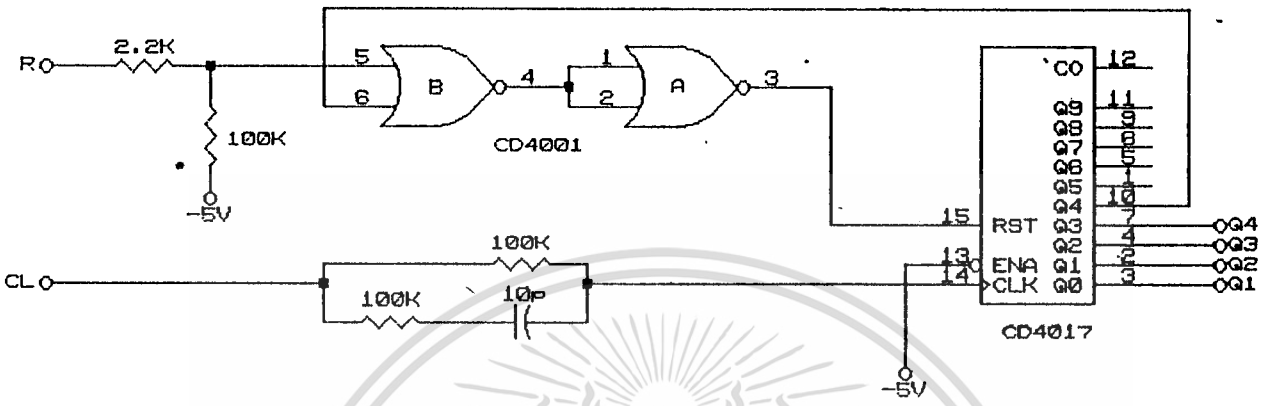
DO = DECODE OUTPUT

CO = CARRY OUT

รูป ก.แสดงรายละเอียดภายในไอซี เบอร์ 4017

ในการใช้งานปกติขา CLOCK ENABLE (ขา 13) และขารีเซท (ขา 15) จะต้องต่อกราวนด์ วงจรจะนับเพิ่มขึ้นทีละหนึ่ง ทุกๆ ขอบขาขึ้นของสัญญาณนาฬิกา ถ้าวงจรนับได้เท่าไร ขา Decode เอาท์พุทนั้นก็จะมีสถานะเป็น High เพียงขาเดียว ขณะที่ขา Decode เอาท์พุทอื่น ๆ มีสถานะเป็น low หมดสำหรับขา CO (ขา 12) จะมีสถานะเป็น High เท่านับได้จาก 0 ถึง 4 และจะมีสถานะเป็น low ถ้านับได้จาก 5-9 ถ้าหากเรา ทำให้ขารีเซท (ขา 15) เป็น high วงจรนับจะเริ่มกลับไปนับที่ 0 (ขา 3) และ CARRY OUT (ขา 12) เท่านั้น ที่เป็น Highในขณะที่เอาท์พุท อื่น ๆ เป็น low หมด เมื่อต้องการจะเริ่มนับใหม่แล้วขารีเซทจะต้องกลับไปต่อที่กราวนด์อีก และถ้าหากขา Enable(ขา 13) มีสถานะ high วงจรก็จะหยุดนับทันที ในวงจรที่ใช้งานจริงแสดงดังรูป ข. เป็นการต่อให้วงจรนับ 4 โดยต่อขา 14 เป็น CL(Clock) อินพุทและต่อขา 13 เป็น 0(-5V) และขา 15 ซึ่งเป็นขา Reset จะต่อกับ NOR gate ซึ่งเป็นตัวทำให้ขา Reset เป็น 0 เพื่อให้หยุดนับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป ข. วงจร Ring Counter

เมื่อไปป้อนที่ขา R ซึ่งต่อกับขา 6 ของ NOR gate ซึ่งผ่านความต้านทาน 2.2K และความต้านทาน 100 กิโลโอห์ม ซึ่งต่อกับไฟ -5V เพื่อทำให้ขา 15 เป็น 0 เมื่อเราไม่ป้อนแรงดันให้ขา R เมื่อวงจรนับไปถึง 4 ที่ขา 10 ของ 4017 ก็จะป้อนไปให้ขา 6 ของ NOR gate เพื่อทำให้ 4017 นับต่อไป ซึ่งเอาท์พุทของวงจรนับจะได้จากขา 3, 2, 4 และ 7 ตามลำดับ.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การทดลองที่ 1

INTEGRATING DELTA MODULATOR (DM)

วัตถุประสงค์ เพื่อศึกษาการทำงานของวงจร INTEGRATING DELTA MODULATOR

ความรู้เดิม นักศึกษาต้องรู้จักหลักการของ DELTA ODULATION

เครื่องมือและอุปกรณ์

1. OSCILOSCOPE
2. FUNCTION GENERATOR
3. DVM
4. FREQUENCY COUNTER
5. TRUE RMS METER
6. DELTA MODULATOR
7. WORD GEN & SIGNAL PROCESSING CCT.

ลำดับขั้นการทดลอง

ใช้ DELTA MODULATOR และใช้ WORD GEN & SIGNAL PROCESSING CCT.

ขั้นที่ 1 การทำงานของ STEP GENERATOR

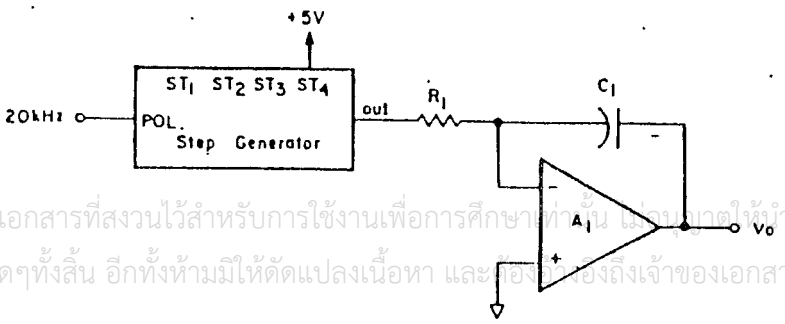
1.1 เพื่อเป็นการตรวจสอบของ DELTA MODULATOR ให้ต่อ CONTROL INPUT แต่ละตัวคือ ST_1-ST_4 ให้อยู่ที่ LOGIC "1" แล้ววัดแรงดัน OUTPUT และอย่าต่อ CONTROL INPUT มากกว่าหนึ่งในเวลาเดียวกัน

1.2 ตรวจสอบผลของ STEP GENERATOR และ BALANCE CONTROL ที่ OUTPUT VOLTAGE

1.3 ต่อขั้วของ INPUT เข้ากับ LOGIC "0"(-5V) และทำการวัดอีกครั้ง

ขั้นที่ 2 การทำงานของ INTEGRATOR

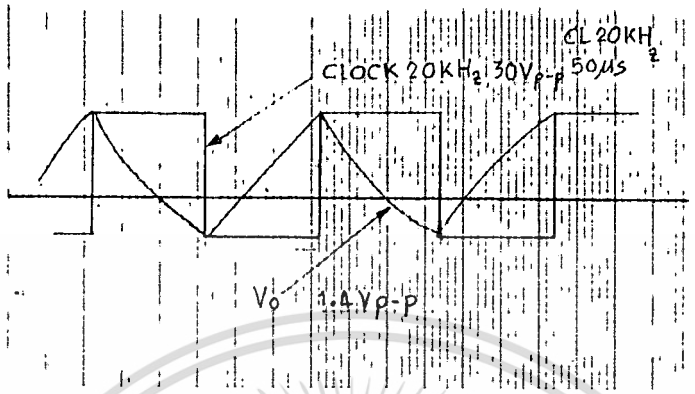
2.1 ประกอบวงจรตามรูปที่ 1.1



รูปที่ 1.1

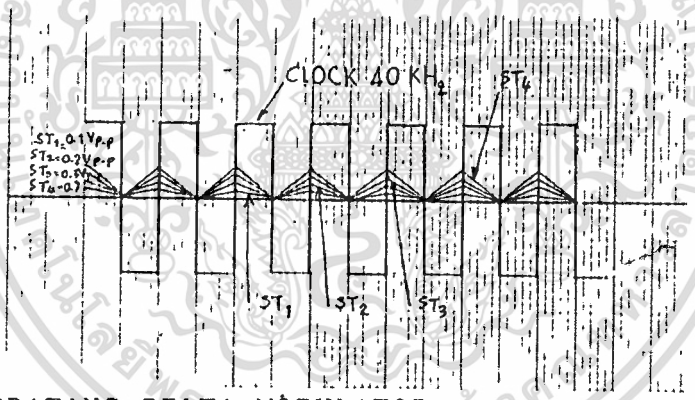
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2 วาดรูปคลื่นของ CLOCK ที่ 20 KHz และ OUTPUT ของ INTEGRATOR (V_o) ทับกัน



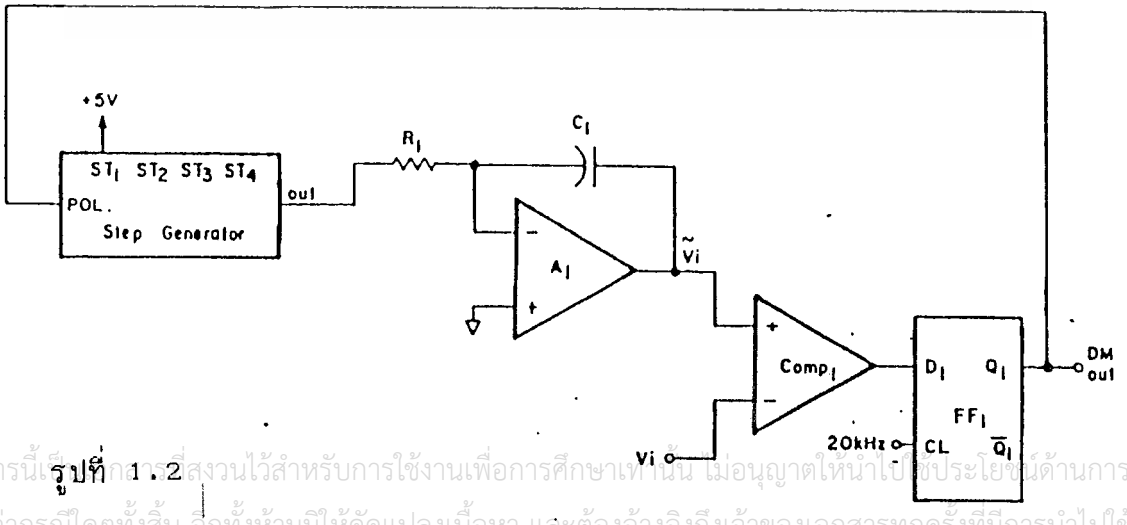
ขั้นที่ 3

3.1 ทำการทดลองตามขั้นที่ 1 อีกครั้ง โดยเปลี่ยน CONTROL INPUT แต่ละตัวให้เข้ากับ LOGIC "1" และทำอีกครั้งที่ CLOCK 40 KHz



ขั้นที่ 4 INTEGRATING DELTA MODULATOR

4.1 ประกอบวงจร INTEGRATING DELTA MODULATOR ตามรูปที่ 1.2

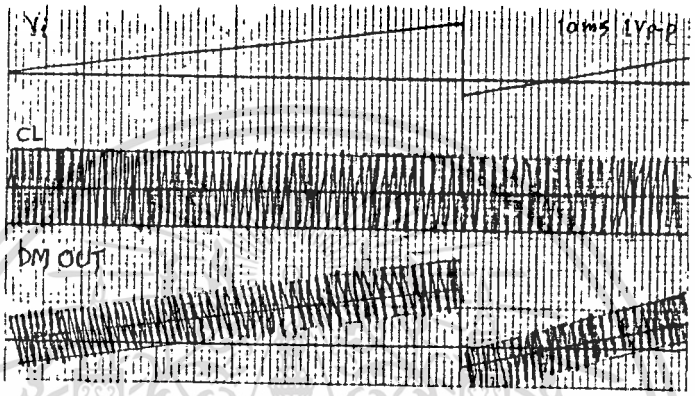


รูปที่ 1.2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2 เราจะตรวจสอบตัว MODULATOR โดยต่อสัญญาณเข้าทางด้าน INPUT ซึ่งทางด้าน OUTPUT จะให้สัญญาณเฉพาะอย่างออกมา และทำให้เราสามารถเข้าใจการทำงานของตัว MODULATOR ได้

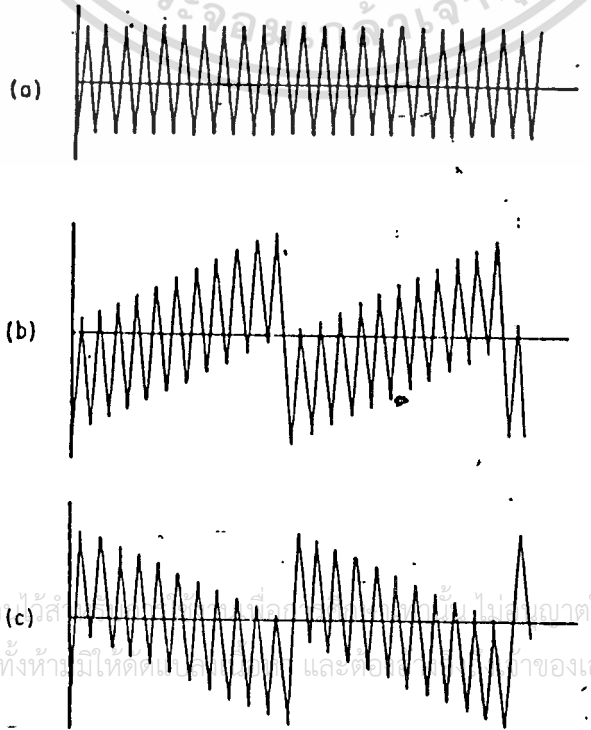
4.3 ต่อ INPUT เข้ากับแรงดัน OVolt แล้ววาดรูปคลื่นที่จุดต่อไปนี้ซ้อนกันที่ INTEGRATOR OUTPUT (V_1), CL_1 , Q_1 และที่ COMPARATOR OUTPUT



4.4 รูปคลื่น OUTPUT ที่ปรากฏบนจอของ OSCILLOSCOPE อาจจะไม่นิ่ง ทั้งนี้เป็นเพราะว่า UP STEP ไม่เท่ากับ DOWN STEP

4.5 เพื่อให้ภาพบนจอนิ่ง เราจำเป็นที่จะต้องทำการ BALANCE STEP SIZES โดยการปรับ BALANCE CONTROL ของ STEP GENERATOR

4.6 ขอบเขตของสัญญาณที่ OUTPUT ของ INTEGRATOR จะเป็น DC ตามที่แสดงในรูปที่ 1.3(A) ถ้า UP STEP และ DOWN STEP ไม่เท่ากัน ขอบเขตของมันจะปรากฏตามรูปที่ 1.3(B) หรือรูปที่ 1.3(C)



รูปที่ 1.3

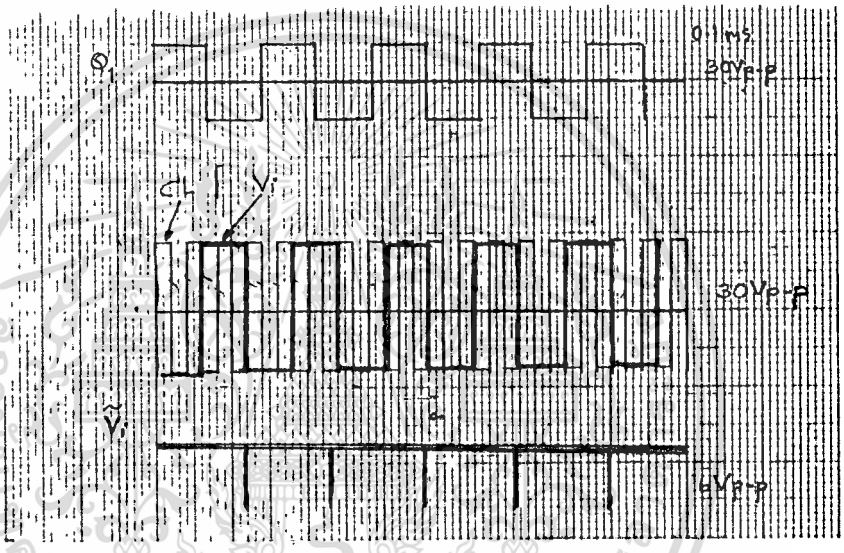
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.7 ปรับ STEP GENERATOR และ BALANCE CONTROL เพื่อให้ได้สัญญาณที่เป็นขอบเขตของ DC

ขั้นที่ 5 INTEGRATING DELTA MODULATOR ที่มี INPUT เป็น SQUARE WAVE

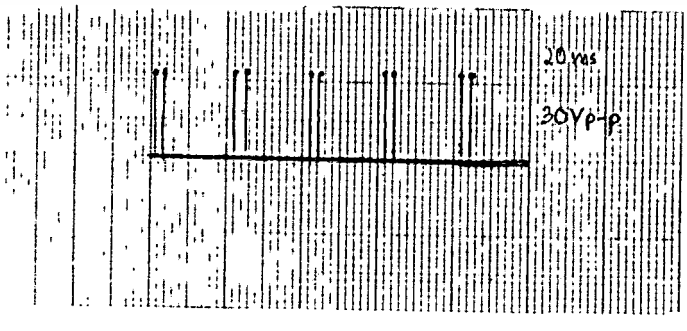
5.1 เปลี่ยน CLOCK 20 HKz เป็น 80 KHz และต่อ CLOCK 20 KHz เข้าที่ INPUT ของ MODULATOR

5.2 วาดรูปคลื่นที่จุดต่างๆต่อไปนี้ CL_1, V_1, และ V_1 บนกราฟอันเดียวกัน และวาด COMPARATOR OUTPUT ที่ Q_1



ขั้นที่ 6

6.1 ทำการทดลองตามขั้นที่ 5 โดยใช้ CLOCK 8 KHz และ INPUT 2 V_{p-p} ถ้ารูปบนจอ OSCILLOSCOPE ไม่นิ่ง ให้ค่อยๆปรับที่ BALANCE CONTROL ของ STEP GENERATOR บางครั้งเราอาจจำเป็นต้องปรับ INPUT FREQUENCY เล็กน้อย



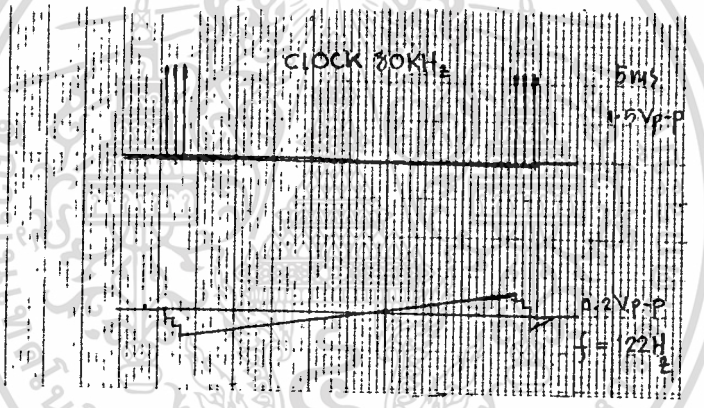
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ขั้นที่ 7 SLOPE-OVERLOADING

7.1 ในขั้นตอนนี้เราต้องศึกษาเกี่ยวกับ SLOPE OVERLOADING

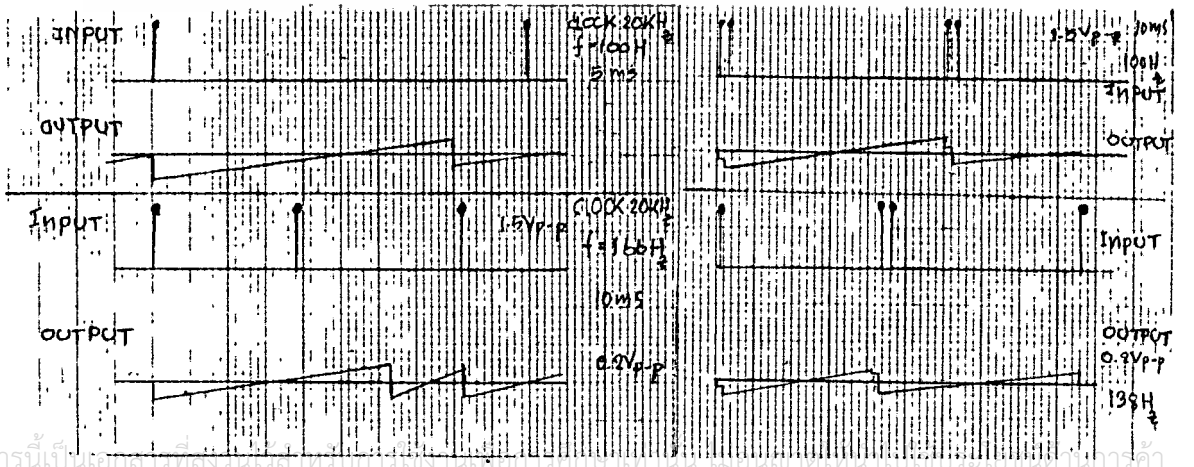
7.2 เปลี่ยน INTEGRATOR RESISTER R_1 (5K) เป็น R_3 (20K) ต่อ CLOCK 80 KHz เข้ากับ FLIP-FLOP และ 100 Hz 2 V_{p-p} SINE WAVE เข้าทาง INPUT ให้ดูรูปภาพของสัญญาณ INPUT และสัญญาณ OUTPUT ของวงจร INTEGRATOR จาก OSCILLOSCOPE

7.3 ค่อยๆเพิ่มความถี่ด้าน INPUT จนกระทั่งเกิด SLOPE OVERLOADING หรือจนกระทั่งสัญญาณโดยประมาณ (INTEGRATOR OUTPUT)ไม่ตรงกับสัญญาณ INPUT บันทึกความถี่ตอนที่มันเริ่มต้นเกิด SLOPE OVERLOADING



ขั้นที่ 8

8.1 ทำการวัดตามขั้นตอนที่ 7 อีกครั้งที่ CLOCK 20 KHz และ 40 KHz และบันทึกความถี่ของ CLOCK ณ จุดที่เกิด SLOPE OVERLOADING



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

<u>วิเคราะห์ผล</u>

1. เปรียบเทียบผลของการวัดตามขั้นตอนที่ 7 และ 8 กับหลักการทางทฤษฎี แล้วอภิปรายผล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การทดลองที่2

INTEGRATING DELTA DEMODULATOR และ DM CHANNEL

วัตถุประสงค์ เพื่อศึกษา DELTA CHANNEL ที่สมบูรณ์

ความรู้เดิม นักเรียนจะต้องรู้หลักการของDELTA MODULATOR และDEMODULATOR

เครื่องมือและอุปกรณ์ที่ใช้

1. OSCILOSCOPE
2. AUDIO SIGNAL GENERATOR
3. FREQUENCY COUNTER
4. TRUE RMS METER
5. WORD GEN & SIGNAL PROCESSING CCT.
6. DELTA MODULATOR
7. DELTA DEMODULATOR

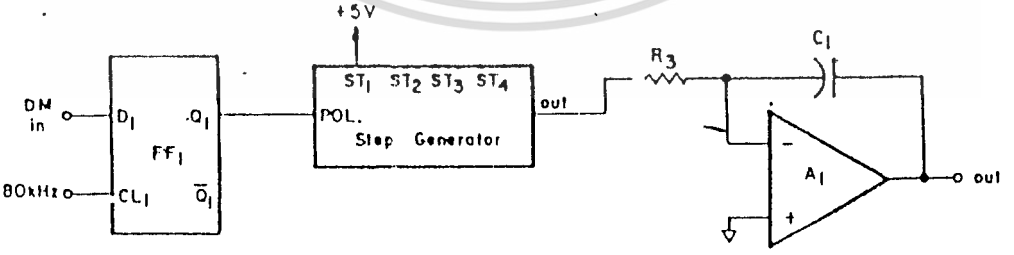
ลำดับขั้นการทดลอง

การทดลองต้องใช้ DELTA MODULATOR และDELTA DEMODULATOR และใช้WORD GEN & SIGNAL PROCESSING CCT

ขั้นที่ 1 DELTA MODULATOR

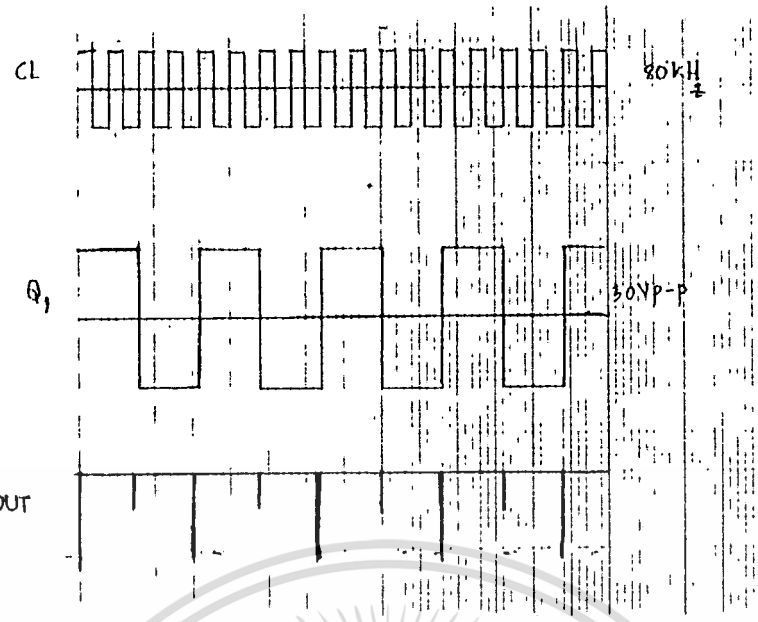
1.1 ประกอบ DELTA MODULATOR ตามรูปที่ 2.1

1.2 ต่อ CLOCK 20 KHz เข้ากับINPUTของDMและวาดรูปคลื่นที่จุดต่างๆ เหล่านี้ CL_1, Q_1 และINTEGRATOR OUTPUT



รูปที่ 2.1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

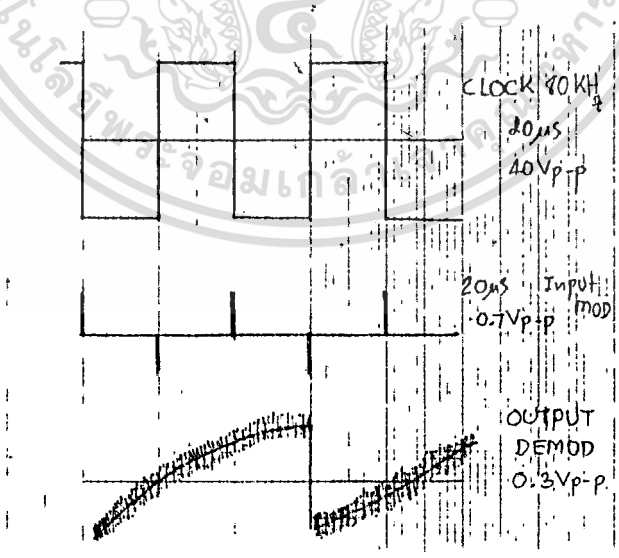


ขั้นที่ 2 DM CHANNEL (DC TRANSMISSION)

2.1 ประกอบวงจร DELTA MODULATOR ที่ได้ศึกษามาแล้วโดยใช้ R_1 (5KΩ) เป็น INTEGRATOR RESISTOR ,CLOCK 80 KHz และSTEP VOLTAGE(ST_1 ต่อกับ +5V)

2.2 ต่อOUTPUT ของ MODULATOR เข้ากับINPUT ของ DEMODULATOR โดยมี R_1 (5KΩ)ต่อเป็น INTEGRATOR RESISTOR ของ MODULATOR

2.3 ต่อ 0 VOLT เข้ากับMODULATOR INPUT แล้ววาด รูปคลื่นที่ได้จากจุดต่อไปนี้ CLOCK INPUT,MODULATOR OUTPUT,และDEMODULATOR OUTPUT

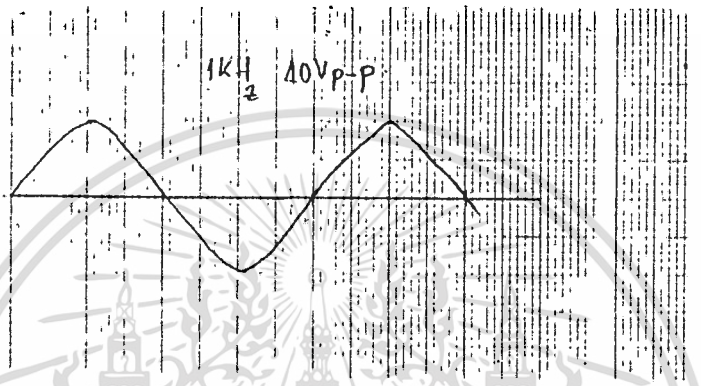


ขั้นที่3 DM CHANNEL (LINERITY)

3.1 ต่อ LOW PASS FILTERจาก WORD GEN & SIGNAL PROGESSING CCT. เข้ากับ OUTPUT ของ DEMODULATOR

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2 ต่อรูปคลื่น SINE 1KHz เข้าทาง MODULATOR INPUT ค่อยๆเพิ่ม AMPLITUDE จาก 50 mV_{rms} ถึง 1.5 V_{rms} แล้ววัดแรงดันของ DEMODULATOR OUTPUT แล้วบันทึกว่า AMPLITUDE ขนาดใดที่ OUTPUT SIGNAL เริ่มไม่เป็น SINE WAVE



<u>วิเคราะห์ผล</u>

1. วาดรูปกราฟของ DELTA CHANNEL จากผลในขั้นตอนที่ 3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การทดลองที่ 3

ADAPTIVE DELTA MODULATION

วัตถุประสงค์ เพื่อศึกษาการระบบ ADAPTIVE DELTA MODULATION

ความรู้เดิม นักศึกษาต้องคุ้นเคยกับทฤษฎีและอุปกรณ์ที่เกียวข้องกับการทดลองนี้มาแล้ว

เครื่องมือและอุปกรณ์

1. OSCILOSCOPE
2. AUDIO SIGNAL GENERATOR
3. FREQUENCY COUNTER
4. TRUE RMS METER
5. WORD GEN & SIGNAL PROCESSING CCT.
6. DELTA MODULATOR
7. DELTA DEMODULATOR

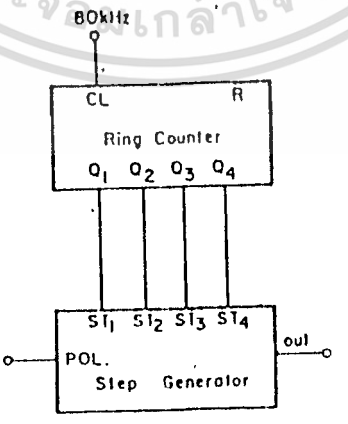
ลำดับขั้นการทดลอง

การทดลองต้องใช้ WORD GEN & SIGNAL PROCESSING CCT.

ขั้นที่ 1 การทำงานของ STEP GENERATOR ด้วย RING COUNTER

1.1 ใน ADAPTIVE MODULATION ขนาดของ STEP SIZE จะพิจารณาโดย RING COUNTER

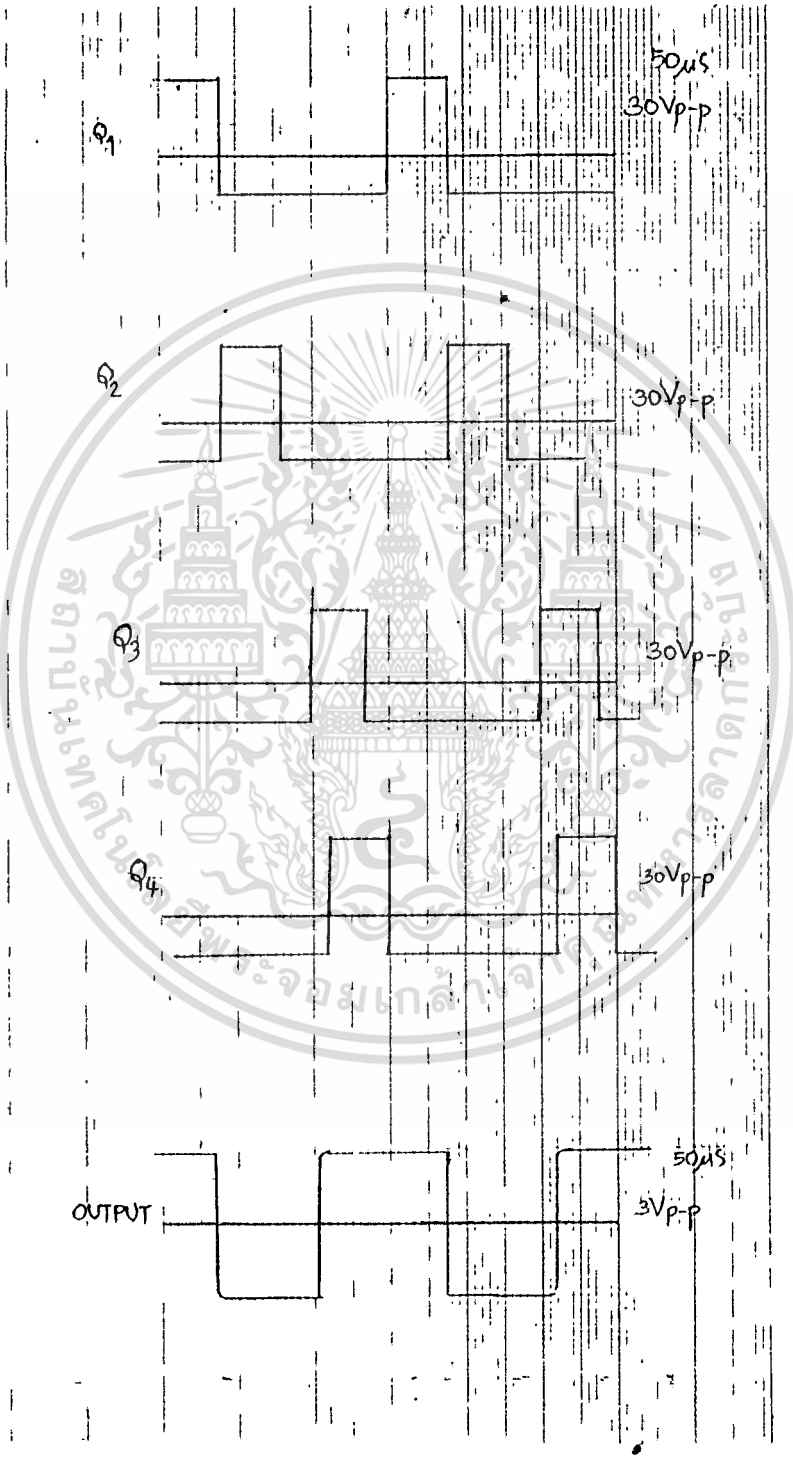
1.2 ประกอบวงจรตามรูปที่ 3.1



รูปที่ 3.1

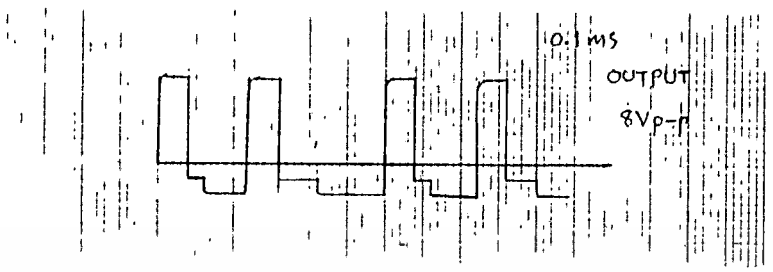
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.3 วาดรูปคลื่นที่ได้จากจุด Q_1, Q_2, Q_3, Q_4 และที่ OUTPUT ของ STEP GENERATOR

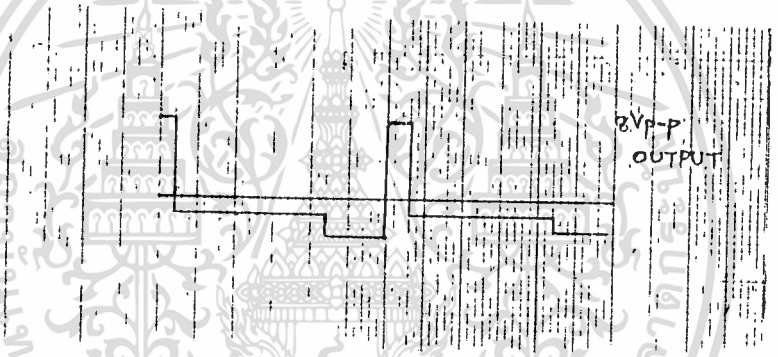


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.4 ต่อ POL.INPUT ของ STEP GENERATOR เข้ากับ +5V แล้ววาดรูปคลื่นที่ได้

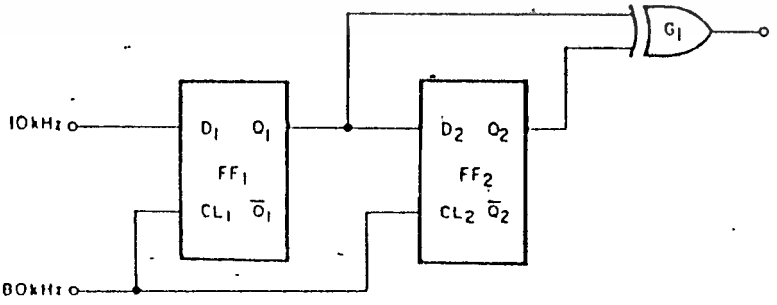


1.5 ต่อ SQUARE WAVE 10 KHz เข้าที่ RESET INPUT ของ RING COUNTER (R) และสังเกตุว่ามีอะไรเกิดขึ้นกับรูปคลื่นในขั้นตอนที่ 1.3 และ 1.4



ขั้นที่ 2 ADAPTIVE TIMING CIRCUIT

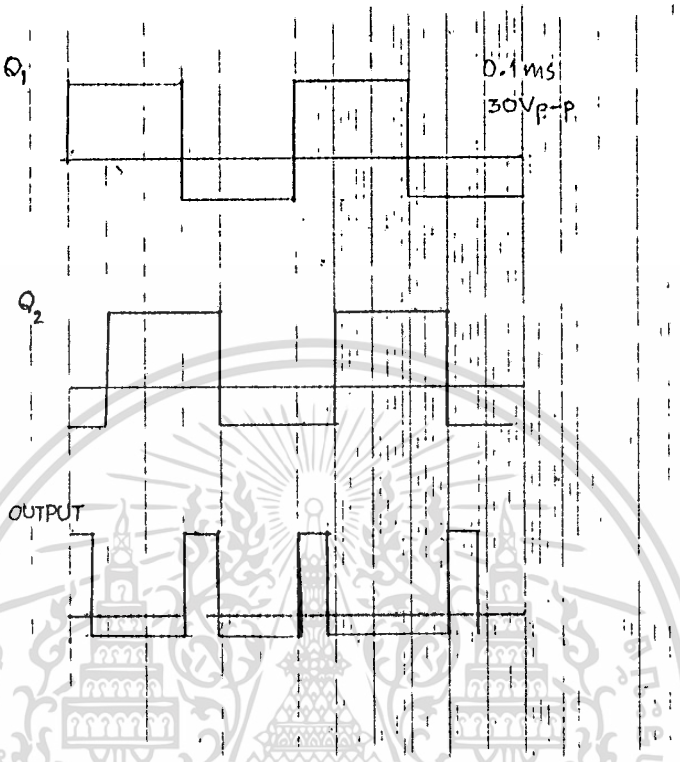
2.1 ประกอบวงจรตามรูปที่ 3.2



รูปที่ 3.2

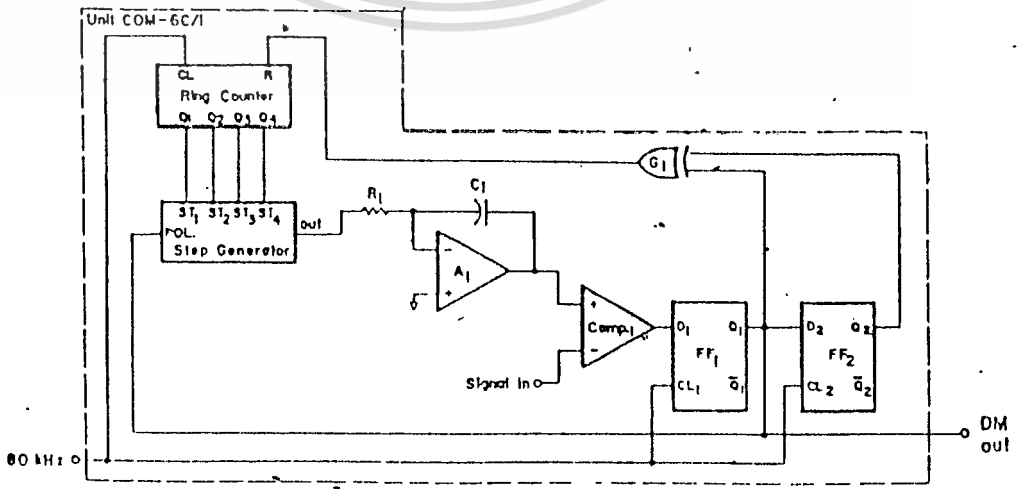
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2 วาดรูปคลื่นที่ได้จากจุด Q_1, Q_2 และ OUTPUT ของ G_1 ที่ CLOCK ความถี่ 80 KHz



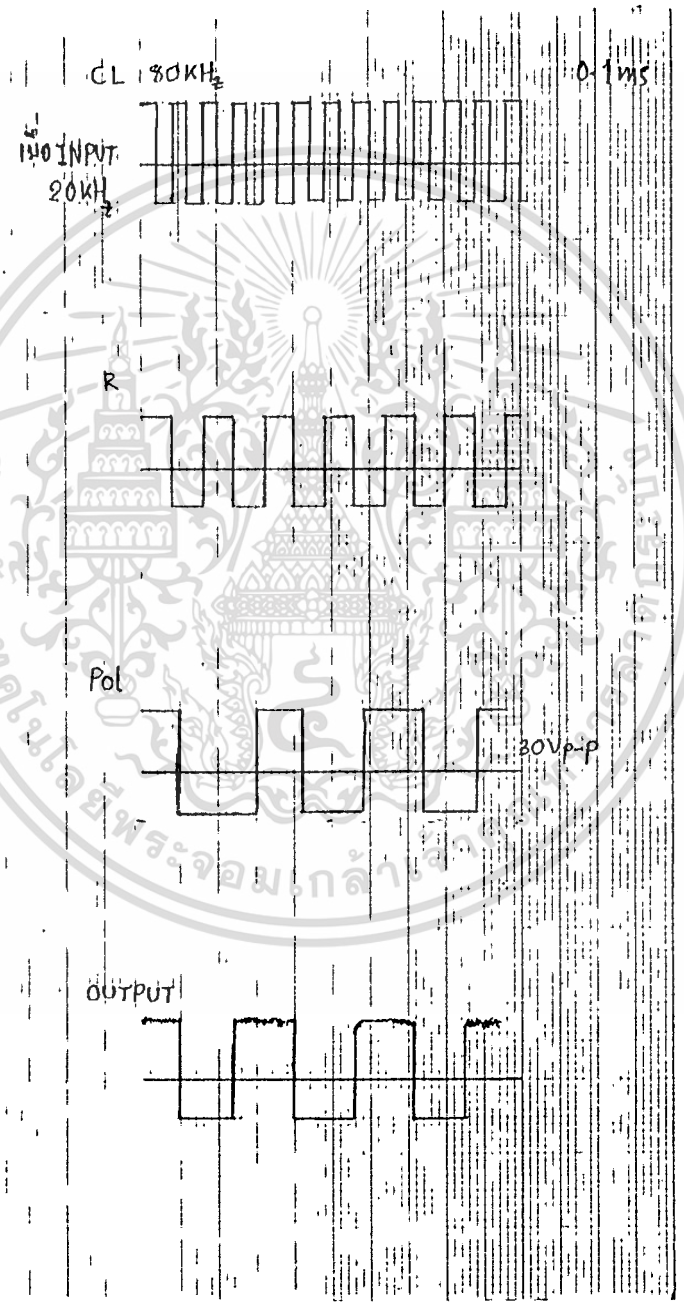
ขั้นที่ 3 ADAPTIVE DELTA MODULATOR

3.1 ประกอบวงจรที่สมบูรณ์ของ ADAPTIVE DELTA MODULATOR ตามรูปที่ 3.3



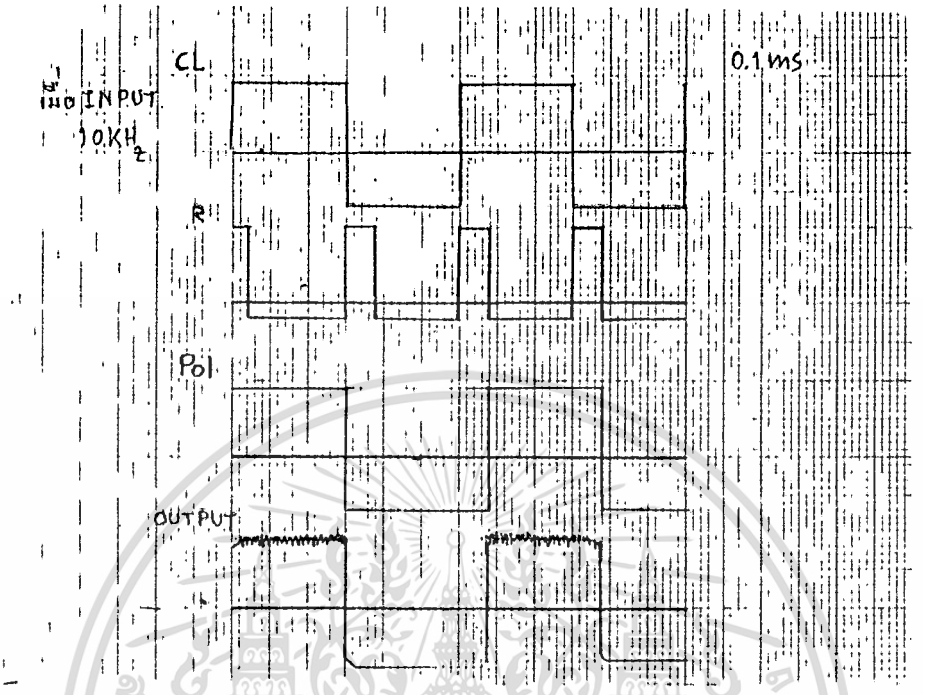
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2 ต่อรูปคลื่น SQUARE WAVE 20 KHz เป็น INPUT ให้กับ MODULATOR แล้ววาด TIMING DIAGRAM ของสัญญาณที่ CL ของ RING COUNTER , สัญญาณเข้า R ของ RING COUNTER , POL , INTEGRATOR OUTPUT , และ COMPARATOR OUTPUT



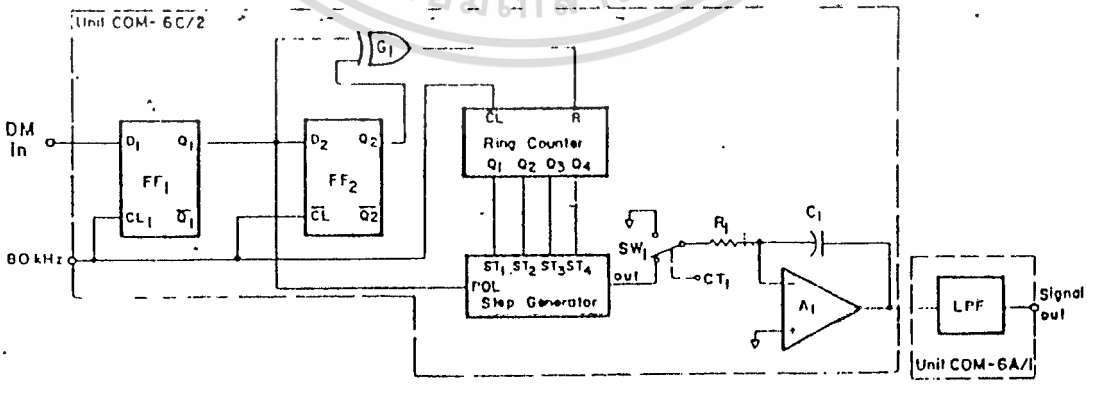
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3 ทำการวัดอีกครั้งกับสัญญาณ INPUT SQUARE WAVE 10 KHz



ขั้นที่ 4 COMPLETE ADAPTIVE DELTA CHANNEL

4.1 ประกอบวงจร ADAPTIVE DELTA DEMODULATOR ตามรูปที่ 3.4



รูปที่ 3.4

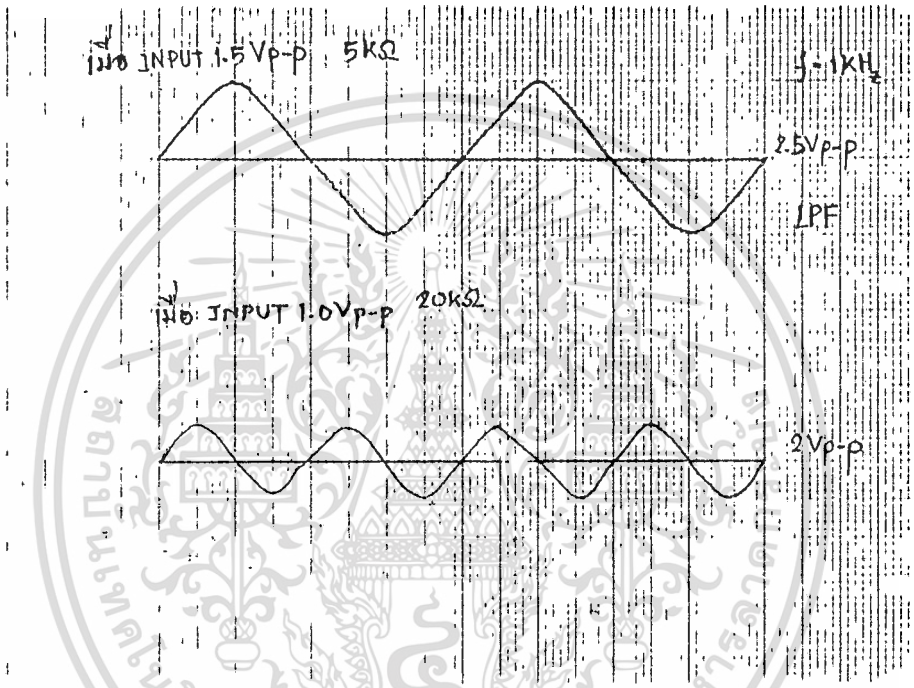
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2 ต่อ CONTROL SW$_1$ (CT$_1$) เข้ากับ +5V

4.3 ต่อ OUTPUT ของ MODULATOR เข้ากับ INPUT ของ DEMODULATOR

4.4 ต่อรูปคลื่น SINE (1V$_{p-p}$) เข้ากับ INPUT ของ DEMODULATOR แล้วพิจารณา OUTPUT ของ LPF

4.5 เปลี่ยน INTEGRATING RESISTOR 5K เป็น 20K แล้วบันทึกผลของความต้านทานนี้ต่อสัญญาณ OUTPUT ของ LPF



<u>วิเคราะห์ผล</u>

1. เปรียบเทียบ ADAPTIVE CHANNEL กับ NON ADAPTIVE CHANNEL จากที่เห็น BANDWIDTH เป็นต้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4
สรุปผลและวิจารณ์

การทดลองที่ 1 เป็นการเรียนรู้การทำงานของวงจร Integrating ในชุดฝึก เดลต้า มอดูเลชั่น โดยเริ่มต้นตรวจสอบชุดฝึก ชุดเดลต้า มอดูเลชั่น

ขั้นที่1 วงจร Step Generator ว่าทำงานได้หรือไม่ ซึ่งจากการทดลองปรากฏว่าใช้งานได้

ขั้นที่2 ตรวจสอบวงจร Integrator โดยป้อนสัญญาณรูปสี่เหลี่ยมผลออกมาทางเอาท์พุทของวงจร Integrator รูปสัญญาณเป็นรูปลักษณะสามเหลี่ยม

ขั้นที่3 เปลี่ยนความถี่ที่ป้อนให้วงจรตามขั้นตอนที่ 2 เป็น 40 KHz ผลที่ออกมาก็เป็นไปในลักษณะเดียวกัน

ขั้นที่4 เป็นการตรวจสอบวงจร Integrator ในลักษณะที่ต่อใช้งานในการมอดูเลทสัญญาณเดลต้ามอดูเลเตอร์

ขั้นที่5 ก็เป็นผลที่ทดลองในขั้นที่ 4 แต่สัญญาณอินพุทป้อนเป็นสัญญาณรูปสี่เหลี่ยมความถี่ 80 KHz และให้ Clock 20 KHz

ขั้นที่6 ก็เช่นเดียวกันเป็นการดูผลทางเอาท์พุท โดยการเปลี่ยน ความถี่อินพุท และ Clock เป็นรูป Sine Wave ความถี่ 80 KHz

ขั้นที่7และขั้นที่8 เป็นการศึกษาเกี่ยวกับ Slope Overloading ซึ่งเป็นผลที่ความถี่ Input มีความถี่มากเกินไปทำให้เกิดการผิดเพี้ยนทางสัญญาณ

ผลของการเปรียบเทียบในการทดลองขั้นที่ 7 และ 8 ซึ่งในทางทฤษฎีมีผลใกล้เคียงกัน

ผลการทดลองที่ 2

เป็นการศึกษา เดลต้า แซลแนล ที่สมบูรณ์

ขั้นที่1 เป็นการศึกษาถึงระบบ เดลต้า มอดูเลเตอร์ โดยป้อน Clock 20 KH เข้าที่ DM ผลออกมาสัญญาณ out put จะเป็นรูปสี่เหลี่ยม

ขั้นที่2 เป็นการศึกษถึง DM Channel ซึ่งเป็นภาคส่งสัญญาณในระบบเดลต้ามอดูเลเตอร์ ซึ่งสัญญาณออกก็เป็นรูปสี่เหลี่ยม

ขั้นที่3 เป็นการต่อวงจร Lopass Filter ทาง out put ทำให้ได้สัญญาณที่เหลือกับสัญญาณ input ที่ป้อนมาจากต้นกำเนิด

การทดลองที่ 3

เป็นกาศึกษาของระบบ ADPTIVE DELTA MODULATION

ขั้นที่ 1 ศึกษาการทำงานของวงจร Step Gen. ด้วยวงจร Ring Counter

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

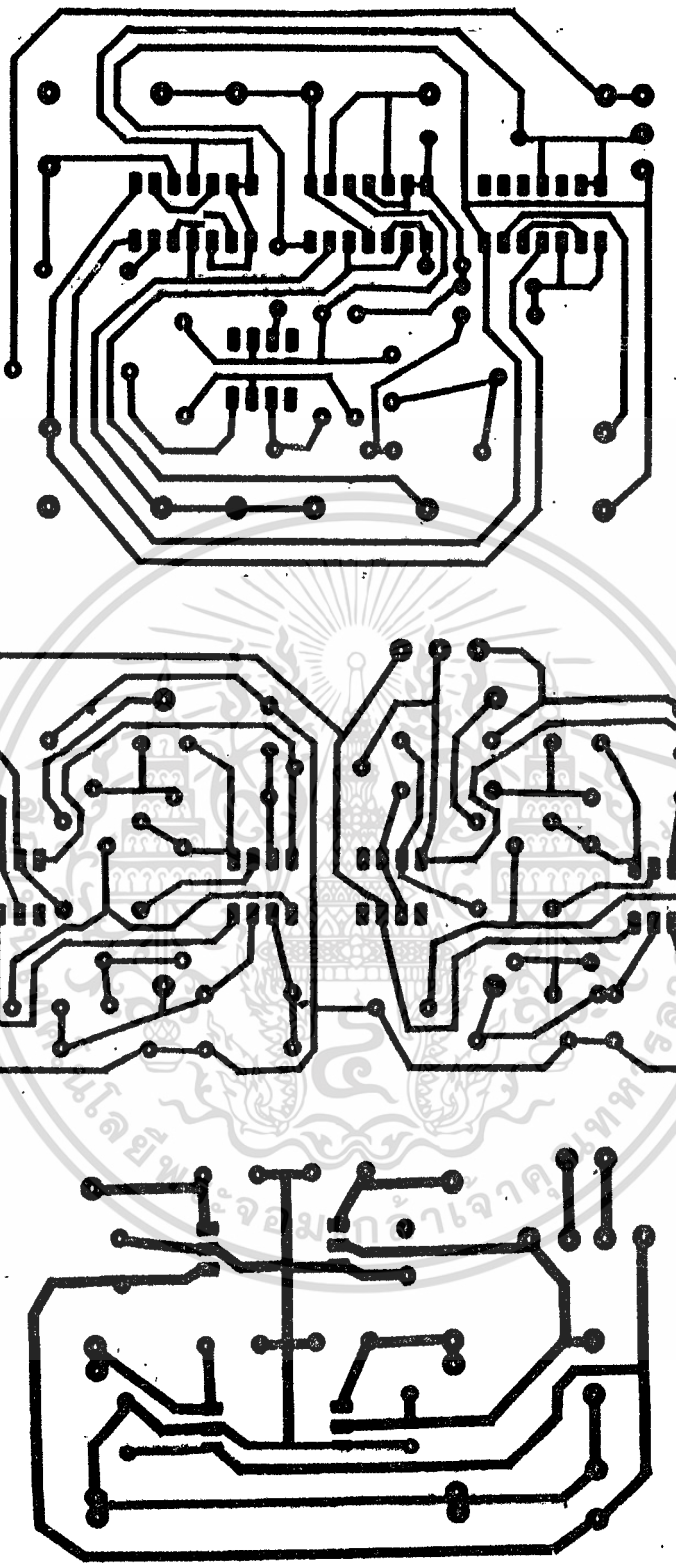
ขั้นที่ 2 ศึกษาวงจร Timing ของ Adaptive

ขั้นที่3 เป็นการศึกษาวงจร Adaptive Delta Modulator ที่สมบูรณ์ ซึ่งผลทำให้เข้าใจถึงการสื่อสารระบบเดลต้ามอดูเลชั่น

ขั้นที่4 ก็เป็นการศึกษาวงจรของระบบสื่อสาร เดลต้า มอดูเลชั่น ที่สมบูรณ์ โดยมีชุด Delta Modulator และชุด Delta Demodulator ซึ่งผลจากการทดลองก็เป็นไปตามทฤษฎีคือ Input ที่รูปสัญญาณเสียงที่ป้อนให้กับวงจร Delta Modulator เป็นสัญญาณสี่เหลี่ยม แล้วเปลี่ยนเป็นสัญญาณเสียงตามเดิมโดยผ่านวงจร Delta Demodulator

จากการทดลองทั้งหมด ในชุดฝึกทำให้เข้าใจถึงระบบ Delta modulator พอสมควร มีปัญหาบ้างในเรื่องของปลั๊กและแจ็ค ตลอดจนอุปกรณ์ที่ใช้มีค่าผิดพลาดไปจากเดิมและคุณภาพต่ำ จึงทำให้ชุดฝึกขาดความสมบูรณ์ไปบ้าง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ลายพิมพ์วงจร WORD GEN & SIGNAL PROCESSING CCT.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DATA SHEET

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

CD4001BM/CD4001BC Quad 2-Input NOR Buffered B Series Gate
CD4011BM/CD4011BC Quad 2-Input NAND Buffered B Series Gate

general description

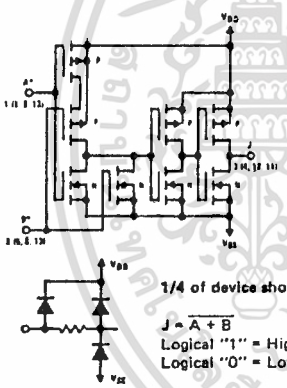
These quad gates are monolithic complementary MOS (CMOS) integrated circuits constructed with N- and P-channel enhancement mode transistors. They have equal source and sink current capabilities and conform to standard B series output drive. The devices also have buffered outputs which improve transfer characteristics by providing very high gain.

All inputs are protected against static discharge with diodes to V_{DD} and V_{SS}.

features

- Low power TTL compatability, fan out of 2 driving 74L or 1 driving 74LS
- 5V–10V–15V parametric ratings
- Symmetrical output characteristics
- Maximum input leakage 1μA at 15V over full temperature range

schematic and connection diagrams



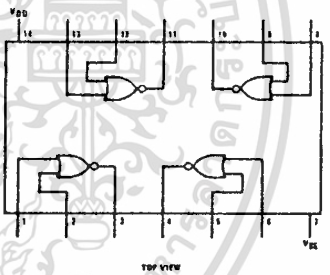
1/4 of device shown

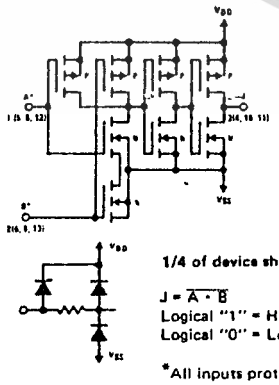
$J = \overline{A + B}$

Logical "1" = High
Logical "0" = Low

*All inputs protected by standard CMOS protection circuit.

CD4001BC/CD4001BM
Dual-In-Line and Flat Package





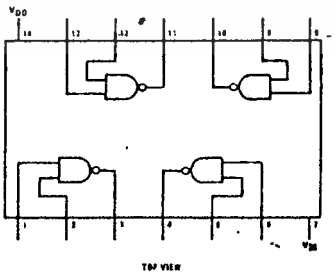
1/4 of device shown

$J = \overline{A \cdot B}$

Logical "1" = High
Logical "0" = Low

*All inputs protected by standard CMOS protection circuit.

CD4011BC/CD4011BM
Dual-In-Line and Flat Package



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

absolute maximum ratings (Notes 1 and 2)

Voltage at Any Pin	−0.5V to V_{DD} + 0.5V
Package Dissipation	500 mW
V_{DD} Range	−0.5 V_{DC} to +18 V_{DC}
Storage Temperature	−65°C to +150°C
Lead Temperature (Soldering, 10 seconds)	300°C

operating conditions

Operating V_{DD} Range	3 V_{DC} to 15 V_{DC}
Operating Temperature Range	
CD4001BM, CD4011BM	−55°C to +125°C
CD4001BC, CD4011BC	−40°C to +85°C

dc electrical characteristics CD4001BM, CD4011BM (Note 2)

PARAMETER		CONDITIONS	−55°C MIN	−55°C MAX	+25°C MIN	+25°C TYP	+25°C MAX	+125°C MIN	+125°C MAX
I_{DD}	Quiescent Device Current	V_{DD} = 5V		0.25		0.004	0.25		7.5
		V_{DD} = 10V		0.50		0.005	0.50		15
		V_{DD} = 15V		1.0		0.006	1.0		30
V_{OL}	Low Level Output Voltage	V_{DD} = 5V, $\lvert I_O \rvert < 1\mu A$		0.05		0	0.05		0.05
		V_{DD} = 10V, $\lvert I_O \rvert < 1\mu A$		0.05		0	0.05		0.05
		V_{DD} = 15V, $\lvert I_O \rvert < 1\mu A$		0.05		0	0.05		0.05
V_{OH}	High Level Output Voltage	V_{DD} = 5V, $\lvert I_O \rvert < 1\mu A$	4.95		4.95	5		4.95	
		V_{DD} = 10V, $\lvert I_O \rvert < 1\mu A$	9.95		9.95	10		9.95	
		V_{DD} = 15V, $\lvert I_O \rvert < 1\mu A$	14.95		14.95	15		14.95	
V_{IL}	Low Level Input Voltage	V_{DD} = 5V, V_O = 4.5V		1.5		2	1.5		1.5
		V_{DD} = 10V, V_O = 9.0V		3.0		4	3.0		3.0
		V_{DD} = 15V, V_O = 13.5V		4.0		6	4.0		4.0
V_{IH}	High Level Input Voltage	V_{DD} = 5V, V_O = 0.5V	3.5		3.5	3		3.5	
		V_{DD} = 10V, V_O = 1.0V	7.0		7.0	6		7.0	
		V_{DD} = 15V, V_O = 1.5V	11.0		11.0	9		11.0	
I_{OL}	Low Level Output Current	V_{DD} = 5V, V_O = 0.4V	0.64		0.51	0.88		0.36	
		V_{DD} = 10V, V_O = 0.5V	1.6		1.3	2.25		0.9	
		V_{DD} = 15V, V_O = 1.5V	4.2		3.4	8.8		2.4	
I_{OH}	High Level Output Current	V_{DD} = 5V, V_O = 4.6V	−0.64		−0.51	−0.88		−0.36	
		V_{DD} = 10V, V_O = 9.5V	−1.6		−1.3	−2.25		−0.9	
		V_{DD} = 15V, V_O = 13.5V	−4.2		−3.4	−8.8		−2.4	
I_{IN}	Input Current	V_{DD} = 15V, V_{IN} = 0V		−0.10		-10^{-5}	−0.10		−1.0
		V_{DD} = 15V, V_{IN} = 15V		0.10		10^{-5}	0.10		1.0

Note 1: "Absolute Maximum Ratings" are those values beyond which the safety of the device cannot be guaranteed. Except for "Operating Temperature Range" they are not meant to imply that the devices should be operated at these limits. The table of "Electrical Characteristics" provides conditions for actual device operation.

Note 2: All voltages measured with respect to V_{SS} unless otherwise specified.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

electrical characteristics CD4001BC, CD4011BC (Note 2)

PARAMETER	CONDITIONS	−40°C MIN	−40°C MAX	+25°C MIN	+25°C TYP	+25°C MAX	+85°C MIN	+85°C MAX	UNITS
Quiescent Device Current	V_{DD} = 5V		1		0.004	1		7.5	μA
	V_{DD} = 10V		2		0.005	2		15	μA
	V_{DD} = 15V		4		0.006	4		30	μA
Low Level Output Voltage	V_{DD} = 5V, $\lvert I_O \rvert < 1\mu A$		0.05		0	0.05		0.05	V
	V_{DD} = 10V, $\lvert I_O \rvert < 1\mu A$		0.05		0	0.05		0.05	V
	V_{DD} = 15V, $\lvert I_O \rvert < 1\mu A$		0.05		0	0.05		0.05	V
High Level Output Voltage	V_{DD} = 5V, $\lvert I_O \rvert < 1\mu A$	4.95		4.95	5		4.95		V
	V_{DD} = 10V, $\lvert I_O \rvert < 1\mu A$	9.95		9.95	10		9.95		V
	V_{DD} = 15V, $\lvert I_O \rvert < 1\mu A$	14.95		14.95	15		14.95		V
Low Level Input Voltage	V_{DD} = 5V, V_O = 4.5V		1.5		2	1.5		1.5	V
	V_{DD} = 10V, V_O = 9.0V		3.0		4	3.0		3.0	V
	V_{DD} = 15V, V_O = 13.5V		4.0		6	4.0		4.0	V
High Level Input Voltage	V_{DD} = 5V, V_O = 0.5V	3.5		3.5	3		3.5		V
	V_{DD} = 10V, V_O = 1.0V	7.0		7.0	6		7.0		V
	V_{DD} = 15V, V_O = 1.5V	11.0		11.0	9		11.0		V
Low Level Output Current	V_{DD} = 5V, V_O = 0.4V	0.52		0.44	0.88		0.36		mA
	V_{DD} = 10V, V_O = 0.5V	1.3		1.1	2.25		0.9		mA
	V_{DD} = 15V, V_O = 1.5V	3.6		3.0	8.8		2.4		mA
High Level Output Current	V_{DD} = 5V, V_O = 4.6V	−0.52		−0.44	−0.88		−0.36		mA
	V_{DD} = 10V, V_O = 9.5V	−1.3		−1.1	−2.25		−0.9		mA
	V_{DD} = 15V, V_O = 13.5V	−3.6		−3.0	−8.8		−2.4		mA
Input Current	V_{DD} = 15V, V_{IN} = 0V		−0.30		-10^{-5}	−0.30		−1.0	μA
	V_{DD} = 15V, V_{IN} = 15V		0.30		10^{-5}	0.30		1.0	μA

electrical characteristics CD4001BC, CD4001BM

25°C, Input t_r; t_f = 20 ns, C_L = 50 pF, R_L = 200k. Typical temperature coefficient is 0.3%/°C.

	PARAMETER	CONDITIONS	TYP	MAX	UNITS
	Propagation Delay Time, High-to-Low Level	V_{DD} = 5V	120	250	ns
		V_{DD} = 10V	50	100	ns
		V_{DD} = 15V	35	70	ns
	Propagation Delay Time, Low-to-High Level	V_{DD} = 5V	110	250	ns
		V_{DD} = 10V	50	100	ns
		V_{DD} = 15V	35	70	ns
t_{TLH}	Transition Time	V_{DD} = 5V	90	200	ns
		V_{DD} = 10V	50	100	ns
		V_{DD} = 15V	40	80	ns
	Average Input Capacitance	Any Input	5	7.5	pF
	Power Dissipation Capacity	Any Gate	14		pF

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ac electrical characteristics CD4011BC, CD4011BM

T_A = 25°C, Input t_r; t_f = 20 ns. C_L = 50 pF, R_L = 200k. Typical Temperature Coefficient is 0.3%/°C.

PARAMETER		CONDITIONS	TYP	MAX	UNITS
t_{PHL}	Propagation Delay, High-to-Low Level	V_{DD} = 5V	120	250	
		V_{DD} = 10V	50	100	
		V_{DD} = 15V	35	70	
t_{PLH}	Propagation Delay, Low-to-High Level	V_{DD} = 5V	85	250	
		V_{DD} = 10V	40	100	
		V_{DD} = 15V	30	70	
t_{THL}, t_{TLH}	Transition Time	V_{DD} = 5V	90	200	
		V_{DD} = 10V	50	100	
		V_{DD} = 15V	40	80	
C_{IN}	Average Input Capacitance	Any Input	5	7.5	pF
C_{PD}	Power Dissipation Capacity	Any Gate	14		pF

typical performance characteristics

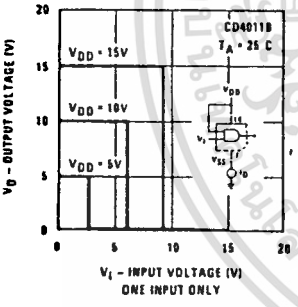


FIGURE 1. Typical Transfer Characteristics

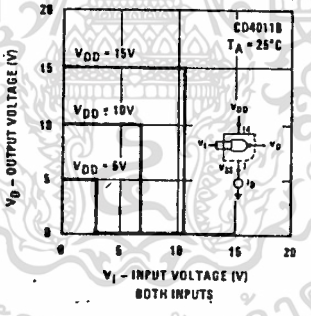


FIGURE 2. Typical Transfer Characteristics

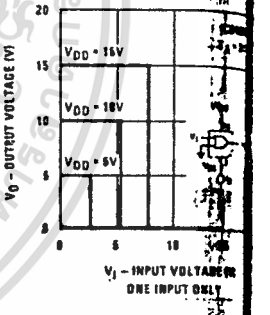


FIGURE 3. Typical Transfer Characteristics

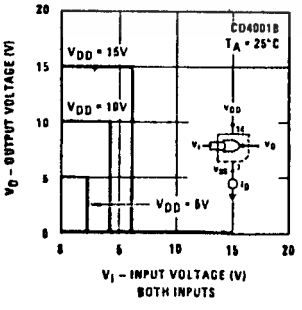


FIGURE 4. Typical Transfer Characteristics

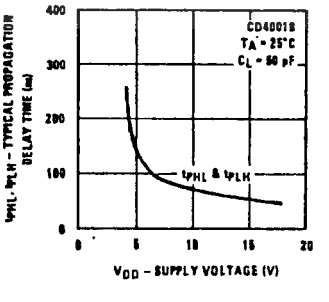


FIGURE 5

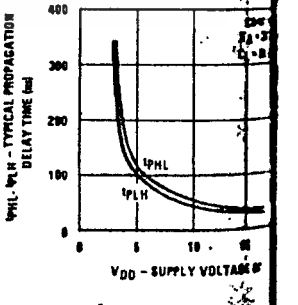


FIGURE 6

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical performance characteristics (cont)

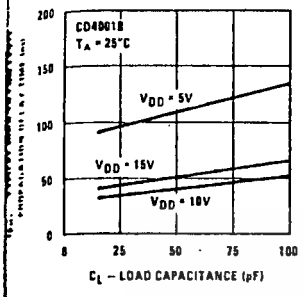


FIGURE 7

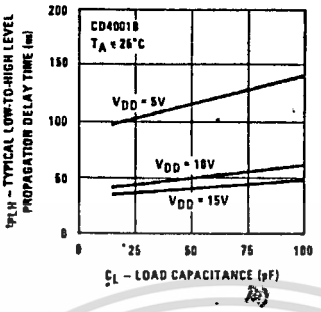


FIGURE 8

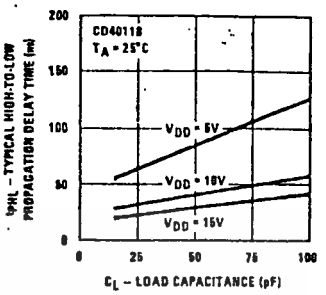


FIGURE 9

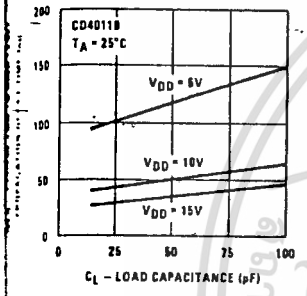


FIGURE 10

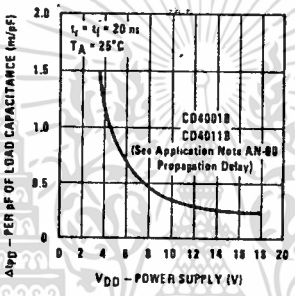


FIGURE 11

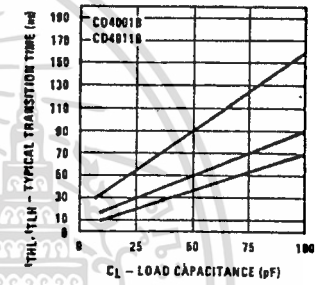


FIGURE 12

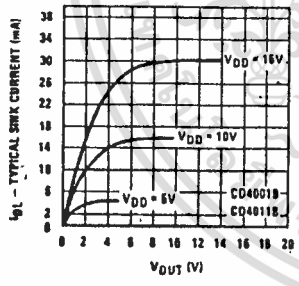


FIGURE 13

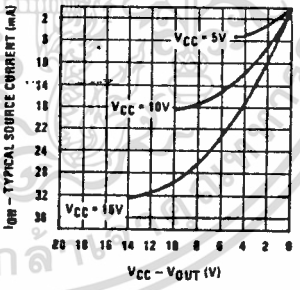
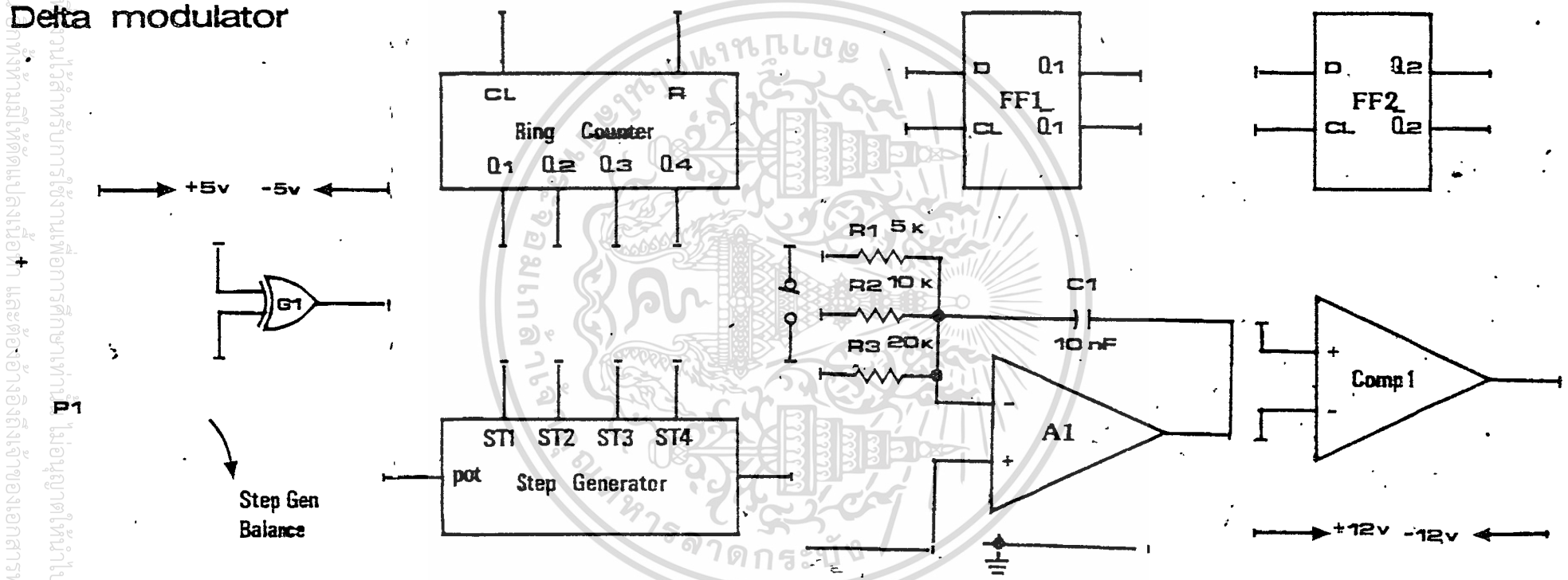


FIGURE 14

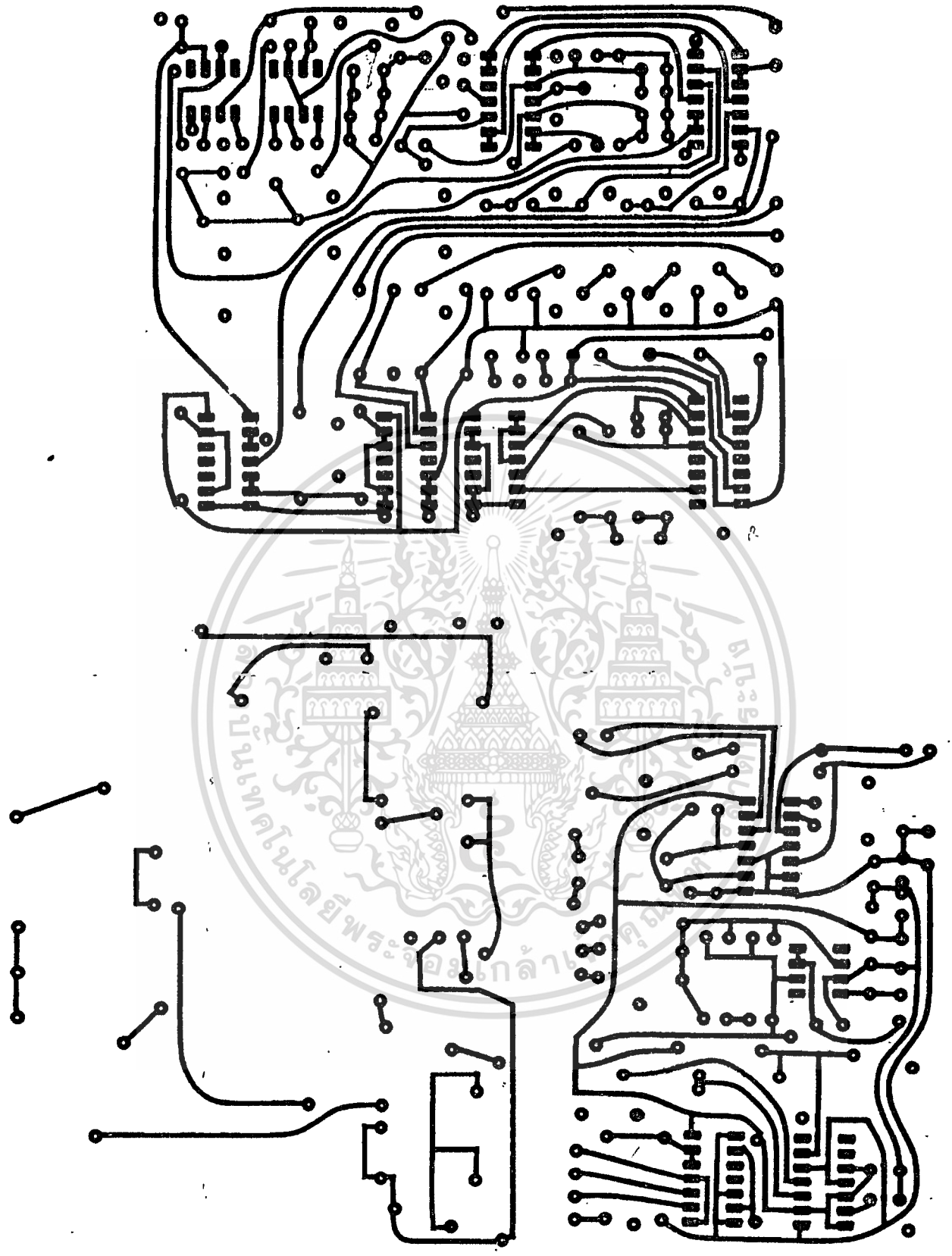
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

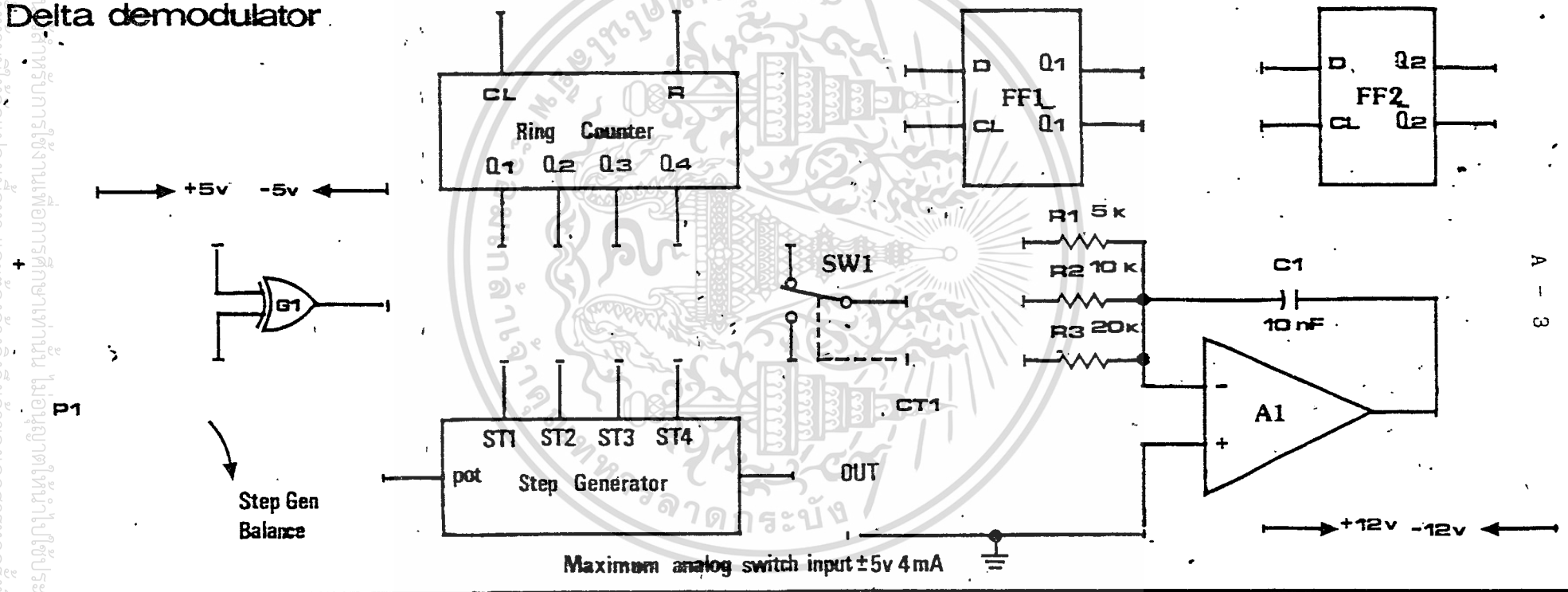


ผังหน้าปัด DELTA MODULATOR

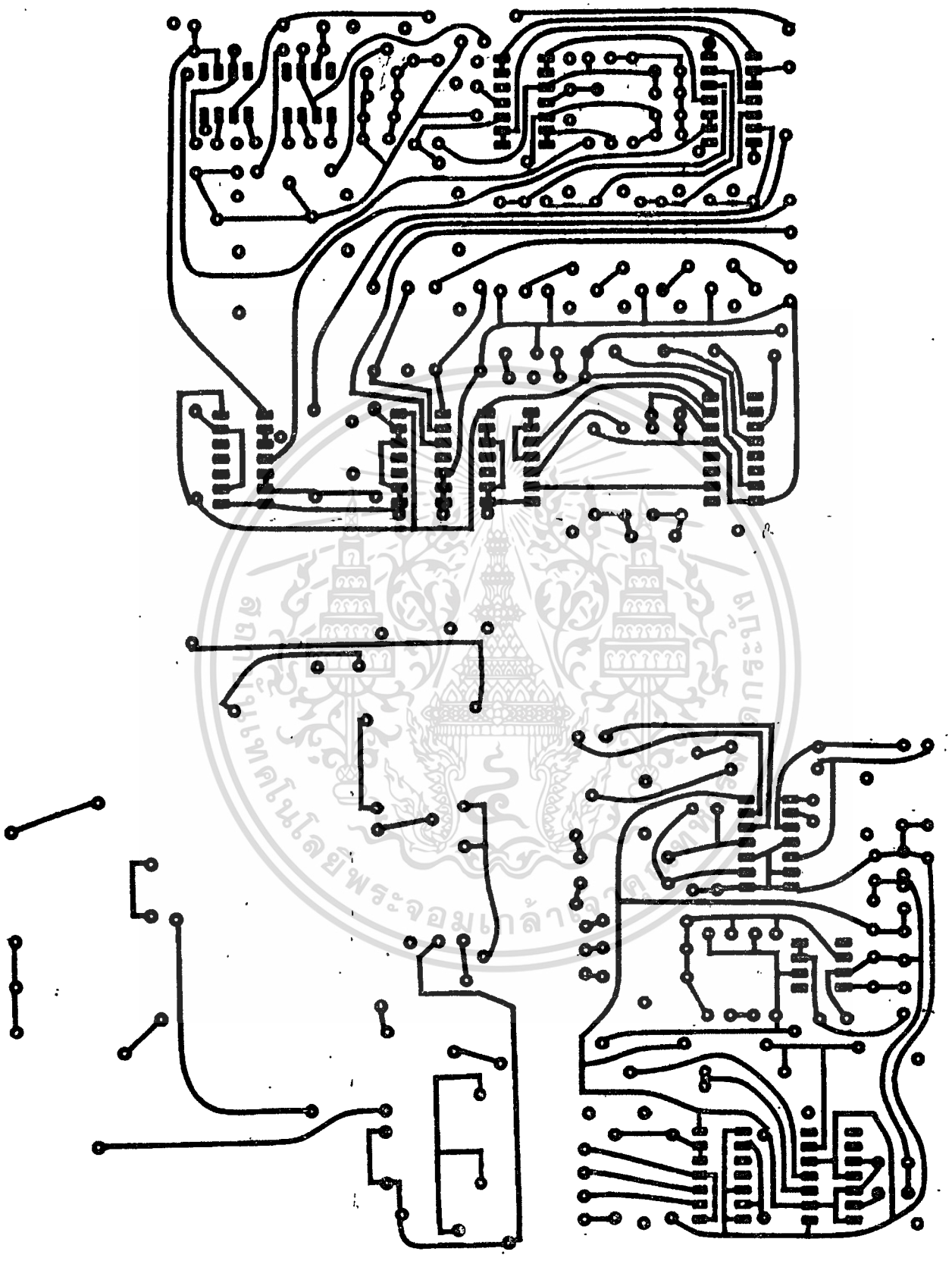


ลายพิมพ์วงจร DELTA MODULATOR

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

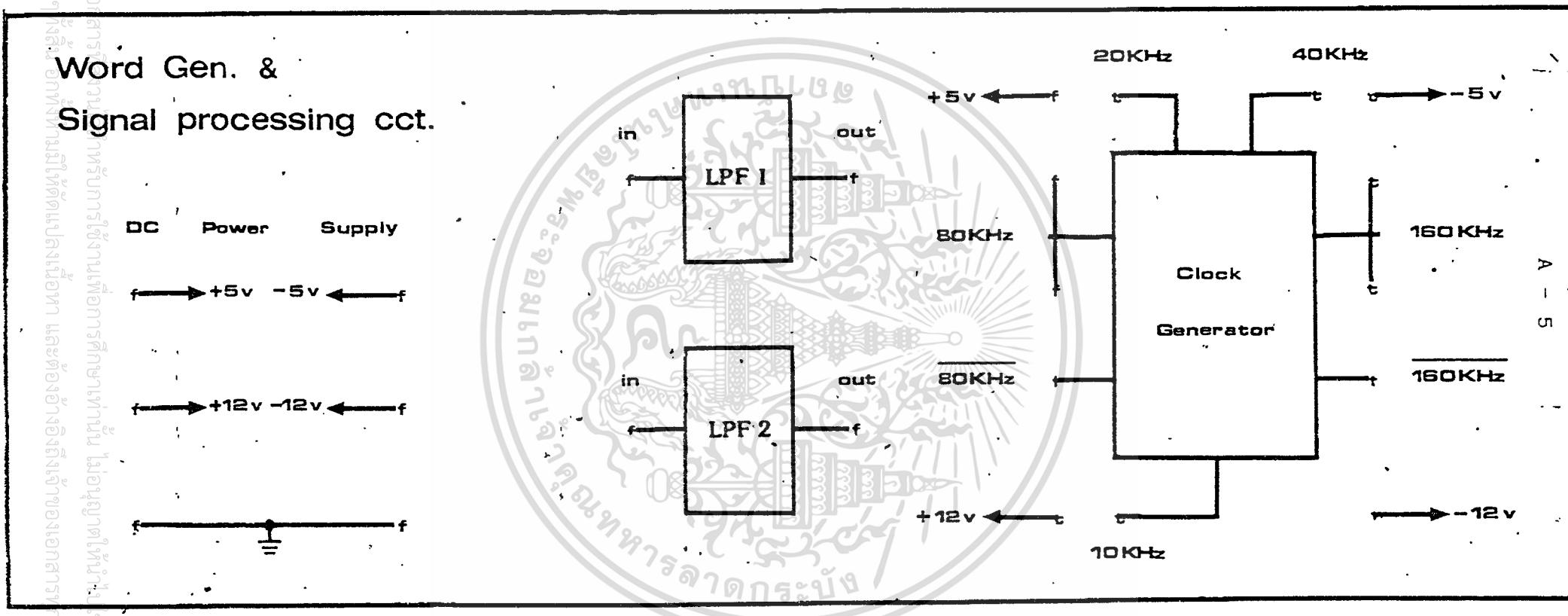


ผังหน้าปัด DELTA DEMODULATOR



ลายพิมพ์วงจร DELTA DEMODULATOR

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ผังหน้าปัด WORD GEN & SIGNAL PROCESSING CCT.

National Semiconductor

CD4013BM/CD4013BC Dual D Flip-Flop

general description

The CD4013B dual D flip-flop is a monolithic complementary MOS (CMOS) integrated circuit constructed with N and P channel enhancement transistors. Each flip-flop has independent data, set, reset, and clock inputs and "Q" and "$\overline{Q}$" outputs. These devices can be used for shift register applications, and by connecting "$\overline{Q}$" output to the data input, for counter and toggle applications. The logic level present at the "D" input is transferred to the Q output during the positive-going transition of the clock pulse. Setting or resetting is independent of the clock and is accomplished by a high level on the set or reset line respectively.

features

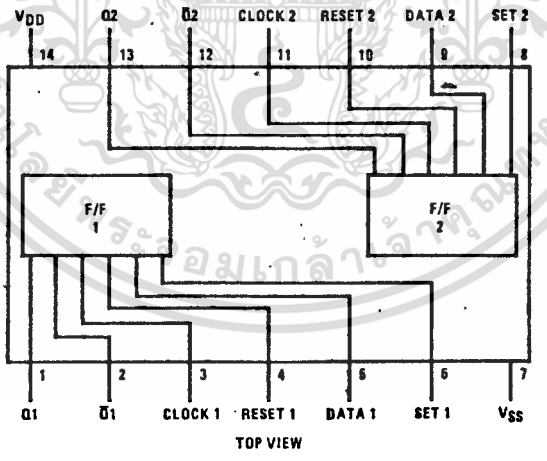
■ Wide supply voltage range	3.0V to 15V
■ High noise immunity	0.45 V_{DD} typ
■ Low power TTL compatibility	fan out of 2 driving 74L or 1 driving 74LS

applications

- Automotive
- Data terminals
- Instrumentation
- Medical electronics
- Alarm system
- Industrial electronics
- Remote metering
- Computers

connection diagram

Dual-In-Line and Flat Package



TOP VIEW

truth table

CL↑	D	R	S	Q	$\overline{Q}$
↗	0	0	0	0	1
↗	1	0	0	1	0
↘	x	0	0	Q	$\overline{Q}$
x	x	1	0	0	1
x	x	0	1	1	0
x	x	1	1	1	1

No change
↑ = Level change
x = Don't care case

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

absolute maximum ratings

(Notes 1 and 2)

V_{DD} dc Supply Voltage	−0.5 to +18 V_{DC}
V_{IN} Input Voltage	−0.5 to V_{DD} +0.5 V_{DC}
T_S Storage Temperature Range	−65°C to +150°C
P_D Package Dissipation	500 mW
T_L Lead Temperature (Soldering, 10 seconds)	300°C

recommended operating conditio

(Note 2)

V_{DD} dc Supply Voltage	+3 to
V_{IN} Input Voltage	0 to V_{DD}
T_A Operating Temperature Range	
CD4013BM	−55°C to
CD4013BC	−40°C to

dc electrical characteristics CD4013BM (Note 2)

PARAMETER		CONDITIONS	−55°C		25°C			125°C	
			MIN	MAX	MIN	TYP	MAX	MIN	MAX
I_{DD}	Quiescent Device Current	V_{DD} = 5V		1.0			1.0		30
		V_{DD} = 10V		2.0			2.0		60
		V_{DD} = 15V		4.0			4.0		120
V_{OL}	Low Level Output Voltage	$\|I_O\| < 1.0\mu A$							
		V_{DD} = 5V		0.05			0.05		0.05
		V_{DD} = 10V		0.05			0.05		0.05
		V_{DD} = 15V		0.05			0.05		0.05
V_{OH}	High Level Output Voltage	$\|I_O\| < 1.0\mu A$							
		V_{DD} = 5V	4.95		4.95			4.95	
		V_{DD} = 10V	9.95		9.95			9.95	
		V_{DD} = 15V	14.95		14.95			14.95	
V_{IL}	Low Level Input Voltage	$\|I_O\| < 1.0\mu A$							
		V_{DD} = 5V, V_O = 0.5V or 4.5V		1.5			1.5		1.5
		V_{DD} = 10V, V_O = 1.0V or 9.0V		3.0			3.0		3.0
		V_{DD} = 15V, V_O = 1.5V or 13.5V		4.0			4.0		4.0
V_{IH}	High Level Input Voltage	$\|I_O\| < 1.0\mu A$							
		V_{DD} = 5V, V_O = 0.5V or 4.5V	3.5		3.5			3.5	
		V_{DD} = 10V, V_O = 1.0V or 9.0V	7.0		7.0			7.0	
		V_{DD} = 15V, V_O = 1.5V or 13.5V	11.0		11.0			11.0	
I_{OL}	Low Level Output Current	V_{DD} = 5V, V_O = 0.4V	0.64		0.51	0.88		0.36	
		V_{DD} = 10V, V_O = 0.5V	1.6		1.3	2.25		0.9	
		V_{DD} = 15V, V_O = 1.5V	4.2		3.4	8.8		2.4	
I_{OH}	High Level Output Current	V_{DD} = 5V, V_O = 4.6V	−0.64		−0.51	−0.88		−0.36	
		V_{DD} = 10V, V_O = 9.5V	−1.6		−1.3	−2.25		−0.9	
		V_{DD} = 15V, V_O = 13.5V	−4.2		−3.4	−8.8		−2.4	
I_{IN}	Input Current	V_{DD} = 15V, V_{IN} = 0V		−0.1		-10^{-5}	−0.1		−1.0
		V_{DD} = 15V, V_{IN} = 15V		0.1		10^{-5}	0.1		1.0

dc electrical characteristics CD4013BC (Note 2)

PARAMETER		CONDITIONS	−40°C		25°C			85°C	
			MIN	MAX	MIN	TYP	MAX	MIN	MAX
I_{DD}	Quiescent Device Current	V_{DD} = 5V		4.0			4.0		30
		V_{DD} = 10V		8.0			8.0		60
		V_{DD} = 15V		16.0			16.0		120
V_{OL}	Low Level Output Voltage	$\|I_O\| < 1.0\mu A$							
		V_{DD} = 5V		0.05			0.05		0.05
		V_{DD} = 10V		0.05			0.05		0.05
		V_{DD} = 15V		0.05			0.05		0.05
V_{OH}	High Level Output Voltage	$\|I_O\| < 1.0\mu A$							
		V_{DD} = 5V	4.95		4.95			4.95	
		V_{DD} = 10V	9.95		9.95			9.95	
		V_{DD} = 15V	14.95		14.95			14.95	
V_{IL}	Low Level Input Voltage	$\|I_O\| < 1.0\mu A$							
		V_{DD} = 5V, V_O = 0.5V or 4.5V		1.5			1.5		1.5
		V_{DD} = 10V, V_O = 1.0V or 9.0V		3.0			3.0		3.0
		V_{DD} = 15V, V_O = 1.5V or 13.5V		4.0			4.0		4.0

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

dc electrical characteristics (con't) CD4013BC (Note 2)

PARAMETER		CONDITIONS	−40°C		25°C			85°C		UNITS
			MIN	MAX	MIN	TYP	MAX	MIN	MAX	
V_{IH}	High Level Input Voltage	$\|I_O\| < 1.0\mu A$								
		V_{DD} = 5V, V_O = 0.5V or 4.5V	3.5		3.5			3.5		V
		V_{DD} = 10V, V_O = 1.0V or 9.0V	7.0		7.0			7.0		V
		V_{DD} = 15V, V_O = 1.5V or 13.5V	11.0		11.0			11.0		V
I_{OL}	Low Level Output Current	V_{DD} = 5V, V_O = 0.4V	0.52		0.44	0.88		0.36		mA
		V_{DD} = 10V, V_O = 0.5V	1.3		1.1	2.25		0.9		mA
		V_{DD} = 15V, V_O = 1.5V	3.6		3.0	8.8		2.4		mA
I_{OH}	High Level Output Current	V_{DD} = 5V, V_O = 4.6V	−0.52		−0.44	−0.88		−0.36		mA
		V_{DD} = 10V, V_O = 9.5V	−1.3		−1.1	−2.25		−0.9		mA
		V_{DD} = 15V, V_O = 13.5V	−3.6		−3.0	−8.8		−2.4		mA
I_{IN}	Input Current	V_{DD} = 15V, V_{IN} = 0V		−0.3		-10^{-5}	−0.3		−1.0	μA
		V_{DD} = 15V, V_{IN} = 15V		0.3		10^{-5}	0.3		1.0	μA

Note 1: "Absolute Maximum Ratings" are those values beyond which the safety of the device cannot be guaranteed, they are not meant to imply that the devices should be operated at these limits. The table of "Recommended Operating Conditions" and "Electrical Characteristics" provides conditions for actual device operation.

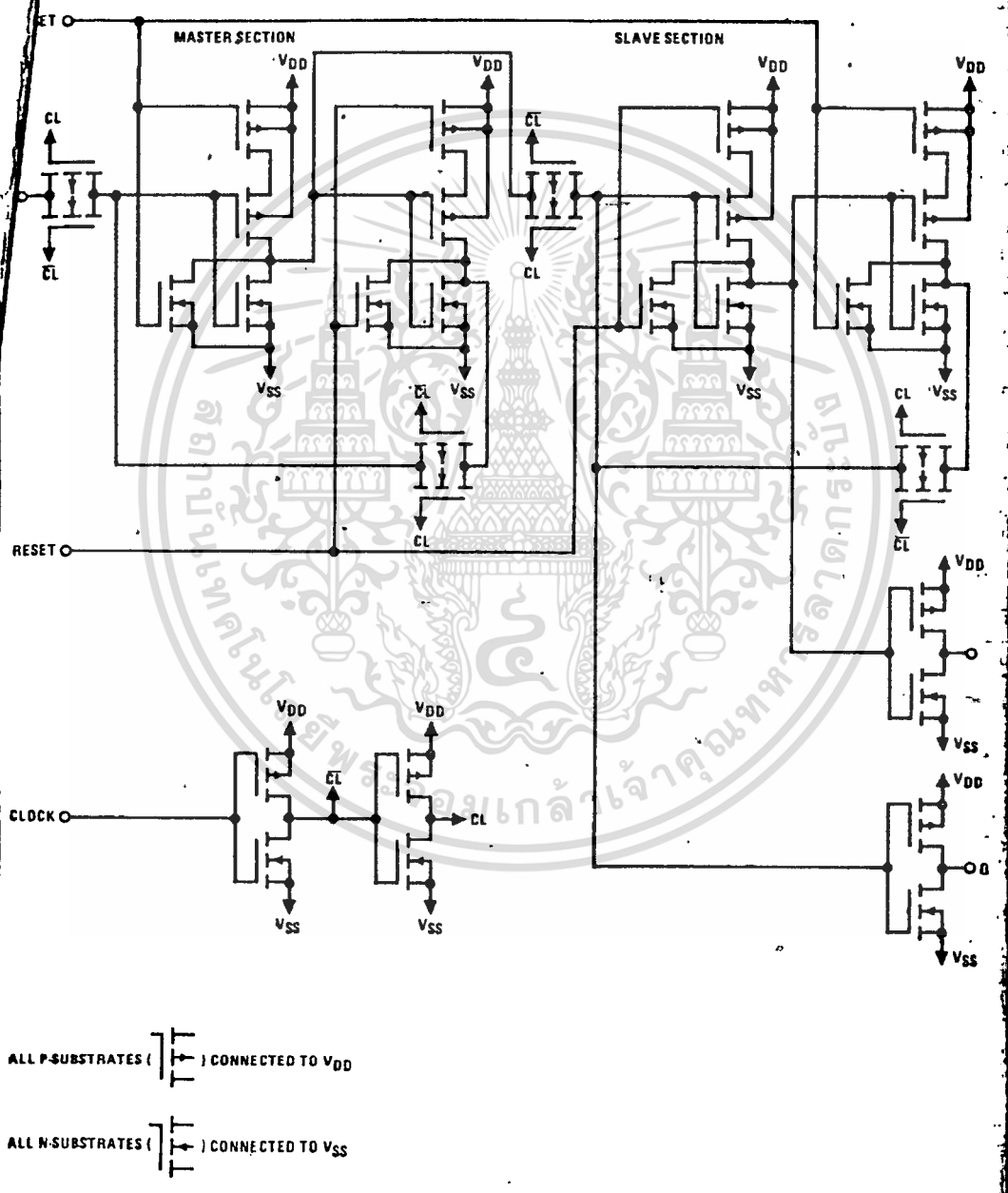
Note 2: V_{SS} = 0V unless otherwise specified.

ac electrical characteristics T_A = 25°C, C_L = 50 pF, R_L = 200k, unless otherwise specified.

PARAMETER		CONDITIONS	MIN	TYP	MAX	UNITS
CLOCK OPERATION						
t_{PLH} or t_{PHL}	Propagation Delay Time	V_{DD} = 5V		200	350	ns
		V_{DD} = 10V		80	160	ns
		V_{DD} = 15V		65	120	ns
t_{THL} or t_{TLH}	Transition Time	V_{DD} = 5V		100	200	ns
		V_{DD} = 10V		50	100	ns
		V_{DD} = 15V		40	80	ns
t_W or t_{WH}	Minimum Clock Pulse Width	V_{DD} = 5V		100	200	ns
		V_{DD} = 10V		40	80	ns
		V_{DD} = 15V		32	65	ns
t_{CL}, t_{FCL}	Maximum Clock Rise and Fall Time	V_{DD} = 5V			15	μs
		V_{DD} = 10V			10	μs
		V_{DD} = 15V			5	μs
	Minimum Set-Up Time	V_{DD} = 5V		20	40	ns
		V_{DD} = 10V		15	30	ns
		V_{DD} = 15V		12	25	ns
f_{CL}	Maximum Clock Frequency	V_{DD} = 5V	2.5	5		MHz
		V_{DD} = 10V	6.2	12.5		MHz
		V_{DD} = 15V	7.6	15.5		MHz
SET AND RESET OPERATION						
$t_{PLH(R)}$, $t_{PHL(R)}$	Propagation Delay Time	V_{DD} = 5V		150	300	ns
		V_{DD} = 10V		65	130	ns
		V_{DD} = 15V		45	90	ns
$t_{W(R)}$, $t_{W(S)}$	Minimum Set and Reset Pulse Width	V_{DD} = 5V		90	180	ns
		V_{DD} = 10V		40	80	ns
		V_{DD} = 15V		25	50	ns
C_{IN}	Average Input Capacitance	Any Input		5	7.5	pF

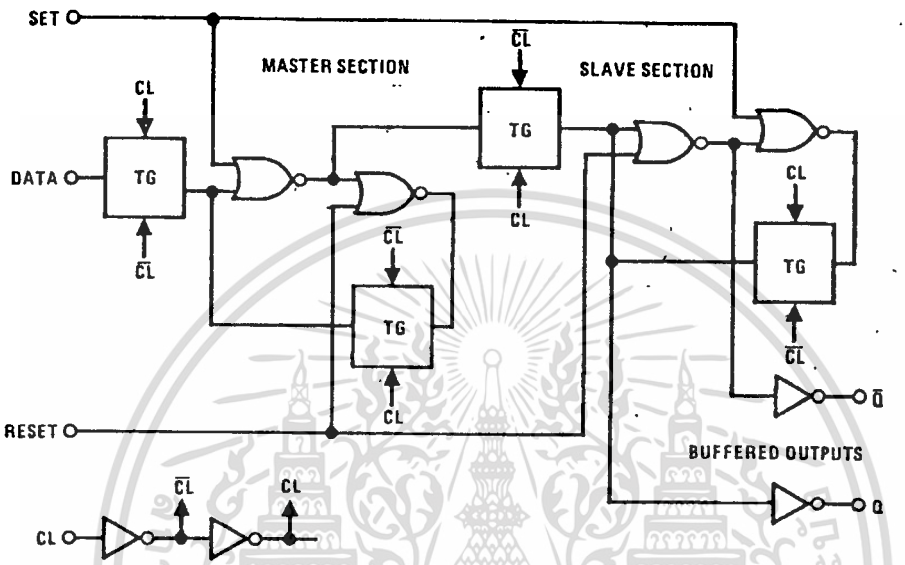
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

hematic diagram

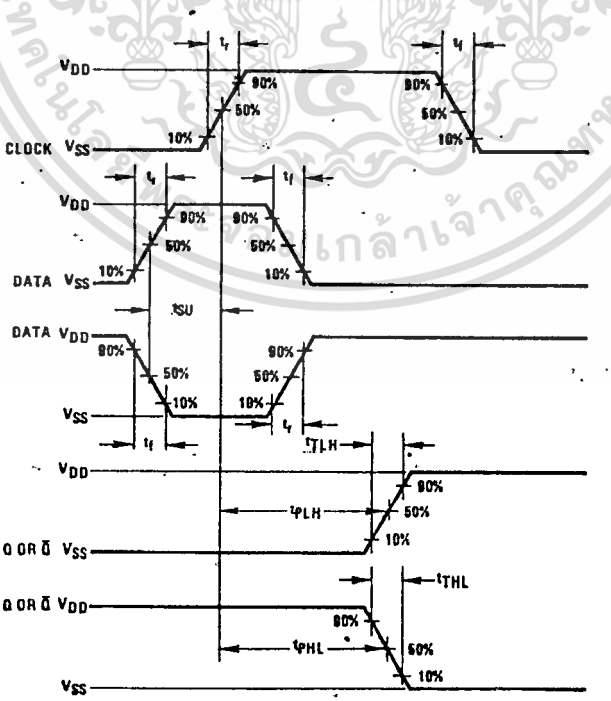


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

logic diagram



switching time waveforms



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

CD4030M/CD4030C Quad EXCLUSIVE-OR Gate

general description

These EXCLUSIVE-OR gates are monolithic Complementary MOS (CMOS) integrated circuits constructed with N and P-channel enhancement mode transistors. All inputs are protected against static discharge with diodes to V_{DD} and V_{SS}.

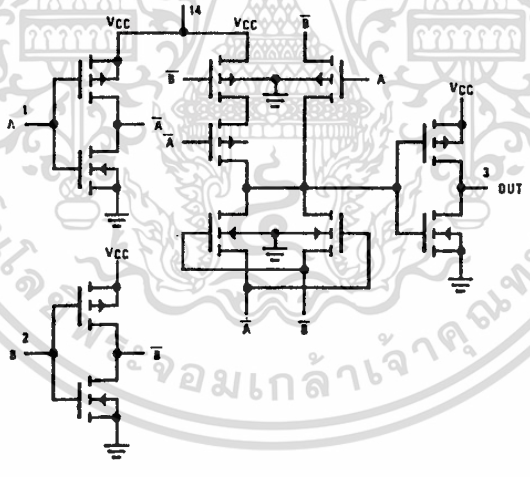
features

- Wide supply voltage range — 3.0V to 15V
- Low power — 100 nW (typ)
- Medium speed operation — $t_{PHL} = t_{PLH} = 40$ ns (typ) at $C_L = 15$ pF, 10V supply
- High noise immunity — 0.45 V_{CC} (typ)

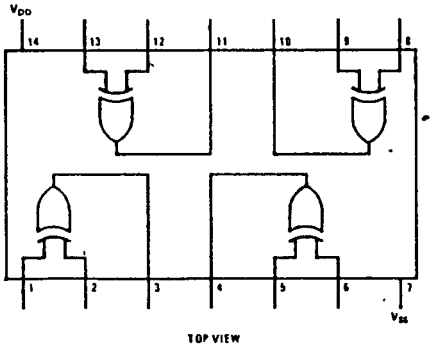
applications

- Automotive
- Data terminals
- Instrumentation
- Medical electronics
- Industrial controls
- Remote metering
- Computers

schematic diagram



connection diagram



TOP VIEW

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

absolute maximum ratings

Voltage at Any Pin (Note 1)	V_{SS} − 0.3V to V_{SS} + 15.5V
Operating Temperature Range	
CD4030M	−55°C to +125°C
CD4030C	−40°C to +85°C
Storage Temperature Range	−65°C to +150°C
Package Dissipation	500 mW
Operating V_{DD} Range	V_{SS} + 3.0V to V_{SS} + 15V
Lead Temperature (Soldering, 10 seconds)	300°C

dc electrical characteristics CD4030M

PARAMETER	CONDITIONS	LIMITS									UNITS
		−55°C			25°C			125°C			
		MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	
Quiescent Device Current (I_L)	V_{DD} = 5.0V			0.5		0.005	0.5			30	μA
	V_{DD} = 10V			1.0		0.01	1.0			60	μA
Quiescent Device Dissipation Package (P_D)	V_{DD} = 5.0V			2.5		0.025	2.5			150	μW
	V_{DD} = 10V			10		0.1	10			600	μW
Output Voltage Low Level (V_{OL})	V_{DD} = 5.0V			0.01		0	0.01			0.05	V
	V_{DD} = 10V			0.01		0	0.01			0.05	V
Output Voltage High Level (V_{OH})	V_{DD} = 5.0V	4.99			4.99	5.0		4.95			V
	V_{DD} = 10V	9.99			9.99	10		9.95			V
Noise Immunity (All Inputs) (V_{NL})	V_{DD} = 5.0V	1.5			1.5	2.25		1.4			V
	V_{DD} = 10V	3.0			3.0	4.5		2.9			V
Noise Immunity (All Inputs) (V_{NH})	V_{DD} = 5.0V	1.4			1.5	2.25		1.5			V
	V_{DD} = 10V	2.9			3.0	4.5		3.0			V
Output Drive Current N-Channel (I_DN)	V_{DD} = 5.0V	0.75			0.6	1.2		0.45			mA
	V_{DD} = 10V	1.5			1.2	2.4		0.9			mA
Output Drive Current P-Channel (I_DP)	V_{DD} = 5.0V	−0.45			−0.3	−0.6		−0.21			mA
	V_{DD} = 10V	−0.95			−0.65	−1.3		−0.45			mA
Input Current (I_I)	V_I = 0V or V_I = V_{DD}					10					pA

dc electrical characteristics CD4030C

PARAMETER	CONDITIONS	LIMITS									UNITS
		−40°C			25°C			85°C			
		MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	
Quiescent Device Current (I_L)	V_{DD} = 5.0V			5.0		0.05	5.0			70	μA
	V_{DD} = 10V			10		0.1	10			140	μA
Quiescent Device Dissipation Package (P_D)	V_{DD} = 5.0V			25		0.25	25			350	μW
	V_{DD} = 10V			100		1.0	100			1,400	μW
Output Voltage Low Level (V_{OL})	V_{DD} = 5.0V			0.01		0	0.01			0.05	V
	V_{DD} = 10V			0.01		0	0.01			0.05	V
Output Voltage High Level (V_{OH})	V_{DD} = 5.0V	4.99			4.99	5.0		4.95			V
	V_{DD} = 10V	9.99			9.99	10		9.95			V
Noise Immunity (All Inputs) (V_{NL})	V_{DD} = 5.0V	1.5			1.5	2.25		1.4			V
	V_{DD} = 10V	3.0			3.0	4.5		2.9			V
Noise Immunity (All Inputs) (V_{NH})	V_{DD} = 5.0V	1.4			1.5	2.25		1.5			V
	V_{DD} = 10V	2.9			3.0	4.5		3.0			V
Output Drive Current N-Channel (I_DN)	V_{DD} = 5.0	0.35			0.3	1.2		0.25			mA
	V_{DD} = 10V	0.7			0.6	2.4		0.5			mA
Output Drive Current P-Channel (I_DP)	V_{DD} = 5.0V	−0.21			−0.15	−0.6		−0.12			mA
	V_{DD} = 10V	−0.45			−0.32	−1.3		−0.25			mA
Input Current (I_I)	V_I = 0V or V_I = V_{DD}					10					pA

Note 1: This device should not be connected to circuits with power on because high transient voltages may cause permanent damage.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ac electrical characteristics CD4030M

at $T_A = 25°C$, $V_{SS} = 0V$, and $C_L = 15pF$. Typical temperature coefficient for all values of $V_{DD} = 0.3\%/°C$.

PARAMETER	CONDITIONS	LIMITS			UNITS
		MIN	TYP	MAX	
Propagation Delay Time (t_{PHL})	$V_{DD} = 5.0V$		100	200	ns
	$V_{DD} = 10V$		40	100	ns
Propagation Delay Time (t_{PLH})	$V_{DD} = 5.0V$		100	200	ns
	$V_{DD} = 10V$		40	100	ns
Transition Time High to Low Level (t_{THL})	$V_{DD} = 5.0V$		70	150	ns
	$V_{DD} = 10V$		25	75	ns
Transition Time Low to High Level (t_{TLH})	$V_{DD} = 5.0V$		80	150	ns
	$V_{DD} = 10V$		30	75	ns
Input Capacitance (C_I)	$V_I = 0V$ or $V_I = V_{DD}$		5.0		pF

ac electrical characteristics CD4030C

PARAMETER	CONDITIONS	LIMITS			UNITS
		MIN	TYP	MAX	
Propagation Delay Time (t_{PHL})	$V_{DD} = 5.0V$		100	300	ns
	$V_{DD} = 10V$		40	150	ns
Propagation Delay Time (t_{PLH})	$V_{DD} = 5.0V$		100	300	ns
	$V_{DD} = 10V$		40	150	ns
Transition Time High to Low Level (t_{THL})	$V_{DD} = 5.0V$		70	300	ns
	$V_{DD} = 10V$		25	150	ns
Transition Time Low to High Level (t_{TLH})	$V_{DD} = 5.0V$		80	300	ns
	$V_{DD} = 10V$		30	150	ns
Input Capacitance (C_I)	$V_I = 0V$ or $V_I = V_{DD}$		5.0		pF

truth table (For One of Four Identical Gates)

A	B	J
0	0	0
1	0	1
0	1	1
1	1	0

Where: "1" = High Level
"0" = Low Level

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

CD4017BM/CD4017BC Decade Counter/Divider with 10 Decoded Outputs
CD4022BM/CD4022BC Divide-by-8 Counter/Divider with 8 Decoded Outputs

general description

The CD4017BM/CD4017BC is a 5-stage divide-by-10 Johnson counter with 10 decoded outputs and a carry out bit.

The CD4022BM/CD4022BC is a 4-stage divide-by-8 Johnson counter with 8 decoded outputs and a carry-out bit.

These counters are cleared to their zero count by a logical "1" on their reset line. These counters are advanced on the positive edge of the clock signal when the clock enable signal is in the logical "0" state.

The configuration of the CD4017BM/CD4017BC and CD4022BM/CD4022BC permits medium speed operation and assures a hazard free counting sequence. The 10/8 decoded outputs are normally in the logical "0" state and go to the logical "1" state only at their respective time slot. Each decoded output remains high for 1 full clock cycle. The carry-out signal completes a full cycle for every 10/8 clock input cycles and is used as a ripple carry signal to any succeeding stages.

features

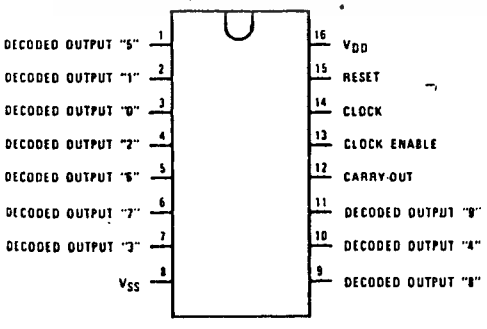
■ Wide supply voltage range	3.0V to 15V
■ High noise immunity	0.45 V_{DD} typ
■ Low power TTL compatibility	fan out of 2 driving 74L or 1 driving 74LS
■ Medium speed operation	5.0 MHz typ with 10V V_{DD}
■ Low power	10μW typ
■ Fully static operation	

applications

- Automotive
- Instrumentation
- Medical electronics
- Alarm systems
- Industrial electronics
- Remote metering

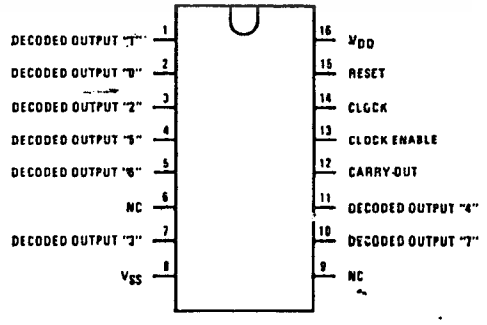
connection diagrams

CD4017B
Dual-In-Line and Flat Package



TOP VIEW

CD4022B
Dual-In-Line and Flat Package



TOP VIEW

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

absolute maximum ratings

(Notes 1 and 2)

V_{DD} dc Supply Voltage	−0.5 to +18 V_{DC}
V_{IN} Input Voltage	−0.5 to V_{DD} +0.5 V_{DC}
T_S Storage Temperature Range	−65°C to +150°C
P_D Package Dissipation	500 mW
T_L Lead Temperature (Soldering, 10 seconds)	300°C

recommended operating condit

(Note 2)

V_{DD} dc Supply Voltage	+3 to
V_{IN} Input Voltage	0 to V
T_A Operating Temperature Range	
CD4017BM, CD4022BM	−55°C to
CD4017BC, CD4022BC	−40°C to

dc electrical characteristics CD4017BM, CD4022BM (Note 2)

PARAMETER		CONDITIONS	−55°C		25°C			125°C	
			MIN	MAX	MIN	TYP	MAX	MIN	MAX
I_{DD}	Quiescent Device Current	V_{DD} = 5V		5		0.3	5		150
		V_{DD} = 10V		10		0.5	10		300
		V_{DD} = 15V		20		1.0	20		600
V_{OL}	Low Level Output Voltage	$\|I_O\| < 1.0\mu A$							
		V_{DD} = 5V		0.05		0	0.05		0.05
		V_{DD} = 10V		0.05		0	0.05		0.05
		V_{DD} = 15V		0.05		0	0.05		0.05
V_{OH}	High Level Output Voltage	$\|I_O\| < 1.0\mu A$							
		V_{DD} = 5V	4.95		4.95	5		4.95	
		V_{DD} = 10V	9.95		9.95	10		9.95	
		V_{DD} = 15V	14.95		14.95	15		14.95	
V_{IL}	Low Level Input Voltage	$\|I_O\| < 1.0\mu A$							
		V_{DD} = 5V, V_O = 0.5V or 4.5V		1.5			1.5		1.5
		V_{DD} = 10V, V_O = 1.0V or 9.0V		3.0			3.0		3.0
		V_{DD} = 15V, V_O = 1.5V or 13.5V		4.0			4.0		4.0
V_{IH}	High Level Input Voltage	$\|I_O\| < 1.0\mu A$							
		V_{DD} = 5V, V_O = 0.5V or 4.5V	3.5		3.5			3.5	
		V_{DD} = 10V, V_O = 1.0V or 9.0V	7.0		7.0			7.0	
		V_{DD} = 15V, V_O = 1.5V or 13.5V	11.0		11.0			11.0	
I_{OL}	Low Level Output Current	V_{DD} = 5V, V_O = 0.4V	0.64		0.51	0.88		0.36	
		V_{DD} = 10V, V_O = 0.5V	1.6		1.3	2.25		0.9	
		V_{DD} = 15V, V_O = 1.5V	4.2		3.4	8.8		2.4	
I_{OH}	High Level Output Current	V_{DD} = 5V, V_O = 4.6V	−0.25		−0.2	−0.36		−0.14	
		V_{DD} = 10V, V_O = 9.5V	−0.62		−0.5	−0.9		−0.35	
		V_{DD} = 15V, V_O = 13.5V	−1.8		−1.5	−3.5		−1.1	
I_{IN}	Input Current	V_{DD} = 15V, V_{IN} = 0V		−0.1		-10^{-5}	−0.1		−1.0
		V_{DD} = 15V, V_{IN} = 15V		0.1		10^{-5}	0.1		1.0

dc electrical characteristics CD4017BC, CD4022BC (Note 2)

PARAMETER		CONDITIONS	−40°C		25°C			85°C	
			MIN	MAX	MIN	TYP	MAX	MIN	MAX
I_{DD}	Quiescent Device Current	V_{DD} = 5V		20		0.5	20		150
		V_{DD} = 10V		40		1.0	40		300
		V_{DD} = 15V		80		5.0	80		600
V_{OL}	Low Level Output Voltage	$\|I_O\| < 1.0\mu A$							
		V_{DD} = 5V		0.05		0	0.05		0.05
		V_{DD} = 10V		0.05		0	0.05		0.05
		V_{DD} = 15V		0.05		0	0.05		0.05
V_{OH}	High Level Output Voltage	$\|I_O\| < 1.0\mu A$							
		V_{DD} = 5V	4.95		4.95	5		4.95	
		V_{DD} = 10V	9.95		9.95	10		9.95	
		V_{DD} = 15V	14.95		14.95	15		14.95	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

electrical characteristics (con't) CD4017BC, CD4022BC (Note 2)

PARAMETER	CONDITIONS	−40°C		25°C			85°C		UNITS
		MIN	MAX	MIN	TYP	MAX	MIN	MAX	
Low Level Input Voltage	$\|I_O\| < 1.0\mu A$								
	V_{DD} = 5V, V_O = 0.5V or 4.5V		1.5			1.5		1.5	V
	V_{DD} = 10V, V_O = 1.0V or 9.0V		3.0			3.0		3.0	V
	V_{DD} = 15V, V_O = 1.5V or 13.5V		4.0			4.0		4.0	V
High Level Input Voltage	$\|I_O\| < 1.0\mu A$								
	V_{DD} = 5V, V_O = 0.5V or 4.5V	3.5		3.5			3.5		V
	V_{DD} = 10V, V_O = 1.0V or 9.0V	7.0		7.0			7.0		V
	V_{DD} = 15V, V_O = 1.5V or 13.5V	11.0		11.0			11.0		V
Low Level Output Current	V_{DD} = 5V, V_O = 0.4V	0.52		0.44	0.88		0.36		mA
	V_{DD} = 10V, V_O = 0.5V	1.3		1.1	2.25		0.9		mA
	V_{DD} = 15V, V_O = 1.5V	3.6		3.0	8.8		2.4		mA
High Level Output Current	V_{DD} = 5V, V_O = 4.6V	−0.2		−0.16	−0.36		−0.12		mA
	V_{DD} = 10V, V_O = 9.5V	−0.5		−0.4	−0.9		−0.3		mA
	V_{DD} = 15V, V_O = 13.5V	−1.4		−1.2	−3.5		−1.0		mA
Input Current	V_{DD} = 15V, V_{IN} = 0V		−0.3		-10^{-5}	−0.3		−1.0	μA
	V_{DD} = 15V, V_{IN} = 15V		0.3		10^{-5}	0.3		1.0	μA

1: "Absolute Maximum Ratings" are those values beyond which the safety of the device cannot be guaranteed, they are not meant to imply the devices should be operated at these limits. The table of "Recommended Operating Conditions" and "Electrical Characteristics" provides conditions for actual device operation.

2 V_{SS} = 0V unless otherwise specified.

electrical characteristics T_A = 25°C, C_L = 50 pF, R_L = 200k, t_{rCL} and t_{fCL} = 20 ns, unless otherwise specified.

PARAMETER		CONDITIONS		MIN	TYP	MAX	UNITS
CLOCKED OPERATION							
t_{PLH}	Propagation Delay Time:						
	Carry Out Line	V_{DD} = 5V			415	830	ns
		V_{DD} = 10V			160	320	ns
		V_{DD} = 15V			130	260	ns
	Carry Out Line	V_{DD} = 5V	C_L = 15 pF		240	480	ns
		V_{DD} = 10V			85	170	ns
		V_{DD} = 15V			70	140	ns
	Decode Out Lines	V_{DD} = 5V			500	1000	ns
		V_{DD} = 10V			200	400	ns
		V_{DD} = 15V			160	320	ns
t_{THL}	Transition Time Carry Out and Decode Out Lines						
	t_{TLH}	V_{DD} = 5V			200	400	ns
		V_{DD} = 10V			100	200	ns
		V_{DD} = 15V			80	160	ns
	t_{THL}	V_{DD} = 5V			100	200	ns
		V_{DD} = 10V			50	100	ns
		V_{DD} = 15V			40	80	ns
	Maximum Clock Frequency	V_{DD} = 5V	Measured with Respect to Carry Output Line	1.0	2		MHz
		V_{DD} = 10V		2.5	5		MHz
		V_{DD} = 15V		3.0	6		MHz
t_{WH}	Minimum Clock Pulse Width	V_{DD} = 5V			125	250	ns
		V_{DD} = 10V			45	90	ns
		V_{DD} = 15V			35	70	ns
t_{rCL}	Clock Rise and Fall Time	V_{DD} = 5V				20	μs
		V_{DD} = 10V				15	μs
		V_{DD} = 15V				5	μs
	Minimum Clock Inhibit Data Set-Up Time	V_{DD} = 5V			120	240	ns
		V_{DD} = 10V			40	80	ns
		V_{DD} = 15V			32	65	ns
	Average Input Capacitance				5	7.5	pF

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

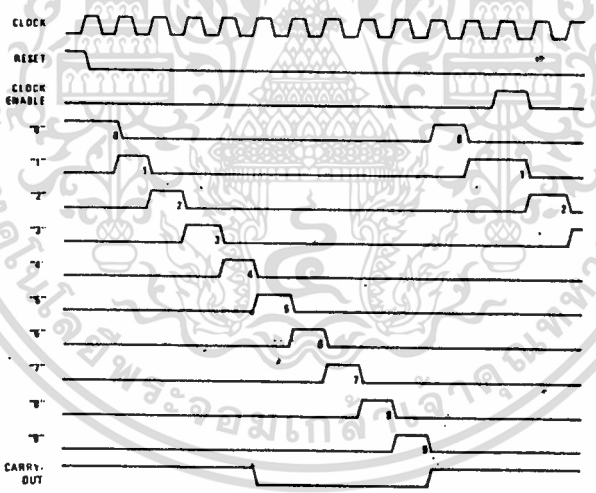
ac electrical characteristics (con't)

$T_A = 25°C$, $C_L = 50$ pF, $R_L = 200k$, t_{rCL} and $t_{fCL} = 20$ ns, unless otherwise specified.

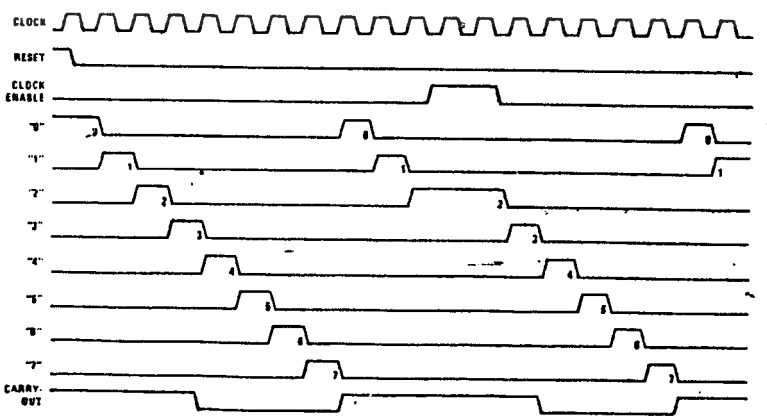
PARAMETER		CONDITIONS	MIN	TYP	MAX	UNITS
RESET OPERATION						
t_{PHL}	Propagation Delay Time:					
	Carry Out Line	$V_{DD} = 5V$		415	830	
		$V_{DD} = 10V$		160	320	
		$V_{DD} = 15V$		130	260	
	Carry Out Line	$V_{DD} = 5V$ | $C_L = 15$ pF		240	480	
		$V_{DD} = 10V$ | $C_L = 15$ pF		85	170	
		$V_{DD} = 15V$ | $C_L = 15$ pF		70	140	
	Decode Out Lines	$V_{DD} = 5V$		500	1000	
		$V_{DD} = 10V$		200	400	
		$V_{DD} = 15V$		160	320	
t_{WH}	Minimum Reset Pulse Width	$V_{DD} = 5V$		200	400	
		$V_{DD} = 10V$		70	140	
		$V_{DD} = 15V$		55	110	
t_{REM}	Minimum Reset Removal Time	$V_{DD} = 5V$		75	150	
		$V_{DD} = 10V$		30	60	
		$V_{DD} = 15V$		25	50	

timing diagrams

CD4017B

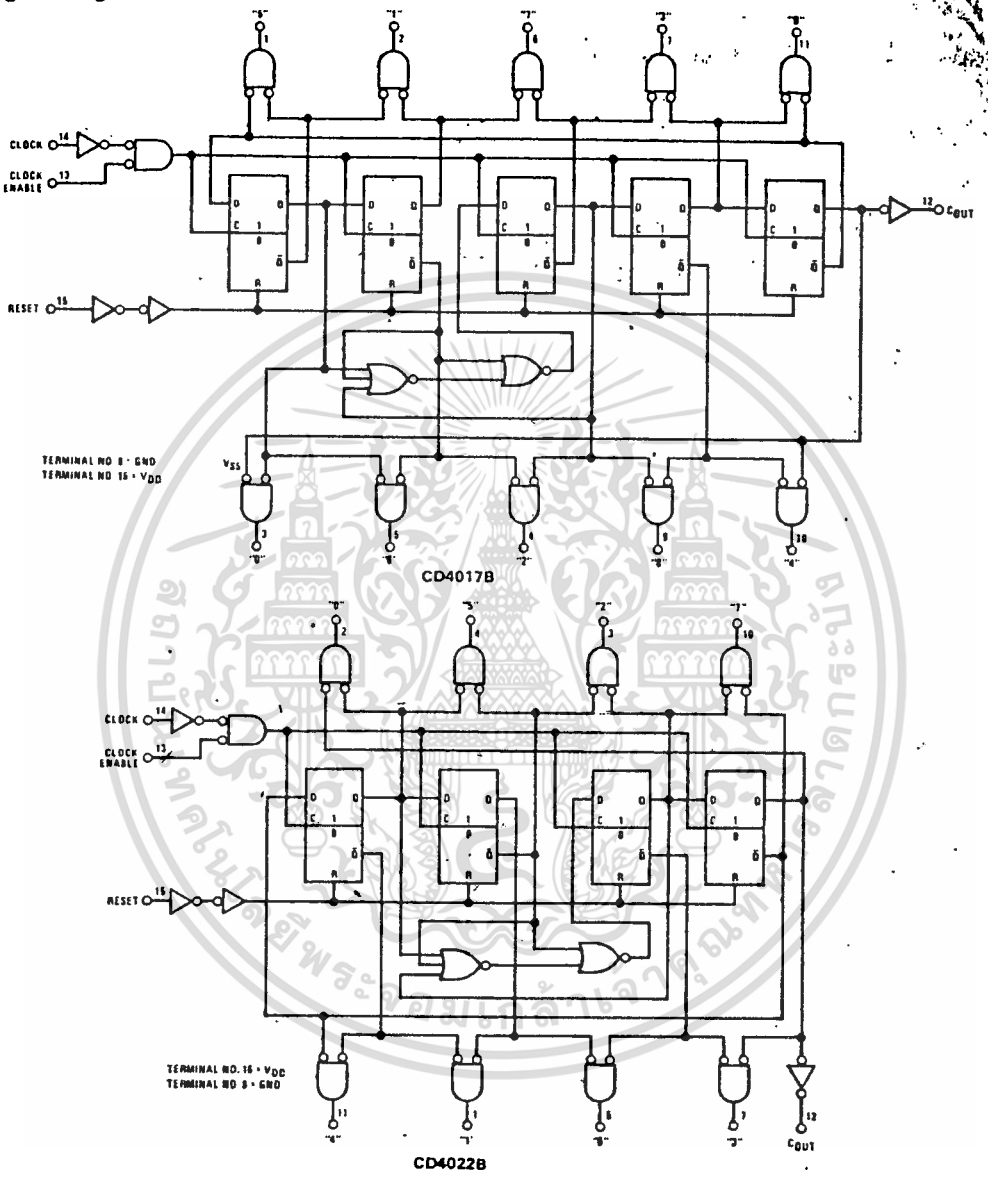


CD4022B



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

logic diagrams



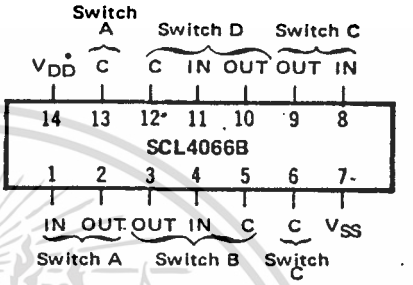
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SCL4066B CMOS QUAD ANALOG SWITCH

FEATURES

- Transmission or Multiplexing of Analog or Digital Signals
- 80Ω Typical ON-Resistance for 15-Volt operation
- Switch ON-Resistance Matched to within 5Ω over 15-Volt Signal-Input Range
- ON-Resistance Flat over Full Peak-to-Peak Signal Range
- High Degree of Linearity:
  ≤0.5% Distortion (typ) @ f_{is} = 1kHz, V_{is} = 5V_{p-p}, V_{DD}-V_{SS} ≥ 10V, R_L = 10kΩ
- Extremely Low OFF switch Leakage Resulting in very Low Offset Current and High Effective OFF Resistance:
  10pA (typ) @ V_{DD}-V_{SS} = 10V, T_A = 25°C
- Extremely High Control Input Impedance (Control Circuit Isolated from Signal Circuit):
  10^{12}Ω (typ)
- Low Crosstalk between Switches:
  -50dB (typ) @ f_{is} = 0.9MHz, R_L = 1kΩ
- Matched Control-Input to Signal-Output Capacitance Reduces Output Signal Transients
- Frequency Response, Switch ON = 40MHz (typ)

CONNECTION DIAGRAM
(all packages)



Add suffix for package:

C	14-pin Cerdip	F	14-pin Flat
D	14-pin Ceramic	H	Chip
E	14-pin Epoxy		

RECOMMENDED OPERATING CONDITIONS

For maximum reliability:

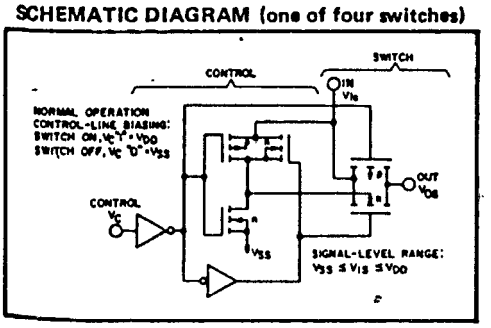
DC Supply Voltage	V_{DD} - V_{SS}	3 to 15	Vdc
Operating Temperature	T_A		
C, D, F, H Device		-55 to +125	°C
E Device		-40 to +85	°C

DESCRIPTION

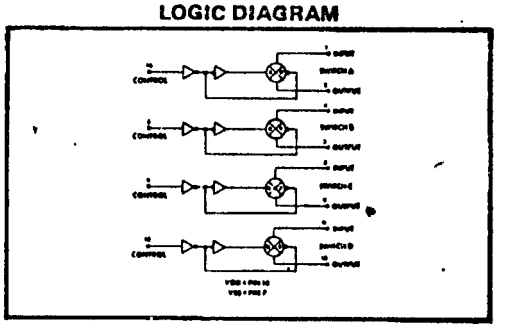
The SCL4066B is a Quad Bilateral Switch intended for the transmission or multiplexing of analog or digital signals. It is pin-for-pin compatible with the SCL4016B, but exhibits a much lower ON-resistance. In addition, the ON-resistance is relatively constant over the full input signal range. The SCL4066 consists of four independent bilateral switches. A single control signal is required per switch. Both the P and the N device in a given switch are biased ON or OFF simultaneously by the control signal. As shown below, the well of the N-channel device on each switch is either tied to the input when the switch is ON or to V_{SS} when the switch is OFF. This configuration minimizes the variation of the switch-transistor threshold voltage with input-signal, and thus keeps the ON-resistance low over the full operating range.

The advantages over single-channel switches include peak input-signal voltage swings equal to the full supply voltage, and more constant ON-impedance over the input-signal range. For sample-and-hold applications, however, the SCL4016 is recommended.

SCHEMATIC DIAGRAM (one of four switches)



LOGIC DIAGRAM



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS

STATIC CHARACTERISTICS [1,3]

PARAMETER		CONDITIONS	V_{SS} (Vdc)	V_{DD} (Vdc)	T_{LOW}[2] Min.	T_{LOW}[2] Max.	25°C Min.	25°C Typ.	25°C Max.	T_{HIGH}[2] Min.	T_{HIGH}[2] Max.	Units
QUIESCENT DEVICE CURRENT	I_{DD}	$V_{IN} = V_{SS}$ or V_{DD}	0	5	–	0.05	–	0.0005	0.05	–	1.5	μAdc
		All valid input	0	10	–	0.1	–	0.001	0.1	–	3.0	
		combinations	0	15	–	0.2	–	0.002	0.2	–	6.0	
MINIMUM INPUT HIGH VOLTAGE (Control Input)	V_{IH}	$V_{IS} = V_{SS}$	0	5	–	4.0	–	2.75	4.0	–	4.0	Vdc
		$V_{OS} = V_{DD}$	0	10	–	8.0	–	5.5	8.0	–	8.0	
		$I_{OS} = 10\mu A$	0	15	–	12.0	–	8.25	12.0	–	12.0	
MAXIMUM INPUT LOW VOLTAGE (Control Input)	V_{IL}	$V_{IS} = V_{SS}$	0	5	1.0	–	1.0	2.25	–	1.0	–	Vdc
		$V_{OS} = V_{DD}$	0	10	2.0	–	2.0	4.5	–	2.0	–	
		$I_{OS} = 10\mu A$	0	15	3.0	–	3.0	6.75	–	3.0	–	
SWITCH INPUT/OUTPUT LEAKAGE	I_{OFF}	$V_C = V_{SS}$	-7.5	+7.5	–	±100	–	±0.01	±100	–	±200	nAdc
		$V_{IS} = \pm 7.5$Vdc										
ON-RESISTANCE C,D,F,H device	R_{ON}	$V_C = V_{DD}$	-7.5	+7.5	–	220	–	80	280	–	320	Ω
		$V_{SS} \leq V_{IS} \leq V_{DD}$	0	+15								
		$R_L = 10k\Omega$	-5	+5	–	310	–	120	400	–	550	Ω
			0	+10								
			-2.5	+2.5	–	2000	–	270	2500	–	3500	Ω
			0	+5								
E device	R_{ON}	$V_C = V_{DD}$	-7.5	+7.5	–	250	–	80	280	–	300	Ω
		$V_{SS} \leq V_{IS} \leq V_{DD}$	0	+15								
		$R_L = 10k\Omega$	-5	+5	–	330	–	120	400	–	520	Ω
			0	+10								
			-2.5	+2.5	–	2100	–	270	2500	–	3200	Ω
			0	+5								
ON-RESISTANCE MATCH (Same package)	ΔR_{ON}	$V_C = V_{DD}$	-7.5	+7.5	–	–	–	5	–	–	–	Ω
		$V_{SS} \leq V_{IS} \leq V_{DD}$	0	+15								
		$R_L = 10k\Omega$	-5	+5	–	–	–	10	–	–		Ω
			0	+10								
			-2.5	+2.5	–	–	–	10	–	–		Ω
			0	+5								

NOTES: [1] Remaining Static Electrical Characteristics are listed under "SCL4000B Series Family Specifications"

[2] T_{LOW} = -55°C for C, D, F, H device.
= -40°C for E device.
T_{HIGH} = +125°C for C, D, F, H device.
= + 85°C for E device.

[3] This device has been designed for balanced output drive current specifications. Consult Family Specifications.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SCL4066B

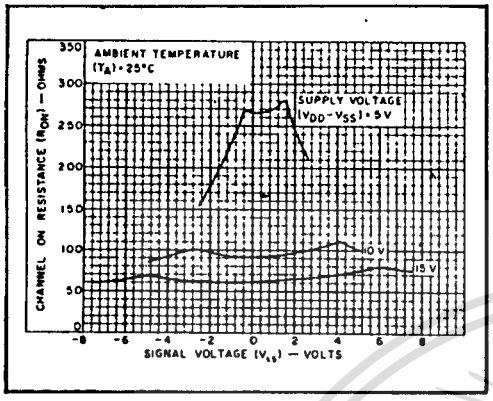
ELECTRICAL CHARACTERISTICS (Continued)

DYNAMIC CHARACTERISTICS (C_L = 50pF, T_A = 25°C)

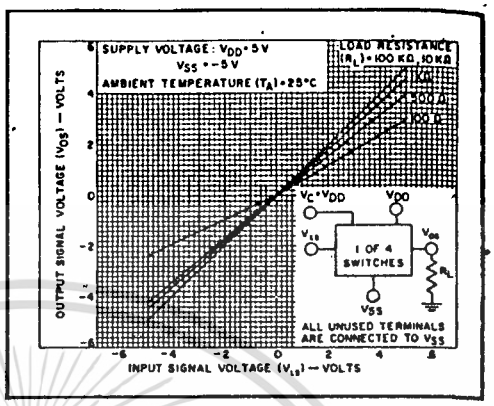
PARAMETER		CONDITIONS	V_{SS} (Vdc)	V_{DD} (Vdc)	Min.	Typ.	Max.	Units
SIGNAL INPUTS (V_{is}) AND OUTPUTS (V_{os})								
PROPAGATION DELAY TIME Signal Input to Signal Output	t_{PLH}, t_{PHL}	V_c=V_{DD} V_{is}=Square Wave R_L = 10kΩ	0 0 0	5 10 15	– – –	20 10 7.5	40 20 15	ns
BANDWIDTH (-3dB) (Sine Wave)	BW	V_c=V_{DD} R_L V_{is}=5V_{p-p} 1kΩ centered 10kΩ @ 0.0Vdc 100kΩ 1MΩ	-5	+5	– – – –	54 40 38 37	– – – –	MHz
INSERTION LOSS (=20 $\log_{10}\frac{V_{os}}{V_{is}}$)		V_c=V_{DD} R_L V_{is}=5V_{p-p} 1kΩ centered 10kΩ @ 0.0Vdc 100kΩ 1MΩ	-5	+5	– – – –	2.3 0.2 0.1 0.05	– – – –	dB
SIGNAL DISTORTION (Sine Wave)		V_c=V_{DD} V_{is}=5V_{p-p} centered @ 0.0Vdc f_{is}=1.0kHz R_L = 10kΩ	-5	+5	–	0.16	–	%
FEEDTHROUGH (-50dB)		V_c=V_{SS} R_L V_{is}=5V_{p-p} 1kΩ centered 10kΩ @0.0Vdc 100kΩ 1MΩ	-5	+5	– – – –	1250 140 18 2	– – – –	kHz
CROSSTALK (-50dB) Between two switches		V_c(A)=V_{DD} V_c(B)=V_{SS} V_{is}(A)=5V_{p-p} centered @0.0Vdc R_L = 10kΩ	-5	+5	–	0.9	–	MHz
CAPACITANCE Input Output Feedthrough	C_{is} C_{os} C_{ios}	V_C = V_{SS}	-5	+5	– – –	3 8 0.5	– – –	pF pF pF
CONTROL INPUT (V_C)								
PROPAGATION DELAY TIME Turn on	t_{PC}	V_{SS}≤V_{is}≤V_{DD} R_L = 10kΩ	0 0 0	5 10 15	– – –	50 25 20	100 50 40	ns
MAXIMUM INPUT FREQUENCY	f_c	V_{SS}≤V_{is}≤V_{DD} R_L = 1.0kΩ	0 0 0	5 10 15	– – –	5 10 12	– – –	MHz
CROSSTALK (To signal port)		V_c=Square Wave R_L = 10kΩ R_{in} = 1.0kΩ	0 0 0	5 10 15	– – –	30 50 100	– – –	mV

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

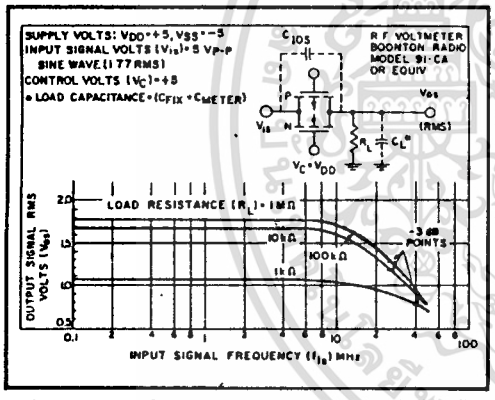
SCL4066B



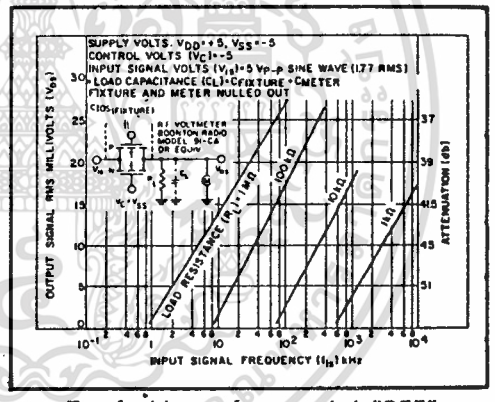
Typical channel ON resistance vs. signal voltage for three values of supply voltage (V_{DD}-V_{SS})



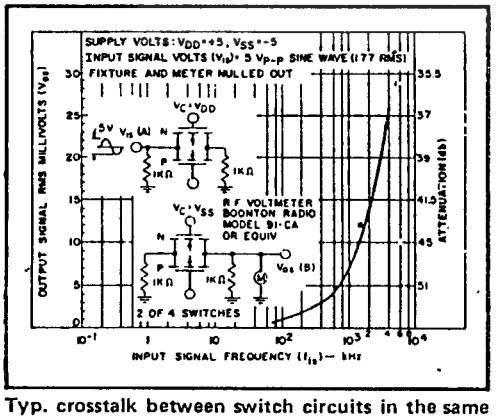
Typical ON characteristics for 1 of 4 channels.



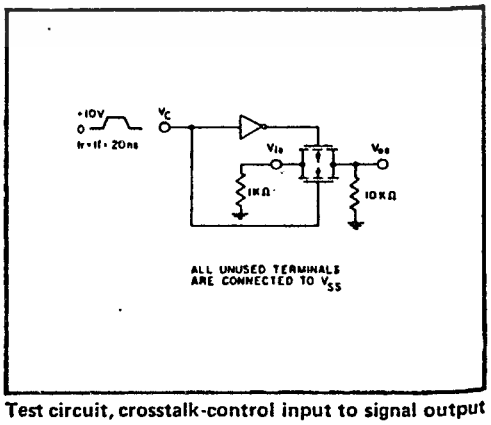
Typ. switch frequency response - switch "ON"



Typ. feedthru vs. freq. — switch "OFF"



Typ. crosstalk between switch circuits in the same package



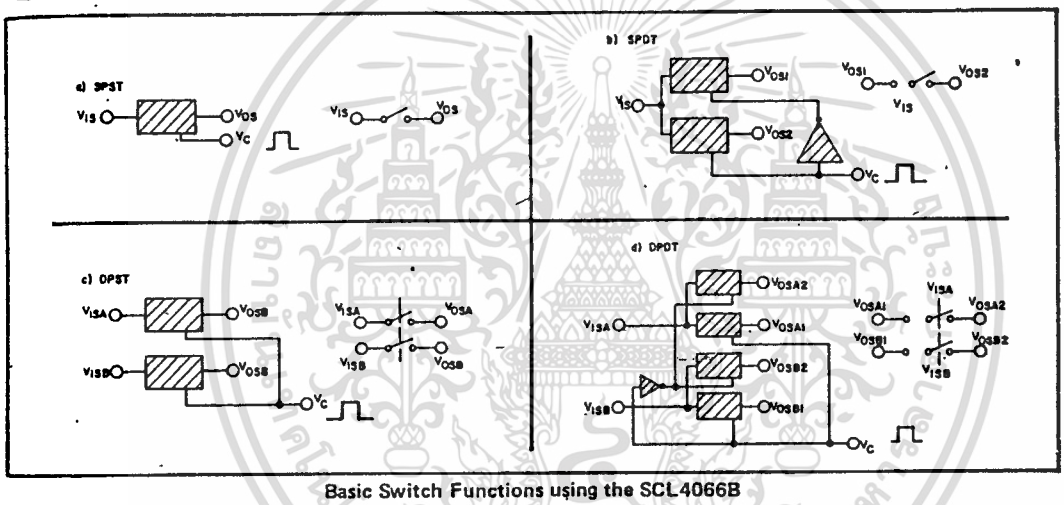
Test circuit, crosstalk-control input to signal output

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

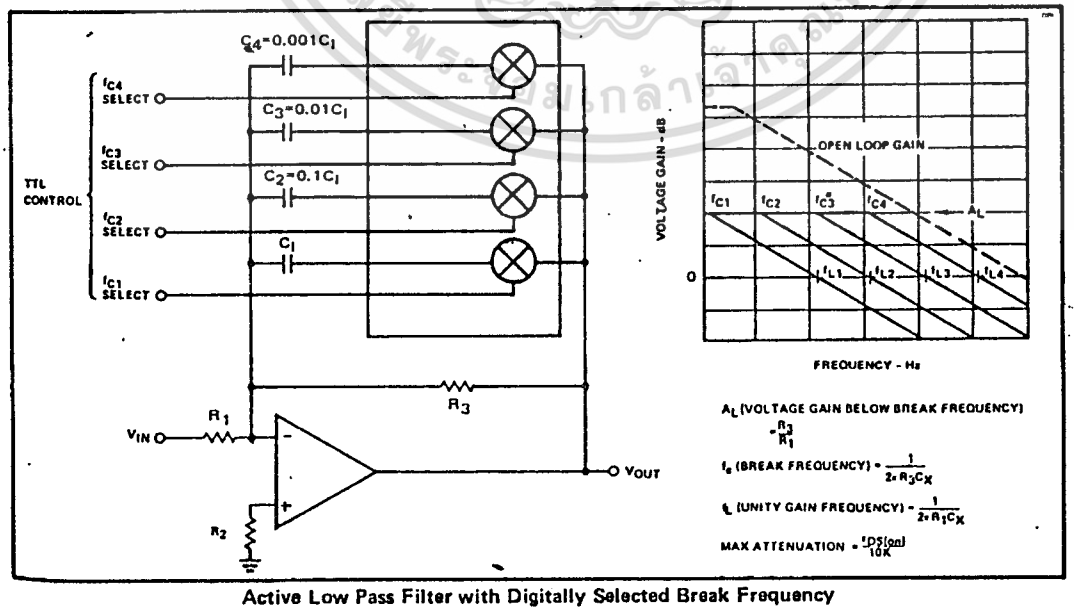
SPECIAL CONSIDERATIONS – SCL4066B

1. In applications where separate power sources are used to drive V_{DD} and the signal inputs, the V_{DD} current capability should exceed V_{DD}/R_L (R_L = effective external load of the 4 SCL4066B bilateral switches). This provision avoids any permanent current flow or clamp action on the V_{DD} supply when power is applied or removed from SCL4066B.
2. In certain applications, the external load-resistor current may include both V_{DD} and signal-line components. To avoid drawing V_{DD} current when switch current flows into terminals 1, 4, 8, or 11, the voltage drop across the bidirectional switch must not exceed 0.8 volt (calculated from R_{ON} values shown).
   No V_{DD} current will flow through R_L if the switch current flows into terminals 2, 3, 9, or 10. Failure to observe this condition may result in distortion of the signal.

APPLICATIONS INFORMATION



Basic Switch Functions using the SCL4066B



Active Low Pass Filter with Digitally Selected Break Frequency

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

μA741

FREQUENCY-COMPENSATED OPERATIONAL AMPLIFIER

FAIRCHILD LINEAR INTEGRATED CIRCUITS

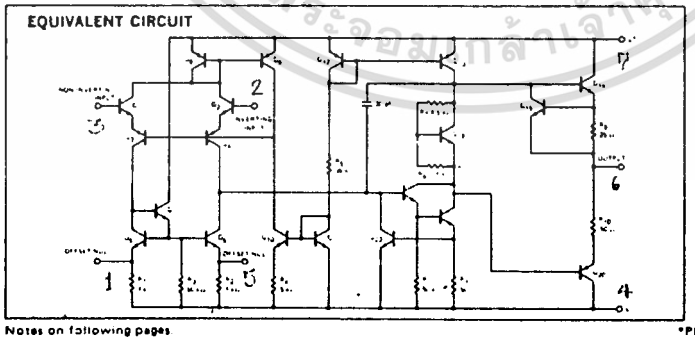
GENERAL DESCRIPTION – The μA741 is a high performance monolithic Operational Amplifier constructed using the Fairchild Planar* epitaxial process. It is intended for a wide range of analog applications. High common mode voltage range and absence of "latch-up" tendencies make the μA741 ideal for use as a voltage follower. The high gain and wide range of operating voltage provides superior performance in integrator, summing amplifier, and general feedback applications.

- NO FREQUENCY COMPENSATION REQUIRED
- SHORT CIRCUIT PROTECTION
- OFFSET VOLTAGE NULL CAPABILITY
- LARGE COMMON-MODE AND DIFFERENTIAL VOLTAGE RANGES
- LOW POWER CONSUMPTION
- NO LATCH UP

ABSOLUTE MAXIMUM RATINGS

Supply Voltage	
Military (741)	±22 V
Commercial (741C)	±18 V
Internal Power Dissipation (Note 1)	
Metal Can	500 mW
DIP	670 mW
Mini DIP	310 mW
Flatpak	570 mW
Differential Input Voltage	±30 V
Input Voltage (Note 2)	±15 V
Storage Temperature Range	
Metal Can, DIP, and Flatpak	−65°C to +150°C
Mini DIP	−55°C to +125°C
Operating Temperature Range	
Military (741)	−55°C to +125°C
Commercial (741C)	0°C to +70°C
Lead Temperature (Soldering)	
Metal Can, DIP, and Flatpak (60 seconds)	300°C
Mini DIP (10 seconds)	260°C
Output Short Circuit Duration (Note 3)	Indefinite

EQUIVALENT CIRCUIT



Notes on following pages.

CONNECTION DIAGRAMS

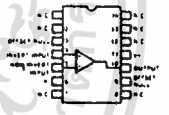
8-LEAD METAL CAN
(TOP VIEW)
PACKAGE OUTLINE 5B

Note: Pin 4 connected to case

ORDER INFORMATION

TYPE	PART NO.
741	741HM
741C	741HC

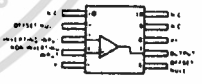
14-LEAD DIP
(TOP VIEW)
PACKAGE OUTLINE 6A



ORDER INFORMATION

TYPE	PART NO.
741	741DM
741C	741DC

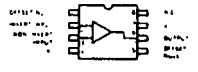
10-LEAD FLATPAK
(TOP VIEW)
PACKAGE OUTLINE 3F



ORDER INFORMATION

TYPE	PART NO.
741	741FM

8-LEAD MINIDIP
(TOP VIEW)
PACKAGE OUTLINE 9T



ORDER INFORMATION

TYPE	PART NO.
741C	741TC

*Planar is a patented Fairchild process

*Courtesy of Fairchild Semiconductors

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

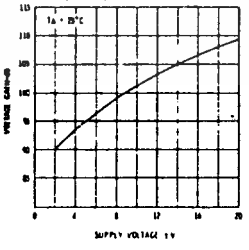
741

ELECTRICAL CHARACTERISTICS (V_S = ±15 V, T_A = 25°C unless otherwise specified)

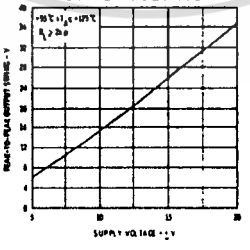
PARAMETERS (see definitions)		CONDITIONS	MIN.	TYP.	MAX.	UNITS
Input Offset Voltage		$R_S \leq 10\ k\Omega$		1.0	5.0	mV
Input Offset Current				20	200	nA
Input Bias Current				80	500	nA
Input Resistance			0.3	2.0		MΩ
Input Capacitance				1.4		pF
Offset Voltage Adjustment Range				±15		mV
Large Signal Voltage Gain		$R_L \geq 2\ k\Omega$, V_{OUT} = ±10 V	50,000	200,000		
Output Resistance				75		Ω
Output Short Circuit Current				25		mA
Supply Current				1.7	2.8	mA
Power Consumption				50	85	mW
Transient Response (Unity Gain)	Risetime	V_{IN} = 20 mV, R_L = 2 kΩ, $C_L \leq 100$ pF		0.3		μs
	Overshoot			5.0		%
Slew Rate		$R_L \geq 2\ k\Omega$		0.6		V/μs
The following specifications apply for $-55°C \leq T_A \leq +125°C$:						
Input Offset Voltage		$R_S \leq 10\ k\Omega$		1.0	6.0	mV
Input Offset Current		T_A = +125°C		7.0	200	nA
		T_A = −55°C		85	500	nA
Input Bias Current		T_A = +125°C		0.03	0.5	μA
		T_A = −55°C		0.3	1.5	μA
Input Voltage Range			±12	±13		V
Common Mode Rejection Ratio		$R_S \leq 10\ k\Omega$	70	90		dB
Supply Voltage Rejection Ratio		$R_S \leq 10\ k\Omega$		30	150	μV/V
Large Signal Voltage Gain		$R_L \geq 2\ k\Omega$, V_{OUT} = ±10 V	25,000			
Output Voltage Swing		$R_L \geq 10\ k\Omega$	±12	±14		V
		$R_L \geq 2\ k\Omega$	±10	±13		V
Supply Current		T_A = +125°C		1.5	2.5	mA
		T_A = −55°C		2.0	3.3	mA
Power Consumption		T_A = +125°C		45	75	mW
		T_A = −55°C		60	100	mW

TYPICAL PERFORMANCE CURVES FOR 741

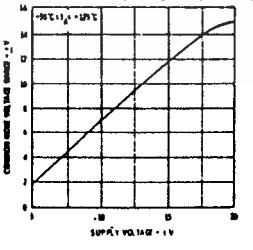
OPEN LOOP VOLTAGE GAIN AS A FUNCTION OF SUPPLY VOLTAGE



OUTPUT VOLTAGE SWING AS A FUNCTION OF SUPPLY VOLTAGE



INPUT COMMON MODE VOLTAGE RANGE AS A FUNCTION OF SUPPLY VOLTAGE



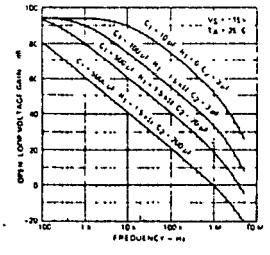
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

709A

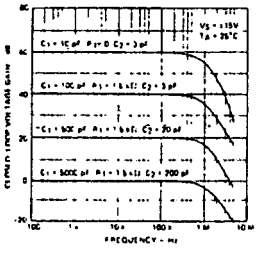
ELECTRICAL CHARACTERISTICS (T_A = +25°C, ±9 V ≤ V_S ≤ ±15 V unless otherwise specified)

PARAMETER (see definitions)		CONDITIONS	MIN.	TYP.	MAX.	UNITS
Input Offset Voltage		R_S ≤ 10 kΩ		0.6	2.0	mV
Input Offset Current				10	50	nA
Input Bias Current				100	200	nA
Input Resistance			350	700		kΩ
Output Resistance				150		Ω
Supply Current		V_S = ±15 V		2.5	3.6	mA
Power Consumption		V_S = ±15 V		75	108	mW
Transient Response	Risetime	V_S = ±15 V, V_{IN} = 20 mV, R_L = 2 kΩ, C_1 = 5 nF, R_1 = 1.5 kΩ, C_2 = 200 pF, R_2 = 50Ω			1.5	μs
	Overshoot	C_L ≤ 100 pF			30	%
The following specifications apply for −55°C ≤ T_A ≤ +125°C						
Input Offset Voltage		R_S ≤ 10 kΩ			3.0	mV
Average Temperature Coefficient of Input Offset Voltage		R_S = 50Ω, T_A = +25°C to +125°C		1.8	10	μV/°C
		R_S = 50Ω, T_A = +25°C to −55°C		1.8	10	μV/°C
		R_S = 10 kΩ, T_A = +25°C to +125°C		2.0	15	μV/°C
		R_S = 10 kΩ, T_A = +25°C to −55°C		4.8	25	μV/°C
Input Offset Current		T_A = +125°C		3.5	50	nA
		T_A = −55°C		40	250	nA
Average Temperature Coefficient of Input Offset Current		T_A = +25°C to +125°C		0.08	0.5	nA/°C
		T_A = +25°C to −55°C		0.45	2.8	nA/°C
Input Bias Current		T_A = −55°C		300	600	nA
Input Resistance		T_A = −55°C	85	170		kΩ
Input Voltage Range		V_S = ±15 V	±8.0			V
Common Mode Rejection Ratio		R_S ≤ 10 kΩ	80	110		dB
Supply Voltage Rejection Ratio		R_S ≤ 10 kΩ		40	100	μV/V
Large Signal Voltage Gain		V_S = ±15 V, R_L ≥ 2 kΩ, V_{OUT} = ±10 V	25,000		70,000	V/V
Output Voltage Swing		V_S = ±15 V, R_L ≥ 10 kΩ	±12	±14		V
		V_S = ±15 V, R_L ≥ 2 kΩ	±10	±13		V
Supply Current		T_A = +125°C, V_S = ±15 V		2.1	3.0	mA
		T_A = −55°C, V_S = ±15 V		2.7	4.5	mA
Power Consumption		T_A = +125°C, V_S = ±15 V		63	90	mW
		T_A = −55°C, V_S = ±15 V		81	135	mW

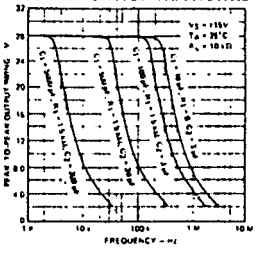
OPEN-LOOP FREQUENCY RESPONSE FOR VARIOUS VALUES OF COMPENSATION



FREQUENCY RESPONSE FOR VARIOUS CLOSED-LOOP GAINS



OUTPUT VOLTAGE SWING AS A FUNCTION OF FREQUENCY FOR VARIOUS COMPENSATION NETWORKS



Courtesy of Fairchild Camera and Instrument Corporation © 1982

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Interface Circuits

LM139/LM239/LM339 quad comparator

general description

The LM139 series consists of four independent voltage comparators which were designed specifically to operate from a single power supply over a wide range of voltages. Operation from split power supplies is also possible and the low power supply current drain is independent of the magnitude of the power supply voltage. These comparators also have a unique characteristic in that the input common-mode voltage range includes ground, even though operated from a single power supply voltage.

Application areas include limit comparators, simple analog to digital converters; pulse, squarewave and time delay generators; wide range VCO; MOS clock timers; multivibrators and high voltage digital logic gates. The LM139 series was designed to directly interface with TTL and CMOS. When operated from both plus and minus power supplies, the LM339 will directly interface with MOS logic — where the low power drain of the LM339 is a distinct advantage over standard comparators.

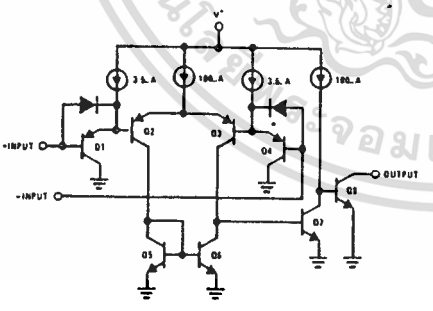
advantages

- Eliminates need for dual supplies
- Allows sensing near GND
- Compatible with all forms of logic
- Power drain suitable for battery operation

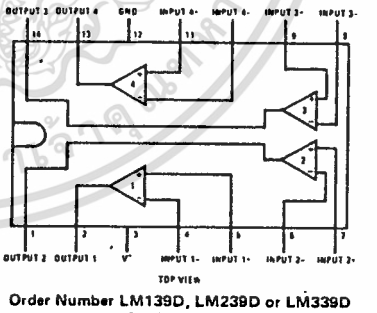
features

- Wide single supply Voltage range — 2 V_{DC} to 36 V_{DC}
  or dual supplies — ±1 V_{DC} to ±18 V_{DC}
- Very low supply current drain (0.8 mA) — independent of supply voltage (1 mW/comparator at +5 V_{DC})
- Low input biasing current — 35 nA
- Low input offset current — 3 nA
  and offset voltage — 3 mV
- Input common-mode voltage range includes ground
- Differential input voltage range equal to the power supply voltage
- Low output saturation voltage — 1 mV at 5μA; 70 mV at 1 mA
- Output voltage compatible with TTL (fanout of 2), DTL, ECL, MOS and CMOS logic systems

schematic and connection diagrams

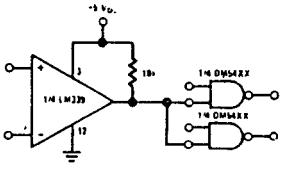


Dual-In-Line and Flat Package

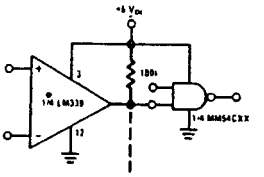


Order Number LM139D, LM239D or LM339D
See Package 2
Order Number LM339N
See Package 14
Order Number LM139F
See Package 26

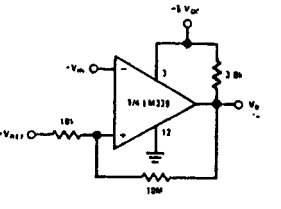
typical applications



Driving TTL



Driving CMOS



Comparator with Hysteresis

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

absolute maximum ratings

Supply Voltage, V^+	36 V_{DC} or ±18 V_{DC}	Input Current ($V_{IN} < -0.3\ V_{DC}$)(Note 3)	50 mA
Differential Input Voltage	36 V_{DC}	Operating Temperature Range	
Input Voltage	−0.3 V_{DC} to +36 V_{DC}	LM339	0°C to +70°C
Power Dissipation (Note 1)		LM239	−25°C to +85°C
Molded DIP (LM339N)	570 mW	LM139	−55°C to +125°C
Cavity DIP (LM139D, LM239D & LM339D)	900 mW	Storage Temperature Range	−65°C to +150°C
Flat Pack (LM139F)	800 mW	Lead Temperature (Soldering, 10 seconds)	300°C
Output Short-Circuit to GND (Note 2)	Continuous		

electrical characteristics ($V^+ = +5.0\ V_{DC}$, see Note 4)

PARAMETER	CONDITIONS	LM139			LM239, LM339			UNITS
		MIN	TYP	MAX	MIN	TYP	MAX	
Input Offset Voltage	At Output Switch Point, $V_O \cong 1.4\ V_{DC}$, $V_{REF} = +1.4\ V_{DC}$ and $R_S = 0\Omega$, $T_A = +25°C$		±2.0	±5.0		±2.0	±5.0	mV_{DC}
Input Bias Current (Note 5)	$I_{IN(-)}$ or $I_{IN(+)}$ With Output in Linear Range, $T_A = +25°C$		25	100		25	250	nA_{DC}
Input Offset Current	$I_{IN(+)} - I_{IN(-)}$, $T_A = +25°C$		±3.0	±25		±5.0	±50	nA_{DC}
Input Common-Mode Voltage Range (Note 6)	$T_A = +25°C$	0		$V^+ - 1.5$	0		$V^+ - 1.5$	V_{DC}
Supply Current	$R_L = \infty$ On All Comparators $T_A = +25°C$		0.8	2.0		0.8	2.0	mA_{DC}
Voltage Gain	$R_L \geq 15\ k\Omega$, $T_A = +25°C$		200			200		V/mV
Large Signal Response Time	V_{IN} = TTL Logic Swing $V_{REF} = +1.4\ V_{DC}$, V_{RL} 5.0 V_{DC} and $R_L = 5.1\ k\Omega$		300			300		ns
Response Time (Note 7)	$V_{RL} = 5.0\ V_{DC}$ and $R_L = 5.1\ k\Omega$, $T_A = +25°C$		1.3			1.3		µs
Output Sink Current	$V_{IN(-)} \geq +1.0\ V_{DC}$, $V_{IN(+)} = 0$ and $V_O \leq +1.5\ V_{DC}$ $T_A = +25°C$	6	16		6	16		mA_{DC}
Saturation Voltage	$V_{IN(-)} \geq +1.0\ V_{DC}$ $V_{IN(+)} = 0$ and $I_{SINK} \leq 4.0$ mA, $T_A = +25°C$		250	500		250	500	mV_{DC}
Output Leakage Current	$V_{IN(-)} \geq +1.0\ V_{DC}$, $V_{IN(+)} = 0$ and $V_{OUT} = 5.0\ V_{DC}$, $T_A = +25°C$		0.1			0.1		nA_{DC}
Input Offset Voltage	At Output Switch Point $V_O \cong 1.4\ V_{DC}$, $V_{REF} = +1.4\ V_{DC}$ and $R_S = 0\Omega$			9.0			9.0	mV_{DC}
Input Offset Current	$I_{IN(+)} - I_{IN(-)}$			±100			±150	nA_{DC}
Input Bias Current	$I_{IN(-)}$ or $I_{IN(+)}$ With Output in Linear Range			300			400	nA_{DC}
Input Common-Mode Voltage Range		0		$V^+ - 2.0$	0		$V^+ - 2.0$	V_{DC}
Saturation Voltage	$V_{IN(-)} \geq +1.0\ V_{DC}$, $V_{IN(+)} = 0$ and $I_{SINK} \leq 4.0$ mA			700			700	mV_{DC}
Output Leakage Current	$V_{IN(-)} \geq +1.0\ V_{DC}$, $V_{IN(+)} = 0$ and $V_{OUT} = 30\ V_{DC}$			1.0			1.0	μA_{DC}
Differential Input Voltage (Note 8)	Keep All V_{IN}'s $\geq 0\ V_{DC}$ (or V^-, if used)			36			36	V_{DC}

Note 1: For operating at high temperatures, the LM339 must be derated based on a +125°C maximum junction temperature and a thermal resistance of +175°C/W which applies for the device soldered in a printed circuit board, operating in a still air ambient. The LM239 and LM139 must be derated based on a +150°C maximum junction temperature. The low bias dissipation on the ON-OFF characteristic of the outputs keeps the chip dissipation very small (Pd ≤ 100 mW), provided the output transistors are allowed to saturate.

Note 2: Short circuits from the output to V^+ can cause excessive heating and eventual destruction. The maximum output current is approximately 20 mA independent of the magnitude of V^+.

Note 3: This input current will only exist when the voltage at any of the input leads is driven negative. It is due to the collector-base junction of the input PNP transistors becoming forward biased and thereby acting as input diode clamps. In addition to this diode action, there is also lateral NPN parasitic transistor action on the IC chip. This transistor action can cause the output voltages of the comparators to go to the V^+ voltage level (or to ground for a large overdrive) for the time duration that an input is driven negative. This is not destructive and normal output states will re-establish when the input voltage, which was negative, again returns to a value greater than −0.3 V_{DC}.

Note 4: These specifications apply for $V^+ = +5.0\ V_{DC}$ and −55°C ≤ T_A ≤ +125°C, unless otherwise stated. With the LM239, all temperature specifications are limited to 25 C ≤ T_A ≤ +85 C and the LM339 temperature specifications are limited to 0 C ≤ T_A ≤ +70 C.

Note 5: The direction of the input current is out of the IC due to the PNP input stage. This current is essentially constant, independent of the state of the output so no loading change exists on the reference or input lines.

Note 6: The input common-mode voltage or either input signal voltage should not be allowed to go negative by more than 0.3V. The upper end of the common-mode voltage range is $V^+ - 1.5V$, but either or both inputs can go to +30 V_{DC} without damage.

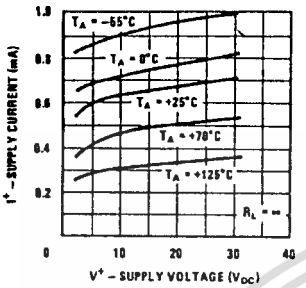
Note 7: The response time specified is for a 100 mV input step with 5.0 mV overdrive. For larger overdrive signals 300 ns can be obtained, see typical performance characteristics section.

Note 8: The positive excursions of the inputs can exceed the power supply voltage level, and if the other input voltage remains within the common-mode voltage range, the comparator will provide a proper output state. The low input voltage state must not be less than −0.3 V_{DC} (or 0.3 V_{DC} below the magnitude of the negative power supply voltage, if used).

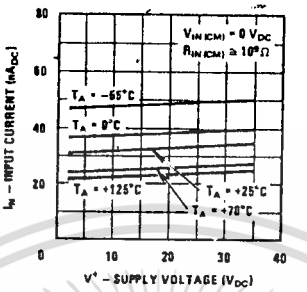
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

typical performance characteristics

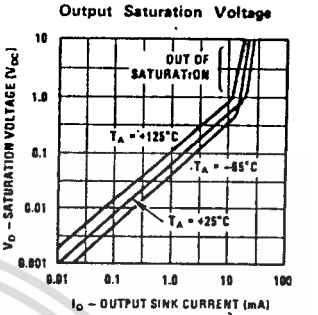
Supply Current



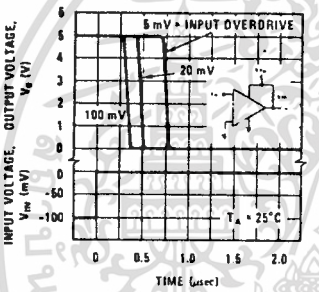
Input Current



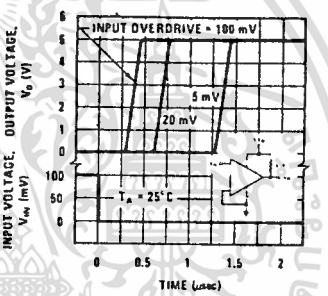
Output Saturation Voltage



Response Time for Various Input Overdrives – Negative Transition



Response Time for Various Input Overdrives – Positive Transition



application hints

The LM139 is a high gain, wide bandwidth device; which, like most comparators, can easily oscillate if the output lead is inadvertently allowed to capacitively couple to the inputs via stray capacitance. This shows up only during the output voltage transition intervals as the comparator changes states. Power supply bypassing is not required to solve this problem. Standard PC board layout is helpful as it reduces stray input-output coupling. Reducing the input resistors to <10 kΩ reduces the feedback signal levels and finally, adding even a small amount (1 to 10 mV) of positive feedback (hysteresis) causes such a rapid transition that oscillations due to stray feedback are not possible. Simply socketing the I/C and attaching resistors to the pins will cause input-output oscillations during the small transition intervals unless hysteresis is used. If the input signal is a pulse waveform, with relatively fast rise and fall times, hysteresis is not required.

All pins of any unused comparators should be grounded.

The bias network of the LM139 establishes a drain current which is independent of the magnitude of the power supply voltage over the range of from 2V_{DC} to 30 V_{DC}.

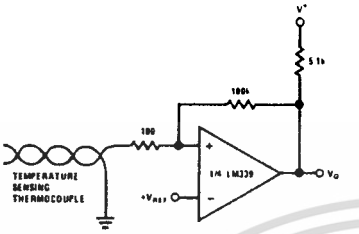
It is usually unnecessary to use a bypass capacitor across the power supply line.

The differential input voltage may be larger than V^+ without damaging the device. Protection should be provided to prevent the input voltages from going negative more than −0.3 V_{DC} (at 25°C). An input clamp diode and input resistor can be used as shown in the applications section.

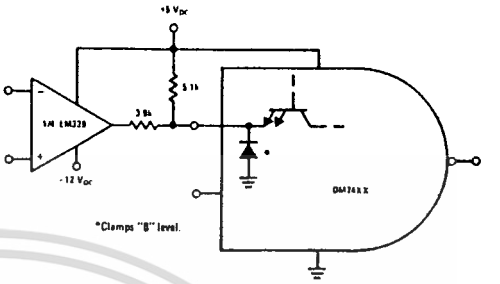
The output of the LM139 is the uncommitted collector of a grounded-emitter NPN output transistor. Many collectors can be tied together to provide an output OR'ing function. An output "pull-up" resistor can be connected to any available power supply voltage within the permitted supply voltage range and there is no restriction on this voltage due to the magnitude of the voltage which is applied to the V^+ terminal of the LM139 package. The output can also be used as a simple SPST switch to ground (when a "pull-up" resistor is not used). The amount of current which the output device can sink is limited by the drive available (which is independent of V^+) and the β of this device. When the maximum current limit is reached (approximately 16 mA), the output transistor will come out of saturation and the output voltage will rise very rapidly. The output saturation voltage is limited by the approximately 60Ω r_{sat} of the output transistor. The low offset voltage of the output transistor (1 mV) allows the output to clamp essentially to ground level for small load currents.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

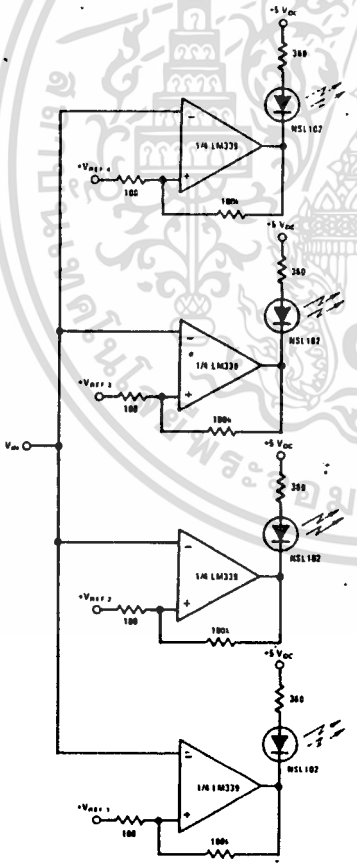
typical applications (con't)



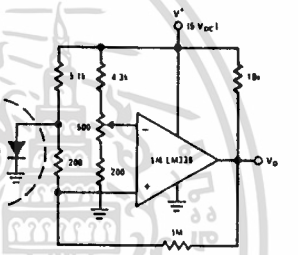
Ground Referenced Thermocouple in Single Supply System



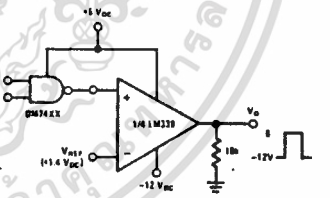
MOS to TTL Logic Translator



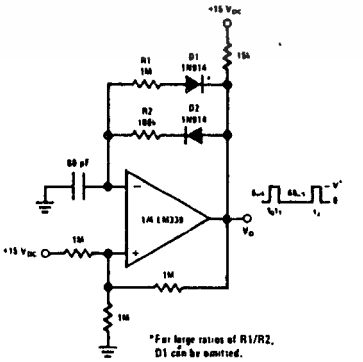
Visible Voltage Indicator



Remote Temperature Sensing



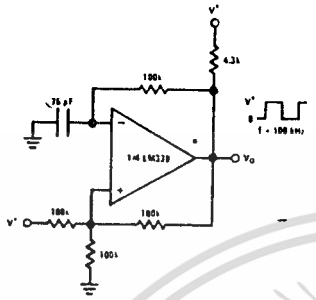
TTL to MOS Logic Converter



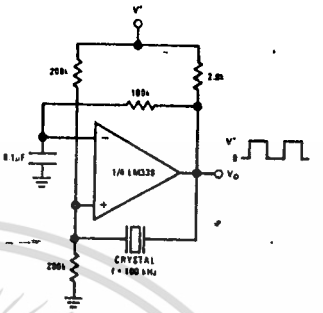
Pulse Generator

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

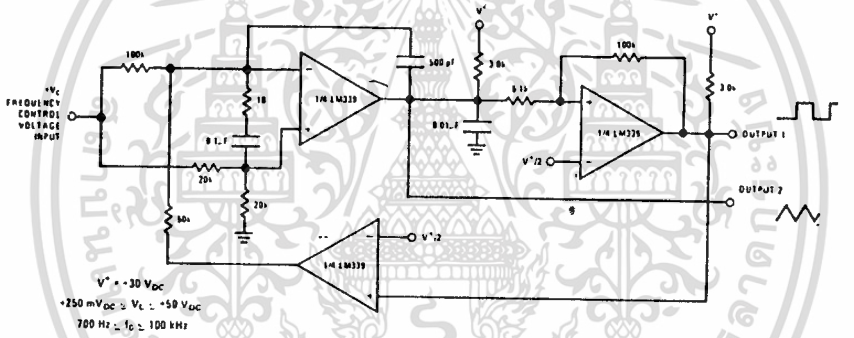
typical applications (con't)



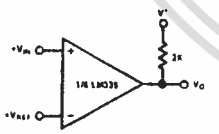
Squarewave Oscillator



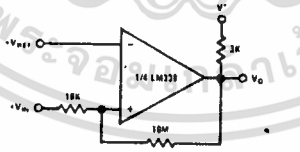
Crystal Controlled Oscillator



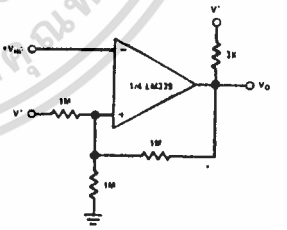
Two-Decade High-Frequency VCO



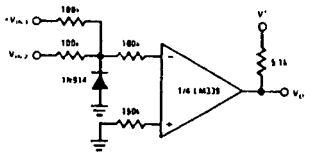
Basic Comparator



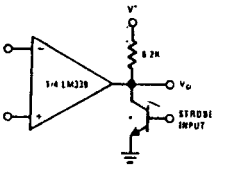
Non-Inverting Comparator with Hysteresis



Inverting Comparator with Hysteresis



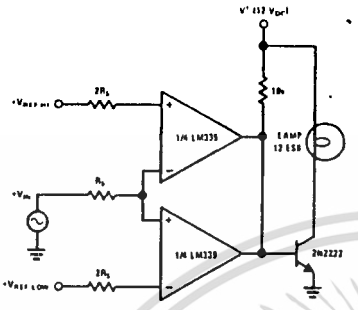
Comparing Input Voltages of Opposite Polarity



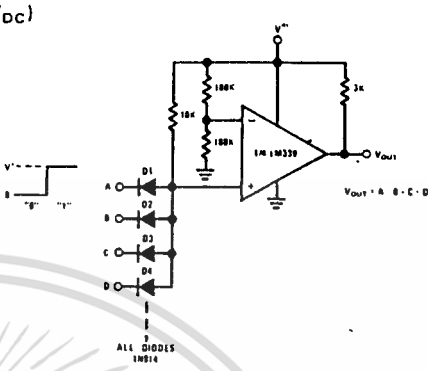
Output Strobing

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

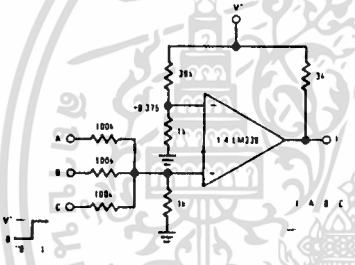
typical applications (con't) ($V^+ = 15\ V_{DC}$)



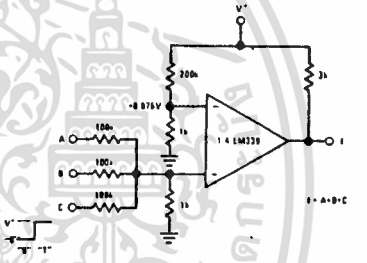
Limit Comparator



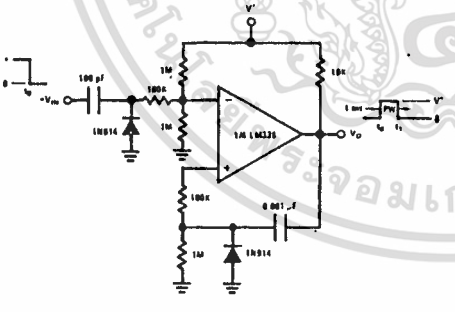
Large Fan-in AND Gate



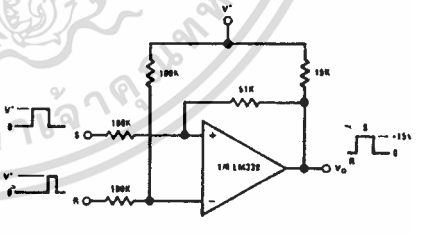
AND Gate



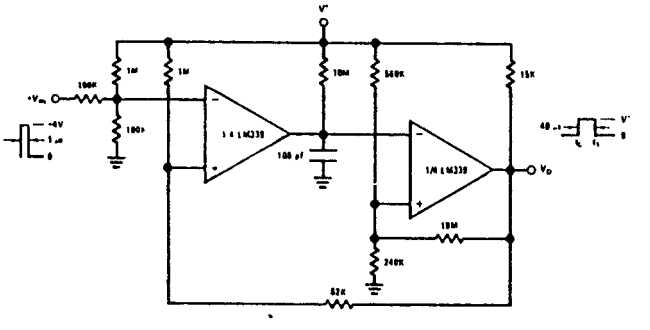
OR Gate



One-Shot Multivibrator



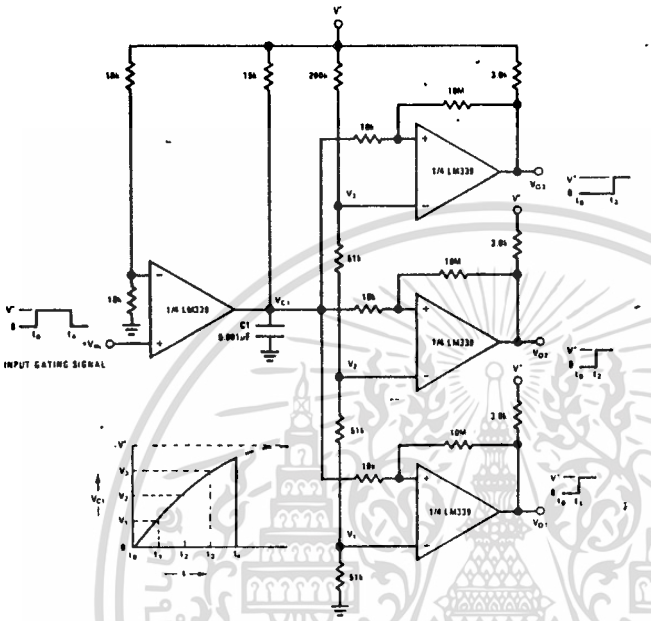
Bi-Stable Multivibrator



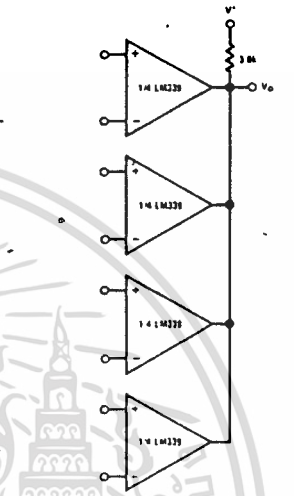
One-Shot Multivibrator with Input Lock Out

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

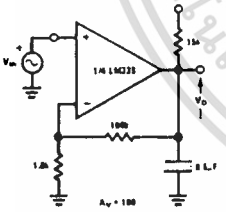
typical applications (con't) (V^+ = 15 V_{DC})



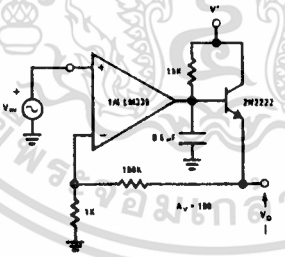
Time Delay Generator



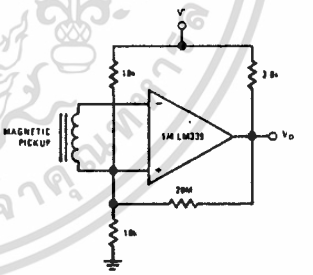
ORing the Outputs



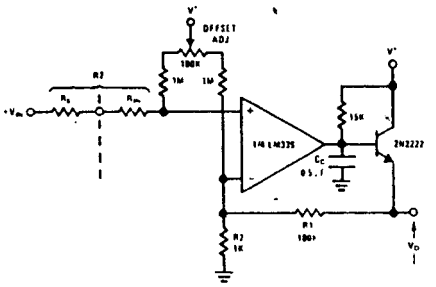
Low Frequency Op Amp



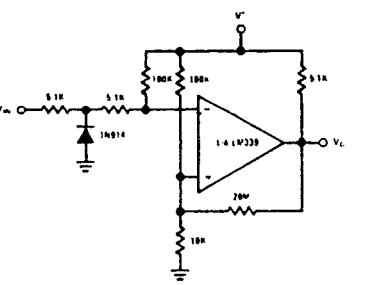
Low Frequency Op Amp
(V_O = 0V for V_{IN} = 0V)



Transducer Amplifier



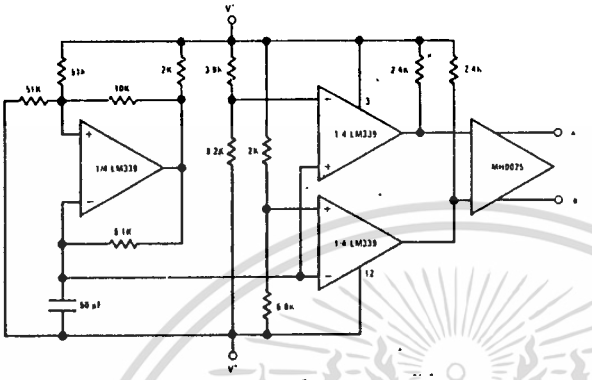
Low Frequency Op Amp with Offset Adjust



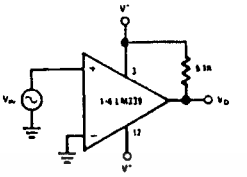
Zero Crossing Detector (Single Power Supply)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

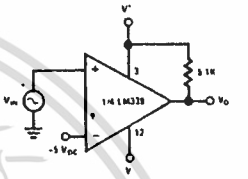
split-supply applications ($V^+ = +15\ V_{DC}$ and $V^- = -15\ V_{DC}$)



MOS Clock Driver



Zero Crossing Detector



Comparator With a Negative Reference

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

โครงงานนี้สำเร็จลุล่วงได้ ก็เนื่องมาจากความช่วยเหลือของบุคคลหลายคนช่วยในการค้นคว้าจัดทำโครงการนี้ขึ้น และขอขอบคุณ ดร.กนก เจนจิราพงษ์เวช ผศ. นิกร สุขุตมตันติ ซึ่งเป็นอาจารย์ที่ปรึกษา และอาจารย์ วิโรจน์ แก้วจันทร์โรงเรียนช่างฝีมือทหาร ที่ช่วยให้คำแนะนำต่าง ๆ

ลือชัย จันทรศิริ
วสันต์ คงสัมมา
สังเวย แก้วอ่วม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอกสารอ้างอิง

1. ร.อ.ธวัชชัย เลื่อนฉวี และ ร.อ.วีระชัย เชาว์กำเนิด ,"เทคโนโลยีโทรศัพท์ ",กรมสื่อสารทหารอากาศ,175 หน้า,2527

2. สุรพงศ์ สุรบถโสภณ ,"การสื่อสารระบบ PCM ",ฉบับที่ 85 ,2531,หน้า 190-199

3. Thomas,J.B.,An Introduction to Statistical Communication Theory,John Wiley &Sons,Inc.,NewYork,1969

4. Peeble,Jr.,P.Z.,Communication System Principles,Addison-Wesley blishing Co.,Inc.,Reading,Massachusetts,1976. (Figures 4.4-5, 4.5-2, 4.5-3, 4.5-4, 4.6-1, 4.6-2, 4.10-1, 4.10-2, 4.11-1, 4.13-1, 4.13-2, 4.14-1,and 4.14-2 have been adapted)

5. Schwartz,M., Information Transmission, Modulation, and Noise, 2nd ed.,McGraw-Hill Book Co.,New York, 1970

6. Lender,A.,Correlative Digital Communication Techniques, IEEE Transactions on Communications Technolofgy, Vol. COM-12, December 1964, PP.128-135

7. Degem System Ltd.,"COM-6A Time Division Multriplexing I Sampling & Multriplexing Principles ,COM-6B Time Division Multriplexing II Pulse Code Modulation (PCM), COM-6C Time Division Multriplexing III Delta Modulation (DM).", Course COM-6

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้