ปีการศึกษา ๒๕๓๒

เครื่องวัดอัตราความผิดพลาดของบิท

โดย

บดินทร์ เหมาคม

วัฒนา อ่วมภูมิ

สมหวัง ฟูประเสริฐ

อำนวย เจริญพักตร์

อาจารย์ที่ปรึกษา

ดร.กนก เจนจิราพงศ์เวช

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

026895

ปริญญานิพนธ์ปีการศึกษา ๒๕๓๒

ภาควิชา เทคนิคอุตสาหกรรม

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง เครื่องวัดอัตราความผิดพลาดของบิท

ผู้จัดทำ

๑. บดินทร์ เหมาคม ๓๐.๓๖๐๕

๒. วัฒนา อ่วมภูมิ ๓๐.๓๖๒๒

๓. สมหวัง ฟูประเสริฐ ๓๐.๓๖๓๔

๔. อำนวย เจริญพักตร์ ๓๐.๓๖๔๐

อาจารย์ที่ปรึกษา

(ดร.กนก เจนจิราพงศ์เวช)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เครื่องวัดอัตราความผิดพลาดของบิท

บดินทร์ เหมาคม
วัฒนา อ่วมภูมิ
สมหวัง ฟูประเสริฐ
อำนวย เจริญพักตร์
ดร.ถนก เจนจิราพงศ์เวช อาจารย์ที่ปรึกษา
ปีการศึกษา ๒๕๓๒

บทคัดย่อ

งานวิจัยนี้ได้กล่าวถึงการสร้างเครื่องวัดอัตราความผิดพลาดของบิท ในการรับส่งข้อมูลในระบบดิจิตอล เป็นเครื่องมือที่มีประโยชน์มากในการตรวจวัดคุณภาพ ของอุปกรณ์รับส่งสัญญาณดิจิตอล ในลักษณะของการเปรียบเทียบกันระหว่าง จำนวนข้อมูลที่ผิดพลาดกับจำนวนข้อมูลที่ส่งมาทั้งหมด ซึ่งเรียกชื่อโดยทั่วไปว่า Bit ERROR Rate Measuring Set ชุดทดสอบนี้ ได้ออกแบบมาสำหรับนำมาทดสอบระบบรับส่งข้อมูลที่มีอัตราเร็ว ๙๖๐๐ bit/sec และสามารถแสดงผลให้เห็นถึงจำนวนบิทที่ผิดพลาดได้โดยตรง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

BIT ERROR RATE MEASURING SET

BODIN HAMAKHOM
WATTANA UAMPOOM
SOMWANG PHOOPRASERT
AMNOUY JAREONPUK
DR.KANOK JAINJIRAPONGVEJ
1989

ABSTRACK

This report present the construction of Bit Error Rate Measuring Equipment which is used for data transmission in the digital system. This equipment is usefull for measuring the quality of the received digital signal. By comparing between the number of known bit, generated from this equipment. This equipment is well known in the name of " Bit Error Rate Measuring Set." It is disigned for testing with data rate up to 9600 bit/sec and can display directly in the digit from.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

	หน้า
บทที่ ๑	๑
๑. บทนำ	๑
๒. วิธีการทดสอบ	๒
๒.๑ การวัดอัตราความผิดพลาดของบิท	๒
๒.๒ การวัด Jitter	๘
๒.๓ การทดสอบการวัดบิทที่ถูกต้อง	๑๐
๒.๔ การทดสอบความน่าเชื่อถือได้	๑๐
๒.๕ การตรวจสอบการเชื่อมโยง	๑๑
๓. วิธีการทดสอบคุณภาพ	๑๔
๓.๑ การรับส่งชุดของสัญญาณทดสอบ	๑๖
๓.๒ การตรวจสอบ Frame bit	๑๖
๓.๓ การตรวจสอบ Parity bit	๑๖
๓.๔ Signal Format violation	๑๗
๓.๕ การตรวจสอบ Eye pattern	๑๘
๔. การแยกเหตุเสีย	๑๘
๕. ระบบการตรวจสอบและควบคุม	๒๒
๕.๑ ระบบการรายงาน	๒๓
๕.๒ เวลาในการตอบสนอง	๒๔
๕.๓ ความมั่นคงของระบบ	๒๕
๖. บทสรุป	๒๘
บทที่ ๒	๓๐
๑. วงจรตัวรับสัญญาณ Biphase	๓๒
๒. วงจร Bit Error Rate Measurement	๓๖
๓. ตัวนับจำนวนที่ผิดพลาด	๓๘
วงจรเครื่องวัดอัตราความผิดพลาดของบิท	๓๙
สรุปผลที่ได้จากการทดลอง	๔๐

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก หน้า

- Data Sheet ๔๑
- กิตติกรรมประกาศ ๘๑
- หนังสืออ้างอิง ๘๒

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ ๑

การทดสอบ, การตรวจสอบและการควบคุมระบบรับส่ง

Transmission System Testing Monitoring and Control

วัตถุประสงค์

– เพื่อพิจารณาวิธีการวัดทดสอบคุณภาพของระบบรับส่งสัญญาณดิจิตอลในรูปของอัตราความผิดพลาดของบิท(Bit error rate) จิตเตอร์ (Jitter) การนับบิทที่ถูกต้องและความเชื่อถือได้ของอุปกรณ์

– เพื่ออธิบายถึงวิธีการตรวจสอบคุณภาพของระบบและอุปกรณ์อย่างต่อเนื่อง

– วิธีการเพื่อแยกเหตุเสียในการทำงานของระบบ

– พิจารณาถึงวิธีการต่าง ๆ ในการแจ้งเหตุขัดข้อง การตรวจสอบและการกลับสู่สภาพการทำงานตามปกติของสถานีต่าง ๆ ในระบบ

๑. บทนำ

ในระหว่างการติดตั้งการทำงานและการบำรุงรักษาระบบรับส่งสัญญาณดิจิตอลนั้น ผู้ปฏิบัติงานจะต้องสามารถทำการทดสอบ การตรวจสอบ และการควบคุมระบบ จากด้านหนึ่งไปยังอีกด้านหนึ่ง ทั้งนี้เพื่อให้เป็นไปตามจุดมุ่งหมายของการออกแบบ เช่นระบบการติดตั้งอุปกรณ์เป็นต้น หลังจากที่ได้มีการนำระบบไปใช้งานแล้ว จะต้องมีการตรวจดูส่วนประกอบต่างๆ และการควบคุม เพื่อให้แน่ใจว่าการทำงานและการบำรุงรักษา(O & M) มีคุณสมบัติเป็นไปตามมาตรฐานที่กำหนด

ในหัวข้อนี้จะให้พิจารณาถึงวิธีการสำหรับทดสอบระบบรับส่งสัญญาณดิจิตอลเพื่อให้คุณภาพสัมพันธ์กับพารามิเตอร์ต่าๆ เช่น อัตราความผิดพลาดของบิท(Bit erroe rate) Jitter การนับบิทที่ถูกต้อง และความเชื่อถือได้ของอุปกรณ์ วิธีการเหล่านี้เหมาะสำหรับการทดสอบในโรงงาน และการตรวจรับ ก่อนที่จะนำระบบมาใช้งาน ช่วงที่ระบบทำงาน พนักงานบำรุงรักษาจะต้องคอยดูแลเหตุขัดข้อง และภาวะการทำงานของอุปกรณ์ที่เสีย เพื่อทการซ่อม หรือเปลี่ยนอุปกรณ์ใหม่ และทำให้การทำงานกลับสู่สภาพปกติ การแยกเหตุเสียขึ้นอยู่กับวงจรที่ต้องการตรวจสอบคุณภาพและวงจรแสดงเหตุเสีย ซึ่งรวมอยู่ในแต่ละส่วนของอุปกรณ์ในแต่ละสถานี การตรวจสอบคุณภาพของเครื่องในที่นี้นั้นขึ้นอยู่กับระบบและจำนวนของอุปกรณ์ที่เตรียมไว้ในการตรวจสอบอย่างต่อเนื่องตามปกติจะประเมินค่าจากอัตราความผิดพลาดของบิท (Bit error rate) วิธีการแยกเหตุขัดข้อง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

นั้นแยกออกได้ ตามความจำเป็นสำหรับการบำรุงรักษาที่เร่งด่วนหรือที่จำเป็นเมื่อการบริการถูกตัดขาด (หายไป) หรือการบำรุงรักษาที่ไม่เร่งด่วน ที่รอได้ เปลี่ยนไปใช้ชุดสำรองเพื่อให้กลับสู่สภาพปกติได้ หรือเมื่อชุดสำรองเกิดเสียขึ้นมาทำให้ไม่สามารถทำงานแทนชุดปกติได้ ดังนั้นการบำรุงรักษาที่เกิดขึ้นที่สถานีหนึ่งอาจมีผลกระทบต่อสถานีอื่น ๆ ได้ จึงมีความจำเป็นที่จะต้องรายงานเหตุเสียที่เกิดขึ้น การตรวจสอบและกลับสู่สภาพปกติไปยังสถานีอื่น ๆ ด้วย ปกติจะรายงานไปยังสถานีกลาง (สถานีควบคุมนั่นเอง = Control location) รูปแบบของการรายงานแบบที่ใช้มีมากมายหลายแบบ ความสำคัญขึ้นอยู่กับสถานีที่อยู่ห่างไกลออกไป บางทีอาจต้องมีความจำเป็นในการควบคุมระยะไกล

จะสังเกตเห็นว่าคุณภาพมาตรฐานของ O & M ที่กล่าวถึงในตอนนี้นั้นแตกต่างไปจากจุดมุ่งหมายในการออกแบบ การเสื่อมสภาพของต้นกำเนิด (Source)ต่าง ๆ จะไม่อยู่ในขั้นตอนการออกแบบ เช่นอายุการใช้งาน ปฏิกริยาจากธรรมชาติและความผิดพลาดของมนุษย์ แต่ผลลัพธ์ในเรื่องของคุณภาพจะถูกจำกัดด้วยอายุการใช้งานของระบบ อย่างไรก็ดีวงจรที่ใช้งานจริงก็จะแตกต่างไปจากวงจรสมมุติที่ใช้ในการอ้างอิง ในการออกแบบด้วย เพราะว่าความแตกต่างในเรื่องของระยะทาง,สื่อกลาง,อุปกรณ์และอื่น ๆ อีกมาก ความแตกต่างเหล่านี้จะต้องนำมาคิดเผื่อต้องการกำหนดและทำการวัดคุณภาพมาตรฐานของ O&M

๒. วิธีการทดสอบ (Testing Technique)

การกำหนดคุณภาพหรือมาตรฐานนั้นทำได้โดยการทดสอบ (Testing) ทั้งในโรงงานและในสภาพใช้งาน วิธีการดำเนินการทดสอบอย่างง่าย ๆ นั้น ข้อกำหนดและมาตรฐานเหล่านี้จะรวมอยู่ในรายละเอียดการทดสอบที่ใช้คืออุปกรณ์ทดสอบ, รูปแบบ(Configuration) ขั้นตอนและอื่น ๆ ในตอนนี้จะกล่าวถึงวิธีการทั่ว ๆ ไปที่ใช้สำหรับทดสอบคุณภาพสำหรับระบบรับส่งดิจิทอลรวมทั้ง อัตราความผิดพลาดของบิท , Bitter และการนับบิทที่ถูกต้อง การทดสอบอุปกรณ์รับส่งแต่ละส่วนและการเชื่อมโยงถึงกัน (Link) สำหรับข้อกำหนดคุณภาพอื่น ๆ เช่นความแน่นอนน่าเชื่อถือ (reliability)และการจางหายไปของกลื่นวิทยุ ก็จะนำมากล่าวไว้ด้วย

๒.๑ การวัดอัตราความผิดพลาดของบิท(Bit error rate)

ตามปกติสิ่งที่ชี้ถึงคุณภาพ ในการทดสอบระบบรับส่งสัญญาณดิจิทอลก็คืออัตราความผิดพลาดของบิท (B E R) ค่าความผิดพลาดสามารถแสดงได้หลายรูปแบบด้วยกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เช่นความผิดพลาดในหนึ่งวินาที(errored seconds) ความผิดพลาดที่เป็นชุดหรือกลุ่ม (errored blocks) และค่าเฉลี่ยอัตราความผิดพลาดของบิท ตามปกติค่าความผิดพลาดที่ใช้ในการวัดคุณภาพของระบบจะเลือกให้เหมาะสมกับค่าผิดพลาดที่กำหนดไว้ในการออกแบบ. ค่าความผิดพลาดโดยทั่วไปสามารถวัดได้สองแบบคือ นอกการใช้งาน(out of service) และในระหว่างใช้งาน(in service) ในกรณีย์ของการวัดนอกการใช้งาน ข่าวสารที่ใช้งานอยู่จะถูกแทนด้วยรูปแบบของสัญญาณทดสอบที่รู้แน่นอน นั่นก็คือใช้สัญญาณ PRBS (Pseudo random Binary Sequence) แทนข่าวสารที่ใช้งานอยู่ ทางด้านรับจะรับสัญญาณทดสอบมาแล้วเปรียบเทียบสัญญาณบิทต่อบิท กับสัญญาณที่เหมือนกันที่สร้างขึ้นทางด้านรับเพื่อตรวจสอบความผิดพลาด คาบเวลาที่ซ้ำกันของสัญญาณทดสอบมีค่าเท่ากับ 2^{n-1} เมื่อ n คือจำนวนของ Shift Register ซึ่งจะเลือกให้เหมาะสมกับอัตราเร็วของข้อมูลนั้นๆ

รูปแบบโดยทั่วไปสำหรับอัตราเร็วข้อมูลที่เป็นมาตรฐานนั้นแสดงไว้ตามตารางที่ ๑. ดังนั้นการวัดนอกการใช้งาน ซึ่งไม่มีการรับส่งข่าวสาร จึงเหมาะสมกับการทดสอบในการผลิต การตรวจสอบ การติดตั้ง หรือการทดลองระบบ

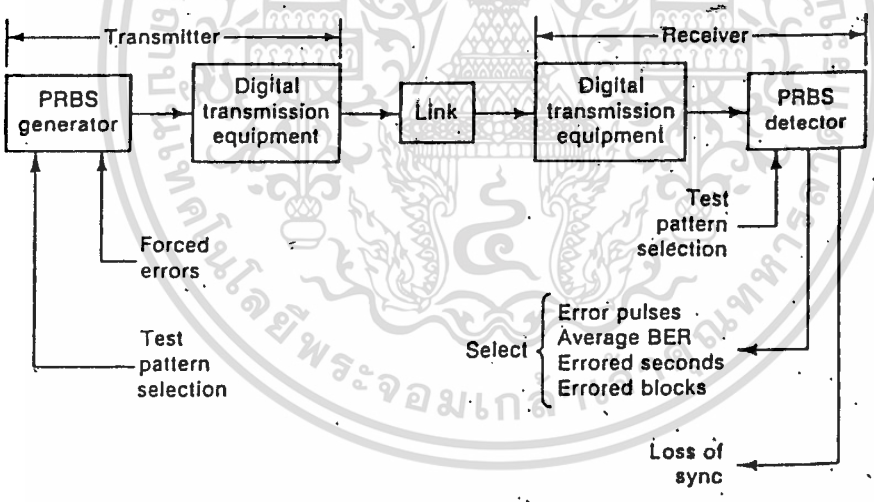


Figure 1 Block Diagram of BER Measurement

รูปที่ ๑ เป็นรูปที่แสดงให้เห็น สำหรับการวัด BER ทางด้านส่งและรับ รูปแบบสัญญาณทดสอบของPRBS ที่กำหนดขึ้นมา และตัวตรวจจับก็จะเลือกรูปของสัญญาณตามต้องการ ที่ด้านรับนั้นจะมีการเลือกรูปแบบของการวัดความผิดพลาดที่เกิดขึ้น ซึ่งอาจจะเป็นความผิดพลาดทางพัลส์(error pulses) ค่าเฉลี่ยอัตราความผิดพลาดของบิท(average BER) ความผิดพลาดในหนึ่งวินาที (Error Second) หรือชุด ผิดพลาด(Errored Block) โดยขึ้นอยู่กับการออกแบบ สำหรับการออกแบบอัตราความผิดพลาดของบิท(Bit error rate

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Tester = BERT) การวัดความผิดพลาดด้านคุณภาพของเครื่อง อาจแสดงให้เห็นด้วยสายตา และอาจจะอยู่ในรูปของการพิมพ์ออกมา โดยปกติแล้วชุดทดสอบ จะมีความสามารถบางอย่างเช่น ความสามารถในการใส่ความผิดพลาดทางด้านส่งสัญญาณ และตรวจสอบหาความผิดพลาดนั้นได้ทางด้านรับ และแสดงให้เห็นถึงการหายไปของซิงโครไนซ์ (Synchronization)ได้ทางด้านรับ

การวัด Error Free Second

Error Free Second เป็นรูปแบบหนึ่งของการวัดความผิดพลาดโดยการกำหนดเป็นเปอร์เซ็นต์ของ error free second ที่วัดได้ในช่วงเวลาของ ๑ วินาที การวัด errored seconds ทำได้สองอย่างคือ เป็นแบบซิงโครนัส และอะซิงโครนัส ในลักษณะของซิงโครนัสนั้น เออเร่อ เซคคั่นด์จะถูกกำหนดว่า ในช่วงเวลา ๑ วินาที หลังจากเกิดความผิดพลาดครั้งแรกแล้ว ข้อดีของซิงโครนัสก็คือ การวัดกระทำด้วยเครื่องมือที่แตกต่างกัน แต่อ่านได้เหมือนกันบนเส้นทางเชื่อมโยงเดียวกัน ผลเสียก็คือ การวัดของซิงโครนัส เออเร่อเซคคั่นด์ไม่เป็นไปตามผลของ เออเร่อฟรีเซคคั่นด์โดยตรง แต่ค่อนข้างจะเป็น เออเร่อฟรีไทม์ ในแบบอะซิงโครนัสจะมีการตรวจสอบความผิดพลาดในแต่ละช่วงเวลา ๑ วินาที ข้อดีของแบบนี้ก็คือ ให้ค่าเออเร่อฟรีเซคคั่นด์โดยตรง ข้อเสียก็คือ อุปกรณ์ที่ต่างกันอาจจะต้องใช้วิธีการวัดที่แตกต่างกัน ข้อเสนอแนะ C C I T T G 821 แนะให้ใช้อซิงโครนัส เออเร่อเซคคั่นด์ ซึ่งได้มาจากมาตรฐานอุตสาหกรรมในอเมริกาเหนือ แต่อย่างไรก็ตามใช้เป็นพื้นฐานสำหรับ ซิงโครนัส เออเร่อ เซคคั่นด์

การวัดความผิดพลาดในระหว่างใช้งาน จะทำได้เมื่อรูปแบบของสัญญาณที่ใช้งาน ซ้ำกันอยู่เป็นประจำ สัญญาณนี้จะสามารถตรวจสอบความผิดพลาดนั้นได้ ดังนั้นวิธีการทดสอบในระหว่างใช้งานอยู่เป็นเพียงค่าความผิดพลาดโดยประมาณ และผลที่ได้ก็ไม่ใช่การวัดที่แท้จริง วิธีการนี้มีประโยชน์ในการตรวจสอบคุณภาพของอุปกรณ์ระหว่างที่ระบบใช้งานอยู่ อย่างไรก็ตามถ้าการประเมินอัตราความผิดพลาด สามารถกระทำได้อย่างรวดเร็วพอเพียง แบบของการทดสอบในระหว่างการใช้งาน สามารถใช้ควบคุมการทำงานของระบบ Protection Switching ชนิดของการวัดอัตราความผิดพลาดในระหว่างการใช้งาน จะได้กล่าวถึงในภายหลัง เมื่อได้มีการพิจารณาถึงวิธีการตรวจสอบคุณภาพของอุปกรณ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ ๑ การวางแผนข้อเสนอแนะของ C C I T T เพื่อวัดอัตราความผิดพลาดโดย ใช้ Pseudirandom Binary Sequences

Applicables bit rates	Pattern length	CCITT Recommendation(1.2)
20 kb/s	$2^9 - 1$	V.52
20 - 72 kb/s	$2^{20} - 1$	V.57
1.544 mb/s	$2^{15} - 1$	0. 151
2.048 Mb/s	$2^{15} - 1$	0.151
6.312 Mb/s	$2^{15} - 1$	0.151
8.448 Mb/s	$2^{15} - 1$	0.151
32.064 Mb/s	$2^{15} - 1$	0.151
34.368 Mb/s	$2^{23} - 1$	0. 151
44.736 Mb/s	$2^{15} - 1$	0. 151
139.264 Mb/s	$2^{23} - 1$	0.151

อัตราความผิดพลาดของบิทที่วัดได้มีความสำคัญอย่างน้อยก็อยู่ในระดับที่ไว้ใจได้ สำหรับการวัดอัตราความผิดพลาดของบิท ระดับที่ไว้ใจได้กำหนดจากความน่าจะเป็นจากอัตราความผิดพลาดที่วัดได้ ภายใต้องค์ประกอบ α ที่แน่นอนของค่า BER เฉลี่ยที่ถูกต้อง ในรูปของจำนวนความผิดพลาด นั่นคือ

ระดับที่น่าเชื่อถือ $= P(np \leq k_1)$ ..... (1)

เมื่อ k_1 = จำนวนของความผิดพลาดที่วัดได้

I = บิทผิดพลาดที่เป็นไปได้

n = จำนวนที่ใช้ในการวัดทดลอง

np = จำนวนของความผิดพลาดที่กำหนดไว้

รูปแบบการคำนวนระดับที่น่าเชื่อถือ เป็นที่รู้กันในกรณีที่ความผิดพลาดเกิดขึ้นอย่างอิสระ วิธีการทดลองของ Bernoulli สามารถใช้ได้กับความน่าจะเป็นเฉลี่ยให้ได้ คือ α k_1 หรือความผิดพลาดเล็กน้อยที่เกิดขึ้นในการทดลองแบบอิสระ จำนวน n บิท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$P(\leq \alpha k_1 \text{ ความผิดพลาดใน } n \text{ บิท}) = \sum_{k=0}^{\alpha k_1} \binom{n}{k} p^k q^{n-k} \quad \ldots\ldots(2)$$

เมื่อ $q = 1 - p$ สมการที่ ๒ นั้นยากในการคำนวนเมื่อ n มีค่ามากแต่สามารถแยกออกเป็นได้ ๒ กรณี ถ้า n มีจำนวนมากแล้ว จำนวนความผิดพลาดก็คาดว่าจะมากตามไปด้วย ($np \gg 1$) ก็จะได้สูตรใหม่ว่า

$$P(\alpha k_1 \text{ ความผิดพลาดใน } n \text{ บิท} = 1 - \operatorname{erfc}\left[(\alpha - 1)\sqrt{k_1}\right] \quad \ldots\ldots(3)$$

($np > 1$)

เมื่อ erfc = error function

ในกรณีที่ p มีค่าน้อยและ n มีค่ามาก แล้วคาดว่าความผิดพลาดจะมีค่าน้อย ($np = 1$) ซึ่งแบบนี้จะใกล้เคียงมากกับสมการ Poisson ดังนี้

$$P(n_p \leq \alpha k_1) = 1 - e^{-\alpha k_1} \sum_{k=0}^{k-1} \left(\frac{\alpha k_1}{k!}\right)^k \quad (np=1) \quad \ldots\ldots(4)$$

สมการ(๓)และ(๔) สามารถหาค่าของความเป็นไปได้ (ระดับที่ไว้ใจได้) ซึ่งเป็นส่วนของการวัดความผิดพลาด (k_1) และอัตราความผิดพลาดของบิทจริง ๆ (np) ตามแสดงดังรูปที่ ๒ สำหรับสมการที่ ๓ อีกวิธีหนึ่งสามารถกำหนดความเป็นไปได้ที่แน่นอนและคำนวนหาค่า αk_1 ที่แท้จริงได้ซึ่งให้ความไว้ใจได้ถึง ๙๙ % เส้นโค้งที่เขียนไว้ในรูปที่ ๒ และ ๓

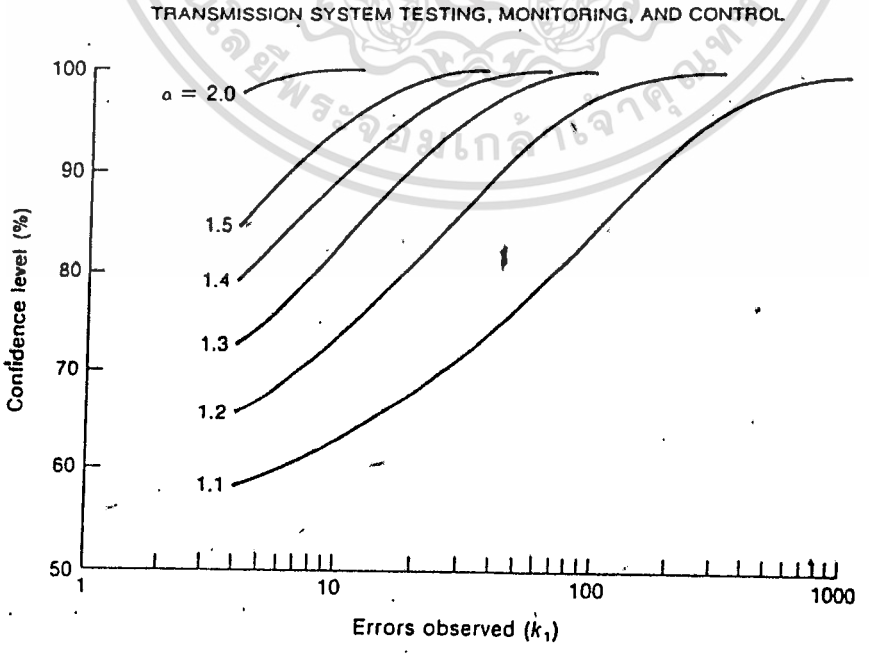


Figure 2 Confidence Level That Actual BER Is Less Than αk_1 (Adapted from [3])

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

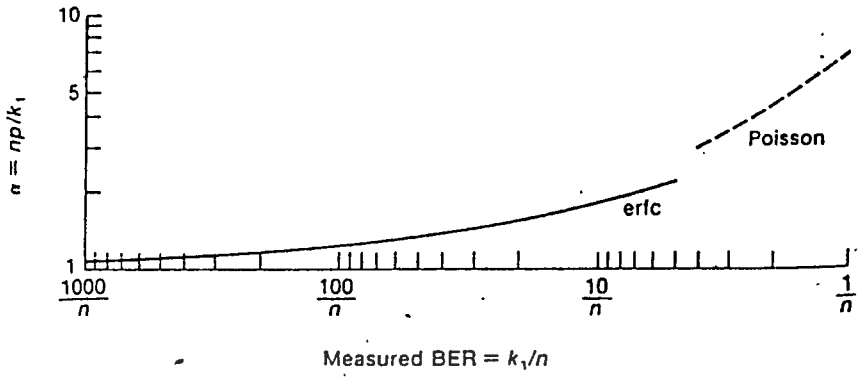


Figure 3 99 Percent Confidence Level That Actual BER Is Less Than $\alpha\, k_1$

แสดงถึงความเป็นไปได้ว่า BER ที่แท้จริง จะน้อยกว่า α เท่าของ BER ที่วัดได้ เมื่อ $\alpha = np/k_1$ จากการจดบันทึก ค่าความผิดพลาด ๑๐ ครั้ง ดังตัวอย่าง ... ที่แท้จริงจะอยู่ภายในสองเท่าของ BER ที่วัดได้ ซึ่งให้ความเชื่อถือได้ถึง ๙๙ %

<u>ตัวอย่างที่ ๑</u> สมมติว่าระบบที่ใช้เป็น ๑๐ Mb/s ที่แท้จริงจะต้องน้อยกว่า 1×10^{-9} โดยมีความเชื่อถือได้ ๕๐ % สมมติว่าความผิดพลาดที่เกิดขึ้นอย่างอิสระ ต้องการเวลาในการทดสอบนานเท่าไร และยอมให้มีความผิดพลาดเท่าไร ?

<u>วิธีทำ</u> จากรูปที่ ๒ หรือ สมการที่ ๓ จะเห็นว่าจากการวัดความผิดพลาด ๗ ครั้ง จะมีความเชื่อถือได้ถึง ๕๐ % จะได้ BER ที่แท้จริง มีค่าน้อยกว่า ๑.๕ เท่าของ BER ที่วัดได้ ดังนั้นถ้าวัดได้มากกว่า $(1.5)(7)(10^9) = 1.05 \times 10^{10}$ บิท เมื่อเราต้องการความเชื่อถือได้ถึง ๕๐ % ดังนั้น BER ที่แท้จริงก็จะน้อยกว่า 10^{-9} ถ้าบันทึกค่าความคลาดเคลื่อนไว้ ๗ ครั้งหรือน้อยกว่าแล้วช่วงเวลาที่ใช้ในการวัดที่ต้องการจะมีค่า ดังนี้

$$\frac{(1.5)(7)(10^9)\ \text{bit}}{10\ \text{Mb/s}} = 1050\ \text{s}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

๒.๒ การวัด Jitter

คุณภาพของการวัด Jitter แบ่งเป็นสามอย่างด้วยกัน คือ

- จำนวนของปริมาณ Jitter ที่อินพุท (ปริมาณ Jitter ที่อินพุท)
- Jitter ทางออกเมื่อปราศจาก Jitter ทางเข้า (Jitter ที่เกิด ขึ้นภายใน)
- อัตราส่วนของ Jitter ทางออกต่อทางเข้า (Transfer function)

อุปกรณ์ที่ต้องการ วัด Jitter ทั้งสามแบบได้แสดงไว้ตามรูปที่ ๔ การวัดแบบนี้เป็นแบบนอกการใช้งานและเป็นการทดสอบภายในโรงงานและการทดสอบเพื่อตรวจรับ

Jitter ทางเข้าของอุปกรณ์รับส่งดิจิทอล สามารถจัดได้โดยจุดตรวจสอบตามรูปที่ ๔ แหล่งจ่ายของ Jitter ทางเข้าประกอบด้วย ตัวสังเคราะห์ความถี่ (synthesizer) ตัวกำเนิด Jitter และตัวกำเนิดสัญญาณทดสอบ pseudorandom สัญญาณเวลากำเนิดโดยตัวสังเคราะห์ความถี่ มอดูเลทกับตัวกำเนิด Jitter และนำมาใช้เพื่อเทียบเวลาให้กับตัวกำเนิดสัญญาณชุดทดสอบ สัญญาณที่ได้จากจุดกำเนิดจะส่งผ่านไปยังอุปกรณ์ที่จะทำการทดสอบจากขั้วทางเข้าไปยังขั้วทางออก แล้วตัวตรวจคักจับสัญญาณ จะรับสัญญาณขั้วทางออกและบ่อนความผิดพลาดที่ตรวจจับได้ที่ทางออกไปให้ตัวนับขนาดความแรงของ Jitter ที่เกิดขึ้นจะเพิ่มขึ้นเรื่อยๆจนกระทั่งตรวจจับบิทผิดพลาดได้ การทดสอบนั้นเป็นการทนทวนสำหรับผ่านความถี่ Jitter ดังนั้นจึงยอมให้ค่า Jitter ทางเข้าสูงสุด ต่อความถี่ Jitter ที่เกิดขึ้นในอุปกรณ์ภายใต้การทดสอบ จึงต้องมีการกำหนดชนิดของการ มอดูเลท Jitter ในที่นี้จะกำหนดเป็น Sinusoidal เพื่อให้ง่ายสำหรับการวัดทดสอบ แม้ว่ามันจะไม่ใช่ชนิดของ Jitter ที่พบอยู่ในโครงข่ายก็ตาม จุดมุ่งหมายในการทดสอบก็คือลำดับของ Pseudorandom ที่ใช้เป็นรูปแบบของสัญญาณทดสอบต้องยาวเพียงพอ ดังที่ได้กำหนดไว้ตามตัวอย่างในตารางที่ .

รูปแสดงการทดสอบเพื่อวัด Jitter ที่เกิดขึ้นภายใน(Intensic Jitter) และ Jitter Transfer function ดังแสดงไว้ในรูปที่ ๔ ชุดอุปกรณ์ที่ใช้ในการทดสอบก็คล้ายกับในรูปที่ ๔ เพียงแต่ใช้ตัวตรวจจับ Jitter ไปใส่แทนตัวตรวจจับความผิดพลาดเท่านั้นเพื่อทำการวัด Jitter ทางออกในกรณีที่ Jitter ทางเข้าไม่มีนั้นจะตัดตัวกำเนิด Jitter ออกไปดังนั้น ตัวกำเนิดสัญญาณ PRBS จะต่อเข้ากับสัญญาณเวลาอิสระ สัญญาณที่รับได้จะถูกย้อนให้กับตัวตรวจจับ Jitter ต่อ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ไปซึ่งจะวัดขนาดของ Jitter ได้ สำหรับ Jitter Tranfer Function อาศัยคุณลักษณะโดยการผสมสัญญาณ P.R B S ด้วยตัวกำเนิด Jitter และทำการวัดอัตราการขยายหรือการลดทอนของ Jitter ในการตรวจจับสัญญาณ P R B S สำหรับการจัดทั้งสองแบบนี้ ขนาดของ Jitterจะเป็นค่า R M S หรือ Peak To peak ขึ้นอยู่กับการเลือกขนาดความกว้างของแถบความถี่ที่ต้องการเพื่อให้ได้ตามความต้องการดังกล่าว ชุดที่ใช้ในการวัด Jitter จะประกอบด้วย band pass , low pass , high pass Filter เพื่อกำหนดขนาดความกว้างของแถบความถี่ ตามที่ได้ออกแบบไว้ ย่านการวัด Jitter จะเลือกให้เหมาะสมกับข้อกำหนดของอุปกรณ์ตาม การวัด Jitter ทางออก หรือ Jitter Transfer Function ผลที่ได้เมื่อนำไปเขียนกูแล้วจะคล้ายคลึงตามข้อเสนอแนะ o.๑๐๑ ของ C C I T T รวมทั้งรายละเอียดของการวัดทดสอบสำหรับการวัด Jitter

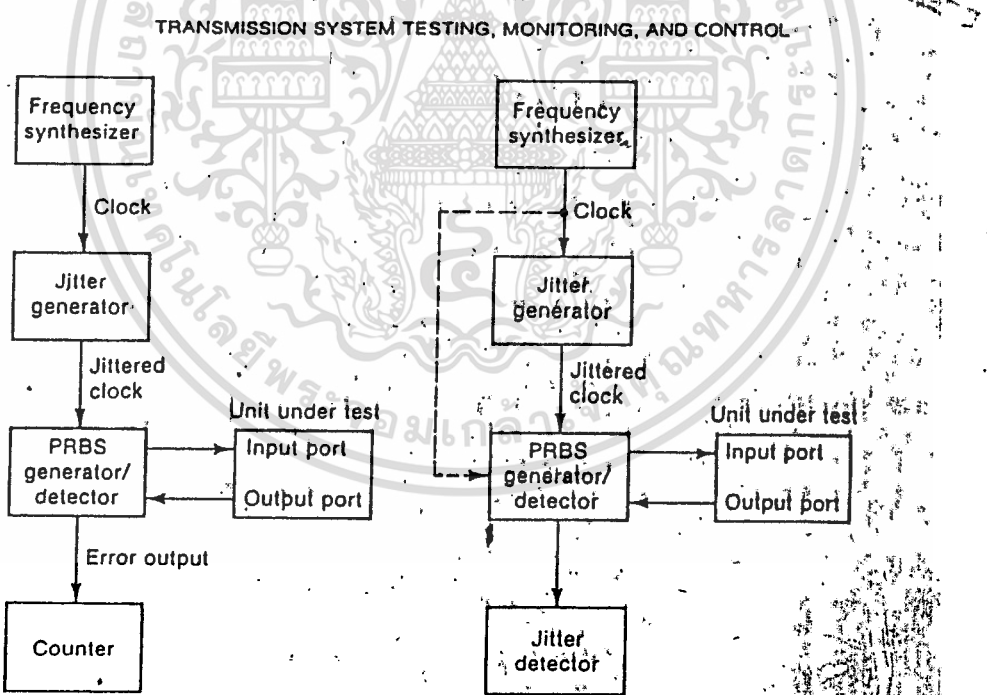


Figure 4 Block Diagram for Jitter Measurement

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
026895

๒.๓ การทดสอบการนับบิทที่ถูกต้อง (Bit Count Integrity Testing)

คุณภาพของการนับบิทที่ถูกต้อง B C I หาได้จากพารามิเตอร์ต่าง ๆ เช่น อัตราส่วนของสัญญาณต่อสัญญาณรบกวนในวงจรกำเนิดสัญญาณเวลาใหม่, อัตราความผิดพลาดในวงจรชิงโครไนซ์ของอุปกรณ์มัลติเพลกซ์หรือสัญญาณเวลาที่แน่นอนและความเที่ยงตรง ในโครงข่าย Plesiochronous การทดสอบของคุณภาพ B C I ความต้องการเน้นที่อุปกรณ์หรือระบบที่อยู่ภายใต้ภาวะซึ่ง B C I หายไปและเมื่อกลับคืนมาใหม่

ดังนั้นการทดสอบ B C I จะทำขณะที่เครื่องอยู่นอกระบบการใช้งานตามปกติแล้วหมายถึงการทดสอบในโรงงานหรือการติดตั้งระบบดังตัวอย่างเช่น คุณภาพ B C I ของตัวรวมสัญญาณดิจิทอล (Digital Multiplexer) ตามปกติจะระบุสำหรับอัตราความผิดพลาดที่แน่นอน การทดสอบข้อกำหนดนี้ ตัวรวมสัญญาณจะรวมสัญญาณชุดข้อมูลภายใต้อัตราความผิดพลาดที่ได้ระบุไว้ขณะทำการวัดจะทำในช่วงเวลาระหว่างที่ B C I หายไปและเวลาที่ B C I มีกลับมาใหม่เวลาที่ทำการวัดนี้จะเปรียบเทียบกับเวลาที่กำหนดไว้เพื่อการตัดสินใจรับรองหรือไม่รับรองชุดอุปกรณ์ที่ทำการทดสอบ

๒.๔ การทดสอบความน่าเชื่อถือได้ (Reliability Testing)

อุปกรณ์ที่เชื่อถือได้ สามารถพิสูจน์ด้วยการทดสอบร่วมกันของโรงงาน การวิเคราะห์และผลจากการใช้งานอุปกรณ์ที่ไม่มากนัก สามารถทดสอบได้โดยตรงเพื่อพิสูจน์เวลาเฉลี่ยระหว่างความผิดพลาด (M T B F) ตามข้อกำหนดแนวทางที่ใช้ในการทดทดสอบดังกล่าวรู้จักกันดีตามมาตรฐานอุตสาหกรรมและมาตรฐานของรัฐ การใช้อุปกรณ์อย่างเพียงพอภายใต้การทดสอบ ณ เวลาหนึ่ง ก็สามารถแสดงความน่าเชื่อถือ สัมพันธ์กับเวลาในช่วงสั้น ๆ โดยใช้ลำดับการทดสอบที่ได้เตรียมไว้ตามที่แสดงในรูปที่ ๕ ณ ที่นี้ จำนวนความผิดพลาดที่เพิ่มขึ้น จะถูกนำมาเขียนเทียบกับเวลาในการทดสอบที่เพิ่มขึ้นจนกระทั่งถึงจุด ที่ยอมรับได้หรือ ตัดสินใจตัดออกไปหรือจนกระทั่งถึงเวลาทดสอบที่ยอมให้ได้สูงสุด

สำหรับอุปกรณ์มาก ๆ แล้วการทดสอบโดยตรงไม่นำมาใช้พิสูจน์ Mean Time Between Outage (M T B O) เพราะว่าช่วงเวลาที่ต้องการยาวนานเกินไป ข้อเสนอแนะสำหรับพิสูจน์ M T B O จะใช้การวิเคราะห์และการทดสอบ M T B F การวิเคราะห์จะต้องทำตามรายการของเหตุที่เสียและผลกระทบเพื่อพิสูจน์ว่าคุณภาพในการรับร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จะตรวจจับเหตุที่เสียและวงจรสับเปลี่ยนจะทำการเปลี่ยนจากชุดที่เสียไปยังชุดสำรอง MTBO (Mean Time Between Outage) สามารถคำนวนมาจาก M T B F (Mean Time Between Failure) ที่ทดลองให้เห็นและการคาดคะเนจากการสับเปลี่ยนอุปกรณ์

ความน่าเชื่อถือของอุปกรณ์สามารถตรวจดูและบันทึกได้จากการทำงานจริงการทำเช่นนี้เพื่อนำข้อขัดข้องที่เกิดขึ้นหลาย ๆ ครั้งมาทำการปรับปรุงแก้ไขดังตัวอย่างของ CCIR ได้เปิดเผยผลความน่าเชื่อถือของระบบวิทยุที่แสดงให้เห็นว่าข้อขัดข้องของอุปกรณ์เป็นสิ่งที่สำคัญกว่า ซึ่งไม่อาจเปรียบเทียบกับความผิดพลาดที่เกิดจากมนุษย์, การแพร่กระจายคลื่นและแหล่งจ่ายกำลังงาน

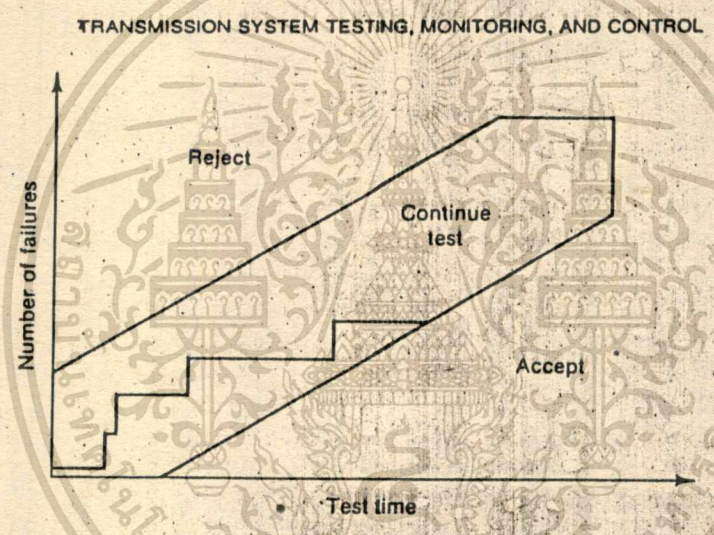


Figure 5 Reliability Test Plan Showing Accept / Reject / Continue Regions

๒.๕ การตรวจสอบการเชื่อมโยง (Link Testing)

ก่อนที่จะนำสายเคเบิ้ลหรือการเชื่อมโยงทางวิทยุออกใช้งาน จำเป็นที่จะต้องมีการวัดทดสอบเพื่อให้แน่ใจได้ว่า การติดตั้ง การเชื่อมโยง เป็นไปตามเกณฑ์การออกแบบ ขั้นแรกก็คือการตรวจสอบอุปกรณ์ทั่วๆไปว่าเชื่อมโยงกันได้อย่างดี และการทำงานไม่ขึ้นอยู่กับสภาพแวดล้อม การทดสอบแบบนี้จะได้รับความสะดวกโดยที่อุปกรณ์การทำงานในลักษณะของการส่งย้อนกลับ (Loop Back) ตลอดเส้นทางการเชื่อมโยง การทดสอบแบบนี้เหมาะที่จะตรวจสอบความไม่สมบูรณ์ของสายเคเบิ้ล เหตุเสียเนื่องจาก Ground และผลอื่นๆที่

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เกิดจากการตั้งอุปกรณ์

ขั้นที่สองของการตรวจสอบการเชื่อมโยงต้องใช้อุปกรณ์รับส่งสัญญาณทำงานตลอดทั้งเส้นทาง แม้ว่าจะไม่สามารถทำการวัดและตรวจสอบคุณภาพการเชื่อมโยงให้เป็นไปตามวัตถุประสงค์ได้โดยตรงในการทดสอบช่วงสั้น ๆ การออกแบบสัมพันธ์กับคุณภาพของการเชื่อมโยงสามารถที่จะวัดได้รวดเร็ว อัตราของสัญญาณต่อการรบกวนที่เครื่องรับวิทยุหรือสายเคเบิลสามารถวัดได้โดยตรง

ข้อมูลระบบดิจิตอลสามารถวัดอัตราการผิดพลาดได้ การวัดช่วงสัญญาณเสียงสามารถวัดได้ด้วยสัญญาณอนาล็อค 4 KHz ระหว่างเวลาที่ไม่มีการส่งสัญญาณซึ่งไม่มีการจางหายไปหรือเหตุเสีย การออกแบบอุปกรณ์ภายใต้การทดสอบจะต้องเป็นไปตามข้อกำหนด

การเชื่อมโยงถึงกันรวมถึงส่วนเพิ่มเติมเข้าไปเพื่อให้ตรงตามการออกแบบที่ได้ทำไว้ ดังตัวอย่างในกรณีของการเชื่อมโยงทางวิทยุ การจางหายไปของสัญญาณจะหาได้จากวิธีกรรมดังต่อไปนี้ อันดับแรกในภาวะปกติ (ไม่มีการจางหาย) ระดับสัญญาณที่ได้รับได้ (RSL) กำหนดได้จากการตรวจ RSL ในช่วงเวลาที่มีการแพร่กระจายคงที่ (ปกติประมาณเที่ยงวัน) การทดสอบ BER กระทำโดยการปรับแต่งตัวลดทอนสัญญาณ ที่ใส่ไว้ในภาครับสัญญาณ และตั้งไว้ที่ระดับค่า BER ต่ำสุด ตัวลดทอนสัญญาณที่ปรับไว้ก็จะมีค่าเท่ากับค่าการจางหายที่เผื่อไว้ในการเชื่อมโยง (Link) ค่าการจางหายที่เผื่อไว้จะสามารถแยกคำนวนในแต่ละทางออกของภาครับของอุปกรณ์ รวมสัญญาณสามารถทดสอบได้โดยตั้งค่าลดทอนสัญญาณที่ด้านหนึ่งไว้ที่ค่าคงที่ และปรับแต่งค่าการลดทอนสัญญาณอีกด้านหนึ่งให้มีค่าสูงหรือต่ำกว่าค่า Hysteresis ที่ได้ออกแบบไว้ ถ้าค่าที่วัดได้ของการจางหายไปของการเชื่อมโยงและ Hysteresis มีค่าประมาณเท่ากับค่าที่ได้ออกแบบไว้ การเชื่อมโยงนั้นก็สามารถกำหนดได้ว่าเป็นไปตามคุณสมบัติที่ต้องการ ค่าการจางหายที่เผื่อไว้วัดได้ต่ำกว่าค่าคงที่ได้ออกแบบไว้ถูแสดงว่าค่าที่เผื่อไว้ไม่พอเพียงหรือภาวะการแพร่กระจายสัญญาณผิดปกติอยู่ตลอดถ้าค่า RSL ปกติ ที่วัดได้ มีค่าน้อยกว่าค่า RSL ปกติที่กำหนดได้ก็แสดงว่า ปรับแต่งสายอากาศไม่ถูกต้องหรือสงสัยว่าจะมีการสูญเสียมากในส่วนนำคลื่น

การวัดคุณสมบัติการเชื่อมโยงโดยตรงต้องพิจารณาถึงอุปกรณ์เครื่องมือทดสอบและเวลาในการทดสอบ ในกรณีการเชื่อมโยงทางวิทยุ การทดสอบภาวะการแพร่กระจายผิด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปกติ ต้องการวิธีที่ทันสมัย เพื่อรวมข้อมูลทางสภาวะอากาศและดัชนีการหักเหตลอดความยาวของเส้นทางการแพร่กระจาย ข้อสำคัญของเวลาในการทดสอบต้องมีการรวบรวมข้อมูลที่เพียงพอ โดยที่ภาวะผิดปกติกำหนดให้มีเกิดขึ้นนาน ๆ ครั้งการทดสอบของผลกระทบของการจางหาย หลายเส้นทาง (Multipath fading) ในการเชื่อมโยงทางวิทยุดิจิทอล (Digital Radio) ต้องการเครื่องมือวัดทั้ง RSL และ BER ดังตัวอย่างที่แสดงไว้ในรูปที่ ๖

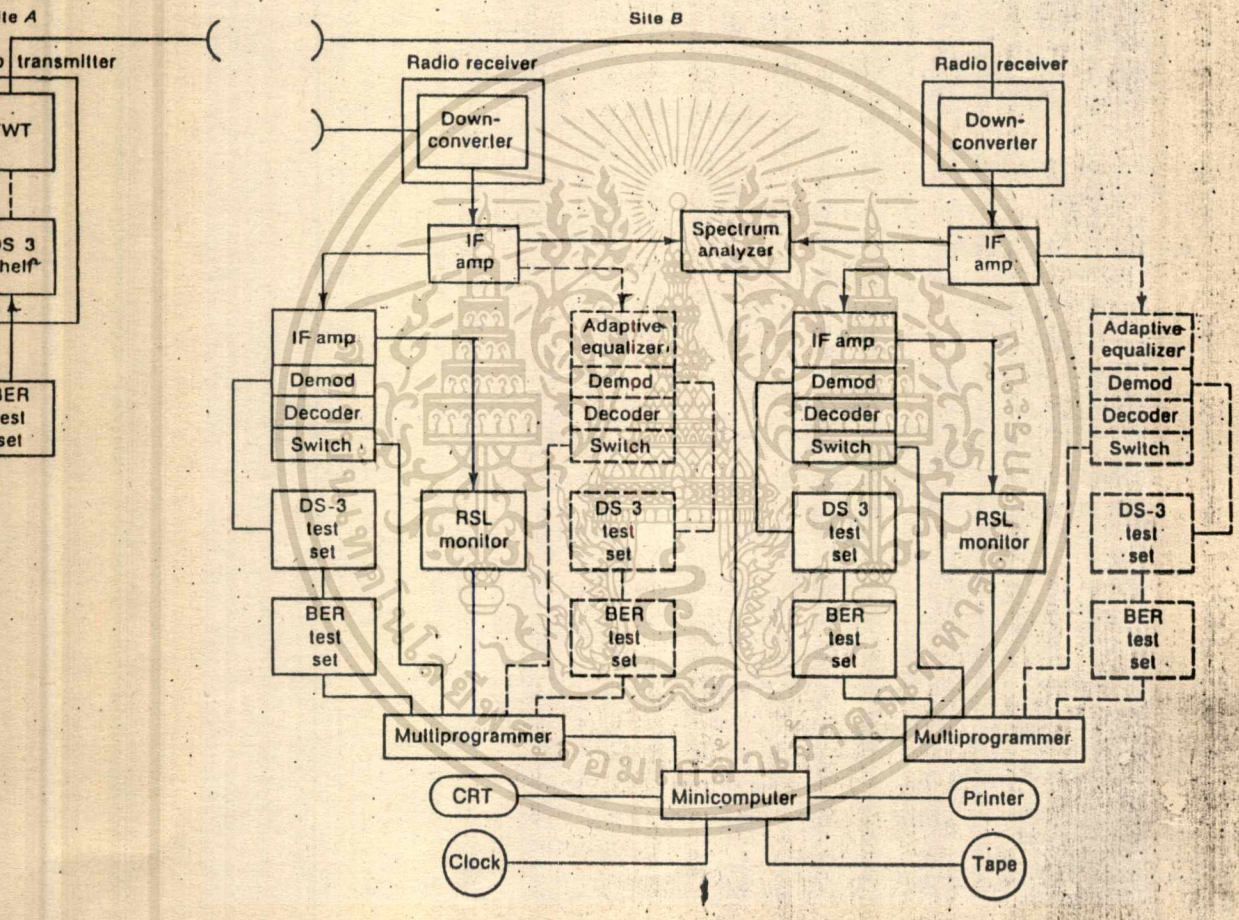


Figure 6 Configuration for Multipath Propagation Tests

รูปแสดงการวัดนี้ออกแบบไว้สำหรับการรับส่งสัญญาณทิศทางเดียวโดยเครื่องส่งอยู่ที่สถานี A และเครื่องรับอยู่ที่สถานี B สำหรับวิทยุระบบ 90 Mb/s 6 GHz,8PSK ที่สถานีรับมีจานรับสัญญาณสองจาน (ระบบ Space diversity)ด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หนึ่งประกอบด้วย Adaptive Equalizers และอีกด้านหนึ่งไม่มี Adaptive Equalizers ทั้ง BER และ RSL จะวัดพร้อมกันทั้งสองเครื่อง ตัววิเคราะห์แถบความถี่ (Spectrum Analyzers) จะใช้งานร่วมกันระหว่างเครื่องรับทั้งสองเครื่องรับที่ทำการทดสอบต้องใช้การเลือกตำแหน่งของสวิทช์ที่อยู่ในตัวรวมสัญญาณ เพื่อบันทึกเกี่ยวกับ BER, RSL และรูปร่างของแถบความถี่ การทดสอบการเชื่อมโยงทางวิทยุที่ได้อธิบายนี้ดังแสดงไว้ในรูปที่ ๖ ต้องการช่วงเวลาในการทดสอบนานขึ้น เพื่อให้ได้ผลลัพธ์ที่ถูกต้องแน่นอนทั้ง C C I T T และ C C I R เสนอแนะให้มีการทดสอบเพื่อวัดอัตราความผิดพลาดของบิทหรือช่วงเวลาที่ไม่อำนวยประโยชน์นานเป็นเวลาหนึ่งเดือน

๓. <u>วิธีการทดสอบคุณภาพ</u> (Performance Monitoring Techniques)

ระบบการรับส่งสัญญาณ Digital มีคุณสมบัติที่ดีมากเมื่อทำงานเหนือย่านระดับต่ำสุด(Threshold) ที่กำหนดของมัน และจะเลวลงทันทีที่ต่ำกว่าระดับต่ำสุด คุณลักษณะทั้งสองอย่างของการรับส่งสัญญาณ Digital นี้ แสดงในรูปที่ ๗ ซึ่งเป็นการเปรียบเทียบคุณสมบัติของช่องสัญญาณเสียง(V.F.Channel) ซึ่งได้มาจากระบบ PCM และ FDM สำหรับวิทยุเชื่อมโยง(Radio Link) ในการเปรียบเทียบคุณสมบัติของการรับส่งระหว่าง

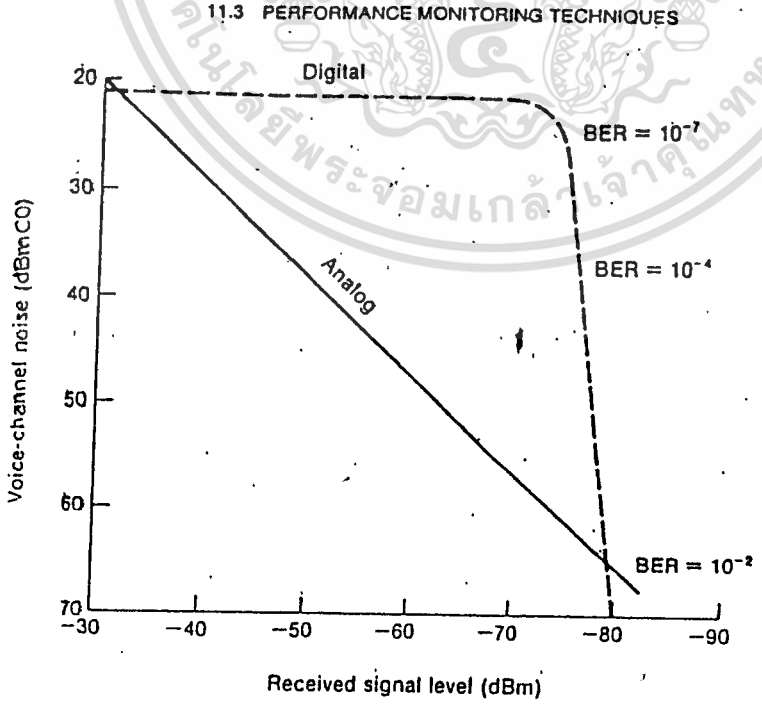


Figure 7 Performance of Analog vs. Digital Transmission

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Analog และ Digital นั้น ระบบ FDM คุณสมบัติจะค่อยๆเลวลงทีละน้อยขณะที่ระดับ In Putของเครื่องรับลดลง ส่วนระบบ PCM คุณสมบัติยังคงอยู่ในระดับสูงขณะที่ In Put ของเครื่องรับมีระดับลดลง แต่เมื่อระดับ In Putต่ำกว่าระดับต่ำสุด คุณภาพจะเลวลงอย่างรวดเร็วที่เหนือค่าที่เผื่อไว้ของระดับต่ำสุดเล็กน้อย

ผลของการมีคุณภาพสูง และผลของระดับต่ำสุดของการรับส่งสัญญาณ Digital สร้างปัญหาใหม่ในการกำหนดคุณสมบัติ เมื่อเปรียบเทียบกับการรับส่งสัญญาณ Analog การเลวลงทีละน้อยของสัญญาณ Analog แปรผันโดยตรงกับคุณสมบัติเลวลงที่ผู้ใช้ได้รับ และสามารถตรวจสอบได้โดยง่าย แต่การเลวลงทีละน้อยของสัญญาณ Digitalไม่มีผลต่อคุณสมบัติของระบบ จนกระทั่งเกิดการผิดพลาด(error)ขึ้น สัญญาณ Digital จะเลวลงจนถึงจุดที่การผิดพลาดมีผล เพียงค่าที่เผื่อไว้เล็กน้อยระหว่างเริ่มเกิดการผิดพลาด และคุณสมบัติไม่เป็นที่ยอมรับ ผลของการตรวจสอบคุณสมบัติต้องสามารถวัดได้ค่าคงที่ระหว่างภาวะการรับส่งปกติ และระดับต่ำสุดของช่องรับส่ง การตรวจสอบคุณสมบัติจะชี้ค่าที่เผื่อไว้ ทำให้ผู้ปฏิบัติงานเกี่ยวกับระบบสามารถที่จะวิเคราะห์วิธีการบำรุงรักษาก่อนที่คุณสมบัติที่ผู้ใช้ได้รับจะเลวลง

ในการออกแบบและการใช้งานของการตรวจสอบคุณสมบัติมีข้อกำหนด(Attributes) หลายอย่างที่ต้องพิจารณา รายการข้อกำหนดต่อไปนี้เป็นการตรวจสอบคุณสมบัติโดยผู้ปฏิบัติงานของระบบ ในการตรวจสอบการทำงานของระบบและใช้กับอุปกรณ์รับส่ง เพื่อควบคุมระบบ Diversity หรือการสับเปลี่ยนโดยอัตโนมัติของอุปกรณ์ที่ซ้ำกัน

– ในระหว่างใช้งานต้องยอมให้มีการรับส่งข่าวสารได้ตามปกติ และไม่มีผลต่อผู้ใช้ปลายทาง

– ความง่ายต้องเน้นเรื่องความวางใจได้ต้องคงอยู่ และราคาต่ำสุด

– การตอบสนองต้องรวดเร็วและสามารถตรวจจดได้เมื่อระบบเลวลงในทุกกรณี

– Dynamic range ต้องกว้างจากระดับต่ำสุด ถึงระดับสัญญาณที่รับเข้ามาที่สูงกว่าระดับต่ำสุด

– ต้องมีความละเอียดอย่างพอเพียง เพื่อทำการวัดปริมาณอย่างต่อเนื่องของค่าที่เผื่อไว้(Margin)

– การตอบสนองต้องคงที่และทบทวน เพื่อให้ความต้องการในการปรับแต่ง (Calibration)มีน้อยที่สุดหรือตัดทิ้งไปได้

– ต้องมีการกำหนดความสัมพันธ์ของหน้าที่หรือกฎที่ได้ตั้งขึ้นไว้ด้วย BER มี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วิธีการตรวจสอบคุณสมบัติที่จะอธิบายในหัวข้อต่อไปนี้ มีหลายอย่างด้วยกัน ความเหมาะสมของแต่ละวิธีการขึ้นอยู่กับ ความต้องการและความจำเป็นในปัญหาของระบบ

๓.๑ การรับส่งชุดของสัญญาณทดสอบ (Test Sequence Transmission)

มีอยู่เกือบๆที่ช่องสำรองที่มีอยู่ในอุปกรณ์ Multiplex หรือช่องทดสอบพิเศษ ได้ถูกจัดเป็นช่องบริการเพิ่มเติม(Auxiliary Service Channel)เพื่อทำการรับส่งสำหรับช่อง Pseudorandom Binary (PRBS) ที่มีอัตราเร็ว BIT ต่ำๆ ชุดของสัญญาณทดสอบนี้ถูกแทรกโดยสัญญาณ Digital ซึ่งเป็นข่าวสารหลักด้วยอัตราส่วน 1/N ของอัตราเร็วบิทของระบบ ที่เครื่องรับ B E R ถูกวิเคราะห์ด้วยอัตราส่วนของจำนวนบิทผิดพลาดที่ถูกตรวจพบ ต่อจำนวนบิทที่ส่งไปทดสอบ นอกความต้องการเพิ่ม Over head ของวิธีการนี้แล้ว ความต้องการเวลาเพื่อแสดงอัตราข้อผิดพลาดตามกำหนดคือเวลา H ซึ่งต้องการสำหรับการนับความผิดพลาดของบิทที่ส่งไปทั้งหมด ความต้องการความยาวของเวลาโดยตรงกับ การประเมินอัตราความผิดพลาดต่ำๆ ทำให้วิธีการนี้ไม่เหมาะสมสำหรับการใช้ควบคุมอุปกรณ์ Protection switching

๓.๒ การตรวจสอบ Frame Bit

ดูตาม Digital Multiplex มีรูป Frame Pattern โดยสำหรับ ใช้สำหรับการ Synchronize Pattern นี้คงที่และรู้ล่วงหน้า การประเมิน BER สามารถบรรลุได้โดยการวัดความผิดพลาด Frame Bit สำหรับวัตถุประสงค์ในการตรวจสอบคุณสมบัติอุปกรณ์ Multiplex จัก Digital Pulse Out Put สำหรับแต่ละ Frame Bit error ดังนั้นจึงต้องการเพียง Counter ที่จะให้ผลของ Frame Bit Error Rate ในบางกรณี ต้องการนับและค่าค่าเฉลี่ยโดยตรงร่วมกัน ในอุปกรณ์ Multiplexer ผลลัพท์ที่ได้แสดง Bit error rate ที่แผงหน้า ปกติแสดงเป็นขั้นละสิบเช่น ๑×๑๐^{-๓}, ๑×๑๐^{-๔}, ๑×๑๐^{-๕} เป็นต้น ในทางกลับกัน สัญญาณ Framing สามารถตรวจสอบได้โดย เครื่องมือวัดที่แยกจากอุปกรณ์ Multiplex

๓.๓ การตรวจสอบ Parity Bit

Bit ตรวจสอบหรือ Parity Bit ถูกรวมเข้ากับชุดข้อมูลหรือ Frame Digital Multiplex เพื่อที่จะทำการตรวจสอบการผิดพลาด ที่เครื่องส่ง Parity Bit ถูกรวมเข้ากับแต่ละชุดข้อมูล เพื่อสร้างผลรวมบิททั้งหมด ให้เป็นจำนวนคี่ หรือจำนวนคู่เสมอ ที่เครื่องรับผลรวมของบิท ในแต่ละ Block หรือ Frame ถูกเปรียบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับใช้ในการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เทียบกับค่าของ Parity Bit ที่รับเข้ามา การไม่เหมือนกันแสดงว่ามีการผิดพลาดเกิดขึ้น เมื่อใช้งานกับวิทยุ Digital มี Parity Bit สองแบบที่ถูกเพิ่มเข้ายัง Frame ที่ทำการส่งอยู่เสมอคือ Hop Parity Bit (Ph) และ Section Parity Bit (Ps) Ph ถูกตรวจสอบที่สถานี Regenerative Repeater แต่ละสถานี เพื่อแสดง error ที่เกิดขึ้นในแต่ละช่วง Ph ชุดใหม่ซึ่งจัดการแก้ไข Parity ให้ถูกต้องโดยข้อมูลที่รับเข้ามา แล้วป้อนเข้าไปยัง Frame เพื่อส่งไปยังช่วงต่อไป เพื่อเปรียบเทียบกัน ค่าของ Ps จะไม่เปลี่ยนตลอดช่วง(Section) ดังนั้นที่สถานีใด ๆ ตลอด Radio Section สามารถตรวจสอบ Ps และคำนวนการผิดพลาดที่เกิดขึ้นในการรับส่งจนถึงจุดนั้น ๆ

คล้าย ๆ กับวิธีการตรวจสอบขณะใช้งานอื่น ๆ การตรวจสอบ Parity ก็มีข้อจำกัด ในเรื่องความสามารถในการตรวจสอบการผิดพลาดของมัน จำนวนคี่ของการผิดพลาดใน Block หรือ Frame เท่านั้นที่ถูกสร้างเป็น Parity Error ดังนั้นการตรวจสอบ Parity จำยอมให้ความถี่แน่นอนในการประเมินอัตราการผิดพลาดของระบบเพียงอัตราความผิดพลาดขั้นต่ำ (ต่ำกว่า 10^{-N}, เมื่อ N คือความยาวของ Block หรือ Frame)

๓.๔ Signal Format Violations

วิธีการเข้ารหัสแบบหลาย ๆ ระดับที่แน่นอน (Certain Multilevel) มีข้อบังคับประจำตัวในเรื่องการเปลี่ยนจากระดับหนึ่งไปยังระดับอื่น สัญญาณที่ได้รับสามารถตรวจสอบการฝ่าฝืน (เปลี่ยน)ของระดับบังคับเหล่านี้ เมื่อตรวจสอบความผิดพลาดทั้ง Bipolar และ Partial Response Code มีเนื้อแท้ซ้ำกัน เพราะฉะนั้นจึงใช้รูปแบบนี้สำหรับการตรวจสอบความผิดพลาดได้ ระดับบังคับที่เปลี่ยนแปลงจะได้ระหัสต่างต่างกัน ยางตัวอย่างของการฝ่าฝืนระดับ (Level Violation) สำหรับมาตรฐานการเข้าระดับรหัสคือ

- Bipolar : Mark ที่มีขั้วเหมือนกัน ๒ บิทติด ๆ กัน
- H D B 3 : Bipolar Violation ที่มีขั้วเหมือนกัน ๒ บิทติด ๆ กัน
- B 3 Z S : mark ที่มีขั้วเหมือนกัน ๒ บิท ติด ๆกันไม่นับviolation ที่เกิดจากการเข้าระหัสแทนศูนย์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

๓.๕ การตรวจสอบ Eye Pattern

การตรวจสอบการเปิดกว้างของ Eye Pattern สามารถจัดการวัด (ประมาณ)คุณภาพของคุณสมบัติของความผิดพลาดได้ โดยที่เมื่อสัญญาณเลวลง Eye Pattern จะเลือน และการเปิดกว้างระหว่างระดับที่เวลาทำการ Sampling จะแคบลง สัญญาณรบกวนและความผิดเพี้ยนทาง Amplitude จะปิดการเปิดทาง. แนวตั้ง- Jitter และการเปลี่ยนแปลงของเวลาจะปิดการเปิดทางด้านแนวนอน ทางหนึ่งในการตรวจสอบ Eye Pattern คือการวัดการปิดของดวงตา แล้วเปรียบเทียบค่าที่วัดได้กับค่าในการทำงานของระบบในภาวะดีเลิศ การปิดของดวงตาสามารถแสดงเป็นการเลวลงของระบบเป็น dB ได้ดังนี้

การเลวลงของระบบ = ๒๐ log (๑ − การปิดของดวงตา)

ดังนั้นการวัดอาจเปลี่ยนเป็นการประเมินค่า B E R โดยการปรับแต่งอย่างง่าย ๆ ของการตรวจสอบ Eye Pattern วิธีการทั่วๆ ไป ส่วนมากสำหรับการตรวจสอบ Eye Pattern คือทำการวิเคราะห์ Bit Pattern ที่ถูกเลือก วิธีการนี้ทำการเปรียบเทียบ Eye Pattern ที่ได้รับกับ Eye Pattern แบบดีเลิศ สำหรับการเลือก Bit pattern ซึ่งอาจใช้ประโยชน์ในการแยกการขัดข้อง (Noise , Distortion , Jitter) อันเป็นเหตุให้ Eye ปิด

๔. การแยกเหตุเสีย (Fault Isolation)

ระบบการรับส่งสัญญาณ Digital ธรรมดา รวมเครื่องชี้สัญญาณบอกเหตุ (Alarm) และภาวะการทำงานไว้ด้วยซึ่งทำให้ผู้ปฏิบัติงานได้รู้ถึงเหตุเสียและแยกหาอุปกรณ์ที่เสียได้ ตัวแสดงเหตุเสียและภาวะการทำงานถูกแสดงบนแผงหน้าของอุปกรณ์โดยปกติโดย Diode เปล่งแสง (L E D) หรือต่อไปเข้าเครื่องพิมพ์ และอาจส่งไปแสดงที่สถานีอื่นที่อยู่ห่างไกลโดยผ่านสถานีถ่ายทอดสัญญาณ แบบอย่างที่ดีเลิศแต่ละหน้าที่หลัก (วงจร Multiplex , Demultiplex, Timing และอื่น ๆ) และแต่ละ Module (แผ่นวงจรพิมพ์แต่ละแผ่น) มีเครื่องสัญญาณบอกเหตุและภาวะการทำงานที่สัมพันธ์กัน มีอยู่บ่อย ๆ ที่อุปกรณ์ทดสอบที่ติดตั้งไว้ภายใน ถูกใช้เพื่อแสดงอาการข้อขัดข้องทั้งโดยอัตโนมัติหรือผู้ปฏิบัติงาน โดยการก้าวเข้ามาของ Microprocessor

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ระบบการรับส่งหลาย ๆ ระบบในปัจจุบัน ได้บรรจ Microprocessor เข้าไว้ ทำให้การตรวจสอบคุณสมบัติของระบบ กระทำได้อย่างต่อเนื่อง โดยลำดับของการออกแบบตรวจสอบ เพื่อตรวจสอบเส้นทางของสัญญาณและ Module ข้อความถูกจัดโดยตัวแสดงเหตุเสีย เพื่อความสะดวกในการบำรุงรักษาประจำ เพื่อช่วยเหลือในการค้นหาและแยกหาเหตุเสีย และมีผลต่ออุปกรณ์ Protection Switching อัตโนมัติ

ตัวแสดงเหตุเสียและภาวะการทำงาน สามารถใช้วิเคราะห์หาตำแหน่งเสียช่างผู้ดูแลรักษา สำหรับสถานีที่ไม่มีคนเฝ้า สัญญาณเหล่านี้ถูกส่งไปยังสถานีที่มีคนเฝ้า ทำให้ง่ายต่อการตัดสินใจที่จะควบคุมระยะไกล หรือทำการซ่อมแซมได้อย่างรวดเร็ว ชนิดของเหตุเสียและภาวะการทำงานต่อไปนี้ ถูกจัดไว้ทั้งภายในสถานี(Locally) หรือส่งไปแสดงณ สถานีที่อยู่ห่างไกล(Remote)

- การขัดข้องของอุปกรณ์รับส่ง (แยกเป็น Module หรือหน้าที่)
- การขัดข้องของต้นกำเหนิดกำลังงาน (Primary Power)
- การผิดพลาดของวงจร Alarm
- การผิดพลาดของวงจร Protection Switching
- ภาวะการทำงานของอุปกรณ์สับเปลี่ยนอัตโนมัติ
- ภาวะการทำงานของอุปกรณ์ที่ไม่ได้ใช้งาน (Off line)
- ภาวะการทำงานของการตรวจคุณสมบัติต่างๆ

ข่าวสารที่ถูกบรรจุโดยเครื่องชี้เหล่านี้ จะต้องพอเพียงที่จะแยกหาสถานีที่ผิดพลาด อุปกรณ์ที่ผิดพลาด และ Module ที่ผิดพลาด(แผ่นพิมพ์) นอกจากนั้นสัญญาณบอกเหตุ จะต้องแยกลำดับขั้นเป็นการกระทบกระเทือนถึงบริการ หรือไม่กระทบกระเทือนถึงบริการ สำหรับอุปกรณ์ Multiplex สาเหตุเสียที่มีผลกระทบต่อระดับความแรงของสัญญาณจะต้องมีการชี้ให้เห็นด้วย (ตัวอย่างเช่น จำนวนของสัญญาณDS-2ถูกกระทบกระเทือน จำนวนของสัญญาณDS-1ถูกกระทบกระเทือนและอื่นๆ)

ดังตัวอย่างเช่นระดับของการควบคุม สภาวะการทำงาน และตรวจสอบที่ใช้ในอุปกรณ์วิทย Digital และอุปกรณ์ Multiplex พิจารณาแผงแสดงด้านหน้าดัง แสดงในรูปที่ ๘ และ ๙ วิทยุใช้รูปที่๘ รวมทั้งT D M ซึ่งรวมข่าวสาร(Mission) สอง Bit Stream' (M B S) รวมทั้ง Bit Stream ของ Service Channel (S C B S) ถึงอย่างไรก็ตามทั้งเครื่องส่งและเครื่องรับจะมีนิตซ้ำกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

๒ ยูนิต โดยไม่ขึ้นแก่กัน ยูนิต A และ B สามารถสลับกันใช้งานได้โดยอัตโนมัติ และด้วยมือ การแสดงเหตุเสียด้วย LED และการอ่านค่าด้วยมาตรวัด สามารถใช้สำหรับค้นหาข้อขัดข้อง และการตรวจสอบแบบป้องกันบำรุงรักษา มาตรวัดใช้สำหรับตรวจแรงกันกระแสร์ตรงจากแหล่งจ่ายกำลัง และสัญญาณคลื่นความถี่วิทยุที่สำคัญ การควบคุมรวมทั้งการเลือกด้วยมือ หรือการสับเปลี่ยนเป็นอุปกรณ์สำรองโดยอัตโนมัติ(Automatic Protection Switching) การเลือกยูนิต A หรือ B ด้วยมือ และการ Loop Back ของเครื่องส่ง เครื่องรับที่ไม่ได้ใช้งาน (off - line)

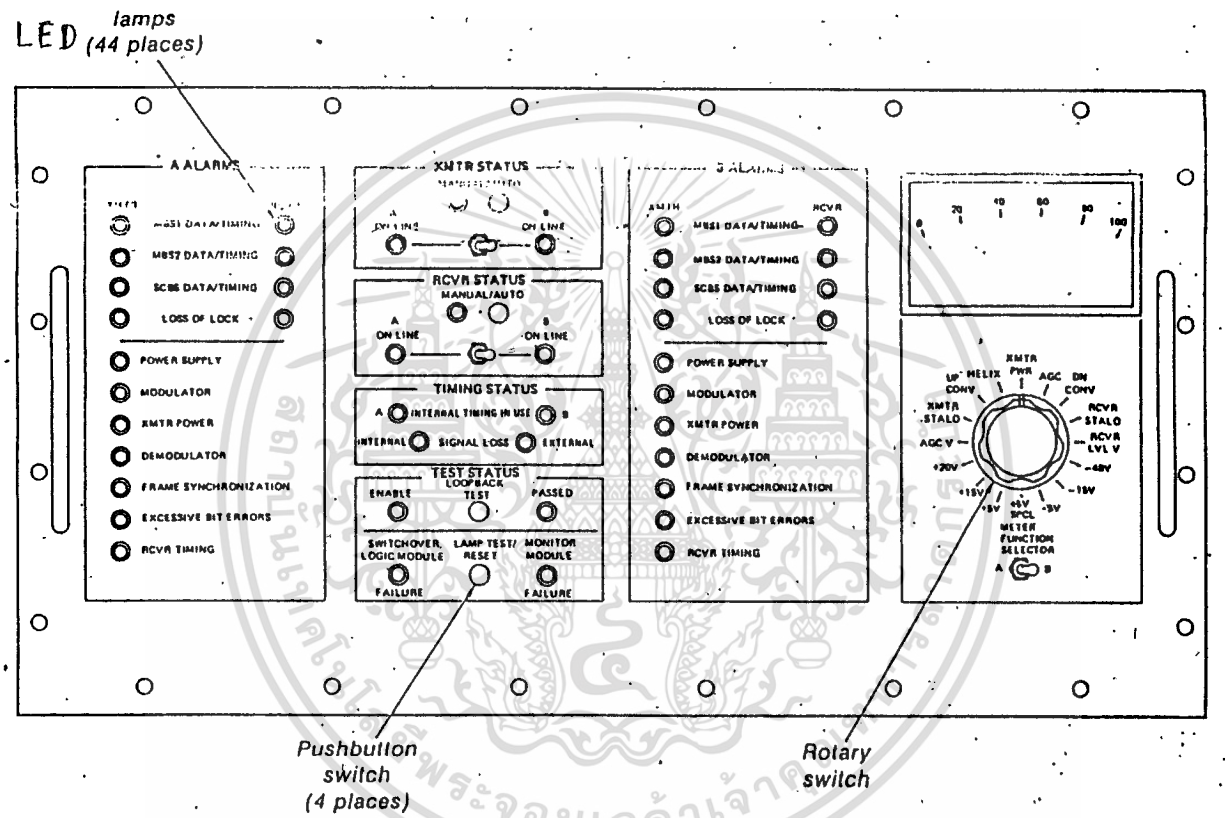


Figure 8 Display Panel Controls, Monitors, and Status Indicators for a Digital Radio (Reprinted by permission of TRW)

อุปกรณ์ Digital Multiplex แสดงในรูปที่ ๕ รวม Bit Stream ๑.๕๔๔ Mb/s ๘ ชุด (หรือPort) ให้เป็นข่าวสาร Bit Stream เดียว (MBS) Port; Multiplexer และ Demultiplexer Module ส่วนมี Unit ที่ซ้ำกัน Unit A และ B ที่ไม่เกี่ยวข้องกัน ถูกควบคุมโดย Module ซึ่งอยู่ข้างเคียง มีการแสดง alarm ของการสูญเสียของ Frame , การผิดพลาดของแต่ละ Frame , การสูญเสียของสัญญาณ In Put หรือ Out Put ที่ Port หรือระดับ BMS และการขัดข้องของ Module การขัดข้องแต่ละอย่าง ถูกแยกให้เป็น Module เดียว –

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ทั้ง Port module หนึ่ง หรือ Multiplex , demultiplex module ข้างเคียง หรือ Module จ่ายกำลังงานการแสดงภาวะการทำงาน รวมทั้งการควบคุมการสับเปลี่ยนโดยอัตโนมัติ,ด้วยมือหรือจากสถานีที่อยู่ห่างไกล (remote) แสดงการใช้งาน (on - line) ของเครื่อง A. หรือ B และแสดงการค้นหา Frame ได้หรือไม่ได้ การควบคุมผ่านสวิทช์โบก (Toggle Switching) ๓ ตัว เพื่อสับเปลี่ยนจาก Unit หนึ่งไปยัง Unit อื่น, Loop Back ของเครื่องส่งและเครื่องรับที่ไม่ใช้งานและทดสอบหลอด

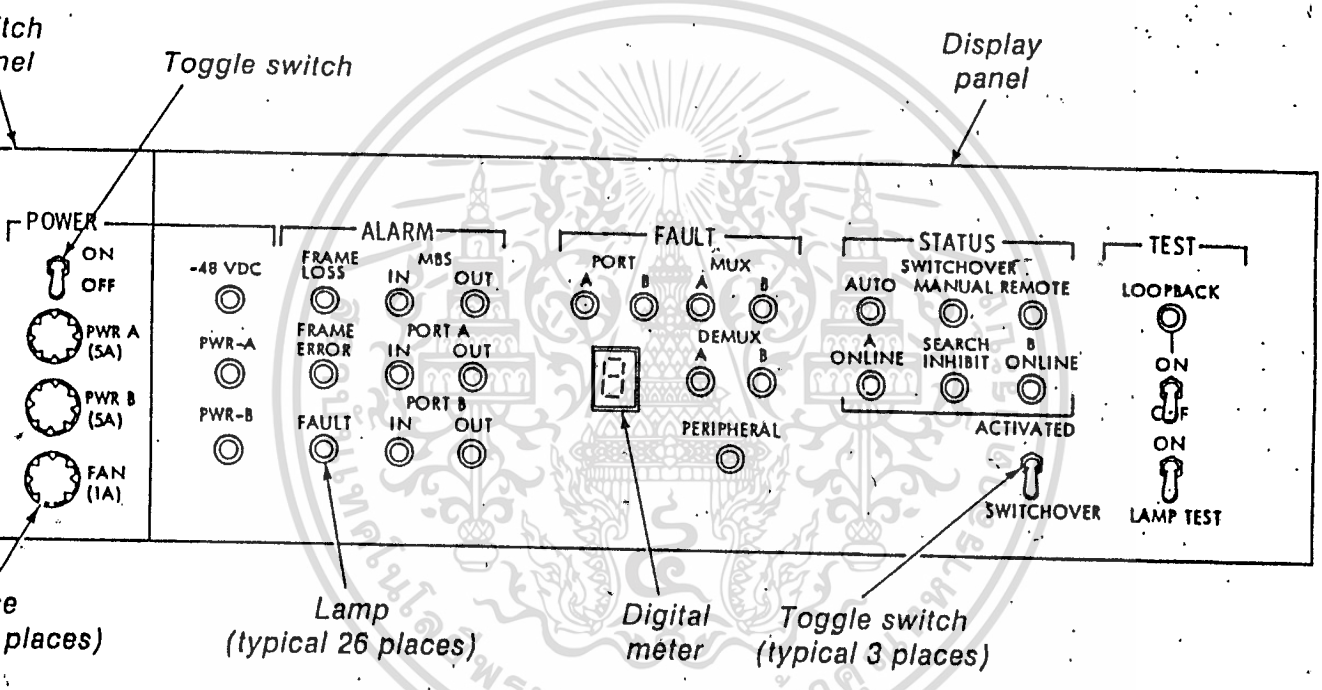


Figure 9 Display Panel Controls, Monitors, and Status Indicators for a Digital Multiplexer (Reprinted by permission of TRW)

ในการเพิ่มเติมการแสดง (Display) ของการขัดข้องภายในสถานี (Local alarm) การขัดข้องอย่างเร่งด่วน (Major alarm) จะถูกส่งไปยังสถานีปลายทางที่ห่างไกล และไปยังอุปกรณ์อื่นที่ถูกกระทบกระเทือนต่อภาวะการขัดข้องอาจจะสะดวกที่จะส่งไปยังสถานีปลายทางที่ห่างไกล โดยการเปลี่ยนแปลงเงื่อนไขของ Frame Synchronization Pattern หรือ Over head Pattern อื่นๆ ในอุปกรณ์ P c m Multiplex แบบธรรมดา major alarm มีผลในการกำจัดของ Analog V.F. out put ทำนองเดียวกันสำหรับอุปกรณ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Digital Multiplex สัญญาณบอกเหตุขัดข้อง (A I S) ได้ถูกส่งในทิศทางที่ถูกกระทบกระเทือน (Downstream) A I S ปกติเป็น Pattern แบบ " I " ตลอด หรือสัญญาณอื่นบางอย่าง สำหรับใช้แทนสัญญาณปกติ ส่งไปยังอุปกรณ์ด้านรับ (Downstream) ที่ซึ่งการขัดข้องจะถูกตรวจพบ และ Maintenance Alarm อื่นๆ ที่ถูกกระตุ้นโดย Alarm นี้ จะต้องละทิ้งหรือยับยั้งในการแยกอาการที่ไม่จำเป็นออก การตรวจจับภาวะการขัดข้องและขั้นตอนต่าง ๆ มีข้อเสนอแนะของ C C I T T สำหรับ - - - และอุปกรณ์ Digital Multiplex

สำหรับระบบ Redundant Unit ที่เสีย จะถูกตัดออกโดยอัตโนมัติ และถูกแทนที่ด้วยการทำงานของ Unit สำรอง นั่นเป็นการปฏิบัติตามความต้องการสำหรับพฤติการบำรุงรักษา ถ้าวงจรสับเปลี่ยนอัตโนมัติเสียเอง การสับเปลี่ยนด้วยมือกลายเป็นความจำเป็น การสับเปลี่ยนด้วยมือสามารถกระทำได้โดยการควบคุมภายในสถานี และปกติใช้ควบคุมระยะไกลด้วย ดังนั้นการสับเปลี่ยนด้วยมือ ไม่ว่าจะเป็นภายในสถานีหรือระยะไกล จัดไว้เพียงเพื่อเป็นการสนับสนุนให้วิธีการสับเปลี่ยนโดยอัตโนมัติเป็นไปด้วยดี

สำหรับระบบ Non redundant Unit เสีย ต้องการพฤติการบำรุงรักษาด้วยมือ เพื่อให้การบริการกลับคืนดี ขึ้นอยู่กับสิ่งเกี่ยวข้องที่จะหาได้ บุคคลผู้ได้รับการฝึกฝน อุปกรณ์ทดสอบและชิ้นส่วนอะไหล่ การทำให้กลับเหมือนเดิมนี้อาจจะต้องพิจารณาถึงเวลา เป็นการสับเปลี่ยน ชิ้นส่วนวงจรที่มีลำดับความสำคัญสูง สลับเส้นทางรับส่งสามารถวางแผนให้กระตุ้นอุปกรณ์ที่ขัดข้องในเส้นทางหลัก วิธีการนี้น่าจะยังต้องการพฤติการควบคุมด้วยมือ แต่ข้อจำกัดอยู่ที่การต่อผ่านวงจรอย่างง่าย (Simple Patching) ในทั่วๆไป การบรรลุผลในการบำรุงรักษา สำหรับการบริการกลับคืนดี ขึ้นอยู่กับคุณสมบัติที่ต้องการของการบริการ

๕. ระบบการตรวจสอบและควบคุม (Monitoring and Control)

Block diagram ของระบบการรับส่งการตรวจสอบ และควบคุม แสดงในรูปที่ ๑๐ เป็นวงจรสำหรับ สองสถานีแบบง่ายๆ ในรูปที่ ๑๐ แสดงสถานี ๒ แบบ คือสถานีที่อยู่ห่างไกล (Remote) และสถานีผู้ดูแล(Master) เป็นลักษณะเฉพาะชนิด เพื่อรับส่งสัญญาณตรวจสอบและควบคุม สถานีที่อยู่ห่างไกลต้องเก็บรวบรวมสัญญาณแจ้งเหตุเสีย และภาวะการทำงาน เพื่อส่งไปยังสถานีผู้ควบคุม สถานีควบคุมแสดงสัญญาณแจ้งเหตุเสีย และสัญญาณแสดงสภาวะ และรับสัญญาณแสดงภาวะการทำงาน แสดง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณแจ้งเหตุเสียและสภาวะการทำงาน สำหรับสถานีที่อยู่ห่างไกลแต่ละสถานี และสร้างและส่งสัญญาณควบคุมตามต้องการไปยังสถานีที่อยู่ห่างไกลแต่ละสถานี โดยทั่วไปสถานีควบคุมอาจจะเชื่อมโยงและควบคุมสถานีห่างไกลได้หลายแห่ง โดยกลับกันสถานีห่างไกลอาจจะส่งรายงานไปยังสถานีควบคุม ๒ แห่งหรือมากกว่า หนึ่งในสถานีเหล่านี้ถูกกำหนดให้เป็นสถานีหลัก และสถานีอื่นเป็นสถานีสนับสนุน สถานีควบคุมหลักสามารถร้องขอข่าวสารหรือเริ่มทำการควบคุมสถานีห่างไกล สถานีควบคุมสนับสนุนคอยรับฟังการร้องขอของสถานีควบคุมหลักและตอบสนอง และสามารถกระทำเช่นเดียวกับสถานีควบคุมหลัก ในการควบคุมจากช่างผู้ดูแลระบบ

สัญญาณตรวจสอบและควบคุมจะส่งผ่านทาง Service Channal ซึ่งโดยปกติแยกข่าวจากข่าสารหลัก Service Channel ประกอบด้วย Voice order wire และสัญญาณ Telemetry ที่ต้องการสำหรับการตรวจสอบและดูแลของข่ายงานทั้งหมด และการเชื่อมโยงแต่ละช่วง ดังแสดงในรูปที่ ๑๐ อุปกรณ์ Multiplex ใช้สำหรับรวม Voice Order Wire และสัญญาณแจ้งเหตุเสีย, สัญญาณแสดงภาวะการทำงาน และสัญญาณควบคุม สำหรับรับส่งผ่าน Service Channel Voice order wire ใช้สำหรับช่างผู้ทำการบำรุงรักษาอุปกรณ์วิทยุหรือสายสัญญาณแสดงภาวะการขัดข้องของอุปกรณ์และภาวะการทำงาน ได้จากการต่อของ Contact Pulse Out Put และแรงดัน Analog ที่รวบรวมจากอุปกรณ์รับส่งของสถานีห่างไกลและเข้ารหัสเป็นรูป Digital แบบอนุกรม สำหรับเชื่อมโยงอุปกรณ์ Service Channal Multiplex สัญญาณควบคุมที่ถูกส่งผ่าน Service Channal ด้วยส่งจากสถานีควบคุม สำหรับเชื่อมโยงกับอุปกรณ์รับส่งที่สถานีห่างไกล ความต้องการและคุณสมบัติอย่างอื่นของระบบการตรวจสอบและควบคุม อธิบายในหัวข้อต่อไปนี้

๕.๑ ระบบการรายงาน (Reporting System)

การรายงานโดยทั่วไปมีใช้งานอยู่ ๒ แบบคือ ระบบต่อเนื่อง(Continuous) และระบบ ถาม ตอบ(Polled) ในการรายงานระบบต่อเนื่อง สถานีห่างไกลแต่ละสถานี ทำการส่งสัญญาณแจ้งเหตุเสียและภาวะการทำงานของมันเองอย่างต่อเนื่อง สถานีห่างไกลแต่ละแห่ง ต้องการช่องสัญญาณรับส่งแยกกันต่างหาก สถานีควบคุมรับสัญญาณแจ้งเหตุเสียและภาวะการทำงานเหล่านี้ และส่งข่าวสารการควบคุมไปยังสถานีห่างไกลแต่ละแห่ง ผ่านช่องสัญญาณรับส่งที่แยกกัน เมื่อจำนวนของสถานีห่างไกลที่รายงานผลมา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

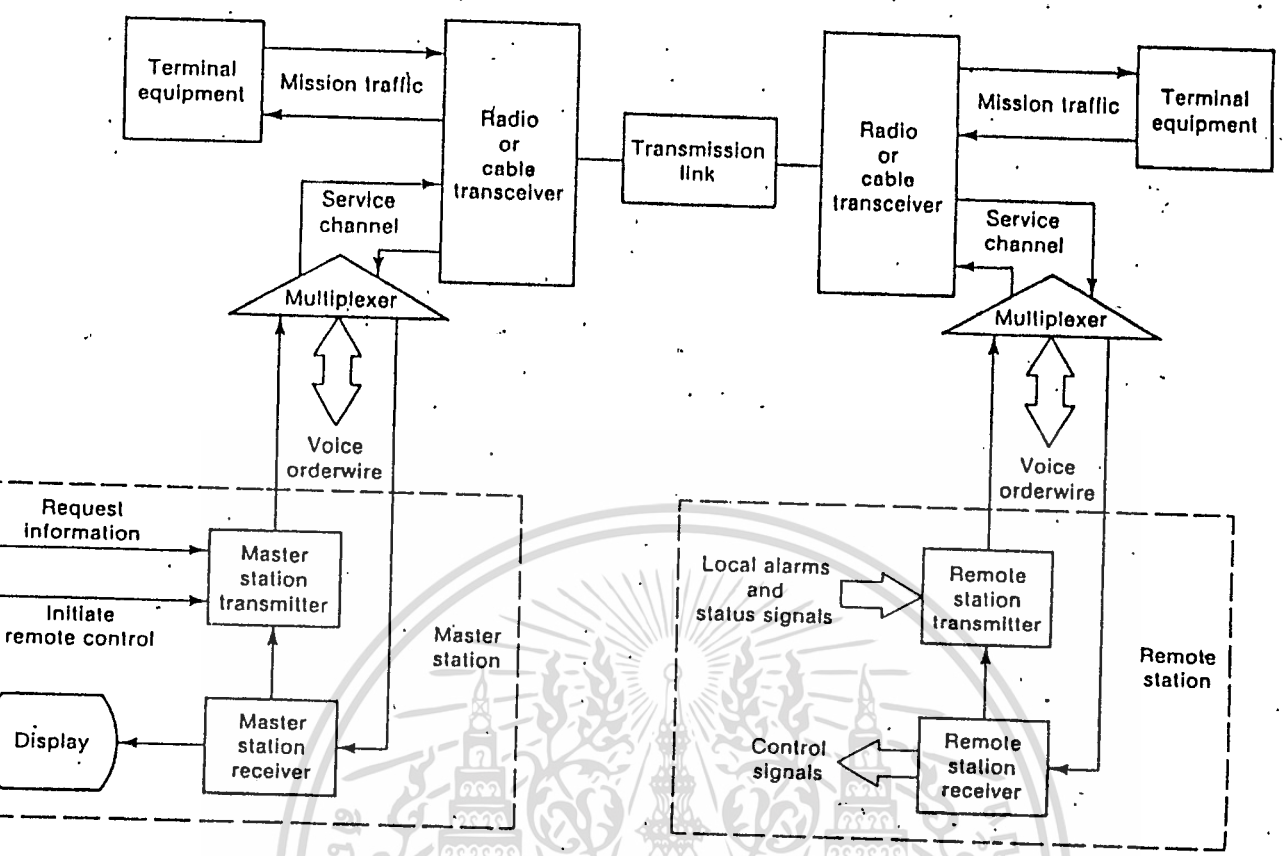


Figure 10 Block Diagram of Transmission Monitoring and Control System

ยังสถานีควบคุมเพิ่มขึ้น จำนวนของช่องสัญญาณรับส่งก็เพิ่มขึ้นด้วย นี่เป็นข้อเสียของระบบรายงานอย่างต่อเนื่อง ระบบในทางปฏิบัติส่วนใหญ่ใช้วิธีการถาม ตอบ เป็นวิธีซึ่งสถานีห่างไกลจะร่วมใช้ช่องสัญญาณรับส่งด้วยกันบนพื้นฐานการใช้สายร่วมกัน(Party line) สถานีห่างไกลแต่ละแห่งมีที่อยู่ของมันเอง และตอบสนองเฉพาะเมื่อมันถูกเรียก(Addressed) หรือเวียนมาถึงรอบของมัน(Polled)โดยสถานีควบคุม สถานีห่างไกลอื่นๆ ทั้งหมดยังคงอยู่ในภาวะว่าง (Idle)อยู่ จนกระทั่งถูกเรียก เมื่อถึงรอบ (Polled)คำตอบของสถานี remote ประกอบด้วย ที่อยู่ของมันและข่าวสารที่ถูกร้องขอ

๔.๒ เวลาในการตอบสนอง(Response Time)

ในแผนการรายงานอย่างต่อเนื่อง สัญญาณแจ้งเหตุเสียและภาวะการทำงานถูกส่งโดยปราศจากการล่าช้า ดังนั้นเวลาในการตอบสนองจึงไม่ต้องสนใจ วิธีการถาม ตอบ สถานีห่างไกลแต่ละแห่งต้องรอให้เวียนมาถึงรอบของมันที่จะรายงาน ดังนั้นข่าว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารจึงต้องถูกเก็บเอาไว้ที่สถานีห่างไกลแต่ละแห่ง จนกระทั่งสถานีนั้น ถูกเรียกเวลาในการรอคอยที่แท้จริง สำหรับการรายงานจากสถานีห่างไกล ถูกกำหนดโดยจำนวนของสถานีห่างไกล ขนาดของสถานีห่างไกล และความจุของช่องสัญญาณ Telemetry ที่ใช้สำหรับการรายงาน เวลาในการตอบสนองที่ต้องการถูกกำหนดโดยหลักการบำรุงรักษา นั่นคือโดยผู้ปฏิบัติที่สถานีดูแล เมื่อภาวะการขัดข้องถูกตรวจพบ ถ้าการตอบสนองของผู้ปฏิบัติงาน ส่งคณะผู้บำรุงรักษาไปยังสถานีห่างไกลอย่างรวดเร็ว การตอบสนองจากสถานีห่างไกลอย่างรวดเร็วก็ไม่สำคัญนัก การตอบสนองอย่างรวดเร็วจากระบบการรายงานเป็นสิ่งสำคัญ เพียงแต่ถ้าการควบคุมระยะไกลสามารถที่จะใช้ได้ นั่นก็คือจะยอมให้ถอด Unit ที่เสียออก และทำให้กลับคืนดีดังเดิมด้วย Unit สำรอง เวลาในการตอบสนองของระบบสามารถทำการปรับปรุงได้ถ้าจำเป็น โดยการเพิ่มอัตราเร็ว Data ของช่องสัญญาณ Telemetry หรือลดจำนวนของการรายงานของสถานีห่างไกล ที่ส่งมายังสถานี

๕.๓ ความมั่นคงของระบบ (System Integrity)

ระบบการรายงานต้องจัดการป้องกันการผิดพลาดของการรับส่งด้วย รวมทั้งการเสียช่วงสั้น ๆ และการเสียหายของอุปกรณ์ การตรวจพบข้อผิดพลาดบางอย่างต้องการป้องกัน การรายงานผิดพลาดของการขัดข้องหรือเกิดการขัดข้องของการควบคุมระยะไกล ยิ่งกว่านั้นการเปลี่ยนจากการยอมรับรู้ หรือไม่ยอมรับรู้ จะมีความต้องการเมื่อการควบคุมได้เริ่มที่สถานีควบคุม สำหรับให้ปฏิบัติการที่สถานีห่างไกล สุดท้ายระบบการรายงานต้องปลอดภัยจากการเสีย (Fail - Safe) ดังนั้นอุปกรณ์ที่ขัดข้องต้องไม่เป็นสาเหตุต่อการแจ้งเหตุเสียและการควบคุมจากภายนอก

๕.๔ วิธีการในการรับส่ง(Transmission Techniques)

วิธีการสำหรับการรับส่ง Service ghannelในระบบการรับส่ง Digital แบ่งออกเป็น ๓ แบบ คือ

(๑) ทำการรับส่งภายใน Bit Stream ของข่าวสารหลัก

(๒) ทำการรับส่งใน Channel ต่างหาก แล้วรวมเข้ากับ Bit stream ของข่าวสารหลัก โดยใช้วิธีการ Multiplex หรือ Modulate และ

(๓) ทำการรับส่งโดยแยกตัวกลางจากที่ใช้กับข่าวสารหลัก

ในวิธีการแรกใช้ Channel ของอุปกรณ์รับส่งของข่าวสารหลัก เรียกว่าอุปกรณ์ Multiplex สำหรับใช้เป็น Service Channel วิธีการนี้มีข้อดีคือไม่ต้องการอุปกรณ์ Multiplex อื่น หรือตัวกลางอื่นอีก แต่มันต้องการอุปกรณ์ Demodulator

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

และ Demultiplex ของข่าวสารหลักที่แต่ละสถานี เพื่อที่จะทำเป็น Service Channel ได้

วิธีที่สามต้องการตัวกลางและช่ายสายต่างหาก ตัวอย่างเช่น ช่ายสายโทรศัพท์สาธารณะ เพื่อจัดการต่อ Service Channel ระหว่างสถานต่าง ๆ วิธีการนี้ไม่ขึ้นอยู่กับสัญญาณข่าวสารหลัก แต่มันมีข้อเสียที่ชัดเจนคือ ราคาสูง และขีดความสามารถต่ำ

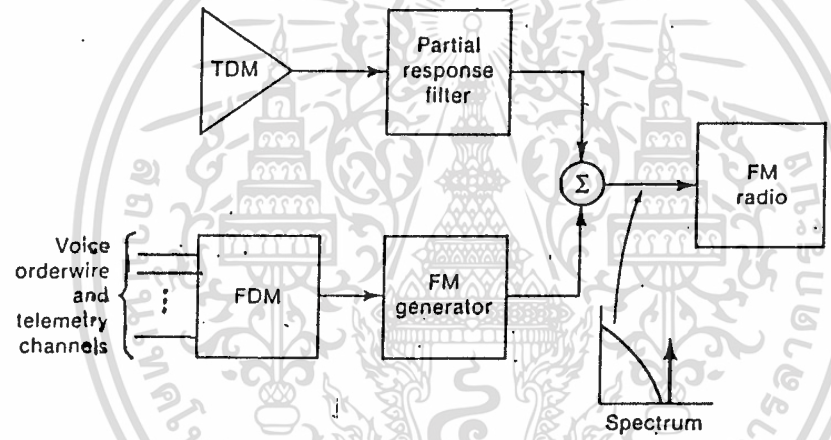
มีเพียงวิธีการที่ ๒ เท่านั้นที่ตรงตามความต้องการที่จะนำสัญญาณ Service Channel ออกมาและใส่เข้าไปที่แต่ละสถานีได้โดยง่าย โดยเพียงแต่เพิ่มราคาของอุปกรณ์ Multiplex และความซับซ้อนเพียงเล็กน้อย

ดังนั้นกรรมวิธีที่ใช้ในการรับส่ง Service Channel ปกติส่วนใหญ่ใช้ Channel เพิ่มเติม ซึ่ง Modulate หรือ Multiplex เข้ากับย่านเดียวกับที่รับส่งข่าวสารหลัก วิธีการนี้สามารถแยกได้เป็น ๒ ทางคือ ทำการรวมโดยแบ่งเวลา (T D M) สัญญาณ Service Channelในรูป Digital เข้ากับสัญญาณDigital Bit Stream ข่าวสารหลัก หรือทำการ Modulate สัญญาณ Service Channel ในรูป Analog หรือ Digital โดยใช้วิธีการของ Secondary Modulation (A M,FM หรืออย่างอื่น) กรรมวิธี T D M ต้องการวงจร Multiplex ซึ่งรวมสัญญาณ Service Channel และข่าวสารหลักที่เครื่องส่ง และการทำงานที่ตรงกันข้ามที่เครื่องรับ วงจรที่เพิ่มเติมนี้และการรับส่ง Over Head มีการกระทบกระเทือนต่อราคาและคุณสมบัติของระบบน้อยมาก จึงสามารถตัดทิ้งได้ เครื่องมืออย่างที่ ๒ สำหรับทำการรับส่ง Channel เพิ่มเติม โดยทั่วไปใช้ระบบวิทยุ ซึ่งสัญญาณเพิ่มเติมถูก Modulate ทางความถี่เข้ากับ Carrier , Modulate ทาง Amplitude เข้ากับสัญญาณ RF หรือใช้ Sub - Carrier ป้อนเข้าไปยังแถบความถี่สูงหรือต่ำกว่าแถบของข่าวสารหลัก วิธีการรับส่ง Service Channel เหล่านี้สำหรับวิทยุต้องใช้การ Modulate แบบระดับต่ำ และ Bandwidth แคบๆ เพื่อที่จะหลีกเลี่ยงการเลวลงของข่าวสารหลัก และไม่ให้เกินแถบความถี่ที่กำหนดไว้ เพราะว่าข้อกำหนดเหล่านี้ กรรมวิธี TDM ปกติจึงถูกใช้งานมากในระบบวิทยุ

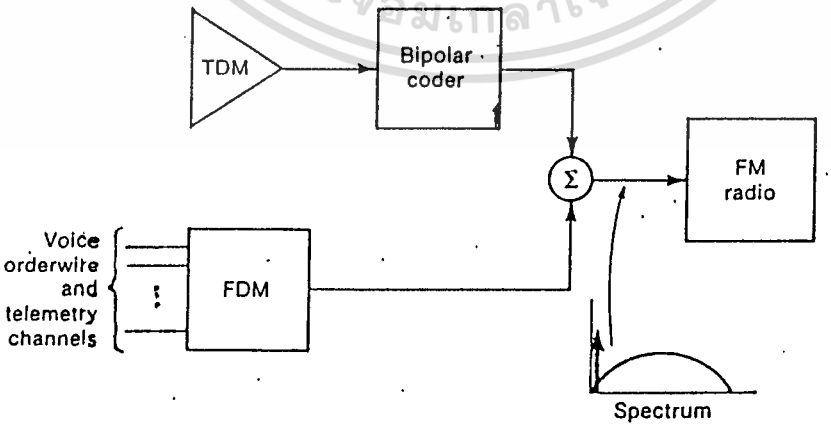
ถ้าวิทยุ Analog ถูกใช้สำหรับรับส่งสัญญาณ Digital วิธีการ TDM จะถูกใช้รับส่ง Service Channel บ่อยๆ ไม่ได้ผลจริง โดยเฉพาะเมื่อ Service Channel เป็นสัญญาณ Analog รูปที่ ๑๑ แสดงการเชื่อมโยง ๒ แบบ ในระ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในระหว่างอุปกรณ์ Multiplex แบบ FDM ของสัญญาณ Analog Service Channel และ Bit Stream ของ TDM. สำหรับการรับส่งด้วยวิทยุระบบ FM รูปที่๑๑ a สัญญาณข่าวสารหลักถูกส่งผ่าน Partial Response Eilter เพื่อยอมให้ป้อน FM Sub Carrier เหนือย่านข่าวสาร Digital หลังจากการรวมสัญญาณรวมถูกส่งไปยังระบบวิทยุที่เครื่องรับ. Subcarrier ถูก Demodulate. และ Demultiplex กลับมาเป็น Service Channel รูปแบบคล้ายกันแสดงในรูปที่ ๑๑ b ใช้การเข้าระหัสแบบ Bipolar สำหรับการรับส่งข่าวสารหลัก // เพื่ออนุญาตให้ป้อนสัญญาณ Service Channel ในด้านความถี่ต่ำของ Band วิธีการเหล่านี้หลีกเลี่ยงความจำเป็นของวงจร Sub carrier ที่เพิ่มค่าใช้จ่ายของระบบ คุณภาพสดลงระหว่างการใช้งานของ Bi polar ค่อนข้างจะมากกว่า การเข้าระหัสแบบ Partial Response



(a) Service channel above digital baseband



(b) Service channel below digital baseband

Figure 11 Service Channel Transmission Techniques for Digital Transmission via FM Radio

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

๖. บทสรุป (Summary)

ระหว่างการติดตั้งและการทำงานของระบบรับส่ง ต้องมีการตรวจสอบคุณภาพและตรวจสอบอย่างต่อเนื่อง เพื่อให้แน่ใจได้ว่าการออกแบบและการทำงานได้มาตรฐานตามต้องการ ความต้องการนี้ นำไปสู่พัฒนาการของการทดสอบ, การตรวจสอบ และวิธีการควบคุม เพื่อรองรับการนำเข้าสู่ระบบการรับส่ง Digital

วิธีการทดสอบสามารถแบ่งออกเป็น แบบระหว่างใช้งาน เมื่อข่าวสารหลักไม่ถูกกระทบกระเทือนโดยการทดสอบ หรือแบบนอกการใช้งาน เมื่อข่าวสารหลักต้องถูกขจัดออกเพื่อทำการทดสอบ ระหว่างการติดตั้งและก่อนมอบหมายระบบ ต้องทำการตรวจสอบแบบนอกการใช้งาน เพื่อตรวจสอบคุณสมบัติเฉพาะของส่วนประกอบ(Parameter) คุณสมบัติต่างๆ ของระบบ Digital ดังเช่น อัตราความผิดพลาดของบิท(Bit Error Rate) Jitter และการนับจำนวนบิทที่ถูกต้อง(Bit Count Integrity) การทดสอบคุณสมบัติประกอบอื่นๆ เช่นความน่าเชื่อถือ(Reliability)ของอุปกรณ์ และ Multipath Fading ต้องการทดสอบระยะยาวและวิธีการที่ทันสมัย ความทนทานของระบบรับส่ง Digital นำไปสู่ปัญหาใหม่ๆ อย่างหนึ่งคือ การพยายามตรวจสอบความสมบูรณ์ของมันระหว่างการทำงาน คุณสมบัติที่มีผลต่อผู้ใช้ไม่มีผลต่อการสูญเสียของจำนวนที่เผื่อเหลือเผื่อขาด จนกระทั่ง 2 - 3 เคซิเบลสุดท้ายซึ่งคุณสมบัติจะลดลงอย่างรวดเร็ว การตรวจตราคุณสมบัติต้องจัดเครื่องแสดงการเลวลงของระบบ เพื่อยอมให้ผู้ปฏิบัติเข้าแทรกก่อนที่การบริการผู้ใช้จะไม่ยอมรับจำนวนของการตรวจสอบคุณสมบัติในระหว่างการใช้งานที่ถูกพิจารณานี้ รวมทั้งการตรวจสอบ Pseudo Error ซึ่งมีการให้เหตุผลว่าจำเป็นสำหรับการตรวจสอบระบบรับส่ง Digital

การแยกข้อผิดพลาดได้รับผลสำเร็จอย่างมากมาย โดยเครื่องชี้การขัดข้องและภาวะการทำงาน ซึ่งติดตั้งอยู่ในอุปกรณ์รับส่ง สำหรับอุปกรณ์ที่ซ้ำกัน(Redundant) การเสียหายส่วนมากรู้ได้โดยอัตโนมัติ และถูกถอดออกโดย Protection Switching ถ้า Redundancy ไม่ถูกใช้ หรือ Protection Switching เสียเอง ผู้ปฏิบัติต้องรู้การแสดงการขัดข้องและภาวะการทำงานอย่างพอเพียงที่จะแยกข้อผิดพลาดของสถานีและอุปกรณ์ หลังจากการแยกข้อผิดพลาด การบริการถูกทำให้กลับคืนดังเดิม โดยการควบคุมภายในสถานี หรือการควบคุมระยะไกล ของ Protection switching โดยใช้อุปกรณ์อาหลั่ย หรือโดยส่งคณะช่างบำรุงรักษาสำหรับซ่อมอุปกรณ์

การรวบรวมและการแจกจ่ายข่าวสารการตรวจสอบ,ข้อขัดข้อง และภาวะ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การทำงานต้องการ Service channel ซึ่งประกอบด้วยสัญญาณ Telemetry และสัญญาณเสียง Service channel โดยปกติถูกรวมเข้ากับข่าวสารหลัก โดยวิธีการ TDM หรือ Subcarrier ที่แต่ละสถานี Service channel สามารถที่จะยอมให้ผู้ปฏิบัติงานติดต่อกันทาง Voice order wire หรือแลกเปลี่ยนสัญญาณข้อขัดข้อง, การตรวจสอบหรือควบคุม การตรวจสอบและควบคุมระบบธรรมดาใช้สถานีควบคุมถามไปยังสถานีห่างไกลแต่ละแห่งเป็นจังหวะ จำนวนของสถานีห่างไกลเพื่อรวบรวมสัญญาณขัดข้องและภาวะการทำงาน แล้วสถานีควบคุมทำการแสดงข่าวสารเพื่อให้ผู้ปฏิบัติงานของระบบแยกข้อผิดพลาด และทำให้การบริการกลับคืนดี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ ๒

การออกแบบและการสร้างเครื่องวัดอัตราความผิดพลาดของบิทสำหรับการรับส่งข้อมูล

(A design and Construction of bit error rate measurement for data Transmission)

การทดสอบคุณภาพของระบบรับส่งข้อมูล(Data Transmission System) อาจทำได้หลายวิธีตามที่กล่าวมาแล้วในบทที่๑ ซึ่งก็ขึ้นอยู่กับว่า ต้องการจะทดสอบส่วนใดของระบบ การทดสอบที่สำคัญประการหนึ่ง ก็คือการวัดหาค่าอัตราความผิดพลาดของบิท(Bit Error Rate B E R) ซึ่งจะได้ว่า คืออัตราส่วนระหว่างจำนวนบิทที่ผิดพลาดในสัญญาณที่รับได้ ต่อจำนวนบิทที่ส่งไปทั้งหมด ซึ่งวัดเป็นจำนวนบิทที่ผิดพลาดต่อบิทที่ส่ง ในลักษณะเช่นนี้ B E R ก็คือค่าของความเป็นไปได้ที่บิทใดบิทหนึ่งที่รับได้จะผิดพลาดนั่นเอง วิธีการวัดหา B E R ก็คือ การส่งสัญญาณไบนารี่แบบสุ่มเทียม (Pseudo random Binary) ป้อนผ่านอุปกรณ์ภายใต้การทดสอบ ควรเลือกความยาวของสัญญาณ ให้เหมาะสมเพื่อให้สามารถจำลองสัญญาณที่ใช้งานตามปกติได้ และควรให้สัญญาณมีรูปแบบ (Pattern) ที่มีบิทเปลี่ยนแปลงไปอย่างพอเพียงกับความต้องการ เพื่อให้สามารถทดสอบส่วนของอุปกรณ์สื่อสารที่มีความไวต่อรูปแบบของสัญญาณได้ดี ทางด้านเอาท์พุทของระบบส่งสัญญาณข้อมูล ที่รับได้จะถูกซิงโครไนซ์กับสัญญาณเดิมที่สร้างขึ้นมาอีกโดยตรงอย่างไม่มีผิดพลาด และทำการเปรียบเทียบแบบบิทต่อบิท ความแตกต่างที่เกิดขึ้นคือบิทที่ผิดพลาด และถ้าทำการนับในช่วงเวลาที่รู้จำนวนคาบเวลา (Period)ของสัญญาณเวลา(Clock)ที่แน่นอนก็สามารถแสดงออกมาเป็น BER ได้

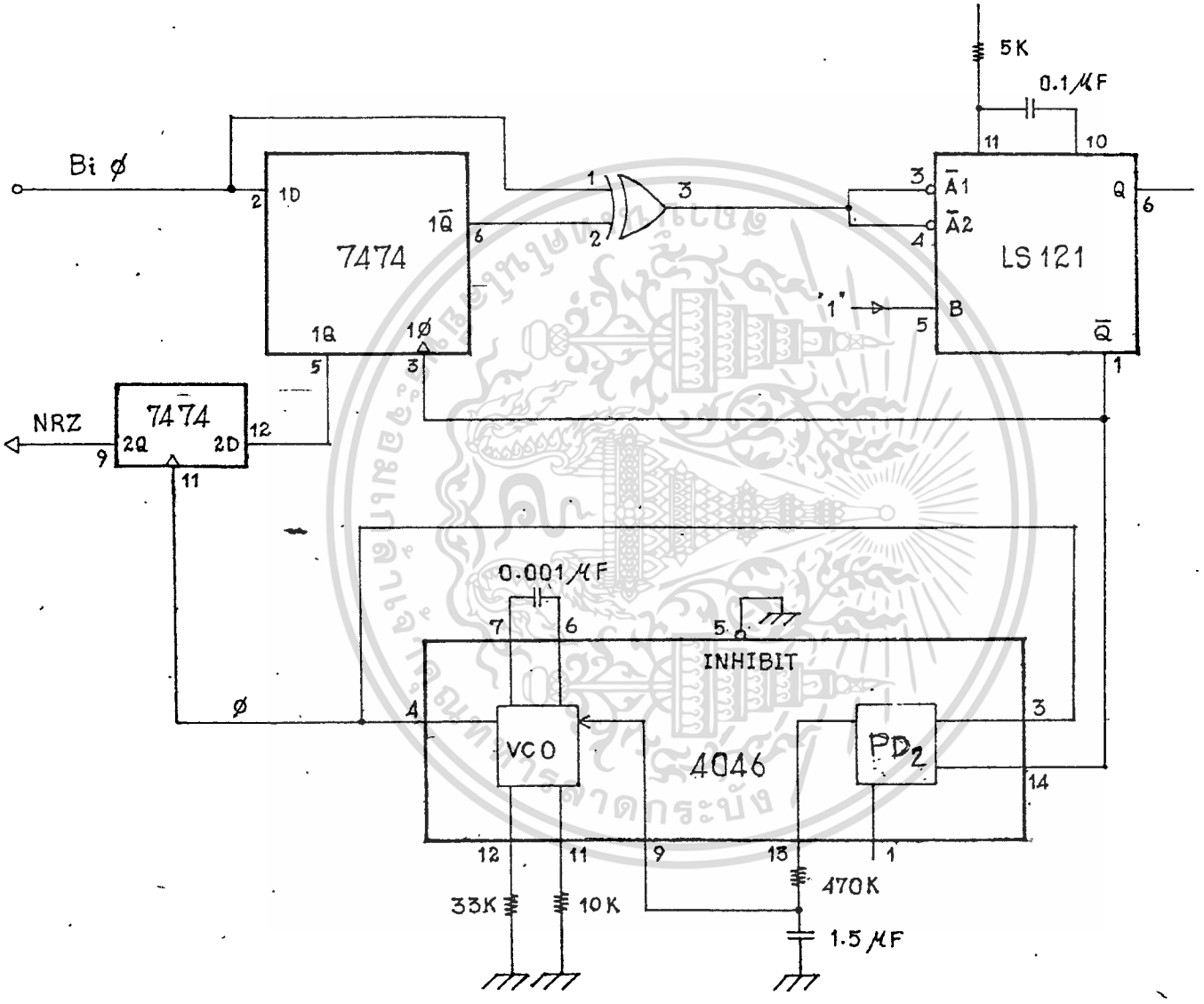
ในการทดสอบหา BER ตามปกติจุดส่งและรับสัญญาณจะอยู่ห่างกัน ฉนั้นจะต้องมีอุปกรณ์ส่งสัญญาณทางด้านส่ง และมีอุปกรณ์รับสัญญาณทางด้านรับซึ่งมีคุณลักษณเหมือนกัน และจะต้องมีการควบคุมทางด้านใดด้านหนึ่ง หรือทั้งสองด้านด้วยกัน แต่ในบางครั้ง การวัด B E R อาจจะกระทำณ จุดที่มีการส่งสัญญาณกลับได้ โดยใช้การป้อนย้อนกลับ(Loop Back)จากอีกสถานีหนึ่งที่อยู่ตรงกันข้าม เพื่อหลีกเลี่ยงการใช้อุปกรณ์และเจ้าหน้าที่ได้ ๒ ชุด

ในหัวข้อนี้จะได้กล่าวถึง การสร้างวงจรเพื่อประกอบเป็นเครื่องมือในการวัดทดสอบระบบสื่อสารเพื่อหา B E R สำหรับการรับส่งข้อมูล ที่มีอัตราเร็วประมาณ ๔๖๐๐ บิท/วินาที ซึ่งจะประกอบด้วยวงจรหลัก ๔ ชุดด้วยกันคือ

๑. ตัวรับสัญญาณซึ่งจะเปลี่ยนสัญญาณ Biphase ให้เป็นสัญญาณ N R Z

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ ๒.๑ วงจรทำสัญญาณ NRZ และ clock



$2^7 - 1$ และทำสัญญาณ Clock ขึ้นมาใหม่จากสัญญาณที่รับเข้ามา

๒. ตัววัดอัตราความผิดพลาดของบิท (Bit error rate measurement)

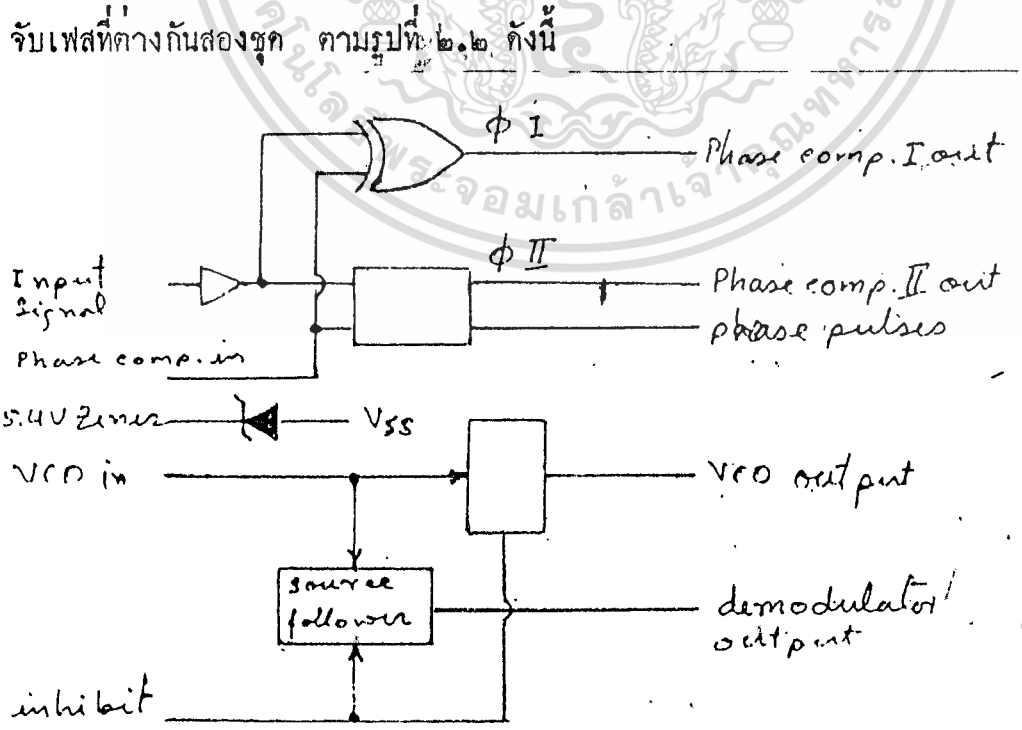
๓. ตัวนับจำนวนบิทที่ผิดพลาด (Bit error counter)

๔. ตัววัดและแสดงผลของความผิดพลาดบิทที่เกิดขึ้น(4 B C D & Counter)

วงจรหลักทั้งสี่ดังกล่าวใช้สำหรับวัดอัตราบิทผิดพลาดทางด้านรับ ซึ่งจะได้อธิบายถึงหลักการทำงานเบื้องต้นของวงจรทั้งสี่นี้พอสังเขป ดังต่อไปนี้คือ

๑. วงจรตัวรับสัญญาณ Biphase แล้วเปลี่ยนให้เป็นสัญญาณ NRZ และตัวทำสัญญาณ Clock ใหม่จากสัญญาณที่รับเข้ามาใหม่ ดังวงจรตามรูปที่ ๒.๑

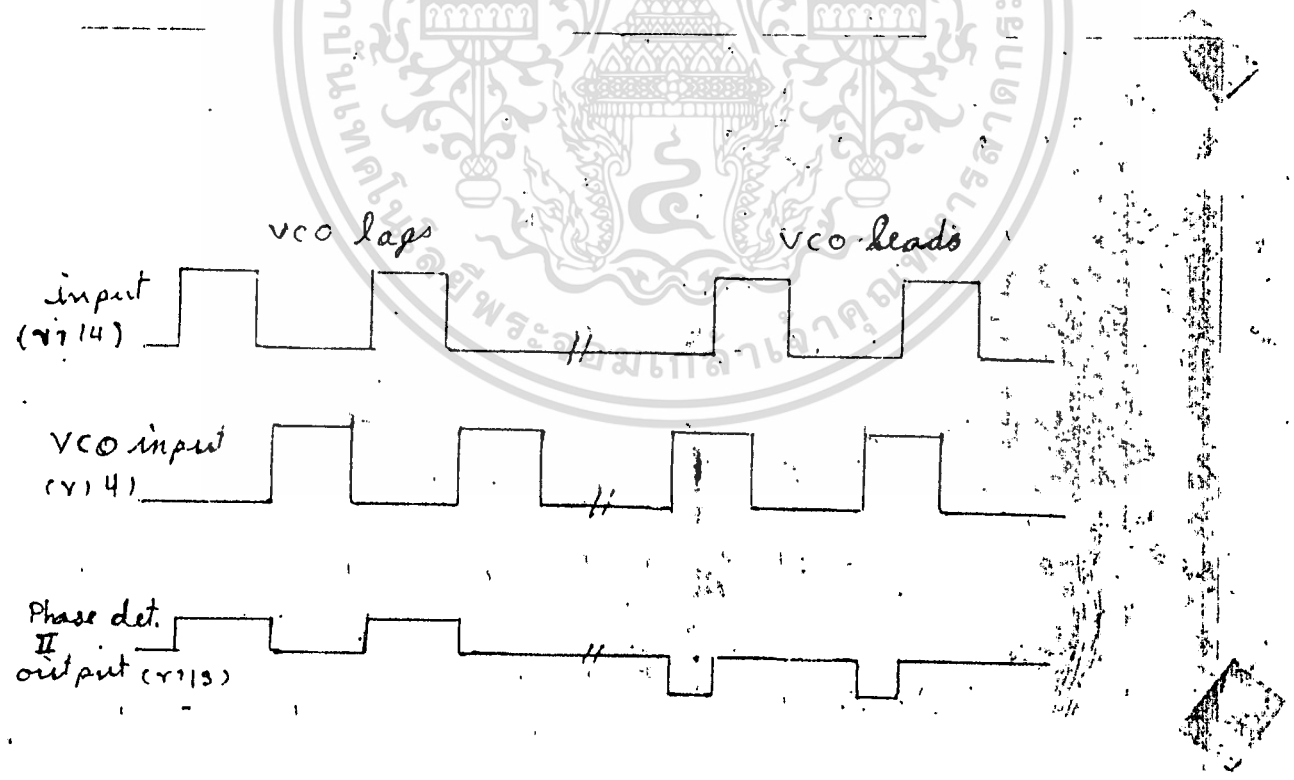
เมื่อสัญญาณBiphaseป้อนเข้ามาที่ขา ๒ ของ ๗๔๗๔ ตัวแรกกับสัญญาณที่รับเข้ามา ผ่านวงจร Exclusive OR แล้วป้อนสัญญาณนี้เข้า 74 LS 121 ซึ่งจะผลิตเป็น Clock ออกมาแต่ยังไม่ดีพอเพราะมี Jitter อยู่จึงต้องนำสัญญาณนี้ไปเข้า ๔๐๔๖ ซึ่งเป็นวงจรเฟสล็อคลูบเพื่อกำเนิด Clock ที่มีความถูกต้องนำไปใช้ ณ.จุดต่าง ๆ ตามต้องการ สำหรับ ๔๐๔๖ พอจะอธิบายได้ดังนี้ คือ ใช้เป็นตัวตรวจจับเฟสระบบดิจิทอล ประกอบด้วยตัวตรวจจับเฟสที่ต่างกันสองชุด ตามรูปที่ ๒.๒ ดังนี้



รูปที่ ๒.๒ แสดงแผนภูมิของ ๔๐๔๖

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

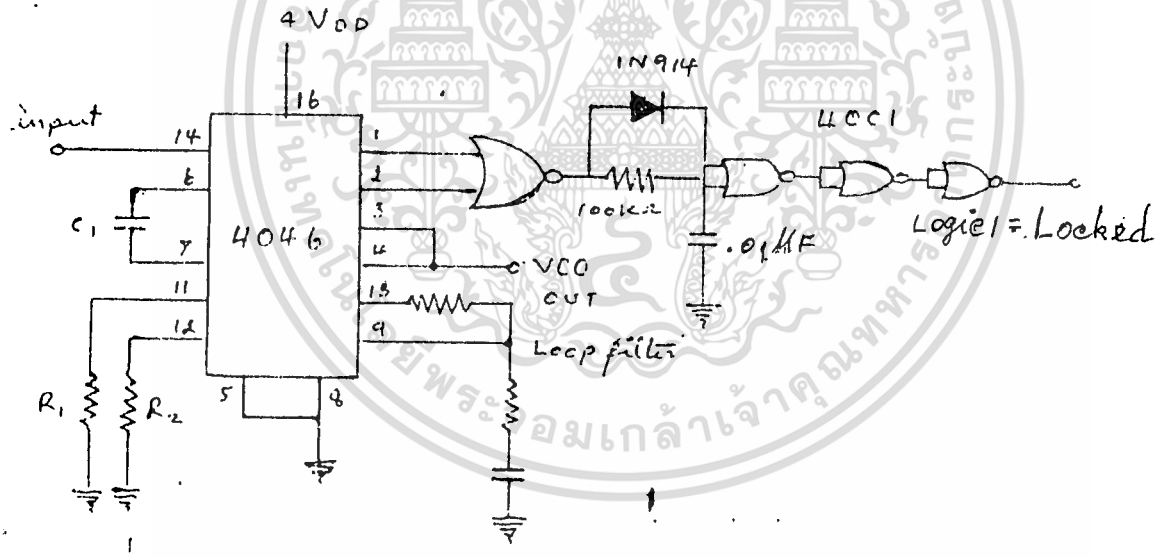
ทางเข้าของตัวตรวจจับเฟสตัวที่ " 1 " และตัวที่ " 2 " นั้นจะต่อร่วมกันไว้ แต่ทางออกของสัญญาณจะแยกจากกัน ตัวตรวจจับเฟสตัวที่ 1 (อาจเรียกว่าตัวตรวจจับแบบมีการรบกวนต่ำ) เป็นวงจร Exclusive OR แบบง่าย ๆ ฉนั้นสัญญาณที่ป้อนเข้าและ VCO จะมีรูปคลื่นเป็นสี่เหลี่ยมจัตุรัสแบบ ๕๐% Duty Circle ตัวตรวจจับเฟสตัวที่ 2 (บางทีเรียกว่าตัวตรวจจับเฟสแบบ Wide Band) เป็นตัวตรวจจับเฟสชนิด Edge Triggered แบบดิจิทอล โดยใช้การกระตุ้นให้ทำงาน ในช่วงที่เป็นบวกด้านหน้า (Leading edge) ของสัญญาณที่ป้อนเข้ามา ถ้าสัญญาณทางเข้า ซึ่งอาจจะเป็นขบวน pulse ที่มี Duty Circle แบบต่าง ๆ หากว่าต่ำกว่าความถี่ VCO สัญญาณทางออกก็จะอยู่ที่ ลอจิก " 0 " (Vss ,หรือ กราวด์) อีกกรณีหนึ่งถ้าความถี่ที่ป้อนเข้าสูงกว่าความถี่ V C O สัญญาณทางออกก็จะเป็นลอจิก " 1 " (VDD) ถ้าความถี่ทั้งสองเท่ากันพอดี ทางออกของตัวตรวจเฟสตัวที่สอง จะได้ Pulse ซึ่งมีความกว้างเป็นสัดส่วนกับความต่างเฟสของสัญญาณทั้งสอง โดยที่สัญญาณ Pulse ที่ได้จะเป็นบวกเมื่อ V C O ล้าหลังสัญญาณที่ป้อนเข้ามา และเป็นลบเมื่อ V C O นำหน้าสัญญาณที่ป้อนเข้ามา ดังแสดงให้เห็นตามรูปที่ ๒.๓



รูปที่ ๒.๓ แสดงให้เห็นความสัมพันธ์ระหว่างสัญญาณที่ป้อนเข้าและที่ทางออกของ ๔๐๔๖

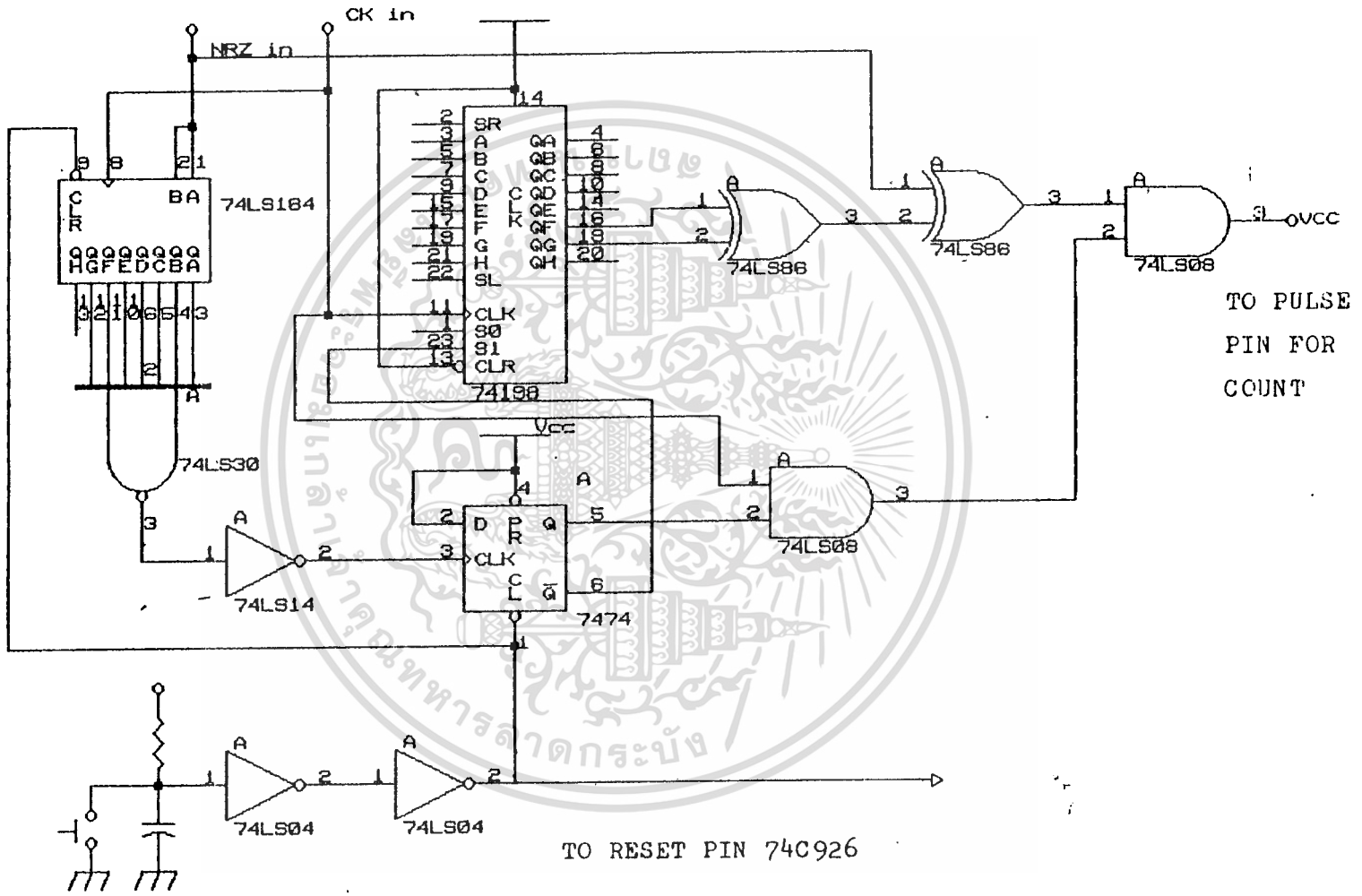
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ข้อดีของตัวตรวจจับเฟสตัวที่ ๒ ที่เหนือกว่าตัวที่ ๑ ก็คือไม่ไวต่อสัญญาณ Harmonic ซึ่งตัวตรวจจับเฟสแบบ Exclusive OR อาจจะ Lock เข้ากับ Harmonic ที่สูงกว่าความถี่ที่ป้อนเข้ามา ความถี่ของสัญญาณ V CO จะมีค่าต่ำสุด(F min)เมื่อแรงดันทางเข้ามีค่าเป็นศูนย์ และจะเพิ่มขึ้นอย่างสม่ำเสมอจนถึงค่าสูงสุด (F max) เมื่อแรงดันทางเข้ามีค่าเท่ากับ Vdd ค่าความถี่สูงสุดของ V C O จะเป็น 700 KHz เมื่อ Vdd เท่ากับ 5V และจะเป็น 1.8 MHz เมื่อ Vdd เท่ากับ 15V ย่านความถี่ของ VCO (จาก Fmax ถึง Fmin) ปรับแต่งได้จากอุปกรณ์ R_1 และ C_1 ที่ต่ออยู่ภายนอก และค่าความถี่ V C O จะมีค่าต่ำสุด จะถูกควบคุมโดย R_2 และ C_1 สำหรับค่าความต้านทาน R_1 และ R_2 ควรมีค่าอยู่ระหว่าง 10k และ 1 M ส่วน C_1 ควรจะมีค่ามากกว่า 100 PF สำหรับ Vdd ≧ 5 โวลท์ หรือมีค่ามากกว่า 50 PF สำหรับ Vdd ≧ 10 โวลท์



รูปที่ ๒.๔ วงจร ๔๐๔๖ Lock detector

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ ๒.๕ แสดงวงจรวัดอัตราความผิดพลาดของบิท

ในการทำงานบางครั้งไม่ต้องการให้มี VCO ออกไป ก็สามารถปิดกั้นได้ โดยการ Inhibit (ขา ๕) ด้วยการต่อ Vdd เข้าไป ซึ่งตามปกติแล้ว Inhibit จะต่ออยู่กับ Vss ที่ทางออกของ Phase Pulse (ขา ๑) ของตัวที่ ๑ และที่ขา ๒ ของตัวที่ ๒ สามารถต่อเข้ากับวงจรแสดง Lock detector ตามรูปที่ ๒.๔ ซึ่ง Norgate ๔๐๐๑ ตัวสุดท้าย จะแสดงภาวะ Logic " ๑ " เมื่อเกิดการ Locked ขึ้น ความถี่ของสัญญาณทางออกหาได้จาก

$$f_0 = \frac{101}{RC}$$ (R คือ R_1 หรือ R_2)

หลังจากที่ได้สัญญาณ N R Z กับสัญญาณ Clock ตามต้องการ จากวงจรตามรูปที่๒.๑ แล้วก็จะป้อนสัญญาณนี้ ไปเข้าวงจร Bit Erroe Rate Measurement ต่อไปตามรูปที่ ๒.๕

๒. วงจร Bit Error Rate Measurement

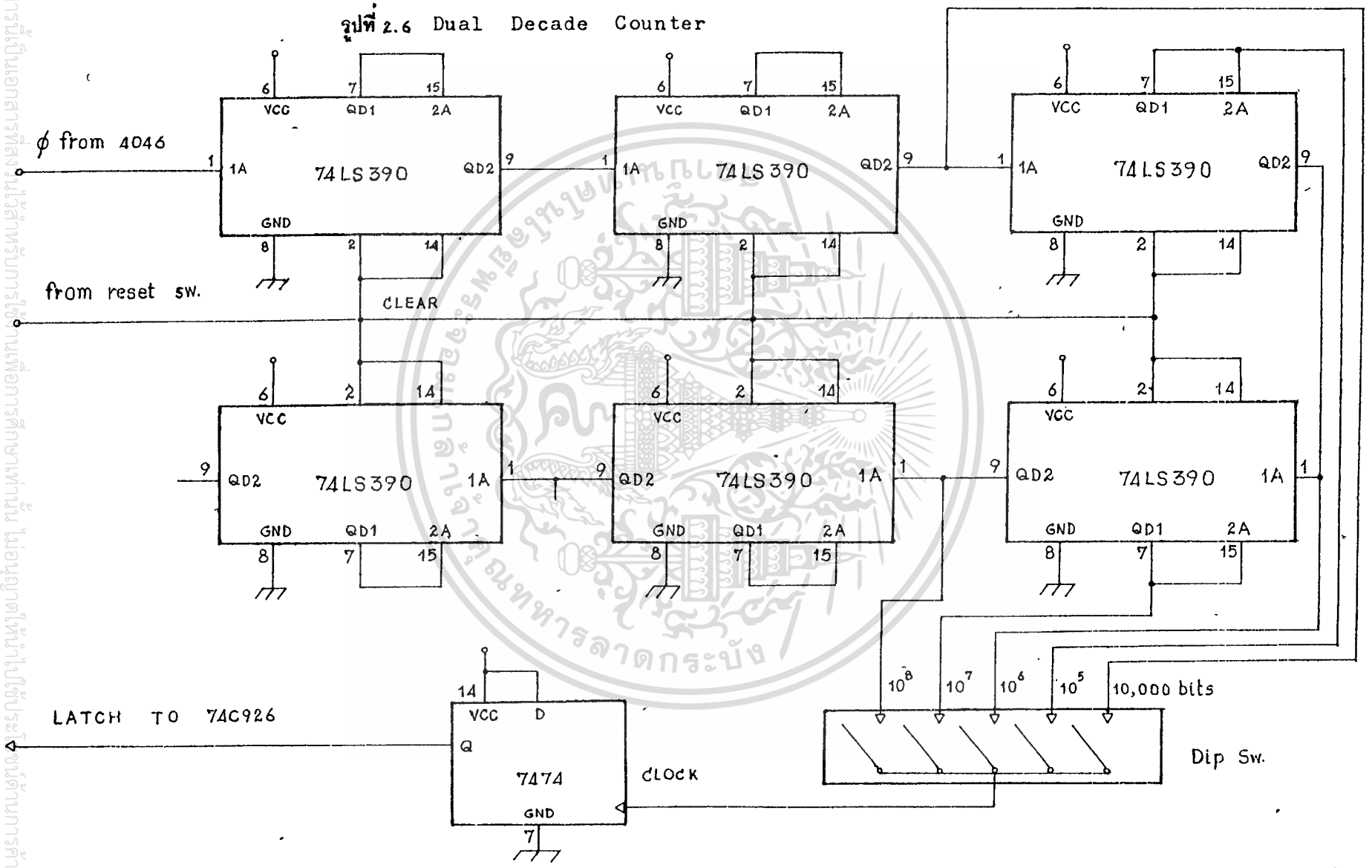
วงจรนี้ทำหน้าที่ผลิตสัญญาณ Pseudo random bit sequence (P R B S) เช่นเดียวกับที่ได้ส่งมาเพื่อเป็นสัญญาณทดสอบเมื่อได้แล้วก็จะนำไปทำการนับตรวจจับความผิดพลาดต่อไปการทำงานของวงจรนี้สำหรับ 74 LS 164 จะเป็นตัวตรวจจับสัญญาณ NRZ ที่เข้ามา เมื่อมีสัญญาณที่เป็นบิท "๑" ติดต่อกันเป็นจำนวน ๗ บิท ก็จะได้สัญญาณไปกระตุ้นให้ 7474 ป้อนสัญญาณออกมาให้กับ 74 LS 08 นำไป Lock กับสัญญาณ Pulse ที่ได้มาจาก 74198 ซึ่งเป็น Shift Register ทำให้สามารถเริ่มต้นจับสัญญาณเพื่อป้อนไปยังวงจรแสดงผล IC 74 C 926 เพื่อนับจำนวนบิทที่ผิดพลาดได้ตามต้องการ สัญญาณที่ได้จากวงจรนี้ จะส่งต่อไปให้วงจรนับบิทต่อไป

๓. ตัวนับจำนวนที่ผิดพลาด(Bit Error Counter)

วงจรนี้จะรับสัญญาณมาจาก Dip Switch เพื่อนับสัญญาณที่ได้ว่ามีจำนวนบิทที่ผิดพลาดว่าเป็นเท่าใด ซึ่งสามารถจะอ็อกวัดได้ว่า จะต้องการให้มีการนับบิทผิดพลาดตามข้อกำหนดตามต้องการเช่น อาจเป็น $10^4; 10^5, 10^6$ หรือ 10^7 ซึ่งจะเลือกได้จาก Dip Switch การนับนี้จะใช้ 74 LS 390 ซึ่งเป็น Dual Decade Counter นำมาต่อกันไว้ตามรูปที่ ๒.๖ ซึ่งจะนำเอาจำนวนบิทที่ผิดพลาดนี้ไปคำนวนหา B E R ได้เสร็จแล้วก็จะนำสัญญาณนี้ป้อนไปให้ยังวงจรแสดงผล เพื่อแสดงออกมาเป็นตัวเลขให้ทราบว่ามี B E R เท่าไรตามรูปที่ ๒.๖

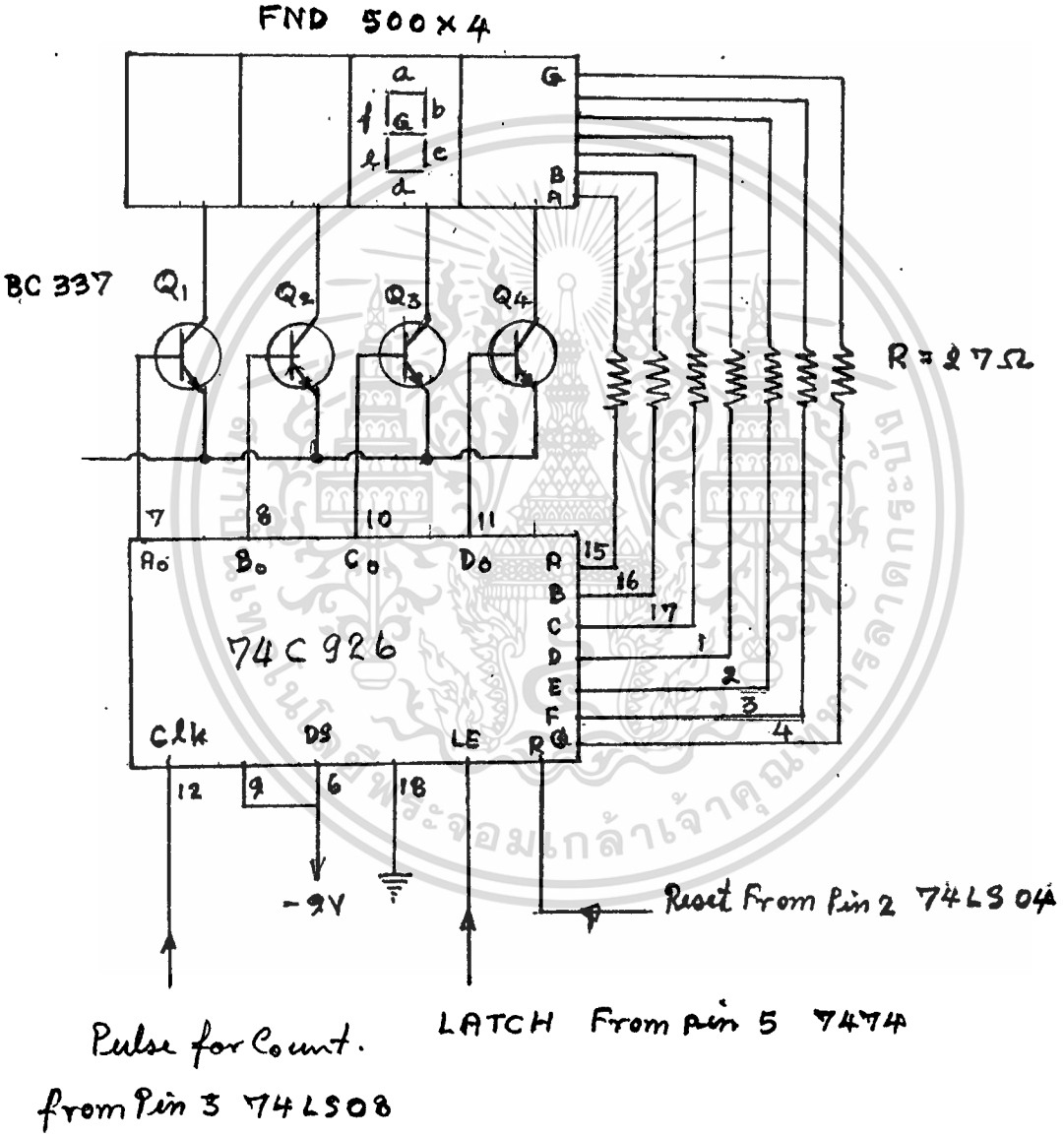
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 2.6 Dual Decade Counter



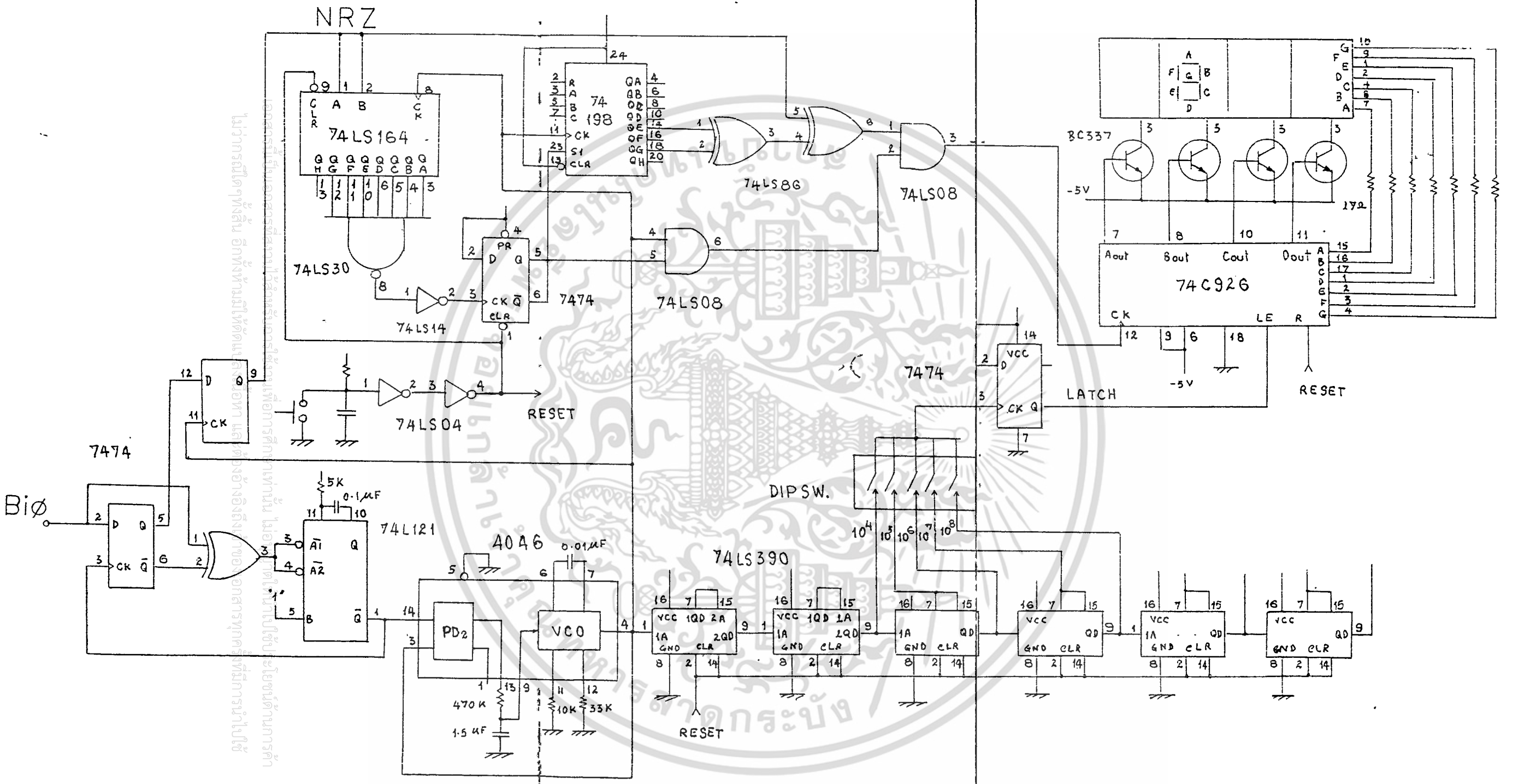
๔. ตัวแสดงผลของความผิดพลาดบิทที่เกิดขึ้น (4 B C D + Counter)

วงจรนี้จะรับสัญญาณ มาจาก Bit Error Counter ป้อนเข้า 74 C 926 ที่ Latch และรับสัญญาณ Pulse มาจาก Bit Error Rate ที่จะนับความผิดพลาดบิท พร้อมด้วยสัญญาณ Reset เพื่อให้การทำงานเริ่มต้นพร้อมกัน 74 C 926 จะทำหน้าที่เปลี่ยนสัญญาณ B C D ให้เป็น 7 Segment เพื่อแสดงค่าที่วัดได้ต่อไป ตามรูปที่ ๒.๗



รูปที่2.7 ตัวแสดงผล BCD ในการวัด BER.

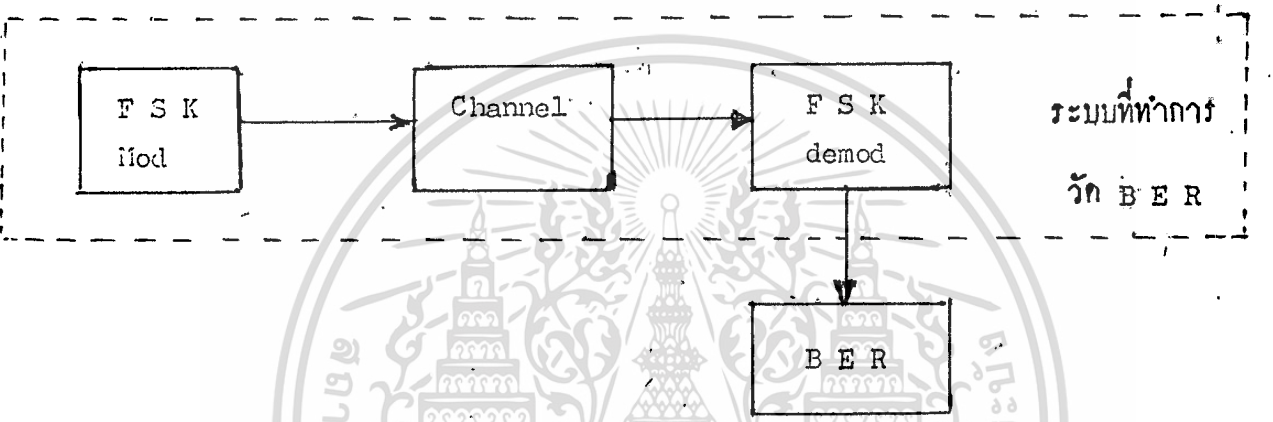
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



จงวาดเครื่องวัดอัตราความผิดพลาดของบิต

สรุปผลที่ได้จากการทดลอง

จากการใช้เครื่องมือวัด Bit Error Rate ทดสอบวัดระบบสื่อสารข้อมูล ที่สร้างขึ้นมา โดยใช้ระบบ FSK สามารถวัดความผิดพลาดที่เกิดขึ้นในรหัส Bi-Phase จากวงจรClock recovery ภายในได้ ซึ่งจากการทดลอง นำไปวัดB E R กับอุปกรณ์ที่ใช้ในการทดสอบแล้วปรากฏว่าสามารถใช้งานได้ดีกับระบบรับส่งที่มีอัตราเร็วได้สูงถึง ๙๖๐๐bit /sec แต่ถ้าในระบบมีความผิดพลาดเกิดขึ้นจำนวนมาก ๆ แล้วเครื่องวัด B E R นี้จะมีการ



หลุดจากการซิงค์โครไนเซชั่น (Loss of Synchronization) จึงต้องมีการ Syn เพื่อทำการวัดใหม่ ถ้าหากได้มีการพัฒนาและปรับปรุงให้ระบบมีการ Reset ได้เอง เมื่อมีการหลุดจากซิงค์ ก็สามารถทำได้โดยการเพิ่มส่วนของ Real time clock และ Microprocessor เข้าไปสำหรับการบันทึกเวลาที่ข้อมูลมีความผิดพลาดด้วย และอุปกรณ์วัด B E R นี้ยังสามารถปรับปรุงให้สามารถวัดความผิดพลาดของบิทที่เกิดขึ้นได้สำหรับการรับส่งสัญญาณที่มีอัตราเร็วสูงกว่านี้อีกได้ เช่น ที่อัตราเร็ว ๒๐๔๘ Kb/s และสูงกว่านี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Data Sheet

54/74 FAMILIES OF COMPATIBLE TTL CIRCUITS

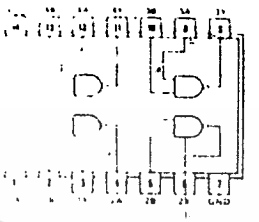
PIN ASSIGNMENTS (TOP VIEWS)

QUADRUPLE 2-INPUT
POSITIVE-NAND GATES
WITH OPEN-COLLECTOR OUTPUTS

03

positive logic:
$Y = \overline{AB}$

See page 6-4



SN5403 (J)
SN54L03 (J)
SN54LS03 (J, W)
SN54S03 (J, W)

SN7403 (J, N)
SN74L03 (J, N)
SN74LS03 (J, N)
SN74S03 (J, N)

HEX INVERTERS

04

positive logic:
$Y = \overline{A}$

See page 6-2

SN5404 (J)
SN54H04 (J)
SN54L04 (J)
SN54LS04 (J, W)
SN54S04 (J, W)

SN7404 (J, N)
SN74H04 (J, N)
SN74L04 (J, N)
SN74LS04 (J, N)
SN74S04 (J, N)

SN5404 (W)
SN54H04 (W)
SN54L04 (T)

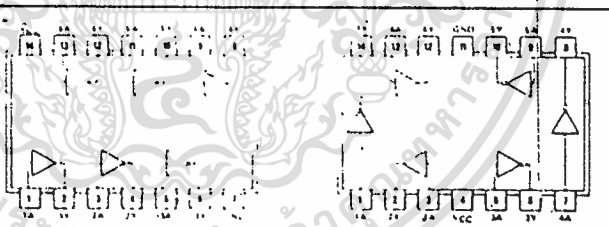
S

HEX INVERTERS
WITH OPEN-COLLECTOR OUTPUTS

05

positive logic:
$Y = \overline{A}$

See page 6-4



SN5405 (J)
SN54H05 (J)
SN54LS05 (J, W)
SN54S05 (J, W)

SN7405 (J, N)
SN74H05 (J, N)
SN74LS05 (J, N)
SN74S05 (J, N)

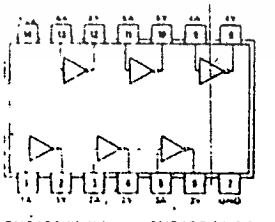
SN5405 (W)
SN54H05 (W)

HEX INVERTER BUFFERS/DRIVERS
WITH OPEN-COLLECTOR
HIGH-VOLTAGE OUTPUTS

06

positive logic:
$Y = \overline{A}$

See page 6-24



SN5406 (J, W)
SN7406 (J, N)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

recommended operating conditions

		54 FAMILY 74 FAMILY	SERIES 54 SERIES 74 '00, '04, '10, '20, '30			SERIES 54H SERIES 74H 'H00, 'H04, 'H10, 'H20, 'H30			SERIES 54L SERIES 74L 'L00, 'L04, 'L10, 'L20, 'L30			SERIES 54LS SERIES 74LS 'LS00, 'LS04, 'LS10, 'LS20, 'LS30			SERIES 54S SERIES 74S 'S00, 'S04, 'S10, 'S20, 'S30, 'S133			UNIT
			MIN	NOM	MAX	MIN	NOM	MAX	MIN	NOM	MAX	MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage, V_{CC}		54 Family	4.5	5	5.5	4.5	5	5.5	4.5	5	5.5	4.5	5	5.5	4.5	5	5.5	V
		74 Family	4.75	5	5.25	4.75	5	5.25	4.75	5	5.25	4.75	5	5.25	4.75	5	5.25	
High-level output current, I_{OH}		54 Family			−400			−500			−200			−400			−1000	μA
		74 Family			−400			−500			−200			−400			−1000	
Low-level output current, I_{OL}		54 Family			16			20			2			4			20	mA
		74 Family			16			20			3.6			8			20	
Operating free-air temperature, T_A		54 Family	−55		125	−55		125	−55		125	−55		125	−55		125	°C
		74 Family	0		70	0		70	0		70	0		70	0		70	

electrical characteristics over recommended operating free-air temperature range (unless otherwise noted)

PARAMETER		TEST FIGURE	TEST CONDITIONS†			SERIES 54 SERIES 74 '00, '04, '10, '20, '30			SERIES 54H SERIES 74H 'H00, 'H04 'H10, 'H20, 'H30			SERIES 54L SERIES 74L 'L00, 'L04 'L10, 'L20, 'L30			SERIES 54LS SERIES 74LS 'LS00, 'LS04, 'LS10, 'LS20, 'LS30			SERIES 54S SERIES 74S 'S00, 'S04 'S10, 'S20 'S30, 'S133			UNIT
						MIN	TYP‡	MAX	MIN	TYP	MAX	MIN	TYP‡	MAX	MIN	TYP‡	MAX	MIN	TYP‡	MAX	
V_{IH}	High-level input voltage	1				2			2			2			2			2			V
V_{IL}	Low-level input voltage	1			54 Family			0.8			0.8			0.7			0.7			0.8	V
					74 Family			0.8			0.8			0.7			0.8			0.8	
V_{IK}	Input clamp voltage	3	V_{CC} = MIN, I_I = I_{IK}					−1.5			−1.5			−1.5			−1.5			−1.2	V
V_{OH}	High-level output voltage	1	V_{CC} = MIN, V_{IL} = $V_{IL\,max}$, I_{OH} = MAX		54 Family	2.4	3.4		2.4	3.5		2.4	3.3		2.5	3.4		2.5	3.4		V
					74 Family	2.4	3.4		2.4	3.5		2.4	3.2		2.7	3.4		2.7	3.4		
V_{OL}	Low-level output voltage	2	V_{CC} = MIN, V_{IH} = 2 V	I_{OL} = MAX	54 Family		0.2	0.4		0.2	0.4		0.15	0.3		0.25	0.4			0.5	V
					74 Family		0.2	0.4		0.2	0.4		0.2	0.4		0.25	0.5			0.5	
				I_{OL} = 4 mA	Seven 74LS												0.4				
I_I	Input current at maximum input voltage	4	V_{CC} = MAX		V_I = 5.5 V			1			1			0.1						1	mA
					V_I = 7 V												0.1				
I_{IH}	High-level input current	4	V_{CC} = MAX		V_{IH} = 2.4 V			40			50			10							μA
					V_{IH} = 2.7 V												20			50	
I_{IL}	Low-level input current	5	V_{CC} = MAX		V_{IL} = 0.3 V									−0.18							mA
					V_{IL} = 0.4 V			−1.6			−2						−0.4				
					V_{IL} = 0.5 V															−2	
I_{OS}	Short-circuit output current§	6	V_{CC} = MAX		54 Family	−20		−55	−40		−100	−3		−15	−20		−100	−40		−100	mA
					74 Family	−18		−55	−40		−100	−3		−15	−20		−100	−40		−100	
I_{CC}	Supply current	7	V_{CC} = MAX			See table on next page															mA

†For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.
‡All typical values are at V_{CC} = 5 V, T_A = 25°C.
§I_I = −12 mA for SN54'/SN74', −8 mA for SN54H'/SN74H', and −18 mA for SN54LS'/SN74LS' and SN54S'/SN74S'.
♦Not more than one output should be shorted at a time, and for SN54H'/SN74H', SN54LS'/SN74LS', and SN54S'/SN74S', duration of short-circuit should not exceed 1 second.

TEXAS INSTRUMENTS
INCORPORATED
POST OFFICE BOX 5012 • DALLAS, TEXAS 75222

POSITIVE-NAND GATES AND INVERTERS WITH TOTEM-POLE OUTPUTS

switching characteristics at V_{CC} = 5 V, T_A = 25°C

TYPE	TEST CONDITIONS†	t_{PLH} (ns) Propagation delay time, low-to-high-level output			t_{PHL} (ns) Propagation delay time, high-to-low-level output		
		MIN	TYP	MAX	MIN	TYP	MAX
'00, '10	C_L = 15 pF, R_L = 400 Ω		11	22		7	15
'04, '20			12	22		8	15
'30			12	22		8	15
'H00			6.5	10		6.2	10
'H04			6	10		6.5	10
'H10	C_L = 25 pF, R_L = 280 Ω		6.5	10		6.3	10
'H20			6	10		7	10
'H30			6.5	10		8.9	12
'L00, 'L04	C_L = 50 pF, R_L = 2 kΩ		32	60		31	60
'L10, 'L20			32	60		30	100
'L30			32	60		30	100
'LS00, 'LS04	C_L = 15 pF, R_L = 2 kΩ		9.5	15		10	15
'LS10, 'LS20			9.5	15		10	15
'LS30			9.5	15		13	20
'S00, 'S04	C_L = 15 pF, R_L = 280 Ω		3	4.5		3	5
'S10, 'S20			3	4.5		4.5	7
'S30			3	4.5		11.5	17
'S133			3	4.5		10.5	15

† See test circuits and voltage waveforms, page 6-11

supply current¶

TYPE	I_{CCH} (mA) Total with outputs high		I_{CCL} (mA) Total with outputs low		I_{CC} (mA) Average per gate (50% duty cycle)
	TYP	MAX	TYP	MAX	TYP
'00	4	8	12	22	2
'04	6	12	18	33	2
'10	3	6	9	16.5	2
'20	2	4	6	11	2
'30	1	2	3	6	2
'H00	10	16	26	40	4.5
'H04	16	26	40	54	4.5
'H10	7.5	12.5	19.5	30	4.5
'H20	5	8.4	13	20	4.5
'H30	2.5	4.2	6.5	10	4.5
'L00	0.44	0.8	1.1	2	0.25
'L04	0.66	1.2	1.7	3	0.25
'L10	0.33	0.6	0.85	1.5	0.25
'L20	0.22	0.4	0.55	1	0.25
'LS00	0.8	1.6	2.4	4.4	1.4
'LS04	1.2	2.4	3.6	6.6	1.4
'LS10	0.4	0.8	1.2	2.2	1.4
'LS20	0.4	0.8	1.2	2.2	1.4
'LS30	0.2	0.4	0.6	1.1	1.4
'S00	2.2	4	6.6	11	4
'S04	3.3	6	9.9	16.5	4
'S10	1.65	3	4.95	8.25	4
'S20	1.1	2	3.3	5.5	4
'S133	0.55	1	1.65	2.75	4

¶ Both circuits and voltage waveforms, page 6-11

schematics (each gate)

'00, 'H00, 'S00, 'LS00

CIRCUIT	R1	R2	R3	R4
'00	1 kΩ	1.6 kΩ	130 Ω	1 kΩ
'H00	500 Ω	1 kΩ	130 Ω	1 kΩ
'S00	500 Ω	1 kΩ	130 Ω	1 kΩ
'LS00	2 kΩ	4 kΩ	260 Ω	2 kΩ

'00, '04, 'H00, 'H04, 'S00, 'S04, 'LS00, 'LS04

'10, 'H10, 'S10, 'LS10

'20, 'H20, 'S20, 'LS20

'30, 'H30, 'S133, 'LS30

'L00, 'L04, 'L10, 'L20, 'L30 CIRCUITS

Input clamp diodes not on SN54L/SN74L circuits.

'LS00, 'LS04, 'LS10, 'LS20, 'LS30 CIRCUITS

¶ The 12-kΩ resistor is not on 'L30.

Resistor values shown are nominal and in ohms.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

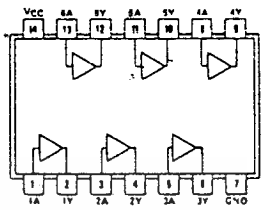
PIN ASSIGNMENTS (TOP VIEWS)

HEX BUFFERS/DRIVERS
WITH OPEN-COLLECTOR
HIGH-VOLTAGE OUTPUTS

07

positive logic:
Y = A

See page 6-24



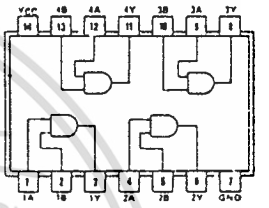
SN5407 (J, W) SN7407 (J, N)

QUADRUPLE 2-INPUT
POSITIVE-AND GATES

08

positive logic:
Y = AB

See page 6-10



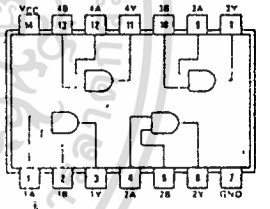
SN5408 (J, W) SN7408 (J, N)
SN54LS08 (J, W) SN74LS08 (J, N)
SN54S08 (J, W) SN74S08 (J, N)

QUADRUPLE 2-INPUT
POSITIVE-AND GATES
WITH OPEN-COLLECTOR OUTPUTS

09

positive logic:
Y = AB

See page 6-12



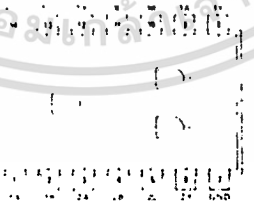
SN5409 (J, W) SN7409 (J, N)
SN54LS09 (J, W) SN74LS09 (J, N)
SN54S09 (J, W) SN74S09 (J, N)

TRIPLE 3-INPUT
POSITIVE-NAND GATES

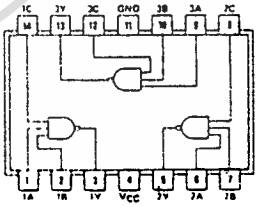
10

positive logic:
$Y = \overline{ABC}$

See page 6-2



SN5410 (J) SN7410 (J, N)
SN64H10 (J) SN74H10 (J, N)
SN54L10 (J) SN74L10 (J, N)
SN54LS10 (J, W) SN74LS10 (J, N)
SN54S10 (J, W) SN74S10 (J, N)



SN5410 (W)
SN54H10 (W)
SN54L10 (T)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

recommended operating conditions

		54 FAMILY / 74 FAMILY	SERIES 54 / SERIES 74 '08,			SERIES 54H / SERIES 74H 'H11, 'H21			SERIES 54LS / SERIES 74LS 'LS08, 'LS11, 'LS21			SERIES 54S / SERIES 74S 'S08, 'S11			UNIT
			MIN	NOM	MAX	MIN	NOM	MAX	MIN	NOM	MAX	MIN	NOM	MAX	
Supply Voltage, V_{CC}		54 Family	4.5	5	5.5	4.5	5	5.5	4.5	5	5.5	4.5	5	5.5	V
		74 Family	4.75	5	5.25	4.75	5	5.25	4.75	5	5.25	4.75	5	5.25	
High-level output current, I_{OH}					−800			−500			−400			−1000	μA
Low-level output current, I_{OL}		54 Family			16			20			4			20	mA
		74 Family			16			20			8			20	
Operating free-air temperature, T_A		54 Family	−55		125	−55		125	−55		125	−55		125	°C
		74 Family	0		70	0		70	0		70	0		70	

electrical characteristics over recommended operating free-air temperature range (unless otherwise noted)

PARAMETER		TEST FIGURE	TEST CONDITIONS†			SERIES 54 / SERIES 74 '08			SERIES 54H / SERIES 74H 'H11, 'H21			SERIES 54LS / SERIES 74LS 'LS08, 'LS11, 'LS21			SERIES 54S / SERIES 74S 'S08, 'S11			UNIT
						MIN	TYP‡	MAX	MIN	TYP‡	MAX	MIN	TYP‡	MAX	MIN	TYP‡	MAX	
V_{IH}	High-level input voltage	1, 2				2			2			2			2			V
V_{IL}	Low-level input voltage	1, 2			54 Family			0.8			0.8			0.7			0.8	V
					74 Family			0.8			0.8			0.8			0.8	
V_{IK}	Input clamp voltage	3	V_{CC} = MIN, I_I =					−1.5			−1.5			−1.5			−1.2	V
V_{OH}	High-level output voltage	1	V_{CC} = MIN, V_{IH} = 2 V, I_{OH} = MAX		54 Family	2.4	3.4		2.4	3.4		2.5	3.4		2.5	3.4		V
					74 Family	2.4	3.4		2.4	3.4		2.7	3.4		2.7	3.4		
V_{OL}	Low-level output voltage	2	V_{CC} = MIN, V_{IH} = 2 V	I_{OL} = MAX	54 Family		0.2	0.4		0.15	0.3		0.25	0.4			0.5	V
					74 Family		0.2	0.4		0.2	0.4		0.35	0.5			0.5	
				I_{OL} = 4 mA	Series 74LS								0.25	0.4				
I_I	Input current at maximum input voltage	4	V_{CC} = MAX		V_I = 5.5 V			1			1						1	mA
					V_I = 7 V									0.1				
I_{IH}	High-level input current	4	V_{CC} = MAX		V_{IH} = 2.4 V			40			50							μA
					V_{IH} = 2.7 V									20			50	
I_{IL}	Low-level input current	5	V_{CC} = MAX		V_{IL} = 0.4 V			−1.6			−2			−0.4				mA
					V_{IL} = 0.5 V												−2	
I_{OS}	Short-circuit output current#	6	V_{CC} = MAX		54 Family	−20		−55	−40		−100	−20		−100	−40		−100	mA
					74 Family	−18		−55	−40		−100	−20		−100	−40		−100	
I_{CC}	Supply current	7	V_{CC} = MAX			See table on next page												mA

†For conditions shown as MIN or MAX, use the appropriate values specified under recommended operating conditions.

‡All typical values are at V_{CC} = 5 V, T_A = 25°C.

§I_I = −12 mA for SN54'/SN74', −8 mA for SN54H'/SN74H', and −18 mA for SN54LS'/SN74LS' and SN54S'/SN74S'

#Not more than one output should be shorted at a time, and for SN54H'/SN74H', SN54LS'/SN74LS' and SN54S'/SN74S', duration of output short circuit should not exceed one second.

schematics (each gate)

supply current†

TYPE	I_{CCH} (mA) Total with outputs high		I_{CCL} (mA) Total with outputs low		I_{CC} (mA) Average per gate (50% duty cycle)
	TYP	MAX	TYP	MAX	TYP
'08	11	21	20	33	3.88
'H11	18	30	30	48	8
'H21	12	20	20	32	8
'LS08	2.4	4.8	4.4	8.8	0.85
'LS11	1.8	3.6	3.3	6.6	0.85
'LS21	1.2	2.4	2.2	4.4	0.85
'S08	18	32	32	57	6.25
'S11	13.5	24	24	42	6.25

† Maximum values of I_{CC} are over the recommended operating ranges of V_{CC} and T_A; typical values are at V_{CC} = 5 V, T_A = 25°C.

switching characteristics at V_{CC} = 5 V, T_A = 25°C

TYPE	TEST CONDITIONS‡	t_{PLH} (ns) Propagation delay time, low-to-high-level output			t_{PHL} (ns) Propagation delay time, high-to-low-level output		
		MIN	TYP	MAX	MIN	TYP	MAX
'08	C_L = 15 pF, R_L = 400 Ω		11	17		7	10
'H11, 'H21	C_L = 25 pF, R_L = 280 Ω		7.6	12		4	6.6
'LS08, 'LS11, 'LS21	C_L = 15 pF, R_L = 2 kΩ		8	15		10	20
'S08, 'S11	C_L = 15 pF, R_L = 280 Ω		4.5	7		5	8
	C_L = 50 pF, R_L = 280 Ω		6			7.5	

‡ Load circuit and voltage waveforms are shown on pages 3-10 and 3-11.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

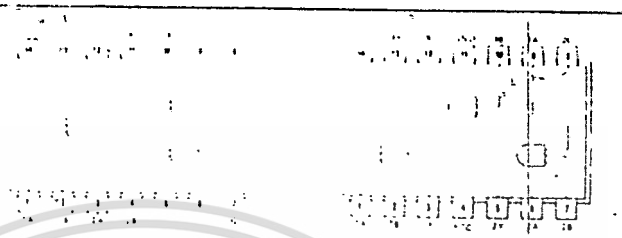
PIN ASSIGNMENTS (TOP VIEWS)

TRIPLE 3-INPUT POSITIVE AND GATES

11

positive logic:
$Y = ABC$

See page 6-10



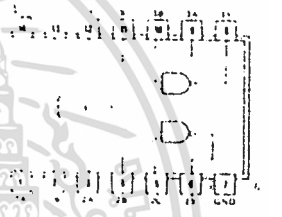
SN54H11 (J) SN74H11 (J, N) SN54H11 (W)
SN54LS11 (J, W) SN74LS11 (J, N)
SN54S11 (J, W) SN74S11 (J, N)

TRIPLE 3-INPUT POSITIVE-NAND GATES WITH OPEN-COLLECTOR OUTPUTS

12

positive logic:
$Y = \overline{ABC}$

See page 6-4



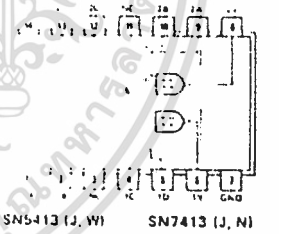
SN5412 (J, W) SN7412 (J, N)
SN54LS12 (J, W) SN74LS12 (J, N)

DUAL 4-INPUT POSITIVE-NAND SCHMITT TRIGGERS

13

positive logic:
$Y = \overline{ABCD}$

See page 6-14



SN5413 (J, W) SN7413 (J, N)
SN54LS13 (J, W) SN74LS13 (J, N)

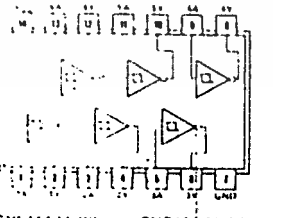
NC = No internal connection

HEX SCHMITT-TRIGGER INVERTERS

14

positive logic:
$Y = \overline{A}$

See page 6-14



SN5414 (J, W) SN7414 (J, N)
SN54LS14 (J, W) SN74LS14 (J, N)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SCHMITT-TRIGGER POSITIVE-NAND GATES AND INVERTERS WITH TOTEM-POLE OUTPUTS

recommended operating conditions

	54 FAMILY / 74 FAMILY	SERIES 54 / SERIES 74 '13			SERIES 54LS / SERIES 74LS '14, '132			SERIES 54S / SERIES 74S '13, 'LS14, 'LS132			SERIES 54S / SERIES 74S 'S132			UNIT
		MIN	NOM	MAX	MIN	NOM	MAX	MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage, V_{CC}	54 Family	4.5	5	5.5	4.5	5	5.5	4.5	5	5.5	4.5	5	5.5	V
	74 Family	4.75	5	5.25	4.75	5	5.25	4.75	5	5.25	4.75	5	5.25	
High-level output current, I_{OH}	54 Family			-800			-400			-800			-1000	μA
	74 Family			-800			-400			-800			-1000	
Low-level output current, I_{OL}	54 Family			16			4			16			20	mA
	74 Family			16			8			16			20	
Operating free-air temperature, T_A	54 Family	-55		125	-55		125	-55		125	-55		125	°C
	74 Family	0		70	0		70	0		70	0		70	

electrical characteristics over recommended operating free-air temperature range (unless otherwise noted)

PARAMETER	TEST FIGURE	TEST CONDITIONS†	SERIES 54 / SERIES 74 '13 MIN	'13 TYP‡	'13 MAX	SERIES 54LS / SERIES 74LS '14, '132 MIN	'14, '132 TYP‡	'14, '132 MAX	SERIES 54S / SERIES 74S '13, 'LS14, 'LS132 MIN	'13, 'LS14, 'LS132 TYP‡	'13, 'LS14, 'LS132 MAX	SERIES 54S / SERIES 74S 'S132 MIN	'S132 TYP‡	'S132 MAX	UNIT
V_{T+} Positive-going threshold voltage	3	V_{CC} = MIN	1.5	1.7	2	1.1	1.6	1.9	1.4	1.7	2	1.6	1.77	1.9	V
V_{T-} Negative-going threshold voltage	3	V_{CC} = MIN	0.6	0.9	1.1	0.6	0.9	1.1	0.6	0.8	1.1	1.1	1.22	1.4	V
V_{H} Hysteresis ($V_{T+} - V_{T-}$)	3	V_{CC} = MIN	0.4	0.8		0.4	0.8		0.4	0.8		0.2	0.55		V
V_{IK} Input clamp voltage	4	V_{CC} = MIN, I_I = -12 mA			-1.5			-1.5			-1.5			-1.2	V
V_{OH} High-level output voltage	5	V_{CC} = MIN, I_{OH} = MAX, V_{IL} = 0.8 V	2.4	3.4		2.4	3.4		2.4	3.4		2.7	3.4		V
		V_{CC} = MIN, I_{OH} = -400 μA, V_{IL} = 0.8 V							2.7	3.4					
V_{OL} Low-level output voltage	5	V_{CC} = MIN, I_{OL} = 4 mA, V_{IH} = 2 V		0.2	0.4		0.25	0.4		0.35	0.5		0.35	0.5	V
		V_{CC} = MIN, I_{OL} = 8 mA, V_{IH} = 2 V								0.5			0.5		
I_{T+} Positive-going threshold input current at	4	V_{CC} = MAX, V_I = 2.4 V		-0.1	-0.2		-0.2	-0.4		-0.4	-0.8		-0.4	-0.8	mA
I_{T-} Negative-going threshold input current at	4	V_{CC} = MAX, V_I = 0.4 V		-0.4	-0.6		-0.4	-0.6		-0.6	-1.2		-0.6	-1.2	mA
I_I Input current at maximum input voltage	4	V_{CC} = MAX, V_I = 5.5 V			1			0.1			1			1	mA
I_{IH} High-level input current	4	V_{CC} = MAX, V_I = 2.4 V			40			20			50			50	μA
		V_{CC} = MAX, V_I = 2.7 V													
I_{IL} Low-level input current	5	V_{CC} = MAX, V_I = 0.4 V			-1.6			-0.4			-2			-2	mA
		V_{CC} = MAX, V_I = 0.5 V		-0.8			-0.8	-1.2							
I_{OS} Short-circuit output current§	6	V_{CC} = MAX	-18		-55	-18		-55	-20		-100	-40		-100	mA

† For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.
‡ All typical values are at V_{CC} = 5 V, T_A = 25°C.
§ I_I = -12 mA for SN54'/SN74' and -18 mA for 'LS13, 'LS14, 'LS132, and 'S132.
♦ Not more than one output should be shorted at a time, and for SN54LS'/SN74LS' and 'S132, duration of output short-circuit should not exceed one second.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

switching characteristics, V_{CC} = 5 V, T_A = 25°C

TYPE	CONDITIONS	tPLH (ns) Propagation delay time, low-to-high-level output			tPHL (ns) Propagation delay time, high-to-low-level output		
		MIN	TYP	MAX	MIN	TYP	MAX
'13	C_L = 15 pF, R_L = 400 Ω		18	27		15	22
'14, '132			15	22		15	22
'LS13	C_L = 15 pF, R_L = 2 kΩ		15	22		18	27
'LS14			15	22		15	22
'LS132			15	22		15	22
'S132	C_L = 15 pF, R_L = 280 Ω	7	10.5			8.5	13

supply current¶

TYPE	I_{CCH} (mA) Total with outputs high		I_{CCL} (mA) Total with outputs low		I_{CC} (mA) Average per gate (50% duty cycle)
	TYP	MAX	TYP	MAX	TYP
'13	14	23	20	32	8.5
'14	22	36	39	60	5.1
'132	15	24	26	40	5.1
'LS13	2.9	6	4.1	7	1.75
'LS14	8.6	16	12	21	1.72
'LS132	5.9	11	8.2	14	1.76
'S132	28	44	44	68	9

¶ Maximum value of I_{CC} are over the recommended operating ranges of V_{CC} and T_A. Typical values are at V_{CC} = 5 V, T_A = 25°C

PARAMETER MEASUREMENT INFORMATION

NOTES: A. All diodes are 1N916 or 1N3064.
B. C_L includes probe and jig capacitance.
C. Generator characteristics and tolerance ranges are:

	Generator Characteristics				Reference Voltages		
	Z_{out}	PRR	t_r	t_f	V_{th}	$V_{in}(IL)$	$V_{in}(IH)$
SN54'/SN74'	50 Ω	1 MHz	10 ns	10 ns	1.5 V	0.9 V	1.5 V
SN54LS'/SN74LS'	50 Ω	1 MHz	15 ns	6 ns	1.3 V	0.8 V	1.3 V
'S132	50 Ω	1 MHz	2.5 ns	2.5 ns	1.2 V	1.2 V	1.5 V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SCHMITT-TRIGGER POSITIVE-NAND GATES AND INVERTERS WITH TOTEM-POLE OUTPUTS

schematics (each gate)

Resistor values shown are nominal.

TEXAS INSTRUMENTS
INCORPORATED
POST OFFICE BOX 5012 • DALLAS, TEXAS 75222

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPICAL CHARACTERISTICS OF '13, '14, AND '132 CIRCUITS†

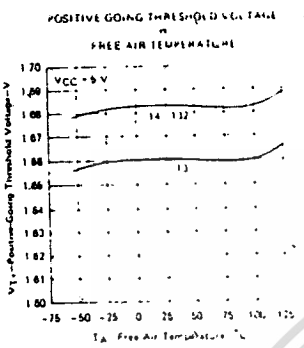


FIGURE 1

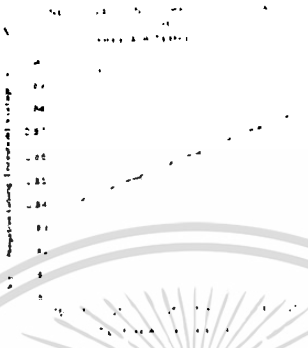


FIGURE 2

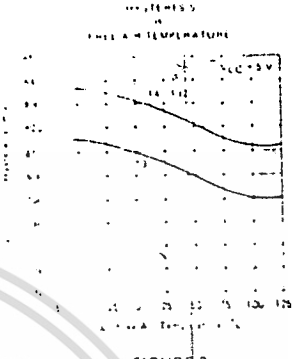


FIGURE 3

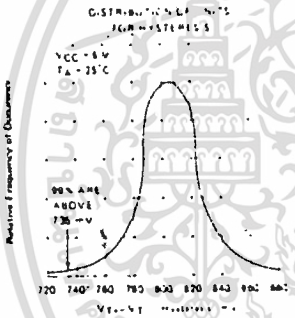


FIGURE 4

FIGURE 5

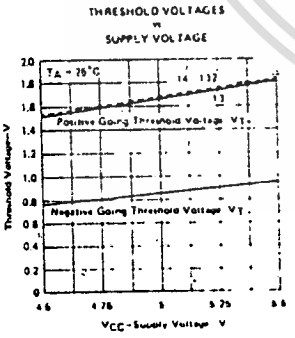


FIGURE 6

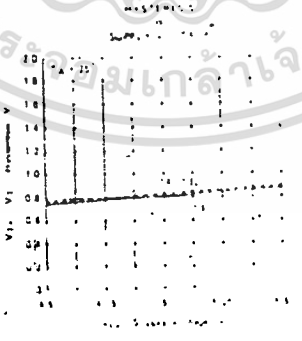


FIGURE 7

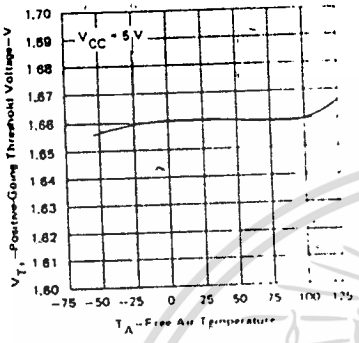
FIGURE 8

†Data for temperatures below 0°C and 70°C and supply voltages below 4.75 V and above 5.25 V are applicable for SN5413, SN5414, and SN54132 only.

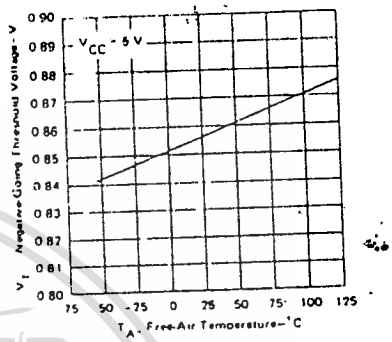
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPICAL CHARACTERISTICS OF 'LS13, 'LS14, AND 'LS132 CIRCUITS†

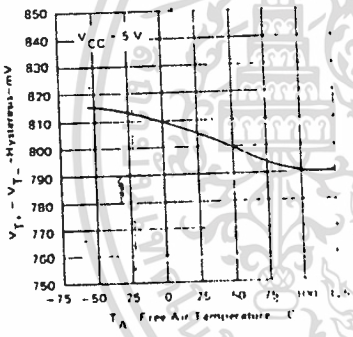
POSITIVE-GOING THRESHOLD VOLTAGE
vs
FREE-AIR TEMPERATURE



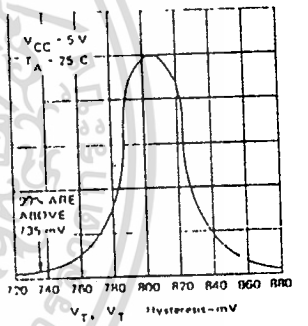
NEGATIVE-GOING THRESHOLD VOLTAGE
vs
FREE-AIR TEMPERATURE



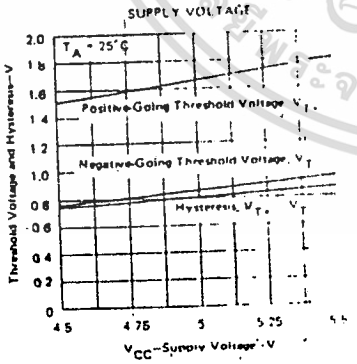
HYSTERESIS
vs
FREE AIR TEMPERATURE



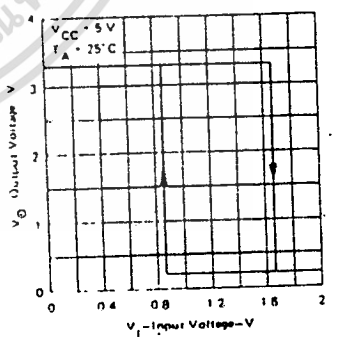
DISTRIBUTION OF UNITS
FOR HYSTERESIS



THRESHOLD VOLTAGES AND HYSTERESIS
vs
SUPPLY VOLTAGE



OUTPUT VOLTAGE
vs
INPUT VOLTAGE

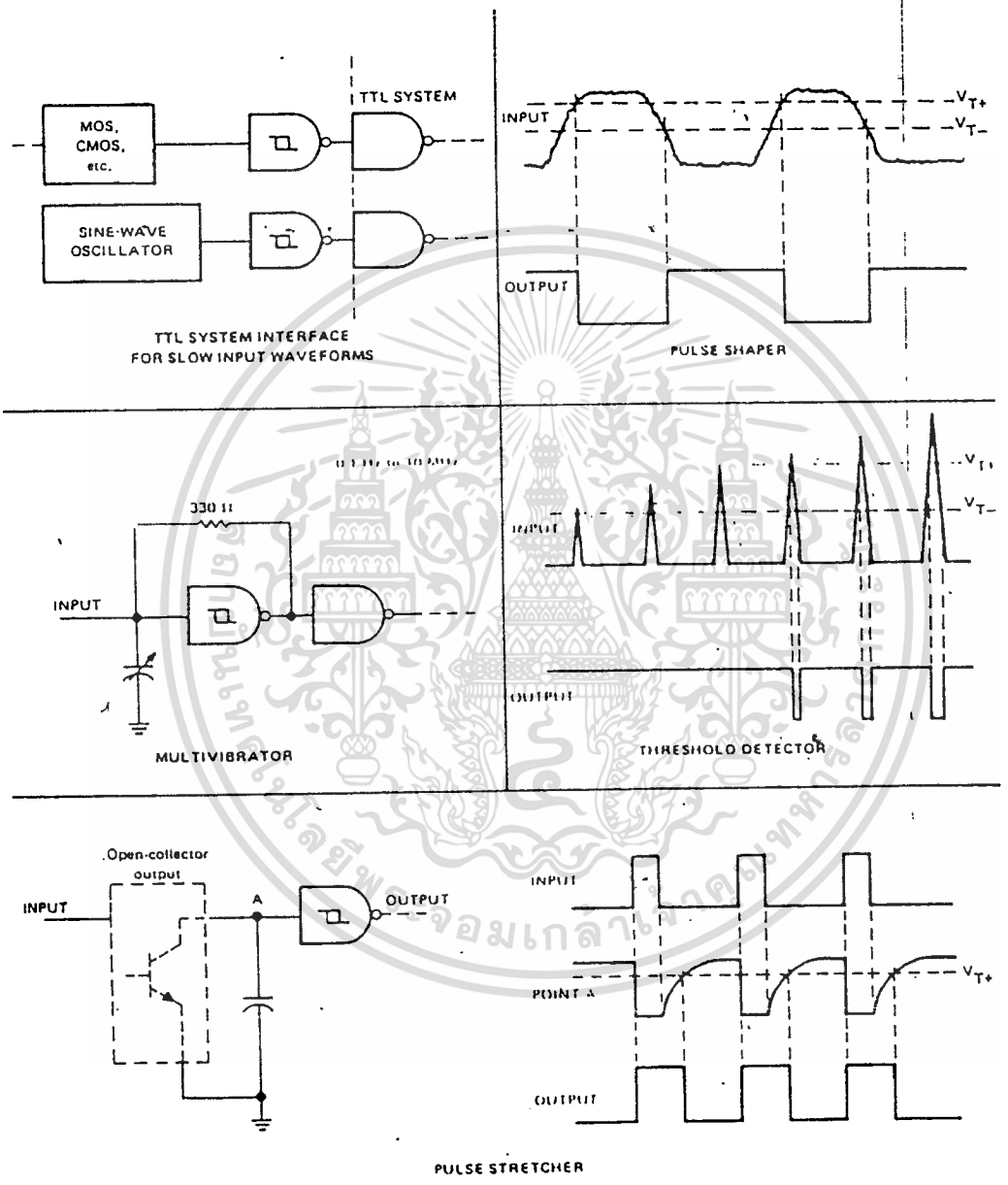


†Data for temperatures below 0°C and above 70°C and supply voltages below 4.75 V and above 5.25 are applicable for SN54LS13, SN54LS14, and SN54LS132 only.

TEXAS INSTRUMENTS
INCORPORATED
POST OFFICE BOX 5012 • DALLAS, TEXAS 75222

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPICAL APPLICATION DATA



6

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

54/74 FAMILIES OF COMPATIBLE TTL CIRCUITS

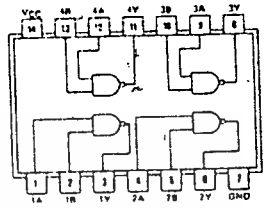
PIN ASSIGNMENTS (TOP VIEWS)

QUADRUPLE 2 INPUT HIGH-VOLTAGE INTERFACE POSITIVE-NAND GATES

26

positive logic:
$Y = \overline{AB}$

See pages 6-24 and 6-26



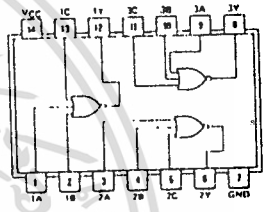
SN5426 (J) SN7426 (J, N)
SN54LS26 (J, W) SN74LS26 (J, N)

TRIPLE 3-INPUT POSITIVE-NOR GATES

27

positive logic:
$Y = \overline{A+B+C}$

See page 6-8



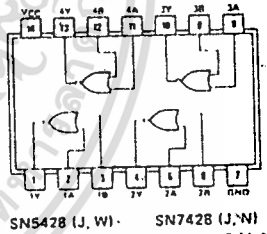
SN5427 (J, W) SN7427 (J, N)
SN54LS27 (J, W) SN74LS27 (J, N)

QUADRUPLE 2-INPUT POSITIVE-NOR BUFFERS

28

positive logic:
$Y = \overline{A+B}$

See page 6-20



SN5428 (J, W) SN7428 (J, N)
SN54LS28 (J, W) SN74LS28 (J, N)

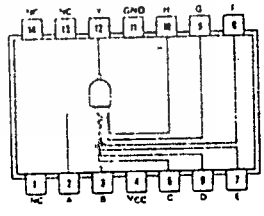
8-INPUT POSITIVE-NAND GATES

30

positive logic:
$Y = \overline{ABCDEFGH}$

See page 6-2

SN5430 (J) SN7430 (J, N)
SN54H30 (J) SN74H30 (J, N)
SN54L30 (J) SN74L30 (J, N)
SN54LS30 (J, W) SN74LS30 (J, N)
SN54S30 (J, W) SN74S30 (J, N)



SN5430 (W)
SN54H30 (W)
SN54L30 (T)

NC—No internal connection

TEXAS INSTRUMENTS
INCORPORATED
POST OFFICE BOX 5012 • DALLAS, TEXAS 75222

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5

DUAL J-K FLIP-FLOPS WITH CLEAR

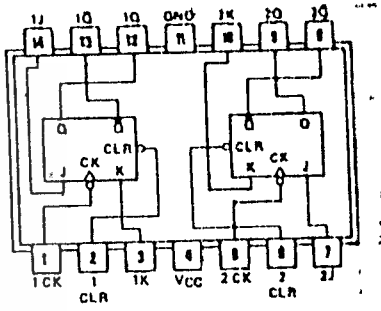
73

'73, 'H73, 'L73
FUNCTION TABLE

INPUTS				OUTPUTS	
CLEAR	CLOCK	J	K	Q	$\bar{Q}$
L	X	X	X	L	H
H	⎍	L	L	Q_0	$\bar{Q}_0$
H	⎍	H	L	H	L
H	⎍	L	H	L	H
H	⎍	H	H	TOGGLE	

'LS73A
FUNCTION TABLE

INPUTS				OUTPUTS	
CLEAR	CLOCK	J	K	Q	$\bar{Q}$
L	X	X	X	L	H
H	↓	L	L	Q_0	$\bar{Q}_0$
H	↓	H	L	H	L
H	↓	L	H	L	H
H	↓	H	H	TOGGLE	
H	H	X	X	Q_0	$\bar{Q}_0$



SN5473 (J, W) SN7473 (J, N)
SN54H73 (J, W) SN74H73 (J, N)
SN54L73 (J, T) SN74L73 (J, N)
SN54LS73A (J, W) SN74LS73A (J, N)

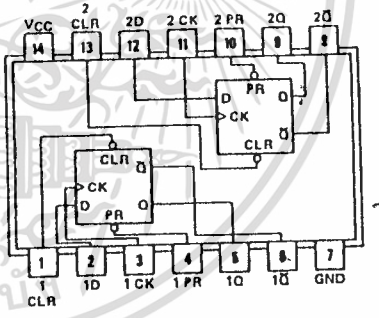
See pages 6-46, 6-50, 6-54, and 6-56

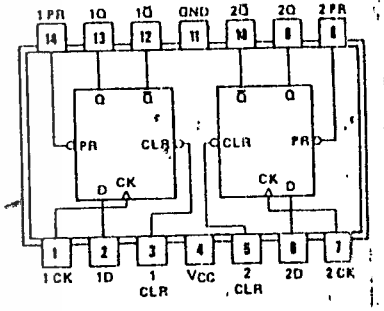
DUAL D-TYPE POSITIVE-EDGE-TRIGGERED FLIP-FLOPS WITH PRESET AND CLEAR

74

FUNCTION TABLE

INPUTS				OUTPUTS	
PRESET	CLEAR	CLOCK	D	Q	$\bar{Q}$
L	H	X	X	H	L
H	L	X	X	L	H
L	L	X	X	H*	H*
H	H	↑	H	H	L
H	H	↑	L	L	H
H	H	L	X	Q_0	$\bar{Q}_0$





SN5474 (J) SN7474 (J, N) SN5474 (W)
SN54H74 (J) SN74H74 (J, N) SN54H74 (W)
SN54L74 (J) SN74L74 (J, N) SN54L74 (T)
SN54LS74A (J, W) SN74LS74A (J, N)
SN54S74 (J, W) SN74S74 (J, N)

See pages 6-46, 6-50, 6-54, and 6-56

54/74 FAMILIES OF COMPATIBLE TTL CIRCUITS

PIN ASSIGNMENTS (TOP VIEWS)

AND-GATED J-K MASTER-SLAVE FLIP-FLOPS WITH PRESET AND CLEAR

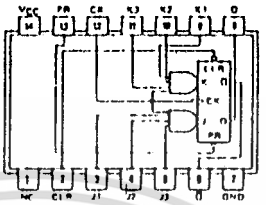
72

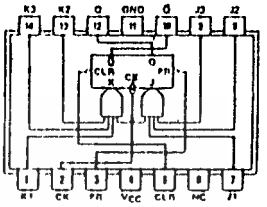
FUNCTION TABLE

INPUTS					OUTPUTS	
PRESET	CLEAR	CLOCK	J	K	Q	$\bar{Q}$
L	H	X	X	X	H	L
H	L	X	X	X	L	H
L	L	X	X	X	H*	H*
H	H	⎍	L	L	Q_0	$\bar{Q}_0$
H	H	⎍	H	L	H	L
H	H	⎍	L	H	L	H
H	H	⎍	H	H	TOGGLE	

positive logic: $J = J1 \cdot J2 \cdot J3$; $K1 \cdot K2 \cdot K3$

See pages 6-46, 6-50, and 6-54





SN5472 (J) SN7472 (J, N) SN5472 (W)
SN54H72 (J) SN74H72 (J, N) SN54H72 (W)
SN54L72 (J) SN74L72 (J, N) SN54L72 (T)

NC—No internal connection

DUAL J-K FLIP-FLOPS WITH CLEAR

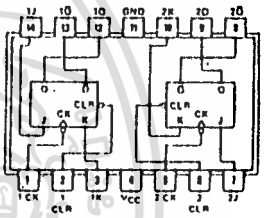
73

'73, 'H73, 'L73
FUNCTION TABLE

INPUTS				OUTPUTS	
CLEAR	CLOCK	J	K	Q	$\bar{Q}$
L	X	X	X	L	H
H	⎍	L	L	Q_0	$\bar{Q}_0$
H	⎍	H	L	H	L
H	⎍	L	H	L	H
H	⎍	H	H	TOGGLE	

'LS73A
FUNCTION TABLE

INPUTS				OUTPUTS	
CLEAR	CLOCK	J	K	Q	$\bar{Q}$
L	X	X	X	L	H
H	⎍	L	L	Q_0	$\bar{Q}_0$
H	⎍	H	L	H	L
H	⎍	L	H	L	H
H	⎍	H	H	TOGGLE	
H	H	X	X	Q_0	$\bar{Q}_0$



SN5473 (J, W) SN7473 (J, N)
SN54H73 (J, W) SN74H73 (J, N)
SN54L73 (J, T) SN74L73 (J, N)
SN54LS73A (J, W) SN74LS73A (J, N)

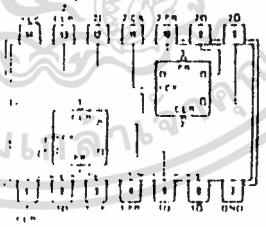
See pages 6-46, 6-50, 6-54, and 6-56

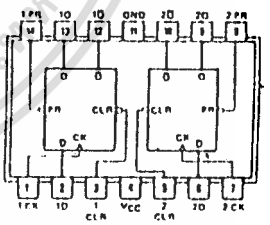
DUAL D-TYPE POSITIVE EDGE-TRIGGERED FLIP-FLOPS WITH PRESET AND CLEAR

74

FUNCTION TABLE

INPUTS				OUTPUTS	
PRESET	CLEAR	CLOCK	D	Q	$\bar{Q}$
L	H	X	X	H	L
H	L	X	X	L	H
L	L	X	X	H*	H*
H	H	⎍	H	H	L
H	H	⎍	L	L	H
H	H	L	X	Q_0	$\bar{Q}_0$





SN5474 (J) SN7474 (J, N) SN5474 (W)
SN54H74 (J) SN74H74 (J, N) SN54H74 (W)
SN54L74 (J) SN74L74 (J, N) SN54L74 (T)
SN54LS74A (J, W) SN74LS74A (J, N)
SN54S74 (J, W) SN74S74 (J, N)

See pages 6-46, 6-50, 6-54, and 6-58

See explanation of function tables on page 3-8.

'This configuration is nonstable; that is, it will not persist when preset or clear inputs return to their inactive (high) level. Furthermore, the output levels of the 'LS74A in this configuration are not guaranteed to meet the minimum levels for V_{OH} if the lows at preset and clear are near V_{IL} maximum.

TEXAS INSTRUMENTS
INCORPORATED
POST OFFICE BOX 225012 • DALLAS, TEXAS 75265

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

recommended operating conditions

		SERIES 54/74	'70			'72, '73, '76, '107			'74			'109			'110			'111			UNIT
			MIN	NOM	MAX	MIN	NOM	MAX	MIN	NOM	MAX	MIN	NOM	MAX	MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage, V_{CC}		Series 54	4.5	5	5.5	4.5	5	5.5	4.5	5	5.5	4.5	5	5.5	4.5	5	5.5	4.5	5	5.5	V
		Series 74	4.75	5	5.25	4.75	5	5.25	4.75	5	5.25	4.75	5	5.25	4.75	5	5.25	4.75	5	5.25	
High-level output current, I_{OH}					−400			−400			−400			−800			−800			−800	μA
Low-level output current, I_{OL}					16			16			16			16			16			16	mA
Pulse width, t_w	Clock high		20			20			30			20			25			25			ns
	Clock low		30			47			37			20			25			25			
	Preset or clear low		25			25			20			20			25			25			
Input setup time t_{su}			20↑			0↑			20↑			10↑			20↑			0↑			ns
Input hold time, t_h			5↑			0↑			5↑			5↑			5↑			30↑			ns
Operating free-air temperature, T_A		Series 54	−55		125	−55		125	−55		125	−55		125	−55		125	−55		125	°C
		Series 74	0		70	0		70	0		70	0		70	0		70	0		70	

↑ The arrow indicates the edge of the clock pulse used for reference: ↑ for the rising edge, ↓ for the falling edge

electrical characteristics over recommended operating free-air temperature range (unless otherwise noted)

PARAMETER		TEST CONDITIONS†	'70			'72, '73, '76, '107			'74			'109			'110			'111			UNIT
			MIN	TYP‡	MAX	MIN	TYP‡	MAX	MIN	TYP‡	MAX	MIN	TYP‡	MAX	MIN	TYP‡	MAX	MIN	TYP‡	MAX	
V_{IH}	High-level input voltage		2			2			2			2			2			2			V
V_{IL}	Low-level input voltage				0.8			0.8			0.8			0.8			0.8			0.8	V
V_{IK}	Input clamp voltage	V_{CC} = MIN, I_I = −12 mA			−1.5			−1.5			−1.5			−1.5			−1.5			−1.5	V
V_{OH}	High-level output voltage	V_{CC} = MIN, V_{IH} = 2 V, V_{IL} = 0.8 V, I_{OH} = MAX	2.4	3.4		2.4	3.4		2.4	3.4		2.4	3.4		2.4	3.4		2.4	3.4		V
V_{OL}	Low-level output voltage	V_{CC} = MIN, V_{IH} = 2 V, V_{IL} = 0.8 V, I_{OL} = 16 mA		0.2	0.4		0.2	0.4		0.2	0.4		0.2	0.4		0.2	0.4		0.2	0.4	V
I_I	Input current at maximum input voltage	V_{CC} = MAX, V_I = 5.5 V			1			1			1			1			1			1	mA
I_{IH}	High-level input current	D, J, K, or K	V_{CC} = MAX, V_I = 2.4 V			40			40			40			40			40			40	μA
		Clear				80			120			160			160			80			
		Preset				80			80			80			160			80			
		Clock				40			80			80			40			120			
I_{IL}	Low-level input current	D, J, K, or K	V_{CC} = MAX, V_I = 0.4 V			−1.6			−1.6			−1.6			−1.6			−1.6			mA
		Clear*				−3.2			−3.2			−4.8			−3.2			−3.2			
		Preset*				−3.2			−1.2			−1.6			−3.2			−3.2			
		Clock				−1.6			−3.2			−3.2			−3.2			−4.8			
I_{OS}	Short-circuit output current§	Series 54	V_{CC} = MAX	−20	−57	−57	−20	−57	−57	−20	−57	−57	−30	−85	−85	−20	−57	−57	−20	−57	−57	mA
		Series 74		−18	−57	−57	−18	−57	−57	−18	−57	−57	−30	−85	−85	−18	−57	−57	−18	−57	−57	
I_{CC}	Supply current (Average per flip-flop)	V_{CC} = MAX, See Note 1		13	26		10	20		8.5	15		9	15		20	34		14	20.5	mA

† For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.

‡ All typical values are at V_{CC} = 5 V, T_A = 25°C.

§ Not more than one output should be shorted at a time.

* Clear is tested with preset high and preset is tested with clear high.

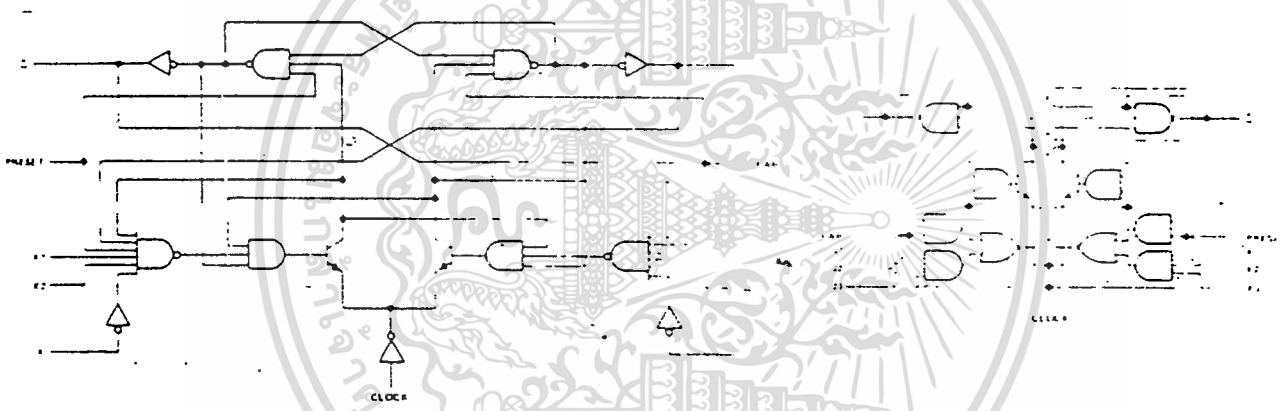
NOTE 1: With all outputs open, I_{CC} is measured with the Q and $\bar{Q}$ outputs high in turn. At the time of measurement, the clock input is at 4.5 V for the '70, '110, and '111; and

switching characteristics, V_{CC} = 5 V, T_A = 25°C

PARAMETER[1]	FROM (INPUT)	TO (OUTPUT)	TEST CONDITIONS	'70			'72, '73, '76, '107			'74			'109			'110			'111			UNIT
				MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	
f_{max}				20	35		15	20		15	25		25	33		20	25		20	25		MHz
t_{PLH}	Preset (as applicable)	Q	C_L = 15 pF, R_L = 400 Ω, See Note 2			50		16	25			25		10	15		12	20		12	18	ns
t_{PHL}						50		25	40			40		23	35		18	25		21	30	
t_{PLH}	Clear (as applicable)	$\bar{Q}$				50		16	25			25		10	15		12	20		12	18	ns
t_{PHL}						50		25	40			40		17	25		18	25		21	30	
t_{PLH}	Clock	Q or $\bar{Q}$			27	50		16	25		14	25		10	16		20	30		12	17	ns
t_{PHL}					18	50		25	40		20	40		18	28		13	20		20	30	

[1] f_{max} = maximum clock frequency, t_{PLH} = propagation delay time, low to high level output, t_{PHL} = propagation delay time, high to low level output.
NOTE 2: Load circuit and voltage waveforms are shown on page 3-10.

functional block diagrams

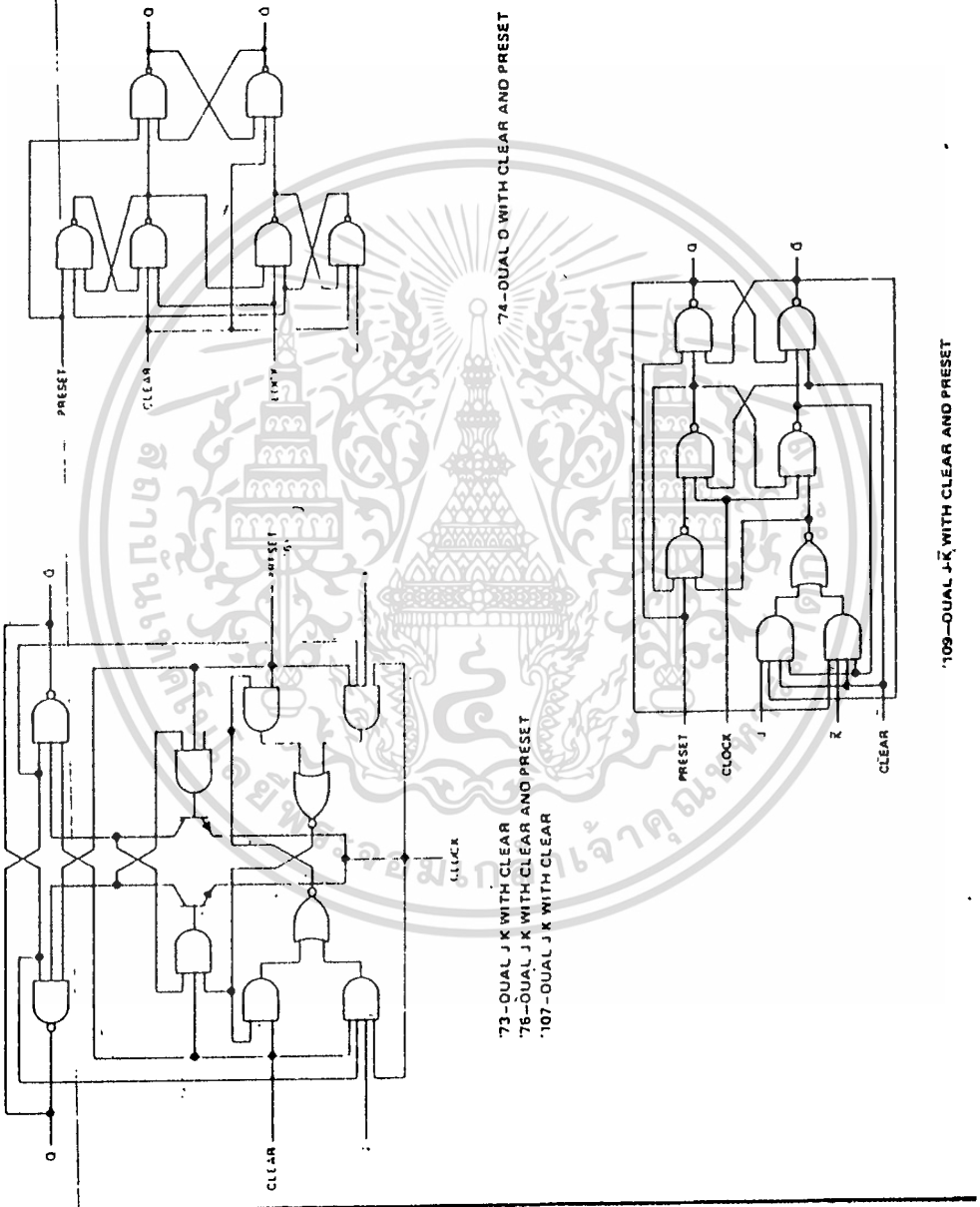


'70—GATED J-K WITH CLEAR AND PRESET

'72—GATED J-K WITH CLEAR AND PRESET

See following pages for:
'73—DUAL J-K WITH CLEAR
'74—DUAL D WITH CLEAR AND PRESET
'76—DUAL J-K WITH CLEAR AND PRESET
'107—DUAL J-K WITH CLEAR
'109—DUAL J-$\bar{K}$ WITH CLEAR AND PRESET
'110—GATED J-K WITH CLEAR AND PRESET
'111—DUAL J-K WITH CLEAR AND PRESET

functional block diagrams (continued)



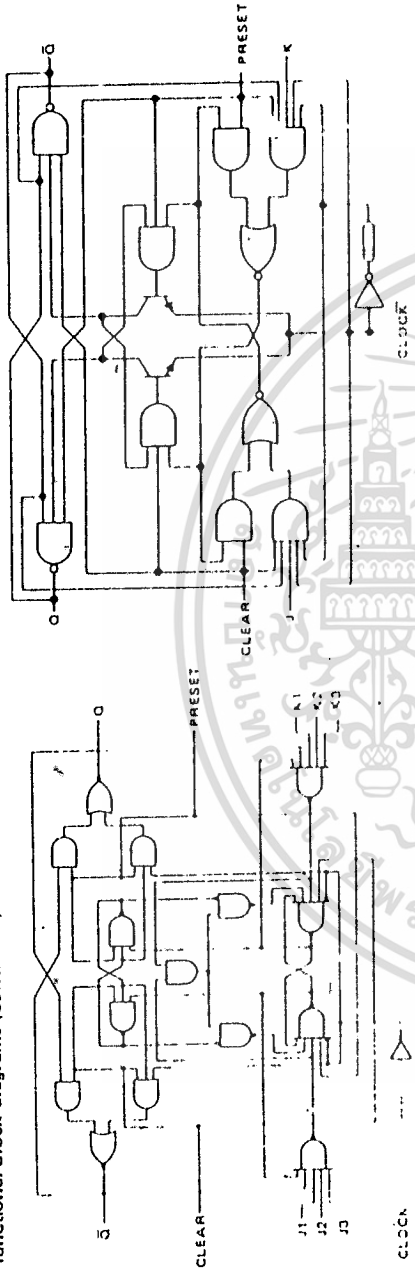
'74—DUAL D WITH CLEAR AND PRESET

'73—DUAL J K WITH CLEAR
'76—DUAL J K WITH CLEAR AND PRESET
'107—DUAL J K WITH CLEAR

'109—DUAL J $\overline{K}$ WITH CLEAR AND PRESET

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

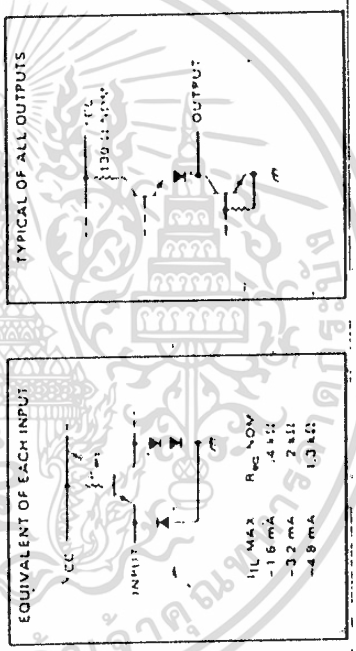
functional block diagrams (continued)



'110–GATED JK WITH CLEAR AND PRESET

'111–DUAL JK WITH CLEAR AND PRESET

schematics of inputs and outputs



6

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

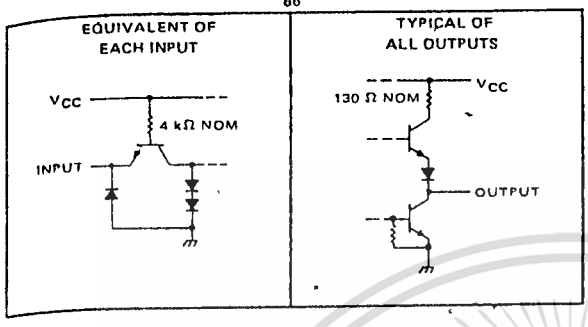
TTL
MSI

TYPES SN5486, SN54L86, SN54LS86, SN54S86, SN7486, SN74L86, SN74LS86, SN74S86 QUADRUPLE 2-INPUT EXCLUSIVE-OR GATES

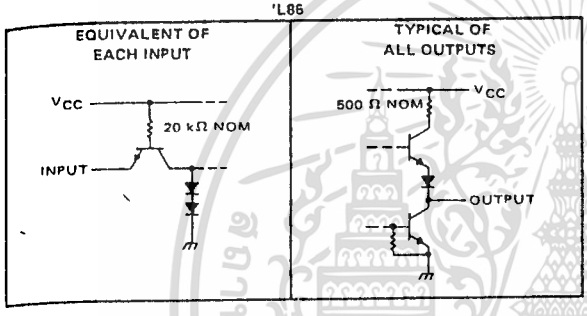
BULLETIN NO. DL-S 7611825, DECEMBER 1972—REVISED OCTOBER 1976

schematics of inputs and outputs

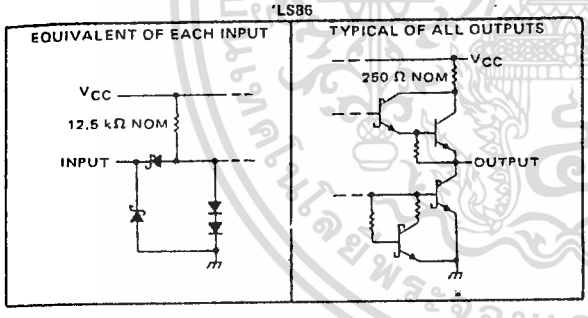
'86



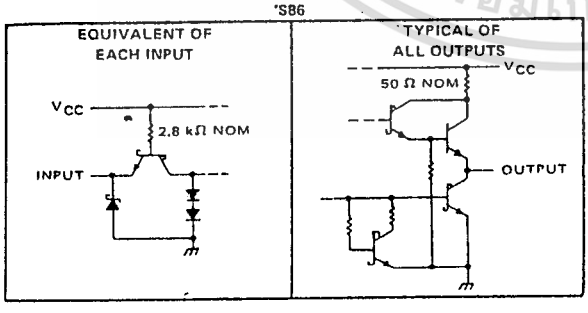
'L86



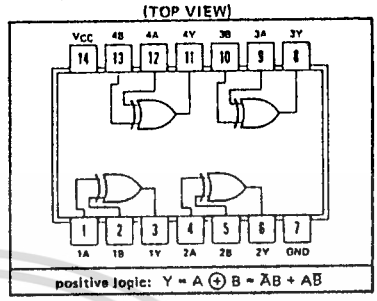
'LS86



'S86

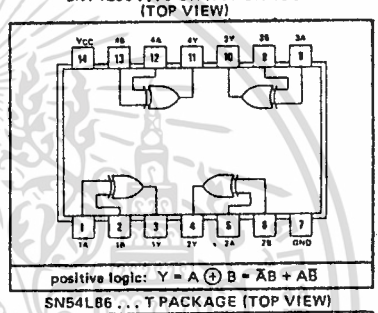


SN54', SN54LS', SN54S' . . . J OR W PACKAGE
SN74', SN74LS', SN74S' . . . J OR N PACKAGE
(TOP VIEW)



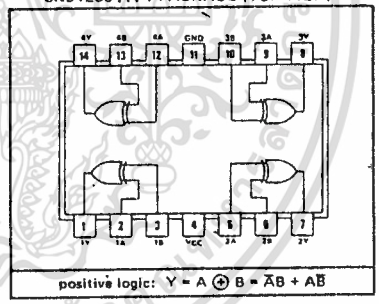
positive logic: $Y = A \oplus B = \bar{A}B + A\bar{B}$

SN54L86 . . . J PACKAGE
SN74L86 . . . J OR N PACKAGE
(TOP VIEW)



positive logic: $Y = A \oplus B = \bar{A}B + A\bar{B}$

SN54L86 . . . T PACKAGE (TOP VIEW)



positive logic: $Y = A \oplus B = \bar{A}B + A\bar{B}$

FUNCTION TABLE

INPUTS		OUTPUT
A	B	Y
L	L	L
L	H	H
H	L	H
H	H	L

H = high level, L = low level

TYPE	TYPICAL AVERAGE PROPAGATION DELAY TIME	TYPICAL TOTAL POWER DISSIPATION
'86	14 ns	150 mW
'L86	55 ns	15 mW
'LS86	10 ns	30.5 mW
'S86	7 ns	250 mW

7

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPES SN54LS86, SN74LS86
QUADRUPLE 2-INPUT EXCLUSIVE-OR GATES

REVISED OCTOBER 1976

absolute maximum ratings over operating free-air temperature range (unless otherwise noted)

Supply voltage, V_{CC} (see Note 1) . . . . . 7 V
Input voltage . . . . . 7 V
Operating free-air temperature range: SN54LS86 . . . . . −55°C to 125°C
SN74LS86 . . . . . 0°C to 70°C
Storage temperature range . . . . . −65°C to 150°C

NOTE 1: Voltage values are with respect to network ground terminal.

recommended operating conditions

	SN54LS86			SN74LS86			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage, V_{CC}	4.5	5	5.5	4.75	5	5.25	V
High-level output current, I_{OH}			−400			−400	μA
Low-level output current, I_{OL}			4			8	mA
Operating free-air temperature, T_A	−55		125	0		70	°C

electrical characteristics over recommended operating free-air temperature range (unless otherwise noted)

PARAMETER		TEST CONDITIONS†		SN54LS86			SN74LS86			UNIT
				MIN	TYP‡	MAX	MIN	TYP‡	MAX	
V_{IH}	High-level input voltage			2			2			V
V_{IL}	Low-level input voltage					0.7			0.8	V
V_{IK}	Input clamp voltage	V_{CC} = MIN, I_I = −18 mA				−1.5			−1.5	V
V_{OH}	High-level output voltage	V_{CC} = MIN, V_{IH} = 2 V, V_{IL} = V_{IL} max, I_{OH} = −400 μA		2.5	3.4		2.7	3.4		V
V_{OL}	Low-level output voltage	V_{CC} = MIN, V_{IH} = 2 V, V_{IL} = V_{IL} max	I_{OL} = 4 mA		0.25	0.4		0.25	0.4	V
			I_{OL} = 8 mA					0.35	0.5	
I_I	Input current at maximum input voltage	V_{CC} = MAX, V_I = 7 V				0.2			0.2	mA
I_{IH}	High-level input current	V_{CC} = MAX, V_I = 2.7 V				40			40	μA
I_{IL}	Low-level input current	V_{CC} = MAX, V_I = 0.4 V				−0.8			−0.8	mA
I_{OS}	Short-circuit output current§	V_{CC} = MAX		−6		−40	−5		−42	mA
I_{CC}	Supply current	V_{CC} = MAX, See Note 2			6.1	10		6.1	10	mA

† For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions for the applicable type.
‡ All typical values are at V_{CC} = 5 V, T_A = 25°C.
§ Not more than one output should be shorted at a time.
NOTE 2: I_{CC} is measured with the inputs grounded and the outputs open.

switching characteristics, V_{CC} = 5 V, T_A = 25°C

PARAMETER¶	FROM (INPUT)	TEST CONDITIONS		MIN	TYP	MAX	UNIT
t_{PLH}	A or B	Other input low	C_L = 15 pF, R_L = 2 kΩ, See Note 7		12	23	ns
t_{PHL}					10	17	
t_{PLH}	A or B	Other input high			20	30	ns
t_{PHL}					13	22	

¶ t_{PLH} = propagation delay time, low-to-high-level output
t_{PHL} = propagation delay time, high-to-low-level output
NOTE 7: Load circuit and voltage waveforms are shown on page 1-11.

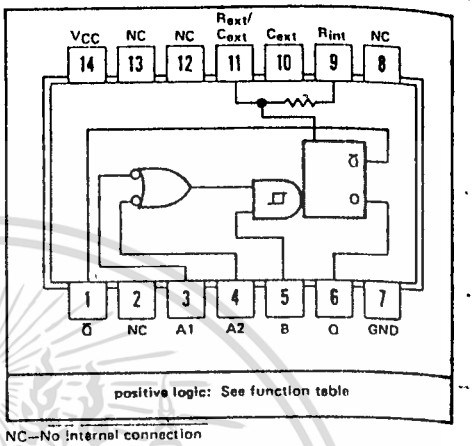
TEXAS INSTRUMENTS
INCORPORATED
POST OFFICE BOX 225012 • DALLAS, TEXAS 75265

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPES SN54121, SN54L121, SN74121, SN74L121
MONOSTABLE MULTIVIBRATORS
WITH SCHMITT-TRIGGER INPUTS

- Programmable Output Pulse Width
  With R_{int} . . . 35 ns Typ
  With R_{ext}/C_{ext} . . . 40 ns to 28 Seconds
- Internal Compensation for Virtual Temperature Independence
- Jitter-Free Operation up to 90% Duty Cycle
- Inhibit Capability

SN54121 . . . J OR W PACKAGE
SN54L121 . . . J OR T PACKAGE
SN74121, SN74L121 . . . J OR N PACKAGE



NC—No internal connection

FUNCTION TABLE

INPUTS			OUTPUTS	
A1	A2	B	Q	Q̄
L	X	H	L	H
X	L	H	L	H
X	X	L	L	H
H	H	X	L	H
H	↓	H	⎍	⎎
↓	H	H	⎍	⎎
↓	↓	H	⎍	⎎
L	X	↑	⎍	⎎
X	L	↑	⎍	⎎

For explanation of function table symbols, see page 3-8.

NOTES: 1. An external capacitor may be connected between C_{ext} (positive) and R_{ext}/C_{ext}.
2. To use the internal timing resistor, connect R_{int} to V_{CC}. For improved pulse width accuracy and repeatability, connect an external resistor between R_{ext}/C_{ext} and V_{CC} with R_{int} open-circuited.

description

6

These multivibrators feature dual negative-transition-triggered inputs and a single positive-transition-triggered input which can be used as an inhibit input. Complementary output pulses are provided.

Pulse triggering occurs at a particular voltage level and is not directly related to the transition time of the input pulse. Schmitt-trigger input circuitry (TTL hysteresis) for the B input allows jitter-free triggering from inputs with transition rates as slow as 1 volt/second, providing the circuit with an excellent noise immunity of typically 1.2 volts. A high immunity to V_{CC} noise of typically 1.5 volts is also provided by internal latching circuitry.

Once fired, the outputs are independent of further transitions of the inputs and are a function only of the timing components. Input pulses may be of any duration relative to the output pulse. Output pulse length may be varied from 40 nanoseconds to 28 seconds by choosing appropriate timing components. With no external timing components (i.e., R_{int} connected to V_{CC}, C_{ext} and R_{ext}/C_{ext} open), an output pulse of typically 30 or 35 nanoseconds is achieved which may be used as a d-c triggered reset signal. Output rise and fall times are TTL compatible and independent of pulse length.

Pulse width stability is achieved through internal compensation and is virtually independent of V_{CC} and temperature. In most applications, pulse stability will only be limited by the accuracy of external timing components.

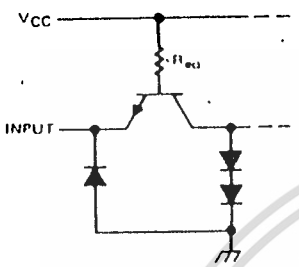
Jitter-free operation is maintained over the full temperature and V_{CC} ranges for more than six decades of timing capacitance (10 pF to 10 μF) and more than one decade of timing resistance (2 kΩ to 30 kΩ for the SN54121/SN54L121 and 2 kΩ to 40 kΩ for the SN74121/SN74L121). Throughout these ranges, pulse width is defined by the relationship $t_{w(out)} = C_{ext}R_T \ln 2 \approx 0.7\, C_{ext}R_T$. In circuits where pulse cutoff is not critical, timing capacitance up to 1000 μF and timing resistance as low as 1.4 kΩ may be used. Also, the range of jitter-free output pulse widths is extended if V_{CC} is held to 5 volts and free-air temperature is 25°C. Duty cycles as high as 90% are achieved when using maximum recommended R_T. Higher duty cycles are available if a certain amount of pulse-width jitter is allowed.

TEXAS INSTRUMENTS
INCORPORATED
POST OFFICE BOX 5012 • DALLAS, TEXAS 75222

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

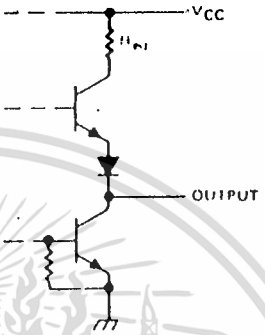
schematics of inputs and outputs

EQUIVALENT OF EACH INPUT



INPUT	R_{eq} NOM	
	'121	'L121
A1	4 kΩ	8 kΩ
A2	4 kΩ	8 kΩ
B	2 kΩ	4 kΩ

TYPICAL OF BOTH OUTPUTS



'121 R_{ext} = 130 Ω NOM
'L121 R_{ext} = 260 Ω NOM

recommended operating conditions

			54 FAMILY 74 FAMILY	SN54121 SN74121			SN54L121 SN74L121			UNIT
				MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage, V_{CC}			54 Family	4.5	5	5.5	4.5	5	5.5	V
			74 Family	4.75	5	5.25	4.75	5	5.25	
High-level output current, I_{OH}						−400			−200	μA
Low-level output current, I_{OL}						16			8	mA
Rate of rise or fall of input pulse, dv/dt	Schmitt input, B			1			1			V/s
	Logic inputs, A1, A2			1			1			V/μs
Input pulse width, $t_{w(in)}$				50			100			ns
External timing resistance, R_{ext}			54 Family	1.4		30	1.4		30	kΩ
			74 Family	1.4		40	1.4		40	
External timing capacitance, C_{ext}				0		1000	0		1000	μF
Duty cycle	R_T = 2 kΩ					67			67	%
	R_T = MAX R_{ext}					90			90	
Operating free-air temperature, T_A			54 Family	−55		125	−55		25	°C
			74 Family	0		70	0		70	

6

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPES SN54121, SN54L121, SN74121, SN74L121
MONOSTABLE MULTIVIBRATORS
WITH SCHMITT-TRIGGER INPUTS

electrical characteristics over recommended operating free-air temperature range (unless otherwise noted)

PARAMETER		TEST CONDITIONS†		SN54121 SN74121			SN54L121 SN74L121			UNIT
				MIN	TYP‡	MAX	MIN	TYP‡	MAX	
V_{T+}	Positive-going threshold voltage at A input	V_{CC} = MIN			1.4	2		1.4	2	V
V_{T-}	Negative-going threshold voltage at A input	V_{CC} = MIN		0.8	1.4		0.8	1.4		V
V_{T+}	Positive-going threshold voltage at B input	V_{CC} = MIN			1.55	2		1.55	2	V
V_{T-}	Negative-going threshold voltage at B input	V_{CC} = MIN		0.8	1.35		0.8	1.35		V
V_{IK}	Input clamp voltage	V_{CC} = MIN,	I_I = −12 mA			−1.5			−1.5	V
V_{OH}	High-level output voltage	V_{CC} = MIN,	I_{OH} = MAX	2.4	3.4		2.4	3.4		V
V_{OL}	Low-level output voltage	V_{CC} = MIN,	I_{OL} = MAX		0.2	0.4		0.2	0.4	V
I_I	Input current at maximum input voltage	V_{CC} = MAX,	V_I = 5.5 V			1			1	mA
I_{IH}	High-level input current	V_{CC} = MAX, V_I = 2.4 V	A1 or A2			40			20	μA
			B			80			40	
I_{IL}	Low-level input current	V_{CC} = MAX, V_I = 0.4 V	A1 or A2			−1.6			−0.8	mA
			B			−3.2			−1.6	
I_{OS}	Short-circuit output current#	V_{CC} = MAX	54 Family	−20		−55	−10		−27	mA
			74 Family	−18		−55	−9		−27	
I_{CC}	Supply current	V_{CC} = MAX	Quiescent		13	25		7	12	mA
			Triggered		23	40		9	20	

†For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.
‡All typical values are at V_{CC} = 5 V, T_A = 25°C.
#Not more than one output should be shorted at a time.

switching characteristics, V_{CC} = 5 V, T_A = 25°C

PARAMETER		TEST CONDITIONS		'121			'L121			UNIT
				MIN	TYP	MAX	MIN	TYP	MAX	
t_{PLH}	Propagation delay time, low-to-high level Q output from either A input	C_L = 15 pF, R_L = 400 Ω for '121, R_L = 800 Ω for 'L121, See Note 3	C_{ext} = 80 pF, R_{int} to V_{CC}		45	70			140	ns
t_{PLH}	Propagation delay time, low-to-high level Q output from B input				35	55			110	ns
t_{PHL}	Propagation delay time, high-to-low level $\overline{Q}$ output from either A input				50	80			160	ns
t_{PHL}	Propagation delay time, high-to-low level $\overline{Q}$ output from B input				40	65			130	ns
$t_{w(out)}$	Pulse width obtained using internal timing resistor		C_{ext} = 80 pF, R_{int} to V_{CC}	70	110	150	70	225	260	ns
$t_{w(out)}$	Pulse width obtained with zero timing capacitance		C_{ext} = 0, R_{int} to V_{CC}		30	60		35	70	ns
$t_{w(out)}$	Pulse width obtained using external timing resistor		C_{ext} = 100 pF, R_T = 10 kΩ	600	700	800	600	700	850	ns
			C_{ext} = 1 μF, R_T = 10 kΩ	6	7	8	6	7	8	ms

NOTE 3: Load circuit and voltage waveforms are shown on pages 3-10 and 3-11.

6

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPICAL CHARACTERISTICS§

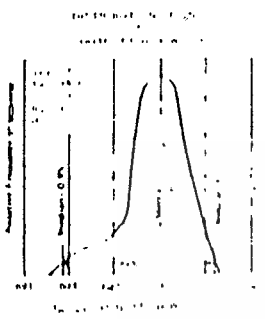


FIGURE 1

FIGURE 2

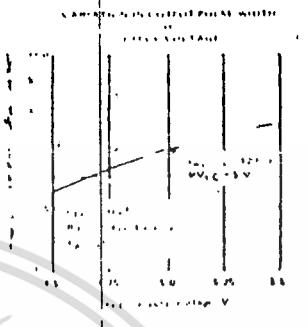


FIGURE 3

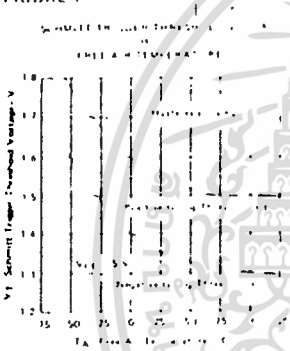


FIGURE 4

OUTPUT PULSE WIDTH
vs
TIMING RESISTOR VALUE

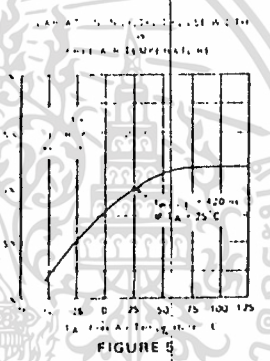


FIGURE 5

OUTPUT PULSE WIDTH
vs
EXTERNAL CAPACITANCE

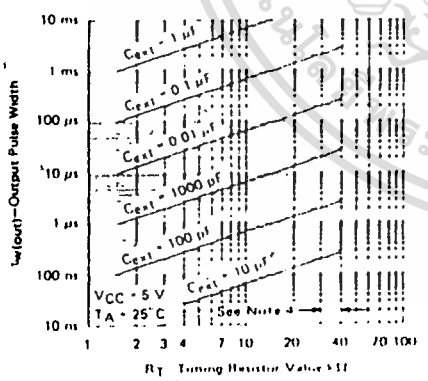


FIGURE 6

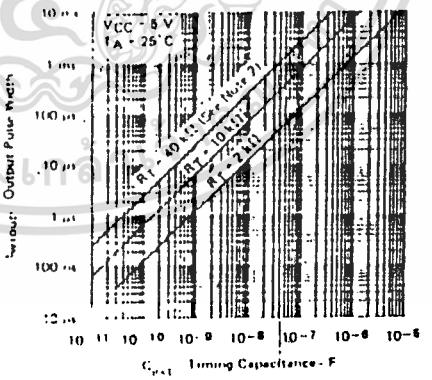


FIGURE 7

NOTE 4: These values of resistance were used to establish the maximum recommended for use over the full temperature range of the SN54L121.

§Data for temperatures below 0°C and above 70°C are applicable for SN74121 and SN74L121 only.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

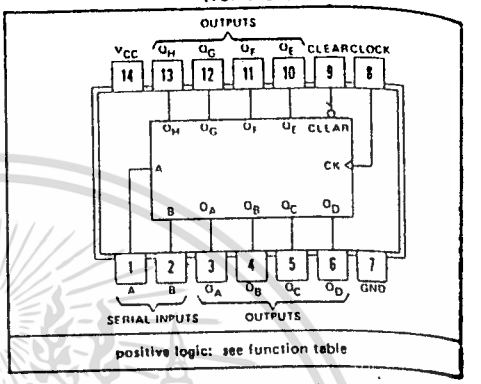
TTL MSI TYPES SN54164, SN54L164, SN54LS164, SN74164, SN74L164, SN74LS164
8-BIT PARALLEL-OUT SERIAL SHIFT REGISTERS

BULLETIN NO. DL-S 7611835, MARCH 1974—REVISED OCTOBER 1976

- Gated (Enable/Disable) Serial Inputs
- Fully Buffered Clock and Serial Inputs
- Asynchronous Clear

TYPE	TYPICAL MAXIMUM CLOCK FREQUENCY	TYPICAL POWER DISSIPATION
'164	36 MHz	21 mW per bit
'L164	18 MHz	11 mW per bit
'LS164	36 MHz	10 mW per bit

SN54164, SN54LS164 . . . J OR W PACKAGE
SN54L164, SN74L164 . . . J, N, OR T PACKAGE
SN74164, SN74LS164 . . . J OR N PACKAGE
(TOP VIEW)



positive logic: see function table

description

These 8-bit shift registers feature gated serial inputs and an asynchronous clear. The gated serial inputs (A and B) permit complete control over incoming data as a low at either (or both) input(s) inhibits entry of the new data and resets the first flip-flop to the low level at the next clock pulse. A high-level input enables the other input which will then determine the state of the first flip-flop. Data at the serial inputs may be changed while the clock is high or low, but only information meeting the setup requirements will be entered. Clocking occurs on the low-to-high-level transition of the clock input. All inputs are diode-clamped to minimize transmission-line effects.

Series 54, 54L, and 54LS devices are characterized for operation over the full military temperature range of −55°C to 125°C; Series 74, 74L, and 74LS devices are characterized for operation from 0°C to 70°C.

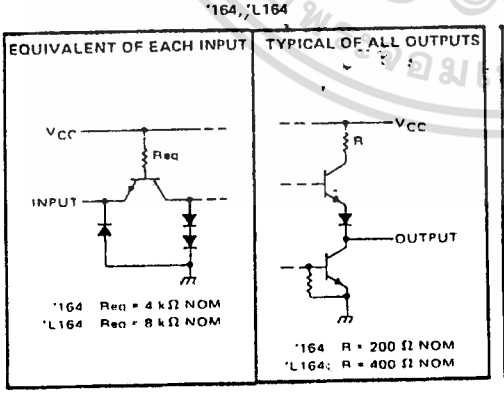
FUNCTION TABLE

INPUTS				OUTPUTS			
CLEAR	CLOCK	A	B	Q_A	Q_B	...	Q_H
L	X	X	X	L	L		L
H	L	X	X	Q_{A0}	Q_{B0}		Q_{H0}
H	↑	H	H	H	Q_{An}		Q_{Gn}
H	↑	L	X	L	Q_{An}		Q_{Gn}
H	↑	X	L	L	Q_{An}		Q_{Gn}

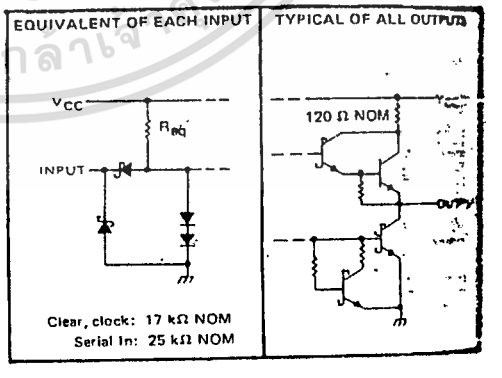
H = high level (steady state), L = low level (steady state)
X = irrelevant (any input, including transitions)
↑ = transition from low to high level.
Q_{A0}, Q_{B0}, Q_{H0} = the level of Q_A, Q_B, or Q_H, respectively, before the indicated steady-state input conditions were established.
Q_{An}, Q_{Gn} = the level of Q_A or Q_G before the most-recent ↑ transition of the clock; indicates a one-bit shift.

schematics of inputs and outputs

'164, 'L164



'LS164



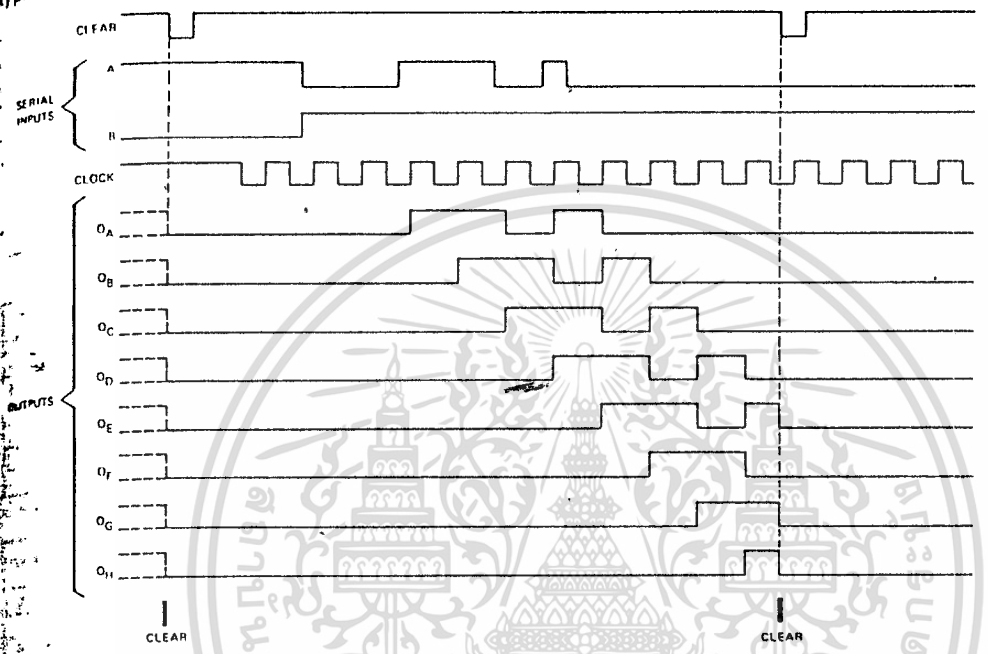
TEXAS INSTRUMENTS
INCORPORATED
POST OFFICE BOX 5012 • DALLAS, TEXAS 75222

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

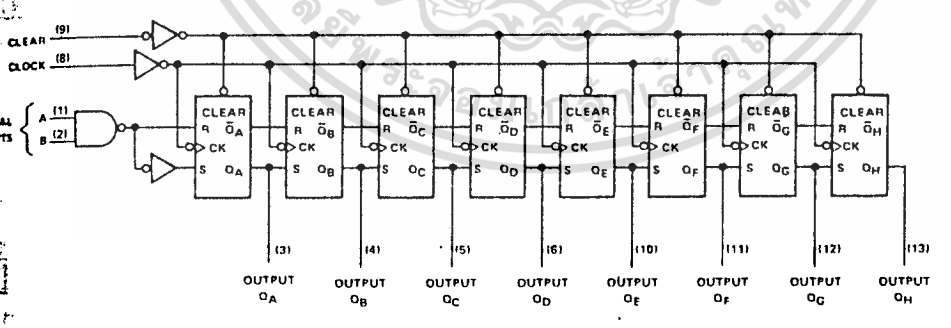
TYPES SN54164, SN54L164, SN54LS164, SN74164, SN74L164, SN74LS164
8-BIT PARALLEL-OUT SERIAL SHIFT REGISTERS

REVISED OCTOBER 1976

typical clear, shift, and clear sequences



functional block diagram



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPES SN54LS164, SN74LS164
8-BIT PARALLEL-OUT SERIAL SHIFT REGISTERS

REVISED OCTOBER 1976

absolute maximum ratings over operating free-air temperature range (unless otherwise noted)

Supply voltage, V_{CC} (see Note 1) . . . . . 7 V
Input voltage . . . . . 7 V
Operating free-air temperature range: SN54LS164 . . . . . −55°C to 125°C
SN74LS164 . . . . . 0°C to 70°C
Storage temperature range . . . . . −65°C to 150°C

NOTE 1: Voltage values are with respect to network ground terminal.

recommended operating conditions

	SN54LS164			SN74LS164			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage, V_{CC}	4.5	5	5.5	4.75	5	5.25	V
High-level output current, I_{OH}			−400			−400	μA
Low-level output current, I_{OL}			4			8	mA
Clock frequency, f_{clock}	0		25	0		25	MHz
Width of clock or clear input pulse, t_w	20			20			ns
Data setup time, t_{su} (see Figure 1)	15			15			ns
Data hold time, t_h (see Figure 1)	5			5			ns
Operating free-air temperature, T_A	−55		125	0		70	°C

electrical characteristics over recommended operating free-air temperature range (unless otherwise noted)

PARAMETER		TEST CONDITIONS†	SN54LS164			SN74LS164			UNIT
			MIN	TYP‡	MAX	MIN	TYP‡	MAX	
V_{IH}	High-level input voltage		2			2			V
V_{IL}	Low-level input voltage				0.7			0.8	V
V_{IK}	Input clamp voltage	V_{CC} = MIN, I_I = −18 mA			−1.5			−1.5	V
V_{OH}	High-level output voltage	V_{CC} = MIN, V_{IL} = V_{IL} max, I_{OH} = −400 μA	2.5	3.5		2.7	3.5		V
V_{OL}	Low-level output voltage	V_{CC} = MIN, V_{IH} = 2 V, I_{OL} = 4 mA		0.25	0.4		0.25	0.4	V
		V_{IL} = V_{IL} max, I_{OL} = 8 mA					0.35	0.5	
I_I	Input current at maximum input voltage	V_{CC} = MAX, V_I = 7 V			0.1			0.1	mA
I_{IH}	High-level input current	V_{CC} = MAX, V_I = 2.7 V			20			20	μA
I_{IL}	Low-level input current	V_{CC} = MAX, V_I = 0.4 V			−0.4			−0.4	mA
I_{OS}	Short-circuit output current§	V_{CC} = MAX	−20		−100	−20		−100	mA
I_{CC}	Supply current	V_{CC} = MAX, See Note 3		16	27		16	27	mA

†For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.
‡All typical values are at V_{CC} = 5 V, T_A = 25°C.
§Not more than one output should be shorted at a time, and duration of the short-circuit should not exceed one second.
NOTE 3: I_{CC} is measured with outputs open, all inputs grounded, then 4.5 V applied to clear.

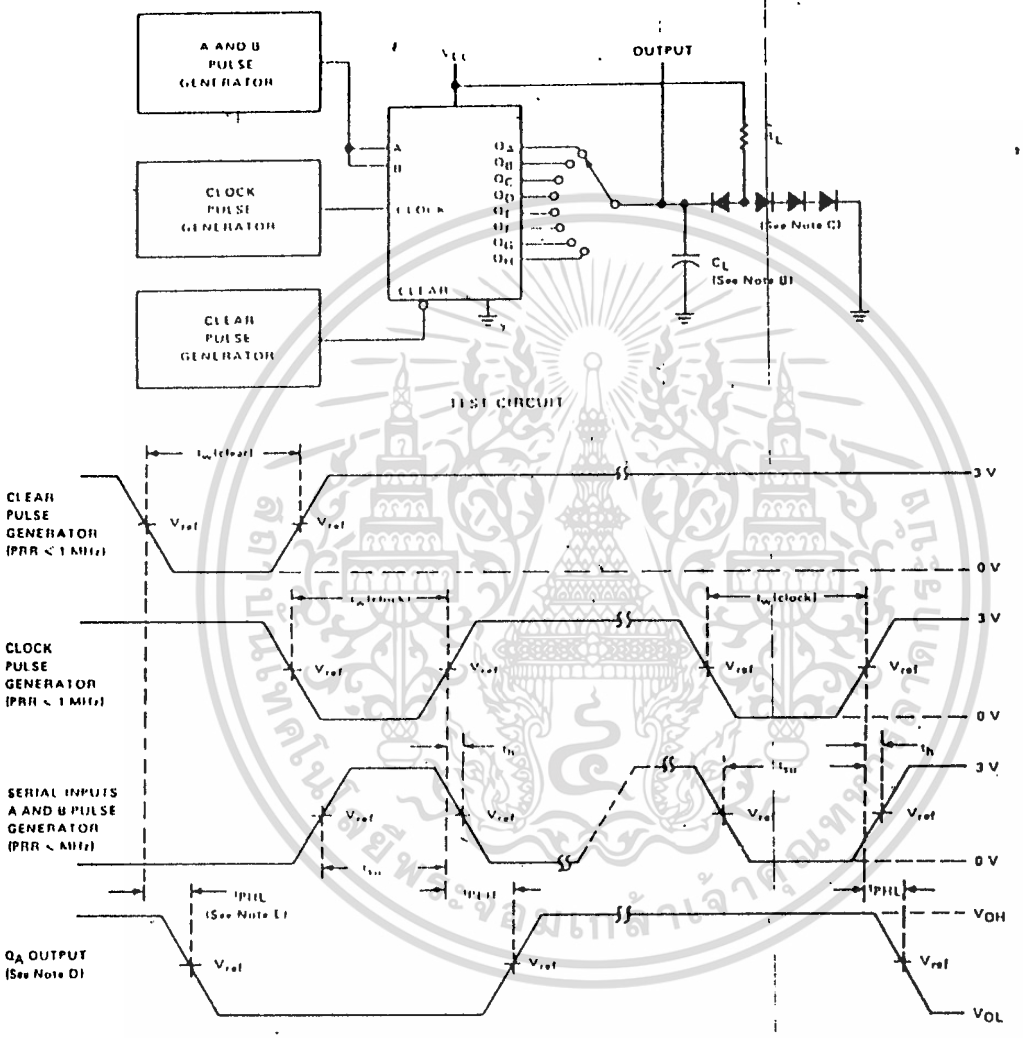
switching characteristics, V_{CC} = 5 V, T_A = 25°C

PARAMETER		TEST CONDITIONS	MIN	TYP	MAX	UNIT
f_{max}	Maximum clock frequency	C_L = 15 pF, R_L = 2 kΩ, See Figure 1	25	36		MHz
t_{PHL}	Propagation delay time, high-to-low-level output from clock			24	36	ns
t_{PLH}	Propagation delay time, low-to-high-level output from clock			17	27	ns
t_{PHL}	Propagation delay time, high-to-low-level output from clear			21	32	ns

TEXAS INSTRUMENTS
INCORPORATED
POST OFFICE BOX 5012 • DALLAS, TEXAS 75222

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PARAMETER MEASUREMENT INFORMATION



VOLTAGE WAVEFORMS

NOTES A. The pulse generators have the following characteristics: PRR ≤ 1 MHz, Z_{out} ≈ 50 Ω; for '164 and 'L164, t_r ≤ 10 ns, t_f ≤ 10 ns, and for 'LS164, t_r ≤ 15 ns, t_f ≤ 6 ns.

B. C_L includes probe and jig capacitance.

C. All diodes are 1N3064 or 1N916.

D. Q_A output is illustrated. The sequence of serial input A and B data to other Q outputs is illustrated in the typical shift sequence.

E. Outputs are set to the high level prior to the measurement of t_{PHL} from the clear input.

F. For '164 and 'L164, V_{ref} = 1.5 V; for 'LS164 V_{ref} = 1.3 V.

FIGURE 1–SWITCHING TIMES

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TTL
MSI

TYPES SN54198, SN54199, SN74198, SN74199
8-BIT SHIFT REGISTERS

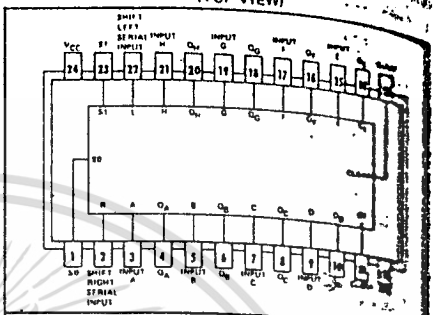
BULLETIN NO. DL-S 7711841, DECEMBER 1972—REVISED AUGUST 1973

description

These 8-bit shift registers are compatible with most other TTL, DTL, and MSI logic families. All inputs are buffered to lower the drive requirements to one normalized Series 54/74 load, and input clamping diodes minimize switching transients to simplify system design. Maximum input clock frequency is typically 35 megahertz and power dissipation is typically 360 mW.

Series 54 devices are characterized for operation over the full military temperature range of −55°C to 125°C; Series 74 devices are characterized for operation from 0°C to 70°C.

SN54198 . . . J OR W PACKAGE
SN74198 . . . J OR N PACKAGE
(TOP VIEW)



positive logic: see function table

SN54198 and SN74198

These bidirectional registers are designed to incorporate virtually all of the features a system designer may want in a shift register. These circuits contain 87 equivalent gates and feature parallel inputs, parallel outputs, right-shift and left-shift serial inputs, operating-mode control inputs, and a direct overriding clear line. The register has four distinct modes of operation, namely:

Parallel (Broadside) Load
Shift Right (In the direction Q_A toward Q_H)
Shift Left (In the direction Q_H toward Q_A)
Inhibit Clock (Do nothing)

Synchronous parallel loading is accomplished by applying the eight bits of data and taking both mode control inputs, S0 and S1, high. The data is loaded into the associated flip-flop and appears at the outputs after the positive transition of the clock input. During loading, serial data flow is inhibited.

Shift right is accomplished synchronously with the rising edge of the clock pulse when S0 is high and S1 is low. The data for this mode is entered at the shift-right data input. When S0 is low and S1 is high, data shifts left synchronously and new data is entered at the shift-left serial input.

Clocking of the flip-flop is inhibited when both mode control inputs are low. The mode controls should be changed only while the clock input is high.

'198
FUNCTION TABLE

INPUTS							OUTPUTS
CLEAR	MODE S_1	MODE S_0	CLOCK	SERIAL LEFT	SERIAL RIGHT	PARALLEL A . . . H	Q_A Q_B . . . Q_G Q_H
L	X	X	X	X	X	X	L L L L
H	X	X	L	X	X	X	Q_{A0} Q_{B0} Q_{G0} Q_{H0}
H	H	H	↑	X	X	a . . . h	a b g h
H	L	H	↑	X	H	X	H Q_{An} Q_{Fn} Q_{Gn}
H	L	H	↑	X	L	X	L Q_{An} Q_{Fn} Q_{Gn}
H	H	L	↑	H	X	X	Q_{Bn} Q_{Cn} Q_{Hn} H
H	H	L	↑	L	X	X	Q_{Bn} Q_{Cn} Q_{Hn} L
H	L	L	X	X	X	X	Q_{A0} Q_{B0} Q_{G0} Q_{H0}

H = high level (steady state), L = low level (steady state)
X = irrelevant (any input, including transitions)
↑ = transition from low to high level
a . . . h = the level of steady-state input at inputs A thru H, respectively.
Q_{A0}, Q_{B0}, Q_{G0}, Q_{H0} = the level of Q_A, Q_B, Q_G, or Q_H, respectively, before the indicated steady-state input conditions were established.
Q_{An}, Q_{Bn}, etc. = the level of Q_A, Q_B, etc., respectively, before the most-recent ↑ transition of the clock.

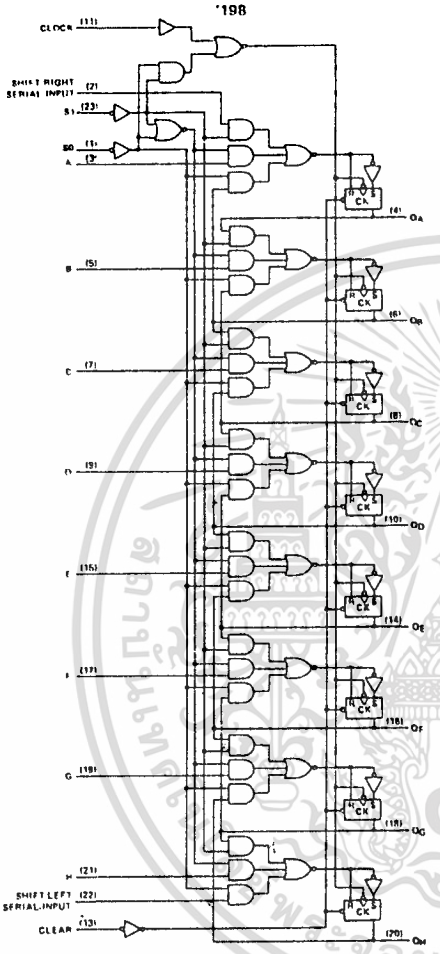
TEXAS INSTRUMENTS
INCORPORATED
POST OFFICE BOX 5012 • DALLAS, TEXAS 75222

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

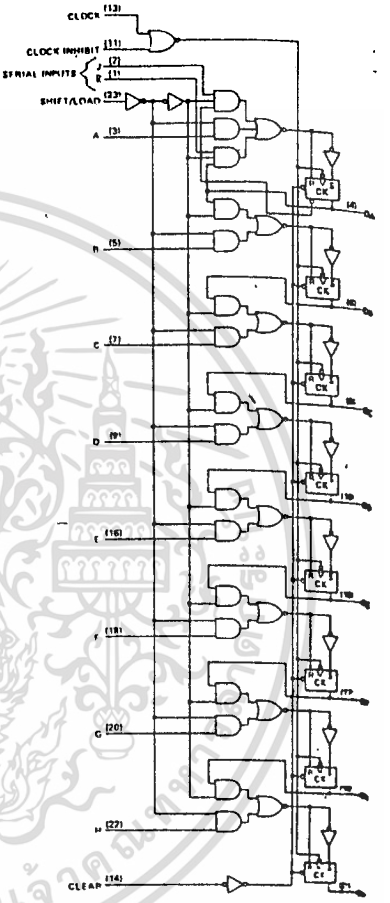
TYPES SN54198, SN54199, SN74198, SN74199
8-BIT SHIFT REGISTERS

functional block diagrams

'198

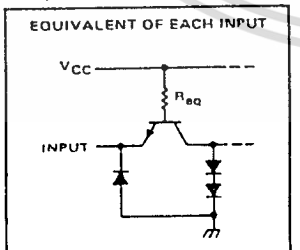


'199



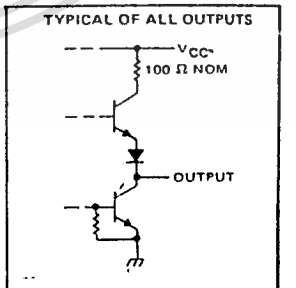
schematics of inputs and outputs

EQUIVALENT OF EACH INPUT



Clear, A thru H: R_{eq} = 6 kΩ NOM
All others: R_{eq} = 4 kΩ NOM

TYPICAL OF ALL OUTPUTS

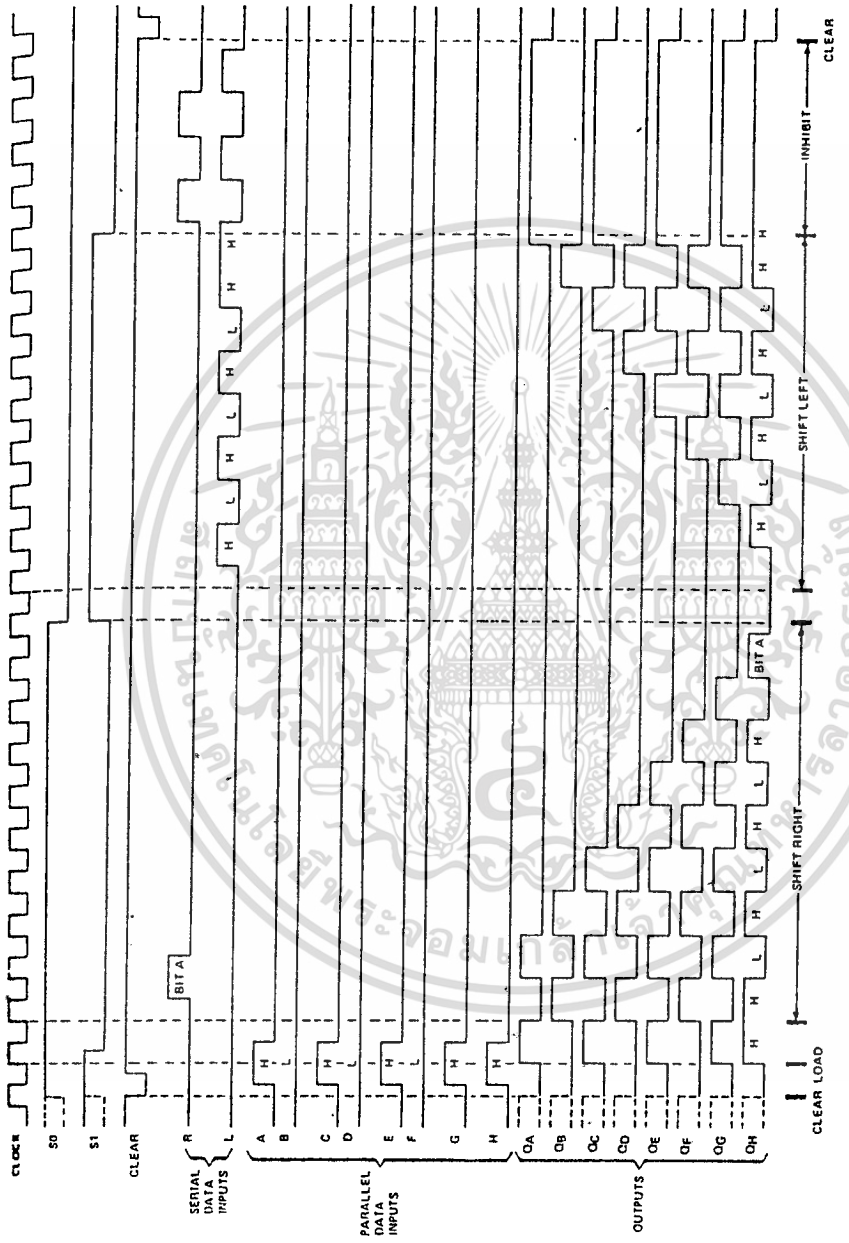


TEXAS INSTRUMENTS
INCORPORATED
POST OFFICE BOX 5012 • DALLAS, TEXAS 75222

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SN54198, SN74198

typical clear, load, right-shift, left-shift, inhibit, and clear sequences



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

absolute maximum ratings over operating free-air temperature range (unless otherwise noted)

Supply voltage, V_{CC} (see Note 1) . . . . . 7 V
Input voltage . . . . . 5.5 V
Operating free air temperature range: SN54' Circuits . . . . . −55°C to 125°C
SN74' Circuits . . . . . 0°C to 70°C
Storage temperature range . . . . . −65°C to 150°C

NOTE 1: Voltage values are with respect to network ground terminal

recommended operating conditions

	SN54198 SN54199			SN74198 SN74199			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage, V_{CC}	4.5	5	5.5	4.75	5	5.25	V
High-level output current, I_{OH}			−800			−800	μA
Low-level output current, I_{OL}			16			16	mA
Clock frequency, f_{clock}	0		25	0		25	MHz
Width of clock or clear pulse, t_w (see Figure 1)	20			20			ns
Mode control setup time, t_{su}	30			30			ns
Data setup time, t_{su} (see Figure 1)	20			20			ns
Hold time at any input, t_h (see Figure 1)	0			0			ns
Operating free air temperature T_A	−55		125	0		70	°C

electrical characteristics over recommended operating free-air temperature range (unless otherwise noted)

PARAMETER		TEST CONDITIONS†	SN54198 SN54199			SN74198 SN74199			UNIT
			MIN	TYP‡	MAX	MIN	TYP‡	MAX	
V_{IH}	High-level input voltage		2			2			V
V_{IL}	Low-level input voltage				0.8			0.8	V
V_{IK}	Input clamp voltage	V_{CC} = MIN, I_I = −12 mA			−1.5			−1.5	V
V_{OH}	High-level output voltage	V_{CC} = MIN, V_{IH} = 2 V, V_{IL} = 0.8 V, I_{OH} = −800 μA	2.4	3.4		2.4	3.4		V
V_{OL}	Low-level output voltage	V_{CC} = MIN, V_{IH} = 2 V, V_{IL} = 0.8 V, I_{OL} = 16 mA		0.2	0.4		0.2	0.4	V
I_I	Input current at maximum input voltage	V_{CC} = MAX, V_I = 5.5 V			1			1	mA
I_{IH}	High-level input current	V_{CC} = MAX, V_I = 2.4 V			40			40	μA
I_{IL}	Low-level input current	V_{CC} = MAX, V_I = 0.4 V			−1.6			−1.6	mA
I_{OS}	Short-circuit output current§	V_{CC} = MAX	−20		−57	−18		−57	mA
I_{CC}	Supply current	V_{CC} = MAX, See Table Below		90	127		90	127	mA

†For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.
‡All typical values are at V_{CC} = 5 V, T_A = 25°C.
§Not more than one output should be shorted at a time.

TEST CONDITIONS FOR I_{CC}
(ALL OUTPUTS ARE OPEN)

TYPE	APPLY 4.5 V	FIRST GROUND, THEN APPLY 4.5 V	GROUND
SN54198, SN74198	Serial Input, S_0, S_1	Clock	Clear, Inputs A thru H
SN54199, SN74199	J, K, Inputs A thru H	Clock	Clock Inhibit, Clear, Shift/Load

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

switching characteristics, V_{CC} = 5 V, T_A = 25 C

PARAMETER		TEST CONDITIONS	MIN	TYP	MAX	UNIT
f_{max}	Maximum clock frequency	C_L = 15 pF, R_L = 400 Ω, See Figure 1	25	35		MHz
t_{PHL}	Propagation delay time, high-to-low-level output from clear			23	35	ns
t_{PHL}	Propagation delay time, high-to-low-level output from clock			20	30	ns
t_{PLH}	Propagation delay time, low-to-high-level output from clock			17	26	ns

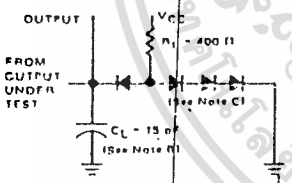
PARAMETER MEASUREMENT INFORMATION

SN54198, SN74198
TEST TABLE FOR SYNCHRONOUS INPUTS

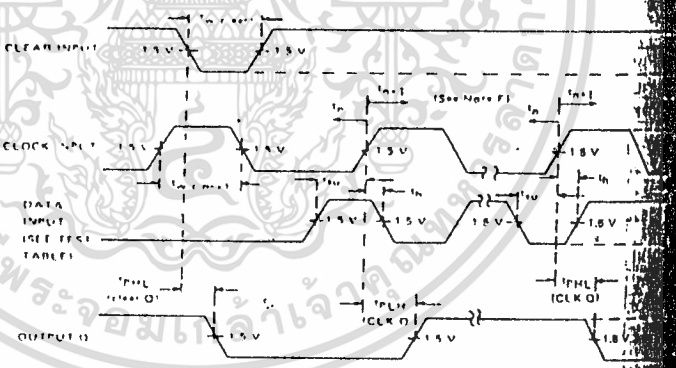
DATA INPUT FOR TEST	S1	S0	OUTPUT TESTED (SEE NOTE E)
A	4.5 V	4.5 V	Q_A at t_{n+1}
B	4.5 V	4.5 V	Q_B at t_{n+1}
C	4.5 V	4.5 V	Q_C at t_{n+1}
D	4.5 V	4.5 V	Q_D at t_{n+1}
E	4.5 V	4.5 V	Q_E at t_{n+1}
F	4.5 V	4.5 V	Q_F at t_{n+1}
G	4.5 V	4.5 V	Q_G at t_{n+1}
H	4.5 V	4.5 V	Q_H at t_{n+1}
L Serial Input	4.5 V	0 V	Q_A at t_{n+8}
R Serial Input	0 V	4.5 V	Q_H at t_{n+8}

SN54199, SN74199
TEST TABLE FOR SYNCHRONOUS INPUTS

DATA INPUT FOR TEST	SHIFT/LOAD	OUTPUT TESTED (SEE NOTE E)
A	0 V	Q_A at t_{n+1}
B	0 V	Q_B at t_{n+1}
C	0 V	Q_C at t_{n+1}
D	0 V	Q_D at t_{n+1}
E	0 V	Q_E at t_{n+1}
F	0 V	Q_F at t_{n+1}
G	0 V	Q_G at t_{n+1}
H	0 V	Q_H at t_{n+1}
J and K	4.5 V	Q_H at t_{n+8}



LOAD FOR OUTPUT UNDER TEST



VOLTAGE WAVEFORMS

NOTES: A. The clock pulse has the following characteristics: $t_{w(clock)}$ = 20 ns and PRR = 1 MHz. The clear pulse has the following characteristics: $t_{w(clear)}$ = 20 ns and t_{n-1} = 0 ns. When testing f_{max}, vary the clock PRR.
B. C_L includes probe and jig capacitance.
C. All diodes are 1N3064.
D. A clear pulse is applied prior to each test.
E. Propagation delay times, t_{PLH} and t_{PHL}, are measured at t_{n+1}. Proper shifting of data is verified at t_{n+8} with a functional test.
F. t_n = bit time before clocking transition.
t_{n+1} = bit time after one clocking transition.
t_{n+8} = bit time after eight clocking transitions.

FIGURE 1

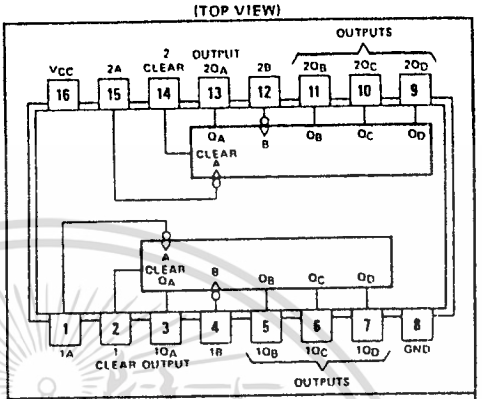
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPES SN54390, SN54LS390, SN54393, SN54LS393, SN74390, SN74LS390, SN74393, SN74LS393
DUAL 4-BIT DECADE AND BINARY COUNTERS

BULLETIN NO. DL-S 7612099, OCTOBER 1976

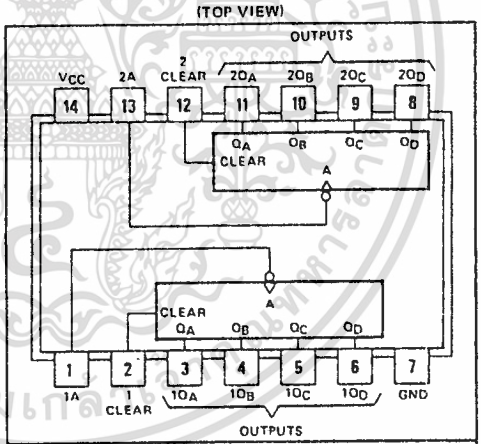
- Dual Versions of the Popular '90A, 'LS90 and '93A, 'LS93
- '390, 'LS390. . .Individual Clocks for A and B Flip-Flops Provide Dual ÷2 and ÷5 Counters
- '393, 'LS393. . .Dual 4-Bit Binary Counter with Individual Clocks
- All Have Direct Clear for Each 4-Bit Counter
- Dual 4-Bit Versions Can Significantly Improve System Densities by Reducing Counter Package Count by 50%
- Typical Maximum Count Frequency . . . 35 MHz
- Buffered Outputs Reduce Possibility of Collector Commutation

SN54390, SN54LS390 . . . J OR W PACKAGE
SN74390, SN74LS390 . . . J OR N PACKAGE
(TOP VIEW)



positive logic: High input to clear resets all four outputs low

SN54393, SN54LS393 . . . J OR W PACKAGE
SN74393, SN54LS393 . . . J OR N PACKAGE
(TOP VIEW)



positive logic: High input to clear resets all four outputs low

description

Each of these monolithic circuits contains eight master-slave flip-flops and additional gating to implement two individual four-bit counters in a single package. The '390 and 'LS390 incorporate dual divide-by-two and divide-by-five counters, which can be used to implement cycle lengths equal to any whole and/or cumulative multiples of 2 and/or 5 up to divide-by-100. When connected as a bi-quinary counter, the separate divide-by-two circuit can be used to provide symmetry (a square wave) at the final output stage. The '393 and 'LS393 each comprise two independent four-bit binary counters each having a clear and a clock input. N-bit binary counters can be implemented with each package providing the capability of divide-by-256. The '390, 'LS390, '393, and 'LS393 have parallel outputs from each counter stage so that any submultiple of the input count frequency is available for system-timing signals.

Series 54 and Series 54LS circuits are characterized for operation over the full military temperature range of −55°C to 125°C; Series 74 and Series 74LS circuits are characterized for operation from 0°C to 70°C.

7

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPES SN54390, SN54LS390, SN54393, SN54LS393, SN74390, SN74LS390, SN74393, SN74LS393
DUAL 4-BIT DECADE AND BINARY COUNTERS

FUNCTION TABLES

'390, 'LS390
BCD COUNT SEQUENCE
(EACH COUNTER)
(See Note A)

COUNT	OUTPUT			
	Q_D	Q_C	Q_B	Q_A
0	L	L	L	L
1	L	L	L	H
2	L	L	H	L
3	L	L	H	H
4	L	H	L	L
5	L	H	L	H
6	L	H	H	L
7	L	H	H	H
8	H	L	L	L
9	H	L	L	H

'390, 'LS390
BI-QUINARY (5-2)
(EACH COUNTER)
(See Note B)

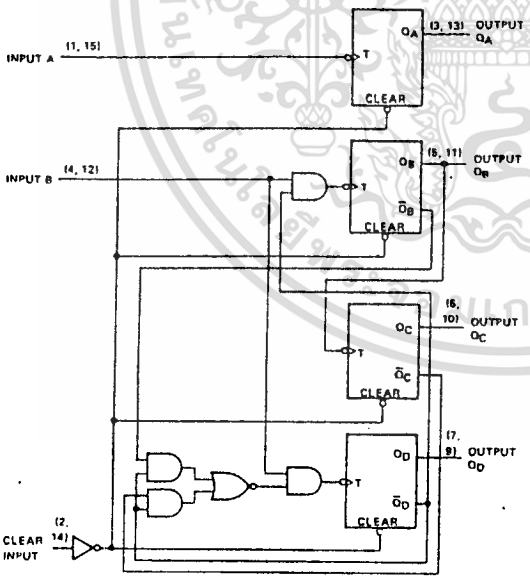
COUNT	OUTPUT			
	Q_A	Q_D	Q_C	Q_B
0	L	L	L	L
1	L	L	L	H
2	L	L	H	L
3	L	L	H	H
4	L	H	L	L
5	H	L	L	L
6	H	L	L	H
7	H	L	H	L
8	H	L	H	H
9	H	H	L	L

'393, 'LS393
COUNT SEQUENCE
(EACH COUNTER)

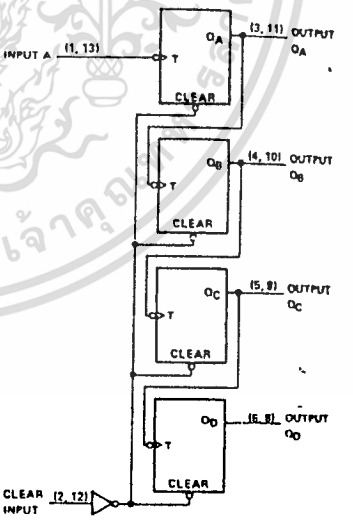
COUNT	OUTPUT			
	Q_D	Q_C	Q_B	Q_A
0	L	L	L	L
1	L	L	L	H
2	L	L	H	L
3	L	L	H	H
4	L	H	L	L
5	L	H	L	H
6	L	H	H	L
7	L	H	H	H
8	H	L	L	L
9	H	L	L	H
10	H	L	H	L
11	H	L	H	H
12	H	H	L	L
13	H	H	L	H
14	H	H	H	L
15	H	H	H	H

NOTES: A. Output Q_A is connected to input B for BCD count.
B. Output Q_D is connected to input A for bi-quinary count.
C. H = high level, L = low level.

functional block diagrams



'390, 'LS390



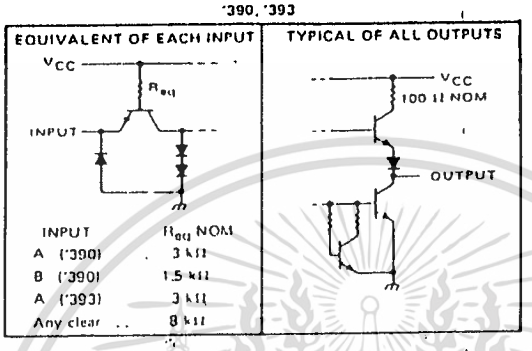
'393, 'LS393

TEXAS INSTRUMENTS
INCORPORATED
POST OFFICE BOX 5012 • DALLAS, TEXAS 75222

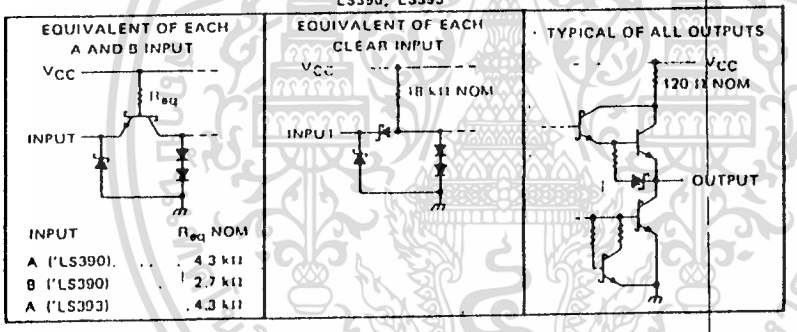
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

schematics of inputs and outputs

'390, '393



'LS390, 'LS393



7

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPES SN54LS390, SN54LS393, SN74LS390, SN74LS393
DUAL 4-BIT DECADE AND BINARY COUNTERS

REVISED DECEMBER 1980

absolute maximum ratings over operating free-air temperature range (unless otherwise noted)

Supply voltage, V_{CC} (see Note 1) . . . . . 7 V
Clear input voltage . . . . . 7 V
Any A or B clock input voltage . . . . . 5.5 V
Operating free-air temperature range: SN54LS390, SN54LS393 . . . . . −55°C to 125°C
SN74LS390, SN74LS393 . . . . . 0°C to 70°C
Storage temperature range . . . . . −65°C to 150°C

NOTE 1: Voltage values are with respect to network ground terminal.

recommended operating conditions

		SN54LS390 SN54LS393			SN74LS390 SN74LS393			UNIT
		MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage, V_{CC}		4.5	5	5.5	4.75	5	5.25	V
High-level output current, I_{OH}				−400			−400	μA
Low-level output current, I_{OL}				4			8	mA
Count frequency, f_{count}	A input	0		25	0		25	MHz
	B input	0		12.5	0		12.5	
Pulse width, t_w	A input high or low	20			20			ns
	B input high or low	40			40			
	Clear high	20			20			
Clear inactive-state setup time, t_{su}		25↓			25↓			ns
Operating free-air temperature, T_A		−55		125	0		70	°C

↓ The arrow indicates that the falling edge of the clock pulse is used for reference.

electrical characteristics over recommended operating free-air temperature range (unless otherwise noted)

PARAMETER		TEST CONDITIONS↓		SN54LS' MIN	SN54LS' TYP‡	SN54LS' MAX	SN74LS' MIN	SN74LS' TYP‡	SN74LS' MAX	UNIT
V_{IH} High-level input voltage				2			2			V
V_{IL} Low-level input voltage						0.7			0.8	V
V_{IK} Input clamp voltage		V_{CC} = MIN, I_I = −18 mA				−1.5			−1.5	V
V_{OH} High-level output voltage		V_{CC} = MIN, V_{IH} = 2 V, V_{IL} = V_{IL} max, I_{OH} = −400 μA		2.5	3.4		2.7	3.4		V
V_{OL} Low-level output voltage		V_{CC} = MIN, V_{IH} = 2 V, V_{IL} = 0.8 V	I_{OL} = 4 mA§		0.25	0.4		0.25	0.4	V
			I_{OL} = 8 mA§					0.35	0.5	
I_I Input current at maximum input voltage	Clear	V_{CC} = MAX	V_I = 7 V			0.1			0.1	mA
	Input A					0.2			0.2	
	Input B		V_I = 5.5 V			0.4			0.4	
I_{IH} High-level input current	Clear	V_{CC} = MAX	V_I = 2.7 V			20			20	μA
	Input A					100			100	
	Input B					200			200	
I_{IL} Low-level input current	Clear	V_{CC} = MAX	V_I = 0.4 V			−0.4			−0.4	mA
	Input A					−1.6			−1.6	
	Input B					−2.4			−2.4	
I_{OS} Short-circuit output current§		V_{CC} = MAX		−20		−100	−20		−100	mA
I_{CC} Supply current		V_{CC} = MAX, See Note 2	LS390		15	26		15	26	mA
			LS393		15	26		15	26	

↓ For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.
‡ All typical values are at V_{CC} = 5 V, T_A = 25°C.
¶ The Q_A outputs of the 'LS390 are tested at I_{OL} = MAX plus the limit value for I_{IL} for the clock B input. This permits driving the clock B input while maintaining full fan-out capability.
§ Not more than one output should be shorted at a time and duration of the short-circuit should not exceed one second.
NOTE 2: I_{CC} is measured with all outputs open, both clear inputs grounded following momentary connection to 4.5 V, and all other inputs grounded.

TEXAS INSTRUMENTS
INCORPORATED
POST OFFICE BOX 225012 • DALLAS, TEXAS 75265

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

REVISED DECEMBER 1980

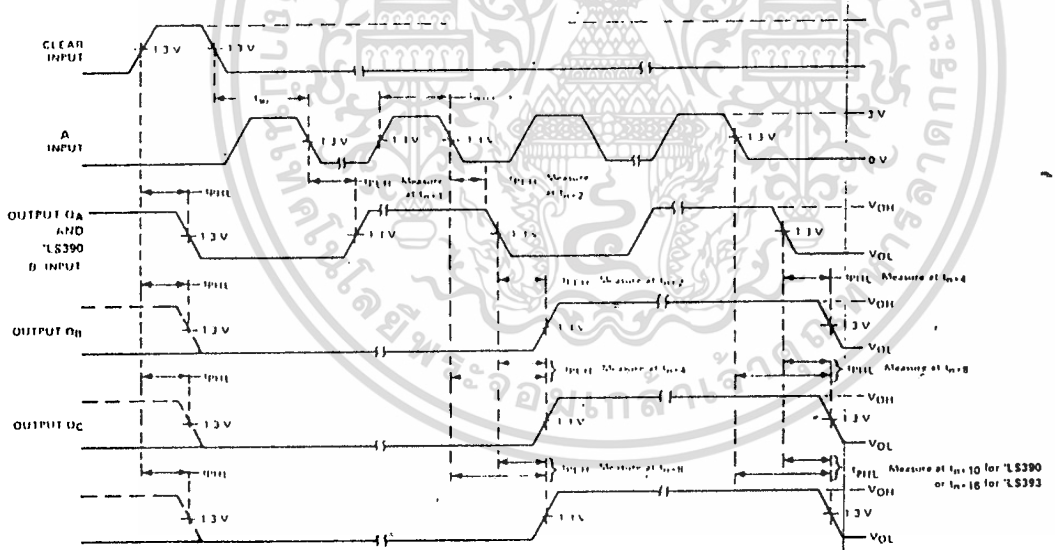
switching characteristics, V_{CC} = 5 V, T_A = 25°C

PARAMETER¶	FROM (INPUT)	TO (OUTPUT)	TEST CONDITIONS	'LS390 MIN	'LS390 TYP	'LS390 MAX	'LS393 MIN	'LS393 TYP	'LS393 MAX	UNIT
f_{max}	A	Q_A	C_L = 15 pF, R_L = 2 kΩ, See Note 4 and Load circuit	25	35		25	35		MHz
	B	Q_B		12.5	20					
t_{PLH}	A	Q_A			12	20		12	20	ns
t_{PHL}					13	20		13	20	
t_{PLH}	A	Q_C of 'LS390 / Q_D of 'LS393			37	60		40	60	ns
t_{PHL}					39	60		40	60	
t_{PLH}	B	Q_B			13	21				ns
t_{PHL}					14	21				
t_{PLH}	B	Q_C			24	39				ns
t_{PHL}					26	39				
t_{PLH}	B	Q_D			13	21				ns
t_{PHL}					14	21				
t_{PHL}	Clear	Any			24	39		24	39	ns

¶ f_{max} = maximum count frequency
t_{PLH} = propagation delay time, low to high level output
t_{PHL} = propagation delay time, high to low level output

NOTE 4: Load circuit is shown on page 3-11.

PARAMETER MEASUREMENT INFORMATION



VOLTAGE WAVEFORMS

NOTE A: Input pulses are supplied by a generator having the following characteristics: t_r = 15 ns, t_f = 6 ns, PRR = 1 MHz, duty cycle = 50%, Z_{out} = 50 ohms.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

โครงงานนี้ได้รับความช่วยเหลือและแนะนำจาก ดร.กนก เจนจิราพงศ์เวช อาจารย์ นิกร สุชุตมตันติ อาจารย์ กฤษดา กล่อมการ ตลอดจนใช้เครื่องมือและห้องทดลอง ทางไมโครคอมพิวเตอร์ของภาคเทคนิคอุตสาหกรรม คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง จึงใคร่ขอขอบคุณไว้ ณ โอกาสนี้ด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หนังสืออ้างอิง

1. CCITT Yellow Book, vol. IV.4, Specifications of Measuring Equipment (Geneva: ITU,1981)

2. CCITT Yellow Book, vol.VIII.1,Data Communication Over the Telephone Network (Geneva:ITU,1981)

3.W.M.Rottins, "Confidence Level in Bit Error Rate Measurement;" Telecommunications 11(12) (December 1977):67 - 68

4. U.S. MIL - STD - 781 C,Reliability Design Qualification and Production Acceptance Tests: Exponential Distribution, U.S.Department of Defense; 21 October 1977.

5. CCIR XVth Plenary Assembly, vol.IX,pt.1,Fixed Service Using Radio - Relay Systems.(Geneva:ITU,1982)

6. T.L. Osborne and others;"In-Service Performance Monitering for Digital Radio Systems,"1981 International Conferrece on communications,PP.35.2.1 to 35.2.5

7. D.R. Smith," A Performance Moniterring Technique for Partial response Transmission Systems,"1973 International Conferrece on Communications, PP.40.14 to 40.19

8. B.J. Leon and others,"A Bit Error Rate Monitor for Digital PSK Links" IEEE Trans. on Comm., Vol. COM-23, no.5, May 1975,PP.518 - 525.

9. J.A.Crossett,"Monitor and Control of Digital Transmission Systems," 1981 International Conferrence on Communications, PP.35.6.1to 35.6.5

10. J.L. Osterholz,"Selective Diversity Combiner Design for Digital LOS Radios," IEEE Trans. on Comm., Vol. COM-27, no.1 January 1979, PP. 229 - 233.

11. C.M. Thomas, J.E. Alexander,and E.W.Rahneberg,"A New Generation of Digital microwave Radios for U.S. Military Telephone Networks," IEEE Trans. on Comm., Vol. COM-27, no. 12, December 1979,PP.1916-1928.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

12. C C I T T Yellow Book, vol. III.3, Digital Networks - Transmission System and Multiplexing Equipment (Geneva:ITU,1981).

13.F.Jessie Mac.Williams and Neil J.A 5 loane, "Pseudo - Random - Sequence and Arrays," Proc. of the I E E E, vol.46.No.12 Dec 1976

14. John G. Proakis, Digital Communications, Mc. Grans - Hill, Tokyo, 1983

15. Taub & Schilling, Principles of Communication System, Mc. Graw-Hill, New York, 1971

16. Hand book, "Signatics - digital - linear - mos applications,"1974

17. Don Lancaster, T T L Cook book, Haward W. Sams & Co, Inc., Indianapolis, Indiana, 1974.

18. Chang H. Hong, " NOR gate unlatches Pseudo Random Noise Generator, Electronic Design, June 7, 1980; P. 200.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า