ปีการศึกษา 2532

DATA TRANSMISSION ON SCA CHANNEL

โดย

30-3401 นายจิโรจน์ อมรดิษฐ์

30-3408 นายทวี ธีระวิทย์

30-3414 นายพิพัฒน์ พรหมมา

30-3415 นายพิสิทธิ์ พรมจันทร์

30-3416 นายไพโรจน์ ทองพลับ

30-3436 นายอมร ปิยมาพรชัย

อาจารย์ที่ปรึกษา

ดร. กนก เจนจิระพงศ์เวช

อ. กฤดากร กล่อมการ

026891

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ ปีการศึกษา 2532

ภาควิชา เทคนิคอุตสาหกรรม

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง DATA TRANSMISSION ON SCA CHANNEL

ผู้จัดทำ

1 นายจิโรจน์ อมรดิษฐ์

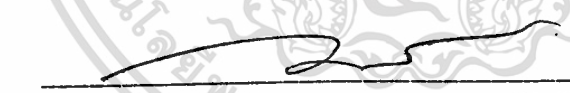
2 นายทวี ธีระวิทย์

3 นายพิพัฒน์ พรหมมา

4 นายพิสิทธิ์ พรมจันทร์

5 นายไพโรจน์ ทองพลับ

6 นายอมร ปิยมาพรชัย



_____อาจารย์ที่ปรึกษา

( )

_____อาจารย์ที่ปรึกษา

( )

_____อาจารย์ที่ปรึกษา

( )

026891

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การถ่ายทอดข้อมูลทางช่อง SCA

นายจิโรจน์	อมรดิษฐ์
นายทวี	ธีระวิทย์
นายพิพัฒน์	พรหมมา
นายพิสิทธิ์	พรมจันทร์
นายไพโรจน์	ทองพลับ
นายอมร	ปิยมาพรชัย

ดร. กนก	เจนจิระพงศ์เวช	อาจารย์ที่ปรึกษา
อ. กฤดากร	กล่อมการ	อาจารย์ที่ปรึกษา

บทคัดย่อ

ปริญญานิพนธ์ฉบับนี้ ได้เสนอระบบการสื่อสารข้อมูลทาง channel ของ SCA (SUBSIDIARY COMMRNICATION AUTHORIZATION) ซึ่งจะสามารถใช้ได้ในการกระจายเสียงระบบ FM หรือ TVเพื่อการบริการเทลลิเท็กซ์ (TELETEXT) โดยอาศัยช่องหรือ channel การถ่ายทอดข้อมูลดิจิตอลแบบทางเดียว ข้อกำหนดต่างๆในการที่จะใช้ช่อง SCA เพื่อการถ่ายทอดข้อมูลดิจิตอล ที่จะไม่ไปรบกวนสัญญาณสเตอริโอในช่องหลักจะได้นำมาพิจารณา การเปลี่ยนข้อมูลดิจิตอลบนโดเมนของเวลา(time domain)สู่โดเมนของความถี่ (Frequency domain) จะใช้เทคนิคของการมอดดูเลทแบบความถี่ (Frequency Modulation) ซึ่งจะได้สัญญาณที่เรียกว่า FSK (Frequency shift keying) นำไปใส่ลงในช่อง SCA คือที่ 67 kHz,แบนด์วิดซ์ +/- 7.5kHz.บน Base Band ของสถานีส่ง FM และในส่วนของการรับและจัดการข่าวสารที่ได้ และนำไปแสดงผลบนจอภาพ ซึ่งมักนิยมเรียกในส่วนนี้กันว่า อุปกรณ์จุดต่อข้อมูล (Data terminal equipment) ก็ได้ถูกออกแบบและสร้างขึ้นมา นอกจากนี้แล้วยังได้เสนอและ รวบรวมทฤษฎีการสื่อสารข้อมูลและเทคนิคการ มอดดูเลท ที่จำเป็นที่จะเป็นพื้นฐานในการสร้างและพัฒนาระบบการสื่อสารข้อมูลทางช่อง SCA นี้ต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DATA TRANSMISSION ON SCA CHANNEL

CHIROT	AMONDIT
TWEE	THERAWIT
PIPATH	PROMMA
PISIT	PROMCHAN
PIROTE	TONGPLUB
AMORN	PYAMAPARNCHAI

Dr. KNOKE JANJIRAPONGWECH ADVISOR

Mr. KIDAKORN KLOMKARN ADVISOR

1989

ABSTRACT

This thesis presents the data transmission over the SCA (Subsidiary Communications Authorization) channel authorized for use in FM and TV broad casting to provide a one-way digital transmission channel for teletext-type service. The rules,such as FCC rules have been used for place FSK information signal on SCA channel in order to have no interference be caused to the normal stereo transmissions and solved the instantaneous frequency limit problem on this channel. In addition to data communication channel interface, the data terminal equipments that composed of RS-232C interface, CPU, Memory and CRT controller have been designed. Data communication theory and Modulation techniques are provided. Operating software are also presented which can used for operate and test the system.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ 1

เรื่อง	หน้า
บทที่ 1 บทนำ	1
บทที่ 2 ทฤษฎี	2
2.1 ส่วนประกอบของขบวนการสื่อสารข้อมูล	2
2.2 ข้อมูลและข่าวสาร	3
2.3 ระบบการสื่อสารข้อมูลพื้นฐาน	4
2.4 ระบบถ่ายทอดข้อมูล Digital	7
2.4.1 ระบบ Synchronous	7
2.4.2 ระบบ Asynchronous	12
2.5 Error control and coding	16
2.6 Phase Modulation	18
2.6.1 PSK decoder	20
2.6.2 Carrier recovery	22
2.6.3 Phase locked loop fundamental	22
2.6.4 Costas loop	24
2.7 Amplitude Modulation	26
2.8 Phase Modulation ของ AM	27
2.9 การมอดดูเลทแบบความถี่	35
2.9.1 สเปคตรัมความถี่	38
2.9.2 ค่าเฉลี่ยกำลังงาน	41
บทที่ 3 การคำนวณและการสร้าง	
3.1. Digital information broadcasting using SCA channels	43
3.1.1 SCA Modulation fundamental	43
3.1.2 The SCA channel	44
3.1.3 Information capacity of SCA channel	45
3.1.4 Channel Modulation	45
3.1.5 Modulator	46
3.1.6 Demodulator	48

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.1.7 System consideration and application 49
3.2 Data Terminal Equipment 51
3.2.1 RS-232C Interface 51
3.2.1.1 Baud rate 51
3.2.1.2 Start Bit 53
3.2.1.3 Parity Bit 54
3.2.1.4 Stop Bit 55
3.2.1.5 การเปลี่ยนข้อมูลจากขนานเป็นอนุกรม 55
3.2.1.6 หลักการเบื้องต้นของการรับส่งข้อมูลแบบอนุกรม 57
3.2.1.7 8251 USART 57
3.2.1.8 8253 Programmable Timer
Baud rate Generator 63
3.3 CRT Controller 72
3.3.1 สร้างสถานีส่งโทรทัศน์ 72
3.3.2 CPU กับจอภาพ 75
3.3.3 วงจรแสดงผลบนจอภาพ 75
3.3.4 CRTC 6845 76

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1

บทนำ

ปลายปี 1960 คณะกรรมาธิการสื่อสารของสหรัฐ(Federal Commmunications commission:FCC) ตัดสินใจยินยอมให้มีการใช้โทรศัพท์ในรถยนต์ ซึ่งเป็นที่นิยมกันมากในขณะนี้ ได้ส่งผลให้เกิดอุตสาหกรรมใหม่ขึ้นมา คือ อุตสาหกรรมสื่อสารข้อมูล(Data Communication Industry) อย่างรวดเร็วอุตสาหกรรมนี้ได้มีส่วนประกอบเพิ่มเข้ามาคือ การสื่อสารข้อมูลดิจิตอลที่มีระยะทางเข้ามาเกี่ยวข้อง ข้อพิจารณากฎเกณฑ์ต่าง ๆ ได้ถูกพัฒนาเพื่อความเที่ยงตรง (Accuracy) , ความเร็ว (Speed) และ ความเชื่อถือได้ของการสื่อสารข้อมูล ได้ส่งผลให้มีการพัฒนาอุปกรณ์ประกอบชั้นสูงเพื่อบรรลุเป้าหมายอันนี้

ถ้าจะพูดอย่างแท้จริงแล้ว การสื่อสารข้อมูลจะเป็นกลุ่มย่อยของโทรคมนาคม ในเชิงประวัติศาสตร์โทรคมนาคมได้ถูกนิยามให้เป็น "ศิลปและศาสตร์" ของการสื่อสารที่มีระยะทางเข้ามาเกี่ยวข้อง เช่น คลื่นวิทยุ(อิมพัลซ์) ในเรดาร์, วิทยุ , โทรทัศน์และอื่น ๆ ในการสื่อสารข้อมูลเรารวมกลุ่มของการสื่อสารเหล่านี้กับที่ใช้สายเป็นพาหะปกติ ดังเช่น ระบบของ เบลล์(Bell system)

การสื่อสาร คอมพิวเตอร์ ได้ถูกรวมเข้าเป็นมิติใหม่ของการสื่อสารข้อมูล โดยที่เครื่องจะถูกอินเตอร์เฟสเข้ากับระบบการสื่อสาร และที่ระบบถ่ายทอดปกติที่เข้ามาเกี่ยวข้อง ระบบของข้อตกลง จะต้องปฏิบัติตามเพื่อเปิดโอกาสให้การถ่ายทอดข้อมูลเป็นไปอย่างพอเพียงและมีระเบียบ

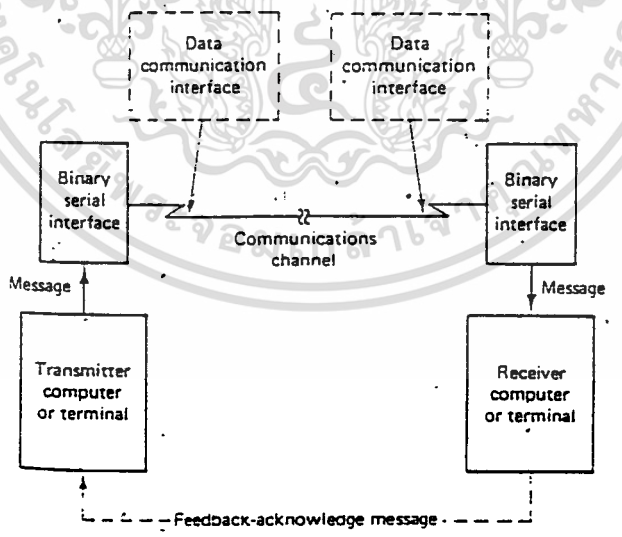
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ทฤษฎี

2.1 ส่วนประกอบของขบวนการสื่อสารข้อมูล

ขบวนการของการสื่อสารข้อมูลอย่างน้อยต้องมีห้าส่วนด้วยกัน (รูปที่ 2.1) ข่าวสาร,ตัวส่ง, อินเตอร์เฟสอนุกรมของเลขไบนารี่,ช่องการถ่ายทอด (Transmission channel) และตัวรับอุปกรณ์ที่เพิ่มเข้ามาที่ไม่ได้แสดงไว้ใน Block diagram นี้อาจเป็น Intelligent terminal ที่จัดเตรียมการติดต่อของเครื่องรับกับมนุษย์ , Modems ที่เปลี่ยนข้อมูลดิจิตอลเป็นพาหะที่ถูก modulated แล้ว และ modulated ที่พาหะด้านรับ , และอุปกรณ์ทดสอบ เพื่อวินิจฉัยข้อผิดพลาด

ช่องการสื่อสาร(Communication chnnal) อาจถูกนิยามให้เป็นทางเดิน (Path) ของการถ่ายทางไฟฟ้าหรือทางแม่เหล็กไฟฟ้าระหว่างสองสถานีหรือมากกว่า ซึ่งอาจประกอบไปด้วย สายเพียงสายเดียว , คู่ของสาย , fiber - optic cables ,



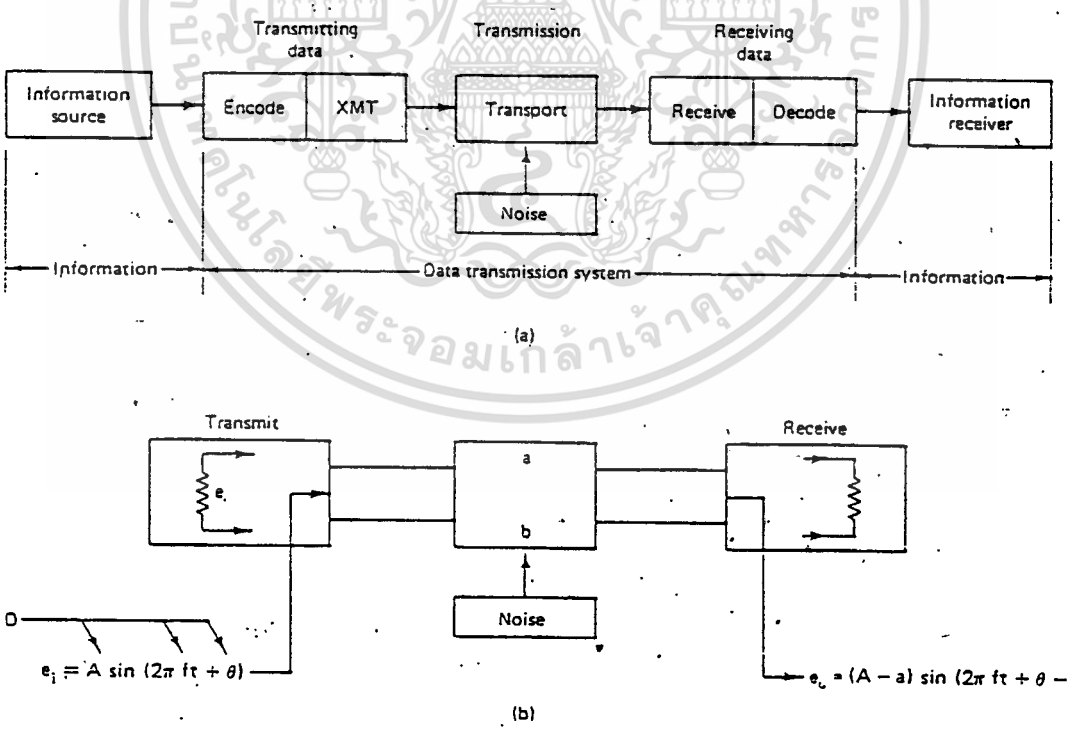
รูปที่ 2.1 ส่วนประกอบของขบวนการสื่อสารข้อมูล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

coaxial หรือชั้นบรรยากาศ จุดประสงค์ของสิ่งเหล่านี้ทั้งหมดเพื่อ บรรทุกข่าวสารจากที่หนึ่งไปยังอีกที่หนึ่ง ความจุของช่องของแต่ละอย่างของทางเดินเหล่านี้ ในการบรรทุกข่าวสารจะแตกต่างกัน การคำนวณความจุของช่อง ในเทอมของอัตราของข้อมูล(Data rates) จะเป็นสาระสำคัญส่วนหนึ่งของปัญหาการออกแบบ

2.2 ข้อมูลและข่าวสาร

ข้อมูล (data) และ ข่าวสาร (information) มักใช้แทนกันได้ เพื่อพิจารณาระบบสื่อสารข้อมูลเราอาจพิจารณา ข้อมูลเป็น อนุกรมของหน่วยทางไฟฟ้า หรือสัญญาณ, สัญญลักษณ์ซึ่ง โดยความหมายข้อมูลสามารถแทนด้วยสัญญาณทางไฟฟ้าที่ถูกถ่ายทอด โดยระบบสื่อสารข้อมูล ข่าวสารจะเป็นกลุ่มของจำนวน , สัญญลักษณ์ , ค่าและอื่น ๆ ที่จ่ายให้กับ จุดต่อของการทอด (transmitting terminal) หรือ รับได้จากเครื่องรับ พื้นฐานบนความหมายนี้ Block diagram ของระบบสื่อสารทั่วไปแสดงดัง รูปที่ 2.2



รูปที่ 2.2 ส่วนประกอบของระบบสื่อสารทั่วๆไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ระบบประกอบไปด้วย แหล่งจ่ายข่าวสาร (information source) และตัวรับที่ถูกต่อโดย ระบบสื่อสารข้อมูล แหล่งจ่ายข่าวสาร จะสร้างข่าว ในรูปแบบต่าง ๆ : จำนวนสัญญลักษณ์, คำ (ทั้งเขียนและพูด), และกราฟแสดงผลข่าวสาร อันนี้จะถูกจ่ายให้กับจุดต่อการส่งข่าวสาร ทางเดินการถ่ายทอด ที่ใช้แรงดันไฟฟ้าสลับ จุดต่อจะจัดเตรียมสองหน้าที่ : อันดับแรกมันจะเข้าระหัสข่าวสาร ในรูปแบบที่เหมาะสม เพื่อการถ่ายทอด และอันดับที่สอง จะทำการถ่ายทอดข่าวสาร ข่าวสารที่ถูกเข้าระหัสแล้ว จะถ่ายทอดเป็นลักษณะของข้อมูล

ทางเดินการถ่ายทอด (channal) บรรทุกข้อมูลจากตัวส่งไปยังตัวรับ ซึ่งเราได้พิจารณาไว้แล้วว่ามันอาจจะเป็น สาย , cable , อากาศ หรือตัวกลางอื่น ๆ การส่งของข้อมูล จะพบเจอการแทรกแซงที่เห็นชัดแจ้งเป็นสัญญาณรบกวนทางไฟฟ้า ผลที่ตามมาที่อินพุทเข้าตัวรับข้อมูล ทั้งสัญญาณและสัญญาณรบกวนจะเกิดขึ้น ตัวรับจะอ่านสัญญาณที่เข้ามาอย่างถูกต้องเมื่อมีสัญญาณรบกวนเกิดขึ้นด้วย และหลังจากนั้นจะเปลี่ยนสัญญาณที่เข้าระหัสไว้กลับเป็นข่าวสารเพื่อเสนอต่อผู้รับข่าวสาร

2.3 <u>ระบบการสื่อสารข้อมูลพื้นฐาน</u>

ทางเดินการถ่ายทอดที่ใช้แรงดันไฟฟ้าสลับได้แสดงไว้ในรูปที่ 2 (b) แรงดันไฟฟ้าสลับถูกจ่ายเข้ากับอินพุทของทางเดินการถ่ายทอด แรงดันที่เกิดขึ้นนี้อาจจะแสดงได้เป็น

$$e_i = A\sin(2\pi ft+\theta) \quad \text{----------(1)}$$

เมื่อ A = peak amplitude , (V)

f = ความถี่ , (Hz)

θ = phase , (องศา)

จากทฤษฎีการ modulate พื้นฐาน เราทราบว่าทั้ง amplitude A , phase θ , หรือความถี่ f สามารถเปลี่ยนแปลง เพื่อบรรทุกข่าวสาร , D ลักษณะการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

modulate พื้นฐานเหล่านี้ จะหมายถึง amplitude modulation (AM) , frequency modelation (FM) , และ phase modulation (PM) สองชนิดสุดท้ายมักจะหมายถึงการ modulate เชิงมุม

ถ้าหากสัญญาลักษณ์นี้ถูกถ่ายทอดผ่านสายส่ง(transmission line) มันจะพบกับการสูญเสีย a ในสาย เช่นเดียวกัน phase ของสัญญาณ จะเปลี่ยนแปลง เนื่องจากสายและสัญญาณรบกวนโดยเฟกเตอร์ 0 ดังนั้นสัญญาณที่รับได้อาจแสดงได้เป็น

$$e_r = (A-a)\sin(2\ ft+0-\emptyset) \quad \text{_____(2)}$$

ระบบสื่อสารข้อมูลจะส่งเพียงสองชนิดของข้อมูล : digital หรือ analog (รูป 3) สัญญาณนี้อาจจะถ่ายทอดดังที่แสดง หรืออาจจะถ่ายทอดโดยทำการ modalate สัญญาณไฟสลับ[สมการ (1)] การถ่ายทอดที่ปราศจากการ modulate จะถูกพิจารณาเป็นการถ่ายทอด base band (baseband transmission) สัญญาณที่แสดงในรูปที่ 3 (a) จะถือเอาเพียงสองค่า : ค่าของ 1 ระหว่าง T_1 และ T_2 และค่าของ Ø ในคาบของ $T_2 - T_2 - T_4$ ระบบนี้ถ่ายทอดเพียงสองระดับสัญญาณดังนั้นมันจึงเป็นระบบ binary

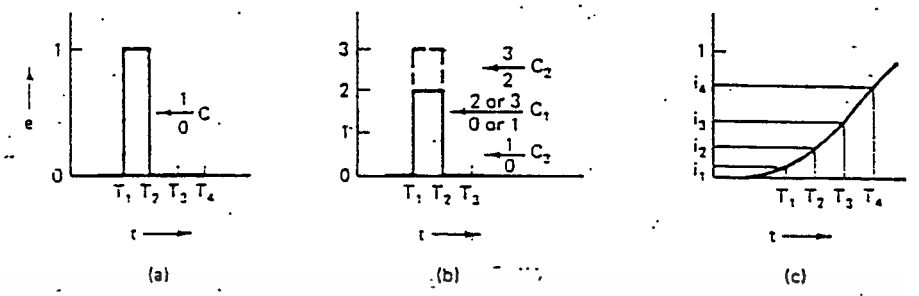
ข่าวสารจะถูกถ่ายทอดที่อัตรา 1 บิท ในแต่ละคาบเวลา , $T_1 - T_2$, $T_2 - T_3$ และ $T_3 - T_4$ ตัวรับจะทำการตัดสินใจระหว่างสายเหตุการณ์ที่มีโอกาสเป็นสไปได้เท่า ๆ กัน Ø และ 1 ในแต่ละช่องเวลาการตัดสินใจนี้ทำโดยพื้นฐานบนการวัดขนาดของสัญญาณที่เข้ามา ถ้าระดับสูงกว่า Ø.5 , 1 ก็จะถูกบ่งชี้และถ้าต่ำกว่าระดับนี้ Ø ก็จะถูกบ่งชี้ ระบบนี้จะทำงานไปอย่างถูกต้องตราบเท่าที่สัญญาณรบกวนที่เข้ามาในจุดต่อไม่เกินระดับนี้ ตัวอย่างเช่น signal - to - noise ratio (SNR) สำหรับระบบที่อธิบายข้างบนอาจหาได้จาก พิจารณาความผิดพลาดจะเกิดขึ้นเมื่อ Ø ถูกถ่ายทอด และแรงดันสัญญาณรบกวนบวกมากกว่า Ø.5 ความผิดพลาดเกิดขึ้นได้เช่นกันถ้า 1 ถูกถ่ายทอด และแรงดันลบของสัญญาณรบกวนที่มีขนาดมากกว่า Ø.5 SNR เป็น

$$SNR = 20\log[S(Peak\text{-}to\text{-}Peak)/N(Peak\text{-}to\text{-}Peak)]$$

$$= 20\ \log(1/0.5) = 6\ dB$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดังนั้นสัญญาณจึงจำเป็นจะต้องมากกว่าสัญญาณรบกวน 6 dB



รูป 2.3 Basic type of data A และ B คือสัญญาณ สำหรับระบบดิจิตอล C เป็นสัญญาณสำหรับระบบ อะนาลอก

ระบบที่ซับซ้อนกว่าแสดงดังรูป 3 (b) ระบบนี้จะถ่ายทอด 4 ระดับสัญญาณ : Ø , 1 , 2 หรือ 3 ขบวนการสร้างการตัดสินใจในจุดต่อด้านรับจะยุ่งยากกว่า สังเกตในช่วงเวลา $T_1 - T_2$ ตัวรับจะต้องตัดสินใจว่าสัญญาณเป็น Ø , 1 หรือ 2 , 3 แต่ละครั้งเครื่องรับจะคำนวณ ถ้าระดับเหนือกว่าระดับ C_1 จะต้องคำนวณครั้งต่อไปว่าเหนือกว่าระดับ C_2 หรือไม่ ในช่วงเวลา $T_2 - T_3$ มันจะต้องคำนวณว่ามันจะสูงกว่าระดับ C_3 หรือไม่สังเกตว่าในระบบนี้ ระบบจะตัดสินระหว่าง 4 ค่าสัญญาณที่เหมือนกันในแต่ละช่วงเวลา ผลก็คือ เราจะได้อัตราข่าวสารเป็นสองเท่าในแต่ละช่วงเวลาเป็น 2 บิท แต่ก็มีค่าใช้จ่ายเพิ่มขึ้นในเรื่องของ signal - to - noise ratio ความผิดพลาดเกิดขึ้นเมื่อสัญญาณรบกวนสูงกว่าระดับ C_3

$$SNR = 20\log(3/0.5) = 15.6 \text{ dB}$$

สังเกตุว่า SNR ทางทฤษฎีเพิ่มขึ้น 9.6 dB ซึ่งหมายถึงการใช้จ่ายที่เพิ่มเข้ามาในการเพิ่มอัตราข่าวสารเป็นสองเท่า

ชนิดของระบบข้อมูลทั่ว ๆ ไปแบบที่สองคือ ระบบ analog [รูปที่ 2.3 (c)] ระบบนี้สามารถถ่ายทอดค่าของข้อมูลใด ๆ ระหว่างขีดจำกัดของระบบ บนและล่าง ในรูปได้แสดงไว้สี่ค่า แต่ค่ากลางใด ๆ สามารถถูกสร้างขึ้นมาใหม่ จำนวนของค่ากลาง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

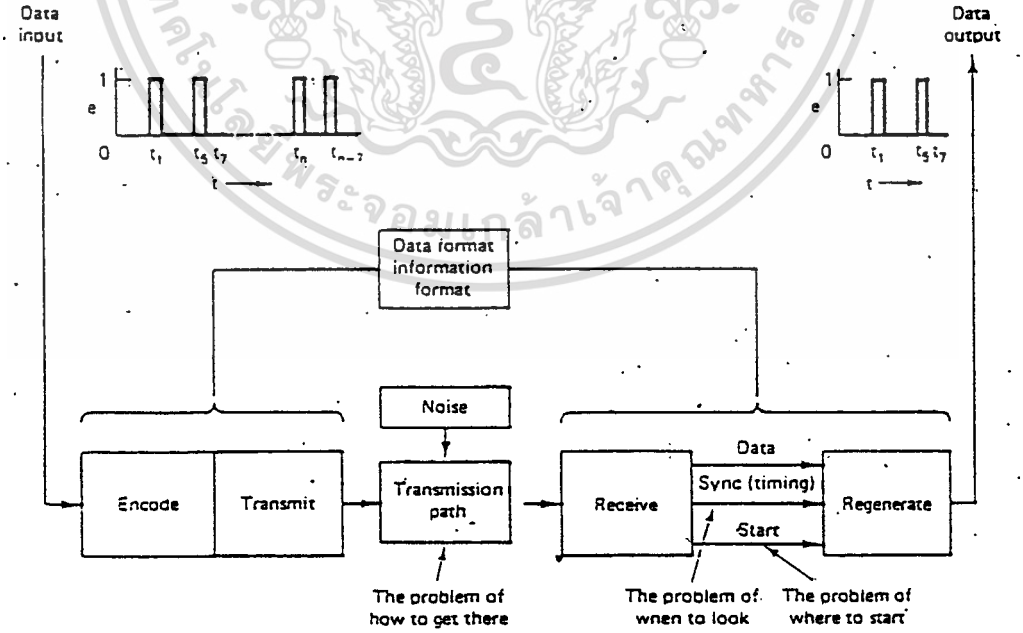
(resolution) ที่ระบบสามารถสร้างขึ้นมาใหม่ จะเป็นฟังก์ชั่นของ SNR ตัวอย่างเช่น C_1 ไม่สามารถสร้างขึ้นมาได้ถ้าสัญญาณรบกวนบรรลุถึงค่านี้

2.4 ระบบถ่ายทอดข้อมูล digital

ระบบสื่อสารข้อมูล digital สามารถจะแบ่งย่อยเป็นสองระบบพื้นฐาน : synchronous และ asynchronouse ทั้งคู่ของระบบนี้จะถูกใช้อย่างกว้างขวาง ข้อได้เปรียบของวงจรประมวลขนาดใหญ่(LSI) และการสื่อสาร computer - to - computer ส่งผลให้เกิดความนิยมเป็นอย่างมากในการใช้ระบบสื่อสาร digital จะได้พิจารณาแต่ละชนิดต่อไป

2.4.1 ระบบ synchronous

เรานิยามระบบถ่ายทอดข้อมูลแลล synchronous เป็นลักษณะหนึ่งที่ถ่ายทอดข้อมูลในอัตราที่คงที่ รายละเอียดการทำงานของระบบที่แตกต่างกันอาจแตกต่างกันไปแต่โดยพื้นฐานแล้ว ทั้งหมดจำทำงานในโหมดนี้ ระบบ synchronous ถ่ายทอดข้อมูล binary แสดงดังรูปที่ 2.4.1



รูปที่ 2.4.1 ระบบถ่ายทอดข้อมูลแบบ synchronous

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ระบบ synchronous ได้ถูกออกแบบโดยทั่ว ๆ ไปเพื่อถ่ายทอดข้อมูล ในรูปแบบที่แน่นอนตัวอย่างเช่นตัวอักษรอาจจะถูกสร้างเป็นระหัสเจ็ดตำแหน่ง สอง digital , words ,1000100Ø และ 1001000 ได้แสดงไว้ที่ตำแหน่งบนซ้ายของรูป ข้อมูลข้อความเดี่ยว เรียกว่า record หรือ block สามารถบรรจุได้เป็นร้อย ๆ ของคำเหล่านั้นอย่างไรก็ตามระบบข้อมูล synchronous จะมีจำนวนนับของหน่วยเวลาระหว่าง ข้อความเพื่อช่วยคงการ synchronized ของระบบตัวรับจะต้อง synchronized กับตัวส่ง ดังนั้นจะต้องรู้ว่าเมื่อไรจึงจะอ่านพัลซ์ของข้อมูล จะมี regenerator เพื่อสร้างรูปใหม่ของพัลซ์ digital ที่รับได้

จะพิจารณาข้อสังเกตุพื้นฐานที่เกี่ยวข้อง ในการถ่ายทอดข้อมูล สมมุติว่าช่วงเวลาในแต่ละคาบและเวลาในการถ่ายทอดสัญญาณเป็น Ø.ØØ1 วินาที นั่นคือ จำนวนของส่วนย่อย ๆ ของสัญญาณที่จะถ่ายทอดเป็น 1ØØØ ส่วนย่อย เราจำเป็นจะต้องหาข้อกำหนดของทางเดินการถ่ายทอดที่จะทำให้ข่าวสารจำนวนเพียงพอที่จะถ่ายทอดไปยังตัวรับซึ่งมันจะสามารถจัดเตรียมฟังก์ชั่นการ Regenerate สัญญาณได้

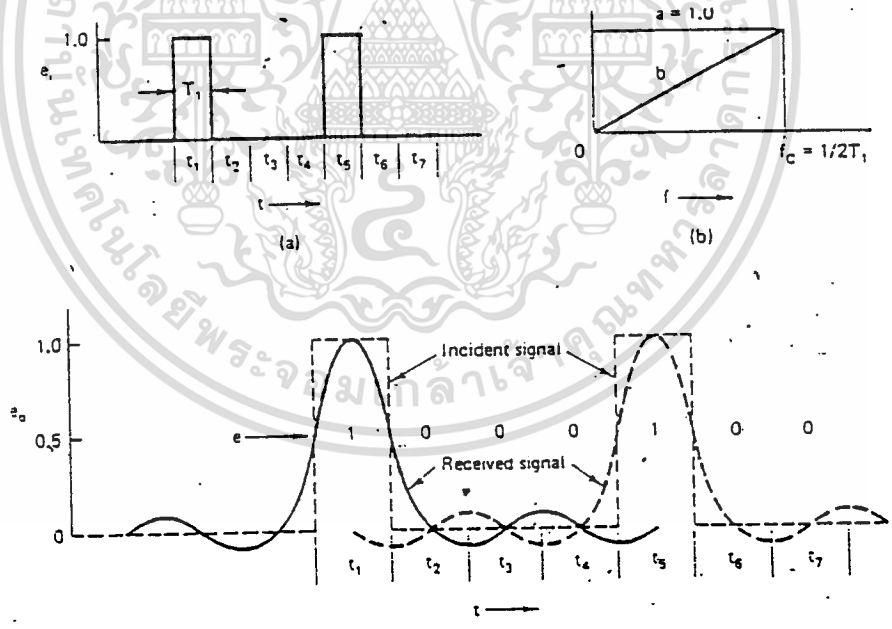
ข้อกำหนดนี้สำหรับการถ่ายทอด N ส่วนย่อยต่อวินาทีของการเปลี่ยนแปลง amplitude เคยมีการแนะนำโดย H. Nyquist ในปี 1982 หลักฐานของ Nyquist ได้ทราบการผิดเพี้ยนของสัญญาณสี่เหลี่ยม ที่จะสามารถยอมให้มีได้ที่ตัวรับจะสามารถจะฟื้นกลับสัญญาณขึ้นมาใหม่ได้โดยหลักฐานอันนี้ เขาได้หาค่าของ bandwidth และการรับสัญญาณรูปร่างของ band ที่จำเป็นในทางเดิน เพื่อที่ตระเตรียม สัญญาณนี้ แก่อินพุทของตัวรับ Nyquist ได้หาข้อพิจารณาสำหรับการถ่ายทอดเกี่ยวกับการผิดเพี้ยนสามารถแบบที่สามารถรู้ได้ แบบที่หนึ่งน่าสนใจดังแสดงในรูปที่ 2.4.2

ในตัวอย่างนี้ ทางเดินการถ่ายทอดได้ถูกออกแบบเพื่อการสร้างขึ้นมาใหม่ที่ถูกต้องของขนาดของสัญญาณที่จุดกึ่งกลางของแต่ละสัญญาณส่วนย่อย (t_1 , t_2 , t_3 ฯลฯ) สัญญาณที่เกิดขึ้น ในรูปที่ 2.4.2 (a) และสัญญาณที่รับได้ ในรูปที่ 2.4.2 คุณสมบัติที่จำเป็นสำหรับทางเดินการถ่ายทอด แสดงในรูปที่ 2.4.2 (b) สังเกตว่า amplitude

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

passband จะคงที่ และ เป็นแบบความถี่ต่ำผ่านมี cutoff frequency f_c = 500 Hz เมื่อ T คือช่วงเวลาของพัลซ์ phase shift , b จะเป็นเชิงเส้นที่ผ่านความถี่ศูนย์ และสำหรับตัวอย่างเราให้ T_1 = 0.001 , f_c = 500 Hz

Nyguist ได้พิสูจน์ว่า ในการถ่ายทอด N สัญญาณส่วนย่อย ๆ ต่อวินาที bandwidth ที่ N/2 Hz จะพอเพียงในเชิงทฤษฎี bandwidth นี้ ได้กลายมาเป็น Nyguist bandwidth เพื่อเป็นเกียรติแก่เขาจากทฤษฎีฟิลเตอร์ในเชิงทฤษฎีเราจำได้ว่าข้อกำหนดของ cutoff ที่ลดลงอย่างทันทีในรูปที่ 2.4.2 (b) ไม่สามารถเป็นจริงได้ในเชิงกายภาพ ในความจริงจะค่อย ๆ ลดลง และ cutoff ที่ถูกควบคุมอย่างระมัดระวังจะได้ใช้เพื่อหลีกเลี่ยง ความผิดเพี้ยนของเฟสและขนาดใน passband , Nyguist bandwidth จึงเป็นเพียงในอุดมคติ



รูปที่ 2.4.2 (a) สัญญาณข้อมูลinput (b) ทางเดินการถ่ายทอด (c) สัญญาณข้อมูลoutput

026891
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เราหลีกเลี่ยงการใช้คำว่า "bit ต่อวินาที" โดยจะใช้"สัญญาณส่วนย่อยต่อวินาที" แทนเหตุผลเพราะเกี่ยวข้องกับความเร็วของการให้สัญญาณ หรือ จำนวนสูงสุดของสัญญาณส่วนย่อยเทอมปกติของอันนี้ก็คือ baud

1 baud คือ ความเร็วในการให้สัญญาณหนึ่งสัญญาณส่วนย่อยต่อหนึ่งวินาที สำหรับระบบไบนารี่ bit rate และอัตราของสัญญาณส่วนย่อยก็คืออันเดียวกัน จากตัวอย่างที่ผ่านมาเราจะพิจารณา bit rate เป็น 1000 bit ต่อวินาที(bps) และ band rate คือ 1000 สัญญาณย่อยต่อวินาที

ตัวอย่างเช่น ถ้า $T_1 = T_2$ คือ 0.0001 วินาที จะได้

Baud rate = 1/T = 1/0.0001 = 10,000 สัญญาณส่วนย่อยต่อวินาที

ถ้าหลายระดับสัญญาณถูกถ่ายทอดในแต่ละส่วนย่อย ดังนั้น data rate จะเป็นสองเท่าของ baud rate

Data rate = 2 X baud rate

= 2 X 10,000

= 20,000 bps

จากตัวอย่างเราจะเห็นได้ว่า สามารถแตกต่างกันได้ระหว่าง baud rate กับ data rate ความแตกต่างจะมีมากขึ้นในระบบสื่อสารข้อมูลที่ซับซ้อนใหม่ ๆ

พิจารณารูปที่ 2.4.2 (c) เราพบว่ากับ Nyquist bandwidth เราจะต้องทำการแก้ปัญหาของการนำข้อมูลไปให้เครื่องรับ ถ้าเครื่องรับของสัญญาณที่ t_1 , t_2 และก็คงไป สัญญาณจะถูกอ่านอย่างถูกต้องภายใน 6dB SNR ที่จำเป็นในระบบ ปัญหาของการที่จะทำการอ่านเมื่อไร คำตอบสำหรับปัญหานี้ดูจะวิกฤตความยากลำบากที่สุดจะเกิดขึ้นเมื่อเครื่องรับพยายามที่จะอ่านข้อมูล 1 - 0 - 1 (รูปที่ 2.4.3) เวลาของการสุ่มตามอุดมคติจะเป็น t'_1 , t'_2 ,และ t'_3 กับการสุ่มตามอุดมคติ ขนาดจำกัดของ niose จะเป็น n_1 ค่า peak - to - peak ของ niose นี้จะเป็น 6dB ต่ำกว่าสัญญาณ ถ้าหากมี error e เกิดขึ้น เวลาการสุ่มจะเกิดขึ้นบน t ผลก็คือ ลดระดับของ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ข้อมูล Ø จะเห็นได้ว่า SNR เพิ่มเป็น

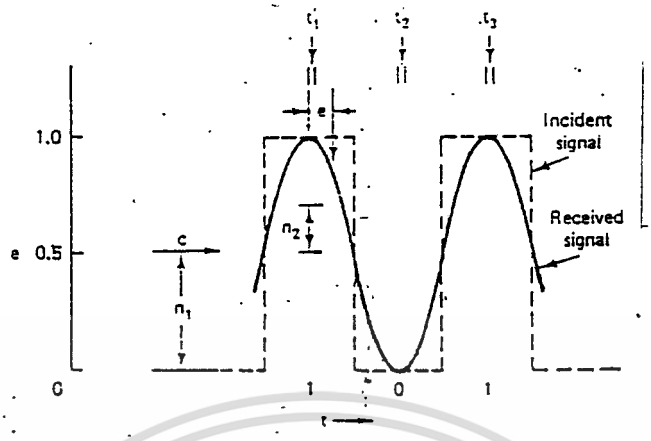
$$SNR = 20 \log 1/n_2 = 20 \log 1/0.2 = 14 \text{ dB}$$

$$SNR = 14 - 6 = +8 \text{ dB}$$

เราจะเห็นได้ว่าจำเป็นจะต้องเพิ่ม SNR 8 dB การที่จะกำจัดปัญหาของการที่จะอ่านข้อมูลเมื่อไรจำเป็นที่ว่า จะต้องให้เครื่องรับได้รับข้อมูลที่เพียงพอจาก สัญญาณตัวอย่าง เช่น สามารถที่จะสร้าง timing เดิมขึ้นมาใหม่ เครื่องรับสมัยใหม่จะใช้ local oscillator (phase - locked loop) นั่นคือ การทำให้ synchronize กับ clock ด้านส่ง โดยใช้ข้อมูล timing ที่บรรจุอยู่ในสัญญาณที่รับได้

หลายแบบด้วยกันที่สามารถใช้ในการสร้างสัญญาณ sync ปัญหานี้ไม่ใช่เรื่องเล็กน้อย และจะต้องใช้ความพยายามและเวลา ในการที่จะแก้ปัญหาอันนี้ได้ ในระบบข้อมูลที่มี timing ต่อเนื่อง เครื่องรับจะดึงข่าวสาร timing จากสัญญาณที่เข้ามาอย่างต่อเนื่อง ตัวอย่างเช่น เราอาจจะเลือกรูปแบบของข้อมูล ที่ทุก ๆ word จะมีข้อมูล 1 อยู่ 3 บิท บรรจุอยู่ เครื่องรับสามารถที่จะใช้ข้อเท็จจริงนี้ในการที่จะค้นหา timing ได้ ข้อดี คือ clock ด้านรับ สามารถที่จะมี timing ที่ถูกต้องจะได้รับอยู่เสมอ ๆ ข้อเสียคือ ระบบถ่ายทอดข้อมูลจะต้องทำการเข้าระหัสบางอย่างเพื่อให้แน่ใจว่าข้อมูล 1 ทั้งสามจะเกิดขึ้นอยู่เสมอ เมื่อ clock ด้านรับ lock ด้านรับ lock แล้วเราก็ไม่จำเป็นต้องแก้ปัญหาที่จะเลือกอ่านข้อมูลเมื่อไรอีก ในรูปที่ 2.4.2 เครื่องรับจะต้องถูกบอกใช้เมื่อ t_1 เกิดขึ้น ช่วงของเวลาจาก Ø ถึง 1 จะจำกัดที่เครื่องรับ บางครั้งอาจจะส่ง character พิเศษ ที่ไม่มีซ้ำกันในข่าวสาร เป็นสัญญาณเริ่มเทคนิคนี้จะมีข้อจำกัดในรูปแบบของข้อมูล แต่ก็ประหยัดในเรื่องของ SNR ratio อีกแบบง่าย ๆ คือ จะใช้สายอีกเส้นเพื่อเริ่มต้นสัญญาณ signal component ทั้งสามเหล่านี้คือ data , sync และสัญญาณเริ่มต้น จะมีอยู่ในรูปแบบที่ต่างกันในระบบ synchronous ทั้งหมด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.4.3 ปัญหาของการที่จะอ่านข้อมูลเมื่อไร

2.4.2 <u>ระบบ Asynchronous</u>

เราอาจจะนิยม ระบบข้อมูล asynchronous แบบหนึ่งได้ว่าเป็นระบบที่ถ่ายทอดข้อมูลที่ความเร็วไม่คงที่ รูปที่ 2.4.4 แสดงสัญญาณสามแบบที่จะพบได้ในระบบ asynchronous ในรูป (a) ข่าวสารต่อเนื่องสามอัน a , b และ c ถูกถ่ายทอดแบบนี้จะใช้ทั่วไปในการถ่ายทอด digitized speech โดยใช้การควบคุมแบบ push - to - talk สังเกตว่าข่าวสารจะไม่แบ่งช่องว่างให้กับผลคูณของจำนวนเต็มกับเวลา t_1

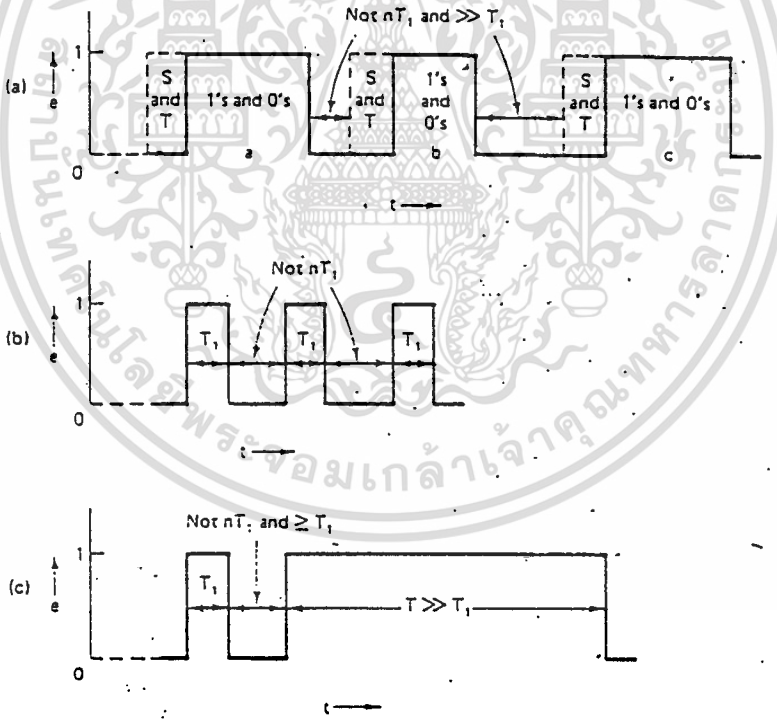
ช่องว่างของข่าวสารแบบ asychronous จะทำให้เป็นไปไม่ได้ ในทางปฏิบัติในการที่จะออกแบบ clock ด้านรับ ที่จะยังคง synchronize ในแต่ละช่องว่างข่าวสารต่าง ๆ ระบบนี้ จะออกแบบกับ clock ที่จะดึงให้ synchronize กับ clock ด้านส่ง ที่จุดเริ่มต้น ของแต่ละ message scqence เทคนิคหนึ่งที่ใช้คือ นำหน้าแต่ละ message ด้วย burt ของการสลับกันของ 1 และ Ø นั่นคือ จะทำให้รูปแบบของการเริ่มต้นที่พิเศษคือการใช้การสลับกันของ 1 และ Ø เป็นstart pattern จะถูกส่งออกไป อันนี้แสดงในรูปไว้ที่ block ของ S และ T นั่นคือ clock สามารถดึงดูดเข้าสู่การ synchronism กับ 1Ø ถึง 15 pulse หลังจากระบบ syncronize แล้ว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

มันจะทำงานภายในช่วงของข่าวสาร เช่นเดียวกันกับระบบ synchronous ข้อพิจารณาที่ผ่านมาคือ การป้องกันอันตราการสุ่ม , bandwidth SNR และอื่น ๆ ก็สามารถใช้ได้เหมือนกัน

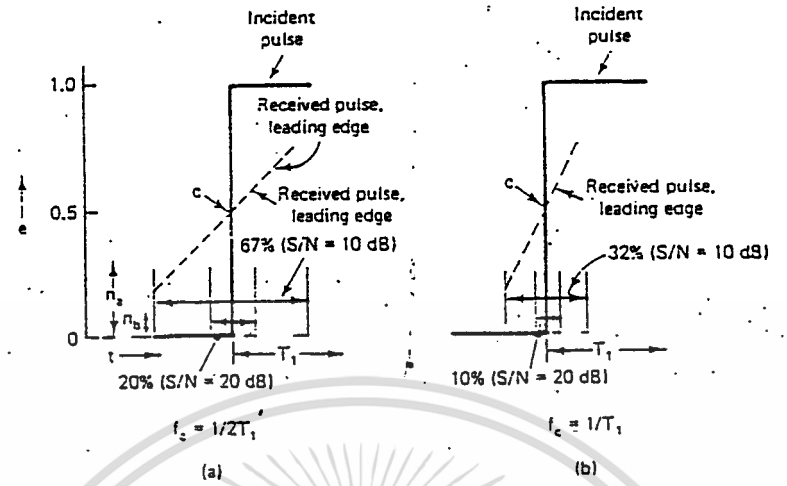
รูปที่ 2.4.4 (b) จะเป็นแบบที่สองของระบบ asynchronous ในระบบนี้ช่วงเวลา t_1 จะคงที่ , แต่ช่วงเวลาของ t_1 อาจจะเกิดขึ้นได้ แต่เป็นเพียงอุบัติเหตุเท่านั้น สัญญาณนี้จะพบทั่ว ๆ ไปในการอ่าน channal /บน เทปแม่เหล็ก

เนื่องจากที่ช่องว่างไม่เท่ากัน เครื่องรับจึงไม่สามารถที่จะแก้ปัญหาสัญญาณ timing ได้ เครื่องรับจะต้องจัดการ แต่ละ pulse ของแต่ละอัน ในการนี้เครื่องรับจะต้อง regenerate พัลซ์ (รูปที่ 2.4.5) การ regenerate จะเกิดขึ้นเมื่อสัญญาณที่อินพุทของเครื่องรับ เกินระดับ haft amplitude (Ø.5)



รูปที่ 2.4.4 Signal generated by tree common types of asynchronous system

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.4.5 Rise time and noise A-with transmission path equal to the Nyquist bandwidth B-width transmission path equal to twice the Nyquist bandwidth

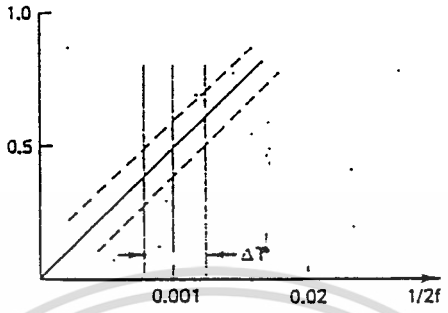
อัตราขาขึ้น(rise)สูงสุดของขอบนำจะเท่ากับ 1/2fc ถ้า bandwidth เท่ากับ Nyquit bandwidth ดังแสดงโดยเส้นประ ถ้าไม่มี noise เครื่องรับจะ regenerate พัลซ์โดยตรง ถ้าหากมี circuit noise เช่น SNR = 10dB ระบบที่ถูกคลิบจะพบขึ้งที่มาก่อนและล้าหลัง ขึ้นอยู่กับขั้วของ noise ในกรณีเช่นนี้ การกระตุ้นสามารถเกิดขึ้นมาใหม่มี "fitter" เข้ามาเกี่ยวข้องด้วย นั่นคือ จะเลื่อนไปในสเกลของเวลา

ตัวอย่างเช่น กำหนดให้ใช้ Nyquist bandwidth และ f_c = 500z เราจะหาเปอร์เซ็นต์จิตเตอร์ถ้า SNR = 20 dB

$$SNR = 20 \log_{10} 1/N_n = 20$$

$$1/n_n = 10 \text{ ---> } n_n = 0.1\ V_{p-p}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



จากรูป T = Ø.ØØØ4 ดังนั้น

% T = Ø.ØØØ4/Ø.ØØ2*1ØØ = 2Ø%

จะเห็นได้ว่าการเพิ่มขึ้นของ SNR จาก 1Ø dB เป็น 2Ø dB จะลด jitter 67% เป็น 2Ø% ซึ่งอันนี้จะมากกว่าระดับในเชิงปฏิบัติ นอกจากนี้สามารถม่การปรับปรุงเกิดขึ้นได้ ถ้ามีการเพิ่ม rise time [รูปที่ 2.4.5 (b)] ถ้าหาก bandwidth เป็น 2 เท่า jitter figure จะเป็น 32% และ 1Ø% ตามลำดับรูปที่ 2.4.6 แสดงรูปร่างของ pulse ที่ได้ และ rise time เมื่อ bandwidth เพิ่มขึ้น เป็นผลคูณจำนวนเต็มของ f_c สังเกตว่าหลังจาก $3f_c$ มีความจำเป็นเพียงเล็กน้อยที่จะ regenerate pulse ระบบในเชิงปฏิบัติแบบนี้จะใช้ bandwidth จากหนึ่งถึงสองเท่าของ Nyquist bandwidth SNR ที่ต้องการจะประมาณ 2Ø dB

แบบที่ 3 ของระบบ asynchronous แสดงในรูปที่ 2.4.3 (c) ซึ่งจะใช้อย่างน้อย 1 Brinay signal element ที่มี time durarion T_1 ช่องว่างระหว่าง signal element จะเท่ากับหรือมากกว่า T_1 ระบบนี้จะใช้ถ่ายทอดสัญญาณสถานะหรือสัญญาณควบคุมต่าง ๆ โดยทั่วไปอัตราส่วนจะต่ำมากสัญญาณของระบบนี้ พบเกิดขึ้นเสมอในการถ่ายทอดข่าวสารกราฟฟิค การ scan ผลของหน้าที่จะทำการพิมพ์สัญญาณจะเป็น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

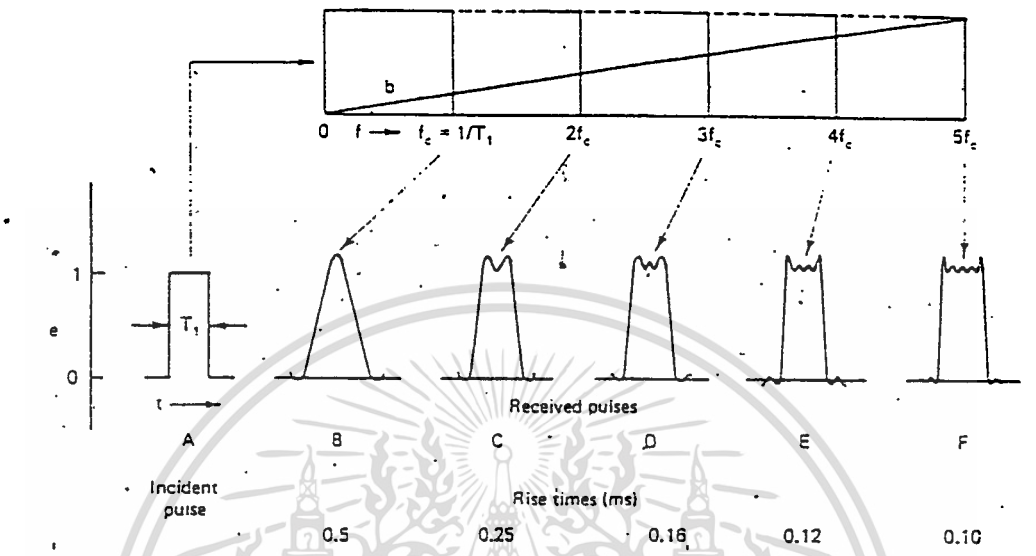
จะมีหลายระบบการเข้าระหัสด้วยกัน ซึ่งแต่ละระหัสจะใช้อย่างน้อยหนึ่งข้อของสามเหตุผลสำหรับการเข้าระหัส พิจารณาข้อแรก ความสัมพันธ์ระหว่างความจุข่าวสารและการเข้าระหัส จากที่ผ่านมาเราทราบว่า bandwidth ในเชิงทฤษฎีที่จะเป็นที่จะถ่ายทอด N signal element ต่อวินาที คือ N/2 Hz ของ bandwidth หรือ Nytquist bandwidth ดังนั้นเราจะพยายามที่จะถ่ายทอดสอง signal element ต่อคาบของ bandwidth สัญญาณความเร็ว 2000 bauds จะเป็นต้องใช้ 1000 Hz bandwidth อย่างไรก็ตามระบบทางกายภาพ จะต้องเตรียมเพื่อส่วน cutoff ของ bandwidth อัตราส่วนของสัญญาณจะเข้าใกล้หนึ่ง element ต่อ heartz รูปแบบการเข้าระหัสจะใช้เพื่อบรรลุแนวคิดนี้

พิจารณารูปที่ 2.5.1 ถ้าเราเพิ่มความจุของข่าวสาร เราจำเป็นจะต้องเพิ่มจำนวนของข่าวสารที่แต่ละ signal element บรรทุก รูปแบบการเข้ารหัสอย่างง่ายได้แสดงไว้ในรูป 2.4.5 - bit squence ของ binary แสดงไว้ด้านซ้ายของรูป ช่วงเวลาของแต่ละ element , T_i คือ 0.001 s ตัวเข้าระหัสจะถูกออกแบบให้แยกแยะแต่ละคู่ของบิท และสร้างแรงดันที่สัมพันธ์กัน ดังที่แสดงไว้ที่ด้านขวาบนของรูป จะเห็นได้ว่าเป็นสี่ step เปลี่ยนแปลงจาก binary เป็นระบบ decimal (ฐาน 2 เป็นฐาน 10 สำหรับ 8 บิท digital word input เอ้าท์พุทของตัวเข้าระหัสจะเป็นระหัส เดซิมอลสี่ step : 1 , 2 , 3 time base ของทั้งทางด้าน input และ output จะเหมือนกัน ดังนั้นความเร็วของสัญญาณจะเป็นครึ่งหนึ่ง

ระบบนี้จะมีข้อเสียในเรื่อง SNR จึงไม่ค่อยได้ใช้มากนัก อีกเทคนิคที่นิยมใช้มากกว่าจะแสดงรูปด้านล่าง เฟสของสัญญาณ sinusoidal สามารถที่จะทำให้เลื่อนไปสัมพันธ์กับข้อมูล sequence แรกของข้อมูล คือ 00 จะให้เฟส shift ไปที่ 250 องศา (ที่ T_3) sequence ถัดมาคือ 01 และเฟสถูกเลื่อนไปที่ 315 องศา และต่อ ๆ ไป เทคนิคนี้จะไม่สัมพันธ์กับ Nyquist rate เนื่องจากมันจะเป็นแบบ double-sideband ระบบที่มีถึง 4 เฟส กำลังอยู่ระหว่างการพัฒนา ค่าใช้จ่ายต่างๆ ที่เพิ่มเข้ามา เพื่อสำหรับการเพิ่มขึ้นมาของความจำเป็นเชิงเทคนิคสำหรับระบบการถ่ายทอดและเครื่องรับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

binary นั่นคือ ข่าวสารจะเป็นเพียง ขาวหรือดำ สำหรับระบบชนิดนี้ bandwidth ปกติจะคำนวณหาโดยความต้องการความละเอียด มากกว่าระบบข้อมูลที่กำหนด rise time ของสัญญาณ



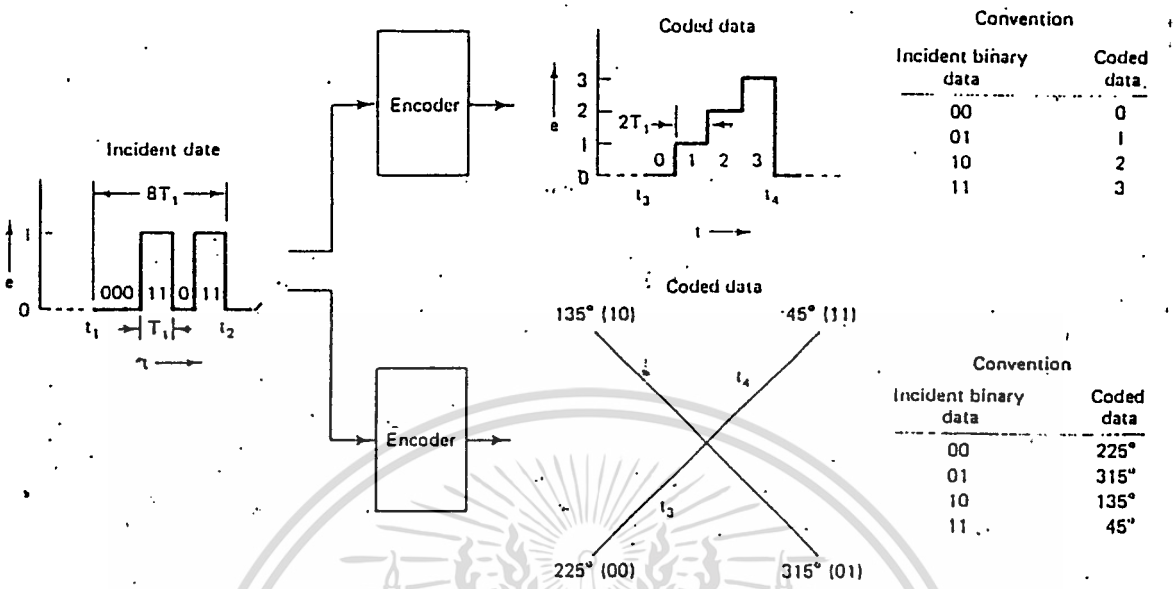
รูปที่ 2.4.6 รูปร่างของ pulse และ rise time เมื่อเทียบกับ cutoff frequency

2.5 Error control and coding

ที่ผ่านมาจะเป็นแนวคิดเกี่ยวกับช่องทางการถ่ายทอดเพื่อที่จะแสดงองค์ประกอบพื้นฐานเด่น ๆ ในการถ่ายทอดข้อมูล ตัวอย่างเช่น noise และ bandwidth องค์ประกอบพื้นฐานที่เกิดขึ้นในการถ่ายทอดข้อมูล คือ การเข้ารหัส(coding) เราอาจจะนิยามการเข้ารหัสเป็นการจัดเรียงข้อมูลเสียใหม่เป็นบางรูปแบบอื่นที่ด้านส่ง ขึ้นอยู่กับชุดของแบบแผนที่ได้ค้นหาตกลงกันไว้ก่อนแล้ว เหตุผลเบื้องต้นสามประการในการเข้ารหัสก็คือ

1. เพื่อเพิ่มความจุข่าวสารของระบบ
2. เพื่อให้สามารถ detect ข้อผิดพลาด และบางครั้งสามารถแก้ไขข้อผิดพลาดนั้นได้ด้วย
3. เพื่อช่วยแก้ปัญหาการถ่ายทอด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



Convention

Incident binary data	Coded data
00	0
01	1
10	2
11	3

Convention

Incident binary data	Coded data
00	225°
01	315°
10	135°
11	45°

รูปที่ 2.5.1 Representation of two coding schemes and their conventions

2.6 Phase Modulation

จากสมการของ carrier ที่ยังไม่ถูก modulate

$$e(f) = A_c \cos (W_c t + 0)$$

$$= A_c \cos\emptyset(t)$$

ถ้า เฟส $\emptyset(t)$ เปลี่ยนแปลงไปตามข่าวสารก็จะได้ phase modulation รูปคลื่นที่ถูก modulate เฟส จะอยู่ในรูป

$$E_{PM}(t) = Ac \cos[w_c + mpg(t)] \qquad (2.6.1)$$

เมื่อ m_p คือ maximum phase deviation ในหน่วย radians ความถี่ชั่วขณะ w (t) หาได้จาก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$wi(t) = d\emptyset(t)/dt$$

$$= wc + mp\ dg(t)/dt$$

ถ้าให้ข่าวสาร g(t) เป็น Cos $w_m t$ สมการ $w_i(t)$ จะเป็น

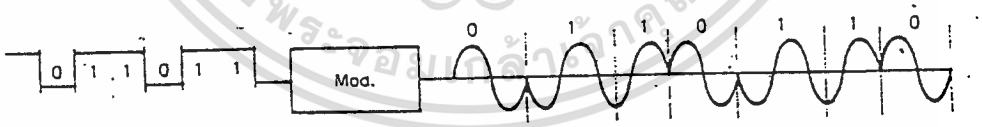
$$w_i(t) = w_c + w_m m_p \text{ Sin } w_m t \quad \text{_____(2.6.2)}$$

จากสมการจะเห็นได้ว่า maximum frequency diviation คือ $w_m m_p$ ดังนั้น bandwidth อาจจะแสดงได้เป็น

$$BW \quad 2(w_m + w_m m_p) \text{ rad}$$

สมการ (2.6.1) ถ้าเปรียบเทียบกับสมการของ frequency modulation จะมีลักษณะคล้ายกัน (ในที่นี้จะไม่แสดงการเปรียบเทียบเอาไว้) ซึ่ง FM และ AM จะอยู่บนพื้นฐานเดียวกัน

Phase modulation จะเป็นเทคนิคที่นิยมกันในการถ่ายทอดข้อมูลดิจิตอล เทคนิคหนึ่งรู้จักในชื่อของ phase - shift keying (PSK) ดังแสดงในรูปที่ 2.6.1 เทคนิคนี้บางทีเรียก biphase modulation จะเป็นหนึ่งในวิธีต่างๆ ที่ให้ประสิทธิภาพในการถ่ายทอดข้อมูล digital สูงสุด มันจะสัมพันธ์กับ suppressed carrier square - wave modulation ของคลื่นต่อเนื่อง (continuous - wave , CW)



รูปที่2.6.1 phase - shift keying (PSK)

$$w_i(t) = d/dt\ (10\ t + 100\ \text{Sin}300t)$$

$$= 10 + (100)(300)\text{Cos}300t$$

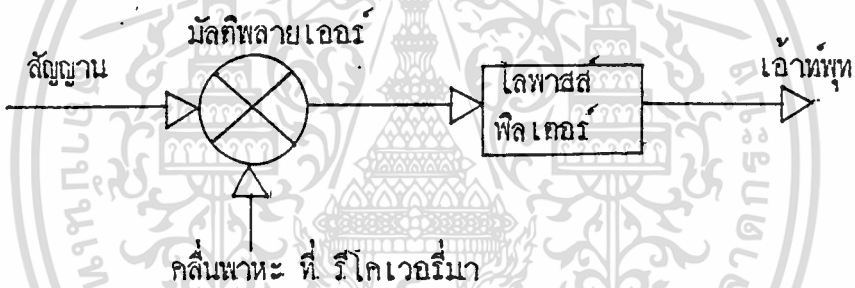
$$BW \quad 2(w_{max} + w_n) = 2(30,000 + 300) = 60,600 \text{ rad/s}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Phase - shift keying (biphase) modulation ของคลื่นพาห์ RF เป็นวิธีที่ให้ประสิทธิภาพสูงสุดสำหรับการถ่ายทอดข้อมูล digital การ modulate แบบนี้จะจำกัด carrier จากสัญญาณที่ถูกถ่ายทอดและหลังจากนั้นจะ recoverry ข้อมูล binary ที่ทางด้านรับซึ่งจำเป็นจะต้องสร้าง carrier ซึ่งขึ้นมาใหม่ ซึ่งการสร้าง carrier ขึ้นมาใหม่นี้จำเป็นจะต้องให้ phase และความถี่ของ carrier ที่สร้างใหม่ เท่ากันกับ phase และความถี่ของ carrier ตัวเดิม

2.6.1 PSK decoder

PSK decoder แบบที่ง่ายที่สุด และนิยมใช้ทั่วไปในระบบ phase locked loop คือ double balanced mixer ดังรูป 2.6.1



รูปที่ 2.6.1 double balanced mixer

ให้ PSK signal มีสมการเป็น

$$B \sin(w_c t + 0)$$

และ recovered carrier มีสมการเป็น

$$A \text{ Signal } w_c t$$

เพราะฉะนั้นที่อินพุทของ low pass filter จะเป็น(เมื่อให้ A = B = 1)

$$V(0) = 1/2[\text{Cose}(w_c t - w_c t - 0) - \text{Cos}(w_c t + w_c t + 0)]$$

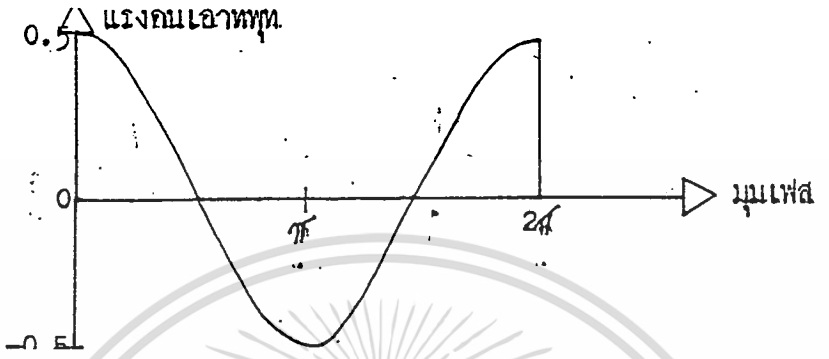
$$= 1/2\text{Cos } 0 - 1/2 \text{ Cos}(2w_c t + 0)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หลังจากผ่าน low pass filter แล้วจะได้

V_o = 1/2 Cos 0 ซึ่งเป็น dc

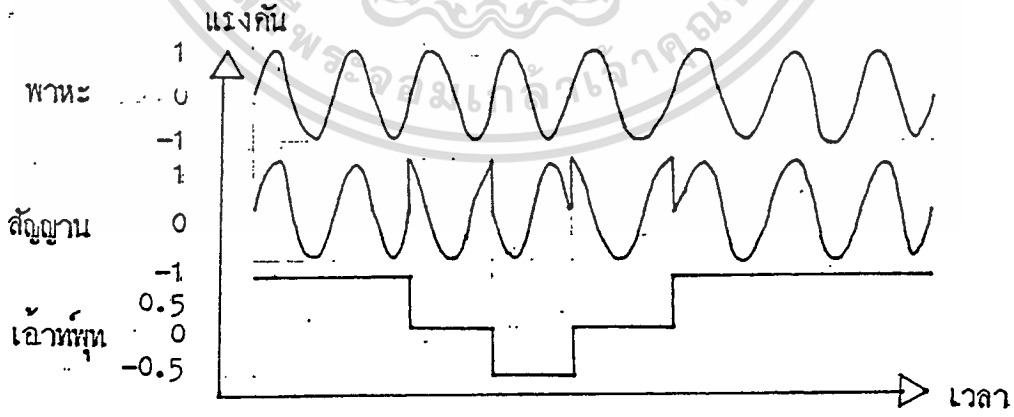
และมี cenversian gain ดังแสดงในรูป 2.6.1



รูปที่ 2.6.2 cenversian gain for double balanced mixer phase decoder

จะสังเกตุเห็นได้ว่าที่สัญญาณ PSK มี phase 0 กับ เฟสเป็น 360 (2) - 0 จะให้แรงดันเอ้าพุทเท่ากัน

ตัวอย่าง เช่น ถ้ามี PSK signal ดังรูปก็จะได้ แรงดันเอ้าพุทเป็นดังรูป 2.6.3



รูปที่ 2.6.3 ตัวอย่างการทำงานของ double balance mixer psk decoder

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.6.2 Carrier recovery

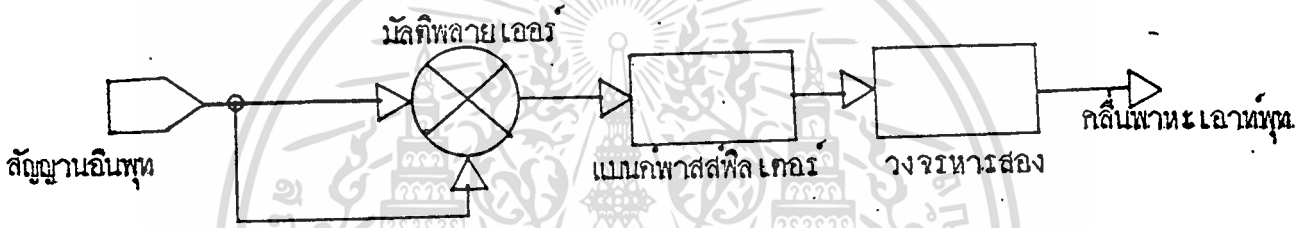
มีความจำเป็นว่า phase และความถี่ของ recovered carrier จะต้องตรงและเท่ากันกับของ carrier ที่ใช้ในการส่งข้อมูลมา ดังนั้น carrier recovery จึงมีความสำคัญมากกรณี PSK เป็น biphase signal ให้สมการเป็น

$$B\sin(w_c t + 0) \qquad \text{---------- (2.6.3)}$$

เมื่อ 0 จะเป็น random ระหว่าง 0 กับ 180 นั้นคือสมการ(2.6.3)จะเป็น

$$B\sin w_c t \qquad \text{---------- (2.6.4)}$$

กรณีนี้ carrier recovery แบบง่าย ๆ สามารถสร้างได้ดังรูป 2.6.3



รูปที่ 2.6.3 carrier recovery แบบง่าย ๆ

ให้ B = 1 จะได้อินพุทของ band pass filter มีสมการเป็น

$$\sin w_c t = 1/2 - 1/2 \cos 2w_c t$$

หลังจากผ่าน BPF และวงจรหารด้วยสองแล้วก็จะได้ carrier ตามต้องการ

2.6.3 Phase - locked - loop fundamentals

โดยทั่วไปแล้ว phase - locked - loop (PLL) คือระบบป้อนกลับที่ประกอบไปด้วยสามส่วนคือ phase comparater , low - pass filter และ voltage - controlled oscilator (VCO) (ดังรูปที่ 2.6.4) PLL จะเป็น close - loop electronic servo ที่เอ้าท์พุท.lock เข้ากับและติดตามสัญญาณอ้างอิงที่อินพุท phase lock จะเกิดขึ้นโดยเปรียบเทียบเฟสของสัญญาณเอ้าท์พุทกับสัญญาณอ้างอิง ความ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ต่างเฟสใด ๆ จะถูกแปลงไปเป็นแรงดันแก้ไขข้อผิดพลาด (error voltage นี้จะจ่ายให้กับ VCO และเปลี่ยนเฟสของเอ้าท์พุทของ VCO เพื่อให้มันติดตามอินพุท

จากรูปที่ 2.6.4 ให้สัญญาณอินพุทเป็น signal ที่มีเฟสใด ๆ นั่นคือ

$$V_i(t) = A_i \sin(w_i t + \theta_i) \quad \text{----- (2.6.4)}$$

เอ้าท์พุทของ VCO คือ

$$V_o(t) = A_2 \cos(w_o t + \theta_o) \quad \text{----- (2.6.5)}$$

phase comparater อาจจะให้เป็นแบบ four - quadrant multiplier ดังนั้นที่เอ้าท์พุทของตัวคูณ (multiplier) เราจะได้

$$V_d = A_i A_2 K_m \sin(w_i t + \theta_i) \cos(w_o t + \theta_o) \quad \text{----- (2.6.6)}$$

เมื่อ K_m คือ ตัวคูณอัตราขยายของตัวคูณ ถ้ากระจายสมการ (2.6.6) จะได้สมการที่ประกอบด้วย ผลบวกและผลต่างของความถี่อินพุทและความถี่ oscilator เทอมความถี่ผลบวกจะถูกฟิลเตอร์โดย low - pass filter ดังนั้นที่ low - pass filter output จะแสดงได้โดย

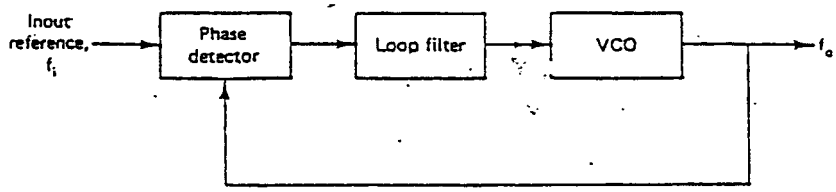
$$V_f = (A_i A_2 /2)K_m \sin(w_i t - w_o t \ \theta_i - \theta_o) \quad \text{---- (2.6.7)}$$

ถ้า PLL ถูก locked เข้ากับสัญญาณสมการ 2.6.7 ลดลงเป็น

$$V_f = (A A_2 /2)K_m \sin(\theta_i - \theta_o) \quad \text{_____(2.6.8)}$$

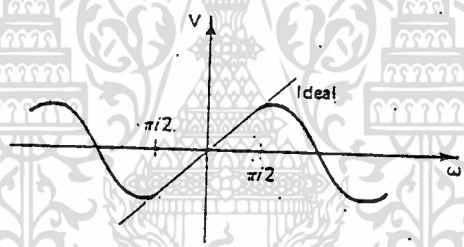
เมื่อ $\theta_i - \theta_o$ เป็น phase error สมการนี้จะแสดง error voltage ที่จ่ายให้กับ VCO เพื่อรักษาการ lock (ดังรูป 2.6.4) ถ้ามี distubance (niose) เข้ามาในระบบ PLL และทำให้ phase error มากกว่า radians PLL จะกระโดดเลื่อนไปที่หนึ่งคาบหรือมากกว่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.6.4 Basic phase locked loop

พิจารณาการทำงานของ PLL ถ้าสัญญาณอินพุทเปลี่ยนเฟสหรือความถี่ ผลอันนี้จะทำให้เกิดการเปลี่ยนแปลง error voltage นั่นคือ PLL จะ demodulate การเปลี่ยนแปลงของความถี่อินพุทหรือเฟสให้เป็นการเปลี่ยนแปลงของแรงดันเอ้าท์พุท



รูปที่ 2.6.5 คุณลักษณะของ phase detector แบบทั่ว ๆ ไป

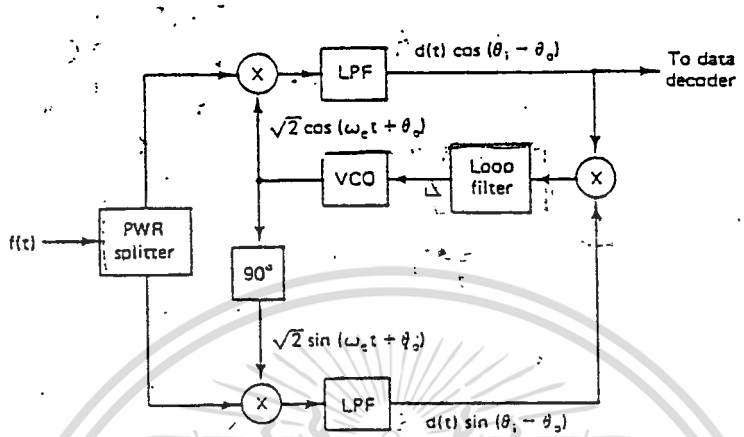
2.6.4 Costas loop

carrier recorvery สามารถสร้างได้จาก phase - locked loop มาตราฐาน เรียกว่า costas loop อาคัยดังรูปที่ 2.6.6 สมมุติข้อมูลให้เป็น random switching ระหว่าง radians ที่อินพุทของ costas loop สัญญาณ PSK อาจแสดงได้คือ เมื่อ d(f) แทนข้อมูล ซึ่งจะอยู่บนค่า 1 rms value ของสัญญาณคือ A เราสามารถเขียนสัญญาณอินพุท f(t) เป็น

$$f(t) = 2Ad(t)\cos(w_c t+\theta_i) \qquad (2.6.10)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การทำงานของ loop จะวิเคราะห์ได้ง่ายถ้าหากเราสมมุติให้มัน lock เรียบร้อยแล้ว



รูปที่ 2.6.6 Costas carrier recovery loop

สองแขนฟิลเตอร์ low - pass ถูกแบ่งออกเพื่อกำจัด เทอมความถี่สองเท่า ดังนั้นที่เอ้าท์พุทของฟิลเตอร์เราจะได้

$$Y_1(t) = Ad(t)\ Sin\ (O_i - O_o) \quad \text{-----} \quad (2.6.11)$$

และ

$$Y_2(t) = Ad(t)\ Cos\ (O_i - O_o) \quad \text{-----} \quad (2.6.12)$$

เมื่อ $O_i - O_o$ คือ phase error อินพุทสู่ lop low - pass filter คือ Y_1 , Y_2 หรือ

$$ef = [Km\ \ A\hat{}2/2)d\hat{}2(t)sin2(Oi\ - Oo$$

เมื่อ K_m คือค่าคงที่การคูณในหน่วย volts ต่อ radian และเนื่องจาก d(t) = 1 ดังนั้น d (t) = 1

สมการ (2.6.13) จึงได้เป็น

$$ef = [Km\ A\hat{}2/2]Sin2(Oi\ -Oo\ ) \quad \text{_____} \quad (2.6.14)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สังเกตุว่าสมการนี้จะเหมือนกับสมการ (2.6.8) ของ standard phase - locked loop แตกต่างกันที่ Sin $2(\theta_1 - \theta_0)$ จะเป็นศูนย์ที่ 0 องศา และ 90 องศา นั่นคือ loop กับ VCO ที่สองความแตกต่างเชิงมุม สัมพันธ์กับเฟสของสัญญาณอินพุทจากรูป 2.6.6 ข้อมูลที่ recoverd มาได้ จะได้จากแขน $Y_2(t) = Ad(t)\ Cos(\theta_1 - \theta_0)\ Ad(t)$ ถ้า loop lock กับอีกเฟสหนึ่งข้อมูลจะเกิดขึ้นที่อีกแขนหนึ่ง

2.7 Amplitude Modulate

Amplitude modulateion เป็นรูปแบบการ modulate ดั้งเดิมแบบหนึ่ง พิจารณาสัญญาณ

$$e(f) = A_c \cos(w_c t + 0) \quad \text{----- (2.7.1)}$$

เราสามารถสร้าง amplitude modulation (AM) ได้โดยให้ modulating signal g(t) เปลี่ยนแปลง amplitude ของ e(t) สมการ AM ที่ได้จะเป็น

$$e_M(t) = [A_c + g(t)]\cos w_c t \quad \text{----- (2.7.2)}$$

คุณลักษณะของ AM จะหาได้ง่ายถ้าหากเราเลือกรูปแบบที่กำหนดของข่าวสาร g(t) ในการนี้เราจะให้ g(t) ประกอบด้วยสัญญาณเสียง

$$g(t) = E_m \cos w_m t \quad \text{------ (2.7.3)}$$

สมการ (2.7.3) สมการเขียนได้เป็น

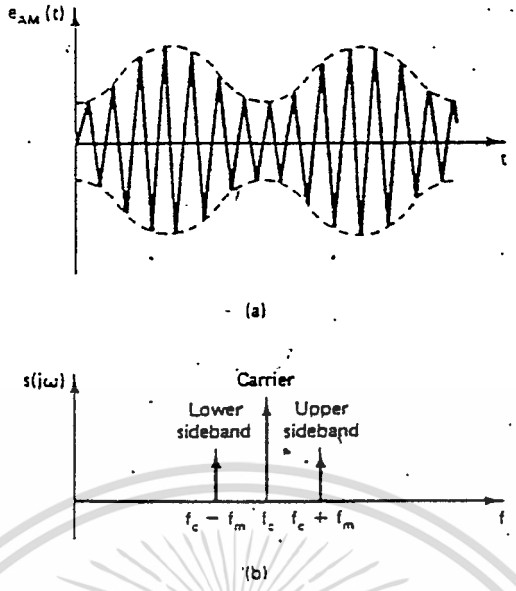
$$e_M(t) = (A_c + E_m \cos w_m t)\cos w_c t$$

$$= A_c (1 + E_m / A_c \cos w_m t)\cos w_c t \quad \text{-(2.7.4)}$$

$$= A_c (1 + m_a \cos w_m t)\cos w_c t$$

เมื่อ $m_a = E_m / A_c$ รู้จักในชื่อของ modulation index คลื่น amplitude modulation ที่ได้ และ spectrum ของมันจะแสดงดังรูปที่ 2.7.1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.7.1 a) AM modulated wave form b) frequency spectrum

สังเกตุว่า spectrum ของรูปคลื่น AM ประกอบด้วย carrier กับ upper และ lower sideband spectrum หาได้ง่าย ๆ โดยกระจายสมการ (3.7.4)

eAM(t) = Ac CosWc t+maAc/2Cos(wc+wm)+(maAc/2)Cos(wc-wm)t)-(2.7.5)

สังเกตุ จากรูป 2.7.1 (b) RF bandwidth จะเป็นสองเท่า ของความถี่ ของ modulation tone เนื่องจาก amplitude modulation จะเป็นแบบ linear process แต่ละ frequency modulation จะสร้างของ side band RF bandwidth จะได้จาก

BW = 2fm(max) _____(2.7.6)

เมื่อ f_m (max) เป็น ความถี่ที่นำเข้ามา modulate สูงสุด รูปที่ 2.7.1 แสดงตัวอย่างของการ modulate แบบ analog

2.8 Phase modulation ของ AM

ถ้าเราจะส่งข้อมูล digital โดยอาศัยระบบ AM อาจทำได้หลายวิธี หัวข้อนี้จะได้เสนอแนวคิดเกี่ยวกับ phase modulation ของคลื่น AM เพื่อฝากส่งข้อมูล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

digital ผ่านทางเครื่องส่งกระจายเสียง AM ในการที่จะบรรลุเป้าหมายอันนี้พิจารณาสมการของ phase modulation

$$e_{PM}(t) = A_c \cos[w_c t + m_p g(t)] \quad \text{----- (2.8.1)}$$

และข่าวสาร g(t) เป็น

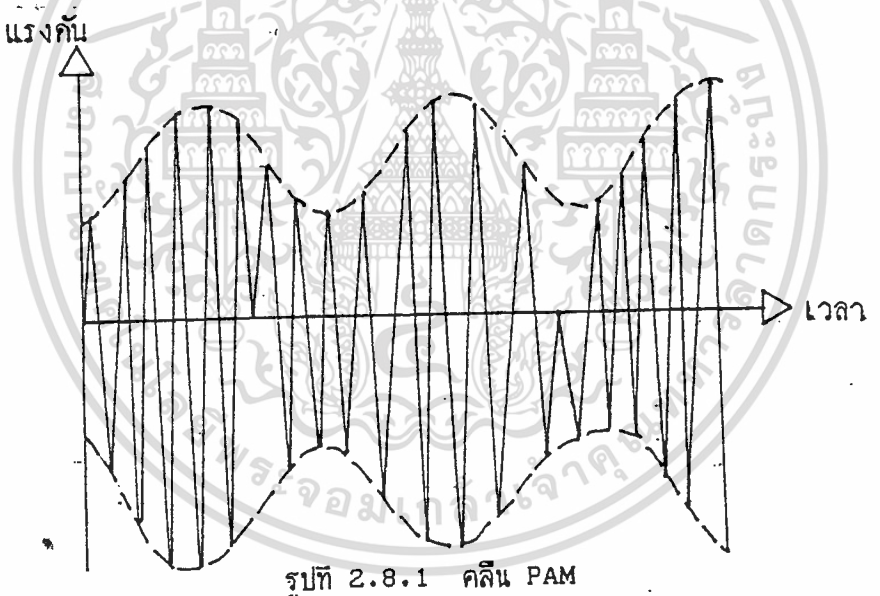
$$g(t) = \cos w_{m1} t \quad \text{----- (2.8.2)}$$

$$e_{PM}(t) = A_c \cos[w_c t + m_p \cos w_{m1} t] \quad \text{---(2.8.3)}$$

นำสมการที่ได้นี้มาเขียนให้เป็นคลื่น AM จะได้ว่า

$$e_{PM}(t) = A_c (1+(E_m/A_c)\cos w_{m2} t)\cos[w_c t+m_p \cos w_{m1} t] \text{ --(2.8.4)}$$

สเก็ตรูปคลื่นของสมการนี้ จะมีลักษณะเป็นดังรูป 2.8.1



รูปที่ 2.8.1 คลื่น PAM

รูปที่ 2.8.1 คลื่น PAM

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในการหา bandwidth โดยประมาณของคลื่น PAM นี้ จากสมการ (10.4) เขียนใหม่ได้เป็น

$$e_{PM}(t) = A_c \cos[w_c t + m_p \cos w_{m1} t] +$$

$$E_m \cos w_{m2} t \cos[w_c t + m_p \cos w_{m1} t] \quad -(2.8.5)$$

$$= A_c \cos[w_c t + m_p \cos w_{m1} t] +$$

$$E_m / 2 \cos[w_c t + w_{m2} t + m_p \cos w_{m1} t] +$$

$$= E_m / 2 \cos[w_c t - w_{m2} t + m_p \cos w_{m1} t] \quad -(2.8.6)$$

จะเห็นได้ว่าทุกเทอมเป็นสมการของ phase modulation หมดต่อไปจะทำการหาความถี่ชั่วขณะ ของทุกเทอมในสมการ (2.8.6)

$$W_i(t) = d/dt[\emptyset(t)] \quad \text{_____(2.8.7)}$$

เทอมแรกเทอมของ

$$A_c \cos[w_c + m_p \cos w_{m1} t] \quad \text{---- (2.8.8)}$$

จะได้ $w_{i1}(t) = w_c + m_p w_{m1} \sin w_{m1} t$ ---- (2.8.8)

เทอมที่สองเทอมของ

$$E_m / 2 \cos[w_c t + w_{m2} t + m_p \cos w_{m1} t]$$

จะได้ $w_{i2} = w_c + w_{m2} + m_p w_{m1} \sin wm1\, t$ ---- (2.8.9)

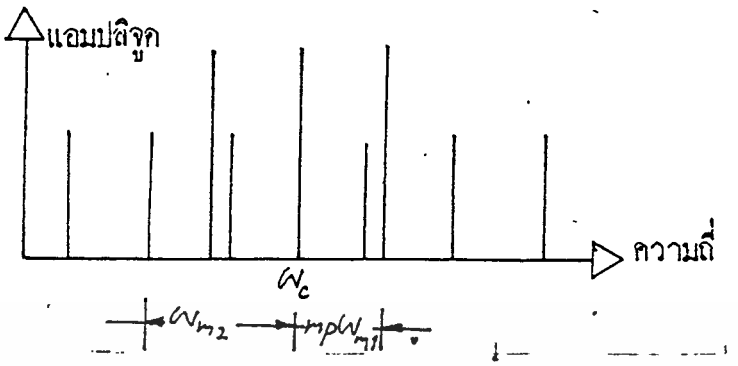
เทอมสุดท้ายของ

$$E_m / 2 \cos[w_c t - w_{m2} t + m_p \cos w_{m1} t].$$

จะได้ $w_{i3}(t) = w_c - w_{m2} + m_{pwm1} \sin w_{m1} t$ ----(2.8.10)

จะเห็นได้ว่าทุกเทอมมี maximum frequency deviation เป็น w_{m1} mp นำผลที่ได้นี้ไป plot spectrum คร่าว ๆ จะได้ดังรูปที่ 2.8.2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่2.8.2 Spectrum of PAM Signil

จะได้ bandwidth โดยประมาณของคลื่น PAM เป็น

$$BW = 2(w_{m2} + m_p\ w_{mi})$$

เมื่อ w_{m2} = ความถี่ของสัญญาณเสียงสูงสุด

w_{mi} = ความถี่ของสัญญาณที่นำมา mod เฟส นั่นคือ เราจะ assuume ให้เป็น baud rate ของข้อมูลของ digital ที่จะนำมาทำการ mod และ m_p คือ amplitude ของข้อมูลที่จะนำมา mod เฟส

จะเห็นได้ว่า bandwidth ที่เพิ่มเข้ามาจากเครื่องส่ง AM ปกติคือ $2m_p\ w_{mi}$ ดังนั้น ในการที่จะรักษา bandwidth เดิมไว้จำเป็นจะต้องลดความถี่สูงสุดของสัญญาณเสียงลงพร้อมกับใช้ baud rate ต่ำ ๆ และ amplitude ของข้อมูล digital mPVpPV ต่ำ ๆ เท่าที่จะสามารถทำได้นอกจากนี้แล้วถ้าเราลด baud rate ต่ำ ๆ พิจารณาสมการของ phase modulation

$$e_{PM}(t) = A_c \cos[w_c t + m_p g(t)]$$

ข่าวสาร g(t) ในขณะนี้จึงสามารถแทนได้ด้วย dc เช่น random switch ความถี่ต่ำระหว่าง Ø กับ 1 เมื่อ m_p เป็นค่ามุมเฟสใด ๆ เช่น ขณะนี้ความถี่ชั่วขณะของสมการนี้จึงคงที่ที่ w_c และเมื่อนำไป mod แบบ AM ก็จะได้ bandwidth ไม่เพิ่มขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$e_{FM}(t) = A_c \cos[w_c t + (\emptyset,1)] \text{ ---- } (10.11)$$

$$= + A_c \cos w_c t$$

$$w_i(t) =$$

$$= w_c \text{ เป็นความถี่ของสมการ } (2.8.11)$$

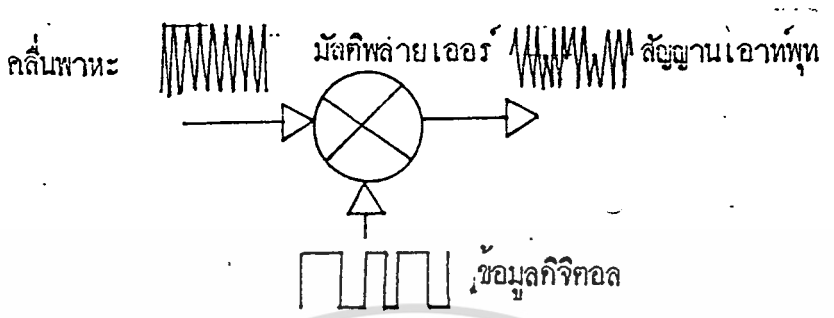
FM เบื้องต้น

สัญญาณ FM คือ สัญญาณความถี่วิทยุซึ่งมีความถี่ชั่วขณะ ถูกกำหนดโดยการมอดดูเลทการเบี่ยงเบนความถี่ไปจากคลื่นพาห์ (deviation) ของสัญญาณ FM ขึ้นอยู่กับระดับสัญญาณ หรือแอมป์ปลิจูด (โดยส่วนใหญ่) และ ความถี่ของสัญญาณที่นำมา มอดดูเลท ตามมาตราฐาน ที่ใช้กันกำหนดค่าเบี่ยงควาถี่ที่ใช้กับ สถานีวิทยุกระจายเสียง (FM) ไว้ที่ +/- 75KHz ระดับสัญญาณ เมื่อเปอร์เซ็นต์การมอดูเลทเท่ากับ 100%

ค่าเบี่ยงเบนความถี่ +/-75KHz นี้สัญญาณเสียงที่นำมามอดดูเลททั้งความถี่ต่ำเพียง 20 Hz หรือสูงถึง +/- 15KHz ก็สามารถทำให้เกิดค่าขนาดนี้ได้ เพราะตัวแปรที่มีผลต่อการเบี่ยงเบนมากกว่าคือ ระดับของสัญญาณ คือ ถ้าความถี่เสียงมีระดับ 1 volts ทำให้เกิดการเบี่ยงเบนไป +/- 75KHz ระดับสัญญาณ 0.1 V ก็ทำให้เกิด +/- 7.5KHz ไม่ว่าจะเป็นความถี่เท่าใด สำหรับอัตราส่วนสำหรับการเบี่ยงเบน กับความถี่ของสัญญาณที่นำมามอดดูเลทเรียกว่า ดัชนีการมอดดูเลท (modulation index) ใช้สัญญาลักษณ์ว่า B

ในสถานีส่งทั่วไป ที่ความถี่มอดดูเลท 1 KHz เปอร์เซ็นต์มอดดูเลท 50% (เท่ากับค่าเบี่ยงเบน 37.5 KHz) มีค่าดัชนีหรือ B =

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 6.1 Phase - shift keying (PSK)

ตัวอย่างเช่นสมมุติสัญญาณที่รับได้มีสมการเป็น

$$e(t) = 20 \cos (10 t + 10 \sin 300 t$$

เราจะหา bandwidth ในกรณีเป็นคลื่น phase modulation (PM) ได้ดังนี้

37.5KHz(37.5KHz/1KHz)

<u>แถบความกว้างความถี่ของสัญญาณ FM</u>

แถบกว้างความถี่หรือ แบนด์วิดธ์ของสัญญาณ FM ที่ครอบคลุมออกไปถ้าดูอย่างผิวเผินก็น่าจะเท่ากับค่าเบี่ยงเบน ความถี่ จากด้านต่ำสุด ถึงด้านสูงสุด (ค่าเบี่ยงเบน +/- 75 KHz) ก็คือแถบกว้าง 150 KHz แต่ความจริงไม่ได้เป็นเช่นนั้น แถบกว้างความถี่ที่ต้องการจะสูงกว่าค่า เบี่ยงเบนจากยอดถึงยอด ดังกล่าวอันเนื่องมาจาก การเกิดแถบความถี่ด้านข้างหรือที่เรียกว่า ไซด์แบนด์ (side band)

<u>องค์ประกอบทางความถี่ของสัญญาณ FM ประกอบด้วย</u>

1. <u>แถบความถี่สัญญาณเสียง</u> (0 - 15KHz) เป็นสัญญาณเสียงโมโนที่เกิดจากการรวมสัญญาณทั้งซีกซ้ายและซีกขวาเข้าด้วยกัน (L + R) ซึ่งสามารถรับได้ด้วยเครื่องรับ FM โมโนทั่วไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2. <u>แถบสัญญาณสเตอริโอ</u> (19KHz และ 23 - 53KHz)ประกอบด้วยคลื่นพาห์สัญญาณ pilot ความถี่ 19KHz กับสัญญาณผลต่างระหว่างซีกซ้ายกับซีกขวา (L + R) ที่มอดดูเลทกับคลื่นพาห์ย่อย 38KHz แบบดับเบิ้ลไซด์แบนด์ซัพเพรสแคเรียร์ คือ มีแต่ความถี่ด้านข้างแต่คลื่นพาห์ไม่มี เนื่องจากการกรองออกไปก่อนส่งสัญญาณออกที่เครื่องรับจะนำคลื่นสัญญาณไปล็อกมาทวี 2 เท่า เป็น 38KHz เป็น คลื่นพาห์ของสัญญาณสเตอริโอเพื่อทำการ deteet ต่อไป แถบสัญญาณสเตอริโอที่เป็น (L + R) ที่ได้จะนำไปรวมกับ แถบสัญญาณด้านข้างของสัญญาณ (L + R) ทั้งสองด้านเพื่อให้ได้เป็นสัญญาณซีกด้านซ้ายและซีกขวาแยกจากกัน

3. <u>สัญญาณ SCA</u> มีคลื่นพาห์อยู่ที่ 67KHz หรือ 92KHz ก็มี) แถบสัญญาณ SCA จะมอดดูเลทกับคลื่นพาห์ 67 KHz นี้ด้วยระบบ FM ที่มีค่าเบี่ยงเบนความถี่ไม่เกิน +/- 7.5 KHz ซึ่งความสูงสุดของสัญญาณเสียงจะถูกจำกัดไว้ แค่ 5 KHz และ มี S/N (ratio of signal to niose power) = 30 dB == ratio = 1000

<u>Infermation capacity (C)</u>

$$C = B\log_2 (S/N+1) \quad \text{bps}$$

b : channal band width

S/N : ratio of signal to noise power

$$C = 5000 \log_2 (1000 + 1)$$

$$\sim 50000 \text{ bps}$$

ฉะนั้นสามารถส่งข้อมูลในช่วงข่าวสาร ด้วยอัตราบิท rate สูงสุด

$$\sim 5000 \text{ bps}$$

ส่งแบบ amplitude และ phase encoding

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กรณีเลือกการส่งแบบ FSK (Frequency shift keying)

จาก channal 53KHz to 75KHz (center ที่ 67KHz) ใช้ code การส่งแบบ NRZ (non return to zero)

จาก code แบบ NRZ เลือก bit rate 96000 bps ดังนั้น สัญญาณที่ความถี่ของ FM ~ 5000 Hz

2 bit ~ 1 Hz

96000 b/s ~ 5000 Hz

เราเลือกให้ frequency shift ที่ logic

"1" = 71 KHz

"2" = 63 KHz

ดังนั้น จะได้

$$mf = f/fm$$

$$= 4/5$$

$$= 0.8$$

เป็น deviation ที่ดีที่สุด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.9 การมอดดูเลทแบบความถี่

สัญญาณข่าวสาร e_m จะทำหน้าที่เปลี่ยนความถี่คลื่นพาหะเช่นไปทำการเปลี่ยนค่าคาแพซิแตนซ์ของวงจรออสซิเลเตอร์ซึ่งผลิตคลื่นพาหะ สมมุติให้ความถี่คลื่นพาหะเปลี่ยนไป Ke_m กำหนดให้ k คือค่าคงที่ เรียกว่า การเบี่ยงเบนความถี่คงที่ (Frequency Deviation Constant) ดังนั้นความถี่พาหะชั่วคราว (Instantanous Deviation Constant) ที่เปลี่ยนไปคือ

$$f_i = f_c + ke_m \qquad (2.9.1)$$

f_c คือคลื่นพาหะที่ยังไม่มีการมอดดูเลท ถ้า e_m เป็นคลื่นไซน์จะได้

$$e_m = Em_{max} \sin \omega_m t \qquad (2.9.2)$$

แทนค่าสมการ (7.2) ในสมการ (7.1) จะได้

$$f_i = f_c + kEm_{max} \sin \omega_m t \qquad (2.9.3)$$

ตามรูป 2.9.1(a) แสดงถึงความถี่ f_i เมื่อเปลี่ยนแปลงตามเวลาต้องเข้าใจว่าเป็นการเปลี่ยนแปลงของความถี่ตามเวลาไม่ใช่การเปลี่ยนแปลงของความสูงตามเวลา ดูรูป 2.9.1(b)

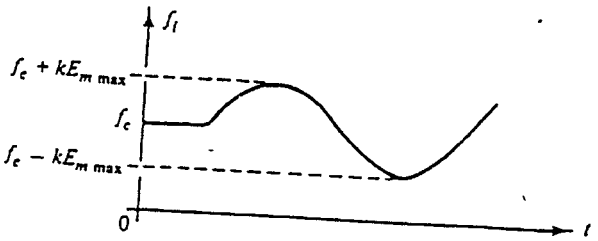
ความถี่สูงสุดที่เปลี่ยนไปตามสัญญาณข่าวสาร คือ

$$\Delta f = kEm_{max} \qquad (2.9.4)$$

ดังนั้นสมการ (2.9.3) จะกลายเป็น

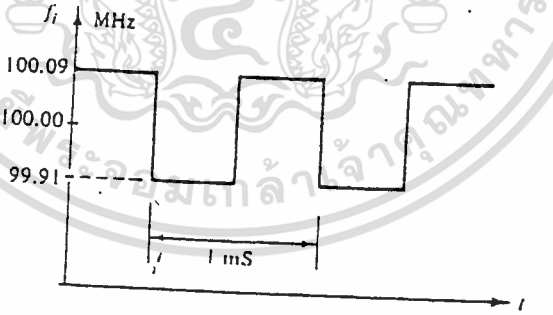
$$f_i = f_c + \Delta f \sin \omega_m t \qquad (2.9.5)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(a)

(b)



(c)

รูป 2.9.1 (a) ความถี่ชั่วขณะเปลี่ยนตามเวลา (b) ความถี่พาหะหลังจากถูกมอดดูเลท (c) ความถี่ชั่วขณะที่เปลี่ยนไปตามเวลาตามตัวอย่าง 2.9.1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตัวอย่าง 2.9.1 จงเขียนรูปคลื่นของความถี่ชั่วขณะ ที่เปลี่ยนไปเมื่อคลื่นพาหะมีความถี่ 100 MHz ถูกมอดดูเลทด้วยคลื่นสี่เหลี่ยมจัตุรัสขนาด 1 KHz และความถี่สูงสุดที่เปลี่ยนไป (peak Deviation) เท่ากับ 90 KHz

วิธีทำ แสดงตามรูป 2.9.1 (c)

เพื่อความเข้าใจเกี่ยวกับการมอดดูเลทแบบความถี่ จะต้องหาสมการของคลื่นที่มอดดูเลทแล้ว คลื่นพาหะที่ยังไม่ได้มอดดูแลท คือ คลื่นไซน์

$$e_c = \sin v (w_c t + \emptyset) \qquad (2.9.6)$$

ความถี่เชิงมุมคงที่ (Constant Angular Veloctiy) = $W = 2\pi fc$ มีหน่วยเป็นเรเดียน/วินาที (Radian/sec) และ $\emptyset$ คือ มุมเฟสคงที่ (Constant Phase Angle) มีหน่วยเป็นเรเดียน

สมการทั่ว ๆ ไปของสมการ (7.6) คือ

$$e = \sin O(t) \qquad (2.9.7)$$

เมื่อความถี่เปลี่ยนไป เช่น ในกรณีของการมอดดูเลทแบบความถี่ ความถี่เชิงมุมชั่วขณะ (Instantaneous Angular Frequency)

$$\omega_i = 2\pi fi = d\,O(t)/dt \qquad (2.9.8)$$

อินทีเกรดสมการ (2.9.8) ตามเวลาจะได้

$$O(t) = \int \omega_i \, dt \qquad (2.9.9)$$

ค่าของ fi ชั่วขณะนี้จะมีความสัมพันธ์กับ การมอดดูเลทตาม สมการ (7.5) ความถี่เชิงมุมคงที่ (ในกรณีที่ยังไม่มอดดูเลท)

$$O(t) = \int \omega_c \, dt$$

$$= \omega_c t + \emptyset \qquad (2.9.10)$$

คือค่าคงที่ของการอินทีเกรด จะเห็นได้ว่าสมการ (2.9.6) ได้มาจากการแทนค่าของสมการ (7.10) ในสมการ (7.7)

$$O(t) = \int 2\pi (fc + \Delta f \sin \omega_m t)dt$$

$$= \omega_c t - \Delta f/fm \cos \omega_m t + \emptyset \qquad (2.9.11)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

และ $W_m = 2\pi f_m$ คลื่นมอดดูเลทไซน์ สามารถหาได้จาก การแทนค่าสมการ (2.9.11) ในสมการ (7.7) จะได้

$$e = \sin(\omega_c t - \Delta f/f_m \cos \omega_m t) \qquad (2.9.12)$$

ตัวชี้การมอดดูเลท (Modulation Index) สำหรับการมอดดูเลทแบบความถี่ คือ

$$m_f = \Delta f/f_m \qquad (2.9.13)$$

จากสมการ (2.9.12) จะได้

$$e = \sin(\omega_c t - m_f \cos \omega_m t) \qquad (2.9.14)$$

ตัวชี้การมอดดูเลทนี้ อาจจะมากกว่า 1 ก็ได้ไม่เหมือนกับการมอดดูเลทแบบความสูง

2.9.2.1 สเปคตรัมความถี่

สเปคตรัมจะประกอบด้วยคลื่นพาหะ และฮาร์โมนิคข้างเคียงของความถี่มอดดูเลทความสูงของสเปคตรัมต่าง ๆ สามารถคำนวณได้จาก Bessel's Function

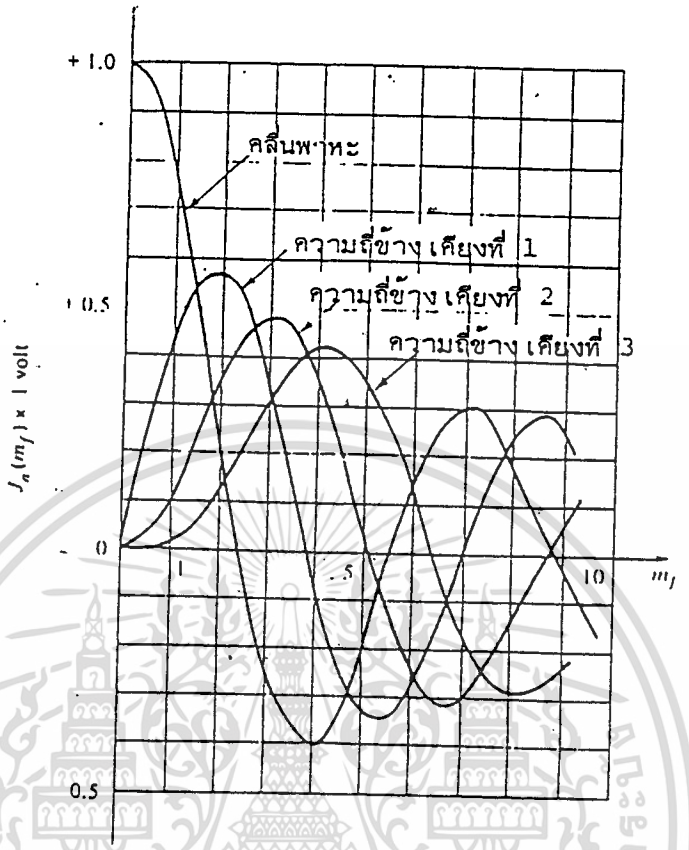
กำหนดให้ m_f คือตัวชี้การมอดดูเลทตามสมการ (2.9.13) และ n คือจำนวนความถี่ข้างเคียง และ Jo (mf) คือความสูงของคลื่นพาหะ ดูตาราง 2.9.1

จากตาราง 7.1 จะเห็นได้ว่า ถ้า $m_f = 0.5$ สเปคตรัมต่าง ๆ จะประกอบด้วย คลื่นพาหะ (fc) $J_o(0.5) = 0.94$

ความถี่ข้างเคียงตัวที่ 1 (fc + fm) $J_1(0.5) = 0.24$

ความถี่ข้างเคียงตัวที่ 2 (fc + 2fm) $J_2(0.5) = 0.03$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 2.9.2 ความสูงของคลื่นพาหะและคลื่นข้างเคียง 3 คลื่นของการมอดดูเลทด้วยไซน์

ดัวชี้การมอด m_f	คลื่นพาหะ J_0	ความถี่ข้าง เคียง											
		1st J_1	2nd J_2	3rd J_3	4th J_4	5th J_5	6th J_6	7th J_7	8th J_8	9th J_9	10th J_{10}	11th J_{11}	12th J_{12}
0.25	0.98	0.12	0.01										
0.5	0.94	0.24	0.03										
1.0	0.77	0.44	0.11	0.02									
1.5	0.51	0.56	0.23	0.06	0.01								
2.0	0.22	0.58	0.35	0.13	0.03	0.01							
2.4	0	0.52	0.43	0.20	0.06								
3.0	−0.26	0.34	0.49	0.31	0.13	0.04	0.01						
4.0	−0.40	−0.07	0.36	0.43	0.28	0.13	0.05	0.02					
5.0	−0.18	−0.33	0.05	0.36	0.39	0.26	0.13	0.05	0.02	0.01			
5.5	0	−0.34	−0.12	0.26	0.40	0.32	0.19	0.09	0.03	0.01			
6.0	0.15	0.28	-0.24	0.11	0.36	0.36	0.25	0.13	0.06	0.02	0.01		
7.0	0.30	0	0.30	0.17	0.16	0.35	0.34	0.23	0.13	0.06	0.02	0.01	
8.0	0.17	0.23	−0.11	−0.29	−0.10	0.19	0.34	0.32	0.22	0.13	0.06	0.03	0.01
8.65	0	0.27	0.06	−0.24	−0.23	0.03	0.26	0.34	0.28	0.18	0.10	0.05	0.02

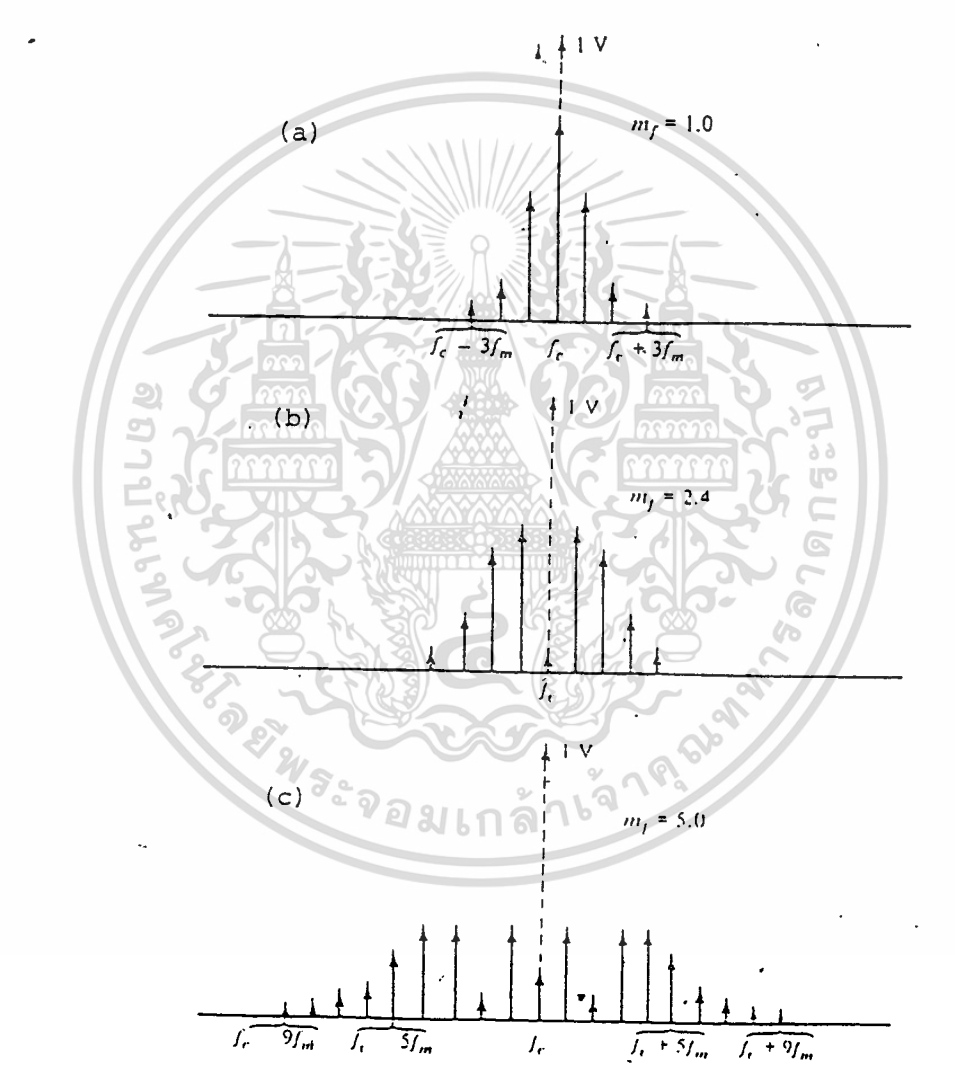
ตารางที่ 7.1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อย่างไรก็ตามถ้าสังเกตให้ดี จะเห็นว่า ค่า mf (2.4, 5.5, 8.5) ความสูงคลื่นพาหะเป็นศูนย์ เป็นการเน้นให้รู้ว่าเป็นสเปคตรัมที่ความถี่พาหะ

สเปคตรัมตามค่าต่างๆ ของ mf ตามรูป 7.3 (a),(b) และ (c) ในกรณีนี้ช่องไฟของแต่ละสเปคตรัมจะห่างเท่ากับ fm และช่วงกว้างคลื่น $B_{FM} = 2\, n_{fm}$ (7.15)

n คือ จำนวนความถี่ข้างเคียงเท่าที่ต้องการ



รูปที่ 2.9.3 สเปคตรัมของคลื่นมอดดูเลทไซน์เมื่อ (a) mf = 1.0

(b) mf = 2.4, (c) mf = 5.0

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากตาราง 2.9.1 ถ้าความถี่ข้างเคียงมากกว่า $(m_f t + 1)$ ความสูงมีค่า 5% หรือน้อยกว่านี้ของความสูงคลื่นพาหะที่ยังไม่มอดดูเลท ช่วงกว้างคลื่นของสมการ (2.9.15) อาจจะเขียนใหม่เป็น

$$B_{FM} = 2(m_f+1)\, fm \qquad (2.9.16)$$

แทนค่า mf จากสมการ (7.13) จะได้

$$B_{FM} = 2(\Delta f+fm) \qquad (2.9.17)$$

เพื่อความเข้าใจได้ง่ายขึ้น จะยกตัวอย่าง คือ

1. Δf = 75 KHz fm = Ø.1 KHz

$$B_{FM} = 2(75+Ø.1)$$
$$= 15Ø \text{ KHz}$$

2. Δf = 75 KHz fm = 1.Ø KHz

$$B_{FM} = 2(75+1)$$
$$= 152 \text{ KHz}$$

3. Δf = 75 KHz fm = 1Ø KHz

$$B_{FM} = 2(75+1Ø)$$
$$= 17Ø \text{ KHz}$$

จะเห็นว่าถึงแม้ความถี่ที่เข้ามามอดดูเลท จาก Ø.1 KHz ถึง 1Ø KHz หรืออัตราส่วน 1ØØ:1 ช่วงกว้างคลื่นจะเปลี่ยนไปน้อยแค่ 15Ø KHz ถึง 17Ø KHz จากตัวอย่างนี้จะเห็นได้ว่า การมอดดูเลทแบบความถี่ ก็เหมือนระบบช่วงกว้าง คลื่นคงที่ (Constant Bandwidth System)

2.9.2 ค่าเฉลี่ยกำลังงาน

จาก Bessel ฟังชั่นทำให้รู้ถึงความสัมพันธ์ระหว่างความสูงของแต่ละความถี่ข้างเคียงกับความสูงของคลื่นพาหะที่ยังไม่มอดดูเลท ดังนี้

$$E_n = J_n E_c \qquad (2.9.18)$$

กำหนดให้ E_n และ E_c คือค่า rms ของคลื่นไซน์และกำลังงานที่อยู่ในแต่ละ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

คลื่นไซน์คือ

$$Pn = En^2/R \qquad (2.9.19)$$

กำลังงานทั้งหมดสำหรับสัญญาณมอดดูเลท คือ

2.9.3 การวัดตัวชี้การมอดดูเลท

สเปคตรัมของคลื่นมอดดูเลทไซน์ สามารถวัดได้โดยตรงจากเครื่องวิเคราะห์สเปคตรัม และความเบี่ยงเบนของความถี่คลื่นพาหะ วัดได้จากมิเตอร์วัดความเบี่ยงเบนความถี่ เช่นเราสามารถปรับคลื่นพาหะของสัญญาณมอดดูเลทซึ่งดูได้จาก เครื่องวิเคราะห์สเปคตรัมจนหายไปความสูงของการมอดดูเลทในกรณีนี้จะมีอัตราส่วนเป็น 2.4:5.5:8.65 จากตาราง 7.1 จะเห็นว่าเป็นค่าของ mf เมื่อคลื่นพาหะเป็นศูนย์การวัดค่าเบี่ยงเบนทำให้คำนวณหา mf ได้ ซึ่งนำไปสู่การค่า fm

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

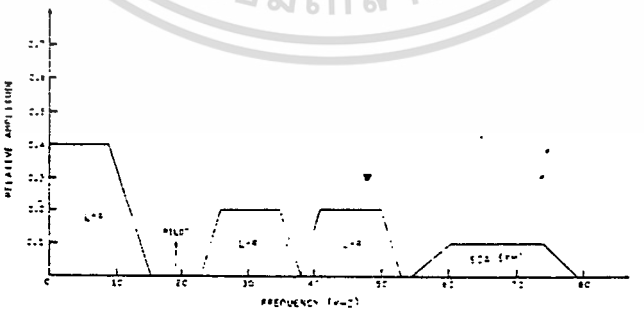
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3 การคำนวนและการสร้าง

3.1 Digital infermation broadcastion using SCA channels

3.1.1 SCA modulation fundamentals

รูปที่ 3.1 แสดง baseband ของสัญญาณสำหรับการกระจายเสียงในระบบ FM stereo แกนอนอนแทนความถี่ในหน่วย กิโลเฮิร์ท และ แกนตั้งแสดงแอมปิจูทที่สัมพันธ์กันสำหรับการกระจายเสียง แบบ stereo สัญญาณ ซ้าย + ขวา (L + R) ใช้ย่านความถี่จาก 0 ถึง 15 KHz และสัญญาณ ซ้าย-ลบ-ขวา (L + R) ใช้ย่าน 23 KHz - 53 KHz ผลรวมและผลต่างของสัญญาณใช้เพื่อคงความเทียบเท่ากับเครื่องรับแบบ mono เอาไว้ได้ที่จะรับเอาแต่เพียงย่าน 0 ถึง 15 KHz สัญญาณ ซ้าย-ลบ-ขวา ใช้ bandwidth 30 KHz เพราะมันจะทำการ modulation แบบ double sideband ของ subcarrier 38 KHz ในขบวนการ modulate แบบนี้จะทำให้ subcarrier (DSBSC) modulation โดยวิธีของ amplitude modulation การ detect สัญญาณ DSBSC จะต้อง synchronuse กับ subcarrier ที่ทำการ mod เดิม นั่นคือต้องการ 38 KHz subcarrier ใส่กลับเข้าไปใหม่ การคูณสองของความถี่ของสัญญาณ pilot 19 KHz ทางด้านรับ จะสามารถสร้าง 38 KHz subcarrier ขึ้นมาได้ใหม่จึงทำให้สามาถ detect ข้อมูลเสียงของ ซ้าย-ลบ-ขวา ได้



รูปที่ 3.1 FM broadcast baseband spectrum

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

มาตราฐานการกระจายเสียง stereo ที่อธิบายนี้ ถูกกำหนดไว้ในรายละเอียดของ FCC rule ดังนั้นทุก ๆ ถานีกระจายเสียงระบบ stereo จึงจำเป็นต้องใช้ระบบนี้ โดย FCC rule เช่นกันจะยอมให้ความถี่ ระหว่าง 53 KHz และ 75 KHz สามารถใช้ สำหรับช่องการกระจายเสียงอื่น SCA subcarrier

3.1.2 The SCA channal

โดย FCC rule สัญญาณ SCA ควรจะเป็น frequency modulation amplitude มากกว่า amplitude modulation ดังในกรณีของ ช่องย่อยของ ซ้าย-ลบ-ขวา ใน frequeney modulatoin ข่าวสารจะอยู่ในรูปของความถี่ของสัญญาณมากว่าจะเป็น amplitude สำหรับการกระจายเสียงแบบ FM แล้ว amplitude ของสัญญาณจะคงที่ตลอดเวลา ความถี่ของ subcarrier SCA ขณะที่ยังไม่ได้ mod ปกติจะได้ 67 KHz สำหรับกรณี stereo แรงดันลบของสัญญาณที่นำมา mod จะลดความถี่ ขณะที่ด้านบวกจะทำการเพิ่มความถี่ ความแตกต่าง ระหว่าง ความถี่ชั่วขณะกับ ความถี่กลางของ 67 KHz ก็คือ deviation แรงดันสูงสุด(บวกหรือลบ)ที่ถูกถ่ายทอดผ่าน SCA channal จะทำให้เกิด deviation สูงสุด FCC กำหนดให้ความถี่ชั่วขณะจะต้องไม่ออกนอกย่านของ 53 KHz - 75 KHz สำหรับ SCA channal ที่ใช้ความถี่(ขณะยังไม่ได้ mod) 67 KHz deviation ที่สมมาตร สูงสุด คือ + 8 KHz

นอกจากข้อจำกัดของ ของความถี่ชั่วขณะแล้ว FCC ยังกำหนดว่าจะต้องไม่เกิดการรบกวนกับการถ่ายทอดปกติ ข้อกำหนดคือสสัญญาณใด ๆ ที่เป็นผลจาก SCA ที่อยู่ในย่านของ Ø ถึง 53 KHz จะต้องเป็น 6Ø dB ต่ำกว่าสัญญาณเสียงของช่องหลัก ที่แอทปลิจูทสูงสุดของมัน amplitude สูงสุดที่ยอมให้ได้ของ subcarrier จะเป็น 2Ø dB ต่ำกว่าขนาดสูงสุดนี้ นั้นคือ สัญญาณที่เกิดจาก SCR ระหว่าง Ø ถึง 53 KHz จะต้องต่ำกว่า 4Ø dB ของระดับ subcarrier ข้อจำกัดของการไม่สอดแทรกไปยังการถ่ายทอด stereo ปกติจะมีผลทั้ง deviation ความถี่ของ SCA และ energy spectrum ของ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ข่าวสารที่จะใช้ mod กับ SCA subcarrier

3.1.3 Information capacitor of SCA channal

กำหนด ช่องการถ่ายทอดที่มี bandwidth ที่แน่นอนและ signal - to - noise ratio เป็นไปได้ที่จะสามารถหาขีดจำกัดบนของ data rate (bit/second) และ error rate ที่เกี่ยวข้อง(errors/bit) ความสัมพันธ์ที่ใช้กันโดยปกติ รู้จักกันในกฎของ hartley - shannon นั่นคือ ความจุข่าวสารของ channal , C , จะสัมพันธ์กับ bandwidth ของ channal และ signal - to - noise ratio ดังข้างล่าง

$$C = B\log_2 (S/N+1) \quad \text{bits/second}$$

เมื่อ

B = Bandwidth ของ channl (Hz)

S/N = อัตราส่วนของ signal power กับ noise power ใน channal

สำหรับ SCA channal ที่ 5 KHz bandwidth และอัตราส่วนของ siganl power กับ noise power 1000 (30dB) จะสามารถเป็นไปได้ ซึ่งถ้าใช้ตัวเลขนี้อัตราการถ่ายทอดสูงสุดที่เป็นไปได้ คือ 50,000 bit/second อย่างไรก็ตามถ้าจะให้ได้ความเร็วนี้จำเป็นจะต้องใช้เทคนิคการ modulate ร่วมกันทั้งแบบ amplitude และ phase

ข้อควรสังเกตก็คือ อัตราส่วนถ่ายทอดของ channal กับอัตราข่าวสารที่จะใช้ได้จริง ๆ จะไม่ใช่อันเดียวกัน ปกติจะเป็นจะต้องมีบิทที่จะใช้เพื่อการตรวจสอบจำนวนข้อมูลใน 1 เฟรม , ตำแหน่งข้อมูล และ ความผิดพลาดของข้อมูล

3.1.4 Channal Modulation

จะใช้ระบบ single digital path ที่ flat respose จาก DC ถึง 5 KHz ให้สัญญาณแบบ asynchronuse (สามารถ program เป็นระบบ synchronuse ได้) ที่ programable baud rate ในช่วง 300 , 600 , 1,200 , 2,400 ,

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

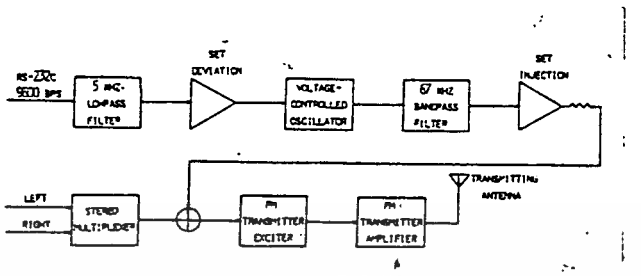
4,800 , 9,600 19,200 และ 38,400 bit/second ได้ 63 KHz แทน logic 0 และ 71 KHz แทน logic 1 ดังนั้น deviation จึงเป็น + 4 KHz จำกัด band ของข้อมูลโดยวงจร pulse shaping filter ก่อน modulate กับ 76 KHz subcarrier และ subcarrier ที่ถูก modulate แบบ FM แล้วจะต้องผ่าน band pass filter 61 KHz ถึง 73 KHz ก่อนที่จะบวกเข้ากับ ช่องการถ่ายทอดหลักการ filter สอง state นี้ จะไปจำกัดอัตราการเปลี่ยนแปลงความถี่ภายใน pass band และจำกัด spectral enery นอก SCA 53 KHz ถึง 75 KHz เพื่อให้ได้ตาม FCC rule

เป็นไปได้ที่จะให้ระบบเป็นแบบ synchronous โดยการเข้าระหัสข้อมูล เพื่อที่จะให้สามารถ recovery clock ขึ้นได้ สองวิธี ที่เป็นไปได้คือ Manchester coding และ MFM(Miller)coding ทั้งคู่ต้องการการให้สัญญาณ 9600 baud เข้าระหัส แบน Manchester จะง่ายกว่า แต่จะต้องการ 2 transition ต่อหนึ่งบิท จะได้อัตราข้อมูล 9600 bit/second

3.1.5 MODULATOR

รูปที่ 3.1.2 เป็น block diagram ของ SCA modulator , input port จะใช้ RS - 232c interface ปกติ asynchronous signal จะส่งไปยัง low pass filter เพื่อลดทอน component ความถี่สูงของรูปคลื่นข้อมูล ส่วนนี้จะใช้วงจร pulse shaping filter

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.1.2 Block diagram of modulator and FM transmitter

หลังจาก low pass filter จะปรับ amplitude เพื่อ set deviation ของ subcarrier และหลังจากนั้นสัญญาณจะถูกจ่ายไปยัง voltage controlled oscillator (VCO) ซึ่งจะเป็นตัวสร้างสัญญาณแบบ FSK centered ที่ 76 KHz VCO จะทำงานใน linear mode ดังนั้นจึงจำกัด sweep rate ของมัน โดยอาศัยฟิลเตอร์ที่อินพุท ซึ่งป้องกันการเปลี่ยนแปลงความถี่อย่างทันทีทันใดที่ด้านรับ และลด component ที่อยู่เหล่านั้นควรจะ 40 dB ต่ำกว่าระดับของ SCA ถ้า SCA ใช้ระดับสูงสุดที่ยอมให้ได้ คือ 10% ของการ mod ของช่องหลัก จึงต้องการ filter หลัง VCO เพื่อให้ได้ตาม FCC rule ซึ่งรายละเอียด filter นี้จะได้กล่าวถึงทีหลัง

ส่วนที่หลังจาก filter ก็คือ buffer amplifier และ isolation resistor ดังนั้น สัญญาณ SCA จึงไม่เป็นฟังก์ชั่นของ stereo gecerator หรือ FM transmitter exciter

ขณะที่ SCA generator ไม่สร้างการสอดแทรกให้กับสัญญาณ stereo แล้ว ในทางตรงกันข้ามกกันก็จะต้องคำนึงถึงด้วย ซึ่งจะขึ้นอยู่กับ stereo multiplex generator ที่ใช้โดยแต่ละสถานี FM สามารถที่จะมีกำลังงานที่เกิดขึ้นในย่านความถี่ที่จะ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ใช้เป็น SCA ข้อนี้จึงเป็นตัวประกอบที่จะต้องนำมาคำนึงด้วย

transmission path ของ FM broadcast เบื้องต้นจะใช้คลื่นอากาศ คือ คลื่นแม่เหล็กไฟฟ้า propagate ผ่าน อากาศ (propagate โดยการหักเหที่ชั้น ionosphere) เมื่อคลื่นอากาศพบกับสิ่งกีดขวางใด ๆ บางส่วนจะถูก blocked ไว้และบางส่วนจะหักเหรอบ ๆ จุดที่กระทบซึ่งจะทำให้ความเข้มของสัญญาณลดลงที่ด้านรับ

และคลื่นอวกาศจะหักเหกับสิ่งกีดขวางทั่ว ๆ ไป เช่น ตึก , สายตัวนำ , เสาไฟ , และภูเขา สัญญาณที่หักเหจะสามารถเดินทางไปสู่ด้านรับด้วยเวลาหน่วงสั้น ๆ ค่าหนึ่ง ซึ่งขึ้นอยู่กับระยะทางของ transmission path ซึ่งขึ้นอยู่กับหลายตัวประกอบ ซึ่งรวมถึงเรขาคณิตของการหักเห , frequency deviation ,สัญญาณและ phase กับความเข้มของสัญญาณ สัญญาณหักเหสามารถทำลายการถ่ายทอด FM ได้อย่างสมบูรณ์

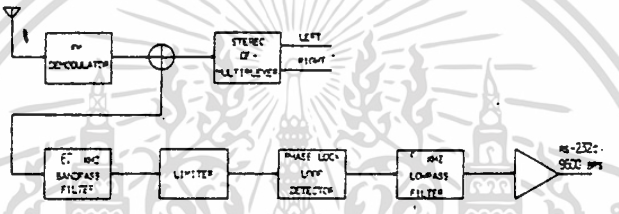
ปัญหาการถ่ายทอดจะส่งผลลดระดับของสมรรถนะของ FM stereo เช่นกัน ก็จะลดสมรรถนะของ SCA

3.1.6 Demodulator

ก่อนจะ demod SCA จำเป็นต้อง demod FM แบบปกติก่อนเครื่องรับ FM จะรับสัญญาณจากสายอากาศ , filter เลือกสถานี FM ต่าง ๆ โดยการ mixed เข้ากับ logic oscillator filter อีกครั้งหนึ่ง แล้วจ่ายให้กับ demodulator FM หลัก carrier 88 - 108 MHz ถูกแปลงกลับไปสู่สัญญาณ baseband ดังแสดงในรูปที่ 3.1.1 ซึ่งจะรวม noise การสอดแทรก การลดทอนเนื่องจากการหักเหหลาย ๆ ทาง เครื่องรับในบ้านปกติจะตัดความถี่ SCA และจัดการเฉพาะสัญญาณเสียง stereo เครื่อง demod SCA จะต้อง reject ในทางตรงกันข้ามกันคือ ตัดสัญญาณเสียง stereo และจักการเฉพาะสัญญาณ SCA รูปที่ 11.3 แสดง FM/SCA recevier ขบวนการของ FM demodulation ที่ได้อธิบายไปแล้วแทนโดย block ของ FM demodulator เอ้าท์พุท ของ block นี้จะถ่ายตรงไปยัง bandpass filter ซึ่งจะดึงความถี่ SCA ออกมาคุณลักษณะของ filter นี้จะสำคัญมากต่อการรับ SCA ซึ่งจะกล่าวทีหลัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หลังจาก limiter ก็จะต่อไปยัง phase locked loop (PLL) detector ซึ่งจะเปลี่ยนแปลงความถี่ที่ shift จาก 67 KHz เป็นสัญญาณที่มีแรงดันเป็นสัดส่วนกับความถี่ที่อินพุท PLL capture และ locked แรงจะปรับเพื่อให้ได้กับ + 4 KHz deviation ที่เกิดจาก SCA modulator output ของ PLL จะlow pass filter อีกครั้งเพื่อจำกัดสัญญาณ 67 KHz ที่เหลือ และหลังจากนั้นก็จะขยายเพื่อให้ได้ระดับ RS - 232c และ interface เข้ากับ computer ด้านรับ



รูปที่ 3.1.3 Block diagram of SCA receiver

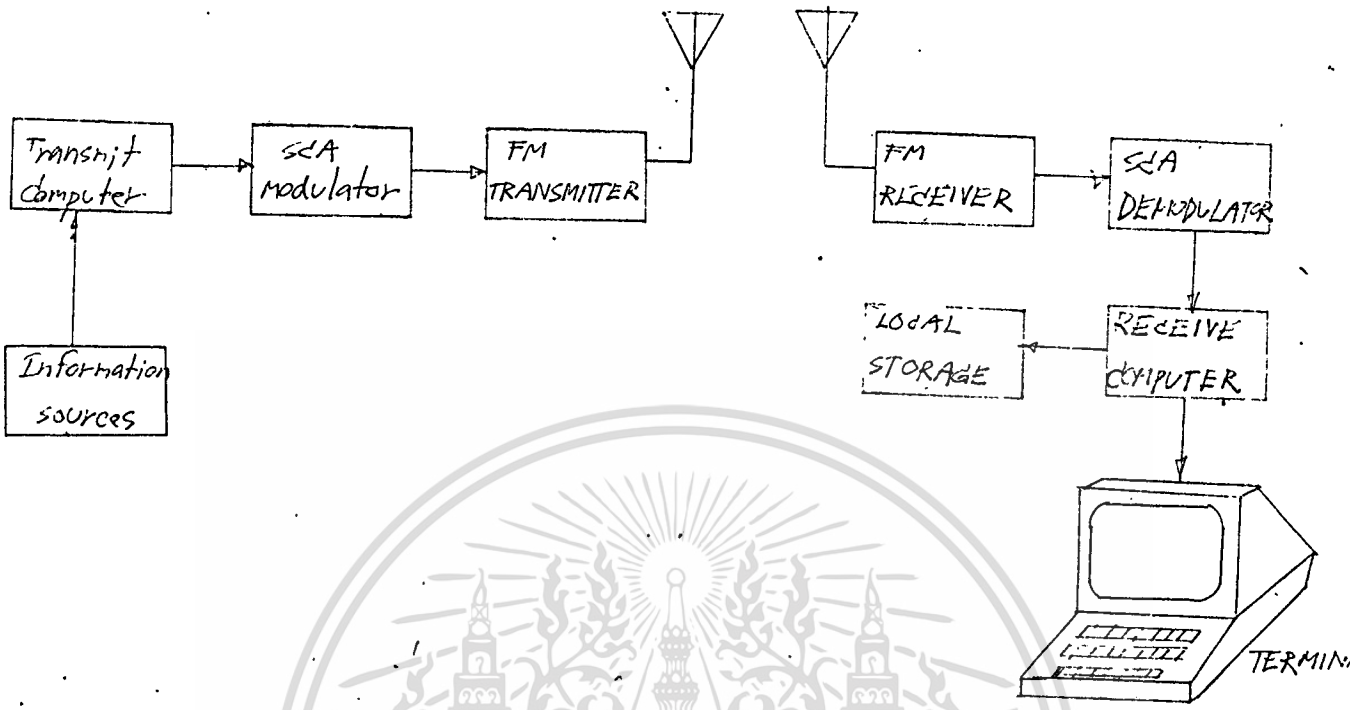
3.1.7 System cosideration and application

รูปที่ 3.1.4 แสดงตัวอย่างการใช้งานระบบถ่ายทอดข้อมูลโดยใช้ SCA channal , source computer จะใช้เป็นตัวรวบรวมข่าวสารสำหรับ งานบริการหลาย ๆ อย่างทั่วไป computer นี้ใช้สำหรับจัดระบบรูปแบบของข้อมูล แล้วจะส่งข้อมูลออกอากาศโดย FM transmitter โดยใช้ SCA channal

ด้านรับภายในบ้านจะใช้เครื่องรับ FM และ SCA demodulator ซึ่งจะดึงข้อมูลออกมาและแสดงผลโดย เครื่อง computer ขนาดเล็ก ซึ่งจะสามรถ ค้นหาและเก็บข่าวสารที่ได้รับมาแต่เดิม โดยโปรแกรมการตัดต่อโดยผู้ใช้สร้างขึ้นมาเอง ผู้ใช้สามารถเลือกที่จะเก็บหรือดึงกลับมาดูซ้ำข้อมูลที่สนใจได้หลายครั้งตามต้องการ โดยไม่จำเป็นต้อง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดูทั้งหมด ทำให้ระบบนี้เป็นประโยชน์มากทั้งในงานธุรกิจ งานการเรียนการสอนหรืองานบริการเฉพาะอย่าง

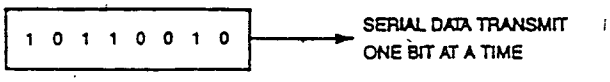


รูปที่ 3.1.4 Information transmission system

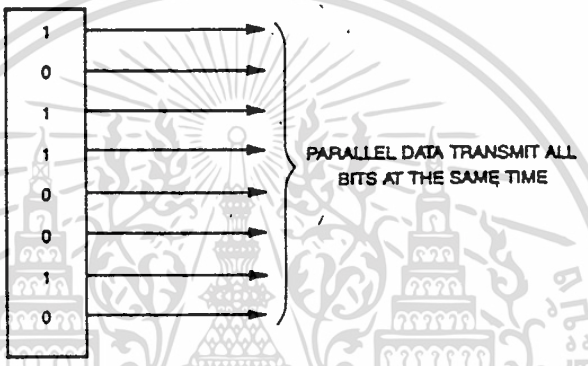
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2 Data terminalequipment

สำหรับในบทนี้จะกล่าวถึงการรับส่งข้อมูลทีละบิท แทนที่จะทำการส่งข้อมูลพร้อมกันทุกบิทในเวลาเดียวกัน การรับส่งข้อมูลแบบนี้มีชื่อว่า "การรับส่งข้อมูลแบบอนุกรม (SERIAL COMMUNICATION)"



รูปแสดงบิทต่าง ๆ ของข้อมูลที่จะทำการส่งแบบอนุกรม โดยที่ข้อมูลนี้จะถูกส่งทีละ 1 บิท



รูปแสดงบิทต่าง ๆ ของข้อมูลที่จะทำการส่งแบบขนาน โดยที่ทุกบิทของข้อมูลจะถูกส่งออกไปในเวลาเดียวกัน

สำหรับการรับส่งข้อมูลแบบขนานนั้น ถึงแม้ว่าจะมีความเร็วสูงกว่าแบบอนุกรมอยู่มากก็ตาม แต่ก็ต้องใช้จำนวนสายในการส่งผ่านข้อมูลเป็นจำนวนมากกว่า แบบอนุกรม ทำให้สิ้นเปลืองค่าใช้จ่ายในการวางสายไปโดยไม่จำเป็น และยังมีการลดทอนของสัญญาณมากกว่าแบบอนุกรมอีกด้วย ทำให้เกิดความผิดพลาดในการส่งผ่านข้อมูลขึ้นได้ง่าย ดังนั้นในการส่งผ่านข้อมูลในระยะทางไกล ๆ เรามักจะเลือกใช้การรับส่งข้อมูลแบบอนุกรมเพื่อลดจำนวนของสายส่งซึ่งจะช่วยในการลดค่าใช้จ่ายในการวางสายลงได้อย่างมาก ถึงแม้ว่าการรับส่งข้อมูลแบบนี้จะมีความยุ่งยากและช้ากว่าการรับส่งข้อมูลแบบขนานอยู่บ้างก็ตาม

3.2.1 RS_232C Interface

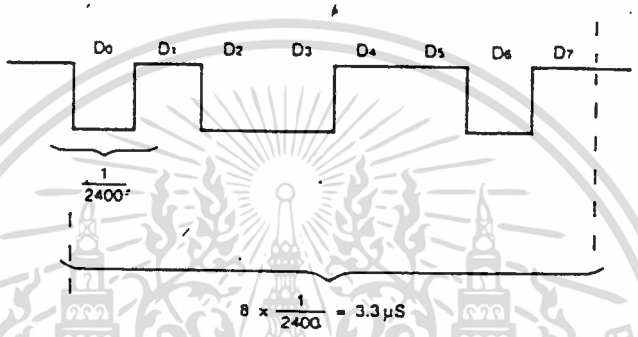
3.2.1.1 BAUD RATE.

สิ่งที่สำคัญมากสิ่งหนึ่งในการรับส่งข้อมูลแบบอนุกรมนี้ก็คือ ความถี่ที่ใช้ในการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ส่งข้อมูลซึ่งจะต้องสัมพันธ์กันระหว่างอุปกรณ์ที่ทำการรับและส่งข้อมูล และความถี่ที่ใช้นี้มีชื่อเรียกว่า "BAUD RATE" ซึ่งมีความหมายถึง "อัตราการรับส่งข้อมูลเป็นจำนวนบิทใน 1 วินาที" ถ้าหากว่าเครื่องส่งใช้ BAUD RATE ที่ไม่สัมพันธ์กับเครื่องรับแล้ว ก็จะทำให้การรับส่งข้อมูลเกิดผิดพลาดขึ้นได้

โดยทั่วไปค่าของ BAUD RATE นั้นจะใช้ค่าต่าง ๆ ดังต่อไปนี้คือ 110,150,300,1200,2400,4800 และ 9600 สำหรับในบทนี้จะสมมติว่าเราต้องการที่จะส่งข้อมูลแบบอนุกรมด้วยอัตรา 2400 BAUD (2400 บิท/วินาที) และข้อมูลที่ต้องการจะส่งก็คือ 0B2H หรือ 10110010B ซึ่งเราสามารถที่จะแสดงได้ในรูปของสัญญาณดังรูปที่ 3.2.1



รูปที่ 3.2.1 แสดงรูปสัญญาณของข้อมูลที่ถูกส่งไปตามสายส่งแบบอนุกรม

จากรูปที่ 3.2.1 จะเห็นว่าความกว้างของสัญญาณของแต่ละบิทจะเท่ากับ 1/BAUD RATE วินาที ซึ่งจาก BAUD RATE ที่เราต้องการที่จะใช้คือ 2400 BAUD นั้นจะทำให้ความกว้างของแต่ละบิทมีค่าเท่ากับ 1/2400 วินาที หรือ เท่ากับ 416 microseconds ซึ่งจากความกว้างของแต่ละบิทที่จะส่งไปตามสายส่งนี้ ทำให้เราสามารถที่จะคำนวณเวลาที่จะต้องใช้ในการรับส่งข้อมูลแต่ละไบท์ (8 บิท) ได้ดังนี้คือ เท่ากับ 8x416 microseconds หรือ 3328 microseconds อย่างไรก็ตามเพื่อป้องกันความผิดพลาดที่อาจเกิดขึ้นได้ จึงมีการเพิ่มบิทต่างๆลงไปในแต่ละไบท์ของข้อมูล เพื่อช่วยในการตรวจสอบความถูกต้องของข้อมูลที่เครื่องรับได้รับเข้ามา (แต่ไม่ได้หมายความว่าเมื่อเพิ่มบิทต่าง ๆ เหล่านี้เข้าไปแล้วจะทำให้การส่งผ่านข้อมูลมีความถูกต้อง 100%) สำหรับบิทต่าง ๆ ที่เพิ่มเข้ามานี้ ก็คือ START , STOP และ PARITY BIT ซึ่งจะทำให้ข้อมูลในแต่ละไบท์ที่ส่งออกไปนี้มีมากกว่า 8 บิท และเวลาที่ใช้ในการรับส่งข้อมูลก็จะมาขึ้นตามไปด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

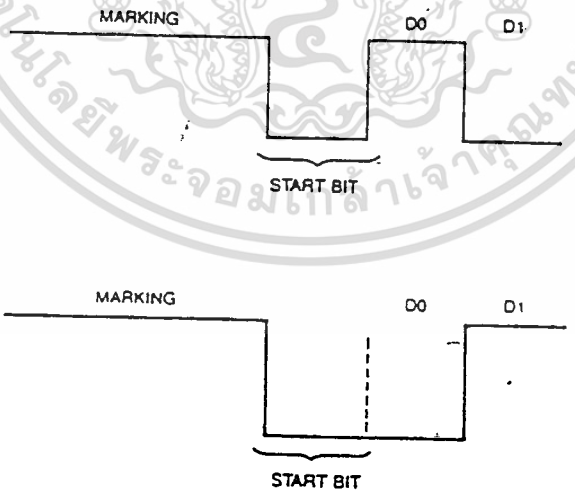
3.2.1.2 START BIT

ในการส่งผ่านข้อมูลแบบอนุกรมนี้ เราจำเป็นที่จะต้องทำให้อุปกรณ์ที่จะรับข้อมูลทราบว่า ข้อมูลที่ส่งมานั้นเริ่มต้นที่จุดใด ดังนั้นเราจึงจำเป็นที่จะต้องเพิ่มข้อมูล 1 บิท ลงไปก่อนหน้าข้อมูลจริง (ACTUAL DATA) ที่จะทำการส่ง (การส่งอนุกรมจะส่งบิท D0 เป็นบิทแรก และ D7 เป็นบิทสุดท้าย) คือทำการเพิ่มบิทนี้ลงไปหน้าบิท D0 นั่นเอง และเรียกบิทนี้ว่า "START BIT"

หน้าที่ของ START BIT นี้นอกจากจะใช้ในการบอกว่าข้อมูลนั้นเริ่มต้นที่ใดแล้ว ยังทำงานร่วมกับ STOP BIT (ซึ่งจะกล่าวถึงต่อไป) เพื่อช่วยในการแยกข้อมูลแต่ละชุดออกจากกัน และความกว้างของบิทนี้จะเท่ากับความกว้างของบิทอื่น ๆ ในข้อมูลที่จะส่ง (D0-D7).

เมื่ออุปกรณ์ที่จะส่งข้อมูลยังไม่ได้ทำการส่งข้อมูลใด ๆ ออกมานั้น สายส่งจะอยู่ในสภาวะที่เรียกว่า "MARKING" ซึ่งเป็นสภาวะที่ไม่มีการรับส่งข้อมูลใด ๆ เกิดขึ้นในที่นี้เราจะสมมติให้ MARKING ของสายส่งเป็นลอจิก "1" START BIT ที่จะเพิ่มเข้าไปนี้จะมีลอจิกที่ตรงข้ามกับลอจิกของ MARKING ดังนั้นในกรณีนี้ START BIT จะมีลอจิกเป็น "Ø"

สำหรับ START BIT นี้จะมีความกว้างเท่ากับ 1 บิทของข้อมูล เช่น ใน 1 บิทของข้อมูลมีความยาวเท่ากับ 416 microseconds START BIT. ก็จะมีความกว้างของสัญญาณเท่ากับ 416 microseconds ด้วย ในรูปที่ 11.2 จะแสดงให้เห็นถึง START BIT ก็เพิ่มเข้าไปก่อนหน้าข้อมูล (ก่อนหน้า D0).



รูปที่ 3.2.2 การเพิ่ม START BIT เข้าไปก่อนหน้าบิท D0 ในกรณีที่บิท D0 เป็น "1" และ "Ø" ตามลำดับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2.1.3 PARITY BIT

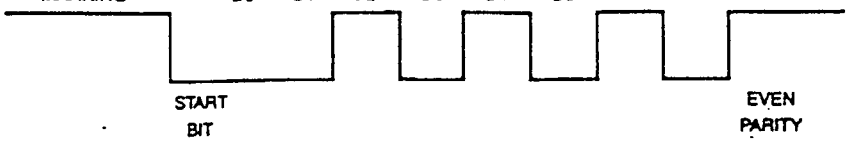
สำหรับบิทนี้จะทำหน้าที่ในการบอกให้ส่วนรับข้อมูลทราบว่า ข้อมูลที่ได้รับเข้ามานั้นมีความถูกต้องเหมือนกับข้อมูลที่ถูกส่งออกมาหรือไม่ (ถึงแม้ว่าการตรวจสอบบิทนี้จะไม่พบความผิดพลาด แต่ก็ไม่ได้หมายความว่าข้อมูลที่รับเข้ามานี้จะมีความถูกต้อง 100%) โดยที่บิทนี้จะทำหน้าที่ในการบอกให้ส่วนรับข้อมูลทราบว่าข้อมูลที่ส่งออกมาแต่ละไบท์นั้นมีจำนวนบิทที่เป็น "1" อยู่เป็นจำนวนคี่ หรือ จำนวนคู่ เช่นข้อมูล 54H หรือ Ø1Ø1Ø111B จะมีจำนวนบิทที่เป็น "1" อยู่เป็นจำนวนคี่เป็นต้น สำหรับบิทที่ใช้ในการตรวจสอบนี้เรียกว่า "PARITY BIT"

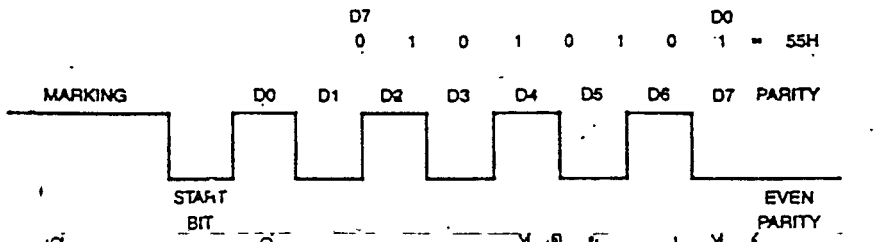
PARITY BIT นี้จะถูกส่งออกมาโดยอุปกรณ์ส่งข้อมูล ซึ่งบิทนี้จะเป็น "1" หรือ "Ø" นั้น ขึ้นอยู่กับข้อมูลที่ส่งออกมา (DO-D7) ว่ามีจำนวนบิทที่เป็น "1" เป็นจำนวนคู่หรือคี่ และยังขึ้นกับอุปกรณ์รับส่งข้อมูลด้วยว่าถูกออกแบบ (โปรแกรม) ไว้ให้รับส่ง PARITY BIT ในลักษณะของ PARITY คู่ หรือ PARITY คี่ อีกด้วย

ในกรณีที่อุปกรณ์รับส่งข้อมูลถูกออกไว้ให้เป็น PARITY คู่ อุปกรณ์ส่งข้อมูลจะทำการส่ง PARITY BIT เป็นลอจิก "1" ออกไปเมื่อจำนวนบิทที่เป็น "1" ของข้อมูล (DO-D7) เป็นจำนวนคี่ และจะทำการส่ง PARITY BIT เป็นลอจิก "Ø" เมื่อจำนวนบิทที่เป็น "1" ของข้อมูลเป็นจำนวนคู่ (คือ ทำให้จำนวนบิทที่เป็น "1" ของข้อมูล (DO-D7) รวมกับ PARITY BIT แล้วเป็นจำนวนคู่นั่นเอง) สำหรับ PARITY คี่ก็เช่นกัน คือ PARITY BIT จะเป็น "1" ในกรณีที่จำนวนบิทที่เป็น "1" ของข้อมูลเป็นจำนวนคู่และจะเป็น "Ø" ในกรณีที่เป็นจำนวนคี่ ในที่นี้จะสมมติว่าอุปกรณ์ถูกออกแบบไว้สำหรับ PARITY คู่ และเราต้องการที่จะส่งข้อมูลออกไปให้กับส่วนรับข้อมูลเป็นจำนวน 2 ไบท์คือ 54H และ 55H เมื่อเราส่งข้อมูล 54H ออกไปซึ่งมีจำนวนบิทที่เป็น "1" เป็นจำนวนคี่ ดังนั้นในกรณีนี้อุปกรณ์ส่งข้อมูลก็จะทำการส่ง PARTIY BIT เป็นลอจิก "1" ตามออกมาด้วย เพื่อจะให้จำนวนบิทที่เป็น "1" ของข้อมูล (54H) รวมกับ PARITY BIT แล้วได้เป็นจำนวนคู่ ส่วนข้อมูล 55H นั้น จำนวนบิทที่เป็น "1" นั้นเป็นจำนวนคู่อยู่แล้ว ดังนั้น อุปกรณ์ส่งข้อมูลก็จะส่ง PARITY BIT เป็น "Ø" ให้กับส่วนรับข้อมูล ดังในรูปที่ 11.3 สำหรับส่วนรับข้อมูลนั้นเมื่อทำการรับข้อมูลเข้ามาแล้วก็จะตรวจสอบสัญญาณว่าจำนวนบิทที่เป็น "1" ของข้อมูลรวมกับ PARITY BIT นั้นเป็นจำนวนคู่หรือไม่ ถ้าหากว่าเป็นจำนวนคี่ก็แสดงว่าข้อมูลที่ได้รับเข้ามานี้มีความผิดพลาดเกิดขึ้น (แต่ไม่ได้หมายความว่า ถ้าเป็นจำนวนคู่แล้วข้อมูลที่รับเข้ามาจะถูกต้องเสมอไป)

สิ่งสำคัญอีกสิ่งหนึ่งก็คือ ถ้าอุปกรณ์ส่งข้อมูลทำการส่งในลักษณะ PARITY คู่ หรือคี่ก็ตาม ส่วนรับข้อมูลก็จะต้องทำการรับในลักษณะ PARITY เดียวกับอุปกรณ์ส่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้





รูปที่ 3.2.3 การเพิ่ม PARITY BIT ลงไปในข้อมูลแต่ละไบท์

ข้อมูลด้วย เช่น ในกรณีที่อุปกรณ์ส่งข้อมูลทำการส่งข้อมูลในลักษณะของ PARITY คู่ อุปกรณ์รับข้อมูลก็จะต้องทำการรับข้อมูลในลักษณะของ PARITY คู่ด้วย เป็นต้น

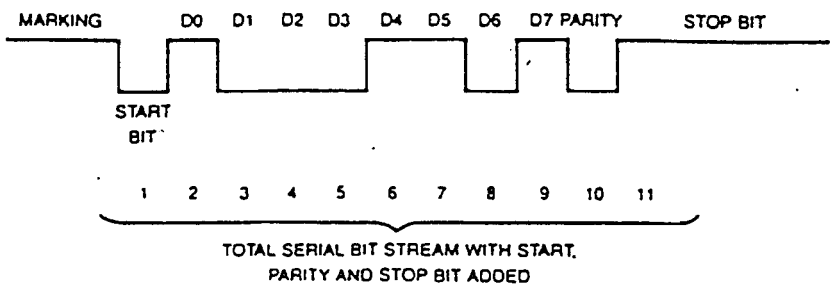
3.2.1.4 STOP BIT

สำหรับบิทสุดท้ายที่เพิ่มเข้าไปนี้ จะใช้ในการตรวจสอบจุดสิ้นสุดของข้อมูลบิท นี้จะถูกเพิ่มเข้าไปหลัง PARITY BIT ถ้าอุปกรณ์รับข้อมูลตรวจไม่พบบิทนี้ก็แสดงว่าข้อมูลที่ได้รับเข้ามานั้นมีความผิดพลาดเกิดขึ้น สำหรับ STOP BIT นี้อาจมีจำนวนบิทเป็น 1. 1.5 หรือ 2 บิทก็ได้ รูปที่ 3.2.4 จะแสดงข้อมูลทั้ง 8 บิทที่ส่งออกมารวมทั้ง START. STOP และ PARITY BIT ด้วย ซึ่งจะเห็นว่าสิ่งที่ส่งออกมาในแต่ละไบท์นั้นไม่ได้มีเพียงข้อมูล 8 บิทเท่านั้น แต่อาจจะมีได้ถึง 12 บิท (กรณีที่ส่ง STOP BIT ออกมา 2 บิท) ดังนั้นถ้าเราทำการส่งด้วยอัตรา 2400 BAUD เราจะต้องใช้เวลาทั้งหมดเป็น 12x416 microseconds หรือ 4.99 milliseconds ไม่ใช่ 3328 microseconds ดังที่ได้คำนวณไว้ในตอนต้น

3.2.1.5 การเปลี่ยนข้อมูลจากแบบขนานเป็นข้อมูลแบบอนุกรม

โดยทั่วไปแล้ว การรับส่งข้อมูลภายในระบบมักจะเป็นการรับส่งข้อมูลแบบขนาน เนื่องจากมีความเร็วในการส่งผ่านข้อมูลที่สูงกว่าแบบอนุกรมมาก และยังมีความยุ่งยากน้อยกว่าอีกด้วย ดังนั้นในการรับส่งข้อมูลในระยะทางไกลๆ ที่จำเป็นจะต้องใช้การส่งผ่านข้อมูลแบบอนุกรม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



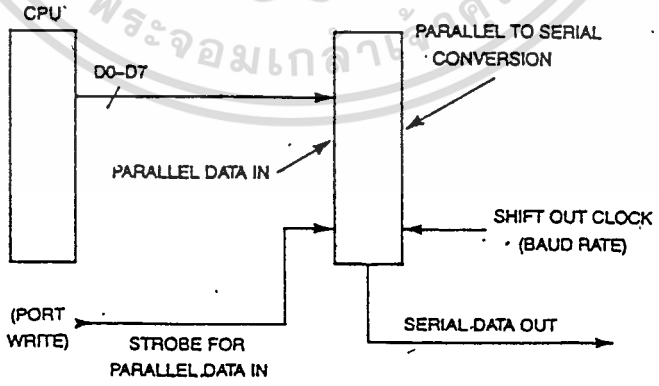
รูปที่ 3.2.4 รูปแบบของข้อมูลแต่ละไบท์ในการรับส่งข้อมูลแบบอนุกรม

จึงจำเป็นที่จะต้องทำการเปลี่ยนรูปแบบของข้อมูลจากแบบขนานไปเป็นแบบอนุกรมก่อนที่จะทำการส่งข้อมูลออกไปตามสายส่ง สำหรับหลักการง่าย ๆ ที่ใช้ในการเปลี่ยนรูปแบบของข้อมูลนั้นมีขั้นตอนดังต่อไปนี้ คือ

1. ทำการเก็บข้อมูลแบบขนาน (ในที่นี้มีจำนวน 8 บิท) ไว้ใน SHIFT REGISTER

2. เลื่อนข้อมูลทั้ง 8 บิทออกไปให้กับอุปกรณ์รับข้อมูลทีละบิท โดยที่จะทำการส่งข้อมูลแต่ละบิทออกไปด้วยอัตราเดียวกับ BAUD RATE ที่ได้กำหนดไว้

รูปที่ 3.2.5 จะแสดงบล็อกไดอะแกรมของการทำงานทั้ง 2 ขั้นตอน คือข้อมูลแบบขนานนั้นจะถูกส่งจาก CPU ให้กับ SHIFT REGISTER จากนั้นจึงทำการเลื่อนข้อมูลออกทีละบิทด้วยอัตราของ BAUD RATE ที่กำหนด (โดยเลื่อนบิท D0 ก่อนและ D7 เป็นบิทสุดท้าย)



รูปที่ 3.2.5 บล็อกไดอะแกรมของการเปลี่ยนข้อมูลจากขนานเป็นอนุกรม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2.1.6 หลักการเบื้องต้นของการรับส่งข้อมูลแบบอนุกรม

สำหรับหลักการเบื้องต้นของการรับส่งข้อมูลแบบอนุกรมที่ได้กล่าวถึงนั้นสามารถที่จะสรุปเป็นข้อ ๆ ได้ดังนี้

1. ข้อมูลแบบขนานจากระบบจะถูกเปลี่ยนให้เป็นข้อมูลแบบอนุกรมเพื่อเตรียมที่จะส่งออกไปให้กับส่วนรับข้อมูล

2. ข้อมูลจะถูกส่งออกไปด้วยอัตราคงที่ค่าหนึ่ง ซึ่งเรียกว่า "BAUD RATE" คือ ถ้าทำการส่งข้อมูลด้วยอัตรา 1200 BAUD ก็แสดงว่าเป็นการส่งข้อมูลด้วยอัตรา 1200 บิทต่อ 1 วินาที ซึ่งก็คือ การส่งข้อมูลโดยใช้ความถี่ 1200 Hz นั่นเอง

3. ข้อมูลอนุกรมจะถูกส่งออกไปทีละบิท โดยทำการส่งบิท D0 เป็นบิทแรกและบิท D7 เป็นบิทสุดท้าย

4. ในขณะที่ยังไม่มีการส่งข้อมูลเข้าไปในสายส่ง สายส่งจะถูกทำให้อยู่ในสภาวะลอจิกใดลอจิกหนึ่ง และเราเรียกสภาวะนี้ว่า "MARKING"

5. อุปกรณ์ส่งข้อมูลจะเพิ่มข้อมูลอีก 1 บิทเข้าไปหน้าบิท D0 ของข้อมูลที่จะส่งให้กับเครื่องรับ บิทที่เพิ่มเข้าไปนี้เรียกว่า "START BIT" สำหรับบิทนี้จะมีลอจิกตรงข้ามกับลอจิกของ MARKING เช่น ถ้าลอจิกของ MARKING เป็น "1" ลอจิกของบิทนี้ก็จะเป็น "0"

6. อุปกรณ์ส่งข้อมูลจะทำการเพิ่ม PARITY BIT เข้าไปหลังบิท D7 ของข้อมูล เพื่อใช้ในการตรวจสอบความผิดพลาดของข้อมูลที่เครื่องรับ (สำหรับบิทนี้เครื่องส่งอาจจะเพิ่มเข้าไปหรือไม่ก็ได้ ขึ้นกับผู้ออกแบบว่าต้องการที่จะเพิ่มบิทนี้เข้าไปหรือไม่)

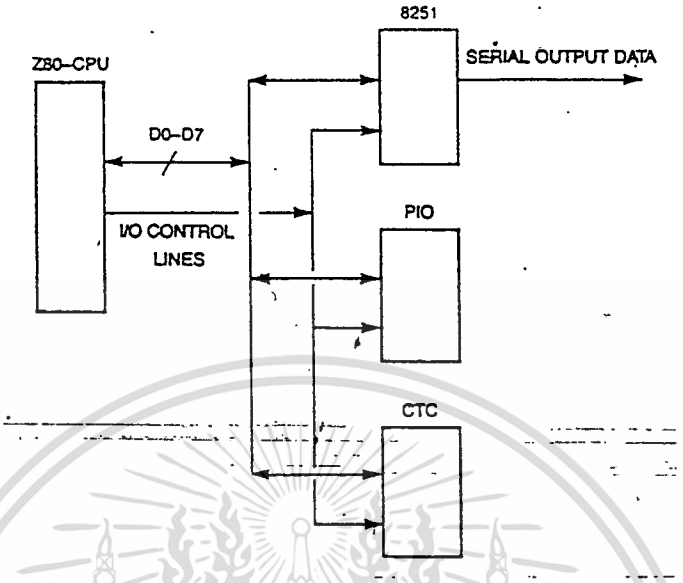
7. สำหรับบิทสุดท้ายที่ถูกเพิ่มเข้าไปหลัง PARITY BIT เรียกว่า "STOP BIT" ซึ่งอาจจะมีจำนวน 1, 1.5 หรือ 2 บิทก็ได้ และลอจิกของบิทนี้จะเป็นลอจิกเดียวกับลอจิกของ MARKING

3.2.1.7 8251 USART

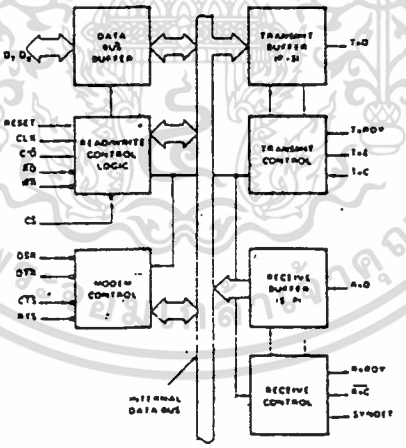
ดังที่ได้กล่าวไว้แล้วว่า การส่งข้อมูลแบบอนุกรมไปตามสายส่งได้นั้น เราจำเป็นที่จะต้องทำการเปลี่ยนรูปแบบของข้อมูลเสียก่อน แต่โดยวิธีที่กล่าวมาแล้วนั้นเป็นวิธีที่ยังมีประสิทธิภาพไม่ดีพอ เนื่องจากว่า CPU จะต้องทำการรับส่งข้อมูลเองในช่วงเวลาที่เหมาะสม และในส่วนรับข้อมูล CPU ก็จะต้องทำการตรวจสอบความผิดพลาดของข้อมูลที่รับเข้ามาเองทุกอย่าง ทำให้เกิดความยุ่งยากในการออกแบบ และในส่วนรับข้อมูลก็ยังจะต้องมีอุปกรณ์ที่ใช้ในการเปลี่ยนข้อมูลกลับมาเป็นแบบขนานอีก ทำให้เกิดความสิ้นเปลือง ดังนั้นจึงจำเป็นที่จะต้องใช้อุปกรณ์ที่มีความสามารถที่จะเป็นได้ทั้งอุปกรณ์รับและส่งข้อมูลในตัวเดียวกันสำหรับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในบทนี้จะกล่าวถึงลักษณะและวิธีการใช้งานไอซี 8251 USART (UNIVERSAL SYNCHRONOUS/ASYNCRONOUS RECEIVER/TRANSMITTER) ซึ่งเป็นพอร์ทที่ใช้ในการรับส่งข้อมูลแบบอนุกรมที่มีประสิทธิภาพมากตัวหนึ่ง



รูปที่ 3.2.6 การใช้งาน 8251 ร่วมกับ CHIP SUPPORT ของ Z80



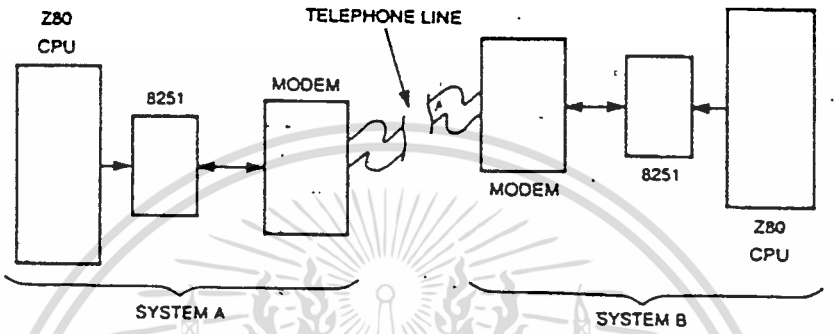
รูปที่ 3.2.7 บล็อกไดอะแกรมของ 8251

จากรูปที่ 3.2.6 จะเห็นว่าเราสามารถที่จะนำ 8251 ไปเชื่อมต่อกับ Z80 ได้ในลักษณะเดียวกับ CHIP SUPPORT เบอร์อื่น ๆ ของ Z80 เช่น PIO หรือ CTC และในรูปที่ 3.2.7 จะแสดงถึง บล็อกไดอะแกรมของ 8251 สำหรับส่วนแรกที่จะกล่าวถึงก็

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

คือ DATA BUS BUFFER ซึ่งส่วนนี้ 8251 จะใช้ในการเชื่อมต่อระหว่าง 8251 กับบัสข้อมูลของ Z80 ส่วนต่อไปก็คือ READ/WRITE CONTROL LOGIC ซึ่งจะทำหน้าที่ในการควบคุมการรับส่งข้อมูลภายใน
ของ 8251 ให้เป็นไปอย่างถูกต้อง

สำหรับ MODEM CONTROL นั้น จะใช้ในการติดต่อระหว่าง 8251 กับ MODEM (อุปกรณ์ที่ใช้ในการแปลงสัญญาณเพื่อส่งไปตามสายโทรศัพท์) รูปที่ 11.8 จะแสดงถึงบล็อกไดอะแกรม ของการใช้งานของ 8251 ร่วมกับ MODEM



รูปที่ 3.2.8 บล็อกไดอะแกรมของการใช้งาน 8251 ร่วมกับ MODEM

ส่วนที่จะกล่าวถึงต่อไปก็คือ TRANSMIT BUFFER (P-S) และ TRANSMIT CONTROL (P-S;PARALLEL TO SERIAL CONVERSION) ซึ่งใช้ในการส่งและควบคุมการส่งข้อมูลไปตามสายส่ง

สำหรับส่วนสุดท้ายที่จะกล่าวถึงก็คือ RECIEVE BUFFER (S-P;SERIAL TO PARALLEL CONVERSION) ซึ่งทำหน้าที่ในการรับและควบคุมการรับข้อมูลของ 8251

-การจัดเรียงขาและหน้าที่

8251 เป็นไอซีขนาด 28 ขา ซึ่งได้แสดงไว้ในรูปที่ 11.9 และเราสามารถที่จะแบ่งขาของ 8251 ออกเป็นกลุ่ม ๆ ได้ดังนี้คือ

1. กลุ่มที่ใช้ในการติดต่อกับ CPU

1.1) D0-D7 : ใช้ในการติดต่อกับ DATA BUS ของ CPU โดยตรงซึ่งจะทำหน้าที่ในการรับส่งข้อมูลและคำสั่งต่าง ๆ ระหว่าง 8251 กับ CPU

1.2) RESET : 8251 จะถูกรีเซ็ทเมื่อขานี้ได้รับลอจิก "1" ซึ่งเราอาจ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จะต่อมาจากขา RESET ของ Z80 โดยผ่าน INVERTER ก่อนก็ได้

1.3) CLK (CLOCK) : ใช้ในการควบคุมช่วงเวลาการทำงานภายในของ 8251 สำหรับการใช้งานนั้นจะต่อเข้าโดยตรงกับระบบ อย่างไรก็ตามสัญญาณที่ขา CLK นี้ไม่เกี่ยวข้องกับ อัตราการรับส่งข้อมูลหรือ BAUD RATE แต่อย่างใด

1.4) RD : เมื่อขานี้ได้รับลอจิก "0" 8251 จะทำการส่งข้อมูลแบบขนานออกมาที่ DATA BUS เพื่อส่งให้กับ CPU

1.5) WR : เมื่อขานี้ได้รับลอจิก "0" 8251 จะทำการรับข้อมูลแบบขนานจาก DATA BUS ของระบบ

1.6) C/D (CONTROL/DATA) : ขา C/D นี้จะใช้ในการทำให้ 8251 ทราบว่า CPU ต้องการที่จะติดต่อกับ CONTROL REGISTER หรือ DATA REGISTER โดยที่ถ้าขานี้ได้รับลอจิก "1" ก็แสดงว่า CPU ต้องการที่จะติดต่อกับ CONTROL REGISTER แต่ถ้าได้รับลอจิก "0" ก็แสดงว่า CPU ต้องการที่จะติดต่อกับ DATA REGISTER

1.7) CS (CHIP SELECT): ในกรณีที่ขานี้ได้รับลอจิก "0" ก็จะเป็นการ ENABLE 8251 โดยทั่วไปแล้วสัญญาณที่ขานี้จะได้มาจากการถอดรหัสฟอร์ทแอดเดรส์ ดังที่ใช้กับ CHIP SUPPORT อื่น ๆ

2. กลุ่มที่ใช้การติดต่อกับ MODEM.

2.1 DSR (DATA SET READY) : ขานี้เป็นขาที่ใช้ในการรับสัญญาณจากอุปกรณ์ภายนอก ซึ่ง CPU สามารถที่จะตรวจสอบสัญญาณที่ขานี้ได้ โดยการอ่านค่าในรีจิสเตอร์สถานะ (ซึ่งจะกล่าวถึงต่อไป) และระดับของสัญญาณที่ขานี้จะใช้ในการแสดงว่าอุปกรณ์ภายนอกพร้อมที่จะทำการติดต่อด้วยหรือยัง

2.2 DTR (DATA TERMINAL READY) : ขานี้เป็นเอาท์พุทที่ใช้ในการบอกให้อุปกรณ์ภายนอกทราบว่า CPU พร้อมที่จะทำการติดต่อด้วย

2.3 CTS (CLEAR TO SEND) : ขานี้เป็นขาอินพุทที่ใช้ในการทำให้ 8251 เริ่มทำการส่งข้อมูลได้ สิ่งที่ต้องระวังในการใช้งานขานี้ก็คือ เมื่อไม่ได้ใช้งานขานี้จะต้องถูกต่อเข้ากับลอจิก "0" ถ้าไม่เช่นนั้น 8251 เริ่มทำการส่งข้อมูลได้ สิ่งที่ต้องระวังในการใช้งานขานี้จะต้องถูกต่อเข้ากับลอจิก "0" ถ้าไม่เช่นนั้น 8251 จะทำการส่งข้อมูลไม่ได้

2.4 RTS (READY TO SEND) : ขานี้เป็นเอาท์พุทที่ CPU จะเป็นผู้ควบคุมสัญญาณที่ขานี้เอง (ขา DTR ก็ถูกควบคุมโดย CPU เช่นกัน)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3. กลุ่มที่ใช้ในการส่งข้อมูล

3.1) TxD (TRANSMIT DATA OUTPUT) : เป็นขาที่ใช้ในการส่งข้อมูลไปตามสายส่ง

3.2) TxC (TRANSMIT BAUD RATE CLOCK) : ขานี้เป็นขาที่ใช้ในการส่งสัญญาณคล็อกที่ใช้ในการส่งข้อมูล ซึ่งก็คือความถี่ที่ใช้ในการกำหนด BAUD RATE นั่นเอง โดยปกติแล้วจะต้องช้ากว้าสัญญาณคล็อกของระบบไม่น้อยกว่า 3Ø เท่า

3.3) TxRDY : ขานี้จะใช้ในการทำให้ CPU ทราบว่า 8251 พร้อมที่จะรับข้อมูลจาก CPUT เพื่อที่จะทำการส่งต่อไปแล้วหรือยัง และขานี้อาจจะนำไปใช้ในการขออินเทอร์รัพท์ก็ได้

3.4) TxEMPTY : ขานี้จะใช้ในการแสดงว่าข้อมูลที่ CPU ส่งให้กับ 8251 นั้นได้ถูกส่งออกไปให้อุปกรณ์อื่น ๆ หมดแล้ว โดยที่ 8251 จะทำให้ขานี้เป็น "1" และเมื่อ CPU ทำการส่งข้อมูลชุดต่อไปให้กับ 8251 ขา TxEMPTY ก็จะเป็น "Ø" จนกว่า 8251 จะทำการส่งข้อมูลนี้ออกไปหมด 8251 ก็จะทำให้ขานี้กลับเป็น "Ø" อีกครั้ง

4. กลุ่มที่ใช้ในการรับข้อมูล

4.1) RxD : ใช้ในการรับข้อมูลแบบอนุกรมจากสายส่ง

4.2) RxC : เป็นขาที่ใช้ในการรับสัญญาณคล็อกที่ใช้ในการรับข้อมูลโดยปกติแล้วจะทำการต่อเข้ากับ TxC โดยตรง

4.3) RxRDY : จะใช้ในการแสดงว่า 8251 พร้อมที่จะส่งข้อมูลให้กับ CPU และขานี้อาจจะใช้ในการขออินเทอร์รัพท์ได้เช่นเดียวกับขา TxRDY

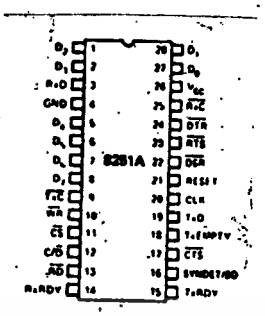
4.4) SYNDET : ขานี้จะใช้ในการรับข้อมูลแบบ SYNCHRONDUS เท่านั้น (8251 สามารถที่จะทำการรับส่งข้อมูลได้ทั้งแบบ SYNCHRONOUS และแบบ ASYNCHRONOUS ซึ่งจะได้กล่าวถึงต่อไป) โดยที่เราสามารถที่จะโปรแกรมให้ขานี้เป็นอินพุทหรือเอาท์พุทก็ได้ โดยที่เมื่อขา SYNDET นี้ถูกโปรแกรมเป็นเอาท์พุทนั้นขา SYNDET จะให้ลอจิก "1" เมื่อ 8251 สามารถ
ที่จะตรวจจับ SYNC CHARACTER ได้ และจะให้ลอจิก "Ø" เมื่อ CPU ทำการอ่านรีจิสเตอร์สถานะสำหรับขา SYNDET นี้จะให้ลอจิก "1" ในอีกกรณีหนึ่งคือ เมื่อ 8251 ได้รับข้อมูลจากสายส่งเป็น "Ø" หมดตั้งแต่ START BIT จนถึง STOP BIT.

ในกรณีที่ขา SYNDET ถูกโปรแกรมให้เป็นอินพุทนั้น ถ้าขานี้ได้รับสัญญาณขอบขาขึ้น (สัญญาณเปลี่ยนจากลอจิก) "Ø" เป็น "1") 8251 ก็จะถือว่าข้อมูลที่ขา RxD เป็นข้อมูลทันที และเราสามารถที่จะทำให้ลอจิกที่ขานี้กลับเป็น "Ø" ได้สัญญาณ RxC ลูกต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5. กลุ่มไฟเลี้ยงของ 8251

8251 ใช้ไฟเลี้ยงเพียงชุดเดียว คือ +5V กับ GND เท่านั้น ดังนั้นขาไฟเลี้ยงของ 8251 จึงมีเพียง 2 ขา คือ Vcc กับ GND



รูปที่ 3.2.9 การจัดเรียงขาของ 8251

- การเชื่อมต่อระหว่าง 8251 กับ Z80

ในหัวข้อนี้จะกล่าวถึงวิธีการนำเอา 8251 ไปใช้งานร่วมกับ Z80 รูปที่ 11.10 จะแสดงถึงวิธีในการเชื่อมต่อ 8251 กับ Z80

จากรูปที่ 11.10 จะเห็นว่าระหว่างบัสข้อมูลของ 8251 และ Z80 จะมี DATA BUFFER ต่ออยู่ (74LS245) เพื่อช่วยในการขับกระแสของ Z80

ขา CS ของ 8251 ได้จากการถอดรหัส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2.1.7 8253 PROGRAMMAABLE TIMER Baud rate Generator

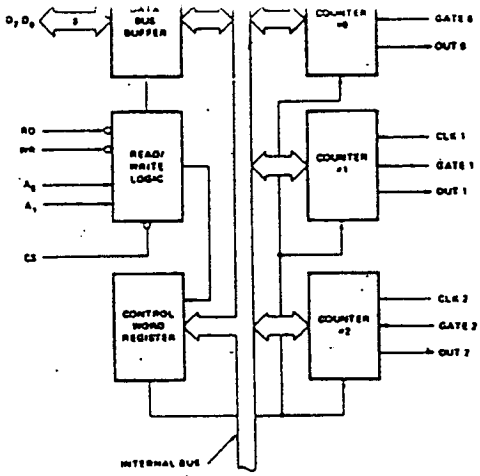
ในบทนี้จะแสดงถึงการใช้ 8253 PROGRAMMABLE TIMER กับ Z80 ไมโครโปรเซสเซอร์ โดยจะเริ่มด้วยการพิจารณาคุณสมบัติของไทม์เมอร์ชิพนี้ต่อจากนั้นก็จะทำการเชื่อมต่อ 8253 เข้ากับ Z80 ไมโครโปรเซสเซอร์ และสุดท้ายจะกล่าวถึงการเขียนซอฟท์แวร์ เพื่อที่จะนำชิพนี้ไปใช้งาน

- บล็อกไดอะแกรมของ 8253 PROGRAMMABLE TIMER

จากบล็อกไดอะแกรม ในรูป 3.2.9 เมื่อพิจารณารีจิสเตอร์ภายในและโหมดของการทำงานของชิพนี้ จะเห็นได้ว่ามีบล็อกของไทม์เมอร์ที่เป็นอิสระต่อกันอยู่ 3 ชุด ลักษณะการโปรแกรมเคาน์เตอร์ของไทม์เมอร์ทั้ง 3 ชุดนี้มีลักษณะเหมือนกัน ในบทนี้เราจะศึกษาว่าจะนำเคาน์เตอร์แต่ละชุดไปใช้งานได้อย่างไร

รูปที่ 3.2.9 แสดงบล็อกของ DATA BUS BUFFER ซึ่งบล็อกนี้จะเป็นบัฟเฟอร์ให้กับข้อมูลที่อยู่บนบัสข้อมูลที่เข้าและออกจากไมโครโปรเซสเซอร์กับรีจิสเตอร์ภายในของ 8253 สำหรับบล็อก READ/WRITE LOGIC บล็อกนี้จะเป็นส่วนที่ใช้สำหรับควบคุมการอ่านและการเขียนของรีจิสเตอร์ของเคาน์เตอร์ และบล็อกสุดท้ายเป็นบล็อก CONTROL WORD REGISTER ซึ่งเป็นที่เก็บข้อความที่ถูกโปรแกรมเข้าไปโดยระบบไมโครโปรเซสเซอร์ ที่จริงแล้วรีจิสเตอร์ในบล็อกนี้เป็นตัวกำหนดการทำงานของชิพนี้ว่าจะเป็นอย่างไร และรูปที่ 8.2 แสดงการจัดขาของ 8253

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.2.9 บล็อกไดอะแกรมของ 8253

รูปที่ 3.2.11 แสดงการจัดเรียงขาของ 8253

- สายสัญญาณ CLOCK, GATE และ OUT ของเคาน์เตอร์

เคาน์เตอร์แต่ละตัวในบล็อกไดอะแกรมของรูป 3.2.9 จะมีสายสัญญาณต่อกับแต่ละบล็อกอยู่ 3 เส้น โดยสายสัญญาณที่มีชื่อว่า CLOCK และ GATE ใช้เป็นอินพุท ส่วน OUT ใช้เป็นเอาท์พุท หน้าที่ในการทำงานของสายเหล่านี้เปลี่ยนแปลงได้ขึ้นกับว่าอุปกรณ์เหล่านี้ถูกกำหนดหน้าที่การทำงานเบื้องต้นไว้อย่างไรหรือถูกโปรแกรมมาอย่างไร และที่จะกล่าวต่อไปนี้ เป็นข้อกำหนดทั่ว ๆ ไปของสายสัญญาณ CLOCK ,DATE และ OUT ของเคาน์เตอร์

CLOCK : เป็นอินพุทที่ใช้ป้อนสัญญาณคล็อกให้แก่เคาน์เตอร์ ซึ่งเคาน์เตอร์ในที่นี้มี

ขนาด 16 บิท ความถี่ของสัญญาณคล็อกที่มากที่สุดที่ป้อนให้แก่เคาน์เตอร์ว่าเป็น 2.6 MHz และความถี่ของคล็อกที่น้อยที่สุดเป็น Ø Hz (DC) หรือ STATIC OPERATION.

GATE : เป็นสายสัญญาณอินพุทที่ทำตัวเสมือน GATE ที่จะยอมหรือไม่ยอมให้สัญญาณคล็อกผ่านเข้าไปยังเคาน์เตอร์ และ GATE สามารถใช้เป็นสายสัญญาณที่ป้อนพัลส์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

(PULSE) เพื่อกระตุ้นให้เคาน์เตอร์เริ่มนับ ซึ่งขึ้นอยู่กับโหมดที่โปรแกรมให้กับเคาน์เตอร์

OUT : เป็นสายสัญญาณเอาท์พุทของเคาน์เตอร์ ซึ่งการทำงานขึ้นอยู่กับการโปรแกรม

- รีจีสเตอร์ภายในของ 8253

ที่ปรากฏในรูป 3.2.11 นั้นเป็นรีจีสเตอร์ภายในของ 8253 ในขั้นต้นนี้จะพิจารณา MODE WORD REGISTER ก่อน รีจีสเตอร์นี้เป็นตัวกำหนดการทำงานทั้งหมดของ 8253 จากที่ทราบมาแล้วว่าการทำงานของแต่ละเคาน์เตอร์ใน 825 เป็นอิสระต่อกันอย่างสมบูรณ์ทำให้

สามารถโปรแกรมทำงานในเคาน์เตอร์แต่ละตัวได้ โดยการให้ข้อมูลที่ถูกต้องกับ MODE WORD REGISTER ซึ่งวิธีการโปรแกรมจะกล่าวถึงในภายหลัง ต่อไปนี้เราจะมาพิจารณารีจิสเตอร์ภายในทั้ง 4 ในรูป 3.2.11

	RD	WR	A0	A1	
COUNTER 0	1	0	0	0	LOAD COUNTER 0
	0	1	0	0	READ COUNTER 0
COUNTER 1	1	0	0	1	LOAD COUNTER 1
	0	1	0	1	READ COUNTER 1
COUNTER 2	1	0	1	0	LOAD COUNTER 2
	0	1	1	0	READ COUNTER 2
MODE WORD OR CONTROL WORD	1	0	1	1	WRITE MODE WORD
	0	1	1	1	NO-OPERATION

รูปที่ 3.2.12 แสดงลอจิกของรีจิสเตอร์ภายใน 8253 ที่โปรแกรมให้กับเคาน์เตอร์

CONTROL WORD REGISTER : เป็นรีจิสเตอร์ที่ใช้ควบคุมโหมดการทำงานและใช้เลือกวิธีการนับของเคาน์เตอร์ว่าจะให้นับแบบไบนารี หรือ BCD (BINARY CODED DECIMAL) ก่อนที่จะใช้งานจะต้องโปรแกรมข้อมูลให้กับรีจิสเตอร์นี้เสียก่อน ซึ่งข้อมูลที่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โปรแกรมต่อไปนี้จะเป็นตัวกำหนดลักษณะการทำงานของเคาน์เตอร์ รีจิสเตอร์นี้สามารถเขียนข้อมูลเข้าไปได้อย่างเดียวไม่สามารถอ่านออกมาได้ และจะติดต่อกับรีจิสเตอร์นี้ได้เมื่อขา A0 และ A1 มีลอจิกเป็น "1"

COUNTER #Ø, #1, #2 : เคาน์เตอร์ทั้งสามนี้มีลักษณะที่เหมือนกันและทำงานอย่างเป็นอิสระต่อกันและกัน แต่ละเคาน์เตอร์นี้ มีขนาด 16 บิท PRE-SETTABLE, DOWN COUNTER และสามารถนับได้เป็น ไบนารี หรือ BCD ก็ได้ ข้อมูลที่อยู่ภายในเคาน์เตอร์เหล่านี้สามารถถูกอ่านโดยไมโครโปรเซสเซอร์ได้โดยไม่ทำให้ข้อมูลภายในเคาน์เตอร์นั้นเสียหาย ซึ่งระบบสามารถจะแสดงค่าในเคาน์เตอร์ได้ตลอดเวลา โดยไม่กระทบกระเทือนการทำงานทั้งหมดของเคาน์เตอร์

- การต่อ 8253 เข้ากับ Z8Ø

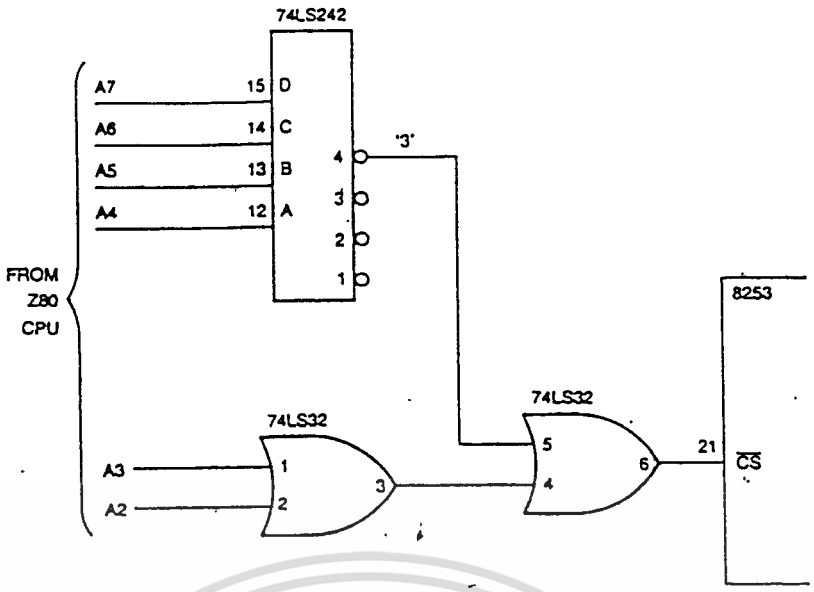
ก่อนที่จะศึกษาถึงการโปรแกรม 8253 เราจะต้องเข้าใจวิธีการต่อ 8253 เข้ากับ Z8Ø เสียก่อน

เราอาจจะคิดว่า 8253 เป็นเสมือนกับพอร์ท I/O จำนวน 4 พอร์ท ซึ่งแยกออกจากกันอย่างอิสระ เมื่อ Z8Ø ต้องการจะติดต่อกับพอร์ทเหล่านี้ เส้นสัญญาณอินพุท CS ซึ่งเป็นสายสัญญาณหลักที่ใช้ในการเลือกพอร์ท จะมีลอจิกเป็น "Ø" และสายแอดเดรส A0 และ A1 จะเป็นตัวเลือกพอร์ทที่ต้องการติดต่อในระหว่างการนำข้อมูลเข้าออก ถ้าเทียบพอร์ท I/O เหล่านี้กับ 8253 พอร์ท I/O ก็คือรีจิสเตอร์ภายในทั้ง 4 ของ 8253 นั่นเอง

ในการถอดรหัสสายอินพุท CS ของ 8253 นั้นใช้สายแอดเดรส 6 บิทบน คือ A7-A2 ดังแสดงในตัวอย่าง(รูปที่ 3.2.13) โดยให้ 8253 มีลักษณะเป็นอุปกรณ์ I/O ของระบบ ซึ่งเราสมมุติว่า 8253 ถูกกำหนดให้อยู่ระหว่างตำแหน่ง I/O ที่ 3ØH กับ 33H ฉะนั้น 8253 จะประกอบไปด้วยพอร์ท I/O ที่ตำแหน่ง 3ØH, 31H, 32H และ 33H ดังรูปที่ 3.2.13

ส่วนสายสัญญาณอินพุท RD และ WR ของ 8253 นั้น จะถูกต่อโดยตรงกับ IOW และ IOR ซึ่งเป็นสายสัญญาณ ควบคุมของระบบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.2.13 วงจรที่แสดงถึงการถอดรหัส CS INPUT จากเส้นแอดเดรส A7-A2.

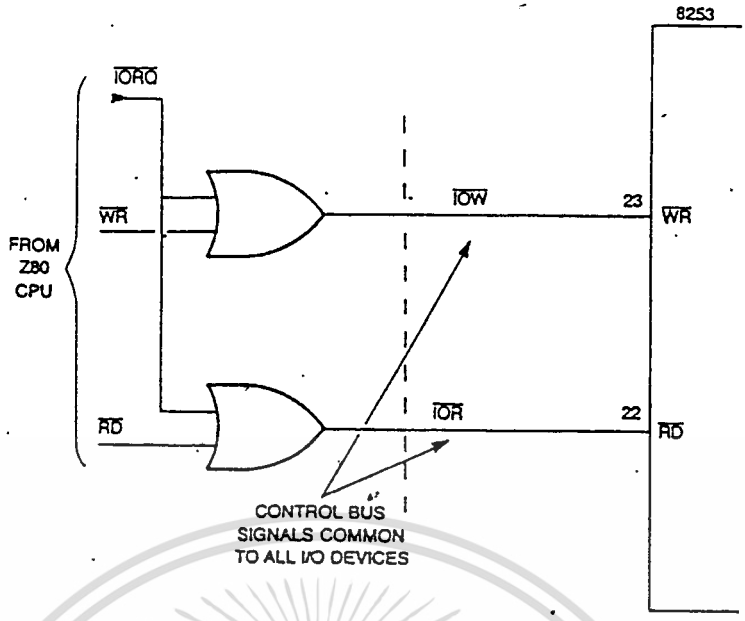
บัสข้อมูลของ 8253 สามารถต่อโดยตรงเข้ากับบัสข้อมูลของ Z80 ได้(สมมุติว่าในการใช้งานนี้ ไม่ต้องใช้บัฟเฟอร์ข้อมูล) ในรูป 3.2.15 ได้แสดงการต่อ 8253 เข้ากับ Z80 อย่างสมบูรณ์ แต่เป็นแบบไม่ใช้บัฟเฟอร์ ส่วนในรูป 3.2.16 เป็นการต่อที่สมบูรณ์เมื่อใช้บัฟเฟอร์ บัฟเฟอร์ของบัสข้อมูลที่ใช้คือ 74LS245 ซึ่งเมื่อ 8253 ถูกเลือกและสัญญาณอินพุท RD มีลอจิกเป็น "Ø" (เป็นการอ่านจาก 8253) 74LS245 จะยอมให้ 8253 นำข้อมูลออกไปบนบัสข้อมูลของระบบ Z8Ø ได้ นอกจากนี้ 74LS245 จะยอมให้ข้อมูลจากบัสข้อมูลของระบบ Z8Ø เข้ามาที่ขา DATA INPUT ของ 8253 ได้

ในการใช้งานวงจรที่แสดงในรูป 8.6 และ 8.7 นั้น ทำให้ Z8Ø และ 8253 สามารถติดต่อกันได้ แต่สิ่งที่จะต้องทำต่อไปก็คือ จะต้องมีการโปรแกรมเพื่อให้ระบบสามารถใช้งานตามความต้องการได้

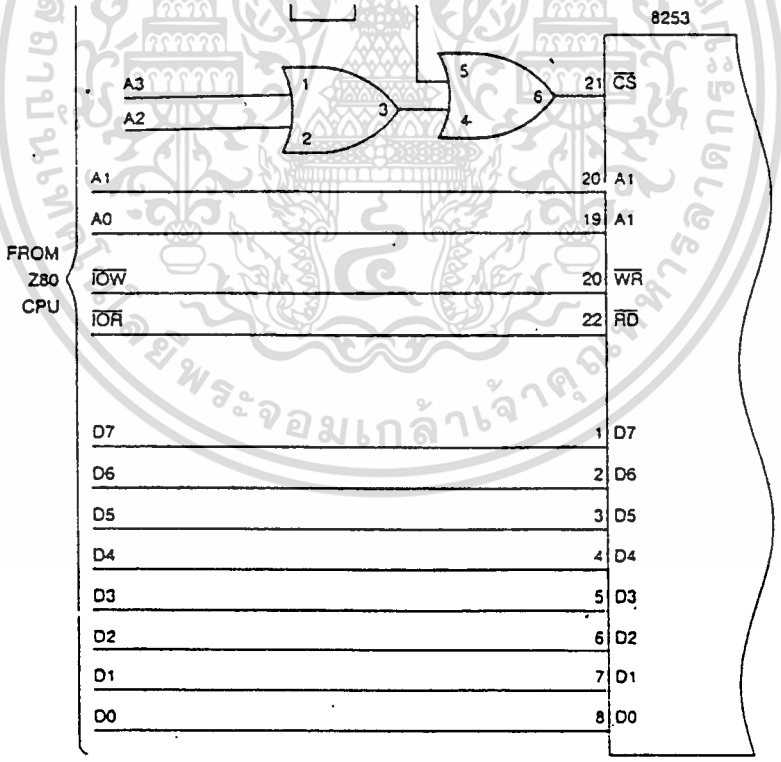
- การโปรแกรม 8253 (CONTROL WORD FORMAT)

โหมดการทำงานของเคาน์เตอร์ทั้งหมด สามารถเลือกได้โดยการเขียนข้อมูลเข้าไปในรีจิสเตอร์ควบคุม ซึ่งมีรูปแบบของคำสั่งควบคุม (CONTROL WORD FORMAT) ดังในรูป 3.2.17

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.2.14 ลอจิกไดอะแกรมแสดงถึงการสร้างสัญญาณ IOR และ IOW



รูปที่ 3.2.15 วงจรสมบูรณ์ของการเชื่อมต่อระหว่าง B253 กับระบบบัสของ Z80 โดยไม่ใช้บัฟเฟอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ทำให้แอดเดรสของคำสั่งควบคุมนี้เป็นแอดเดรสที่มีค่าของ A0 และ A1 เป็นลอจิก "1" ซึ่งในระบบที่เราพิจารณาอยู่นี้ให้แอดเดรสของ คำสั่งควบคุมเป็น 33H (ดูได้จากรูป 8.3 และ 8.4)

เนื่องจากเคาน์เตอร์ของ 8253 มีจำนวน 3 ตัวด้วยกัน ฉะนั้นการโปรแกรมเคาน์เตอร์นั้น จำเป็นต้องกำหนดเคาน์เตอร์ที่ต้องการจะโปรแกรมเสียก่อน การกำหนดทำได้โดยให้ลอจิกที่ถูกต้องกับบิท D7 และ D6 ซึ่งมีชื่อว่า SC1 และ SC2 ของรูป 8.8 เมื่อได้เคาน์เตอร์ที่ต้องการแล้ว เคาน์เตอร์นั้นจะถูกเซ็ท และจะอยู่ในสภาพนั้นจนกว่าจะมีคำสั่งควบคุมอื่นมาทำให้เปลี่ยนแปลง ส่วนการกำหนดค่าลอจิกของบิท D7 และ D6 สำหรับใช้เลือกเคาน์เตอร์เป็นดังนี้

D7	D6	COUNTER SELECT
Ø	Ø	Ø
Ø	1	1
1	Ø	2
1	1	ไม่มีความหมาย

เมื่อเลือกเคาน์เตอร์จากการใช้บิท D7 และ D6 ได้แล้ว ต่อไปบิท D5 และ D4 จะเป็นตัวกำหนดว่าเคาน์เตอร์นี้ (หรือรีจิสเตอร์) จะใช้ใน READ/LOAD MODE ซึ่งโหมดการอ่าน (READ MODE) เป็นโหมดที่ไมโครโปรเซสเซอร์อ่านข้อมูลจากเคาน์เตอร์ ส่วนโหมดการโหลด (LOAD MODE) เป็นโหมดที่ไมโครโปรเซสเซอร์เขียนข้อมูลเข้าไปให้เคาน์เตอร์ บิท D5 และ D4 ถูกกำหนดดังนี้

D5	D4	R/L DEFINITION
Ø	Ø	ค่าในเคาน์เตอร์ถูกแลทช์ หมายความว่าค่าที่มีอยู่ในเคาน์เตอร์ที่ถูกกำหนดนี้ จะนำเข้าไปเก็บไว้ใน FLIP-FLOP ซึ่ง CPU สามารถอ่านออกไปได้
1	1	READ/LOAD เฉพาะไบท์ที่มีนัยสำคัญต่ำ (LEAST-SIGNIFICANT BYTE)
1	Ø	READ/LOAD เฉพาะไบท์ที่มีนัยสำคัญสูง (MOST-SIGNIFICANT BYTE)
1	1	READ/LOAD ไบท์ที่มีนัยสำคัญต่ำก่อนเสร็จแล้วตามด้วยไบท์ที่นัยสำคัญสูง

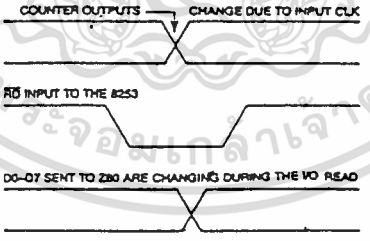
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หมายเหตุ ใน 1 ไบท์ของเคาน์เตอร์ประกอบด้วย 16 บิท โดยบิท D0-D7 เป็น LEAST-SIGNIFICANT BYTE และ D8-D15 เป็น MOST-SIGNIFICANT BYTE.

เมื่อ D5 และ D4 มีค่าเป็น OOH เคาน์เตอร์จะถูกทำให้อยู่ในโหมดการแลทช์ (LATCH) ซึ่งเป็นโหมดที่ใช้สำหรับการอ่านค่าของเคาน์เตอร์ขณะที่เคาน์เตอร์ยังทำงานอยู่ การเขียนโหมดนี้ให้กับรีจิสเตอร์ควบคุม จะทำให้ค่าที่อยู่ในเคาน์เตอร์ถูกแลทช์ให้กับรีจิสเตอร์ภายใน และเมื่อทำการอ่านเคาน์เตอร์ค่านี้จะถูกอ่านออกไป

ถ้าไม่อยู่ในโหมดการแลทช์ แล้วการอ่านข้อมูลจะเกิดข้อผิดพลาดขึ้นได้ เพราะขณะที่ทำการอ่านข้อมูลนั้น ขบวนการที่เกิดขึ้นในเคาน์เตอร์จะทำให้ข้อมูลที่อยู่เดิมเปลี่ยนไป (ดังแสดงในไดอะแกรมเวลาดังรูป 3.2.18) เป็นผลทำให้ข้อมูลที่ป้อนเข้า CPU เกิดผิดพลาดขึ้น ฉะนั้นเพื่อที่จะอ่านค่าของเคาน์เตอร์ให้ถูกต้อง ในขณะที่เคาน์เตอร์กำลังอยู่ในขบวนการนับอยู่นั้น สามารถทำได้โดยกำหนดคำสั่งควบคุมการแลทช์ (LATCH CONTROL WORD) ก่อน แล้วจึงให้คำสั่งควบคุมอื่นที่เป็นคำสั่งการอ่านในไบท์ต่อไป

ยังมีอีกวิธีหนึ่งสำหรับการทำให้ค่าข้อมูลของเคาน์เตอร์ไม่เปลี่ยนแปลงขณะทำการอ่าน โดยการใช้วงจรภายนอกที่ทำให้การนับของเคาน์เตอร์หยุดชั่วขณะในระหว่างที่ทำการอ่าน ซึ่งเทคนิคนี้แสดงไว้ในรูปที่ 3.2.19 แต่ละวิธีที่กล่าวมานี้ก็มีข้อเสียในตัวมันเอง ดังในวิธีการแลทช์ อาจทำให้ไมโครโปรเซสเซอร์ทำการอ่านข้อมูลเก่าที่เกิดก่อนหน้านี้หลาย ๆ รอบ ซึ่งขึ้นกับความเร็วของการนับ และไบท์ของเคาน์เตอร์ที่กำลังถูกอ่าน ส่วนวิธีที่ทำให้การนับของเคาน์เตอร์หยุดชั่วขณะโดยวงจรภายนอกนั้นมีข้อเสีย ก็คือจะต้องใช้อุปกรณ์ทางฮาร์ดแวร์มาเพิ่มเติมอีก ซึ่งอาจทำให้เกิดการเปลี่ยนแปลงการทำงานของระบบทั้งหมด ขึ้นอยู่กับความเหมาะสมว่าจะเลือกใช้วิธีใดจึงจะดีที่สุดสำหรับการใช้งานนั้น ๆ



รูปที่ 3.2.18 ไดอะแกรมเวลา (TIMING DIAGRAM) ที่แสดงการผิดพลาดระหว่างการอ่านข้อมูลจากเคาน์เตอร์ของ 8253 ซึ่งสามารถแก้ไขได้โดยการที่ไมโครโปรเซสเซอร์ LATCH ข้อมูลจากเอาท์พุทของเคาน์เตอร์ก่อนที่จะทำการอ่าน

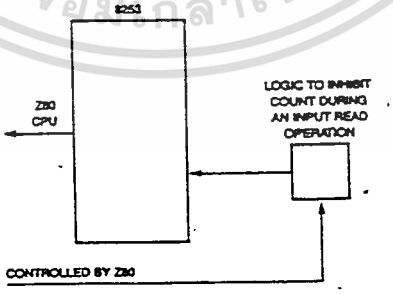
ยังมีอีก 4 บิท ที่เหลือของคำสั่งควบคุมในรูป 8.8 คือ D3,D2, D1 และ DO แต่จะกล่าวถึง 3 บิทแรกก่อนคือ D3, D2 และ D1 บิทเหล่านี้เป็นบิทที่กำหนดโหมดการทำงานพื้นฐานของเคาน์เตอร์ ซึ่งต่อไปจะได้อธิบายและแสดงตัวอย่างการใช้เคาน์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เตอร์ในแต่ละโหมดทั้ง 5 โหมดนี้ ในที่นี้มาดูลอจิกที่ให้กับ D3, D2 และ D1 ในแต่ละโหมดดังนี้

D3	D2	D1	MODE VALUE
Ø	Ø	Ø	MODE Ø : INTERRUPT ON TERMINAL COUNT
Ø	Ø	1	MODE 1 : PROGRAMABLE ONE-SHOT
X	1	Ø	MODE 2 : RATE GENERATER
X	1	1	MODE 3 : SQUARE WAVE GENERATER
1	Ø	Ø	MODE 4 : SOFTWARE TRIGGERED STROBE
1	Ø	1	MODE 5 : SOFTWARE TRIGGER STROBE

บิทสุดท้ายของคำสั่งควบคุมคือ DO ใช้กำหนดลักษณะการนับของเคาน์เตอร์ว่ามีลักษณะการนับเป็นอย่างไร นั่นคือจะนับเป็น BCD หรือเป็นไบนารี ถ้า DO มีลอจิกเป็น "1" เคาน์เตอร์ จะนับแบบ BCD ถ้า DO มีลอจิก เป็น "Ø" จะนับแบบไบนารี ค่าที่มากที่สุดสำหรับการนับในโหมดการนับแบบไบนารีมีค่าเท่ากับ 2^{16} และในโหมดการนับแบบ BCD เป็น 10^4



รูปที่ 3.2.19 แสดงบล็อกไดอะแกรมที่ใช้ในการป้องกันความผิดพลาดระหว่างการอ่านข้อมูลจากเคาน์เตอร์ของ 8253

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การแสดงภาพในแบบอักขระจะแบ่งจอภาพเป็นคอลัมน์ในทางแนวนอนและเป็นบรรทัดอักขระในทางตั้ง เช่น เครื่องแอปเปิ้ลแบ่งจอภาพเป็น 40 คอลัมน์ 24 บรรทัดอักขระ จะแสดงภาพอักขระได้ 40 x 24 = 960 ตัว อักขระแต่ละตัวเป็นแมทริกซ์แบบ 8x8 จุดภาพ ซึ่งจะต้องกำหนดให้เป็นภาพที่ต้องการเช่นเป็นภาพอักษร ตัวเลข เครื่องหมาย หรือภาพอื่นใดไว้ในคาแรคเตอร์เยนเนอร์เรเตอร์ (character generator)

คาแรคเตอร์เยนเนเรเตอร์ เป็นหน่วยความจำประเภท ROM ปัจจุบันนิยมใช้ EPROM หน่วยความจำนี้ 1 ไบท์ คือ 8 บิท สามารถทำให้เกิดจุดภาพได้ 8 จุดในทางแนวนอน ดังนั้นจึงต้องใช้หน่วยความจำนี้ 8 ไบท์ เพื่อทำให้เกิดภาพในแบบแมทริกซ์ 8x8 ได้ 1 ภาพ คือ 1 อักขระหากใช้ EPROM เบอร์ 2716 คือ 2 กิโลไบท์ จะได้ภาพอักขระเท่ากับ 2048/8 = 256 ตัว

หน่วยความจำขนาด 2 กิโลไบท์มีขาแอดเดรส 11 ขา ในการสร้างแพทเทอร์ของภาพอักขระในคาแรคเตอร์เยนเนเรเตอร์ได้กำหนดไว้ว่าขาแอดเดรสตั้งแต่ A_3 ถึง A_{10} รวม 8 ขา เป็นการกำหนดว่าเราต้องการภาพอักขระใดใน 256 ภาพดังกล่าว (2^8 = 256) และเรียกว่ารหัสส่วนขา A_0 ถึง A_2 เป็นการกำหนดว่าเราจะเลือกไบท์ใดใน 8 ไบท์ของอักขระนั้น ๆ ซึ่งจะสัมพันธ์อยู่กับสแกนไลน์ที่ผมจะกล่าวต่อไป ขอเรียนย้ำตรงนี้ว่าเมื่อเรากำหนดรหัส และกำหนดไบท์ที่ในรหัสนั้นเราจะได้ภาพ 1 ไบท์ คือ 8 จุดภาพบนจอภาพ ส่วนการที่จะกำหนดรหัสได้อย่างไร ไบท์ที่ได้อย่างไร และจะไปเกิดเป็นจุดภาพได้อย่างไร เป็นเรื่องที่จะกล่าวถึงต่อไป

3.3.1 สร้างสถานีส่งโทรทัศน์

หากคุณมีจอภาพแบบที่เรียกว่ามอนิเตอร์ คุณสามารถสร้างสถานีส่งโทรทัศน์ไปยังจอภาพได้โดยง่าย เมื่อภาพที่จะนำออกแสดงเป็นภาพอักขระ โดยสร้างสัญญาณ VSYNC (vertical synchronous) ทุก ๆ 20 มิลลิวินาที นานประมาณ 1 มิลลิวินาที และ HSYNC (horizontal synchronous) ทุก ๆ 64 ไมโครวินาทีนานประมาณ 5 ไมโครวินาที กับให้สัญญาณจุดภาพ (ขาวหรือดำ) คุณจะได้ภาพออกจอภาพในแบบ 312 สแกนไลน์

ช่วงเวลา 64 ไมโครวินาทีคือช่วงเวลาของ 1 สแกนไลน์ คือช่วงเวลาที่จอภาพสร้างภาพได้ 1 เส้นในทางระดับช่วงเวลา 20 มิลลิวินาที คือช่วงเวลาของ 1 ฟิลด์ คือช่วงเวลาที่จอภาพสร้างภาพได้เต็มจอภาพ คือ 312 เส้นสแกนไลน์ค่านี้ได้มาจาก 20 มิลลิวินาที/64 ไมโครวินาที = 312.5 เส้น แต่ค่า 20 และ 64 คลาดเคลื่อนได้เล็กน้อยจึงปัดเศษได้ ในการส่งโทรทัศน์จริง ๆ จะส่งแบบ 2 ฟิลด์ต่อ 1 เฟรม จึงเรียกว่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ระบบ 625 เส้น

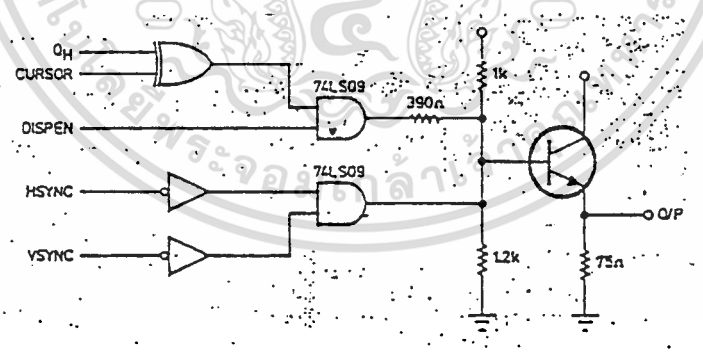
แต่ภาพที่ได้จะตกจอภาพและเปรอะเพราะจะเห็นภาพการหันกวาดของปืนอิเลคตรอนในช่วงกลาดกลับ (retrace) จึงต้องให้สัญญาณภาพเป็นจุดดำก่อนและหลังสัญญาณซิงค์ทั้งสองเรียกว่าช่วงเบล็งค์ ใน 1 สแกนไลน์คือ 64 ไมโครวินาที จึงมีเวลเหลือสำหรับแสดงภาพประมาณ 40 ไมโครวินาที และใน 1 ฟิลด์คือ 20 มิลลิวินาที จะมีเวลาแสดงภาพประมาณ 13 มิลลิวินาทีคือประมาณ 200 สแกนไลน์ ค่าเวลาต่าง ๆ เหล่านี้คลาดเคลื่อนได้เช่นกัน

สัญญาณที่ทำให้เกิดจุดภาพและซิงค์มีขนาดประมาณ

จุดขาว = 2 โวลท์
จุดดำ = 0.5 โวลท์
ซิงค์ = 0 โวลท์

ที่กล่าวว่าโดยประมาณเพราะในวงจรจอภาพมีวงจรภาคขยายสัญญาณ แต่ไม่ควรต่ำกว่าครึ่งหนึ่งและไม่ควรมากกว่านี้

ผมขอเรียนทำความเข้าใจเสียในตอนนี้ก่อนว่าค่าแรงดันที่ผมนำมากล่าวนี้เป็นแรงดันที่เอาท์พุทของภาคผสมสัญญาณ (video composite) ซึ่งเป็นลิเนียร์แต่ภาคอินพุทของวงจรนี้กลับเป็นดิจิตอลของให้ดูรูปที่ 1 ประกอบ ดังนั้นเพื่อให้เกิดสัญญาณเอาท์พุทดังกล่าว อาจกำหนดให้จุดขาวเป็นลอจิก "1" และจุดดำเป็นลอจิก "0" หรือกลับก็ได้ ส่วนสัญญาณซิงค์ก็เช่นกัน จะกำหนดให้เป็น "1" และ "0" ก็ได้ ตามวงจรนี้ผมกำหนดให้จุดขาวเป็นลอจิก "1" จุดดำเป็นลอจิก "0" สัญญาณซิงค์เป็นลอจิก "1" (เพื่อให้สอดคล้องกับ 6845)



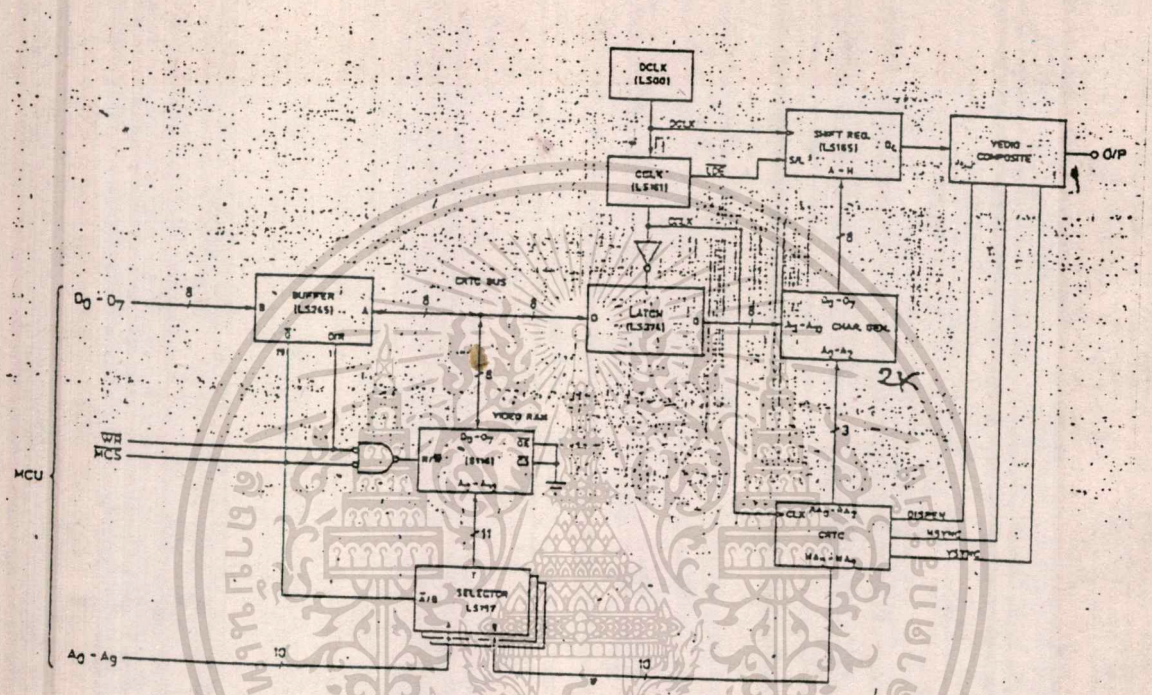
รูปที่ 3.3.1 วงจรภาคผสมสัญญาณ

ใน 1 สแกนไลน์เราต้องการให้เกิดจุดภาพกี่จุดก็ได้ในช่วง 200 ถึง 1200 จุดภาพ ขึ้นอยู่กับจำนวนคอลัมน์ที่เราต้องการ เช่นต้องการให้แสดงแบบ 80 คอลัมน์ โดยให้อักขระหนึ่ง ๆ อยู่ในแมทริกซ์ 8 x n จุดภาพ ดังนั้นในช่วงเวลา 40 ไมโครวินาทีของ 1 สแกนไลน์ที่แสดงภาพได้ จะต้องเป็น 80 คอลัมน์และมีจุดภาพเป็น 80x8 = 640 จุดภาพ หากคิดทั้งแกนไลน์ (64 ไมโครวินาที) จะเป็น 1024 จุดภาพ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การกำหนดจุดภาพกำหนดด้วยสัญญาณนาฬิกา DCLK (dot clock) ซึ่งจะชิฟท์ข้อมูลจากชิฟท์รีจิสเตอร์ (รูปที่ 2) ให้แก่วงจรภาพผสมสัญญาณ จากตัวอย่างที่ยกมาใน 1 ไมโครวินาทีเราต้องทำให้เกิดจุดภาพถึง 16 จุดภาพ จะได้ความถี่ของ DCLK ซึ่งก็คือความถี่ของคริสตอลเป็น 16 MHz

ความถี่นี้ไม่จำเป็นต้องตรงตามนี้ เช่นหากใช้คริสตอล 17.3 MHz จะได้ว่าใน 1 สแกนไลน์ (64 ไมโครวินาที) มี 1107.2 จุดภาพแต่จุดภาพจะเป็นเศษไม่ได้และต้องหารด้วย



รูปที่ 3.3.2 วงจรควบคุมจอภาพ CRTC

จำนวนจุดต่อคอลัมน์คือ 8 ลงตัว ค่าที่ใกล้เคียงคือ 1104 จุดภาพคิดกลับจะได้ว่าใน 1 สแกนไลน์ยาว 63.8 ไมโครวินาที เป็นค่าที่ยอมรับได้ จะได้ว่าใน 1 สแกนไลน์มี 138 คอลัมน์ แต่ใช้แสดงภาพเพียง 80 คอลัมน์อีก 58 คอลัมน์ เป็นช่วงแบลงค์และ HSYNC

ความถี่ DCLK ซึ่งหารด้วยจำนวนจุดภาพต่อคอลัมน์คือ 8 เรียกว่าความถี่ CCLK (character clock) จะใช้เป็นหลักในการคำนวณต่อไป โดยเฉพาะเมื่อใช้ไอซีเป็น CRTC และเป็นสัญญาณในการโหลดข้อมูลแบบขนานจากคาแรคเตอร์เยนเนเรเตอร์ให้แก่ชิฟท์รีจิสเตอร์ กับส่งให้ CRTC เพื่อสร้างสัญญาณอื่น ๆ ต่อไป

เมื่อเรากำหนดช่วงเวลาของสแกนไลน์ได้แล้ว ขั้นต่อไปคือหาว่าใน 1 ฟิลด์จะมีกี่สแกนไลน์ วิธีง่าย ๆ คือนำค่าเวลา 1 สแกนไลน์คูณด้วย 312 + ให้ได้คาบเวลา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ใกล้เคียงกับ 20 มิลลิวินาทีที่สุด จะได้ว่าหากใช้คริสตอล 17.3 MHz ถ้าใช้ 313 สแกนไลน์จะได้เวลา 19.974 มิลลิวินาทีนับว่าใกล้เคียงที่สุด

ในการแสดงภาพหากต้องการให้แสดง 24 บรรทัดอักขระ ในแต่ละบรรทัดประกอบด้วยเส้นสแกนไลน์ 8 เส้น (จากแมทริกซ์ nx8) เราต้องการเส้นสแกนไลน์เท่ากับ 24x8 = 192 เส้นอยู่ในข้อจำกัดที่กล่าวมา และถึงแม้จะให้แสดงถึง 26 บรรทัดเท่ากับ 208 เส้นสแกนไลน์ก็ยังอยู่ในข้อจำกัด ในที่นี้จะให้แสดง 24 บรรทัด จึงเหลือคาบเวลาคิดเป็นเส้นสแกนไลน์ได้ 313-192 เท่า กับ 121 เส้น ซึ่งใช้เป็นช่วงแบลงค์และ VSYNC

3.3.2 ซีพียูกับจอภาพ

ตามที่กล่าวมากำหนดให้โครงงานนี้แสดงภาพแบบ 80 คอลัมน์ 24 บรรทัดอักขระ ดังนั้นจำนวนอักขระ ดังนั้นจำนวนอักขระทั้งหมดที่จะแสดงได้ต่อหนึ่งจอภาพคือ 80x24 = 1920 ตัว และจากที่กล่าวแล้วว่าการที่จะให้อักขระใดไปปรากฏบนจอภาพเราเพียงแต่อ้างรหัสของมันและไบท์ที่ต่อคาร์แรคเตอร์เยนเนเรเตอร์เรื่องไบท์ที่ซึ่งเราจะต้องอ้างจากไบท์ที่ 0 ถึง 7 ผมขอพักไว้ก่อน

ในการอ้างรหัสหากเราจัดหน่วยความจำหน่วยหนึ่งเป็น RAM ขนาด 1920 ไบท์ (ซึ่งคงต้องใช้ขนาด 2 กิโลไบท์) โดยให้ไบท์ 0 ของหน่วยความจำนี้เป็นอักขระแรกคือมุมบนซ้ายของจอภาพ ไบท์ที่ 1 จะเป็นอักขระที่ 2 คืออยู่ทางขวาของตัวแรก ไบท์ที่ 79 คืออักขระตัวสุดท้ายของบรรทัดแรก และไบท์ที่ 80 คือตัวแรกของบรรทัดที่ 2 และต่อ ๆ ไปจนถึงไบท์ที่ 1919 คืออักขระสุดท้ายอยู่ตรงมุมขาวล่างของจอภาพ ดังนั้นซีพียูจึงมองเห็นจอภาพเหมือนหน่วยความจำขนาด 1920 ไบท์หน่วยหนึ่งเรียกหน่วยความจำนี้ว่า วิดีโอแรม (video RAM)

3.3.3 วงจรแสดงผลบนจอภาพ

คิดว่าเท่านี้คงเพียงพอเพราะผมต้องกล่าวเพิ่มเติมอีกในการอธิบายรูปที่ 2 คือ

เมื่อซีพียูต้องการแสดงภาพใดตรงที่ใดบนจอภาพก็จะส่งรหัสของอักขระนั้นมาเก็บในวีดีโอแรม ในไบท์ที่ต้องการอันสัมพันธ์กับจอภาพดังกล่าวมา การติดต่อของซีพียูกับวีดีโอแรมจะกระทำเมื่อต้องการติดต่อด้วยเท่านั้น และกระทำในแบบสุ่ม คือจะติดต่อกับไบท์ใดของวีดีโอแรมก็ได้

โดยปกติแล้ว CRTC เป็นผู้ติดต่อกับวีดีโอแรมอยู่ตลอดเวลา และทำให้แบบซีเควนเชียล คือจะอ้างแอดเดรสถึงวีดีโอแรมตั้งแต่ไบท์ที่ 0 ถึงไบท์ที่ 1919 แล้วขึ้นไบท์ที่ 0 ใหม่ (รอบหนึ่งกินเวลาประมาณ 20 มิลลิวินาที)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อ CRTC อ้างแอดเดรสวีดีโอแรมจะได้ดาต้าคือรหัสตามที่กล่าวมา ซึ่งวงจรแล็ทช์จะแล็ทช์ค่าไว้ และนำไปเป็นแอดเดรส A_0 ถึง A_{10} ของคาแรคเตอร์เยนเนเรเตอร์ ส่วนขา A_0 ถึง A_{10} นั้น CRTC เป็นผู้ให้ค่าแอดเดรสโดยตรง คาแรคเตอร์เยนเนเรเตอร์ จะให้ดาต้า 1 ไบท์แก่วงจรชิฟท์รีจิสเตอร์ ซึ่งจะถูก DCLK ชิฟท์ออกทีละบิทให้แก่วงจรภาพผสมสัญญาณส่งไปให้จอภาพอีกทอดหนึ่ง เมื่อชิฟท์ครบ 8 บิทจะได้ภาค 8 จุดภาพบนจอภาพ

ตามที่กล่าวมาว่าใน 1 บรรทัดอักขระประกอบด้วยเส้นสแกนไลน์ 8 เส้น ซึ่งขอกำหนดเรียกเป็นไลน์ที่ ø ถึง 7 การแสดงภาพในแต่ละบรรทัดอักขระสมมติผมต้องการให้แสดงภาพอักขระ A ถึง Z จะเริ่มด้วยไลน์ที่ ø คือส่วนหัวของอักขระคือไบท์ที่ ø ของอักขระทุกตัวในคาแรคเตอร์เยนเนเรเตอร์ไปจนจบสแกนไลน์ แล้วขึ้นไลน์ที่ 1 คือไบท์ที่ 1 ของอักขระทุกตัว ไปจนถึงไลน์ที่ 7 คือส่วนฐานหรือคือไบท์ที่ 7 ของอักขระทุกตัว เป็นการแสดงภาพ 1 บรรทัดอักขระ

การทำงานจะเป็นในแบบ รหัสอักขระจะเปลี่ยนจาก A ถึง Z ทุกคอลัมน์คือทุก 1 CCLK แต่ไลน์ที่เช่นไลน์ที่ ø จะไม่เปลี่ยนตลอดสแกนไลน์นั้น เมื่อขึ้นสแกนไลน์ใหม่เช่นเป็นไลน์ที่ 1 รหัสอักขระจะเริ่มต้นเปลี่ยนจาก A ถึง Z ใหม่ เป็นเช่นนี้จนครบ 8 สแกนไลน์คือ 1 บรรทัดอักขระ ในบรรทัดอักขระต่อไป หากผมให้แสดงภาพ ก. ถึง ฮ. ก็จะเป็นการให้รหัสอักขระจาก ก. ถึง ฮ. ซ้ำอยู่ 8 เที่ยวดังกล่าวมา ทั้งหมดนี้เป็นหน้าที่ของ CRTC

ทำไมถึงเป็นแมทริกซ์ 8x8 หากใช้ 9x8 ปัญหาจะเกิดขึ้น ไม่สามารถจะหาหน่วยความจำขนาด 9 บิทมาทำเป็นคาแรคเตอร์เยนเนเรเตอร์ได้ ต้องข้ามไป 16 บิท (ใช้ 2716 จำนวน 2 ตัวต่อขนานกัน) และใช้ชิฟท์รีจิสเตอร์ 2 ตัวจะได้ผลไม่คุ้มค่า หากเปลี่ยนใหม่เป็น 8x12 ในรหัสอักขระหนึ่ง ๆ ต้องใช้หน่วยความจำถึง 16 ไบท์ แต่ใช้เพียง 12 ไบท์ ทั้งนี้เพราะหน่วยความจำนี้ต้องมีค่าเป็น 2^n เช่น 4, 8, 16 หรือ 32 ต่อ ๆ ไป การจัดในแบบ 8x12 อาจเปลืองหน่วยความจำแต่ก็มีใช้กันมาก

3.3.4 CRTC 6845

ได้แสดงการจัดขาของ CRTC เบอร์ 6845 ไว้ในรูปที่ 3.3.3 ขออธิบายหน้าที่การทำงานเพิ่มดังนี้

ส่วนที่ติดต่อกับซีพียู

D_0 ถึง D_7 เป็นขาดาต้าต่อกับดาต้าบัส

CS คือขา chip select เพื่อเลือกตัวมันเมื่อซีพียูต้องการจะติดต่อด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แอคตีฟเมื่อได้รับลอจิก "Ø"

RS คือขา register select ภายใน 6845 มีรีจิสเตอร์เพื่อใช้งานในหน้าที่ต่าง ๆ 18 ตัว และแอดเดรสรีจิสเตอร์อีก 1 ตัว รวมเป็น 19 ตัว เมื่อให้ลอจิก "Ø" แก่ขานี้เป็นการเลือกติดต่อกับแอดเดรสรีจิสเตอร์ ค่าที่ให้คือหมายเลขรีจิสเตอร์ใช้งานที่เราต้องการติดต่อด้วยคือ Ø ถึง 17 (SØØ ถึง S11) เมื่อให้ลอจิก "1" แก่ขานี้เป็นการเลือกติดต่อกับรีจิสเตอร์อีก 18 ตัว ตัวใดตัวหนึ่ง ซึ่งมีหมายเลขอยู่ในแอดเดรสรีจิสเตอร์ ปกติจะต่อขานี้กับ A_0 ของซีพียู

R/W คือขา read/write เมื่อให้ลอจิก "1" เป็นการอ่านจากรีจิสเตอร์ภายในเมื่อให้ลอจิก "Ø" เป็นการเขียนกับรีจิสเตอร์ภายใน ซึ่งรีจิสเตอร์แต่ละตัวให้อ่านและเขียนได้ไม่เหมือนกันดังจะกล่าวต่อไป

E คือขา enable synchronization signal ชื่อประหลาด แต่ความจริงคือขาสัญญาณนาฬิกาของระบบไมโครคอมพิวเตอร์ เพื่อติดต่อกับ 6845 ในฐานะพอร์ท (ไม่เกี่ยวกับสัญญาณนาฬิกาในภาคแสดงภาพคือ DCLK หรือ CCLK แต่อย่างใด) ถ้าใช้ซีพียูเบอร์ 6502 หรือ 6800 ให้ต่อกับสัญญาณนาฬิกา $Ø_2$ แต่ถ้าเป็น Z80 ได้จัดวงจรดังที่จะแสดงในรูปที่ 8 แต่นักศึกษาที่ทำโครงงานโดยใช้ Z80 กับ 6845 บอกว่าสามารถใช้ Ø ซึ่งเป็นสัญญาณนาฬิกาของระบบ Z80 ต่อได้โดยตรง (กรุณาติดต่อกลับมาด้วย)

RESET คือ reset เพื่อการรีเซท6845 เมื่อเริ่มต้นทำงาน แอคตีฟเมื่อได้รับลอจิก "Ø" จะเคลียร์ค่าในวงจรนับและทำให้ขาเอาท์พุททุกขาเป็น "Ø" แต่ไม่เคลียร์ค่าในรีจิสเตอร์ดังกล่าวมา ดังนั้นเมื่อได้รับลอจิก "1" ใหม่ มันจะเริ่มทำงานต่อไปทันที ปกติต่อกับสัญญาณรีเซทของระบบแต่อาจจัดวงจรรีเซทให้ต่างหากได้

V_{cc} และ V_{ss} คือขาไฟบวกและกราวนด์ตามลำดับ ปกติต่อกับแหล่งไฟเลี้ยงของระบบ หากแยกแหล่งจ่ายต้องต่อขา V_{ss} คือขากราวนด์ถึงกัน

ส่วนที่ติดต่อกับภาคแสดงภาพ

CLK คือขา character rate clock ต่อกับ CCLK ดังกล่าวมา เพื่อใช้เป็นจังหวะสัญญาณแก่วงจรนับต่าง ๆ ภายในตัว 6845 ให้เป็นสัญญาณออกเพื่อการสร้างภาพ ดังที่จะกล่าวต่อไปในหัวข้อนี้

MA_0 ถึง MA_{13} คือขา screen memory address คือขาที่จะอ้างแอดเดรสแก่วีดีโอแรม ซึ่งสามารถอ้างได้ถึง 16 กิโลไบท์ แต่ในโครงงานนี้เราใช้วีดีโอแรมขนาด 2 กิโลไบท์ จึงใช้ขาแอดเดรสเพียง 11 ขา คือ MA_0 ถึง MA_{10} ที่เหลือไม่ใช้ การต่อต้องต่อผ่านวงจรเลือก (selector : 74LS157) เพื่อให้ซีพียูเป็นผู้กำหนดว่าใคร ซีพียูหรือซีอาร์ทีซีจะเป็นผู้ติดต่อกับวีดีโอแรม

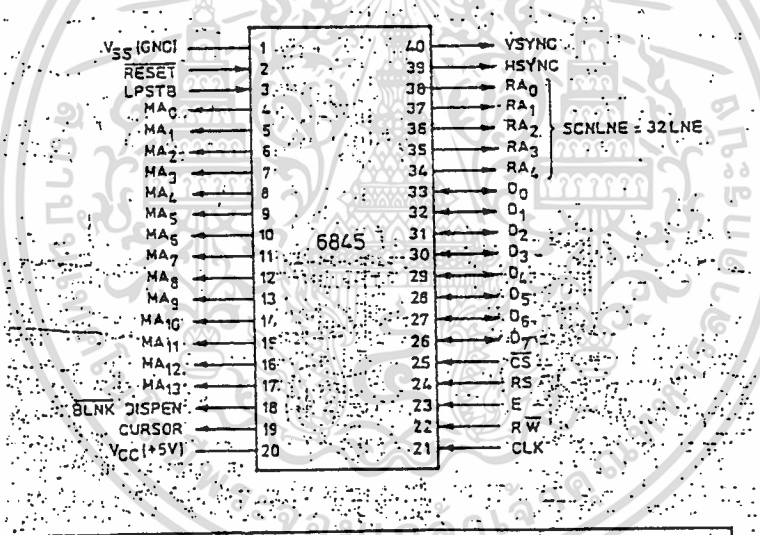
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

RA_0 ถึง RA คือขา raster (scanline) address signal เป็นขากำหนดไลน์ที่ใย 1 บรรทัดอักขระ ของ 8048 ถึง 5 ขาแสดงว่าเราสามารถกำหนดอักขระเป็นแมทริกซ์ได้ถึง nx32 แต่ในโครงงานนี้เรากำหนดเพียง 8x8 จึงใช้เพียง 3 ขา คือ RA_0 ถึง RA_2 โดยต่อตรงกับขา A_0 ถึง A_2 ของคาแรคเตอร์เยนเนเรเตอร์ตามลำดับ

HSYNC คือขา horizontal synchronization ให้สัญญาณ SHYNC ตามที่กล่าวมา แต่ไม่ใช่ทุก ๆ 64 ไมโครวินาทีหากเป็นตามช่วงเวลาที่เรากำหนดด้วยการโปรแกรม และสัญญาณที่จะกล่าวต่อจากนี้เป็นสัญญาณที่เราจะต้องโปรแกรมทั้งสิ้น

VSYNC คือขา vertical synchronization ให้สัญญาณ VSYNC

DISPEN คือขา display (video) enable ตามที่กล่าวมามีช่วงแบลงค์ที่เราต้องให้จอภาพมีดอยู่ 2 ช่วงคือ ในทุกสแกนไลน์ก่อนและหลัง HSYNC และทุกฟิลด์ก่อนและหลัง VSYNC ผู้สร้าง 6845 ได้นำสัญญาณทั้ง 2 นี้มารวมกัน (NOR) แต่แทนที่จะให้เป็นสัญญาณในช่วงแบลงค์ กลับให้เป็นสัญญาณในช่วงที่แสดงภาพได้ (OR) ทำให้ใช้สะดวกขึ้น ขอให้ดูในวงจรภาคผสมสัญญาณรูปที่ 1



	Pin Name	Description	Type
Microprocessor System Interface	D0-D7	Data Bus	Bidirectional Tristate
	CS	Chip Select	Input
	RS	Register Select	Input
	R/W	Read-Write Select	Input
	E	Enable Synchronization Signal	Input
	CLK	Character Rate Clock	Input
	RESET	Reset	Input
	V_{CC}, V_{SS}	Power (+5 V) and Ground	
Screen Memory and Character Generator Signals	MA0-MA13	Screen Memory Address Bus	Output
	RA0-RA4	Raster (Scan Line) Address Signals	Output
CRT Monitor Interface Signals	HSYNC	Horizontal Synchronization	Output
	VSYNC	Vertical Synchronization	Output
	DISPEN	Display (Video) Enable	Output
	CURSOR	Cursor enable	Output
	LPSTB	Light Pen Strobe	Input

รูปที่ 3.3.3 การจัดขาและหน้าที่ของ CRTC เบอร์ 6845

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CURSOR คือขา CURSOR ENABLE แสดงตำบลที่ของเคอร์เซอร์ตามแต่เราจะโปรแกรม

LSTB คือขา light pen strobe ต่อกับวงจรปากกาแสง เมื่อ 6845 ได้รับลอจิก "1" ที่ขานี้มันจะเก็บค่าแอดเดรสของวีดีโอแรมขณะนั้นคือตำบลที่บนจอภาพขณะนั้น ซึ่งเราสามารถอ่านมาดำเนินการต่อไป เช่นทำให้บังเกิดภาพ ณ จุดที่เราจี้ปากกาแสงกับจอภาพ แต่เป็นที่น่าเสียดายว่าเป็นการแสดงภาพแบบอักขระไม่ใช่ในแบบกราฟิคจึงไม่ค่อยใช้กัน

-รีจิสเตอร์ภายใน

ใน 6845 มีรีจิสเตอร์ใช้งาน (parameter register) อยู่ 18 ตัว ดังแสดงในตารางที่ 1 มีชื่อเรียกว่า R_0 ถึง R_{17} ในการใช้ 6845 เราจะต้องโปรแกรมมันก่อนโดยให้ค่าแก่รีจิสเตอร์เหล่านี้ การให้ค่ารีจิสเตอร์เหล่านี้เราต้องอ้างถึงมันก่อนกับแอดเดรสรีจิสเตอร์แล้วจึงจะติดต่อกับมันได้ นั่นคือในการที่จะติดต่อกับรีจิสเตอร์ตัวใดตัวหนึ่งต้องใช้ข้อมูล 2 ไบท์ รีจิสเตอร์เหล่านี้มีทั้งอ่านได้ เขียนได้ หรือทั้งอ่านและเขียนได้ ดังแสดงในรูปตารางที่ 1 แสดงรีจิสเตอร์ภายในของ 6845 ขอให้สังเกตในช่อง read/write ว่ารีจิสเตอร์ ตัวใดอ่านได้ตัวใดเขียนได้ ช่อง BITS แสดงขนาดของรีจิสเตอร์แต่ละตัวว่าเป็นกี่ บิท ซึ่งจะเป็นการกำหนดว่าจะให้ค่าสูงสุดได้เท่าไรในช่องถัดไป

	Register		Read (R) Write (W)	Bits	Range — Units
	A No.	Name/Function			
Horizontal Format and Timing	$0\,100_{16}$	Horizontal Total	W	8	1 – 256 (01–FF_{16}) CLKs
	$1\,101_{16}$	Characters/Row	W	8	1 – 256 (01–FF_{16}) CLKs
	$2\,102_{16}$	HSYNC Position	W	8	1 – 256 (01–FF_{16}) CLKs
	$3\,103_{16}$	HSYNC Width	W	4	1 – 16 (0–F_{16}) CLKs
Vertical Format and Timing	$4\,104_{16}$	Vertical Total	W	7	1 – 128 (0–$7F_{16}$) Character Rows
	$5\,105_{16}$	VSYNC Adjust	W	5	1 – 32 (0–$1F_{16}$) Scan Lines
	$6\,106_{16}$	Character Rows/Frame	W	7	1 – 128 (0–$7F_{16}$) Character Rows
	$7\,107_{16}$	VSYNC Position	W	7	1 – 128 (0–$7F_{16}$) Character Rows
	$8\,108_{16}$	Interlace Mode	W	2	0-3
	$9\,109_{16}$	Scan Lines/Row	W	5	1 – 32 (0–$1F_{16}$) Scan Lines
Primary Operating Registers	$10\,10A_{16}$	Cursor Start Scan Line	W	7*	1 – 32 (0–$1F_{16}$) Scan Lines
	$11\,10B_{16}$	Cursor Stop Scan Line	W	5	1 – 32 (0–$1F_{16}$) CLKs
	$12\,10C_{16}$	MSB	W	6	1 – 16,384 (0000–3FFF$_{16}$)
	$13\,10D_{16}$	LSB	W	8	
	$14\,10E_{16}$	MSB	R/W	5	0 – 16,384 (0000–3FFF$_{16}$)
	$15\,10F_{16}$	LSB	R/W	8	
	$16\,110_{16}$	MSB	R	6	0 – 16,384 (0000–3FFF$_{16}$)
	$17\,111_{16}$	LSB	R	8	

* Two are used to specify cursor form characteristics.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เพื่อให้เห็นภาพการใช้งานรีจิสเตอร์เหล่านี้จะนำตัวอย่างการแสดงภาพที่กล่าวแล้วมาประกอบ และขอสรุปให้เห็นชัดเจนอีกครั้งดังนี้

- ใช้คริสตอล 17.3 MHz ผลิตความถี่เป็น DCLK และเนื่องจากให้ 1 คอลัมน์มี 8 จุดภาพ (แมทริกซ์ 8x8) จึงจัดวงจรหารแปดความถี่เป็น CCLK ช่วงคลื่นของ CCLK จึงมีความยาวเป็น 0.46 ไมโครวินาที

- ใน 1 สแกนไลน์มี 138 คอลัมน์หรือคือ 138 CCLK แต่ใช้แสดงภาพเพียง 80 CCLK เป็นช่วงแบลงค์และซิงค์ 58 CCLK

- ใน 1 ฟิลด์มี 313 สแกนไลน์ แต่ใช้แสดงภาพเพียง 192 เส้น คือ 24 บรรทัดอักขระ เหลือเป็นช่วงแบลงค์และซิงค์ 121 เส้น

- หนึ่งบรรทัดอักขระมี 8 สแกนไลน์ (แมทริกซ์ 8x8)

จากตัวอย่างที่ยกมาจะต้องให้ค่ารีจิสเตอร์ต่าง ๆ ซึ่งขอกล่าวเป็นส่วนรวมก่อนดังนี้ เนื่องจากการนับค่าต่าง ๆ เช่นใน 1 สแกนไลน์มี 138 คอลัมน์ เรานับจาก 1 แต่ค่าในรีจิสเตอร์ที่เราจะโปรแกรมเพื่อส่งตัวให้วงจรนับ นับจาก 0 ค่าที่เราจะให้จึงต้องลบด้วยหนึ่ง แต่ในบางเรื่องเป็นการกำหนดโดยตรงไม่ใช่การนับจึงไม่ต้องลบด้วย 1 ค่าที่ให้จึงมีทั้งลบหนึ่งและไม่ลบ จะให้ค่ารีจิสเตอร์ ผมจะให้ค่ารีจิสเตอร์ได้ดังนี้

- R_0 คือ horizontal total คือ จำนวน CCLK ต่อ 1 สแกนไลน์ค่าที่ให้คือ 137 ($89)

- R_1 คือ charactor/row คือจำนวนคอลัมน์ (CCLK) ต่อ 1 สแกนไลน์ ที่แสดงภาพเท่ากับ 80($50)

-R_2 คือ HSYNC position เป็นตัวกำหนดว่าเราจะให้เริ่มต้นซิงค์ที่ CCLK ลูกที่เท่าไหร่ ซึ่งจะต้องถึงคาบเวลาที่เราจะให้สัญญาณซิงค์นานเท่าไร (5 ไมโครวินาที) คิดเป็น CCLK ได้ 12 ลูก จึงเหลือเป็นช่วงแบลงค์ 46 CCLK แบ่งออกด้านละเท่ากันคือ 23 CCLK ดังนั้นจุดที่เริ่มซิงค์คือ CCLK ลูกที่ 103 ค่าที่ให้คือ 103 ($67)

- R_3 คือ HSYNC width คือความกว้างของสัญญาณซิงค์คิดเป็น CCLK คือ 12 ลูก ($0C)

-R_4 คือ vertical total คือจำนวนสแกนไลน์ทั้งหมดแต่คิดเป็นจำนวนบรรทัดอักขระ (row) ค่าที่ให้คือ 313/8 =39($27) เศษ 1 ซึ่งจะนำไปให้ใน R_5

- R_5 คือ VAYNC adjust ซึ่งบ่งว่าเป็นการปรับแต่งคาบเวลาในการซิงค์และการกระทำก็เป็นดังนี้ แต่ค่าที่ให้คือเศษเป็นสแกนไลน์ที่เหลือจากการให้ค่า R_4 ในกรณีนี้คือ 1 จึงสุดแต่จะพิจารณาว่าเป็นค่าอะไรแน่

- R_6 คือ charactor rows/frame หมายถึงจำนวนบรรทัดอักขระที่แสดงภาพคือ 24($18)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- R_7 คือ VSYNC position กำหนดว่าเราจะให้เริ่มต้นซิงค์ที่บรรทัดอักขระที่เท่าใด จากที่กำหนดให้ จอภาพมี 313 เส้นคือ 30 บรรทัดอักขระ(เศษได้นำไปปรับแต่งแล้ว)แสดงภาพ 24 บรรทัดคงเหลือ 15 บรรทัด สำหรับ 6845 ได้กำหนดช่วง VSYNC ไว้ตายตัวคือ 16 สแกนไลน์ (บวกกับที่ปรับแต่ง)คือ 2 บรรทัดเหลือเป็นช่วงแบลงค์ 13 บรรทัด จะแบ่งให้ซีกใดมากกว่าก็ได้ ผลไม่ต่างกันจนผิดสังเกต ผมเลือกให้แบลงค์ก่อน VSYNC เป็น 6 จะได้ R_7 เป็น 30(\$1E)

-R_8 คือ interlace mode สามารถตั้งให้ทำงานได้ 3 แบบคือ

\$)) คือ \$02 เป็น normal mode (non-niterlace)

\$01 เป็น interlace sync.

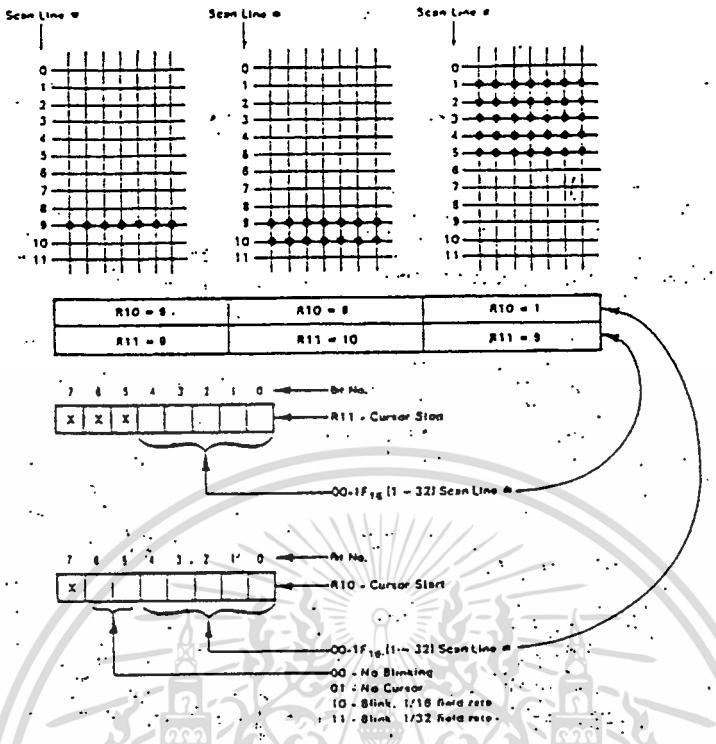
\$11 เป็น interlace sync and video โดยทั่วไปให้ทำงานในแบบ normal mode ที่ผมกล่าวมาทั้งหมดเป็นการใช้งานในโหมดนี้อีก 2 โหมดเขียนโปรแกรมยากเกินความจำเป็นของผมของดกล่าว หากท่าผู้ใดสนใจขอให้ดูในคู่มือหรือหนังสือเกี่ยวกับเรื่องนี้

-R_9 คือ scan lines/row ให้บ่งจำนวนสแกนไลน์ต่อ 1 บรรทัดอักขระ คือ 8 แต่ต้องให้ค่าเป็น 7(\$07)

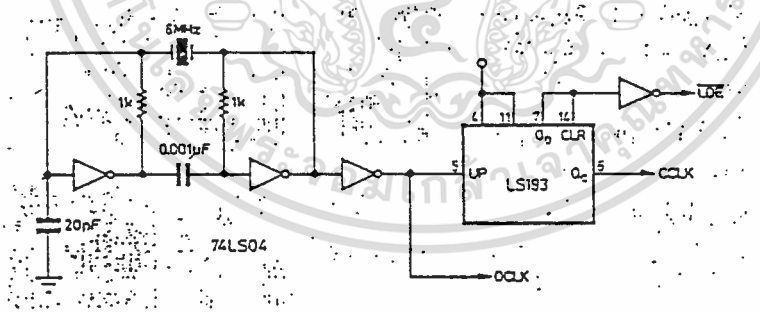
-R_{10} กับ R_{11} คือ cursor start กับ cursor stop เราสามารถกำหนดว่าให้เคอร์เซอร์เป็นขีดเพียงขีดเดียวหรือขีดหนาคือหลายขีดเป็นขีดล่าง ขีดกลาง หรือขีดบน หรือจะให้เป็นรูปสี่เหลี่ยมเต็มทั้งแมทริกซ์ จะให้กระพริบหรือไม่กระพริบหรือไม่แสดงเคอร์เซอร์เลย ถ้ากระพริบช้าหรือเร็ว โดยกำหนดค่าในรีจิสเตอร์ 2 ตัวนี้ หากผมต้องการให้เคอร์เซอร์เป็นรูปสี่เหลี่ยม กระพริบช้า ผมจะต้องให้ค่า R_{10} เท่ากับ R_{11} เท่ากับ \$07 ขอให้ดูรูปที่ 4 ประกอบ

R_{12} และ R_{13} คือ start address เป็นแอดเดรสเริ่มต้นของวิดีโอแรมที่จะให้ปรากฏภาพอักขระที่มุมบนซ้ายตามที่ผมใช้หน่วยความจำ RAM ขนาด 2 กิโลไบท์ CRTC จะมองเห็นหน่วยความจำนี้ตั้วแต่แอดเดรส \$000 ถึง \$07FF ผมจึงควรให้เริ่มต้น (initalize)ของแอดเดรสเริ่มต้นเป็น \$0000 นั่นคือให้ค่า R_{12} และ R_{13} เป็น \$00 โดยที่ R_{12} เป็นแอดเดรสไบท์สูง และ R_{13} เป็นแอดเดรสไบท์ต่ำ เช่นผมต้องการเลื่อนจอภาพขึ้น 1 บรรทัด แอดเดรสเริ่มต้นจะเป็น 80 คือ \$0050 ผมต้องให้ R_{12} มีค่า \$00 และ R_{13} มีค่า \$50 และนี่คือวิธีเปลี่ยนจอภาพ (scroll)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

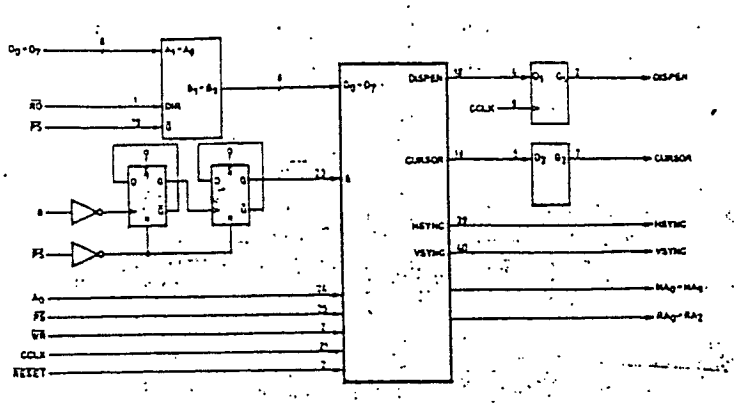


รูปที่ 3.3.4 แสดงการกำหนดค่าให้แก่ R_{10} และ R_{11} เพื่อกำหนดแบบของเคอร์เซอร์



รูปที่3.3.5 แสดงการจัดวงจรภาคสัญญาณนาฬิกา DCLK และ CCLK ไอซี 74LS193 ทำหน้าที่เป็นวงจรหารแปด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.3.6 แสดงการจัดวงจรให้ 6845 74LS245 กับ 74LS74 ต่อเพิ่มเพื่อให้ใช้ 6845 กับ Z80 ได้ แต่นักศึกษาที่ทดลองโครงงานนี้บอกว่าไม่จำเป็น หากต่อกับ 6502 ไม่ต้องใช้ไอซี 2 เบอร์นี้

ซึ่งจะต้องนำไปใช้และผมจะไม่กล่าวถึงอีก

- R_{14} และ R_{15} คือ cursor position เป็นตำแหน่งของเคอร์เซอร์ โดยมี R_{14} เป็นแอดเดรสไบท์สูง และ R_{15} เป็นแอดเดรสไบท์ต่ำอ้างถึงวิดีโอแรมเช่นกัน เมื่อเริ่มต้นเช่นเมื่อเคลียร์จอภาพควรให้เคอร์เซอร์ อยู่มุมซ้ายบนค่าที่ให้แก่ R_{14} และ R_{15} คือ $00 หมายถึงแอดเดรส $0000 ขอให้สังเกตว่าเราสามารถอ่านและเขียนกับรีจิสเตอร์ 2 ตัวนี้ได้

-R_{16} และ R_{17} คือ light pen position บอกตำแหน่งของปากกาแสงโดยอ้างถึงวิดีโอแรมเช่นกัน ทำได้ด้วยการอ่าน

-ให้ค่าเริ่มต้น

รีจิสเตอร์ที่ผมกล่าวมาทั้งหมดนี้มีรีจิสเตอร์ R_{14} ถึง R_{15} เท่านั้น โดยเฉพาะ R14
และ R_{15} ที่ต้องเปลี่ยนแปลงค่าตลอดเวลา แต่เมื่อโปรแกรมใช้งาน 6845 ควรให้ค่าแก่รีจิสเตอร์ทุกตัว การเขียนโปรแกรมควรกำหนดหน่วยความจำหน่วยหนึ่งเช่นให้ชื่อว่า REGTAB จะอยู่ที่แอดเดรสใดก็ได้ เก็บค่าที่เราจะโปรแกรมให้แก่ R_0 ถึง R_{15} เช่น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
REGTAB    89    50    ;    R0 R1
          67    0C    ;    R2 R3
          27    01    ;    R4 R5
          18    1E    ;    R6 R7
          00    07    ;    R8 R9
          60    07    ;    R10 R11
          00    00    ;    R12 R13
          00    00    ;    R14 R15
```

ที่เขียนเป็น 2 แถวเพื่อประหยัดเนื้อที่ และเขียนโปรแกรมดังโปรแกรมที่ 1 ซึ่งเขียนเป็นโปรแกรมภาษาเครื่องของ Z80 เมื่อให้ค่ารีจิสเตอร์แล้ว 6845 จะเริ่มทำงานทันที

-CRTC ในวงจร

เพราะว่าไอซีที่เป็น CRTC ในรุ่นนี้ยังไม่เป็น CRTC คือวงจรควบคุมจอภาพอย่างสมบูรณ์ เราจึงต้องประกอบวงจรเพิ่มเป็นวงจรที่สมบูรณ์ตามรูปที่ 2 แต่ละรูปสี่เหลี่ยมส่วนมากจะมีความหมายสมบูรณ์ในตัวคือ ใช้ไอซีเบอร์ที่ระบุที่ต้องขยายคือ

- วงจร DCLK และ CCLK ตามรูปที่ 3.3.5
- วงจร CRTC ดังรูปที่ 3.3.6
- สำหรับวงจร selector ใช้ 74LS157 จำนวน 3 ตัว ต่ออนุกรมกันเพื่อให้เลือกแอดเดรสได้ 11 สาย

โปรแกรมที่ 1 โปรแกรมเพื่อให้ค่ารีจิสเตอร์ R_0 ถึง R_{15} ของ 6845 ค่าที่จะให้เก็บอยู่ในหน่วยความจำตั้งแต่แอดเดรส REGTAB + 00H ถึง +0FH ใช้รีจิสเตอร์ C ของ Z80 แทนหมายเลขรีจิสเตอร์ R_0 ถึง R_{15} คำสั่ง OUT (ADRPRT), A เป็นการให้หมายเลขรีจิสเตอร์ที่จะติดต่อด้วยกับ address register ส่วนคำสั่ง OUT (REGPRT), A เป็นการให้ค่าตามตารางแก่รีจิสเตอร์นั้น ๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
CRTPREP   LD      HL,REGTAB
          LD      C, 00H
          LD      B, 10H
CR1       LD      A, C
          OUT     (ADRPRT), A
          LD      A, (HL)
          OUT     (REGPRT), A
          INC     C
          INC     HL
          DINZ    CR1
```

-การใช้งาน

ในการใช้งาน CRTC นอกจากโปรแกรมค่าเริ่มต้นให้แก่รีจิสเตอร์แล้วจะต้องเขียนโปรแกรมสนับสนุนการทำงานของมันที่จำเป็นได้แก่

- CURUP (cursor up) เลื่อนเคอร์เซอร์ขึ้นบน 1 บรรทัดอักขระ
- LF (linefeed) เลื่อนเคอร์เซอร์ลงล่าง 1 บรรทัดอักขระ
- CURLET (cursor left) เลื่อนเคอร์เซอร์ซ้าย 1 อักขระ
- CURRGHT (cursor light) เลื่อนเคอร์เซอร์ขวา 1 อักขระ
- CR (carriage return) เลื่อนเคอร์เซอร์ไปต้นบรรทัดอักขระ
- SCROLL (scrolling) เพื่อเลื่อนภาพทั้งหมดขึ้นบน 1 บรรทัดอักขระ
- HOME เคลียร์จอภาพคือให้ภาพดำทั้งจอภาพ และให้เคอร์เซอร์อยู่ที่มุมซ้ายบน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หนังสืออ้างอิง

1 Harold B.Killen " Telecommunications and Data Communication System design with Troubleshooting "Prentice hall,INC.Engle wood Cliffs,New Jersey.

2 Lewis C. Egge brecht " Interfacing to the IBM Personal Computer " Howard W. Sams & Co.,Inc.

3 Internatinoal Business Machines Corporation (IBM) " IBM Technical Reference Personal Computer XT Hardware Reference Library ".

4 Gerry Kane " CRT Controller Handbook " OSBORNE /McGraw-Hill Berkeley , California.

5 Robert Lafore"ASSIMBLY LANGUAGE PRIMER for the IBM PC & XT" A Plume / Waite Book New American Library New York and Scanborough, Ontario.

6 James W. Coffron " Z8Ø Application ".

7 Lance A. Leventhal,Winthrop Sabille " Z8Ø ASYMBLY LANGUAGE SUBROUTINES ".

8 ดร. ศิริวรรณ ฉันทาดิศัย " หลักการเขียนโปรแกรมภาษาแอสแซมบลี 8Ø88 " สำนักพิมพ์ ประกายพรึก กรุงเทพฯ "

9 ผศ. ประกิจ ตังติสานนท์ " วิศวกรรมการสื่อสารไฟฟ้า อิเล็คทรอนิคส์ " คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง กรุงเทพฯ

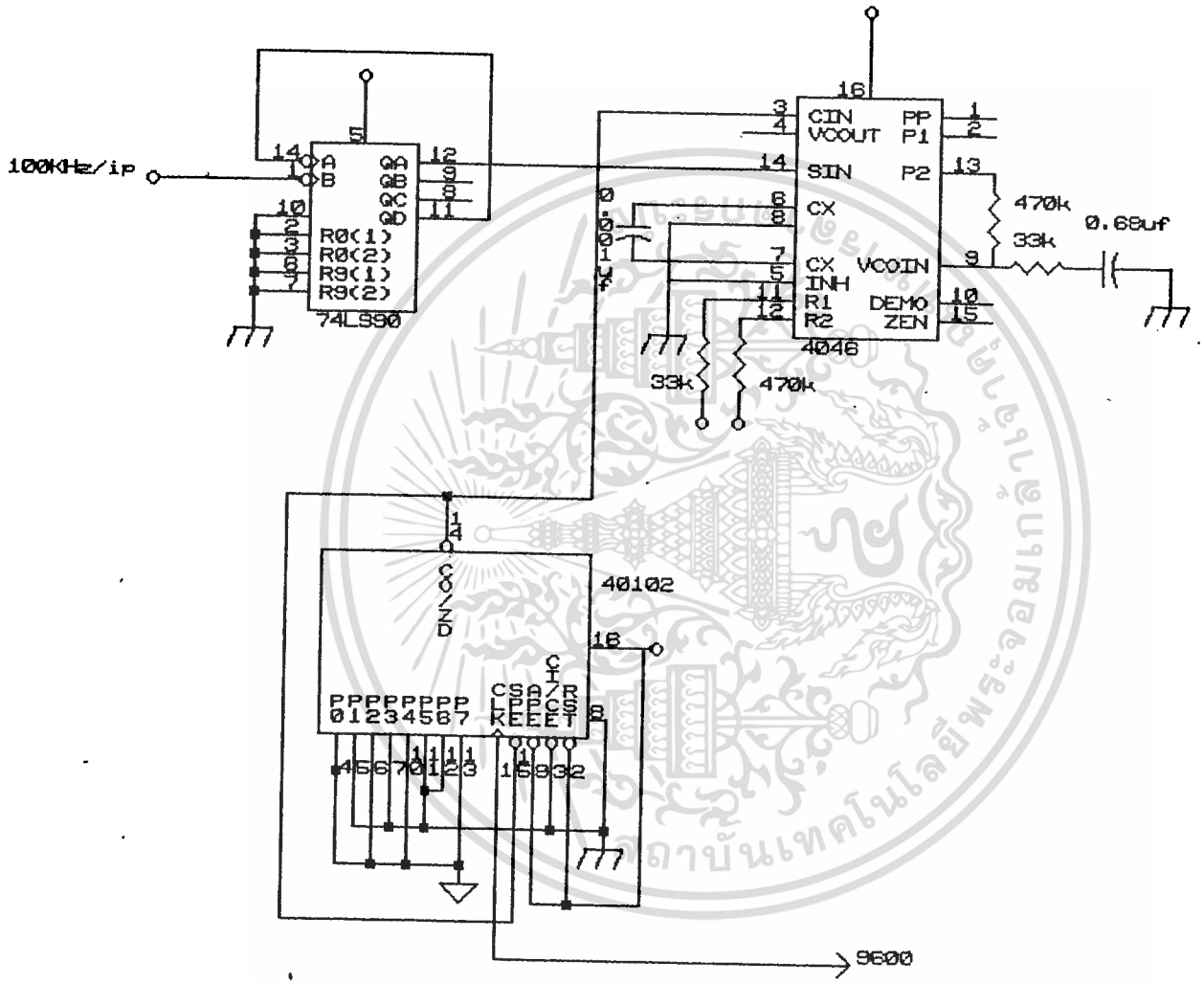
10 Multitech corp. " MPF1/8Ø USER MANUAL ".

11 Multitech corp. " MPF1/8Ø REFERENCE MANUAL ".

12 Multitech corp. " MPF1/88 USER MANUAL ".

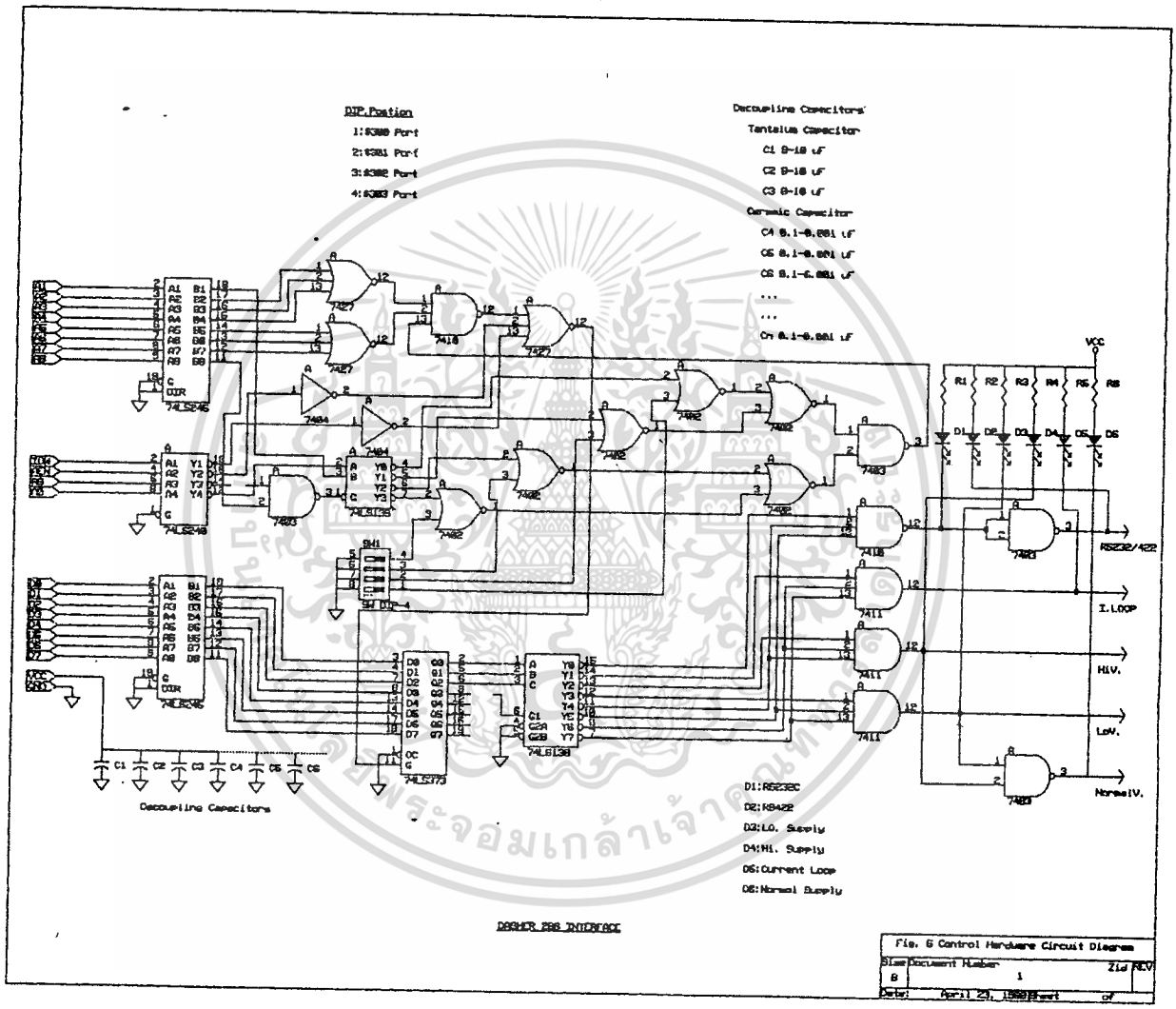
13 Multitech corp. " MPF1/88 REFERENCE MANUAL ".

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

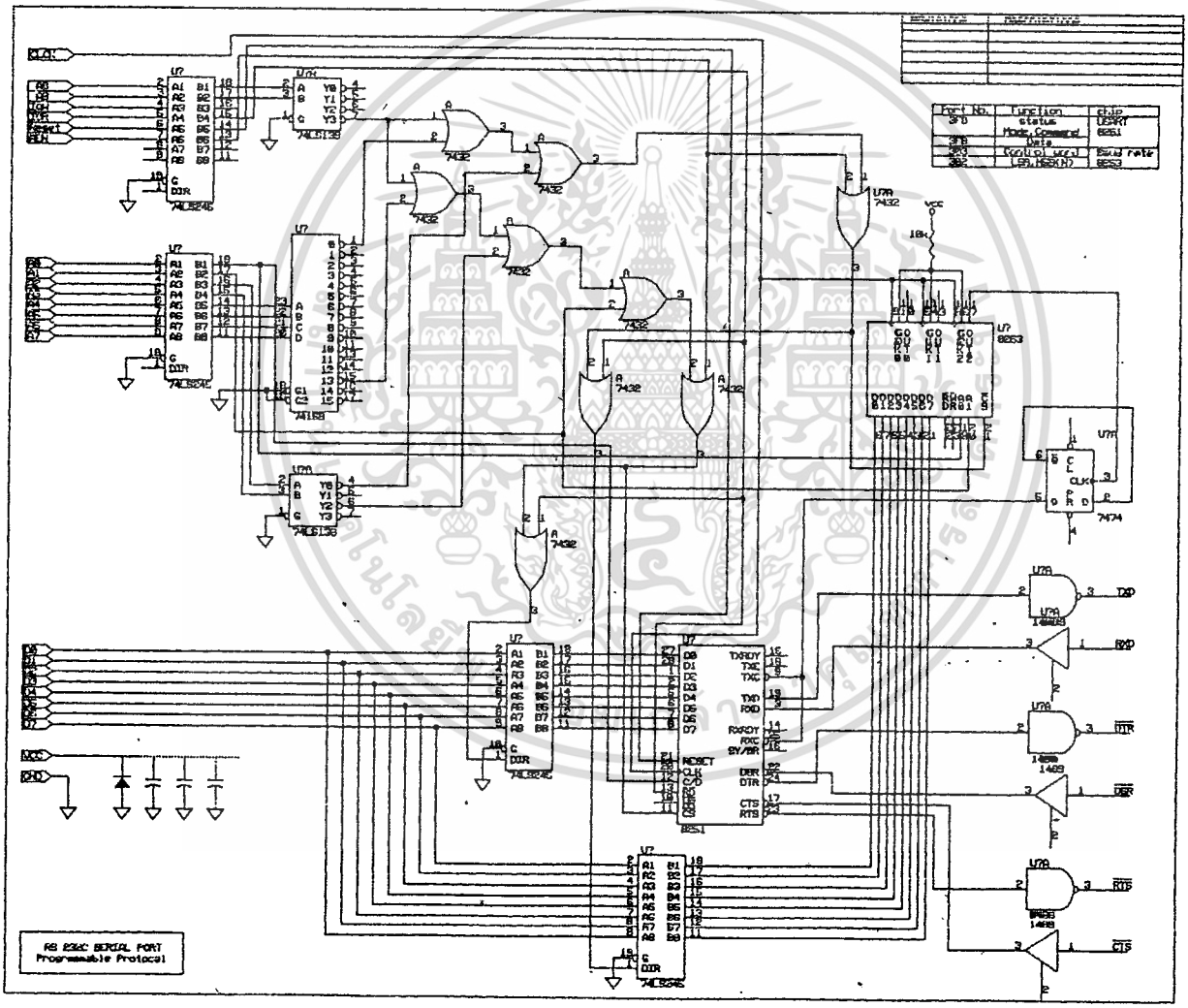


Time base clock of Transmitter

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
MOV   DX,0303       ;8253
MOV   AL,B7
OUT   DX,AL
MOV   DX,0302
MOV   AL,22
OUT   DX,AL
MOV   AL;01
OUT   DX,AL
INT   7
MOV   AL,44
OUT   DX,AL
MOV   AL,02
OUT   DX,AL
INT   7
MOV   AL,88
OUT   DX,AL
MOV   AL,04
OUT   DX,AL
INT   7
MOV   AL,54
OUT   DX,AL
MOV   AL,14
OUT   DX,AL
RET   INT7
CALL  21
INT   7
MOV   AL,19
OUT   DX,AL
MOV   AL,19
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        OUT   DX,AL
        RET
        MOV   AL,04
        OUT   DX,AL
        MOV   AL,39
        OUT   DX,AL
        RET
        MOV   AL,08
        OUT   DX,AL
        MOV   AL,78
        OUT   DX,AL
        RET
        CALL  002D
        INT   7
        CALL  0034
        INT   7
        CALL  003B
        INT   7

0011    MOV   DX,03F9
        MOV   AH,03
0016    MOV   AL,00
        OUT   DX,AL
        DEC   AH
        JNZ   16
        MOV   AL,40
        OUT   DX,AL
        MOV   AL,DD
        OUT   DX,AL
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        MOV   AL,37
        OUT   DX,AL
0026    MOV   DX,03F8
        MOV   AL,BL
        OUT   DX,AL
        MOV   DX,03F9
002F    MOV   AL,00
        IN    AL,DX
        TEST  AL,02
        JZ    2F
        MOV   DX,03F8
        IN    AL,DX
        INT   B
        MOV   DX,03F9
003F    MOV   AL,00
        IN    AL,DX
        TEST  AL,04
        JZ    3F
        JMP   26
        INT   7
        CLD
        MOV   SI,0Q
        MOV   DX,03F8
0507    MOV   DI,0100
        LODSB
        CMP   AL,00
        JZ    0523
        OUT   DX,AL
        MOV   DX,03F9
```

เอกสารนี้มีลิขสิทธิ์ สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
MOV  AL,00
IN   AL,DX
TEST AL,02
JZ   0513
MOV  DX,03F8
IN   AL,DX
STOSB
INT  B
JMP  0507
INT  7
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
MAIN   CALL BAUD
       CALL RSINT
       CALL CRT
M5     CALL CSR
       LD   B,0AH
M4     LD   C,192
M3     LD   A,4EH
       OUT  (7CH),A
M1     LD   A,00H
       IN   A,(07DH)
       BIT  1,A
       JP   Z,M1
       IN   A,(7CH)
       CALL OCRT
M2     LD   A,00H
       IN   A,(7DH)
       BIT  0,A
       JP   Z,M2
       DEC  C
       JP   NZ,M3
       DJNZ M4
       LD   HL,0000H
       CALL WRC
       JP   M5
       RST  38H
RCV    CALL CSR
       LD   B,0AH
RCV1   LD   C,0193
CCV2   LD   A,00H
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        IN    A,(7DH)
        BIT   1,A
        JPZ   RCV2
        IN    A,(7CH)
        CALL  OCRT
        DEC   C
        JPNZ  RCV2
        DJNZ  RCV1
        JP    RCV
        RST   38H


CON     LD    A,0AH          ;CURSOR ON
        OUT   (0A0H),A
        LD    A,60H
        OUT   (0A1H),A
        LD    A,0BH
        OUT   (0A0H),A
        LD    A,07H
        OUT   (0A1H),A
        RET

COFF    LD    A,0AH
        OUT   (0A0H),A
        LD    A,07H
        OUT   (0A1H),A
        RET
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
HEAD1   LD    A,(DE)
        LD    (HL),A
        INC   HL
        INC   DE
        DJNZ  HEAD1
        RET


HLINE   LD    A,93H
HLINE1  LD    (HL),A
        INC   HL
        DJNZ  HLINE1
        RET


VLINE   LD    A,93H      ;VERTICAL LINE

        LD    DE,50H
VLINE1  LD    (HL),A
        ADD   HL,DE
        DJNZ  VLINE1
        RET


RK      CALL  09B0H      ;READKEY
        LD    IX,0FF2CH
        CALL  0246H
        RET
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

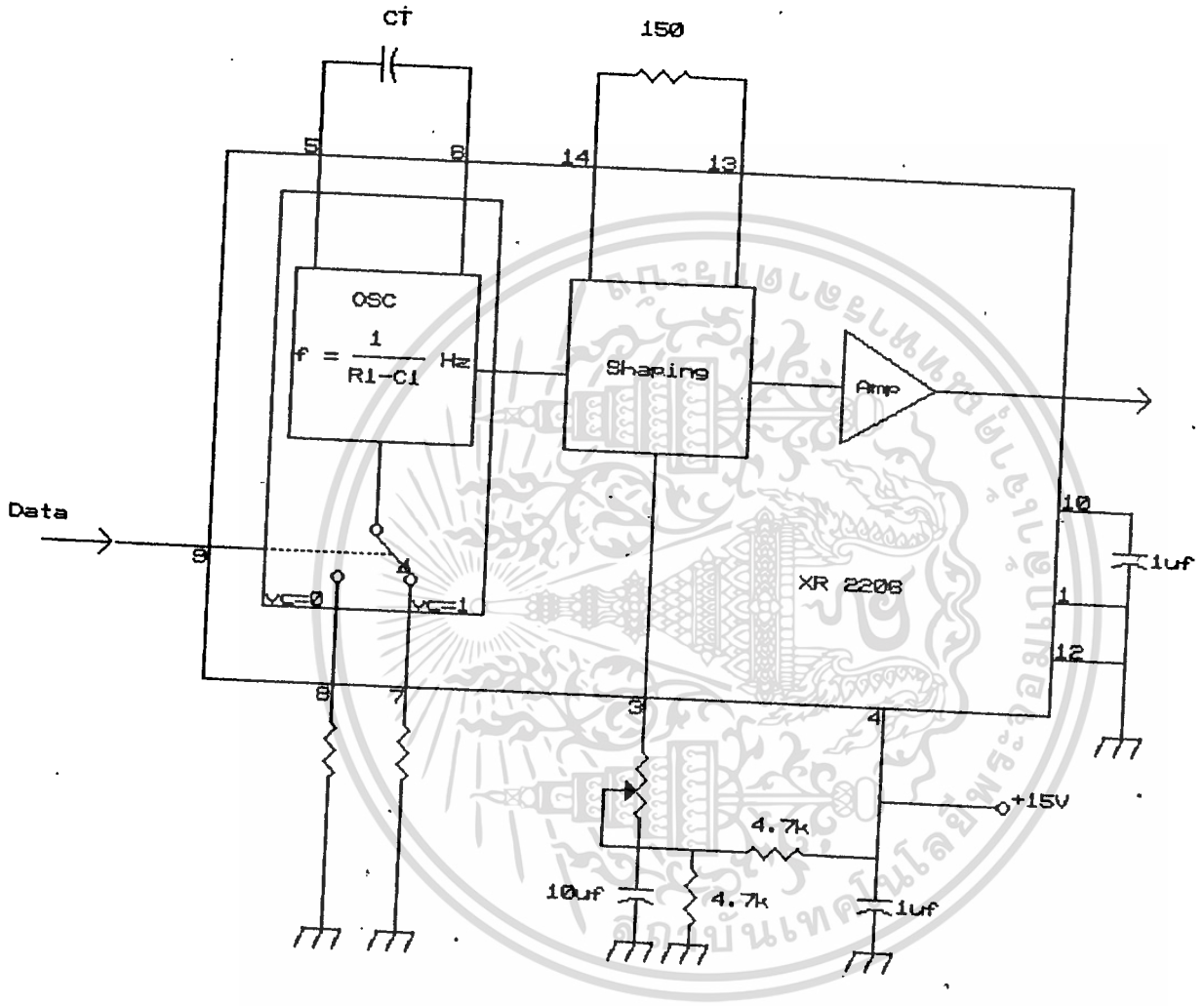
```
BAUD    LD    A,0B7H      ;2400 BAUD
        OUT   (33H),A
        LD    A,00H
        RET


RSINT   LD    B,03H
        LD    A,00H
RSLP    OUT   (7DH),A
        NOP
        NOP
        DJNZ  RSLP
        LD    A,40H
        OUT   (7DH),A
        LD    A,0DDH
        OUT   (7DH),A
        LD    A,37H
        OUT   (7DH),A
        RET


ORCT    PUSH  AF
        LD    DE,5000H
        CALL  RDC
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        ADD  HL,DE
        PUSH BC
        CALL RDC
        INC  HL
        CALL WRC
        RET
```

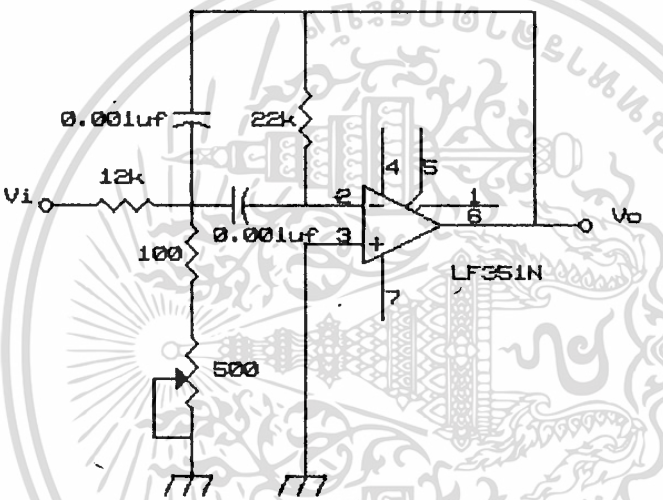
```
CSR     LD   A,20H      ;CLEAR SCREEN
        LD   HL,5000H
        LD   B,02H
CSR1    LD   C,960
CSR2    LD   (HL),A
        INC HL
        DEC C
        JP   NZ,CSR2
        DJNZ CSR1
        LD    HL,0000H
        CALL WRC
        RET
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

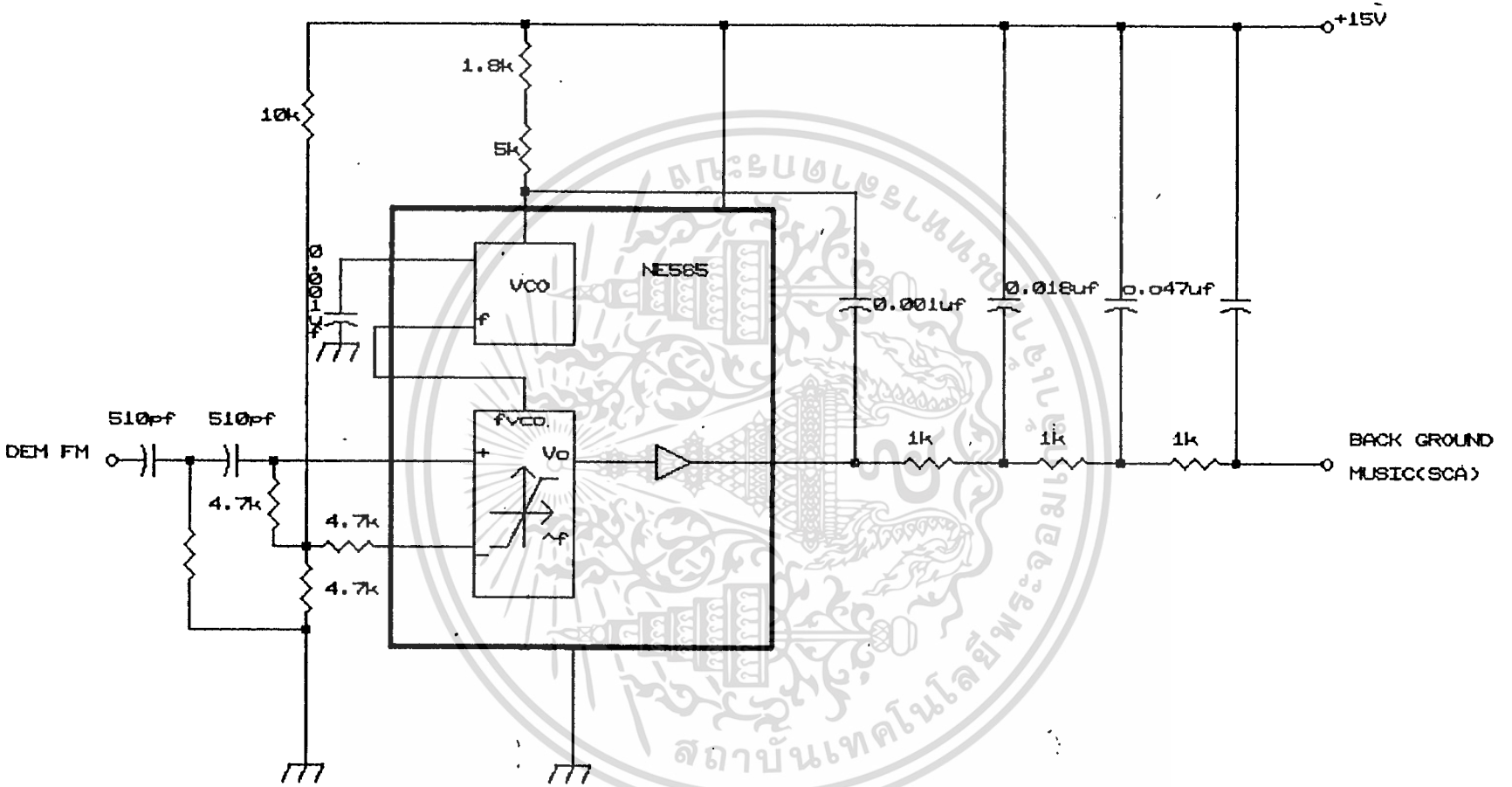


VOLTAGE CONTROLLER OSC.

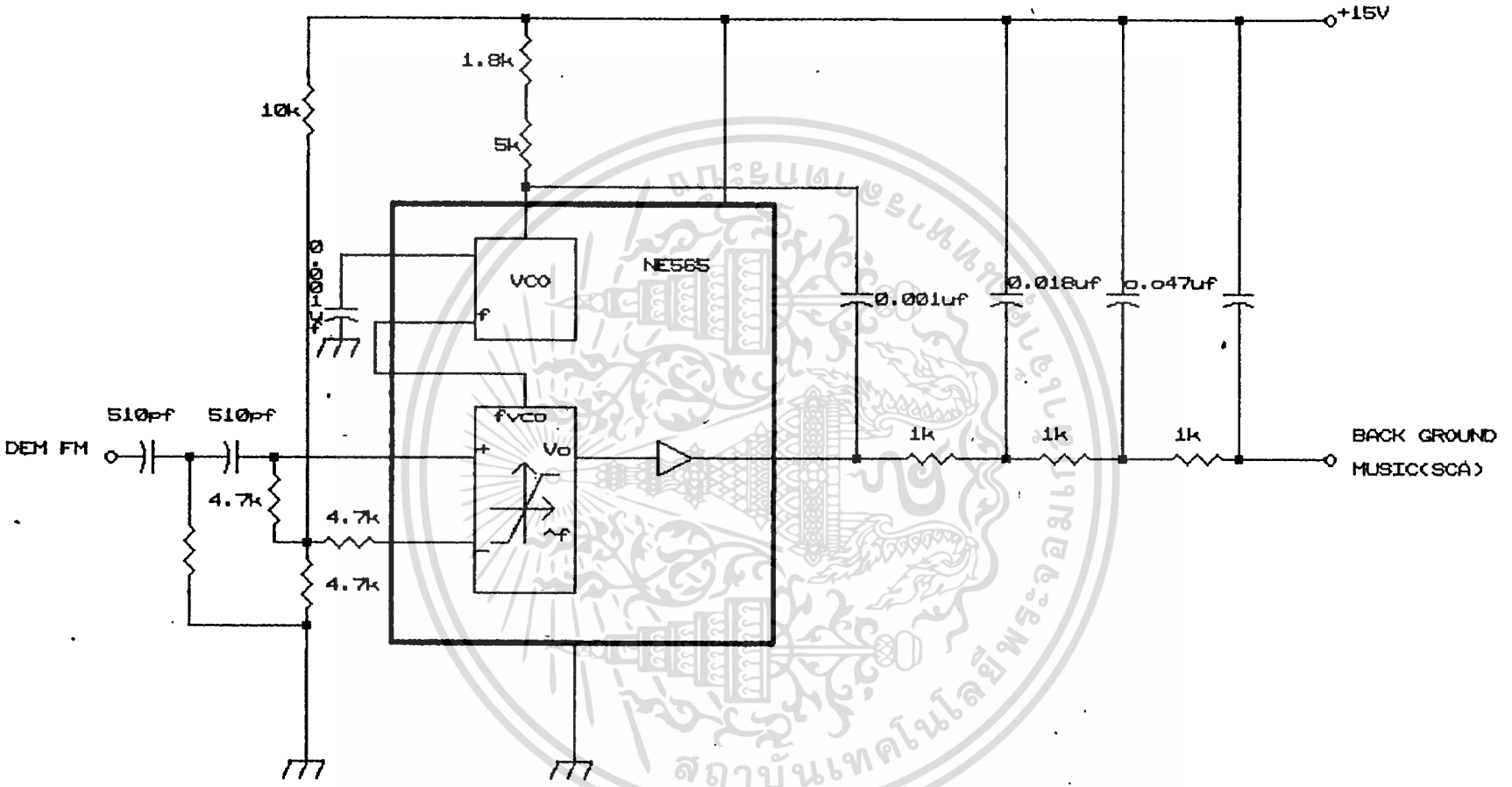
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



;BAND PASS FILTER 67KHz ± 7.5KHz



PHASE LOCK LOOP DETECTOR & LOW PASS FILTER



PHASE LOCK LOOP DETECTOR & LOW PASS FILTER

MOTOROLA

SN54LS221
SN74LS221

DUAL MONOSTABLE MULTIVIBRATORS WITH SCHMITT-TRIGGER INPUTS

LOW POWER SCHOTTKY

DESCRIPTION — Each multivibrator of the LS221 features a negative-transition-triggered input and a positive-transition-triggered input either of which can be used as an inhibit input.

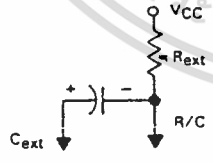
Pulse triggering occurs at a voltage level and is not related to the transition time of the input pulse. Schmitt-trigger input circuitry for B input allows jitter-free triggering for inputs as slow as 1 volt/second, providing the circuit with excellent noise immunity. A high immunity to V_{CC} noise is also provided by internal latching circuitry.

Once triggered, the outputs are independent of further transitions of the inputs and are a function of the timing components. The output pulses can be terminated by the overriding clear. Input pulse width may be of any duration relative to the output pulse width. Output pulse width may be varied from 35 nanoseconds to a maximum of 70 s by choosing appropriate timing components. With R_{ext} = 2 kΩ and C_{ext} = 0, a typical output pulse of 30 nanoseconds is achieved. Output rise and fall times are independent of pulse length.

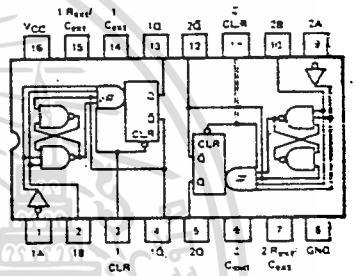
Pulse width stability is achieved through internal compensation and is virtually independent of V_{CC} and temperature. In most applications, pulse stability will only be limited by the accuracy of external timing components.

Jitter-free operation is maintained over the full temperature and V_{CC} ranges for greater than six decades of timing capacitance (10 pF to 10 μF), and greater than one decade of timing resistance (2 to 70 kΩ for the SN54LS221, and 2 to 100 kΩ for the SN74LS221). Pulse width is defined by the relationship: $t_w(out) = C_{ext}R_{ext} \ln 2 \approx 0.7\, C_{ext}R_{ext}$. If pulse cutoff is not critical, capacitance up to 1000 μF and resistance as low as 1.4 kΩ may be used. The range of jitter-free pulse widths is extended if V_{CC} is 5 V and 25°C temperature.

- SN54LS221 and SN74LS221 IS A DUAL HIGHLY STABLE ONE-SHOT
- OVERRIDING CLEAR TERMINATES OUTPUT PULSE
- PIN OUT IS IDENTICAL TO SN54LS/74LS123



(TOP VIEW)



positive logic: Low input to clear resets Q low and Q̄ high regardless of input levels at A or B inputs

J Suffix — Case 620-08 (Ceramic)
N Suffix — Case 648-05 (Plastic)

FUNCTION TABLE

(EACH MONOSTABLE)

INPUTS			OUTPUTS	
CLEAR	A	B	Q	Q̄
L	X	X	L	H
X	H	X	L	H
X	X	L	L	H
H	L	↑	⊓	⊔
H	↓	H	⊓	⊔
↑	L	H	⊓	⊔

TYPE	TYPICAL POWER DISSIPATION	MAXIMUM OUTPUT PULSE LENGTH
SN54LS221	23 mW	49 s
SN74LS221	23 mW	70 s

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Once in the pulse trigger mode, the output pulse width is determined by $t_W = R_{ext}C_{ext}\ln 2$, as long as R_{ext} and C_{ext} are within their minimum and maximum valves and the duty cycle is less than 50%. This pulse width is essentially independent of V_{CC} and temperature variations. Output pulse widths varies typically no more than ±0.5% from device to device.

If the duty cycle, defined as being $100 \bullet \frac{t_W}{T}$ where T is the period of the input pulse, rises above 50%, the output pulse width will become shorter. If the duty cycle varies between low and high valves, this causes the output pulse width to vary in length, or jitter. To reduce jitter to a minimum, R_{ext} should be as large as possible. (Jitter is independent of C_{ext}). With R_{ext} = 100K, jitter is not appreciable until the duty cycle approaches 90%.

Although the LS221 is pin-for-pin compatible with the LS123, it should be remembered that they are not functionally identical. The LS123 is retriggerable so that the output is dependent upon the input transitions once it is high. This is not the case for the LS221. Also note that it is recommended to externally ground the LS123 C_{ext} pin. However, this cannot be done on the LS221.

The SN54LS/74LS221 is a dual, monolithic, non-retriggerable, high-stability one shot. The output pulse width, t_W can be varied over 9 decades of timing by proper selection of the external timing components, R_{ext} and C_{ext}.

Pulse triggering occurs at a voltage level and is, therefore, independent of the input slew rate. Although all three inputs have this Schmitt-trigger effect, only the B input should be used for very long transition triggers (≥1.0 μV/s). High immunity to V_{CC} noise (typically 1.5 V) is achieved by internal latching circuitry. However, standard V_{CC} bypassing is strongly recommended.

The LS221 has four basic modes of operation.

Clear Mode If the clear input is held low, irregardless of the previous output state and other input states, the Q output is low.

Inhibit Mode: If either the A input is high or the B input is low, once the Q output goes low, it cannot be retriggered by other inputs.

Pulse Trigger Mode This occurs when none of the other modes are in effect and the Q output is low. A proper transition by either the CLR, A or B input, as shown in the truth table, will cause the Q output to go high and remain high for the pulse time t_W.

Once triggered, as long as the output remains high, all input transitions (except for Clear, see Note 4) are ignored.

Overriding Clear Mode If the Q output is high, it may be forced low by bringing the clear input low.

4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

GUARANTEED OPERATING RANGES

SYMBOL	PARAMETER		MIN	TYP	MAX	UNIT
V_{CC}	Supply Voltage	54 74	4.5 4.75	5.0 5.0	5.5 5.25	V
T_A	Operating Ambient Temperature Range	54 74	−55 0	25 25	125 70	°C
I_{OH}	Output Current — High	54,74			−0.4	mA
I_{OL}	Output Current — Low	54 74			4.0 8.0	mA

DC CHARACTERISTICS OVER OPERATING TEMPERATURE RANGE (unless otherwise specified)

SYMBOL	PARAMETER		LIMITS MIN	LIMITS TYP	LIMITS MAX	UNITS	TEST CONDITIONS
V_{T+}	Positive-Going Threshold Voltage at A Input			1.0	2.0	V	V_{CC} = MIN
V_{T-}	Negative-Going Threshold Voltage at A Input	54	0.7	1.0		V	V_{CC} = MIN
		74	0.8	1.0		V	
V_{T+}	Positive-Going Threshold Voltage at B Input			1.0	2.0	V	V_{CC} = MIN
V_{T-}	Negative-Going Threshold Voltage at B Input	54	0.7	0.9		V	V_{CC} = MIN
		74	0.8	0.9		V	
V_{IK}	Input Clamp Voltage				−1.5	V	V_{CC} = MIN, I_{IN} = −18 mA
V_{OH}	Output HIGH Voltage	54	2.5	3.4		V	V_{CC} = MIN, I_{OH} = MAX
		74	2.7	3.4		V	
V_{OL}	Output LOW Voltage	54		0.25	0.4	V	I_{OL} = 4.0 mA; V_{CC} = MIN
		74		0.35	0.5	V	I_{OL} = 8.0 mA; V_{CC} = MIN
I_{IH}	Input HIGH Current				20	μA	V_{CC} = MAX, V_{IN} = 2.7 V
					0.1	mA	V_{CC} = MAX, V_{IN} = 7.0 V
I_{IL}	Input LOW Current Input A Input B Clear				−0.4 −0.8 −0.8	mA	V_{CC} = MAX, V_{IN} = 0.4 V
I_{OS}	Short Circuit Current		−20		−100	mA	V_{CC} = MAX
I_{CC}	Power Supply Current Quiescent			4.7	11	mA	V_{CC} = MAX
	Triggered			19	27		

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC CHARACTERISTICS: V_{CC} = 5.0 V, T_A = 25°C

SYMBOL	FROM (INPUT)	TO (OUTPUT)	LIMITS MIN	LIMITS TYP	LIMITS MAX	UNIT	TEST CONDITIONS	
t_{PLH}	A	Q		45	70	ns	C_L=15 pF, See Figure 1	C_{ext} = 80 pF, R_{ext} = 2 kΩ
	B	Q		35	55			
t_{PHL}	A	$\overline{Q}$		50	80	ns		
	B	$\overline{Q}$		40	65			
t_{PHL}	Clear	Q		35	55	ns		
t_{PLH}	Clear	$\overline{Q}$		44	65	ns		
$t_{W(out)}$	A or B	Q or $\overline{Q}$	70	120	150	ns		C_{ext} = 80 pF, R_{ext} = 2 Ω
			20	47	70			C_{ext} = 0, R_{ext} = 2 kΩ
			600	670	750			C_{ext} = 100 pF, R_{ext} = 10 kΩ
			6	6.9	7.5	ms		C_{ext} = 1 μF, R_{ext} = 10 kΩ

AC SETUP REQUIREMENTS V_{CC} = 5.0 V, T_A = 25°C

SYMBOL	PARAMETER		LIMITS MIN	LIMITS TYP	LIMITS MAX	UNITS
dv/dt	Rate of Rise or Fall of Input Pulse	Schmitt, B	1.0			V/s
		Logic Input, A	1.0			V/μs
t_W	Input Pulse Width	A or B, $t_{W(in)}$	40			ns
		Clear, t_W (clear)	40			
t_s	Clear-Inactive-State Setup Time		15			ns
R_{ext}	External Timing Resistance	54	1.4		70	kΩ
		74	1.4		100	
C_{ext}	External Timing Capacitance		0		1000	μF
	Output Duty Cycle	R_T = 2.0 kΩ			50	%
		R_T = MAX R_{ext}			90	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC WAVEFORMS

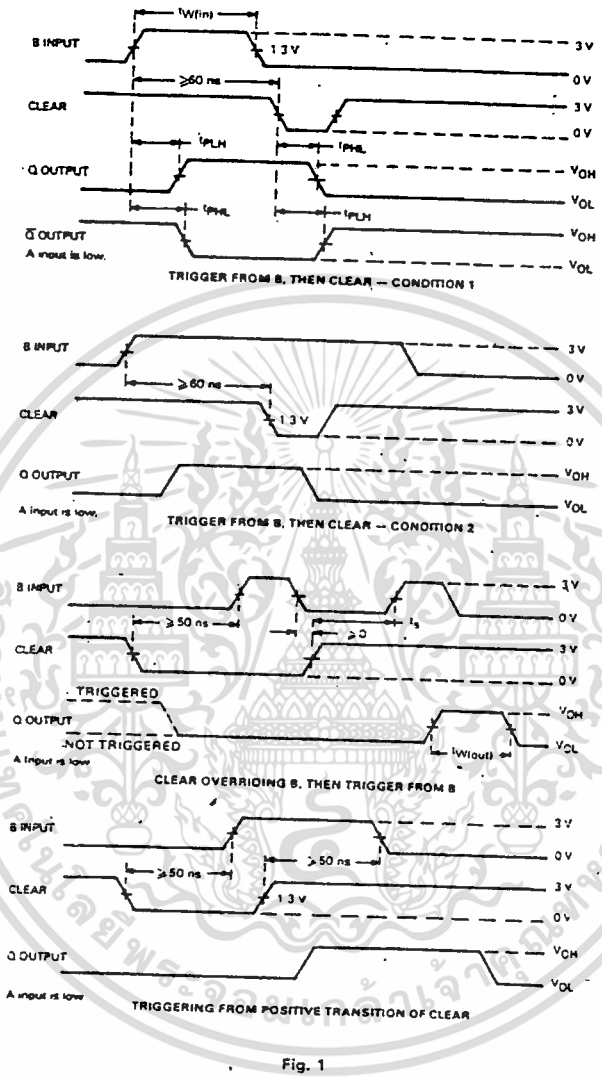


Fig. 1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MOTOROLA

SN54LS139
SN74LS139

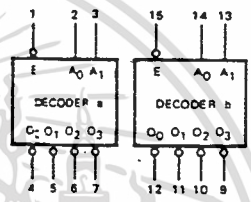
DUAL 1-OF-4 DECODER/ DEMULTIPLEXER

LOW POWER SCHOTTKY

DESCRIPTION — The LSTTL/MSI SN54LS/74LS139 is a high speed Dual 1-of-4 Decoder/Demultiplexer. The device has two independent decoders, each accepting two inputs and providing four mutually exclusive active LOW Outputs. Each decoder has an active LOW Enable input which can be used as a data input for a 4-output demultiplexer. Each half of the LS139 can be used as a function generator providing all four minterms of two variables. The LS139 is fabricated with the Schottky barrier diode process for high speed and is completely compatible with all Motorola TTL families.

- SCHOTTKY PROCESS FOR HIGH SPEED
- MULTIFUNCTION CAPABILITY
- TWO COMPLETELY INDEPENDENT 1-OF-4 DECODERS
- ACTIVE LOW MUTUALLY EXCLUSIVE OUTPUTS
- INPUT CLAMP DIODES LIMIT HIGH SPEED TERMINATION EFFECTS

LOGIC SYMBOL



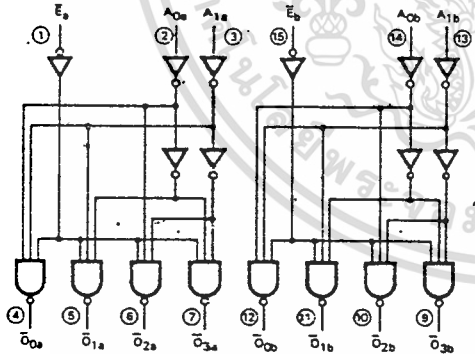
VCC = Pin 16
GND = Pin 8

PIN NAMES

		LOADING (Note a) HIGH	LOW
A_0, A_1	Address Inputs	0.5 U.L.	0.25 U.L.
$\overline{E}$	Enable (Active LOW) Input	0.5 U.L.	0.25 U.L.
$\overline{O}_0 - \overline{O}_3$	Active LOW Outputs (Note b)	10 U.L.	5 (2.5) U.L.

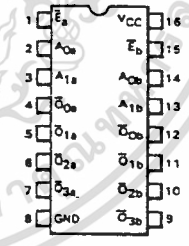
NOTES:
a. 1 TTL Unit Load (U.L.) = 40 µA HIGH/1.6 mA LOW.
b. The Output LOW drive factor is 2.5 U.L. for Military (54) and 5 U.L. for Commercial (74) Temperature Ranges.

LOGIC DIAGRAM



VCC = Pin 16
GND = Pin 8
○ = Pin Numbers

CONNECTION DIAGRAM DIP (TOP VIEW)



J Suffix — Case 620-08 (Ceramic)
N Suffix — Case 648-05 (Plastic)

NOTE
The Flatpak version has the same pinouts (Connection Diagram) as the Dual In-Line Package

4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FUNCTIONAL DESCRIPTION — The LS139 is a high speed dual 1-of-4 decoder/demultiplexer fabricated with the Schottky barrier diode process. The device has two independent decoders, each of which accept two binary weighted inputs (A_0, A_1) and provide four mutually exclusive active LOW outputs ($\overline{O}_0$-$\overline{O}_3$). Each decoder has an active LOW Enable ($\overline{E}$). When $\overline{E}$ is HIGH all outputs are forced HIGH. The enable can be used as the data input for a 4-output demultiplexer application.

Each half of the LS139 generates all four minterms of two variables. These four minterms are useful in some applications, replacing multiple gate functions as shown in Fig. a, and thereby reducing the number of packages required in a logic network.

TRUTH TABLE

INPUTS			OUTPUTS			
$\overline{E}$	A_0	A_1	$\overline{O}_0$	$\overline{O}_1$	$\overline{O}_2$	$\overline{O}_3$
H	X	X	H	H	H	H
L	L	L	L	H	H	H
L	H	L	H	L	H	H
L	L	H	H	H	L	H
L	H	H	H	H	H	L

H = HIGH Voltage Level
L = LOW Voltage Level
X = Don't Care

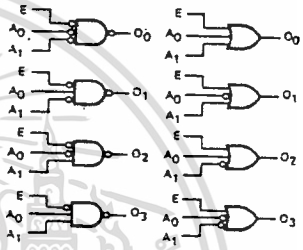


Fig. a

GUARANTEED OPERATING RANGES

SYMBOL	PARAMETER		MIN	TYP	MAX	UNIT
V_{CC}	Supply Voltage	54	4.5	5.0	5.5	V
		74	4.75	5.0	5.25	
T_A	Operating Amb-ent Temperature Range	54	−55	25	125	°C
		74	0	25	70	
I_{OH}	Output Current — High	54, 74			−0.4	mA
I_{OL}	Output Current — Low	54			4.0	mA
		74			8.0	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DC CHARACTERISTICS OVER OPERATING TEMPERATURE RANGE (unless otherwise specified)

SYMBOL	PARAMETER		LIMITS MIN	LIMITS TYP	LIMITS MAX	UNITS	TEST CONDITIONS	
V_{IH}	Input HIGH Voltage		2.0			V	Guaranteed Input HIGH Voltage for All Inputs	
V_{IL}	Input LOW Voltage	54			0.7	V	Guaranteed Input LOW Voltage for All Inputs	
		74			0.8			
V_{IK}	Input Clamp Diode Voltage			−0.65	−1.5	V	V_{CC} = MIN, I_{IN} = −18 mA	
V_{OH}	Output HIGH Voltage	54	2.5	3.5		V	V_{CC} = MIN, I_{OH} = MAX, V_{IN} = V_{IH} or V_{IL} per Truth Table	
		74	2.7	3.5		V		
V_{OL}	Output LOW Voltage	54,74		0.25	0.4	V	I_{OL} = 4.0 mA	V_{CC} = V_{CC} MIN, V_{IN} = V_{IL} or V_{IH} per Truth Table
		74		0.35	0.5	V	I_{OL} = 8.0 mA	
I_{IH}	Input HIGH Current				20	μA	V_{CC} = MAX, V_{IN} = 2.7 V	
					0.1	mA	V_{CC} = MAX, V_{IN} = 7.0 V	
I_{IL}	Input LOW Current				−0.4	mA	V_{CC} = MAX, V_{IN} = 0.4 V	
I_{OS}	Short Circuit Current		−20		−100	mA	V_{CC} = MAX	
I_{CC}	Power Supply Current				11	mA	V_{CC} = MAX	

AC CHARACTERISTICS: T_A = 25°C

SYMBOL	PARAMETER	LEVEL OF DELAY	LIMITS MIN	LIMITS TYP	LIMITS MAX	UNITS	TEST CONDITIONS
t_{PLH} t_{PHL}	Propagation Delay Address to Output	2 2		13 22	20 33	ns	V_{CC} = 5.0 V C_L = 15 pF
t_{PLH} t_{PHL}	Propagation Delay Address to Output	3 3		18 25	29 38	ns	
t_{PLH} t_{PHL}	Propagation Delay Enable to Output	2 2		16 21	24 32	ns	

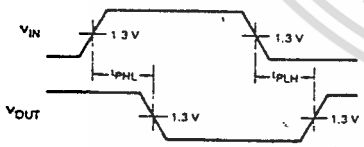


Fig. 1

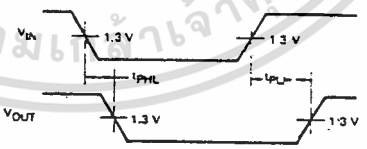


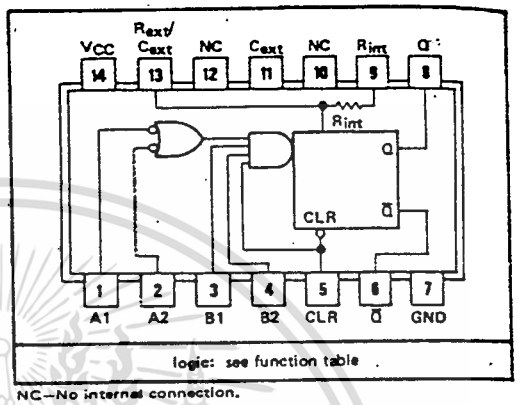
Fig. 2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPES SN54122, SN54123, SN54L122, SN54L123, SN54LS122, SN54LS123, SN74122, SN74123, SN74L122, SN74L123, SN74LS122, SN74LS123
RETRIGGERABLE MONOSTABLE MULTIVIBRATORS

- D-C Triggered from Active-High or Active-Low Gated Logic Inputs
- Retriggerable for Very Long Output Pulses, Up to 100% Duty Cycle
- Overriding Clear Terminates Output Pulse
- Compensated for V_{CC} and Temperature Variations
- '122, 'L122, 'LS122 Have Internal Timing Resistors

SN54122, SN54LS122 . . . J OR W
SN54L122 . . . J OR T
SN74122, SN74LS122 . . . J OR N
(TOP VIEW) (SEE NOTES 1 THRU 4)



logic: see function table

NC—No internal connection.

'122, 'L122, 'LS122
FUNCTION TABLE

INPUTS					OUTPUTS	
CLEAR	A1	A2	B1	B2	Q	$\overline{Q}$
L	X	X	X	X	L	H
X	H	H	X	X	L*	H*
X	X	X	L	X	L*	H*
X	X	X	X	L	L*	H*
H	L	X	↑	H	⎍	⎎
H	L	X	H	↑	⎍	⎎
H	X	L	↑	H	⎍	⎎
H	X	L	H	↑	⎍	⎎
H	H	↓	H	H	⎍	⎎
H	↓	↓	H	H	⎍	⎎
H	↓	H	H	H	⎍	⎎
↑	L	X	H	H	⎍	⎎
↑	X	L	H	H	⎍	⎎

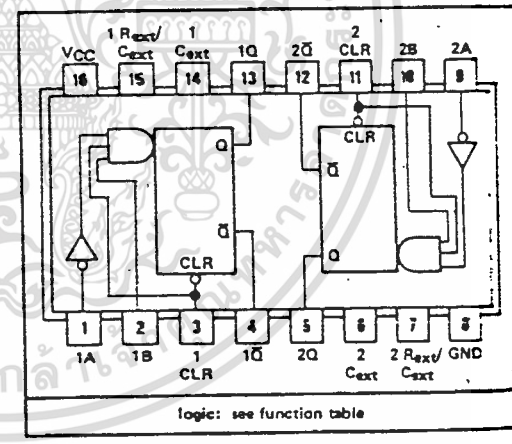
'123, 'L123, 'LS123
FUNCTION TABLE

INPUTS			OUTPUTS	
CLEAR	A	B	Q	$\overline{Q}$
L	X	X	L	H
X	H	X	L*	H*
X	X	L	L*	H*
H	L	↑	⎍	⎎
H	↓	H	⎍	⎎
↑	L	H	⎍	⎎

* See page 5-36

See explanation of function tables on page 3-8.

SN54123, SN54LS123 . . . J OR W
SN54L123 . . . J
SN74123, SN74LS123 . . . J OR N
(TOP VIEW) (SEE NOTES 1 THRU 4)



logic: see function table

description

These d-c triggered multivibrators feature output pulse width control by three methods. The basic pulse time is programmed by selection of external resistance and capacitance values (see typical application data). The '122, 'L122, and 'LS122 have internal timing resistors that allow the circuits to be used with only an external capacitor, if so desired. Once triggered, the basic pulse width may be extended by retriggering the gated low-level-active (A) or high-level-active (B) inputs, or be reduced by use of the overriding clear. Figure 1 illustrates pulse control by retriggering and early clear.

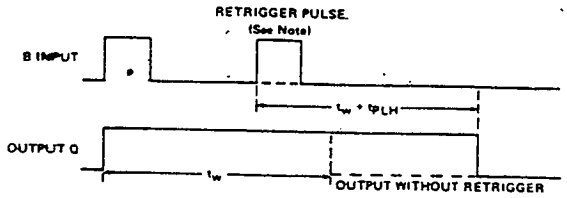
The 'LS122 and 'LS123 are provided enough Schmitt hysteresis to ensure jitter-free triggering from the B input with transition rates as slow as 0.1 millivolt per nanosecond.

NOTES: 1. An external timing capacitor may be connected between C_{ext} and R_{ext}/C_{ext} (positive).
2. To use the internal timing resistor of '122, 'L122 or 'LS122, connect R_{int} to V_{CC}.
3. For improved pulse width accuracy and repeatability, connect an external resistor between R_{ext}/C_{ext} and V_{CC} with R_{int} open-circuited.
4. To obtain variable pulse widths, connect an external variable resistance between R_{int} or R_{ext}/C_{ext} and V_{CC}.

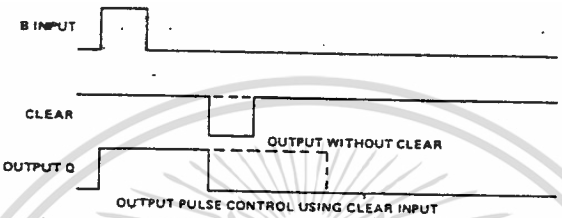
TEXAS INSTRUMENTS
INCORPORATED
POST OFFICE BOX 5012 • DALLAS, TEXAS 75222

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

description (continued)



OUTPUT PULSE CONTROL USING RETRIGGER PULSE



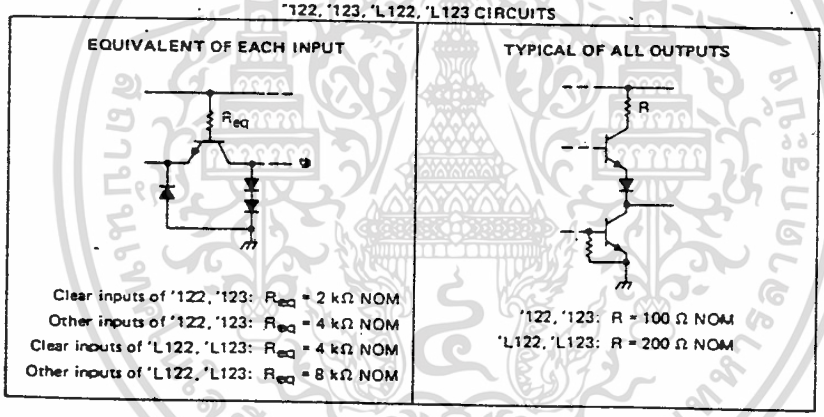
OUTPUT PULSE CONTROL USING CLEAR INPUT

NOTE: Retrigger pulse must not start before 0.22 C_{ext} (in picofarads) nanoseconds after previous trigger pulse.

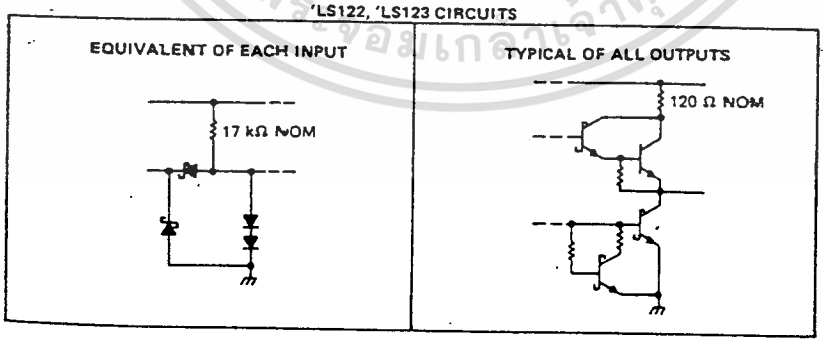
FIGURE 1—TYPICAL INPUT/OUTPUT PULSES

schematics of inputs and outputs

'122, '123, 'L122, 'L123 CIRCUITS



'LS122, 'LS123 CIRCUITS



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

recommended operating conditions

	SN54'			SN74'			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage, V_{CC}	4.5	5	5.5	4.75	5	5.25	V
High-level output current, I_{OH}			−800			−800	μA
Low-level output current, I_{OL}			16			16	mA
Pulse width, t_w	40			40			ns
External timing resistance, R_{ext}	5		25	5		50	kΩ
External capacitance, C_{ext}	No restriction			No restriction			
Wiring capacitance at R_{ext}/C_{ext} terminal			50			50	pF
Operating free-air temperature, T_A	−55		125	0		70	°C

electrical characteristics over recommended free-air operating temperature range (unless otherwise noted)

PARAMETER			TEST CONDITIONS†	'122			'123			UNIT
				MIN	TYP‡	MAX	MIN	TYP‡	MAX	
V_{IH}	High-level input voltage			2			2			V
V_{IL}	Low-level input voltage					0.8			0.8	V
V_{IK}	Input clamp voltage		V_{CC} = MIN, I_I = −12 mA			−1.5			−1.5	V
V_{OH}	High-level output voltage		V_{CC} = MIN, I_{OH} = −800 μA, See Note 1	2.4	3.4		2.4	3.4		V
V_{OL}	Low-level output voltage		V_{CC} = MIN, I_{OL} = 16 mA, See Note 1		0.2	0.4		0.2	0.4	V
I_I	Input current at maximum input voltage		V_{CC} = MAX, V_I = 5.5 V			1			1	mA
I_{IH}	High-level input current	Data inputs	V_{CC} = MAX, V_I = 2.4 V			40			40	μA
		Clear input				80			80	
I_{IL}	Low-level input current	Data inputs	V_{CC} = MAX, V_I = 0.4 V			−1.6			−1.6	mA
		Clear input				−3.2			−3.2	
I_{OS}	Short-circuit output current♦		V_{CC} = MAX, See Note 5	−10		−40	−10		−40	mA
I_{CC}	Supply current (quiescent or triggered)		V_{CC} = MAX, See Notes 6 and 7		23	35		46	66	mA

† For conditions shown as MIN or MAX, use the value specified under recommended operating conditions.
‡ All typical values are at V_{CC} = 5 V, T_A = 25°C.
♦ Not more than one output should be shorted at a time.
NOTES: 5. Ground C_{ext} to measure V_{OH} at Q, V_{OL} at $\overline{Q}$, or I_{OS} at Q. C_{ext} is open to measure V_{OH} at $\overline{Q}$, V_{OL} at Q, or I_{OS} at $\overline{Q}$.
6. Quiescent I_{CC} is measured (after clearing) with 2.4 V applied to all clear and A inputs, B inputs grounded, all outputs open, C_{ext} = 0.02 μF, and R_{ext} = 25 kΩ. R_{int} of '122 is open.
7. I_{CC} is measured in the triggered state with 2.4 V applied to all clear and B inputs, A inputs grounded, all outputs open, C_{ext} = 0.02 μF, and R_{ext} = 25 kΩ. R_{int} of '123 is open.

switching characteristics, V_{CC} = 5 V, T_A = 25°C, see note 8

PARAMETER¶	FROM (INPUT)	TO (OUTPUT)	TEST CONDITIONS	'122 MIN	'122 TYP	'122 MAX	'123 MIN	'123 TYP	'123 MAX	UNIT
t_{PLH}	A	Q	C_{ext} = 0, C_L = 15 pF, R_{ext} = 5 kΩ, R_L = 400 Ω		22	33		22	33	ns
	B				19	28		19	28	
t_{PHL}	A	$\overline{Q}$			30	40		30	40	ns
	B				27	36		27	36	
t_{PHL}	Clear	Q			18	27		18	27	ns
t_{PLH}		$\overline{Q}$			30	40		30	40	
t_{wQ} (min)	A or B	Q			45	65		45	65	ns
t_{wQ}	A or B	Q	C_{ext} = 1000 pF, C_L = 15 pF, R_{ext} = 10 kΩ, R_L = 400 Ω	3.08	3.42	3.76	2.76	3.03	3.37	μs

¶ t_{PLH} ≡ propagation delay time, low-to-high-level output
t_{PHL} ≡ propagation delay time, high-to-low-level output
t_{wQ} ≡ width of pulse at output Q
NOTE 8: Load circuit and voltage waveforms are shown on page 3-10.

TEXAS INSTRUMENTS
INCORPORATED
POST OFFICE BOX 5012 • DALLAS, TEXAS 75222

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

recommended operating conditions

	SN54L'			UNIT
	MIN	NOM	MAX	
Supply voltage, V_{CC}	4.5	5	5.5	V
High-level output current, I_{OH}			−400	μA
Low-level output current, I_{OL}			8	mA
Pulse width, t_w	50			ns
External timing resistance, R_{ext}	5		25	kΩ
External capacitance, C_{ext}	No restriction			
Wiring capacitance at R_{ext}/C_{ext} terminal			50	pF
Operating free-air temperature, T_A	−55		125	°C

electrical characteristics over recommended free-air operating temperature range (unless otherwise noted)

PARAMETER		TEST CONDITIONS†	'L122			'L123			UNIT
			MIN	TYP‡	MAX	MIN	TYP‡	MAX	
V_{IH} High-level input voltage			2			2			V
V_{IL} Low-level input voltage					0.8			0.8	V
V_{IK} Input clamp voltage		V_{CC} = MIN, I_I = −12 mA			−1.5			−1.5	V
V_{OH} High-level output voltage		V_{CC} = MIN, I_{OH} = −400 μA, See Note 1	2.4	3.4		2.4	3.4		V
V_{OL} Low-level output voltage		V_{CC} = MIN, I_{OL} = 8 mA, See Note 1		0.2	0.4		0.2	0.4	V
I_I Input current at maximum input voltage		V_{CC} = MAX, V_I = 5.5 V			1			1	mA
I_{IH} High-level input current	Data inputs	V_{CC} = MAX, V_I = 2.4 V			20			20	μA
	Clear input				40			40	
I_{IL} Low-level input current	Data inputs	V_{CC} = MAX, V_I = 0.4 V			−0.8			−0.8	mA
	Clear input				−1.6			−1.6	
I_{OS} Short-circuit output current§		V_{CC} = MAX, See Note 9	−5		−20	−5		−20	mA
I_{CC} Supply current (quiescent or triggered)		V_{CC} = MAX, See Notes 10 and 11		11	14		23	33	mA

† For conditions shown as MIN or MAX, use the value specified under recommended operating conditions.
‡ All typical values are at V_{CC} = 5 V, T_A = 25°C.
§ Not more than one output should be shorted at a time.

NOTES 9. Ground C_{ext} to measure V_{OH} at Q, V_{OL} at $\overline{Q}$, or I_{OS} at Q. C_{ext} is open to measure V_{OH} at $\overline{Q}$, V_{OL} at Q, or I_{OS} at $\overline{Q}$.
10. Quiescent I_{CC} is measured (after clearing) with 2.4 V applied to all clear and A inputs, B inputs grounded, all outputs open, C_{ext} = 0.02 μF, and R_{ext} = 25 kΩ. R_{int} of 'L122 is open.
11. I_{CC} is measured in the triggered state with 2.4 V applied to all clear and B inputs, A inputs grounded, all outputs open, C_{ext} = 0.02 μF, and R_{ext} = 25 kΩ. R_{int} of 'L122 is open.

switching characteristics, V_{CC} = 5 V, T_A = 25°C, see note 8

PARAMETER¶	FROM (INPUT)	TO (OUTPUT)	TEST CONDITIONS	'L122			'L123			UNIT
				MIN	TYP	MAX	MIN	TYP	MAX	
t_{PLH}	A	Q	C_{ext} = 0, C_L = 15 pF, R_{ext} = 5 kΩ, R_L = 800 Ω		44	66		44	66	ns
	B				38	56		38	56	
t_{PHL}	A	$\overline{Q}$			60	80		60	80	ns
	B				54	72		54	72	
t_{PLH}	Clear	Q			36	54		36	54	ns
t_{PHL}		$\overline{Q}$			60	80		60	80	
t_{wQ} (min)	A or B	Q			90	135		90	135	ns
t_{wQ}	A or B	Q	C_{ext} = 400 pF, C_L = 15 pF, R_{ext} = 10 kΩ, R_L = 800 Ω	1.7	1.9	2.1	1.3		2.1	μs

¶ t_{PLH} = propagation delay time, low-to-high-level output
t_{PHL} = propagation delay time, high-to-low-level output
t_{wQ} = width of pulse at output Q

NOTE 8: Load circuit and voltage waveforms are shown on page 3-10.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

recommended operating conditions

	SN54LS'			SN74LS'			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage, V_{CC}	4.5	5	5.5	4.75	5	5.25	V
High-level output current, I_{OH}			−400			−400	μA
Low-level output current, I_{OL}			4			8	mA
Pulse width, t_w	40			40			ns
External timing resistance, R_{ext}	5		180	5		260	kΩ
External capacitance, C_{ext}	No restriction			No restriction			
Wiring capacitance at R_{ext}/C_{ext} terminal			50			50	pF
Operating free-air temperature, T_A	−55		125	0		70	°C

electrical characteristics over recommended operating free-air temperature range (unless otherwise noted)

PARAMETER		TEST CONDITIONS†			SN54LS'			SN74LS'			UNIT
					MIN	TYP‡	MAX	MIN	TYP‡	MAX	
V_{IH}	High-level input voltage				2			2			V
V_{IL}	Low-level input voltage						0.7			0.8	V
V_{IK}	Input clamp voltage	V_{CC} = MIN,	I_I = −18 mA				−1.5			−1.5	V
V_{OH}	High-level output voltage	V_{CC} = MIN, V_{IL} = V_{IL}max	V_{IH} = 2 V, I_{OH} = −400 μA		2.5	3.5		2.7	3.5		V
V_{OL}	Low-level output voltage	V_{CC} = MIN, V_{IL} = V_{IL}max	V_{IH} = 2 V,	I_{OL} = 4 mA		0.25	0.4		0.25	0.4	V
				I_{OL} = 8 mA					0.35	0.5	
I_I	Input current at maximum input voltage	V_{CC} = MAX,	V_I = 7 V				0.1			0.1	mA
I_{IH}	High-level input current	V_{CC} = MAX,	V_I = 2.7 V				20			20	μA
I_{IL}	Low-level input current	V_{CC} = MAX,	V_I = 0.4 V				−0.4			−0.4	mA
I_{OS}	Short-circuit output current*	V_{CC} = MAX			−20		−100	−20		−100	mA
I_{CC}	Supply current (quiescent or triggered)	V_{CC} = MAX,	See Note 13	'LS122		6	11		6	11	mA
				'LS123		12	20		12	20	

†For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.
‡All typical values are at V_{CC} = 5 V, T_A = 25°C.
*Not more than one output should be shorted at a time and duration of the short-circuit should not exceed one second.
NOTES: 12. To measure V_{OH} at Q, V_{OL} at $\overline{Q}$, or I_{OS} at Q, ground R_{ext}/C_{ext}, apply 2 V to B and clear, and pulse A from 2 V to 0 V.
13. With all outputs open and 4.5 V applied to all data and clear inputs, I_{CC} is measured after a momentary ground, then 4.5 V, is applied to clock.

switching characteristics, V_{CC} = 5 V, T_A = 25°C, see note 14

PARAMETER¶	FROM (INPUT)	TO (OUTPUT)	TEST CONDITIONS		MIN	TYP	MAX	UNIT
t_{PLH}	A	Q	C_{ext} = 0, C_L = 15 pF,	R_{ext} = 5 kΩ, R_L = 2 kΩ		23	33	ns
	B					23	44	
t_{PHL}	A	$\overline{Q}$				32	45	ns
	B					34	56	
t_{PHL}	Clear	Q				20	27	ns
t_{PLH}		$\overline{Q}$				28	45	
t_{wQ} (min)	A or B	Q				116	200	ns
t_{wQ}	A or B	Q	C_{ext} = 1000 pF, C_L = 15 pF,	R_{ext} = 10 kΩ, R_L = 2 kΩ	4	4.5	5	μs

¶ t_{PLH} = propagation delay time, low-to-high-level output
t_{PHL} = propagation delay time, high-to-low-level output
t_{wQ} = width of pulse at output Q
NOTE 14: Load circuit and voltage waveforms are shown on page 3-11.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPICAL APPLICATION DATA FOR '122, '123, 'L122, 'L123

For pulse widths when $C_{ext} \leq 1000$ pF, See Figures 4 and 5.

The output pulse is primarily a function of the external capacitor and resistor. For $C_{ext} > 1000$ pF, the output pulse width (t_w) is defined as:

$$t_w = K \cdot R_T \cdot C_{ext} \left(1 + \frac{0.7}{R_T}\right)$$

where

K is 0.32 for '122, 0.28 for '123,
0.37 for 'L122, 0.33 for 'L123

R_T is in kΩ (internal or external timing resistance.

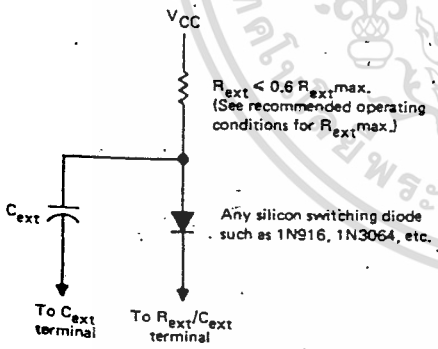
C_{ext} is in pF

t_w is in nanoseconds

To prevent reverse voltage across C_{ext}, it is recommended that the method shown in Figure 2 be employed when using electrolytic capacitors and in applications utilizing the clear function. In all applications using the diode, the pulse width is:

$$t_w = K_D \cdot R_T \cdot C_{ext} \left(1 + \frac{0.7}{R_T}\right)$$

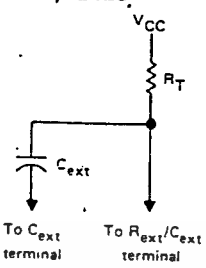
K_D is 0.28 for '122, 0.25 for '123,
0.33 for 'L122, 0.29 for 'L123



TIMING COMPONENT CONNECTIONS WHEN $C_{ext} > 1000$ pF AND CLEAR IS USED

FIGURE 2

Applications requiring more precise pulse widths (up to 28 seconds) and not requiring the clear feature can best be satisfied with the '121 or 'L121.



TIMING COMPONENT CONNECTIONS

FIGURE 3

'122, '123
TYPICAL OUTPUT PULSE WIDTH
vs
EXTERNAL TIMING CAPACITANCE

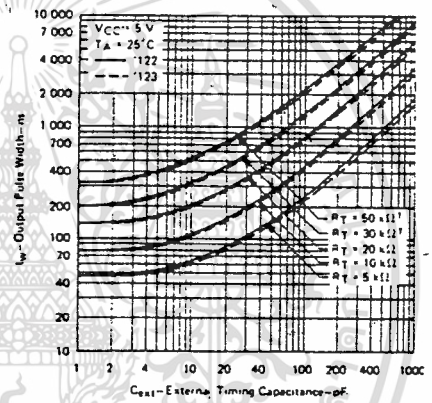


FIGURE 4

'L122
TYPICAL OUTPUT PULSE WIDTH
vs
EXTERNAL TIMING CAPACITANCE

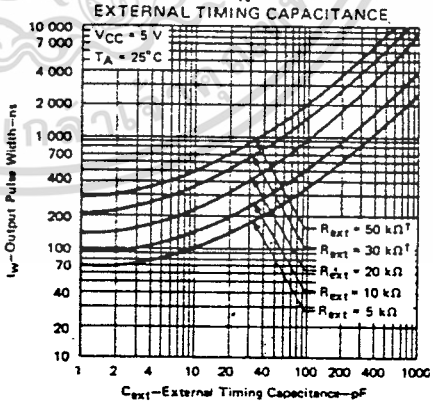


FIGURE 5

†These values of resistance exceed the maximum recommended for use over the full temperature range of the SN54' and SN54L' circuits.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPICAL APPLICATION DATA FOR 'LS122, 'LS123

The basic output pulse width is essentially determined by the values of external capacitance and timing resistance. For pulse widths when $C_{ext} \leq 1000$ pF, see Figure 7.

When $C_{ext} > 1000$ pF, the output pulse width is defined as:

$$t_w = 0.45 \cdot R_T \cdot C_{ext}$$

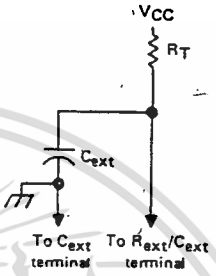
where

R_T is in kΩ (internal or external timing resistance.)

C_{ext} is in pF

t_w is in nanoseconds

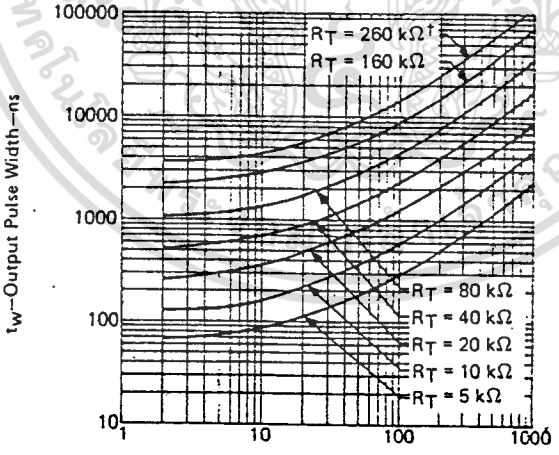
For best results, system ground should be applied to the C_{ext} terminal. The switching diode is not needed for electrolytic capacitance applications.



TIMING COMPONENT CONNECTIONS

FIGURE 6

'LS122, 'LS123
TYPICAL OUTPUT PULSE WIDTH
vs
EXTERNAL TIMING CAPACITANCE



† This value of resistance exceeds the maximum recommended for use over the full temperature range of the SN54LS circuits.

FIGURE 7

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ORDERING INFORMATION

Device	Temperature Range	Package
MC1488L	0°C to +75°C	Ceramic DIP

MC1488

QUAD LINE DRIVER

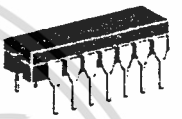
The MC1488 is a monolithic quad line driver designed to interface data terminal equipment with data communications equipment in conformance with the specifications of EIA Standard No. RS-232C.

Features:

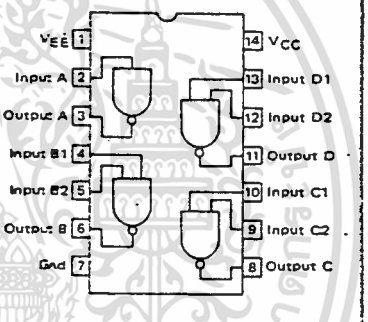
- Current Limited Output
  ±10 mA typ
- Power-Off Source Impedance
  300 Ohms min
- Simple Slew Rate Control with External Capacitor
- Flexible Operating Supply Range
- Compatible with All Motorola MDTL and MTTL Logic Families

QUAD MDTL LINE DRIVER
RS-232C
SILICON MONOLITHIC
INTEGRATED CIRCUIT

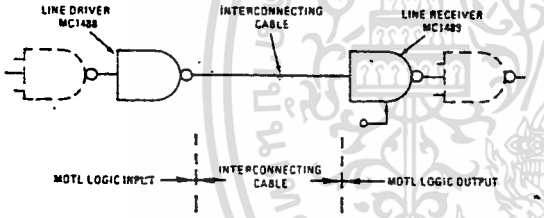
L Suffix
CERAMIC PACKAGE
CASE 632
TO-116



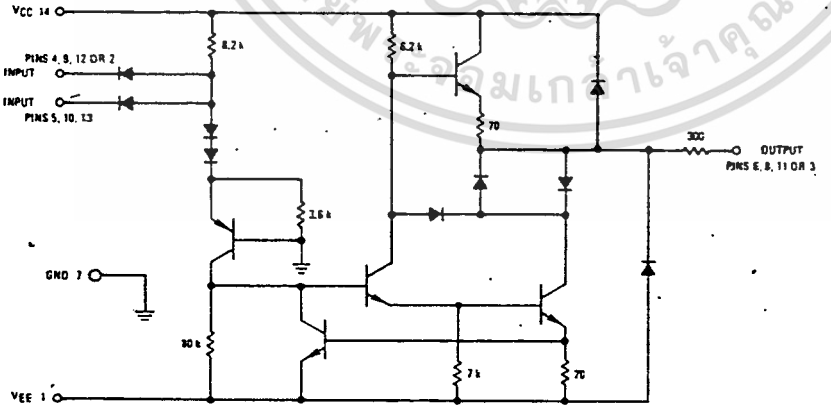
PIN CONNECTIONS



TYPICAL APPLICATION



CIRCUIT SCHEMATIC
(1/4 OF CIRCUIT SHOWN)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MAXIMUM RATINGS (T_A = +25°C unless otherwise noted.)

Rating	Symbol	Value	Unit
Power Supply Voltage	V_{CC} V_{EE}	+15 -15	Vdc
Input Voltage Range	V_{IR}	-15 ≤ V_{IR} ≤ 7.0	Vdc
Output Signal Voltage	V_O	±15	Vdc
Power Derating (Package Limitation, Ceramic and Plastic Dual-In-Line Package) Derate above T_A = +25°C	P_D $1/R_{\theta JA}$	1000 6.7	mW mW/°C
Operating Ambient Temperature Range	T_A	0 to +75	°C
Storage Temperature Range	T_{stg}	-65 to +175	°C

ELECTRICAL CHARACTERISTICS (V_{CC} = +9.0 ± 1% Vdc, V_{EE} = -9.0 ± 1% Vdc, T_A = 0 to +75°C unless otherwise noted.)

Characteristic	Figure	Symbol	Min	Typ	Max	Unit
Input Current — Low Logic State (V_{IL} = 0)	1	I_{IL}	–	1.0	1.6	mA
Input Current — High Logic State (V_{IH} = 5.0 V)	1	I_{IH}	–	–	10	μA
Output Voltage — High Logic State (V_{IL} = 0.8 Vdc, R_L = 3.0 kΩ, V_{CC} = +9.0 Vdc, V_{EE} = -9.0 Vdc) (V_{IL} = 0.8 Vdc, R_L = 3.0 kΩ, V_{CC} = +13.2 Vdc, V_{EE} = -13.2 Vdc)	2	V_{OH}	+6.0 +9.0	+7.0 +10.5	– –	Vdc
Output Voltage — Low Logic State (V_{IH} = 1.9 Vdc, R_L = 3.0 kΩ, V_{CC} = +9.0 Vdc, V_{EE} = -9.0 Vdc) (V_{IH} = 1.9 Vdc, R_L = 3.0 kΩ, V_{CC} = +13.2 Vdc, V_{EE} = -13.2 Vdc)	2	V_{OL}	-6.0 -9.0	-7.0 -10.5	– –	Vdc
Positive Output Short-Circuit Current (1)	3	I_{OS+}	+6.0	+10	+12	mA
Negative Output Short-Circuit Current (1)	3	I_{OS-}	-6.0	-10	-12	mA
Output Resistance (V_{CC} = V_{EE} = 0, $\|V_O\|$ = ±2.0 V)	4	r_o	300	–	–	Ohms
Positive Supply Current (R_L = ∞) (V_{IH} = 1.9 Vdc, V_{CC} = +9.0 Vdc) (V_{IL} = 0.8 Vdc, V_{CC} = +9.0 Vdc) (V_{IH} = 1.9 Vdc, V_{CC} = +12 Vdc) (V_{IL} = 0.8 Vdc, V_{CC} = +12 Vdc) (V_{IH} = 1.9 Vdc, V_{CC} = +15 Vdc) (V_{IL} = 0.8 Vdc, V_{CC} = +15 Vdc)	5	I_{CC}	– – – – – –	+15 +4.5 +19 +5.5 – –	+20 +6.0 +25 +7.0 +34 +12	mA
Negative Supply Current (R_L = ∞) (V_{IH} = 1.9 Vdc, V_{EE} = -9.0 Vdc) (V_{IL} = 0.8 Vdc, V_{EE} = -9.0 Vdc) (V_{IH} = 1.9 Vdc, V_{EE} = -12 Vdc) (V_{IL} = 0.8 Vdc, V_{EE} = -12 Vdc) (V_{IH} = 1.9 Vdc, V_{EE} = -15 Vdc) (V_{IL} = 0.8 Vdc, V_{EE} = -15 Vdc)	5	I_{EE}	– – – – – –	-13 – -18 – – –	-17 -15 -23 -15 -34 -2.5	mA μA mA μA mA mA
Power Consumption (V_{CC} = 9.0 Vdc, V_{EE} = -9.0 Vdc) (V_{CC} = 12 Vdc, V_{EE} = -12 Vdc)		P_C	– –	– –	333 576	mW

SWITCHING CHARACTERISTICS (V_{CC} = +9.0 ± 1% Vdc, V_{EE} = -9.0 ± 1% Vdc, T_A = +25°C.)

Propagation Delay Time (z_l = 3.0 k and 15 pF)	6	t_{PLH}	–	275	350	ns
Fall Time (z_l = 3.0 k and 15 pF)	6	t_{THL}	–	45	75	ns
Propagation Delay Time (z_l = 3.0 k and 15 pF)	6	t_{PHL}	–	110	175	ns
Rise Time (z_l = 3.0 k and 15 pF)	6	t_{TLH}	–	55	100	ns

(1) Maximum Package Power Dissipation may be exceeded if all outputs are shorted simultaneously.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CHARACTERISTIC DEFINITIONS

FIGURE 1 – INPUT CURRENT

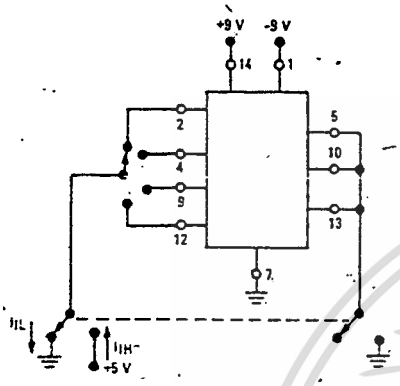


FIGURE 2 – OUTPUT VOLTAGE

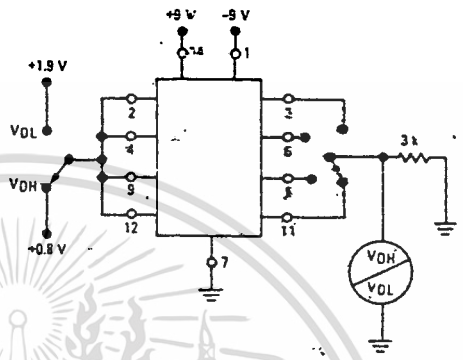


FIGURE 3 – OUTPUT SHORT-CIRCUIT CURRENT

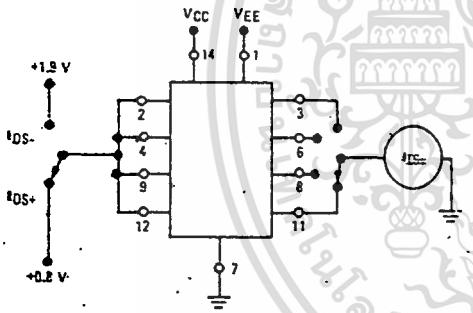


FIGURE 4 – OUTPUT RESISTANCE (POWER-OFF)

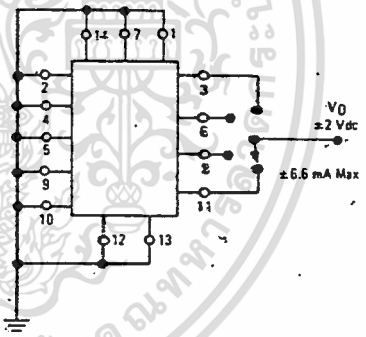


FIGURE 5 – POWER-SUPPLY CURRENTS

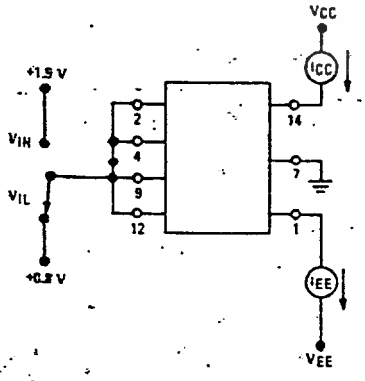
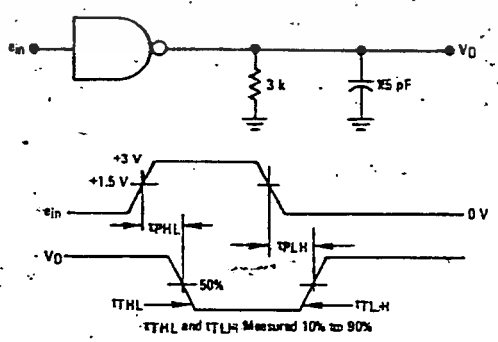


FIGURE 6 – SWITCHING RESPONSE



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPICAL CHARACTERISTICS
(T_A = +25°C unless otherwise noted.)

FIGURE 7 – TRANSFER CHARACTERISTICS versus POWER-SUPPLY VOLTAGE

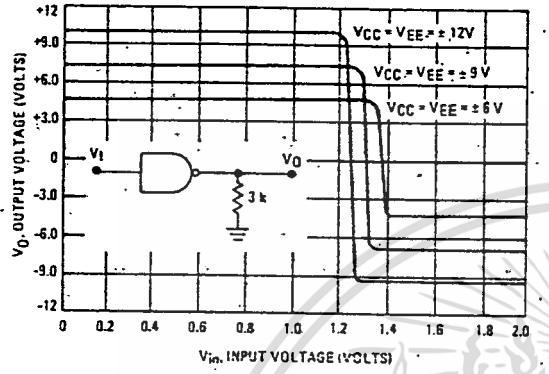


FIGURE 8 – SHORT-CIRCUIT OUTPUT CURRENT versus TEMPERATURE

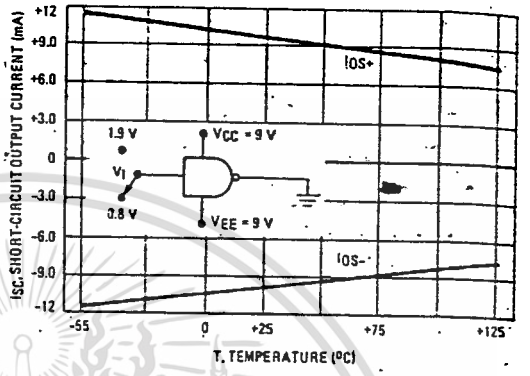


FIGURE 9 – OUTPUT SLEW RATE versus LOAD CAPACITANCE

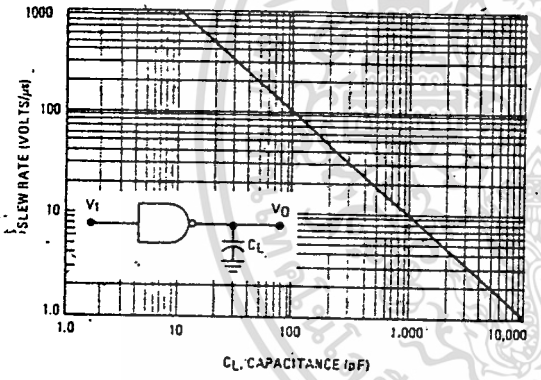


FIGURE 10 – OUTPUT VOLTAGE AND CURRENT-LIMITING CHARACTERISTICS

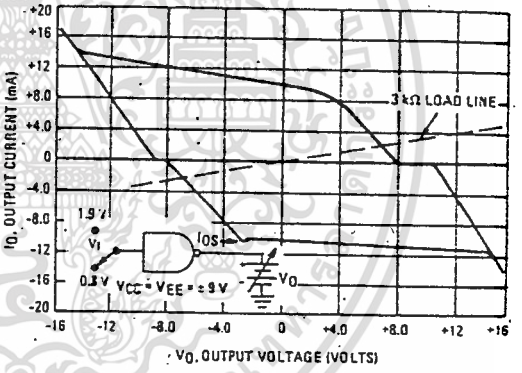
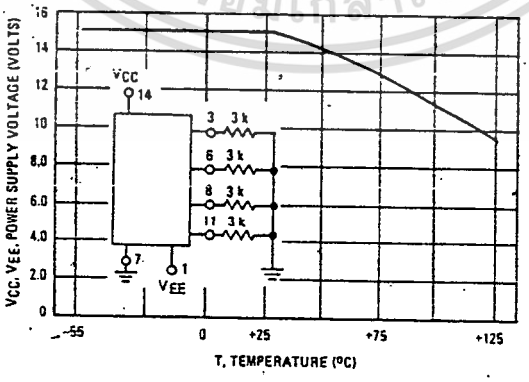


FIGURE 11 – MAXIMUM OPERATING TEMPERATURE versus POWER-SUPPLY VOLTAGE



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

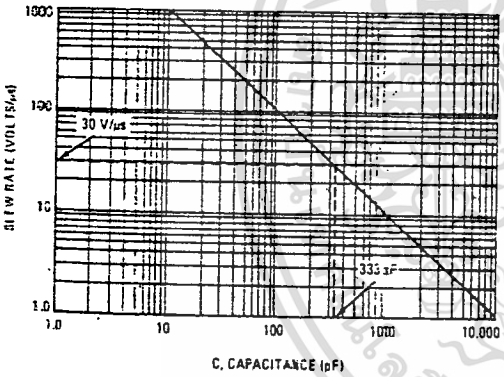
APPLICATIONS INFORMATION

The Electronic Industries Association (EIA) has released the RS232C specification detailing the requirements for the interface between data processing equipment and data communications equipment. This standard specifies not only the number and type of interface leads, but also the voltage levels to be used. The MC1488 quad driver and its companion circuit, the MC1489 quad receiver, provide a complete interface system between DTL or TTL logic levels and the RS232C defined levels. The RS232C requirements as applied to drivers are discussed herein.

The required driver voltages are defined as between 5 and 15-volts in magnitude and are positive for a logic "0" and negative for a logic "1". These voltages are so defined when the drivers are terminated with a 3000 to 7000-ohm resistor. The MC1488 meets this voltage requirement by converting a DTL/TTL logic level into RS232C levels with one stage of inversion.

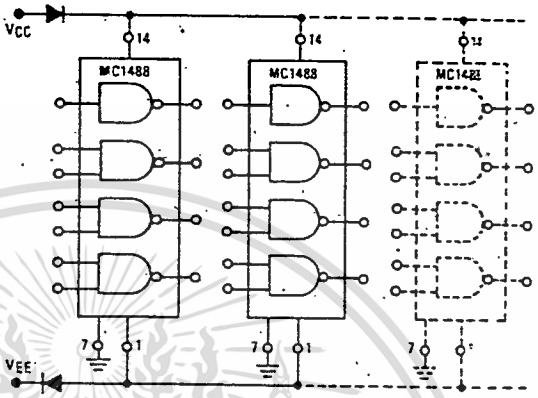
The RS232C specification further requires that during transitions, the driver output slew rate must not exceed 30 volts per microsecond. The inherent slew rate of the MC1488 is much too fast for this requirement. The current limited output of the device can be used to control this slew rate by connecting a capacitor to each driver output. The required capacitor can be easily determined by using the relationship $C = I_{OS} \times \Delta T/\Delta V$ from which Figure 12 is derived. Accordingly, a 330-pF capacitor on each output will guarantee a worst case slew rate of 30 volts per microsecond.

FIGURE 12 – SLEW RATE versus CAPACITANCE FOR I_{SC} = 10 mA



The interface driver is also required to withstand an accidental short to any other conductor in an interconnecting cable. The worst possible signal on any conductor would be another driver using a plus or minus 15-volt, 500-mA source. The MC1488 is designed to indefinitely withstand such a short to all four outputs in a package as long as the power-supply voltages are greater than 9.0 volts (i.e., $V_{CC} \geq 9.0$ V; $V_{EE} \leq -9.0$ V). In some power-supply designs, a loss of system power causes a low impedance on the power-supply outputs. When this occurs, a low impedance to ground would exist at the power inputs to the MC1488 effectively shorting the 300-ohm output resistors to ground. If all four outputs were then shorted to plus or minus 15 volts, the power dissipation in these resistors would be excessive. Therefore, if the system is designed to permit low impedances to ground at the power-supplies of the drivers, a diode should be placed in each power-supply lead to prevent overheating in this fault condition. These two diodes, as shown in Figure 13, could be used to decouple all the driver packages in a system. (These same diodes will allow the MC1488 to withstand momentary shorts to the ±25-volt limits specified in the earlier Standard RS232E.) The addition of the diodes also permits the MC1488 to withstand faults with power-supplies of less than the 9.0 volts stated above.

FIGURE 13 – POWER-SUPPLY PROTECTION TO MEET POWER-OFF FAULT CONDITIONS



The maximum short-circuit current allowable under fault conditions is more than guaranteed by the previously mentioned 10 mA output current limiting.

Other Applications

The MC1488 is an extremely versatile line driver with a myriad of possible applications. Several features of the drivers enhance this versatility:

1. Output Current Limiting – this enables the circuit designer to define the output voltage levels independent of power-supplies and can be accomplished by diode clamping of the output pins. Figure 14 shows the MC1488 used as a DTL to MOS translator where the high-level voltage output is clamped one diode above ground. The resistor divider shown is used to reduce the output voltage below the 300 mV above ground MOS input level limit.

2. Power-Supply Range – as can be seen from the schematic drawing of the drivers, the positive and negative driving elements of the device are essentially independent and do not require matching power-supplies. In fact, the positive supply can vary from a minimum seven volts (required for driving the negative pulldown section) to the maximum specified 15 volts. The negative supply can vary from approximately -2.5 volts to the minimum specified -15 volts. The MC1488 will drive the output to within 2 volts of the positive or negative supplies as long as the current output limits are not exceeded. The combination of the current-limiting and supply-voltage features allow a wide combination of possible outputs within the same quad package. Thus if only a portion of the four drivers are used for driving RS232C lines, the remainder could be used for DTL to MOS or even DTL to DTL translation. Figure 15 shows one such combination.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FIGURE 14 – MOTL/MTTL-TO-MOS TRANSLATOR

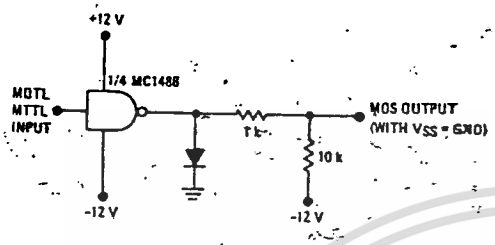
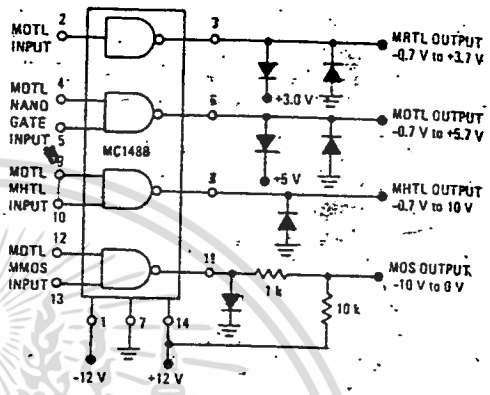


FIGURE 15 – LOGIC TRANSLATOR APPLICATIONS



5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ORDERING INFORMATION

Device	Temperature Range	Package
MC1489L	0°C to +75°C	Ceramic DIP
MC1489AL	0°C to +75°C	Ceramic DIP

MC1489L
MC1489AL

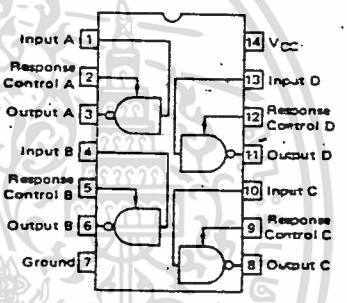
QUAD LINE RECEIVERS

The MC1489 monolithic quad line receivers are designed to interface data terminal equipment with data communications equipment in conformance with the specifications of EIA Standard No. RS-232C.

- Input Resistance – 3.0 k to 7.0 kilohms
- Input Signal Range – ±30 Volts
- Input Threshold Hysteresis Built In
- Response Control
  - a) Logic Threshold Shifting
  - b) Input Noise Filtering

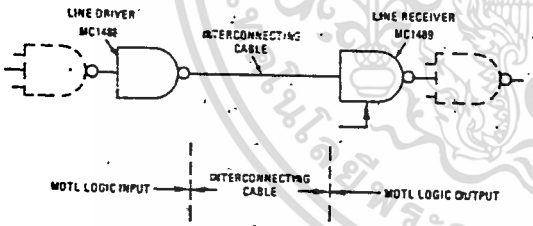
QUAD MDTL LINE RECEIVERS RS-232C

SILICON MONOLITHIC INTEGRATED CIRCUIT

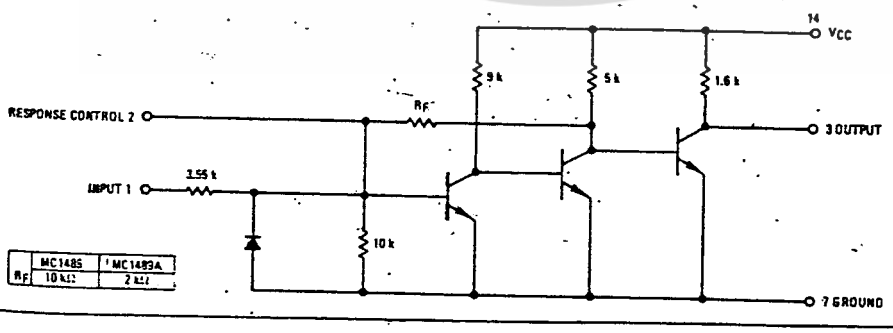


L SUFFIX
CERAMIC PACKAGE
CASE 632
TO-116

TYPICAL APPLICATION



CIRCUIT SCHEMATIC (1/4 OF CIRCUIT SHOWN)



RF	MC1488	MC1489A
	10 kΩ	2 kΩ

5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MAXIMUM RATINGS (T_A = +25°C unless otherwise noted)

Rating	Symbol	Value	Unit
Power Supply Voltage	V_{CC}	10	Vdc
Input Voltage Range	V_{IR}	±30	Vdc
Output Load Current	I_L	20	mA
Power Dissipation (Package Limitation, Ceramic and Plastic Dual In-Line Package) Derate above T_A = +25°C	P_D $1/\theta_{JA}$	1000 6.7	mW mW/°C
Operating Ambient Temperature Range	T_A	0 to +75	°C
Storage Temperature Range	T_{stg}	-65 to +125	°C

ELECTRICAL CHARACTERISTICS (Response control pin is open.) (V_{CC} = +5.0 Vdc ±1%, T_A = 0 to +75°C unless otherwise noted)

Characteristics		Figure	Symbol	Min	Typ	Max	Unit
Positive Input Current	(V_{IH} = +25 Vdc) (V_{IH} = +3.0 Vdc)	1	I_{IH}	3.6 0.43	– –	8.3 –	mA
Negative Input Current	(V_{IL} = -25 Vdc) (V_{IL} = -3.0 Vdc)	1	I_{IL}	-3.6 -0.43	– –	-8.3 –	mA
Input Turn-On Threshold Voltage (T_A = +25°C, V_{OL} ≤ 0.45 V)	MC1489 MC1489A	2	V_{THL}	1.0 1.75	– 1.95	1.5 2.25	Vdc
Input Turn-Off Threshold Voltage (T_A = +25°C, V_{OH} ≥ 2.5 V, I_L = -0.5 mA)	MC1489 MC1489A	2	V_{TLH}	0.75 0.75	– 0.8	1.25 1.25	Vdc
Output Voltage High	(V_{IH} = 0.75 V, I_L = -0.5 mA) (Input Open Circuit, I_L = -0.5 mA)	2	V_{OH}	2.5 2.5	4.0 4.0	5.0 5.0	Vdc
Output Voltage Low	(V_{IL} = 3.0 V, I_L = 10 mA)	2	V_{OL}	–	0.2	0.45	Vdc
Output Short-Circuit Current		3	I_{OS}	–	3.0	–	mA
Power Supply Current	(V_{IH} = +5.0 Vdc)	4	I_{CC}	–	20	26	mA
Power Consumption	(V_{IH} = +5.0 Vdc)	4	P_C	–	100	130	mW

SWITCHING CHARACTERISTICS (V_{CC} = 5.0 Vdc ± 1%, T_A = +25°C)

Propagation Delay Time	(R_L = 3.9 kΩ)	5	t_{PLH}	–	25	80	ns
Rise Time	(R_L = 3.9 kΩ)	5	t_{TLH}	–	120	175	ns
Propagation Delay Time	(R_L = 390 Ω)	5	t_{PHL}	–	25	50	ns
Fall Time	(R_L = 390 Ω)	5	t_{THL}	–	10	20	ns

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TEST CIRCUITS

FIGURE 1 – INPUT CURRENT

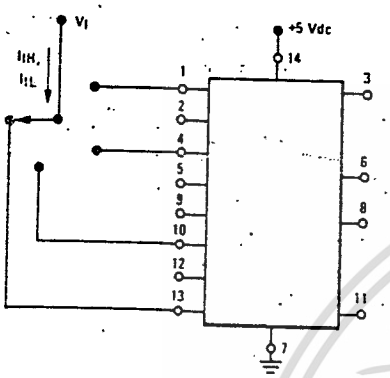


FIGURE 2 – OUTPUT VOLTAGE and INPUT THRESHOLD VOLTAGE

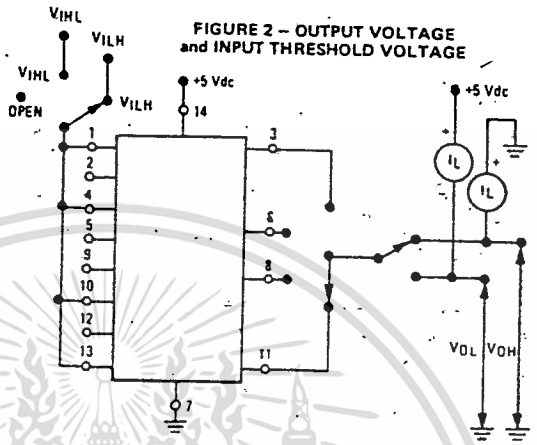


FIGURE 3 – OUTPUT SHORT-CIRCUIT CURRENT

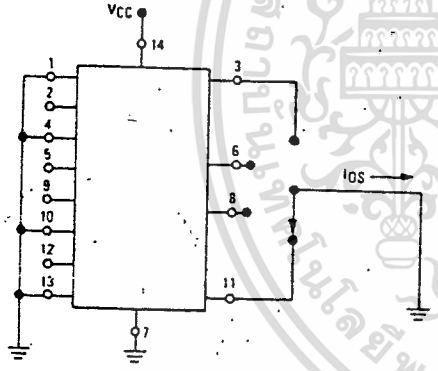


FIGURE 4 – POWER SUPPLY CURRENT

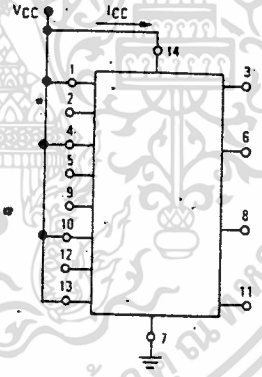


FIGURE 5 – SWITCHING RESPONSE

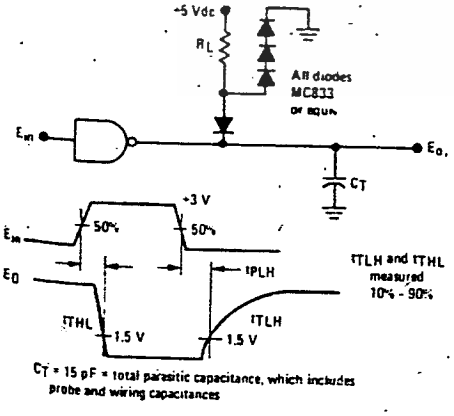
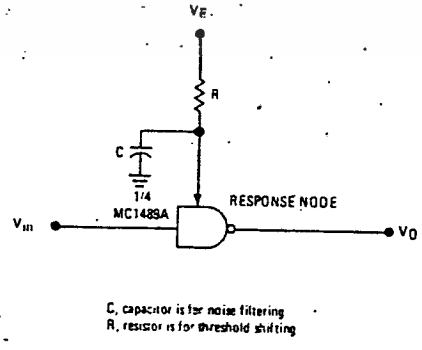


FIGURE 6 – RESPONSE CONTROL NODE



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPICAL CHARACTERISTICS

(V_{CC} = 5.0 Vdc, T_A = +25°C unless otherwise noted)

FIGURE 7 – INPUT CURRENT

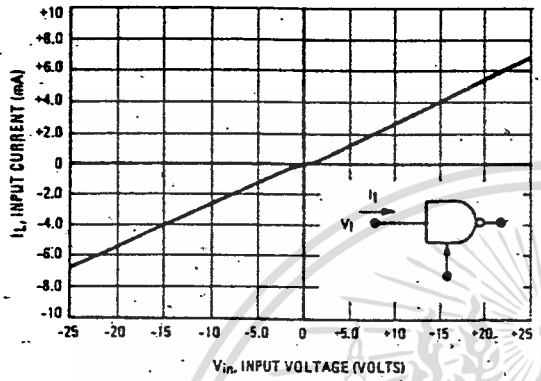


FIGURE 8 – MC1489 INPUT THRESHOLD VOLTAGE ADJUSTMENT

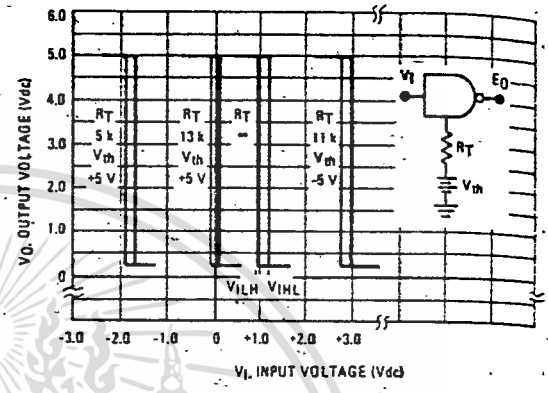


FIGURE 9 – MC1489A INPUT THRESHOLD VOLTAGE ADJUSTMENT

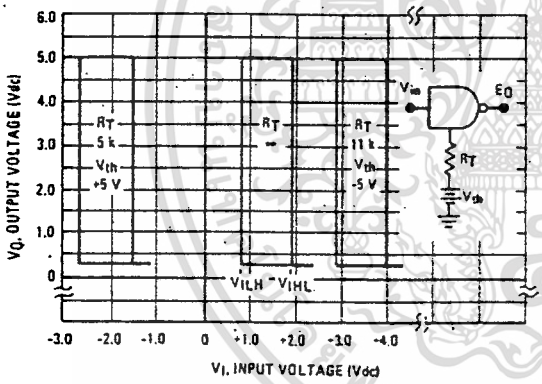


FIGURE 10 – INPUT THRESHOLD VOLTAGE versus TEMPERATURE

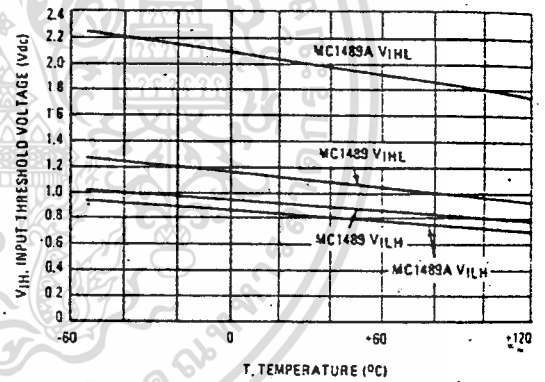
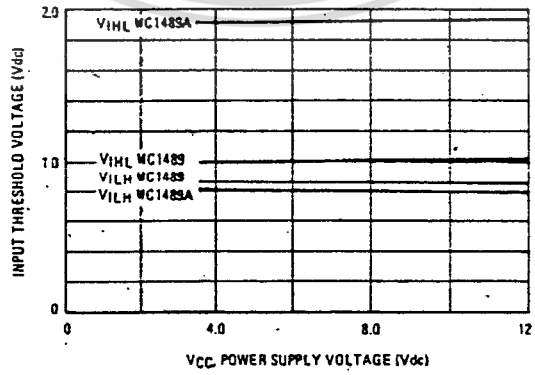


FIGURE 11 – INPUT THRESHOLD versus POWER-SUPPLY VOLTAGE



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

APPLICATIONS INFORMATION

General Information

The Electronic Industries Association (EIA) has released the RS-232C specification detailing the requirements for the interface between data processing equipment and data communications equipment. This standard specifies not only the number and type of interface leads, but also the voltage levels to be used. The MC1488 quad driver and its companion circuit, the MC1489 quad receiver, provide a complete interface system between DTL or TTL logic levels and the RS-232C defined levels. The RS-232C requirements as applied to receivers are discussed herein.

The required input impedance is defined as between 3000 ohms and 7000 ohms for input voltages between 3.0 and 25 volts in magnitude; and any voltage on the receiver input in an open circuit condition must be less than 2.0 volts in magnitude. The MC1489 circuits meet these requirements with a maximum open circuit voltage of one V_{BE} (Ref. Sect. 2.4).

The receiver shall detect a voltage between −3.0 and −25 volts as a logic "1" and inputs between +3.0 and +25 volts as a logic "0" (Ref. Sect. 2.3). On some interchange leads, an open circuit or power "OFF" condition (300 ohms or more to ground) shall be decoded as an "OFF" condition or logic "1" (Ref. Sect. 2.5). For this reason, the input hysteresis thresholds of the MC1489 circuits are all above ground. Thus an open or grounded input will cause the same output as a negative or logic "1" input.

Device Characteristics

The MC1489 interface receivers have internal feedback from the second stage to the input stage providing input hysteresis for noise rejection. The MC1489 input has typical turn-on voltage of 1.25 volts and turn-off of 1.0 volt for a typical hysteresis of 250 mV. The MC1489A has typical turn-on of 1.95 volts and turn-off of 0.8 volt for typically 1.15 volts of hysteresis.

Each receiver section has an external response control node in addition to the input and output pins, thereby allowing the designer to vary the input threshold voltage levels. A resistor can be connected between this node and an external power-supply. Figures 6, 8 and 9 illustrate the input threshold voltage shift possible through this technique.

This response node can also be used for the filtering of high-frequency, high-energy noise pulses. Figures 12 and 13 show typical noise pulse rejection for external capacitors of various sizes.

These two operations on the response node can be combined or used individually for many combinations of interfacing applications. The MC1489 circuits are particularly useful for interfacing between MOS circuits and MDTL/MTTL logic systems. In this application, the input threshold voltages are adjusted (with the appropriate supply and resistor values) to fall in the center of the MOS voltage logic levels. (See Figure 14.)

The response node may also be used as the receiver input as long as the designer realizes that he may not drive this node with a low impedance source to a voltage greater than one diode above ground or less than one diode below ground. This feature is demonstrated in Figure 15 where two receivers are slaved to the same line that must still meet the RS-232C impedance requirement.

5

FIGURE 12 – TURN-ON THRESHOLD versus CAPACITANCE FROM RESPONSE CONTROL PIN TO GND

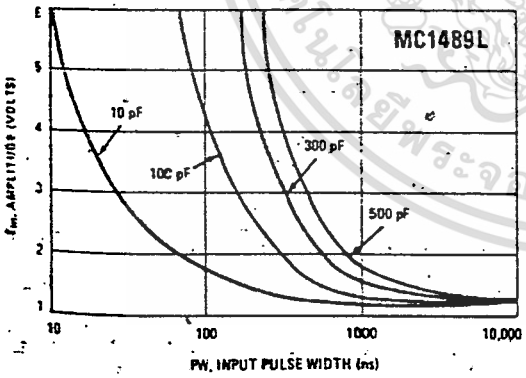
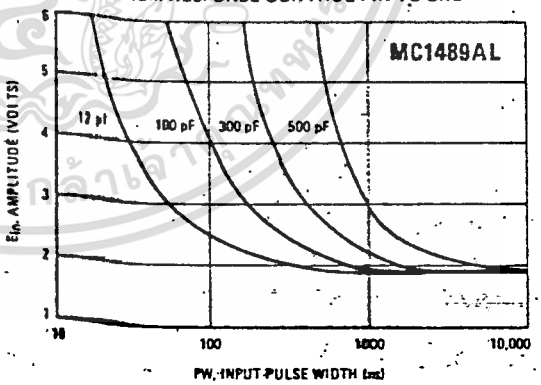


FIGURE 13 – TURN-ON THRESHOLD versus CAPACITANCE FROM RESPONSE CONTROL PIN TO GND



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

APPLICATIONS INFORMATION (continued)

FIGURE 14 – TYPICAL TRANSLATOR APPLICATION – MOS TO DTL OR TTL

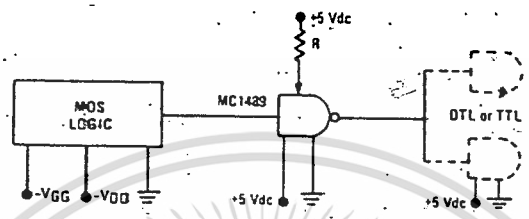
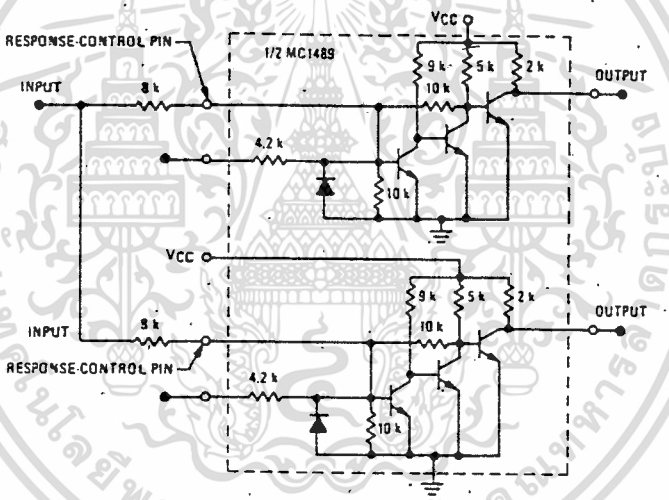


FIGURE 15 – TYPICAL PARALLELING OF TWO MC1489,A RECEIVERS TO MEET RS-232C

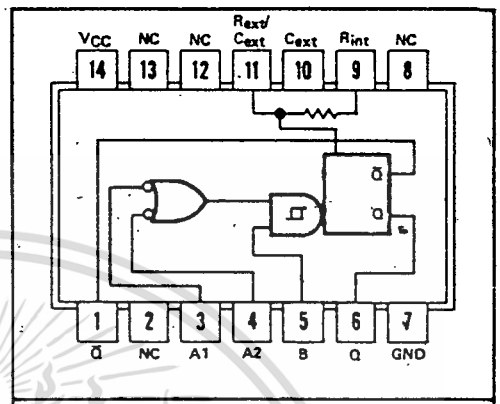


5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- Programmable Output Pulse Width
  With R_{int} . . . 35 ns Typ
  With R_{ext}/C_{ext} . . . 40 ns to 28 Seconds
- Internal Compensation for Virtual Temperature Independence
- Jitter-Free Operation up to 90% Duty Cycle
- Inhibit Capability

SN54121 . . . J OR W PACKAGE
SN54L121 . . . J OR T PACKAGE
SN74121, . . . J OR N PACKAGE



NC—No internal connection

FUNCTION TABLE

INPUTS			OUTPUTS	
A1	A2	B	Q	$\bar{Q}$
L	X	H	L	H
X	L	H	L	H
X	X	L	L	H
H	H	X	L	H
H	↓	H	⎍	⎍
↓	H	H	⎍	⎍
↓	↓	H	⎍	⎍
L	X	↑	⎍	⎍
X	L	↑	⎍	⎍

For explanation of function table symbols, see page 3-8.

NOTES: 1. An external capacitor may be connected between C_{ext} (positive) and R_{ext}/C_{ext}.
2. To use the internal timing resistor, connect R_{int} to V_{CC}. For improved pulse width accuracy and repeatability, connect an external resistor between R_{ext}/C_{ext} and V_{CC} with R_{int} open-circuited.

• See page 5-36

description

These multivibrators feature dual negative-transition-triggered inputs and a single positive-transition-triggered input which can be used as an inhibit input. Complementary output pulses are provided.

Pulse triggering occurs at a particular voltage level and is not directly related to the transition time of the input pulse. Schmitt-trigger input circuitry (TTL hysteresis) for the B input allows jitter-free triggering from inputs with transition rates as slow as 1 volt/second, providing the circuit with an excellent noise immunity of typically 1.2 volts. A high immunity to V_{CC} noise of typically 1.5 volts is also provided by internal latching circuitry.

Once fired, the outputs are independent of further transitions of the inputs and are a function only of the timing components. Input pulses may be of any duration relative to the output pulse. Output pulse length may be varied from 40 nanoseconds to 28 seconds by choosing appropriate timing components. With no external timing components (i.e., R_{int} connected to V_{CC}, C_{ext} and R_{ext}/C_{ext} open), an output pulse of typically 30 or 35 nanoseconds is achieved which may be used as a d-c triggered reset signal. Output rise and fall times are TTL compatible and independent of pulse length.

Pulse width stability is achieved through internal compensation and is virtually independent of V_{CC} and temperature. In most applications, pulse stability will only be limited by the accuracy of external timing components.

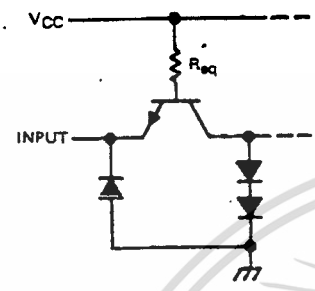
Jitter-free operation is maintained over the full temperature and V_{CC} ranges for more than six decades of timing capacitance (10 pF to 10 μF) and more than one decade of timing resistance (2 kΩ to 30 kΩ for the SN54121/SN54L121 and 2 kΩ to 40 kΩ for the SN74121/SN74L121). Throughout these ranges, pulse width is defined by the relationship $t_{w(out)} = C_{ext}R_T \ln 2 \approx 0.7\ C_{ext}R_T$. In circuits where pulse cutoff is not critical, timing capacitance up to 1000 μF and timing resistance as low as 1.4 kΩ may be used. Also, the range of jitter-free output pulse widths is extended if V_{CC} is held to 5 volts and free-air temperature is 25°C. Duty cycles as high as 90% are achieved when using maximum recommended R_T. Higher duty cycles are available if a certain amount of pulse-width jitter is allowed.

TEXAS INSTRUMENTS
INCORPORATED
POST OFFICE BOX 5012 • DALLAS, TEXAS 75222

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

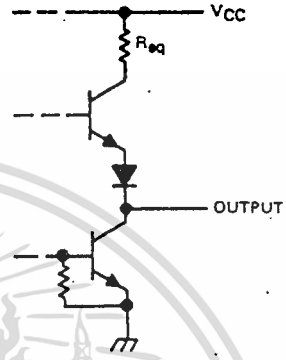
schematics of inputs and outputs

EQUIVALENT OF EACH INPUT



INPUT	R_{eq} NOM	
	'121	'L121
A1	4 kΩ	8 kΩ
A2	4 kΩ	8 kΩ
B	2 kΩ	4 kΩ

TYPICAL OF BOTH OUTPUTS



'121: R_{eq} = 130 Ω NOM
'L121: R_{eq} = 260 Ω NOM

6

recommended operating conditions

		54 FAMILY / 74 FAMILY	SN54121 / SN74121			SN54L121			UNIT
			MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage, V_{CC}		54 Family	4.5	5	5.5	4.5	5	5.5	V
		74 Family	4.75	5	5.25				
High-level output current, I_{OH}					−400			−200	μA
Low-level output current, I_{OL}					16			8	mA
Rate of rise or fall of input pulse, dV/dt	Schmitt input, B		1			1			V/s
	Logic inputs, A1, A2		1			1			V/μs
Input pulse width, $t_{w(in)}$			50			100			ns
External timing resistance, R_{ext}		54 Family	1.4		30	1.4		30	kΩ
		74 Family	1.4		40				
External timing capacitance, C_{ext}			0		1000	0		1000	μF
Duty cycle	R_T = 2 kΩ				67			67	%
	R_T = MAX R_{ext}				90			90	
Operating free-air temperature, T_A		54 Family	−55		125	−55		125	°C
		74 Family	0		70				

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

electrical characteristics over recommended operating free-air temperature range (unless otherwise noted)

PARAMETER		TEST CONDITIONS†		SN54121 SN74121			SN54L121			UNIT
				MIN	TYP‡	MAX	MIN	TYP‡	MAX	
V_{T+}	Positive-going threshold voltage at A input	V_{CC} = MIN,			1.4	2		1.4	2	V
V_{T-}	Negative-going threshold voltage at A input	V_{CC} = MIN		0.8	1.4		0.8	1.4		V
V_{T+}	Positive-going threshold voltage at B input	V_{CC} = MIN			1.55	2		1.55	2	V
V_{T-}	Negative-going threshold voltage at B input	V_{CC} = MIN		0.8	1.35		0.8	1.35		V
V_{IK}	Input clamp voltage	V_{CC} = MIN,	I_I = −12 mA			−1.5			−1.5	V
V_{OH}	High-level output voltage	V_{CC} = MIN,	I_{OH} = MAX	2.4	3.4		2.4	3.4		V
V_{OL}	Low-level output voltage	V_{CC} = MIN,	I_{OL} = MAX		0.2	0.4		0.2	0.4	V
I_I	Input current at maximum input voltage	V_{CC} = MAX,	V_I = 5.5 V			1			1	mA
I_{IH}	High-level input current	V_{CC} = MAX, V_I = 2.4 V	A1 or A2			40			20	μA
			B			80			40	
I_{IL}	Low-level input current	V_{CC} = MAX, V_I = 0.4 V	A1 or A2			−1.6			−0.8	mA
			B			−3.2			−1.6	
I_{OS}	Short-circuit output current♦	V_{CC} = MAX	54 Family	−20		−55	−10		−27	mA
			74 Family	−18		−55				
I_{CC}	Supply current	V_{CC} = MAX	Quiescent		13	25		7	12	mA
			Triggered		23	40		9	20	

†For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.
‡All typical values are at V_{CC} = 5 V, T_A = 25°C.
♦Not more than one output should be shorted at a time.

switching characteristics, V_{CC} = 5 V, T_A = 25°C

PARAMETER		TEST CONDITIONS		'121			'L121			UNIT
				MIN	TYP	MAX	MIN	TYP	MAX	
t_{PLH}	Propagation delay time, low-to-high-level Q output from either A input	C_L = 15 pF, R_L = 400 Ω for '121, R_L = 800 Ω for 'L121, See Note 3	C_{ext} = 80 pF, R_{int} to V_{CC}		45	70			140	ns
t_{PLH}	Propagation delay time, low-to-high-level Q output from B input				35	55			110	ns
t_{PHL}	Propagation delay time, high-to-low-level Q output from either A input				50	80			160	ns
t_{PHL}	Propagation delay time, high-to-low-level Q output from B input				40	65			130	ns
$t_{w(out)}$	Pulse width obtained using internal timing resistor		C_{ext} = 80 pF, R_{int} to V_{CC}	70	110	150	70	225	260	ns
$t_{w(out)}$	Pulse width obtained with zero timing capacitance		C_{ext} = 0, R_{int} to V_{CC}		30	50		35	70	ns
$t_{w(out)}$	Pulse width obtained using external timing resistor		C_{ext} = 100 pF, R_T = 10 kΩ	600	700	800	600	700	850	ns
			C_{ext} = 1 μF, R_T = 10 kΩ	6	7	8	6	7	8	ms

NOTE 3: Load circuit and voltage waveforms are shown on pages 3-10 and 3-11.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPICAL CHARACTERISTICS§

DISTRIBUTION OF UNITS
vs
OUTPUT PULSE WIDTH

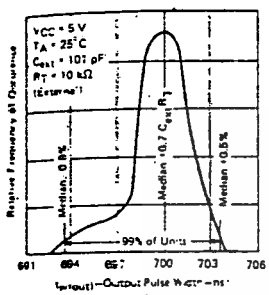


FIGURE 1

VARIATION IN INTERNAL TIMING RESISTOR VALUE
vs
FREE-AIR TEMPERATURE

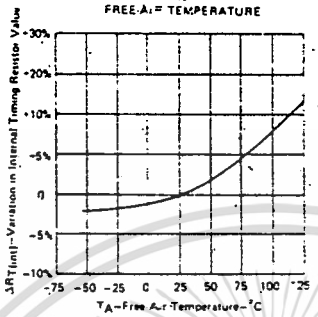


FIGURE 2

VARIATION IN OUTPUT PULSE WIDTH
vs
SUPPLY VOLTAGE

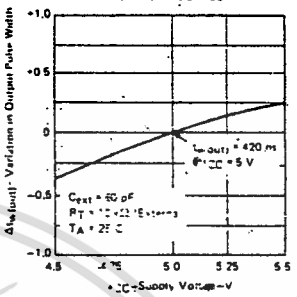


FIGURE 3

SCHMITT TRIGGER THRESHOLD VOLTAGE
vs
FREE-AIR TEMPERATURE

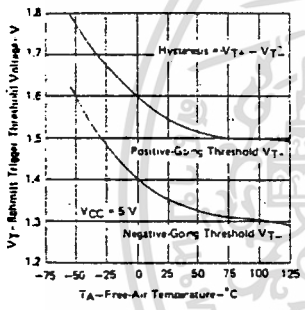


FIGURE 4

VARIATION IN OUTPUT PULSE WIDTH
vs
FREE-AIR TEMPERATURE

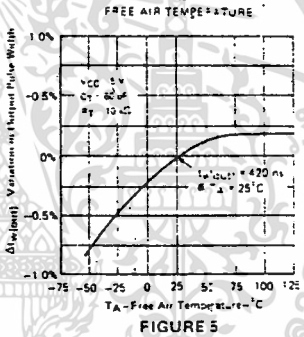


FIGURE 5

OUTPUT PULSE WIDTH
vs
TIMING RESISTOR VALUE

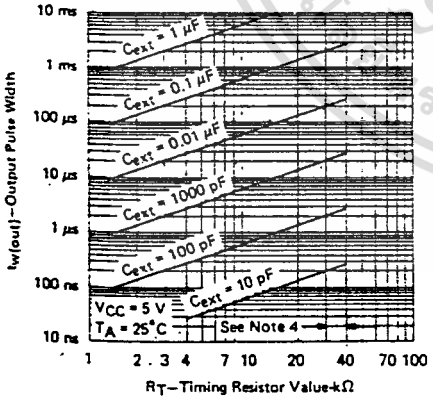


FIGURE 6

OUTPUT PULSE WIDTH
vs
EXTERNAL CAPACITANCE

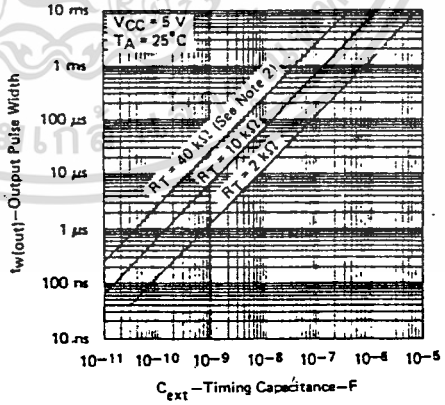


FIGURE 7

NOTE 4: These values of resistance exceed the maximum recommended for use over the full temperature range of the SN54L121.

§ Data for temperatures below 0°C and above 70°C are applicable for SN54121 and SN54L121.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MOTOROLA

SN54LS/74LS90
SN54LS/74LS92
SN54LS/74LS93

DECADE COUNTER; DIVIDE-BY-TWELVE COUNTER; 4-BIT BINARY COUNTER

LOW POWER SCHOTTKY

DESCRIPTION — The SN54LS/74LS90, SN54LS/74LS92 and SN54LS/74LS93 are high-speed 4-bit ripple type counters partitioned into two sections. Each counter has a divide-by-two section and either a divide-by-five (LS90), divide-by-six (LS92) or divide-by-eight (LS93) section which are triggerd by a HIGH-to-LOW transition on the clock inputs. Each section can be used separately or tied together (Q to $\overline{CP}$) to form BCD, bi-quinary, modulo-12, or modulo-16 counters. All of the counters have a 2-input gated Master Reset (Clear), and the LS90 also has a 2-input gated Master Set (Preset 9).

J Suffix — Case 632-07 (Ceramic)
N Suffix — Case 646-05 (Plastic)

- LOW POWER CONSUMPTION . . . TYPICALLY 45 mW
- HIGH COUNT RATES . . . TYPICALLY 42 MHz
- CHOICE OF COUNTING MODES . . . BCD, BI-QUINARY, DIVIDE-BY-TWELVE, BINARY
- INPUT CLAMP DIODES LIMIT HIGH SPEED TERMINATION EFFECTS

4

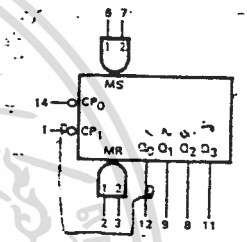
PIN NAMES

		LOADING (Note a)	
		HIGH	LOW
$\overline{CP}_0$	Clock (Active LOW going edge) Input to ÷2 Section	0.5 U.L.	1.5 U.L.
$\overline{CP}_1$	Clock (Active LOW going edge) Input to ÷5 Section (LS90), ÷6 Section (LS92)	0.5 U.L.	2.0 U.L.
$\overline{CP}_1$	Clock (Active LOW going edge) Input to ÷8 Section (LS93)	0.5 U.L.	1.0 U.L.
MR_1, MR_2	Master Reset (Clear) Inputs	0.5 U.L.	0.25 U.L.
MS_1, MS_2	Master Set (Preset-9, LS90) Inputs	0.5 U.L.	0.25 U.L.
Q_0	Output from ÷2 Section (Notes b & c)	10 U.L.	5(2.5) U.L.
Q_1, Q_2, Q_3	Outputs from ÷5 (LS90), ÷6 (LS92), ÷8 (LS93) Sections (Note b)	10 U.L.	5(2.5) U.L.

Notes:
a. 1 TTL Unit Load (U.L.) = 40 μA HIGH/1.6 mA LOW.
b. The Output LOW drive factor is 2.5 U.L. for Military (54) and 5 U.L. for commercial (74) Temperature Ranges.
c. The Q_0 Outputs are guaranteed to drive the full fan-out plus the $\overline{CP}_1$ input of the device.
d. To insure proper operation the rise (t_r) and fall time (t_f) of the clock must be less than 100 ns.

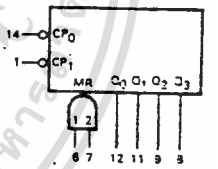
LOGIC SYMBOL

LS90



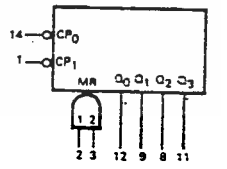
V_{CC} = Pin 5
GND = Pin 10
NC = Pins 4, 13

LS92



V_{CC} = Pin 5
GND = Pin 10
NC = Pins 2, 3, 4, 13

LS93

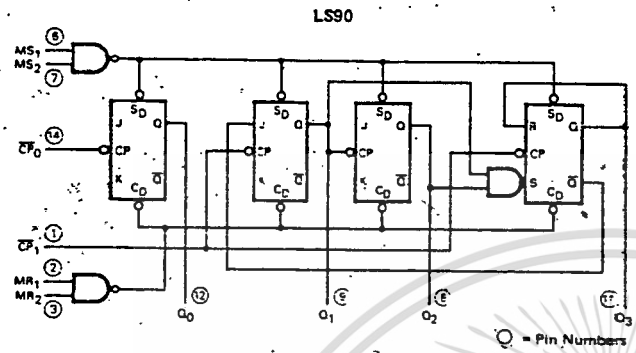


V_{CC} = Pin 5
GND = Pin 10
NC = Pins 4, 6, 7, 13

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

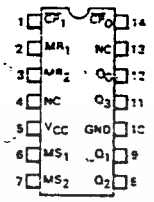
LOGIC DIAGRAM

LS90



○ = Pin Numbers
V_{CC} = Pin 5
GND = Pin 10

CONNECTION DIAGRAM DIP (TOP VIEW)

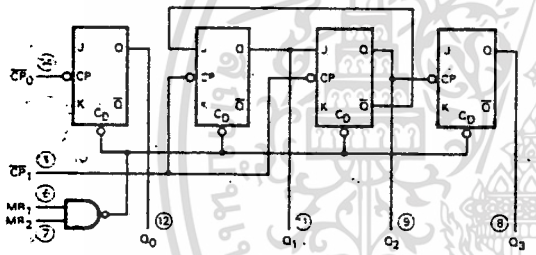


NC = No Internal Connection

NOTE:
The Flatpak version has the same pinouts (Connection Diagram) as the Dual In-Line Package

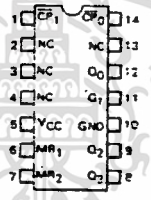
LOGIC DIAGRAM

LS92



○ = Pin Numbers
V_{CC} = Pin 5
GND = Pin 10

CONNECTION DIAGRAM DIP (TOP VIEW)

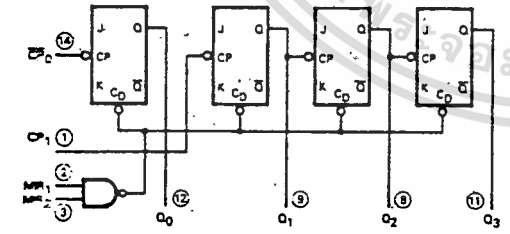


NC = No Internal Connection

NOTE:
The Flatpak version has the same pinouts (Connection Diagram) as the Dual In-Line Package

LOGIC DIAGRAM

LS93



○ = Pin Numbers
V_{CC} = Pin 5
GND = Pin 10

CONNECTION DIAGRAM DIP (TOP VIEW)

NC = No Internal Connection

NOTE:
The Flatpak version has the same pinouts (Connection Diagram) as the Dual In-Line Package

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FUNCTIONAL DESCRIPTION — The LS90, LS92, and LS93 are 4-bit ripple type Decade, Divide-By-Twelve, and Binary Counters respectively. Each device consists of four master/slave flip-flops which are internally connected to provide a divide-by-two section and a divide-by-five (LS90), divide-by-six (LS92), or divide-by-eight (LS93) section. Each section has a separate clock input which initiates state changes of the counter on the HIGH-to-LOW clock transition. State changes of the Q outputs do not occur simultaneously because of internal ripple delays. Therefore, decoded output signals are subject to decoding spikes and should not be used for clocks or strobes. The Q_0 output of each device is designed and specified to drive the rated fan-out plus the $\overline{CP}_1$ input of the device.

A gated AND asynchronous Master Reset ($MR_1 \bullet MR_2$) is provided on all counters which overrides and clocks and resets (clears) all the flip-flops. A gated AND asynchronous Master Set ($MS_1 \bullet MS_2$) is provided on the LS90 which overrides the clocks and the MR inputs and sets the outputs to nine (HLLH).

Since the output from the divide-by-two section is not internally connected to the succeeding stages, the devices may be operated in various counting modes.

LS90

A. BCD Decade (8421) Counter — The $\overline{CP}_1$ input must be externally connected to the Q_0 output. The $\overline{CP}_0$ input receives the incoming count and a BCD count sequence is produced.

B. Symmetrical Bi-quinary Divide-By-Ten Counter — The Q_3 output must be externally connected to the $\overline{CP}_0$ input. The input count is then applied to the $\overline{CP}_1$ input and a divide-by-ten square wave is obtained at output Q_0.

C. Divide-By-Two and Divide-By-Five Counter — No external interconnections are required. The first flip-flop is used as a binary element for the divide-by-two function ($\overline{CP}_0$ as the input and Q_0 as the output). The $\overline{CP}_1$ input is used to obtain binary divide-by-five operation at the Q_3 output.

LS92

A. Modulo 12, Divide-By-Twelve Counter — The $\overline{CP}_1$ input must be externally connected to the Q_0 output. The $\overline{CP}_0$ input receives the incoming count and Q_3 produces a symmetrical divide-by-twelve square wave output.

B. Divide-By-Two and Divide-By-Six Counter — No external interconnections are required. The first flip-flop is used as a binary element for the divide-by-two function. The $\overline{CP}_1$ input is used to obtain divide-by-three operation at the Q_1 and Q_2 outputs and divide-by-six operation at the Q_3 output.

LS93

A. 4-Bit Ripple Counter — The output Q_0 must be externally connected to input $\overline{CP}_1$. The input count pulses are applied to input $\overline{CP}_0$. Simultaneous divisions of 2, 4, 8, and 16 are performed at the Q_0, Q_1, Q_2, and Q_3 outputs as shown in the truth table.

B. 3-Bit Ripple Counter — The input count pulses are applied to input $\overline{CP}_1$. Simultaneous frequency divisions of 2, 4, and 8 are available at the Q_1, Q_2, and Q_3 outputs. Independent use of the first flip-flop is available if the reset function coincides with reset of the 3-bit ripple-through counter.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

LS90
MODE SELECTION

RESET/SET INPUTS				OUTPUTS			
MR_1	MR_2	MS_1	MS_2	Q_0	Q_1	Q_2	Q_3
H	H	L	X	L	L	L	L
H	H	X	L	L	L	L	L
X	X	H	H	H	L	L	H
L	X	L	X	Count			
X	L	X	L	Count			
L	X	X	L	Count			
X	L	L	X	Count			

H = HIGH Voltage Level
L = LOW Voltage Level
X = Don't Care

LS92 AND LS93
MODE SELECTION

RESET INPUTS		OUTPUTS			
MR_1	MR_2	Q_0	Q_1	Q_2	Q_3
H	H	L	L	L	L
L	H	Count			
H	L	Count			
L	L	Count			

H = HIGH Voltage Level
L = LOW Voltage Level
X = Don't Care

LS90
BCD COUNT SEQUENCE

COUNT	OUTPUT			
	Q_0	Q_1	Q_2	Q_3
0	L	L	L	L
1	H	L	L	L
2	L	H	L	L
3	H	H	L	L
4	L	L	H	L
5	H	L	H	L
6	L	H	H	L
7	H	H	H	L
8	L	L	L	H
9	H	L	L	H

NOTE: Output Q_0 is connected to input $\overline{CP}_1$ for BCD count.

LS92
TRUTH TABLE

COUNT	OUTPUT			
	Q_0	Q_1	Q_2	Q_3
0	L	L	L	L
1	H	L	L	L
2	L	H	L	L
3	H	H	L	L
4	L	L	H	L
5	H	L	H	L
6	L	L	L	H
7	H	L	L	H
8	L	H	L	H
9	H	H	L	H
10	L	L	H	H
11	H	L	H	H

Note: Output Q_0 connected to input $\overline{CP}_1$.

LS93
TRUTH TABLE

COUNT	OUTPUT			
	Q_0	Q_1	Q_2	Q_3
0	L	L	L	L
1	H	L	L	L
2	L	H	L	L
3	H	H	L	L
4	L	L	H	L
5	H	L	H	L
6	L	H	H	L
7	H	H	H	L
8	L	L	L	H
9	H	L	L	H
10	L	H	L	H
11	H	H	L	H
12	L	L	H	H
13	H	L	H	H
14	L	H	H	H
15	H	H	H	H

Note: Output Q_0 connected to input $\overline{CP}_1$.

4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

GUARANTEED OPERATING RANGES

SYMBOL	PARAMETER		MIN	TYP	MAX	UNIT
V_{CC}	Supply Voltage	54 74	4.5 4.75	5.0 5.0	5.5 5.25	V
T_A	Operating Ambient Temperature Range	54 74	−55 0	25 25	125 70	°C
I_{OH}	Output Current — High	54, 74			−0.4	mA
I_{OL}	Output Current — Low	54 74			4.0 8.0	mA

DC CHARACTERISTICS OVER OPERATING TEMPERATURE RANGE (unless otherwise specified)

SYMBOL	PARAMETER		LIMITS MIN	LIMITS TYP	LIMITS MAX	UNITS	TEST CONDITIONS	
V_{IH}	Input HIGH Voltage		2.0			V	Guaranteed Input HIGH Voltage for All Inputs	
V_{IL}	Input LOW Voltage	54			0.7	V	Guaranteed Input LOW Voltage for All Inputs	
		74			0.8			
V_{IK}	Input Clamp Diode Voltage			−0.65	−1.5	V	V_{CC} = MIN, I_{IN} = −18 mA	
V_{OH}	Output HIGH Voltage	54	2.5	3.5		V	V_{CC} = MIN, I_{OH} = MAX, V_{IN} = V_{IH} or V_{IL} per Truth Table	
		74	2.7	3.5		V		
V_{OL}	Output LOW Voltage	54,74		0.25	0.4	V	I_{OL} = 4.0 mA	V_{CC} = V_{CC} MIN, V_{IN} = V_{IL} or V_{IH} per Truth Table
		74		0.35	0.5	V	I_{OL} = 8.0 mA	
I_{IH}	Input HIGH Current				20	μA	V_{CC} = MAX, V_{IN} = 2.7 V	
					0.1	mA	V_{CC} = MAX, V_{IN} = 7.0 V	
I_{IL}	Input LOW Current MS, MR $\overline{CP}_0$ $\overline{CP}_1$ (LS90, LS92) $\overline{CP}_1$ (LS93)				−0.4 −2.4 −3.2 −1.6	mA	V_{CC} = MAX, V_{IN} = 0.4 V	
I_{OS}	Short Circuit Current		−20		−100	mA	V_{CC} = MAX	
I_{CC}	Power Supply Current				15	mA	V_{CC} = MAX	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC CHARACTERISTICS: $T_A = 25°C$, $V_{CC} = 5.0\ V$, $C_L = 15\ pF$

SYMBOL	PARAMETER	LIMITS									UNITS
		LS90			LS92			LS93			
		MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	
f_{MAX}	$\overline{CP}_0$ Input Clock Frequency	32			32			32			MHz
f_{MAX}	$\overline{CP}_1$ Input Clock Frequency	16			16			16			MHz
t_{PLH} t_{PHL}	Propagation Delay, $\overline{CP}_0$ Input to Q_0 Output		10 12	16 18		10 12	16 18		10 12	16 18	ns
t_{PLH} t_{PHL}	$\overline{CP}_0$ Input to Q_3 Output		32 34	48 50		32 34	48 50		46 46	70 70	ns
t_{PLH} t_{PHL}	$\overline{CP}_1$ Input to Q_1 Output		10 14	16 21		10 14	16 21		10 14	16 21	ns
t_{PLH} t_{PHL}	$\overline{CP}_1$ Input to Q_2 Output		21 23	32 35		10 14	16 21		21 23	32 35	ns
t_{PLH} t_{PHL}	$\overline{CP}_1$ Input to Q_3 Output		21 23	32 35		21 23	32 35		34 34	51 51	ns
t_{PLH}	MS Input to Q_0 and Q_3 Outputs		20	30							ns
t_{PHL}	MS Input to Q_1 and Q_2 Outputs		26	40							ns
t_{PHL}	MR Input to Any Output		26	40		26	40		26	40	ns

AC SETUP REQUIREMENTS: $T_A = 25°C$, $V_{CC} = 5.0\ V$

SYMBOL	PARAMETER	LIMITS						UNITS
		LS90		LS92		LS93		
		MIN	MAX	MIN	MAX	MIN	MAX	
t_W	$\overline{CP}_0$ Pulse Width	15		15		15		ns
t_W	$\overline{CP}_1$ Pulse Width	30		30		30		ns
t_W	MS Pulse Width	15						ns
t_W	MR Pulse Width	15		15		15		ns
t_{rec}	Recovery Time MR to $\overline{CP}$	25		25		25		ns

RECOVERY TIME (t_{rec}) is defined as the minimum time required between the end of the reset pulse and the clock transition from HIGH-to-LOW in order to recognize and transfer HIGH data to the Q outputs.

AC WAVE FORMS

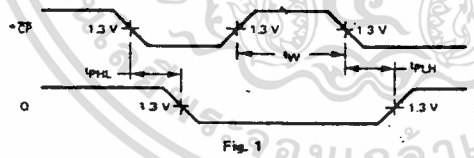


Fig. 1

*The number of Clock Pulses required between the t_{PHL} and t_{PLH} measurements can be determined from the appropriate Truth Tables.

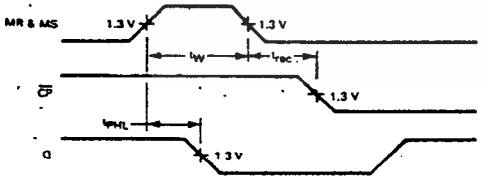


Fig. 2

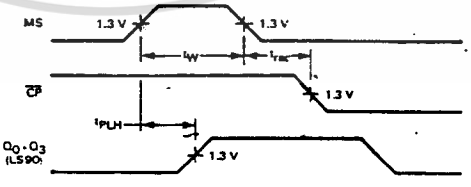


Fig. 3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Dynamic Shift Registers

MM4013/MM5013 1024-bit dynamic shift register/accumulator

general description

The MM4013/MM5013 1024-bit dynamic shift register/accumulator is an MOS monolithic integrated circuit using P-channel enhancement mode low threshold technology to achieve direct bipolar compatibility. There is on-chip logic to load and recirculate data, and a read control for enabling the bus-ORable TRI-STATE™ push-pull output stage.

features

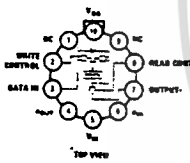
■ Bipolar compatibility	Standard +5V, −12V power supplies No pull down or pull up resistors required
■ Package option	TO-99 or molded 8-pin mini-DIP
■ Low clock capacitance	160 pF max
■ Wide frequency range	ϕ_f min = 400 Hz @ 25°C typ ϕ_f max = 2.5 MHz over temp. guaranteed
■ Built-in recirculate	Exclusive-OR and recirculate loop on-chip
■ TRI-STATE output	Allows wire-OR bus structure on output
■ Full temperature operation	
MM4013	−55°C to +125°C
MM5013	0°C to +70°C

applications

- "Silicon Store" replacement for drum and disc memories
- File memories
- CRT refresh

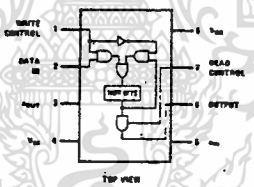
connection diagrams

Metal Can Package



Order Number MM4013H or MM5013H
See Package 24

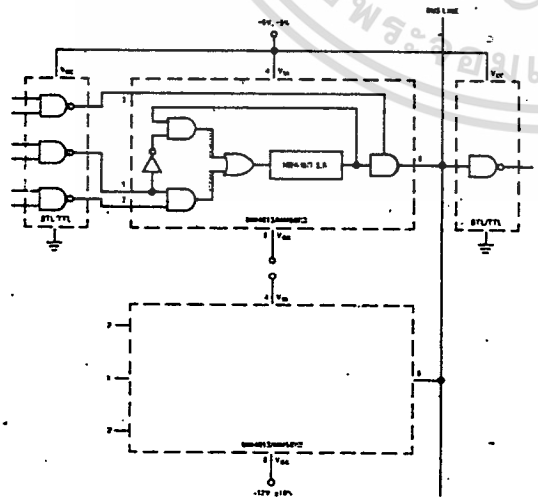
Dual-In-Line Package



Order Number MM4013D or MM5013D
See Package 1
Order Number MM5013N
See Package 12

typical applications

TTL/MOS Interface



truth table

(Positive Logic)
Logic "1" = V_{IH} = Logical HIGH Level
Logic "0" = V_{IL} = Logical LOW Level

WRITE	READ	FUNCTION
0	0	Recirculate Output Disabled
0	1	Recirculate Output Enabled
1	0	Write Mode Output Disabled
1	1	Write Mode Output Enabled

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

absolute maximum ratings

Voltage at Any Pin	V_{SS} + 0.3 to V_{SS} − 22
Operating Temperature Range MM4013	−55°C to +125°C
MM5013	0°C to +70°C
Storage Temperature Range	−65°C to +150°C
Lead Temperature (Soldering, 10 sec)	300°C

electrical characteristics

T_A within operating temperature range, V_{SS} = +5.0V ±5%, V_{GG} = −12.0V ±10%, unless otherwise noted.

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
Data Input Levels					
Logical HIGH Level (V_{IH})		V_{SS} − 2.0		V_{SS} + 0.3	V
Logical LOW Level (V_{IL})		V_{SS} −18.5		V_{SS} − 4.2	V
Data Input Leakage	V_{IN} = −20.0V, T_A = 25°C, All Other Pins GND		0.01	0.5	µA
Data Input Capacitance	V_{IN} = 0.0V, f = 1 MHz, All Other Pins GND (Note 1)		3.0	5.0	pF
Control Input Levels					
Logical HIGH Level (V_{IH})		V_{SS} − 2.0		V_{SS} + 0.3	V
Logical LOW Level (V_{IL})		V_{SS} − 18.5		V_{SS} − 4.2	V
Control Input Leakage	V_{IN} = −20.0V, T_A = 25°C, All Other Pins GND		0.01	0.5	µA
Control Input Capacitance	V_{IN} = 0.0V, f = 1 MHz, All Other Pins GND (Note 1)		3.0	5.0	pF
Clock Input Levels					
Logical HIGH Level (V_{OH})		V_{SS} − 1.5		V_{SS} + 0.3	V
Logical LOW Level (V_{OL})		V_{SS} − 18.5		V_{SS} − 14.5	V
Clock Input Leakage	V_ϕ = −20.0V, T_A = 25°C, All Other Pins GND		0.05	1.0	µA
Clock Input Capacitance	V_ϕ = 0.0V, f = 1 MHz All Other Pins GND (Note 1)		140	190	pF
Data Output Levels					
Logical HIGH Level (V_{OH})	I_{SOURCE} = −0.5 mA	2.4		V_{SS}	V
Logical LOW Level (V_{OL})	I_{SINK} = 1.6 mA			0.4	V
Data Output Leakage	V_{OUT} = −5.0V, T_A = 25°C Output in Highimpedance State			10.0	µA
Power Supply Current I_{GG}	T_A = 25°C, V_{GG} = −12V, ϕ_{PW} = 150 ns, V_{SS} = 5.0V, V_{OL} = −12V, Data = 0-1-0-1				
	0.01 MHz ≤ ϕ_f ≤ 0.1 MHz		1.60	3.0	mA
	ϕ_f = 1.0 MHz		5.3	8.0	mA
	ϕ_f = 2.5 MHz		10.3	15.0	mA
Clock Frequency (ϕ_f)	$\phi t_r = \phi t_f$ = 20 ns, (Note 2)	0.01	3.3	2.5	MHz
Clock Pulsewidth (ϕ_{PW})	$\phi t_r + \phi_{PW} + \phi t_f \leq 10.5$ µs	0.15		10	µs
Clock Phase Delay Times (ϕ_ϕ, $\overline{\phi}_\phi$)	(Note 2)	10.0			ns
Clock Transition Times (ϕt_r, ϕt_f)	$\phi t_r + \phi_{PW} + \phi t_f \leq 10.5$ µs			1.0	µs
Partial Bit Times (T)	(Note 2)				
Input Part al Bit Time (T_{IN})		0.2		100	µs
Output Partial Bit Time (T_{OUT})		0.2		100	µs
Data Input Setup Time (t_{ds})		80	30		ns
Data Input Hold Time (t_{dh})		20	0		ns
Write Setup Time (t_{ws})		80	30		ns
Write Hold Time (t_{wh})		20	0		ns
Read Setup Time (t_{rs})		0			ns
Read Hold Time (t_{rh})		0			ns
Data Output Propagation Delay from ϕ_{OUT}	(see ac test circuit)				
Delay to HIGH Level (t_{pd1})			150	200	ns
Delay to LOW Level (t_{pd0})			150	200	ns
Propagation Delay From Read Control Disable to HIGH Impedance State:					
Delay From HIGH Level (t_{1H})			150	200	ns
Delay From LOW Level (t_{0H})			150	200	ns
Propagation Delay From Read Control Enable to LOW Impedance State:					
Delay to HIGH Level (t_{H1})			150	200	ns
Delay to LOW Level (t_{H0})			150	200	ns

Note 1: Capacitance is guaranteed by periodic testing.

Note 2: Minimum clock frequency is a function of temperature and partial bit times (T_{IN} and T_{OUT}) as shown by the ϕ_f versus temperature and T_{IN}, T_{OUT} versus temperature curves. The lowest guaranteed clock frequency for any temperature can be attained by making T_{IN} equal to T_{OUT}. The minimum guaranteed clock frequency is:

$$\phi_f(\min) = \frac{1}{T_{IN} + T_{OUT}}$$, where T_{IN} and T_{OUT} do not exceed the guaranteed maximums.

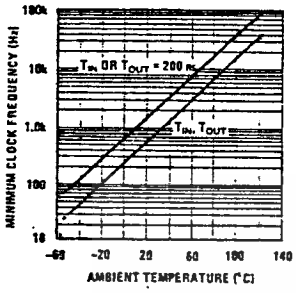
Note 3: Minimum clock frequency and partial bit time curves are guaranteed by testing at a high temperature point.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

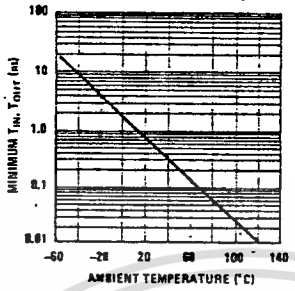
1

performance characteristics

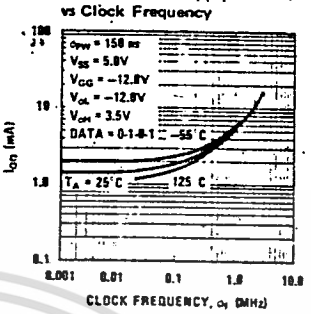
Guaranteed Minimum Clock Frequency vs Temperature (Note 2)



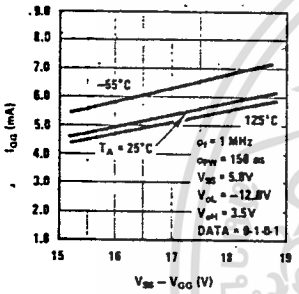
Guaranteed Maximum T_{IN} and T_{OUT} vs Temperature (Note 2)



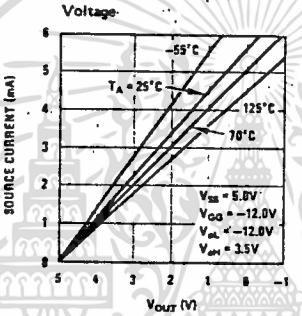
Typical Power Supply Current vs Clock Frequency



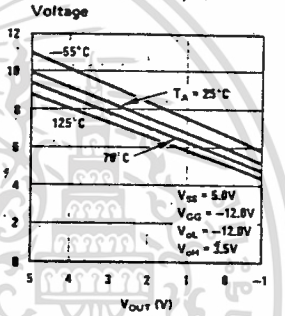
Typical Power Supply Current vs Voltage



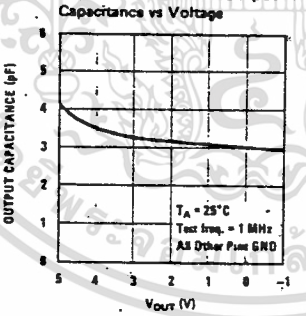
Typical Data Output Source Current vs Data Output Voltage



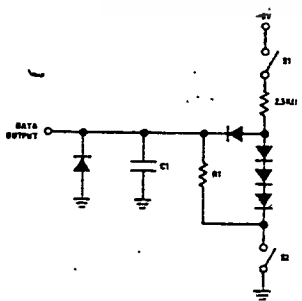
Typical Data Output Sink Current vs Data Output Voltage



Typical Tri-State Data Output Capacitance vs Voltage



ac test circuit

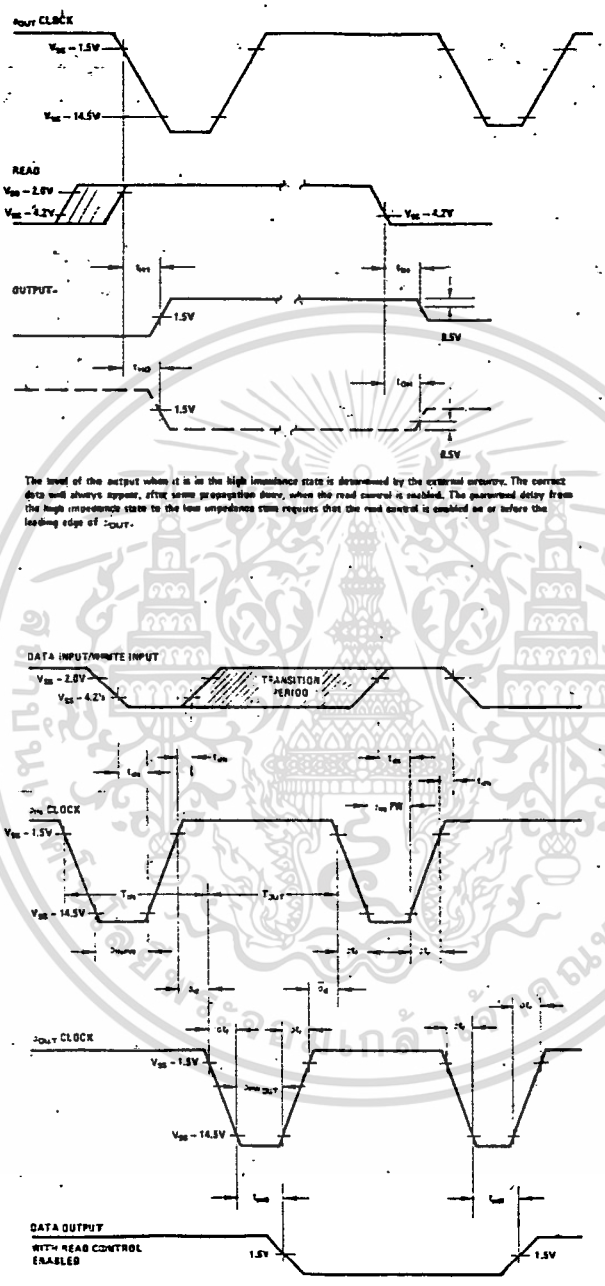


truth table

DELAY	S1	S2	R1	C1
t_{pd0}	Closed	Closed	35K	20 pF
t_{pd1}	Closed	Closed	35K	20 pF
t_{0H}	Closed	Closed	2.5K	5 pF
t_{1H}	Closed	Closed	2.5K	5 pF
t_{HZ}	Closed	Open	35K	20 pF
t_{HZ}	Open	Closed	35K	20 pF

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

switching time waveforms



The level of the output when it is in the high impedance state is determined by the external circuitry. The correct data will always appear, after some propagation delay, when the read control is enabled. The guaranteed delay from the high impedance state to the low impedance state requires that the read control is enabled on or before the leading edge of f_{OUT}.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MOTOROLA

SN54LS245
SN74LS245

OCTAL BUS TRANSCEIVER

LOW POWER SCHOTTKY

DESCRIPTION — The SN54LS/74LS245 is an Octal Bus Transmitter/Receiver designed for 8-line asynchronous 2-way data communication between data buses. Direction Input (DR) controls transmission of Data from bus A to bus B or bus B to bus A depending upon its logic level. The Enable input ($\overline{E}$) can be used to isolate the buses.

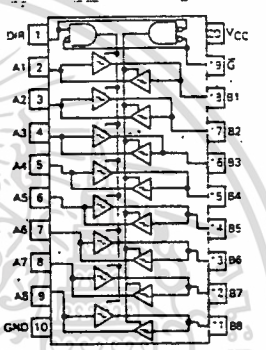
- HYSTERESIS INPUTS TO IMPROVE NOISE IMMUNITY
- 2-WAY ASYNCHRONOUS DATA BUS COMMUNICATION
- INPUT DIODES LIMIT HIGH-SPEED TERMINATION EFFECTS

TRUTH TABLE

INPUTS		OUTPUT
$\overline{G}$	DIR	
L	L	Bus B Data to Bus A
L	H	Bus A Data to Bus B
H	X	Isolation

H = HIGH Voltage Level
L = LOW Voltage Level
X = Immaterial

LOGIC AND CONNECTION DIAGRAM
DIP (TOP VIEW)



J Suffix — Case 732-03 (Ceramic)
N Suffix — Case 738-01 (Plastic)

4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

GUARANTEED OPERATING RANGES

SYMBOL	PARAMETER		MIN	TYP	MAX	UNIT
V_{CC}	Supply Voltage	54 74	4.5 4.75	5.0 5.0	5.5 5.25	V
T_A	Operating Ambient Temperature Range	54 74	−55 0	25 25	125 70	°C
I_{OH}	Output Current — High	54,74			−3.0	mA
		54 74			−12 −15	mA
I_{OL}	Output Current — Low	54 74			12 24	mA

DC CHARACTERISTICS OVER OPERATING TEMPERATURE RANGE (unless otherwise specified)

SYMBOL	PARAMETER		LIMITS MIN	LIMITS TYP	LIMITS MAX	UNITS	TEST CONDITIONS	
V_{IH}	Input HIGH Voltage		2.0			V	Guaranteed Input HIGH Voltage for All Inputs	
V_{IL}	Input LOW Voltage	54			0.7	V	Guaranteed Input LOW Voltage for All Inputs	
		74			0.8			
$V_{T+}-V_{T-}$	Hysteresis		0.2	0.4		V	V_{CC} = MIN	
V_{IK}	Input Clamp Diode Voltage			−0.65	−1.5	V	V_{CC} = MIN, I_{IN} = −18 mA	
V_{OH}	Output HIGH Voltage	54,74	2.4	3.4		V	V_{CC} = MIN, I_{OH} = −3.0 mA	
		54,74	2.0			V	V_{CC} = MIN, I_{OH} = MAX	
V_{OL}	Output LOW Voltage	54,74		0.25	0.4	V	I_{OL} = 12 mA	V_{CC} = V_{CC} MIN, V_{IN} = V_{IL} or V_{IH} per Truth Table
		74		0.35	0.5	V	I_{OL} = 24 mA	
I_{OZH}	Output Off Current HIGH				20	μA	V_{CC} = MAX, V_{OUT} = 2.4 V	
I_{OZL}	Output Off Current LOW				−200	μA	V_{CC} = MAX, V_{OUT} = 0.4 V	
I_{IH}	Input HIGH Current	A or B, DR or $\overline{E}$			20	μA	V_{CC} = MAX, V_{IN} = 2.7 V	
		DR or $\overline{E}$			0.1	mA	V_{CC} = MAX, V_{IN} = 7.0 V	
		A or B			0.1	mA	V_{CC} = MAX, V_{IN} = 5.5 V	
I_{IL}	Input LOW Current				−0.2	mA	V_{CC} = MAX, V_{IN} = 0.4 V	
I_{OS}	Output Short Circuit Current		−40		−225	mA	V_{CC} = MAX	
I_{CC}	Power Supply Current Total, Output HIGH				70	mA	V_{CC} = MAX	
	Total, Output LOW				90			
	Total at HIGH Z				95			

AC CHARACTERISTICS: T_A = 25°C, V_{CC} = 5.0 V

SYMBOL	PARAMETER	LIMITS MIN	LIMITS TYP	LIMITS MAX	UNITS	TEST CONDITIONS
t_{PLH} t_{PHL}	Propagation Delay, Data to Output		8.0 8.0	12 12	ns	C_L = 45 pF R_L = 667 Ω
t_{PZH}	Output Enable Time to HIGH Level		25	40	ns	
t_{PZL}	Output Enable Time to LOW Level		27	40	ns	
t_{PLZ}	Output Disable Time from LOW Level		15	25	ns	C_L = 5.0 pF R_L = 667 Ω
t_{PHZ}	Output Disable Time from HIGH Level		15	25	ns	

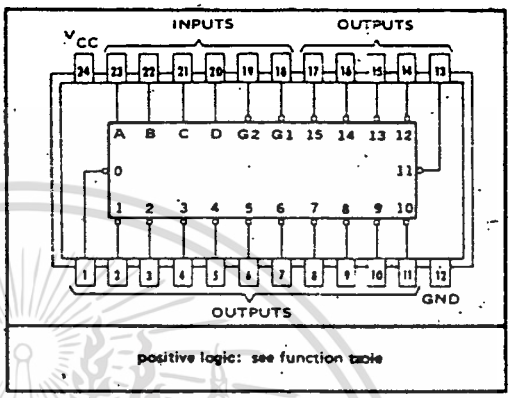
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPES SN54159, SN74159
4-LINE-TO-16-LINE DECODERS/DEMULTIPLEXERS
WITH OPEN-COLLECTOR OUTPUTS

BULLETIN NO. DL-S 7211800, DECEMBER 1972

- Open-Collector Outputs for Interfacing with MOS or Memory Decoders/Drivers
- Decodes 4 Binary-Coded Inputs into One of 16 Mutually Exclusive Outputs
- Performs the Demultiplexing Function by Distributing Data from One Input Line to Any One of 16 Outputs
- Typical Average Propagation Delay Times:
  24 ns through 3 Levels of Logic
  19 ns from Strobe Input
- Output Off-State Current is Less Than 50 μA
- Fully Compatible with Most TTL, DTL, and MSI Circuits

SN54159 . . . J OR W PACKAGE
SN74159 . . . J OR N PACKAGE
(TOP VIEW)



description

Each of these monolithic, 4-line-to-16-line decoders utilizes TTL circuitry to decode four binary-coded inputs into one of sixteen mutually exclusive open-collector outputs when both the strobe inputs, G1 and G2, are low. The demultiplexing function is performed by using the 4 input lines to address the output line, passing data from one of the strobe inputs with the other strobe input low. When either strobe input is high, all outputs are high. These demultiplexers are ideally suited for implementing MOS memory decoding or for interfacing with discrete memory address drivers. For ultra-high-speed applications, the SN54S138/SN74S138 or SN54S139/SN74S139 is recommended.

These circuits are fully compatible for use with most other TTL and DTL circuits. Input clamping diodes are provided to minimize transmission-line effects and thereby simplify system design. Input buffers are used to lower the fan-in requirement to only one normalized Series 54/74 load. A fan-out to 10 normalized Series 54/74 loads in the low-level state is available from each of the sixteen outputs. Typical power dissipation is 170 mW.

The SN54159 is characterized for operation over the full military temperature range of −55°C to 125°C; the SN74159 is characterized for operation from 0°C to 70°C.

function table

Same as SN54154, SN74154. See page 7-172.

functional block diagram

Same as SN54154, SN74154. See page 7-172.

absolute maximum ratings over operating free-air temperature range (unless otherwise noted)

Supply voltage, V_{CC} (see Note 1)	7 V
Input voltage	5.5 V
Off-state output voltage	5.5 V
Operating free-air temperature range: SN54159 Circuits	−55°C to 125°C
SN74159 Circuits	0°C to 70°C
Storage temperature range	−65°C to 150°C

NOTE 1: Voltage values are with respect to network ground terminal

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

recommended operating conditions

	SN54159			SN74159			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage, V_{CC}	4.5	5	5.5	4.75	5	5.25	V
Low-level output current, I_{OL}			16			16	mA
Operating free-air temperature, T_A	55		125	0		70	°C

electrical characteristics over recommended operating free-air temperature range (unless otherwise noted)

PARAMETER		TEST CONDITIONS†	MIN	TYP‡	MAX	UNIT
V_{IH}	High-level input voltage		2			V
V_{IL}	Low-level input voltage				0.8	V
V_{IK}	Input clamp voltage	V_{CC} = MIN, I_I = −12 mA			−1.5	V
I_{OH}	High-level output current	V_{CC} = MIN, V_{IH} = 2 V, V_{IL} = 0.8 V, V_{OH} = 5.5 V			50	μA
V_{OL}	Low-level output voltage	V_{CC} = MIN, V_{IH} = 2 V, V_{IL} = 0.8 V, I_{OL} = 16 mA			0.4	V
I_I	Input current at maximum input voltage	V_{CC} = MAX, V_I = 5.5 V			1	mA
I_{IH}	High-level input current	V_{CC} = MAX, V_I = 2.4 V			40	μA
I_{IL}	Low-level input current	V_{CC} = MAX, V_I = 0.4 V			−1.6	mA
I_{CC}	Supply current	V_{CC} = MAX, All inputs grounded		34	56	mA

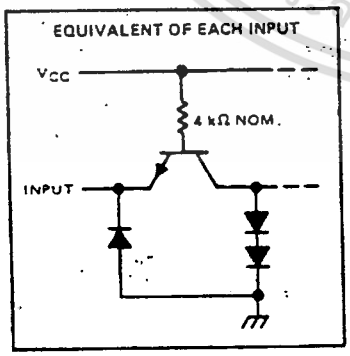
†For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions for the applicable type.
‡All typical values are at V_{CC} = 5 V, T_A = 25°C.

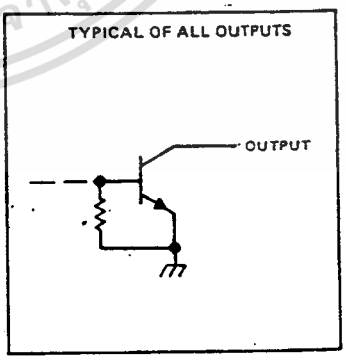
switching characteristics, V_{CC} = 5 V, T_A = 25°C

PARAMETER		TEST CONDITIONS	MIN	TYP	MAX	UNIT
t_{PLH}	Propagation delay time, low-to-high-level output, from A, B, C, or D inputs through 3 levels of logic	C_L = 15 pF, R_L = 400 Ω, See Note 2		23	36	ns
t_{PHL}	Propagation delay time, high-to-low-level output, from A, B, C, or D inputs through 3 levels of logic			24	36	ns
t_{PLH}	Propagation delay time, low-to-high-level output, from either strobe input			15	25	ns
t_{PHL}	Propagation delay time, high-to-low-level output, from either strobe input			22	36	ns

NOTE 2: See load circuit and waveforms shown on page 3-10.

schematics of inputs and outputs





เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TRIPLE 3-INPUT NOR GATE — 54/7427

SPEED/PACKAGE AVAILABILITY

54 F,W 74 A,F
54LS F,W 74LS A,F

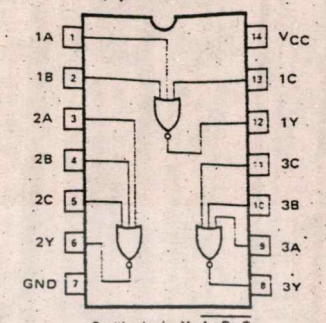
SWITCHING CHARACTERISTICS V_{CC} = 5V, T_A = 25°C

TEST CONDITIONS	54/74 C_L=15pF R_L=400Ω			54/74LS C_L=15pF R_L=2kΩ			
PARAMETER	MIN	TYP	MAX	MIN	TYP	MAX	UNIT
Propagation delay time t_{PLH} Low-to-high		7	11		5	15	ns
t_{PHL} High-to-low		10	15		9	15	ns

Load circuit and typical waveforms are shown at the front of section.

PIN CONFIGURATION

A,F,W PACKAGE



Positive logic: $Y = \overline{A+B+C}$

QUAD 2-INPUT NOR BUFFER — 54/7428

SPEED/PACKAGE AVAILABILITY

54 F,W 74 A,F
54LS F,W 74LS A,F

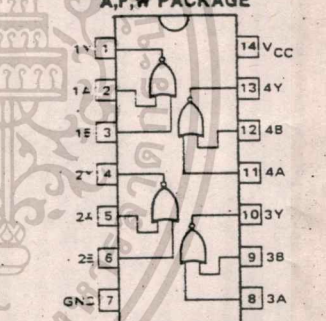
SWITCHING CHARACTERISTICS V_{CC} = 5V, T_A = 25°C

TEST CONDITIONS	54/74 C_L=50pF R_L=133Ω			54/74LS C_L=45pF R_L=667Ω			
PARAMETER	MIN	TYP	MAX	MIN	TYP	MAX	UNIT
Propagation delay time t_{PLH} Low-to-high	C_L=150pF	6	9		12	24	ns
	C_L=150pF	10	15				
t_{PHL} High-to-low	C_L=150pF	8	12		12	24	ns
	C_L=150pF	12	18				

Load circuit and typical waveforms are shown at the front of section.

PIN CONFIGURATION

A,F,W PACKAGE



Positive logic: $Y = \overline{A \cdot B}$

LOGIC

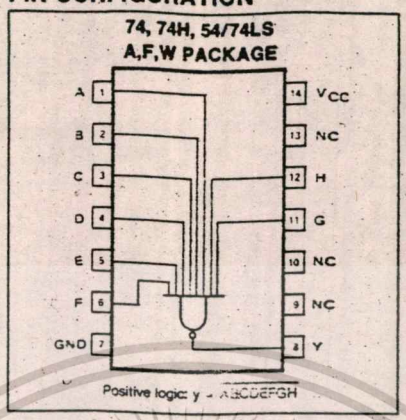
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

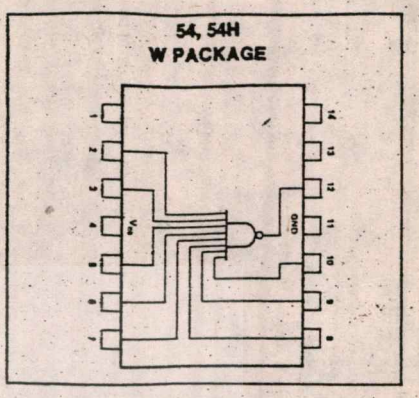
8-INPUT NAND GATE — 54/7430

SPEED/PACKAGE AVAILABILITY

54	F,W	74	A,F
54H	F,W	74H	A,F
54LS	F,W	74LS	A,F

PIN CONFIGURATION





SWITCHING CHARACTERISTICS V_{CC} = 5V, T_A = 25°C

TEST CONDITIONS	54/74 C_L=15pF R_L=400Ω			54/74H C_L=25pF R_L=280Ω			54/74LS C_L=15pF R_L=2kΩ			
PARAMETER	**MIN**	**TYP**	**MAX**	**MIN**	**TYP**	**MAX**	**MIN**	**TYP**	**MAX**	**UNIT**
Propagation delay time										
t_{PLH} Low-to-high		13	22		6.8	10		5	15	ns
t_{PHL} High-to-low		8	15		8.9	12		9	20	ns

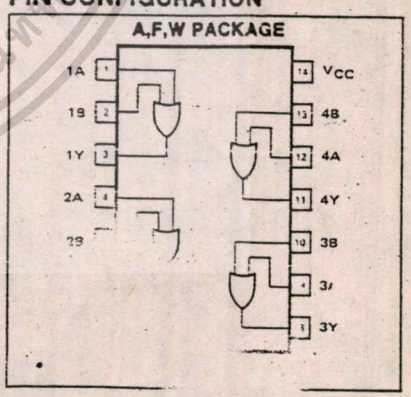
Load circuit and typical waveforms are shown at the front of section.

QUAD 2-INPUT OR GATE — 54/7432

SPEED/PACKAGE AVAILABILITY

54	F,W	74	A,F
54LS	F,W	74LS	A,F

PIN CONFIGURATION



SWITCHING CHARACTERISTICS V_{CC} = 5V, T_A = 25°C

TEST CONDITIONS	54/74 C_L=15pF R_L=400Ω			54/74LS C_L=15pF R_L=2kΩ			
PARAMETER	**MIN**	**TYP**	**MAX**	**MIN**	**TYP**	**MAX**	**UNIT**
Propagation delay time							
t_{PLH} Low-to-high		10	15				ns
t_{PHL} High-to-low		14	22				ns

Load circuit and typical waveforms are shown at the front of section.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DUAL D-TYPE POSITIVE EDGE-TRIGGERED FLIP-FLOP 54/7474

SPEED/PACKAGE AVAILABILITY

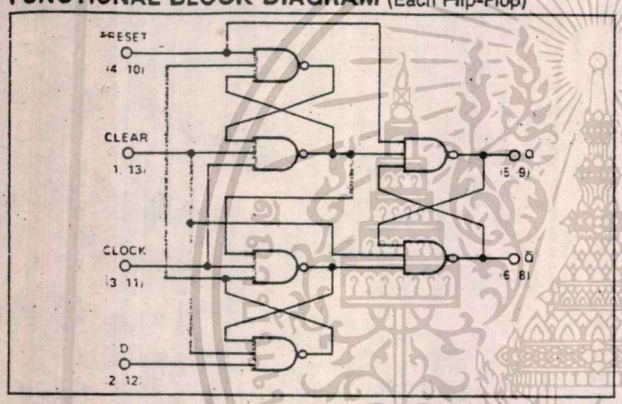
54	F,W	74	A,F
54H	F,W	74H	A,F
54LS	F,W	74LS	A,F
54S	F,W	74S	A,F

DESCRIPTION

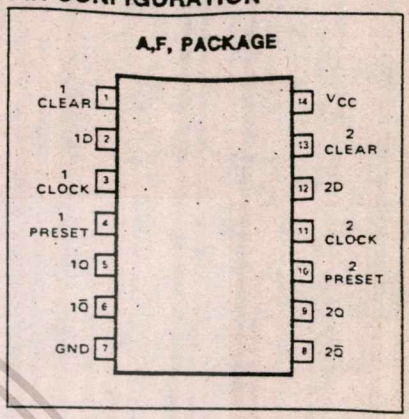
These monolithic dual edge-triggered D-type flip-flops feature individual D, clock, preset, and clear inputs.

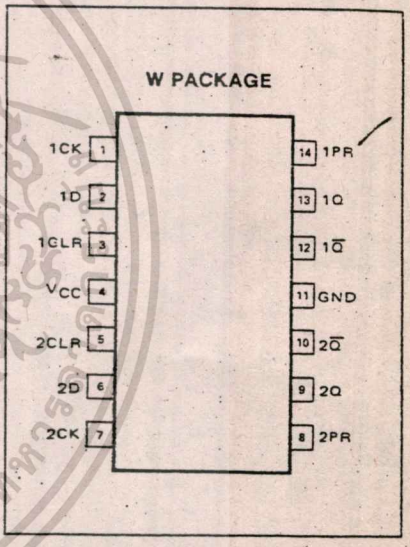
Preset and clear inputs are active-low and operate independently of the clock input. When preset and clear are inactive (high), information at the D input is transferred to the Q output on the positive-going edge of the clock pulse. Clock triggering occurs at a voltage level of the clock pulse and is not directly related to the transition time of the positive-going pulse. When the clock input is at either the high or low level, the D-input signal has no effect at the output.

FUNCTIONAL BLOCK DIAGRAM (Each Flip-Flop)



PIN CONFIGURATION





TRUTH TABLE (Each Flip-Flop)

	Inputs			Outputs	
Preset	Clear	Clock	D	Q	$\bar{Q}$
L	H	X	X	H	L
H	L	X	X	L	H
L	L	X	X	H*	H*
H	H	↑	H	H	L
H	H	↑	L	L	H
H	H	L	X	Q_0	$\bar{Q}_0$

H = high level (steady state) L = low level (steady state)
*This condition is nonstable. It will not remain after clear and preset return to their inactive (high) state.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DUAL D-TYPE POSITIVE EDGE-TRIGGERED FLIP-FLOP 54/747

SWITCHING CHARACTERISTICS V_{CC}= 5V, T_A = 25°C

TEST CONDITIONS				54/74 C_L=15pF R_L=400Ω			54/74H C_L=25pF R_L=280Ω			54/74LS C_L=15pF R_L=2kΩ			54/74S C_L=15pF R_L=280Ω			
PARAMETER		FROM INPUT	TO OUTPUT	MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	UNIT
f_{Clock}	Clock frequency			15	25		35	43		25	33		75	90		MHz
$t_{w(Clock)}$	Width of clock input pulse									25						
	Clock high			30			15						6			ns
	Clock low			37			13.5						7.3			
$t_{w(Clear}$	Width of clear input pulse			30			25			25			7			ns
$t_{w(Preset)}$	Width of preset input pulse			30			25			25			7			ns
t_{Setup}	Input setup time			20↑	15								3↓			ns
	High level						10↑			25						
	Low level						15↑			20						
t_{Hold}	Input hold time			5↑	2		5↑			5			2↓			ns
Propagation delay time																
t_{PLH}	Low-to-high	Clear, Preset				25			20		8	25		5	6	ns
															CLK=1	
														8	13.5	
															CLK=0	
t_{PHL}	High-to-low					40			30		16	40		5	8	
t_{PHL}	Low-to-high	Clock		10	14	25	4	8.5	15		8	25		7	9	ns
t_{PHL}	High-to-low			10	20	40		13	20		16	40		7	9	

Load circuit and typical waveforms are shown at the front of section.

QUAD LATCH 54/7475

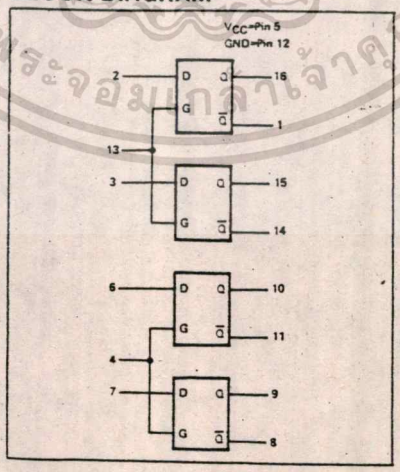
SPEED/PACKAGE AVAILABILITY

54	F	74	B,F
54LS	F,W	74LS	B,F

DESCRIPTION

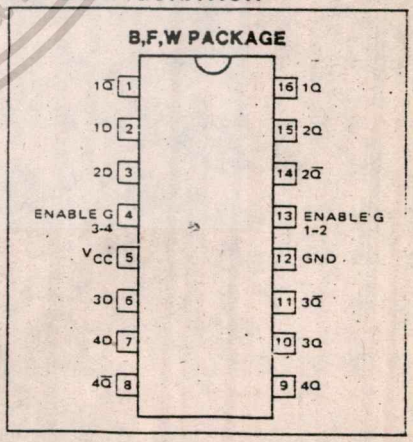
This latch is ideally suited for use as temporary storage for binary information between processing units and input/output or indicator units. Information present at a data (D) input is transferred to the Q output when the enable (G) is high and the Q output will follow the data input as long as the enable remains high. When the enable goes low, the information (that was present at the data input at the time the transition occurred) is retained at the Q output until the enable is permitted to go high.

BLOCK DIAGRAM



PIN CONFIGURATION

B,F,W PACKAGE



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

intel

PRELIMINARY
Notice: This is not a final specification. Some parametric limits are subject to change.

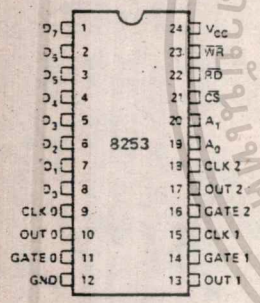
8253
PROGRAMMABLE INTERVAL TIMER

- 3 Independent 16-Bit Counters
- DC to 2 MHz
- Programmable Counter Modes
- Count Binary or BCD
- Single +5V Supply
- 24 Pin Dual-In-Line Package

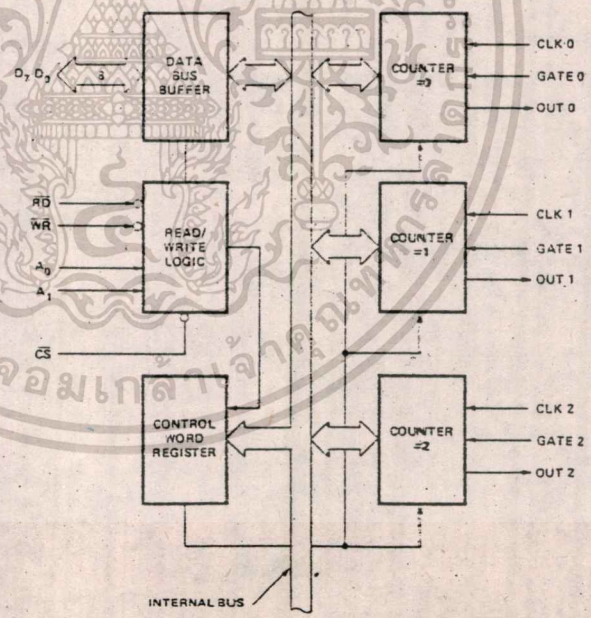
The 8253 is a programmable counter/timer chip designed for use with microprocessors. It uses nMOS technology with a single +5V supply and is packaged in a 24-pin plastic DIP.

It is organized as three independent 16-bit counters, each with a count rate of up to 2 MHz. All modes of operation are software programmable by the 8080.

PIN CONFIGURATION



BLOCK DIAGRAM



PIN NAMES

D_7-D_0	DATA BUS (8-BIT)
CLK N	COUNTER CLOCK INPUTS
GATE N	COUNTER GATE INPUTS
OUT N	COUNTER OUTPUTS
$\overline{RD}$	READ COUNTER
$\overline{WR}$	WRITE COMMAND OR DATA
$\overline{CS}$	CHIP SELECT
A_1 A_0	COUNTER SELECT
V_{CC}	+5 VOLTS
GND	GROUND

MCS 80/85

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

8253 BASIC FUNCTIONAL DESCRIPTION

General

The 8253 is a programmable interval timer/counter specifically designed for use with the Intel® 8080 Microcomputer system. Its function is that of a general purpose, multi-mode timing element that can be treated as an array of I/O ports in the system software.

The 8253 solves one of the most common problems in any microcomputer system, the generation of accurate time delays under software control. Instead of setting up timing loops in systems software, the programmer configures the 8253 to match his requirements, initializes one of the counters of the 8253 with the desired quantity, then upon command the 8253 will count out the delay and interrupt the CPU when it has completed its tasks. It is easy to see that the software overhead is minimal and that multiple delays can easily be maintained by assignment of priority levels.

Other counter/timer functions that are non-delay in nature but also common to most microcomputers can be implemented with the 8253.

- Programmable Rate Generator
- Event Counter
- Binary Rate Multiplier
- Real Time Clock
- Digital One-Shot
- Complex Motor Controller

Data Bus Buffer

This 3-state, bi-directional, 8-bit buffer is used to interface the 8253 to the MCS-80™ system data bus. Data is transmitted or received by the buffer upon execution of INput or OUTput CPU instructions. The Data Bus Buffer has three basic functions.

1. Programming the MODES of the 8253.
2. Loading the count registers.
3. Reading the count values.

Read/Write Logic

The Read/Write Logic accepts inputs from the MCS-80™ system bus and in turn generates control signals for overall device operation. It is enabled or disabled by $\overline{CS}$ so that no operation can occur to change the function unless the device has been selected by the system logic.

$\overline{RD}$ (Read)

A "low" on this input informs the 8253 that the CPU is inputting data in the form of a counters value.

$\overline{WR}$ (Write)

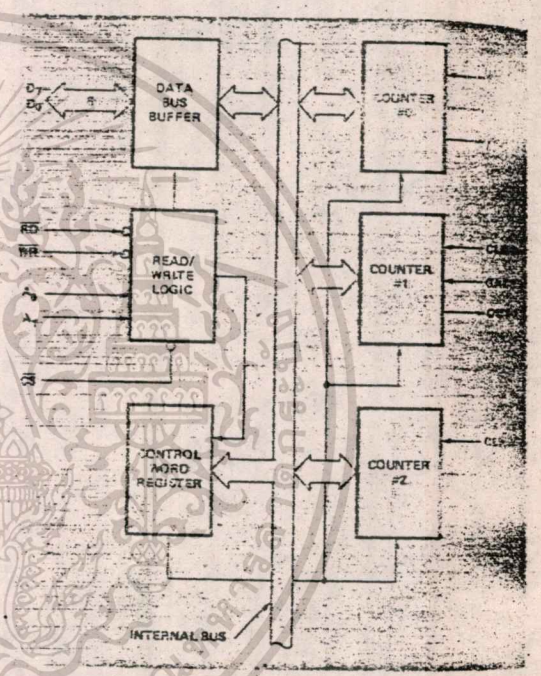
A "low" on this input informs the 8253 that the CPU is outputting data in the form of mode information or loading counters.

A0, A1

These inputs are normally connected to the MCS-80™ address bus. Their function is to select one of the three counters to be operated on and to address the control word register for mode selection.

$\overline{CS}$ (Chip Select)

A "low" on this input enables the 8253. No reading or writing will occur unless the device is selected. The $\overline{CS}$ input has no effect upon the actual operation of the counters.



8253 BLOCK DIAGRAM

$\overline{CS}$	$\overline{RD}$	$\overline{WR}$	A_1	A_0	
0	1	0	0	0	Load Counter No. 0
0	1	0	0	1	Load Counter No. 1
0	1	0	1	0	Load Counter No. 2
0	1	0	1	1	Write Mode Word
0	0	1	0	0	Read Counter No. 0
0	0	1	0	1	Read Counter No. 1
0	0	1	1	0	Read Counter No. 2
0	0	1	1	1	No-Operation 3-State
1	X	X	X	X	Disable 3-State
0	1	1	X	X	No-Operation 3-State

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Control Word Register

The Control Word Register is selected when A0, A1 are 11. It then accepts information from the data bus buffer and stores it in a register. The information stored in this register controls the operational MODE of each counter, selection of binary or BCD counting and the loading of each count register.

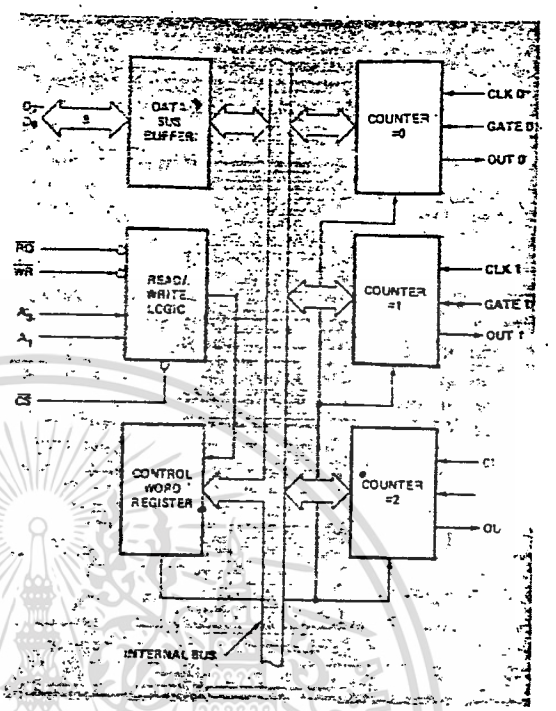
The Control Word Register can only be written into; no read operation of its contents is available.

Counter #0, Counter #1, Counter #2

These three functional blocks are identical in operation so only a single Counter will be described. Each Counter consists of a single, 16-bit, pre-settable, DOWN counter. The counter can operate in either binary or BCD and its input, gate and output are configured by the selection of MODES stored in the Control Word Register.

The counters are fully independent and each can have separate Mode configuration and counting operation, binary or BCD. Also, there are special features in the control word that handle the loading of the count value so that software overhead can be minimized for these functions.

The reading of the contents of each counter is available to the programmer with simple READ operations for event counting applications and special commands and logic are included in the 8253 so that the contents of each counter can be read "on the fly" without having to inhibit the clock input.

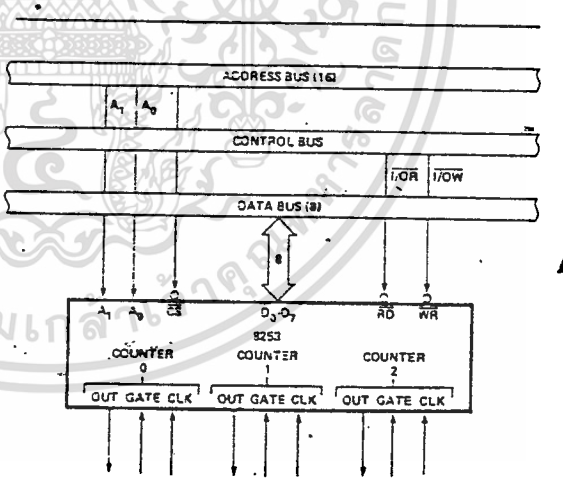


8253 BLOCK DIAGRAM

8253 SYSTEM INTERFACE

The 8253 is a component of the Intel® MCS-80™ System and interfaces in the same manner as all other peripherals of the family. It is treated by the systems software as an array of peripheral I/O ports: three are counters and the fourth is a control register for MODE programming.

Basically, the select inputs A0, A1 connect to the A0, A1 address bus signals of the CPU. The $\overline{CS}$ can be derived directly from the address bus using a linear select method. Or it can be connected to the output of a decoder, such as an Intel® 8205 for larger systems. The $\overline{RD}$ and $\overline{WR}$ inputs are normally connected to the $\overline{IOR}$ and $\overline{IOW}$ outputs of the 8228 but they can be connected to the $\overline{MEMR}$ and $\overline{MEMW}$ signals in a memory mapped I/O configuration so that the full memory operating instructions of the 8080A can be used to initialize and maintain the 8253.



8253 SYSTEM INTERFACE

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

8253 DETAILED OPERATIONAL DESCRIPTION

General

The comolete functional definition of the 8253 is programmed by the systems software. A set of control words must be sent out by the CPU to initialize each counter of the 8253 with the desired MODE and quantity information. These control words program the MODE. Loading sequence and selection of binary or BCD counting.

Once programmed, the 8253 is ready to perform whatever timing tasks it is assigned to accomplish.

The actual counting operation of each counter is completely independent and additional logic is provided on-chip so that the usual problems associated with efficient monitoring and management of external, asynchronous events or rates to the microcomputer system have been eliminated.

Programming the 8253

All of the MODES for each counter are programmed by the systems software by simple I/O operations.

Each counter of the 8253 is individually programmed by writing a control word into the Control Word Register. (A0, A1 = 11)

Control Word Format

D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0
SC1	SC0	RL1	RL0	M2	M1	M0	BCD

Definition of Control Fields

SC-Select Counter

SC1	SC0	
0	0	Select Counter 0
0	1	Select Counter 1
1	0	Select Counter 2
1	1	Illegal

RL-Read/Load

RL1	RL0	
0	0	Counter Latching operation (see READ/WRITE Procedure Section)
1	0	Read/Load most significant byte only.
0	1	Read/Load least significant byte only.
1	1	Read/Load least significant byte first, then most significant byte.

M-MODE

M2	M1	M0	
0	0	0	Mode 0
0	0	1	Mode 1
X	1	0	Mode 2
X	1	1	Mode 3
1	0	0	Mode 4
1	0	1	Mode 5

BCD

0	Binary Counter 16-bits
1	Binary Coded Decimal (BCD) Counter (4 Decades)

MODE Definition

MODE 0: Interrupt on terminal count.

The OUTput will be initially low after the Mode set operation. After the count is loaded into the selected count register, the OUTput will remain low and the counter will count. When terminal count is reached the OUTput will go high and remain high until the selected count register is reloaded with the Mode.

Reloading a counter register during counting results in the following:

(1) Load 1st byte stops the current counting.

(2) Load 2nd byte starts the new count.

The GATE input will enable the counting when high and inhibit counting when low.

MODE 1: Programmable One-Shot.

The OUTput will go low on the count following the rising edge of the GATE input.

The OUTput will go high on the terminal count. If a new count value is loaded while the OUTput is low it will not affect the duration of the One-Shot pulse until the succeeding trigger. The current count can be read at any time without affecting the one-shot pulse.

The one-shot is retriggerable, hence the output will remain low for the full count after any rising edge of the gate input.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MODE 2: Rate Generator

Divide by N counter. The OUTput will be low for one period of the input clock. The period from one output pulse to the next equals the number of input counts in the count register. If the count register is reloaded between output pulses the present period will not be affected, but the subsequent period will reflect the new value.

The GATE input, when low, will force the OUTput high. When the GATE input goes high, the counter will start from the initial count. Thus, the GATE input can be used to synchronize the counter.

When this MODE is set, the output will remain high until after the count register is loaded. The output then can also be synchronized by software.

MODE 3: Square Wave Rate Generator.

Similar to MODE 2 except that the OUTput will remain high until one half the count has been completed (for even numbers) and go low for the other half of the count. If the count is odd, the OUTput will be high for (N+1)/2 counts and low for (N-1)/2 counts.

If the counter register is reloaded with a new value during counting, this new value will be reflected immediately after the output transition of the current count.

MODE 4: Software triggered strobe.

After the mode is set, the output will be high. When the count is loaded, the counter will begin counting. On terminal count, the output will go low for one input clock period, then will go high again.

If the count register is reloaded between output pulses the present period will not be affected, but the subsequent period will reflect the new value. The count will be inhibited while the gate input is low. Reloading the counter register will restart counting beginning with the new number.

MODE 5: Hardware triggered strobe.

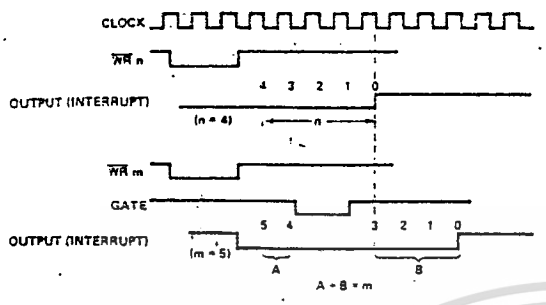
The counter will start counting after the rising edge of the trigger input and will go low for one clock period when the terminal count is reached. The counter is retriggerable. The output will not go low until the full count after the rising edge of any trigger.

GATE Pin Operations Summary

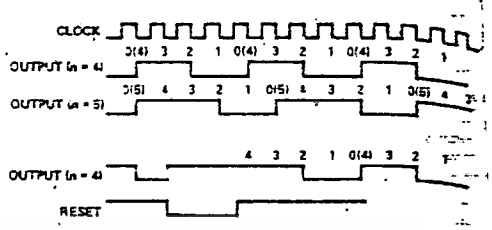
Modes \ Signal Status	Low Or Going Low	Rising	High
0	Disables counting	—	Enables counting
1	—	1) Initiates counting 2) Resets output after next clock	—
2	1) Disables counting 2) Sets output immediately high	Initiates counting	Enables counting
3	1) Disables counting 2) Sets output immediately high	Initiates counting	Enables counting
4	Disables counting	—	Enables counting
5	—	Initiates counting	—

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

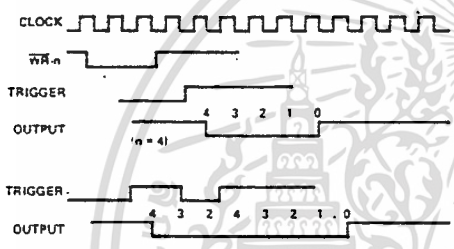
MODE 0



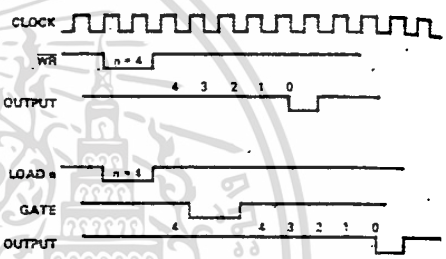
MODE 3



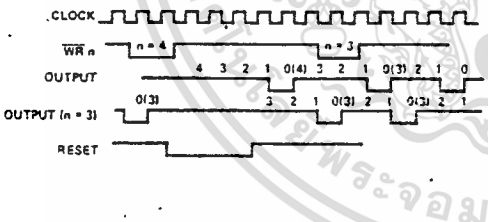
MODE 1



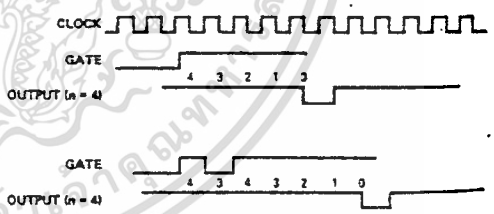
MODE 4



MODE 2



MODE 5



8253 TIMING DIAGRAMS

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

8253 READ/WRITE PROCEDURE

Write Operations

The systems software must program each counter of the 8253 with the mode and quantity desired. The programmer must write out to the 8253 a MODE control word and the programmed number of count register bytes (1 or 2) prior to actually using the selected counter.

The actual order of the programming is quite flexible. Writing out of the MODE control word can be in any sequence of counter selection, e.g., counter #0 does not have to be first or counter #2 last. Each counter's MODE control word register has a separate address so that its loading is completely sequence independent. (SC0, SC1)

The loading of the Count Register with the actual count value, however, must be done in exactly the sequence programmed in the MODE control word (RL0, RL1). This loading of the counter's count register is still sequence independent like the MODE control word loading, but when a selected count register is to be loaded it must be loaded with the number of bytes programmed in the MODE control word (RL0, RL1). The one or two bytes to be loaded in the count register do not have to follow the associated MODE control word. They can be programmed at any time following the MODE control word loading as long as the correct number of bytes is loaded in order.

All counters are down counters. Thus, the value loaded into the count register will actually be decremented. Loading all zeroes into a count register will result in the maximum count (2^{16} for Binary or 10^4 for BCD). In MODE 0 the new count will not restart until the load has been completed. It will accept one of two bytes depending on how the MODE control words (RL0, RL1) are programmed. Then proceed with the restart operation.

Programming Format

	MODE Control Word Counter n
LSB	Count Register byte Counter n
MSB	Count Register byte Counter n

Note: Format shown is a simple example of loading the 8253 and does not imply that it is the only format that can be used.

Alternate Programming Formats

Example:

			A1	A0
No. 1		MODE Control Word Counter 0	1	1
No. 2		MODE Control Word Counter 1	1	1
No. 3		MODE Control Word Counter 2	1	1
No. 4	LSB	Count Register Byte Counter 1	0	1
No. 5	MSB	Count Register Byte Counter 1	0	1
No. 6	LSB	Count Register Byte Counter 2	1	0
No. 7	MSB	Count Register Byte Counter 2	1	0
No. 8	LSB	Count Register Byte Counter 0	0	0
No. 9	MSB	Count Register Byte Counter 0	0	0

Note: The exclusive addresses of each counter's count register make the task of programming the 8253 a very simple matter, and maximum effective use of the device will result if this feature is fully utilized.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

8253 READ/WRITE PROCEDURE

Read Operations

In most counter applications it becomes necessary to read the value of the count in progress and make a computational decision based on this quantity. Event counters are probably the most common application that uses this function. The 8253 contains logic that will allow the programmer to easily read the contents of any of the three counters without disturbing the actual count in progress.

There are two methods that the programmer can use to read the value of the counters. The first method involves the use of simple I/O read operations of the selected counter. By controlling the A0, A1 inputs to the 8253 the programmer can select the counter to be read (remember that no read operation of the mode register is allowed A0, A1=11). The only requirement with this method is that in order to assure a stable count reading the actual operation of the selected counter must be inhibited either by controlling the Gate input or by external logic that inhibits the clock input. The contents of the counter selected will be available as follows:

first I/O Read contains the least significant byte (LSB).

second I/O Read contains the most significant byte (MSB).

Due to the internal logic of the 8253 it is absolutely necessary to complete the entire reading procedure. If two bytes are programmed to be read then two bytes must be read before any loading WR command can be sent to the same counter.

Read Operation Chart

A1	A0	RD	
0	0	0	Read Counter No. 0
0	1	0	Read Counter No. 1
1	0	0	Read Counter No. 2
1	1	0	Illegal

Reading While Counting

In order for the programmer to read the contents of any counter without effecting or disturbing the counting operation the 8253 has special internal logic that can be accessed using simple WR commands to the MODE register. Basically, when the programmer wishes to read the contents of a selected counter "on the fly" he loads the MODE register with a special code which latches the present count value into a storage register so that its contents contain an accurate, stable quantity. The programmer then issues a normal read command to the selected counter and the contents of the latched register is available.

MODE Register for Latching Count

A0, A1 = 11

D7	D6	D5	D4	D3	D2	D1	D0
SC1	SC0	0	0	X	X	X	X

SC1,SC0 — specify counter to be latched.

D5,D4 — 00 designates counter latching operation.

X — don't care.

The same limitation applies to this mode of reading the counter as the previous method. That is, it is mandatory to complete the entire read operation as programmed.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PRELIMINARY

Notice: This is not a final specification. Some parametric limits are subject to change.

ABSOLUTE MAXIMUM RATINGS*

Ambient Temperature Under Bias ..... 0°C to 70°C
Storage Temperature ..... −65°C to −150°C
Voltage On Any Pin
With Respect to Ground ..... −0.5V to −7V
Power Dissipation ..... 1 Watt

COMMENT: Stresses above those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress rating only and functional operation of the device at these or any other conditions above those indicated in the operational sections of this specification is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

D.C. CHARACTERISTICS (T_A = 0°C to 70°C; V_{CC} = 5V ±5%)

SYMBOL	PARAMETER	MIN.	MAX.	UNITS	TEST CONDITIONS
V_{IL}	Input Low Voltage	-.5	.8	V	
V_{IH}	Input High Voltage	2.0	V_{CC}+.5V	V	
V_{OL}	Output Low Voltage		.45	V	I_{OL} = 2 mA
V_{OH}	Output High Voltage	2.4		V	I_{OH} = -400 µA
I_{LI}	Input Load Current		10	µA	V_{IN} = V_{CC} to 0V
I_{LOL}	Output Leakage Current		-10	µA	V_{OUT} = 0.45V
I_{LOH}	Output Leakage Current		10	µA	V_{OUT} = V_{CC}
I_{CC}	V_{CC} Supply Current		85	mA	

CAPACITANCE T_A = 25°C; V_{CC} = GND = 0V

Symbol	Parameter	Min.	Typ.	Max.	Unit	Test Conditions
C_{IN}	Input Capacitance			10	pF	fc = 1 MHz
$C_{I/O}$	I/O Capacitance			20	pF	Unmeasured pins returned to V_{SS}

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PRELIMINARY
Notice: This is not a final specification. Some parametric limits are subject to change.

A.C. CHARACTERISTICS T_A = 0°C to 70°C; V_{CC} = 5.0V ±5%; GND = 0V

BUS PARAMETERS: (Note 1)

READ CYCLE

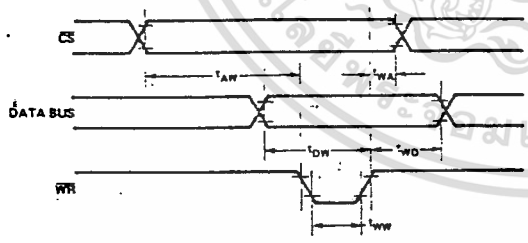
SYMBOL	PARAMETER	MIN.	MAX.	UNIT	TEST CONDITIONS
t_{AR}	Address Stable Before $\overline{READ}$	50		ns	
t_{RA}	Address Hold Time for $\overline{READ}$	5		ns	
t_{RR}	$\overline{READ}$ Pulse Width	420		ns	
t_{RD}	Data Delay from $\overline{READ}$		300	ns	C_L = 100 pF
t_{DF}	$\overline{READ}$ to Data Floating		200	ns	C_L = 100 pF
		25		ns	C_L = 15 pF

WRITE CYCLE

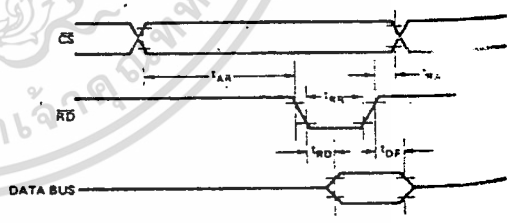
SYMBOL	PARAMETER	MIN.	MAX.	UNIT	TEST CONDITIONS
t_{AW}	Address Stable Before $\overline{WRITE}$	50		ns	
t_{WA}	Address Hold Time for $\overline{WRITE}$	20		ns	
t_{WW}	$\overline{WRITE}$ Pulse Width	400		ns	
t_{DW}	Data Set Up Time for $\overline{WRITE}$	300		ns	
t_{WD}	Data Hold Time for $\overline{WRITE}$	40		ns	
t_{RV}	Recovery Time Between $\overline{WRITES}$	1		μs	

Note 1: AC timings measured at V_{OH} = 2.0, V_{OL} = .8, and with load circuit of Figure 1.

WRITE TIMING



READ TIMING



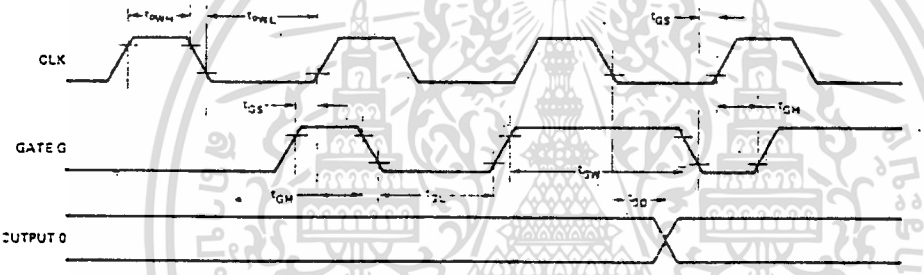
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PRELIMINARY
Notice: This is not a final specification. Some parametric limits are subject to change.

A.C. CHARACTERISTICS (Cont'd): T_A = 0°C to 70°C; V_{CC} = 5.0V ±5%; GND = 0V

CLOCK AND GATE TIMING

SYMBOL	PARAMETER	MIN.	MAX.	UNIT	TEST CONDITIONS
t_{CLK}	Clock Period	300	∞	ns	
t_{PWH}	High Pulse Width	200		ns	
t_{PWL}	Low Pulse Width	100		ns	
t_{GW}	Trigger Pulse Width	200		ns	
t_{GS}	Gate Set Up Time To CLK↑	150		ns	
t_{GH}	Gate Hold Time After CLK↑	100		ns	
t_{GL}	Low Gate Width			ns	
t_{OD}	Output Delay From CLK↓		300	ns	C_L = 50 pF



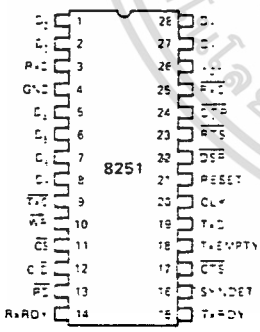
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

8251
PROGRAMMABLE COMMUNICATION INTERFACE

- **Synchronous and Asynchronous Operation**
  - **Synchronous:**
    - 5-8 Bit Characters
    - Internal or External Character Synchronization
    - Automatic Sync Insertion
  - **Asynchronous:**
    - 5-8 Bit Characters
    - Clock Rate — 1, 16 or 64 Times Baud Rate
    - Break Character Generation
    - 1, 1½, or 2 Stop Bits
    - False Start Bit Detection
- **Baud Rate —DC to 56k Baud (Sync Mode)**
  DC to 9.6k Baud (Async Mode)
- **Full Duplex, Double Buffered, Transmitter and Receiver**
- **Error Detection — Parity, Overrun, and Framing**
- **Fully Compatible with 8080 CPU**
- **28-Pin DIP Package**
- **All Inputs and Outputs Are TTL Compatible**
- **Single 5 Volt Supply**
- **Single TTL Clock**

The 8251 is a Universal Synchronous Asynchronous Receiver Transmitter (USART) Chip designed for data communications microcomputer systems. The USART is used as a peripheral device and is programmed by the CPU to operate using virtually any serial data transmission technique presently in use (including IBM Bi-Sync). The USART accepts data characters from the CPU in parallel format and then converts them into a continuous serial data stream for transmission. Simultaneously it can receive serial data streams and convert them into parallel data characters for the CPU. The USART will signal the CPU whenever it can accept a new character for transmission or whenever it has received a character for the CPU. The CPU can read the complete status of the USART at any time. These include data transmission errors and control signals such as SYNDET, TXEMPT. The chip is constructed using N-channel silicon gate technology.

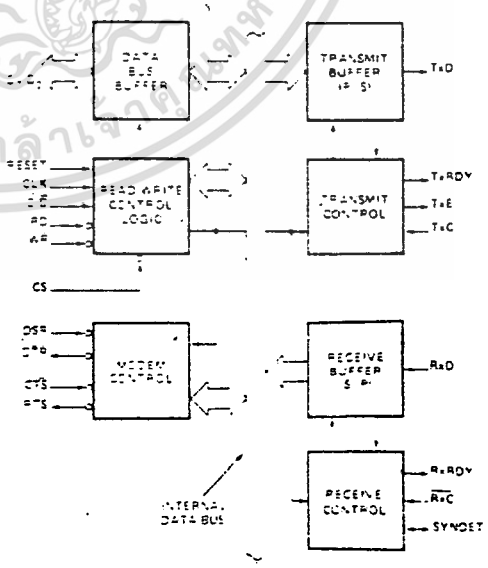
PIN CONFIGURATION



Pin Function
Data Bus (8 bit)
Control or Data is to be Written or Read
Read Data Command
Write Data or Control Command
Chip Enable
Clock Pulse TTL
Reset
Transmitter Clock
Transmitter Data
Receiver Clock
Receiver Data
Receiver Ready (a character for 8080
Transmitter Ready (ready for char. from 8080

Pin Name	Pin Function
$\overline{DSR}$	Data Set Ready
$\overline{DTR}$	Data Terminal Ready
SYNDET	Sync Detect
$\overline{RTS}$	Request to Send Data
$\overline{CTS}$	Clear to Send Data
TxE	Transmitter Empty
Vcc	+5 Volt Supply
GND	Ground

BLOCK DIAGRAM



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

8251 BASIC FUNCTIONAL DESCRIPTION

General

The 8251 is a Universal Synchronous/Asynchronous Receiver/Transmitter designed specifically for the 8080 Microcomputer System. Like other I/O devices in the 8080 Microcomputer System its functional configuration is programmed by the systems software for maximum flexibility. The 8251 can support virtually any serial data technique currently in use (including IBM "bi-sync").

In a communication environment an interface device must convert parallel format system data into serial format for transmission and convert incoming serial format data into parallel system data for reception. The interface device must also delete or insert bits or characters that are functionally unique to the communication technique. In essence, the interface should appear "transparent" to the CPU, a simple input or output of byte-oriented system data.

Data Bus Buffer

This 3-state, bi-directional, 8-bit buffer is used to interface the 8251 to the 8080 system Data Bus. Data is transmitted or received by the buffer upon execution of INput or OUTput instructions of the 8080 CPU. Control words, Command words and Status information are also transferred through the Data Bus Buffer.

Read/Write Control Logic

This functional block accepts inputs from the 8080 Control bus and generates control signals for overall device operation. It contains the Control Word Register and Command Word Register that store the various control formats for device functional definition.

RESET (Reset)

A "high" on this input forces the 8251 into an "Idle" mode. The device will remain at "Idle" until a new set of control words is written into the 8251 to program its functional definition. Minimum RESET pulse width is 6 t_{CY}.

CLK (Clock)

The CLK input is used to generate internal device timing and is normally connected to the Phase 2 (TTL) output of the 8224 Clock Generator. No external inputs or outputs are referenced to CLK but the frequency of CLK must be greater than 30 times the Receiver or Transmitter clock inputs for synchronous mode (4.5 times for asynchronous mode).

$\overline{WR}$ (Write)

A "low" on this input informs the 8251 that the CPU is outputting data or control words, in essence, the CPU is writing out to the 8251.

$\overline{RD}$ (Read)

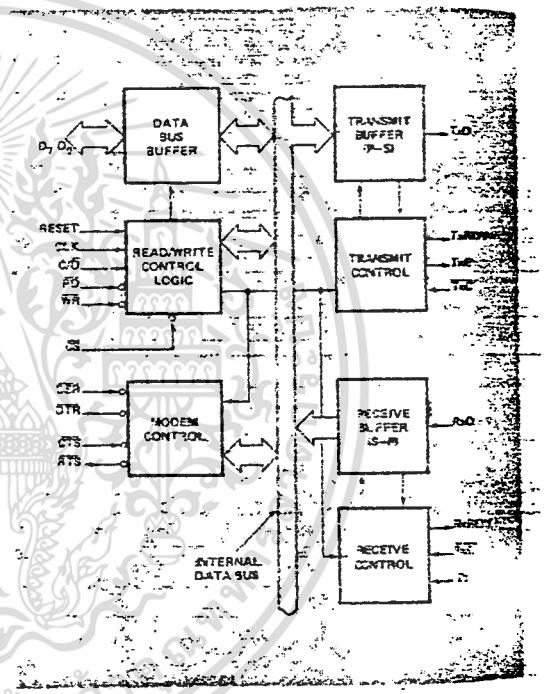
A "low" on this input informs the 8251 that the CPU is inputting data or status information, in essence, the CPU is reading from the 8251.

C/$\overline{D}$ (Control/Data)

This input, in conjunction with the $\overline{WR}$ and $\overline{RD}$ inputs informs the 8251 that the word on the Data Bus is either a data character, control word or status information.
1 = CONTROL 0 = DATA

$\overline{CS}$ (Chip Select)

A "low" on this input enables the 8251. No reading or writing will occur unless the device is selected.



C/$\overline{D}$	$\overline{RD}$	$\overline{WR}$	$\overline{CS}$	
0	0	1	0	8251 → DATA BUS
0	1	0	0	DATA BUS → 8251
1	0	1	0	STATUS → DATA BUS
1	1	0	0	DATA BUS → CONTROL
X	1	1	0	DATA BUS → 3-STATE
X	X	X	1	DATA BUS → 3-STATE

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Modem Control

The 8251 has a set of control inputs and outputs that can be used to simplify the interface to almost any Modem. The modem control signals are general purpose in nature and can be used for functions other than Modem control, if necessary.

$\overline{DSR}$ (Data Set Ready)

The $\overline{DSR}$ input signal is general purpose in nature. Its condition can be tested by the CPU using a Status Read operation. The $\overline{DSR}$ input is normally used to test Modem conditions such as Data Set Ready.

$\overline{DTR}$ (Data Terminal Ready)

The $\overline{DTR}$ output signal is general purpose in nature. It can be set "low" by programming the appropriate bit in the Command Instruction word. The $\overline{DTR}$ output signal is normally used for Modem control such as Data Terminal Ready or Rate Select.

$\overline{RTS}$ (Request to Send)

The $\overline{RTS}$ output signal is general purpose in nature. It can be set "low" by programming the appropriate bit in the Command Instruction word. The $\overline{RTS}$ output signal is normally used for Modem control such as Request to Send.

$\overline{CTS}$ (Clear to Send)

A "low" on this input enables the 8251 to transmit data (serial) if the Tx EN bit in the Command byte is set to a "one."

Transmitter Buffer

The Transmitter Buffer accepts parallel data from the Data Bus Buffer, converts it to a serial bit stream, inserts the appropriate characters or bits (based on the communication technique) and outputs a composite serial stream of data on the TxD output pin.

Transmitter Control

The Transmitter Control manages all activities associated with the transmission of serial data. It accepts and issues signals both externally and internally to accomplish this function.

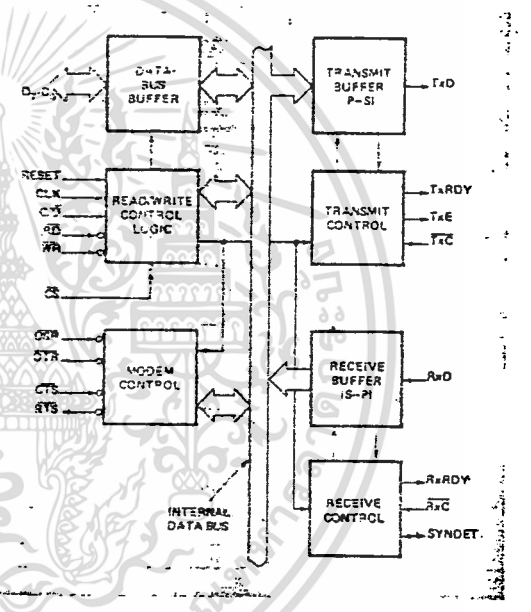
TxRDY (Transmitter Ready)

This output signals the CPU that the transmitter is ready to accept a data character. It can be used as an interrupt to the system or for the Polled operation the CPU can check TxRDY using a status read operation. TxRDY is automatically reset when a character is loaded from the CPU.

TxE (Transmitter Empty)

When the 8251 has no characters to transmit, the TxE output will go "high". It resets automatically upon receiving a character from the CPU. TxE can be used to indicate the end of a transmission mode, so that the CPU "knows" when to "turn the line around" in the half-duplexed operational mode. TxE is independent of the TxEN bit in the Command instruction.

In SYNChronous mode, a "high" on this output indicates that a character has not been loaded and the SYNC character or characters are about to be transmitted automatically as "fillers". TxE goes low as soon as the SYNC is being shifted out.



$\overline{TxC}$ (Transmitter Clock)

The Transmitter Clock controls the rate at which the character is to be transmitted. In the Synchronous transmission mode, the frequency of $\overline{TxC}$ is equal to the actual Baud Rate (1X). In Asynchronous transmission mode, the frequency of $\overline{TxC}$ is a multiple of the actual Baud Rate. A portion of the mode instruction selects the value of the multiplier; it can be 1x, 16x or 64x the Baud Rate.

For Example:

If Baud Rate equals 110 Baud,
$\overline{TxC}$ equals 110 Hz (1x)
$\overline{TxC}$ equals 1.76 kHz (16x)
$\overline{TxC}$ equals 7.04 kHz (64x).

The falling edge of $\overline{TxC}$ shifts the serial data out of the 8251.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Receiver Buffer

The Receiver accepts serial data, converts this serial input to parallel format, checks for bits or characters that are unique to the communication technique and sends an "assembled" character to the CPU. Serial data is input to the RxD pin.

Receiver Control

This functional block manages all receiver-related activities.

RxRDY (Receiver Ready)

This output indicates that the 8251 contains a character that is ready to be input to the CPU. RxRDY can be connected to the interrupt structure of the CPU or for Polled operation the CPU can check the condition of RxRDY using a status read operation. RxRDY is automatically reset when the character is read by the CPU.

$\overline{RxC}$ (Receiver Clock)

The Receiver Clock controls the rate at which the character is to be received. In Synchronous Mode, the frequency of $\overline{RxC}$ is equal to the actual Baud Rate (1x). In Asynchronous Mode, the frequency of $\overline{RxC}$ is a multiple of the actual Baud Rate. A portion of the mode instruction selects the value of the multiplier; it can be 1x, 16x or 64x the Baud Rate.

For Example:
If Baud Rate equals 300 Baud,
$\overline{RxC}$ equals 300 Hz (1x)
$\overline{RxC}$ equals 4800 Hz (16x)
$\overline{RxC}$ equals 19.2 kHz (64x).
If Baud Rate equals 2400 Baud,
$\overline{RxC}$ equals 2400 Hz (1x)
$\overline{RxC}$ equals 38.4 kHz (16x)
$\overline{RxC}$ equals 153.6 kHz (64x).

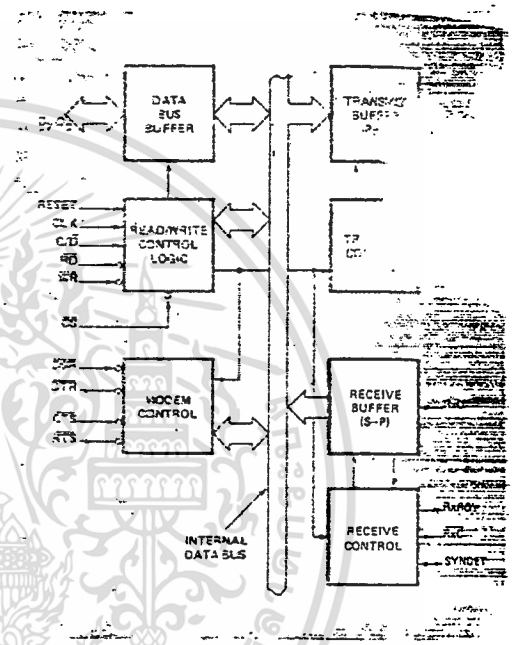
Data is sampled into the 8251 on the rising edge of $\overline{RxC}$.

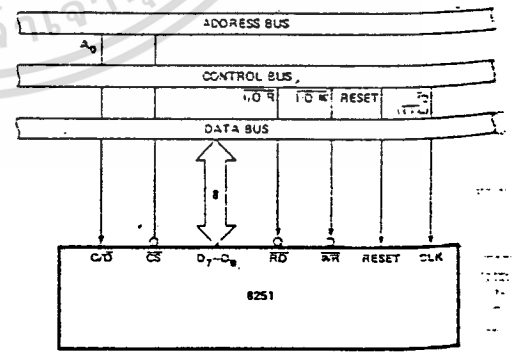
NOTE: In most communications systems, the 8251 will be handling both the transmission and reception operations of a single link. Consequently, the Receive and Transmit Baud Rates will be the same. Both $\overline{TxC}$ and $\overline{RxC}$ will require identical frequencies for this operation and can be tied together and connected to a single frequency source (Baud Rate Generator) to simplify the interface.

SYNDET (SYNC Detect)

This pin is used in SYNChronous Mode only. It is used as either input or output, programmable through the Control Word. It is reset to "low" upon RESET. When used as an output (internal Sync mode), the SYNDET pin will go "high" to indicate that the 8251 has located the SYNC character in the Receive mode. If the 8251 is programmed to use double Sync characters (bi-sync), then SYNDET will go "high" in the middle of the last bit of the second Sync character. SYNDET is automatically reset upon a Status Read operation.

When used as an input, (external SYNC detect mode), a positive going signal will cause the 8251 to start assembling data characters on the falling edge of the next $\overline{RxC}$. Once in SYNC, the "high" input signal can be removed. The duration of the high signal should be at least equal to the period of $\overline{RxC}$.





8251 Interface to 8080 Standard System Bus

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DETAILED OPERATION DESCRIPTION

General

The complete functional definition of the 8251 is programmed by the systems software. A set of control words must be sent out by the CPU to initialize the 8251 to support the desired communications format. These control words will program the: BAUD RATE, CHARACTER LENGTH, NUMBER OF STOP BITS, SYNCHRONOUS or ASYNCHRONOUS OPERATION, EVEN/ODD PARITY etc. In the Synchronous Mode, options are also provided to select either internal or external character synchronization.

Once programmed, the 8251 is ready to perform its communication functions. The TxRDY output is raised "high" to signal the CPU that the 8251 is ready to receive a character. This output (TxRDY) is reset automatically when the CPU writes a character into the 8251. On the other hand, the 8251 receives serial data from the MODEM or I/O device, upon receiving an entire character the RxRDY output is raised "high" to signal the CPU that the 8251 has a complete character ready for the CPU to fetch. RxRDY is reset automatically upon the CPU read operation.

The 8251 cannot begin transmission until the TxEN (Transmitter Enable) bit is set in the Command Instruction and it has received a Clear To Send (CTS) input. The TxD output will be held in the marking state upon Reset.

Programming the 8251

Prior to starting data transmission or reception, the 8251 must be loaded with a set of control words generated by the CPU. These control signals define the complete functional definition of the 8251 and must immediately follow a Reset operation (internal or external).

The control words are split into two formats:

1. Mode Instruction
2. Command Instruction

Mode Instruction

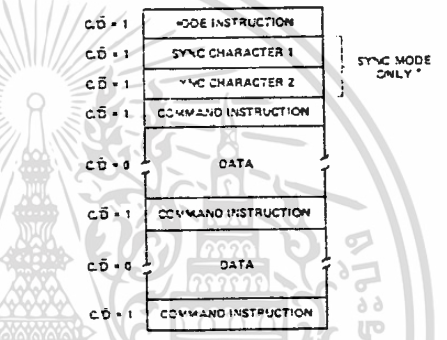
This format defines the general operational characteristics of the 8251. It must follow a Reset operation (internal or external). Once the Mode instruction has been written into the 8251 by the CPU, SYNC characters or Command instructions may be inserted.

Command Instruction

This format defines a status word that is used to control the actual operation of the 8251.

Both the Mode and Command instructions must conform to the specified sequence for proper device operation. The Mode instruction must be inserted immediately following a Reset operation, prior to using the 8251 for data communication.

All control words written into the 8251 after the Mode Instruction will load the Command Instruction. Command Instructions can be written into the 8251 at any time in the data block during the operation of the 8251. To return to the Mode Instruction format a bit in the Command Instruction word can be set to initiate an internal Reset operation which automatically places the 8251 back into the Mode Instruction format. Command Instructions must follow the Mode Instructions or Sync characters.

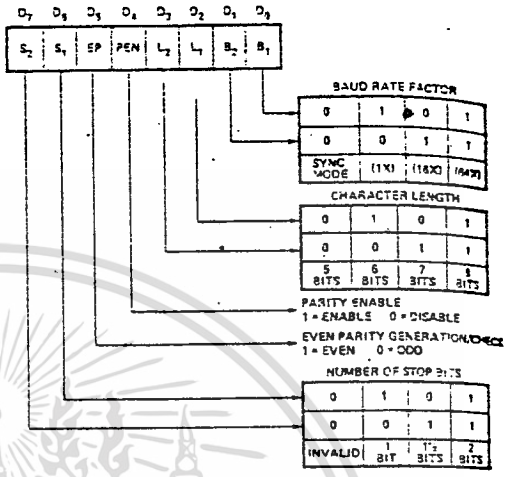


Typical Data Block

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Mode Instruction Definition

The 8251 can be used for either Asynchronous or Synchronous data communication. To understand how the Mode Instruction defines the functional operation of the 8251 the designer can best view the device as two separate components sharing the same package. One Asynchronous the other Synchronous. The format definition can be changed "on the fly" but for explanation purposes the two formats will be isolated.



Mode Instruction Format, Asynchronous Mode

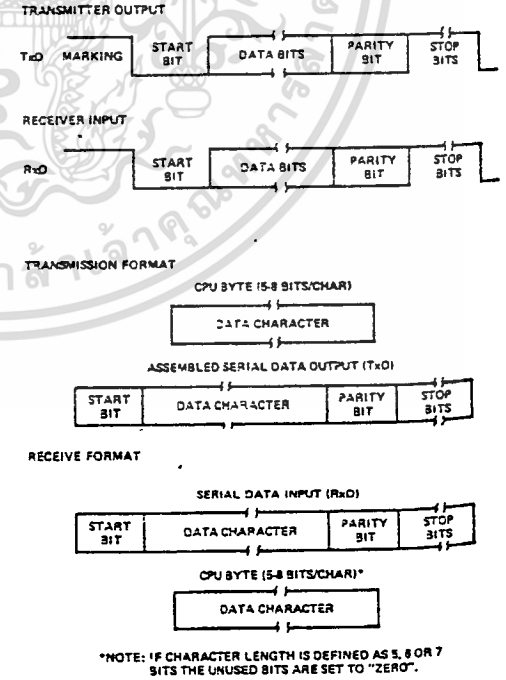
Asynchronous Mode (Transmission)

Whenever a data character is sent by the CPU the 8251 automatically adds a Start bit (low level) and the programmed number of Stop bits to each character. Also, an even or odd Parity bit is inserted prior to the Stop bit(s), as defined by the Mode Instruction. The character is then transmitted as a serial data stream on the TxD output. The serial data is shifted out on the falling edge of $\overline{TxC}$ at a rate equal to 1, 1/16, or 1/64 that of the $\overline{TxC}$, as defined by the Mode Instruction. BREAK characters can be continuously sent to the TxD if commanded to do so.

When no data characters have loaded into the 8251 the TxD output remains "high" (marking) unless a Break (continuously low) has been programmed.

Asynchronous Mode (Receive)

The RxD line is normally high. A falling edge on this line triggers the beginning of a START bit. The validity of this START bit is checked by again strobing this bit at its nominal center. If a low is detected again, it is a valid START bit, and the bit counter will start counting. The bit counter locates the center of the data bits, the parity bit (if it exists) and the stop bits. If parity error occurs, the parity error flag is set. Data and parity bits are sampled on the RxD pin with the rising edge of $\overline{RxC}$. If a low level is detected as the STOP bit, the Framing Error flag will be set. The STOP bit signals the end of a character. This character is then loaded into the parallel I/O buffer of the 8251. The RxRDY pin is raised to signal the CPU that a character is ready to be fetched. If a previous character has not been fetched by the CPU, the present character replaces it in the I/O buffer, and the OVERRUN flag is raised (thus the previous character is lost). All of the error flags can be reset by a command instruction. The occurrence of any of these errors will not stop the operation of the 8251.



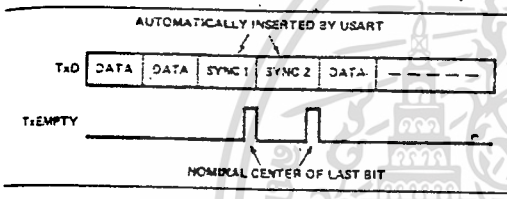
Asynchronous Mode

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Synchronous Mode (Transmission)

The TxD output is continuously high until the CPU sends its first character to the 8251 which usually is a SYNC character. When the $\overline{CTS}$ line goes low, the first character is serially transmitted out. All characters are shifted out on the falling edge of $\overline{TxC}$. Data is shifted out at the same rate as the $\overline{TxC}$.

Once transmission has started, the data stream at TxD output must continue at the $\overline{TxC}$ rate. If the CPU does not provide the 8251 with a character before the 8251 becomes empty, the SYNC characters (or character if in single SYNC word mode) will be automatically inserted in the TxD data stream. In this case, the TxEMPTY pin is raised high to signal that the 8251 is empty and SYNC characters are being sent out. TxEMPTY goes low when SYNC is being shifted out (See Figure below). The TxEMPTY pin is internally reset by the next character being written into the 8251.



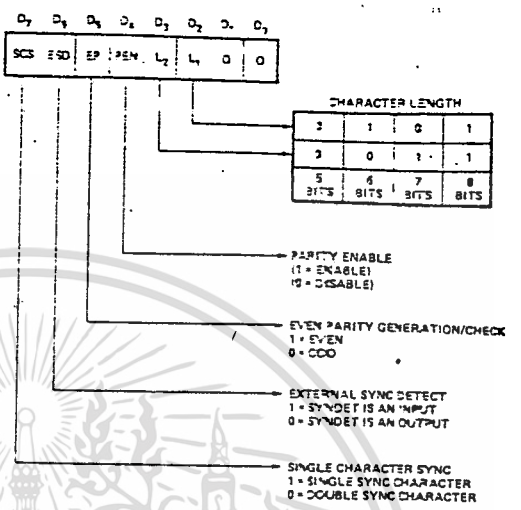
Synchronous Mode (Receive)

In this mode, character synchronization can be internally or externally achieved. If the internal SYNC mode has been programmed, the receiver starts in a HUNT mode. Data on the RxD pin is then sampled in on the rising edge of $\overline{RxC}$. The content of the Rx buffer is continuously compared with the first SYNC character until a match occurs. If the 8251 has been programmed for two SYNC characters, the subsequent received character is also compared; when both SYNC characters have been detected, the USART ends the HUNT mode and is in character synchronization. The SYNDET pin is then set high, and is reset automatically by a STATUS READ.

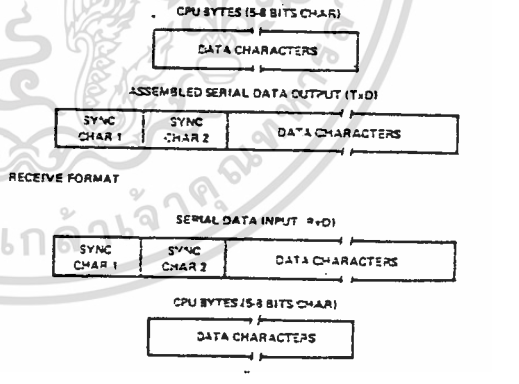
In the external SYNC mode, synchronization is achieved by applying a high level on the SYNDET pin. The high level can be removed after one $\overline{RxC}$ cycle.

Parity error and overrun error are both checked in the same way as in the Asynchronous Rx mode.

The CPU can command the receiver to enter the HUNT mode if synchronization is lost.



Mode Instruction Format, Synchronous Mode



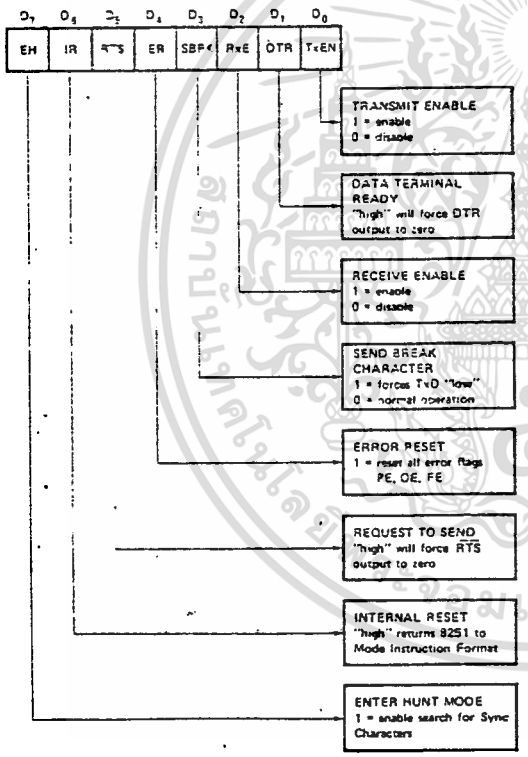
Synchronous Mode, Transmission Format

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

COMMAND INSTRUCTION DEFINITION

Once the functional definition of the 8251 has been programmed by the Mode Instruction and the Sync Characters are loaded (if in Sync Mode) then the device is ready to be used for data communication. The Command Instruction controls the actual operation of the selected format. Functions such as: Enable Transmit/Receive, Error Reset and Modem Controls are provided by the Command Instruction.

Once the Mode Instruction has been written into the 8251 and Sync characters inserted, if necessary, then all further "control writes" (C/$\overline{D}$ = 1) will load the Command Instruction. A Reset operation (internal or external) will return the 8251 to the Mode Instruction Format.



Command Instruction Format

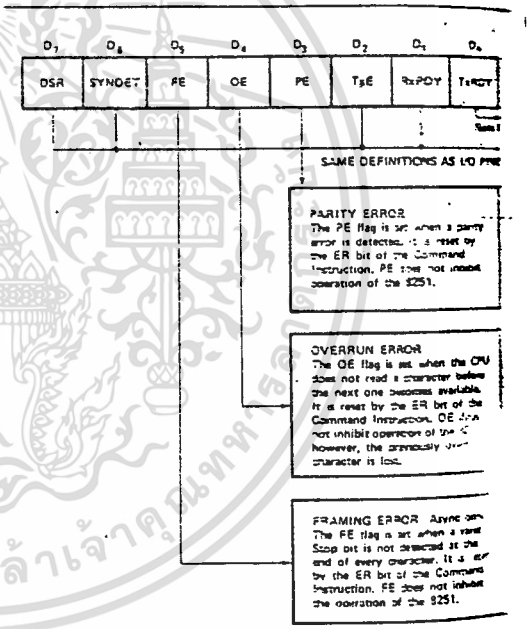
STATUS READ DEFINITION

In data communication systems it is often necessary to examine the "status" of the active device to ascertain if errors have occurred or other conditions that require the processor's attention. The 8251 has facilities that allow the programmer to "read" the status of the device at any time during the functional operation.

A normal "read" command is issued by the CPU with the C/D input at one to accomplish this function.

Some of the bits in the Status Read Format have identical meanings to external output pins so that the 8251 can be used in a completely Polled environment or in an interrupt driven environment.

Status update can have a maximum delay of 16 clock periods.

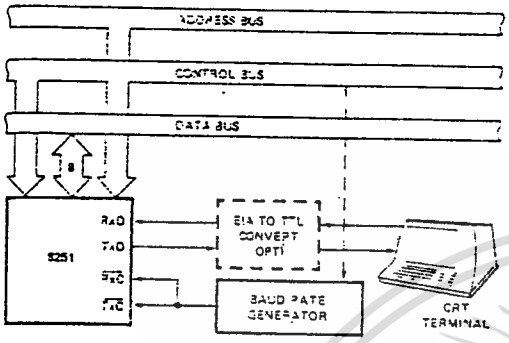


Status Read Format

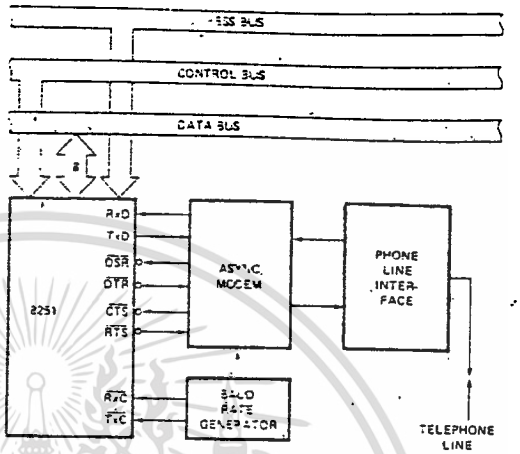
Note 1: TxRDY status bit has similar meaning as the TxRDY output pin. The former is not conditioned by CTS and TxEN; the latter is conditioned by both CTS and TxEN.
i.e. TxRDY status bit = DB Buffer Empty
TxRDY pin out = DB Buffer Empty • CTS • TxEN

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

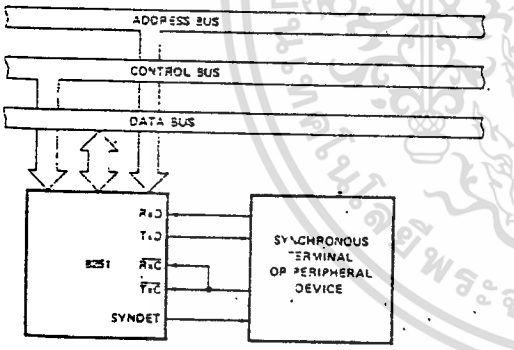
APPLICATIONS OF THE 8251



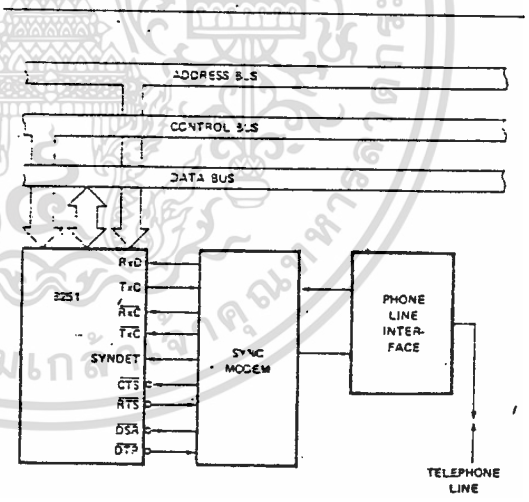
Asynchronous Serial Interface to CRT Terminal, DC-9600 Baud



Asynchronous Interface to Telephone Lines



Synchronous Interface to Terminal or Peripheral Device



Synchronous Interface to Telephone Lines

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ABSOLUTE MAXIMUM RATINGS*

Ambient Temperature Under Bias. . . . . 0°C to 70°C
Storage Temperature . . . . . –65°C to +150°C
Voltage On Any Pin
With Respect to Ground. . . . . –0.5V to +7V
Power Dissipation . . . . . 1 Watt.

**COMMENT: Stresses above those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress rating only and functional operation of the device at these or any other conditions above those indicated in the operational sections of this specification is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.*

D.C. CHARACTERISTICS

T_A = 0°C to 70°C; V_{CC} = 5.0V ±5%; GND = 0V

Symbol	Parameter	Min.	Typ.	Max.	Unit	Test Conditions
V_{IL}	Input Low Voltage	-.5		0.3	V	
V_{IH}	Input High Voltage	2.0		V_{CC}	V	
V_{OL}	Output Low Voltage			0.45	V	I_{OL} = 1.6mA
V_{OH}	Output High Voltage	2.4			V	I_{OH} = -100μA
I_{DL}	Data Bus Leakage			-50 10	μA μA	V_{OUT} = .45V V_{OUT} = V_{CC}
I_{IL}	Input Leakage			10	μA	V_{IN} = V_{CC}
I_{CC}	Power Supply Current		45	80	mA	

CAPACITANCE

T_A = 25°C; V_{CC} = GND = 0V

Symbol	Parameter	Min.	Typ.	Max.	Unit	Test Conditions
C_{IN}	Input Capacitance			10	pF	fc = 1MHz
$C_{I/O}$	I/O Capacitance			20	pF	Unmeasured pins returned to GND

MCS 80/85

TEST LOAD CIRCUIT:

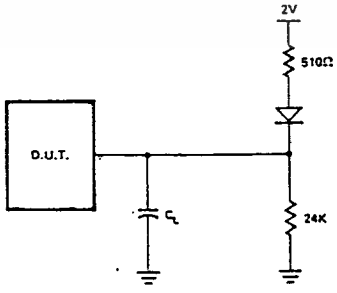
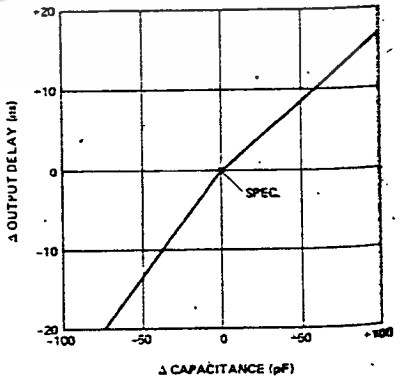


Figure 1.

TYPICAL Δ OUTPUT DELAY VS. Δ CAPACITANCE



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

A.C. CHARACTERISTICS

T_A = 0°C to 70°C; V_{CC} = 5.0V ±5%; GND = 0V

BUS PARAMETERS: (Note 1)

READ CYCLE

SYMBOL	PARAMETER	MIN.	MAX.	UNIT	TEST CONDITIONS
t_{AR}	Address Stable Before $\overline{READ}$ ($\overline{CS}$, C/D)	50		ns	
t_{RA}	Address Hold Time for $\overline{READ}$ ($\overline{CS}$, C/D)	5		ns	
t_{RR}	$\overline{READ}$ Pulse Width	430		ns	
t_{RD}	Data Delay from $\overline{READ}$		350	ns	C_L = 100 pF
t_{DF}	$\overline{READ}$ to Data Floating		200	ns	C_L = 100 pF
		25		ns	C_L = 15 pF
t_{RV}	Recovery Time Between WRITES (Note 2)	6		t_{CY}	

WRITE CYCLE

SYMBOL	PARAMETER	MIN.	MAX.	UNIT	TEST CONDITIONS
t_{AW}	Address Stable Before $\overline{WRITE}$	20		ns	
t_{WA}	Address Hold Time for $\overline{WRITE}$	20		ns	
t_{WW}	$\overline{WRITE}$ Pulse Width	400		ns	
t_{DW}	Data Set Up Time for $\overline{WRITE}$	200		ns	
t_{WD}	Data Hold Time for $\overline{WRITE}$	40		ns	

NOTES: 1. AC timings measured at V_{OH} = 2.0, V_{OL} = .8, and with load circuit of Figure 1.
2. This recovery time is for initialization only, when MODE, SYNC1, SYNC2, COMMAND and first DATA BYTES are written into the USART. Subsequent writing of both COMMAND and DATA are only allowed when TxRDY = 1.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

OTHER TIMINGS:

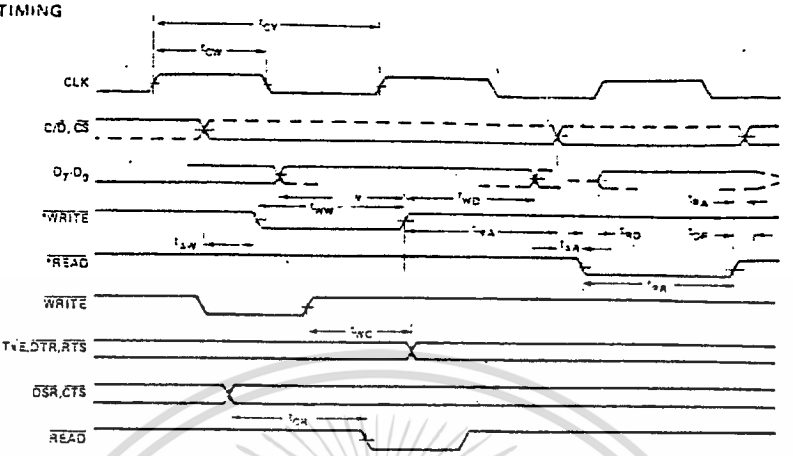
SYMBOL	PARAMETER	MIN.	MAX.	UNIT	TEST CONDITIONS
t_{CY}	Clock Period (Note 3)	.420	1.35	μs	
$t_{\phi W}$	Clock Pulse Width	220	.7 t_{CY}	ns	
t_{R},t_{F}	Clock Rise and Fall Time	0	50	ns	
t_{DTx}	TxD Delay from Falling Edge of TxC		1	μs	C_L = 100 pF
t_{SRx}	Rx Data Set-Up Time to Sampling Pulse	2		μs	C_L = 100 pF
t_{HRx}	Rx Data Hold Time to Sampling Pulse	2		μs	C_L = 100 pF
f_{Tx}	Transmitter Input Clock Frequency				
	1x Baud Rate	DC	56	KHz	
	16x and 64x Baud Rate	DC	520	KHz	
t_{TPW}	Transmitter Input Clock Pulse Width				
	1x Baud Rate	12		t_{CY}	
	16x and 64x Baud Rate	1		t_{CY}	
t_{TPD}	Transmitter Input Clock Pulse Delay				
	1x Baud Rate	15		t_{CY}	
	16x and 64x Baud Rate	3		t_{CY}	
f_{Rx}	Receiver Input Clock Frequency				
	1x Baud Rate	DC	56	KHz	
	16x and 64x Baud Rate	DC	520	KHz	
t_{RPW}	Receiver Input Clock Pulse Width				
	1x Baud Rate	12		t_{CY}	
	16x and 64x Baud Rate	1		t_{CY}	
t_{RPD}	Receiver Input Clock Pulse Delay				
	1x Baud Rate	15		t_{CY}	
	16x and 64x Baud Rate	3		t_{CY}	
t_{Tx}	TxRDY Delay from Center of Data Bit		16	t_{CY}	C_L = 50 pF
t_{Rx}	RxRDY Delay from Center of Data Bit		20	t_{CY}	
t_{IS}	Internal SYNDET Delay from Center of Data Bit		25	t_{CY}	
t_{ES}	Internal SYNDET Set-Up Time Before Falling Edge of RxC		16	t_{CY}	
t_{TxE}	TxEMPTY Delay from Center of Data Bit		16	t_{CY}	C_L = 50 pF
t_{WC}	Control Delay from Rising Edge of WRITE (TxE,$\overline{DTR}$,$\overline{RTS}$)		16	t_{CY}	
t_{CR}	Control to READ Set-Up Time ($\overline{DSR}$,$\overline{CTS}$)		16	t_{CY}	

3. The TxC and RxC frequencies have the following limitations with respect to CLK.
   For 1x Baud Rate, f_{Tx} or $f_{Rx} \leq 1/(30\ t_{CY})$
   For 16x and 64x Baud Rate, f_{Tx} or $f_{Rx} \leq 1/(4.5\ t_{CY})$

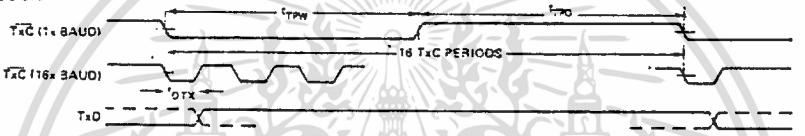
4. Reset Pulse Width = 6 t_{CY} minimum.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

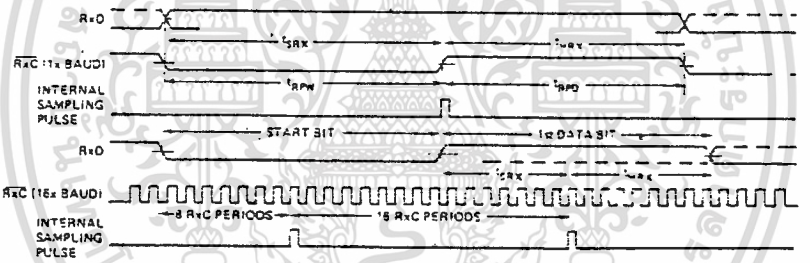
READ AND WRITE TIMING



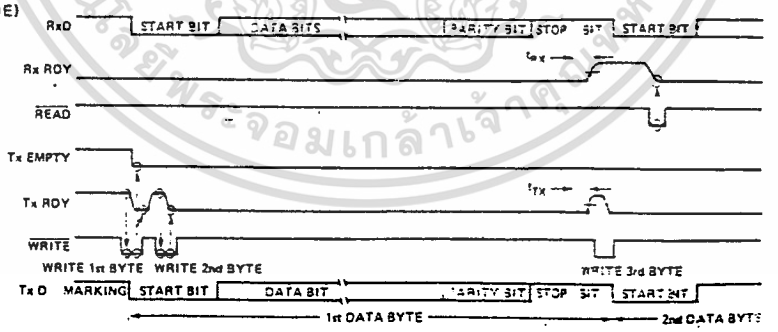
TRANSMITTER CLOCK AND DATA



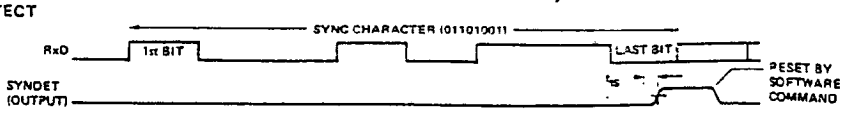
RECEIVER CLOCK AND DATA



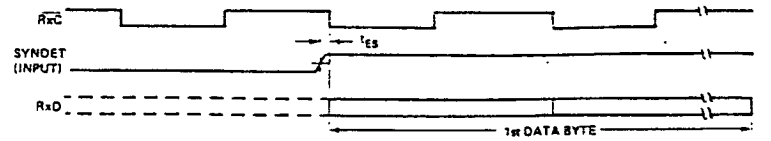
Tx RDY AND Rx RDY TIMING (ASYNC MODE)



INTERNAL SYNC DETECT



EXTERNAL SYNC DETECT



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

intel

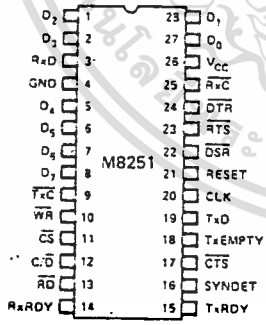
MILITARY

M8251
PROGRAMMABLE COMMUNICATION INTERFACE

- Synchronous and Asynchronous Operation
  - Synchronous:
    - 5-8 Bit Characters
    - Internal or External Character Synchronization
    - Automatic Sync Insertion
  - Asynchronous:
    - 5-8 Bit Characters
    - Clock Rate — 1, 16 or 64 Times Baud Rate
    - Break Character Generation
    - 1, 1½, or 2 Stop Bits
    - False Start Bit Detection
- Baud Rate — DC to 56k Baud (Sync Mode)
  DC to 8.1k Baud (Async Mode)
- Full Duplex, Double Buffered, Transmitter and Receiver
- Error Detection — Parity, Overrun, and Framing
- Fully Compatible with 8080 CPU
- All Inputs and Outputs Are TTL Compatible
- Full Military Temperature Range -55°C to +125°C
- ±10% Power Supply Tolerance

The M8251 is a Universal Synchronous/Asynchronous Receiver/Transmitter (USART) Chip designed for data communications in microcomputer systems. The USART is used as a peripheral device and is programmed by the CPU to operate using virtually any serial data transmission technique presently in use (including IBM Bi-Sync). The USART accepts data characters from the CPU in parallel format and then converts them into a continuous serial data stream for transmission. Simultaneously it can receive serial data streams and convert them into parallel data characters for the CPU. The USART will signal the CPU whenever it can accept a new character for transmission or whenever it has received a character for the CPU. The CPU can read the complete status of the USART at any time. These include data transmission errors and control signals such as SYNDET, TxEMPT. The chip is constructed using N-channel silicon gate technology.

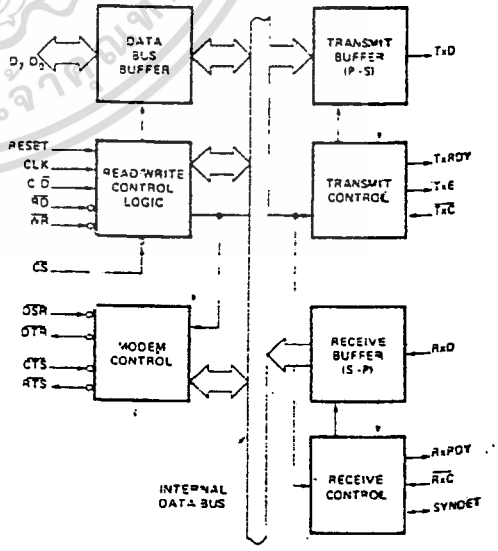
PIN CONFIGURATION



Pin Name	Pin Function
D_7-D_0	Data Bus (8 bits)
C/D	Control or Data is to be Written or Read
$\overline{RD}$	Read Data Command
$\overline{WR}$	Write Data or Control Command
$\overline{CS}$	Chip Enable
CLK	Clock Pulse (TTL)
RESET	Reset
$\overline{TxC}$	Transmitter Clock
TxD	Transmitter Data
$\overline{RxC}$	Receiver Clock
RxD	Receiver Data
RxRDY	Receiver Ready (has character for 8080)
TxRDY	Transmitter Ready (ready for char. from 8080)

Pin Name	Pin Function
$\overline{DSR}$	Data Set Ready
$\overline{DTR}$	Data Terminal Ready
SYNDET	Sync Detect
$\overline{RTS}$	Request to Send Data
$\overline{CTS}$	Clear to Send Data
TxE	Transmitter Empty
V_{CC}	+5 Volt Supply
GND	Ground

M8251 BLOCK DIAGRAM



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ABSOLUTE MAXIMUM RATINGS*

Ambient Temperature Under Bias . . . . . -55°C to +125°C
Storage Temperature . . . . . -65°C to +150°C
Voltage On Any Pin
With Respect to GND . . . . . -0.5V to +7V
Power Dissipation . . . . . 1 Watt

*COMMENT: Stresses above those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress rating only and functional operation of the device at these or any other conditions above those indicated in the operational sections of this specification is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

D.C. CHARACTERISTICS

T_A = -55°C to +125°C; V_{CC} = 5.0V ±10%; GND = 0V

Symbol	Parameter	Min.	Typ.	Max.	Unit	Test Conditions
V_{IL}	Input Low Voltage	-.5		0.8	V	
V_{IH}	Input High Voltage	2.0		V_{CC}	V	
V_{OL}	Output Low Voltage			0.45	V	I_{OL} = 1.6mA
V_{OH}	Output High Voltage	2.4			V	I_{OH} = -100μA
I_{DL}	Data Bus Leakage			-50 10	μA μA	V_{OUT} = .45V V_{OUT} = V_{CC}
I_{IL}	Input Load Current			10	μA	V_{IN} = 5.5V
I_{CC}	Power Supply Current		45	80		

CAPACITANCE

T_A = 25°C; V_{CC} = GND = 0V

Symbol	Parameter	Min.	Typ.	Max.	Unit	Test Conditions
C_{IN}	Input Capacitance			10	pF	fc = 1MHz
$C_{I/O}$	I/O Capacitance			20	pF	Unmeasured pins returned to GND.

TEST LOAD CIRCUIT:

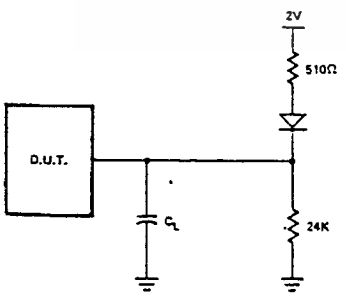
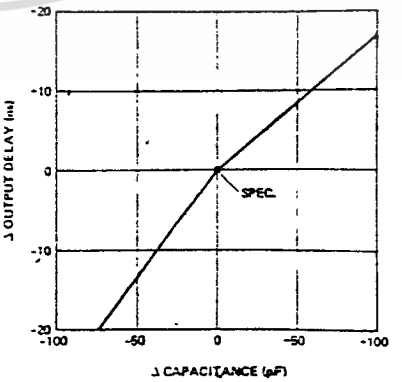


Figure 1.

TYPICAL Δ OUTPUT DELAY VS. Δ CAPACITANCE (dB)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

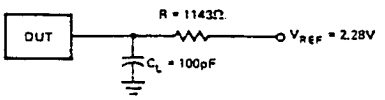
A.C. CHARACTERISTICS [2]

T_A = -55°C to +125°C; V_{CC} = +5.0V ±10%; GND = 0V

Symbol	Parameter	Min.	Typ.	Max.	Unit	Test Conditions
t_{CY}	Clock Period	420		1.35	μs	
$t_{\phi W}$	Clock Pulse Width	220			ns	
t_R, t_F	Clock Rise and Fall Time	0		50	ns	
t_{WR}	$\overline{WRITE}$ Pulse Width	400			ns	
t_{DS}	Data Set-Up Time for $\overline{WRITE}$	200			ns	
t_{DH}	Data Hold Time for $\overline{WRITE}$	40			ns	
t_{AW}	Address Stable before $\overline{WRITE}$	20			ns	
t_{WA}	Address Hold Time for $\overline{WRITE}$	20			ns	
t_{RD}	READ Pulse Width	430			ns	
t_{DD}	Data Delay from $\overline{READ}$			350	ns	
t_{DF}	$\overline{READ}$ to Data Floating [3]	25		200	ns	C_L = 15pF to 100pF
t_{AR}	Address (CE, C/$\overline{D}$) Stable before $\overline{READ}$	50			ns	
t_{RA}	Address (CE, C/$\overline{D}$) Hold Time for $\overline{READ}$	5			ns	
t_{DTx}	TxD Delay from Falling Edge of TxC			1	μs	
t_{SRx}	Rx Data Set-Up Time to Sampling Pulse	2			μs	
t_{HRx}	Rx Data Hold Time to Sampling Pulse	2			μs	
f_{Tx} [1]	Transmitter Clock Frequency					
	1X Baud Rate	DC		56	KHz	
	16X and 64X Baud Rate	DC		529	KHz	
f_{Rx} [1]	Receiver Clock Frequency					
	1X Baud Rate	DC		56	KHz	
	16X and 64X Baud Rate	DC		529	KHz	
t_{Tx}	TxRDY Delay from Center of Data Bit			16	CLK Period	
t_{Rx}	RxRDY Delay from Center of Data Bit	15		20	CLK Period	
t_{IS}	Internal Syndet Delay from Center of Data Bit	20		25	CLK Period	
t_{ES}	External Syndet Set-Up Time before Falling Edge of RxC			16	CLK Period	

Note 1: The TxC and RxC frequencies have the following limitation with respect to CLK.
For ASYNC Mode, t_{Tx} or $t_{Rx} \geq 4.5\ t_{CY}$
For SYNC Mode, t_{Tx} or $t_{Rx} \geq 30\ t_{CY}$
2. AC timings are measured at V_{OH} = 2.0V, V_{OL} = 0.8V, and load circuit of Figure 1.
3. Float timings are measured at V_{OH} = 2.48V, V_{OL} = 2.08V

Figure 1. Test Load Circuit.



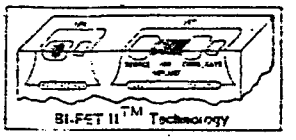
WAVEFORMS (See 8251 Waveforms, page 10-155)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

Amplifiers

LF351 Wide Bandwidth JFET Input Operational Amplifier



General Description

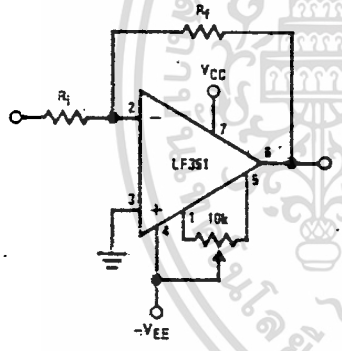
The LF351 is a low cost high speed JFET input operational amplifier with an internally trimmed input offset voltage (BI-FET II™ technology). The device requires a low supply current and yet maintains a large gain bandwidth product and a fast slew rate. In addition, well matched high voltage JFET input devices provide very low input bias and offset currents. The LF351 is pin compatible with the standard LM741 and uses the same offset voltage adjustment circuitry. This feature allows designers to immediately upgrade the overall performance of existing LM741 designs.

The LF351 may be used in applications such as high speed integrators, fast D/A converters, sample-and-hold circuits and many other circuits requiring low input offset voltage, low input bias current, high input impedance, high slew rate and wide bandwidth. The device has low noise and offset voltage drift, but for applications where these requirements are critical, the LF356 is recommended. If maximum supply current is important, however, the LF351 is the better choice.

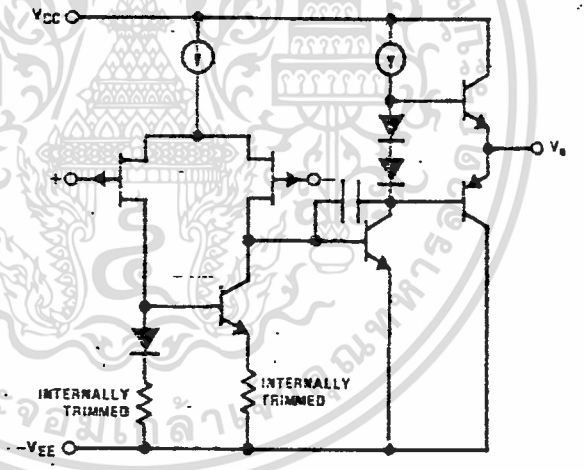
Features

■ Internally trimmed offset voltage	2 mV
■ Low input bias current	50 pA
■ Low input noise voltage	16 nV/√Hz
■ Low input noise current	0.01 pA/√Hz
■ Wide gain bandwidth	4 MHz
■ High slew rate	13 V/μs
■ Low supply current	1.8 mA
■ High input impedance	$10^{12}\Omega$
■ Low total harmonic distortion A_V = 10, R_L = 10k, V_O = 20 Vp-p, BW = 20 Hz–20 kHz	<0.02%
■ Low 1/f noise corner	50 Hz
■ Fast settling time to 0.01%	2 μs

Typical Connection

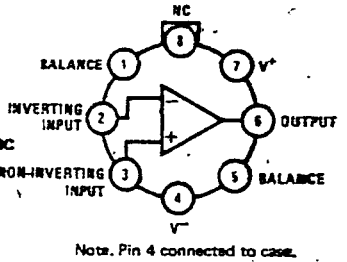


Simplified Schematic



Connection Diagrams (Top Views)

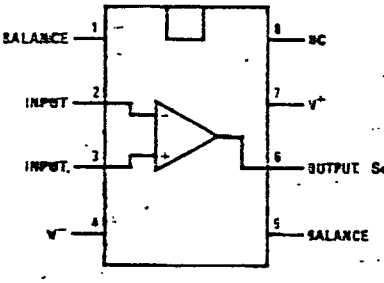
Metal Can Package



Order Number
LF351H
LF351AH
LF351BH
See NS Package H08C

Note. Pin 4 connected to case.

Dual-In-Line Package



Order Number
LF351N
LF351AN
LF351BN
See NS Package N08A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings

Supply Voltage	±22V
Power Dissipation (Note 1)	500 mW
Operating Temperature Range	0°C to +70°C
T_j(MAX)	115°C
Differential Input Voltage	±30V
Input Voltage Range (Note 2)	±15V
Output Short Circuit Duration	Continuous
Storage Temperature Range	−65°C to +150°C
Lead Temperature (Soldering, 10 seconds)	300°C

DC Electrical Characteristics (Note 3)

SYMBOL	PARAMETER	CONDITIONS	LF351A			LF351B			LF351			UNITS
			MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	
V_{OS}	Input Offset Voltage	R_S = 10 kΩ, T_A = 25°C		5	2		3	5		5	10	mV
		Over Temperature			4			7			13	mV
$\Delta V_{OS}/\Delta T$	Average TC of Input Offset Voltage	R_S = 10 kΩ		10			10			10		μV/°C
I_{OS}	Input Offset Current	T_j = 25°C, (Notes 3, 4)		25	50		25	100		25	100	pA
		$T_j \leq 70°C$			2			4			4	nA
I_B	Input Bias Current	T_j = 25°C, (Notes 3, 4)		50	100		50	200		50	200	pA
		$T_j \leq 70°C$			4			8			8	nA
R_{IN}	Input Resistance	T_j = 25°C		10^{12}			10^{12}			10^{12}		Ω
AVOL	Large Signal Voltage Gain	V_S = ±15V, T_A = 25°C	50	200		50	100		25	100		V/mV
		V_O = ±10V, R_L = 2 kΩ,										
		Over Temperature	25			25			15			V/mV
V_O	Output Voltage Swing	V_S = ±15V, R_L = 10 kΩ	±12	±13.5		±12	±13.5		±12	±13.5		V
V_{CM}	Input Common-Mode Voltage Range	V_S = ±15V	±11	+15 −12		±11	+15 −12		±11	+15 −12		V V
CMRR	Common-Mode Rejection Ratio	$R_S \leq$ 10 kΩ	80	100		80	100		70	100		dB
PSRR	Supply Voltage Rejection Ratio	(Note 5)	80	100		80	100		70	100		dB
I_S	Supply Current			1.8	2.8		1.8	2.8		1.8	3.4	mA

AC Electrical Characteristics (Note 3)

SYMBOL	PARAMETER	CONDITIONS	LF351A			LF351B			LF351			UNITS
			MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	
SR	Slew Rate	V_S = ±15V, T_A = 25°C		13			13			13		V/μs
GBW	Gain Bandwidth Product	V_S = ±15V, T_A = 25°C		4			4			4		MHz
e_n	Equivalent Input Noise Voltage	T_A = 25°C, R_S = 100Ω,		16			16			16		$nV/\sqrt{Hz}$
		f = 1000 Hz										
i_n	Equivalent Input Noise Current	T_j = 25°C, f = 1000 Hz		0.01			0.01			0.01		$pA/\sqrt{Hz}$

Note 1: For operating at elevated temperature, the device must be derated based on a thermal resistance of 150°C/W junction to ambient or 45°C/W junction to case.

Note 2: Unless otherwise specified the absolute maximum negative input voltage is equal to the negative power supply voltage.

Note 3: These specifications apply for V_S = ±15V and 0°C ≤ T_A ≤ +70°C. V_{OS}, I_B and I_{OS} are measured at V_{CM} = 0.

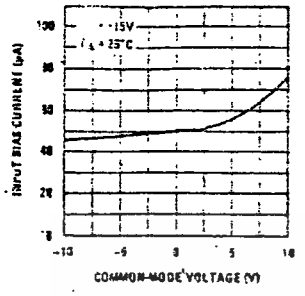
Note 4: The input bias currents are junction leakage currents which approximately double for every 10°C increase in the junction temperature, T_j. Due to limited production test time, the input bias currents measured are correlated to junction temperature. In normal operation the junction temperature rises above the ambient temperature as a result of internal power dissipation, P_D. $T_j = T_A + \theta_{jA} P_D$ where θ_{jA} is the thermal resistance from junction to ambient. Use of a heat sink is recommended if input bias current is to be kept to a minimum.

Note 5: Supply voltage rejection ratio is measured for both supply magnitudes increasing or decreasing simultaneously in accordance with common practice.

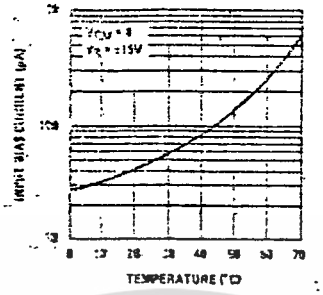
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Characteristics

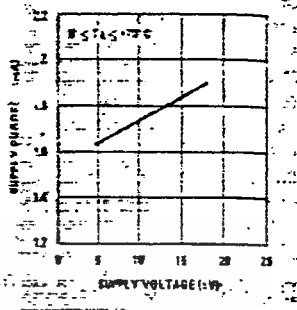
Input Bias Current



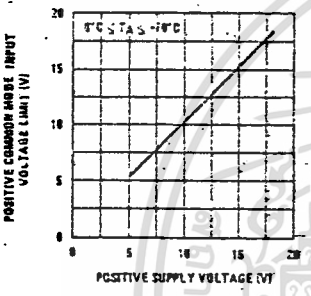
Input Bias Current



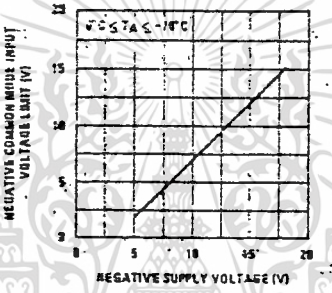
Supply Current



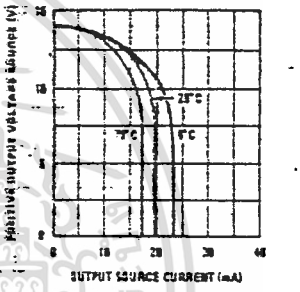
Positive Common-Mode Input Voltage Limit



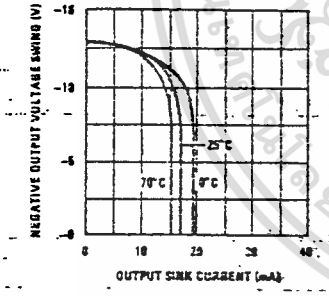
Negative Common-Mode Input Voltage Limit



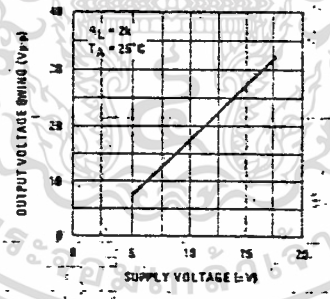
Positive Current Limit



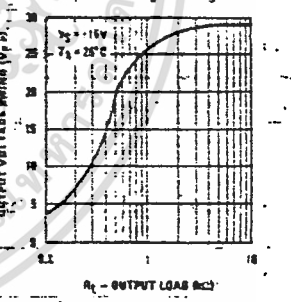
Negative Current Limit



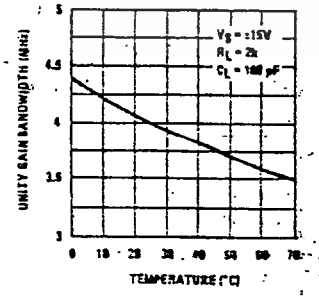
Voltage Swing



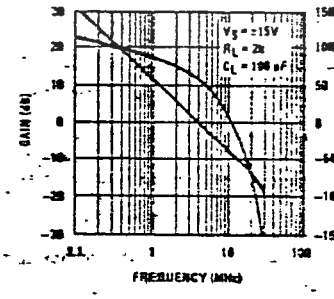
Output Voltage Swing



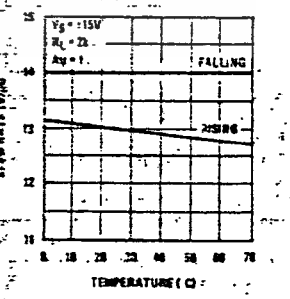
Gain Bandwidth



Bode Plot



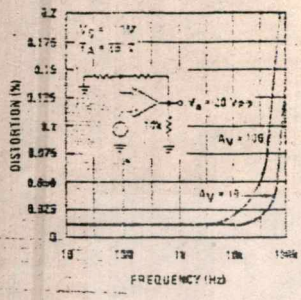
Slew Rate



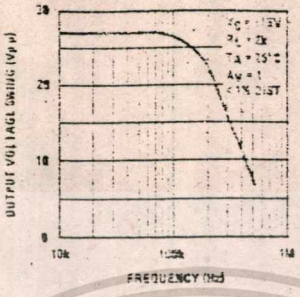
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Characteristics (Continued)

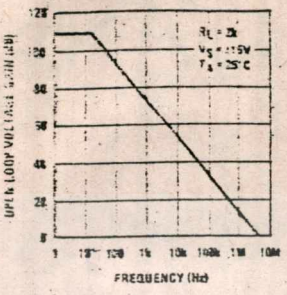
Distortion vs Frequency



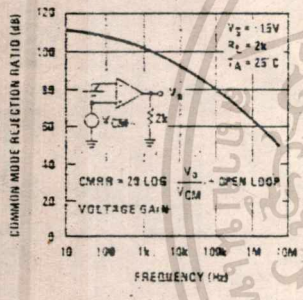
Undistorted Output Voltage Swing



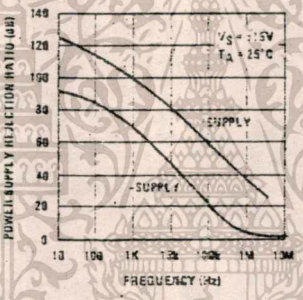
Open Loop Frequency Response



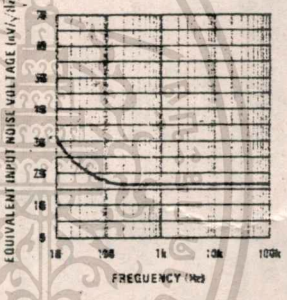
Common-Mode Rejection Ratio



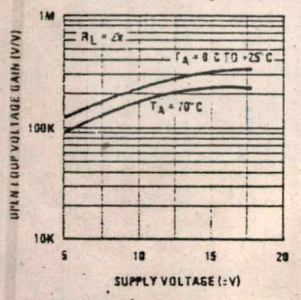
Power Supply Rejection Ratio



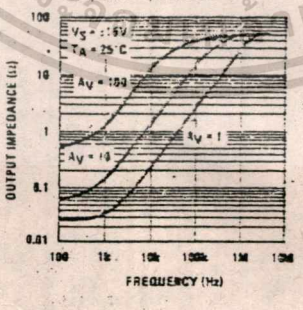
Equivalent Input Noise Voltage



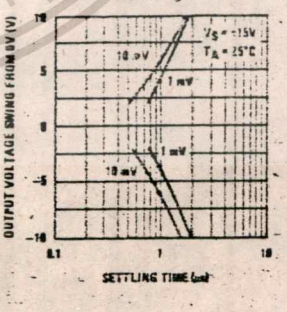
Open Loop Voltage Gain (V/V)



Output Impedance



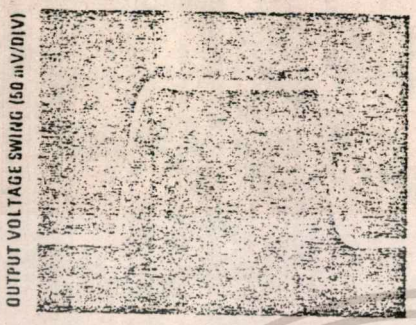
Inverter Settling Time



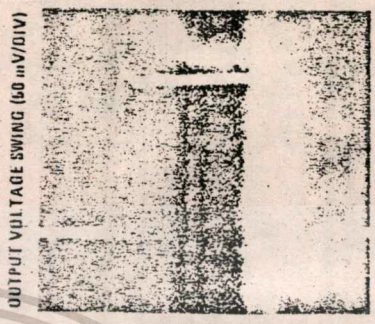
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Pulse Response

Small Signal Inverting

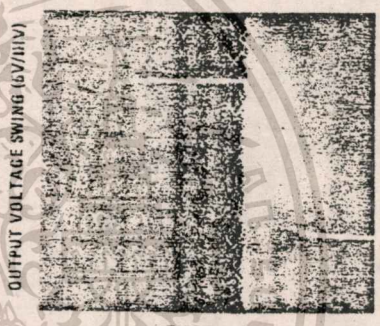


Small Signal Non-Inverting

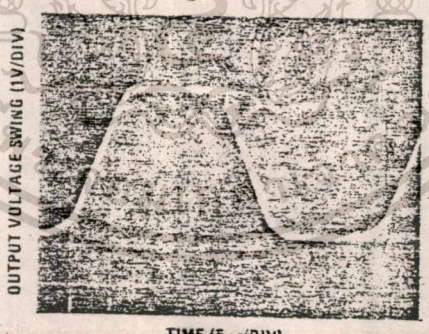


Large Signal Inverting

Large Signal Non-Inverting



Current Limit (R_L = 100Ω)



Application Hints

The LF351 is an op amp with an internally trimmed input offset voltage and JFET input devices (BI-FET II™). These JFETs have large reverse breakdown voltages from gate to source and drain eliminating the need for clamps across the inputs. Therefore, large differential input voltages can easily be accommodated without a large increase in input current. The maximum differential input voltage is independent of the supply voltages. However, neither of the input voltages should be allowed to exceed the negative supply as this will cause large currents to flow which can result in a destroyed unit.

Exceeding the negative common-mode limit on either input will cause a reversal of the phase to the output and force the amplifier output to the corresponding high or low state. Exceeding the negative common-mode limit on both inputs will force the amplifier output to a

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Application Hints (Continued)

high state. In neither case does a latch occur since raising the input back within the common-mode range again puts the input stage and thus the amplifier in a normal operating mode.

Exceeding the positive common-mode limit on a single input will not change the phase of the output; however, if both inputs exceed the limit, the output of the amplifier will be forced to a high state.

The amplifier will operate with a common-mode input voltage equal to the positive supply; however, the gain bandwidth and slew rate may be decreased in this condition. When the negative common-mode voltage swings to within 3V of the negative supply, an increase in input offset voltage may occur.

The LF351 is biased by a zener reference which allows normal circuit operation on ±4V power supplies. Supply voltages less than these may result in lower gain bandwidth and slew rate.

The LF351 will drive a 2 kΩ load resistance to ±10V over the full temperature range of 0°C to +70°C. If the amplifier is forced to drive heavier load currents, however, an increase in input offset voltage may occur on the negative voltage swing and finally reach an active current limit on both positive and negative swings.

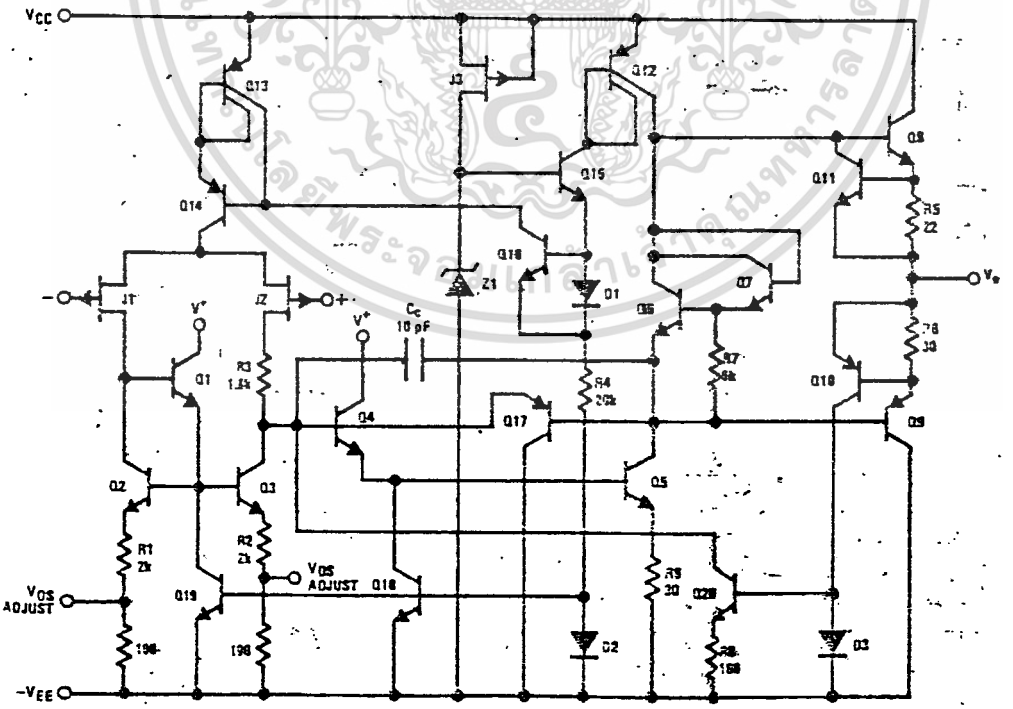
Precautions should be taken to ensure that the power supply for the integrated circuit never becomes reversed in polarity or that the unit is not inadvertently installed backwards in a socket as an unlimited current surge through the resulting forward diode within the IC could cause fusing of the internal conductors and result in a destroyed unit.

Because these amplifiers are JFET rather than MOSFET input op amps they do not require special handling.

As with most amplifiers, care should be taken with lead dress, component placement and supply decoupling in order to ensure stability. For example, resistors from the output to an input should be placed with the body close to the input to minimize "pick-up" and maximize the frequency of the feedback pole by minimizing the capacitance from the input to ground.

A feedback pole is created when the feedback around any amplifier is resistive. The parallel resistance and capacitance from the input of the device (usually the inverting input) to AC ground set the frequency of the pole. In many instances the frequency of this pole is much greater than the expected 3 dB frequency of the closed loop gain and consequently there is negligible effect on stability margin. However, if the feedback pole is less than approximately 6 times the expected 3 dB frequency a lead capacitor should be placed from the output to the input of the op amp. The value of the added capacitor should be such that the RC time constant of this capacitor and the resistance it parallels is greater than or equal to the original feedback pole time constant.

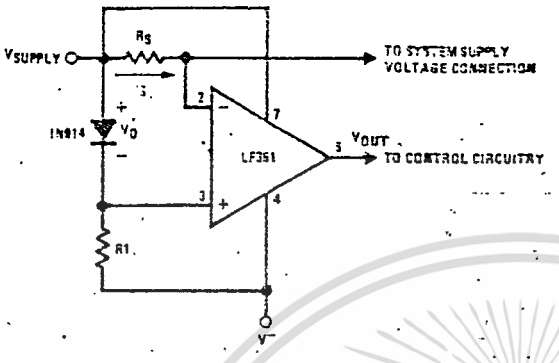
Detailed Schematic



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

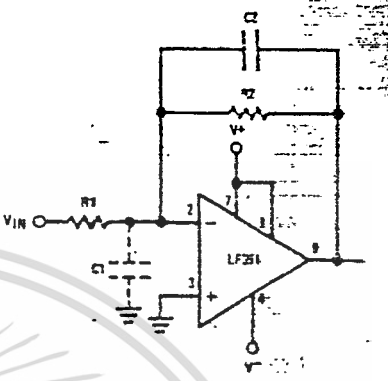
Typical Applications

Supply Current Indicator/Limiter



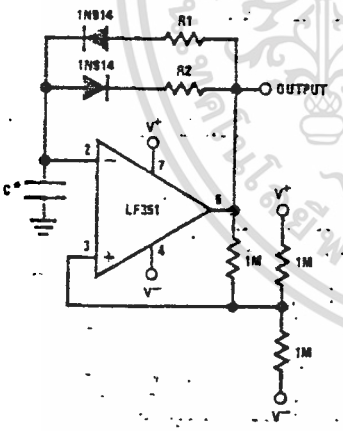
• V_{OUT} switches high when $R_S I_S > V_D$

Hi-Z_{IN} Inverting Amplifier



Parasitic inout capacitance C1 ≈ (3 pF for LF351 plus any additional layout capacitance) interacts with feedback elements and creates undesirable high frequency pole. To compensate, add C2 such that: R2C2 ≤ R1C1.

Ultra-Low (or High) Duty Cycle Pulse Generator



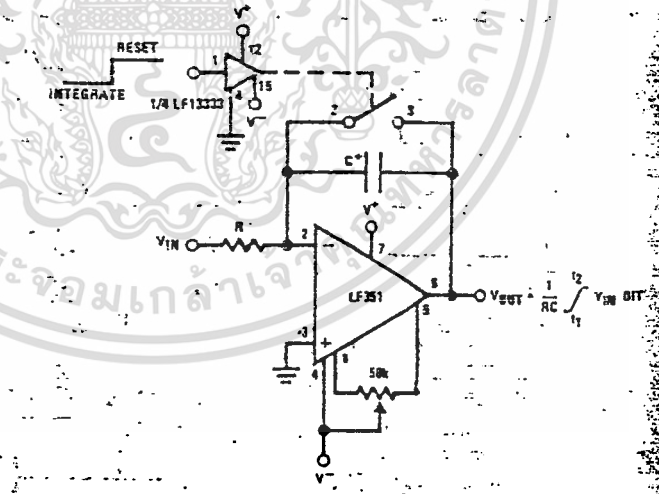
• $t_{OUTPUT\ HIGH} \approx R1C \ln \frac{4.8 - 2V_S}{4.8 - V_S}$

• $t_{OUTPUT\ LOW} \approx R2C \ln \frac{2V_S - 7.8}{V_S - 7.8}$

where $V_S = V^+ + |V^-|$

*low leakage capacitor

Long Time Integrator



* Low leakage capacitor

50k pot used for less sensitive V_{OS} adjust

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

Analog Switches/Multiplexers

CD4066BM/CD4066BC Quad Bilateral Switch

general description

The CD4066BM/CD4066BC is a quad bilateral switch intended for the transmission or multiplexing of analog or digital signals. It is pin-for-pin compatible with CD4016BM/CD4016BC, but has a much lower "ON" resistance, and "ON" resistance is relatively constant over the input-signal range.

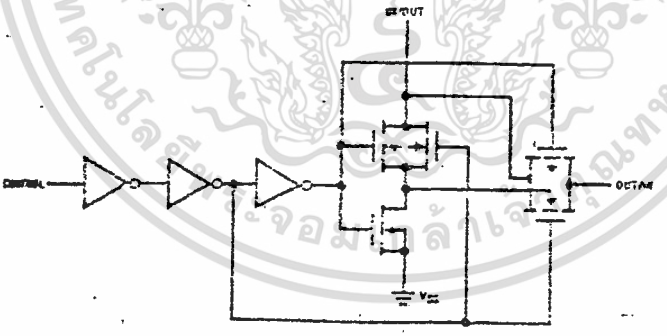
features

- Wide supply voltage range — 3V to 15V
- High noise immunity — 0.45 V_{DD} typ
- Wide range of digital and analog switching — ±7.5 V_{PEAK}
- "ON" resistance for 15V operation — 80Ω typ
- Matched "ON" resistance over 15V signal input — ΔR_{ON} = 5Ω typ
- "ON" resistance flat over peak-to-peak signal range
- High "ON"/"OFF" output voltage ratio — 65 dB typ @ f_{is} = 10 kHz, R_L = 10 kΩ
- High degree of linearity — < 0.4% distortion typ @ f_{is} = 1 kHz, V_{is} = 5 Vp-p, $V_{DD} - V_{SS}$ = 10V, R_L = 10 kΩ
- Extremely low "OFF" switch leakage — 0.1 nA typ @ $V_{DD} - V_{SS}$ = 10V, T_A = 25°C
- Extremely high control input impedance — 10^{12}Ω typ
- Low crosstalk between switches — −50 dB typ @ f_{is} = 0.9 MHz, R_L = 1 kΩ
- Frequency response, switch "ON" — 40 MHz typ

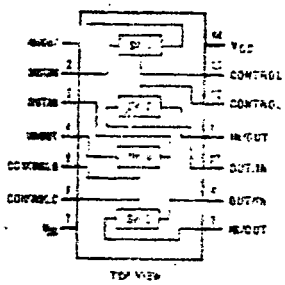
applications

- Analog signal switching/multiplexing
  - Signal gating
  - Squelch control
  - Chopper
  - Modulator/Demodulator
  - Commutating switch
- Digital signal switching/multiplexing
- CMOS logic implementation
- Analog-to-digital/digital-to-analog conversion
- Digital control of frequency, impedance, phase, and analog-signal gain

schematic and connection diagrams



Dual-In-Line Package



Order Number CD4066BMD or CD4066BCD
See NS Package D14A
Order Number CD4066BMF or CD4066BCF
See NS Package F14A
Order Number CD4066BMJ or CD4066BCJ
See NS Package J14A
Order Number CD4066BMN or CD4066BCN
See NS Package N14A
Order Number CD4066BMW or CD4066BCW
See NS Package W14A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

absolute maximum ratings

(Notes 1 and 2)

V_{DD} Supply Voltage	−0.5V to +18V
V_{IN} Input Voltage	−0.5V to V_{DD} +0.5V
T_S Storage Temperature Range	−65°C to +150°C
P_D Package Dissipation	500 mW
T_L Lead Temperature (Soldering, 10 seconds)	300°C

recommended operating conditions

(Note 2)

V_{DD} Supply Voltage	3V to 15V
V_{IN} Input Voltage	0V to V_{DD}
T_A Operating Temperature Range	
CD4066BM	−55°C to +125°C
CD4066BC	−40°C to +85°C

dc electrical characteristics CD4066BM (Note 2)

Parameter	Conditions	−55°C		25°C			125°C		Units
		Min	Max	Min	Typ	Max	Min	Max	
I_{DD} Quiescent Device Current	V_{DD} = 5V		0.25		0.01	0.25		7.5	µA
	V_{DD} = 10V		0.5		0.01	0.5		15	µA
	V_{DD} = 15V		1.0		0.01	1.0		30	µA
Signal Inputs and Outputs									
R_{ON} "ON" Resistance	R_L = 10 kΩ to $\frac{V_{DD}-V_{SS}}{2}$, V_C = V_{DD}, V_{IS} = V_{SS} to V_{DD}								
	V_{DD} = 5V		2000		270	2500		3500	Ω
	V_{DD} = 10V		400		120	500		550	Ω
	V_{DD} = 15V		220		80	280		320	Ω
ΔR_{ON} Δ "ON" Resistance Between any 2 of 4 Switches	R_L = 10 kΩ to $\frac{V_{DD}-V_{SS}}{2}$, V_C = V_{DD}, V_{IS} = V_{SS} to V_{DD}								
	V_{DD} = 10V				10				Ω
	V_{DD} = 15V				5				Ω
I_{IS} Input or Output Leakage Switch "OFF"	V_C = 0		±50		±0.1	±50		±50	nA
	V_{IS} = 15V and 0V, V_{OS} = 0V and 15V								
Control Inputs									
V_{ILC} Low Level Input Voltage	V_{IS} = V_{SS} and V_{DD}, V_{OS} = V_{DD} and V_{SS}, I_{IS} = ±10 µA								
	V_{DD} = 5V		1.5		2.25	1.5		1.5	V
	V_{DD} = 10V		3.0		4.5	3.0		3.0	V
	V_{DD} = 15V		4.0		6.75	4.0		4.0	V
V_{IHC} High Level Input Voltage	V_{DD} = 5V	3.5		3.5	2.75		3.5		V
	V_{DD} = 10V (see note 6)	7.0		7.0	5.5		7.0		V
	V_{DD} = 15V	11.0		11.0	8.25		11.0		V
I_{IN} Input Current	V_{DD} − V_{SS} = 15V, V_{DD} > V_{IS} > V_{SS}, V_{DD} > V_C > V_{SS}		±0.1		±10−5	±0.1		±1.0	µA

dc electrical characteristics CD4066BC (Note 2)

Parameter	Conditions	−40°C		25°C			85°C		Units
		Min	Max	Min	Typ	Max	Min	Max	
I_{DD} Quiescent Device Current	V_{DD} = 5V		1.0		0.01	1.0		7.5	µA
	V_{DD} = 10V		2.0		0.01	2.0		15	µA
	V_{DD} = 15V		4.0		0.01	4.0		30	µA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

dc electrical characteristics (Continued) CD4066BC (Note 2)

Parameter		Conditions	−40°C Min	−40°C Max	25°C Min	25°C Typ	25°C Max	85°C Min	85°C Max	Units
Signal Inputs and Outputs										
R_{ON}	"ON" Resistance	R_L = 10 kΩ to $\frac{V_{DD}-V_{SS}}{2}$, V_C = V_{DD}, V_{SS} to V_{DD}								
		V_{DD} = 5V		2000		270	2500		3200	Ω
		V_{DD} = 10V		450		120	500		520	Ω
		V_{DD} = 15V		250		80	280		300	Ω
ΔR_{ON}	Δ"ON" Resistance Between Any 2 of 4 Switches	R_L = 10 kΩ to $\frac{V_{DD}-V_{SS}}{2}$, V_{CC} = V_{DD}, V_{IS} = V_{SS} to V_{DD}								
		V_{DD} = 10V				10				Ω
		V_{DD} = 15V				5				Ω
I_{IS}	Input or Output Leakage Switch "OFF"	V_C =		±50		±0.1	±50		±200	nA
Control Inputs										
V_{ILC}	Low Level Input Voltage	V_{IS} = V_{SS} and V_{DD}, V_{OS} = V_{DD} and V_{SS}, I_{IS} = ±10 μA								
		V_{DD} = 5V		1.5		2.25	1.5		1.5	V
		V_{DD} = 10V		3.0		4.5	3.0		3.0	V
		V_{DD} = 15V		4.0		6.75	4.0		4.0	V
V_{IHC}	High Level Input Voltage	V_{DD} = 5V	3.5		3.5	2.75		3.5		V
		V_{DD} = 10V (See note 6)	7.0		7.0	5.5		7.0		V
		V_{DD} = 15V	11.0		11.0	8.25		11.0		V
I_{IN}	Input Current	V_{DD} − V_{SS} = 15V, V_{DD} > V_{IS} > V_{SS}, V_{DD} > V_C > V_{SS}		±0.3		±10⁻⁵	±0.3		±1.0	μA

ac electrical characteristics T_A = 25°C, t_r = t_f = 20 ns and V_{SS} = 0V unless otherwise specified

Parameter		Conditions	Min	Typ	Max	Units
t_{PHL}, t_{PLH}	Propagation Delay Time Signal Input to Signal Output	V_C = V_{DD}, C_L = 50 pF, *(Figure 1)*, R_L = 200k				
		V_{DD} = 5V		25	55	ns
		V_{DD} = 10V		15	35	ns
		V_{DD} = 15V		10	25	ns
t_{PZH}, t_{PZL}	Propagation Delay Time Control Input to Signal Output High Impedance to Logical Level	R_L = 1.0 kΩ, C_L = 50 pF, *(Figures 2 and 3)*				
		V_{DD} = 5V			125	ns
		V_{DD} = 10V			50	ns
		V_{DD} = 15V			0	ns
t_{PHZ}, t_{PLZ}	Propagation Delay Time Control Input to Signal Output Logical Level to High Impedance	R_L = 1.0 kΩ, C_L = 50 pF, *(Figures 2 and 3)*				
		V_{DD} = 5V			125	ns
		V_{DD} = 10V			60	ns
		V_{DD} = 15V			50	ns
	Sine Wave Distortion	V_C = V_{DD} = 5 V, V_{SS} = −5 V, R_L = 10 kΩ, V_{IS} = 5 V_{p-p}, f = 1 kHz, *(Figure 4)*		0.4		%
	Frequency Response-Switch "ON" (Frequency at −3 dB)	V_C = V_{DD} = 5 V, V_{SS} = −5 V, R_L = 1 kΩ, V_{IS} = 5 V_{p-p}, 20 Log_{10} V_{OS}/V_{OS}(1 kHz)=−3 dB, *(Figure 4)*		40		MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ac electrical characteristics (Continued)

$T_A = 25°C$, $t_r = t_f = 20$ ns and $V_{SS} = 0V$ unless otherwise specified

	Parameter	Conditions	Min	Typ	Max	Units
	Feedthrough — Switch "OFF" (Frequency at −50 dB)	$V_{DD} = 5V$, $V_C = V_{SS} = -5V$, $R_L = 1\,k\Omega$, $V_{IS} = 5V_{p-p}$, 20 Log10 $V_{OS}/V_{IS} = -50$ dB, *(Figure 4)*				
	Crosstalk Between Any Two Switch (Frequency at −50 dB)	$V_{DD} = V_{C(1)} = 5V$; $V_{SS} = V_{C(2)} = -5V$, $R_L = 1\,k\Omega$, $V_{IS(A)} = 5V_{p-p}$, 20 Log10 $V_{OS(2)}/V_{IS(1)} = -50$ dB, *(Figure 5)*		0.9		MHz
	Crosstalk: Control Input to Signal Output	$V_{DD} = 10V$, $R_L = 10\,k\Omega$, $R_{IN} = 1\,k\Omega$, $V_{CC} = 10V$ Square Wave, $C_L = 50$ pF *(Figure 6)*		150		mV_{p-p}
	Maximum Control Input	$R_L = 1\,k\Omega$, $C_L = 50$ pF, *(Figure 7)* $V_{OS(f)} = \frac{1}{2}V_{OS(1\,kHz)}$				
		$V_{DD} = 5V$		6.0		MHz
		$V_{DD} = 10V$		8.0		MHz
		$V_{DD} = 15V$		8.5		MHz
C_{IS}	Signal Input Capacitance			8		pF
C_{OS}	Signal Output Capacitance	$V_{DD} = 10V$		8		pF
C_{IOS}	Feedthrough Capacitance	$V_C = 0V$		0.5		pF
C_{IN}	Control Input Capacitance			5	7.5	pF

Note 1: "Absolute Maximum Ratings" are those values beyond which the safety of the device cannot be guaranteed. They are not meant to imply that the devices should be operated at these limits. The tables of "Recommended Operating Conditions" and "Electrical Characteristics" provide conditions for actual device operation.

Note 2: $V_{SS} = 0V$ unless otherwise specified.

Note 3: These devices should not be connected to circuits with the power "ON".

Note 4: In all cases, there is approximately 5 pF of probe and jig capacitance on the output; however, the capacitance is included in C_L wherever it is specified.

Note 5: V_{IS} is the voltage at the in/out pin and V_{OS} is the voltage at the out/in pin. V_C is the voltage at the control input.

Note 6: Conditions for V_{IHC}:
a) $V_{IS} = V_{DD}$, I_{OS} = standard B series I_{OH} b) $V_{IS} = 0V$, I_{OS} = standard B series I_{OL}

ac test circuits and switching time waveforms

FIGURE 1. t_{PHL}, t_{PLH} Propagation Delay Time Signal Input to Signal Output

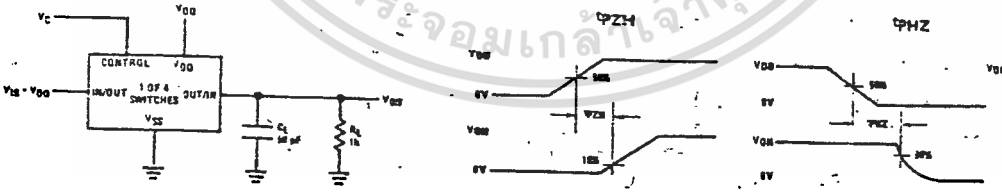


FIGURE 2. t_{PZH}, t_{PHZ} Propagation Delay Time Control to Signal Output

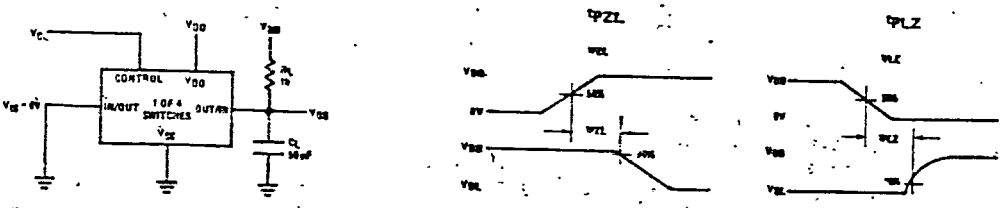


FIGURE 3. t_{PZL}, t_{PLZ} Propagation Delay Time Control to Signal Output

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ac test circuits and switching time waveforms (Continued)

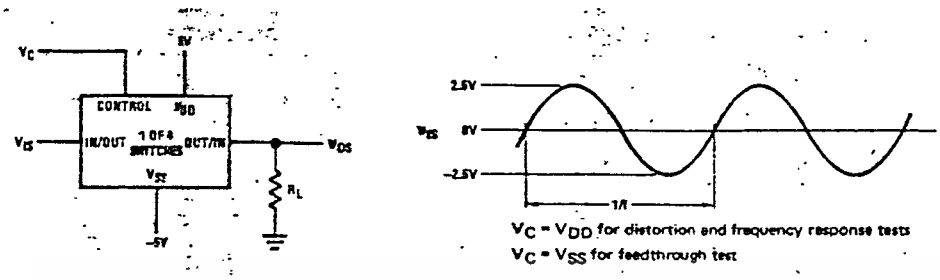


FIGURE 4. Sine Wave Distortion, Frequency Response and Feedthrough

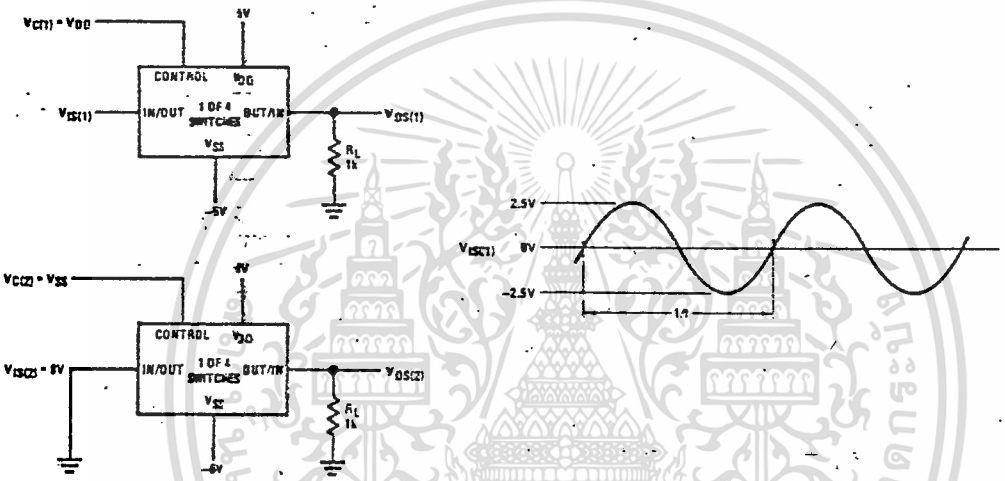


FIGURE 5. Crosstalk Between Any Two Switches

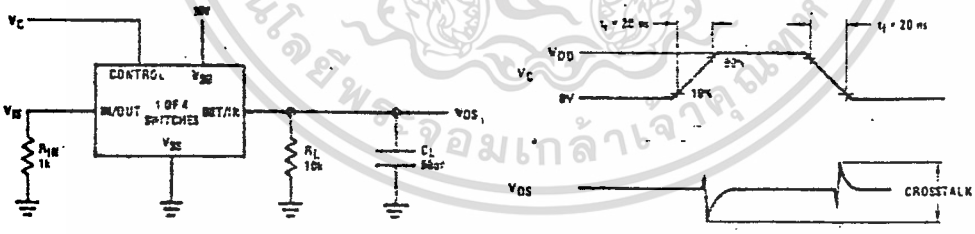


FIGURE 6. Crosstalk: Control Input to Signal Output

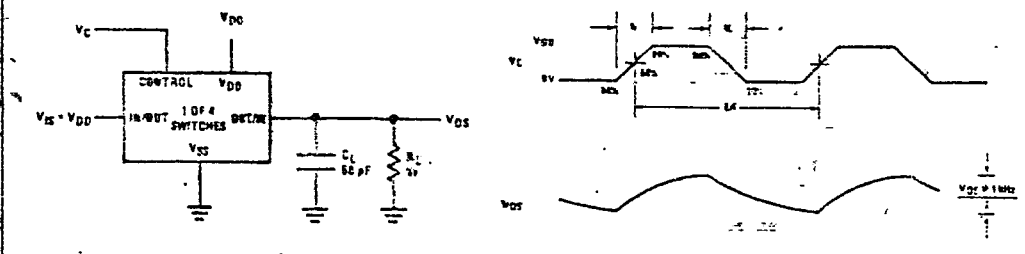
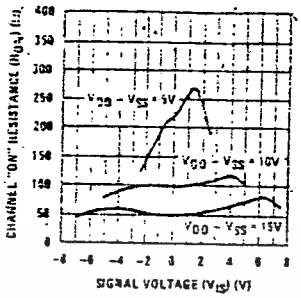


FIGURE 7. Maximum Control Input Frequency

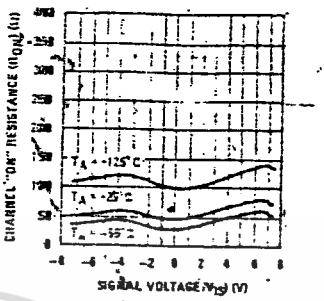
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

typical performance characteristics

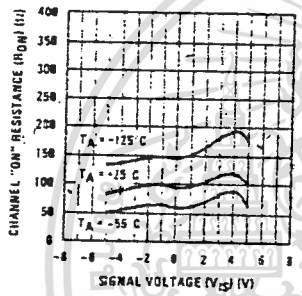
"ON" Resistance vs Signal Voltage for $T_A = 25°C$



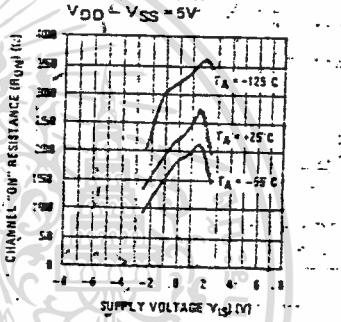
"ON" Resistance as a Function of Temperature for $V_{DD} - V_{SS} = 15V$



"ON" Resistance as a Function of Temperature for $V_{DD} - V_{SS} = 10V$



"ON" Resistance as a Function of Temperature for $V_{DD} - V_{SS} = 5V$



special considerations

In applications where separate power sources are used to drive V_{DD} and the signal input, the V_{DD} current capability should exceed V_{DD}/R_L (R_L = effective external load of the 4 CD4066BM/CD4066BC bilateral switches). This provision avoids any permanent current flow or clamp action on the V_{DD} supply when power is applied or removed from CD4066BM/CD4066BC.

In certain applications, the external load-resistor current may include both V_{DD} and signal-line components. To avoid drawing V_{DD} current when switch current flows into terminals 1, 4, 8 or 11, the voltage drop across the bidirectional switch must not exceed 0.6V at $T_A \leq 25°C$, or 0.4V at $T_A > 25°C$ (calculated from R_{ON} values shown).

No V_{DD} current will flow through R_L if the switch current flows into terminals 2, 3, 9 or 10.