สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

เครื่องเล่นเอ็มพี 3

MP3 PLAYER

นาย ชนรพ จำเริญดารารัศมี
นาย ชนวิท โตเลี้ยง

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต
ภาควิชาวิศวกรรมคอมพิวเตอร์
คณะวิศวกรรมศาสตร์
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
ปีการศึกษา 2542

เลขหมู่.....
เลขทะเบียน..... 37088
วัน, เดือน, ปี..... 30 ส.ค. 2543

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เครื่องเล่นเอ็มพี 3
MP3 PLAYER

โดย
นาย ชนรพ จำเริญดารารัศมี
นาย ชนวิท โตเลี้ยง

อาจารย์ที่ปรึกษา
รศ. สมศักดิ์ มิตะถา

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต
ภาควิชาวิศวกรรมคอมพิวเตอร์
คณะวิศวกรรมศาสตร์
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
ปีการศึกษา 2542

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ปีการศึกษา 2542

ภาควิชา วิศวกรรมคอมพิวเตอร์

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง เครื่องเล่นเอ็มพี 3

MP3 PLAYER

ผู้จัดทำ

1. นาย ชนรพ จำเริญดารารัศมี รหัสประจำตัว 39014112
2. นาย ชนวิท โตเลี้ยง รหัสประจำตัว 39014113

อาจารย์ที่ปรึกษา

(รศ. สมศักดิ์ มิตะถา)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เครื่องเล่นเอ็มพี 3

นายชนรพ จำเริญดารารัศมี 39014112
นายชนวิท โตเลี้ยง 39014113
รศ. สมศักดิ์ มิตะถา อาจารย์ที่ปรึกษา
ปีการศึกษา 2542

บทคัดย่อ

ในปัจจุบันนี้รูปแบบไฟล์แบบเอ็มเปกหนึ่งเลเยอร์สามนั้นเป็นที่นิยมอย่างแพร่หลายมากทั้งในประเทศและต่างประเทศ และตามเวปไซค์ต่างๆ ก็มีให้เห็นมากมาย ทั้งนี้เนื่องมาจากคุณภาพและขนาดของไฟล์เอ็มเปกหนึ่งเลเยอร์สามนั่นเอง คือ ไฟล์เอ็มเปกหนึ่งเลเยอร์สามนี้มีขนาดไฟล์ที่เล็กกว่าไฟล์เวฟถึงประมาณ 10 เท่า แต่ยังให้คุณภาพใกล้เคียงกับเสียงต้นแบบอีกด้วยจึงทำให้ไฟล์เอ็มเปกหนึ่งเลเยอร์สามนี้แพร่หลายไปทั่ว

แต่อย่างไรก็ตามการที่จะสามารถเล่นไฟล์เอ็มเปกหนึ่งเลเยอร์สามนี้จำเป็นจะต้องใช้คอมพิวเตอร์ในการรันโปรแกรมต่างๆ เช่น วินแอมป์, โซนิค ฯลฯ ทำให้ไฟล์เอ็มเปกหนึ่งเลเยอร์สามนี้จำกัดอยู่เพียงผู้ใช้คอมพิวเตอร์

วิทยานิพนธ์นี้เป็นการประยุกต์ให้ไฟล์เอ็มเปกหนึ่งเลเยอร์สามสามารถเล่นได้โดยไม่ต้องอาศัยเครื่องคอมพิวเตอร์ โดยเครื่องเล่นไฟล์เอ็มเปกหนึ่งเลเยอร์สามนี้จะเล่นไฟล์เอ็มเปกหนึ่งเลเยอร์สามจากแผ่นซีดีแทนที่จะเล่นจากคอมพิวเตอร์ เพราะในปัจจุบันแผ่นซีดีไฟล์เอ็มเปกหนึ่งเลเยอร์สามนั้นมีขายทั่วไปตามท้องตลาด

โดยเครื่องเล่นไฟล์เอ็มเปกหนึ่งเลเยอร์สามนี้จะติดต่อกับซีดีรอมโดยใช้ไมโครคอนโทรลเลอร์ 89S8252 ในการควบคุมเพื่ออ่านข้อมูลไฟล์ทั้งหมดในแผ่นซีดี จากนั้นจะอ่านไฟล์ที่เป็นเอ็มเปกหนึ่งเลเยอร์สามมาเก็บไว้ในบัฟเฟอร์ และเมื่อส่วนถอดรหัสพร้อม จะส่งชุดข้อมูลไปทำการถอดรหัสด้วยชิพ MAS3507D ซึ่งเป็นชิพถอดรหัสไฟล์เอ็มเปกหนึ่งเลเยอร์สามโดยเฉพาะสัญญาณที่ออกมาจากชิพถอดรหัสจะเป็นเสียงแบบดิจิตอล จึงต้องใช้ชิพแปลงดิจิตอลเป็นอนาลอกเบอร์ DAC3550A เปลี่ยนสัญญาณเสียงเป็นแบบอนาลอก เพื่อให้ได้เสียงเพลงตามต้องการ

เครื่องเล่นไฟล์เอ็มเปกหนึ่งเลเยอร์สามที่สร้างขึ้นสามารถเล่นเพลงที่เก็บอยู่ในแผ่นซีดีรอมได้ทั้งแบบที่เก็บในรูปเสียงธรรมดา และแบบที่เก็บในรูปไฟล์เอ็มเปกหนึ่งเลเยอร์สาม โดยจะเริ่มเล่นตั้งแต่เพลงแรกของแผ่นไปจนหมดทั้งแผ่น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MPEG-1 LAYER-3 PLAYER

Chonarop Jamroendararasame
Chonvit Tholieng
Assoc. Prof. Somsak Mitatha

ABSTRACT

At present, The MPEG-1 Layer-3 file is the most popular audio file. Because of MPEG-1 Layer-3 file is smaller than WAVE format file but they still keep high quality audio like original source.

However, the way to listen to the song from MPEG-1 Layer-3 file must play by decode application on computer, WINAMP is an example. That's limit only people who have computer.

This project is concerned with the design of MP3 PLAYER that make people can play MPEG-1 Layer-3 file without computer. MP3 PLAYER will read MPEG-1 Layer-3 file from CD that store MPEG-1 Layer-3 file.

In the design process, the MP3 PLAYER uses micro controller, 89S8252, to control CD-ROM drive. Then find all of file in CD, read MPEG-1 Layer-3 file and keep in buffer. When decoder (MAS357D) ready, Controller send data stream to decoder. The digital audio output from decoder will be converted to analog audio by DAC3550A (Digital/Analog converter).

This MP3 PLAYER can play songs from both of Audio CD and MPEG-1 Layer-3 file CD, start at first track through all of songs that contain in CD.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

วิทยานิพนธ์ฉบับนี้คงไม่อาจเสร็จได้ด้วยดี หากไม่ได้รับความช่วยเหลือ และร่วมมือจากหลาย ๆ ฝ่ายด้วยกัน บุคคลแรกที่ต้องกล่าวถึงเพราะเป็นส่วนสำคัญที่ทำให้วิทยานิพนธ์นี้เสร็จลงได้ก็คือ อาจารย์ สมศักดิ์ มิตะถา อาจารย์ที่ปรึกษาวิทยานิพนธ์ ที่ให้ความเอาใจใส่ แนะนำ และช่วยเหลือเสมอมา ซึ่งต้องขอขอบพระคุณเป็นอย่างมาก

และต้องขอขอบพระคุณบุคคลสำคัญที่สุดที่ทำให้ข้าพเจ้ามีวันนี้ ก็คือ บิดา มารดา อันเป็นที่เคารพรักยิ่ง ซึ่งได้เลี้ยงดูผู้เขียนมาเป็นอย่างดี พร้อมทั้งให้โอกาสในการศึกษาอย่างเต็มที่ และยังให้กำลังใจเอาใจใส่เสมอมา ในทุก ๆ ด้านอันหาที่เปรียบมิได้ ข้าพเจ้าขอระลึกในพระคุณอันสุดประมาณ และขอกราบขอบพระคุณมา ณ ที่นี้

ชนรพ จำเริญดารารัศมี
ชนวิท โตเลี้ยง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

	หน้าที่
บทคัดย่อภาษาไทย	I
บทคัดย่อภาษาอังกฤษ	II
กิตติกรรมประกาศ	III
สารบัญ	IV
สารบัญตาราง	VII
สารบัญภาพ	IX
บทที่ 1 บทนำ	1
1.1 ความสำคัญและที่มา	1
1.2 วัตถุประสงค์ของงานวิจัย	1
1.3 ขอบเขตของงานวิจัย	1
1.4 วิธีการดำเนินงาน	1
บทที่ 2 MAS3507D	3
2.1 ความรู้เบื้องต้น	3
2.1.1 คุณสมบัติของ MAS3507D	3
2.1.2 วิธีการนำไปใช้	4
2.2 ฟังก์ชันต่างๆ ของ MAS3507D	5
2.2.1 แกน DSP	5
2.2.2 Firmware (Internal Program ROM)	6
2.2.3 การจัดการสัญญาณสัญญาณนาฬิกา	6
2.2.4 การเชื่อมต่อ	7
2.3 การติดต่อส่วนควบคุม	12
2.3.1 การติดต่อกับบัสของ I^2C	12
2.3.2 โครงสร้างของคำสั่ง	14
2.3.3 รายละเอียดคำสั่งของ MAS3507D	15
2.3.4 ตารางรีจิสเตอร์	19
2.3.5 หน่วยความจำ	23
2.4 รายละเอียดต่างๆ	33
2.4.1 รายละเอียดภายนอก	33
2.4.2 รายละเอียดของขา	33
บทที่ 3 DAC3550A	38
3.1 แนะนำ	38

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.1.1 องค์ประกอบหลัก 38
3.2 อธิบายการทำงาน 40
3.2.1 I^2S Interface 40
3.2.2 Interpolation Filter 41
3.2.3 Variable sample & hold 42
3.2.4 Noise Shaper ลำดับที่ 3 และ Multibit DAC 42
3.2.5 Analog low-pass 42
3.2.6 การเลือกสัญญาณอินพุทและ Mixing Matrix 42
3.2.7 Postfilter Op Amps, Deemphasis Op Amps, and Lire-out 43
3.2.8 Analog Volume 43
3.2.9 Head Amplifier 43
3.2.10 ระบบสัญญาณนาฬิกา 44
3.2.11 การติดต่อกับ I^2C บัส 46
3.2.12 รีจิสเตอร์ 46
3.2.13 Reduce Feature Mode 47
3.3 รายละเอียดต่างๆ 47
3.3.1 รายละเอียดภายนอก 47
3.3.2 รายละเอียดของขา 47
3.4 รีจิสเตอร์ควบคุม 50
3.5 ข้อมูลทางไฟฟ้า 52
3.5.1 Absolute Maximum Rating 52
3.5.2 ข้อแนะนำเกี่ยวกับสภาวะของกระบวนการต่างๆ 52
3.5.3 ลักษณะพิเศษ 54
บทที่ 4 Special Function Register Of 89S8252 63
4.1 รีจิสเตอร์ควบคุมการทำงาน 63
4.1.1 รีจิสเตอร์ SPCR 63
4.1.2 รีจิสเตอร์ SPSR 65
4.1.3 รีจิสเตอร์ SPDR 65
4.2 คุณสมบัติและการทำงานของ SPI 65
4.3 อินเตอร์รัพ 67
บทที่ 5 ATAPI 69
5.1 ความรู้ทั่วไป 69
5.2 รีจิสเตอร์ภายใน 69
5.3 โพรโตคอลการส่งข้อมูล 69

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.4 แพ็คเก็ตคอมมานของ ATAPI 70
5.5 การใช้รีจิสเตอร์ Byte Count สำหรับแพ็คเก็ตคอมมาน 70
5.6 การใช้รีจิสเตอร์ Sector Count สำหรับแพ็คเก็ตคอมมาน 71
5.7 ลำดับการส่งชุดคำสั่งที่มีการส่งข้อมูลกลับในแบบ PIO 72
5.8 ลำดับการส่งชุดคำสั่งที่ไม่มีการส่งค่ากลับ 74
บทที่ 6 ISO9660 76
6.1 บทนำ 76
6.2 ภาพรวมโครงสร้างของ ISO9660 76
6.2.1 Volume Descriptor 77
6.2.2 โครงสร้างไดเรกทอรี 80
6.2.3 Path Table 82
บทที่ 7 การออกแบบฮาร์ดแวร์และซอฟต์แวร์ 83
7.1 ฮาร์ดแวร์ 83
7.1.1 ส่วนควบคุมซีดีรอม 83
7.1.2 ส่วนประมวลผลกลาง 83
7.1.3 ส่วนถอดรหัสสัญญาณเสียง 83
7.2 ซอฟต์แวร์ 84
7.2.1 ส่วนควบคุมซีดี 84
7.2.2 ส่วนประมวลผลกลาง 84
บทที่ 8 การทดลองและสรุปผลการทดลอง 86
8.1 การทดลอง 86
8.1.1 คำสั่งที่ใช้ในการส่งแพ็คเก็ตคอมมาน 86
8.1.2 การอ่านข้อมูลจากซีดีรอมรวมถึงการวิเคราะห์ไฟล์ตามมาตรฐาน ISO9660 86
8.1.3 ปัญหาและแนวทางการแก้ไข 86
8.1.2 สรุปผลการทดลอง 87
8.2 วิจารณ์ 87
8.3 ข้อเสนอแนะ 87
ภาคผนวก ก ความหมายของคำในไวยากรณ์ของข้อมูลเอ็มเปก 1 เลเยอร์ 3 88
ภาคผนวก ข รีจิสเตอร์ที่สำคัญในมาตรฐาน ATAPI 95
ภาคผนวก ค ตัวอย่าง File system ที่อ่านได้จากซีดีรอม 99
ภาคผนวก ง Schematic และ Print circuit board 102

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญตาราง

หน้าที่

ตารางที่ 2-1 แสดงความถี่ของ CLKO 6
ตารางที่ 2-2 แสดงสตาร์ทอัพคอนฟิกกูเลชัน 9
ตารางที่ 2-3 แสดงสัญญาณเอาท์พุตของ PIO ระหว่างการถอดรหัส 10
ตารางที่ 2-4 แสดง ความยาว FRAME ในเอ็มเปกเลเยอร์ 2/3 11
ตารางที่ 2-5 แสดงดีไวซ์แอดเดรส(DEVICE ADDRESS)ของ I^2C 12
ตารางที่ 2-6 แสดงสับแอดเดรส 13
ตารางที่ 2-7 แสดงหน้าที่แต่ละบิตของรีจิสเตอร์ควบคุม 13
ตารางที่ 2-8 แสดงหน้าที่แต่ละบิตของรีจิสเตอร์ข้อมูล 13
ตารางที่ 2-9 แสดงคำสั่งพื้นฐานของตัวควบคุม 15
ตารางที่ 2-10 แสดงคำสั่งของรีจิสเตอร์ 19
ตารางที่ 2-11 แสดงหน้าที่ของบิตในรีจิสเตอร์ DCCF 21
ตารางที่ 2-12 แสดงโทนคอนโทรลรีจิสเตอร์ 23
ตารางที่ 2-13 แสดงพื้นที่หน่วยความจำสถานะ 24
ตารางที่ 2-14 แสดงMPEG STATUS 1 25
ตารางที่ 2-15 MPEG STATUS 2 27
ตารางที่ 2-16 แสดง ANCILLARY DATA BIT ASSIGNMENT 28
ตารางที่ 2-17 แสดง ANCILLARY DATA BIT ASSIGNMENT 28
ตารางที่ 2-18 แสดง พื้นที่หน่วยความจำคอนฟิกกูเลชัน 29
ตารางที่ 2-19 แสดง PLLOFFSET48 และ PLLOFFSET44 29
ตารางที่ 2-20 แสดง F_{CLKI} สำหรับค่า PLLOFFSET สูงสุด/ต่ำสุด 30
ตารางที่ 2-21 แสดงเอาท์พุตคอนฟิกกูเลชัน 31
ตารางที่ 2-22 แสดงบิตของ VOLUME CELL 31
ตารางที่ 2-23 แสดงการตั้งค่าดิจิตอล VOLUME MATRIX 32
ตารางที่ 2-24 แสดง VOLUME MATRIX CONVERSION 33
ตารางที่ 3-1 แสดง VOLUME CONTROL 44
ตารางที่ 3-2 แสดง OPERATION MODE 45
ตารางที่ 3-3 แสดง I^2C REGISTER ADDRESS 46
ตารางที่ 4-1 แสดง SPCR-SPI CONTROL REGISTER 64
ตารางที่ 4-2 แสดง SPSR-SPI STATUS REGISTER 65
ตารางที่ 4-3 แสดงINTERRUPT ENABLE REGISTER 68
ตารางที่ 5-1 แสดงการใช้รีจิสเตอร์ BYTE COUNT 71

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 6-1 แสดงความยาวของ PATH 80
ตารางที่ 6-2 แสดง FILE IDENTIFIER 81
ตารางที่ ก-1 แสดงความหมายของรหัสข้อมูลใน layer 88
ตารางที่ ก-2 แสดงความหมายของรหัสข้อมูลใน mode 89
ตารางที่ ก-3 แสดงความหมายของรหัสข้อมูลใน mode_extension 89
ตารางที่ ก-4 แสดงความหมายของ Scfsi[ch][scfsi_band] 90
ตารางที่ ก-5 แสดงความหมายของรหัสข้อมูลใน scfsi_band 90
ตารางที่ ก-6 แสดงความหมายของรหัสข้อมูลใน scalefac_compress[gr][ch] 91
ตารางที่ ก-7 ความหมายของรหัสข้อมูลใน block_type[gr][ch] 92
ตารางที่ ก-8 ความหมายของข้อมูลใน scalefac_scal[gr][ch] 93
ตารางที่ ก-9 ความหมายของรหัสข้อมูลใน count1table_select[gr][ch] 93
ตารางที่ ข-1 รีจิสเตอร์ภายในตามมาตรฐาน ATAPI 95
ตารางที่ ค-1 แสดงตัวอย่าง Volume Descriptor ที่อ่านมาได้ 100
ตารางที่ ค-2 แสดงตัวอย่างค่าที่อ่านได้จาก Path Table ของ CD-ROM 100
ตารางที่ ค-3 แสดงตัวอย่างค่าที่อ่านได้จาก Directory Structure ของ CD-ROM 101

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูปภาพ

หน้าที่

รูปที่ 2-1 บล็อกไดอะแกรมของ MAS3507D 3
รูปที่ 2-2 บล็อกไดอะแกรมของ MAS3507D ในการถอดรหัสชุดข้อมูลที่เก็บไว้ในโหมดมัลติมีเดีย 4
รูปที่ 2-3 บล็อกไดอะแกรมของ MAS3507D ในสภาพการบรอดแคส 5
รูปที่ 2-4 บล็อกไดอะแกรมของตัวถอดรหัสไฟล์เอ็มเปก 5
รูปที่ 2-5 แผนผังเวลาของ SDI(MPEG) อินพุต 7
รูปที่ 2-6 แผนผังเวลาของการติดต่อ SDO ในโหมด 16 BIT/SAMPLE 8
รูปที่ 2-7 แผนผังเวลาของการติดต่อ SDO ในโหมด 32 BIT/SAMPLE 8
รูปที่ 2-8 แผนผังเวลาของ MPEG-FRAME-SYNC 11
รูปที่ 2-9 โปรโตคอลบัสของ I^2C ของ MAS3507D 12
รูปที่ 2-10 DIGITAL VOLUME MATRIX 32
รูปที่ 2-11 MAS3507D(PQFP) 33
รูปที่ 3-1 บล็อกไดอะแกรมของ DAC3550A 39
รูปที่ 3-2 การนำไปใช้ 40
รูปที่ 3-3 I^2S ในโหมด 16 บิต 41
รูปที่ 3-4 I^2S ในโหมด 32 บิต 41
รูปที่ 3-5 1->8 INTERPOLATION FILTER, ในช่วงความถี่ 0-22 KHZ 41
รูปที่ 3-6 SWITCH MATRIX 42
รูปที่ 3-7 POSTFILTEROP AMPS, DEEMPHASIS OP AMPS, AND LIRE-OUT 43
รูปที่ 3-8 แสดง I^2C บัสโปรโตคอลสำหรับการเขียน 46
รูปที่ 3-9 แสดง DAC3550A ในแพ็คเกจ PQFP(PLASTIC QUAD FLAT PACKAGE) 47
รูปที่ 4-1 ตำแหน่งหน่วยความจำที่เก็บรีจิสเตอร์ของฟังก์ชันพิเศษของ 89S8252 63
รูปที่ 4-2 SPI MASTER-SLAVE INTERCONNECTION 66
รูปที่ 4-3 รูปแบบการส่งข้อมูลของ SPI โดยที่ CPHA เป็น 0 66
รูปที่ 4-4 รูปแบบการส่งข้อมูลของ SPI โดยที่ CPHA เป็น 1 67
รูปที่ 4-5 INTERRUPT SOURCES 67
รูปที่ 5-1 แสดงโพรโตคอลการส่งแพ็กเก็ตคอมมานที่มีการส่งข้อมูลกลับมาแบบ PIO 72
รูปที่ 5-2 แสดงโพรโตคอลการส่งแพ็กเก็ตคอมมานที่ไม่มีการส่งข้อมูลกลับ 74
รูปที่ 6-1 โครงสร้าง ISO9660 76
รูปที่ 6-2 PRIMARY VOLUME DESCRIPTOR 77
รูปที่ 6-3 ระดับชั้นของไดเรกทอรี 80
รูปที่ 6-4 ไดเรกทอรีแม่ 81

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 7-1 บล็อกไดอะแกรมของโปรแกรมส่วนควบคุมไดร์ฟซีดีรอม 84
รูปที่ 7-2 บล็อกไดอะแกรมของโปรแกรมส่วนประมวลผลกลาง 85
รูปที่ ง-1 วงจรส่วนควบคุมซีดีรอม 102
รูปที่ ง-2 วงจรส่วนประมวลผลกลาง 103
รูปที่ ง-3 วงจรส่วนถอดรหัสสัญญาณเสียง 104
รูปที่ ง-4 แสดง PCB ด้านบนของส่วนประมวลผลกลาง 105
รูปที่ ง-5 แสดง PCB ด้านล่างของส่วนประมวลผลกลาง 106
รูปที่ ง-6 แสดง การวางอุปกรณ์ของส่วนประมวลผลกลาง 107
รูปที่ ง-7 แสดง PCB ด้านบนของส่วนถอดรหัสสัญญาณเสียง 108
รูปที่ ง-8 แสดง PCB ด้านบนของส่วนถอดรหัสสัญญาณเสียง 109
รูปที่ ง-9 แสดงการวางอุปกรณ์ของส่วนถอดรหัสสัญญาณเสียง 110
รูปที่ ง-10 แสดงภาพของส่วนประมวลผลกลางที่ประกอบเรียบร้อยแล้ว 111
รูปที่ ง-11 แสดงภาพของส่วนถอดรหัสสัญญาณเสียงที่ประกอบเรียบร้อยแล้ว 111
รูปที่ ง-12 ภาพแสดงส่วนประกอบภายในของเครื่องเล่น MP3 112

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

1.1 ความสำคัญและที่มา

ในปัจจุบันรูปแบบไฟล์เอ็มเปก 1 เลเยอร์ 3 (MP3) เป็นที่แพร่หลายอย่างมากเนื่องจากเป็นไฟล์ที่มีขนาดเล็กแต่ยังคงคุณภาพที่ดีไว้ ซึ่งไฟล์เอ็มเปก 1 เลเยอร์ 3 นี้เราสามารถเห็นได้ตามเว็บไซต์ต่างๆ มากมายและยังมีการนำมาเก็บไว้บนแผ่นซีดีอีกด้วย

ในการเล่นไฟล์เอ็มเปก 1 เลเยอร์ 3 นั้นจะต้องใช้โปรแกรมต่างๆ ซึ่งมีอยู่มากมาย เช่น วินแอมป์ (winamp) , วินโดส์มีเดียเพลเยอร์ (windows media player) , โซนิค (sonic) , ครีเอทีฟเพลเซ็น-เตอร์ (creative playcentre) , เอ็มพี 3 เพลเยอร์ (MP3 player) , มิวสิคแมทช์จูคบ็อกซ์ (music math jukebox) ซึ่งโปรแกรมต่างๆ เหล่านี้ก็จะมีความสามารถที่แตกต่างกันออกไป แต่อย่างไรก็ตามโปรแกรมเหล่านี้ก็จำเป็นจะต้องใช้เครื่องคอมพิวเตอร์ในการรันทั้งสิ้น ทำให้ความนิยมนี้หยุดอยู่ในวงแคบ คือ แค่เพียงพวกที่เล่นคอมพิวเตอร์เท่านั้น

แม้คอมพิวเตอร์ในปัจจุบันจะมีความแพร่หลายมากและมีราคาถูกลงกว่าเมื่อก่อนมากก็ตาม แต่ผู้ที่ไม่สามารถจัดหาคอมพิวเตอร์มาครอบครองได้นั้นก็มีอยู่ไม่น้อยเช่นกัน

ทางผู้จัดทำจึงมีความคิดที่จะทำให้ไฟล์เอ็มเปก 1 เลเยอร์ 3 นี้แพร่หลายออกไปอีกไม่จำกัดแต่เพียงเฉพาะพวกผู้ใช้คอมพิวเตอร์เท่านั้น โดยมีความคิดที่จะทำให้นำแผ่นซีดีไฟล์เอ็มเปก 1 เลเยอร์ 3 มาเล่นบนเครื่องเล่นที่ไม่ใช่คอมพิวเตอร์

1.2 วัตถุประสงค์ของงานวิจัย

สร้างเครื่องเล่นไฟล์เพลงเอ็มเปก 1 เลเยอร์ 3 จากแผ่นซีดีรอม ซึ่งมีคุณสมบัติดังนี้

- มีปุ่มเล่น (play) , หยุด (stop) , และเล่นเพลงถัดไป (next)
- มีหน้าจอ LCD ไว้แสดงสถานะต่างๆ
- สามารถเล่นเพลงได้ชัดเจนและต่อเนื่อง

1.3 ขอบเขตของงานวิจัย

งานวิจัยนี้จะสร้างเครื่องเล่นเพลงจากไฟล์เอ็มเปก 1 เลเยอร์ 3 เท่านั้น และจะไม่สนใจไฟล์เสียงชนิดอื่น ๆ โดยมีแหล่งข้อมูลมาจากซีดีรอม

1.4 วิธีการดำเนินงาน

เริ่มจากการค้นหาข้อมูล สามารถหาได้จากหลาย ๆ แหล่ง เช่น อินเตอร์เนท สำนักงานมาตรฐานอุตสาหะกรรม ซึ่งข้อมูลที่จะต้องค้นหาและศึกษาก็มีดังนี้

- ศึกษาข้อมูลชิพ MAS3507D ซึ่งใช้ในการถอดรหัสไฟล์เอ็มเปก 1 เลเยอร์ 3
- ศึกษาการทำงานของ DAC 3550A ว่าสามารถทำงานร่วมกับชิพ MAS3507D

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- ศึกษามาตรฐาน ATAPI ซึ่งเป็นมาตรฐานการเชื่อมต่อกับซีดีรอม
- ศึกษามาตรฐาน ISO9660 ซึ่งเป็นมาตรฐานเกี่ยวกับโครงสร้างไฟล์ที่เก็บไว้ในแผ่นซีดีรอม
- ศึกษามาตรฐาน ISO/IEC 11172-3 เป็นมาตรฐานของการเข้ารหัส และถอดรหัสไฟล์เอ็มเปก

หลังจากได้ศึกษาข้อมูลต่าง ๆ แล้วก็จะเป็นการออกแบบ และทดลองส่วนของฮาร์ดแวร์ ซึ่งใช้ไมโครคอนโทรลเลอร์ตระกูล MCS-51 เป็นตัวควบคุมหลัก และใช้ชิพ MAS3507D ควบคู่กับ DAC3550A เป็นตัวถอดรหัสเสียงไฟล์เอ็มเปก 1 เลเยอร์ 3

จากนั้นจะเป็นขั้นตอนการออกแบบโปรแกรมเพื่อควบคุม และอ่านข้อมูลของไฟล์เอ็มเปก 1 เลเยอร์ 3 จากซีดีรอมตามมาตรฐานที่ได้ศึกษามา

สุดท้ายจะเป็นการทดสอบความสามารถ และสรุปผลของงานวิจัยชิ้นนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2

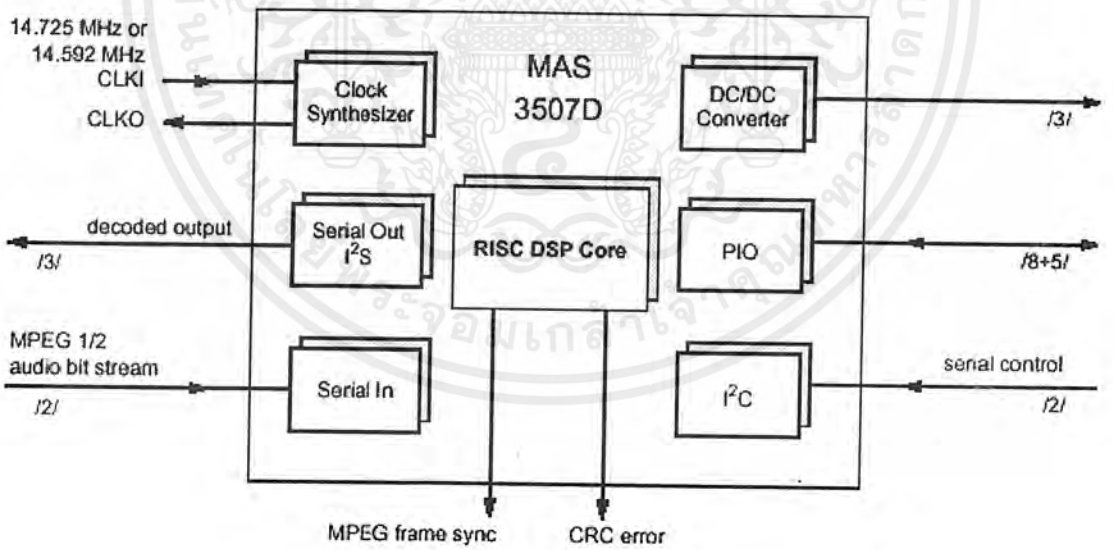
MAS3507D

2.1 ความรู้เบื้องต้น

ชิพ MAS3507D เป็นไอซีที่ออกแบบมาเพื่อใช้ถอดรหัสข้อมูลที่เก็บอยู่ในรูปของไฟล์เอ็มเปก โดยเฉพาะ ซึ่งจะรับข้อมูลเข้าแบบอนุกรม และให้สัญญาณเสียงแบบดิจิตอลออกมา

2.1.1 คุณสมบัติของ MAS3507D

- เป็นชิพเดี่ยวที่ใช้ในการถอดรหัสไฟล์เอ็มเปก 1 และ 2 เลเยอร์ 2 และ 3
- เพิ่มส่วน เอ็มเปก 2 เลเยอร์ 3 สำหรับอัตราข้อมูลต่ำ (เอ็มเปก 2.5)
- ชุดข้อมูลเอ็มเปกขาเข้าเป็นแบบอนุกรมและเป็นแบบอะซิงโครนัส
- มี 2 โหมด ได้แก่ โหมดบรอดแคส (broadcast) และโหมดมัลติมีเดีย (multimedia)
- มีระบบอัตโนมัติในการล็อกอัตราข้อมูลในโหมดบรอดแคส
- ขอข้อมูลโดยดีมานซิกแนล (demand signal) ในโหมดมัลติมีเดีย
- ข้อมูลเสียงขาออกถูกส่งโดยผ่านทาง I^2S บัสในรูปแบบต่างๆ
- ดูสถานะได้ที่ขา PIO หรือ I^2C
- ใช้หม้อแปลงไฟตั้งแต่ 1.6 โวลท์ถึง 3.6 โวลท์เนื่องจากส่วนของ DC/DC Converter



รูปที่ 2-1 บล็อกไดอะแกรมของ MAS3507D

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

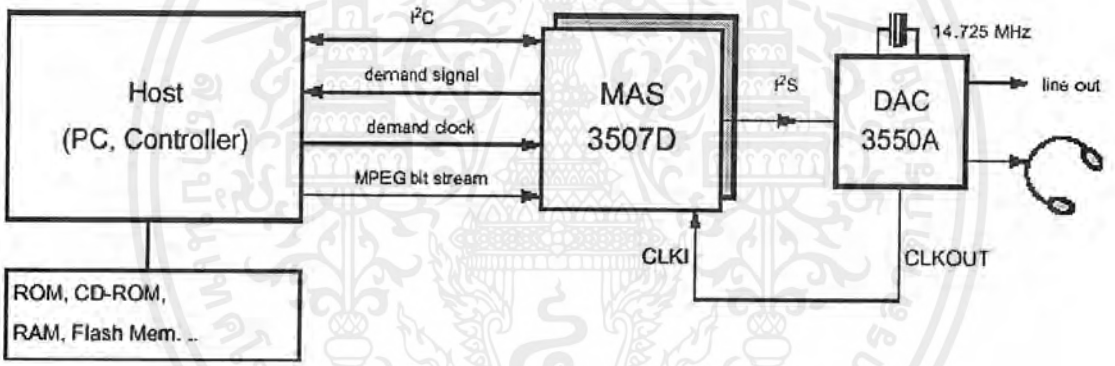
2.1.2 วิธีการนำไปใช้

MAS3507D นี้สามารถนำไปประยุกต์ใช้ได้ 2 โหมด คือ ในโหมดมัลติมีเดียและโหมดบรอดแคส ซึ่งสามารถใช้กับตัวแปลงสัญญาณดิจิตอลเป็นอนาลอกเบอร์ DAC3550A ได้ทั้ง 2 โหมด ในงานวิจัยนี้จะเลือกใช้โหมดมัลติมีเดีย

2.1.2.1 โหมดมัลติมีเดีย

ในโหมดนี้จะมีขาดาต้าดีมาน (Data demand) ไว้ใช้โดยตรง ใช้เพื่อขอชุดข้อมูลจากระบบเก็บข้อมูล ในขณะที่ขานี้มีสถานะเป็น 1 หมายถึงตัวชิพต้องการข้อมูลเพื่อนำมาเก็บไว้ในบัฟเฟอร์ไว้รอการถอดรหัส ความเร็วในการส่งชุดข้อมูลควรจะสูงกว่าอัตราเร็วการถอดรหัสข้อมูลแบบเอ็มเปก (ความเร็วของข้อมูลที่สัญญาณนาฬิกา 1 MHz สามารถทำงานได้ในทุกอัตราชุดข้อมูลแบบเอ็มเปก) สัญญาณขอข้อมูลจะเป็นสถานะ 1 จนกระทั่งข้อมูลเต็มบัฟเฟอร์ของ MAS3507D

แหล่งทรัพยากรที่เก็บชุดข้อมูลไว้นี้อาจเป็นหน่วยความจำแบบรอม , แบบแฟลช หรืออาจเป็นพวกไดร์ฟซีดีรอม , การ์ด ISDN, ฮาร์ดดิสก์ ฯลฯ

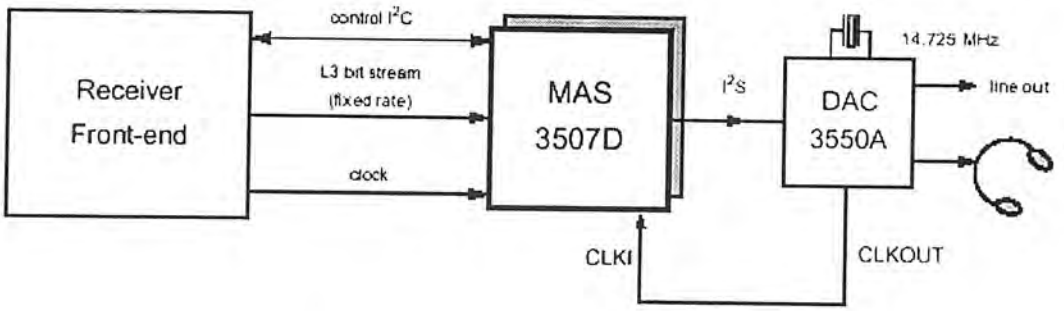


รูปที่ 2-2 บล็อกไดอะแกรมของ MAS3507D ในการถอดรหัสชุดข้อมูลที่เก็บไว้ในโหมดมัลติมีเดีย

2.1.2.2 โหมดบรอดแคส

ในสภาพแวดล้อมที่ชุดข้อมูลถูกส่งจากเครื่องส่งอิสระเครื่องหนึ่งไปยังเครื่องรับเครื่องอื่นๆ ซึ่งอาจมีเครื่องเดียวหรือหลายเครื่องก็ได้ MAS3507D จะไม่สามารถควบคุมสัญญาณนาฬิกาของชุดข้อมูลได้ ในกรณีนี้มันจะซิงโครไนซ์ (synchronize) ตัวเองเพื่อรับชุดข้อมูลที่เข้ามาใหม่โดย Digital PPL และสร้างสัญญาณนาฬิกาของดิจิตอลออดิโอแซมเพิล (digital audio sample) สำหรับเอาท์พุตที่ต้องการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

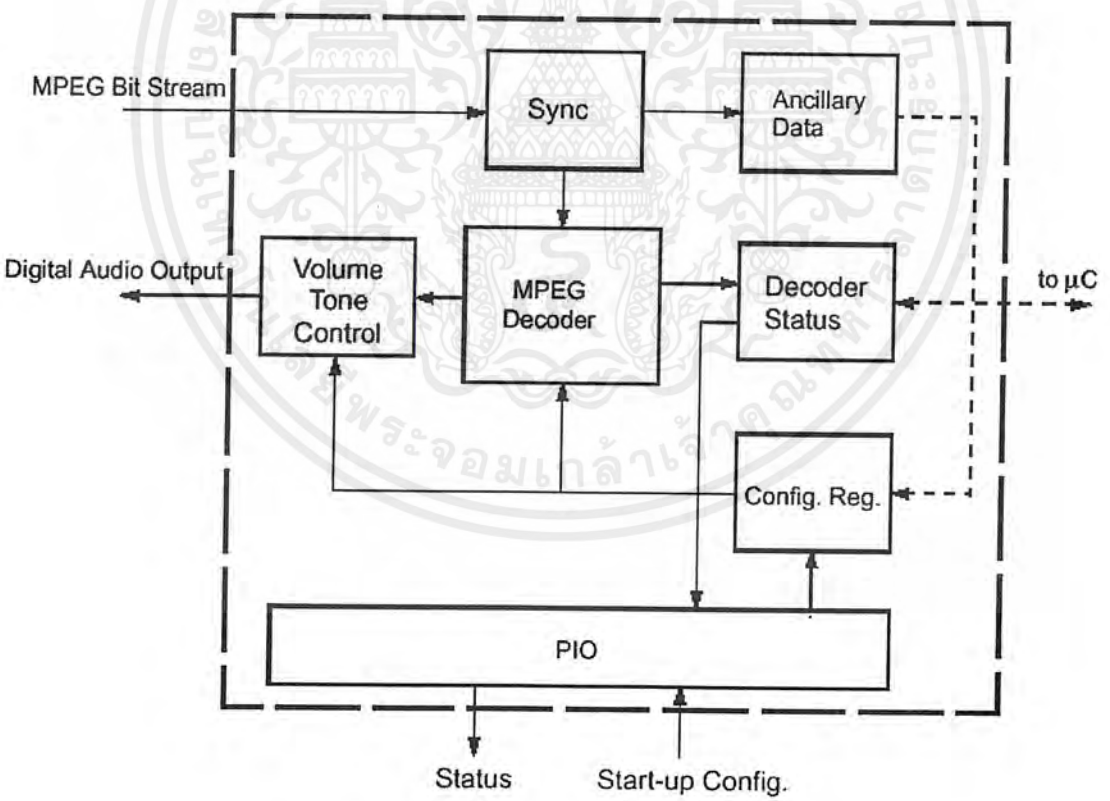


รูปที่ 2-3 บล็อกไดอะแกรมของ MAS3507D ในสภาพการบรอดแคส

2.2 ฟังก์ชันต่างๆ ของ MAS3507D

2.2.1 แกน DSP

ตัวฮาร์ดแวร์ของ MAS3507D ประกอบด้วยส่วนประมวลผลสัญญาณดิจิตอล (Digital Signal Processor : DSP) ประสิทธิภาพสูงและมีการติดต่อที่เหมาะสมดังรูปที่ 2-4 มีการประมวลผลภายในด้วยหน่วยความจำเวิร์ด 20 บิต ซึ่งสามารถขยายได้เป็น 32 บิตในการประมวลผล ชุดคำสั่งของ DSP นี้เหมาะสมอย่างมากสำหรับการบีบและขยายข้อมูลเสียง



รูปที่ 2-4 บล็อกไดอะแกรมของตัวถอดรหัสไฟล์เอ็มเปก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2.2 Firmware (Internal Program ROM)

ข้อมูลของไฟล์เอ็มเปก 1/2/2.5 เลเยอร์ 2/3 จะใช้เป็นอินพุต โดยข้อมูลนั้นจะประกอบด้วยสัญญาณนาฬิกา SIC และข้อมูล SID

สำหรับอัตราเร็วข้อมูลและอัตราตัวอย่าง (Sample rate) ที่เหมาะสมดูได้จากตารางที่ 2-15 สัญญาณเฟรมซิงโครไนซ์เซชัน (Frame Synchronization) และสัญญาณ CRC-error จะแสดงที่ขาเอาท์พุตของ MAS3507D

2.2.3 การจัดการสัญญาณนาฬิกา

MAS3507D จะใช้สัญญาณนาฬิกาที่ความถี่ 14.592 MHz หรือไม่ก็ที่ความถี่ 14.725 MHz แต่อย่างไรก็ตามยังความถี่อื่นที่สามารถใช้กับ MAS3507D ได้ โดยรายละเอียดดูได้จากหัวข้อที่ 2.3.5.2.1

สัญญาณนาฬิกาที่ได้รับจะใช้อ้างอิงสำหรับระบบสร้างสัญญาณภายใน (Embedded clock synthesizer) เพื่อสร้างสัญญาณนาฬิกาภายในขึ้นแล้วส่งสัญญาณนาฬิกาออกมาให้สัมพันธ์กับความถี่เสียงตัวอย่างของชุดข้อมูลที่ผ่านการบีบอัดจะถูกจัดให้เป็น 'master clock' ไปยังตัวแปลงสัญญาณดิจิตอลเป็นอนาลอก (D/A converter หรือ DAC) ซึ่ง DAC บางตัวต้องการ master clock ที่มีความสัมพันธ์แน่นอนกับความถี่ตัวอย่าง (sampling frequency)

Scaler จะเป็นตัวที่สามารถเปิด-ปิดได้ระหว่างการทำงานซึ่งสามารถเลือกได้โดยใช้ขา PI8 ส่วน clock-out จะถูกหารอัตโนมัติด้วย 1 , 2 , 4 ดังในตาราง 2-1

F_s/kHz	CLKO/MHz Scaler on	CLKO/MHz Scaler off
48.32	24.576	24.576
44.1	22.5792	22.5792
24.16	12.288	25.576
22.05	11.2896	22.5792
12.8	6.144	24.576
11.025	5.6448	22.5792

ตารางที่ 2-1 แสดงความถี่ของ CLKO

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2.4 การเชื่อมต่อ (Interface)

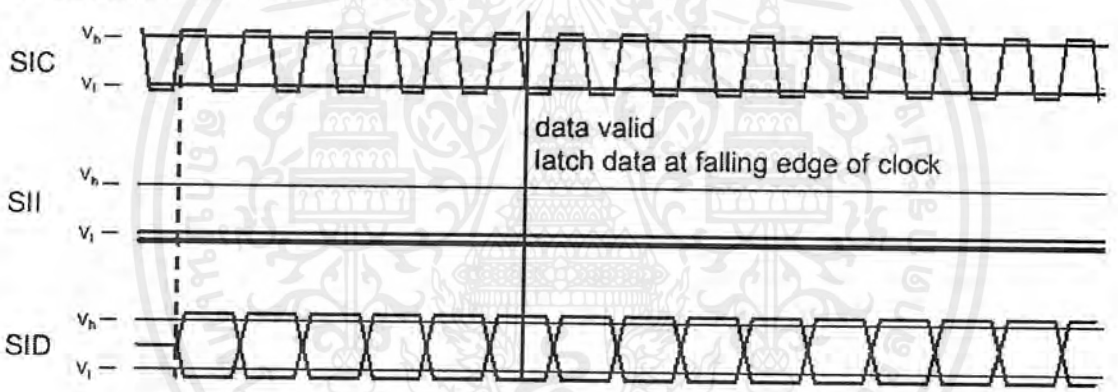
MAS3507D มีพอร์ตสำหรับเชื่อมต่อกับอุปกรณ์ภายนอกหลายทางดังนี้

- I^2C สำหรับการควบคุมระบบหลังจากเริ่มทำงานแล้ว
- พอร์ตอนุกรมสำหรับรับข้อมูลไฟล์เอ็มเปก
- พอร์ต I^2S เป็นสัญญาณเสียงแบบดิจิตอลขาออก
- การต่ออินพุต/เอาท์พุตแบบขนาน (PIO) เพื่อใช้ในการตรวจสอบและเลือกโหมดการทำงาน

2.2.4.1 รูปแบบการรับชุดข้อมูลเอ็มเปก (MPEG Bit Steam Interface)

ขาที่ใช้สำหรับรับชุดข้อมูลเอ็มเปกจะประกอบด้วยขา 3 ขาคือ SIC, SII, และ SID ในการถอดรหัสไฟล์เอ็มเปกนั้นขา SII จะต้องต่อกับ VSS โดยรูปแบบของข้อมูลเอ็มเปกที่ใช้ แสดงในรูป 2-5 ค่าของข้อมูลจะถูกเก็บในจังหวะสัญญาณขอบขาลงของขา SIC

ชุดข้อมูลเอ็มเปกนั้นถูกสร้างโดยการเข้ารหัสอย่างไร้รูปแบบ แต่ก็จะถูกกำหนดให้เป็น 8 บิต หรือ 16 บิต โดยตัวเก็บข้อมูล (PC, EEPROM) ข้อมูลแบบอนุกรมที่ส่งมาจากส่วนเก็บข้อมูลจะต้องเรียงจากบิตที่มีค่ามากไปยังน้อย (MSB First)



รูปที่ 2-5 แผนผังเวลาของ SDI (MPEG) อินพุต

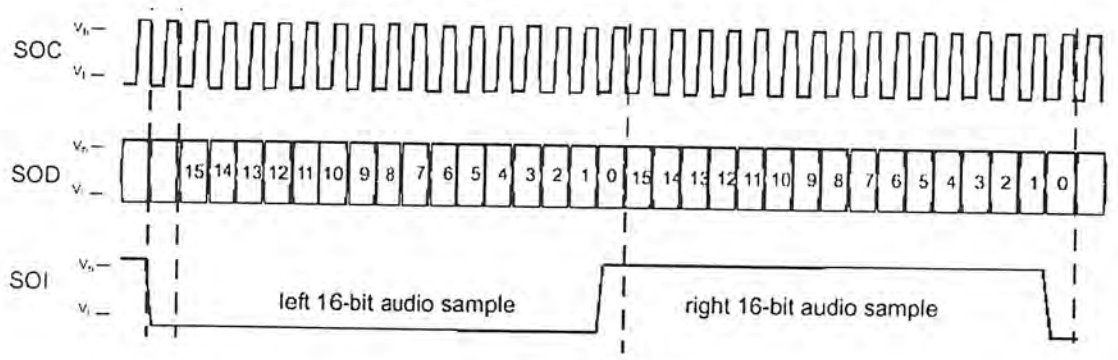
2.2.4.2 การต่อสัญญาณเสียงขาออก (Audio Output Interface)

ส่วนสัญญาณเสียงขาของ MAS3507D ใช้ขา SOC, SOD และ SOI เป็นมาตรฐานการติดต่อ I^2S ซึ่งมีมาตรฐานการติดต่อให้เลือก 2 อย่าง คือ แบบ 16 บิตมีดีเลย์ (delay) กับแบบ 32 บิตอินเวิตส์ (Inverted) สามารถกำหนดได้จากการตั้งค่าเริ่มต้น (start-up configuration) ทางพอร์ตขนาน (PIO) หรือใช้วิธีตั้งค่าผ่านทาง I^2C ก็ได้

2.2.4.2.1 โหมด 1:16 Bits/Sample (I^2S Compatible Data Format)

แผนผังเวลาของการติดต่อ SDO ในโหมด 16 bit/sample แสดงในรูปที่ 2-5

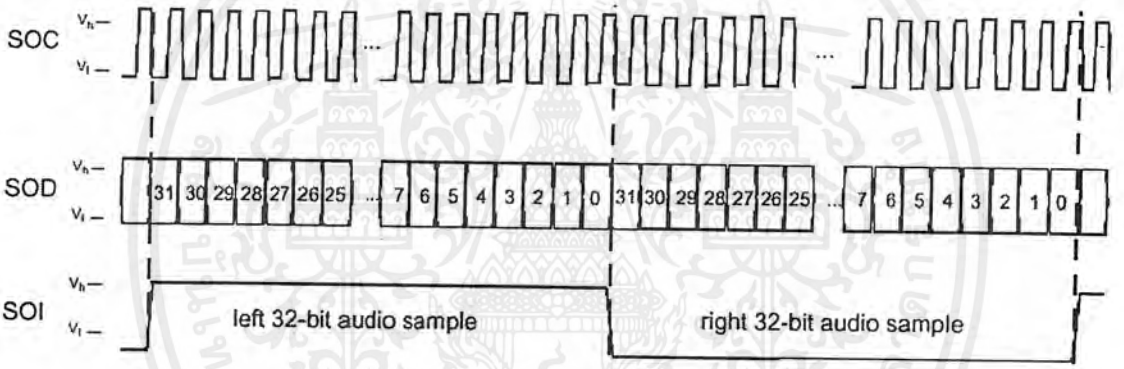
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2-6 แผนผังเวลาของการติดต่อ SDO ในโหมด 16 bit/sample

2.2.4.2.2 โหมด 2:32 Bit/Sample (Inverted SOI)

ถ้าซีเรียลเอาท์พุตมี 32 บิตต่อ 1 ออดิโอแซมเพิลแล้ว 20 บิตแรกจะเป็นค่าของข้อมูลออดิโอ ส่วน 12 บิตที่เหลือจะถูกเซ็ตเป็น 0 ดังรูปที่ 2-7



รูปที่ 2-7 แผนผังเวลาของการติดต่อ SDO ในโหมด 32 bit/sample

2.2.4.2.3 โหมดเอาท์พุตอื่นๆ

ในการติดต่อนั้นสามารถกำหนดได้โดยซอฟต์แวร์เพื่อทำงานในโหมดต่างๆ โดยมีโหมดต่างๆ ดังนี้

- โหมด 16 หรือ 32 bit/sample
- อินเวิตส์หรือไม่อินเวิตส์เวิร์ดสโตรป (word strobe) (SOI)
- ข้อมูลมีดีเลย์หรือไม่มีดีเลย์ที่เกี่ยวพันกับเวิร์ดสโตรป

สำหรับรายละเอียดดูได้ในหัวข้อ 2.3.5.2.2

2.2.4.3 การตั้งค่าตอนเริ่มต้นทำงาน

การตั้งค่าตอนเริ่มต้นทำงานนั้นสามารถทำได้โดยการตั้งค่าของพอร์ตขนานโดยใช้การพูล (Pull) ผ่านตัวต้านทานความต้านทานสูง (เช่น 10 kΩ) ไปยัง VSS หรือ VDD

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เพื่อความเหมาะสมควรตั้งค่าชิพ MAS3507D โดยใช้ขา PIO แต่เราสามารถตั้งค่าตัวชิพใหม่หลังจากเริ่มทำงานแล้วได้ โดยการส่งคำสั่งของ I^2C 2 คำสั่งต่อไปนี้ไปยัง MAS3507D

- ทำการเขียนสตาร์ทอัพคอนฟิกรีจีสเตอร์ (register)
- เอ็กซีคิว (execute) คำสั่ง 'run $0fcd'

2.2.4.4 การติดต่ออินพุตเอาท์พุตแบบขนาน (Parallel Input Output Interface)

การติดต่อแบบขนานของ MAS3507D ประกอบด้วย PI0...PI4, PI8, PI12...PI19 และส่วนควบคุมอีกมากมาย ในช่วงเริ่มต้น PIO จะทำการอ่านพอร์ต และตั้งค่าเริ่มต้นเพื่อกำหนดสถานะบางอย่างให้แก่ตัวชิพ MAS3507D ซึ่งจะมีรายละเอียดดังตารางที่ 2-2

PIO Pin	"0"	"1"
PI8	หาร CLKO ด้วย 1, 2 หรือ 4 (ตามเอ็มเปก 1, 2 หรือ 2.5)	กำหนดใช้ CLKO ที่ 24.576 หรือ 22.5792 MHz
PI4	สัญญาณนาฬิกาเป็น 14.725 MHz	สัญญาณนาฬิกาเป็น 14.592 MHz
PI3	ใช้งานเลเยอร์ 3	ไม่ใช้งานเลเยอร์ 3
PI2	ใช้งานเลเยอร์ 2	ไม่ใช้งานเลเยอร์ 2
PI1	SDO เอาท์พุต: 32 บิต	SDO เอาท์พุต: 16 บิต
PI0	อินพุต:โหมดมัลติมีเดีย (ปิด PLL)	อินพุต:โหมดบรอดแคส (เปิด PLL)

ตารางที่ 2-2 แสดงการตั้งค่าเริ่มต้น

หลังจากอ่านพอร์ตตั้งค่าเริ่มต้นแล้ว PIO ก็จะเปลี่ยนไปทำงานที่ 'µP mode' โดยในโหมดนี้จะทำการหาค่าของขาควบคุม PIO (PR, $\overline{PCS}$) ในการถอดรหัสเอ็มเปกเฟิร์มแวร์ทั่วไปค่าของ PR จะต้องเป็น 1 และค่าของ $\overline{PCS}$ จะต้องเป็น 0 หลังจากนั้นพอร์ต PIO จะใช้เป็นเอาท์พุตและแสดงสถานะบางอย่างในการถอดรหัสไฟล์เอ็มเปก ซึ่งสามารถอ่านค่าของพอร์ต PIO ได้จากตัวควบคุมภายนอกหรือใช้โดยตรงได้จากดีดิเคทฮาร์ดแวร์บล็อก (dedicated hardware block) firmware ในการถอดรหัสไฟล์เอ็มเปกจำเป็นต้องใช้ฟังก์ชันที่กำหนดเพื่อใช้ขาที่ถูกต้องดังตาราง 2-3

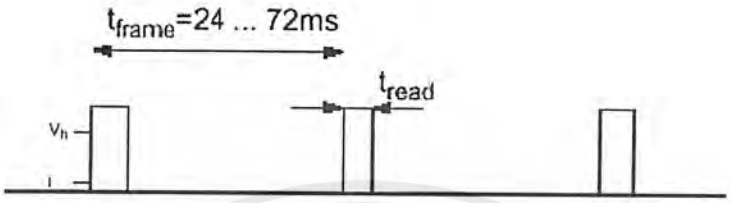
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PIO Pin	Name	Comment
PI19	ขาดีมาน	
	%0	ไม่มีข้อมูลอินพุต
	%1	มีการขอข้อมูลอินพุต
PI18, PI17	เอ็มเปกอินเด็กซ์ (MPEG Index)	
	%00	เอ็มเปก 2.5
	%01	ถูกจอง
	%10	เอ็มเปก 2
	%11	เอ็มเปก 1
PI13, PI12	เอ็มเปกเลเยอร์ ID	
	%00	ถูกจอง
	%01	เลเยอร์ 3
	%10	เลเยอร์ 2
	%11	เลเยอร์ 1[1]
PI8	เอ็มเปก CRC-ERROR	
	%0	ไม่มีความผิดพลาด
	%1	CRC-ERROR, การถอดรหัสไฟล์เอ็มเปกไม่สำเร็จ
PI4	MPEG-FRAME-SYN	อยู่ในย่อหน้าต่อไป
PI3, PI2	ความถี่แซมพลิงก์	หน่วยเป็น MHz[2]
	%00	44.1/22.1/11.0
	%01	48/24/12
	%10	32/16/8
	%11	ถูกจอง
PI1, PI0	ดีมฟาซิส (Deemphasis)	ไม่มี
	%00	50/15 μs
	%01	ถูกจอง
	%10	CCITT J.17
	%11	
1) ในเลเยอร์ 1 ชุดข้อมูลจะยังไม่ถูกถอดรหัส 2) ความถี่แซมพลิงจะถูกกำหนดโดยเอ็มเปกอินเด็กซ์		

ตารางที่ 2-3 แสดงสัญญาณเอาท์พุตของ PIO ระหว่างการถอดรหัส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณ MPEG-FRAME-SYNC จะถูกเปลี่ยนสถานะให้เป็น 1 หลังจากที่ทำการถอดรหัสภายในเอ็มเปกเฮดเดอร์ (header) เสร็จสิ้นแล้ว 1 เฟรม ที่ขอบขาขึ้นของสัญญาณสามารถใช้เป็นอินเตอร์รัพอินพุตของตัวควบคุมได้ ทันทีที่ MAS3507D ถูกรีคอกไนซ์ (recognize) ก็จะตอบสนองคำสั่งอ่านข้อมูลทันที การรีเซ็ต MPEG-FRAME-SYNC จะช่วยลดความผิดพลาดในสถานะการทำงานของ MPEG-FRAME-SYNC ได้



รูปที่ 2-8 แผนผังเวลาของ MPEG-FRAME-SYNC

เวลา t_{read} จะขึ้นอยู่กับเวลาในการตอบสนองของตัวควบคุมซึ่งเวลาที่ใช้นี้จะต้องไม่เกินครึ่งหนึ่งของความยาว MPEG-frame (t_{frame}) โดยความยาวของ MPEG-frame ให้มาในตาราง 2-4

f_s (MHz)	ความยาว Frame Layer 2	ความยาว Frame Layer 3
48	24 ms	24 ms
44.1	26.12 ms	26.12 ms
32	36 ms	36 ms
24	48 ms	24 ms
22.05	52.24 ms	26.12 ms
16	72 ms	32 ms
12	หาค่าไม่ได้	48 ms
11.025	หาค่าไม่ได้	52.24 ms
8	หาค่าไม่ได้	72 ms

ตารางที่ 2-4 แสดง ความยาว Frame ในเอ็มเปกเลเยอร์ 2/3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.3 การติดต่อส่วนควบคุม (Control Interface)

2.3.1 การติดต่อกับบัสของ I^2C

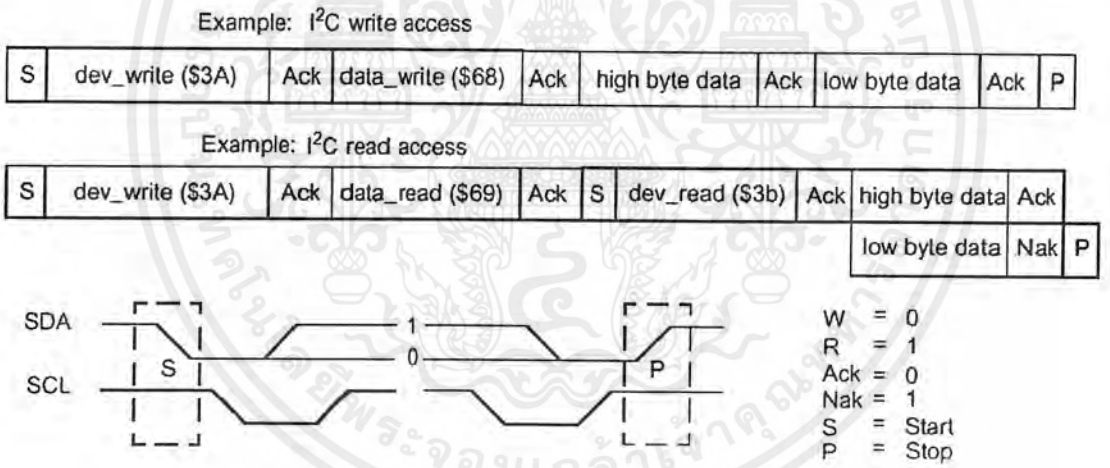
2.3.1.1 เรื่องทั่วไป

การติดต่อสื่อสารระหว่าง MAS3507D กับตัวควบคุมภายนอกนั้นจะใช้ I^2C บัส การติดต่อกับ I^2C นั้นมีข้อมูลที่เล็กที่สุดที่ใช้ในการส่งขนาด 16 บิตและใช้แอดเดรสย่อย (Sub address) เพียงระดับเดียว และการซิงโครไนซ์สัญญาณนาฬิกาของ I^2C จะถูกใช้เพื่อชะลอการติดต่อ

A7	A6	A5	A4	A3	A2	A1	W/R
0	0	1	1	1	0	1	0/1

ตารางที่ 2-5 แสดงดีไวซ์แอดเดรส (Device address) ของ I^2C

รีจิสเตอร์ข้อมูล (Data Register) และรีจีสเตอร์ควบคุม (Control register) ของ MAS3507D จะมีขนาด 16 บิต รูปที่ 2-9 แสดงโพรโตคอล (Protocol) ของ I^2C บัส เพื่อใช้ในกระบวนการติดต่อโดยการอ่านและเขียน I^2C โพรโตคอลจะทำงานได้เมื่อขา DCEN และ WSEN ถูกเปลี่ยนสถานะให้เป็น 1



รูปที่ 2-9 โพรโตคอลบัสของ I^2C ของ MAS3507D

2.3.1.2 แอดเดรสย่อย

I^2C จะควบคุมการติดต่อของ MAS3507D ซึ่งถูกกำหนดมาให้เป็นการติดต่อแบบสเลฟ (slave) ตัวควบคุมระบบจะเป็นตัวส่งคำสั่งควบคุมหรืออ่านสถานะการทำงานทาง I^2C มา การติดต่อ I^2C จะจองแอดเดรสย่อยไว้ 3 ตำแหน่งดังตาราง 2-6

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สับแอดเดรส	อธิบาย
$68 / เขียน	ตัวควบคุมเขียนข้อมูลลงรีจิสเตอร์ข้อมูลของ MAS3507D
$69 / อ่าน	ตัวควบคุมอ่านข้อมูลจากรีจิสเตอร์ข้อมูลของ MAS3507D
$6A / เขียน	ตัวควบคุมเขียนข้อมูลลงรีจิสเตอร์ควบคุมของ MAS3507D

ตารางที่ 2-6 แสดงสับแอดเดรส

2.3.1.3 รีจิสเตอร์ I^2C

2.3.1.3.1 รีจิสเตอร์ควบคุม I^2C

I^2C รีจิสเตอร์ควบคุมนั้นจะเป็นรีจิสเตอร์ที่สำหรับเขียนเพียงอย่างเดียวและมีจุดประสงค์หลักคือใช้เป็น ซอฟต์แวร์รีเซ็ตของชิพ MAS3507D

15	14	13	12	11	10	09	08	07	06	05	04	03	02	01	00
X	X	X	X	X	X	X	R	0	0	0	0	T3	T2	T1	T0

X = ไม่สนใจ, R = รีเซ็ต, T3…T0 = การเลือกหน้าที่การทำงาน

ตารางที่ 2-7 แสดงหน้าที่แต่ละบิตของรีจิสเตอร์ควบคุม

เมื่อซอฟต์แวร์รีเซ็ตจะทำงานโดยการเขียนข้อมูลขนาด 16 บิตไปยัง MAS3507D ด้วยการเปลี่ยนสถานะบิตที่ 8 สำหรับ 4 บิตที่มีค่าความสำคัญน้อยสุด (00...03) จะถูกจองไว้สำหรับเลือกหน้าที่การทำงานโดยหน้าที่การทำงานนี้จะเป็นหน้าที่เกี่ยวกับการดาวน์โหลดซอฟต์แวร์ต่างๆ ตามมาตรฐานการถอดรหัสไฟล์เอ็มเปกบิตเหล่านี้จะต้องเปลี่ยนสถานะให้เป็น 0

2.3.1.3.2 รีจิสเตอร์ข้อมูล I^2C

สำหรับรีจิสเตอร์ข้อมูลของ I^2C นั้นจะสามารถอ่านและเขียนได้และมีขนาด 16 บิต การส่งข้อมูลนั้นจะส่งบิตที่สำคัญที่สุดก่อน (m)

15	14	13	12	11	10	09	08	07	06	05	04	03	02	01	00
m															

ตารางที่ 2-8 แสดงหน้าที่แต่ละบิตของรีจิสเตอร์ข้อมูล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.3.2 โครงสร้างของคำสั่ง

การควบคุม I^2C ของ MAS3507D จะใช้รีจิสเตอร์ข้อมูลของ I^2C โดยจะใช้คำสั่งพิเศษ ซึ่งคำสั่งที่ MAS3507D ได้รับมานั้นจะถูกทำระหว่างการทำงานตามปกติ โดยจะไม่มีการสูญเสียหรือการขัดจังหวะการทำงาน (Interruption) ของข้อมูลที่เข้ามาหรือชุดข้อมูลเสียงที่ออกไปแต่อย่างใด คำสั่งของ I^2C เหล่านี้จะคอยควบคุมเพื่อให้เข้าถึงสถานะภายใน, ข้อมูลใน RAM, รีจิสเตอร์ควบคุมฮาร์ดแวร์ภายใน, และการดาวน์โหลด ซอฟต์แวร์ได้

การติดต่อส่วนควบคุมจะใช้การส่งข้อมูลในอัตราเร็วบิตต่ำ ข้อมูลจะถูกแสดงโดยการส่งคำสั่ง 'Read memory' ไปยัง MAS3507D แล้วทำการอ่านข้อมูลในส่วนหน่วยความจำ (Memory block) ชั่วคราว

การซิงโครไนซ์ระหว่างตัวควบคุมกับ MAS3507D จะถูกกระทำโดยผ่านทางสัญญาณ MPEG-FRAME-SYNC หรือโดยการมอนิเตอร์รีจิสเตอร์ MPEG Frame Count

MAS3507D เฟิร์มแวร์จะคอยตรวจสอบการติดต่อกับ I^2C อยู่เป็นช่วงๆ เพื่อเช็คคำสั่งที่ยังค้างอยู่และคำสั่งใหม่

2.3.2.1 The Internal Fixed Point Number Format

ค่าของรีจิสเตอร์ภายในหรือหน่วยความจำสามารถติดต่อได้อย่างง่ายดายโดยติดต่อผ่านทาง I^2C ซึ่งมีตัวแปรที่ถูกใช้อยู่ 2 ตัวคือ v = ฟิกซ์พอยท์โนเตชัน (fixed point notation) , และ r = ทูคอมพลีเมนท์นัมเบอร์โนเตชัน (2's complement number notation) ซึ่งความสัมพันธ์ระหว่าง v กับ r เป็นดังสมการ

$r = v*524288.0+0.5; (-1.0 < v < 1.0)$ (EQ1)

$v = r/524288.0; (-524288 < r < 524287)$ (EQ2)

2.3.2.2 Convention for the Command Description

ลักษณะของคำสั่งควบคุมต่างๆ ที่ใช้ตามข้อกำหนด:

- ค่าของข้อมูล
- เลขฐาน 16
- ตัวย่อที่ใช้

  a = แอดเดรส

  d = ค่าของข้อมูล (data value)

  n = ค่าในการนับ (count value)

  o = ค่าออฟเซ็ต (offset value)

  r = เบอร์รีจิสเตอร์ (register number)

  x = ไม่สนใจ

- ตัวแปรที่ใช้

  dev_write $3a

  dev_read $3b

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

data_write	$68
data_read	$69
control	$6a

โค้ด (code)	คำสั่ง	อธิบาย
$0 $1	รัน	เริ่มการเอ็กซ์ซีคิวโปรแกรมภายใน
$3	อ่านสัญญาณควบคุมและข้อมูล	อ่านบล็อกข้อมูลที่รวมอยู่ในเวิร์ดขนาด 16 บิต
$9	เขียนลงรีจิสเตอร์	รีจิสเตอร์ภายในของ MAS3507D จะถูกเขียนโดยตรงโดยตัวควบคุม
$A $B	เขียนลงหน่วยความจำ	บล็อกของหน่วยความจำจะถูกเขียนโดยตัวควบคุม ซึ่งในลักษณะนี้อาจใช้กับการดาวน์โหลดโปรแกรม
$D	อ่านรีจิสเตอร์	ตัวควบคุมสามารถอ่านรีจิสเตอร์ภายในของ MAS3507D ได้
$E $F	อ่านหน่วยความจำ	ตัวควบคุสามารถอ่านบล็อกของหน่วยความจำ DSP ได้

ตารางที่ 2-9 แสดงคำสั่งพื้นฐานของตัวควบคุม

2.3.3 รายละเอียดคำสั่งของ MAS3507D

2.3.3.1 รัน

S	dev_write	A	data_write	A	a3,a2	A	a1,a0	A	P

คำสั่งรันจะเป็นการเริ่มโปรแกรมที่แอดเดรส a = (a3, a2, a1, a0) นิบเบิ้ล (nibble) a3 จะถูกกำหนดไว้ให้เป็น $0 หรือ $1 เพื่อใช้เลือกคำสั่ง โดยถ้าแอดเดรสเป็น a = $0 จะหยุดพักการถอดรหัสเอ็มเปกไว้ก่อนจะมีเพียงคำสั่ง I^2C ที่ยังทำงานอยู่ การหยุดพักการทำงานนี้จะใช้เมื่อมีการดาวน์โหลดซอฟต์แวร์สู่ RAM ภายใน MAS3507D

ถ้าแอดเดรส $1400 ≤ a < 1800, MAS3507D จะทำการเอ็กซีคิว (execute) โปรแกรมต่อด้วยดาวน์โหลดโค้ด (Download Code)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.3.3.2 Read Control Interface Data

1) คำสั่ง send

S	dev_write	A	data_write	A	S	$3, x2	A	x1, x0	A	P

2) รับข้อมูล

S	dev_write	A	data_write	A	S	dev_read				
					A	d3, d2	A	d1, d0		

ทำซ้ำตามข้อมูล n ตัว

A	d3, d2	A	d1, d0	Nak	P

x2...x0: คอมบายเคาท์ (combine count) , ค่าออฟเซ็ต

d3...d0: ค่าของข้อมูล 16 บิต

หน่วยความจำภายในแบบอเรย์ (Array) จะเก็บสถานะของ MAS3507D ไว้ (ดูตาราง 2-13) ซึ่งคำสั่ง 'read control interface data' นี้จะถูกใช้เพื่อให้เข้าถึงหน่วยความจำนี้ได้อย่างรวดเร็ว โดยตำแหน่งหน่วยความจำนี้จะมีขอบเขตที่ต่อเนื่องกัน ซึ่งสามารถอ่านค่าได้จากค่า 6 บิตออฟเซ็ต "0" และค่าตัวนับขนาด 6 บิต "n" ที่ส่งมา ซึ่งค่าทั้ง 2 จะถูกรวมกันเป็น 12 บิตเท่ากับพื้นที่ 3 นิบเบิ้ล คือ x2, x1, x0

2.3.3.3 รีจิสเตอร์เขียน (Write Register)

S	dev_write	A	data_write	A	$9, r1	A	R0, d0	A	
					d4, d3	A	D2, d1	A	P

เป็นรีจิสเตอร์ (r = r1, r0) ที่ถูกเขียนข้อมูลขนาด 20 บิต (d = d4, d3, d2, d1, d0) โดยตัวควบคุมภายในหน่วยความจำย่อยรีจิสเตอร์ต่างๆ จะใช้ในการอ้างอิงแอดเดรสและและติดต่อกับฮาร์ดแวร์ภายในซึ่งรายละเอียดจะอยู่ในหัวข้อต่อไป

2.3.3.4 การเขียนลงหน่วยความจำ D0 (Write D0 Memory)

S	dev_write	A	data_write	A	$A, $0	A	$0, $0
				A	n3, n2	A	n1, n0
				A	a3, a2	A	a1, a0
				A	d3, d2	A	d1, d0
				A	$0, $0	A	$0, d4

ทำซ้ำตามข้อมูล n ตัว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

A	d3, d2	A	d1, d0		
A	$0, $0	A	$0, d4	A	P

n3…n0: จำนวนเวิร์ด

a3…a0: แอดเดรสเริ่มต้นในหน่วยความจำ MASD

d4…d0: ค่าข้อมูล

MAS3507D จะมีพื้นที่หน่วยความจำขนาด 2048 เวิร์ดอยู่ 2 พื้นที่เรียกว่าหน่วยความจำ D0 กับ D1 ซึ่งทั้ง 2 พื้นที่นี้สามารถทำการเขียนและอ่านได้

2.3.3.5 การเขียนลงหน่วยความจำ D1 (Write D1 Memory)

S	dev_write	A	data_write	A	$B, $0	A	$0, $0
				A	n3, n2	A	n1, n0
				A	a3, a2	A	a1, a0
				A	d3, d2	A	d1, d0
				A	$0, $0	A	$0, d4

ทำซ้ำตามข้อมูล n ตัว

A	d3, d2	A	d1, d0		
A	$0, $0	A	$0, d4	A	P

n3…n0: จำนวนเวิร์ดที่ถูกส่ง

a3…a0: แอดเดรสเริ่มต้นในหน่วยความจำ MASD

d4…d0: ค่าข้อมูล

รายละเอียดเหมือนกับการเขียนลงหน่วยความจำ D0

2.3.3.6 รีจิสเตอร์อ่าน (Read Register)

1) คำสั่งส่ง

S	dev_write	A	data_write	A	$D , r1	A	r0, $0	A	P

2) รับค่าของรีจิสเตอร์

S	dev_write	A	data_read	A	S	dev_read					
	A	d3, d2	A	d1, d0	A	X , X	A	X , d4	Nak	P	

r1, r0: รีจิสเตอร์ r

d3…d0: ข้อมูลใน r

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
37088

X: ไม่สนใจ

ในการอ้างอิงแอดเดรสต่างๆ ของ MAS3507D จะใช้รีจิสเตอร์ทั้งหมด 256 ตัว ซึ่งบางตัว (r0, r1) ใช้ในการควบคุมอินพุตของฮาร์ดแวร์ก็ได้กล่าวไปแล้ว ส่วนตัวอื่นๆ จะใช้เกี่ยวกับโปรแกรมภายในซึ่งจะอยู่ในหัวข้อต่อไป

2.3.3.7 การอ่านหน่วยความจำ D0 (Read D0 Memory)

1) คำสั่งส่ง

S	dev_write	A	data_write	A	$E $0	A	$0, $0				
				A	n3, n2	A	n1, n0				
				A	a3, a2	A	a1, a0	A	P		

2) รับค่าจากหน่วยความจำ

S	dev_write	A	data_read	A	S	dev_read					
	A	d3, d2	A	d1, d0	A	$0, $0	A	$0, d4			
				ทำซ้ำตามข้อมูล n ตัว							
	A	d3, d2	A	d1, d0	A	$0, $0	A	$0, d4	A	P	

n3…n0: จำนวนเวิร์ด

a3…a0: แอดเดรสเริ่มต้นในหน่วยความจำ MASD

d4…d0: ค่าข้อมูล

คำสั่งนี้จะใช้ในการรับข้อมูลจากหน่วยความจำย่อยของ MAS3507D โดยมันจะยอมให้ตัวควบคุมสามารถเข้าถึงหน่วยความจำย่อยได้ทุกหน่วยในหน่วยความจำ D0

2.3.3.8 การอ่านหน่วยความจำ D1 (Read D1 Memory)

1) คำสั่งส่ง

S	dev_write	A	data_write	A	$F $0	A	$0, $0				
				A	n3, n2	A	n1, n0				
				A	a3, a2	A	a1, a0	A	P		

2) รับค่าจากหน่วยความจำ

S	dev_write	A	data_read	A	S	dev_read					
	A	d3, d2	A	d1, d0	A	$0, $0	A	$0, d4			
				ทำซ้ำตามข้อมูล n ตัว							

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

A	d3, d2	A	d1, d0	A	$0, $0	A	$0, d4	A	P

n3…n0: จำนวนเวิร์ด

a3…a0: แอดเดรสเริ่มต้นในหน่วยความจำของ MAS3507D

d4…d0: ค่าข้อมูล

รายละเอียดเหมือนกับการอ่านหน่วยความจำ D0

2.3.3.9 อ่านโดยกำหนดเอง (Default Read)

S	dev_write	A	data_read	A	S	device_read					
					A	d3, d2	A	d1, d0	Nak	P	

สำหรับคำสั่งนี้จะแสดงสิ่งที่อยู่ภายใน MPEG Frame Count (D0:$300) ของ MAS3507D ซึ่งข้อมูลจะออกมาในรูปของตัวแปร (d = d3, d2, d1, d0) ทันที คำสั่งนี้จะเป็นคำสั่งที่เร็วที่สุดในการเรียกดูข้อมูลของ MAS3507D

2.3.4 ตารางรีจิสเตอร์ (Register Table)

ในตาราง 2-10 แสดงรีจิสเตอร์ภายในที่ใช้ของ MAS3507D ซึ่งสามารถควบคุมได้โดยการใช้คำสั่งของ I^2C

แอดเดรส	R/W	ชื่อ	อธิบาย	กำหนด
$8e	w	DCCF	ตั้งค่าในโหมดของ DC/DC converter	$08000
$aa	r/w	Mute/Bypass Tone Control	เลือกเอาท์พุตว่าเป็นแบบ Bass/Treble/Volume matrix	$0
$c8	r	PIOData	ใช้ในการตรวจสอบสถานะที่เป็นอยู่ของขา PIO	
$e6	r/w	StartupConfig	ใช้ตั้งค่าควบคุมตอนเริ่มต้น ผ่านขา PIO หรือคำสั่ง I^2C	
$e7	r/w	Kprescale	ตอบสนองพรีสเกล (prescale) ของตัวกรองเสียง (tone filter)	$80000
$6b	r/w	Kbass	ตอบสนองการเพิ่ม/ลดช่วงความถี่ต่ำ	$0
$6f	r/w	KTreble	ตอบสนองการเพิ่ม/ลดช่วงความถี่สูง	$0

ตารางที่ 2-10 แสดงคำสั่งของรีจิสเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.3.4.1 DC/DC Converter

แอดเดรส	R/W	ชื่อ	ฟังก์ชัน	ค่าที่กำหนด
$8e	w	DCCF	ควบคุมการทำ DC/DC	$08000

รีจิสเตอร์ DCCF จะเป็นตัวควบคุมทั้ง voltage monitor และ DC/DC converter ซึ่งเอาท์พุตของ DC/DC converter กับ voltage monitor นั้นจะมีค่าใกล้เคียงกันดังตาราง 2-11

บิต	สัญญาณ	ฟังก์ชัน	
16...14	PUPLIMIT (3 บิต)	เอาท์พุตของ DC/DC converter	Voltage monitor
	0	2.8 V	2.59 V
	1	2.9 V	2.69 V
	2 (รีเซ็ต)	3.0 V	2.78 V
	3	3.1 V	2.85 V
	4	3.2 V	2.95 V
	5	3.3 V	3.03 V
	6	3.4 V	3.13 V
	7	3.5 V	3.20 V
13...10	DCFR (4 บิต)	ตั้งค่าความถี่สัญญาณนาฬิกา	
	0 (รีเซ็ต)	230 kHz	
	1	223 kHz	
	2	216 kHz	
	3	210 kHz	
	4	204 kHz	
	5	199 kHz	
	6	194 kHz	
	7	188 kHz	
	8	184 kHz	
	9	179 kHz	
	10	175 kHz	
	11	171 kHz	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บิต	สัญญาณ	ฟังก์ชัน
	12	167 kHz
	13	163 kHz
	14	160 kHz
	15	156 kHz

ตารางที่ 2-11 แสดงหน้าที่ของบิตในรีจิสเตอร์ DCCF

สัญญาณนาฬิกาขาเข้าจะเป็นสัญญาณนาฬิกาพื้นฐานหรือ f_{clki} สำหรับตัวแบ่งความถี่ซึ่งจะได้สัญญาณนาฬิกาขาออกเท่ากับสัญญาณนาฬิกาขาเข้าหารด้วย 2 ผลลัพธ์ที่ได้จากการหารจะอยู่ในรีจิสเตอร์ DCCF ค่ารีจิสเตอร์นี้อาจมีค่าได้ตั้งแต่ 0 – 15 ทำให้สามารถผลิตความถี่สัญญาณนาฬิกาแปลง DC/DC หรือ f_{dc} ได้เท่ากับ

$$f_{dc} = f_{Clki}/2^{*}(32+n) \quad (EQ3)$$

$$n \in \{0, 15\}$$

2.3.4.2 Muting / Bypass Tone Control

แอดเดรส	R/W	ชื่อ	แนะนำ	ค่าที่กำหนด
$aa	r/w	Mute/Bypass Tone Control	Forces a mute of digital output	$0
		0	No mute, ทำงานที่โทนคอนโทรล	
		1	mute output, แต่ทำการถอดรหัสต่อ	
		2	bypass Bass/Treble/Volume matrix	

ทำได้โดยเปลี่ยนสถานะบิต 0 ในรีจิสเตอร์ $aa เป็น 1 และถ้าสถานะเป็น 0 ก็จะเป็นการยกเลิก และยังใช้เป็นทางผ่านในการควบคุม bass / treble / volume โดยการเปลี่ยนบิต 1 ในรีจิสเตอร์ $aa (เขียน "2") ถ้ารีเซ็ตบิตที่ 1 ให้สถานะเป็น 0 ก็จะกลับเป็นการควบคุมเสียงอีกครั้ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.3.4.3 Bass and Treble control

แอดเดรส	R/W	ชื่อ	แนะนำ	ค่าที่กำหนด
$e7	r/w	Kprescale	ตอบสนองพรีสเกลาของตัวกรองเสียง	$80000
$6b	r/w	Kbass	ตอบสนองการเพิ่ม/ลดช่วงความถี่ต่ำ	$0
$6f	r/w	KTreble	ตอบสนองการเพิ่ม/ลดช่วงความถี่สูง	$0

ตัวควบคุมเสียงของ MAS3507D จะเป็นตัวอนุญาตให้ควบคุมเสียงทุ้ม และเสียงแหลม ในช่วง 15 dB ถึง 15 dB ดังแสดงในตาราง 2-12 เพื่อป้องกันการ Overflow หรือ Clipping effect จึงมีตัว Precaler อยู่ภายใน ซึ่งตัว Prescaler นี้จะไปลด overall gain ของ tone filter ดังนั้นในช่วง 15 dB จึงสามารถใช้ได้โดยไม่มี Clipping

บูสท์ (Boost) หน่วยเป็น dB	เบส (Bass) (Reg. $6b)	เทรเบิล (Treble) (Reg. $6f)	พรีแฟคเตอร์ (Prefactor) (Reg. $e7)
+15	$61800	$5f800	$e9400
+14	$5d400	$58400	$e6800
+13	$58800	$51800	$e3400
+12	$53800	$49c00	$dfc00
+11	$4e400	$42c00	$dc000
+10	$48800	$3c000	$d7800
+9	$42800	$35400	$d25c0
+8	$3c000	$2ec00	$cd000
+7	$35800	$28400	$c6c00
+6	$2e400	$22000	$bfc00
+5	$27000	$1c000	$b8000
+4	$1f800	$16000	$af400
+3	$17c00	$10400	$a5800
+2	$10000	$ac00	$9a400
+1	$800	$5400	$8e000
0	0	0	$80000

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บูส (Boost) หน่วยเป็น dB	เบส (Bass) (Reg. $6b)	เทรเบิล (Treble) (Reg. $6f)	พรีแฟคเตอร์ (Prefactor) (Reg. $e7)
-1	$f7c00	$fac00	$80000
-2	$efc00	$f5c00	$80000
-3	$e8000	$f0c00	$80000
-4	$e0400	$ec000	$80000
-5	$d8c00	$e7e00	$80000
-6	$d1800	$e2800	$80000
-7	$ca400	$de000	$80000
-8	$c3c00	$d9800	$80000
-9	$bd400	$d5000	$80000
-10	$b7400	$d0400	$80000
-11	$b1800	$cbc00	$80000
-12	$ac400	$c6c00	$80000
-13	$a7400	$c1800	$80000
-14	$a2800	$bb400	$80000
-15	$9e400	$b2c00	$80000

ตารางที่ 2-12 แสดงโทนคอนโทรลรีจิสเตอร์

2.3.5 หน่วยความจำ (Memory)

2.3.5.1 หน่วยความจำสถานะ (Status Memory)

หน่วยความจำย่อยในตาราง 2-13 จะต้องเข้าถึงได้โดยการอ่านจาก Control interface data ซึ่งเป็นคำสั่งของ I^2C ตารางหน่วยความจำนั้นจะเชื่อมต่อกันกับบล็อกของหน่วยความจำ D0 ซึ่งจะเก็บข้อมูลสำคัญ ๆ ไว้ และสามารถใช้ตรวจสอบกระบวนการถอดรหัสไฟล์ MPEG ได้ คำสั่ง "read control interface data" นั้นจะรีเซ็ต MPEG – FRAME – SYNC ที่ขา PI4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แอดเดรส	ออฟเซ็ต	R/W	ชื่อ	ฟังก์ชัน
D0:$300	0	r	MPEGFrameCount	นับเอ็มเปกเฟรม
D0:$301	1	r	MPEGStatus1	ส่วนหัวของไฟล์เอ็มเปก / ข้อมูลสถานะ
D0:$302	2	r	MPEGStatus2	ส่วนหัวของไฟล์เอ็มเปก
D0:$303	3	r	CRCErrorCount	นับ CRC errors ระหว่างการถอดรหัส
D0:$304	4	r	NumberOfAncillaryBits	จำนวนบิตใน ancillary data
D0:$305 ...$321	5	r	AncillaryData	ถูกรวบรวมไว้ในเวิร์ดขนาด 16 บิต (MSB ก่อน)

ตารางที่ 2-13 แสดงพื้นที่หน่วยความจำสถานะ

2.3.5.1.1 MPEG Frame counter

แอดเดรส	ออฟเซ็ต	R/W	ชื่อ	ฟังก์ชัน
D0:$300	0	R	MPEGFrameCount	นับเอ็มเปกเฟรม

ตัวนับนี้จะมีค่าเพิ่มขึ้นเมื่อมี Frame ใหม่ถูกถอดรหัสแล้ว และถ้ามีชุดข้อมูล MPEG ที่ผิดพลาดเกิดขึ้น MAS3507D จะไปรีเซ็ต MPEGFrameCount ให้เป็น "0" ส่วน MPEGFrameCount จะสามารถคืนค่าต่าง ๆ ได้โดยสั่ง "default read" ซึ่งอธิบายแล้วใน section 2.3.3.9

2.3.5.1.2 MPEG status 1

แอดเดรส	ออฟเซ็ต	R/W	ชื่อ	ฟังก์ชัน
D0:$301	1	R	MPEGStatus1	ส่วนหัวของไฟล์เอ็มเปก / ข้อมูลสถานะ

MPEG status 1 จะบรรจุส่วนหัวของไฟล์ MPEG และบิตสถานะบางอย่างไว้ในบิตที่ 15....11 ซึ่งสามารถเซ็ตแต่ละเฟรมได้หลังจากที่ส่วนเฮดเดอร์ (Header) ถูกถอดรหัสแล้ว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บิต	ชื่อ/ค่า	แนะนำ
19, 15	%xxxx.x	ไม่สนใจ
14, 13	MPEG ID	บิตที่ 11, 12 ของส่วนหัวของไฟล์เอ็มเปก
	%00	เอ็มเปก 2.5
	%01	ถูกจอง
	%10	เอ็มเปก 2
	%11	เอ็มเปก 1
12, 11	เลเยอร์	บิตที่ 13, 14 ของส่วนหัวของไฟล์เอ็มเปก
	%00	ถูกจอง
	%01	เลเยอร์ 3
	%10	เลเยอร์ 2
	%11	เลเยอร์ 1
10	%1	ไม่มีการใช้ CRC
9...2		บิตเฉพาะ
1	%1	CRC Error
0	%1	เฟรมที่ไม่ถูกต้อง

ตารางที่ 2-14 แสดงMPEG Status 1

2.3.5.1.3 MPEG status 2

แอดเดรส	ออฟเซ็ต	R/W	ชื่อ	ฟังก์ชัน
D0:$302	2	r	MPEGStatus2	ส่วนหัวของไฟล์เอ็มเปก

MPEG status 2 จะบรรจุข้อมูล 16 บิตของส่วนเฮดเดอร์ของไฟล์ MPEG ซึ่งสามารถเซ็ตได้โดยตรงหลังจากการซิงโครไนซ์ชุดข้อมูล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บิต	ค่า/ชื่อ	แนะนำ		
19, 16		ไม่สนใจ		
15...12	เลขแสดงอัตราข้อมูล (Bit rate index)	เอ็มเปก 1 (เลเยอร์ 2) หน่วยเป็น kbits/s	เอ็มเปก 1 (เลเยอร์ 3) หน่วยเป็น kbits/s	เอ็มเปก 2 ในหน่วย kbits/s (เลเยอร์ 2 และ 3) เอ็มเปก 2.5 ในหน่วย kbits/s
	%0000	ฟรี (free)	ฟรี	ฟรี
	%0001	32	32	8
	%0010	48	40	16
	%0011	56	48	24
	%0100	64	56	32
	%0101	80	64	40
	%0110	96	80	48
	%0111	112	96	56
	%1000	128	112	64
	%1001	160	128	80
	%1010	192	160	96
	%1011	224	192	112
	%1100	256	224	128
	%1101	320	256	144
	%1110	384	320	160
	%1111	ไม่อนุญาต	ไม่อนุญาต	ไม่อนุญาต
11, 10	ความถี่แซมพลิง	เอ็มเปก 1	เอ็มเปก 2	เอ็มเปก 2.5
	%00	44.1 kHz	22.05 kHz	11.025 kHz
	%01	48 kHz	24 kHz	12 kHz
	%10	32 kHz	16 kHz	8 kHz
	%11	ถูกจอง	ถูกจอง	ถูกจอง
9	แพดดิ้งบิต (Padding bit)			
8	บิตเฉพาะ			

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บิต	ค่า/ชื่อ	แนะนำ	
7, 6	โหมด		
	%00	Stereo	
	%01	joint_stereo (intensity tereo/ms_stereo)	
	%10	dual channel	
	%11	single_channel	
5, 4	โหมดขยาย (เฉพาะ joint_stereo)	Intensity stereo	Ms_stereo
	%00	ปิด	ปิด
	%01	เปิด	ปิด
	%10	ปิด	เปิด
	%11	เปิด	เปิด
3	%0 / 1	ไม่มีลิขสิทธิ์ / มีลิขสิทธิ์	
2	%0 / 1	ก๊อปปี้ / ต้นฉบับ	
1, 0	เอ็มฟาซิส (Emphasis)	แสดงชนิดของเอ็มฟาซิส	
	%00	ไม่มี	
	%01	50/15 μS	
	%10	ถูกจอง	
	%11	CCITT J.17	

ตารางที่ 2-15 MPEG Status 2

2.3.5.1.4 CRC ERROR Counter

แอดเดรส	ออฟเซ็ต	R/W	ชื่อ	ฟังก์ชัน
D0:$303	3	r	CRCErrorCount	นับ CRC error ระหว่างการถอดรหัสไฟล์เอ็มเปก

ตัวนับนี้จะเพิ่มขึ้นเพื่อมี CRC ERROR เกิดขึ้นในชุดข้อมูล และจะไม่ถูกรีเซ็ตแม้ว่าจะไม่ได้ซิงโครไนซ์แล้วก็ตาม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.3.5.1.5 Number OR Ancillary Bits

แอดเดรส	ออฟเซ็ต	R/W	ชื่อ	ฟังก์ชัน
D0:$304	4	r	NumberOfAncillaryBits	จำนวนบิตใน ancillary data

ในหน่วยนี้จะแสดงจำนวนของบิตข้อมูลที่เก็บไว้ซึ่งเริ่มที่ D0:$305

2.3.5.1.6 Ancillary Data

แอดเดรส	ออฟเซ็ต	R/W	ชื่อ	ฟังก์ชัน
D0:$305... D0:$321	5	r	AncillaryData	ถูกทำให้อยู่ในรูปเวิร์ด 16 บิต (ส่ง MSB ก่อน)

พื้นที่หน่วยความจำส่วนนี้จะเก็บข้อมูล Ancillary ไว้ซึ่งจะอยู่ในรูปเวิร์ด 16 บิด โดยมีบิตสุดท้ายอยู่ที่ D0:$305 ส่วนการหาตำแหน่งแรกนั้นจะต้องใช้ NumberOfAncillaryBits

D0:$305	15 MSB	14	13	12	11	10	09	08	07	06	05	04	03	02	01	0 LSB
Ancillary data	บิต 1	บิต 2	บิต 3	บิต 4	บิต 5	บิต 6	บิต 7	บิต 8	บิต 9	บิต 10	บิต 11	บิต 12	บิต 13	บิต 14	บิต 15	บิต 16

ตารางที่ 2-16 แสดง Ancillary data bit assignment

D0:$305	15 MSB	14	13	12	11	10	09	08	07	06	05	04	03	02	01	0 LSB
Ancillary data	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	บิต 16

ตารางที่ 2-17 แสดง Ancillary data bit assignment

2.3.5.2 คอนฟิกกูเลชันเม็มโมรี (Configuration Memory)

คอนฟิกกูเลชันเม็มโมรี (Configuration Memory) จะเป็นตัวยอมให้ตัวควบคุมเปลี่ยนแปลงคอนฟิกกูเลชันเท่าที่เป็นไปได้ เช่น การเปลี่ยนแปลงรูปแบบการติดต่อข้อมูลเอาท์พุตทางซีเรียล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แอดเดรส	R/W	ชื่อ	ฟังก์ชัน	กำหนด
D0:$32d	r/w	PLLOffset48	PLL offset (ถ้า f_s = 48, 24, 12, 32, 16, 8 kHz ใช้คำสั่ง 'run $fcb'	
D0:$32e	r/w	PLLOffset44	PLL offset (ถ้า f_s = 44.1, 22.05, 11.025 kHz ใช้คำสั่ง 'run $fcb'	
D0:$32f	r/w	OutputConfig	คอนฟิกกูเลชันของการติดต่อเอาท์พุต I^2S ใช้คำสั่ง 'run $fcb'	
D1:$7f8	r/w	LL	Left → Left Gain	$80000
D1:$7f9	r/w	LR	Left → Right Gain	0
D1:$7fa	r/w	RL	Right → Left Gain	0
D1:$7fb	r/w	RR	Right → Right Gain	$80000

ตารางที่ 2-18 แสดง พื้นที่หน่วยความจำคอนฟิกกูเลชัน

2.3.5.2.1 PLL Offset for 44/48 kHz Sampling Frequency

แอดเดรส	R/W	ชื่อ	ฟังก์ชัน
D0:$32d	r/w	PLLOffset48	PLL offset ที่ fs = 48, 24, 12, 32, 16, 8 kHz
D0:$32e	r/w	PLLOffset44	PLL offset ที่ fs = 44.1, 22.05, 11.025 kHz

ด้วยหน่วยความจำเหล่านี้ทำให้สามารถเลือกความถี่ต่างๆ ได้มากกว่ามาตรฐานความถี่ของ CLKI

- PLLOffset48 ใช้ได้กับ

  f_s = 48, 24, 12, 32, 16, 8 kHz

- PLLOffset44 ใช้ได้กับ

  f_s = 44.1, 22.05, 11.025 kHz

f_{CLKI}	PLLOffset48	PLLOffset44
14.725 MHz	0.351986	-0.732862
14.5792 MHz	0.473684	-0.621052

ตารางที่ 2-19 แสดง PLLOffset48 และ PLLOffset44

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในโหมดบรอดแคสนั้นควรปรับ PLLOffset ให้เท่ากับสัญญาณนาฬิกาในตารางที่ 2-19 ส่วนในโหมดมัลติมีเดียร์ควรปรับค่าให้เท่ากับคริสตัล (crystal) สำหรับการปรับให้ทำตามขั้นตอนด้านล่างนี้

- คำนวนค่า PLLOffset ตาม

  f_{CLKI} = 24,576.8 ...

  โดย –0.74 < PLLOffset < 0.74 และช่วงความถี่สัญญาณนาฬิกาอยู่ที่ 14.31-14.73 MHz ถ้ามีการใช้ความถี่ตัวอย่างทั้ง 44.1 และ 48 kHz ช่วงความถี่นั้นจะถูกขยายให้กว้างกว่าเดิม ซึ่งแสดงในตาราง 2-20
- เขียนค่า PLLOffset ลงหน่วยความจำ (PLLOffset48 D0:$32d, PLLOffset474 D0:$32e)
- ใช้คำสั่ง 'run $fcb' เพื่อกระโดดมาที่แอดเดรสนี้ แล้วทำการตั้งค่าในหน่วยความจำสำหรับกระบวนการภายใน

PLLOffset	F_{CLKI} สำหรับ f_s ที่เกี่ยวเนื่องกับ 48 kHz	F_{CLKI} สำหรับ f_s ที่เกี่ยวเนื่องกับ 44.1 kHz
-0.74	16.0365 MHz	14.7336 MHz
0.74	14.309 MHz	13.1465 MHz

ตารางที่ 2-20 แสดง f_{CLKI} สำหรับค่า PLLOffset สูงสุด/ต่ำสุด

2.3.5.2.2 เอาท์พุตคอนฟิกกูเลชัน (Output Configuration)

แอดเดรส	R/W	ชื่อ	ฟังก์ชัน
D0:$32f	r/w	OutputConfig	คอนฟิกกูเลชันของ I^2S ออดิโอเอาท์พุตที่ใช้คำสั่ง 'run $fcb'

รายละเอียดของหน่วยความจำย่อยนี้จะขึ้นอยู่กับการตั้งค่าเริ่มต้น และจะถูกควบคุมโดย firmware เอาท์พุตจะถูกคอนฟิกโดยซอฟต์แวร์เพื่อที่จะทำงานในโหมด 16 bit/sample และโหมด 32bit/sample, สำหรับการปรับค่าให้ทำตามขั้นตอนดังนี้

- เลือกโหมดของเอาท์พุต (ดังตาราง 2-21)
- เขียนค่าเหล่านั้นลงหน่วยความจำ
- ใช้คำสั่ง 'run $fcb' เพื่อกระโดดมาที่แอดเดรสนี้ แล้วทำการตั้งค่าในหน่วยความจำของกระบวนการภายใน โดยจะตั้งค่าทับการตั้งค่าตอนเริ่มต้นทั้งหมด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บิต	ค่า	แนะนำ
19...12	%0000.0000	ไม่สนใจ
11	%0 %1	ไม่มีดีเลย์ เพิ่มดีเลย์ที่เกี่ยวเนื่องกับเวิร์ดสโตรป
10...6	%000.00	ไม่สนใจ
5	%0 %1	ไม่ย้อนกลับ สัญญาณเวิร์ดสโตรปที่ย้อนกลับออกไป
4	%0 %1	32 bits/sample 16 bits/sample
3...0	%0000	ไม่สนใจ

ตารางที่ 2-21 แสดงเอาท์พุตคอนฟิกกูเรชัน

2.3.5.3 Baseband Volume Matrix

แอดเดรส	R/W	ชื่อ	ฟังก์ชัน	กำหนด
D1:$7f8	r/w	LL	Left->Left gain	$80000
D1:$7f9	r/w	LR	Left->Right gain	$0
D1:$7fa	r/w	RL	Right->Left gain	$0
D1:$7fb	r/w	RR	Right->Right gain	$80000

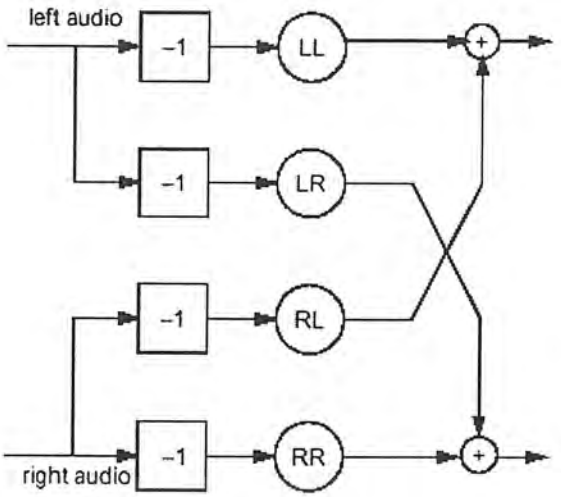
ใช้ในการควบคุมอัตราขยายสัญญาณดิจิตอล และกำหนดชนิดของการขยาย Stereo basewidth ดังรูป 2-10

ค่าของเกนจะถูกเขียนลง MAS3507D โดยคำสั่ง write D1 memory

บิต	ชื่อค่า	แนะนำ
19...0	LL/LR/RL/RR	-524288/524288...524287/524288 = -1:0...1.0-2^-19

ตารางที่ 2-22 แสดงบิตของ Volume Cell

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2-10 Digital Volume Matrix

ตำแหน่งหน่วยความจำ	D1:$7f8	D1:$7f9	D1:$7fa	D1:$7fb
ชื่อ	LL	LR	RL	RR
เสตอริโอ	-1.0	0	0	-1.0
โมโน (Mono) ซ้าย	-1.0	-1.0	0	0
โมโนขวา	0	0	-1.0	-1.0

ตารางที่ 2-23 แสดงการตั้งค่าดิจิตอล Volume matrix

ค่าในหน่วย dB	เลขฐาน 16	ค่าในหน่วย dB	เลขฐาน 16	ค่าในหน่วย dB	เลขฐาน 16	ค่าในหน่วย dB	เลขฐาน 16	ค่าในหน่วย dB	เลขฐาน 16
0	80000	-20	F3333	-40	FEB85	-60	FFDF4	-80	FFFCC
-1	8DEB8	-21	F4979	-41	FEDBF	-61	FFE2D	-81	FFFD1
-2	9A537	-22	F5D52	-42	FEFBB	-62	FFE60	-82	FFFD6
-3	A5621	-23	F6F03	-43	FF180	-63	FFE8D	-83	FFFD8
-4	AF3CD	-24	F7EC8	-44	FF314	-64	FFEB5	-84	FFFDF
-5	B8053	-25	F8CD5	-45	FF47C	-65	FFED9	-85	FFFE3
-6	BFD92	-26	F995B	-46	FF5BC	-66	FFEF9	-86	FFFE6
-7	C6D31	-27	FA485	-47	FF6DA	-67	FFF16	-87	FFFE9
-8	CD0AD	-28	FAE78	-48	FF7D9	-68	FFF2F	-88	FFFEB
-9	D2958	-29	FB756	-49	FF8BC	-69	FFF46	-89	FFFED

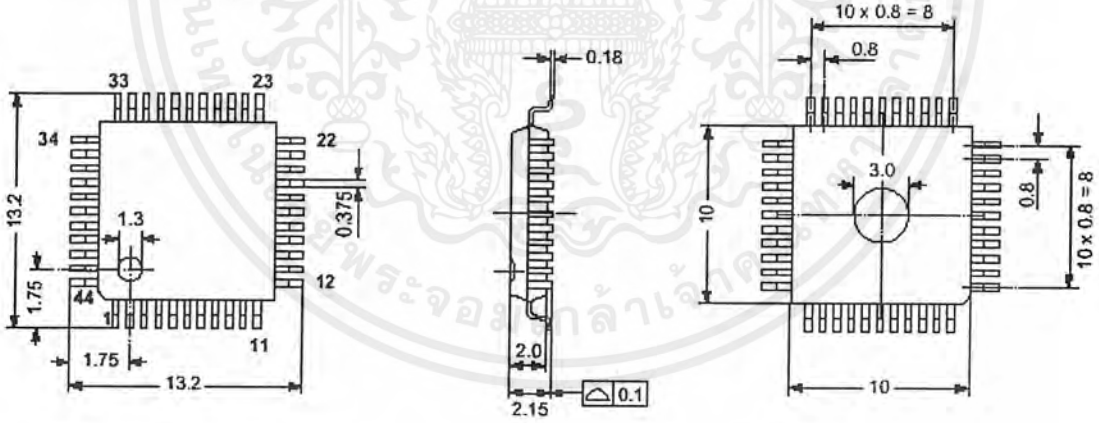
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ค่าใน หน่วย dB	เลขฐาน 16	ค่าใน หน่วย dB	เลขฐาน 16	ค่าใน หน่วย dB	เลขฐาน 16	ค่าใน หน่วย dB	เลขฐาน 16	ค่าใน หน่วย dB	เลขฐาน 16
-10	D785E	-30	FBF3D	-50	FF986	-70	FFF5A	-90	FFFEF
-11	DBECC	-31	FC648	-51	FFA3A	-71	FFF6C	-91	FFFF1
-12	DFD91	-32	FCC8E	-52	FFADB	-72	FFF7C	-92	FFFF3
-13	E3583	-33	FD227	-53	FFB6A	-73	FFF8B	-93	FFFF4
-14	E675F	-34	FD723	-54	FFBEA	-74	FFF97	-94	FFFF6
-15	E93CF	-35	FDB95	-55	FFC5C	-75	FFFA3	-95	FFFF7
-16	EBB6A	-36	FDF8B	-56	FFCC1	-76	FFFAD	-96	FFFF8
-17	EDEB6	-37	FE312	-57	FFD1B	-77	FFFB6	-97	FFFF9
-18	EFE2C	-38	FE638	-58	FFD6C	-78	FFFBE	-98	FFFF9
-19	F1A36	-39	FE905	-59	FFDB4	-79	FFFC5	-99	FFFFA

ตารางที่ 2-24 แสดง Volume matrix conversion

2.4 รายละเอียดต่างๆ

2.4.1 รายละเอียดภายนอก



รูปที่ 2-11 MAS3507D (PQFP)

2.4.2 รายละเอียดของขา (Pin Description)

2.4.2.1 ขาจ่ายไฟ

การเชื่อมต่อของขาจ่ายไฟนั้นจำเป็นสำหรับฟังก์ชันต่างๆ ของ MAS3507D

VDD SUPPLY

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

VSS SUPPLY

ทั้ง VDD และ VSS นั้นจะถูกเชื่อต่อภายในกับทุกๆ โมดุล (Module) ของ MAS3507D

XVDD SUPPLY

XVSS SUPPLY

ขา XVDD/XVSS นั้นจะเชื่อมต่อภายในกับขาเอาท์พุตบัฟเฟอร์

AVDD SUPPLY

AVSS SUPPLY

AVDD/AVSS จะเชื่อมต่อภายในด้วยอนาลอกบล็อกของ MAS3507D

2.4.2.2 DC/DC Converter Pins

DCEN IN

สัญญาณ DCEN จะเป็นตัวสั่งให้กระบวนการ DC/DC converter ทำงานถ้าต่อกับแหล่งจ่ายไฟ

สัญญาณ DCEN จะคอยกระตุ้นไฟของวงจรถ้าต่อกับกราวด์

ถ้า DCEN = '0' จะไม่ใช้ DC/DC converter และการควบคุมไฟ

DCSG SUPPLY

ขานี้จะใช้เป็นจุดยืนสำหรับทรานซิสเตอร์ภายในของ DC/DC converter ซึ่งจะต้องต่อกับกราวด์เสมอ

DCSO OUT

เป็นขาที่ปล่อยเอาท์พุตออก ซึ่งควรจะต่อกับวงจรภายนอก (ขดลวดเหนี่ยวนำ, ไดโอด) เพื่อเริ่มการทำงานของ DC/DC converter ถ้า DCSO = '0' ก็จะไม่ใช้งาน DC/DC converter

VSENS IN

ขานี้เป็นอินพุตสำหรับวงป้อนกลับของ DC/DC converter ซึ่งจะต้องต่อโดยตรงกับช็อตกี้ไดโอด และตัวเก็บประจุ สำหรับในโหมดโวลท์เตจมอร์นิเตอร์จะต่อกับ VDD

2.4.2.3 Control Lines

I2CC SCL IN/OUT

I2CD SDA IN/OUT

เป็นมาตรฐานของ I^2C Control Lines

2.4.2.4 Parallel Interface Lines

2.4.2.4.1 PIO Handshake Lines

จะยังไม่ใช้ในช่วงเริ่มแรก แต่หลังจากที่เริ่มทำงานไปแล้วจะใช้เพื่ออ่านค่าสถานะของข้อมูลและโหมดที่ต้องการจะใช้ใน μP-mode โดยเซ็ต $\overline{PCS}$ เป็น 0 และ PR เป็น 1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$\overline{PCS}$ IN

PIO chip select จะต้องตั้งค่าให้เป็น 0 เพื่อกระตุ้น PIO ใน operation mode

PR

PIO PR จะต้องตั้งค่าให้เป็น 1 เพื่อให้ได้ข้อมูลเอาท์พุตจาก MAS3507D

$\overline{RTR}$ OUT

Firmware ไม่สนับสนุน

$\overline{RTW}$ OUT

Firmware ไม่สนับสนุน

$\overline{EOD}$ OUT

Built-in Firmware ไม่สนับสนุน

2.4.2.4.2 PIO Line

ฟังก์ชันในการติดต่อกับพอร์ตนั้นจะแยกเป็น 2 ส่วน

1) ช่วงเริ่มแรก PIO จะอ่านค่าเริ่มต้น (ซึ่งเป็นอิสระจาก hand shake lines) เพื่อกำหนดค่าต่างๆ ของ MAS3507D

2) หลังจากเริ่มทำงานแล้ว PIO จะเปลี่ยนไปทำงานที่ μP-mode ถ้า PR = "1" และ $\overline{PCS}$ = "0" ส่วนของ PIO จะถูกกำหนดให้เป็นเอาท์พุตและจะแสดงสถานะของการถอดรหัสบางอย่างออกมา นอกจากนี้ PIO ยังสามารถเชื่อมต่อกับตัวควบคุมภายนอกหรือหน่วยแสดงผล (LED) ได้ โดยมีขาต่างๆดังนี้

PI19 DEMAND PIN OUT

ถ้า PI19 = "1" สัญญาณใน demand mode ของ MAS3507D จะเป็นการขอข้มมูลใหม่ ซึ่งใช้สัญญาณนาฬิกาอินพุต 1 MHz

PI18 MPEG-IDEX OUT

PI17 MPEG-ID OUT

ขาเหล่านี้จะส่งข้อมูลส่วนหัวของไฟล์ MPEG กลับมา

PI16 (SIC*) IN

PI15 (SII*) IN

PI14 (SID*) IN

SIC* , SID* และ SII* จะถูกใช้เป็น alternative serial input lines ตามลำดับความสนับสนุน

PI13 LAYERID OUT

PI12 LAYERID OUT

ขาเหล่านี้จะส่งข้อมูลส่วนหนึ่งของไฟล์ MPEG กลับมา

PI18 MPEG-CRC-ERROR OUT/IN

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ขานี้จะถูกกระตุ้นก็ต่อเมื่อไม่สามารถถอดไฟล์ MPEG ได้สำเร็จ เหตุผลที่ต้องใช้ CRC CHECK ใน MPEG Frame header คือ เพื่อตรวจสอบ error เมื่อไม่มีชุดข้อมูลใดสามารถนำมาใช้ได้ โดยสัญญาณ error นี้ จะยังคงมีอยู่เป็นเวลา 1 MPEG Frame

ในตอน Start-up นั้นขานี้จะเป็นอินพุตของ CLKO+divider

PI14 MPEG-FRAME-SYNC OUT/IN

สัญญาณ MPEG-Frame-Sync จะแสดงว่าส่วนหัวของไฟล์ MPEG ถูกถอดรหัสอย่างถูกต้องแล้ว และอยู่ในซิงค์เสตท (Synshed = state) สัญญาณ MPEG-Frame-Sync นี้จะถูกใช้งานหลังจากที่มีการรีเซ็ตระบบตอนเปิดและจะถูกกระตุ้นถ้าส่วนหัวของไฟล์ MPEG Layer 2 หรือ 3 ได้รับการยอมรับ สัญญาณนี้จะหายไปเมื่อ ancillary data ถูกอ่านทาง I^2C แล้ว

ในตอน Start-up ขานี้จะมีความถี่อยู่ในช่วง 14.725-14.529 MHz

PI3 SAMPLING FREQUENCE OUT

PI2 SAMPLING FREQUENCE OUT

PI1 EMPHASIS OUT

ขาเหล่านี้จะส่งข้อมูลส่วนหัวของไฟล์ MPEG กลับมา

ในช่วงเริ่มต้นขาเหล่านี้จะเป็นขาอินพุต

2.4.2.5 Voltage Supervision and Other Function

CLKI IN

เป็นสัญญาณนาฬิกาอินพุตของ MAS3507D ซึ่งจะเก็บเอาท์พุตของตัวสร้างสัญญาณความถี่ไว้ในบัฟเฟอร์ และความถี่สัญญาณนาฬิกาที่สนับสนุน คือ 14.275 และ 14.592 MHz

CLKO IN

เป็นสัญญาณนาฬิกาอินพุต oversampling ที่ถูกซิงโครไนซ์เพื่อใช้ใน SDD และ SDI

PUP OUT

เป็นเอาท์พุตที่แสดงความต่างศักย์ของแหล่งกำเนิดไฟฟ้าที่มากกว่าระดับต่ำสุด

WSEN IN

เป็นตัวอนุญาตในกระบวนการทำงานของ DSP

WRDY OUT

มี 2 ฟังก์ชันขึ้นอยู่กับสถานะของสัญญาณ WSEN

ถ้า WSEN = 0 จะแสดงสัญญาณนาฬิกาที่ได้รับการยอมรับจาก CLKI

ถ้า WSEN = 1 WRDY เอาท์พุตจะถูกตั้งให้เป็น 0 จนกระทั่งสัญญาณนาฬิกาภายในถูกนำไปใช้กับชุดข้อมูลที่เข้ามาทำให้หาค่า CLKO ได้

2.4.2.6 Serial Input Interface

SID IN

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SII IN

SIC IN

ข้อมูล, การแสดง Frame (frame Inducution) และสัญญาณนาฬิกาของการติดต่ออินพุตแบบอนุกรม ซึ่ง SII จะติดต่อกับ VSS ในโหมดปกติ

2.4.2.7 Serial Output Interface

SOD OUT

SOI OUT

SOC OUT

ข้อมูลของการติดต่อเอาท์พุตแบบอนุกรม

2.4.2.8 Miscellaneous

$\overline{\text{POR}}$

เมื่อขารีเซ็ตตอนเปิดถูกใช้จะทำการรีเซ็ตส่วนที่เป็นดิจิตอลของ MAS3507D ซึ่ง $\overline{\text{POR}}$ เป็นสัญญาณที่ทำงานในสถานะต่ำ

TE

ขานี้ใช้สำหรับผลิตภัณฑ์ทดสอบเท่านั้น โดยจะต้องติดต่อกับ VSS

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3

DAC3550A

3.1 แนะนำ

DAC3550A เป็นคอนเวิร์ตเตอร์ (converter) ชนิดชิปเดี่ยว, ที่มีความเที่ยงตรงสูงในการแปลงสัญญาณดิจิตอล (Digital) ไปเป็นสัญญาณอนาลอก (Analog) ซึ่งถูกออกแบบมาเพื่อใช้งานกับอุปกรณ์เครื่องเสียง ระบบการแปลงที่ใช้ อยู่บนพื้นฐานของการ Oversampling โดย noise-shapine

ด้วยความเป็นหนึ่งของเทคนิค Multibit sigma-delta ของบริษัท Intermetal ทำให้มีความเที่ยงตรงสูง และเป็นลิเนียร์ (liner) และสามารถทำงานใน superior S/N ratio ได้ DAC3550A สามารถควบคุมได้โดย I^2C บัส

สัญญาณเสียงแบบดิจิตอล (Digital Audio) จะถูกรับเข้ามาโดยการเชื่อมต่อกับ I^2S สัญญาณควบคุมย้อนกลับ Analog back-end ประกอบไปด้วยตัวกรองสัญญาณอนาลอก (Analog filter) ภายในและออปแอมป์ (Op-amp) DAC3550A ประกอบด้วย line-out, headphone/speaker amplifiers และ volume control นอกจากนั้นยังสามารถรวมสัญญาณเสียงแบบอนาลอก จากแหล่งกำเนิดเพิ่มเติมภายนอกเข้ากับสัญญาณซึ่งถูกแปลงมาจากสัญญาณดิจิตอลได้อีกด้วย

DAC3550A ถูกออกแบบมาลองรับการใช้งานทุกรูปแบบในด้านสัญญาณเสียง และทาง Multimedia ยกตัวอย่างเช่น MPEG players, CD player, DVD, CD-ROM ฯลฯ

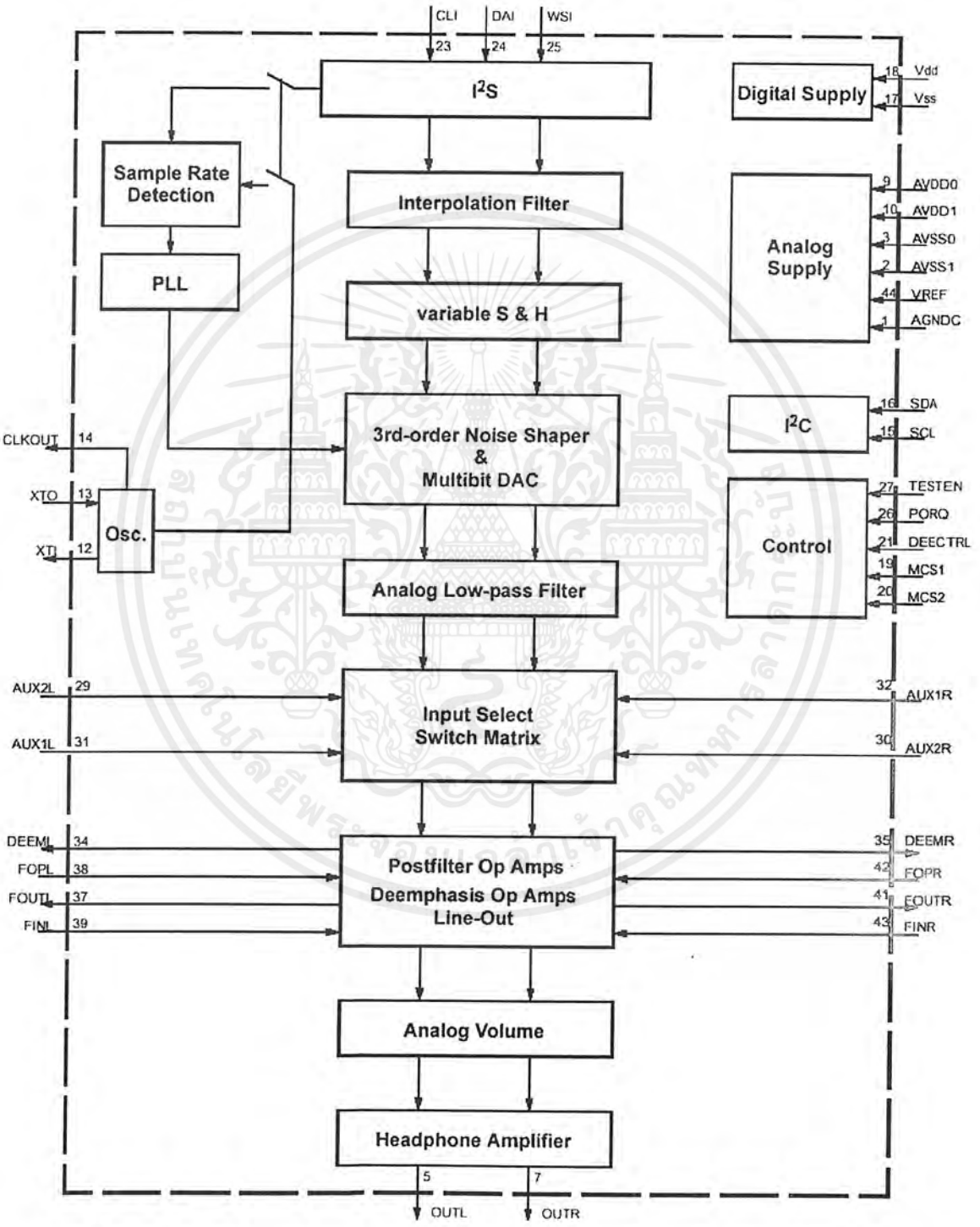
DAC 3550A ได้สนับสนุนการทำงานของ MAS3507D ในการถอดรหัสข้อมูลจากไฟล์เอ็มเปกอย่างสมบูรณ์แบบ

3.1.1 องค์ประกอบหลัก

- ไม่ต้องการสัญญาณนาฬิกา
- มีตัวขยายสัญญาณสำหรับหูฟังและลำโพง
- SNR 100 db
- ตัวแปลงสัญญาณเสียงจากดิจิตอลเป็นอนาลอกขนาด 18 บิต
- I^2C บัส, I^2S บัส
- ตัวสร้างสัญญาณนาฬิกาภายใน
- full-feature mode โดย I^2C control (เลือกได้ 3 แอดเดรสย่อย)
- reduced feature mode สำหรับการใช้งานแบบไม่มี I^2C
- ช่องสัญญาณ sample ที่ต่อเนื่องตั้งแต่ 8 kHz ถึง 50 kHz
- ลดทอนสัญญาณ Analog สำหรับกรณี44 kHz
- analog volume และ balance ตั้งแต่ +18 ถึง –75dB และแบบเงียบ
- เทคนิคการ Oversample และ Multibit noise ที่เที่ยงตรง
- THO ดีกว่า 0.01 %

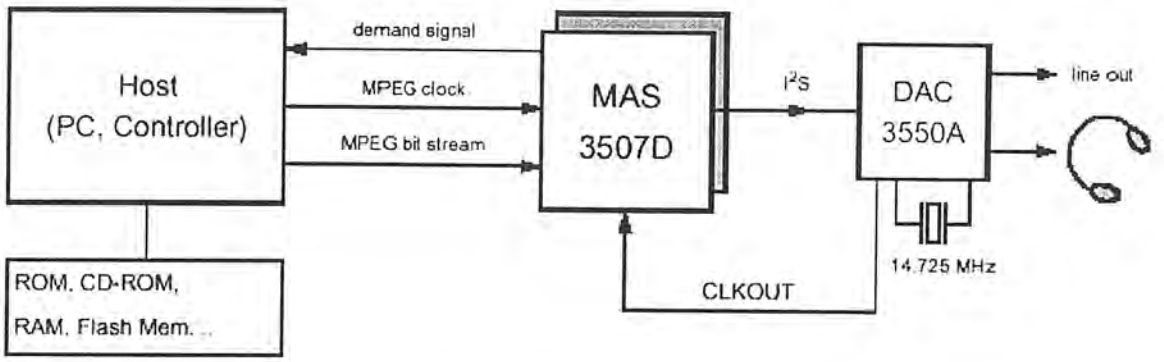
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- มี AUX inputs ช่องสัญญาณ analog stereo 2 ตัว ซึ่งประกอบไปด้วย source selection และ mixing
- ใช้ไฟ 2.7 V ถึง 5.25 V
- low-power mode
- op amps ใน chip สำหรับการใช้งานสัญญาณเสียงที่เป็น analog จากภายนอก



รูปที่ 3-1 บล็อกไดอะแกรมของ DAC3550A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3-2 การนำไปใช้

3.2 อธิบายการทำงาน

3.2.1 I^2S interface

เป็นการติดต่อกันระหว่าง DAC3550A กับสัญญาณดิจิตอล จากแหล่งกำเนิดสัญญาณภายนอก เช่น CD/DAT, MPEG Decoder ฯลฯ, ระบบนี้ครอบคลุมเกือบจะทุกรูปแบบของ I^2S ทั่วๆไป

- 16-bit mode

  ใช้ bit clock ที่ 32 * f_{saudio} , ความยาวสูงสุดคือ 16 bit

- 32-bit mode

  ใช้bit clock ที่ 64 * f_{saudio} , ความยาวสูงสุดคือ 32 bit แต่จะมี MSB ถูกดำเนินการได้สูงสุด 18 MSBs

- การตรวจสอบอัตโนมัติ

  ไม่จำเป็นต้องใช้ I^2C ในการควบคุมการเปลี่ยนการทำงานระหว่าง 16 และ 32 bit mode ทั้งนี้ควรจะให้ชิพ DAC3550A อยู่ในโหมดเงียบเสียง (Mute mode) ระหว่างการเปลี่ยน mode สำหรับสัญญาณเสียงที่มีคุณภาพสูง ควรใช้โหมด 32 bit ของ I^2S interface เพื่อสามารถใช้งานได้เต็ม ความสามารถ

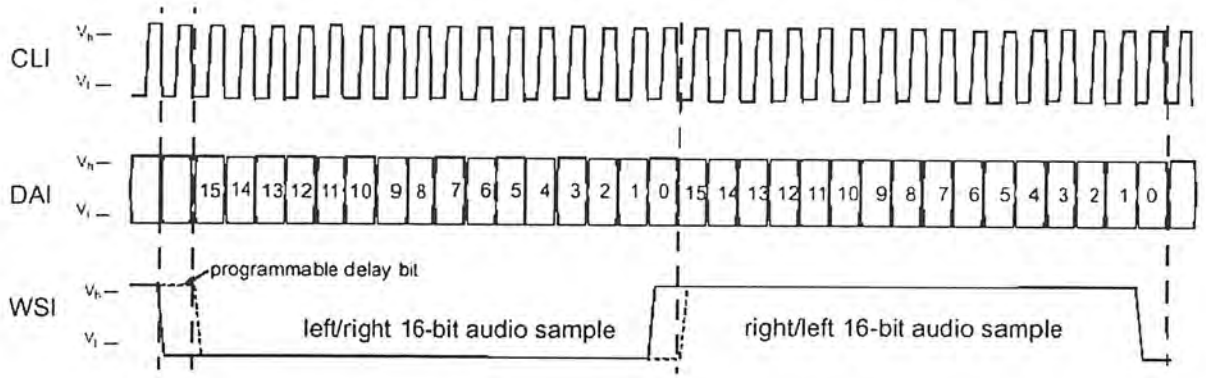
- การเลือกทิศทางซ้าย-ขวา

  โดยรูปแบบมาตรฐานของ I^2S จำกัดให้ audio frame เริ่มต้นที่ช่องซ้ายและมีสถานะของ WSI ต่ำเสมอ แต่อย่างไรก็ตาม ตัวควบคุม I^2C ยอมให้มีการเปลี่ยนแปลง polarity ของ WSI ได้

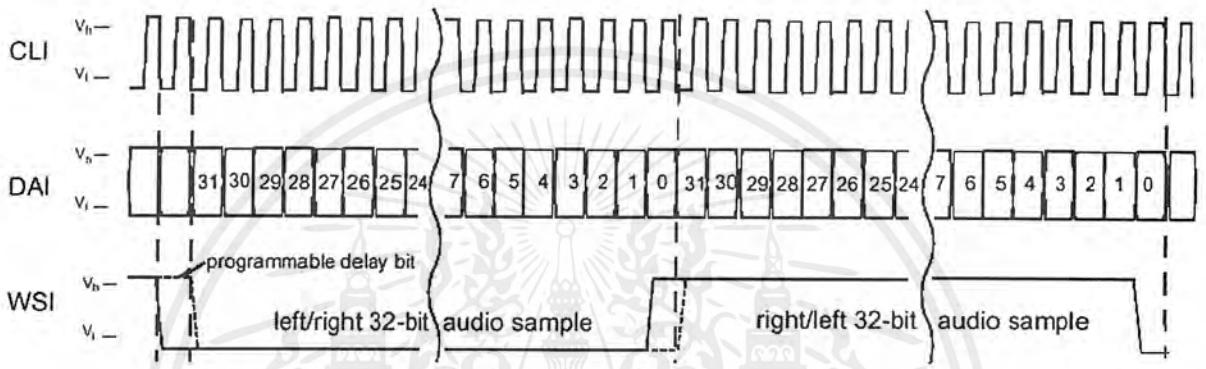
- Delay Bit

  รูปแบบมาตรฐานของ I^2S ต้องการการ delay เป็นจำนวน 1 cycle ของสัญญาณนาฬิกา ระหว่างการแปลง WSI และ ข้อมูล MSB แต่อย่างไรก็ตามคุณสมบัตินี้สามารถปิดได้ ซึ่งการเปิด-ปิดนี้จะใช้ I^2C ในการควบคุม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



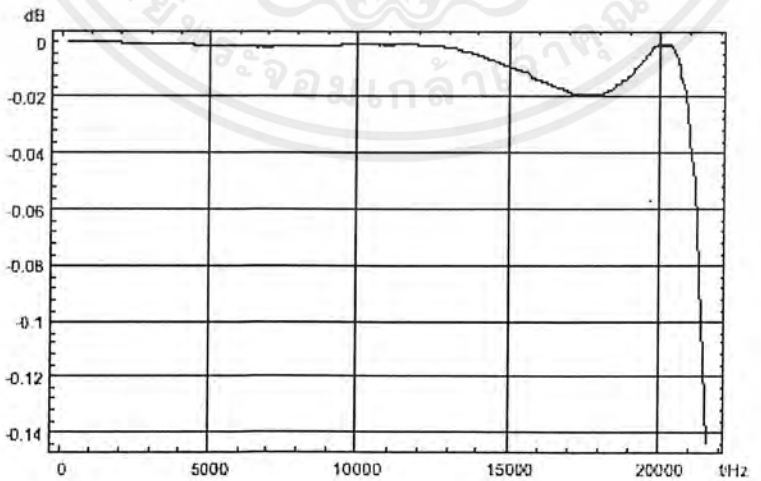
รูปที่ 3-3 I²S ในโหมด 16 บิต



รูปที่ 3-4 I²S ในโหมด 32 บิต

3.2.2 Interpolation Filter

ตัวกรอง Interpolation จะทำการเพิ่มจำนวนสัญญาณตัวอย่าง โดยตัวประกอบ 8 ตัว fs_{audio}= 48 kHz แสดงดังรูป



รูปที่ 3-5 1->8 Interpolation Filterในช่วงความถี่ 0-22 kHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2.3 Variable Sample & hold

ส่วนได้เปรียบของระบบนี้คือในสถานะที่สัญญาณตัวอย่างความถี่ต่ำก็ยังไม่ได้ยิน out-of-band noise

3.2.4 Noise Shaper ลำดับที่ 3 และ Multibit DAC

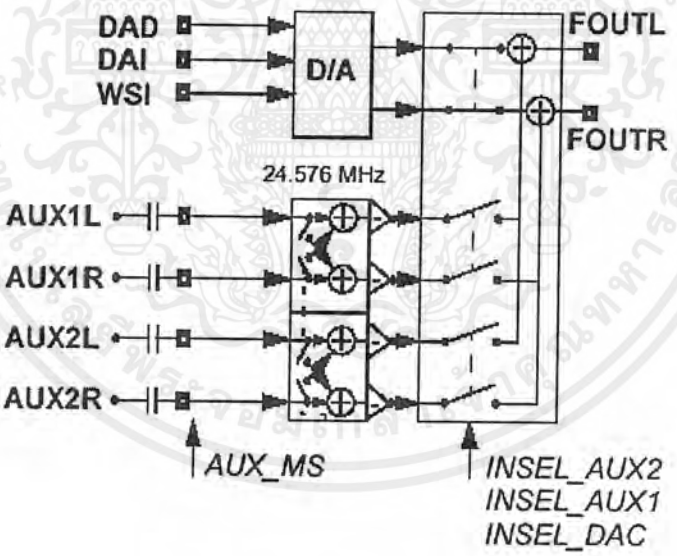
Noise Shaper ลำดับที่ 3 จะทำการเปลี่ยนสัญญาณ oversampled audio ไปเป็นสัญญาณ 5 bits noise-shaping ที่มีอัตรา sampling สูง โดยเทคนิคนี้จะให้ผลดีคือทำให้เกิดสัญญาณรบกวนในปริมาณที่ต่ำในช่วงสัญญาณเสียงที่ต้องการ

3.2.5 Analog low-pass

Analog low-pass เป็นตัวกรองสัญญาณลำดับแรก ที่จะจำกัดความถี่อยู่ที่ประมาณ 1.4 MHz และกำจัดองค์ประกอบความถี่สูงของสัญญาณรบกวนออกไป

3.2.6 การเลือกสัญญาณอินพุต และ Mixing Matrix

รูปที่ 3-6 จะถูกใช้ให้สวิทช์เลือกหรือรวมสัญญาณอินพุตที่สนับสนุนและสัญญาณที่มาจาก DAC ตัว Switch matrix สามารถเลือกได้ระหว่างโหมดโมโน (mono) หรือโหมดเสตอริโอ (stereo)



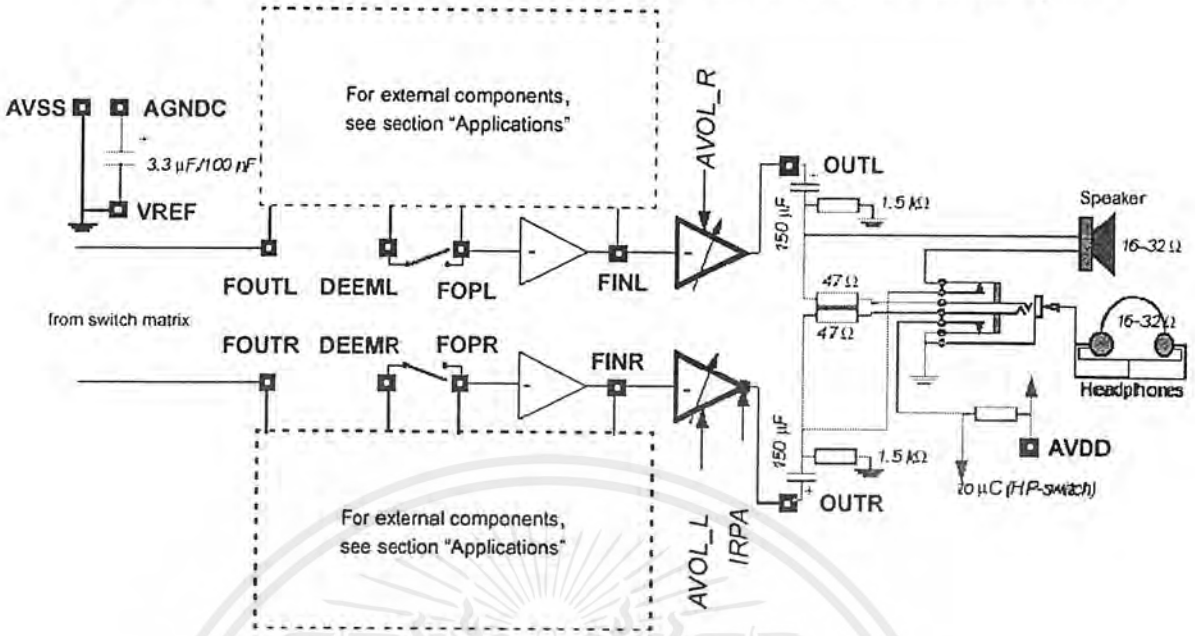
รูปที่ 3-6 Switch matrix

ระบบโมโนสามารถใช้ได้โดยการเพิ่มช่วงสัญญาณซ้าย-ขวา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2.7 Postfilter Op Amps, Deemphasis Op Amps, and Lire-out

รูปที่ 3-7 ประกอบไปด้วยส่วนประกอบสำหรับanalog postfilter และระบบเครือข่าย deemphasis



รูปที่ 3-7 PostfilterOp Amps, Deemphasis Op Amps, and Lire-out

3.2.8 Analog Volume

- ตัวควบคุม analog Volume สามารถปรับเปลี่ยนความดังได้ตั้งแต่ +18 db ถึง –75 db และทำให้เงียบได้
- ถูกแบ่งออกเป็น 2 ช่วงคือช่วง 3 dB และช่วง 1.5 dB

  -75 dB .....-54 dB : ช่วง 3 dB

  -54 dB.....+18 dB : ช่วง 1.5 dB

3.2.9 Headphone Amplifier

สัญญาณส่งออกของตัว headphone amplifier ถูกแสดงที่ขา OUT L และขา OUT R ซึ่งแต่ละขาถูกติดเข้ากับ Stereo headphone หรือ mono loudspeaker แต่ตัว Headphone ต้องมีตัวต้านทานขนาด 47 โอห์มจากภายนอกมาต่ออนุกรม

ถ้าตัวลำโพงถูกต่อกับสัญญาณส่งออกนี้ตัวขยายกำลังสำหรับช่องขวาจะต้องถูกสวิชไปที่ polarity ตรงข้าม

เพื่อที่จะได้พลังงานที่เหมาะสม ตัวขยายสัญญาณส่งออกควรจะเหมือนกันทั้งสองตัว

ข้อควรจำ ถ้าต้องการต่อ Speaker ควรต่อให้เหมือนรูปที่ 3-7 ไม่ควรต่อแบบแยกกันเพราะจะมีปัญหาเรื่อง discharge จะทำอันตรายตัว output transistors

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ค่าในหน่วย dB	AVOL_R
18.0	111000
16.5	110111
15.0	110110
13.5	110101
-	-
0.0	101100 (default)
-1.5	101011
-	-
-54.0	001000
-57.0	000111
-	-
.75	000001
Mute	000000

ตารางที่ 3-1 แสดง Volume Control

3.2.10 ระบบสัญญาณนาฬิกา

ข้อดีอีกอย่างของระบบนาฬิกาของ DAC3550A คือไม่ต้องการสัญญาณนาฬิกาหลักจากภายนอกเลย DAC ส่วนใหญ่ต้องการ $256*fs_{audio}$, $384*fs_{audio}$ หรืออย่างน้อยที่สุดต้องเท่ากับสัญญาณนาฬิการอะซิง-โครนัส (asynchronous)

สัญญาณนาฬิกาภายในทั้งหมดถูกผลิตขึ้นด้วยวงจร PLL ที่จะล็อกกับสัญญาณนาฬิกาของ I^2S บิต ถ้าสัญญาณนาฬิกาของ I^2S ไม่มีตัว PLL จะทำงานอย่างอิสระและยังเป็นเครื่องรับประกันได้ว่าไม่ว่าอะไรจะเกิดขึ้นมันจะมีสัญญาณนาฬิกาตลอดเวลา เพื่อให้สามารถควบคุม IC ได้โดย I^2C

อุปกรณ์นี้สามารถแบ่งออกเป็น 2 โหมดที่ต่างกันได้ดังนี้

- โหมดปกติ (Standard mode)
- โหมดเอ็มเปก (MPEG mode)

ในโหมดปกติการอ้างอิงแอดเดรสของ I^2C ที่เป็นไปได้คือ ADR0, ADR1, ADR2 ส่วนในโหมดเอ็มเปกจะใช้ ADR0 เสมอ

ในการที่จะเลือกโหมดการทำงานขา MCS1/MCS2 จำเป็นที่ระต้องถูกเซ็ตดังตาราง 3-2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MCS1	MCS2	โหมด	สับแอดเดรส	ค่าความถี่ที่กำหนด
0	0	ปกติ	ADR0	32-48 kHz
0	1	ปกติ	ADR1	32-48 kHz
1	0	ปกติ	ADR2	32-48 kHz
1	1	เอ็มเปก	ADR0	อัตโนมัติ

ตาราง 3-2 แสดง Operation mode

โหมดปกติ (Standard Mode)

- ไม่มี I^2C

สัญญาณตัวอย่างจะอยู่ในช่วง 48 kHz ถึง 32 kHz ซึ่งจะถูกควบคุมแบบไม่อัตโนมัติ (ไม่ใช้ I^2C control automatically) การตั้งค่าในช่วงความถี่นี้จะเป็นการตั้งค่าแบบกำหนดเอง ซึ่งถ้าสัญญาณตัวอย่างมีค่าต่ำกว่า 32 kHz จะต้องมีการควบคุมจาก I^2C ตั้งค่าตัวหาร PLL ซึ่งเป็นที่แน่นอนว่าเหตุการณ์ที่สัญญาณตัวอย่างมีค่าต่ำนี้ตัวหาร DAC3550A จะต้องทำงานที่ความถี่สัญญาณนาฬิกาสูง ช่วงของสัญญาณตัวอย่างจะต้องต่อเนื่องตั้งแต่ 8 kHz ถึง 50 kHz ส่วนการเซตค่า I^2C ในอัตราความถี่ต่ำต้องทำตามตาราง 3-2

- แบบมี I^2C

ในโหมดนี้จะยอมให้มีการตรวจสัญญาณตัวอย่างอย่างอัตโนมัติ ซึ่งในกรณีนี้จำเป็นที่จะต้องใช้ตัวสร้างสัญญาณนาฬิกา (clock oscillator) และจะต้องทำงานในช่วงความถี่ระหว่าง 13.3 MHz ถึง 17 MHz แต่ในโหมดนี้จะไม่สามารถรองรับสัญญาณตัวอย่างที่ต่อเนื่องได้ จะรับได้เฉพาะความถี่ต่อไปนี้เท่านั้น 8, 11.025, 12, 26, 22.05, 24, 32, 44.1, 48 kHz

การตรวจจับสัญญาณตัวอย่างสามารถทนได้ $\pm$200 ppm ที่ WSI ถ้าตัวสร้างสัญญาณไม่ถูกนำไปใช้ในการตวรจจับสัญญาณตัวอย่างโดยอัตโนมัติแล้วมันสามารถนำไปใช้เป็นสัญญาณนาฬิกาทั่วไปได้ซึ่งช่วงความถี่ในกรณีนี้จะเป็น 10 MHz ถึง 20 MHz

โหมดเอ็มเปก (MPEG Mode)

ในโหมดการทำงานนี้ควรใช้ในกรณีที่ติดต่อกับ MAS3507D ในการใช้ร่วมกับเอ็มเปกเพลเยอร์ (MPEG player) ในกรณีนี้สัญญาณความถี่ 14.725 MHz จะเป็นที่ต้องการเพื่อใช้ในการสร้างสัญญาณนาฬิกาสำหรับ MAS3507D และเพื่อการตรวจสอบสัญญาณตัวอย่างโดยอัตโนมัติใน DAC3550A สัญญาณเอ็มเปกแซมเพิลทั้งหมดตั้งแต่ 8 kHz ถึง 48 kHz จะต้องตรวจจับได้ กระบวนการภายในและตัว DAC เองจะปรับตัวเองเพื่อให้มีประสิทธิภาพคงที่โดยอัตโนมัติในทุกๆ ช่วงความถี่ ทำให้ไม่จำเป็นต้องควบคุม I^2C ในการปรับสัญญาณตัวอย่างนี้ อัตราสัญญาณเอ็มเปก:

8, 11.025, 12, 16, 22.05, 24, 32, 44.1, 48 kHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

และเช่นเดียวกันกับโหมดปกติการตรวจจับสัญญาณตัวอย่างสามารถทนทานได้ ±200 ppm ที่ WSI

การอ้างอิงสับแอดเดรสนั้นจะไม่ใช้ในเอ็มเปกโหมดนั่นหมายความว่าในระบบ Multi-DAC DAC3550A เพียงตัวเดียวก็สามารถทำงานในเอ็มเปกโหมดได้แล้ว

3.2.11 การติดต่อกับ I²C บัส (I²C Bus Interface)

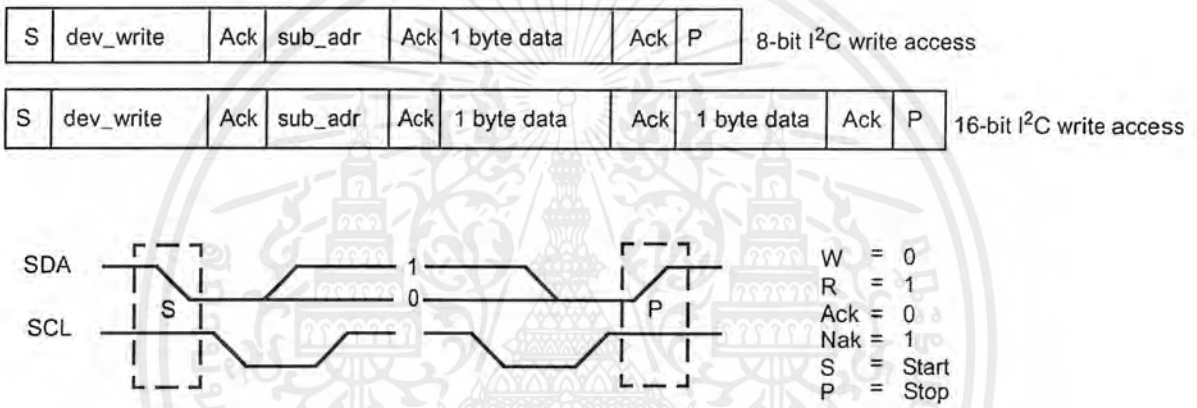
ชิป DAC3550A นั้นถูกประกอบกับ I²C บัสสเลฟ (slave)

การติดต่อกับ I²C บัสนั้นจะใช้การอ้างอิงแอดเดรสระดับที่ 1

I²C บัสแอดเดรสจะถูกใช้เพื่ออ้างอิงแอดเดรสของ IC

I²C บัสชิปแอดเดรสนั้นให้มาด้านล่างนี้

dev_write = $9A



รูปที่ 3-8 แสดง I²C บัสโปรโตคอลสำหรับการเขียน

3.2.12 รีจิสเตอร์

อุปกรณ์ฮาร์ดแวร์จะทำการรีเซ็ตสถานะในรีจิสเตอร์ให้เป็น 0 ในการเริ่มใช้ครั้งแรก การอ้างอิงแอดเดรสของรีจิสเตอร์นั้นจะใช้บิต 3 บิต RA1, RA0, Mnemonics

RA1	RA0	Mnemonics
0	1	SR_REG
1	0	AVOL
1	1	GCFG

ตารางที่ 3-3 แสดง I²C Register Address

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Chip Select

Chip Select สามารถทำการต่อ DAC3550A กับ I^2C Control Bus ได้มากที่สุด 3 ตัว การอ้างอิงสับแอดเดรสของชิพจะแสดงโดยขา MCS1/MCS2 (Mode&Chip Select) ซึ่งเฉพาะในโหมดปกติเท่านั้นถึงจะใช้ chip select ส่วนในโหมดเอ็มเปกจะใช้ chip subaddress ที่ 0

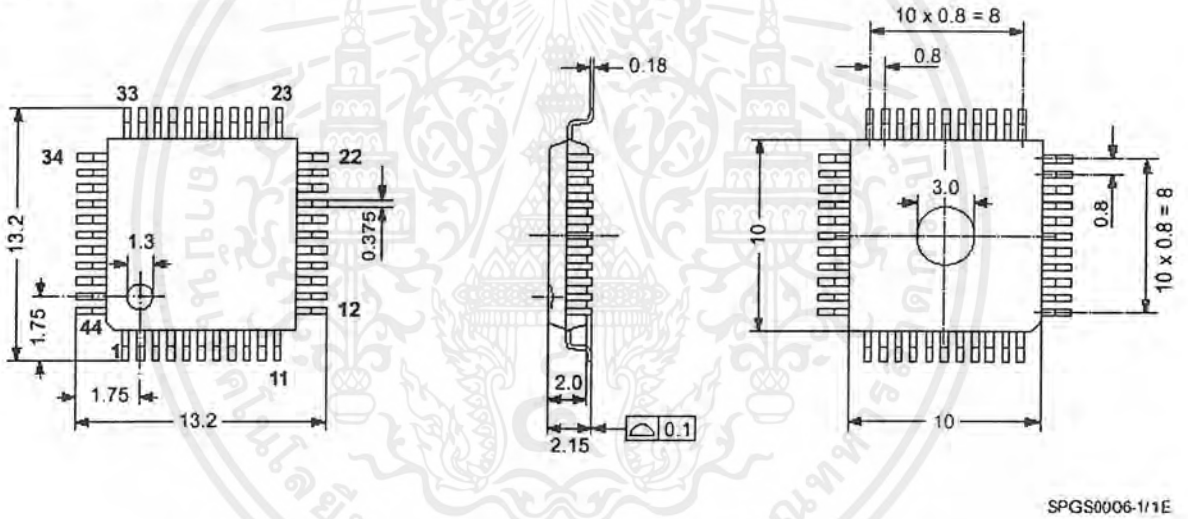
รีจิสเตอร์แอดเดรสและ chip select จะถูกแมพพ์ (mapped) ในสับแอดเดรสดังตาราง 2-4

3.2.13 Reduce Feature Mode

ถ้าส่วนควบคุม I^2C ไม่ถูกใช้งาน IC จะอยู่ในโหมดที่กำหนด (Default Mode) แต่พอหลังจากที่มีการเริ่มใช้งาน Volume จะถูกเซ็ตเป็น 0 dB และดิจิตอลออดิโออินพุตก็จะถูกเซ็ตตามมาตรฐาน I^2S ช่วงความถี่ที่ใช้งานในโหมดนี้มีค่าตั้งแต่ 32 kHz ถึง 48 kHz

3.3 รายละเอียดต่างๆ

3.3.1 รายละเอียดภายนอก



รูปที่ 3-9 แสดง DAC3550A ในแพ็คเกจ PQFP (Plastic Quad Flat Package)

น้ำหนักเฉลี่ยประมาณ 0.4 กรัม เส้นผ่านศูนย์กลางเป็นหน่วยมิลลิเมตร

3.3.2 รายละเอียดของขา

NC = ไม่ต่อปล่อยทิ้งไว้

LV = ถ้าไม่ใช้ปล่อยทิ้งไว้

VSS = ถ้าไม่ใช้ต่อกับ VSS

X = เป็นเกณฑ์ที่ต้องต่อ

VDD = ต่อกับ VDD

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เลขขา	ชื่อขา	ชนิด	ชนิดของการเชื่อมต่อ	รายละเอียดสั้นๆ
POWER SUPPLY				
1	AGNDC	BID	X	สัญญาณอนาลอกแบบอ้างความต่างศักดิ์
2	AVSS1	IN	X	VSS 1 สำหรับออดิโอแบ็คเอ็นต์ (audio back-end)
3	AVSS0	IN	X	VSS 0 สำหรับการขยายสัญญาณออก
4	NC		LV	ไม่ต่อ
5	OUTL	OUT	LV	ข้อมูลเอาท์พุต:หูฟังซ้ายหรือเพิ่มเสียงสปีคเกอร์
6	NC		LV	ไม่ต่อ
7	OUTR	OUT	LV	ข้อมูลเอาท์พุต:หูฟังขวาหรือลดเสียงลำโพง
8	NC		LV	ไม่ต่อ
9	AVDD0	IN	X	VDD 0 สำหรับการขยายสัญญาณเออก
10	AVDD1	IN	X	VDD 1 สำหรับออดิโอแบ็คเอ็นต์
11	NC		LV	ไม่ต่อ
12	XTI	IN	X	ควอดส์ออสซิเลเตอร์ขา 1
13	XTO	BID	X	ควอดส์ออสซิเลเตอร์ขา 2
14	CLKOUT	OUT	LV	สัญญาณนาฬิกาเอาท์พุต
15	SCL	BID	LV	สัญญาณนาฬิกาของ I^2C
16	SDA	BID	LV	ข้อมูลของ I^2C
17	VSS	IN	X	ดิจิตอล VSS
18	VDD	IN	X	ดิจิตอล VDD
19	MCS1	IN	X	I^2C ชิพซีเล็ค 1
20	MCS2	IN	X	I^2C ชิพซีเล็ค 2
21	DEECTRL	IN	VSS	เปิด/ปิด ตัวควบคุมดีมฟาซิส
22	NC		LV	ไม่ต่อ
23	CLI		VSS	I^2S บิตคล็อก
24	DAI	IN	VSS	ข้อมูลของ I^2S
25	WSI	IN	VSS	คุณลักษณะของ I^2S เฟรม
26	PORQ	IN	VDD	รีเซ็ตตอนเริ่ม, ทำงานที่สถานะต่ำ
27	TESTEN	IN	X	ไว้ทดสอบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เลขขา	ชื่อขา	ชนิด	ชนิดของการเชื่อมต่อ	รายละเอียดสั้นๆ
28	NC		LV	ไม่ต่อ
29	AUX2L	IN	LV	AUX2 อินพุตด้านซ้ายสัญญาณอนาลอกภายนอก
30	AUX2R	IN	LV	AUX2 อินพุตด้านขวาสัญญาณอนาลอกภายนอก
31	AUX1L	IN	LV	AUX1 อินพุตด้านซ้ายสัญญาณอนาลอกภายนอก
32	AUX1R	IN	LV	AUX อินพุตด้านขวาสัญญาณอนาลอกภายนอก
33	NC		LV	ไม่ต่อ
34	DEEML	OUT	LV	ดีมฟาซิสเครือข่ายซ้าย
35	DEEMR	OUT	LV	ดีมฟาซิสเครือข่ายขวา
36	NC		LV	ไม่ต่อ
37	FOUTL	OUT	X	เอาท์พุตที่ออกไปยังตัวกรองสัญญาณซ้าย
38	FOPL	BID	X	ฟิลเตอร์ออพแอมพ์อินเวิตติ้งอินพุต (Filter op amp inverting input) , ซ้าย
39	FINL	IN / OUT	X	อินพุตสำหรับ FOUTL
40	NC		LV	ไม่ต่อ
41	FOUTR	OUT	X	เอาท์พุตที่ออกไปยังตัวกรองสัญญาณซ้าย
42	FOPR	BID	X	ฟิลเตอร์ออพแอมพ์อินเวิตติ้งอินพุต, ขวา
43	FINR	IN / OUT	X	อินพุตสำหรับ FOUTR
44	VREF	IN	X	กราว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.4 รีจิสเตอร์ควบคุม

I^2C สับแอดเดรส	ขื่อขา	โหมด	ฟังก์ชัน	ค่าที่กำหนด	ชื่อ
SAMPLE RATE CONTROL **SR_REG**					
01	8	w	สัญญาณควบคุม Bit[7:5] ไม่ใช้ เซ็ตเป็น 0 Bit[4] L/R-bit 0 WS = 0 ⟶ Left channel 1 WS = 0 ⟶ Right channel Bit[3] Delay-Bit 0 ไม่ดีเลย์ 1 ดีเลย์ 1 บิต Bit[2:0] ความถี่สัญญาณ 000 32-48 kHz 001 26-32 kHz 010 20-26 kHz 011 14-20 kHz 100 10-14 kHz 101 8-10 kHz 11x เลือกอัตโนมัติ	0H	 LR_SEL SP_SEL SRC_48 SRC_32 SRC_24 SRC_16 SRC_12 SRC_8 SRC_A
ANALOG VOLUME **AVOL**					
02	16	w	ควบคุมเสียง Bit[15] ไม่ใช้, เซ็ตเป็น 0 Bit[14] เปิด/ปิดดีมฟาซิส 0 ปิดดีมฟาซิส 1 เปิด ดีมฟาซิส bit[13:8] ระดับสัญญาณเสียงซ้าย 000000 mute 000001 –75 dB 101100 +0 dB 111000 +18 dB	2C2CH	 DEEM AVOL_L

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

I²C ลับแอดเดรส	ขาขา	โหมด	ฟังก์ชัน	ค่าที่กำหนด	ชื่อ
			Bit[7:6] ไม่ใช้เซ็ตเป็น 0 Bit[5:0] ระดับสัญญาณเสียงซ้าย		AVOL_R
			000000 mute 000001 –75 dB 101100 +0 dB 111000 +18 dB		
ไม่สนใจ					
Global Configuration GCFG					
03	8	w	คอนฟิกกูเลชันทั่วไป Bit[7] ไม่ใช้เซ็ตเป็น Bit[6] เลือกโหมด 3V – 5V	4H	SEL_53V
			0 3V 1 5V Bit[5] พาวเวอร์โหมด 0 ปกติ 1 ใช้ไฟต่ำ Bit[4] เลือก AUX2 0 ปิด AUX2 1 เปิด AUX2 Bit[3] เลือก AUX1 0 ปิด AUX1 1 เปิด AUX1 Bit[2] เลือก DAC 0 ปิด DAC 1 เปิด DAC Bit[1] aux-mono/stereo 0 stereo 1 mono Bit[0] invert right power amplifier 0 ไม่อินเวิต 1 อินเวิต		PWMD INSEL_AUX2 INSEL_AUX1 INSEL_DAC AUX_MS IRPA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.5 ข้อมูลทางไฟฟ้า

3.5.1 Absolute Maximum Ratings

สัญลักษณ์	พารามิเตอร์	ชื่อขา	ค่าต่ำสุด	ค่าสูงสุด	หน่วย
T_A	อุณหภูมิโดยรอบ[1]		0	70	°C
T_S	อุณหภูมิสะสม		-40	125	°C
P_{Pmax}	การจ่ายไฟ				MW
V_{SUPA}	แหล่งจ่ายไฟอนาลอก[2]	AVDD0/1	-0.3	6	
V_{SUPD}	แหล่งจ่ายไฟดิจิตอล		-0.3	6	V
V_{Idig}	ไฟดิจิตอลอินพุต		-0.3	V_{SUPD}+0.3	V
I_{Idig}	กระแสดิจิตอลอินพุต		-5	+0.5	MA
V_{Iana}	ไฟอนาลอกอินพุต		-0.3	V_{SUPA}+0.3	V
I_{Iana}	กระแสอนาลอกอินพุต		-5	+5	MA
I_{Oaudio}	กระแสเอาท์พุต, ออดิโอเอาท์พุต[3]	OUTL/R		0.2	A
I_{Oclk}	กระแสเอาท์พุต	CLKOUT		tbd	A

1) ตามมาตรฐานของ DAC3550A ได้ทดสอบมาว่าใช้ได้ในช่วงอุณหภูมิ –20 ถึง 85 °C
2) ทั้ง 2 ขานี้จะต้องต่อด้วยกัน
3) ขานี้ห้ามช็อตเซอร์กิตเด็ดขาด

3.5.2 ข้อแนะนำเกี่ยวกับสภาวะของกระบวนการต่างๆ (Recommended Operating Condition)

สัญลักษณ์	พารามิเตอร์	ชื่อขา	ค่าต่ำสุด	Typ.	ค่าสูงสุด	หน่วย
อุณหภูมิและแหล่งจ่ายไฟ						
T_A	อุณหภูมิโดยรอบ[1]		0		70	°C
V_{SUPA1}	แหล่งจ่ายไฟอนาลอก	AVDD0/1	3.0[2]	3.3	5.5	V
V_{SUPD}	แหล่งจ่ายไฟดิจิตอล	VDD	2.7	3.3	5.5	V
ความสัมพันธ์ของแหล่งจ่ายไฟ						
V_{SUPA}	แหล่งจ่ายไฟอนาลอกที่มีความสัมพันธ์กับแหล่งจ่ายไฟดิจิตอล	AVDD0/1	V_{SUPD} -0.25 V		5.5 V	
อนาลอกรีเฟอเรนซ์ (Referance)						

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญลักษณ์	พารามิเตอร์	ชื่อขา	ค่าต่ำสุด	Typ.	ค่าสูงสุด	หน่วย
C_{AGNDC1}	อนาลอกรีเฟอเรนซ์คาพาซิเตอร์ (Capacitor)	AGNDC	1.0	3.3		μF
C_{AGNDC2}	อนาลอกรีเฟอเรนซ์คาพาซิ-เตอร์	AGNDC		10		nF
อนาลอกออดิโออินพุต						
V_{AI}	สัญญาณไฟอนาลอก AC, SEL_53V = 0	AUXnL/R[3]		0.35	0.7	V_{RMS}
V_{AI}	สัญญาณไฟอนาลอก AC, SEL_53V = 1	AUXnL/R[3]		0.525	1.05	V_{RMS}
กรองสัญญาณอนาลอกอินพุตและเอาท์พุต						
Z_{AFLO}	อนาลอกฟิลเตอร์โหลดเอาท์พุต[4]	FOUTL/R	7.5		6	kΩ pF
Z_{AFLI}	อนาลอกฟิลเตอร์โหลดอินพุต[4]	FINL/R	5.0		7.5	kΩ pF
อนาลอกออดิโอเอาท์พุต						
Z_{LO}	ออดิโอลายเอาท์พุต[5] (Audio Line Output)	FINL/R	10		1.0	kΩ nF
Z_{AOL_HP}	อนาลอกเอาท์พุตโหลด HP (ต้องการตัวต้านทาน 47 Ω ต่ออนุกรม)	OUTL/R		32 400		Ω pF
Z_{AOL_SP}	อนาลอกเอาท์พุตโหลด SP (Bridged)	OUTL/R	16	32 50		Ω pF
ควอดซ์ชาแรคเทอริสติก						
T_{AC}	อุณหภูมิโดยรอบ[1]		0		70	°C
F_P	ความถี่โหลดรีโซแนนซ์ (Load Resonance) ที่ C_l = 20 pF		13.3	14.725	17	MHz
$\Delta F/F_S$	การปรับค่าให้ถูกต้อง		-20		20	ppm
$\Delta F/F_S$	การเปลี่ยนแปลงความถี่กับอุณหภูมิ		-20		20	ppm
R_{EQ}	Equivalent Series Resistance			12	30	Ω

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญลักษณ์	พารามิเตอร์	ชื่อขา	ค่าต่ำสุด	Typ.	ค่าสูงสุด	หน่วย
C_0	Shunt (Parallel) Capacitance			3	5	pF
โหลดที่ขา CLKOUT						
C_{load}	Capacitance	CLKOUT	0		21	pF

1) ตามมาตรฐานของ DAC3550A ได้ทดสอบมาว่าใช้ได้ในช่วงอุณหภูมิ –20 ถึง 85 °C
2) สามารถลดได้ถึง 2.7 V แต่คุณภาพของสัญญาณก็จะลดลงด้วย
3) n = 1 หรือ 2
4) ดูในหัวข้อ 4.2 "Recommended Low-Pass Filters for Analog Outputs"
5) ดูในหัวข้อ 4.1 "Line Output Details"

3.5.3 ลักษณะพิเศษ (Characteristics)

ที่ T_A = 0 ถึง 70°C[1)], V_{SUPD} = 2.7 ถึง 5.5V, V_{SUPA} = 3.0 ถึง 5.5V, ค่าอื่นๆ T_J = 27°C, V_{SUPD} = V_{SUPA} = 3.3V, ความถี่ควอดซ์ = 14.725 MHz, Duty cycle = 50%, จ่ายกระแสบวกเข้า IC

สัญลักษณ์	พารามิเตอร์	ชื่อขา	ค่าต่ำสุด	Typ.	ค่าสูงสุด	หน่วย	สภาวะทดสอบ
แหล่งจ่ายไฟดิจิตอล							
I_{VDD}	Current Consumption	VDD		5		mA	V_{SUPD} = 3V
I_{VDD}	Current Consumption	VDD		8		mA	V_{SUPD} = 5V
I^2S อินพุต							
V_{I2S}	Input Voltage	CLI, WSI, DAI	0		V_{SUPA}	V	
ขาดิจิตอลอินพุต – Leakage							
I_I	Input Leakage Current	CLI, WSI, DAI, TESTEN, PORQ, DEECTRL, MCS 1/2			±1	μA	$V_{GND} \leq V_I \leq V_{SUP}$
Digital Output Pin – Clock Out							

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญลักษณ์	พารามิเตอร์	ชื่อขา	ค่าต่ำสุด	Typ.	ค่าสูงสุด	หน่วย	สภาวะทดสอบ
V_{OH}	Output High Voltage	CLKOUT	V_{SUPD} -0.3			V	ไม่มีโหลดที่เอาท์พุต
V_{OL}	Output Low Voltage				0.3	V	
I^2C Bus							
R_{on}	Output Impedance	SCL, DA			60	Ω	I_{load} = 5 mA V_{SUPD} = 2.7V
แหล่งจ่ายไฟอนาลอก							
I_{AVDD}	Current Consumption Analog Audio, SEL_53V = 0	AVDD0/1		8 1.5	11	mA mA	PWMD = 0, Mute PWMD = 1, Mute
	SEL_53V = 1			11 2	15	mA mA	PWMD = 0, Mute PWMD = 1,
$PSRR_{AA}$	Power Supply Rejection Ratio for Analog Audio Output	AVDD0/1, OUTL/R		50		dB	1 kHz sine ที่ 100 mV_{rms}
				20		dB	≤ 100 kHz sine ที่ 100 mV_{rms}
$PSRR_{LO}$	Power Supply Rejection Ratio for Line Output	AVDD0/1, FINL/R		50		dB	1 kHz sine ที่ 100 mV_{rms}
				40		dB	≤ 100 kHz sine ที่ 100 mV_{rms}
Reference Frequency Generation							
V_{DCXTI}	DC Voltage at Oscillator Pins	XTI/O		0.5*V_{SUPA}		V	
C_{LI}	Input Capacitance at Oscillator Pin	XTI		3		pF	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญลักษณ์	พารามิเตอร์	ชื่อขา	ค่าต่ำสุด	Typ.	ค่าสูงสุด	หน่วย	สภาวะทดสอบ
C_{LO}	Input Capacitance at Oscillator Pin	XTO		7		pF	
$V_{xtalout}$	Voltage Swing at Oscillator Pins (peak-peak)	XTI/O	0.6		1.0	pp, V_{DDA}	
	Oscillator Start-up Time				50	ms	V_{DD} slew rate
Analog Audio							
V_{AGNDC}	Analog Reference Voltage	AGNDC		1.5		V	SEL_53V = 0 R_L >> 10 MΩ referred to VREF
				2.25		V	SEL_53V = 1 R_L >> 10 MΩ referred to VREF
R_{IAUX}	Input Resistance at Input Pins	AUXnL/R	12.11 11.6	15	17.9 19.0	kΩ kΩ	T_J = 27 °C T_A = 0 to 70 °C Input selectd, PWMD = 1 i = ± 10 μA referred to VREF
			24.2 23.3	30	35.8 37.9	kΩ kΩ	T_J = 27 °C T_A = 0 to 70 °C Input selectd, i = ± 10 μA Referred to VREF

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญลักษณ์	พารามิเตอร์	ชื่อขา	ค่าต่ำสุด	Typ.	ค่าสูงสุด	หน่วย	สภาวะทดสอบ
R_{OOUT}	Output Resistance at Output Pins	OUTL/R		700		Ω	T_J = 27 °C PWMD = 0 i = ± 200 μA Referred to VREF
R_{OFILT}	Output Resistance of Filter Pins	FINL		15		kΩ	PWMD=0, Mute i = ± 10 μA Referred to VREF
		FINR		11, 25		kΩ	
V_{Offi}	Offset Voltage at Input Pins	AUXnL/R	-20		20	mV	PWMD=1 Referred to AGNDC
V_{Offo}	Offset Voltage at Output Pins	OUTL/R	-10		10	mV	PWMD=1,Mute Referred to AGNDC
V_{OffFI}	Offset Voltage at Filter Output Pins	FOUTL/R	-20		20	mV	PWMD=1 Referred to AGNDC
V_{OffFO}	Offset Voltage at Filter Input Pins	FINL/R	-20		20	mV	PWMD=1 Referred to AGNDC
dV_{DCPD}	Difference of DC Voltage at Output Pins after Back-end Low Power Sequence	OUTL/R	-10		10	mV	Analog Gain = Mute PWMD switched from 0 to 1
$R_{D/A}$	D/A Pass Band Ripple	OUTL/R, FOUTL/R		-0.1		dB	0...0.446 fs
$A_{D/A}$	D/A Stop Band Attenuation			40		dB	0.55...7.533 fs

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญลักษณ์	พารามิเตอร์	ชื่อขา	ค่าต่ำสุด	Typ.	ค่าสูงสุด	หน่วย	สภาวะทดสอบ
BW_{AUX}	Bandwidth for Auxiliary	AUXnL/R, FINL/R		760		kHz	
THD_{ALO}	Total Harmonic Distortion from Auxiliary to Line Output	AUXnL/R, FINL/R			0.01	%	BW = 20Hz...22kHz, unweighted, $R_L > 5\ k\Omega$ Input 1 kHz at $0.5V_{rms}$ $R_{dec} \geq 612\ \Omega$
THD_{DLO}	Total Harmonic Distortion (D/A converter to Line Output)	FINL/R			0.01	%	BW = 20Hz...0.5 fs, unweighted, $R_L > 5\ k\Omega$ Input 1 kHz at -3 dBFS $R_{dec} \geq 612\ \Omega$
THD_{HP}	Total Harmonic Distortion (Headphone)	OUTL/R			0.05	%	BW = 20Hz...0.5 fs, unweighted, $R_L \geq 32\ \Omega$ Analog Gain = 0 dB, Input 1 kHz at -3 dBFS
	Total Harmonic Distortion (Speaker)	OUTL/R			0.5	%	BW = 20Hz...0.5 fs, unweighted, $R_L \geq 32\ \Omega$ Analog Gain = 0 dB, Input 1 kHz at -3 dBFS

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญลักษณ์	พารามิเตอร์	ชื่อขา	ค่าต่ำสุด	Typ.	ค่าสูงสุด	หน่วย	สภาวะทดสอบ
SNR_{AUX}	Signal-to-Noise Ratio from Analog Input to Line Output	AUXn, FINL/R		98		dB	SEL_53V = 0: Input –40 dB below 0.7 V_{rms} SEL_53V = 1: Input –40 dB below 1.05 V_{rms}
	Signal-to-Noise Ratio from Analog Input to Headphone Output	AUXn, OUTn		96		dB	
SNR_I	Signal-to-Noise Ratio	OUTL/R	89	91		dB	$R_L \geq 32\ \Omega$ BW = 20Hz...0.5 fs unweighted, Analog Gain = 0 dB, Input = -20 dBFS
		FINL/R	90	92		dB	$R_L \geq 5\ k\Omega$ $R_{dec} \geq 612\ \Omega$ BW etc. as above 16 bit I^2S, SEL_53V = 0
				94		dB	32 bit I^2S, SEL_53V = 0
				96		dB	16 bit I^2S, SEL_53V = 1
				98		dB	32 bit I^2S, SEL_53V = 1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญลักษณ์	พารามิเตอร์	ชื่อขา	ค่าต่ำสุด	Typ.	ค่าสูงสุด	หน่วย	สภาวะทดสอบ
SNR_2	Signal-to-Noise Ratio	OUTL/R	58	62		dB	$R_L \geq 32\ \Omega$ BW = 20Hz...0.5 fs unweighted, Analog Gain = -40.5 dB, Input = -3 dBFS
Lev_{Mute}	Mute Level	OUTL/R		-110		dBV	BW = 20Hz...22kHz, unweighted, No digital input signal, Analog Gain = Mute
V_{AO}	Analog Output Voltage AC	OUTL/R, FOUTL/R, FINL/R	0.65	0.7	0.75	V_{rms}	SEL_53V = 0, $R_L \geq 5\ k\Omega$, Analog Gain = 0 dB, Input = 0 dBFS digital
			1.0	1.05	1.1	V_{rms}	SEL_53V = 1
G_{AUX}	Gain from Auxiliary Inputs to Line Outputs	AUXnL/R, FINL/R				mW	F = 1 kH, sine wave, $R_L >$ $5k\Omega$ 0.5 Vrms to AUXnL/R
P_{HP}	Output power (headphone)	OUTL/R		5		mW	SEL_53V = 0 $R_L = 32\ \Omega$, Analog Gain = +2 dB, distortion < 1%, External 47 Ω series resistor required

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญลักษณ์	พารามิเตอร์	ชื่อขา	ค่าต่ำสุด	Typ.	ค่าสูงสุด	หน่วย	สภาวะทดสอบ
				12			SEL_53V=1
P_{SP}	Output Power (Speaker)	OUTL/R		120		mW	$R_L = 32\Omega$ (bridged) , +2dB,distortion < 10 % SEL_53 = 0, IRPA = 1
				280			SEL_53V = 1
G_{AO}	Analog Output Gain Setting Range	OUTL/R	-75		18	dB	
dG_{AO1}	Analog Output Gain Step Size	OUTL/R		3.0		dB	Analog Gain : -75 dB....54 dB
dG_{AO2}	Analog Output Gain Error	OUTL/R		1.5		dB	Analog Gain: -54 dB....18 dB
E_{GA1}	Analog Output Gain Error	OUTL/R	-2		2	dB	Analog Gain:= -54 dB
E_{GA2}	Analog Output Gain Error	OUTL/R	-1		1	dB	Analog Gain = -45 dB
E_{GA3}	Analog Output Gain Error	OUTL/R	-0.5		0.5	dB	Analog Gain = -39 dB
E_{GA}	Analog Output Gain Step Size Error	OUTL/R	-0.5		0.5	dB	Analog Gain = -48
$XTALK_{LO}$	Cross – Talk Left/Right Channel (Line Output)	AUXnL/R FOUTL/R , FINL/R	-70	-80		dB	F = 1 kHz, sine wave, $R_L > 7.5k\Omega$ Analog Gain = 0 dB, Input = -3 dBFS or 0.5 Vrms to AUXnL/R

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญลักษณ์	พารามิเตอร์	ชื่อขา	ค่าต่ำสุด	Typ.	ค่าสูงสุด	หน่วย	สภาวะทดสอบ
$XTALK_{HP}$	Crosstalk Left/Right Channel (Headphone)	OUTL/R	-70	-80		dB	F = 1 kHz, sine wave, OUTL/R:R_L > 32Ω (47 Ω series resistor required) Analog Gain = 0 dB, Input = -3 dBFS or 0.5 Vrms to AUXnL/R
$XTALK_2$	Crosstalk between Input Signal Paris	AUXnL/R	-70	-80		dB	F = 1 kHz, sine wave,FOUTL/R :R_L > 7.5 kΩ OUT/R : R_L > 32 Ω (47 Ω series resistor required) Analog Gain = 0 dB, Input = - 3 dBFS and 0.5 Vrms to AUXnL/R

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4
ความสามารถพิเศษของไมโครคอนโทรเลอร์ตระกูล MCS-51 เบอร์ 89S8252

0F8H								0FFH
0F0H	B 00000000							0F7H
0E8H								0EFH
0E0H	ACC 00000000							0E7H
0D8H								0DFH
0D0H	PSW 00000000					SPCR 000001XX		0D7H
0C8H	T2CON 00000000	T2MOD XXXXXX00	RCAP2L 00000000	RCAP2H 00000000	TL2 00000000	TH2 00000000		0CFH
0C0H								0C7H
0B8H	IP XX000000							0BFH
0B0H	P3 11111111							0B7H
0A8H	IE 0X000000		SPSR 00XXXXXX					0AFH
0A0H	P2 11111111							0A7H
98H	SCON 00000000	SBUF XXXXXXXX						9FH
90H	P1 11111111						WMCON 00000010	97H
88H	TCON 00000000	TMOD 00000000	TL0 00000000	TL1 00000000	TH0 00000000	TH1 00000000		8FH
80H	P0 11111111	SP 00000111	DP0L 00000000	DP0H 00000000	DP1L 00000000	DP1H 00000000	SPDR XXXXXXXX	PCON 0XXX0000	87H

รูปที่ 4-1 ตำแหน่งหน่วยความจำที่เก็บรีจิสเตอร์ของฟังก์ชันพิเศษของ 89S8252

ตำแหน่งหน่วยความจำที่เก็บรีจิสเตอร์ของฟังก์ชันพิเศษ (Special Function Register) (SFR) ซึ่งแสดงในรูปที่ 4-1

4.1 รีจิสเตอร์ควบคุมการทำงาน

ใช้ควบคุม และดูสถานะของการติดต่อแบบอนุกรมกับอุปกรณ์รอบข้าง (Serial Peripheral Interface) ซึ่งประกอบด้วยรีจิสเตอร์ SPCR (ตารางที่ 4-1) รีจิสเตอร์ SPSR (ตารางที่ 4-2) และรีจิสเตอร์ SPDR

4.1.1 รีจิสเตอร์ SPCR (Serial peripheral control register)

บิตสั่งงานอินเตอร์รัพทั่วไป (global interrupt enable bit) และบิตสั่งงานอินเตอร์รัพเฉพาะ (individual interrupt enable bit) จะรวมอยู่ในรีจิสเตอร์ IE เช่นเดียวกันกับ 89C51 แต่จะเพิ่มอินเตอร์รัพเฉพาะสำหรับ SPI ขึ้นมา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SPIE	SPE	DORD	MSTR	CPOL	CPHA	SPR1	SPR0
7	6	5	4	3	2	1	0

สัญลักษณ์	ฟังก์ชัน
SPIE	เป็นตัวอนุญาตให้สามารถใช้อินเตอร์รัพ SPI ได้ ซึ่งในการใช้อินเตอร์รัพ SPI นี้จะต้องเซตบิต SPIE เป็น 1 และบิต ES ในรีจิสเตอร์ IE เป็น 1
SPE	เป็นบิตที่คอยอนุญาตให้ใช้ SPI ถ้าเป็น 1 ขา P1.4, P1.5, P1.6 และ P1.7 จะเป็น $\overline{SS}$, MOSI, MISO, SCK ตามลำดับ
DORD	ถ้าเป็น 1 จะส่งแบบ LSB ก่อน ถ้าเป็น 0 จะส่งแบบ MSB ก่อน
MSTR	ถ้าเป็น 1 จะเป็นโหมดมาสเตอร์ (master) ถ้าเป็น 0 จะเป็นโหมดสเลฟ (slave)
CPOL	เมื่อ CPOL เป็น 1, SCK จะเป็น 1 เมื่ออยู่ในสถานะว่าง เมื่อ CPOL เป็น 0, SCK ของมาสเตอร์จะเป็น 0 ถ้าไม่มีการส่ง
CPHA	บิต CPHA กับ CPOL จะเป็นตัวควบคุมสัญญาณนาฬิกาและความสัมพันธ์ของข้อมูลระหว่างมาสเตอร์และสเลฟ
SPR1 SPR0	เป็นตัวเลือกสัญญาณนาฬิกา SPI จาก SCK ซึ่งจะใช้ได้ในโหมดมาสเตอร์เท่านั้น ซึ่งความสัมพันธ์ระหว่าง SCK และความถี่ออสซิเลเตอร์ (F_{osc}) จะเป็นดังนี้ SPR1 SPR0 SCK = F_{osc} หารด้วย: 0 0 4 0 1 16 1 0 64 1 1 128

ตารางที่ 4-1 แสดง SPCR-SPI Control Register

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.1.2 รีจิสเตอร์ SPSR (Serial peripheral status register)

เป็นรีจิสเตอร์ที่ใช้แสดงสถานะการทำงานของการส่งข้อมูลในแบบ SPI มีรายละเอียดดังต่อไปนี้

SPIF	WCOL	-	-	-	-	-	-
7	6	5	4	3	2	1	0

สัญลักษณ์	ฟังก์ชัน
SPIF	เมื่อการส่งข้อมูลเสร็จสิ้นบิตนี้จะถูกเซตเป็น 1 และจะมีการอินเตอร์รัพถ้าหากบิต SPIE และ ES เป็น 1 และ SPIF นี้จะถูกเคลียร์ค่าเมื่ออ่านค่ารีจิสเตอร์สถานะแล้ว
WCOL	จะถูกเซตเป็น 1 เมื่อ SPDR ถูกเขียนระหว่างการส่ง และจะถูกเคลียร์ค่าเมื่ออ่านค่ารีจิสเตอร์สถานะแล้ว

ตารางที่ 4-2 แสดง SPSR-SPI Status Register

4.1.3 รีจิสเตอร์ SPDR (Serial peripheral data register)

บิตข้อมูลของ SPI ที่จะส่งออกหรือรับเข้าจะถูกเก็บอยู่ไว้ในรีจิสเตอร์ SPDR ซึ่ง SPDR นี้จะมีบัฟเฟอร์สำหรับเก็บข้อมูลมากกว่าปกติถึง 2 เท่า และค่าใน SPDR นี้จะไม่เปลี่ยนแปลงแม้จะถูกรีเซต

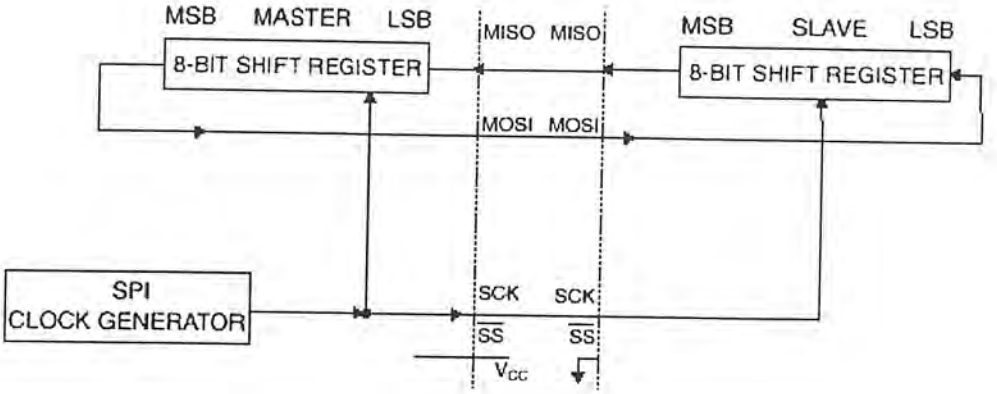
4.2 คุณสมบัติ และการทำงานของ SPI

ลักษณะเฉพาะของ 89S8252 มี

- Full-Duplex, 3-Wire Synchronous Data Transfer
- Master or Slave Operation
- 15 MHz Bit Frequency (max)
- ส่งข้อมูลได้ทั้งแบบ LSB ก่อนและ MSB ก่อน
- ควบคุมอัตราเร็วได้ 4 แบบ
- มีอินเตอร์รัพเมื่อสิ้นสุดการส่งข้อมูล
- Write Collision Flag Protection
- Wakeup from Idle Mode (เฉพาะโหมดสเลฟท่านั้น)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

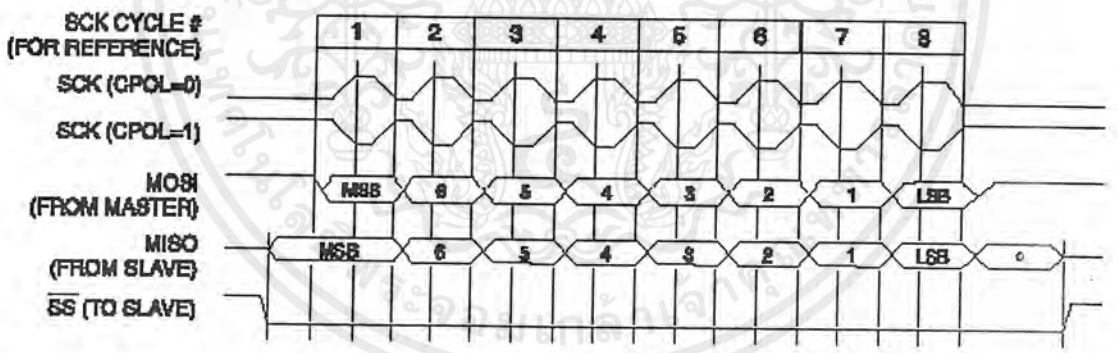
การติดต่อระหว่างมาสเตอร์กับสเลฟโดย SPI แสดงดังรูปที่ 4-2



รูปที่ 4-2 SPI Master-slave Interconnection

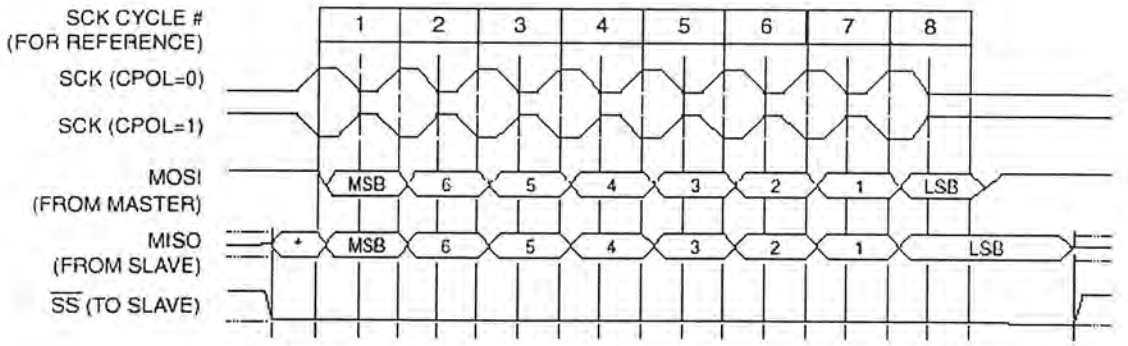
ขา SCK เป็นสัญญาณนาฬิกาเอาท์พุตในโหมดมาสเตอร์และจะเป็นสัญญาณนาฬิกาอินพุตในโหมดสเลฟ

เมื่อเขียนข้อมูลลงรีจิสเตอร์ SPDR ของฝั่งมาสเตอร์ก็จะสร้างสัญญาณนาฬิกา SPI ขึ้นมาและทำการชิพ (shift) ข้อมูลออกทางขา MOSI ไปสู่ขา MOSI ของฝั่งสเลฟและเมื่อทำการส่งข้อมูลครบ 1 ไบต์ สัญญาณนาฬิกา SPI ก็จะหยุดส่ง แล้วจึงทำการเซตบิต SPIF รูปแบบการส่งข้อมูลของ SPI จะแสดงดังรูปที่ 4-3 และ 4-4



รูปที่ 4-3 รูปแบบการส่งข้อมูลของ SPI โดยที่ CPHA เป็น 0

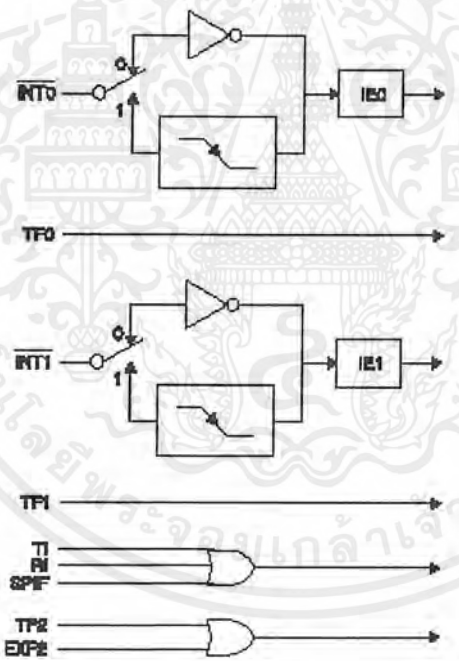
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4-4 รูปแบบการส่งข้อมูลของ SPI โดยที่ CPHA เป็น 1

4.3 อินเตอร์รัพ

89S8252 มีทั้งหมด 6 อินเตอร์รัพเวคเตอร์ ซึ่งเป็นอินเตอร์รัพภายนอก 2 อินเตอร์รัพ (INT0 และ INT1) 3 ไทม์เมอร์อินเตอร์รัพ (ไทม์เมอร์ 0, 1 และ 2) และมีอีก 1 อินเตอร์รัพของพอร์ตอนุกรม ซึ่งอินเตอร์รัพทั้งหมดนี้แสดงอยู่ในรูปที่ 4-5



รูปที่ 4-5 Interrupt Sources

การใช้อินเตอร์รัพเหล่านี้จะใช้ผ่านบิตต่างๆ ในรีจิสเตอร์ IE ดังตารางที่ 4-3 โดยมีบิต EA เป็นบิตที่คอยอนุญาตให้มีการอินเตอร์รัพได้หรือไม่ และมีบิต IE.5 เพิ่มเติมขึ้นมาจาก AT89C51 ซึ่งเป็นอินเตอร์รัพไทม์เมอร์ 2 โดยเกิดจากการ OR กันของบิต TF2 และ EXF2 ในรีจิสเตอร์ T2CON

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

EA	-	ET2	ES	ET1	EX1	ET0	EX0

สัญลักษณ์	ตำแหน่ง	ฟังก์ชัน
EA	IE.7	ถ้าเป็น 0 จะไม่ใช้งานอินเตอร์รัพทั้งหมด ถ้าเป็น 1 ก็จะอนุญาตให้ใช้งานอินเตอร์รัพแต่ละอันได้ ซึ่งแล้วแต่ว่าจะใช้อันไหน
-	IE.6	ถูกจอง
ET2	IE.5	ให้ใช้งานอินเตอร์รัพไทม์เมอร์ 2 หรือไม่
ES	IE.4	ให้ใช้งานอินเตอร์รัพ SPI และ UART หรือไม่
ET1	IE.3	ให้ใช้งานอินเตอร์รัพไทม์เมอร์ 1 หรือไม่
EX1	IE.2	ให้ใช้งานอินเตอร์รัพภายนอก 1 หรือไม่
ET0	IE.1	ให้ใช้งานอินเตอร์รัพไทม์เมอร์ 0 หรือไม่
EX0	IE.0	ให้ใช้งานอินเตอร์รัพภายนอก 0 หรือไม่

ตารางที่ 4-3 แสดงInterrupt Enable Register

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5
ATAPI

5.1 ความรู้ทั่วไป

มาตรฐาน ATAPI เป็นมาตรฐานที่อยู่บนมาตรฐาน ATA อีกทีหนึ่ง จากเดิมที่การควบคุมอุปกรณ์ในมาตรฐาน ATA ใช้คำสั่งเพียงเวิร์ดเดียวในการสั่งงาน ในมาตรฐาน ATAPI นี้จะเปลี่ยนรูปแบบการส่งคำสั่งจากเวิร์ดเดียวเป็นแพ็คเก็ตของคำสั่งแทน เพื่อความยืดหยุ่นในการสั่งงานอุปกรณ์ แต่ถึงอย่างไรก็ตาม มาตรฐาน ATAPI เป็นมาตรฐานที่อยู่บนมาตรฐาน ATA ดังนั้นส่วนเชื่อมต่อ (Connector) และสัญญาณ (Timing Diagram) จะเหมือนกับมาตรฐาน ATA ทั้งหมด ส่วนที่แตกต่างออกไปคือ รีจิสเตอร์ภายในอุปกรณ์จะมีการเปลี่ยนแปลงไปบ้างบางส่วน และโพรโตคอลที่ใช้ส่งคำสั่งควบคุมอุปกรณ์

5.2 รีจิสเตอร์ภายใน

ในมาตรฐาน ATAPI รีจิสเตอร์ภายในส่วนใหญ่จะยังคงหน้าที่เดิมอยู่ แต่จะมีรีจิสเตอร์บางตัวเท่านั้นที่มีการเปลี่ยนแปลงการทำงาน เช่น

- รีจิสเตอร์ Cylinder High/Low เปลี่ยนเป็น Byte Count High/Low ซึ่งทำหน้าที่ควบคุมปริมาณข้อมูลที่จะส่งจากตัวอุปกรณ์มายังคอนโทรลเลอร์หรือจากคอนโทรลเลอร์ไปยังอุปกรณ์ รายละเอียดการทำงานของรีจิสเตอร์นี้ดูได้จากหัวข้อ 5.5
- รีจิสเตอร์ Sector Count เปลี่ยนเป็นรีจิสเตอร์ Interrupt Reason ซึ่งทำหน้าที่บอกสาเหตุของการอินเตอร์รัพแต่ละครั้ง รายละเอียดการทำงานของรีจิสเตอร์นี้อยู่ในหัวข้อ 5.6

นอกจากหน้าที่ของรีจิสเตอร์ภายในบางตัวจะมีการเปลี่ยนแปลงแล้ว หน้าที่การทำงานของบิตบางบิตภายในรีจิสเตอร์ก็มีการเปลี่ยนแปลงเช่นเดียวกัน

5.3 โพรโตคอลการส่งข้อมูล

การสั่งงานอุปกรณ์ ATAPI สามารถทำได้ 2 วิธี คือ วิธีทาสก์ไฟล์ (Task File) และวิธีแพ็คเก็ตคอมมาน (Packet Command) สำหรับทั้ง 2 วิธีนี้ อุปกรณ์จะถูกสั่งการโดยคอนโทรลเลอร์เพื่อที่จะแสดงคำสั่งและส่งค่าสถานะกลับมายังคอนโทรลเลอร์เมื่อเสร็จสิ้นคำสั่ง หากมีการเชื่อมต่อกับอุปกรณ์ 2 ตัว คำสั่งจะต้องเป็นคำสั่งแบบขนานไปยังอุปกรณ์ที่เชื่อมต่อทั้งหมด และสำหรับคำสั่งของ ATA จะมีเพียงอุปกรณ์ที่ถูกเลือก (ดูจากบิต DRV ในรีจิสเตอร์ Drive/Head) เท่านั้นที่จะทำตามคำสั่ง

โพรโตคอลสำหรับ ATAPI นั้นเน้นที่การใช้คำสั่ง ATA แบบใหม่ที่เรียกว่าแพ็คเก็ตคอมมาน ซึ่งจะมีหลักเกณฑ์เพิ่มเติมขึ้นมา คือ

1. บิต DRQ ในรีจิสเตอร์สถานะจะต้องใช้ร่วมกับรีจิสเตอร์ Interrupt Reason เพื่อที่จะระบุชนิดของการอินเตอร์รัพที่เกิดขึ้นจริง
2. คำสั่งที่ใช้กับอุปกรณ์ต่างๆ นั้นจะส่งไปเป็นแพ็คเก็ต (packet) ผ่านรีจิสเตอร์ข้อมูล ไม่ใช่ทาสก์ไฟล์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3. ใช้ Byte Count ในการกำหนดปริมาณข้อมูลที่จะมีการถ่ายโอนในแต่ละ DRQ Interrupt
4. รีจิสเตอร์ Features ของ ATAPI ใช้เพื่อบอกอุปกรณ์ว่าจะใช้การถ่ายข้อมูลแบบ DMA
5. สถานะสุดท้ายจะส่งไปที่คอนโทรลเลอร์เสมือนการอินเตอร์รัพหลังการถ่ายโอนข้อมูลสุดท้ายแทนที่จะส่งไปกับบล็อกข้อมูลสุดท้าย

โพรโตคอลของ ATAPI จะถูกใช้เมื่อมีการส่งแพ็คเก็ตคอมมานไปจนกระทั่งคอนโทรลเลอร์ทำการอ่านค่าสถานะสุดท้ายว่าคำสั่งเสร็จสิ้นแล้ว จึงจะกลับไปใช้โพรโตคอลของ ATA

5.4 แพ็คเก็ตคอมมานของ ATAPI

การส่งแพ็คเก็ตคอมมานของ ATAPI ทำได้โดยการเซตบิต DRV เขียนรหัสคำสั่งไปยังรีจิสเตอร์คำสั่งเพื่อบอกอุปกรณ์ให้ใช้โพรโตคอล ATAPI

สำหรับคำสั่ง ATA ทั่วไป สัญญาณ DRQ จะใช้เพื่อบอกว่าข้อมูลของคำสั่งนั้นๆ สามารถถูกถ่ายโอนมาจาก/ไปยังอุปกรณ์ได้ ส่วนถ้าเป็นของ ATAPI สัญญาณ DRQ ครั้งแรกจะแสดงว่ามีการเขียนแพ็คเก็ตคอมมานมายังอุปกรณ์แล้ว

แพ็คเก็ตคอมมานจะถูกถ่ายโอนทาง PIO เท่านั้นจะไม่ใช้ DMA และแพ็คเก็ตคอมมานนั้นสามารถส่งได้โดยไม่ต้องคำนึงถึงสถานะของบิต DRDY

ถ้าช่วงการพูลลิ่งสัญญาณ BSY อุปกรณ์ยังคงอยู่ในสภาวะที่ไม่สามารถรับคำสั่งได้นานกว่า 5 วินาทีแล้วคอนโทรลเลอร์จะต้องทำการรีเซตอุปกรณ์

ในการถ่ายโอนข้อมูลนั้นอาจทำได้หลายวิธีมากกว่าที่ได้อธิบายไว้ แต่จะต้องใช้ตามลำดับดังที่อธิบายตามมาตรฐาน เพื่อความเข้ากันได้กับอุปกรณ์ ATAPI ในปัจจุบันและอนาคต

5.5 การใช้รีจิสเตอร์ Byte Count (Cylinder High/Low) สำหรับแพ็คเก็ตคอมมาน

รีจิสเตอร์นี้ใช้ในการควบคุมจำนวนไบต์ที่จะมีการถ่ายโอนในแต่ละ DRQ ซึ่งใช้สำหรับข้อมูลพารามิเตอร์ของคำสั่ง (command parameter data) ที่ถูกถ่ายโอนผ่าน PIO หรือจำนวนข้อมูลในคอมมานแพ็คเก็ต

เนื่องจากความยาวของข้อมูลที่จะถ่ายโอนจริงมาจาก/ไปยังอุปกรณ์ซึ่งใช้ PIO นั้นจะถูกควบคุมโดยคอนโทรลเลอร์ และเนื่องจากอุปกรณ์ ATAPI ต้องการที่จะควบคุมจำนวนไบต์ที่จะถ่ายโอนจึงมีการเพิ่มความสามารถดังกล่าวเข้าไปโดยใช้รีจิสเตอร์ Byte Count

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การทำงาน	PIO	DMA
ส่งแพ็คเก็ตคอมมาน	ใช้เป็นพารามิเตอร์ให้กับแพ็คเก็ตคอมมาน และไม่ใช้ควบคุมการถ่ายโอนแพ็คเก็ตคอมมาน	คอมมานแพ็คเก็ตจะไม่ใช้โหมด DMA
เป็นพารามิเตอร์ให้แก่แพ็คเก็ตคอมมาน	เป็นพารามิเตอร์ของแพ็คเก็ตคอมมานที่จะถ่ายโอนข้อมูล คอนโทรลเลอร์จะใช้ Byte Count ในการบอกปริมาณข้อมูลสูงสุดที่จะถูกถ่ายโอนในแต่ละ DRQ	อุปกรณ์สามารถเพิกเฉยต่อค่า Byte Count ในกรณีที่การถ่ายโอนที่เกิดขึ้นนั้นถูกควบคุมโดยอุปกรณ์ ATAPI ไม่ใช่คอนโทรลเลอร์
เป็นข้อมูลพารามิเตอร์ที่ส่งจากอุปกรณ์ไปยังคอนโทรลเลอร์	ในแต่ละ DRQ/DMARQ Byte Count จะบรรจุจำนวนไบต์ของข้อมูลที่คอนโทรลเลอร์จะรับมาจากอุปกรณ์	อุปกรณ์ ATAPI สามารถที่จะถ่ายโอนข้อมูลเมื่อใดก็ได้ตามต้องการ
เป็นข้อมูลพารามิเตอร์ที่ส่งจาคอนโทรลเลอร์ไปยังอุปกรณ์	ในแต่ละ DRQ/DMARQ Byte Count จะบรรจุจำนวนไบต์ของข้อมูลที่คอนโทรลเลอร์จะถ่ายโอนไปยังอุปกรณ์	อุปกรณ์ ATAPI สามารถที่จะถ่ายโอนข้อมูลเมื่อใดก็ได้ตามต้องการ

ตารางที่ 5-1 แสดงการใช้รีจิสเตอร์ Byte Count

ก่อนที่จะเกิดการถ่ายโอนข้อมูล คอนโทรลเลอร์จะอ่าน 16 บิตของรีจิสเตอร์ Byte Count และจะถ่ายโอนตามความยาวนั้นๆ ทั้งอุปกรณ์ ATAPI และคอนโทรลเลอร์ ต้องมีการนับไบต์ของตัวเองและจะถ่ายโอนจนกระทั่งการนับไบต์เป็น 0 สำหรับบางคำสั่ง เช่น Mode, Sense คอนโทรลเลอร์จะไม่รู้ถึงปริมาณข้อมูลที่จะถูกถ่ายโอน ดังนั้นคอนโทรลเลอร์จำเป็นต้องอ่านค่า Byte Count ของอุปกรณ์เพื่อที่จะถ่ายโอนข้อมูลด้วยจำนวนที่ถูกต้อง

นอกจากนี้รีจิสเตอร์ Byte Count ยังใช้ในการกำหนดปริมาณข้อมูลสูงสุดที่คอนโทรลเลอร์สามารถรับได้ใน 1 แพ็คเก็ต (Single PIO DRQ Packet) หรือบอกขนาดของแพ็คเก็ต อุปกรณ์ ATAPI จะใช้ค่านี้เป็นขนาดสูงสุดสำหรับแต่ละ PIO หรือชุดข้อมูลของ DMA อุปกรณ์สามารถเลือกที่จะถ่ายโอนแพ็คเก็ตที่เล็กกว่าค่าที่กำหนดโดยคอนโทรลเลอร์ในรีจิสเตอร์ Byte Count ได้

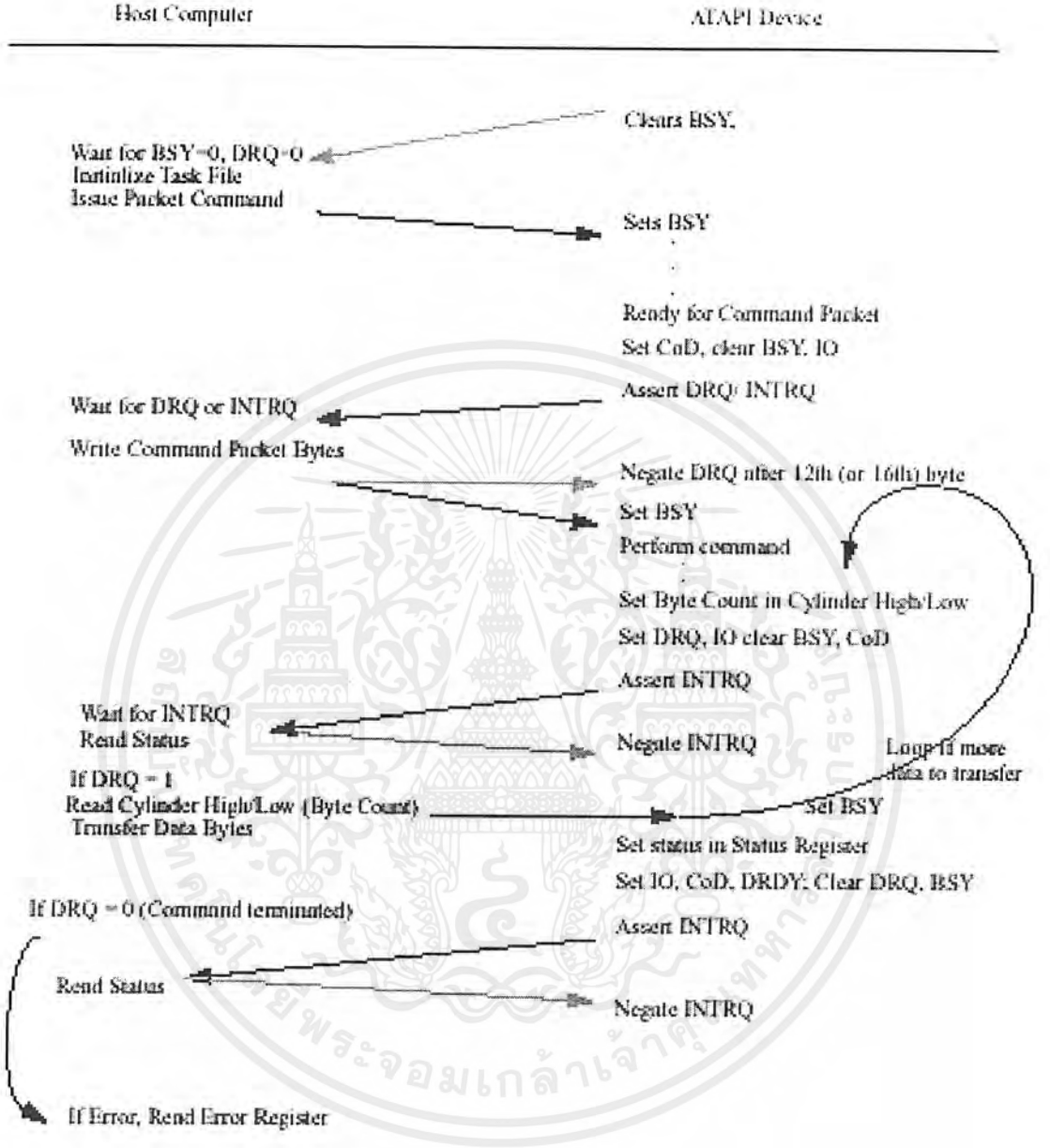
5.6 การใช้รีจิสเตอร์ Sector Count สำหรับแพ็คเก็ตคอมมาน

รีจิสเตอร์ Interrupt Reason จะบรรจุรายละเอียดของสัญญาณ DRQ เมื่อบิต DRQ ในรีจิสเตอร์สถานะถูกเซตเนื่องจากแพ็คเก็ตคอมมานแล้ว รีจิสเตอร์นี้จะแสดงว่าจะต้องถ่ายโอนแพ็คเก็ตคอมมานหรือข้อมูล และใช้แสดงทิศทางของการถ่ายโอน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.7 ลำดับการส่งชุดคำสั่งที่มีการส่งข้อมูลกลับในแบบ PIO

ได้แก่คำสั่ง Inquiry, Read เป็นต้น



รูปที่ 5-1 แสดงโพรโตคอลการส่งแพ็กเก็ตคอมมานที่มีการส่งข้อมูลกลับมาแบบ PIO

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

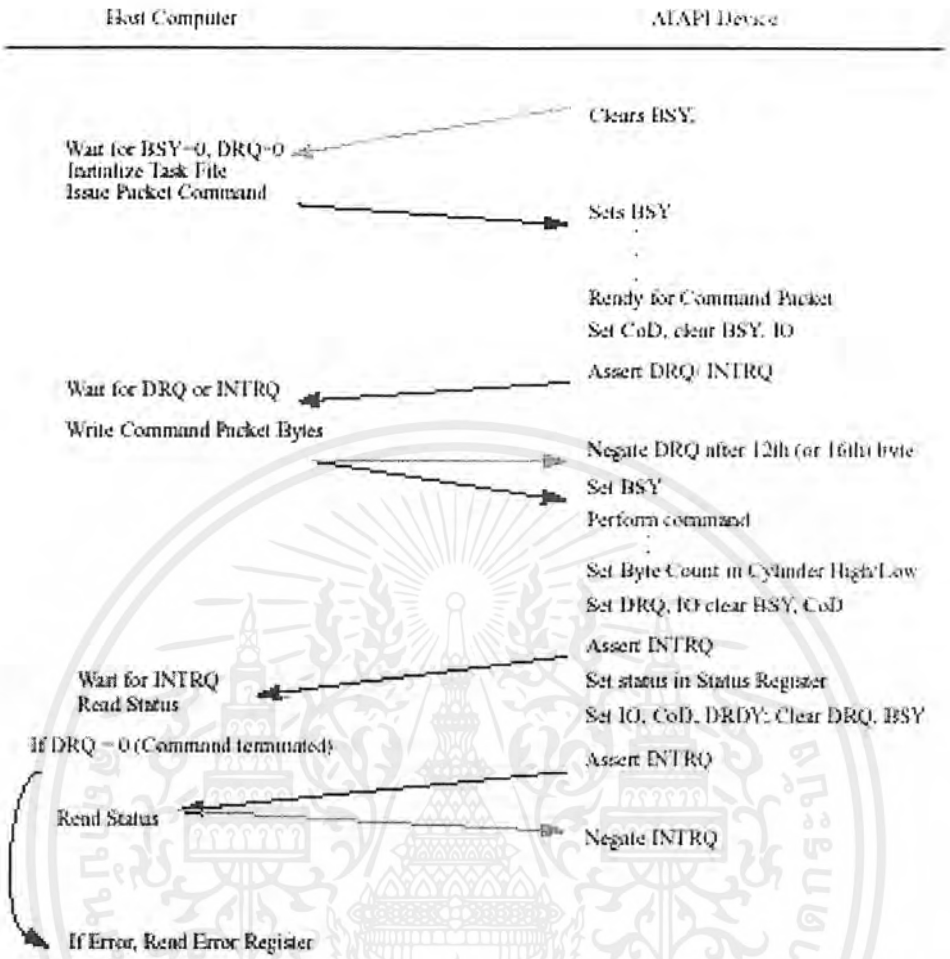
อธิบายการทำงาน

1. คอนโทรลเลอร์ทำการพูลลิ่งสัญญาณจน BSY=0, DRQ=0 แล้วจึงทำการตั้งค่าพารามิเตอร์ต่างๆ ในรีจิสเตอร์ Features, Byte Count, Drive/Head
2. คอนโทรลเลอร์ทำการเขียนรหัสแพ็คเก็ตคอมมาน (A0h) ไปยังรีจิสเตอร์คำสั่ง
3. อุปกรณ์เซต BSY และเตรียมการถ่ายโอนคอมมานแพ็คเก็ต
4. เมื่ออุปกรณ์พร้อมที่จะรับคอมมานแพ็คเก็ต อุปกรณ์จะทำการรีเซต CoD และเคลียร์ IO ยืนยันสัญญาณ DRQ โดยทันทีหรือยืนยันก่อนที่จะมีการยืนยันสัญญาณ BSY ในบางอุปกรณ์จะมีการยืนยันสัญญาณ INTRQ ต่อจากการยืนยัน DRQ
5. หลังจากที่คอนโทรลเลอร์ตรวจพบ DRQ คอนโทรลเลอร์จะทำการเขียนคำสั่งขนาด 12 ไบต์ (6 เวิร์ด) ลงรีจิสเตอร์ข้อมูล
6. อุปกรณ์จะ 1) เคลียร์ DRQ (หลังจากไบต์ที่ 12 ถูกเขียนแล้ว)
   2) เซต BSY
   3) อ่านรีจิสเตอร์ Features และรีจิสเตอร์ Byte Count
   4) เตรียมการถ่ายโอนข้อมูล
7. เมื่ออุปกรณ์เตรียมข้อมูลพร้อมแล้ว
   อุปกรณ์จะ 1) ใส่ Byte Count ของข้อมูลลงในรีจิสเตอร์ Cylinder High/Low
   2) เซต IO และเคลียร์ CoD
   3) เซต DRQ และเคลียร์ BSY
   4) เซต INTRQ
8. หลังจากที่คอนโทรลเลอร์ตรวจพบ INTRQ จะทำการอ่านบิต DRQ ในรีจิสเตอร์สถานะเพื่อตัดสินใจว่าจะต้องดำเนินการต่อไปอย่างไรกับคำสั่งถ้า DRQ=0 แล้วอุปกรณ์จะจบคำสั่งข้ามไปข้อ 10 แต่ถ้า DRQ=1 แสดงว่ายังมีข้อมูลที่ต้องการอีก คอนโทรลเลอร์จะทำการอ่านรีจิสเตอร์ Cylinder High/Low อีกครั้ง
9. อุปกรณ์จะเคลียร์ DRQ เซต BSY แล้วกลับไปทำข้อ 7
10. เมื่ออุปกรณ์พร้อมที่จะแสดงสถานะ อุปกรณ์จะใส่ complete status ลงในรีจิสเตอร์สถานะ, เซต CoD, IO, DRDY และเคลียร์ BSY, DRQ ก่อนที่จะยืนยัน INTRQ
11. หลังจากที่คอนโทรลเลอร์ตรวจพบ INTRQ&DRQ=0 แล้วคอนโทรลเลอร์จึงจะอ่านรีจิสเตอร์สถานะ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.8 ลำดับการส่งชุดคำสั่งที่ไม่มีการส่งค่ากลับ

ได้แก่คำสั่ง Seek เป็นต้น



รูปที่ 5-2 แสดงโพรโตคอลการส่งแพ็กเก็ตคอมมานที่ไม่มีการส่งข้อมูลกลับ

อธิบายการทำงาน

1. คอนโทรลเลอร์ทำการพูลลิ่งสัญญาณจน BSY=0, DRQ=0 แล้วจึงทำการตั้งค่าพารามิเตอร์ต่างๆ ในรีจิสเตอร์ Features, Byte Count, Drive/Head
2. คอนโทรลเลอร์ทำการเขียนรหัสแพ็คเก็ตคอมมาน (A0h) ไปยังรีจิสเตอร์คำสั่ง
3. อุปกรณ์เซต BSY และเตรียมการถ่ายโอนคอมมานแพ็คเก็ต
4. เมื่ออุปกรณ์พร้อมที่จะรับคอมมานแพ็คเก็ต อุปกรณ์จะทำการรีเซต CoD และเคลียร์ IO ยืนยันสัญญาณ DRQ โดยทันทีหรือยืนยันก่อนที่จะมีการยืนยันสัญญาณ BSY ในบางอุปกรณ์จะมีการยืนยันสัญญาณ INTRQ ต่อจากการยืนยัน DRQ
5. หลังจากที่คอนโทรลเลอร์ตรวจพบ DRQ คอนโทรลเลอร์จะทำการเขียนคำสั่งขนาด 12 ไบต์ (6 เวิร์ด) ลงรีจิสเตอร์ข้อมูล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6. อุปกรณ์เซต BSY และปฏิบัติคำสั่ง
7. เมื่ออุปกรณ์พร้อมที่จะแสดงสถานะ อุปกรณ์จะใส่ complete status ลงในรีจิสเตอร์สถานะ, เซต CoD, IO, DRDY และเคลียร์ BSY, DRQ ก่อนที่จะยืนยัน INTRQ
8. หลังจากคอนโทรลเลอร์ตรวจพบ INTRQ คอนโทรลเลอร์จะทำการอ่านรีจิสเตอร์สถานะ เพื่อดูสถานะ command completion

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 6

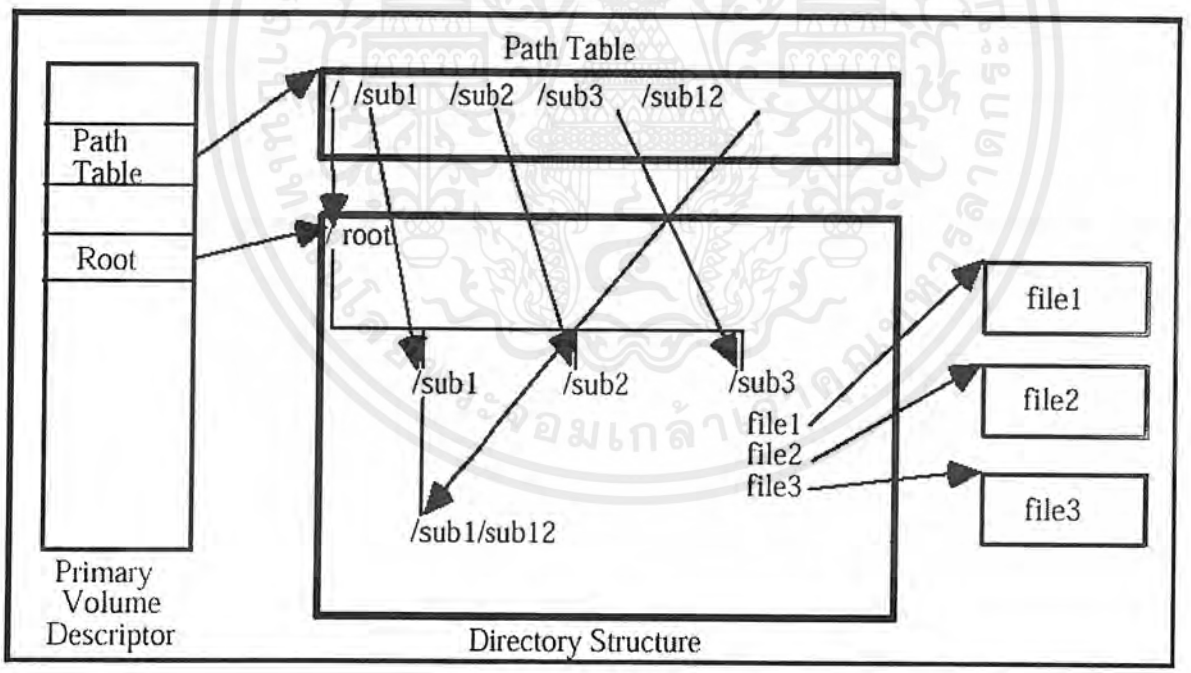
ISO9660

6.1 บทนำ

คอมแพ็คดิส (CD) ถูกเรียกได้ว่าเป็นผลิตภัณฑ์ที่ประสบความสำเร็จในตลาดผู้บริโภคอย่างสูง และยังมีอิทธิพลต่อดนตรีในปัจจุบันอีกเป็นอย่างมาก เนื่องจากมีความถูกต้องสูงเป็นพิเศษ ซึ่งเกิดจากเทคนิคการบันทึกแบบดิจิตอล และการแก้ไขข้อมูลนั้นก็ทำได้ยากมากเนื่องจากเป็นการบันทึกแบบออบติคอล (optical) และนอกจากนั้นแผ่น CD นี้ยังสามารถผลิตออกมาได้อย่างรวดเร็วและมีปริมาณมากจึงมีราคาถูก คุณสมบัติต่างๆ เหล่านี้ทำให้ CD มีความน่าสนใจที่จะใช้เป็นตัวกลางในการเก็บข้อมูลแบบดิจิตอลเป็นอย่างมาก

ในระยะแรกของการออกแผ่น CD มานั้นยังไม่มีมาตรฐานใดๆ เข้ามารองรับรูปแบบข้อมูลของ CD จึงทำให้เกิดปัญหาความไม่เข้ากันระหว่างผู้ผลิตแต่ละราย จึงมีการจับมือกันสร้างมาตรฐานร่วมกันให้เป็นมาตรฐานอุตสาหกรรมที่นิยามโดย Red Book, Yellow Book, และ ISO9660 ทำให้ในปัจจุบันสามารถใช้ CD กับฮาร์ดแวร์ได้เกือบทุกรูปแบบ

6.2 ภาพรวมโครงสร้างของ ISO9660



รูปที่ 6-1 โครงสร้าง ISO9660

โครงสร้างข้อมูลของ ISO9660 แบ่งออกได้เป็นส่วนหลักๆ 3 ส่วนคือ Volume Descriptor, Directory Structure, และ Path Table โครงสร้างเหล่านี้จะเกี่ยวข้องซึ่งกันและกันดังแสดงในรูปที่ 6-1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Volume Descriptor นั้นจะเป็นตัวบอกตำแหน่งของ Directory Structure และ Path Table, ส่วนไดเรกทอรีจะเป็นตัวบอกตำแหน่งของไฟล์ และ Path Table จะเป็นเส้นทางลัดไปสู่ไดเรกทอรี

6.2.1 Volume Descriptor

ใน ISO9660 นั้นมี Volume Descriptor อยู่ 4 ชนิด คือ Primary Volume Descriptor, Boot Record, Supplementary Volume Descriptor และ Volume Patition Descriptor โดย Primary Volume Descriptor นั้นจะถูกใช้โดยทั่วไป, Boot Record จะใช้สำหรับระบบที่ต้องแสดงบางอย่างในการตั้งค่าเริ่มต้นก่อนที่ผู้ใช้จะสามารถเข้าถึง Volume ได้ แม้ว่า ISO9660 จะไม่ได้กำหนดว่ามีข้อมูลอะไรบ้างที่ต้องอยู่ใน Boot Record หรือวิธีการใช้ข้อมูลเหล่านั้น, Supplementary Volume Descriptor ใช้ระบุ altenate character set ในระบบที่ไม่สนับสนุน ISO646 character set, Volume Patition Descriptor ใช้แบ่ง Volume ให้เป็น Volume ขนาดเล็ก

6.2.1.1 Primary Volume Descriptor

Standard Identifier (CD001)
Volume Identifier
Volume Set Identifier
System Identifier
Volume Size
Number of Volume in this Set
Number of this Volume in the Set
Size Logical Block
Size of the Path Table
Location of the Path Table
Root Directory Record
Other Identification
Time Stamp

รูปที่ 6-2 Primary Volume Descriptor

Primary Volume Descriptor เป็นจุดเริ่มต้นตัวระบุใน CD-ROM ประกอบด้วย ตัวระบุมาตรฐาน (Standard Identifier) , ตัวระบุโวลุม (Volume Identifier) , ตัวระบุโวลุมเซ็ต (Volume Set Identifier) , ตัวระบุระบบ (System Identifier) , ขนาดของโวลุม (Volume Size) , จำนวนของโวลุมในแต่ละโวลุมเซ็ต,

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ขนาดของลอจิคอลบล็อก (Logical Block Size) , ขนาดของ Path Table, ตำแหน่งของ Path Table, Root Directory Record, และอื่นๆ ที่เกี่ยวข้องกับ Volume

6.2.1.2 ตัวระบุมาตรฐาน (Standard Identifier)

เป็นกลุ่มของตัวอักษรซึ่งจะมีค่าเป็น CD001 ตามมาตรฐาน ISO9660 คือจะเป็นตัวบอกว่านี่คือดิสก์ตามมาตรฐาน ISO9660 เพื่อแบ่งแยกโวลุมออกจากระบบไฟล์อื่นโดยใช้แบบแผนง่ายๆ เช่น High Sierra มีตัวระบุมาตรฐานคือ CD-ROM และ Compact Disc Interactive มีตัวระบุมาตรฐานคือ CD-I

6.2.1.3 ตัวระบุโวลุม (Volume Identifier)

ตัวอักษรที่ใช้จะถูกกำหนดโดย ISO9660 ซึ่งเรียกว่า d-character และจะต้องมีความยาวไม่เกิน 31 ตัวอักษร

A B C D E F G H I J K L M N O P Q R
S T U V W X Y Z 0 1 2 3 4 5 6 7 8 9 _

6.2.1.4 ตัวระบุโวลุมเซ็ต (Volume Set Idenntifier)

เป็นการระบุชื่อของ Multiple Volume Set ที่โวลุมนั้นอยู่ ตัวระบุโวลุมเซ็ตนี้จะเหมือนกับตัวระบุโวลุมตรงที่จะระบุโดย d-character และต้องมีความยาวไม่เกิน 31 ตัวอักษร เช่น ถ้ามีโวลุมชื่อ DICTIONARY_E_H ก็อาจจะมีตัวระบุโวลุมเซ็ตเป็น DICTIONARY ซึ่งหมายความว่าโวลุมนี้มีเวิร์ดเริ่มต้นเป็นตัวอักษร E ไปจนถึงเวิร์ดที่เป็นตัวอักษร H ส่วนโวลุมเซ็ตจะเป็นกลุ่มของดิสก์สำหรับตัวอักษรทั้งหมด

6.2.1.5 ตัวระบุระบบ (System Identifier)

จะเป็นตัวระบุว่าระบบนั้นสามารถยอมรับได้หรือไม่ และสามารถทำให้เกิดลอจิค (logic) บนเซ็คเตอร์ 0-15 ได้ ตัวอักษรที่ใช้สำหรับตัวระบุระบบนี้เรียกว่า a-character ซึ่งจะต้องมีความยาวไม่เกิน 31 ตัวอักษร

A B C D E F G H I J K L M N O P Q R S
T U V W X Y Z 0 1 2 3 4 5 6 7 8 9 _ sp
! " % ' ( ) * + , - . / : ; < = >

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6.2.1.6 ขนาดของโวลุม (Volume Size)

เป็นจำนวนซึ่งบอกระบบปฏิบัติการว่ามีลอจิคอลบล็อกอยู่ในโวลุมนั้นเท่าไหร่ ลอจิคอลบล็อกนั้นเป็นวิธีทั่วไปในการหาตำแหน่งของข้อมูลที่อยู่ในโวลุมซึ่งในแต่ละตำแหน่งก็จะมีหมายเลขของลอจิคอลบล็อก

6.2.1.7 ขนาดของโวลุมเซ็ต (Volume Set Size)

เป็นจำนวนซึ่งบอกระบบปฏิบัติการว่ามีโวลุมอยู่ในโวลุมเซ็ตนั้นเท่าไหร่ Volume Sequence Number เป็นตำแหน่งใน Multiple Volume Set ที่โวลุมนั้นอยู่ เช่น แผ่นดิสก์แผ่นหนึ่งมีขนาดของโวลุมเซต = 5 และ Volume Sequence Number = 3 แสดงว่าดิสก์แผ่นนี้เป็นดิสก์แผ่นที่ 3 ของดิสก์ชุดที่ 5

6.2.1.8 ขนาดของลอจิคอลบล็อก (Logical Block Size)

เป็นจำนวนไบต์ที่จัดรูปแบบแล้วเกิดที่ว่างที่น้อยที่สุดซึ่งถูกจัดสรรในโวลุมนั้นๆ จำนวนนี้สามารถเป็น 512, 1024 หรือ 2048 ไบต์ก็ได้ ส่วนมากดิสก์ตามมาตรฐาน ISO9660 จะใช้ขนาดของลอจิคอลบล็อกเป็น 2048 ไบต์ ซึ่งเป็นขนาดเดียวกันกับขนาดของเซ็คเตอร์

6.2.1.9 ขนาดของ Path Table

จะเป็นตัวบอกระบบปฏิบัติการว่ามีจำนวนไบต์เท่าไหร่ที่อยู่ใน Path Table ระบบปฏิบัติการส่วนมากจะใช้ Path Table ใน fast memory, local memory (RAM) การใช้ขนาดของ Path Table เป็นวิธีที่รวดเร็วสำหรับระบบปฏิบัติการที่จะรู้ว่าจะต้องจัดสรรหน่วยความจำเท่าไหร่ก่อนที่มันจะอ่าน Path Table วิธีนี้ทำให้ระบบปฏิบัติการอ่าน Path Table เพียงครั้งเดียวเท่านั้นเป็นการประหยัดเวลา

6.2.1.10 Root Directory Record

จะบรรจุข้อมูลที่ระบบปฏิบัติการต้องการในการระบุตำแหน่งและอ่านไดเรกทอรีที่อยู่ระดับบนสุด รูปแบบของ Root Directory Record จะเหมือนกับ Directory Record อื่นๆ

6.2.1.11 Identifier อื่นๆ

ใน Primary Volume Descriptor นั้นจะบรรจุข้อมูลเกี่ยวกับว่าใครเป็นผู้ตีพิมพ์ Volume นี้, ใครเตรียมข้อมูล, การประยุกต์ใช้งาน และชื่อของไฟล์ซึ่งบรรจุ copyright notice, บทยัดย่อ และบรรณานุกรม

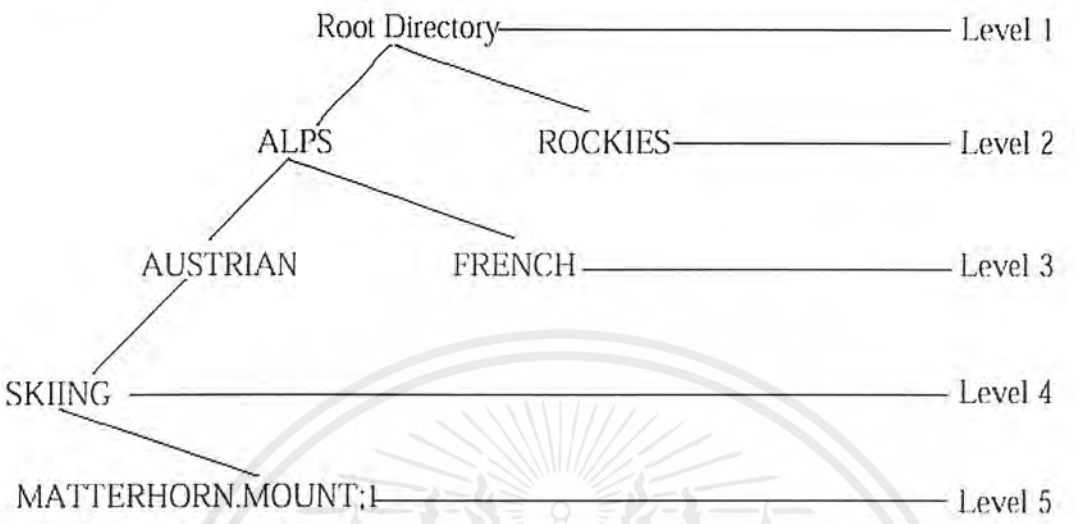
6.2.1.12 Time Stamps

เป็นฟิลด์ (field) ในPrimary Volume Descriptor ซึ่งบรรจุข้อมูลเกี่ยวกับว่า Volume นั้นถูกสร้างขึ้นเมื่อไหร่ ถูกปรับปรุงเมื่อไหร่ เมื่อไหร่ที่ข้อมูลนั้นใช้ได้ และเมื่อไหร่ที่เลิกใช้ข้อมูลนั้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6.2.2 โครงสร้างของไดเรกทอรี

โครงสร้างของไดเรกทอรีตาม ISO 9660 ได้ถูกจัดแบ่งเป็นระดับชั้นต่างๆ คล้ายกับระบบไฟล์ส่วนใหญ่ ส่วนบนสุดของระดับชั้นคือ Root Directory ซึ่งจะระบุตำแหน่งอยู่ใน Primary Volume Descriptor



รูปที่ 6-3 ระดับชั้นของไดเรกทอรี

จากรูป Root Directory เป็นไดเรกทอรีที่อยู่ Level 1 เท่านั้น ไดเรกทอรีย่อย ALPS และ ROCKIES จะอยู่ Level 2, ไดเรกทอรีย่อย AUSTRAIN และ FRENCH จะอยู่ Level 3, ไดเรกทอรีย่อย SKING จะอยู่ Level 4 และไฟล์ MATTERHORN.MOUNT;1 จะอยู่ Level 5

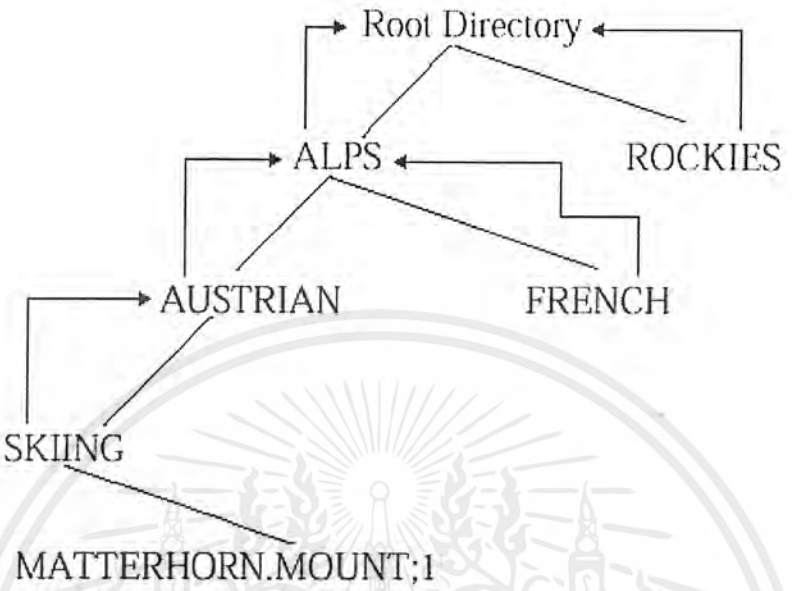
ISO 9660 ได้กำหนดให้สามารถมีความกว้าง Directory Structure ได้สูงสุดคือ Leve l8 นอกจากนี้ยังกำหนดความยาว path ของแต่ละไฟล์ ซึ่งหาได้จากผลรวมความยาวไดเรกทอรีทั้งหมดที่เกี่ยวข้อง ความยาวของ File Identifier และจำนวนไดเรกทอรีที่เกี่ยวข้อง ความยาว path จะต้องไม่เกิน 225 จากรูปที่ 6-3 จะมีความยาว path คือ 39 ดังตารางที่ 6-1

Identifier	ความยาว
ALPS	4
AUSTRAIN	8
SKIING	6
MATTERHORN.MOUNT;1	18
จำนวนของไดเรกทอรี	3
ผลรวมของความยาวและจำนวนไดเรกทอรี	39

ตารางที่ 6-1 แสดงความยาวของ path

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ไดเรกทอรีใน ISO 9660 Volume จะถูกบันทึกอยู่ในรูปของไฟล์ซึ่งบรรจุกลุ่มอยู่ของ directory record ในแต่ละ directory record จะอธิบายถึงไฟล์หนึ่งหรือไดเรกทอรีอื่น แต่ละไดเรกทอรีจะมีไดเรกทอรีแม่ (parent directory) ในไดเรกทอรีแม่จะบรรจุ directory record ซึ่งใช้ระบุไดเรกทอรีนั้น แสดงรูปที่ 6-4



รูปที่ 6-4 ไดเรกทอรีแม่

ชื่อไฟล์

ตามมาตรฐาน ISO 9660 ทุกๆไฟล์และทุก ๆ ไดเรกทอรีจะต้องมีชื่อ และชื่อนั้นเรียกว่า File Identifier โดยที่ File Identifier จะประกอบไปด้วย 5 ส่วน ดังแสดงในตารางที่ 6-2

	1) ชื่อไฟล์	2) SEPARATOR 1	3) ชื่อนามสกุล	4) SEPARAOTR 2	5) เลขไฟล์เวอร์ชัน
Contents	d-character	.	d-character	;	ตัวเลขตั้งแต่ 1-32767
ไฟล์ 1	MATTERHORN	.	MOUNT	;	1
ไฟล์ 2	PIKES_PEAK	.		;	1
ไฟล์ 3		.	HILLS	;	1
ไดเรกทอรี	SKIING				

ตารางที่ 6-2 แสดง File Identifier

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

File Identifier จะต้องเป็นไปตามเงื่อนไขดังนี้

- ถ้า File Name ไม่มีตัวอักษรแล้ว File Name Extension จะต้องมีอย่างน้อย 1 ตัวอักษร ดังแสดงในตารางที่ 6-2 ไฟล์ 3
- ถ้า File Name Extension ไม่มีตัวอักษร แล้ว File Name จะต้องมีอย่างน้อย 1 ตัวอักษร ดังแสดงในตารางที่ 6-2 ไฟล์ 2
- ผลรวมความยาวของจำนวนตัวอักษรของ File Name และ File Name Extension จะต้องมีไม่เกิน 30 ตัวอักษร

ไดเรกทอรีตามมาตรฐาน ISO 9660 จะถูกกำหนดให้มีแค่ชื่อเท่านั้นจะไม่มี SEPARATOR1 (.) , SEPARATOR2 (;) , File Name Extension หรือ File Version Number ดังแสดงในตารางที่ 6-2 ไดเรกทอรี

6.2.3 Path Table

Path Table เป็นวิธีลัดที่ระบบปฏิบัติการเลือกใช้ในการไปสู่แต่ละไดเรกทอรีบนดิสก์เพื่อที่จะให้ได้ไฟล์ที่ต้องการ Path Table จะเก็บชื่อไดเรกทอรี, ชื่อไดเรกทอรีแม่ และที่อยู่สำหรับแต่ละไดเรกทอรียกเว้น Root Directory

ส่วนใหญ่ระบบปฏิบัติการจะอ่าน Path Table ก่อน 1 ครั้งและเก็บไว้ในหน่วยความจำมากกว่าที่จะอ่านหลายๆครั้ง ตัวอย่างดังรูปที่ 6-3 ถ้าระบบปฏิบัติการไม่ใช้ Path Table แล้วจะต้องอ่าน Root Directory เพื่อที่จะหาตำแหน่งของไดเรกทอรี ALPS จากนั้นอ่านไดเรกทอรี ALPS เพื่อที่จะหาตำแหน่งของไดเรกทอรี AUSTRAIN แล้วอ่านไดเรกทอรี SKING เพื่อที่จะหาตำแหน่งของไฟล์ MATTERHORN. MOUNT;1 แต่ถ้าใช้ Path Table ระบบปฏิบัติการจะค้นหาตำแหน่งของไดเรกทอรี SKING ใน Path Table, อ่านไดเรกทอรี SKING และหาตำแหน่งของไฟล์

จากตัวอย่างข้างต้นจะพบว่าการหาตำแหน่งของไฟล์โดยไม่ใช้ Path Table จะต้องอ่านข้อมูลจาก CD-ROM ถึง 4 ครั้ง แต่ถ้าใช้ Path Table จะอ่านข้อมูลเพียงครั้งเดียว ซึ่งใน CD-ROM ทั่วๆไป การขับ (drive) จะใช้เวลาในการเขจ้าถึงข้อมูล (seek time) ประมาณ 0.25 วินาที ดังนั้นช่วงเวลาที่ต่างกันในการค้นหาจะเท่ากับ 0.75 วินาที ในกรณีที่ต้องการเข้าถึงไฟล์จำนวนมาก ช่วงเวลาที่ต่างกันนี้จะมีผลต่อการทำงาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 7
การออกแบบฮาร์ดแวร์และซอฟต์แวร์

7.1 ฮาร์ดแวร์

ส่วนของฮาร์ดแวร์ ใช้ไมโครคอนโทรเลอร์ตระกูล MCS-51 เป็นหลัก โดยจะแบ่งออกเป็น 3 ส่วนใหญ่ ๆ คือ

- ส่วนที่ควบคุมการสั่งงาน และอ่านข้อมูลจากซีดีรอม (CD-ROM Drive)
- ส่วนประมวลผลกลาง
- ส่วนถอดรหัสสัญญาณเสียง

7.1.1 ส่วนควบคุมซีดีรอม

ใช้ไมโครคอนโทรลเลอร์เบอร์ 89C51 ที่ความเร็วสัญญาณนาฬิกา 22.1184 เมกกะเฮิร์ท เชื่อมต่อกับคอนเนคเตอร์แบบไอดีซี 40 ขา (IDC40 PIN) ตามมาตรฐานที่ใช้กับซีดีรอมไดร์ฟในไมโครคอมพิวเตอร์ทั่วไป ส่วนที่เชื่อมกับส่วนประมวลผลกลางใช้ พอร์ต 0, พอร์ต 2, ขาอินเทอร์รัพต์ 0 และ ขาไทม์เมอร์ 0 เพื่อส่งข้อมูล รูปที่ ง-1 ในภาคผนวก ง. แสดงวงจรของส่วนควบคุมซีดีรอมที่ใช้

7.1.2 ส่วนประมวลผลกลาง

ใช้ไมโครคอนโทรลเลอร์เบอร์ 89S8252 ที่ความเร็วสัญญาณนาฬิกา 22.1184 เมกกะเฮิร์ท ใช้พอร์ต 0, พอร์ต 2, ขาอินเทอร์รัพต์ 0 และขาไทม์เมอร์0 เชื่อมต่อกับส่วนควบคุมซีดีรอมเช่นเดียวกัน

ในส่วนประมวลผลกลางนี้ยังต่อกับหน่วยความจำชั่วคราวภายนอกขนาด 32 กิโลไบต์อีก 8 ตัว เพื่อไว้ใช้เก็บข้อมูลไฟล์ เอ็มเปก 1 เลเยอร์ 3 โดยการต่อเป็นลักษณะทั่ว ๆ ไปของไมโครคอนโทรลเลอร์ตระกูลนี้ รวมทั้งยังมีการต่อกับชิพเบอร์ 8255 ซึ่งเป็นตัวขยายพอร์ตไว้เผื่อใช้งานในอนาคตด้วย

การเชื่อมต่อกับส่วนถอดรหัสสัญญาณเสียงใช้ พอร์ต SPI ขาที่ 6 กับ 8 ซึ่งเป็นความสามารถใหม่ในการส่งข้อมูลแบบอนุกรมของชิพเบอร์ 98S8252 นี้ และเชื่อมขาที่ 4 กับขาสัญญาณขอข้อมูลจากส่วนถอดรหัสสัญญาณเสียง

ทั้งนี้ยังใช้ชิพเบอร์ MAX232 มาต่อกับขา RX และ TX เพื่อสื่อสารกับคอมพิวเตอร์ไว้ใช้ประโยชน์ในการพัฒนาด้วย วงจรของส่วนประมวลผลกลางนี้แสดงไว้ในรูปที่ ง-2 ในภาคผนวก ง.

7.1.3 ส่วนถอดรหัสสัญญาณเสียง

ใช้ชิพเบอร์ MAS3507D เป็นตัวถอดรหัสข้อมูลจากไฟล์เอ็มเปก 1 เลเยอร์ 3 ซึ่งข้อมูลที่ได้ออกมาจะเป็นสัญญาณเสียงแบบดิจิตอล แล้วใช้ชิพเบอร์ DAC3550A เปลี่ยนเป็นสัญญาณเสียงแบบอนาลอกอีกที โดยสัญญาณนาฬิกาที่ใช้จะอยู่ที่ความถี่ 14.725 เมกกะเฮิร์ท ข้อมูลที่รับมาจะเข้าที่ขา SIC และ SID ส่วนขาสัญญาณขอข้อมูลออกจะอยู่ที่ขา DRQ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ทั้งนี้เนื่องจากชิพถอดรหัสตัวนี้เป็นแพ็กเกจแบบ PQFP ซึ่งใช้ไฟเลี้ยงต่ำเพียง 3 โวลต์ ดังนั้นการส่งสัญญาณเชื่อมต่อกับไมโครคอนโทรลเลอร์ตระกูล MCS-51 ซึ่งใช้ไฟเลี้ยง 5 โวลต์จะต้องมีบัฟเฟอร์เบอร์ 74LS04 ซึ่งเป็นโอเพนคอลเลกเตอร์ (Open collector) มาขั้นเพื่อแปลงสัญญาณสูง-ต่ำให้ถูกต้อง

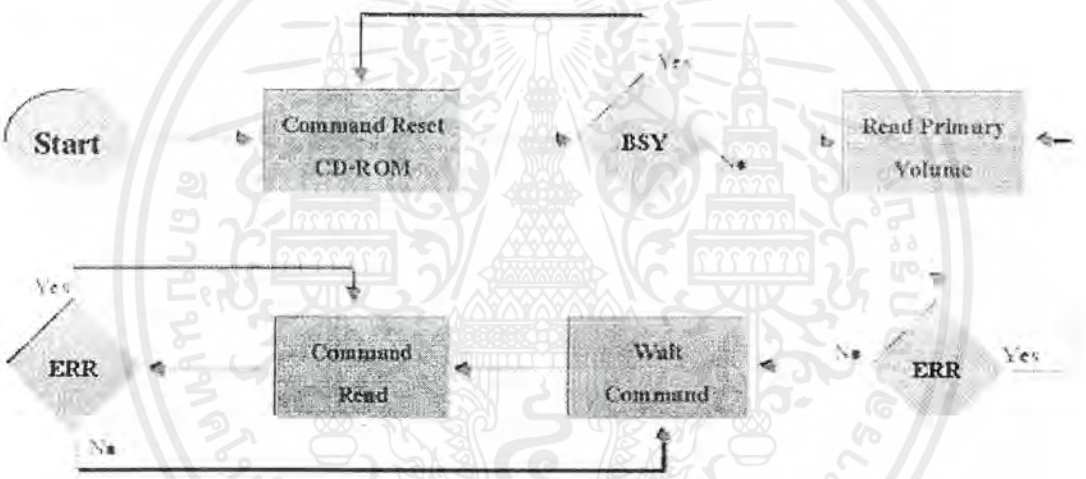
ด้านสัญญาณเสียงแบบอนาลอกที่ได้จะออกมาจากขอ OUTL และ OUTR ของตัว DAC3550A รูปที่ ง-3 ในภาคผนวก ง. แสดงวงจรของส่วนถอดรหัสสัญญาณเสียง

7.2 ซอฟต์แวร์

ซอฟต์แวร์ที่ใช้นั้นจะใช้ภาษาแอสแซมบลีของ MCS-51 เป็นหลัก

7.2.1 ซอฟต์แวร์ส่วนควบคุมซีดี

เป็นส่วนที่สั่งงานไดร์ฟซีดีรอมให้ทำงานตามที่ต้องการได้ ซึ่งศึกษารายละเอียดต่างๆ ได้จากบทที่ 5 เรื่อง ATAPI หน้า 71 ส่วนในการที่จะเข้าถึงไฟล์ต่างบนแผ่นซีดีนั้นดูรายละเอียดในบทที่ 6 เรื่อง ISO9660 หน้า 76



รูปที่ 7-1 บล็อกไดอะแกรมของโปรแกรมส่วนควบคุมไดร์ฟซีดีรอม

เริ่มต้นโปรแกรมก็จะทำการรีเซ็ตซีดีรอม เมื่อซีดีรอมถูกรีเซ็ตก็จะทำการอ่านค่า Primary Volume Descriptor จากแผ่นซีดีมาให้ส่วนประมวลผลกลาง (8051 อีกตัว) เก็บไว้เพื่อนำไปใช้ต่อไป จากนั้นถ้าไม่มี error ก็จะเข้าสู่สถานะรอคำสั่งจากส่วนประมวลผลกลาง หากมีคำสั่งเข้ามา (คำสั่งที่เข้ามานั้นจะเป็นคำสั่ง read) ก็จะไปทำคำสั่งนั้นเมื่อเสร็จสิ้นก็จะมารอคำสั่งต่อไปเช่นนี้ไปเรื่อยๆ

7.2.2 ส่วนประมวลผลกลาง

ในส่วนประมวลผลกลางนี้จะเป็นส่วนควบคุมทั้งหมดมีหน้าที่คือ

- สั่งให้ส่วนควบคุมซีดีอ่านตำแหน่งต่างๆ ที่ต้องการจากแผ่นซีดี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- คำนวณค่าตำแหน่งต่างๆ เช่น ตำแหน่ง path table, ตำแหน่งไฟล์
- ส่งข้อมูลแบบอนุกรมผ่านระบบ SPI (รายละเอียดอยู่ในบทที่ 4 เรื่อง Special Function of AT89S8252)

รูปที่ 7-2 บล็อกไดอะแกรมของโปรแกรมส่วนประมวลผลกลาง

เริ่มต้นโปรแกรมก็จะรอข้อมูลของ Primary Volume Descriptor จากส่วนควบคุมซีดี จากนั้นจะทำการคำนวณหาตำแหน่งของ Path Table แล้วจะส่งคำสั่ง read ตำแหน่งของ Path Table มาเพื่อคำนวณหาตำแหน่งของ Directory Structure แล้วส่งคำสั่ง read ตำแหน่ง Directory Structure ที่คำนวณได้ไปอีกเพื่อนำมาคำนวณหาตำแหน่งไฟล์ต่อไป ซึ่งค่าตำแหน่ง Directory Structure และค่าตำแหน่งของไฟล์ทั้งหมดนั้นจะถูกเก็บไว้ในแรม (RAM) เพื่อให้นำมาใช้ในโอกาส ต่อไปได้ง่าย เมื่อได้ตำแหน่งไฟล์มาก็จะส่งคำสั่ง read ตำแหน่งไฟล์นั้นมาเก็บไว้ในแรมจนเต็ม แล้วจึงทำการเช็ค DRQ จากส่วนถอดรหัสถ้ามี DRQ ก็จะทำการส่งข้อมูลออกในแบบ SPI จากนั้นก็กลับไปเช็ค DRQ หากมีก็ทำการส่งต่อไป แต่ถ้าไม่มีก็จะทำการเช็คข้อมูลในแรมว่าเป็นไงบ้างสามารถนำข้อมูลชุดต่อไปมาเก็บได้มั้ย หากได้ก็จะไปอ่านไฟล์มาเก็บไว้ในแรมต่อจากเดิม แล้วจึงกลับไปเช็ค DRQ เช่นนี้ไปเรื่อยๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 8
การทดลอง วิจารณ์ และข้อเสนอแนะ

8.1 การทดลอง

8.1.1 คำสั่งที่ใช้ในการส่งแพ็คเก็ตคอมมานด์

- Open/Close Tray ใช้ในการทดสอบว่าการส่งแพ็คเก็ตคอมมานด์เพื่อสั่งงานอุปกรณ์ว่าส่งแพ็คเก็ตคอมมานด์ถูกต้องรึยัง
- Read ใช้ในการอ่านข้อมูลจากแผ่นซีดีรอมในมาตรฐาน ISO9660

8.1.2 การอ่านข้อมูลจากซีดีรอมรวมถึงการวิเคราะห์ไฟล์ตามมาตรฐาน ISO9660

- ข้อมูลและตำแหน่งของ Primaryidentification แสดงอยู่ใน...หน้า... ซึ่งส่วนที่สำคัญและต้องนำมาใช้คือตำแหน่งของ Path Table ซึ่งจะอยู่ที่ตำแหน่ง BP(Byte Position) 141-144 ถ้าเป็นการเก็บแบบ L(least significant bit) และอยู่ที่ตำแหน่ง BP 149-152 ถ้าเป็นการเก็บแบบ M(most significant bit)
- Path Table จะเป็นส่วนที่ใช้ในการหาตำแหน่งของไดเรกทอรีที่เก็บไฟล์ ซึ่งดูรายละเอียดได้จากภาคผนวก ค หน้า 97
- Directory Structure เป็นส่วนที่เก็บรายละเอียดต่างๆ เกี่ยวกับไฟล์ไว้ ซึ่งที่จำเป็นต้องใช้คือ ขนาดของไฟล์, ชื่อ, ตำแหน่งไฟล์ซึ่งรายละเอียดดูได้จากภาคผนวก ค หน้า 98

8.1.3 ปัญหาและแนวทางการแก้ไข

ปัญหาที่พบ	แนวทางการแก้ไข
แพ็คเก็ตคอมมานด์ที่ใช้ไม่สามารถใช้กับซีดีรอมได้ทุกยี่ห้อ	ศึกษาการเกี่ยวกับไดรฟ์เวอร์ของซีดีรอมนั้นๆ เพื่อใช้ในการดัดแปลงหรือเพิ่มเติมคำสั่งที่ใช้ในการสั่งงานซีดีรอมนั้นๆ
ไมโครคอนโทรลเลอร์ที่ใช้เป็นขนาด 8 บิตแต่ต้องทำงานร่วมกับอุปกรณ์ที่เป็นขนาด 16 บิต	ศึกษาการทำงานของไมโครคอนโทรลเลอร์ขนาด 16 บิต เพื่อนำมาใช้แทน MCS-51 ที่เป็น 8 บิต
สัญญาณรบกวนในส่วนการถอดรหัสไฟล์เอ็มเปก 1 เลเยอร์ 3	ศึกษาการออกแบบวงจรให้มีสัญญาณรบกวนให้น้อยที่สุด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปัญหาที่พบ	แนวทางการแก้ไข
เพลงขาดช่วงหรือไม่ต่อเนื่อง	ออกแบบโปรแกรมในการติดต่อของไมโครคอนโทรลเลอร์กับไมโครคอนโทรลเลอร์และไมโครคอนโทรลเลอร์กับส่วนถอดรหัสให้มีความสัมพันธ์กัน
ความล่าช้าที่เกิดจากการอ่านแผ่นซีดีบางแผ่น	-
ชิพถอดรหัสที่ใช้(MAS3507D) ไม่มีขายในประเทศไทย	-

8.1.4 สรุปผลการทดลอง

จากทดลองที่ได้จะเห็นได้ว่าเครื่องเล่นเอ็มพี 3 ที่สร้างขึ้นนี้สามารถถอดรหัสไฟล์เพลงแบบเอ็มเปก 1 เลเยอร์ 3 ได้อย่างถูกต้อง และสามารถใช้งานได้กับแผ่นซีดีรอมที่มีระบบไฟล์ตามมาตรฐาน ISO9660

ในส่วนของความเข้ากันได้ของตัวเครื่องกับไดรฟ์ซีดีรอมจากบริษัทผู้ผลิตต่างๆนั้น จะเห็นได้ว่ามีไดรฟ์ซีดีรอมจากบางผู้ผลิตที่ไม่สามารถใช้งานได้ ซึ่งเป็นผลมาจากบริษัทนั้นๆ ไม่ได้สร้างไดรฟ์ให้เป็นไปตามมาตรฐาน ATAPI จึงทำให้ไม่สามารถใช้ไดรฟ์จากบริษัทนั้นๆ อ่านแผ่นได้อย่างถูกต้อง การใช้งานไดรฟ์จากบริษัทเหล่านี้ จำเป็นจะต้องศึกษาไดรเวอร์ของไดรฟ์นั้นๆ ว่ามีความจำเป็นต้องเปลี่ยนคำสั่งส่วนใด และต้องเพิ่มคำสั่งส่วนใดบ้าง

8.2 วิจารณ์

เครื่องเล่น MP3 นี้สามารถเล่นเพลงจากแผ่น CD ที่เก็บไฟล์ MP3 ได้ตามต้องการ แต่เนื่องจากว่ามีเวลาที่จำกัดทำให้ไม่สามารถทำส่วน interface และ function ต่างๆ ที่ตั้งไว้ได้

8.3 ข้อเสนอแนะ

- เขียนโปรแกรมส่วนควบคุมซีดีและส่วนโปรแกรมหลักให้มีความสัมพันธ์กันมากกว่านี้เพื่อลดเวลาในการดึงข้อมูลจากแผ่นซีดีเพื่อลดปัญหาการกระตุกของเพลง
- ออกแบบวงจรส่วนบอร์ด decode ให้มีสัญญาณรบกวนให้น้อยที่สุดเพื่อคงคุณภาพเสียงต้นแบบไว้
- ทำส่วน interface (LCD) และ function ต่างๆ เช่น ปุ่ม play , stop , skip , random , back เพิ่มเติม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ก
ความหมายของคำในไวยากรณ์ของข้อมูลเอ็มเปก 1 เลเยอร์ 3

ก.1 ลำดับสัญญาณเสียงทั่วไป

frame — ส่วนของบิตสตรีม(bit stream) ที่สามารถถอดรหัสได้ บรรจุข้อมูล 1,152 สัญญาณสุ่มความถี่

ก.2 เฟรมของสัญญาณ(Audio Frame)

header — ส่วนของบิตสตรีมที่บรรจุข้อมูลเกี่ยวกับการซิงโครไนซ์(synchronization) และข้อมูลสถานะ

error_check — ส่วนของบิตสตรีมที่บรรจุข้อมูลสำหรับการตรวจสอบความผิดพลาด

audio_data — ส่วนของบิตสตรีมที่บรรจุข้อมูลเกี่ยวกับข้อมูลเสียงสุ่มตัวอย่าง

ancillary_data — ส่วนของบิตสตรีมที่บรรจุข้อมูลเพิ่มเติม

ก.3 ส่วนหัวของข้อมูล(Header)

32 บิตแรกของบิตสตรีมจะเป็นส่วนหัวของข้อมูล

syncward — เป็นสตริงเท่ากับ "1111 1111 1111"

ID — มีขนาด 1 บิต แสดงถึงมาตรฐานการเข้ารหัสโดย
"1" หมายถึง เข้ารหัสตามมาตรฐาน ISO/IEC11172-3
"0" หมายถึงไม่ใช่มาตรฐาน ISO

layer — มีขนาด 2 บิต แสดงเลเยอร์ที่ใช้ดังตารางที่ ก-1

Layer	ความหมาย
00	เลเยอร์ 1
01	เลเยอร์ 2
10	เลเยอร์ 3
11	ไม่ใช้

ตารางที่ ก-1 แสดงความหมายของรหัสข้อมูลใน layer

protection_bit — มีขนาด 1 บิต บอกให้ทราบว่ามีการเพิ่มข้อมูลเกี่ยวกับการตรวจสอบว่ามีความผิดพลาดมากับบิตสตรีมหรือไม่โดย
"1" ไม่มีการเพิ่มข้อมูล
"0" มีการเพิ่มข้อมูล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

bitrate_index แสดงอัตราข้อมูล(bitrate) ที่ใช้

sampling_frequency บอกความถี่ในการสุ่มตัวอย่าง

padding_bit แสดงการบรรจุสล็อตเพิ่มเติมเพื่อปรับอัตราส่วนระหว่างอัตราการบีบอัดกับความถี่ในการสุ่มตัวอย่างให้ลงตัวโดย

"1" เฟรมของข้อมูลนั้นๆ บรรจุสล็อต(slot) เพิ่มเติม

"0" เฟรมของข้อมูลนั้นๆ ไม่ได้บรรจุสล็อต(slot) เพิ่มเติม

ในกรณีที่ความถี่ในการสุ่มตัวอย่างเป็น 44.1 kHz จะไม่มี padding คือจะมีค่าเป็น 0 เสมอ

private_bit ไม่ใช้ในการเข้ารหัสตามมาตรฐาน ISO/IEC11172-3

mode แสดงโหมดต่างๆ ดังตารางที่ ก-2

โหมด	ความหมาย
00	สเตอริโอ
01	จอยท์-สเตอริโอ
10	สองช่องเสียง
11	หนึ่งช่องเสียง

ตารางที่ ก-2 แสดงความหมายของรหัสข้อมูลใน mode

mode_extension ใช้บอกชนิดของวิธีที่จอยท์-สเตอริโอใช้ ว่ามี ms_stereo และ intensity_stereo หรือไม่อย่างไร ดังตารางที่ ก-3

mode_extension	Intensity	ms_stereo
00	Off	off
01	On	Off
10	Off	On
11	On	On

ตารางที่ ก-3 แสดงความหมายของรหัสข้อมูลใน mode_extension

ก.4 ส่วนตรวจสอบความผิดพลาด

crc_check มีขนาด 16 บิต ใช้เพื่อตรวจสอบพาริตี้ของบิตสตรีมว่าถูกต้องหรือไม่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ก.5 ส่วนข้อมูลเสียง

main_data_begin แสดงตำแหน่งแรกของข้อมูลหลักในแต่ละเฟรม ซึ่งจะระบุตำแหน่งเป็นค่าออฟเซ็ต(offset byte) เป็นค่าที่ห่างออกมาจากไบต์แรกของซิงค์เวิร์ด (syncword) โดยไม่นับส่วนหัวของข้อมูลและข้อมูลข้างเคียง(side information)

private_bit ไม่ใช้ในมาตรฐาน ISO/IEC
จำนวนของ private_bit จะขึ้นอยู่กับจำนวนช่องเสียง และจะนำไปใช้เพื่อพิจารณาเพื่อเทียบกับจำนวนบิตของข้อมูลข้างเคียง

scfsi[ch][scfsi_band] ในการเข้ารหัสแบบเอ็มเปก 3 นั้น scfsi(scalefactor selection information) จะให้ข้อมูลเกี่ยวกับค่าสเกลแฟคเตอร์(sclaefactor) ของแต่ละย่านความถี่ (subband) และแต่ละช่องเสียง(ch) ค่า scfsi_band จะใช้เพื่อเลือกกลุ่มของสเกลแฟคเตอร์ในแต่ละแกรนูล(granule) ซึ่งถูกควบคุมโดย scfsi

Scfsi[ch][scfsi_band]	ความหมาย
0	เลือกใช้ในแต่ละแกรนูลแยกกัน
1	ทั้งสองเลือกสเกลแฟคเตอร์ตัวเดียวกัน

ตารางที่ ก-4 แสดงความหมายของ Scfsi[ch][scfsi_band]

scfsi_band ควบคุมการใช้ scfsi สำหรับกลุ่มของสเกลแแฟคเตอร์

Scfsi_band	ย่านความถี่ที่ถูกใช้งาน
0	0..5
1	6..10
2	11..15
3	16..20

ตารางที่ ก-5 แสดงความหมายของรหัสข้อมูลใน scfsi_band

part2_3_length[gr][ch] บอกจำนวนของบิตในส่วนที่เข้ารหัสแบบฮัฟแมน และสเกลแฟคเตอร์เพื่อใช้หาตำแหน่งเริ่มต้นของข้อมูลหลักสำหรับแกรนูลถัดไป

big_value[gr][ch] ค่าที่ถูกเข้ารหัสโดยใช้รหัสฮัฟแมนโดยอ้างค่าจากตารางฮัฟแมน

grobal_gain[gr][ch] เป็นตัวแปรที่ใช้ในขั้นตอนรีควอนไตซ์(requantized)

scalefac_compress[gr][ch] เลือกจำนวนบิตที่ถูกใช้สำหรับส่งค่าสเกลแฟคเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Scalefac_compress[gr][ch]	Slen1	Slen2
0	0	0
1	0	1
2	0	2
3	0	3
4	3	0
5	1	1
6	1	2
7	1	3
8	2	1
9	2	2
10	2	3
11	3	1
12	3	2
13	3	3
14	4	2
15	4	3

ตารางที่ ก-6 แสดงความหมายของรหัสข้อมูลใน scalefac_compress[gr][ch]

block_type 0, 1, 3

slen : เป็นความยาวของสเกลแฟคเตอร์ย่าน 0 ถึง 10

slen : เป็นความยาวของสเกลแฟคเตอร์ย่าน 11 ถึง 20

block_type 2 และ mixed_block_flag เป็น 0

slen : เป็นความยาวของสเกลแฟคเตอร์ย่าน 0 ถึง 5

slen : เป็นความยาวของสเกลแฟคเตอร์ย่าน 6 ถึง 11

block_type 2 และ mixed_block_flag เป็น 1

slen : เป็นความยาวของสเกลแฟคเตอร์ย่าน 0 ถึง 7 (ย่าน long window)
เป็นความยาวของสเกลแฟคเตอร์ย่าน 3 ถึง 5 (ย่าน short window)

slen : เป็นความยาวของสเกลแฟคเตอร์ย่าน 6 ถึง 11

window_switching_flag[gr][ch] แสดงว่าข้อมูลไม่ได้ใช้วินโดว์(window) ปกติ(type=0) ในกรณีที่ window_switching_flag[gr][ch] = 1จะมีผลดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

region_count = 7 กรณี block_type=1 หรือ block_type=3
หรือ black_type=2 และ mixed_block_flag
region_count = 8 block_type=2 และไม่ใช้ mixed_block_flag
region_count = 36 ค่าทั้งหมดของ big_values อยู่ใน region1

กรณีที่ window_switching_flag[gr][ch] = 0 แล้วค่า block_type จะเท่ากับศูนย์

block_type[gr][ch] ชี้ชนิดของวินโดว์ที่ใช้ของแกรนูลนั้น

Block_type[gr][ch]	ความหมาย
0	ไม่ใช้
1	เริ่มต้นบล็อก
2	วินโดว์บล็อกสั้น 3 บล็อก
3	ท้ายบล็อก

ตารางที่ ก-7 ความหมายของรหัสข้อมูลใน block_type[gr][ch]

block_type และ mixed_block_flag ให้ข้อมูลเกี่ยวกับค่าที่อยู่ในบล็อก เกี่ยวกับความยาวและการนับ สำหรับการแปลง ถ้า window_switching_flag=1 แล้ว mixed_block_flag จะเป็นตัวชี้ว่าโพลีเฟสด้านความถี่ต่ำย่านใดถูกถอดรหัสโดยใช้ type ปกติ
ในกรณีบล็อกยาว (block_type ไม่ใช่ 2 หรือย่านต่ำที่ block_type เป็น 2 เมื่อ mixed_block_flag = 1) IMDCT จะให้เอาท์พุท 36 ค่าทุกๆอินพุท 18 ค่า เอาท์พุทจะขึ้นอยู่กับ block_type
ในกรณีบล็อกสั้น (ย่านที่เหนือกว่าบล็อกยาวของ block_type2 เมื่อ mixed_block_flag =0 หรือทุกย่านความถี่ของ block_type2 เมื่อ mixed_block_flag =0) IMDCT ให้เอาท์พุท 12 ค่า

mixed_block_flag[gr][ch] เป็นตัวกำหนดการเปลี่ยนแปลงที่ความถี่ต่ำกว่าใช้ block_type แบบใด
กรณี mixed_block_flag เป็น 0 : ทุกบล็อกถูกแปลงค่าโดยชี้จาก block_type [gr][ch]
กรณี mixed_block_flag เป็น 1 : ย่านความถี่ต่ำสุด 2 ย่านถูกกำหนดให้แปลงด้วยวินโดว์ปกติอีก 30 ย่านที่เหลือถูกแปลงค่าโดยชี้จาก block_type[gr][ch]

table_select[gr][ch][region] ใช้เลือกตารางฮัฟแมนจาก 32 ตาราง

subblock_gain[gr][ch][window] บอกค่าอัตราการขยายที่เพิ่มขึ้น/ลดลงจาก grobal_gain ของแต่ละบล็อกย่อย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

region0_count[gr][ch] ส่วนของสเปคตรัมที่ถูกแบ่งเพื่อใช้เพิ่มความสามารถของตัวเข้ารหัสให้มีความถูกต้องยิ่งขึ้น โดยแต่ละส่วนที่ถูกแบ่งจะเรียกว่า region0, 1, 2 แต่ละ region จะใช้ตารางถอดรหัสฮัฟแมนต่างกัน ขึ้นอยู่กับ maximum quantized value และ signal statistics ค่าของ region0_count และ region1_count ถูกใช้ชี้บอกขอบเขต region นั้นๆ

region1_count[gr][ch] นับจำนวนของสเกลของแฟคเตอร์ใน region1 ลบออก 1

preflag[gr][ch] เป็นค่าเสริมเพื่อขยายค่าที่ความถี่สูง ถ้าค่า preflag ถูกเซท จะนำค่าในตาราง preflag ไปคูณกับค่าสเกลแฟคเตอร์อีกครั้ง ในกรณี block_type=2 preflag ไม่ถูกใช้

scalefac_scal[gr][ch] เป็นค่าสเกลแฟคเตอร์ที่ถูกปรับค่าด้วยสเกลล็อกการิทึม โดยคูณค่าของแต่ละลำดับด้วย 2 หรือ รากที่สองของ 2 ขึ้นอยู่กับ scalefac_scal

Scalefac_scal[gr][ch]	Scalefac_multiplier
0	0,5
1	1

ตารางที่ ก-8 ความหมายของข้อมูลใน scalefac_scal[gr][ch]

Count1table_select[gr][ch] ใช้เลือกค่าจากตารางฮัฟแมน B7.A หรือ B7.B เมื่อค่าที่ประดับใน region คูณด้วย 4 แล้วไม่เกิน 1

Count1table_select[gr][ch]	ความหมาย
0	ตาราง B7.A
1	ตาราง B7.B

ตารางที่ ก-9 ความหมายของรหัสข้อมูลใน count1table_select[gr][ch]

Scalefac_l[gr][ch], scalefac_s[gr][ch][sfb][window], is_pos[gr][ch]
ถูกใช้ในการประดับค่าคืน (requantization)

huffmancodebits0 ข้อมูลที่ถูกเข้ารหัสแบบฮัฟแมน
รูปแบบของ huffmancodebits0 แสดงวิธีการเข้ารหัสข้อมูลลงใน big_value โดยข้อมูลที่ได้จะเป็นคู่ (x,y) ให้ค่าแต่ละค่ามีจำนวนบิตน้อยกว่า 15 บิต การเข้ารหัสจะถูกเลือกจากตารางฮัฟแมนที่ 0 ถึง 31 ถ้าข้อมูลที่เข้ามามีขนาดเกิน 15 บิต จะแยกเข้ารหัสต่างหาก ถ้าในคู่ของข้อมูลที่เข้ารหัสไม่เป็น 0 จะปรากฏ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เครื่องหมายให้ค่า + หรือ – ในตารางฮัฟแมนจะบรรจุองค์ประกอบ 3 ส่วน คือ

- hcode[x][y] รหัสข้อมูลฮัฟแมน
- hlen[x][y] ความยาวข้อมูลฮัฟแมน
- linbits ความยาวของ linbitsx หรือ linbitsy เมื่อถูกเข้ารหัสรูปแบบของส่วนประกอบของ huffmancodebits ประกอบด้วยกลุ่มของข้อมูลประกอบดังนี้
- sig nv เครื่องหมายของค่า v(0 เป็นบวก 1 เป็นลบ)
- sig nw เครื่องหมายของค่า w(0 เป็นบวก 1 เป็นลบ)
- sig nx เครื่องหมายของค่า x(0 เป็นบวก 1 เป็นลบ)
- sig ny เครื่องหมายของค่า y(0 เป็นบวก 1 เป็นลบ)
- linbitsx ใช้เมื่อเข้ารหัสค่าของ x มากกว่าหรือเท่ากับ 15
- linbitsy ใช้เมื่อเข้ารหัสค่าของ y มากกว่าหรือเท่ากับ 15
- is[1] คือ ค่าที่ถูกปรับระดับสำหรับ frequency lineที่ 1

ก.6 Ancillary Data

ancillary_bit ผู้ใช้สามารถนิยามเองได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ข.2 รีจิสเตอร์สถานะของ ATAPI, ATA

D7	D6	D5	D4	D3	D2	D1	D0
BSY	DRDY	DMA READY or DF	SERVICE or DSC	DRQ	CORR	Reserved	CHECK

DRDY, DSC, CORR และ CHECK จะสามารถนำไปใช้ได้เมื่อสิ้นสุดคำสั่งแล้ว

บิต 7 BSY (Busy) จะถูกเซ็ตเมื่ออุปกรณ์ทำการเข้าถึงบล็อกคำสั่ง

บิต 6 DRDY (Device Ready) แสดงว่าอุปกรณ์สามารถตอบสนองต่อคำสั่ง ATA ได้

บิต 5 DMA READY/DF บิตนี้จะแสดงว่าอุปกรณ์พร้อมที่จะเริ่มการถ่ายโอนข้อมูลแบบ DMA และบิตนี้จะสงวนไว้สำหรับความสามารถในการโอเวอร์แลป (overlap) ซึ่งจะพัฒนาในอนาคต ถ้าไม่มีการอนุญาติให้มีการโอเวอร์แลปหรือ Interleave DAM บิตนี้จะใช้สำหรับ Drive Fault (DF)

บิต 4 SERVICE/DSC บิตนี้ใช้เป็นสัญญาณว่าอุปกรณ์กำลังต้องการการบริการหรืออินเตอร์รัพ ถ้ามีการขออินเตอร์รัพบิตนี้จะถูกเซ็ตและจะไม่เคลียร์จนกว่าจะมีการส่งคำสั่ง Service (A2h) ออกมา และถ้าไม่ได้ใช้ในการอินเตอร์รัพ บิตนี้จะใช้สำหรับฟังก์ชัน DSC

บิต 3 DRQ (Data Request) แสดงว่าอุปกรณ์พร้อมที่จะถ่ายโอนข้อมูลกับโฮสต์ ถ้าบิต DRQ ถูกเซ็ตจะทำให้สามารถนำข้อมูลในรีจิสเตอร์ Interrupt Reason ของ ATAPI ไปใช้ได้

บิต 2 CORR (Corrected Data) ใช้แสดง Correctable Error

บิต 0 CHECK แสดงการเกิดความผิดพลาดในระหว่างการปฏิบัติการของคำสั่งก่อนหน้านี้

ข.3 รีจิสเตอร์ Error ของ ATAPI, ATA

D7	D6	D5	D4	D3	D2	D1	D0
Sense Key				MCR	ABRT	EOM	ILI

บิต 7-4 Sense Key

บิต 3 MCR (Media Change Request) สงวนไว้ใช้กับอุปกรณ์มีเดียร์ (media device) ที่สามารถเปลี่ยนได้ และใช้แสดงว่ามีการร้องขอให้เปลี่ยนมีเดียร์จากอุปกรณ์

บิต 2 ABRT (Aborted Command) แสดงว่าคำสั่งที่ร้องขอมานั้นล้มเหลว เนื่องจากรหัสคำสั่งไม่ถูกต้องหรืออุปกรณ์อื่นเกิดความผิดพลาดขึ้น

บิต 1 EOM (End Of Media) แสดงการตรวจพบตำแหน่งสุดท้ายของมีเดียร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บิต 0 ILI (Illegal Length Indication)

ข.4 รีจิสเตอร์ Feature ของ ATAPI, ATA

D7	D6	D5	D4	D3	D2	D1	D0
Reserved						OVER LAP	DMA

บิต 1 OVERLAP (Optional) อุปกรณ์จะปล่อยบัส ATA ก่อนที่คำสั่งจะเสร็จสิ้นสมบรณ์

บิต 0 DMA (Optional) ข้อมูลสำหรับคำสั่งที่จะถูกถ่ายโอนผ่านการเชื่อมต่อแบบ DMA สังเกตว่าจะไม่มีการใช้คอมมานด์แพ็คเก็ต

ข.5 รีจิสเตอร์ Byte Count ของ ATAPI (รีจิสเตอร์ Cylinder High/Low ของ ATA)

D7	D6	D5	D4	D3	D2	D1	D0
Byte Count (บิต 0-7)							
Byte Count (บิต 8-15)							

Byte Count จะใช้สำหรับอุปกรณ์ PIO เท่านั้น และจะต้องตั้งค่าก่อนที่จะส่งแพ็คเก็ตคอมมานด์ออกไป Byte Count จะบรรจุปริมาณข้อมูลในการถ่ายโอนทั้งหมดสำหรับคำสั่งที่ถ่ายโอนข้อมูลเพียงชุดเดียว เช่น Mode Sense/Select, Inquiry ส่วนคำสั่งที่ต้องการการอินเตอร์รัพ DRQ หลายครั้ง เช่น Read, Write จะต้องตั้งค่า Byte Count ให้เป็นปริมาณข้อมูลที่โฮสต์ต้องถ่ายโอนจาก/ไปยังรีจิสเตอร์ข้อมูล

ข.6 รีจิสเตอร์ Interrupt Reason ของ ATAPI (รีจิสเตอร์ Sector Count ของ ATA)

D7	D6	D5	D4	D3	D2	D1	D0
Reserved					RELEASE	IO	CoD

บิต 2 RELEASE แสดงว่าอุปกรณ์ได้ปล่อยบัส ATA ก่อนการเสร็จสิ้นคำสั่งที่กำลังทำอยู่

บิต 1 IO ทิศทางการถ่ายโอนข่าวสาร

ถ้า IO = 0 แสดงทิศทางไปยังอุปกรณ์

ถ้า IO = 1 แสดงทิศทางไปยังโฮสต์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

IO	DRQ	CoD	
0	1	1	คำสั่ง - พร้อมที่จะรับไบต์แพ็คเกตคอมมานด์
1	1	1	ข่าวสาร (อนาคต) - พร้อมที่จะส่งข้อมูลไปยังโฮสต์
1	1	0	ข้อมูลไปยังโฮสต์ – ส่งพารามิเตอร์คำสั่ง (Read Data) ไปยังโฮสต์
0	1	0	ข้อมูลจากโฮสต์ – รับพารามิเตอร์คำสั่ง (Write Data) จากโฮสต์
1	0	1	สถานะ – รีจิสเตอร์จะบรรจุ Completion Status

บิต 0 CoD (Command or Data)

ถ้า CoD = 0 แสดงว่าข่าวสารที่ถูกถ่ายโอนนั้นคือข้อมูล

ถ้า CoD = 1 แสดงว่าข่าวสารที่ถูกถ่ายโอนนั้นคือคำสั่ง

ข.7 รีจิสเตอร์ Drive Select ของ ATAPI (รีจิสเตอร์ Drive/Head ของ ATA)

D7	D6	D5	D4	D3	D2	D1	D0
1	Reserved	1	DRV	Reserved for SAMLUN			

บิต 4 DRV จะเป็นการเลือกอุปกรณ์ (Device0 หรือ Device1)

ถ้า DRV = 0 จะเป็น Device0

ถ้า DRV = 1 จะเป็น Deivce1

ข.8 รีจิสเตอร์ Device Control ของ ATAPI, ATA

D7	D6	D5	D4	D3	D2	D1	D0
Reserved				1	SRST	NIEN	0

บิต 2 SRST (Software Reset) เป็นบิตที่ใช้รีเซ็ตโดยซอฟต์แวร์

บิต 1 nIEN เป็นบิตที่จะยอมให้มีการอินเตอร์รัพของอุปกรณ์ไปยังโฮสต์หรือไม่

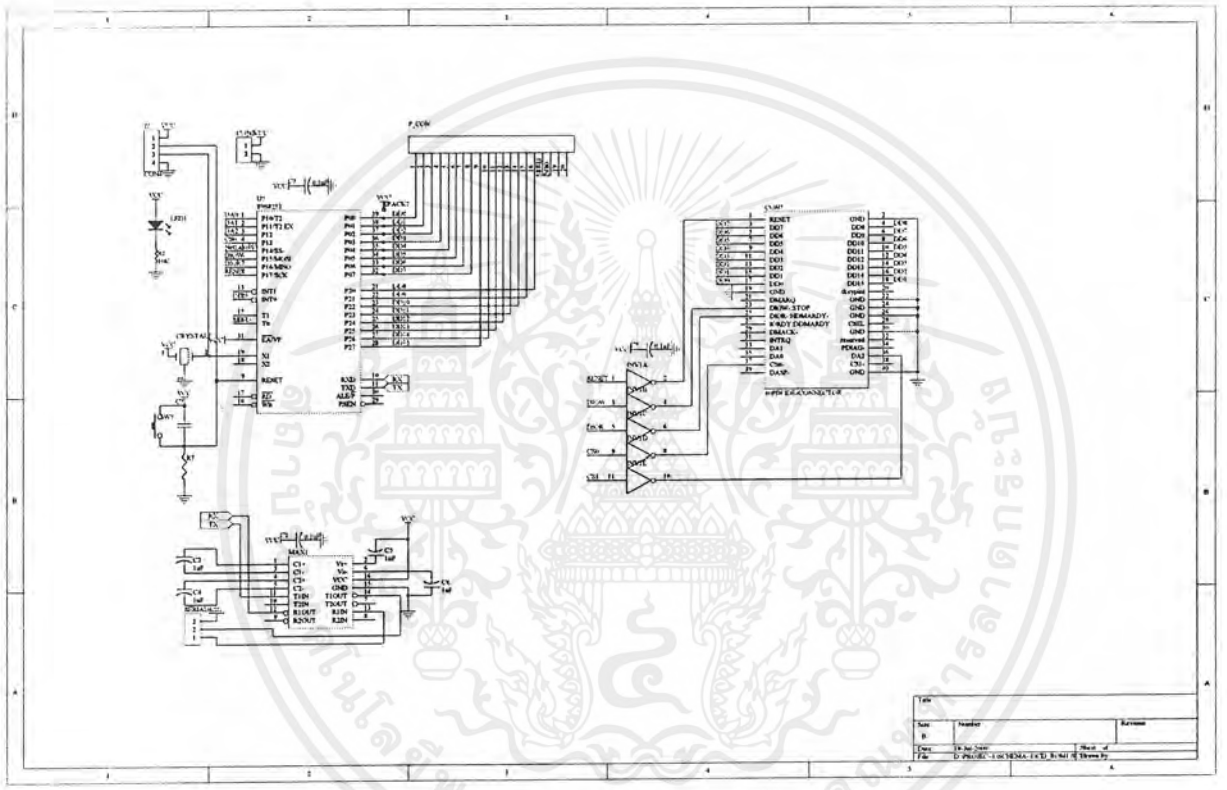
ถ้า nIEN = 0 และทำการเลือกอุปกรณ์แล้ว ก็จะอนุญาตให้มีการอินเตอร์รัพผ่านบัฟเฟอร์ 3 สถานะ

ถ้า nIEN = 1 หรือไม่มีการเลือกอุปกรณ์ สัญญาณ INTRQ จะเป็น 1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

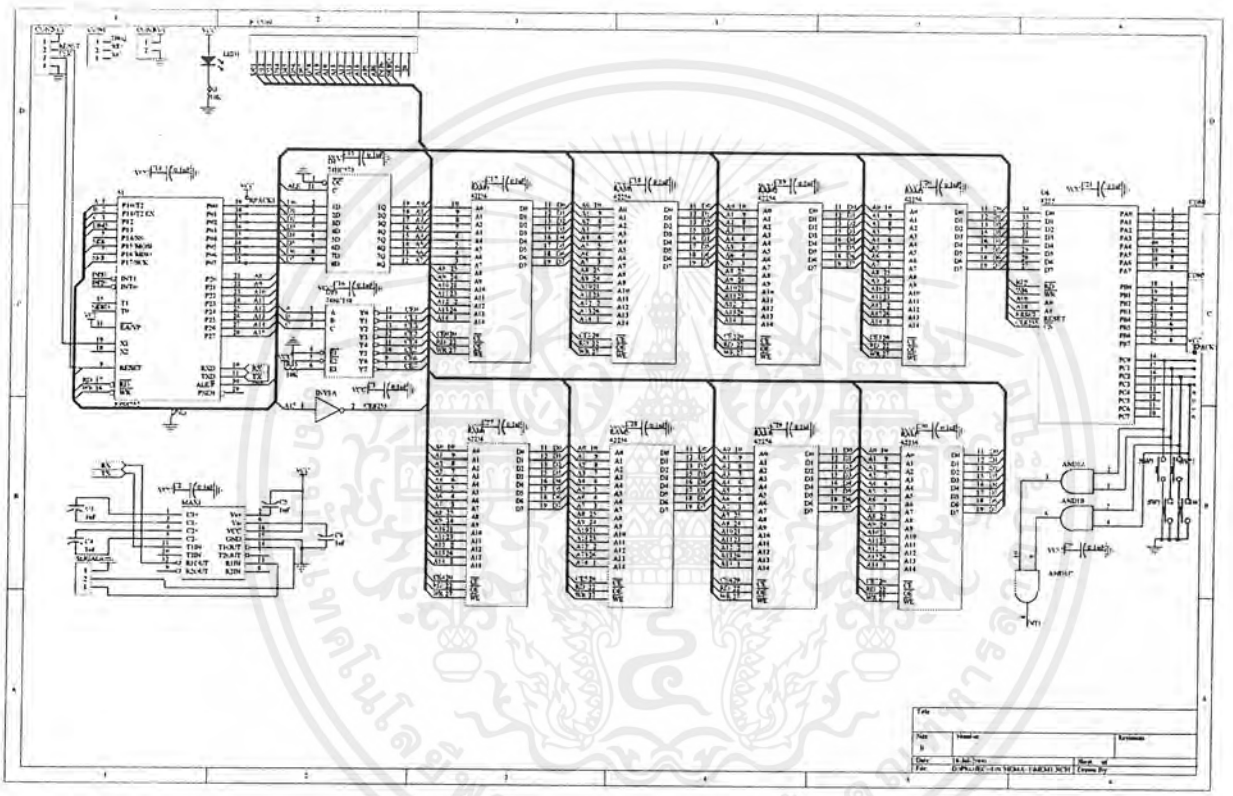
ภาคผนวก ง

Schematic



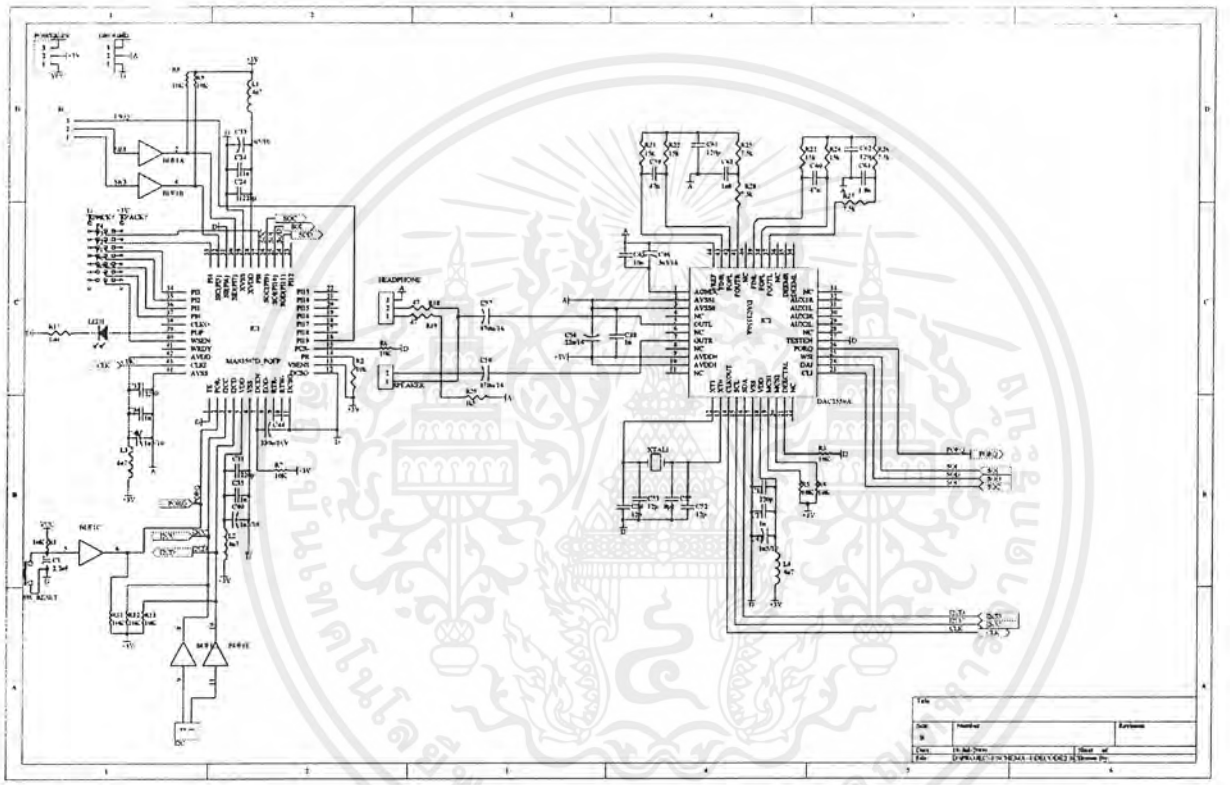
รูปที่ ง-1 วงจรส่วนควบคุมไดร์ฟซีดีรอม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ ง-2 วงจรส่วนประมวลผลกลาง

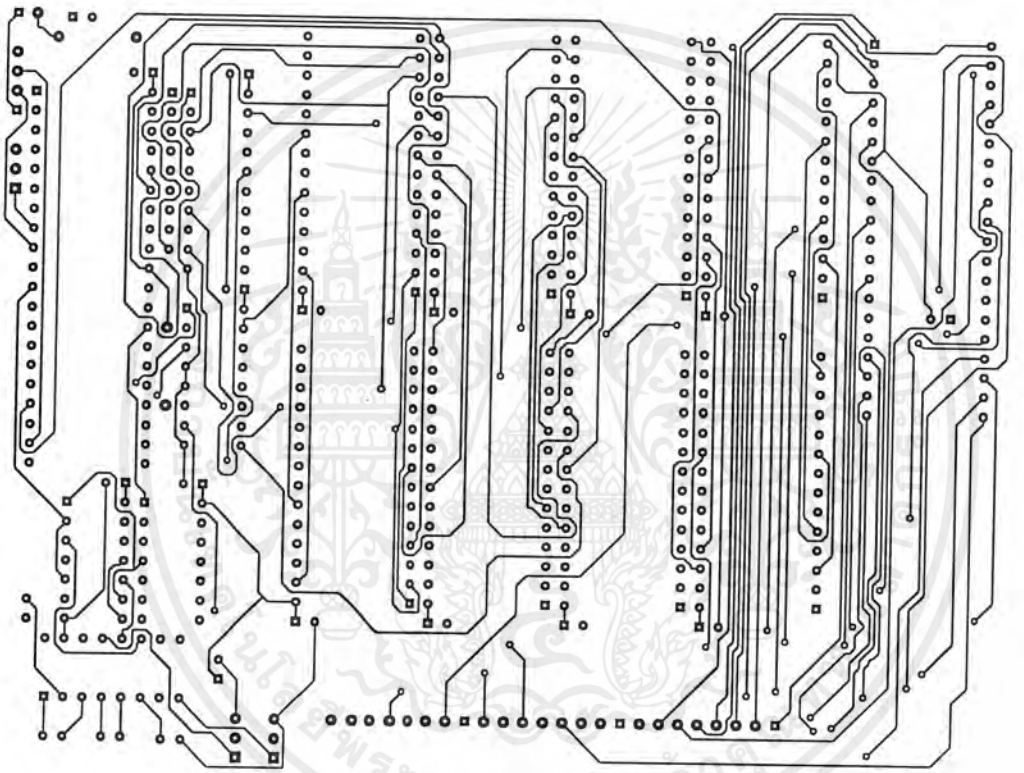
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ ง-3 วงจรส่วนถอดรหัสสัญญาณเสียง

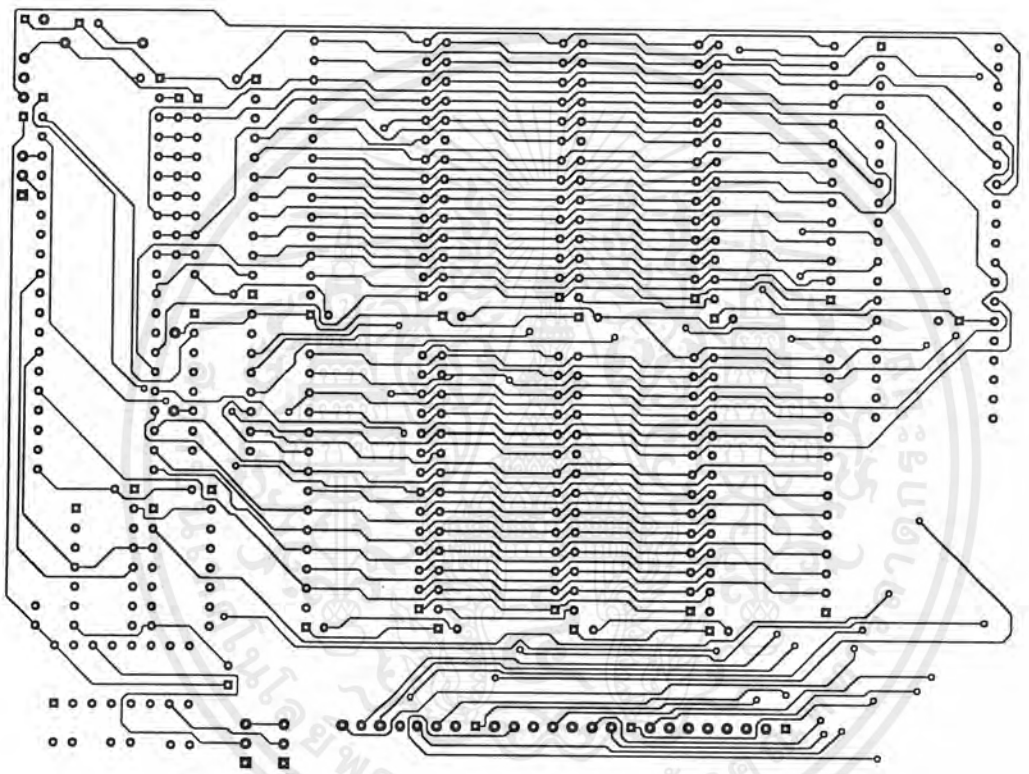
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Print Circuit Board (PCB)



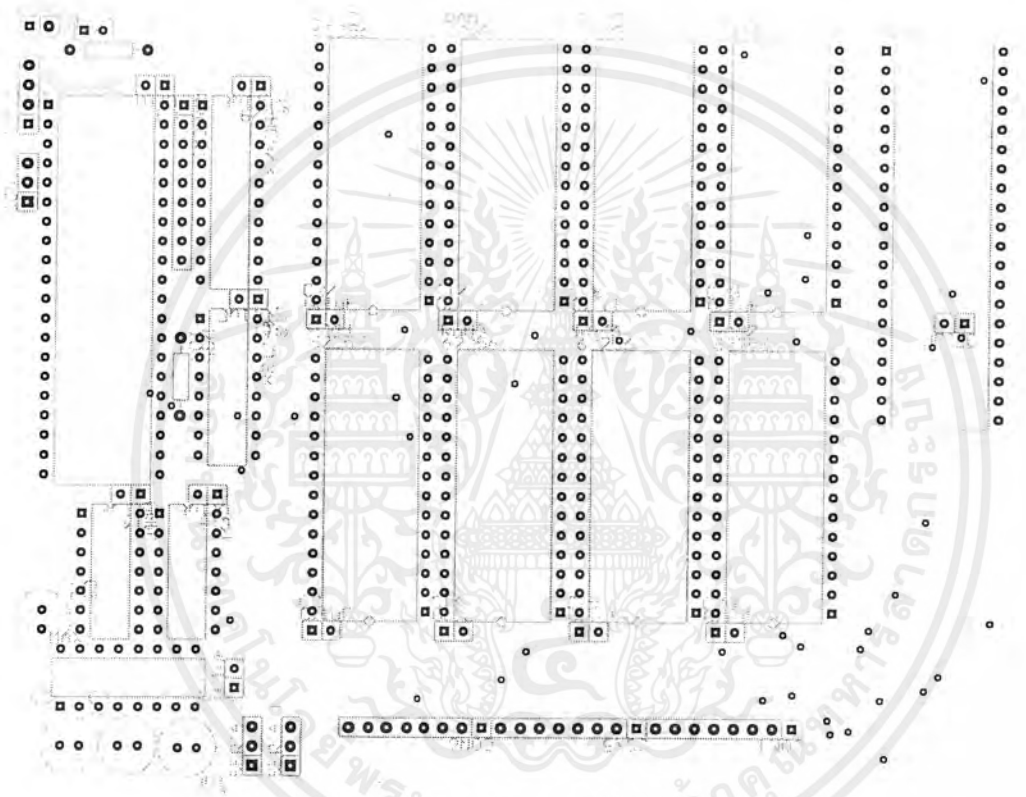
รูปที่ ง-4 แสดง PCB ด้านบนของส่วนประมวลผลกลาง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



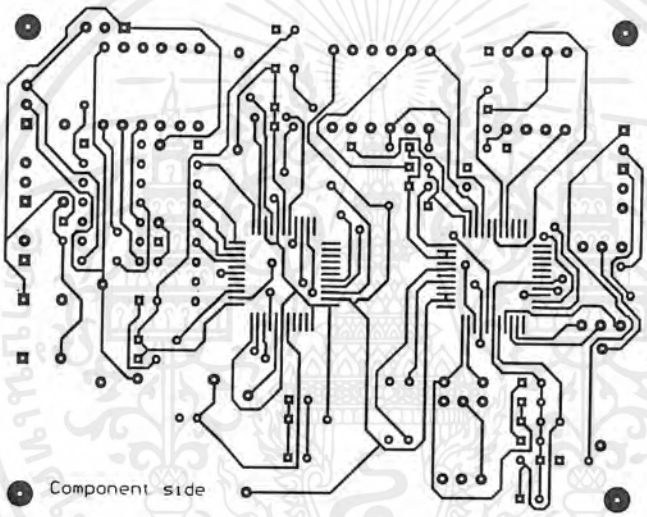
รูปที่ ง-5 แสดง PCB ด้านล่างของส่วนประมวลผลกลาง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



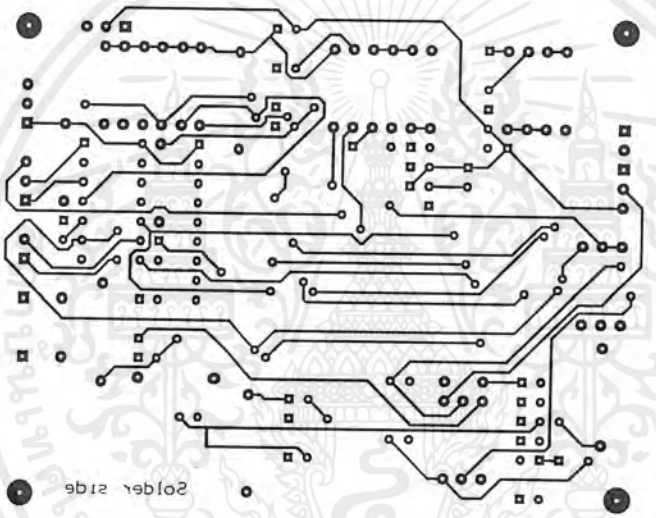
รูปที่ ง-6 แสดง การวางอุปกรณ์ของส่วนประมวลผลกลาง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



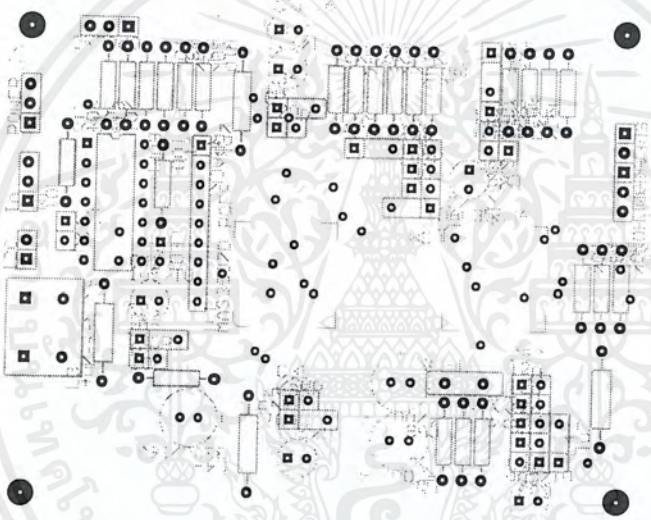
รูปที่ ง-7 แสดง PCB ด้านบนของส่วนถอดรหัสสัญญาณเสียง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



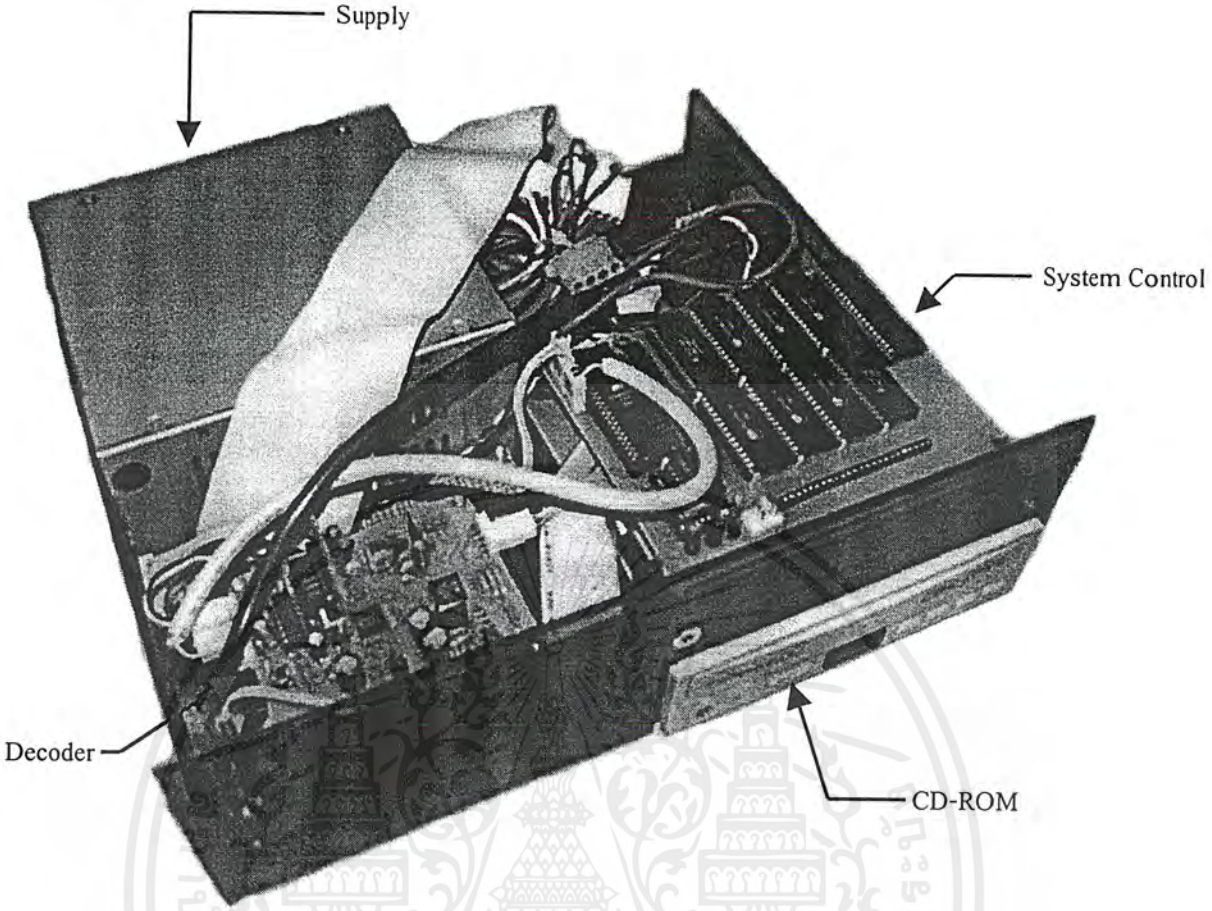
รูปที่ ง-8 แสดง PCB ด้านล่างของส่วนถอดรหัสสัญญาณเสียง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ ง-9 แสดงการวางอุปกรณ์ของส่วนถอดรหัสสัญญาณเสียง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ ง-12 ภาพแสดงส่วนประกอบภายในของเครื่องเล่น MP3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บรรณานุกรม

[1] Tom Hanan and Devon Worrell: "ATA Packet Interface for CD-ROMs SFF-8020I" , Revision 2.6 Proposed, January 22, 1996

[2] Peter T. McLean: "Information Technology –AT Attachment with Packet Interface Extension (ATA/ATAPI-4)", Revision 9,10 February 1997

[3] Peter T. McLean: "Information Technology –AT Attachment with Packet Interface – 5 (ATA/ATAPI-5)", Revision 1c, 31 August 1999

[4] MICRONAS INTERMETALL GmbH: "MAS 3507D MPEG 1/2 Layer 2/3 Audio Decoder", Edition Oct. 21, 1998

[5] MICRONAS INTERMETALL GmbH: "DAC 3550A Stereo Audio DAC", Edition Aug. 14, 1998

[6] Atmel Corporation 2000: "8-bit Microcontroller with 8K Bytes Flash AT89S8252", Rev. 0401E–02/00, 2000

[7] Thai Industrial Standards Institute(TISI): "ISO9660 (Information processing – Volume and file structure of CD-ROM for information interchange)", First edition 15 April 1988

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้