



ปีการศึกษา 2532

เครื่องขมส่ายโทรทัศน์สาขาอัดโน้ตแบบไม่มีพนักงาน

โดย

นาย เฉลย แก้วเกษ

นาย ไชยณรงค์ พุกพิบูลย์

นาย อองอาจ คุณวิทยา

นาย เอ็นก บุษม

นาย สัมพันธ์ อันตะปัญา

อาจารย์ปัทมา

อาจารย์ อุทัย ศรีธีระวิโรจน์

026995

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์อื่นใด  
22 พ.ย. 2535  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## เครื่องชุมสายโทรศัพท์สาขาอัตโนมัติแบบไม่มีพนักงาน

|      |              |            |
|------|--------------|------------|
| ชื่อ | นาย เฉลย     | แก้วเกษ    |
|      | นาย ไชยณรงค์ | บุกนิบลย์  |
|      | นาย อองอาจ   | คุณวิทยา   |
|      | นาย เอนก     | บุญสม      |
|      | นาย สัมพันธ์ | อินตะปัญญา |

อาจารย์ อุตัย ศรีธีระวิโรจน์ อาจารย์ที่ปรึกษา

### บทคัดย่อ

ปฏิญานินพนธ์นี้ เป็นการนำเอาระบบไมโครโปรเซสเซอร์ มาประยุกต์ใช้กับระบบชุมสายโทรศัพท์สาขาอัตโนมัติขนาดเล็ก สำหรับใช้เป็นตู้สาขาอัตโนมัติ ภายในสำนักงานหรือที่พักอาศัย เครื่องชุมสายโทรศัพท์ที่จัดทำขึ้นมานี้ สามารถต่อสายภายในได้ 4 คู่สาย และต่อกับสายภายนอกได้ 1 คู่สาย ใช้งานกับเครื่องโทรศัพท์แบบกดปุ่ม ในระบบไม่ต้องใช้โอเปอเรเตอร์ คุณลักษณะการบริการของระบบได้แก่ การตอบรับสายภายนอกได้ โดยอัตโนมัติ การโอนสาย และการเตือนคู่สายภายใน ขณะใช้งานอยู่ แล้วมีสายภายนอกติดต่อเข้ามา เป็นต้น เครื่องชุมสายโทรศัพท์สาขาอัตโนมัติ ที่ทำนี้ใช้ระบบไมโครโปรเซสเซอร์ : ความคม มีคุณสมบัติสูงสุด 2 ช่อง ภายในระบบออกแบบให้ง่ายต่อการขยายคู่สายได้อีก โดยลักษณะวงจร ทำเป็นบอร์ดแยกอิสระจากกันสามารถทำการต่อเพิ่มได้ง่าย ในการพัฒนาโปรแกรมควบคุมระบบ ใช้ภาษาแอสเซมบลี ซึ่งง่ายต่อการศึกษาและพัฒนาต่อไป เครื่องชุมสายนี้มีขนาดเล็ก ทำงานได้รวดเร็ว ราคาถูก และมีขีดความสามารถสูง

## Non - Operator Private Automatic Branch Exchange

|                 |              |
|-----------------|--------------|
| Name Mr. Chaloe | Keokeas      |
| Mr. Chainarong  | Poogpibool   |
| Mr. Ongard      | Kunnawittaya |
| Mr. Anek        | Boonsom      |
| Mr. Samphan     | Intapunya    |

Advisor Mr. Uthai Sritheeravirojana

### Abstract

The presentation of this project is an application of microprocessor which controls a PABX (Private Automatic Branch Exchange) system using in small offices or house. The capacity of this system is 4 internal subscriber lines and 1 external subscriber line. The using of telephone line in this system can be push button type (DTMF: Dual Tone Multi Frequency). Without operator console is required in this system and the service features are automatically answer back, line transferring and internal subscribers alarm when incoming call want to contact them, etc. The system is controlled by microprocessor with 2 internal switching network links and easy expansion of internal subscribers. The assembly language is used to ease the development of control program. This project permits a PABX of small size, quick operation, low cost and high performance.

## สารบัญ

|                                               | หน้า |
|-----------------------------------------------|------|
| บทคัดย่อ                                      | ก    |
| ABSTRACT                                      | ข    |
| บทที่ 1 บทนำ                                  | 1    |
| บทที่ 2 ความรู้ทั่วไปเกี่ยวกับโทรศัพท์        | 2    |
| 2.1 การสื่อสารทางโทรศัพท์                     | 2    |
| 2.2 KEY TELEPHONE                             | 6    |
| 2.3 มาตรฐานสัญญาณโทรศัพท์                     | 8    |
| 2.4 สัญญาณความถี่ DTMF                        | 10   |
| บทที่ 3 ตู้สาขาโทรศัพท์                       | 11   |
| 3.1 หน้าที่ของตู้สาขาโทรศัพท์                 | 11   |
| 3.2 ชนิดของตู้สาขาโทรศัพท์                    | 11   |
| 3.3 วัฒนาการทางเทคโนโลยีของตู้สาขาโทรศัพท์    | 12   |
| 3.4 โครงสร้างภายในของตู้สาขาโทรศัพท์          | 16   |
| 3.5 คุณสมบัติการบริการพิเศษของตู้สาขาโทรศัพท์ | 17   |
| บทที่ 4 ฮาร์ดแวร์ของตู้สาขา Non Operator PABX | 20   |
| 4.1 แผงวงจรพื้นฐาน                            | 21   |
| 4.2 แผงวงจรควบคุมสายภายใน                     | 29   |
| 4.3 แผงวงจรควบคุมสายภายนอก                    | 34   |
| 4.4 แผงวงจรกำเนิดสัญญาณโทรศัพท์               | 38   |
| 4.5 แผงวงจรสังเคราะห์เสียงพูด                 | 43   |
| 4.6 แผงวงจรตัดต่อช่องสัญญาณ                   | 53   |
| 4.7 ภาคจ่ายไฟ                                 | 54   |
| 4.8 ขั้นตอนการปฏิบัติ                         | 56   |
| บทที่ 5 โฟลว์ชาร์ตและการทำงานของโปรแกรม       | 68   |
| 5.1 การทำงานของโปรแกรม                        | 68   |
| 5.2 โฟลว์ชาร์ตการทำงานส่วนติดต่อภายนอก        | 69   |
| 5.3 โฟลว์ชาร์ตการทำงานส่วนติดต่อภายใน         | 70   |

|                                                      |    |
|------------------------------------------------------|----|
| บทที่ 6 บทสรุป                                       | 81 |
| 6.1 ผลที่ได้รับจากปริญานินท์                         | 81 |
| 6.2 คำแนะนำในการใช้งาน                               | 81 |
| 6.3 แนวความคิดและข้อเสนอแนะเพื่อเป็นแนวทางในการพัฒนา | 82 |
| 6.4 วิจารณ์ผลการปฏิบัติ                              | 83 |

ภาคผนวก

กิตติกรรมประกาศ

เอกสารอ้างอิง



## สารบัญรูปภาพ

|                                                                              | หน้า  |
|------------------------------------------------------------------------------|-------|
| รูปที่ 2.1 แสดงระบบการทำงานของชุมสายระบบโครสบาร์                             | 4     |
| รูปที่ 2.2 แสดงโครงสร้างของชุมสาย Electronics Switching                      | 5     |
| รูปที่ 2.3 แสดงส่วนที่เป็น Key Telephone                                     | 7     |
| รูปที่ 2.4 สัญญาณโทรศัพท์                                                    | 9     |
| รูปที่ 3.1 การต่อสายของตู้สาขาโทรศัพท์ระบบ Manual กรณีที่ต่อสายภายใน         | 13    |
| รูปที่ 3.2 การต่อสายระหว่างโทรศัพท์ที่ขึ้นอยู่กับตู้สาขาคนละตู้โดยผ่านสายนอก | 14    |
| รูปที่ 3.3 แสดงหลักการทำงานของตู้สาขาแบบ Space Division                      | 16    |
| รูปที่ 3.4 หลักการทำงานของตู้สาขาแบบ Time Division                           | 16    |
| รูปที่ 3.5 โครงสร้างของตู้สาขาโทรศัพท์อิเล็กทรอนิกส์                         | 18    |
| รูปที่ 4.1.1 แสดงโครงสร้างของ Z-80 ซีพียู                                    | 21    |
| รูปที่ 4.1.2 แสดงชุดของรีจิสเตอร์                                            | 22    |
| รูปที่ 4.1.3 ลักษณะของขาไอซี Z-80 ซีพียู                                     | 25    |
| รูปที่ 4.2 วงจรควบคุมโทรศัพท์ภายใน                                           | 30    |
| รูปที่ 4.3 วงจรควบคุมสายนอก                                                  | 35    |
| รูปที่ 4.4 วงจรกำเนิดสัญญาณโทรศัพท์                                          | 39    |
| รูปที่ 4.5 วงจรสังเคราะห์เสียงพูด                                            | 44    |
| รูปที่ 4.5.1 วงจรเปลี่ยนจากอานาล็อกเป็นดิจิตอล                               | 46    |
| รูปที่ 4.5.2 คุณสมบัติ ADC0809                                               | 50    |
| รูปที่ 4.5.3 วงจรเปลี่ยนจากดิจิตอลเป็นอานาล็อก                               | 52    |
| รูปที่ 4.6 วงจรสวิตช์ชิ่ง                                                    | 53    |
| รูปที่ 4.7 วงจรภาคจ่ายไฟ                                                     | 55    |
| รูปที่ 4.8 ลายวงจรและลายละเอียดตำแหน่งสัญญาณของบอร์ด                         | 57-67 |

### 1.1 ความเบื้องต้น

ในช่วงระยะเวลาแผนพัฒนาประเทศแผนที่ 5 ที่ผ่านมานี้ ความเจริญรุ่งเรืองของประเทศในด้านอุตสาหกรรมและธุรกิจประเภทต่าง ๆ เกิดขึ้นอย่างมากมาและรวดเร็ว จึงทำให้เกิดชุมชนอยู่รวมกันเป็นกลุ่ม ๆ และปัญหาการติดต่อสื่อสารกันทางโทรศัพท์ก็เริ่มเกิดมีปัญหขึ้น เนื่องจากปริมาณความต้องการของผู้ใช้มากขึ้น จนผู้ให้บริการไม่สามารถที่จะตอบสนองความต้องการของผู้ใช้โทรศัพท์ได้ทัน และในกรณีที่ผู้ให้บริการพยายามเพิ่มคู่สายโทรศัพท์ เพื่อสนองความต้องการนั้น อุปกรณ์ส่วนใหญ่ทางด้านงานโทรศัพท์ส่วนมากยังต้องนำเข้ามาจากต่างประเทศ จึงเป็นการเสียค่าใช้จ่ายมาก ดังนั้น กลุ่มของเราตระหนักในปัญหาดังกล่าวนี จึงได้ร่วมมือกันคิดที่จะสร้างตู้สาขาโทรศัพท์แบบ Non Operator PABX ขึ้นมา โดยจะลงทุนต่ำแต่ใช้ประโยชน์ได้สูง ตู้สาขาโทรศัพท์แบบ Non Operator PABX นี้มีลักษณะคล้ายกับตู้ชุมสายโทรศัพท์ขนาดเล็กหรือที่นิยมเรียกว่า ตู้สาขาโทรศัพท์อัตโนมัติ (Private Automatic Branch Exchange) เป็นอุปกรณ์ชุมสายโทรศัพท์ที่ใช้ในหน่วยงานหรือชุมชนขนาดเล็ก ซึ่งใช้ในการติดต่อวงจรโทรศัพท์ ทั้งภายในและภายนอก ทำให้การติดต่อโทรศัพท์ภายในเป็นไปอย่างรวดเร็ว เพิ่มประสิทธิภาพในการติดต่อเป็นอย่างมาก ซึ่งส่วนใหญ่ตู้สาขานี้จะทำการติดต่อกับสายภายนอก จะใช้ระบบที่มีโอเปอร์เรเตอร์ควบคุมการทำงาน ซึ่งระบบนี้จะต้องมีโอเปอร์เรเตอร์โอนสายจากภายนอกไปยังเครื่องโทรศัพท์ที่อยู่ภายในแต่ละเครื่อง ตามที่ผู้เรียกขานมาเมื่อพิจารณาถึงผลเสียจะพบว่า ประการแรกเป็นการสิ้นเปลืองพนักงานและเวลาในการควบคุมการติดต่อสายนี้ ประการที่สอง ในบางครั้งการติดต่อกันข้อความอาจเป็นความลับระหว่างบุคคล โอเปอร์เรเตอร์สามารถแอบฟังได้ง่าย โดยที่ผู้ทำการติดต่อกันไม่ทราบได้เลยว่ามีคนแอบฟัง และประการที่สาม ในกรณีที่ต้องการติดต่อนอกเวลาที่โอเปอร์เรเตอร์ทำงานก็ไม่สามารถจะทำได้ ในกรณีนี้จึงได้ออกแบบเพื่อสร้างตู้สาขาโทรศัพท์แบบ Non Operator PABX ขึ้นมา เพื่อลดปัญหาที่กล่าวมาแล้วข้างต้น

### 1.2 วัตถุประสงค์ของโครงการ

- 1.2.1 ออกแบบและสร้างต้นแบบตู้สาขาโทรศัพท์แบบ Non Operator PABX โดยใช้เทคโนโลยีด้านไมโครโปรเซสเซอร์ควบคุมการทำงาน
- 1.2.2 วางรากฐานของการพัฒนาตู้ชุมสายโทรศัพท์ ให้สามารถพัฒนาเป็นผลิตภัณฑ์ที่มีสมรรถนะสูงขึ้นใช้งานได้ดียิ่งขึ้นในอนาคต
- 1.2.3 เป็นการนำเอาวิชาพื้นฐานทางวิศวกรรมต่าง ๆ มาใช้ให้ก่อเกิดประโยชน์ต่อสังคมและประเทศชาติ

## บทที่ 2

### ความรู้ทั่วไปเกี่ยวกับโทรศัพท์

#### 2.1 การสื่อสารทางโทรศัพท์

โทรศัพท์ก็คือ เครื่องมือสื่อสารเชื่อมโยงน้ำเสียงและคำพูดระหว่างบุคคลซึ่งอยู่ ณ สถานที่แห่งหนึ่งกับบุคคลที่ต้องการติดต่อกับ ณ สถานที่อีกแห่งหนึ่งให้สามารถพูดจาโต้ตอบกันได้ ประจวบกับทั้งสองสนทนากันอยู่ใกล้ชิดกัน ส่วนประกอบของการสื่อสารทางโทรศัพท์แบ่งออกได้เป็น

##### 2.1.1 เครื่องโทรศัพท์

สิ่งแรกที่ทำหน้าที่และมองเห็นได้ชัดก็คือตัวเครื่องโทรศัพท์ที่วางอยู่บนโต๊ะทำงานของท่านมีปากพูด และหูฟัง สำหรับยกขึ้นมาให้ท่านพูด และยังมีหน้าปัทม์สำหรับหมุนหมายเลขเพื่อหมุนหมายเลขที่ท่านต้องการและประสงค์จะพูดด้วย

##### 2.1.2 สายโทรศัพท์หรือขั้วสายโทรศัพท์

จากตัวเครื่องโทรศัพท์มีสายโทรศัพท์อย่างน้อย 1 คู่ หรือ 2 เส้น เพื่อเชื่อมโยง และเป็นสื่อนำกระแสไฟฟ้าจากชุมสายมาเลี้ยงปากพูดและหูฟังขณะเดียวกันก็ทำหน้าที่เป็นสื่อเพื่อส่งกระแสคลื่นจากไมโครโฟนปากพูดไปยังลำโพงและหูฟังของผู้รับ ณ เครื่องโทรศัพท์ปลายทางอีกเครื่องหนึ่งได้ เพื่อจะให้การใช้โทรศัพท์จากเครื่องหนึ่งไปอีกเครื่องหนึ่งพูดติดต่อกันได้สะดวก โดยมีอุปกรณ์จากตู้เข้ารายอื่น และไม่ประสงค์จะให้ตู้เข้ารายอื่นได้ยินการสนทนาระหว่างท่านกับผู้ที่ท่านประสงค์จะพูดด้วย เครื่องโทรศัพท์แต่ละเครื่อง แต่ละเลขหมาย จึงต้องมีสายโทรศัพท์เป็นของตนเองคู่หนึ่ง โดยเฉพาะไม่เกี่ยวข้องกับคู่สายของตู้เข้ารายอื่น และเครื่องโทรศัพท์ทุกเครื่องจะต้องมีสายโยงโดยตรงไปยังชุมสาย

##### 2.1.3 ชุมสายโทรศัพท์หรือเครื่องชุมสาย

ที่เรียกว่าชุมสายก็เพราะ สายทุกคู่ของแต่ละเลขหมายจะไปปรากฏเป็นหัวหมุดรอคอยการต่อเชื่อมระหว่างผู้เรียกและผู้ถูกเรียกเป็นคู่ ๆ กัน ถ้าเป็นชุมสายแบบใช้พนักงานต่อ พนักงานสลับสายก็จะเป็นผู้เสียบสายต่อให้ ถ้าเป็นชุมสายแบบอัตโนมัติเครื่องต่อโทรศัพท์ซึ่งประกอบด้วยเครื่องกลไกทางไฟฟ้ามากมายก็จะทำหน้าที่ต่อให้

#### วิวัฒนาการของชุมสายโทรศัพท์

ในระยะแรกที่มีการใช้โทรศัพท์นั้นระบบการต่อสายเป็นแบบ Manual Switch Board พนักงานสลับสายเป็นผู้เสียบสายจากเครื่องโทรศัพท์ต่าง ๆ ต่อเข้าหากันเมื่อมีเลขหมายโทรศัพท์เพิ่มมากขึ้น การต่อสายแบบนี้เกิดความยุ่งยากมาก ชุมสายโทรศัพท์อัตโนมัติรุ่นแรกทำงานโดยอาศัย Pulse จากเครื่องโทรศัพท์ไปควบคุมอุปกรณ์ต่อสาย (Switching Equipment) ให้ทำงานเป็นจังหวะ ๆ ตามตัวเลขที่ผู้ใช้โทรศัพท์หมุน ระบบนี้ยังมีใช้อยู่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดลอกเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ทั่วไป เรียกว่าระบบ Step-by-Step หรือ Strowger ถึงแม้ว่าระบบ Step-by-Step จะมีราคาถูกและทำงานได้ผลดีก็ตาม แต่ก็ยังทำงานช้าและประสิทธิภาพต่ำไม่สามารถให้บริการใหม่ ๆ ได้ และที่สำคัญที่สุดคือ ไม่สามารถทำงานได้ผลดีในเขตที่มีการใช้โทรศัพท์มาก (High telephone traffic area) เช่นในนครหลวงและชุมชนใหญ่ ๆ

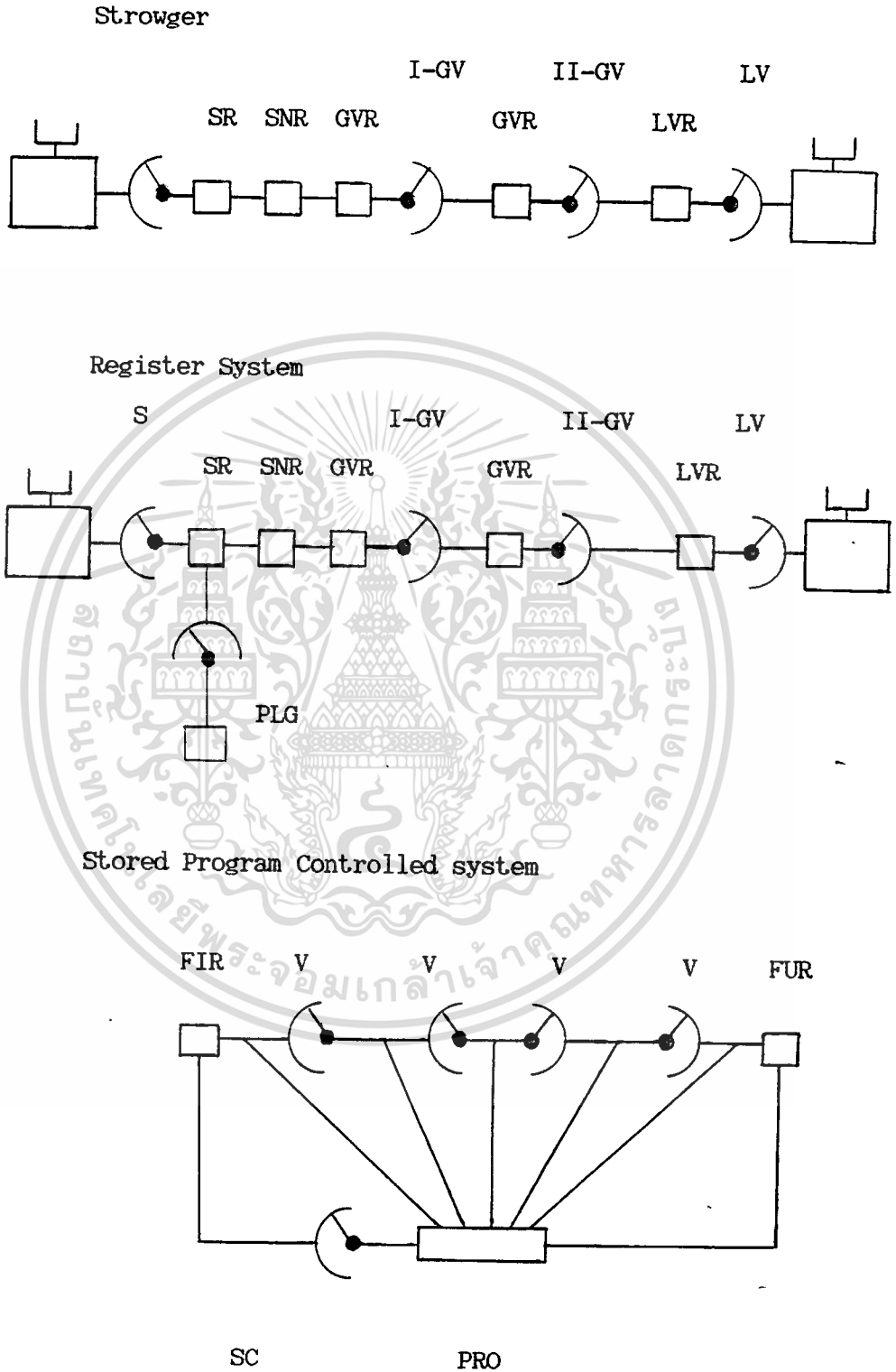
การวิวัฒนาการระบบชุมสายโทรศัพท์ขั้นต่อไปคือ ชุมสายระบบ Crossbar ซึ่งได้มีการเปลี่ยนแปลงที่สำคัญจากระบบเดิมคือ ในระบบ Step-by-Step นั้นชุมสายโทรศัพท์ใช้ Pulse ที่ได้รับจากเครื่องโทรศัพท์ แต่จะต้องเป็นตัวแทนอุปกรณ์ตามขั้นตอนเพื่อให้สามารถต่อโทรศัพท์สองเลขหมายเข้าหากันได้ ส่วนในระบบ Crossbar ชุมสายจะเก็บ (Store) pulse ทุกตัวที่หมุนไว้ก่อนจนครบ แล้วจึงต่อเลขหมายเข้าหากันด้วยวิธีนี้การต่อโทรศัพท์รวดเร็วขึ้นกว่าเดิมมากอุปกรณ์ที่ใช้เก็บ Pulse เรียกว่า Register และอุปกรณ์ที่ใช้ควบคุมการต่อเลขหมายเรียกว่า Marker

ในการใช้โทรศัพท์แต่ละครั้ง Register และ Marker จะทำงานเป็นระยะเวลาดังนี้ เฉพาะช่วงที่รับ Pulse และต่อเลขหมายเท่านั้น เมื่อเสร็จแล้วก็ว่างและสามารถไปรับ Pulse และต่อการใช้โทรศัพท์รายอื่น ๆ ต่อไป ดังนั้น จะเห็นว่า Register และ Marker จำนวนไม่กี่ตัวสามารถทำหน้าที่ต่อสายได้สำหรับชุมสายขนาดใหญ่ที่มีการใช้โทรศัพท์สูง เนื่องจากมีการใช้อุปกรณ์สำหรับควบคุมร่วมกันนั่นเอง บางครั้งจึงนิยมเรียกระบบแบบนี้ว่าระบบ Common Control ในชุมสายระบบนี้มีอุปกรณ์ที่เรียกว่า Translator ซึ่งสามารถ Translate จุดต่อคู่สายของโทรศัพท์เลขหมายใด เลขหมายหนึ่ง ไปอยู่ที่ตำแหน่งใด ๆ เป็นการชั่วคราวได้ โดยไม่จำเป็นต้องมีจุดต่อประจำตลอดไป เรื่องเช่นนี้ชุมสาย Step-by-Step ทำไม่ได้

ชุมสายแบบ Crossbar มีคุณสมบัติเด่นกว่าชุมสายแบบ Step-by-Step หลายประการเช่น

1. สามารถลดขนาด พื้นที่ ที่ติดตั้งได้มากเพราะ switch ทำงานอย่างมีประสิทธิภาพมากขึ้น
2. ตัว Cross bar switch ไม่ยุ่งยากในการบำรุงรักษา
3. ระบบ common control ควบคุมการทำงานของอุปกรณ์ทั้งชุมสาย สามารถให้บริการใหม่ ๆ ได้ในราคาพอสมควร
4. อุปกรณ์มี Noise ต่ำ
5. มี Alternative routing

ชุมสายระบบ Crossbar มีระบบการทำงานดังรูป 2.1



รูปที่ 2.1 แสดงระบบการทำงานของชุมสายระบบคอมพิวเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

S = Line finder

GV = Group selector

LV = Final selector

SR = Finder relay set

SNR = Cord circuit relay set

GVR = Group selector relay set logic and Memory unit

LVR = Final selector relay set

V = Switches

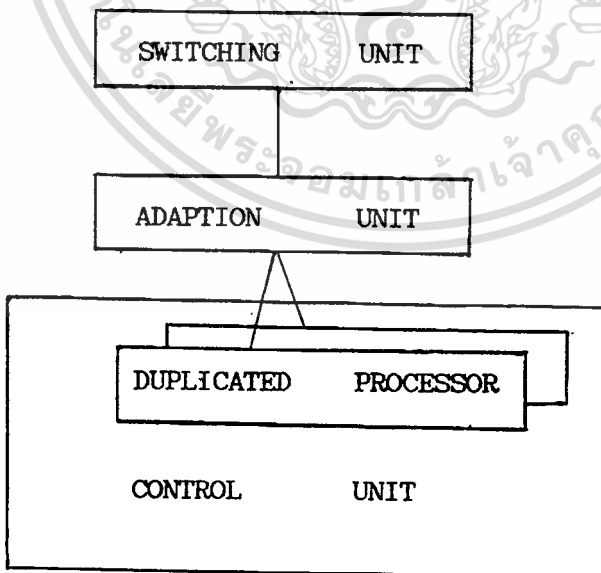
FIR = Signal receiving and Signal sending unit incoming

FUR = Signal receiving and Signal sending unit outgoing

SC = Scanner

PRO = Processor

วิวัฒนาการของชุมสายโทรศัพท์ยุคต่อมาอาจกล่าวได้ว่าเป็นยุคของชุมสายระบบอิเล็กทรอนิกส์ (Electronic Switching System) หลายประเทศที่มีความก้าวหน้าทางกิจการโทรศัพท์ได้ตกลงใจรับหลักการระบบการทำงานของชุมสายแบบนี้ โดยการเพิ่มชุมสายใหม่ หรือขยายเลขหมายของชุมสายเก่าด้วยชุมสายแบบอิเล็กทรอนิกส์ทั้งหมด โครงสร้างโดยกว้าง ๆ ของชุมสาย Electronic Switching System ได้แสดงไว้ดังรูปที่ 2.2



รูปที่ 2.2 แสดงโครงสร้างของชุมสาย Electronic Switching

ชุมสาย Electronic Switching System มี Line Scanner ที่จะตรวจสอบสภาพของทุก ๆ เลขหมาย 5 ครั้งต่อวินาที ถ้าพบว่าโทรศัพท์เครื่องใดเครื่องหนึ่งถูกยกหูขึ้น จะตรวจสอบที่สายนั้นถึง 100 ครั้งต่อวินาทีจนกระทั่งได้รับ Pulse จากการหมุนหรือรับสัญญาณกดปุ่มครบทุกตัวหลังจากนั้นวงจร Logig และ Memory จะหาเส้นทางต่อไปและส่ง Instruction ไปที่ switching Network เพื่อทำหน้าที่ต่อจริง ๆ รายการทางเทคนิคของชุมสาย Electronic Switching System ที่สำคัญมีดังนี้

1. Switching Unit
2. Control unit
3. Dimensions and Ambient conditions
4. Adaptation to Enviroment

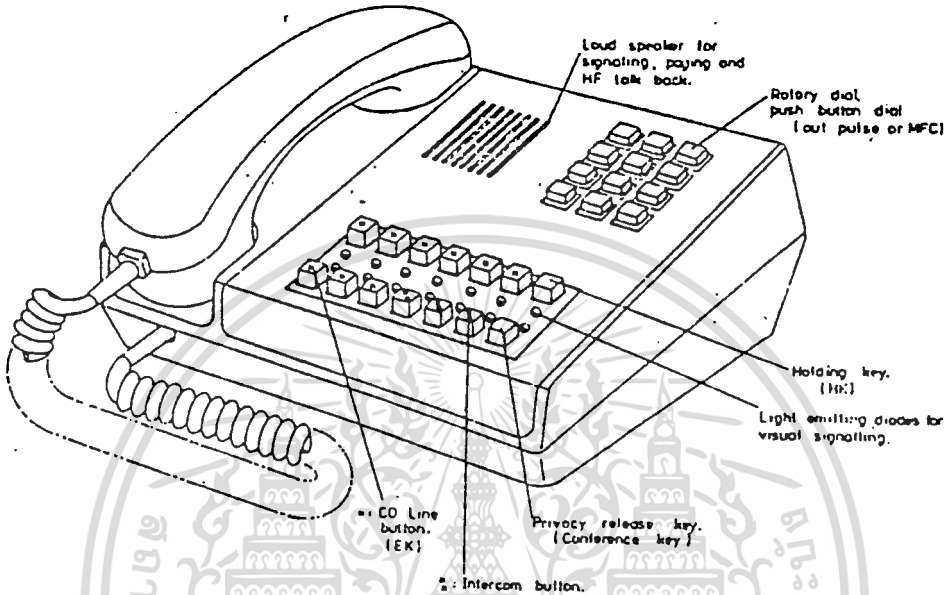
ระบบ Electronic Switching System เมื่อเปรียบเทียบกับระบบ Crossbar

1. ใช้ Floor space น้อยลง
2. เสียรบกวนน้อยกว่า เนื่องจากไม่ใช้ Rotary Switch หรือ Relay
3. บำรุงรักษาง่าย
4. อุปกรณ์ที่ใช้เป็นแบบ plug-in ช่วยให้ได้ติดตั้งได้เร็วกว่า
5. ชุมสายแบบ Electronic Switch System สามารถใช้ส่ง data ได้
6. บริการพิเศษ เช่น Push-Button Dialling, Abbreviated Dialling เป็นต้น
7. ระบบ redunancy ซึ่งป้องกัน Down time
8. สามารถให้ข้อมูลได้ทันที เช่น การวัด Traffic, Charging, Fault rate

## 2.2 KEY TELEPHONE

Key telephone เป็นระบบโทรศัพท์ชนิดหนึ่ง ซึ่งนิยมใช้กันในปัจจุบัน ตามบริษัท หรือสำนักงาน ซึ่งระบบเหมาะสำหรับขยายคู่สายโทรศัพท์ภายในบริษัท หรือสำนักงานได้เป็นอย่างดี ซึ่งการทำงานของระบบนี้ จะยกตัวอย่างการทำงานของระบบ Key Telephone ระบบหนึ่งมากล่าว

Push Button ที่อยู่บน Key Telephone นอกจากจะประกอบไปด้วย Button Release และ Hook Release แล้วก็จะมีส่วนที่เป็น Push Button ที่สำคัญอีก 3 ส่วน คือ 1. ส่วนที่ใช้สำหรับ CO-line 2. Holding และ 3. Intercom Holding ดังแสดงในรูปที่ 2.3



รูปที่ 2.3 แสดงส่วนที่เป็น Key Telephone

#### 2.2.1 การทำงานของ key telephone

##### ก. Co or PBX Incoming Calls

เมื่อมีการเรียกเข้ามายัง Co-lines จะแสดงให้รู้โดยจะมี Buzzer ดังขึ้น และหลอดไฟจะติด หรือ Buzzer ดังขึ้นพร้อมกับสัญญาณไฟ ก็แสดงว่าสัญญาณเรียกเข้ามา จึงทำการกดปุ่ม Co-line พร้อมยกหูขึ้น และสอบถามหมายเลขที่ผู้เรียกเข้ามาต้องการ แล้วทำการต่อหมายเลขตามที่ผู้เรียกต้องการ เมื่อใช้ Co-line เรียบร้อยแล้ว จึงทำการวางหูบน Hook release ซึ่งจะทำให้ Push Button ของ Co-line กลับอยู่สภาวะเดิม โดยอัตโนมัติ และสัญญาณไฟก็จะดับลง

##### ข. CO or PBX outgoing calls

เมื่อมีสัญญาณเรียกออก เราจะเริ่มทำการยกหูขึ้น และกด line Pick-up ให้ตรงคู่สายที่ต้องการ เมื่อได้ยิน dial tone ก็ให้หมุนหน้าปัทม์ (Dial) ตามหมายเลข

เลขผู้เรียกต้องการ (หรือบางระบบอาจเพียงต่อ line ให้ผู้เรียกแล้วผู้เรียกจะหมุนหมายเลขที่ต้องการเอง)

ค. Holding CO or PBX lines

หากต้องการ "Hold" CO หรือ PBX line call เมื่อใช้โทรศัพท์ภายใน กด Push Button Hold แล้วกด Push Button Co-line (EK)

ง. การทำงานกรณีที่มี Power ไม่เพียงพอ

เมื่อ Power ไม่เพียงพอจะทำให้ Signal indicating lamp, Buzzer และ Holding line unit ไม่ทำงานดังนั้น Key Telephone จำเป็นต้องออกแบบให้ทำงานได้อย่างต่อเนื่อง แม้ว่า Power จะไม่เพียงพอ CO-line จะทำการ Outgoing call และ Incoming call ได้

2.2.2 การติดตั้ง Key Telephone

ก. Key Telephone จะติดตั้งอยู่บนโต๊ะ และ cable connector ของ key telephone จะต่อเข้ากับ Distribution connector โดยใช้ Plug หรือ Jack

ข. Telephone Number จะมีเรียบร้อยแล้ว เมื่อโทรศัพท์ออกมาจากโรงงาน แต่หากจะเปลี่ยน Number โทรศัพท์บางเครื่อง จะต้องเปลี่ยนก่อนทำการติดตั้ง

ค. หากสถานที่ตั้งอยู่ห่างจาก Central line มากกว่า 1.5 km แล้วไปรับ Plug ของ Key Telephone circuit เป็น Plugged "OUT"

2.3 มาตรฐานสัญญาณโทรศัพท์

สัญญาณโทรศัพท์เป็นสิ่งจำเป็นในการใช้งานโทรศัพท์ ดังนั้น เพื่อให้เครื่องโทรศัพท์ใช้งานร่วมกันได้จึงได้กำหนดมาตรฐานของสัญญาณโทรศัพท์ขึ้น เพื่อบอกสภาวะการใช้งานของเครื่องโทรศัพท์ สัญญาณต่าง ๆ ได้แก่

2.3.1 สัญญาณแมวกวน (Dial Tone)

เป็นสัญญาณความถี่ 425 Hz ทำการส่งต่อเนื่องกันใช้บอกให้ฝ่ายเรียกเริ่มทำการหมุนหรือกดหมายเลขเพื่อการเรียกออกได้

2.3.2 สัญญาณไม่ว่าง (Busy Tone)

เป็นสัญญาณความถี่ 425 Hz ทำการส่ง 0.4 วินาที และหยุด 0.4 วินาที สลับกันไปเพื่อบอกให้รู้ว่าฝ่ายรับคู่สายไม่ว่าง จะต้องทำการวางหูก่อนแล้วจึงยกหูขึ้นมาเพื่อรอสัญญาณแมวกวนใหม่ แล้วทำการกดหรือหมุนหมายเลขเรียกออกใหม่

2.3.3 สัญญาณเรียกกลับ (Ring back Tone)

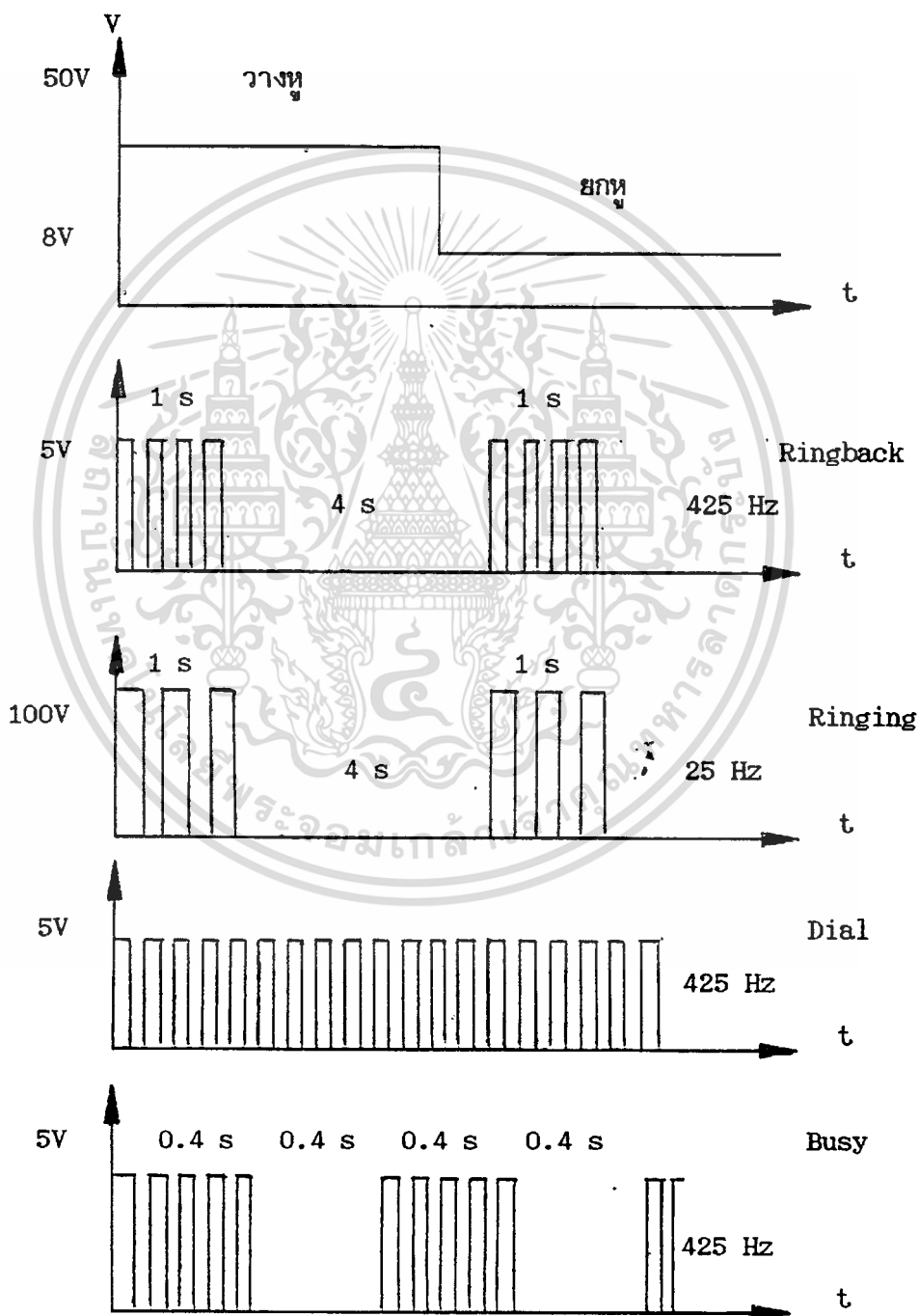
เป็นสัญญาณความถี่ 425 Hz ทำการส่ง 1 วินาที และหยุด 4 วินาที



สลับกันไปเพื่อบอกให้ฝ่ายเรารู้ว่าเรียกคู่สายได้แล้ว เพียงแต่รอฝ่ายรับมารับสาย เพื่อทำการสนทนาติดต่อกัน

#### 2.3.4 สัญญาณกระดิ่ง (Ringing Tone)

เป็นสัญญาณความถี่ประมาณ 25 Hz ทำการส่ง 1 วินาที และหยุด 4 วินาที สลับกันไปเช่นเดียวกับสัญญาณเรียกกลับ แต่จะมีระดับแรงไฟสูงกว่า เพื่อบอกให้ฝ่ายรับทราบว่ามีการเรียกเข้ามา เพื่อทำการยกหูแล้วสนทนาติดต่อกันต่อไป



รูปที่ 2.4 สัญญาณโทรศัพท์

## 2.4 สัญญาณความถี่ DTMF (DUAL TONE MULTI FREQUENCY)

ระบบสัญญาณโทรศัพท์แบบ DTMF (DUAL TONE MULTI FREQUENCY) ซึ่งในปัจจุบันนี้เป็นที่แพร่หลาย ที่เรียกกันตามท้องตลาดว่า โทรศัพท์กดปุ่มนั้น ในการส่งข้อมูลหลัก ตัวเลขในการใช้เรียกเลขหมายนั้น ตัวเลขเหล่านี้จะถูกแปลงและส่งเป็นในรูปของรหัสความถี่ (TONE CODES) สองความถี่พร้อมกัน ในย่านของความถี่เสียง ( 300 - 3400 Hz ) เช่น หมายเลข 1 จะส่งความถี่ 697 Hz และ 1209 Hz พร้อมกันตามมาตรฐานสัญญาณโทรศัพท์ที่กำหนดโดย CCITT มีมาตรฐานดังตารางข้างล่างนี้

| ความถี่<br>(Hz) | 1209 | 1336 | 1477 | 1633 |
|-----------------|------|------|------|------|
| 697             | 1    | 2    | 3    | A    |
| 770             | 4    | 5    | 6    | B    |
| 852             | 7    | 8    | 9    | C    |
| 941             | *    | 0    | #    | D    |

## ตู้สาขาโทรศัพท์

### 3.1 ประเภทของตู้สาขาโทรศัพท์

ตู้สาขาโทรศัพท์แบบ Private Branch Exchange หรือเรียกย่อว่า PBX เป็นอุปกรณ์ชุมสายโทรศัพท์ชนิดหนึ่ง ทำหน้าที่คล้ายกับชุมสายโทรศัพท์ แบบใช้พนักงานต่อ ในการติดต่อคู่สายภายในหรือเลขหมายภายนอก ตู้สาขาโทรศัพท์แบบ Manual จะต้องใช้พนักงานสลับสายโทรศัพท์

ตู้สาขาโทรศัพท์อัตโนมัติ (Private Automatic Branch Exchange) หรือเรียกย่อว่า PABX เป็นตู้สาขาโทรศัพท์ชนิดที่สามารถต่อคู่สายโทรศัพท์ภายในกันเองได้ โดยไม่ต้องใช้พนักงานต่อและใช้การหมุนรหัสโทรศัพท์จากเครื่องรับโทรศัพท์ภายใน สามารถต่อกับสายขององค์การโทรศัพท์เพื่อให้ได้สัญญาณให้หมุนจากชุมสายโทรศัพท์ และสามารถหมุนเลขหมายภายนอกได้ตามต้องการ

ดังนั้น ตู้สาขาโทรศัพท์ที่มีหน้าที่ในการติดต่อระหว่างสายภายในด้วยกัน และระหว่างสายภายในกับภายนอก ได้การทำงานของตู้สาขาโทรศัพท์จะเหมือนกับชุมสายโทรศัพท์ คือใช้สัญญาณกระดิ่งในการเรียก ใช้การหมุนหน้าปัดหรือการกดปุ่ม เพื่อเป็นรหัสในการกำหนดจุดจุดหมายของการต่อสายโทรศัพท์

ตู้สาขาโทรศัพท์ยังมีความสามารถพิเศษกว่าชุมสายโทรศัพท์ อีกหลายประการ เช่น สามารถโอนสายที่เรียกมาจากภายนอกให้ต่อกับเครื่องใดเครื่องหนึ่งก็ได้ สามารถตัดจากสายภายในออกไปสู่ภายนอกได้โดยใช้รหัสเพียงเบอร์เดียว นอกจากนี้ ตู้สาขาโทรศัพท์อิเล็กทรอนิกส์สมัยใหม่จะมีหน้าที่การทำงานในการอำนวยความสะดวกให้ผู้ใช้อีกมากมาย

### 3.2 ชนิดของตู้สาขาโทรศัพท์

แบ่งตู้สาขาโทรศัพท์ตามการใช้งานเป็น

1. PBX (Private Branch Exchange) เป็นตู้สาขาที่ใช้พนักงานเป็นผู้สลับสาย เป็นตู้สาขาโทรศัพท์แบบง่าย ๆ ราคาถูก นิยมใช้ในหอพัก โรงแรม เป็นต้น
2. KTS (Key telephone System) เป็นระบบโทรศัพท์ที่ตัวเครื่องรับโทรศัพท์มีปุ่มกดมากกว่าโทรศัพท์ธรรมดา สามารถกดเลือกสายได้จากเครื่องรับโทรศัพท์ จึงไม่จำเป็นต้องมีพนักงานสลับสาย ระบบโทรศัพท์ชนิดนี้จะต้องมีตู้สาขาโทรศัพท์ เช่นเดียวกันส่วนมากนิยมใช้ในสำนักงานและธุรกิจขนาดเล็กและกลาง
3. PABX (Private Automatic Branch Exchange) เป็นตู้สาขาโทรศัพท์อัตโนมัติ สามารถใช้กับเครื่องรับโทรศัพท์แบบธรรมดาทั้งชนิดหมุนหน้าปัด และแบบกดปุ่มความถี่ได้ ขนาดใหญ่มักจะมีพนักงานสำหรับรับสายนอก เพื่อโอนต่อไปยังสายภายใน การโทรออกจากสายภายในไปสู่สายภายนอกสามารถทำได้โดยอัตโนมัติ

นอกจากนั้น ยังสามารถแบ่งชนิดตู้สาขาออกตามหลักการทำงานของวงจร คือ

1. ตู้สาขาโทรศัพท์แบบครอสบาร์ ใช้สวิตช์แม่เหล็กไฟฟ้าในการติดต่อคู่สาย
2. ตู้สาขาโทรศัพท์แบบ SPC (Stored Program Control) ใช้โปรแกรมในการกำหนดหน้าที่การทำงานของระบบ

หรือถ้าจะแบ่งตามวิธีการติดต่อคู่สาย หรือการสวิตช์ สามารถแบ่งออกได้เป็น 2 ชนิด คือ

1. แบบ Space Division เป็นการใช่วิธีการสลับสายโดยตรงโดยตัดต่อคู่สายของโทรศัพท์โดยตรง มีโครงสร้างที่ง่าย เมื่อเปรียบเทียบกับแบบ Time Division และส่วนใหญ่ใช้กับตู้สาขาโทรศัพท์ขนาดเล็ก และขนาดกลาง

2. แบบ Time Division เป็นการสลับสายโดยอาศัยเทคนิคแบบดิจิทัล กล่าวคือ ใช้วิธีแบ่งช่วงเวลา (Time Slot) ให้กับคู่สายที่ต้องการติดต่อกัน

และถ้าจะแบ่งขนาดของตู้สาขาโทรศัพท์ ซึ่งดูจากจำนวนสายภายใน (Extension line) หรือจำนวนสายของเครื่องรับโทรศัพท์สูงสุดที่สามารถต่อกับตู้สาขาโทรศัพท์ได้ อาจจะยึดถือเกณฑ์ต่อไปนี้

|             |     |   |     |       |
|-------------|-----|---|-----|-------|
| ขนาดเล็ก    | Ext | ≤ | 16  |       |
| ขนาดกลาง    | 16  | < | Ext | ≤ 50  |
| ขนาดใหญ่    | 50  | < | Ext | ≤ 200 |
| ขนาดใหญ่มาก | Ext | > | 200 |       |

### 3.3 วิวัฒนาการของเทคโนโลยีของตู้สาขาโทรศัพท์

เทคโนโลยีของตู้สาขาโทรศัพท์นั้น ได้มีการพัฒนาตัวเองมาตามลำดับ ซึ่งอาจจะรวบรวมการพัฒนาทางด้านฮาร์ดแวร์ได้ดังนี้ คือ

1. ตู้สาขาโทรศัพท์ระบบ Manual
2. ตู้สาขาโทรศัพท์แบบใช้อุปกรณ์เครื่องกลไฟฟ้า
3. ตู้สาขาโทรศัพท์ระบบอิเล็กทรอนิกส์

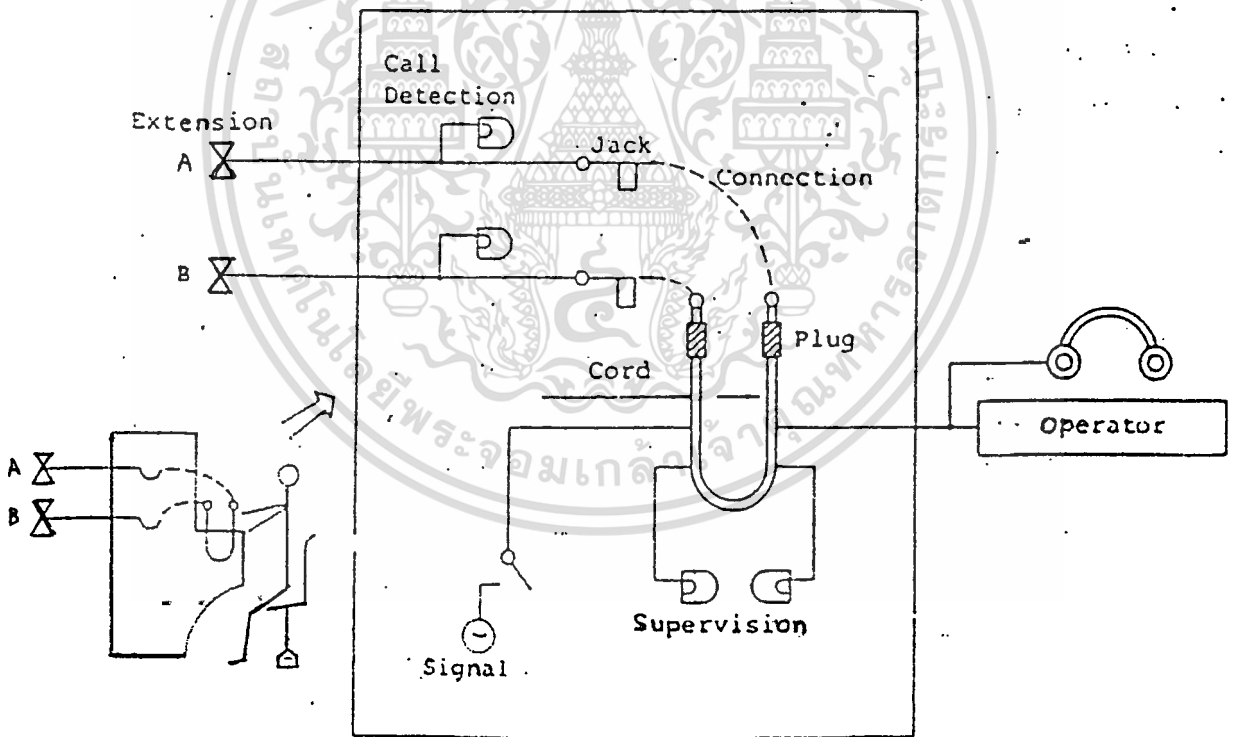
ต่อไปจะกล่าวถึง รายละเอียดโดยสังเขป ของตู้สาขาโทรศัพท์แบบต่าง ๆ ดังกล่าวนี้อย่างละเอียด

#### 3.3.1 ตู้สาขาโทรศัพท์ระบบ Manual

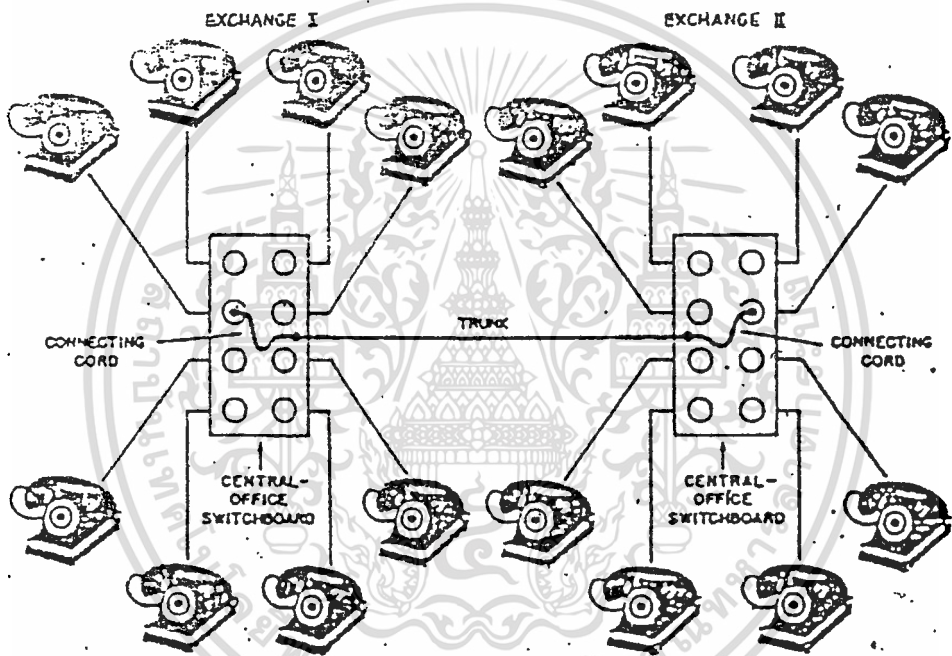
ตู้สาขาโทรศัพท์แบบนี้เป็นแบบดั้งเดิมที่ใช้กันในสมัยแรก ๆ ลักษณะของตัวตู้สาขา นั้น จะจัดทำอยู่ในรูปแผงขั้วสายโทรศัพท์ จะมีขั้วสายโทรศัพท์ของสายภายใน (Extension) กับสายภายนอก (trunk) มารวมกันอยู่ และโอเปอร์เรเตอร์จะทำหน้าที่รับสายทั้งภายในและภายนอก จากนั้นก็จะทำการต่อสาย ให้ตามความต้องการของผู้เรียก

เข้ามา การต่อสายก็จะทำการต่อโดยใช้สายโยง (cord) ที่ทำไว้ใช้งานโดยเฉพาะโยงระหว่างขั้วสายโทรศัพท์ที่ต้องการติดต่อกัน รูปที่ 3.1 แสดงกรณีที่เป็นการติดต่อกันระหว่างสายภายใน สำหรับรูปที่ 3.2 แสดงกรณีของการติดต่อกันระหว่างโทรศัพท์ที่ขึ้นอยู่กับตู้สาขาโทรศัพท์คนละตู้ ซึ่งกรณีนี้จะต้องผ่านสายภายนอกจากตู้หนึ่ง ไปยังอีกตู้หนึ่ง

ตู้สาขาโทรศัพท์ระบบ Manual นี้เป็นแบบที่ง่ายที่สุด มีต้นทุนการผลิตต่ำ และไม่ต้องการเทคโนโลยีที่สูง แต่มีข้อเสียในการใช้งานกล่าวคือการต่อสายนั้นจะต้องผ่านโอเปอเรเตอร์ทุกครั้ง ทำให้โอเปอเรเตอร์ต้องทำงานหนัก ซึ่งก็หมายถึงต้องใช้โอเปอเรเตอร์ในอัตราส่วนที่สูง เมื่อเปรียบเทียบกับระบบใหม่ ที่มีเทคนิคในการให้บริการที่ดีกว่า นอกจากนั้น ความสะดวกในการใช้งานก็อยู่ในระดับต่ำ เพราะไม่มีความสามารถพิเศษอะไรทั้งสิ้น



รูปที่ 3.1 การต่อสายของตู้สาขาโทรศัพท์ระบบ Manual กรณีที่ต่อสายภายใน



รูปที่ 3.2 การต่อสายระหว่างโทรศัพท์ที่ขึ้นอยู่กับตู้สาขาโทรศัพท์คนละตู้โดยผ่านสายภายนอก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### 3.3.2 ตู้สาขาโทรศัพท์แบบใช้อุปกรณ์เครื่องกลไฟฟ้า

ตู้สาขาแบบนี้เป็นตู้สาขาโทรศัพท์อัตโนมัติ แบบที่ใช้อุปกรณ์เครื่องกลไฟฟ้า (Electromechanical device) ในการตอบสนองสัญญาณเรียกต่าง ๆ และต่อสายให้ตามหมายเลขที่เรียกเข้ามา ตู้สาขาที่ใช้ฮาร์ดแวร์ประเภทนี้ ได้แก่ แบบ Step-by-Step และแบบครอสบาร์ (Cross bar) และอุปกรณ์เครื่องกลไฟฟ้าที่ใช้ก็ได้แก่ รีเลย์ นั้นเอง

ตู้สาขาแบบครอสบาร์เป็นแบบที่พัฒนาให้ดีขึ้นจากแบบ Step-by-Step ซึ่งมีความสามารถจำกัดมาก อย่างไรก็ตามตู้สาขาทั้งสองแบบนี้ใช้การเคลื่อนไหวกว้างไกลในการตอบสนองสัญญาณเรียก นอกจากนั้นจุดสัมผัสก็เป็นจุดสัมผัสเชิงกล ดังนั้นจึงมีอายุใช้งานและความเชื่อถือได้จำกัด ตัวอุปกรณ์จะมีขนาดใหญ่ และการบำรุงรักษาทำได้ลำบาก ในปัจจุบันตู้สาขาทั้งสองแบบไม่มีการผลิตใหม่แล้ว ส่วนที่ใช้อยู่ตามต่าง ๆ นั้น จะมีอายุมากกว่า 5 ปีขึ้นไปทั้งสิ้น เพราะในระยะหลังนี้ตู้สาขาโทรศัพท์อิเล็กทรอนิกส์ที่ใช้เทคโนโลยีแบบใหม่ ซึ่งดีกว่าในหลาย ๆ ด้าน ได้เข้ามาแทนที่

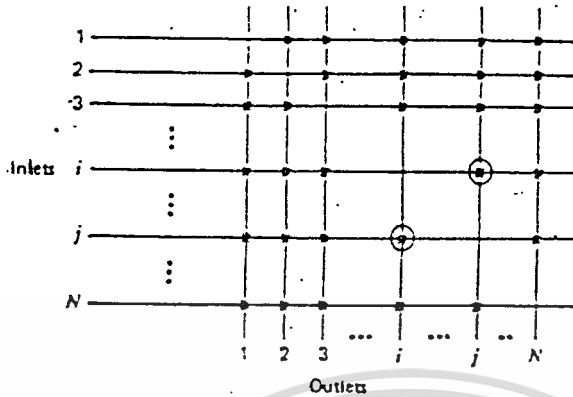
### 3.3.3 ตู้สาขาโทรศัพท์อิเล็กทรอนิกส์

ตู้สาขาโทรศัพท์แบบนี้ เป็นแบบที่ใช้อุปกรณ์อิเล็กทรอนิกส์มาแทนรีเลย์ในการตัดต่อวงจรทั้งหลาย จากการพัฒนาของเทคโนโลยีทางด้านการผลิต IC, LSI และ VLSI ได้ทำให้ขนาดของอุปกรณ์เล็กลงตามลำดับ ในขณะที่เดียวกันการใช้ไมโครโปรเซสเซอร์ในการควบคุมการทำงานของระบบก็ทำให้ตู้สาขาแบบนี้มีความสามารถพิเศษเพิ่มขึ้นอีกหลายประการ และเป็นที่ยอมรับใช้อยู่ในปัจจุบัน

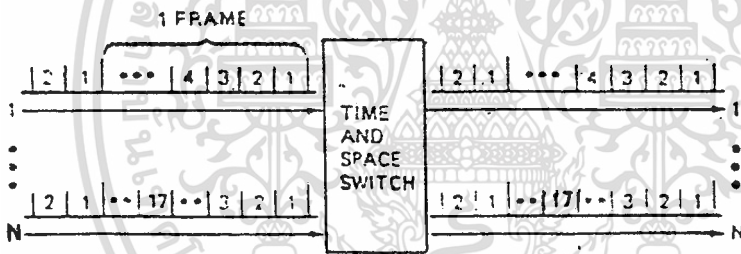
ในตู้สาขาโทรศัพท์อิเล็กทรอนิกส์นี้ ยังแบ่งย่อยออกเป็น 2 ชนิด ตามวิธีการสลับสายดังนี้ คือ

1. แบบ Space division
2. แบบ Time division

แบบ Space division นั้นเป็นการใช้วิธีการสลับโดยตัดต่อคู่สายของโทรศัพท์โดยตรง ดังนั้นตู้สาขาโทรศัพท์แบบ Manual สายก็ดี แบบ Step-by-step และแบบครอสบาร์ก็ดี ล้วนแต่เป็น Space division ทั้งสิ้น ในตู้สาขาโทรศัพท์อิเล็กทรอนิกส์ที่เป็นแบบ Space division หรือที่เรียกว่าเป็นแบบอนาล็อกนี้ ก็จะใช้สวิตซ์อิเล็กทรอนิกส์ในการติดต่อ



รูปที่ 3.3 แสดงหลักการทำงานของตู้สาขาแบบ Space division



รูปที่ 3.4 หลักการทำงานของตู้สาขาแบบ Time division

แบบ TDM (Time Division Modulation)

เป็นแบบที่ใช้การตัดต่อสายโดยใช้วงจรอิเล็กทรอนิกส์ แบบดิจิทัลสลับไปตั้งแต่เครื่องแรกจนหมดแล้วกลับมาทำใหม่อีก ในลักษณะที่เรียกว่าแบบมัลติเพล็กซ์ (Multiplexer) ลักษณะการทำงานดังแสดงไว้ในรูปที่ 3.4

### 3.4 โครงสร้างภายในของตู้สาขาโทรศัพท์

ตู้สาขาโทรศัพท์ ซึ่งเป็นตู้ชุมสายโทรศัพท์ขนาดเล็ก จะมีโครงสร้างภายในเหมือนกับ ตู้สาขาโทรศัพท์อัตโนมัติซึ่งใช้ไมโครคอมพิวเตอร์ ควบคุมการทำงานอยู่ภายใน จะมีโครงสร้าง ดังแสดงในรูป 3.5

ตู้สาขาโทรศัพท์จะมีทั้งสายภายในและสายภายนอก สายภายในจะต่อไปยังเครื่องรับโทรศัพท์ที่ต่ออยู่ภายในระบบ ส่วนสายภายนอกจะหมายถึง สายขององค์การโทรศัพท์หรือสายจากตู้สาขาอื่น ทั้งสายภายในและภายนอกจะต่อเข้าไปยังสวิทชิงเน็ตเวิร์ค (switching network) ซึ่งจะเป็นศูนย์กลางการสลับสายทำหน้าที่ตัดต่อคู่สาย ให้เครื่องโทรศัพท์ภายในสามารถสนทนากันได้ หรือติดต่อให้คู่สายภายในต่อกับสายภายนอก เป็นต้น นอกจากนั้น แหล่งกำเนิดสัญญาณหน้าปัดสัญญาณเรียกกลับ สัญญาณไม่ว่าง ก็จะต้องเข้ากับสวิทชิงเน็ตเวิร์คนี้ เพื่อให้สามารถส่งสัญญาณไปให้โทรศัพท์แต่ละเครื่องได้

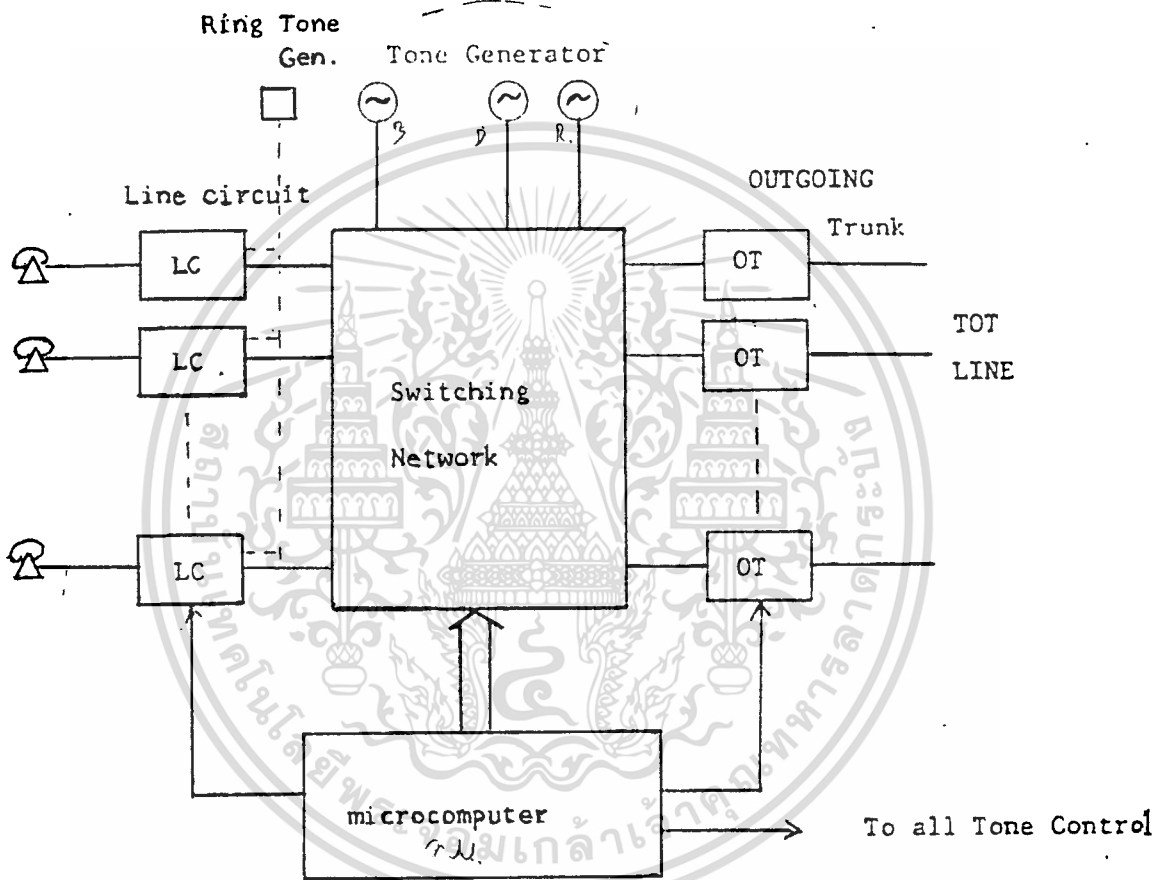
ดังที่กล่าวมาแล้วว่า ตู้สาขาโทรศัพท์จะต้องตรวจสอบการยกหูโทรศัพท์รับการหมุนหมายเลขรับสัญญาณโทรเข้าจากสายภายนอก การตรวจสอบสถานะของโทรศัพท์จะเป็นหน้าที่ของวงจร Line circuit (LC) และวงจร Outgoing Trunk (OT) สถานะของสายจะถูกส่งผ่านไปให้หน่วยควบคุมกลางของระบบ ซึ่งเป็นไมโครคอมพิวเตอร์ เพื่อทำการวิเคราะห์และส่งสัญญาณออกไปควบคุมสวิทชิงเน็ตเวิร์คอีกที่หนึ่ง

การทำงานของไมโครคอมพิวเตอร์จะเป็นไปตามโปรแกรมที่จัดเก็บไว้ในหน่วยความจำ การทำงานของตู้สาขาโทรศัพท์และความสามารถของตู้สาขาโทรศัพท์จะถูกกำหนดโดยโปรแกรมนี้นี้ ดังนั้น ระบบที่ใช้ไมโครคอมพิวเตอร์เป็นหน่วยควบคุมกลาง มักจะถูกเรียกว่าเป็นระบบโทรศัพท์ชนิด Store Program Control หรือเรียกย่อว่า ระบบ SPC ซึ่งใช้โปรแกรมหรือซอฟต์แวร์ในการควบคุมการทำงาน

### 3.5 คุณสมบัติการบริการพิเศษของตู้สาขาโทรศัพท์อัตโนมัติ

ตู้สาขาโทรศัพท์อัตโนมัติ นอกจากจะมีหน้าที่ในการสลับสายให้เครื่องโทรศัพท์ภายใน สามารถติดต่อกันได้แล้ว ยังมีคุณสมบัติอื่น ๆ ที่อำนวยความสะดวกในการใช้งานอีกด้วย ได้แก่

1. การเรียกออกภายนอก เมื่อต้องการติดต่อกับสายภายนอก เช่น สายจากองค์การโทรศัพท์ ก็สามารถทำได้โดยการหมุนรหัสที่กำหนดให้ระบบ เช่น เลข '0' ตู้สาขาโทรศัพท์จะตรวจดูสายนอกที่ว่าง และทำการต่อสายภายในกับสายนอกนั้น ให้อย่างอัตโนมัติ
2. การโอนสาย เมื่อมีการเรียกจากสายนอกเข้ามายังตู้สาขาโทรศัพท์จะทำการต่อสายภายนอกเข้ากับสายภายในเครื่องใดเครื่องหนึ่งที่กำหนดไว้ เมื่อเครื่องนั้นรับสายก็สามารถโอนสายภายนอกนั้นไปให้สายภายในเครื่องอื่นได้
3. หมุนหมายเลขทวน เมื่อหมุนหมายเลขโทรศัพท์โดยเฉพาะการติดต่อกับสายภายนอก ถ้าเครื่องปลายทางไม่ว่างและต้องการหมุนหมายเลขนั้นซ้ำอีกครั้ง ก็สามารถทำได้โดยการหมุนรหัสที่กำหนด ตู้สาขาโทรศัพท์จะหมุนหมายเลขสุดท้ายทวนให้เอง ได้อย่างอัตโนมัติ



๔๔

รูปที่ 3.5 โครงสร้างของตู้สาขาโทรศัพท์อิเล็กทรอนิกส์

๗ ๖๕๐ - ๕  
- ๙๕

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4. การจำหน่ายเลข หมายเลขโทรศัพท์ที่มีการใช้งานบ่อย ๆ สามารถบันทึกเก็บไว้ในหน่วยความจำของตู้สาขาโทรศัพท์ เมื่อต้องการหมายเลขก็ใช้วิธีหมุนรหัสที่กำหนด

5. การเรียกกลับ เมื่อโทรไปหาเครื่องโทรศัพท์อื่น แต่สายไม่ว่าง ถ้าต้องการให้มีการเรียกกลับโดยอัตโนมัติก็ใช้วิธีหมุนรหัสที่กำหนด เมื่อเครื่องโทรศัพท์นั้นว่าง ตู้สาขาโทรศัพท์จะโทรมาเรียกผู้ใช้นับร่วมกับโทรไปยังเครื่องโทรศัพท์หมายเลขที่ต้องการเองโดยอัตโนมัติ

6. การรับสายแทนกันเมื่อโทรศัพท์เครื่องข้าง ๆ ถูกเรียก แต่ยังไม่มีผู้รับสาย เราสามารถรับสายนั้นได้ โดยการหมุนรหัสที่กำหนด

7. Night transfer การโอนการรับสายนอกเวลาราชการไปให้เครื่องโทรศัพท์เครื่องใดเครื่องหนึ่งโดยเฉพาะ เช่น เครื่องที่ตึกยาม สามารถทำได้โดยการหมุนรหัสที่กำหนด

8. Follow me ในกรณีที่ไม่ว่างและต้องการโอนการเรียกไปยังเครื่องหมายเลขอื่น ก็สามารถทำได้โดยการกดรหัสที่กำหนด ตามด้วยหมายเลขเครื่องโทรศัพท์ที่ต้องการโอนไป

ฮาร์ดแวร์ของตู้สาขา NON OPERATOR PABX

ฮาร์ดแวร์ของตู้สาขา NON OPERATOR PABX ประกอบด้วยส่วนต่าง ๆ

7 ส่วน คือ

1. ส่วนควบคุม (CPU BOARD)
2. ส่วนติดต่อสายนอก (EXTERNAL BOARD)
3. ส่วนติดต่อสายใน (INTERNAL BOARD)
4. ส่วนควบคุมช่องสัญญาณ (SWITCHING BOARD)
5. ส่วนกำเนิดสัญญาณโทรศัพท์ (TELEPHONY SIGNALLING BOARD)
6. ส่วนสังเคราะห์เสียงพูด (SOUND SYNTHESIZED BOARD)
7. แหล่งจ่ายกำลังงาน (POWER SUPPLY)

4.1 CPU BOARD

ซีพียูบอร์ดประกอบด้วยหลายส่วน ได้แก่ ส่วนควบคุม ส่วนหน่วยความจำ ส่วนการเชื่อมต่อ ส่วนอินพุตและเอาต์พุตซึ่งจะได้อธิบายเป็นส่วนต่อไปบล็อกไดอะแกรมของซีพียูบอร์ดนี้สามารถที่จะนำไปประยุกต์ใช้ในงานอื่น ๆ ได้อีกมากมาย

4.1.1 คุณลักษณะเฉพาะของบอร์ด. (SPECIFICATION)

1. CPU : Z 80 A
2. ROM : ใช้กับเบอร์ 2732 (4K Byte)  
หรือ 2764 (16K Byte)
3. RAM : ใช้กับเบอร์ 6264 หรือเบอร์ 6116
4. RESET : POWER-ON RESET และสวิตช์รีเซ็ต
5. POWER SUPPLY : 5 โวลต์
6. ออพุต : 5 ถึง 55 องศาเซลเซียส
7. BUFFER PORT : ใช้กับเบอร์ 74LS245
8. CLOCK : 3.5 MHz



โครงสร้างภายในของ Z-80 ที่ประกอบด้วยรีจิสเตอร์ภายในที่สามารถเขียนและอ่านได้ถึง 208 บิต โดยแยกเป็นกลุ่มของรีจิสเตอร์ขนาด 8 บิต 18 รีจิสเตอร์ ขนาด 16 บิต อีก 4 รีจิสเตอร์ โดยมีชุดรีจิสเตอร์แสดงได้ ดังรูปที่ 4.1.2

| รีจิสเตอร์หลัก |   | รีจิสเตอร์สำรอง |    | I                    | R |
|----------------|---|-----------------|----|----------------------|---|
| A              | F | A'              | F' | อินเดกรีจิสเตอร์ IX  |   |
| B              | C | B'              | C' | อินเดกรีจิสเตอร์ IY  |   |
| D              | E | D'              | E' | สแตคพอยน์เตอร์ SP    |   |
| H              | L | H'              | L' | โปรแกรมเคอร์เตอร์ PC |   |

รูปที่ 4.1.2 แสดงชุดของรีจิสเตอร์

## 2. รีจิสเตอร์หลักที่ใช้งานทั่วไป

รีจิสเตอร์ในกลุ่มแรกมี A, B, C, D, E, H และ L เป็นรีจิสเตอร์ขนาด 8 บิต ที่ใช้งานทั่วไป โดยรีจิสเตอร์เหล่านี้สามารถประกอบรวมกันเป็นคูรีจิสเตอร์ได้คือ AF, BC, DE และ HL โดยคูรีจิสเตอร์เหล่านี้จะได้รับการใช้งานในลักษณะของรีจิสเตอร์ขนาด 16 บิต การกระทำภายในซีพียูอาจจะอาศัยเพียงรีจิสเตอร์เดียวหรือกระทำเป็นคูรีจิสเตอร์ได้โดยที่ A คือ แอดเดรสของ F คือ แฟล็ก แฟล็กของ Z-80 จะมีด้วยกันทั้งหมด 6 ตัว จึงใช้เพียง 6 บิต แต่ Z-80 อาศัยการเพิ่มบิตขึ้นอีก 2 บิต แล้วกลายเป็นรีจิสเตอร์ รีจิสเตอร์นี้สามารถได้รับการเซตหรือรีเซตจากการกระทำตามคำสั่งทางคณิตศาสตร์ หรือลอจิก ได้และสามารถใช้ F เหมือนรีจิสเตอร์หนึ่ง ซึ่งเมื่อรวมกันกับ A แล้วจะกลายเป็นรีจิสเตอร์ขนาด 16 บิตได้

## 3. กลุ่มรีจิสเตอร์สำรอง

เป็นกลุ่มรีจิสเตอร์ที่สามารถเก็บข้อมูลได้ โดยเป็นตัวเก็บข้อมูลทีมาจากรีจิสเตอร์หลัก รีจิสเตอร์ชุดนี้จึงมีด้วยกัน 8 ตัว A', F', B', C', D', E', H', และ L'

รีจิสเตอร์เหล่านี้เป็นรีจิสเตอร์ที่ใช้ในการเก็บข้อมูลชั่วคราว ในการที่ต้องการใช้รีจิสเตอร์หลักทำงาน อย่างอื่นก่อน ดังนั้นรีจิสเตอร์กลุ่มนี้จึงไม่สามารถกระทำทางคณิตศาสตร์และลอจิกได้

#### 4. กลุ่มรีจิสเตอร์ที่ใช้งานเฉพาะอย่าง

1. โปรแกรมเคาน์เตอร์ PC (Program counter) โปรแกรมเคาน์เตอร์เป็นรีจิสเตอร์ขนาด 16 บิต ที่เป็นตัวกำหนดตำแหน่งของโปรแกรมในขณะที่สถานะการกระทำการเพชชัโดยขณะทำการเพชชัค่าที่อยู่ในโปรแกรมเคาน์เตอร์จะไปปรากฏอยู่ที่แอดเดรสบัสเพื่อชี้ไปยังตำแหน่งในหน่วยความจำให้พืญอ่านคำสั่งมาตีความ ค่าที่อยู่ในโปรแกรมเคาน์เตอร์จะเพิ่มค่าขึ้นอย่างอัตโนมัติหลังการกระทำการเพชชั แต่ถ้าหากพืญกระทำคำสั่งให้ข้าม ไปยังตำแหน่งอื่น (Jump) ค่าแอดเดรสที่จะกระโดดข้ามนั้นจะไหลดเข้ามายังโปรแกรมเคาน์เตอร์ได้อย่างอัตโนมัติ

2. สแตคพอยน์เตอร์ (SP-Stack pointer) เป็นรีจิสเตอร์ที่มีขนาด 16 บิต ที่ใช้สำหรับชี้ไปยังแอดเดรสขั้นบนสุดของสแตคที่อยู่ใน RAM โดยส่วนของสแตคมีลักษณะโครงสร้างเป็นหน่วยความจำเป็นแบบเก็บที่หลัง เรียกออก ได้ก่อนข้อมูลในสแตคอาจได้รับการพุชหรือพอบมาจากข้อมูลรีจิสเตอร์ภายในพืญ ลักษณะของสแตคในที่นี้ยังเป็นส่วนช่วยในการกระทำอินเตอร์รัพและการเรียกโปรแกรมย่อย กล่าวคือในการอินเตอร์รัพค่าของโปรแกรมเคาน์เตอร์จะได้รับการเก็บรักษาไว้ในชั้นสแตค ครั้นเมื่อโปรแกรมกลับจากอินเตอร์รัพไปกระทำยังโปรแกรมหลัก ก็จะนำค่าจากสแตคกลับเข้ามายังโปรแกรมเคาน์เตอร์ใหม่ ในทำนองเดียวกัน การกระโดด ไปยังโปรแกรมย่อยก็เช่นกัน ดังนั้นการกระทำในรูปของอินเตอร์รัพหรือโปรแกรมย่อย สามารถซ้อนกัน ได้ไม่มีสิ้นสุด

3. อินเดกรีจิสเตอร์ (IX, IY-index register) พืญ Z-80 มีอินเดกรีจิสเตอร์ขนาด 16 บิต 2 ตัว แต่ละตัวให้ประโยชน์หลักในการทำหน้าที่เป็นตัวเก็บแอดเดรสฐาน (base address) เพื่อทำหน้าที่อ้างแอดเดรส แบบอินเดคแอดเดรสซึ่ง (index addressing) ในโหมดของอินเดคแอดเดรสซึ่งมีข้อมูลที่อยู่ในอินเดกรีจิสเตอร์นี้จะรวมกับ ข้อมูลที่ติดมากับคำสั่งอีก 8 บิต เพื่อเป็นตัวกำหนดแอดเดรสให้กับคำสั่งข้อมูลที่ติดมากับคำสั่ง นี้ เราเรียกว่า ดิสเพลซเมนต์ (displacement) ซึ่งจะเก็บในรูปของตัวเลข 2'S คอมพลีเมนต์

4. อินเตอร์รัพแอดเดรสรีจิสเตอร์ (I-interrupt page address register) การอินเตอร์รัพของ Z-80 มีหลายโหมด และโหมดหนึ่งที่ทำให้การอินเตอร์รัพของ Z-80 มีประสิทธิภาพสูง กล่าวคือ เมื่อเกิดการอินเตอร์รัพในโหมดนี้พืญสามารถอ้างแอดเดรสโดยทางอ้อม ไปกระทำโปรแกรมในที่ใดก็ได้ในหน่วยความจำโดยอาศัยค่าในรีจิสเตอร์ I รวมกับค่าที่ส่งมาจากอุปกรณ์เพอร์เฟอร์ลอีก 8 บิต ชี้ไปยังค่าในหน่วย

ความจำเพื่อนำค่านี้มาไหลลงเข้าในโปรแกรมเคาน์เตอร์เพื่อกระทำต่อไปด้วยวิธีการนี้ เราจึงสามารถกระโดดเข้าไปทำที่ส่วนใดก็ได้ในหน่วยความจำ

#### 5. รีจิสเตอร์รีเฟรชหน่วยความจำ (R-memory refresh register)

การต่อพ่วงกับหน่วยความจำนั้น โดยปกติจะต้องกับหน่วยความจำชนิดสแตติกได้โดยง่าย แต่อย่างไรก็ดีชนิดไดนามิกที่ต้องการรีเฟรชมีราคาสูงกว่า มีความหนาแน่นสูงกว่า Z-80 ให้ข้อดีกว่าประการหนึ่ง คือ มันสามารถให้การรีเฟรชหน่วยความจำได้อย่างอัตโนมัติ โดยค่าใน R รีจิสเตอร์จะเพิ่มค่าขึ้นอีก 1 ทุกครั้งที่มีการกระทำการเพชค่าสิ่ง และข้อมูลในรีจิสเตอร์ R นี้จะส่งออกไปยังแอดเดรสบัสในส่วนบิทที่มีนัยสำคัญต่ำกว่า จึงหวนเวียนกันกับที่พินูส่งสัญญาณรีเฟรชออกมา ผู้โปรแกรมสามารถกำหนดค่าให้กับรีจิสเตอร์ R นี้ได้ แต่ค่าในรีจิสเตอร์นี้จะเรียกใช้โดยผู้โปรแกรมทางคำสั่งโดยตรงไม่ได้

#### 6. แอคคิวมูเลเตอร์ (Accumulator) และแฟลก (Flag) พินูจะมี

รีจิสเตอร์ที่ใช้เป็นหลักในการเป็นตัวโอเพอร์แรนด์ สำหรับกระทำทางคณิตศาสตร์และลอจิก โดยรีจิสเตอร์หลักนี้จะมีเพียง 8 บิท เรียกว่า "แอคคิวมูเลเตอร์" (Accumulator) การกระทำในส่วนนี้ของหน่วยคณิตศาสตร์ และลอจิกย่อมเกิดเงื่อนไขได้หลายอย่างที่จะต้องแสดงสถานะภาพของเงื่อนไขเหล่านั้น เช่น เงื่อนไขผลลัพธ์เป็นศูนย์ผลลัพธ์เป็นบวกหรือลบมีตัวทศหรือตัวทศนิยมในการกระทำทางคณิตศาสตร์แสดงเงื่อนไขพาริตีคู่หรือคี่ ฯลฯ สิ่งเหล่านี้จะให้ผลลัพธ์แสดงสถานะได้ด้วยแฟลก (Flag) แฟลกเป็นรีจิสเตอร์ขนาด 8 บิท ซึ่งสามารถรวมกับแอคคิวมูเลเตอร์ขนาด 16 บิท ได้ผู้โปรแกรมยังสามารถใช้คำสั่งในการเคลื่อนย้ายข้อมูลจากแอคคิวมูเลเตอร์ A และแฟลก F ไปเก็บไว้ใน A' และ F' ได้เพื่อให้การใช้งานของ A และ F มีประสิทธิภาพดียิ่งขึ้น

#### 7. หน่วยคำนวณทางคณิตศาสตร์และลอจิก (ALU - Arithmetic and

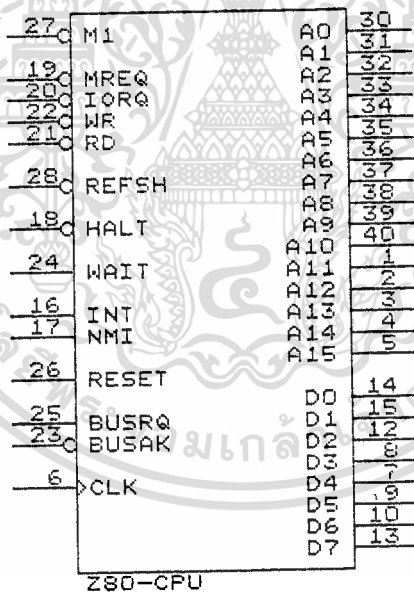
Logic Unit) การประมวลผลที่สำคัญของพินูของคอมพิวเตอร์ยังขึ้นอยู่กับหน่วยคำนวณทางคณิตศาสตร์และลอจิก (ALU) ส่วน ALU นี้จะนำข้อมูลซึ่งอาจจะมาจากภายนอกพินู หรือภายในพินูก็ได้มาประมวลผล การประมวลผลในส่วน ALU นี้ประกอบด้วย

|                       |                            |
|-----------------------|----------------------------|
| การบวก (ADD)          | การเลื่อนบิททางซ้ายหรือขวา |
| การลบ (Subtract)      | การเพิ่มค่า (Increment)    |
| ลอจิก AND             | การลดค่า (Decrement)       |
| ลอจิก OR              | การเซตบิท (Set Bit)        |
| ลอจิก EX-OR           | การรีเซตบิท (Reset Bit)    |
| เปรียบเทียบ (Compare) | การทดสอบบิท (Test Bit)     |

8. รีจิสเตอร์คำสั่งและส่วนควบคุม (Instruction register and control) ในการกระทำการเฟรช ชิพจะอ่านคำสั่งจากหน่วยความจำที่เป็นส่วนของโปรแกรมโดยรอคำสั่งนั้นมาเก็บไว้ใน IR เพื่อทำการถอดรหัสคำสั่งและส่งสัญญาณควบคุมการทำงานภายในชิพ หรือควบคุมการทำงานของระบบในการทำงานต่อไป

5. การจัดขาของ Z-80

ชิพเป็นไอซีไมโครโปรเซสเซอร์ที่มีขาเพียง 40 ขา โดยหลักการแล้ว Z-80 เป็นชิพที่ได้โดยสมบูรณ์กล่าวคือ Z-80 ไม่ต้องประกอบกับอุปกรณ์ประกอบอื่นที่จะแยกการทำงานเพื่อรวมเป็นชิพ ส่วนของสัญญาณจะประกอบด้วยบัสแอดเดรส บัสข้อมูลและสัญญาณควบคุมการจัดวางขาแสดงได้ดังรูป 4.1.3



รูปที่ 4.1.3 ลักษณะของขาไอซี Z 80 ชิพ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รายละเอียดของขาต่าง ๆ แสดงได้ดังนี้

- AO-A15 บัสแอดเดรส สัญญาณที่ออกมาจากขาไอซีเหล่านี้จะให้แอดดีฟลอจิก high โดยขาเหล่านี้เป็นเอาต์พุตแบบไตรสเตทบัสมแอดเดรส มีด้วยกันทั้งหมด 16 เส้น เพื่อให้ขั้วผู้ติดต่อกับหน่วยความจำได้มากถึง  $2^{10} = 64$  K ไบต์ นอกจากนี้ส่วนของแอดเดรสยังเป็นตัวกำหนดเบอร์พอร์ทของอุปกรณ์อินพุต-เอาต์พุต โดยขณะที่ขั้วผู้กระทำคำสั่งเกี่ยวกับอินพุต หรือ เอาต์พุต ค่าของแอดเดรสบัสใน 8 บิตล่าง ( $A_0-A_7$ ) จะแสดงค่าเบอร์พอร์ท ดังนั้นเราจึงมีอุปกรณ์อินพุต-เอาต์พุตได้อย่างละ  $2^8 = 256$  พอร์ท และในช่วงเวลารีเฟรช โดยเมื่อสัญญาณรีเฟรชปรากฏขึ้นที่ขารีเฟรช (RFSH) ค่าในแอดเดรสบัส  $A_0-A_8$  จะแสดงค่าแอดเดรสของหน่วยความจำที่จะได้รับการกระทำการรีเฟรช
- DO-D7 บัสข้อมูล (data bus) เป็นลักษณะบัสแบบสองทิศทาง Z-80 ขั้วนี้มีบัสข้อมูล 8 เส้น บัสข้อมูลเป็นเส้นทางผ่านข้อมูลระหว่างขั้วผู้กับหน่วยความจำขั้วผู้กับอุปกรณ์ อินพุตเอาต์พุตหรือการติดต่อกันระหว่างอุปกรณ์ อินพุต เอาต์พุต กับหน่วยความจำ
- $\overline{M_1}$  (Machine cycle one) มีลักษณะเป็นแอดดีฟลอจิก "0"  $\overline{M_1}$  เป็นส่วนที่จะบอกให้ทราบว่าขณะนี้ขั้วผู้กำลังอยู่ในสถานะเพนซ์ในขณะที่ขั้วผู้เพนซ์คำสั่งที่มีออฟไคด์สองไบต์ ส่วนของ  $\overline{M_1}$  จะสร้างขึ้นขณะเพนซ์ในแต่ละไบต์ ลักษณะของคำสั่งที่มีออฟไคด์สองไบต์จะขึ้นด้วย CPH, DDH, EDH, FDH (H ต่อท้ายหมายถึงตัวเลขฐานสิบหก) นอกจากนี้  $\overline{M_1}$  ยังสร้างสัญญาณร่วมกับ  $\overline{IORQ}$  เพื่อบอกสถานะการตอบรับการอินเตอร์รัพท์
- $\overline{MREQ}$  (Memory request) เป็นลักษณะไตรสเตทให้ลอจิกแอดดีฟที่ "0" เป็นสัญญาณที่บอกให้ทราบว่า ขั้วผู้ต้องการเขียน หรืออ่านหน่วยความจำตามแอดเดรสที่ปรากฏอยู่ในแอดเดรสบัส
- $\overline{IORQ}$  (Input Output Request) เป็นเอาต์พุตลักษณะไตรสเตทให้ลอจิกแอดดีฟที่เป็นสัญญาณที่บอกให้ทราบว่า ขั้วผู้ต้องการติดต่อกับอุปกรณ์ อินพุต-เอาต์พุต โดยแอดเดรสบัส 8 บิต ล่างจะให้แสดงค่าเบอร์พอร์ท ส่วนบัสข้อมูลจะแสดงข้อมูลที่จะมีการส่งถ่ายระหว่างขั้วผู้กับ I/O นอกจากนี้  $\overline{IORQ}$  ถ้าเกิดขึ้นพร้อม กับสัญญาณ  $\overline{M_1}$  เป็นตัวบอกถึงสถานะที่ขั้วผู้กำลังตอบสนองผลการอินเตอร์รัพท์โดยขณะนี้ส่วนของบัสข้อมูลจะมีการส่งผ่านเข้ามาด้วยค่าของอินเตอร์รัพท์เวคเตอร์
- $\overline{RD}$  (Memory Read) เป็นเอาต์พุตที่ไตรสเตทและแอดดีฟขณะลอจิก "0"  $\overline{RD}$  เป็นตัวบอกว่าขณะนี้ขั้วผู้ต้องการอ่านข้อมูลจากหน่วยความจำหรืออุปกรณ์ I/O

|                    |                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                 |
|--------------------|---------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| $\overline{WR}$    | (Memory Write) เป็นขาเอาต์พุตแบบไตรสเตทและแอคตีฟขณะลอจิก "0" $\overline{WR}$ เป็นสัญญาณบอกว่าซีพียูต้องการเขียนข้อมูลโดยจะเขียนข้อมูลในตำแหน่งที่แอคเตสับสกำหนดขึ้นอาจเป็นหน่วยความจำหรืออุปกรณ์ I/O ก็ได้                                                                                                                                                                                                                                                                                                                      |
| $\overline{RFSH}$  | (Refresh) เป็นขาเอาต์พุตแอคตีฟขณะลอจิก "0" $\overline{RFSH}$ เป็นสัญญาณที่จะบอกให้ทราบว่าสัญญาณในแอคเตสับสในส่วน $A_0-A_6$ เป็นแอคเตสับสที่จะใช้ในการรีเฟรชหน่วยความจำชนิดไดนามิกส์ ส่วนบิต $A_7$ จะเป็น "0" ส่วนบิต $A_8-A_{15}$ จะแสดงค่าของวีจีเอสเตอร์                                                                                                                                                                                                                                                                      |
| $\overline{HALT}$  | (Halt state) เป็นขาเอาต์พุตที่แอคตีฟด้วยลอจิก "0" สัญญาณ $\overline{HALT}$ จะแสดงเมื่อซีพียูได้กระทำคำสั่ง HALT และจะหยุดรอจนกว่าจะมีการอินเตอร์รัพท์หรือรีเซต ขณะที่อยู่ในช่วง HALT ซีพียูจะเสมือนกำลังกระทำคำสั่ง NOP (no operation) เพื่อให้เกิดไซเคิลในการทำงาน เพื่อส่งสัญญาณไปกระทำการรีเฟรชหน่วยความจำชนิดไดนามิกส์                                                                                                                                                                                                      |
| $\overline{WAIT}$  | (WAIT) เป็นขาอินพุต จะแอคตีฟด้วยลอจิก "0" $\overline{WAIT}$ เป็นตัวกำหนดแสดงเพื่อบอกซีพียูให้ซีพียูหยุดรอในกรณีที่อุปกรณ์อินพุต-เอาต์พุต หรือหน่วยความจำไม่สามารถรับหรือส่งข้อมูลได้ทัน $\overline{WAIT}$ จะเป็นตัวทำให้ซีพียูซิงค์ไดโนตกับอุปกรณ์อินพุต-เอาต์พุต ทำงานด้วยความเร็วช้า ๆ                                                                                                                                                                                                                                        |
| $\overline{INT}$   | (Interrupt request) เป็นขาอินพุตแอคตีฟด้วยลอจิก "0" $\overline{INT}$ เป็นสัญญาณที่สรว้างขึ้นมาจากอุปกรณ์อินพุต - เอาต์พุต เพื่อต้องการที่จะอินเตอร์รัพท์ซีพียู ซีพียูจะทำการตรวจสอบสัญญาณนี้ทุก ๆ ครั้งที่จบการกระทำแต่ละคำสั่งการตอบสนองของตัวการอินเตอร์รัพท์สามารถควบคุมได้ด้วยซอฟต์แวร์ ด้วยการเซตค่าอินเตอร์รัพท์ฟิลลิปส (IFF) การตอบสนองอินเตอร์รัพท์จะเกิดได้ยังต้องให้ $\overline{BUSRQ}$ ไม่แอคตีฟ เมื่อซีพียูตอบด้วยการสร้างสัญญาณ $\overline{IORQ}$ ระหว่างช่วงเวลา M การตอบสนองต่อการอินเตอร์รัพท์มีแยกแยะได้ 2 แบบ |
| $\overline{NMI}$   | (Non-Maskable Interrupt) เป็นขาอินพุตที่จะทริกบอกซีพียูในขณะขอบพัลส์ขาลงการอินเตอร์รัพท์ด้วยวิธีนี้ซีพียูจะให้ความสำคัญสูงกว่า $\overline{INT}$ กล่าวคือมันจะตอบสนอง และกระทำทันทีด้วยการเอ็กซีคิวต์ คำสั่งในตำแหน่ง 0066H โดยอัตโนมัติ การกระโดดไปกระทำในกรณีนี้ ซีพียูจะเก็บค่าโปรแกรมเคอร์เตอร์เดิมนไว้ในสแตค เพื่อจะได้กลับไปทำงานเดิม เมื่อเสร็จสิ้นการอินเตอร์รัพท์ได้                                                                                                                                                    |
| $\overline{RESET}$ | (RESET) เป็นขาอินพุตที่แอคตีฟด้วยลอจิก "0" การรีเซตในกรณีนี้จะมีผลดังนี้<br>1. ค่าของ PC มีค่าเป็น "0"                                                                                                                                                                                                                                                                                                                                                                                                                          |

2. IFF จะได้รับการ Disable
3. รีจิสเตอร์ I จะมีค่า 00H
4. รีจิสเตอร์ R จะมีค่า 00H
5. จะมีการเซทอินเตอร์รัพท์ใหม่มาอยู่ที่โหมด 0

ระหว่างการรีเซทสายแอดเดรสบัส และบัสข้อมูลจะได้รับการกระทำให้มีค่าอิมพีแดนซ์สูงเพื่อแยกออกจากบัสส่วนสายสัญญาณควบคุมจะได้รับการทำให้เป็นสัญญาณที่ไม่แอคทีฟการรีเฟรชจะไม่เกิดขึ้น

BUSRQ (Bus Request) เป็นขาอินพุตที่แอคทีฟด้วยลอจิก "0" BUSRQ เป็นสัญญาณที่ส่งบอกกับบัส เมื่อต้องการให้บัสควบคุมบัส กล่าวคือต้องการให้บัสทำให้บัสแอดเดรสและบัสข้อมูลอยู่ในสถานะอิมพีแดนซ์สูง คือต้องการแยกบัสออกจากบัสนั่นเอง

BUSAK (Bus Acknowledge) เป็นขา OUTPUT แอคทีฟด้วยลอจิก "0" เป็นสัญญาณตอบจาก CPU ได้แยกตัวเองออกจากแอดเดรสบัส และบัสข้อมูลเรียบร้อยแล้ว

#### 4.1.3 ส่วนหน่วยความจำ

เป็นส่วนที่ใช้เก็บโปรแกรมหลักและโปรแกรมย่อยต่าง ๆ และใช้เก็บสถานะต่าง ๆ ของระบบขณะทำการใช้งานอยู่ด้วย ส่วนหน่วยความจำประกอบด้วย หน่วยความจำ 2 ชนิดคือ

1. ROM ใช้หน่วยความจำชนิด EPROM เบอร์ 6264 ซึ่งมีความจุ 4K Byte ใช้เก็บโปรแกรมหลักและโปรแกรมย่อยต่าง ๆ
2. ใช้หน่วยความจำชนิด STATIC RAM เบอร์ 6116 ซึ่งมีความจุ 1K Byte เป็นตัวเก็บสถานะต่าง ๆ ของระบบ

ลักษณะการจัดตำแหน่งหน่วยความจำ

|      |      |
|------|------|
| 0000 |      |
| 2000 | 6264 |
| 4000 | 6116 |
| 5000 |      |
| FFFF |      |

#### 4.1.4 ส่วนอินพุตและเอาต์พุต

เป็นส่วนที่ใช้ในการติดต่อระหว่างส่วนควบคุมกับอุปกรณ์ภายนอก ในที่นี่ใช้ไอซีในการถอดรหัส (decoder) เพื่อทำการเลือกตำแหน่งของพอร์ตามอเตอร์ต่าง ๆ ในวงจรใช้ไอซีเบอร์ 74LS138 เป็นตัว decoder ส่วนข้อมูลในการส่งผ่านเข้าออกนั้น ใช้ไอซีบัฟเฟอร์ (Buffer) เป็นตัวส่งผ่าน เพื่อมิให้เกิดการรบกวนของสัญญาณขึ้นขณะทำงาน โดยการใช้ไอซีเบอร์ 74LS245 ดังแสดงไว้ในวงจร

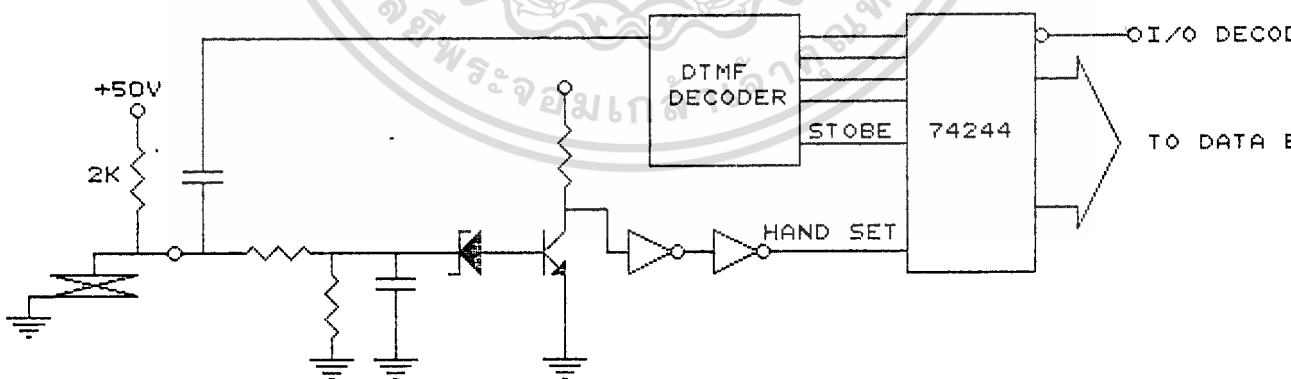
#### 4.2 แผงวงจรควบคุมโทรศัพท์ภายใน (I/O internal Board)

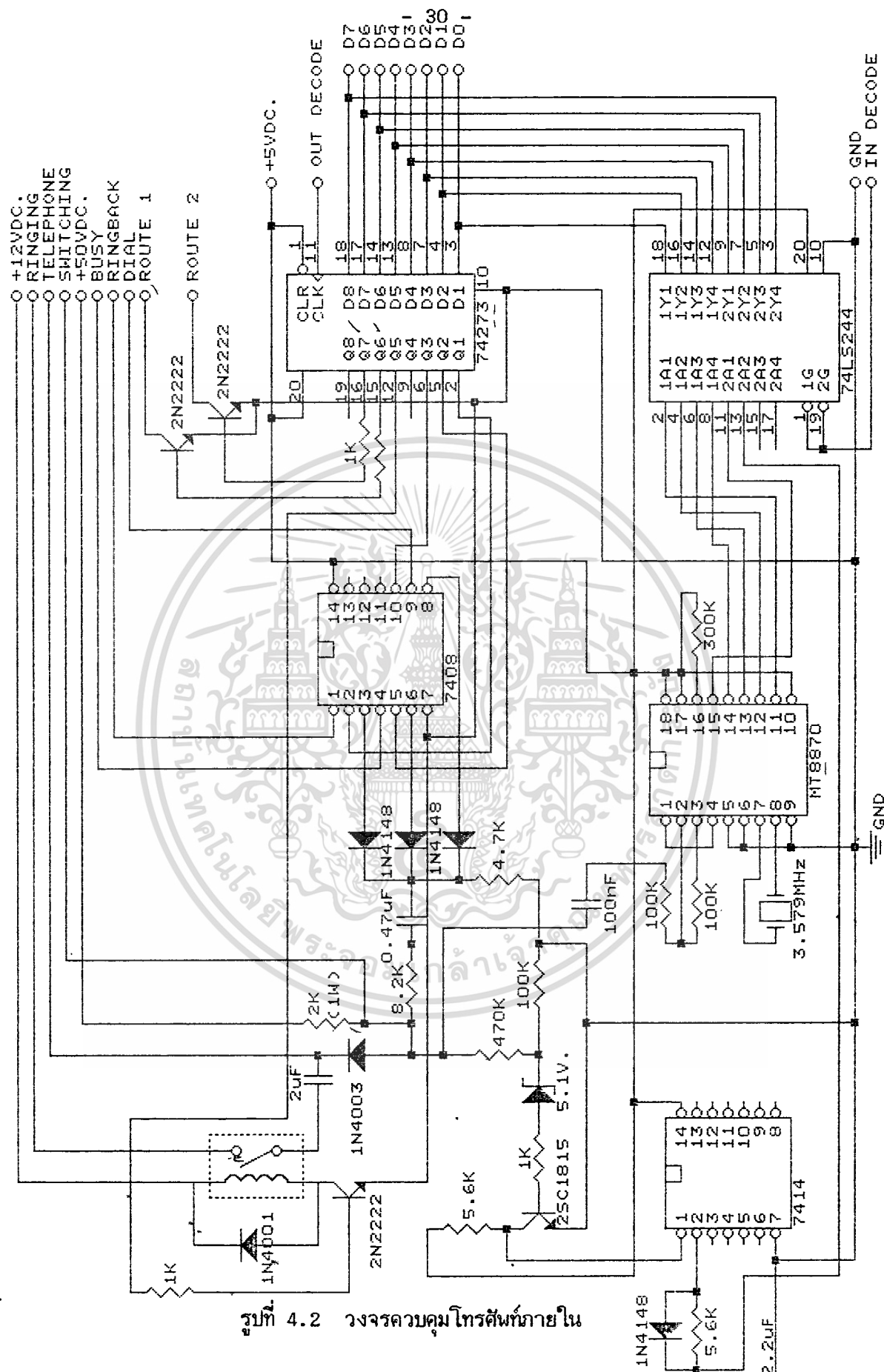
รายละเอียดของแผงวงจรควบคุมโทรศัพท์ภายในที่จะกล่าวดังต่อไปนี้ จะขอกล่าวเพียงรายละเอียดบนแผง ซึ่งใช้ควบคุมโทรศัพท์ภายในเพียงเครื่องเดียวเท่านั้น เนื่องจากรายละเอียดต่าง ๆ และแผงควบคุมจะมีอยู่ประจำกับโทรศัพท์ภายในทุกเครื่อง และมีลักษณะเหมือนกันทุกประการ ซึ่งวงจรทั้งหมดได้แสดงไว้ในรูปที่ 4.2

รายละเอียดของวงจรต่าง ๆ แยกออกได้ดังนี้

##### 4.2.1 วงจรควบคุมสัญญาณเข้า (Input Port Circuit)

เนื่องจากการควบคุมการทำงานของระบบใช้สัญญาณควบคุม จึงจำเป็นต้องรับข้อมูลต่าง ๆ ของเครื่องโทรศัพท์ภายใน เพื่อนำไปประมวลผลต่อไป ข้อมูลต่าง ๆ ได้แก่ สัญญาณหมุน, สัญญาณการกดหมายเลข และหมายเลขที่กด รายละเอียดของวงจรแสดงไว้ดังนี้





รูปที่ 4.2 วงจรควบคุมโทรศัพท์ภายใน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

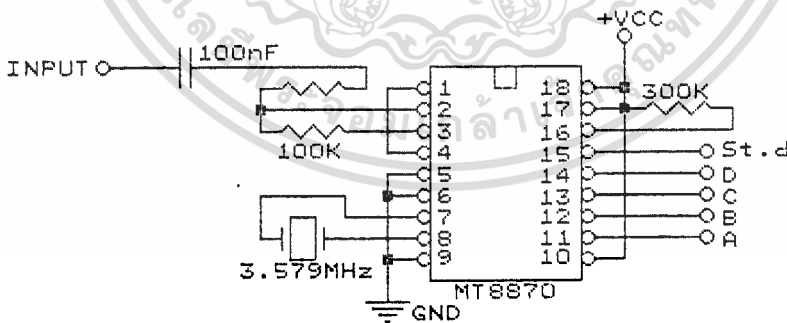
จากวงจรสามารถอธิบายเป็นส่วน ๆ ดังนี้

#### 4.2.1.1 วงจรตรวจจับการยกหูวางหู (Hand Set Circuit)

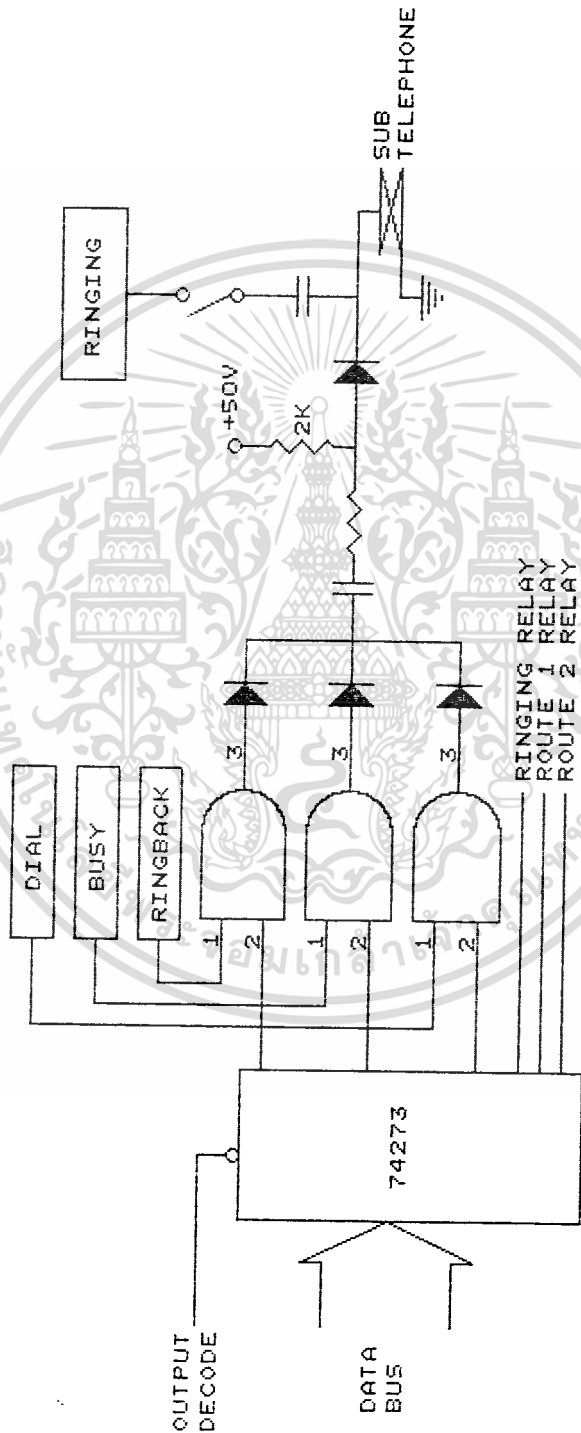
เนื่องจากแรงไฟตกคร่อมเครื่องโทรศัพท์ ขณะยกหูประมาณ 8 โวลต์ และขณะวางหูประมาณ 48 โวลต์ ดังนั้น จึงสามารถที่จะสร้างวงจรตรวจจับแรงไฟที่เปลี่ยนแปลงนี้ เพื่อให้ผลเอาท์พุทเป็นแรงไฟทางดิจิทัลได้ ในที่นี้ใช้ Zener diode โดยขณะที่โทรศัพท์วางหูจะมีแรงไฟประมาณ 48 V และทำการแบ่งแรงดันมาให้เหมาะสม ในขณะนี้ Zener diode จะนำกระแสทำให้สัญญาณ Hand Set เป็นลอจิกศูนย์ แต่ถ้ามีการยกหูโทรศัพท์แรงไฟคล่อมคู่สายจะตกลง Zener diode จะหยุดนำกระแสทำให้สัญญาณ Hand Set เป็นลอจิกหนึ่ง

#### 4.2.1.2 วงจรถอดรหัสโทนหมายเลข (DTMF Decoder)

สำหรับการถอดรหัสโทนหมายเลขของเครื่องโทรศัพท์แบบกดปุ่มความถี่ (Dual-Tone Multiple Frequency) เมื่อผู้เรียกกดหมายเลขหลังจากได้รับการตอบรับเรียบร้อยแล้ว สัญญาณความถี่สองความถี่ที่ผสมกันมาจะเข้าสู่วงจร DTMF Decoder ซึ่งในเครื่องต้นแบบ Non-Operator PABX นี้ใช้ไอซีเบอร์ MT8870 ในการถอดรหัสแล้วให้ผลออกมาเป็นสัญญาณดิจิทัล 4 บิต ส่งให้วงจรควบคุมสัญญาณเข้าต่อไป รายละเอียดวงจร DTMF Decoder แสดงไว้ดังนี้



4.2.2 วงจรควบคุมสถานะต่าง ๆ ของโทรศัพท์ภายในแต่ละเครื่องซึ่งจะควบคุมโดยการส่งข้อมูลดิจิทัลขนาด 8 บิต ออกไปควบคุมเกณฑ์ในการเปิดปิดสัญญาณต่าง ๆ ดังแสดงได้ดัง ไดอะแกรมต่อไปนี้

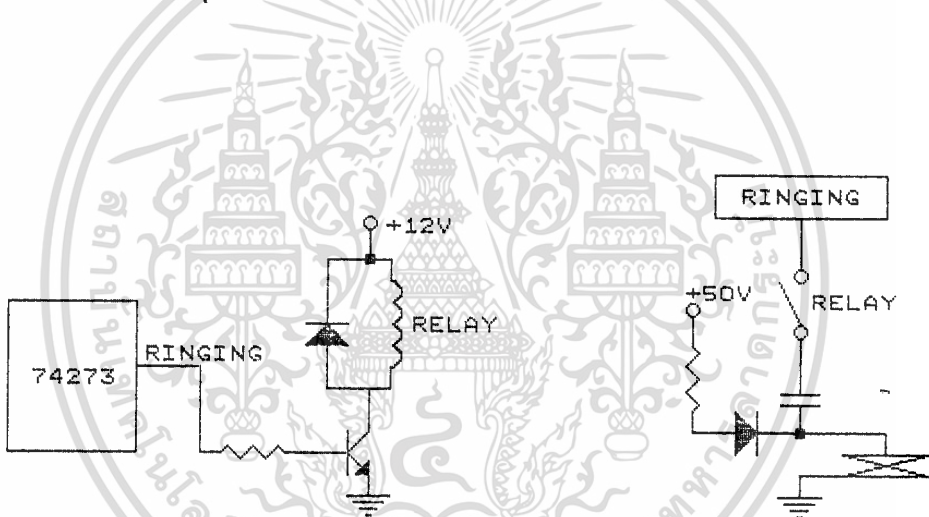


การทำงานของวงจรควบคุมสัญญาณออก ในขณะที่โทรศัพท์ภายในใช้งานอยู่จะมีหน่วยความจำที่เก็บสถานะของเครื่องไว้ แล้วซีพียูจะมาตรวจสอบสถานะนี้แล้วก็กำหนดสัญญาณออกต่าง ๆ ที่ถูกต้องตามสถานะที่จะเป็นนั้นโดยให้ลอจิก 1 ออกมาจากพอร์ทเท่านั้น โดยแบ่งกลุ่มของสัญญาณออกดังนี้

- การควบคุมสัญญาณให้หมุน, สัญญาณไม่ว่างและสัญญาณเรียกกลับ (Dial Signal, Busy Signal and Ring back Control)

การกำเนิดสัญญาณทั้งสามนี้ มาจากแผงวงจรกำเนิดสัญญาณโทรศัพท์ในหัวข้อ 4.4 สัญญาณเหล่านี้จะผ่านวงจรแอนเกท 2 อินพุต โดยถ้าจะต้องการให้สัญญาณใดผ่านไปยังเครื่องโทรศัพท์ ก็ให้ลอจิก 1 กับขาแอนเกทเท่านั้น โทรศัพท์ก็จะได้ยินสัญญาณที่ต้องการ เพราะถ้าเพียงให้ลอจิก 0 กับแอนเกทก็ทำให้เอาต์พุตของแอนเกทเป็นศูนย์ตลอด

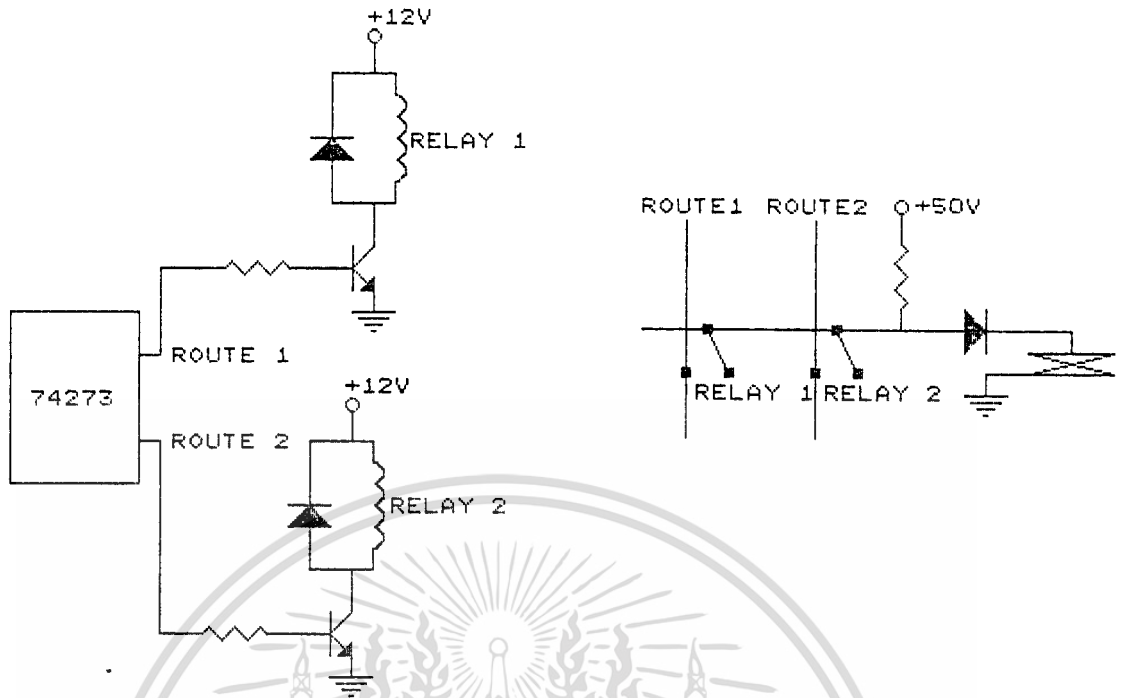
- การควบคุมสัญญาณเรียก (Ringing Control)



เนื่องจากขนาดสัญญาณเรียกมีแรงเคลื่อนประมาณ 100 โวลต์ จึงต้องใช้รีเลย์ในการติดต่อสัญญาณแทน โดยการนำสัญญาณออกมาใช้ป้อนให้กับทรานซิสเตอร์แล้วไปขับให้รีเลย์ทำงานตามต้องการต่อไป

- การควบคุมการใช้ช่องติดต่อ (Talking Route Control)

ในการให้โทรศัพท์สองเครื่องสามารถติดต่อกันได้นั้น โดยการให้โทรศัพท์ทั้งสองต่อถึงกันและมีไฟเลี้ยงเครื่องโทรศัพท์ด้วยเท่านั้นเอง ในเครื่องนี้ใช้การติดต่อช่อง (Route) โดยการควบคุมของซีพียู ลักษณะการควบคุม



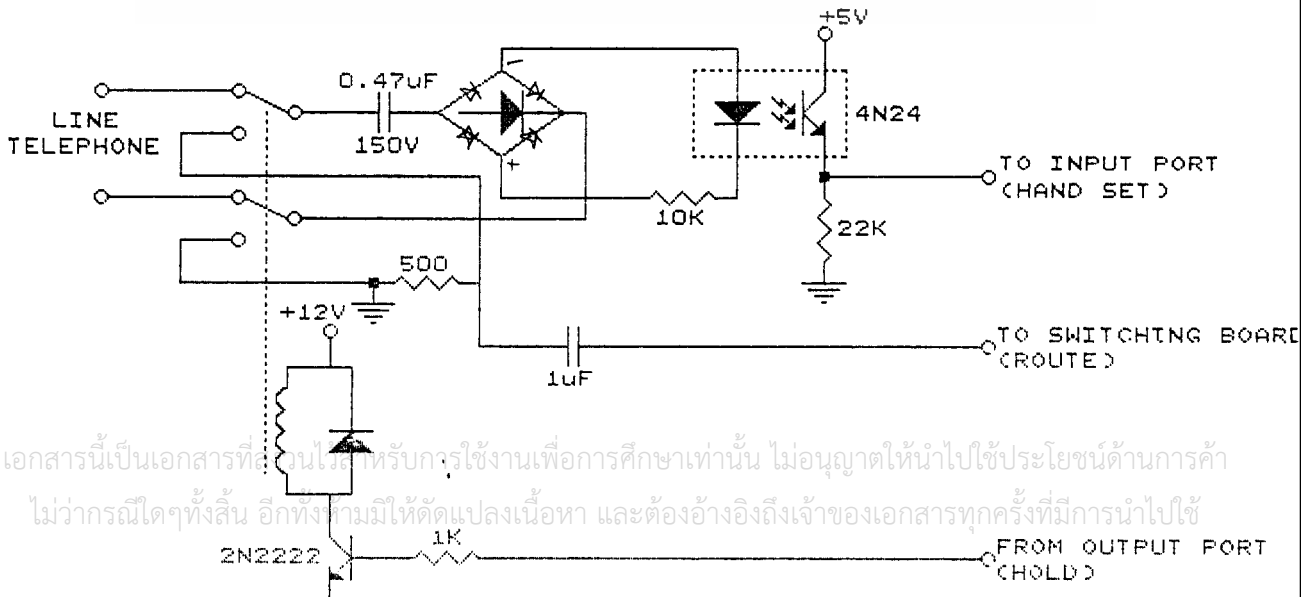
เพียงขั้วเดียวให้ลอจิก 1 เท่านั้น รีเลย์ก็จะต่อช่วงสัญญาณที่ต้องการให้

#### 4.3 แผงวงจรควบคุมสายนอก (I/O External Board)

วงจรและการทำงานของส่วนสายนอก ที่ใช้ติดต่อกับคู่สายขององค์การโทรศัพท์ สำหรับเครื่องต้นแบบ Non-Operator PABX นี้ มีจำนวน 1 บอร์ด นั้นคือใช้ต่อกับคู่สาย องค์การโทรศัพท์ 1 คู่สาย โดยรายละเอียดแสดงไว้ดังวงจรรูปที่ 4.3 โดยสามารถอธิบาย แยกเป็นส่วน ๆ ดังนี้

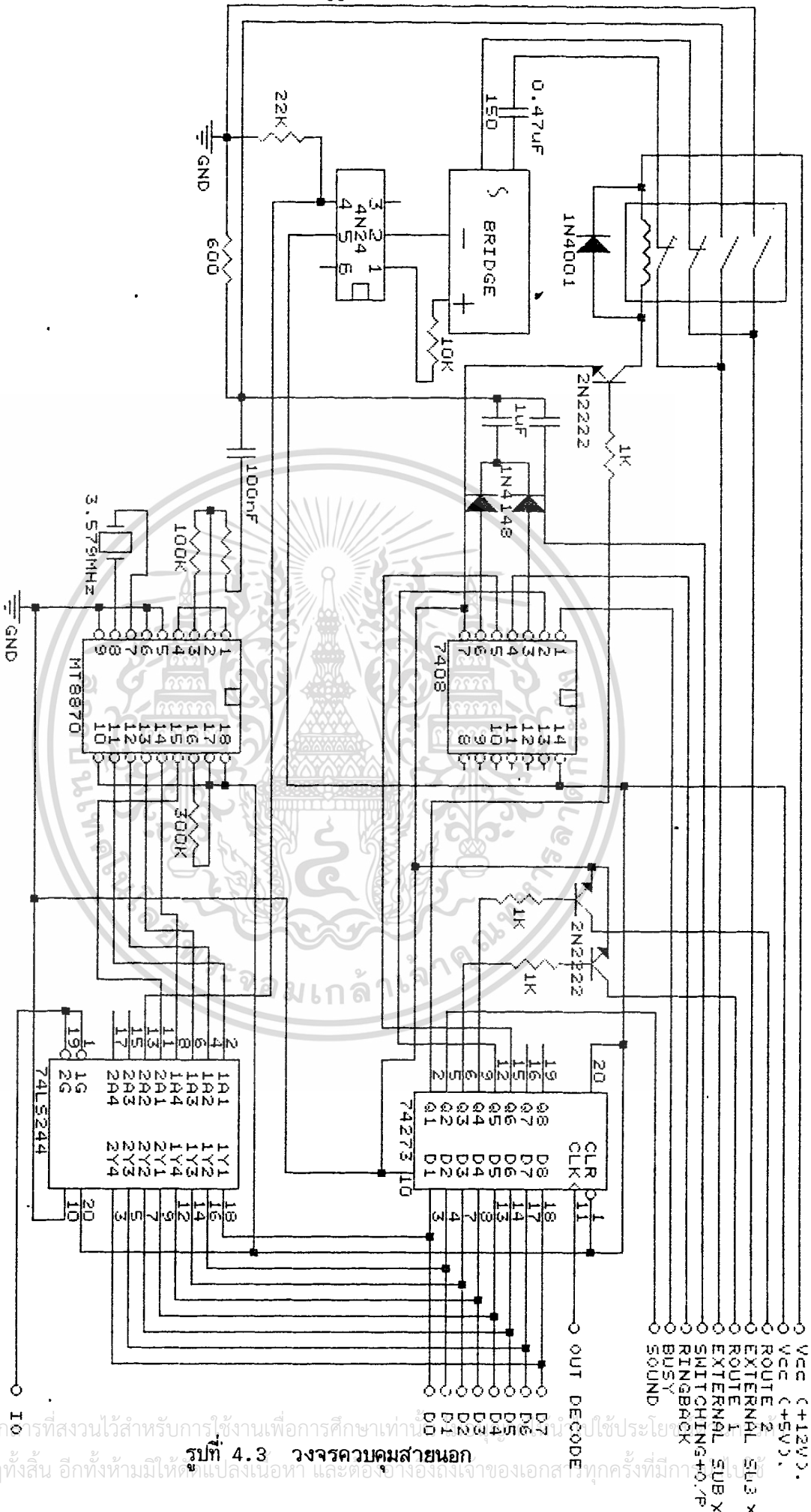
##### 4.3.1 วงจรตรวจจับสัญญาณกริ่ง (Ringing Detector Circuit)

ในการทำงานของเครื่อง Non-Operator PABX นั้นต้องมีส่วนที่ใช้ตรวจจับ สัญญาณเสียงกริ่งแทนการเข้าฟังรอสัญญาณกริ่งของพนักงานติดต่อสายโทรศัพท์ ซึ่งในการนี้ได้ ใช้อุปกรณ์ประเภทเชื่อมต่อทางแสง (Opto Couple) เพื่อป้องกันการรบกวนจากสัญญาณรบกวน ต่าง ๆ ที่สอดแทรกเข้ามาระหว่างกลางทาง วงจรตรวจจับสัญญาณกริ่งแสดงไว้ดังนี้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.3 วงจรควบคุมสายนอก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่ควรนำไปใช้ประโยชน์อื่นใดทั้งสิ้น อีกทั้งห้ามมิให้คัดลอกเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีโอกาส

การทำงานของวงจร

ในสภาวะที่ไม่มีสายนอกเข้ามาคือ ไม่มีสัญญาณกริ่งนั่นเอง สภาวะต่าง ๆ ของสัญญาณต่าง ๆ เป็นดังต่อไปนี้

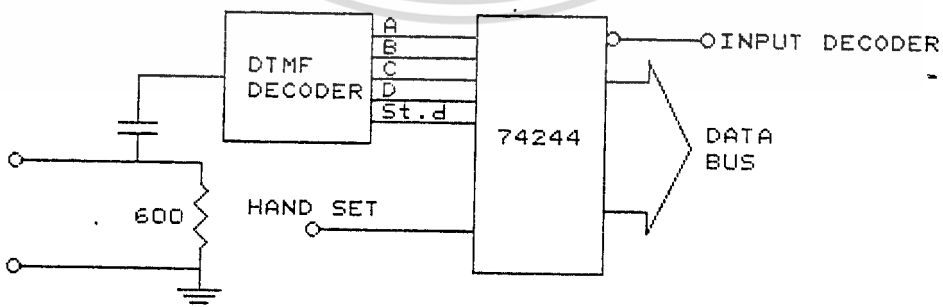
- สัญญาณ Hand Set จะเป็นลอจิกศูนย์เพราะ Opto 4N24 จะไม่ทำงาน
- สัญญาณ Hold จะเป็นลอจิกศูนย์ ไม่มีการยกหูรับนั่นเอง
- สัญญาณ Route ก็จะไม่มีการเลี้ยงเข้ามา

ในสภาวะที่มีสัญญาณกริ่งมาจากองค์การโทรศัพท์ สัญญาณก็จะถ่ายทอดผ่านตัวเก็บประจุ  $0.47\mu F$  ผ่านวงจรแปลงไฟ เป็นไฟกระแสตรงไปเลี้ยงไดโอดเปล่งแสงภายใน Opto 2N24 โดยมีตัวต้านทาน  $10\text{ k}$  จำกัดขนาดกระแสไว้ ทำให้ไฟโอดทรานซิสเตอร์นำกระแสสัญญาณ Hand Set จึงเป็นลอจิกหนึ่ง เมื่อวงจรไมโครโปรเซสเซอร์อ่านพบสัญญาณ Hand Set นี้ ก็จะสั่งให้ทำการรับสายไว้ และส่งสัญญาณไปควบคุมวงจรเสียงตอบรับด้วย นั่นคือ เมื่อมีสัญญาณกริ่งเข้ามาวงจรจะทำงานเป็นขั้นตอนดังนี้

- วงจรตรวจจับสัญญาณกริ่งทำงานมี Output Hand Set เป็น 1
- วงจรไมโครจะควบคุมทำการรับสายนอกไว้ และส่งสัญญาณไปวงจรตอบรับด้วย
- วงจรไมโครรอรับสัญญาณกดหมายเลขจากผู้เรียกอีกต่อไป

#### 4.3.2 วงจรควบคุมสัญญาณเข้า (Input Port Circuit)

เป็นวงจรที่เชื่อมต่อในการส่งข้อมูลต่าง ๆ เพื่อ CPU จะได้นำไปประมวลผล และควบคุมให้เป็นไปตามการบริการทางโทรศัพท์ที่ถูกต้องต่อไป โดยวงจรมีประกอบด้วยส่วนต่าง ๆ ดังภาพต่อไปนี้

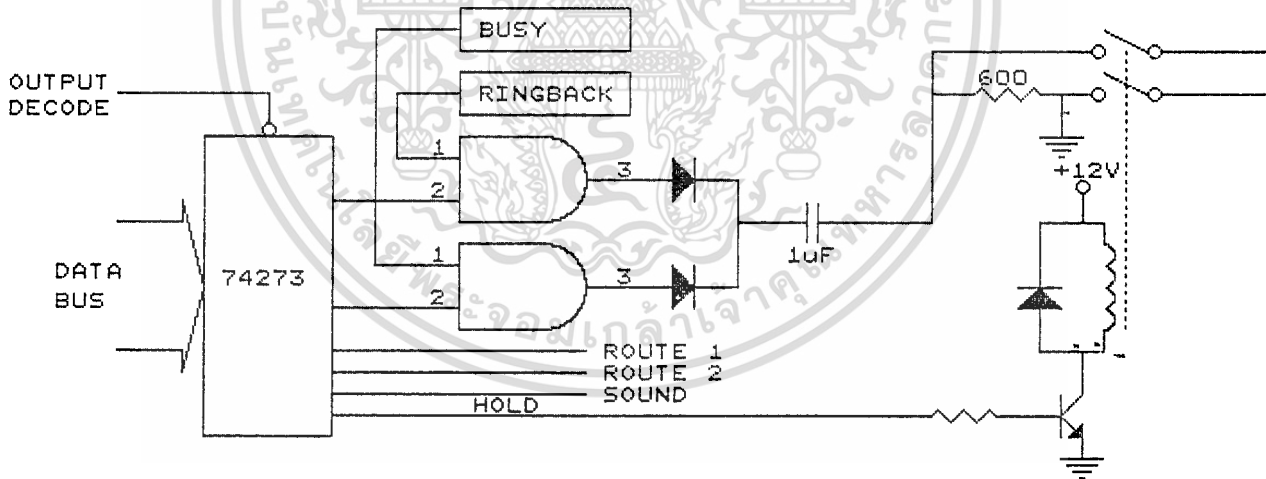


สัญญาณต่าง ๆ ที่รับได้จะมาทำการอ่าน โดยการควบคุมของโปรแกรมจะถูกส่งผ่านไอซีไบฟเฟอร์เบอร์ 74LS244 โดยควบคุมจากขา Input decoder เท่านั้น สัญญาณเหล่านี้ได้แก่

- สัญญาณหมายเลขที่ผู้เรียกกดเข้ามา จะผ่านวงจร DTMF Decoder ซึ่งการทำงานเช่นเดียวกับของแผงวงจรควบคุมคู่สายภายใน
- สัญญาณ Hand Set มาจากวงจรตรวจจับสัญญาณกริ่ง ในหัวข้อ 4.3.1 นั้นเอง

#### 4.3.3 วงจรควบคุมสัญญาณออก (Output Port Circuit)

การควบคุมสัญญาณออกให้กับคู่สายภายนอกขององค์การโทรศัพท์นั้น สัญญาณบางอย่างจะมาจากชุมสายขององค์การโทรศัพท์เอง เช่น สัญญาณเรียก ดังนั้น วงจรควบคุมสัญญาณออกของคู่สายภายนอก จึงแตกต่างไปจากวงจรควบคุมสัญญาณออกของคู่สายภายใน รายละเอียดส่วนต่าง ๆ ของวงจรแสดงไว้ดังนี้



การทำงานของวงจรนี้ สามารถแบ่งเป็นส่วน ๆ ได้ดังนี้

- การควบคุมสัญญาณไม่ว่างและสัญญาณเรียกกลับ

สัญญาณทั้งสองนี้ มาจากแผงกำเนิดสัญญาณโทรศัพท์ในหัวข้อ 4.4 โดยการทำงาน โดยการให้ซีพียูกำหนดลอจิก 1 ที่พอร์ทคล้ายกับวงจรของคู่สายภายในเช่นกัน

- การควบคุมการใช้ช่องติดต่อ

ใช้รีเลย์ในการตัดต่อช่องสัญญาณติดต่อ ในที่มีทั้งหมด 2 ช่อง เช่นเดียวกับแผงวงจรควบคุมคู่สายภายใน

- การรับสายนอก (Holding)

ในที่นี้ใช้รีเลย์ตัดต่อคู่สาย โดยใช้ตัวต้านทานขนาด 600 โอห์ม 5 วัตต์ แทนการใช้เครื่องโทรศัพท์ตามแบบปกติ โดยใช้สัญญาณจากเอาต์พุตพอร์ทมาต่อให้ทรานซิสเตอร์เพื่อไปขับรีเลย์อีกทีหนึ่ง

- การตอบรับแทนพนักงาน

เมื่อทำการรับสายนอกแล้ว ซีพียูจะทำให้สัญญาณ Sound เป็นลอจิก 1 จากนั้นสัญญาณจะส่งไปยังแผงวงจรกำเนิดเสียงพูดตอบรับ เพื่อทำการตอบรับให้ผู้เรียกกดหมายเลขที่ต้องการติดต่อเพื่อที่ซีพียูจะได้ทำการต่อช่องสัญญาณให้ตามต้องการ

#### 4.4 แผงวงจรกำเนิดสัญญาณโทรศัพท์ (Telephony Signalling Generator Board)

บนแผงวงจรกำเนิดสัญญาณโทรศัพท์ ประกอบด้วยวงจรกำเนิดสัญญาณโทน ตามมาตรฐานขององค์การโทรศัพท์ ทั้งนี้ เพื่อให้ผู้ใช้รู้สึกปกติเหมือนเมื่อกับการใช้โทรศัพท์ที่ต่อจากคู่สายองค์การโดยตรง สัญญาณโทนต่าง ๆ เหล่านี้ได้แก่

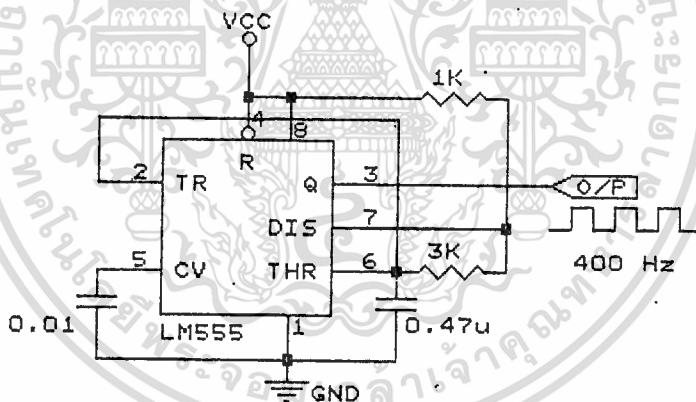
4.4.1 สัญญาณให้หมุน (Dial Tone) เป็นสัญญาณความถี่ 425 Hz เรียบตลอด สัญญาณนี้ เป็นสัญญาณเพื่อบอกให้ผู้เรียกทำการกดปุ่มหมายเลข เพื่อทำการติดต่อกับคู่สายโทรศัพท์ที่ต้องการ โดยผ่านขั้นตอนอื่นอีกต่อไป การสร้างสัญญาณให้หมุนนี้ ทำโดยการใช้ไอซีเบอร์ 555 ต่อเป็นวงจรอะสเตเบิล มัลติไวเบรเตอร์ ดังแสดงไว้ในรูปที่ 4.4.1

4.4.2 สัญญาณเรียกกลับ (Ring back Tone) เป็นสัญญาณความถี่ 425 Hz ดัง 1 วินาทีและหยุด 3 วินาที เป็นสัญญาณที่บอกให้ผู้ใช้ทราบว่ามีการเรียกให้ถือสายรอไว้ สัญญาณนี้จะปรากฏเมื่อผู้เรียกกดปุ่มหมายเลขจนครบจำนวนแล้ว และผู้ถูกเรียกอยู่ในสภาวะว่าง สัญญาณนี้จะถูกส่งไปยังผู้เรียกทันที ส่วนผู้ถูกเรียกจะได้รับสัญญาณกระดิ่ง การกำเนิดสัญญาณเรียกกลับในเครื่อง Non-Operator PABX นี้ใช้ไอซี 555 ต่ออันดับกันในลักษณะของอะสเตเบิลมัลติไวเบรเตอร์ และไบสเตเบิลมัลติไวเบรเตอร์ ดังวงจรรูปที่ 4.4.2

4.4.3 สัญญาณไม่ว่าง (Busy Tone) เป็นสัญญาณความถี่ 425 Hz ดัง 0.5 วินาทีและหยุด 0.5 วินาที สลับกันไป เป็นสัญญาณที่แสดงสถานะคู่สายของผู้ถูกเรียกไม่ว่าง

เมื่อผู้เรียกโทรติดต่อกันแล้ว หรือเกิดจากการยกหูขึ้นเกินไป การกำเนิดสัญญาณไม่ว่าจะใช้ ไอซีเบอร์ 555 จำนวน 2 ตัวต่ออันดับกัน รายละเอียดแสดงไว้ในวงจรรูปที่ 4.4.3

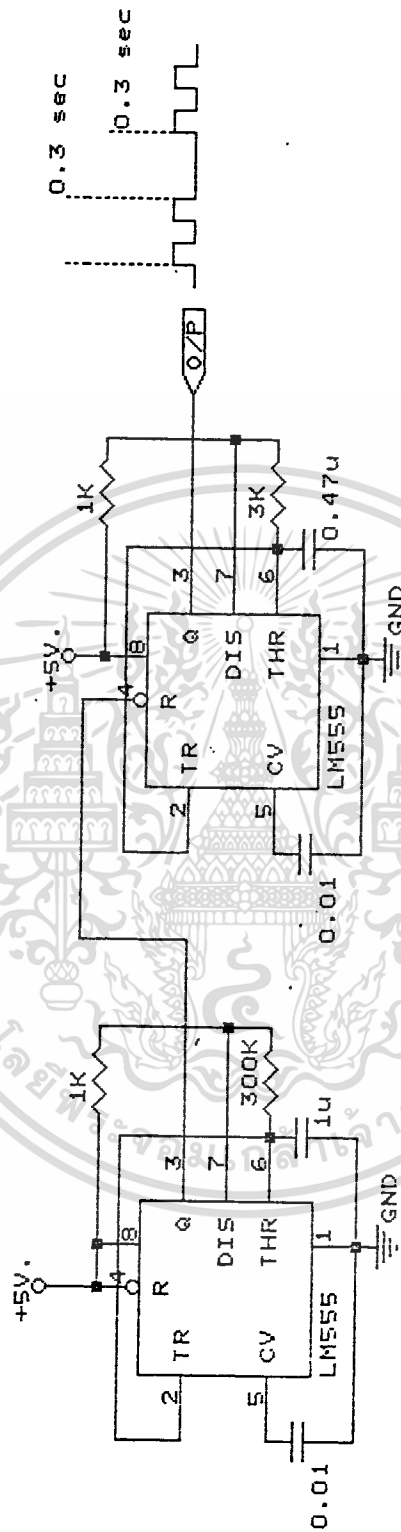
4.4.4 สัญญาณกริ่ง (Ringing) เป็นสัญญาณความถี่ประมาณ 25 Hz ติดและดับเช่นเดียวกับสัญญาณเรียกกลับ แต่มีขนาดแรงดันสูงกว่าประมาณ 100 โวลต์ ในที่นี้ใช้ไอซีเบอร์ 555 จำนวน 2 ตัว สร้างสัญญาณกริ่ง แล้วนำไปต่อกับเพาเวอร์ทรานซิสเตอร์ให้มีขนาดเอาต์พุต เป็น 100 โวลต์ ตามต้องการ สัญญาณใช้เรียกผู้ถูกเรียก โดยที่เครื่องโทรศัพท์จะมีกริ่งหรือวงจรตรวจจับกริ่งแล้วกำเนิดเป็นเสียงดังให้เจ้าของเครื่องทราบ เพื่อจะได้ทำการยกสายติดต่อกับผู้เรียกต่อไป รายละเอียดของวงจรกำเนิดสัญญาณกริ่ง แสดงไว้ดังรูปที่ 4.4.4



รูปที่ 4.4.1 วงจรกำเนิดสัญญาณให้หนุ่น

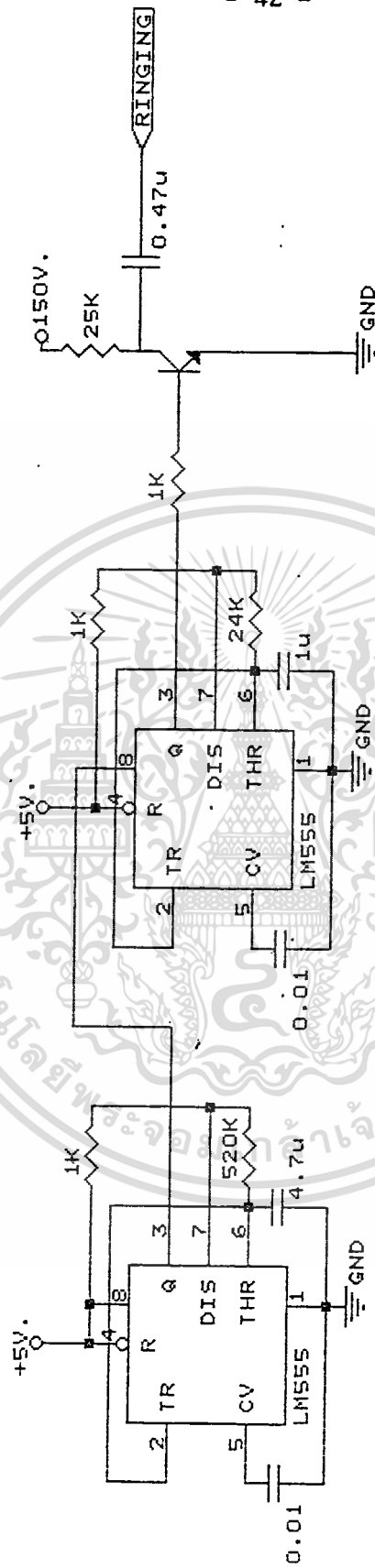
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้





รูปที่ 4.4.3 วงจรกำเนิดสัญญาณไม่ว่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.4.4 วงจรกำเนิดสัญญาณเสียงกริ่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

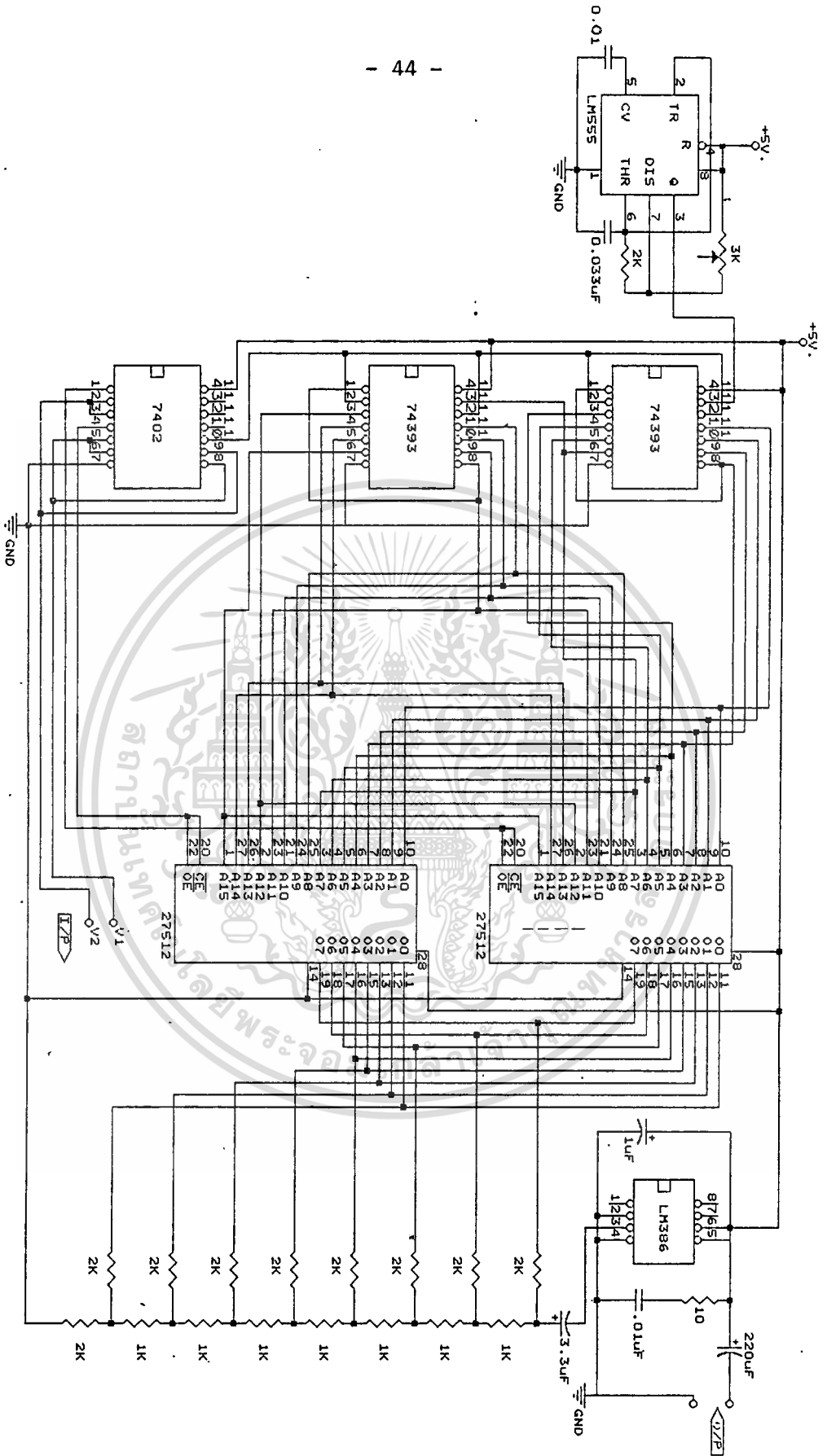
#### 4.5 แผงวงจรสังเคราะห์เสียงพูด (Sound Synthesize Board)

ในส่วนนี้ประโยชน์มีไว้เพื่อ บอกให้ผู้ที่ใช้โทรศัพท์จากภายนอกได้รู้ว่าเมื่อกดหมายเลข 7 ตัวติดแล้วจะต้องกดหมายเลขหรือเบอร์ของคู่สายภายในที่ผู้ใช้งานต้องการจะติดต่อกับ ซึ่งปกติทั่ว ๆ ไป มักจะมีโอเปอเรเตอร์ (Operator) คอยรับสายและต่อคู่สายให้ แต่ในที่นี้ใช้เสียงพูด ซึ่งเก็บไว้ในอีพรอม (EPROM) เป็นตัวบอกและภาคเสียงพูดมีบทบาทอีกประการหนึ่งคือ กรณีที่คู่สายภายในใด ๆ กำลังใช้งานติดต่อกับคู่สายภายในด้วยกันอยู่ แล้วเกิดมีผู้ใช้ภายนอกโทรเข้ามาต้องการติดต่อกับคู่สายนี้เข้าพอดี กรณีนี้จะมีเสียงบอกให้คู่สายภายในวางหูโทรศัพท์ก่อน เพื่อเตรียมรับการติดต่อกับผู้ใช้ภายนอก ซึ่งเราถือว่ามีความสำคัญมากกว่า ดังนั้นในภาคเสียงพูดนี้จะมีเสียงพูดอยู่ 2 ประโยค คือ

1. " กรุณากดหมายเลขที่ท่านต้องการจะติดต่อกับนะคะ"

✓ 2. " กรุณาวางหูก่อนนะคะมีสายภายนอกเข้าค่ะ"

เสียงพูดทั้งสองประโยคจะเก็บไว้ในอีพรอม ซึ่งถึงแม้ว่าจะไม่มีไฟล์เสียงวงจรข้อมูลหรือเสียงพูดที่เก็บไว้ก็จะไม่สูญหาย ส่วนของภาคเสียงพูดนี้จะแบ่งเป็น 1 การ์ด (card) ในโครงงานนี้ แต่ที่จะอธิบายต่อไป บางส่วนอาจจะไม่อยู่ในการ์ดนี้แต่จะเป็นวิธีการ บันทึกเสียงเข้าอีพรอม ซึ่งกระทำภายนอก ซึ่งต้องมีการทดลองหลายอย่าง จึงจะเก็บข้อมูลเข้าอีพรอมได้ ซึ่งวิธีการนี้เราสามารถทำได้หลายวิธี แต่ในที่นี้อาจจะเป็นวิธีที่สะดวกกว่าวิธีอื่น ๆ ก็ได้



รูปที่ 4.5 วงจรสังเคราะห์เลขคณิต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ส่วนสำคัญในการบันทึกสัญญาณแบ่งเป็น 3 ส่วน คือ

1. วงจรเปลี่ยนจากอานาลอก เป็น ดิจิตอล
2. ชุดหน่วยความจำใช้เก็บสัญญาณในรูปของดิจิตอล
3. วงจรเปลี่ยนจาก DIGITAL เป็น ANALOG

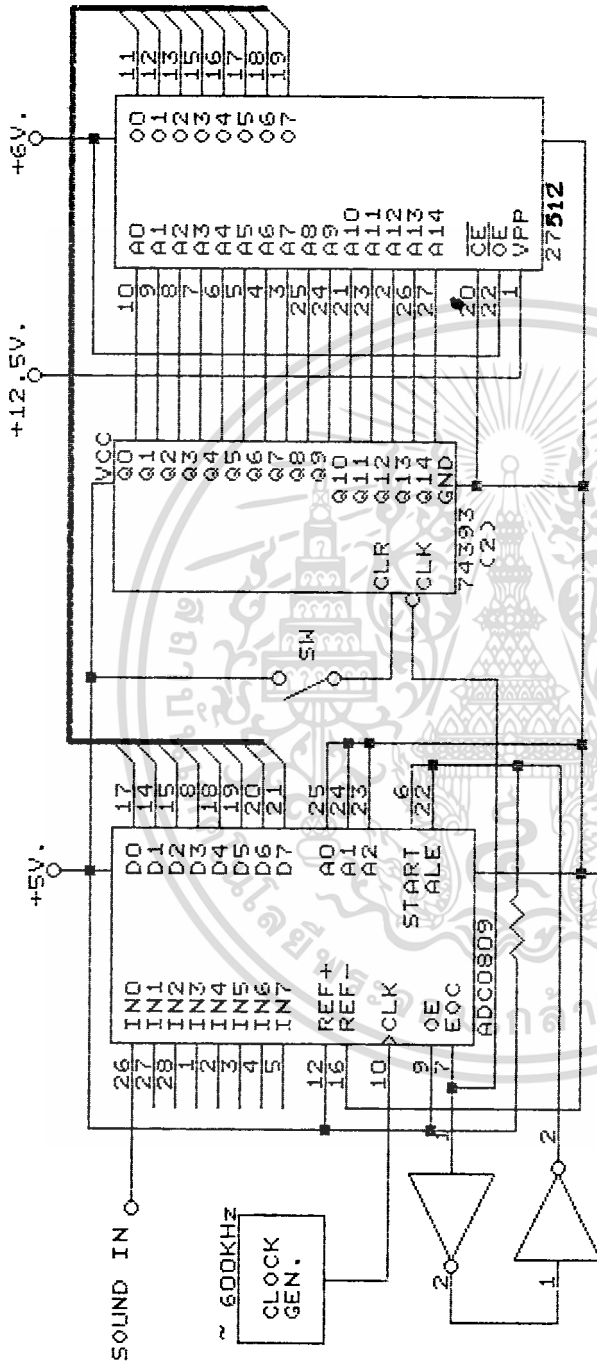
#### 4.5.1 วงจรเปลี่ยนจากอานาลอกเป็นดิจิตอล

ในส่วนที่มีไว้เพื่อเปลี่ยนสัญญาณหรือสัญญาณอานาลอก ให้เป็นสัญญาณดิจิตอล เป็นการทดลองปฏิบัติภายนอก ไม่ได้เป็นโครงสร้างภายในของโครงงานนี้ ในการแปลงจากอานาลอกเป็นดิจิตอล นี้ใช้ไอซีเบอร์ ADC 0809 ซึ่งมีโครงสร้างดังรูปที่ 4.5.1

จากรูปในส่วนของมัลติเพลกเซอร์ ประกอบด้วย 8 อินพุต ของสัญญาณที่เข้ามา ซึ่งการเลือกแต่ละอินพุต จะได้จากการถอดรหัส (DECODE) ตำแหน่งจากขา ADDRESS ซึ่งมี 3 ขา คือ ADDRESS A, ADDRESS B และ ADDRESS C ดังตาราง MULTIPLEXER FUNCTION TABLE ในรูปเดียวกัน

ค่า ADDRESS ที่ใช้เลือกตำแหน่งอินพุตที่ต้องการ จะถูกแลตช์ (LATCH) เข้าไปในชุด DECODER ในสภาวะที่ขา ADDRESS LOAD ENABLE เปลี่ยนจากลอจิกศูนย์เป็นลอจิกหนึ่ง (LOW TO HIGH)

ในส่วนของชุดแปลง A/D จริง ๆ มี 4 ส่วน คือ ชุด 1 CONTROL & TIMING, 2 COMPARATOR, 3 SUCCESSIVE APPROXIMATION REGISTOR และ 4.NETWORK 256 R LADDER



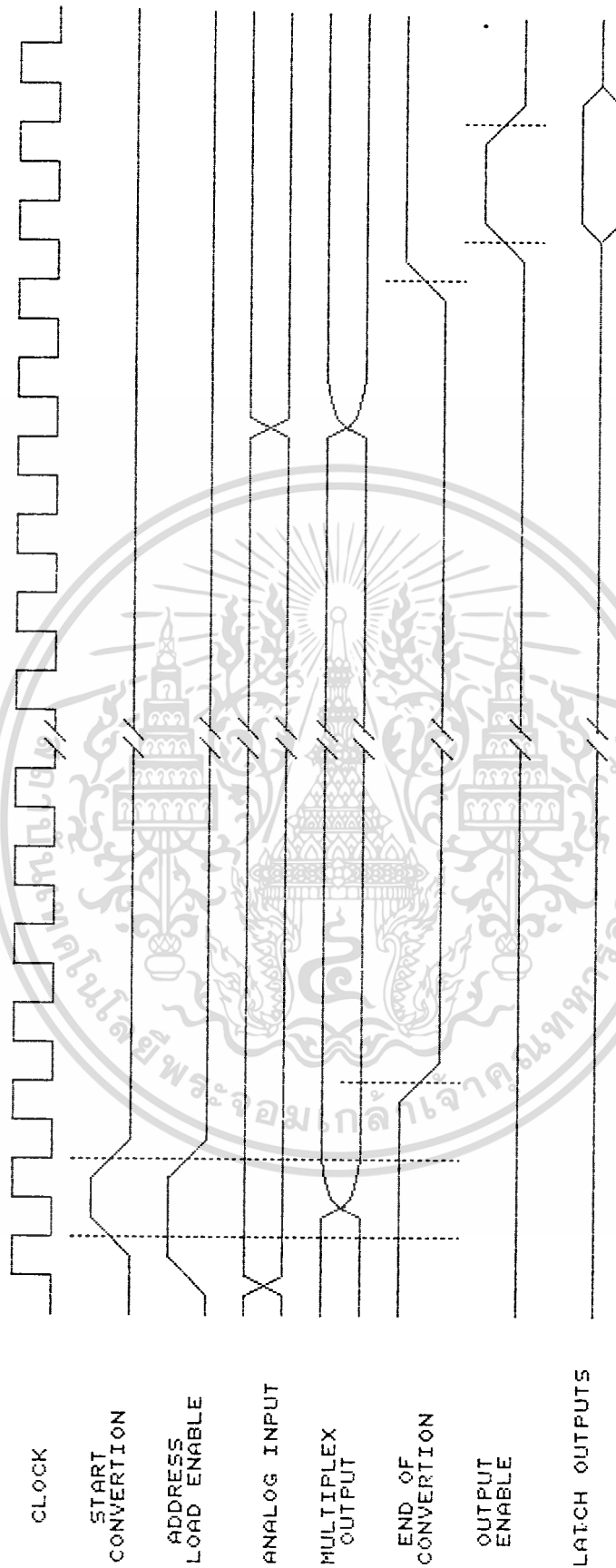
| PIN NAME                                  | OPERATING MODES                                           |                           |
|-------------------------------------------|-----------------------------------------------------------|---------------------------|
|                                           | PROGRAM                                                   | READ                      |
| AD-A14<br>00-07<br>OE<br>CE<br>VPP<br>VCC | ADDRESSES<br>: OUTPUT<br>: OUTPUT ENABLE<br>: CHIP ENABLE | DOUT<br>GND<br>5V.<br>5V. |
|                                           | DIN<br>VCC<br>GND<br>12.5V.<br>6V.                        |                           |

หลักการทำงานทั่วไป

เริ่มต้นเมื่อมีสัญญาณอนาล็อกจากมัลติเพลกเซอร์ เข้าไปที่ COMPARATOR ชุด CONTROL ก็จะควบคุมให้ส่วนของ SAR ส่งค่าแรงดันที่ได้มาจากชุด 256 R LADDER มีค่าเป็น  $V_{ref}/2$  เพื่อไปเปรียบเทียบกับสัญญาณ INPUT ที่เข้ามา ผลที่ได้จาก COMPARATOR จะทำให้ชุด CONTROL รู้ว่าแรงดันที่ส่งไปเปรียบเทียบกับน้อยกว่าหรือมากกว่า  $V_{in}$  สมมติว่าน้อยกว่า ส่วน CONTROL ก็จะควบคุมให้เพิ่มค่าแรงดันเปรียบเทียบกับอีก  $V_{ref}/4$  (รวมเป็น  $V_{ref}/2 + V_{ref}/4$ ) ทั้งนี้ถ้า  $V_{in}$  ต่ำกว่าค่าแรงดันเปรียบเทียบกับ  $V_{ref}/4$  ที่เพิ่มเข้าไปทีหลังจะถูกเปลี่ยนเป็น  $V_{ref}/8$  เข้ามาเพิ่มแทน COMPARATOR ก็จะเปรียบเทียบกับอีกไปเรื่อย ๆ จนครบทุกบิต (Bit) โดยเริ่มจากบิตค่ามาก (MSB) ซึ่งเท่ากับ  $V_{ref}/2$  เป็นบิตแรก ไปหาบิตน้อย (LSB) ผลที่ได้จะเก็บเป็นลักษณะ ไบนารีขนาด 8 บิต ไว้ที่ OUTPUT LATCH

ถ้าดูจาก TIMING DIAGRAM (รูปที่ 4.5.1 ข) จะเห็นว่าขั้นตอนของการทำงานของวงจร A/D เป็นดังนี้

- เริ่มต้นด้วยการ กำหนด ADDRESS เพื่อเลือกอินพุตจาก 8 CHANNEL ก่อน
- ให้ PULSE ALE (ADDRESS LOAD ENABLE)
- ส่ง PULSE START ที่ขอบขาขึ้น (สภาวะจาก LOW เป็น HIGH) ซึ่งจะเป็นการ CLEAR ชุด SAR และเริ่มต้น ทำการเปรียบเทียบ (COMPARE) ที่ขอบขาลง (จาก HIGH เป็น LOW)
- ที่ขา EOC จะเป็น "LOW" ในระหว่างสัญญาณ CLOCK ลูกที่ 0-8 นับการขอบขาขึ้นของ START
- ขณะทำงาน ขา EOC จะเป็น "LOW" และจะเป็น "HIGH" เมื่อสิ้นสุดการทำงาน แสดงว่าได้ทำการ CONVERT สัญญาณอนาล็อกเป็นดิจิตอลเสร็จแล้วใน 1 CONVERSION
- ค่าที่ได้จะเก็บไว้ใน OUTPUT BUFFER แบบ TRI-STATE ถ้าต้องการเอาออกไปใช้ ต้องให้ ขาของ EN เป็น "HIGH"
- ในการทำงานแบบต่อเนื่อง เราจะต่อขา EOC เข้ากับขา START เพื่อให้ทำงานได้เรื่อย ๆ วนลูป



OPERATING SEQUENCE (ADC 0809)

รูปที่ 4.5.1 ข Timing Diagram

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

คุณสมบัติทั่ว ๆ ไปของ ADC 0809

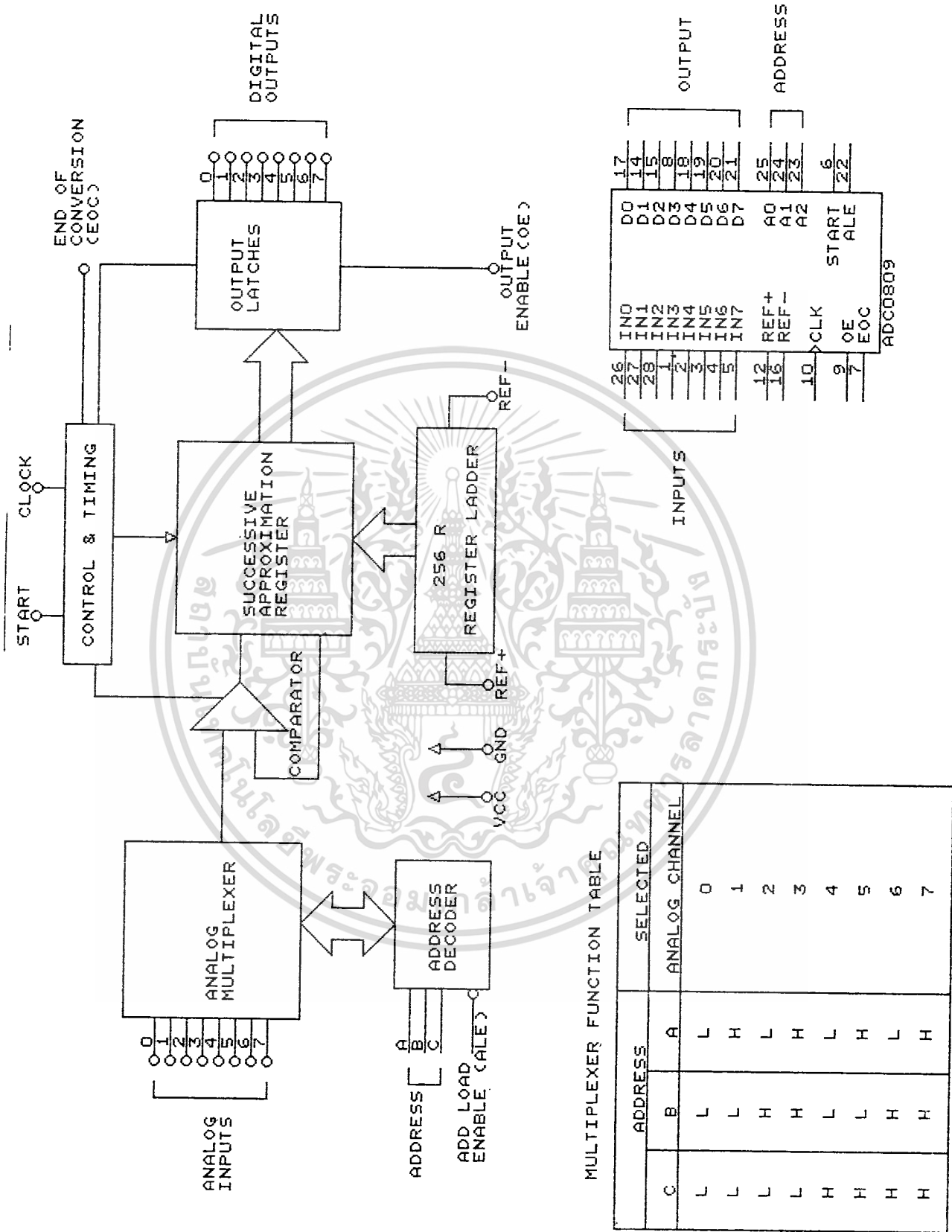
1. สัญญาณ OUTPUT ของ ADC 0809 สามารถขับ LOAD TTL ได้ตัวเดียวเท่านั้น ถ้าต้องการต่อ LOAD มากก็ต้องใช้บัฟเฟอร์ช่วย
2. ความถี่ของสัญญาณนาฬิกา (Clock) ใช้ได้ตั้งแต่ 10 KHz - 1280 KHz
3. Vcc ใช้ได้ในย่าน 4.5 V ถึง 6 V.
4. Vref + ควรมีค่าเท่ากับ Vcc, Vref - ควรมีค่าเท่ากับกราวด์
5. ขา START และ ALE จะสัมพันธ์กับการเลือก Channel Input และการเกิดเสถียรภาพของสัญญาณโดยทั่วไป จะต่อขาทั้งสองนี้เข้าด้วยกัน เพราะภายในของ START มีค่า PROPAGATION DELAY ให้ทำงานหลัง ALE อยู่แล้ว

#### 4.5.2 ชุดหน่วยความจำ (Memory Unit)

เนื่องจากสัญญาณเสียงที่เปลี่ยนเป็นสัญญาณดิจิทัลแล้ว ควรมีหน่วยความจำเก็บสัญญาณนี้ไว้เพื่อจะได้เรียกมาใช้งานได้หลายครั้ง ในที่นี้ใช้อินทรมเป็นตัวแทนข้อมูล ซึ่งดีกว่าแรม (RAM) คือ ถึงแม้ไฟจะดับ ข้อมูลก็ไม่สูญหาย ถ้าเป็นแรม (RAM) ต้องมีไฟป้อนตลอดเวลา อินทรมที่ใช้คือเบอร์ 27512 ซึ่งเป็นอินทรมขนาด 64 กิโลไบต์ สามารถต่อใช้บันทึกข้อมูลร่วมกับ ADC 0809 ดังรูปที่ 4.5.2 โดยต่อพัลส์จากขา EOC ไปเข้าเป็นคล็อก (clock) แก่วงจรนับ (Counter) เพื่อเปลี่ยน ADDRESS ของอินทรมในการทำงาน

- ขา EOC สามารถนำไปต่อเป็นคล็อกให้ COUNTER โดยตรงเพราะขณะมีการทำงานของ A/D EOC จะเปลี่ยนสถานะจาก "HIGH" เป็น "LOW" ซึ่ง 74393 COUNTER ต้องการขอบหลัง

- ขาของข้อมูลที่ต่อโดยตรงจาก A/D เข้า  $O_0-O_7$  ของอินทรมได้โดยตรง
- คล็อกที่ป้อนให้แก่ A/D ใช้ประมาณ 600 KHz
- ในการโปรแกรมอินทรมที่ความถี่สัญญาณนาฬิกาของ A/D ที่ประมาณ 600 KHz นี้ที่ EOC จะได้ความถี่พัลส์ ประมาณ 8.5 KHz นั้นคือสามารถโปรแกรมอินทรม 64 k Byte ได้ประมาณ 7.5 วินาที
- สัญญาณเสียงป้อนเข้า 0 ของมัลติเพลกเซอร์ ในชุด A/D เพราะให้ขาเลือก ADDRESS A,B,C เป็นลอจิกศูนย์หมด
- ขา EOC ที่ป้อนไปเข้า START ของ A/D นั้น ผ่านอินเวอร์เตอร์ (Inverter) 2 ตัว เพื่อเป็นบัฟเฟอร์จากไฟ + Vcc ที่ป้อนเข้าขา START และ ALE เพื่อ START ในช่วงแรกของการทำงาน



รูปที่ 4.5.2 คุณสมบัติ ADC0809

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับครูใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

#### 4.5.3 ชุดเปลี่ยนดิจิตอลเป็นอนาลอก

เมื่อเรานำชุดของเสียงนี้ไปเข้ากับระบบ PABX ก็ต้องมีการแปลงข้อมูลจากดิจิตอลในอีพროมให้กลับเป็นสัญญาณอนาลอกก่อนในที่นี้ใช้วงจร R-2R LADDER ต่อเข้าที่ขา DATA OUTPUT ของอีพროม วงจร R-2R LADDER เป็นการสร้างสัดส่วนของแรงดัน โดยสัมพันธ์กับตัวเลขทางไบนารีที่ได้มาในแต่ละไบต์ (8 บิต) จากอีพโรม

แรงดันที่ได้จะมีค่าตามสมการ

$$V_o = V_{ref} \sum_{i=1}^n \frac{A_i}{2^i}$$

$V_{ref}$  = ในที่นี้เท่ากับ  $V_{cc}$  คือ 5 V

$A_i$  = bit of binary ("0" หรือ "1")

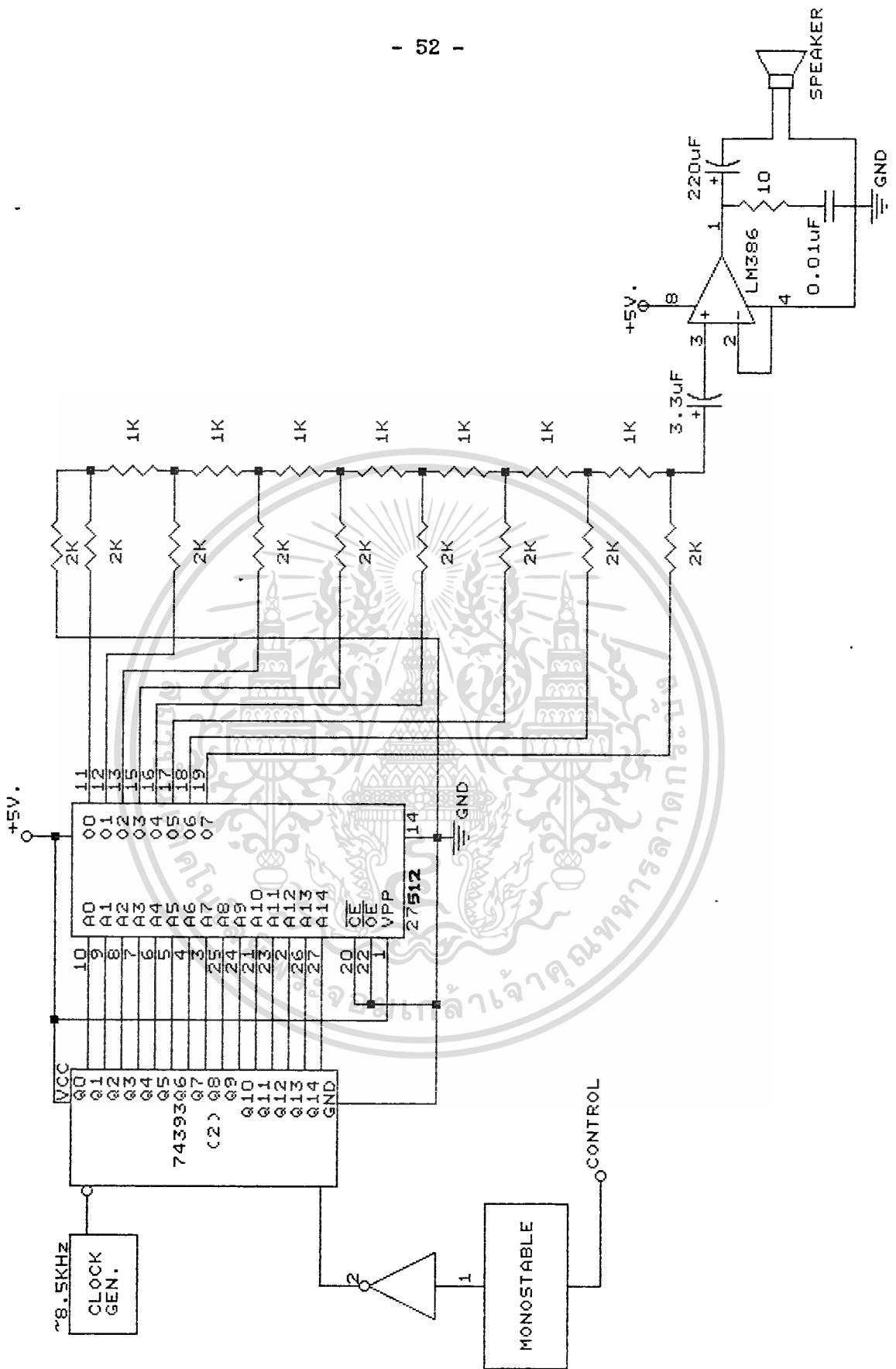
$n$  = จำนวนบิตทั้งหมด (เท่ากับ 8)

$i$  = bit ที่ 1-8 โดย bit ค่ามาก (MSB) เป็น bit ที่ 1

ลักษณะของวงจรเมื่อต่อเข้ากับอีพโรม เพื่อใช้ในระบบแสดงดังรูปที่ 4.5.3

- สัญญาณที่ได้จากวงจร LADDER ต่อเข้าวงจรขยายสัญญาณ เพื่อขยายสัญญาณให้แรง ก่อนนำไปใช้งาน
- ความถี่สัญญาณนาฬิกาของวงจร เพื่ออ่านข้อมูลจากอีพโรม ต้องสัมพันธ์กับเมื่อตอนโปรแกรม ซึ่งประมาณ 8.5 KHz
- เนื่องจากเสียงที่ใช้งานใช้เวลาประมาณ 5 วินาที ดังนั้น จึงมีการควบคุมเพื่อให้วงจรนี้ทำงานแค่ช่วงเวลานี้ จึงทำวงจรโมโนสเตเบิล (MONOSTABLE) มีค่าเวลา 6 วินาที ควบคุมการทำงานนี้

ในการต่อเข้าระบบ PABX เราใช้เฉพาะวงจรส่วนนี้เท่านั้น โดยเมื่อต้องการเสียงพูดเข้าสายโทรศัพท์ ก็จะมีสัญญาณมากระตุ้น (trig) ให้วงจรส่วนนี้ทำงาน โดยอาจจะต่อเข้าที่ขาของโมโนสเตเบิลก็ได้

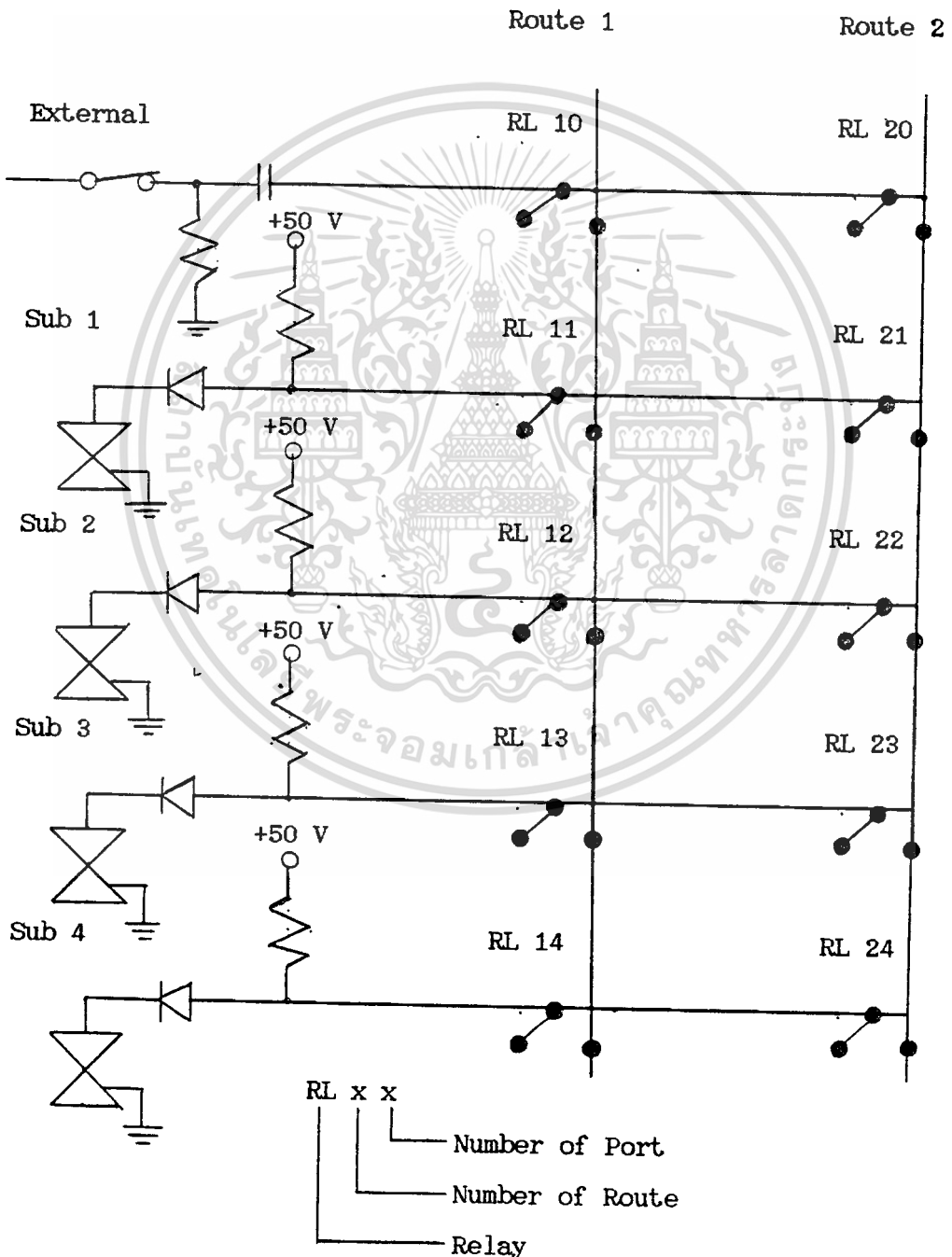


รูปที่ 4.5.3 วงจรเปลี่ยนดิจิตอลเป็นอนาลอก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

#### 4.6 แผงวงจรตัดต่อช่องสัญญาณ (Switching Route Board)

ในการจัดสรรใช้ช่องสัญญาณเพื่อทำการต่อให้คู่สายที่ต้องการสนทนากันนั้น จำเป็นที่จะต้องทำการต่อคู่สายนั้น ๆ เข้าถึงกัน โดยการควบคุมของรีเลย์ โดยในการตัดต่อนั้น จะใช้รีเลย์เป็นอุปกรณ์ช่วย โดยได้รับแรงไฟมาป้อนจากพอร์ตต่าง ๆ ของแต่ละเครื่อง โดยได้อธิบายแล้วในการทำงานของแผงวงจรควบคุมสายภายในและสายภายนอก ซึ่งอุปกรณ์รีเลย์เหล่านี้ ได้นำมาติดตั้งบนบอร์ดนี้ร่วมกัน ซึ่งรายละเอียดสามารถแสดงได้ดังนี้



#### 4.7 ภาคจ่ายไฟ (Power Supply Unit)

ส่วนนี้เป็นส่วนที่จ่ายกำลังงานไฟฟ้าให้กับส่วนอื่น ๆ ทำงานได้ตามปกติ ซึ่งขนาดแรงดันไฟฟ้าต่าง ๆ แบ่งเป็น 4 ชุด คือ

1. แหล่งจ่ายไฟ 5 โวลต์
2. แหล่งจ่ายไฟ 12 โวลต์
3. แหล่งจ่ายไฟ 50 โวลต์
4. แหล่งจ่ายไฟ 150 โวลต์

##### 4.7.1 แหล่งจ่ายไฟ 5 โวลต์

เป็นแหล่งจ่ายไฟ เพื่อใช้ในการเลี้ยงวงจร ซีพียูและไอซีดิจิทัลในภาคต่าง ๆ ในที่นี่ใช้ไอซีเรกูเลเตอร์ (Regulator) เบอร์ MC7805 CK ดังรายละเอียดแสดงไว้ในรูปที่ 4.7 ซึ่งสามารถจ่ายกระแสได้สูงสุด 3 แอมป์

##### 4.7.2 แหล่งจ่ายไฟ 12 โวลต์

เป็นแหล่งจ่ายไฟ เพื่อใช้ในการเลี้ยงวงจรในส่วนของสวิตชิง ซึ่งในเครื่องนี้ใช้ทรานซิสเตอร์ไบพolare ในการตัดต่ออีกทีหนึ่ง โดยแหล่งจ่ายไฟนี้ได้จากหม้อแปลง T2 ในชุด 0-9 โวลต์ ผ่านวงจรบริดจ์เรกติไฟเออร์ ใช้ตัวเก็บประจุ 1000 ไมโครฟาราด กรองสัญญาณที่เอาท์พุท ดังแสดงรายละเอียดในรูปที่ 4.7

##### 4.7.3 แหล่งจ่ายไฟ 50 โวลต์

เป็นแหล่งจ่ายไฟ เพื่อใช้เลี้ยงเครื่องโทรทัศน์ภายในระบบเช่นเดียวกับที่ใช้ในองค์การโทรทัศน์ รายละเอียดของวงจรแสดงในรูปที่ 4.7

##### 4.7.4 แหล่งจ่ายไฟ 150 โวลต์

เป็นแหล่งจ่าย ที่ใช้ในวงจรกำเนิดสัญญาณกริ่ง เพื่อใช้แจ้งให้ผู้ใช้งานว่ามี การเรียกมาจากคู่สายอื่น รายละเอียดของวงจรของส่วนนี้แสดงไว้ในรูปที่ 4.7



#### 4.8 ขั้นตอนการปฏิบัติ (Operating Procedure)

ในการทำเครื่องต้นแบบของ Non-Operator PABX นั้น ประกอบด้วยลำดับขั้นตอนการทำงานต่าง ๆ ซึ่งสามารถอธิบายเป็นขั้น ๆ ได้ดังนี้

4.8.1 การทดลองวงจร เป็นการนำเอาทฤษฎีต่าง ๆ จากการศึกษา มาประยุกต์ใช้การทำงานเป็นวงจรต่าง ๆ ที่เกี่ยวข้องกับโครงงานนี้ โดยทำการทดลองต่อสายและอุปกรณ์บนแผงทดลองดิจิทัล โดยรายละเอียดของวงจรต่าง ๆ ได้อธิบายแล้วในหัวข้อ 4.1 ถึง 4.7 ที่ผ่านมาในขณะทำการทดลองบางครั้งก็ต้องต่อเข้ากับคู่สายขององค์การโทรศัพท์ด้วย

##### 4.8.2 การออกแบบลายวงจร

ในการทำครั้งนี้ได้ใช้คอมพิวเตอร์ มีส่วนร่วมโดยใช้โปรแกรมสำเร็จรูปในการออกแบบลายวงจรต่าง ๆ ซึ่งประกอบด้วยลายวงจรดังนี้

- ลายวงจรควบคุมคู่สายโทรศัพท์ภายใน ดังแสดงในรูปที่ 4.8.1
- ลายวงจรควบคุมคู่สายโทรศัพท์ภายนอก ดังแสดงในรูปที่ 4.8.2
- ลายวงจรกำเนิดสัญญาณโทรศัพท์ ดังแสดงในรูปที่ 4.8.3
- ลายวงจรสังเคราะห์เสียงพูด ดังแสดงในรูปที่ 4.8.4
- ลายวงจรส่วนควบคุมของซีพียู ดังแสดงในรูปที่ 4.8.5

##### 4.8.3 การทำปรีนท์

หลังจากที่ออกแบบของลายวงจร จากหัวข้อ 4.8.2 เรียบร้อยแล้วก็นำแบบนั้นไปถ่ายแบบลงฟิล์มโปร่งแสง ในที่นี้ใช้เทคโนโลยีเกี่ยวกับการถ่ายรูป ในการถ่ายแบบ

เมื่อได้ฟิล์มลายวงจร ก็นำมาถ่ายลายลงบนแผ่นปรีนท์ ในการทำของโครงงานนี้ใช้วิธีการของโฟโตรีซิส (Photo Resis) ใช้ฟิล์มแบบโพสิทีฟ (Positive) เมื่อทำการถ่ายแบบเสร็จก็ล้างด้วยน้ำละลายโซดาไฟ จากนั้นก็นำเอาแผ่นปรีนท์ ที่มีแบบลายวงจรแล้วไปทำการกัดลอกลายในกรดกัดปรีนท์จนเสร็จสมบูรณ์ ก็นำมาเจาะรูเพื่อทำการติดตั้งอุปกรณ์ต่อไป

##### 4.8.4 การประกอบวงจร

เมื่อทำปรีนท์เรียบร้อยแล้วก็นำเอาอุปกรณ์มาประกอบวงจรที่ออกแบบไว้และทำการเชื่อมต่อบอร์ดต่าง ๆ เข้าด้วยกัน ในเครื่อง Non-OPERATOR PABX นี้ใช้การเชื่อมต่อโดยใช้สายไฟเชื่อมต่อโดยรายละเอียดตำแหน่งของสัญญาณต่าง ๆ ของแต่ละบอร์ดแสดงไว้ดังนี้

บอร์ดซีพียูดังรูปที่ 4.8.6

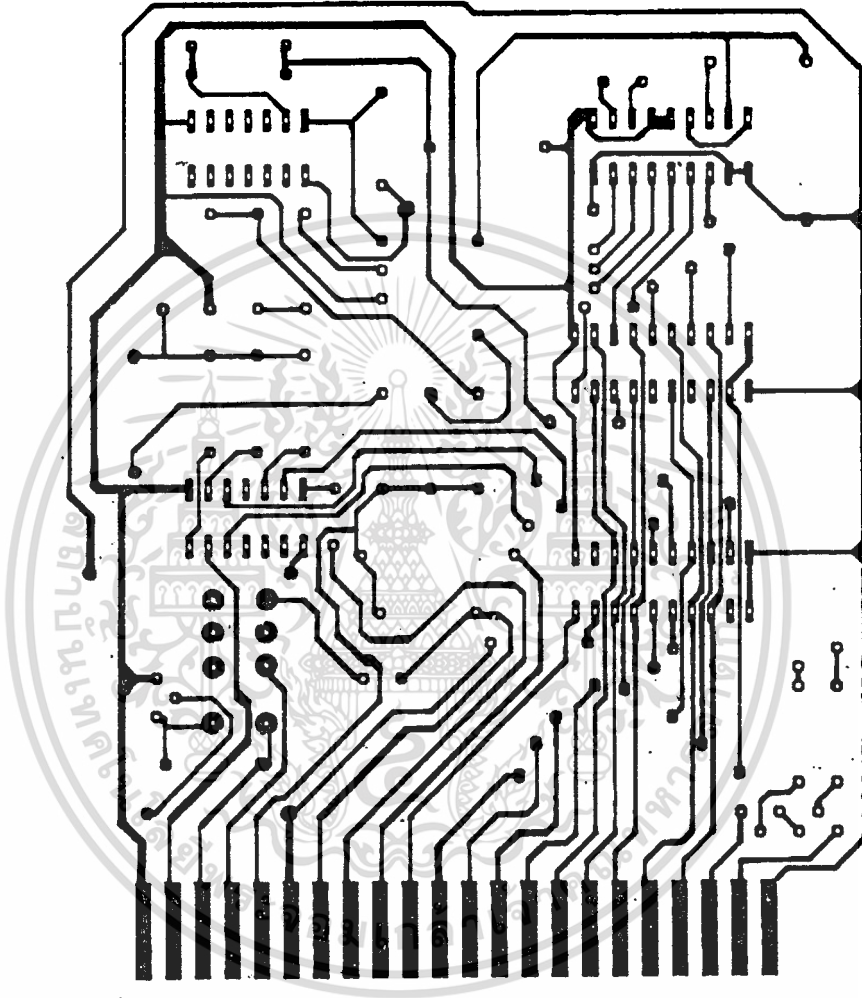
บอร์ดควบคุมสายภายในดังรูปที่ 4.8.7

บอร์ดควบคุมสายภายนอกดังรูปที่ 4.8.8

บอร์ดควบคุมช่องสัญญาณดังรูปที่ 4.8.9

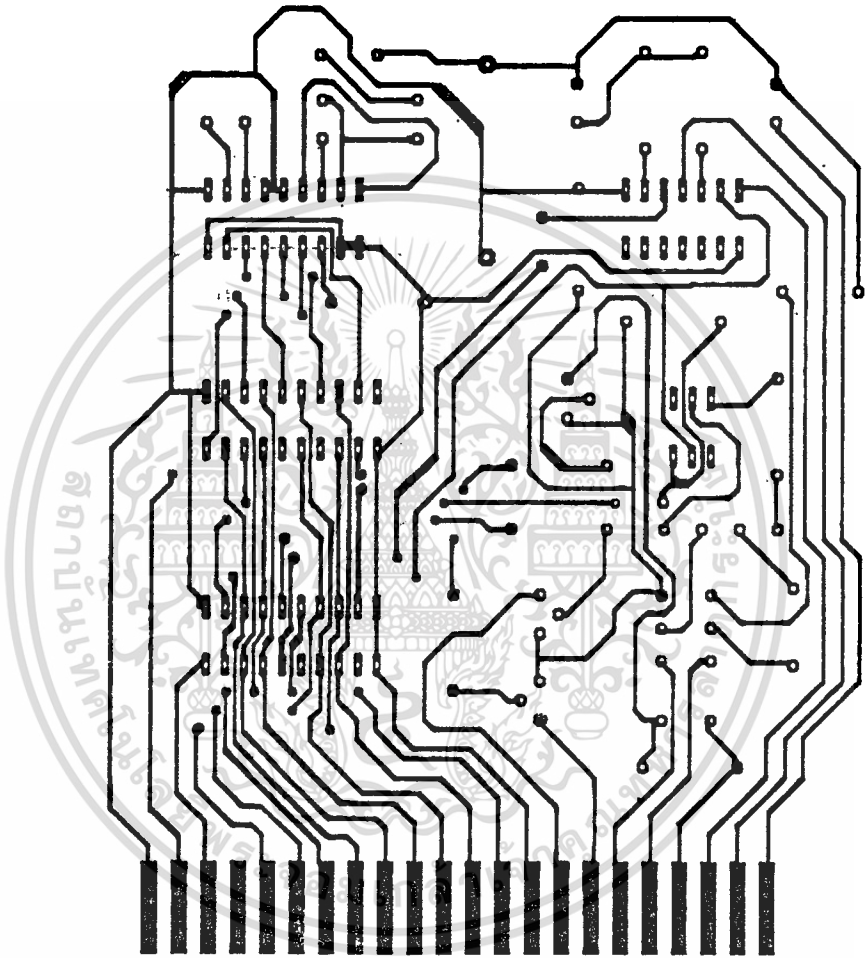
บอร์ดกำเนิดสัญญาณโทรศัพท์ดังรูปที่ 4.8.10

บอร์ดสังเคราะห์เสียงพูดดังรูปที่ 4.8.11



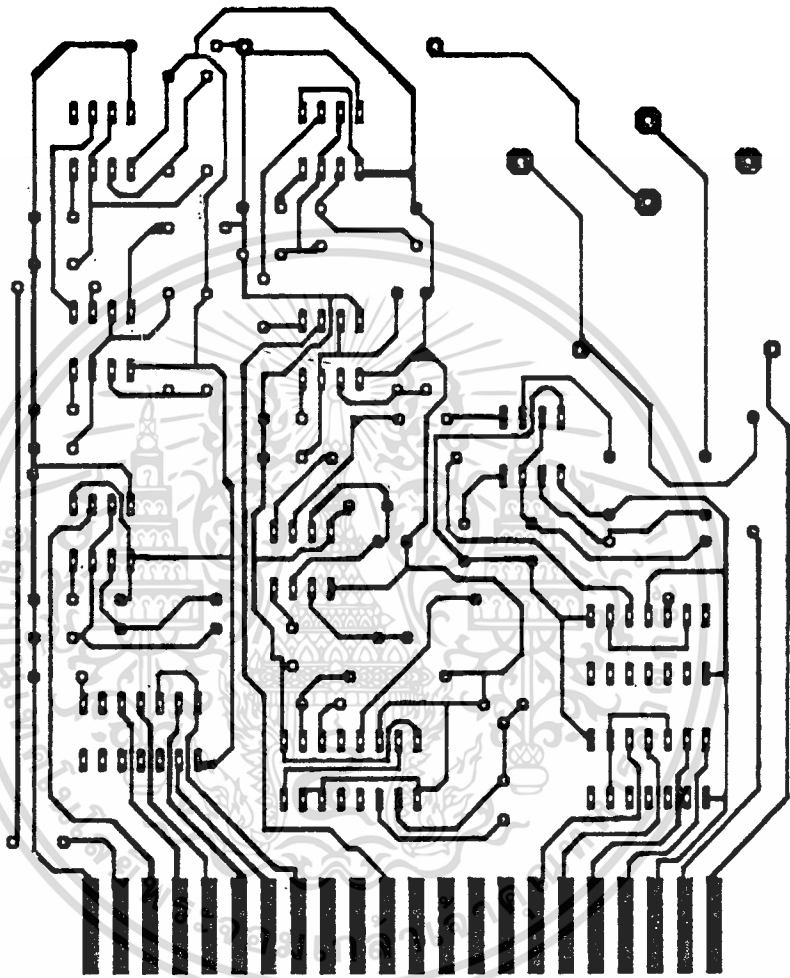
รูปที่ 4.8.1 ลายวงจรควบคุมคู่สายโทรศัพท์ภายใน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



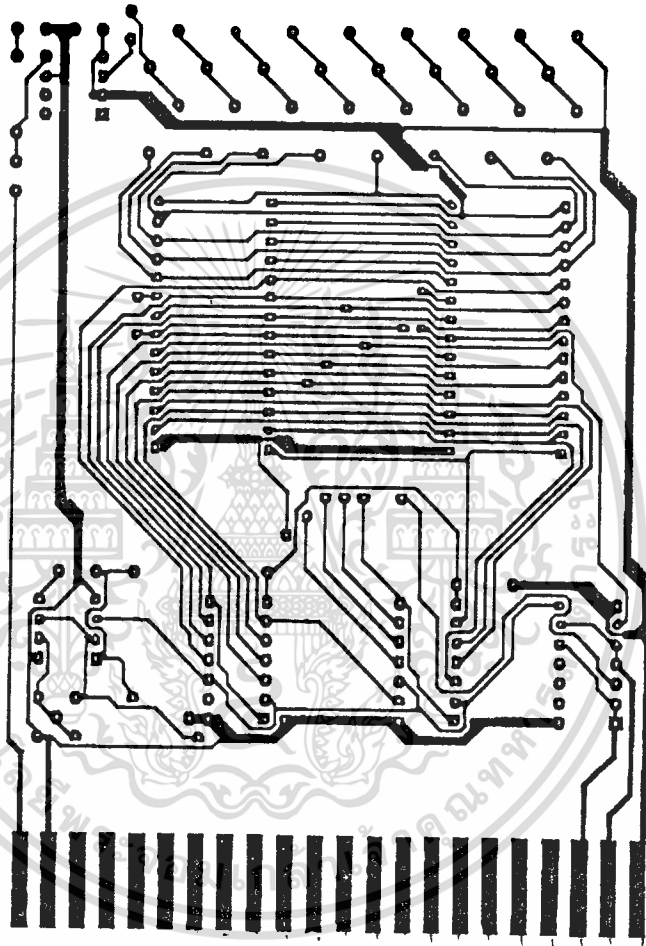
รูปที่ 4.8.2 ลายวงจรควบคุมตู้สายโทรทัศน์ภายนอก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



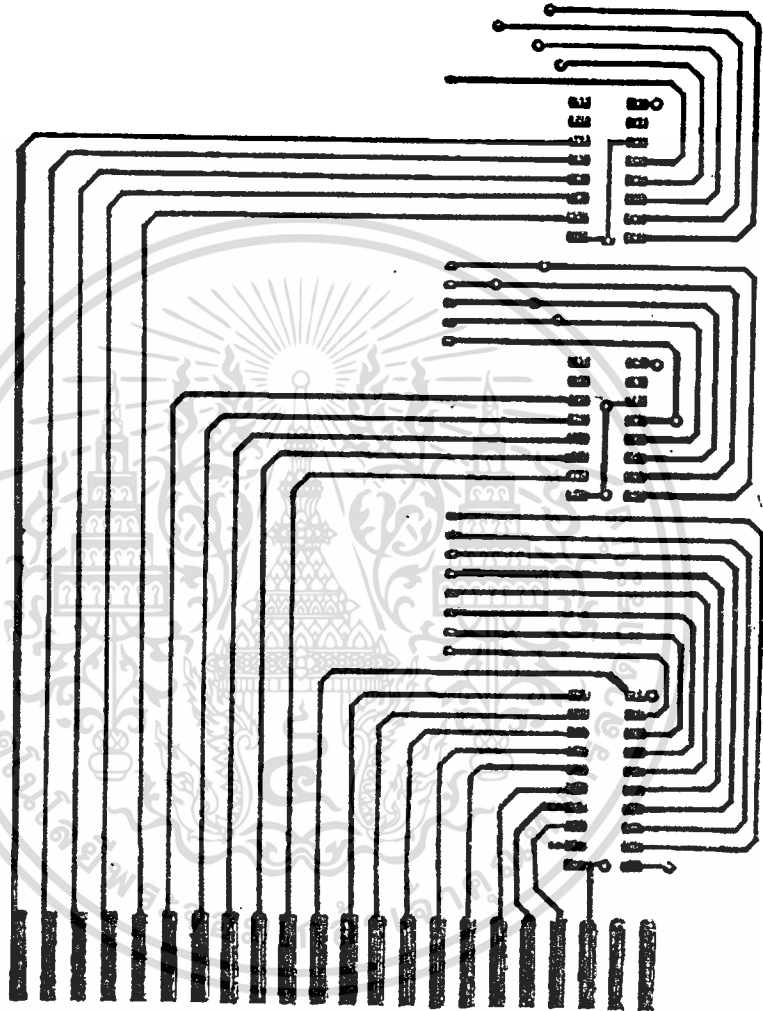
รูปที่ 4.8.3 ลายวงจรกำเนิดสัญญาณโทรทัศน์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.8.4 ลายวงจรสังเคราะห์เสียงพูด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.8.5 ลายวงจรส่วนควบคุมของวิทยุ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

| <u>PIN</u> | <u>DESCRIPTION</u>  |
|------------|---------------------|
| A          | OUT DECODE NUMBER 4 |
| B          | OUT DECODE NUMBER 3 |
| C          | OUT DECODE NUMBER 2 |
| D          | OUT DECODE NUMBER 1 |
| E          | OUT DECODE NUMBER 0 |
| F          | IN DECODE NUMBER 4  |
| H          | IN DECODE NUMBER 3  |
| J          | IN DECODE NUMBER 2  |
| K          | IN DECODE NUMBER 1  |
| L          | IN DECODE NUMBER 0  |
| M          | GROUND              |
| N          | DATA NUMBER 7       |
| P          | DATA NUMBER 6       |
| R          | DATA NUMBER 5       |
| S          | DATA NUMBER 4       |
| T          | DATA NUMBER 3       |
| U          | DATA NUMBER 2       |
| V          | DATA NUMBER 1       |
| W          | DATA NUMBER 0       |
| X          | + 5 V. SUPPLY       |
| Y          | SPARE               |
| Z          | SPARE               |

รูปที่ 4.8.6 รายละเอียดตำแหน่งสัญญาณของบอร์ดวินัย

| <u>PIN</u> | <u>DESCRIPTION</u> |
|------------|--------------------|
| A          | GROUND             |
| B          | DIAL TONE IN       |
| C          | +12 V. SUPPLY      |
| D          | RINGING IN         |
| E          | SWITCHING          |
| F          | BUSY TONE IN       |
| H          | TO SUB             |
| J          | RINGBACK TONE IN   |
| K          | + 50 V. SUPPLY     |
| L          | OUT DECODE         |
| M          | IN DECODE          |
| N          | DATA NUMBER 0      |
| P          | DATA NUMBER 1      |
| R          | DATA NUMBER 2      |
| S          | DATA NUMBER 3      |
| T          | DATA NUMBER 4      |
| U          | DATA NUMBER 5      |
| V          | DATA NUMBER 6      |
| W          | DATA NUMBER 7      |
| X          | ROUTE NUMBER 1     |
| Y          | ROUTE NUMBER 2     |
| Z          | + 5 V. SUPPLY      |

รูปที่ 4.8.7 รายละเอียดตำแหน่งสัญญาณของบอร์ดควบคุมสายภายใน

| <u>PIN</u> | <u>DESCRIPTION</u> |
|------------|--------------------|
| A          | GROUND             |
| B          | IN DECODE          |
| C          | OUT DECODE         |
| D          | SPARE              |
| E          | DATA NUMBER 0      |
| F          | DATA NUMBER 1      |
| H          | DATA NUMBER 2      |
| J          | DATA NUMBER 3      |
| K          | DATA NUMBER 4      |
| L          | DATA NUMBER 5      |
| M          | DATA NUMBER 6      |
| N          | DATA NUMBER 7      |
| P          | SOUND IN           |
| R          | + 5 V. SUPPLY      |
| S          | ROUTE NUMBER 2     |
| T          | ROUTE NUMBER 1     |
| U          | EXT SUB            |
| V          | EXT SUB            |
| W          | + 12 V. SUPPLY     |
| X          | BUSY TONE IN       |
| Y          | RINGBACK TONE IN   |
| Z          | SWITCHING          |

รูปที่ 4.8.8 รายละเอียดตำแหน่งสัญญาณบอร์ดควบคุมสายนอก

| <u>PIN</u> | <u>DESCRIPTION</u> |
|------------|--------------------|
| A          | GROUND             |
| B          | TR D5 S1           |
| C          | TR D5 S2           |
| D          | TR D5 S3           |
| E          | TR D5 S4           |
| F          | TR D2 EXT          |
| H          | ROUTE NUMBER 2     |
| J          | LINE OFF EXT       |
| K          | SUB NUMBER 1       |
| L          | SUB NUMBER 2       |
| M          | SUB NUMBER 3       |
| N          | SUB NUMBER 4       |
| P          | EXTERNAL SUB       |
| R          | TR D6 S1           |
| S          | TR D6 S2           |
| T          | TR D6 S3           |
| U          | TR D6 S4           |
| V          | TR D3 EXT          |
| W          | + 12 V. SUPPLY     |
| X          | SPARE              |
| Y          | SPARE              |
| Z          | ROUTE NUMBER 1     |

รูปที่ 4.8.9 รายละเอียดตำแหน่งสัญญาณบอร์ดควบคุมช่องสัญญาณ

| <u>PIN</u> | <u>DESCRIPTION</u> |
|------------|--------------------|
| A          | GROUND             |
| B          | BUSY TONE          |
| C          | DIAL TONE          |
| D          | CONTROL R2         |
| E          | ROUTE NUMBER 2     |
| F          | ROUTE NUMBER 1     |
| H          | CONTROL R1         |
| J          | SOUND IN           |
| K          | SPARE              |
| L          | SPARE              |
| M          | RINGBACK TONE      |
| N          | SPARE              |
| P          | SPARE              |
| R          | SPARE              |
| S          | SPARE              |
| T          | DATA NUMBER 4      |
| U          | DATA NUMBER 3      |
| V          | DATA NUMBER 2      |
| W          | DATA NUMBER 1      |
| X          | + 5 V. SUPPLY      |
| Y          | RINGING            |
| Z          | + 150 V. SUPPLY    |

รูปที่ 4.8.10 รายละเอียดตำแหน่งสัญญาณของบอร์ดกำเนิดสัญญาณโทรศัพท์

| <u>PIN</u> | <u>DESCRIPTION</u> |
|------------|--------------------|
| A          | OUT PUT SOUND      |
| B          | + 5 V. SUPPLY      |
| C          | SPARE              |
| D          | SPARE              |
| E          | SPARE              |
| F          | SPARE              |
| H          | SPARE              |
| J          | SPARE              |
| K          | SPARE              |
| L          | SPARE              |
| M          | SPARE              |
| N          | SPARE              |
| P          | SPARE              |
| R          | SPARE              |
| S          | SPARE              |
| T          | SPARE              |
| U          | SPARE              |
| V          | SPARE              |
| W          | SPARE              |
| X          | VOICE 2            |
| Y          | VOICE 1            |
| Z          | GROUND             |

รูปที่ 4.8.11 รายละเอียดตำแหน่งสัญญาณบอร์ดสังเคราะห์เสียง

## บทที่ 5

### โพล์ชาร์ตและการทำงานของโปรแกรม

#### 5.1 การทำงานของโปรแกรม

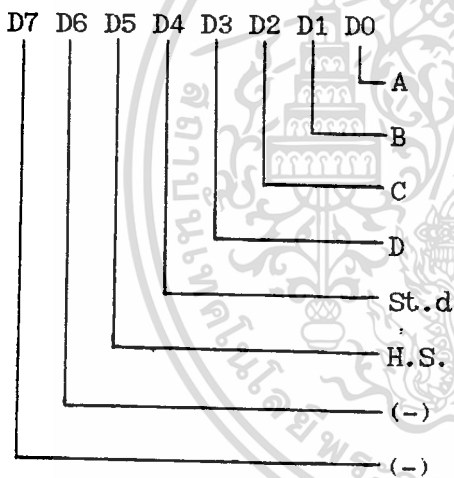
จากฮาร์ดแวร์ในบทที่ 4 สามารถที่จะเขียนรายละเอียดของสัญญาณที่ตำแหน่งของพอร์ตต่าง ๆ ได้ ทั้งพอร์ตสายภายใน และสายภายนอกได้ดังต่อไปนี้

##### ตำแหน่งพอร์ต

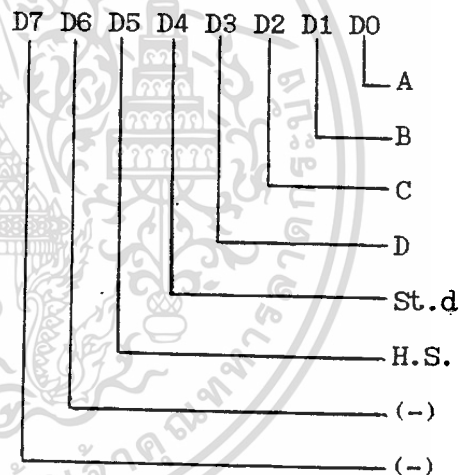
|          |         |                         |
|----------|---------|-------------------------|
| เบอร์ 00 | หมายถึง | คู่สายภายนอก            |
| เบอร์ 01 | หมายถึง | คู่สายภายในเครื่องที่ 1 |
| เบอร์ 02 | หมายถึง | คู่สายภายในเครื่องที่ 2 |
| เบอร์ 03 | หมายถึง | คู่สายภายในเครื่องที่ 3 |
| เบอร์ 04 | หมายถึง | คู่สายภายในเครื่องที่ 4 |

##### รายละเอียดพอร์ต

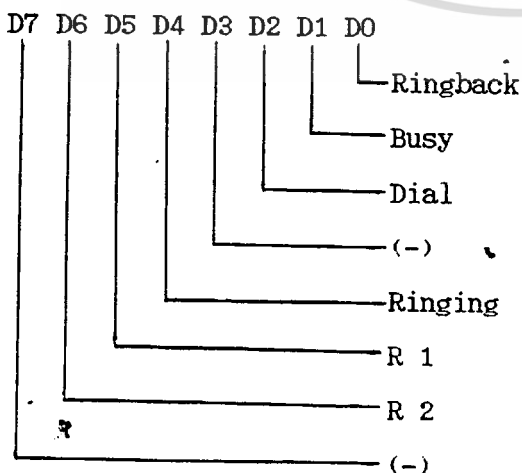
###### อินพุตพอร์ตคู่สายภายใน



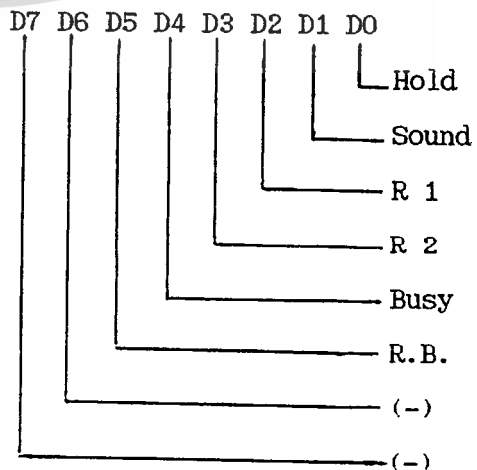
###### อินพุตพอร์ตคู่สายภายนอก



###### เอาต์พุตพอร์ตคู่สายภายใน



###### เอาต์พุตพอร์ตคู่สายภายนอก



ไฟล์ชาร์ตแสดงการทำงาน จะแบ่งเป็น 2 ส่วน คือ

- ไฟล์ชาร์ตส่วนติดต่อภายนอก (MASTER)
- ไฟล์ชาร์ตส่วนติดต่อภายใน (SUB)

การทำงานของไฟล์ชาร์ตส่วนติดต่อภายนอก ใช้ในการควบคุมการติดต่อของการเรียกจากสายภายนอก เพื่อติดต่อกับสายภายในหรือการติดต่อของสายภายในออกสู่คู่สายภายนอก และการทำงานของไฟล์ชาร์ต ส่วนติดต่อภายในจะใช้ควบคุมการทำงานของคู่สายภายใน เพื่อติดต่อกับสายภายในด้วยกันเอง หรือการติดต่อกับสายภายนอกขององค์การ โดยในการทำงานนี้จะเป็นลักษณะของการตรวจสอบรหัสของเครื่องนั้นก่อนแล้วที่พีชียจะทำการส่งสัญญาณไปควบคุมตามลักษณะของการใช้โทรศัพท์แบบปกติ ในการทำงานนี้พีชียจะทำการบริการคู่สายภายนอกสภาวะหนึ่งตามรหัสแล้วเก็บค่ารหัสใหม่ไว้ จากนั้นก็ทำการบริการคู่สายภายในเครื่องที่ 1 ตามรหัสเช่นเดียวกับสายนอกแล้วทำเครื่องที่ 2 วนไปเรื่อย ๆ แล้วกลับไปทำสายนอกใหม่ต่อจากเดิมอีกในลักษณะของมัลติเพล็กซ์

#### 5.2 ไฟล์ชาร์ตการทำงานส่วนติดต่อภายนอก

เริ่มต้นการทำงานของโปรแกรม จะทำการรีเซตพอร์ทและบัฟเฟอร์ต่าง ๆ ให้หมดก่อน เพื่อเป็นการเตรียมพร้อมในการที่จะรับสถานะใหม่ต่อไป แล้วจึงเริ่มต้นทำการอ่านและตรวจสอบรหัสแล้วปฏิบัติตามรายละเอียดดังนี้

โค้ด "00" ที่พีชียจะทำการตรวจสอบสัญญาณ HAND SET จากสายภายนอก ซึ่งได้มาจากวงจรตรวจจับสัญญาณเสียงกริ่ง ถ้ามีก็จะทำการ HOLD สายนอกไว้ และไปควบคุมวงจรตอบรับเสียง เพื่อบอกให้ผู้เรียกกดหมายเลขที่ต้องการต่อมา พร้อมกับเซตโค้ดเป็น "01" แล้วไปบริการสายภายในเครื่องที่ 1 ต่อไป แต่ถ้าไม่มีสัญญาณกริ่งเข้ามาที่พีชียก็จะไปบริการสายภายในเครื่องที่หนึ่งเลย

โค้ด "01" ที่พีชียจะทำการตรวจสอบว่าสายภายนอกกดหมายเลขที่ต้องการต่อหรือยัง โดยตรวจสอบสัญญาณ St.d จากวงจร DTMF DECODER ถ้ามีการกดหมายเลขเข้ามาแล้วก็จะทำการหยุดการส่งเสียงตอบรับและอ่านหมายเลขที่ผู้เรียกกดเข้ามานั้น พร้อมกับตรวจสอบสถานะของสายภายในนั้นว่างหรือไม่ ถ้าว่างก็จะทำการเซตโค้ดเป็น 05, 06, 07 หรือ 08 แล้วแต่ว่าสายภายในนั้นตรงกับเครื่องใด แต่ถ้าสายไม่ว่างก็จะเซตโค้ดเป็น "15" ซึ่งเป็นการเตือนให้สายภายในว่างสาย เพื่อให้สายภายนอกทำการติดต่อก่อน แต่ถ้ายังไม่มีหมายเลขเข้ามา ก็จะไปตรวจสอบเคาน์เตอร์ เพื่อใช้ในการนับที่ผู้เรียกไม่เข้าใจในการติดต่อ โดยเมื่อเคาน์เตอร์ครบเวลาที่ตั้งไว้แล้วก็จะทำการต่อเข้ากับคู่สายภายในเครื่องที่ 1 เลข โดยเซตโค้ดเป็น "05"

โค้ด "02" เป็นการบอกให้ทราบว่าขณะนี้สายภายนอกกำลังถูกใช้อยู่ในลักษณะของสายภายในต้องการต่อออกใช้สายภายนอก เมื่อซึ่งผู้ตรวจสอบโค้ดนี้ก็จะทำการผ่านไปบริการสายภายในเครื่องที่ 1 เลข

โค้ด "05", "06", "07", หรือ "08" เป็นการบอกให้ซึ่งผู้ทำการต่อคู่สายภายนอกให้กับโทรศัพท์ภายในเครื่องที่ 1 หรือ 2, 3 หรือ 4 แล้วแต่โค้ดที่เป็นคือถ้าเป็น "05" ก็จะต่อให้กับเครื่องที่ 1 เรียงไปตามลำดับ ในการทำการต่อสายก็จะให้สัญญาณกริ่งไปที่เครื่องภายใน และสัญญาณเรียกกลับไปที่คู่สายภายนอก เพื่อจะรอการมายกหูของคู่สายภายใน ถ้าสายภายในยกหูแล้วก็จะทำการเซตโค้ดเป็น "09", "0A", "0B" หรือ "0C" ขึ้นอยู่กับเครื่องสายภายในเครื่องใด ถ้ายังไม่มีการยกหูก็จะไปบริการสายภายในต่อไป

โค้ดเป็น "09", "0A", "0B" หรือ "0C" เป็นการต่อสายภายนอกเข้ากับสายภายในแล้วตรวจสอบการวางหูของสายภายในคือ ทำการสนทนาหมดแล้ว โดยการตรวจสอบที่ Hand Set ของสายภายใน ถ้าวางหูแล้วก็จะทำการเคลียร์บัฟเฟอร์ของสายภายนอก และสายในด้วย แต่ถ้ายังไม่วางก็จะทำการตรวจสอบว่ามีการกดหมายเลขเพื่อทำการโอนสายไปยังคู่สายภายในเครื่องอื่นอีกหรือไม่ ถ้ามีการกดหมายเลขก็จะตรวจสอบและทำการโอนให้ ถ้าไม่มีการกดโอนหมายเลข ก็จะผ่านไปบริการคู่สายอื่นต่อไป

โค้ดอื่น ๆ นอกเหนือจากนี้ CPU ก็จะทำการเคลียร์บัฟเฟอร์ให้เป็น "00" แล้วทำการเคลียร์บัฟเฟอร์ที่เก็บสถานะอื่น ๆ ด้วยได้แก่ ROUTE BUFFER การ HOLD LINE และ OFF RELAY ที่ใช้ควบคุม ROUTE ด้วย

### 5.3 โพล์ชาร์ตการทำงานส่วนติดต่อภายใน

การทำงานของโปรแกรมส่วนควบคุมโทรศัพท์คู่สายภายใน ทั้ง 4 เครื่อง จะมีลักษณะการทำงานเหมือนกัน ดังนั้นในที่นี้จะขออธิบายเพียงการทำงานของโปรแกรมควบคุมคู่สายภายในเครื่องที่ 1 เท่านั้น ในการทำงานซึ่งผู้จะทำการตรวจสอบโค้ดของเครื่องก่อนแล้วจึงปฏิบัติต่อไปดังรายละเอียดต่อไปนี้

โค้ด "00" เป็นการตรวจสอบการยกหูของคู่สายภายในเพื่อเป็นการเริ่มต้นใช้งานโทรศัพท์โดยตรวจสอบจาก Hand Set บิตจากอินพุตพอร์ตถ้ามีการยกหูก็จะให้สัญญาณได้อัลโตนไป เพื่อเป็นการบอกให้ผู้โทรศัพท์ทำการกดหมายเลขเพื่อระบุคู่สายที่ต้องการจะติดต่อ หลังจากนั้นจะเซตโค้ดเป็น "01" แล้วไปบริการแก่คู่สายภายในเครื่องอื่นต่อไป แต่ถ้ายังไม่มีการยกหูก็จะไม่ทำอะไรก็จะผ่านไปบริการคู่สายอื่นต่อไปเลย

โค้ด "01" เป็นการตรวจสอบการกดหมายเลข โดยการตรวจสอบสัญญาณ St.d ถ้ามีการกดหมายเลขแล้ว ก็จะทำการปิดสัญญาณได้อัลโตนและทำการอ่านข้อมูลตัวเลขที่กดนั้นมาทำการวิเคราะห์ว่าต้องการจะทำการติดต่อกับสายภายนอก หรือสายภายใน ได้ดังนี้

- หมายเลข "0" เป็นการที่สายภายในต้องการใช้คู่สายภายนอก ในการนี้ซีพียู จะทำการตรวจสอบสถานะของสายนอกว่าว่างหรือไม่ ถ้าไม่ว่างก็จะให้สัญญาณ ไม่ว่าง (BUSY) แก่คู่สายภายในที่ต้องการใช้นั้น แต่ถ้าว่างก็จะทำการตรวจสอบสถานะของ ROUTE อีกต่อไป ถ้าไม่มี ROUTE ใดว่างเลยก็จะให้สัญญาณ ไม่ว่างอีก แต่ถ้ามี ROUTE ว่าง ก็จะทำการจองไว้แล้วเซตโค้ดเป็น "03" หลังจากนั้นก็ไปบริการเครื่องที่ 2 ต่อไป
- หมายเลขภายในอื่น ก็จะทำการตรวจสอบสถานะของเครื่องนั้นก่อนเช่นเดียวกับ หมายเลข "0" หลังจากนั้นก็จะตรวจสอบสถานะ ROUTE อีก ถ้าว่างก็จะทำการเซตโค้ดเป็น 06, 07 หรือ 08 ตามลำดับกับหมายเลขภายในที่กดนั้น แล้วก็ไปบริการเครื่องที่ 2 ต่อไป

แต่ถ้ายังไม่มีการกดหมายเลขเข้ามาก็จะตรวจสอบว่า คู่สายว่างหรือไม่ถ้ายัง ก็จะไปทำส่วนเครื่องที่ 2 แต่ถ้าว่างแล้วก็จะทำการเคลียร์บัฟเฟอร์ ในกรณี เช่น ยกหูแล้ว เปลี่ยนใจไม่ใช่ก็จะว่างแทน

โค้ด "02" เป็นการบริการสัญญาณไม่ว่าง ให้กับคู่สาย เนื่องจากไม่สามารถ ทำการติดต่อได้อาจเนื่องจาก สายที่เรียกไปไม่ว่าง หรือ ROUTE ไม่ว่างเป็นต้น ดังนั้น ซีพียูจึงรอตรวจสอบการวางหูเท่านั้น โดยถ้าวางหูแล้วก็จะปิดสัญญาณไม่ว่าง และทำการ เคลียร์บัฟเฟอร์และเซตโค้ดเป็น "00" ต่อไป

โค้ด "03" เป็นการต่อช่องสัญญาณของคู่สายภายในกับคู่สายภายนอก เพื่อใช้ บริการขององค์การโทรศัพท์ต่อไปเมื่อทำการต่อเสร็จแล้วก็จะเซตโค้ดให้เป็น "04" แล้วไป บริการคู่สายภายในเครื่องอื่นต่อไป

โค้ด "04" เป็นการตรวจสอบการเลิกใช้สายภายนอก โดยการตรวจสอบที่ HAND SET BIT ถ้ามีการวางหูของคู่สายภายในแล้ว ก็จะทำการ OFF HOLD สายภายนอก และเคลียร์บัฟเฟอร์ทุกตัว พร้อมกับเซตโค้ดตัวเองและสายนอกเป็น "00" แล้วไปบริการ เครื่องที่ 2 ต่อไป ถ้าไม่ว่างก็จะตรวจสอบว่ามีการกดหมายเลขเพื่อเป็นการโอนสายหรือไม่อีกต่อไป

ในการบริการโอนสายนั้น ซีพียูจะทำการตรวจสอบสถานะของหมายเลขเครื่อง ที่ต้องการโอนก่อน ถ้าว่างก็จะทำการ HOLD สายนอกเอาไว้ก่อนแล้วทำการบริการเรียก คู่สายภายในที่จะโอนนั้น โดยสัญญาณกริ่งไปยังเครื่องนั้น แต่ถ้าคู่สายนั้นไม่ว่างก็จะทำการให้ บริการเตือนคู่สายให้วางสายก่อนเพื่อรับสายนอก โดยการควบคุมวงจรเสียงพูด "กรุณาวาง หูก่อนนะจะมีสายภายนอกเข้าค่ะ" ทำงานหลังจากนั้นก็รอการวางหูเพื่อบริการเรียกต่อไป

โค้ด "06", "07" หรือ "08" เป็นการบริการติดต่อกับสายภายในกับคู่สายภายในด้วยกันเอง โดย

โค้ด "06" เป็นการติดต่อบริการระหว่างคู่สายภายในเครื่องที่ 1 กับเครื่องที่ 2 ในการนี้เครื่องที่ 1 จะได้รับสัญญาณเรียกกลับ และเครื่องที่ 2 จะได้รับสัญญาณกริ่งซึ่งผู้ที่จะตรวจสอบการยกหูของเครื่องที่ 2 ก็จะตรวจสอบว่าเครื่องที่ 1 วางหูหรือไม่ เช่นในการนี้ที่รอนานแล้ววางหู ก็จะมีการปิดสัญญาณต่าง ๆ เช่นกันแล้วเคลียร์รับเฟอร์ หลังจากนั้นก็ไปบริการเครื่องอื่นต่อไป ถ้าทำการต่อได้แล้วก็จะเซตโค้ดตัวเอง เป็น "0A"

โค้ด "07" ก็ทำงานเช่นเดียวกับโค้ด "06" แต่เป็นการติดต่อระหว่างคู่สายภายในเครื่องที่ 1 กับเครื่องที่ 3 แทนและเซตโค้ดเป็น "0B"

โค้ด "08" ก็ทำงานเช่นเดียวกันกับโค้ด "06" แต่เป็นการติดต่อระหว่างคู่สายภายในเครื่องที่ 1 กับเครื่องที่ 4 แทน และเซตโค้ดเป็น "0C"

โค้ด "0A" เป็นการตรวจสอบการวางหูหลังจากเลิกสนทนาแล้ว ระหว่างคู่สายภายในเครื่องที่ 1 กับเครื่องที่ 2 ถ้าวางหูแล้วก็จะทำการเคลียร์รับเฟอร์ทุกส่วน โดยถ้า 1 วางก่อน จะให้สัญญาณไม่ว่างกับ 2 เพื่อทำการวางหูต่อไป แต่ถ้าเครื่อง 2 วางก่อนก็จะให้สัญญาณไม่ว่างกับเครื่อง 1 แทนในการให้สัญญาณไม่ว่างก็ทำโดยการเซตโค้ดเป็น "02" นั่นเอง

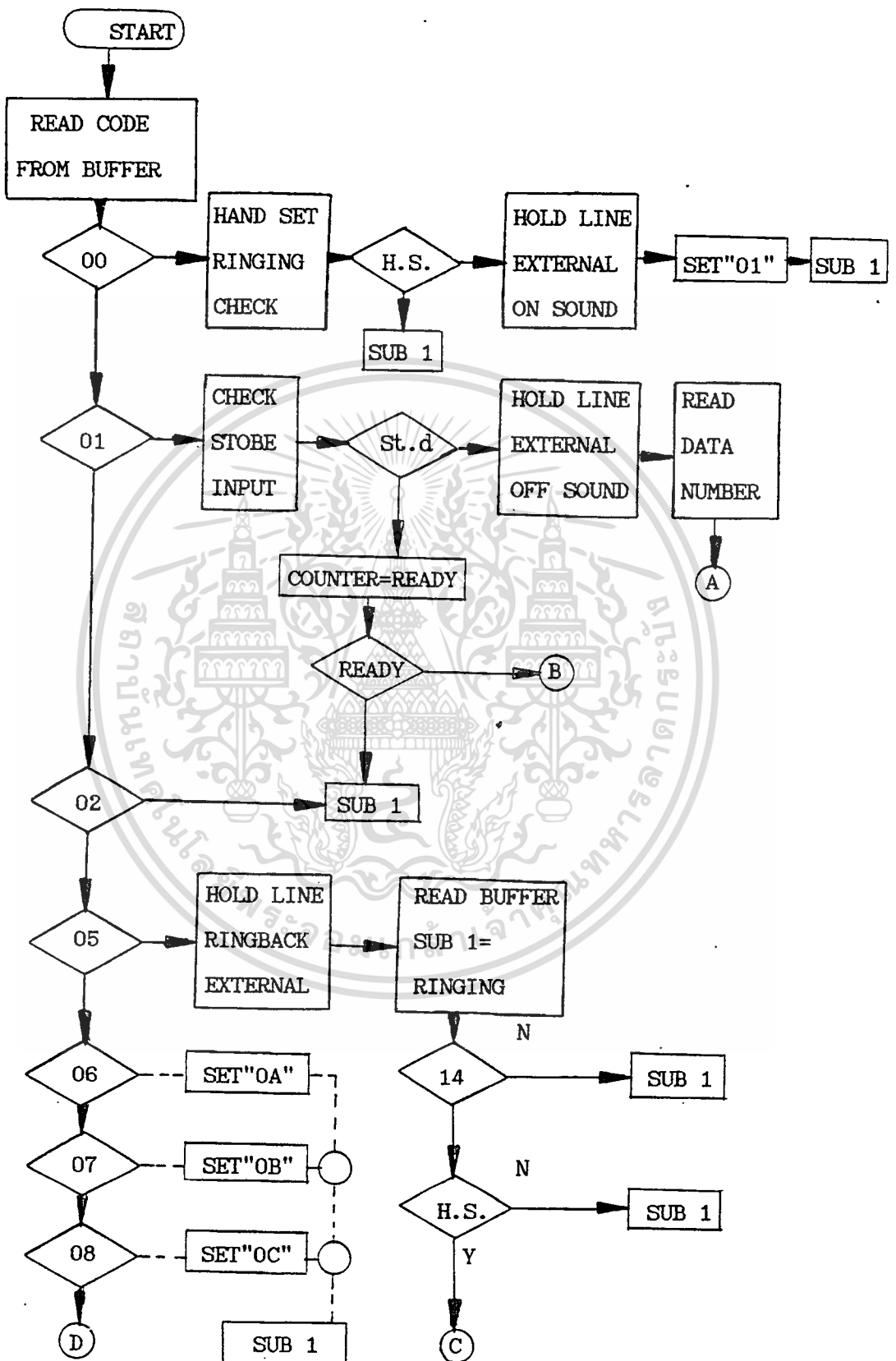
โค้ด "08" ทำการบริการเช่นเดียวกับ "0A" แต่เป็นการบริการระหว่างเครื่องที่ 1 กับเครื่องที่ 3

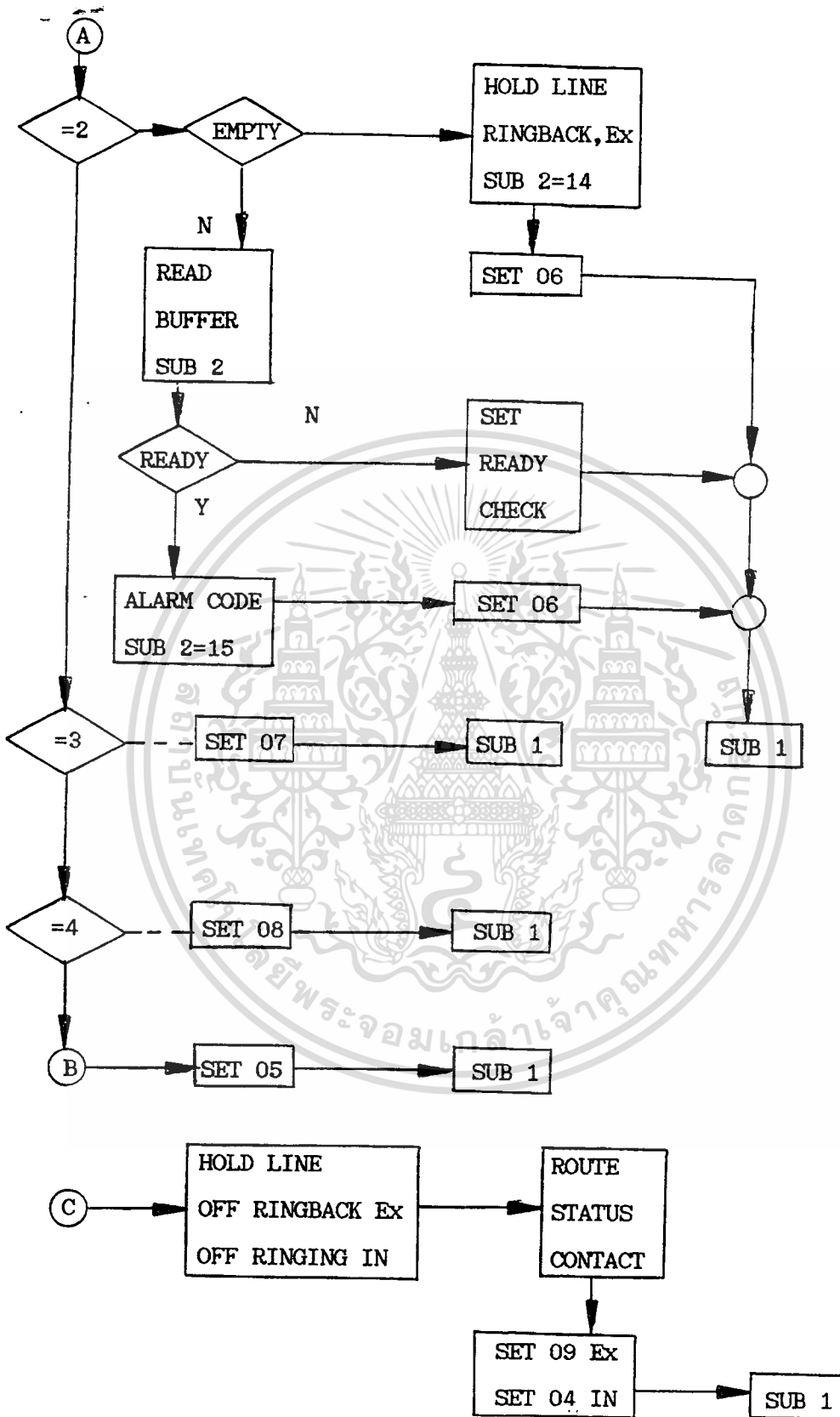
โค้ด "0C" ก็ทำการบริการเช่นเดียวกับ "0A" แต่เป็นการบริการระหว่างคู่สายภายในเครื่องที่ 1 กับเครื่องที่ 4

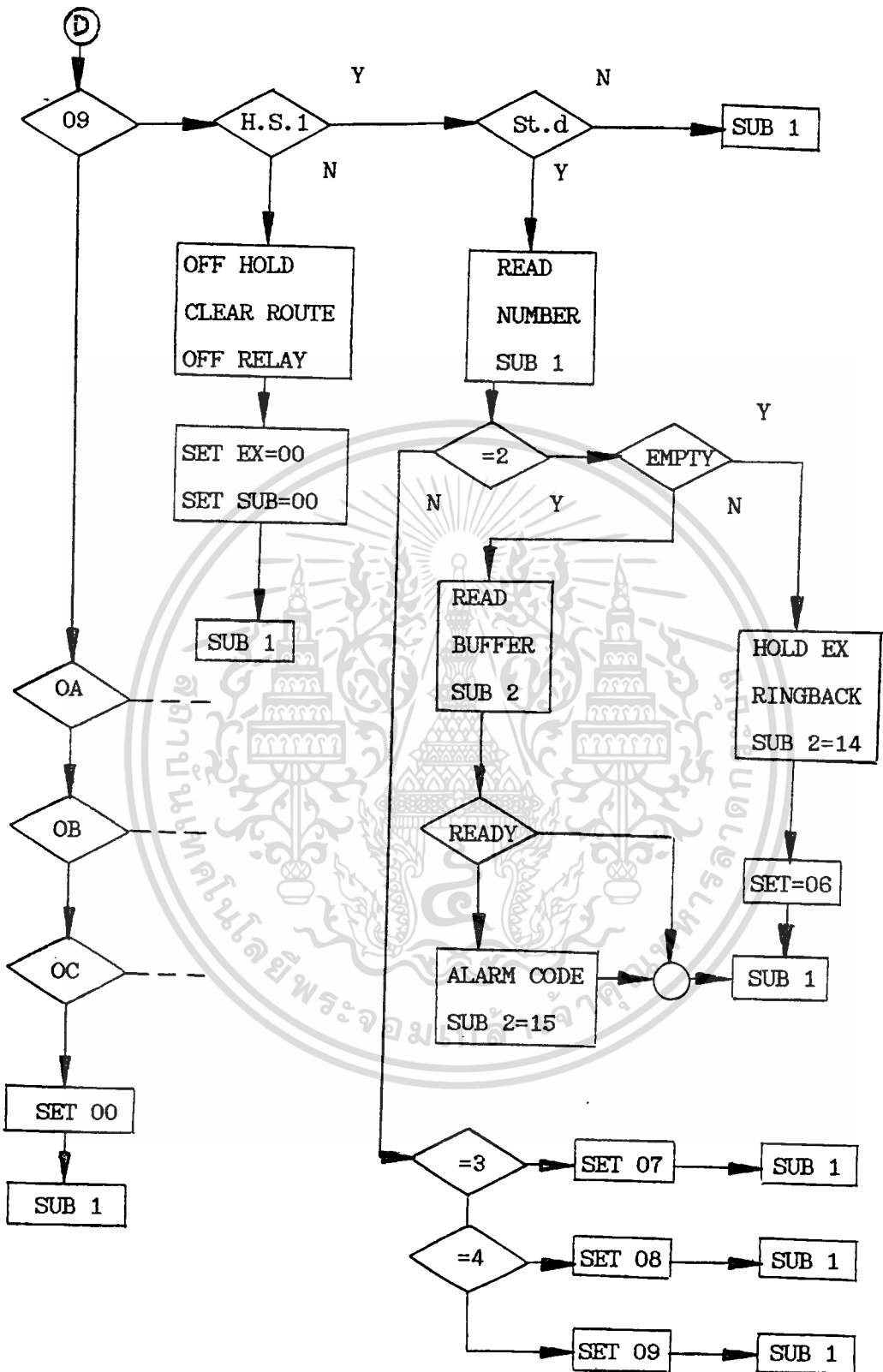
โค้ด "14" เป็นการบริการสัญญาณกริ่งแก่คู่สาย เพื่อให้เจ้าของเครื่องมายกหูเพื่อทำการติดต่อกับคู่สายที่เรียกเข้ามา และรอการมายกหูถ้ายกหูแล้วก็จะตรวจสอบว่าคู่สายใดที่เรียกเข้ามา แล้วทำการต่อช่องสัญญาณนั้นให้ต่อไป

โค้ด "15" เป็นการบริการเฉพาะงานของเครื่องนี้คือ เป็นการเตือนคู่สายภายในให้วางสาย กรณีที่มีสายนอกเรียกเข้ามาในขณะที่ใช้งานกับสายภายในอยู่ ทั้งนี้ ถือว่าสายภายนอกมีความสำคัญมากกว่านั่นเอง

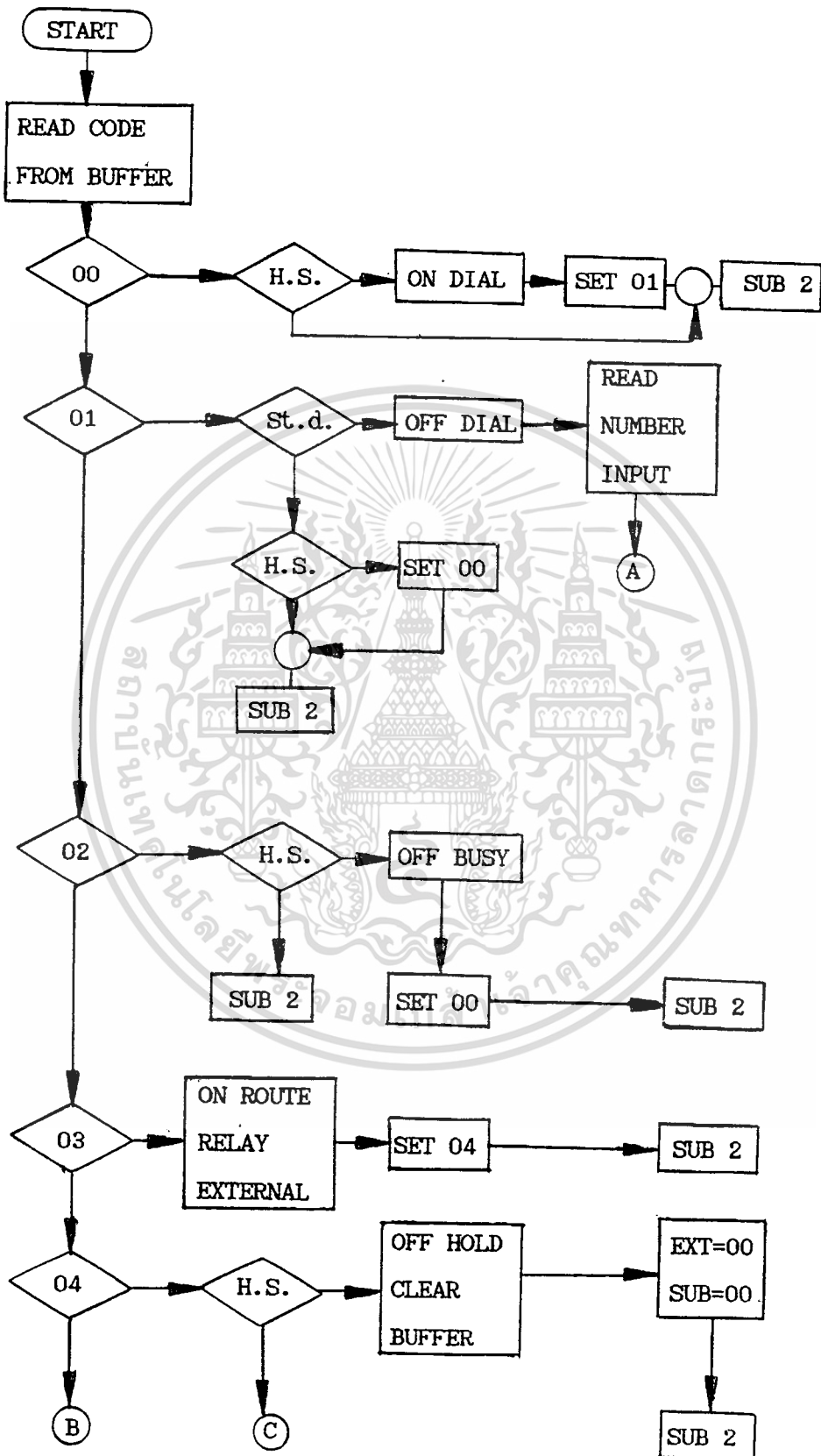
External Routine Flowchart

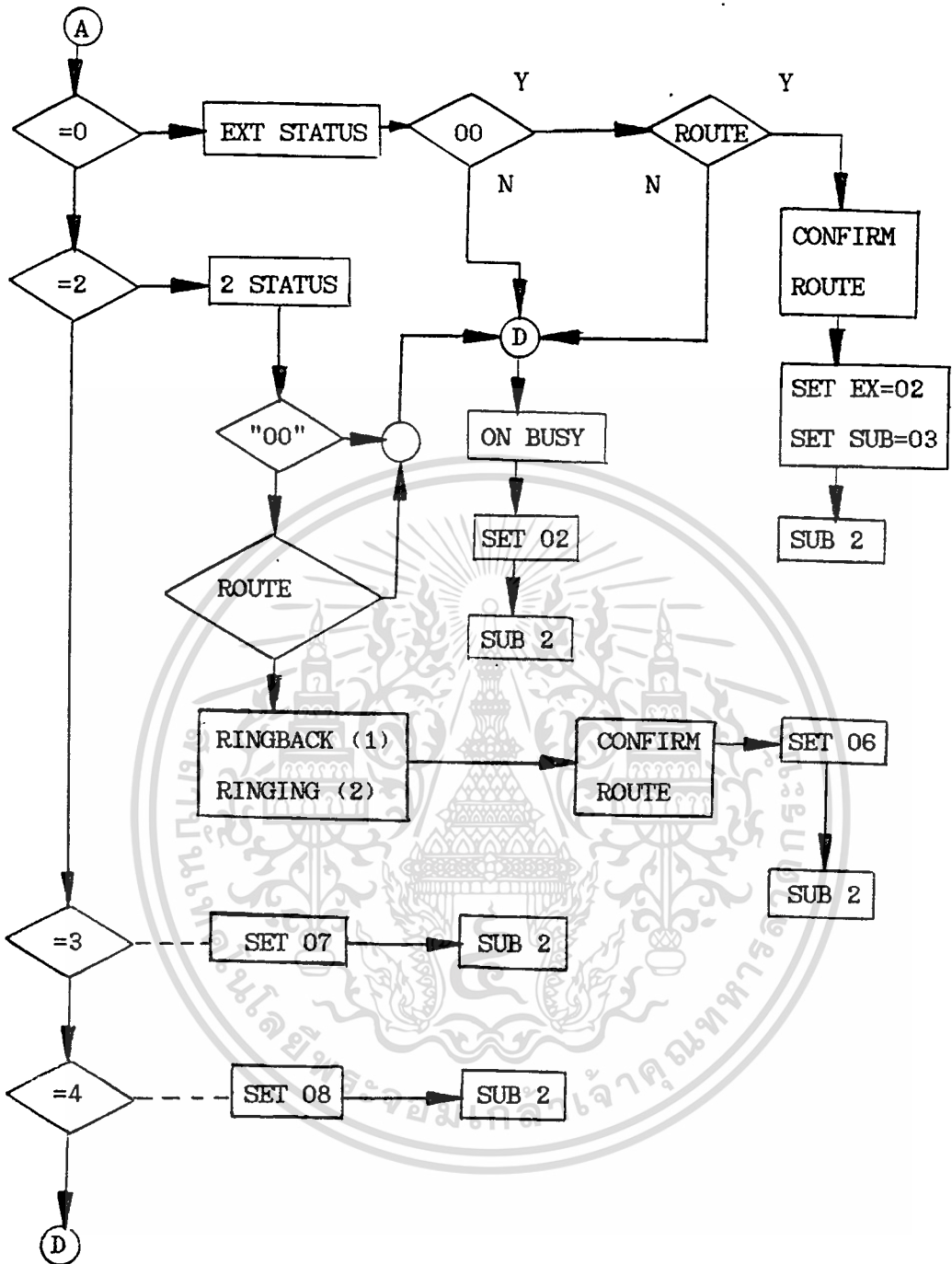


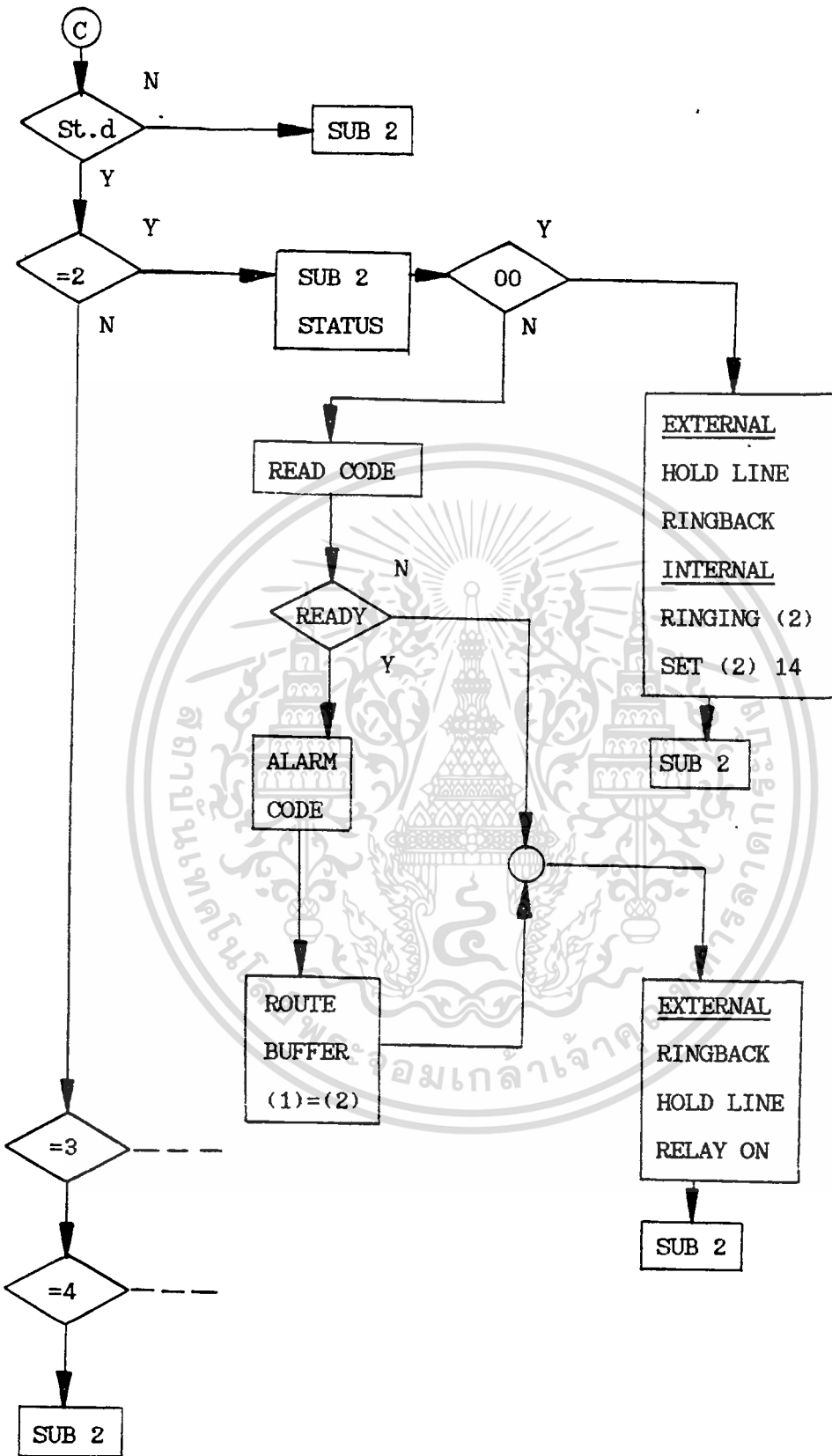


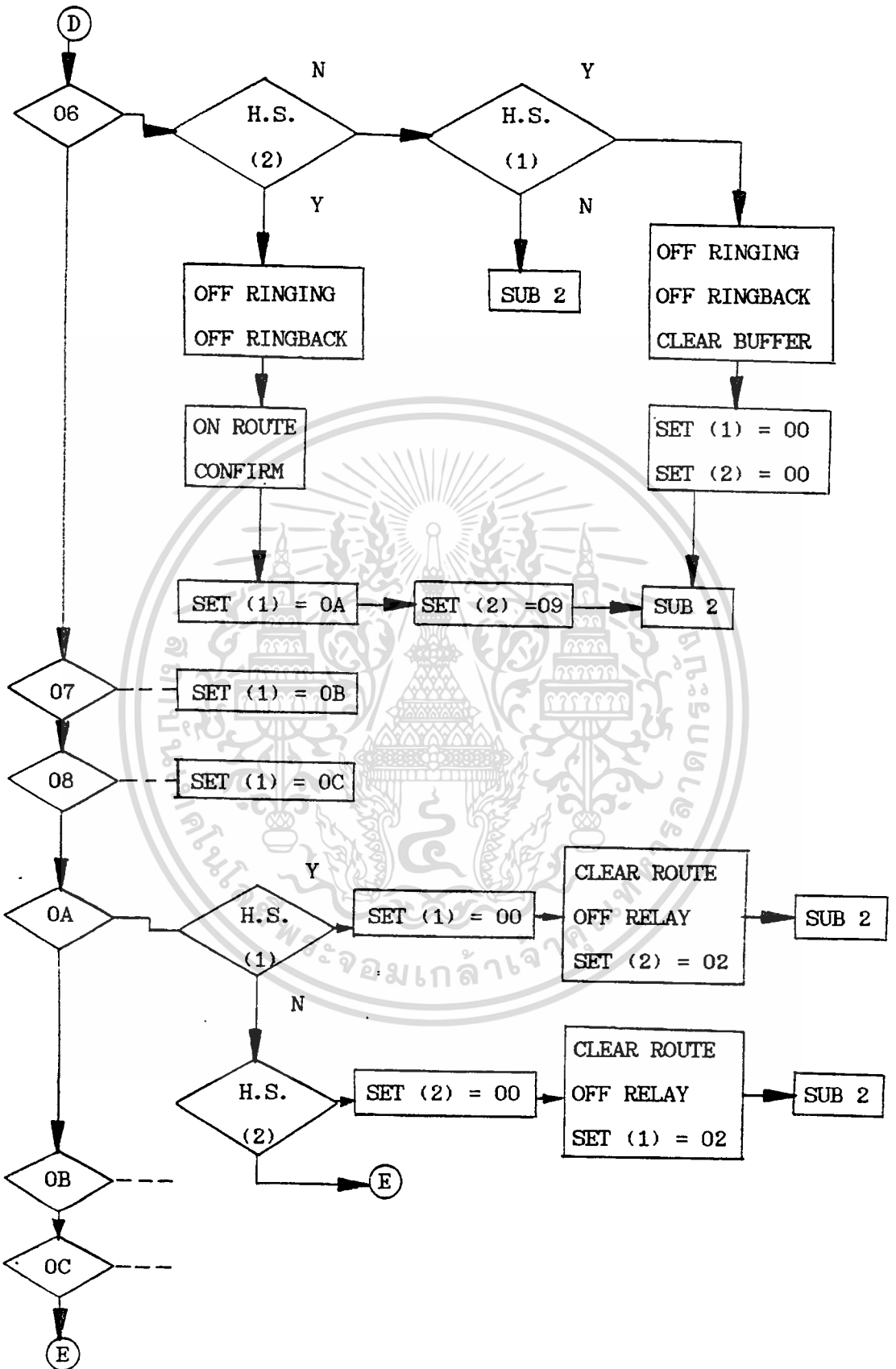


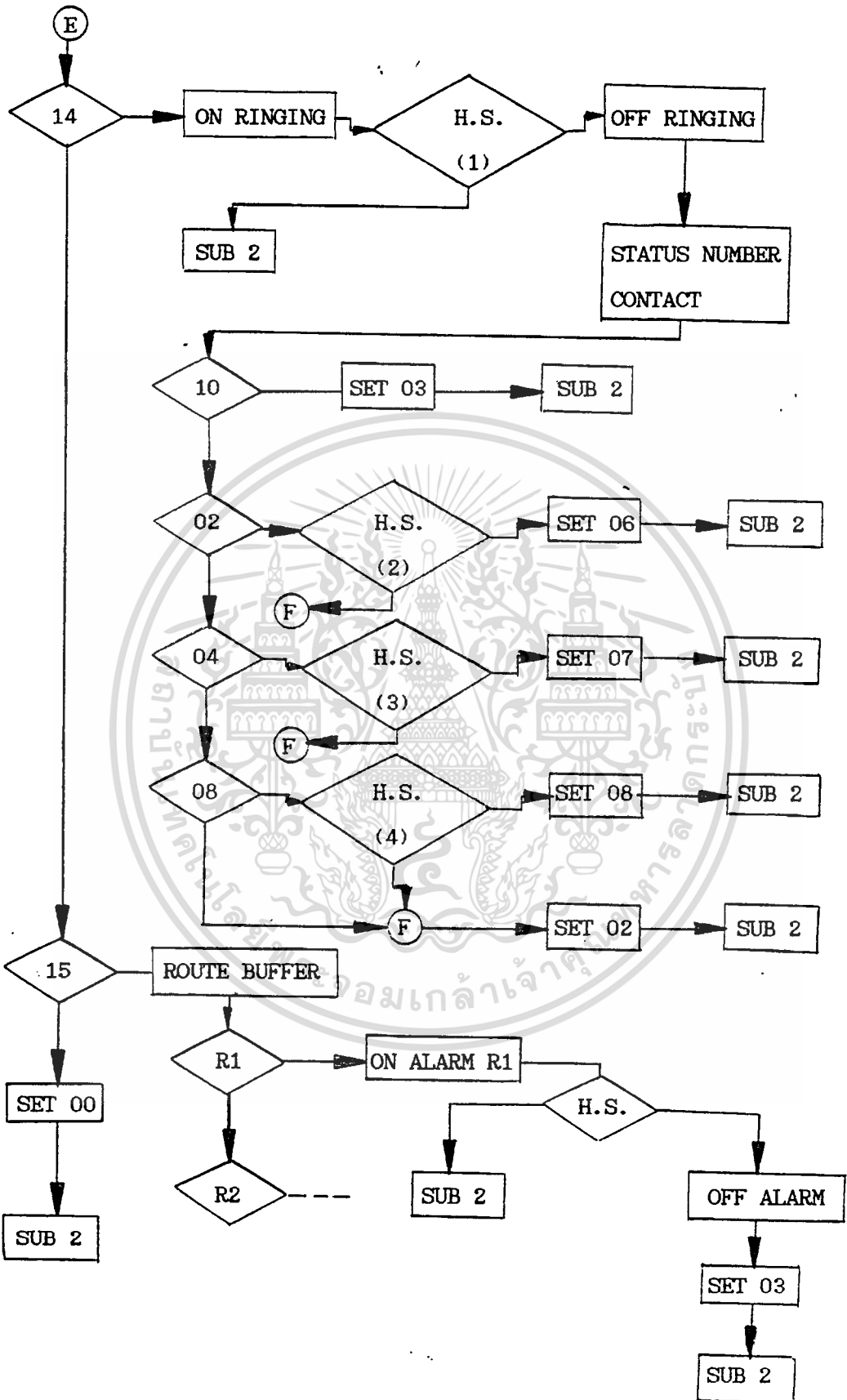
Internal Routine Flowchart











### 6.1 ผลที่ได้รับจากปริณามินท์

6.1.1 สามารถออกแบบและสร้างเครื่องต้นแบบ Non Operator PABX ที่ควบคุมการทำงานด้วยระบบไมโครโปรเซสเซอร์ได้

6.1.2 สามารถเขียนโปรแกรมควบคุมการทำงานของเครื่องต้นแบบ Non Operator PABX ได้ โดยการใช้ภาษาแอสเซมบลี ( Assembly Language ) ในขณะพัฒนาโปรแกรมใช้เครื่องซิงเกิลบอร์ด ( Single Board ) ของ MPF 1 ซึ่งสามารถใช้ภาษาแอสเซมบลีได้โดยตรง เป็นการง่ายต่อการใช้งาน และการพัฒนาต่อไป

### 6.2 คำแนะนำในการใช้เครื่อง

6.2.1 การติดต่อหมายเลขภายใน

1. ยกหูฟัง เมื่อได้ยินสัญญาณให้หมั้น ก็เริ่มกดปุ่มหมายเลขที่ต้องการจะสนทนา
2. ถ้าหมายเลขที่กดไปนั้นว่าง จะได้ยินสัญญาณเรียกกลับ รอจนกว่าจะมีผู้มารับสาย
3. ถ้าหมายเลขที่กดไปนั้นไม่ว่าง จะได้ยินสัญญาณไม่ว่าง ให้วางหูฟัง แล้วเริ่มปฏิบัติตามข้อ 1 ใหม่

6.2.2 การติดต่อหมายเลขภายนอก

1. ยกหูฟัง เมื่อได้ยินสัญญาณให้หมั้น ก็กดปุ่มหมายเลข " 0 "
2. ถ้าสายนอกว่าง จะได้ยินสัญญาณให้หมั้นขององค์การโทรศัพท์ จากนั้นจึงเริ่มกดปุ่มหมายเลขสายภายนอกที่ต้องการจะสนทนาด้วย
3. ถ้าสายภายนอกไม่ว่าง จะได้ยินสัญญาณไม่ว่าง ให้วางหูฟัง แล้วเริ่มปฏิบัติตามข้อ 1 ใหม่

6.2.3 การโอนสาย

ในกรณีที่เครื่องภายในติดต่อกับสายภายนอกอยู่แล้ว ต้องการจะโอนสายภายนอกไปให้กับโทรศัพท์ภายในเครื่องอื่น ๆ ทำได้โดยการกดปุ่มหมายเลขของสายภายในนั้นได้เลย

### 6.3 แนวความคิดและข้อเสนอแนะเพื่อเป็นแนวทางในการพัฒนาเครื่อง Non Operator

6.3.1 ควรทำภาคจ่ายไฟ (Power Supply) ที่จ่ายแรงดัน และ กระแสให้พอเพียงกับระบบ และ มีส่วนกรองสัญญาณให้เรียบ ที่ดีที่สุด มิเช่นนั้น ภาคจ่ายไฟ อาจจะเป็นปัญหาให้ระบบทำงานผิดปกติได้

6.3.2 ในเรื่องของสัญญาณรบกวน เป็นเรื่องที่สำคัญมาก ดังนั้น ในการก่อสร้างอาคาร แยกกราวด์ของระบบออกจากกราวด์ของวงจร กำเนิดสัญญาณโทรทัศน์ และ ภายในการ์ดของวงจรต่าง ๆ ควรมี ตัวเก็บประจุ สำหรับ กรองสัญญาณ อย่างน้อยหนึ่งตัว เพื่อเป็นการป้องกันสัญญาณรบกวน แม้ว่าที่ภาคจ่ายไฟจะมี แล้วก็ตาม และในส่วนของวงจรสร้างสัญญาณทุกชนิด ที่ตำแหน่งของไอซี 555 ควรต่อ ตัวเก็บประจุ ค่าประมาณ 0.01 ไมโครฟารัด ที่ขา +Vcc กับกราวด์ เพื่อลดสัญญาณรบกวนที่จะไปรบกวนวงจรส่วนอื่น ๆ

6.3.3 การใช้ช่องสัญญาณติดต่อของระบบนี้ใช้ รีเลย์ อาจจะทำให้การพัฒนาใช้ อนาคต ออก สวิทซ์ ( Analog Switch ) มาแทนเพื่อเพิ่มความไว และลดต้นทุนการผลิต

6.3.4 โปรแกรมหลัก (Monitor Program) ยังสามารถ ที่จะทำการพัฒนาได้อีก เพื่อเพิ่มขีดความสามารถ ให้กับเครื่อง เช่น การกดหมายเลข รหัสในการ จอคิว หลังจากที่ใช้ต้องการใช้สาย แต่ไม่มีช่องสัญญาณติดต่อที่ว่าง เป็นต้น ทั้งนี้ขึ้นอยู่กับผู้เขียน โปรแกรม

### 6.4 วิจารณ์ผลการปฏิบัติ

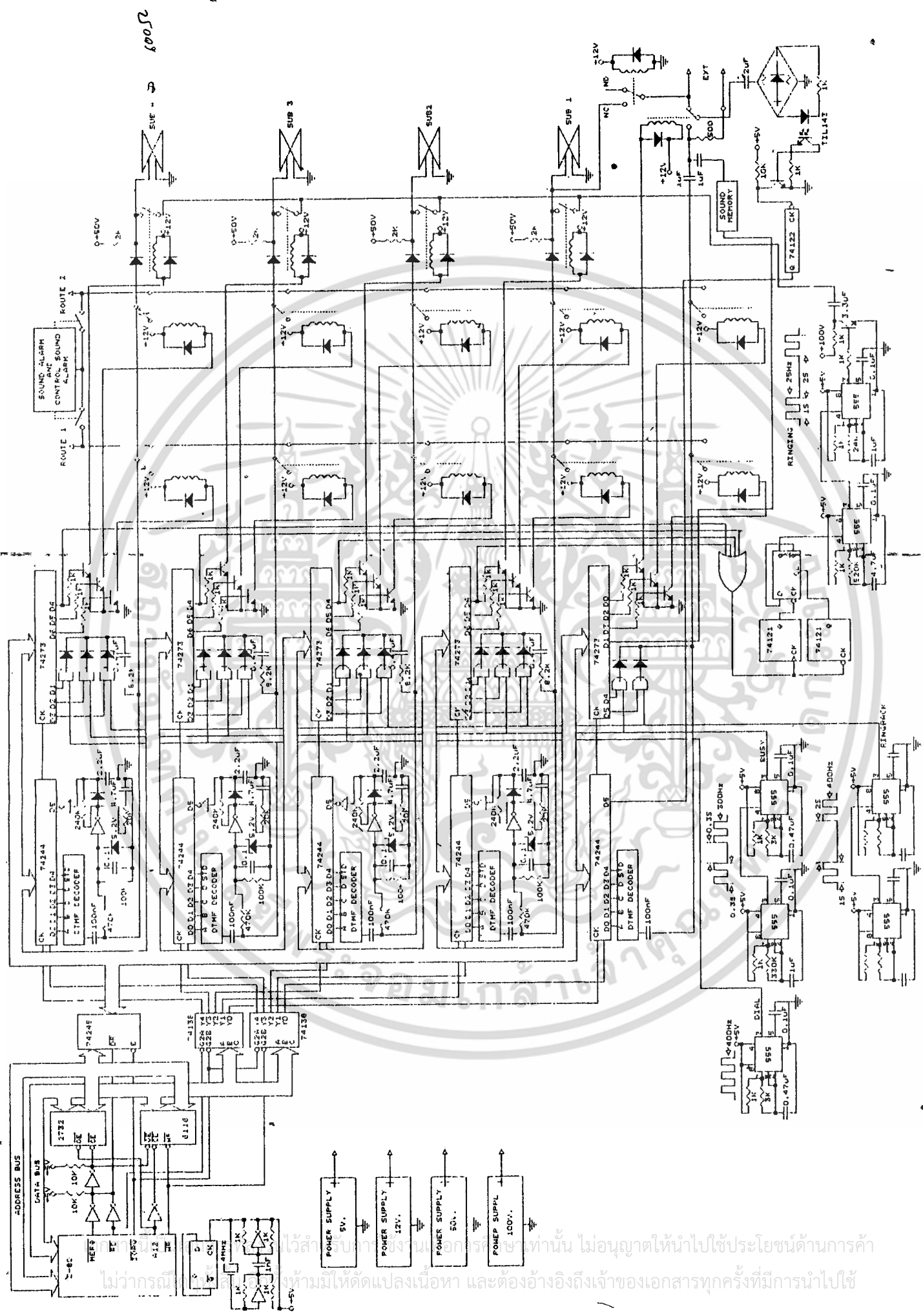
6.4.1 สำหรับการปฏิบัติโครงงานนี้ เนื่องจากเป็นเครื่องต้นแบบ ดังนั้น ในตอนแรก ที่ ออกแบบไว้ไม่มีข้อผิดพลาดในวงจรบ้าง ซึ่งเมื่อทำการทดลองแล้ว ได้มีการ แก้ไขวงจรเป็นที่ เรียบร้อยแล้ว

6.4.2 สำหรับลายวงจร ( Printed Circuit Board ) นั้น มีการออกแบบ ผลิตมาบ้างในตอนแรก แต่ก็ได้ทำการแก้ไขไว้เป็นที่ เรียบร้อยแล้ว

6.4.3 การออกแบบโครงสร้างภายนอก เช่น ตัวกล่อง , ลักษณะการ์ด และ ที่ติดตั้ง ยังไม่เหมาะสมกับการใช้งานเท่าที่ควร ต้องมีการปรับปรุงอีก



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



600  
2k + 600

10052

ไม่ว่ากรณีใดๆก็ตาม บริษัทฯ ขอสงวนสิทธิ์ในข้อมูลและข้อมูลอื่นใดที่ปรากฏในเอกสารนี้โดยไม่มีการรับประกันความถูกต้องหรือความน่าเชื่อถือของข้อมูลและข้อมูลอื่นใดที่ปรากฏในเอกสารนี้

|      |            |        |             |
|------|------------|--------|-------------|
| 0000 |            |        | .z80.       |
|      |            |        | ASEG        |
|      |            |        | ORG 0000H   |
| 0000 | 16 05      | START: | LD D,05H    |
| 0002 | 0E 00      |        | LD C,00H    |
| 0004 | AF         |        | XOR A       |
| 0005 | ED 79      | INT1:  | OUT (C),A   |
| 0007 | 0C         |        | INC C       |
| 0008 | 15         |        | DEC D       |
| 0009 | C2 0005    |        | JP NZ,INT1  |
| 000C | 21 2000    |        | LD HL,2000H |
| 000F | 16 30      |        | LD D,30H    |
| 0011 | AF         |        | XOR A       |
| 0012 | 77         | INT2:  | LD (HL),A   |
| 0013 | 23         |        | INC HL      |
| 0014 | 15         |        | DEC D       |
| 0015 | C2 0012    |        | JP NZ,INT2  |
| 0018 | DD 21 2000 | SSEXT: | LD IX,2000H |
| 001C | 0E 00      |        | LD C,00H    |
| 001E | C3 06A6    |        | JP SEXT     |
| 0021 | DD 21 2006 | SSUB1: | LD IX,2006H |
| 0025 | 0E 01      |        | LD C,01H    |
| 0027 | C3 005E    |        | JP STRSU    |
| 002A | DD 21 200C | SSUB2: | LD IX,200CH |
| 002E | 0E 02      |        | LD C,02H    |
| 0030 | C3 005E    |        | JP STRSU    |
| 0033 | DD 21 2012 | SSUB3: | LD IX,2012H |
| 0037 | 0E 03      |        | LD C,03H    |
| 0039 | C3 005E    |        | JP STRSU    |
| 003C | DD 21 2018 | SSUB4: | LD IX,2018H |
| 0040 | 0E 04      |        | LD C,04H    |
| 0042 | C3 005E    |        | JP STRSU    |
| 0045 | 0C         | NEXT:  | INC C       |
| 0046 | 3E 01      |        | LD A,01H    |
| 0048 | B9         |        | CP C        |
| 0049 | CA 0021    |        | JP Z,SSUB1  |
| 004C | 3C         |        | INC A       |
| 004D | B9         |        | CP C        |
| 004E | CA 002A    |        | JP Z,SSUB2  |
| 0051 | 3C         |        | INC A       |
| 0052 | B9         |        | CP C        |
| 0053 | CA 0033    |        | JP Z,SSUB3  |
| 0056 | 3C         |        | INC A       |
| 0057 | B9         |        | CP C        |
| 0058 | CA 003C    |        | JP Z,SSUB4  |
| 005B | C3 0018    |        | JP SSEXT    |

|      |          |        |                |
|------|----------|--------|----------------|
| 005E | DD 7E 00 | STRSU: | LD A, (IX+00H) |
| 0061 | 57       |        | LD D, A        |
| 0062 | AF       |        | XOR A          |
| 0063 | BA       |        | CP D           |
| 0064 | CA 00B5  |        | JP Z, SUB00    |
| 0067 | 3C       |        | INC A          |
| 0068 | BA       |        | CP D           |
| 0069 | CA 00CB  |        | JP Z, SUB01    |
| 006C | 3C       |        | INC A          |
| 006D | BA       |        | CP D           |
| 006E | CA 02B7  |        | JP Z, SUB02    |
| 0071 | 3C       |        | INC A          |
| 0072 | BA       |        | CP D           |
| 0073 | CA 02FD  |        | JP Z, SUB03    |
| 0076 | 3C       |        | INC A          |
| 0077 | BA       |        | CP D           |
| 0078 | CA 0332  |        | JP Z, SUB04    |
| 007B | 3C       |        | INC A          |
| 007C | BA       |        | CP D           |
| 007D | CA 0341  |        | JP Z, SUB05    |
| 0080 | 3C       |        | INC A          |
| 0081 | BA       |        | CP D           |
| 0082 | CA 03B7  |        | JP Z, SUB06    |
| 0085 | 3C       |        | INC A          |
| 0086 | BA       |        | CP D           |
| 0087 | CA 042E  |        | JP Z, SUB07    |
| 008A | 3C       |        | INC A          |
| 008B | BA       |        | CP D           |
| 008C | CA 04A5  |        | JP Z, SUB08    |
| 008F | 3C       |        | INC A          |
| 0090 | BA       |        | CP D           |
| 0091 | CA 051C  |        | JP Z, SUB09    |
| 0094 | 3C       |        | INC A          |
| 0095 | BA       |        | CP D           |
| 0096 | CA 052B  |        | JP Z, SUB0A    |
| 0099 | 3C       |        | INC A          |
| 009A | BA       |        | CP D           |
| 009B | CA 053A  |        | JP Z, SUB0B    |
| 009E | 3C       |        | INC A          |
| 009F | BA       |        | CP D           |
| 00A0 | CA 0549  |        | JP Z, SUB0C    |
| 00A3 | 3E 14    |        | LD A, 14H      |
| 00A5 | BA       |        | CP D           |
| 00A6 | CA 0558  |        | JP Z, SUB14    |
| 00A9 | 3C       |        | INC A          |
| 00AA | BA       |        | CP D           |



00AB CA 05F3  
 00AE AF  
 00AF DD 77 00  
 00B2 C3 0045  
 00B5 ED 78  
 00B7 CB 6F  
 00B9 CA 0045  
 00BC 3E 04  
 00BE DD 77 02  
 00C1 ED 79  
 00C3 3E 01  
 00C5 DD 77 00  
 00C8 C3 0045  
 00CB ED 78  
 00CD CB 6F  
 00CF C2 00E5  
 00D2 ED 78  
 00D4 CB 6F  
 00D6 C2 0045  
 00D9 AF  
 00DA DD 77 00  
 00DD DD 77 02  
 00E0 ED 79  
 00E2 C3 0045  
 00E5 AF  
 00E6 DD 77 02  
 00E9 ED 79  
 00EB ED 78  
 00ED 16 0F  
 00EF A2  
 00F0 5F  
 00F1 AF  
 00F2 BB  
 00F3 CA 010D  
 00F6 3C  
 00F7 BB  
 00F8 CA 0181  
 00FB 3C  
 00FC BB  
 00FD CA 0160  
 0100 3C  
 0101 BB  
 0102 CA 020D  
 0105 3C  
 0106 BB  
 0107 CA 0262

SUB00:

SUB01:

G01H:

JP Z,SUB15  
 XOR A  
 LD (IX+00H),A  
 JP NEXT  
 IN A,(C)  
 BIT 5,A  
 JP Z,NEXT  
 LD A,04H  
 LD (IX+02H),A  
 OUT (C),A  
 LD A,01H  
 LD (IX+00),A  
 JP NEXT  
 IN A,(C)  
 BIT 4,A  
 JP NZ,G01H  
 IN A,(C)  
 BIT 5,A  
 JP NZ,NEXT  
 XOR A  
 LD (IX+00H),A  
 LD (IX+02H),A  
 OUT (C),A  
 JP NEXT  
 XOR A  
 LD (IX+02H),A  
 OUT (C),A  
 IN A,(C)  
 LD D,0FH  
 AND D  
 LD E,A  
 XOR A  
 CP E  
 JP Z,G02H  
 INC A  
 CP E  
 JP Z,G12H  
 INC A  
 CP E  
 JP Z,G03H  
 INC A  
 CP E  
 JP Z,G04H  
 INC A  
 CP E  
 JP Z,G05H

|      |          |       |                |
|------|----------|-------|----------------|
| 010A | C3 0149  |       | JP G06H        |
| 010D | 3A 2000  | G02H: | LD A, (2000H)  |
| 0110 | 5F       |       | LD E, A        |
| 0111 | AF       |       | XOR A          |
| 0112 | BB       |       | CP E           |
| 0113 | C2 0149  |       | JP NZ, G06H    |
| 0116 | 7E       |       | LD A, (HL)     |
| 0117 | 16 03    |       | LD D, 03H      |
| 0119 | A2       |       | AND D          |
| 011A | 5F       |       | LD E, A        |
| 011B | 3E 03    |       | LD A, 03H      |
| 011D | BB       |       | CP E           |
| 011E | CA 0149  |       | JP Z, G06H     |
| 0121 | AF       |       | XOR A          |
| 0122 | BB       |       | CP E           |
| 0123 | CA 012B  |       | JP Z, G07H     |
| 0126 | 3C       |       | INC A          |
| 0127 | BB       |       | CP E           |
| 0128 | CA 0156  |       | JP Z, G08H     |
| 012B | 7E       | G07H: | LD A, (HL)     |
| 012C | 16 01    |       | LD D, 01H      |
| 012E | B2       |       | OR D           |
| 012F | 77       |       | LD (HL), A     |
| 0130 | 3E 01    |       | LD A, 01H      |
| 0132 | 32 2003  | G16H: | LD (2003H), A  |
| 0135 | DD 77 03 |       | LD (IX+03H), A |
| 0138 | 3E 10    |       | LD A, 10H      |
| 013A | DD 77 04 |       | LD (IX+04H), A |
| 013D | 3E 02    |       | LD A, 02H      |
| 013F | 32 2000  |       | LD (2000H), A  |
| 0142 | 3C       |       | INC A          |
| 0143 | DD 77 00 |       | LD (IX+00H), A |
| 0146 | C3 0045  | G06H: | JP NEXT        |
| 0149 | 3E 02    |       | LD A, 02H      |
| 014B | DD 77 00 |       | LD (IX+00H), A |
| 014E | DD 77 02 |       | LD (IX+02H), A |
| 0151 | ED 79    |       | OUT (C), A     |
| 0153 | C3 0045  |       | JP NEXT        |
| 0156 | 7E       | G08H: | LD A, (HL)     |
| 0157 | 16 02    |       | LD D, 02H      |
| 0159 | B2       |       | OR D           |
| 015A | 77       |       | LD (HL), A     |
| 015B | 3E 02    |       | LD A, 02H      |
| 015D | C3 0132  |       | JP G16H        |
| 0160 | 3A 200C  | G03H: | LD A, (200CH)  |
| 0163 | 5F       |       | LD E, A        |

0164 AF  
 0165 BB  
 0166 C2 0149  
 0169 7E  
 016A 16 03  
 016C A2  
 016D 5F  
 016E 3E 03  
 0170 BB  
 0171 CA 0149  
 0174 AF  
 0175 BB  
 0176 CA 01D6  
 0179 3C  
 017A BB  
 017B CA 01EF  
 017E C3 01D6  
 0181 3A 2006  
 0184 5F  
 0185 AF  
 0186 BB  
 0187 CA 0149  
 018A 7E  
 018B 16 03  
 018D A2  
 018E 5F  
 018F 3E 03  
 0191 BB  
 0192 CA 0149  
 0195 AF  
 0196 BB  
 0197 CA 019F  
 019A 3C  
 019B BB  
 019C CA 01B8  
 019F 7E  
 01A0 16 01  
 01A2 B2  
 01A3 77  
 01A4 3E 01  
 01A6 32 2009  
 01A9 DD 77 03  
 01AC 3E 01  
 01AE DD 77 04  
 01B1 4F  
 01B2 32 200A

XOR A  
 CP E  
 JP NZ,G06H  
 LD A,(HL)  
 LD D,03H  
 AND D  
 LD E,A  
 LD A,03H  
 CP E  
 JP Z,G06H  
 XOR A  
 CP E  
 JP Z,G09H  
 INC A  
 CP E  
 JP Z,G0AH  
 JP G09H  
 LD A,(2006H)  
 LD E,A  
 XOR A  
 CP E  
 JP Z,G06H  
 LD A,(HL)  
 LD D,03H  
 AND D  
 LD E,A  
 LD A,03H  
 CP E  
 JP Z,G06H  
 XOR A  
 CP E  
 JP Z,G13H  
 INC A  
 CP E  
 JP Z,G14H  
 LD A,(HL)  
 D D,01H  
 OR D  
 LD (HL),A  
 LD A,01H  
 LD (2009H),A  
 LD (IX+03H),A  
 LD A,01H  
 LD (IX+04H),A  
 LD C,A  
 LD (200AH),A

G12H:

G13H:

G19H:

|      |          |       |                |
|------|----------|-------|----------------|
| 01B5 | C3 01C2  |       | JP G15H        |
| 01B8 | 7E       | G14H: | LD A, (HL)     |
| 01B9 | 16 02    |       | LD D, 02H      |
| 01BB | B2       |       | OR D           |
| 01BC | 77       |       | LD (HL), A     |
| 01BD | 3E 02    |       | LD A, 02H      |
| 01BF | C3 01A6  |       | JP G19H        |
| 01C2 | 3E 01    | G15H: | LD A, 01H      |
| 01C4 | DD 77 02 |       | LD (IX+02H), A |
| 01C7 | ED 79    |       | OUT (C), A     |
| 01C9 | 3E 14    |       | LD A, 14H      |
| 01CB | 32 2006  |       | LD (2006H), A  |
| 01CE | 3E 05    |       | LD A, 05H      |
| 01D0 | DD 77 00 |       | LD (IX+00H), A |
| 01D3 | C3 0045  |       | JP NEXT        |
| 01D6 | 7E       | G09H: | LD A, (HL)     |
| 01D7 | 16 01    |       | LD D, 01H      |
| 01D9 | B2       |       | OR D           |
| 01DA | 77       |       | LD (HL), A     |
| 01DB | 3E 01    |       | LD A, 01H      |
| 01DD | DD 77 03 | G17H: | LD (IX+03H), A |
| 01E0 | 32 200F  |       | LD (200FH), A  |
| 01E3 | 3E 02    |       | LD A, 02H      |
| 01E5 | DD 77 04 |       | LD (IX+04H), A |
| 01E8 | 79       |       | LD A, C        |
| 01E9 | 32 2010  |       | LD (2010H), A  |
| 01EC | C3 01F9  |       | JP GOBH        |
| 01EF | 7E       | G0AH: | LD A, (HL)     |
| 01F0 | 16 02    |       | LD D, 02H      |
| 01F2 | B2       |       | OR D           |
| 01F3 | 77       |       | LD (HL), A     |
| 01F4 | 3E 02    |       | LD A, 02H      |
| 01F6 | C3 01DD  |       | JP G17H        |
| 01F9 | 3E 01    | GOBH: | LD A, 01H      |
| 01FB | DD 77 02 |       | LD (IX+02H), A |
| 01FE | ED 79    |       | OUT (C), A     |
| 0200 | 3E 14    |       | LD A, 14H      |
| 0202 | 32 200C  |       | LD (200CH), A  |
| 0205 | 3E 06    |       | LD A, 06H      |
| 0207 | DD 77 00 |       | LD (IX+00H), A |
| 020A | C3 0045  |       | JP NEXT        |
| 020D | 3A 2012  | G04H: | LD A, (2012H)  |
| 0210 | 5F       |       | LD E, A        |
| 0211 | AF       |       | XOR A          |
| 0212 | BB       |       | CP E           |
| 0213 | C2 0149  |       | JP NZ, G06H    |

|      |          |       |                |
|------|----------|-------|----------------|
| 0216 | 7E       |       | LD A, (HL)     |
| 0217 | 16 03    |       | LD D, 03H      |
| 0219 | A2       |       | AND D          |
| 021A | 5F       |       | LD E, A        |
| 021B | 3E 03    |       | LD A, 03H      |
| 021D | BB       |       | CP E           |
| 021E | CA 0149  |       | JP Z, G06H     |
| 0221 | AF       |       | XOR A          |
| 0222 | BB       |       | CP E           |
| 0223 | CA 022B  |       | JP Z, G0CH     |
| 0226 | 3C       |       | INC A          |
| 0227 | BB       |       | CP E           |
| 0228 | CA 0244  |       | JP Z, GODH     |
| 022B | 7E       | GOCH: | LD A, (HL)     |
| 022C | 16 01    |       | LD D, 01H      |
| 022E | B2       |       | OR D           |
| 022F | 77       |       | LD (HL), A     |
| 0230 | 3E 01    |       | LD A, 01H      |
| 0232 | DD 77 03 | G18H: | LD (IX+03H), A |
| 0235 | 32 2015  |       | LD (2015H), A  |
| 0238 | 79       |       | LD A, C        |
| 0239 | 32 2016  |       | LD (2016H), A  |
| 023C | 3E 03    |       | LD A, 03H      |
| 023E | DD 77 04 |       | LD (IX+04H), A |
| 0241 | C3 024E  |       | JP GOEH        |
| 0244 | 7E       | GODH: | LD A, (HL)     |
| 0245 | 16 02    |       | LD D, 02H      |
| 0247 | B2       |       | OR D           |
| 0248 | 77       |       | LD (HL), A     |
| 0249 | 3E 02    |       | LD A, 02H      |
| 024B | C3 0232  |       | JP G18H        |
| 024E | 3E 01    | GOEH: | LD A, 01H      |
| 0250 | DD 77 02 |       | LD (IX+02H), A |
| 0253 | ED 79    |       | OUT (C), A     |
| 0255 | 3E 14    |       | LD A, 14H      |
| 0257 | 32 2012  |       | LD (2012H), A  |
| 025A | 3E 07    |       | LD A, 07H      |
| 025C | DD 77 00 |       | LD (IX+00H), A |
| 025F | C3 0045  |       | JP NEXT        |
| 0262 | 3A 2018  | G05H: | LD A, (2018H)  |
| 0265 | 5F       |       | LD E, A        |
| 0266 | AF       |       | XOR A          |
| 0267 | BB       |       | CP E           |
| 0268 | C2 0149  |       | JP NZ, G06H    |
| 026B | 7E       |       | LD A, (HL)     |
| 026C | 16 03    |       | LD D, 03H      |

|      |          |  |        |  |               |
|------|----------|--|--------|--|---------------|
| 02CB | DD 77 00 |  |        |  | LD (IX+00H),A |
| 02CE | DD 7E 03 |  | H00H:  |  | LD A,(IX+03H) |
| 02D1 | 16 03    |  |        |  | LD D,03H      |
| 02D3 | A2       |  |        |  | AND D         |
| 02D4 | 5F       |  |        |  | LD E,A        |
| 02D5 | 3E 02    |  |        |  | LD A,02H      |
| 02D7 | BB       |  |        |  | CP E          |
| 02D8 | CA 02E3  |  |        |  | JP Z,H01H     |
| 02DB | 3D       |  |        |  | DEC A         |
| 02DC | BB       |  |        |  | CP E          |
| 02DD | CA 02EB  |  |        |  | JP Z,H02H     |
| 02E0 | C3 02F0  |  |        |  | JP H03H       |
| 02E3 | 7E       |  | H01H:  |  | LD A,(HL)     |
| 02E4 | 16 01    |  |        |  | LD D,01H      |
| 02E6 | A2       |  |        |  | AND D         |
| 02E7 | 77       |  |        |  | LD (HL),A     |
| 02E8 | C3 02F0  |  |        |  | JP H03H       |
| 02EB | 7E       |  | H02H:  |  | LD A,(HL)     |
| 02EC | 16 02    |  |        |  | LD D,02H      |
| 02EE | A2       |  |        |  | AND D         |
| 02EF | 77       |  |        |  | LD (HL),A     |
| 02F0 | AF       |  | H03H:  |  | XOR A         |
| 02F1 | DD 77 00 |  |        |  | LD (IX+00H),A |
| 02F4 | DD 77 03 |  |        |  | LD (IX+03H),A |
| 02F7 | DD 77 04 |  |        |  | LD (IX+04H),A |
| 02FA | C3 0045  |  |        |  | JP NEXT       |
| 02FD | DD 7E 03 |  | SUB03: |  | LD A,(IX+03H) |
| 0300 | 16 03    |  |        |  | LD D,03H      |
| 0302 | A2       |  |        |  | AND D         |
| 0303 | 5F       |  |        |  | LD E,A        |
| 0304 | 3E 01    |  |        |  | LD A,01H      |
| 0306 | BB       |  |        |  | CP E          |
| 0307 | CA 0312  |  |        |  | JP Z,H04H     |
| 030A | 3C       |  |        |  | INC A         |
| 030B | BB       |  |        |  | CP E          |
| 030C | CA 031D  |  |        |  | JP Z,H05H     |
| 030  | C3 0045  |  |        |  | JP NEXT       |
| 0312 | 3E 05    |  | H04H:  |  | LD A,05H      |
| 0314 | D3 00    |  |        |  | OUT (00H),A   |
| 0316 | 3E 02    |  |        |  | LD A,02H      |
| 0318 | ED 79    |  |        |  | OUT (C),A     |
| 031A | C3 0325  |  |        |  | JP H06H       |
| 031D | 3E 09    |  | H05H:  |  | LD A,09H      |
| 031F | D3 00    |  |        |  | OUT (00H),A   |
| 0321 | 3E 40    |  |        |  | LD A,40H      |
| 0323 | ED 79    |  |        |  | OUT (C),A     |

026E A2  
 026F 5F  
 0270 3E 03  
 0272 BB  
 0273 CA 0149  
 0276 AF  
 0277 BB  
 0278 CA 0280  
 027B 3C  
 027C BB  
 027D CA 0299  
 0280 7E  
 0281 16 01  
 0283 B2  
 0284 77  
 0285 3E 01  
 0287 DD 77 03  
 028A 32 201B  
 028D 79  
 028E 32 201C  
 0291 3E 04  
 0293 DD 77 04  
 0296 C3 02A3  
 0299 7E  
 029A 16 02  
 029C B2  
 029D 77  
 029E 3E 02  
 02A0 C3 0287  
 02A3 3E 01  
 02A5 DD 77 02  
 02A8 ED 79  
 02AA 3E 14  
 02AC 32 2018  
 02AF 3E 08  
 02B1 DD 77 00  
 02B4 C3 0045  
 02B7 3E 02  
 02B9 DD 77 02  
 02BC ED 79  
 02BE ED 78  
 02C0 CB 6F  
 02C2 C2 0045  
 02C5 AF  
 02C6 DD 77 02  
 02C9 ED 79

G0FH:

G1AH:

G10H:

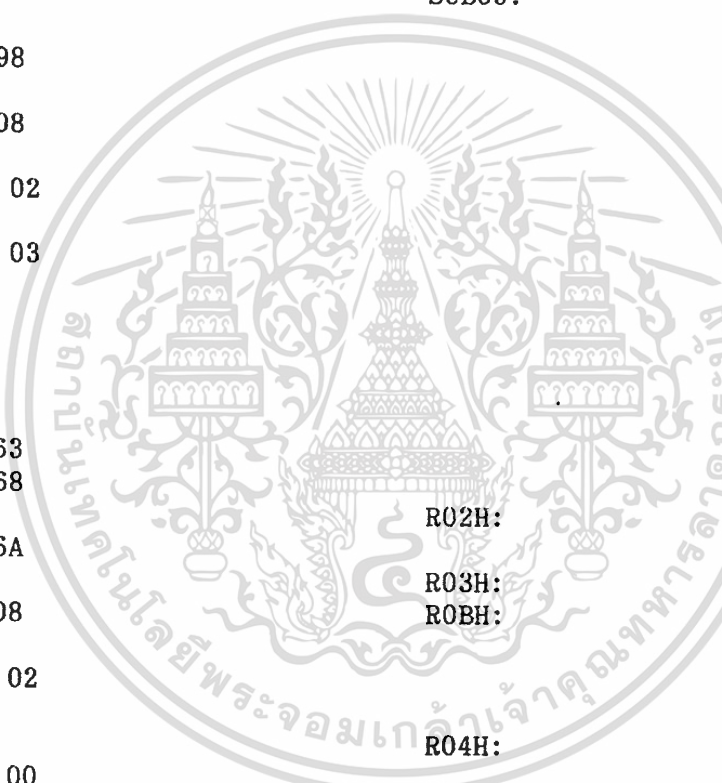
G11H:

SUB02:

H07H:

AND D  
 LD E,A  
 LD A,03H  
 CP E  
 JP Z,G06H  
 XOR A  
 CP E  
 JP Z,G0FH  
 INC A  
 CP E  
 JP Z,G10H  
 LD A,(HL)  
 LD D,01H  
 OR D  
 LD (HL),A  
 LD A,01H  
 LD (IX+03H),A  
 LD (201BH),A  
 LD A,C  
 LD (201CH),A  
 LD A,04H  
 LD (IX+04H),A  
 JP G11H  
 LD A,(HL)  
 LD D,02H  
 OR D  
 LD (HL),A  
 LD A,02H  
 JP G1AH  
 LD A,01H  
 LD (IX+02H),A  
 OUT (C),A  
 LD A,14H  
 LD (2018H),A  
 LD A,08H  
 LD (IX+00H),A  
 JP NEXT  
 LD A,02H  
 LD (IX+02H),A  
 OUT (C),A  
 IN A,(C)  
 BIT 5,A  
 JP NZ,NEXT  
 XOR A  
 LD (IX+02H),A  
 OUT (C),A

|      |          |        |               |
|------|----------|--------|---------------|
| 0325 | 3E 04    | H06H:  | LD A,04H      |
| 0327 | DD 77 00 |        | LD (IX+00H),A |
| 032A | 3E 02    |        | LD A,02H      |
| 032C | 32 2000  |        | LD (2000H),A  |
| 032F | C3 0045  |        | JP NEXT       |
| 0332 | ED 78    | SUB04: | IN A,(C)      |
| 0334 | CB 6F    |        | BIT 5,A       |
| 0336 | C2 0045  |        | JP NZ,NEXT    |
| 0339 | AF       |        | XOR A         |
| 033A | D3 00    |        | OUT (00H),A   |
| 033C | ED 79    |        | OUT (C),A     |
| 033E | C3 02CE  |        | JP H00H       |
| 0341 | DB 01    | SUB05: | IN A,(01H)    |
| 0343 | CB 6F    |        | BIT 5,A       |
| 0345 | CA 0398  |        | JP Z,R01H     |
| 0348 | AF       |        | XOR A         |
| 0349 | 32 2008  |        | LD (2008H),A  |
| 034C | D3 01    |        | OUT (01H),A   |
| 034E | DD 77 02 |        | LD (IX+02H),A |
| 0351 | ED 79    |        | OUT (C),A     |
| 0353 | DD 7E 03 |        | LD A,(IX+03H) |
| 0356 | 16 03    |        | LD D,03H      |
| 0358 | A2       |        | AND D         |
| 0359 | 57       |        | LD D,A        |
| 035A | 3E 01    |        | LD A,01H      |
| 035C | BA       |        | CP D          |
| 035D | CA 0363  |        | JP Z,R02H     |
| 0360 | C3 0368  |        | JP R03H       |
| 0363 | 3E 20    | R02H:  | LD A,20H      |
| 0365 | C3 036A  |        | JP R0BH       |
| 0368 | 3E 40    | R03H:  | LD A,40H      |
| 036A | 32 2008  | R0BH:  | LD (2008H),A  |
| 036D | D3 01    |        | OUT (01H),A   |
| 036F | DD 77 02 |        | LD (IX+02H),A |
| 0372 | ED 79    |        | OUT (C),A     |
| 0374 | 3E 09    | R04H:  | LD A,09H      |
| 0376 | DD 77 00 |        | LD (IX+00H),A |
| 0379 | 3E 02    |        | LD A,02H      |
| 037B | 1E 0A    |        | LD E,0AH      |
| 037D | 06 03    |        | LD B,03H      |
| 037F | B9       | R08H:  | CP C          |
| 0380 | CA 0391  |        | JP Z,R09H     |
| 0383 | 3C       |        | INC A         |
| 0384 | 1C       |        | INC E         |
| 0385 | 05       |        | DEC B         |
| 0386 | C2 037F  |        | JP NZ,R08H    |



|      |          |        |               |
|------|----------|--------|---------------|
| 0389 | 3E 02    | R05H:  | LD A,02H      |
| 038B | DD 77 00 |        | LD (IX+00H),A |
| 038E | C3 0045  |        | JP NEXT       |
| 0391 | 5F       | R09H:  | LD E,A        |
| 0392 | 32 2006  |        | LD (2006H),A  |
| 0395 | C3 0045  |        | JP NEXT       |
| 0398 | ED 78    | R01H:  | IN A,(C)      |
| 039A | CB 6F    |        | BIT 5,A       |
| 039C | C2 0045  |        | JP NZ,NEXT    |
| 039F | AF       |        | XOR A         |
| 03A0 | 32 2006  |        | LD (2006H),A  |
| 03A3 | 32 2009  |        | LD (2009H),A  |
| 03A6 | 32 200A  |        | LD (200AH),A  |
| 03A9 | 3A 2008  |        | LD A,(2008H)  |
| 03AC | 16 08    |        | LD D,08H      |
| 03AE | A2       |        | AND D         |
| 03AF | 32 2008  |        | LD (2008H),A  |
| 03B2 | D3 01    |        | OUT (01H),A   |
| 03B4 | C3 02CE  |        | JP H00H       |
| 03B7 | DB 02    | SUB06: | IN A,(02H)    |
| 03B9 | CB 6F    |        | BIT 5,A       |
| 03BB | CA 040F  |        | JP Z,I01H     |
| 03BE | AF       |        | XOR A         |
| 03BF | 32 200E  |        | LD (200EH),A  |
| 03C2 | D3 02    |        | OUT (02H),A   |
| 03C4 | DD 77 02 |        | LD (IX+02H),A |
| 03C7 | ED 79    |        | OUT (C),A     |
| 03C9 | DD 7E 03 |        | LD A,(IX+03H) |
| 03CC | 16 03    |        | LD D,03H      |
| 03CE | A2       |        | AND D         |
| 03CF | 57       |        | LD D,A        |
| 03D0 | 3E 01    |        | LD A,01H      |
| 03D2 | BA       |        | CP D          |
| 03D3 | CA 03D9  |        | JP Z,I02H     |
| 03D6 | C3 03DE  |        | JP I03H       |
| 03D9 | 3E 20    | I02H:  | LD A,20H      |
| 03DB | C3 03E0  |        | JP I0BH       |
| 03DE | 3E 40    | I03H:  | LD A,40H      |
| 03E0 | DD 77 02 | I0BH:  | LD (IX+02H),A |
| 03E3 | ED 79    |        | OUT (C),A     |
| 03E5 | 32 200E  |        | LD (200EH),A  |
| 03E8 | D3 02    |        | OUT (02H),A   |
| 03EA | 3E 0A    | I04H:  | LD A,0AH      |
| 03EC | DD 77 00 |        | LD (IX+00H),A |
| 03EF | 3E 02    |        | LD A,02H      |
| 03F1 | B9       |        | CP C          |

03F2 CA 0389  
 03F5 3E 01  
 03F7 1E 09  
 03F9 06 04  
 03FB B9  
 03FC CA 0408  
 03FF 3C  
 0400 1C  
 0401 05  
 0402 C2 03FB  
 0405 C3 0389  
 0408 5F  
 0409 32 000C  
 040C C3 0045  
 040F ED 78  
 0411 CB 6F  
 0413 C2 0045  
 0416 AF  
 0417 32 200C  
 041A 32 200F  
 041D 32 2010  
 0420 3A 200E  
 0423 16 08  
 0425 A2  
 0426 32 200E  
 0429 D3 02  
 042B C3 02CE  
 042E DB 03  
 0430 CB 6F  
 0432 CA 0486  
 0435 AF  
 0436 DD 77 02  
 0439 ED 79  
 043B 32 2014  
 043E D3 03  
 0440 DD 7E 03  
 0443 16 03  
 0445 A2  
 0446 57  
 0447 3E 01  
 0449 BA  
 044A CA 0450  
 044D C3 0455  
 0450 3E 20  
 0452 C3 0457  
 0455 3E 40

I08H:

I09H:

I01H:

SUB07:

J02H:

J03H:

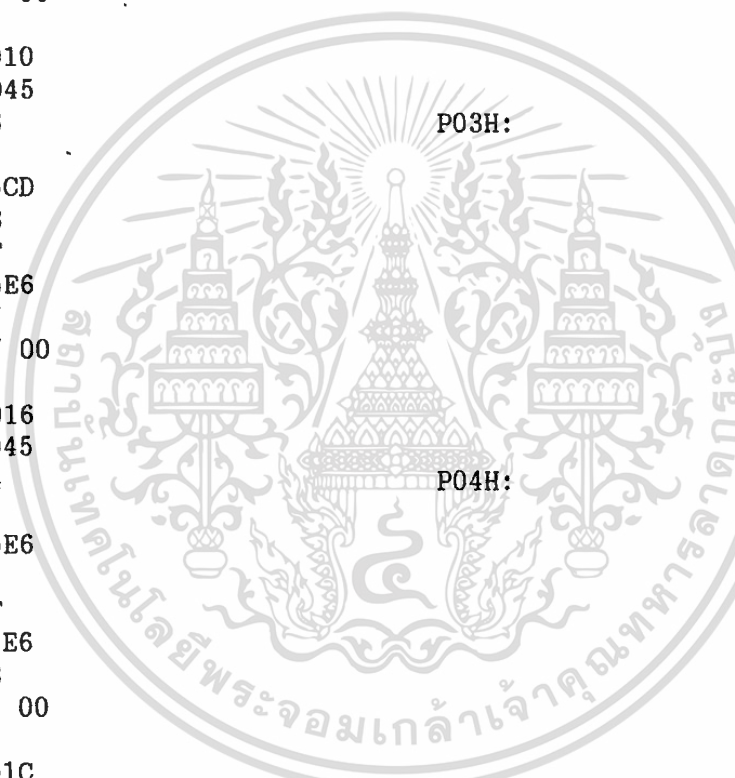
JP Z,R05H  
 LD A,01H  
 LD E,09H  
 LD B,04H  
 CP C  
 JP Z,I09H  
 INC A  
 INC E  
 DEC B  
 JP NZ,I08H  
 JP R05H  
 LD E,A  
 LD (2000CH),A  
 JP NEXT  
 IN A,(C)  
 BIT 5,A  
 JP NZ,NEXT  
 XOR A  
 LD (200CH),A  
 LD (200FH),A  
 LD (2010H),A  
 LD A,(200EH)  
 LD D,08H  
 AND D  
 LD (200EH),A  
 OUT (02H),A  
 JP H00H  
 IN A,(03H)  
 BIT 5,A  
 JP Z,J01H  
 XOR A  
 LD (IX+02H),A  
 OUT (C),A  
 LD (2014H),A  
 OUT (03H),A  
 LD A,(IX+03H)  
 LD D,03H  
 AND D  
 LD D,A  
 LD A,01H  
 CP D  
 JP Z,J02H  
 JP J03H  
 LD A,20H  
 JP J0BH  
 LD A,40H

|      |          |        |               |
|------|----------|--------|---------------|
| 0457 | DD 77 02 | J0BH:  | LD (IX+02H),A |
| 045A | ED 79    |        | OUT (C),A     |
| 045C | 32 2014  |        | LD (2014H),A  |
| 045F | D3 03    |        | OUT (03H),A   |
| 0461 | 3E 0B    | J04H:  | LD A,0BH      |
| 0463 | DD 77 00 |        | LD (IX+00H),A |
| 0466 | 3E 03    |        | LD A,03H      |
| 0468 | B9       |        | CP C          |
| 0469 | CA 0389  |        | JP Z,R05H     |
| 046C | 3E 01    |        | LD A,01H      |
| 046E | 1E 09    |        | LD E,09H      |
| 0470 | 06 04    |        | LD B,04H      |
| 0472 | B9       | J08H:  | CP C          |
| 0473 | CA 047F  |        | JP Z,J09H     |
| 0476 | 3C       |        | INC A         |
| 0477 | 1C       |        | INC E         |
| 0478 | 05       |        | DEC B         |
| 0479 | C2 0472  | J09H:  | JP NZ,J08H    |
| 047C | C3 0389  |        | JP R05H       |
| 047F | 7B       |        | LD A,E        |
| 0480 | 32 2012  | J01H:  | LD (2012H),A  |
| 0483 | C3 0045  |        | JP NEXT       |
| 0486 | ED 78    |        | IN A,(C)      |
| 0488 | CB 6F    |        | BIT 5,A       |
| 048A | C2 0045  |        | JP NZ,NEXT    |
| 048D | AF       |        | XOR A         |
| 048E | 32 2012  |        | LD (2012H),A  |
| 0491 | 32 2015  |        | LD (2015H),A  |
| 0494 | 32 2016  |        | LD (2016H),A  |
| 0497 | 3A 2014  |        | LD A,(2014H)  |
| 049A | 16 08    |        | LD D,08H      |
| 049C | A2       |        | AND D         |
| 049D | 32 2014  |        | LD (2014H),A  |
| 04A0 | D3 03    |        | OUT (03H),A   |
| 04A2 | C3 02CE  |        | JP H00H       |
| 04A5 | DB 04    | SUB08: | IN A,(04H)    |
| 04A7 | CB 6F    |        | BIT 5,A       |
| 04A9 | CA 04FD  |        | JP Z,K01H     |
| 04AC | AF       |        | XOR A         |
| 04AD | DD 77 02 |        | LD (IX+02H),A |
| 04B0 | ED 79    |        | OUT (C),A     |
| 04B2 | 32 201A  |        | LD (201AH),A  |
| 04B5 | D3 04    |        | OUT (04H),A   |
| 04B7 | DD 7E 03 |        | LD A,(IX+03H) |
| 04BA | 16 03    |        | LD D,03H      |
| 04BC | A2       |        | AND D         |

|      |          |         |               |
|------|----------|---------|---------------|
| 04BD | 57       |         | LD D,A        |
| 04BE | 3E 01    |         | LD A,01H      |
| 04C0 | BA       |         | CP D          |
| 04C1 | CA 04C7  |         | JP Z,K02H     |
| 04C4 | C3 04CC  |         | JP K03H       |
| 04C7 | 3E 20    | K02H:   | LD A,20H      |
| 04C9 | C3 04CE  |         | JP K0BH       |
| 04CC | 3E 40    | K03H:   | LD A,40H      |
| 04CE | DD 77 02 | K0BH: : | LD (IX+02H),A |
| 04D1 | ED 79    |         | OUT (C),A     |
| 04D3 | 32 201A  |         | LD (201AH),A  |
| 04D6 | D3 04    |         | OUT (04H),A   |
| 04D8 | 3E 0C    | K04H:   | LD A,0CH      |
| 04DA | DD 77 00 |         | LD (IX+00H),A |
| 04DD | 3E 04    |         | LD A,04H      |
| 04DF | B9       |         | CP C          |
| 04E0 | CA 0389  |         | JP Z,R05H     |
| 04E3 | 3E 01    |         | LD A,01H      |
| 04E5 | 1E 09    |         | LD E,09H      |
| 04E7 | 06 04    |         | LD B,04       |
| 04E9 | B9       | K08H:   | CP C          |
| 04EA | CA 04F6  |         | JP Z,K09H     |
| 04ED | 3C       |         | INC A         |
| 04EE | 1C       |         | INC E         |
| 04EF | 05       |         | DEC B         |
| 04F0 | C2 04E9  |         | JP NZ,K08H    |
| 04F3 | C3 0389  |         | JP R05H       |
| 04F6 | 7B       | K09H:   | LD A,E        |
| 04F7 | 32 2018  |         | LD (2018H),A  |
| 04FA | C3 0045  |         | JP NEXT       |
| 04FD | ED 78    | K01H:   | IN A,(C)      |
| 04FF | CB 6F    |         | BIT 5,A       |
| 0501 | C2 0045  |         | JP NZ,NEXT    |
| 0504 | AF       |         | XOR A         |
| 0505 | 32 2018  |         | LD (2018H),A  |
| 0508 | 32 201B  |         | LD (201BH),A  |
| 050B | 32 201C  |         | LD (201CH),A  |
| 050E | 3A 201A  |         | LD A,(201AH)  |
| 0511 | 16 08    |         | LD D,08H      |
| 0513 | A2       |         | AND D         |
| 0514 | 32 201A  |         | LD (201AH),A  |
| 0517 | D3 04    |         | OUT (04H),A   |
| 0519 | C3 02CE  |         | JP H00H       |
| 051C | ED 78    | SUB09:  | IN A,(C)      |
| 051E | CB 6F    |         | BIT 5,A       |
| 0520 | C2 0045  |         | JP NZ,NEXT    |

|      |          |        |               |
|------|----------|--------|---------------|
| 0523 | 3E 02    |        | LD A,02H      |
| 0525 | 32 2006  |        | LD (2006H),A  |
| 0528 | C3 02C5  |        | JP H07H       |
| 052B | ED 78    | SUB0A: | IN A,(C)      |
| 052D | CB 6F    |        | BIT 5,A       |
| 052F | C2 0045  |        | JP NZ,NEXT    |
| 0532 | 3E 02    |        | LD A,02H      |
| 0534 | 32 200C  |        | LD (200CH),A  |
| 0537 | C3 02C5  |        | JP H07H       |
| 053A | ED 78    | SUB0B: | IN A,(C)      |
| 053C | CB 6F    |        | BIT 5,A       |
| 053E | C2 0045  |        | JP NZ,NEXT    |
| 0541 | 3E 02    |        | LD A,02H      |
| 0543 | 32 2012  |        | LD (2012H),A  |
| 0546 | C3 02C5  |        | JP H07H       |
| 0549 | ED 78    | SUB0C: | IN A,(C)      |
| 054B | CB 6F    |        | BIT 5,A       |
| 054D | C2 0045  |        | JP NZ,NEXT    |
| 0550 | 3E 02    |        | LD A,02H      |
| 0552 | 32 2018  |        | LD (2018H),A  |
| 0555 | C3 02C5  |        | JP H07H       |
| 0558 | 3E 10    | SUB14: | LD A,10H      |
| 055A | DD 77 02 |        | LD (IX+02H),A |
| 055D | ED 79    |        | OUT (C),A     |
| 055F | ED 78    |        | IN A,(C)      |
| 0561 | CB 6F    |        | BIT 5,A       |
| 0563 | CA 0045  |        | JP Z,NEXT     |
| 0566 | AF       |        | XOR A         |
| 0567 | DD 77 02 |        | LD (IX+02H),A |
| 056A | ED 79    |        | OUT (C),A     |
| 056C | DD 7E 04 |        | LD A,(IX+04H) |
| 056F | 57       |        | LD D,A        |
| 0570 | B9       |        | CP C          |
| 0571 | CA 05E6  |        | JP Z,P05H     |
| 0574 | 3E 10    | P00H:  | LD A,10H      |
| 0576 | BA       |        | CP D          |
| 0577 | C2 0582  |        | JP NZ,P01H    |
| 057A | 3E 03    |        | LD A,03H      |
| 057C | DD 77 00 |        | LD (IX+00H),A |
| 057F | C3 0045  |        | JP NEXT       |
| 0582 | 3E 01    | P01H:  | LD A,01H      |
| 0584 | BA       |        | CP D          |
| 0585 | C2 059B  |        | JP NZ,P02H    |
| 0588 | DB 01    |        | IN A,(01H)    |
| 058A | CB 6F    |        | BIT 5,A       |
| 058C | CA 05E6  |        | JP Z,P05H     |

|      |          |        |               |
|------|----------|--------|---------------|
| 058F | 3E 05    |        | LD A,05H      |
| 0591 | DD 77 00 |        | LD (IX+00H),A |
| 0594 | 79       |        | LD A,C        |
| 0595 | 32 200C  |        | LD (200CH),A  |
| 0598 | C3 0045  |        | JP NEXT       |
| 059B | 3E 02    | P02H:  | LD A,02H      |
| 059D | BA       |        | CP D          |
| 059E | C2 05B4  |        | JP NZ,P03H    |
| 05A1 | DB 02    |        | IN A,(02H)    |
| 05A3 | CB 6F    |        | BIT 5,A       |
| 05A5 | CA 05E6  |        | JP Z,P05H     |
| 05A8 | 3E 06    |        | LD A,06H      |
| 05AA | DD 77 00 |        | LD (IX+00H),A |
| 05AD | 79       |        | LD A,C        |
| 05AE | 32 2010  |        | LD (2010H),A  |
| 05B1 | C3 0045  |        | JP NEXT       |
| 05B4 | 3E 03    | P03H:  | LD A,03H      |
| 05B6 | BA       |        | CP D          |
| 05B7 | C2 05CD  |        | JP NZ,P04H    |
| 05BA | DB 03    |        | IN A,(03H)    |
| 05BC | CB 6F    |        | BIT 5,A       |
| 05BE | CA 05E6  |        | JP Z,P05H     |
| 05C1 | 3E 07    |        | LD A,07H      |
| 05C3 | DD 77 00 |        | LD (IX+00H),A |
| 05C6 | 79       |        | LD A,C        |
| 05C7 | 32 2016  |        | LD (2016H),A  |
| 05CA | C3 0045  |        | JP NEXT       |
| 05CD | 3E 04    | P04H:  | LD A,04H      |
| 05CF | BA       |        | CP D          |
| 05D0 | C2 05E6  |        | JP NZ,P05H    |
| 05D3 | DB 04    |        | IN A,(04H)    |
| 05D5 | CB 6F    |        | BIT 5,A       |
| 05D7 | CA 05E6  |        | JP Z,P05H     |
| 05DA | 3E 08    |        | LD A,08H      |
| 05DC | DD 77 00 |        | LD (IX+00H),A |
| 05DF | 79       |        | LD A,C        |
| 05E0 | 32 201C  |        | LD (201CH),A  |
| 05E3 | C3 0045  |        | JP NEXT       |
| 05E6 | 3E 02    | P05H:  | LD A,02H      |
| 05E8 | DD 77 02 |        | LD (IX+02H),A |
| 05EB | ED 79    |        | OUT (C),A     |
| 05ED | DD 77 00 |        | LD (IX+00H),A |
| 05F0 | C3 0045  |        | JP NEXT       |
| 05F3 | DD 7E 03 | SUB15: | LD A,(IX+03H) |
| 05F6 | 57       |        | LD D,A        |
| 05F7 | 3E 01    |        | LD A,01H      |



05F9 BA  
 05FA C2 0672  
 05FD 3E 61  
 05FF 32 2002  
 0602 D3 00  
 0604 D3 00  
 0606 3A 2008  
 0609 16 08  
 060B B2  
 060C 32 07D8  
 060F D3 01  
 0611 ED 78  
 0613 CB 6F  
 0615 C2 0045  
 0618 3A 2008  
 061B 16 F7  
 061D A2  
 061E 32 2008  
 0621 D3 01  
 0623 3E 21  
 0625 32 2002  
 0628 D3 00  
 062A DD 7E 03  
 062D 32 2003  
 0630 3E 14  
 0632 DD 77 00  
 0635 DD 7E 04  
 0638 57  
 0639 3E 01  
 063B BA  
 063C C2 0646  
 063F AF  
 0640 32 2006  
 0643 C3 066A  
 0646 3E 02  
 064 BA  
 0649 C2 0653  
 064C AF  
 064D 32 200C  
 0650 C3 066A  
 0653 3E 03  
 0655 BA  
 0656 C2 0660  
 0659 AF  
 065A 32 2012  
 065D C3 066A

CP D  
 JP NZ,Q01H  
 LD A,61H  
 LD (2002H),A  
 OUT (00H),A  
 OUT (00H),A  
 LD A,(2008H)  
 LD D,08H  
 OR D  
 LD (2008),A  
 OUT (01H),A  
 IN A,(C)  
 BIT 5,A  
 JP NZ,NEXT  
 LD A,(2008H)  
 LD D,0F7H  
 AND D  
 LD (2008H),A  
 OUT (01H),A  
 LD A,21H  
 LD (2002H),A  
 OUT (00),A  
 LD A,(IX+03H)  
 LD (2003H),A  
 LD A,14H  
 LD (IX+00H),A  
 LD A,(IX+04H)  
 LD D,A  
 LD A,01H  
 CP D  
 JP NZ,Q02H  
 XOR A  
 LD (2006H),A  
 JP Q05H  
 LD A,02H  
 CP D  
 JP NZ,Q03H  
 XOR A  
 LD (200CH),A  
 JP Q05H  
 LD A,03H  
 CP D  
 JP NZ,Q04H  
 XOR A  
 LD (2012H),A  
 JP Q05H

Q06H:

Q02H:

Q03H:

|      |          |       |               |
|------|----------|-------|---------------|
| 0660 | 3E 04    | Q04H: | LD A,04H      |
| 0662 | BA       |       | CP D          |
| 0663 | C2 066A  |       | JP NZ,Q05H    |
| 0666 | AF       |       | XOR A         |
| 0667 | 32 2018  |       | LD (2018H),A  |
| 066A | 3E 10    | Q05H: | LD A,10H      |
| 066C | DD 77 04 |       | LD (IX+04H),A |
| 066F | C3 0045  |       | JP NEXT       |
| 0672 | 3E 02    | Q01H: | LD A,02H      |
| 0674 | BA       |       | CP D          |
| 0675 | C2 02B7  |       | JP NZ,SUB02   |
| 0678 | 3E 61    |       | LD A,61H      |
| 067A | 32 2002  |       | LD (2002H),A  |
| 067D | D3 00    |       | OUT (00H),A   |
| 067F | 3A 200E  |       | LD A,(200EH)  |
| 0682 | 16 08    |       | LD D,08H      |
| 0684 | B2       |       | OR D          |
| 0685 | 32 200E  |       | LD (200EH),A  |
| 0688 | D3 02    |       | OUT (02H),A   |
| 068A | ED 78    |       | IN A,(C)      |
| 068C | CB 6F    |       | BIT 5,A       |
| 068E | C2 0045  |       | JP NZ,NEXT    |
| 0691 | 3A 200E  |       | LD A,(200EH)  |
| 0694 | 16 F7    |       | LD D,0F7H     |
| 0696 | A2       |       | AND D         |
| 0697 | 32 200E  |       | LD (200EH),A  |
| 069A | D3 02    |       | OUT (02H),A   |
| 069C | 3E 21    |       | LD A,21H      |
| 069E | 32 2002  |       | LD (2002H),A  |
| 06A1 | D3 00    |       | OUT (00H),A   |
| 06A3 | C3 062A  |       | JP Q06H       |
| 06A6 | DD 7E 00 | SEXT: | LD A,(IX+00H) |
| 06A9 | 57       |       | LD D,A        |
| 06AA | 3E 00    |       | LD A,00H      |
| 06AC | BA       |       | CP D          |
| 06AD | C 0700   |       | JP Z,EX00H    |
| 06B0 | 3C       |       | INC A         |
| 06B1 | BA       |       | CP D          |
| 06B2 | CA 0716  |       | JP Z,EX01H    |
| 06B5 | 3C       |       | INC A         |
| 06B6 | BA       |       | CP D          |
| 06B7 | CA 0045  |       | JP Z,NEXT     |
| 06BA | 3E 05    |       | LD A,05H      |
| 06BC | BA       |       | CP D          |
| 06BD | CA 0968  |       | JP Z,EX05H    |
| 06C0 | 3C       |       | INC A         |

|      |          |               |
|------|----------|---------------|
| 06C1 | BA       | CP D          |
| 06C2 | CA 09CE  | JP Z,EX06H    |
| 06C5 | 3C       | INC A         |
| 06C6 | BA       | CP D          |
| 06C7 | CA 0A34  | JP Z,EX07H    |
| 06CA | 3C       | INC A         |
| 06CB | BA       | CP D          |
| 06CC | CA 0A8C  | JP Z,EX08H    |
| 06CF | 3C       | INC A         |
| 06D0 | BA       | CP D          |
| 06D1 | CA 0AE1  | JP Z,EX09H    |
| 06D4 | 3C       | INC A         |
| 06D5 | BA       | CP D          |
| 06D6 | CA 0C3E  | JP Z,EX0AH    |
| 06D9 | 3C       | INC A         |
| 06DA | BA       | CP D          |
| 06DB | CA 0D2A  | JP Z,EX0BH    |
| 06DE | 3C       | INC A         |
| 06DF | BA       | CP D          |
| 06E0 | CA 0DD8  | JP Z,EX0CH    |
| 06E3 | 3C       | INC A         |
| 06E4 | BA       | CP D          |
| 06E5 | CA 0E82  | JP Z,EX0DH    |
| 06E8 | 3C       | INC A         |
| 06E9 | BA       | CP D          |
| 06EA | CA 0E99  | JP Z,EX0EH    |
| 06ED | 3C       | INC A         |
| 06EE | BA       | CP D          |
| 06EF | CA 0EB1  | JP Z,EX0FH    |
| 06F2 | 3C       | INC A         |
| 06F3 | BA       | CP D          |
| 06F4 | CA 0EC9  | JP Z,EX10H    |
| 06F7 | AF       | XOR A         |
| 06F8 | DD 77 02 | LD (IX+02H),A |
| 06FB | ED 79    | OUT (C),A     |
| 06FD | C3 0045  | JP NEXT       |
| 0700 | ED 78    | IN A,(C)      |
| 0702 | DD 77 01 | LD (IX+01H),A |
| 0705 | CB 6F    | BIT 5,A       |
| 0707 | CA 0045  | JP Z,NEXT     |
| 070A | 3E 03    | LD A,03H      |
| 070C | ED 79    | OUT (C),A     |
| 070E | 3E 01    | LD A,01H      |
| 0710 | DD 77 00 | LD (IX+00H),A |
| 0713 | C3 0045  | JP NEXT       |
| 0716 | ED 78    | IN A,(C)      |

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

|      |             |                |
|------|-------------|----------------|
| 0718 | DD 77 01    |                |
| 071B | CB 67       | LD (IX+01H),A  |
| 071D | CA 0749     | BIT 4,A        |
| 0720 | DD 7E 02    | JP Z,COUNT     |
| 0723 | 16 40       | LD A,(IX+02H)  |
| 0725 | A2          | LD D,40H       |
| 0726 | 16 21       | AND D          |
| 0728 | B2          | LD D,21H       |
| 0729 | DD 77 02    | OR D           |
| 072C | ED 79       | LD (IX+02H),A  |
| 072E | ED 78       | OUT (C),A      |
| 0730 | 16 0F       | IN A,(C)       |
| 0732 | A2          | LD D,0FH       |
| 0733 | 57          | AND D          |
| 0734 | 3E 02       | LD D,A         |
| 0736 | BA          | LD A,02H       |
| 0737 | CA 0760     | CP D           |
| 073A | 3E 03       | JP Z,CHE2      |
| 073C | BA          | LD A,03H       |
| 073D | CA 07E5     | CP D           |
| 0740 | 3E 04       | JP Z,CHE3      |
| 0742 | BA          | LD A,04H       |
| 0743 | CA 086A     | CP D           |
| 0746 | C3 08E9     | JP Z,CHE4      |
| 0749 | FD 21 2021  | JP CHE1        |
| 074D | FD 34 00    | LD IY,2021H    |
| 0750 | FD 7E 00    | INC (IY+00H)   |
| 0753 | 1E FF       | LD A,(IY+00H)  |
| 0755 | BB          | LD E,0FFH      |
| 0756 | C2 0045     | CP E           |
| 0759 | FD 36 00 00 | JP NZ,NEXT     |
| 075D | C3 08E9     | LD (IY+00H),00 |
| 0760 | 3A 2002     | JP CHE1        |
| 0763 | 16 40       | LD A,(2002H)   |
| 0765 | A2          | LD D,40H       |
| 0766 | 16 21       | AND D          |
| 0768 | B2          | LD D,21H       |
| 0769 | 32 2002     | OR D           |
| 076C | ED 79       | LD (2002H),A   |
| 076E | 3A 200C     | OUT (C),A      |
| 0771 | 57          | LD A,(200CH)   |
| 0772 | AF          | LD D,A         |
| 0773 | BA          | XOR A          |
| 0774 | C2 07BB     | CP D           |
| 0777 | 7E          | JP NZ,W01H     |
| 0778 | 16 03       | LD A,(HL)      |
|      |             | LD D,03H       |

|      |         |       |              |
|------|---------|-------|--------------|
| 077A | A2      |       | AND D        |
| 077B | 57      |       | LD D,A       |
| 077C | 3E 03   |       | LD A,03H     |
| 077E | BB      |       | CP E         |
| 077F | CA 07BB |       | JP Z,W01H    |
| 0782 | 3E 02   |       | LD A,02H     |
| 0784 | BB      |       | CP E         |
| 0785 | CA 078B |       | JP Z,W02H    |
| 0788 | C3 0797 |       | JP W03H      |
| 078B | 3E 01   | W02H: | LD A,01H     |
| 078D | 77      |       | LD (HL),A    |
| 078E | 32 2003 |       | LD (2003H),A |
| 0791 | 32 200F |       | LD (200FH),A |
| 0794 | C3 07A4 |       | JP W04H      |
| 0797 | 7E      | W03H: | LD A,(HL)    |
| 0798 | 16 02   |       | LD D,02H     |
| 079A | B2      |       | OR D         |
| 079B | 77      |       | LD (HL),A    |
| 079C | 3E 02   |       | LD A,02H     |
| 079E | 32 2003 |       | LD (2003H),A |
| 07A1 | 32 200F |       | LD (200FH),A |
| 07A4 | 3E 10   | W04H: | LD A,10H     |
| 07A6 | 32 2010 |       | LD (2010H),A |
| 07A9 | 3E 14   |       | LD A,14H     |
| 07AB | 32 200C |       | LD (200CH),A |
| 07AE | 3E 06   |       | LD A,06H     |
| 07B0 | 32 2000 |       | LD (2000H),A |
| 07B3 | 3E 02   |       | LD A,02H     |
| 07B5 | 32 2004 |       | LD (2004H),A |
| 07B8 | C3 0045 | W01H: | JP NEXT      |
| 07BB | 3A 200C |       | LD A,(200CH) |
| 07BE | 57      |       | LD D,A       |
| 07BF | 3E 09   |       | LD A,09H     |
| 07C1 | BA      |       | CP D         |
| 07C2 | CA 07D8 |       | JP Z,W05H    |
| 07C5 | 3C      |       | INCA         |
| 07C6 | 3C      |       | INC A        |
| 07C7 | BA      |       | CP D         |
| 07C8 | CA 07D8 |       | JP Z,W05H    |
| 07CB | 3C      |       | INC A        |
| 07CC | BA      |       | CP D         |
| 07CD | CA 07D8 |       | JP Z,W05H    |
| 07D0 | 3E 0E   |       | LD A,0EH     |
| 07D2 | 32 2000 |       | LD (2000H),A |
| 07D5 | C3 0045 |       | JP NEXT      |
| 07D8 | 3E 15   | W05H: | LD A,15H     |

|      |    |      |              |
|------|----|------|--------------|
| 07DA | 32 | 200C | LD (200CH),A |
| 07DD | 3E | 06   | LD A,06H     |
| 07DF | 32 | 2000 | LD (2000H),A |
| 07E2 | C3 | 0045 | JP NEXT      |
| 07E5 | 3A | 2002 | LD A,(2002H) |
| 07E8 | 16 | 40   | LD D,40H     |
| 07EA | A2 |      | AND D        |
| 07EB | 16 | 21   | LD D,21H     |
| 07ED | B2 |      | OR D         |
| 07EE | 32 | 2002 | LD (2002H),A |
| 07F1 | ED | 79   | OUT (C),A    |
| 07F3 | 3A | 2012 | LD A,(2012H) |
| 07F6 | 57 |      | LD D,A       |
| 07F7 | AF |      | XOR A        |
| 07F8 | BA |      | CP D         |
| 07F9 | C2 | 0840 | JP NZ,U01H   |
| 07FC | 7E |      | LD A,(HL)    |
| 07FD | 16 | 03   | LD D,03H     |
| 07FF | A2 |      | AND D        |
| 0800 | 5F |      | LD E,A       |
| 0801 | 3E | 03   | LD A,03H     |
| 0803 | BB |      | CP E         |
| 0804 | CA | 0840 | JP Z,U01H    |
| 0807 | 3E | 02   | LD A,02H     |
| 0809 | BB |      | CP E         |
| 080A | CA | 0810 | JP Z,U02H    |
| 080D | C3 | 081C | JP U03H      |
| 0810 | 3E | 01   | LD A,01H     |
| 0812 | 77 |      | LD (HL),A    |
| 0813 | 32 | 2003 | LD (2003H),A |
| 0816 | 32 | 2015 | LD (2015H),A |
| 0819 | C3 | 0829 | JP U04H      |
| 081C | 7E |      | LD A,(HL)    |
| 081D | 16 | 02   | LD D,02H     |
| 081F | B2 |      | OR D         |
| 0820 | 77 |      | LD (HL),A    |
| 0821 | 3E | 02   | LD A,02H     |
| 0823 | 32 | 2003 | LD (2003H),A |
| 0826 | 32 | 2015 | LD (2015H),A |
| 0829 | 3E | 01   | LD A,01H     |
| 082B | 32 | 2016 | LD (2016H),A |
| 082E | 3E | 14   | LD A,14H     |
| 0830 | 32 | 2012 | LD (2012H),A |
| 0833 | 3E | 07   | LD A,07H     |
| 0835 | 32 | 2000 | LD (2000H),A |
| 0838 | 3E | 03   | LD A,03H     |

CHE3:

U02H:

U03H:

U04H:

|      |    |      |       |              |
|------|----|------|-------|--------------|
| 083A | 32 | 2004 |       | LD (2004H),A |
| 083D | C3 | 0045 |       | JP NEXT      |
| 0840 | 32 | 2012 | U01H: | LD (2012H),A |
| 0843 | 57 |      |       | LD D,A       |
| 0844 | 3E | 09   |       | LD A,09H     |
| 0846 | BA |      |       | CP D         |
| 0847 | CA | 085D |       | JP Z,U05H    |
| 084A | 3C |      |       | INC A        |
| 084B | BA |      |       | CP D         |
| 084C | CA | 085D |       | JP Z,U05H    |
| 084F | 3C |      |       | INC A        |
| 0850 | 3C |      |       | INC A        |
| 0851 | BA |      |       | CP D         |
| 0852 | CA | 085D |       | JP Z,U05H    |
| 0855 | 3E | 0F   |       | LD A,0FH     |
| 0857 | 32 | 2000 |       | LD (2000H),A |
| 085A | C3 | 0045 |       | JP NEXT      |
| 085D | 3E | 15   | U05H: | LD A,15H     |
| 085F | 32 | 2012 |       | LD (2012H),A |
| 0862 | 3E | 07   |       | LD A,07H     |
| 0864 | 32 | 2000 |       | LD (2000H),A |
| 0867 | C3 | 0045 |       | JP NEXT      |
| 086A | 3A | 2002 | CHE4: | LD A,(2002H) |
| 086D | 16 | 40   |       | LD D,40H     |
| 086F | A2 |      |       | AND D        |
| 0870 | 16 | 21   |       | LD D,21H     |
| 0872 | B2 |      |       | OR D         |
| 0873 | 32 | 2002 |       | LD (2002H),A |
| 0876 | ED | 79   |       | OUT (C),A    |
| 0878 | 3A | 2018 |       | LD A,(2018H) |
| 087B | 57 |      |       | LD D,A       |
| 087C | AF |      |       | XOR A        |
| 087D | BA |      |       | CP D         |
| 087E | CA | 08C0 |       | JP Z,T01H    |
| 0881 | 7E |      |       | LD A,(HL)    |
| 0882 | 16 | 03   |       | LD D,03H     |
| 0884 | A2 |      |       | AND D        |
| 0885 | 5F |      |       | LD E,A       |
| 0886 | 3E | 03   |       | LD A,03H     |
| 0888 | BB |      |       | CP E         |
| 0889 | CA | 08C0 |       | JP Z,T01H    |
| 088C | 3E | 02   |       | LD A,02H     |
| 088E | BB |      |       | CP E         |
| 088F | CA | 0895 |       | JP Z,T02H    |
| 0892 | C3 | 08A1 |       | JP T03H      |
| 0895 | 3E | 01   | T02H: | LD A,01H     |

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

|      |    |      |              |
|------|----|------|--------------|
| 0897 | 77 |      | LD (HL),A    |
| 0898 | 32 | 2003 | LD (2003H),A |
| 089B | 32 | 201B | LD (201BH),A |
| 089E | C3 | 08AE | JP T04H      |
| 08A1 | 7E |      | LD A,(HL)    |
| 08A2 | 16 | 02   | LD D,02H     |
| 08A4 | B2 |      | OR D         |
| 08A5 | 77 |      | LD (HL),A    |
| 08A6 | 3E | 02   | LD A,02H     |
| 08A8 | 32 | 2003 | LD (2003H),A |
| 08AB | 32 | 201B | LD (201BH),A |
| 08AE | 3E | 10   | LD A,10H     |
| 08B0 | 32 | 201C | LD (201CH),A |
| 08B3 | 3E | 14   | LD A,14H     |
| 08B5 | 32 | 2018 | LD (2018H),A |
| 08B8 | 3E | 08   | LD A,08H     |
| 08BA | 32 | 2000 | LD (2000H),A |
| 08BD | C3 | 0045 | JP NEXT      |
| 08C0 | 3A | 2018 | LD A,(2018H) |
| 08C3 | 57 |      | LD D,A       |
| 08C4 | 3E | 09   | LD A,09H     |
| 08C6 | BA |      | CP D         |
| 08C7 | CA | 08DC | JP Z,T05H    |
| 08CA | 3C |      | INC A        |
| 08CB | BA |      | CP D         |
| 08CC | CA | 08DC | JP Z,T05H    |
| 08CF | 3C |      | INC A        |
| 08D0 | BA |      | CP D         |
| 08D1 | CA | 08DC | JP Z,T05H    |
| 08D4 | 3E | 10   | LD A,10H     |
| 08D6 | 32 | 2000 | LD (2000H),A |
| 08D9 | C3 | 0045 | JP NEXT      |
| 08DC | 3E | 15   | LD A,15H     |
| 08DE | 32 | 2018 | LD (2018H),A |
| 08E1 | 3E | 08   | LD A,08H     |
| 08E3 | 32 | 2000 | LD (2000H),A |
| 08E6 | C3 | 0045 | JP NEXT      |
| 08E9 | 3A | 2002 | LD A,(2002H) |
| 08EC | 16 | 40   | LD D,40H     |
| 08EE | A2 |      | AND D        |
| 08EF | 16 | 21   | LD D,21H     |
| 08F1 | B2 |      | OR D         |
| 08F2 | 32 | 2002 | LD (2002H),A |
| 08F5 | ED | 79   | OUT (C),A    |
| 08F7 | 3A | 2006 | LD A,(2006H) |
| 08FA | 57 |      | LD D,A       |

T03H:

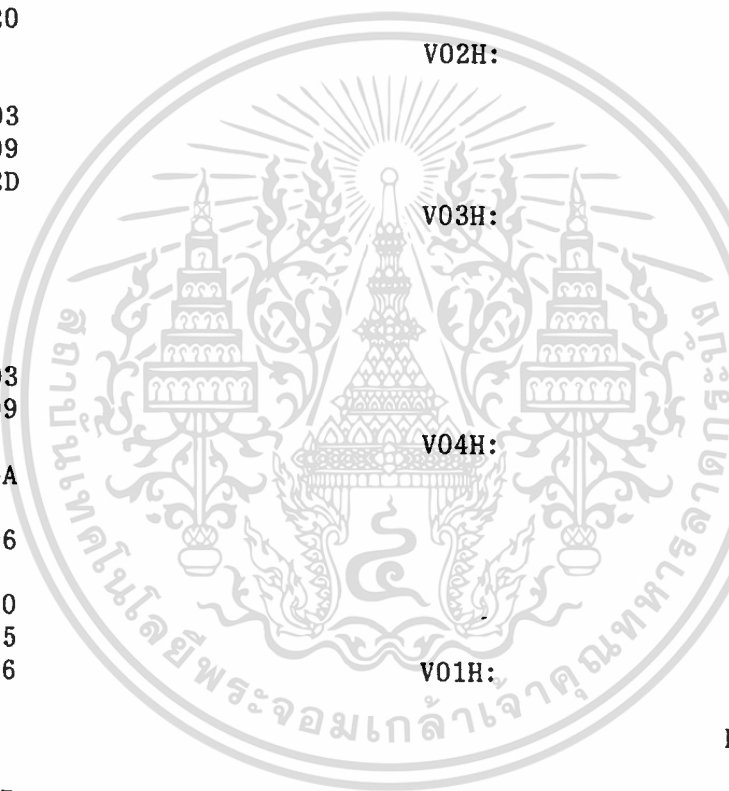
T04H:

T01H:

T05H:

CHE1:

08FB AF  
 08FC BA  
 08FD C2 093F  
 0900 7E  
 0901 16 03  
 0903 A2  
 0904 5F  
 0905 3E 03  
 0907 BB  
 0908 CA 093F  
 090B 3E 02  
 090D BB  
 090E CA 0914  
 0911 C3 0920  
 0914 3E 01  
 0916 77  
 0917 32 2003  
 091A 32 2009  
 091D C3 092D  
 0920 7E  
 0921 16 02  
 0923 B2  
 0924 77  
 0925 3E 02  
 0927 32 2003  
 092A 32 2009  
 092D 3E 10  
 092F 32 200A  
 0932 3E 14  
 0934 32 2006  
 0937 3E 05  
 0939 32 2000  
 093C C3 0045  
 093F 3A 2006  
 0942 57  
 0943 3E 0A  
 0945 BA  
 0946 CA 095B  
 0949 3C  
 094A BA  
 094B CA 095B  
 094E 3C  
 094F BA  
 0950 CA 095B  
 0953 3E 0D  
 0955 32 2000



XOR A  
 CP D  
 JP NZ,V01H  
 LD A,(HL)  
 LD D,03H  
 AND D  
 LD E,A  
 LD A,03H  
 CP E  
 JP Z,V01H  
 LD A,02H  
 CP E  
 JP Z,V02H  
 JP V03H  
 LD A,01H  
 LD (HL),A  
 LD (2003H),A  
 LD (2009H),A  
 JP V04H  
 LD A,(HL)  
 LD D,02H  
 OR D  
 LD (HL),A  
 LD A,02H  
 LD (2003H),A  
 LD (2009H),A  
 LD A,10H  
 LD (200AH),A  
 LD A,14H  
 LD (2006H),A  
 LD A,05H  
 LD (2000H),A  
 JP NEXT  
 LD A,(2006H)  
 LD D,A  
 LD A,0AH  
 CP D  
 JP Z,V05H  
 INC A  
 CP D  
 JP Z,V05H  
 INC A  
 CP D  
 JP Z,V05H  
 LD A,0DH  
 LD (2000H),A

|      |         |        |              |
|------|---------|--------|--------------|
| 0958 | C3 0045 |        | JP NEXT      |
| 095B | 3E 15   | V05H:  | LD A,15H     |
| 095D | 32 2006 |        | LD (2006H),A |
| 0960 | 3E 05   |        | LD A,05H     |
| 0962 | 32 2000 |        | LD (2000H),A |
| 0965 | C3 0045 |        | JP NEXT      |
| 0968 | 3A 2002 | EX05H: | LD A,(2002H) |
| 096B | 16 40   |        | LD D,40H     |
| 096D | A2      |        | AND D        |
| 096E | 1E 21   |        | LD E,21H     |
| 0970 | B3      |        | OR E         |
| 0971 | 32 2002 |        | LD (2002H),A |
| 0974 | ED 79   |        | OUT (C),A    |
| 0976 | 3A 2006 |        | LD A,(2006H) |
| 0979 | 5F      |        | LD E,A       |
| 097A | 3E 14   |        | LD A,14H     |
| 097C | BB      |        | CP E         |
| 097D | C2 0045 |        | JP NZ,NEXT   |
| 0980 | DB 01   |        | IN A,(01H)   |
| 0982 | 32 2007 |        | LD (2007H),A |
| 0985 | CB 6F   |        | BIT 5,A      |
| 0987 | CA 0045 |        | JP Z,NEXT    |
| 098A | 32 2008 |        | LD (2008H),A |
| 098D | 16 40   |        | LD D,40H     |
| 098F | A2      |        | AND D        |
| 0990 | 32 2008 |        | LD (2008H),A |
| 0993 | D3 01   |        | OUT (01H),A  |
| 0995 | 3A 2003 |        | LD A,(2003H) |
| 0998 | 16 03   |        | LD D,03H     |
| 099A | A2      |        | AND D        |
| 099B | 5F      |        | LD E,A       |
| 099C | 3E 01   |        | LD A,01H     |
| 099E | BB      |        | CP E         |
| 099F | CA 09B3 |        | JP Z,AA1     |
| 09A2 | 3E 09   |        | LD A,09H     |
| 09A4 | 32 2002 |        | LD (2002H),A |
| 09A7 | ED 79   |        | OUT (C),A    |
| 09A9 | 3E 40   |        | LD A,40H     |
| 09AB | 32 2008 |        | LD (2008H),A |
| 09AE | D3 01   |        | OUT (01H),A  |
| 09B0 | C3 09C1 |        | JP AA2       |
| 09B3 | 3E 05   | AA1:   | LD A,05H     |
| 09B5 | 32 2002 |        | LD (2002H),A |
| 09B8 | ED 79   |        | OUT (C),A    |
| 09BA | 3E 20   |        | LD A,20H     |
| 09BC | 32 2008 |        | LD (2008H),A |

09BF D3 01  
 09C1 3E 09  
 09C3 32 2000  
 09C6 3E 03  
 09C8 32 2006  
 09CB C3 0045  
 09CE 3A 2002  
 09D1 16 40  
 09D3 A2  
 09D4 1E 21  
 09D6 B3  
 09D7 32 07D2  
 09DA ED 79  
 09DC 3A 200C  
 09DF 5F  
 09E0 3E 14  
 09E2 BB  
 09E3 C2 0045  
 09E6 DB 02  
 09E8 32 2008  
 09EB CB 6F  
 09ED CA 0045  
 09F0 3A 200E  
 09F3 16 40  
 09F5 A2  
 09F6 32 200E  
 09F9 D3 02  
 09FB 3A 2003  
 09FE 16 03  
 0A00 A2  
 0A01 5F  
 0A02 3E 01  
 0A04 BB  
 0A05 CA 0A19  
 0A08 3E 09  
 0A0A 32 2002  
 0A0D ED 79  
 0A0F 3E 40  
 0A11 32 200E  
 0A14 D3 02  
 0A16 C3 0A27  
 0A19 3E 05  
 0A1B 32 2002  
 0A1E ED 79  
 0A20 3E 20  
 0A22 32 200E

AA2:

EX06H:

BB1:

OUT (01H),A  
 LD A,09H  
 LD (2000H),A  
 LD A,03H  
 LD (2006H),A  
 JP NEXT  
 LD A,(2002H)  
 LD D,40H  
 AND D  
 LD E,21H  
 OR E  
 LD (2002),A  
 OUT (C),A  
 LD A,(200CH)  
 LD E,A  
 LD A,14H  
 CP E  
 JP NZ,NEXT  
 IN A,(02H)  
 LD (2008H),A  
 BIT 5,A  
 JP Z,NEXT  
 LD A,(200EH)  
 LD D,40H  
 AND D  
 LD (200EH),A  
 OUT (02H),A  
 LD A,(2003H)  
 LD D,03H  
 AND D  
 LD E,A  
 LD A,01H  
 CP E  
 JP Z,BB1  
 LD A,09H  
 LD (2002H),A  
 OUT (C),A  
 LD A,40H  
 LD (200EH),A  
 OUT (02H),A  
 JP BB2  
 LD A,05H  
 LD (2002H),A  
 OUT (C),A  
 LD A,20H  
 LD (200EH),A

0A25 D3 02  
 0A27 3E 0A  
 0A29 32 2000  
 0A2C 3E 03  
 0A2E 32 200C  
 0A31 C3 0045  
 0A34 3A 2002  
 0A37 16 40  
 0A39 A2  
 0A3A 1E 21  
 0A3C B3  
 0A3D 32 2002  
 0A40 ED 79  
 0A42 3A 2012  
 0A45 5F  
 0A46 3E 14  
 0A48 BB  
 0A49 C2 0045  
 0A4C DB 03  
 0A4E 32 2013  
 0A51 CB 6F  
 0A53 CA 0045  
 0A56 AF  
 0A57 D3 03  
 0A59 3A 2003  
 0A5C 16 03  
 0A5E A2  
 0A5F 5F  
 0A60 3E 01  
 0A62 BB  
 0A63 CA 0A74  
 0A66 3E 09  
 0A68 32 2002  
 0A6B ED 79  
 0A6D 3E 40  
 0A6F D3 03  
 0A71 C3 0A7F  
 0A74 3E 05  
 0A76 32 2002  
 0A79 ED 79  
 0A7B 3E 20  
 0A7D D3 03  
 0A7F 3E 0B  
 0A81 32 2000  
 0A84 3E 03  
 0A86 32 2012

BB2:

EX07H:

CC1:

CC2:

OUT (02H),A  
 LD A,0AH  
 LD (2000H),A  
 LD A,03H  
 LD (200CH),A  
 JP NEXT  
 LD A,(2002H)  
 LD D,40H  
 AND D  
 LD E,21H  
 OR E  
 LD (2002H),A  
 OUT (C),A  
 LD A,(2012H)  
 LD E,A  
 LD A,14H  
 CP E  
 JP NZ,NEXT  
 IN A,(03H)  
 LD (2013H),A  
 BIT 5,A  
 JP Z,NEXT  
 XOR A  
 OUT (03H),A  
 LD A,(2003H)  
 LD D,03H  
 AND D  
 LD E,A  
 LD A,01H  
 CP E  
 JP Z,CC1  
 LD A,09H  
 LD (2002H),A  
 OUT (C),A  
 LD A,40H  
 OUT (03H),A  
 JP CC2  
 LD A,05H  
 LD (2002H),A  
 OUT (C),A  
 LD A,20H  
 OUT (03H),A  
 LD A,0BH  
 LD (2000H),A  
 LD A,03H  
 LD (2012H),A

0A89 C3 0045  
 0A8C 3A 2002  
 0A8F 16 40  
 0A91 A2  
 0A92 1E 21  
 0A94 B3  
 0A95 32 2002  
 0A98 ED 79  
 0A9A 3A 2018  
 0A9D 5F  
 0A9E 3E 14  
 0AA0 BB  
 0AA1 C2 0045  
 0AA4 DB 04  
 0AA6 CB 6F  
 0AA8 CA 0045  
 0AAB AF  
 0AAC D3 04  
 0AAE 3A 2003  
 0AB1 16 03  
 0AB3 A2  
 0AB4 5F  
 0AB5 3E 01  
 0AB7 BB  
 0AB8 CA 0AC9  
 0ABB 3E 09  
 0ABD 32 2002  
 0AC0 ED 79  
 0AC2 3E 40  
 0AC4 D3 04  
 0AC6 C3 0AD4  
 0AC9 3E 05  
 0ACB 32 2002  
 0ACE ED 79  
 0AD0 3E 20  
 0AD2 D3 04  
 0AD4 3E 0C  
 0AD6 32 2000  
 0AD9 3E 03  
 0ADB 32 2018  
 0ADE C3 0045  
 0AE1 DB 01  
 0AE3 CB 6F  
 0AE5 C2 0B1D  
 0AE8 AF  
 0AE9 32 2002

EX08H:

JP NEXT  
 LD A, (2002H)  
 LD D, 40H  
 AND D  
 LD E, 21H  
 OR E  
 LD (2002H), A  
 OUT (C), A  
 LD A, (2018H)  
 LD E, A  
 LD A, 14H  
 CP E  
 JP NZ, NEXT  
 IN A, (04H)  
 BIT 5, A  
 JP Z, NEXT  
 XOR A  
 OUT (04H), A  
 LD A, (2003H)  
 LD D, 03H  
 AND D  
 LD E, A  
 LD A, 01H  
 CP E  
 JP Z, DD1  
 LD A, 09H  
 LD (2002H), A  
 OUT (C), A  
 LD A, 40H  
 OUT (04H), A  
 JP DD2  
 LD A, 05H  
 LD (2002H), A  
 OUT (C), A  
 LD A, 20H  
 OUT (04H), A  
 LD A, 0CH  
 LD (2000H), A  
 LD A, 03H  
 LD (2018H), A  
 JP NEXT  
 IN A, (01H)  
 BIT 5, A  
 JP NZ, HH1  
 XOR A  
 LD (2002H), A

DD1:

DD2:

EX09H:

OAEC ED 79  
 OAEE 32 2008  
 OAF1 D3 01  
 OAF3 3A 2003  
 OAF6 16 03  
 OAF8 A2  
 OAF9 5F  
 OAFA 3E 01  
 OAFB BB  
 OAFD CA 0B08  
 OB00 7E  
 OB01 16 01  
 OB03 A2  
 OB04 77  
 OB05 C3 0B0D  
 OB08 7E  
 OB09 16 02  
 OB0B A2  
 OB0C 77  
 OB0D AF  
 OB0E 32 2003  
 OB11 32 2009  
 OB14 32 2000  
 OB17 32 2006  
 OB1A C3 0045  
 OB1D DB 01  
 OB1F CB 67  
 OB21 CA 0045  
 OB24 DB 01  
 OB26 16 0F  
 OB28 A2  
 OB29 57  
 OB2A 3E 02  
 OB2C BA  
 OB2D CA 0B3D  
 OB30 3C  
 OB31 BA  
 OB32 CA 0B93  
 OB35 3C  
 OB36 BA  
 OB37 CA 0BE9  
 OB3A C3 0045  
 OB3D 3E 02  
 OB3F D3 01  
 OB41 32 2006  
 OB44 3E 01

HH2:

HH3:

HH1:

TRA2:

OUT (C),A  
 LD (2008H),A  
 OUT (01H),A  
 LD A,(2003H)  
 LD D,03H  
 AND D  
 LD E,A  
 LD A,01H  
 CP E  
 JP Z,HH2  
 LD A,(HL)  
 LD D,01H  
 AND D  
 LD (HL),A  
 JP HH3  
 LD A,(HL)  
 LD D,02H  
 AND D  
 LD (HL),A  
 XOR A  
 LD (2003H),A  
 LD (2009H),A  
 LD (2000H),A  
 LD (2006H),A  
 JP NEXT  
 IN A,(01H)  
 BIT 4,A  
 JP Z,NEXT  
 IN A,(01H)  
 LD D,0FH  
 AND D  
 LD D,A  
 LD A,02H  
 CP D  
 JP Z,TRA2  
 INC A  
 CP D  
 JP Z,TRA3  
 INC A  
 CP D  
 JP Z,TRA4  
 JP NEXT  
 LD A,02H  
 OUT (01H),A  
 LD (2006H),A  
 LD A,01H

OB46 ED 79  
 OB48 3A 200C  
 OB4B 57  
 OB4C AF  
 OB4D BA  
 OB4E C2 0B69  
 OB51 3A 2009  
 OB54 32 200F  
 OB57 3E 14  
 OB59 32 200C  
 OB5C 3E 06  
 OB5E 32 2000  
 OB61 3E 10  
 OB63 32 2010  
 OB66 C3 0045  
 OB69 3A 200C  
 OB6C 57  
 OB6D 3E 09  
 OB6F BA  
 OB70 CA 0B86  
 OB73 3C  
 OB74 3C  
 OB75 BA  
 OB76 CA 0B86  
 OB79 3C  
 OB7A BA  
 OB7B CA 0B86  
 OB7E 3E 0E  
 OB80 32 2000  
 OB83 C3 0045  
 OB86 3E 15  
 OB88 32 200C  
 OB8B 3E 06  
 OB8D 32 2000  
 OB90 C3 0045  
 OB93 3E 02  
 OB95 32 2006  
 OB98 D3 01  
 OB9A 3E 01  
 OB9C ED 79  
 OB9E 3A 2012  
 OBA1 57  
 OBA2 AF  
 OBA3 BA  
 OBA4 C2 0BBF  
 OBA7 3A 2009

RR2:

HH4:

HH5:

TRA3:

OUT (C),A  
 LD A,(200CH)  
 LD D,A  
 XOR A  
 CP D  
 JP NZ,HH4  
 LD A,(2009H)  
 LD (200FH),A  
 LD A,14H  
 LD (200CH),A  
 LD A,06H  
 LD (2000H),A  
 LD A,10H  
 LD (2010H),A  
 JP NEXT  
 LD A,(200CH)  
 LD D,A  
 LD A,09H  
 CP D  
 JP Z,HH5  
 INC A  
 INC A  
 CP D  
 JP Z,HH5  
 INC A  
 CP D  
 JP Z,HH5  
 LD A,0EH  
 LD (2000H),A  
 JP NEXT  
 LD A,15H  
 LD (200CH),A  
 LD A,06H  
 LD (2000H),A  
 JP NEXT  
 LD A,02H  
 LD (2006H),A  
 OUT (01H),A  
 LD A,01H  
 OUT (C),A  
 LD A,(2012H)  
 LD D,A  
 XOR A  
 CP D  
 JP NZ,HH6  
 LD A,(2009h)

OBAA 32 2015  
 OBAD 3E 14  
 OBAF 32 2012  
 OBB2 3E 07  
 OBB4 32 2000  
 OBB7 3E 10  
 OBB9 32 2016  
 OBBC C3 0045  
 OBBF 3A 2012  
 OBC2 57  
 OBC3 3E 09  
 OBC5 BA  
 OBC6 CA OBDC  
 OBC9 3C  
 OBCA BA  
 OBCB CA OBDC  
 OBCE 3C  
 OBCF 3C  
 OBD0 BA  
 OBD1 CA OBDC  
 OBD4 3E 0F  
 OBD6 32 2000  
 OBD9 C3 0045  
 OBDC 3E 15  
 OBDE 32 2012  
 OBE1 3E 07  
 OBE3 32 2000  
 OBE6 C3 0045  
 OBE9 3E 02  
 OBEB 32 2006  
 OBEE D3 01  
 OBF0 3E 01  
 OBF2 ED 79  
 OBF4 3A 2018  
 OBF7 57  
 OBF8 AF  
 OBF9 BA  
 OBFA C2 0C15  
 OBFD 3A 2009  
 OC00 32 201B  
 OC03 3E 14  
 OC05 32 2018  
 OC08 3E 08  
 OC0A 32 2000  
 OC0D 3E 10  
 OC0F 32 201C

RR3:

HH6:

HH7:

TRA4:

RR4:

LD (2015H),A  
 LD A,14H  
 LD (2012H),A  
 LD A,07H  
 LD (2000H),A  
 LD A,10H  
 LD (2016H),A  
 JP NEXT  
 LD A,(2012H)  
 LD D,A  
 LD A,09H  
 CP D  
 JP Z,HH7  
 INC A  
 CP D  
 JP Z,HH7  
 INC A  
 INC A  
 CP D  
 JP Z,HH7  
 LD A,0FH  
 LD (2000H),A  
 JP NEXT  
 LD A,15H  
 LD (2012H),A  
 LD A,07H  
 LD (2000H),A  
 JP NEXT  
 LD A,02H  
 LD (2006H),A  
 OUT (01H),A  
 LD A,01H  
 OUT (C),A  
 LD A,(2018H)  
 LD D,A  
 XOR A  
 CP  
 JP NZ,HH8  
 LD A,(2009H)  
 LD (201BH),A  
 LD A,14H  
 LD (2018H),A  
 LD A,08H  
 LD (2000H),A  
 LD A,10H  
 LD (201CH),A

0C12 C3 0045  
 0C15 3A 2018  
 0C18 57  
 0C19 3E 09  
 0C1B BA  
 0C1C CA 0C31  
 0C1F 3C  
 0C20 BA  
 0C21 CA 0C31  
 0C24 3C  
 0C25 BA  
 0C26 CA 0C31  
 0C29 3E 10  
 0C2B 32 2000  
 0C2E C3 0045  
 0C31 3E 15  
 0C33 32 2018  
 0C36 3E 08  
 0C38 32 2000  
 0C3B C3 0045  
 0C3E DB 02  
 0C40 CB 6F  
 0C42 C2 0C7A  
 0C45 AF  
 0C46 32 2002  
 0C49 ED 79  
 0C4B 32 200E  
 0C4E D3 02  
 0C50 3A 2003  
 0C53 16 03  
 0C55 A2  
 0C56 5F  
 0C57 3E 01  
 0C59 BB  
 0C5A CA 0C65  
 0C5D 7E  
 0C5E 16 01  
 0C60 A2  
 0C61 77  
 0C62 C3 0C6A  
 0C65 7E  
 0C66 16 02  
 0C68 A2  
 0C69 77  
 0C6A AF  
 0C6B 32 2003

HH8:

HH9:

EXOAH:

KK2:

KK3:

JP NEXT  
 LD A,(2018H)  
 LD D,A  
 LD A,09H  
 CP D  
 JP Z,HH9  
 INC A  
 CP D  
 JP Z,HH9  
 INC A  
 CP D  
 JP Z,HH9  
 LD A,10H  
 LD (2000H),A  
 JP NEXT  
 LD A,15H  
 LD (2018H),A  
 LD A,08H  
 LD (2000H),A  
 JP NEXT  
 IN A,(02H)  
 BIT 5,A  
 JP NZ,KK1  
 XOR A  
 LD (2002H),A  
 OUT (C),A  
 LD (200EH),A  
 OUT (02H),A  
 LD A,(2003H)  
 LD D,03H  
 AND D  
 LD E,A  
 LD A,01H  
 CP E  
 JP Z,KK2  
 LD A,(HL)  
 LD D,01H  
 AND D  
 LD (HL),A  
 JP KK3  
 LD A,(HL)  
 LD D,02H  
 AND D  
 LD (HL),A  
 XOR A  
 LD (2003H),A

|      |    |      |       |              |
|------|----|------|-------|--------------|
| 0C6E | 32 | 200F |       | LD (200FH),A |
| 0C71 | 32 | 2000 |       | LD (2000H),A |
| 0C74 | 32 | 200C |       | LD (200CH),A |
| 0C77 | C3 | 0045 |       | JP NEXT      |
| 0C7A | DB | 02   | KK1:  | IN A,(02H)   |
| 0C7C | CB | 67   |       | BIT 4,A      |
| 0C7E | CA | 0045 |       | JP Z,NEXT    |
| 0C81 | DB | 02   |       | IN A,(02H)   |
| 0C83 | 3E | 0F   |       | LD A,0FH     |
| 0C85 | A2 |      |       | AND D        |
| 0C86 | 57 |      |       | LD D,A       |
| 0C87 | 3E | 01   |       | LD A,01H     |
| 0C89 | BA |      |       | CP D         |
| 0C8A | CA | 0C9B |       | JP Z,TRB1    |
| 0C8D | 3C |      |       | INC A        |
| 0C8E | 3C |      |       | INC A        |
| 0C8F | BA |      |       | CP D         |
| 0C90 | CA | 0CF0 |       | JP Z,TRB3    |
| 0C93 | 3C |      |       | INC A        |
| 0C94 | BA |      |       | CP D         |
| 0C95 | CA | 0D0D |       | JP Z,TRB4    |
| 0C98 | C3 | 0045 |       | JP NEXT      |
| 0C9B | 3E | 02   | TRB1: | LD A,02H     |
| 0C9D | 32 | 200C |       | LD (200CH),A |
| 0CA0 | D3 | 02   |       | OUT (02H),A  |
| 0CA2 | 3E | 01   |       | LD A,01H     |
| 0CA4 | ED | 79   |       | OUT (C),A    |
| 0CA6 | 3A | 2006 |       | LD A,(2006H) |
| 0CA9 | 57 |      |       | LD D,A       |
| 0CAA | AF |      |       | XOR A        |
| 0CAB | BA |      |       | CP D         |
| 0CAC | C2 | 0CC7 |       | JP NZ,KK4    |
| 0CAF | 3A | 200F |       | LD A,(200FH) |
| 0CB2 | 32 | 2009 |       | LD (2009H),A |
| 0CB5 | 3E | 14   | RR1:  | LD A,14H     |
| 0CB7 | 32 | 2006 |       | LD (2006H),A |
| 0CBA | 3  | 05   |       | LD A,05H     |
| 0CBC | 32 | 2000 |       | LD (2000H),A |
| 0CBF | 3E | 10   |       | LD A,10H     |
| 0CC1 | 32 | 200A |       | LD (200AH),A |
| 0CC4 | C3 | 0045 |       | JP NEXT      |
| 0CC7 | 3A | 2006 | KK4:  | LD A,(2006H) |
| 0CCA | 57 |      |       | LD D,A       |
| 0CCB | 3E | 0A   |       | LD A,0AH     |
| 0CCD | BA |      |       | CP D         |
| 0CCE | CA | 0CE3 |       | JP Z,KK5     |

OCD1 3C  
 OCD2 BA  
 OCD3 CA 0CE3  
 OCD6 3C  
 OCD7 BA  
 OCD8 CA 0CE3  
 OCDB 3E 0D  
 OCDD 32 2000  
 OCE0 C3 0045  
 OCE3 3E 15  
 OCE5 32 2006  
 OCE8 3E 05  
 OCEA 32 2000  
 OCED C3 0045  
 OCF0 3E 02  
 OCF2 D3 02  
 OCF4 32 200C  
 OCF7 3E 01  
 OCF9 ED 79  
 OCFB 3A 2012  
 OCFE 57  
 OCFE AF  
 OD00 BA  
 OD01 C2 0BBF  
 OD04 3A 200F  
 OD07 32 2015  
 OD0A C3 0BAD  
 OD0D 3E 02  
 OD0F D3 02  
 OD11 32 200C  
 OD14 3E 01  
 OD16 ED 79  
 OD18 3A 2018  
 OD1B 57  
 OD1C AF  
 OD1D BA  
 OD1E C2 0C15  
 OD21 3A 200F  
 OD24 32 201B  
 OD27 C3 0C03  
 OD2A DB 03  
 OD2C CB 6F  
 OD2E C2 0D66  
 OD31 AF  
 OD32 32 2002  
 OD35 ED 79

KK5:

TRB3:

TRB4:

EXOBH:

INC A  
 CP D  
 JP Z, KK5  
 INC A  
 CP D  
 JP Z, KK5  
 LD A, 0DH  
 LD (2000H), A  
 JP NEXT  
 LD A, 15H  
 LD (2006H), A  
 LD A, 05H  
 LD (2000H), A  
 JP NEXT  
 LD A, 02H  
 OUT (02H), A  
 LD (200CH), A  
 LD A, 01H  
 OUT (C), A  
 LD A, (2012H)  
 LD D, A  
 XOR A  
 CP D  
 JP NZ, HH6  
 LD A, (200FH)  
 LD (2015H), A  
 JP RR3  
 LD A, 02H  
 OUT (02H), A  
 LD (200CH), A  
 LD A, 01H  
 OUT (C), A  
 LD A, (2018H)  
 LD D, A  
 XOR A  
 CP D  
 JP NZ, HH8  
 LD A, (200FH)  
 LD (201BH), A  
 JP RR4  
 IN A, (03H)  
 BIT 5, A  
 JP NZ, LL1  
 XOR A  
 LD (2002H), A  
 OUT (C), A

OD37 32 2014  
 OD3A D3 03  
 OD3C 3A 2003  
 OD3F 16 03  
 OD41 A2  
 OD42 5F  
 OD43 3E 01  
 OD45 BB  
 OD46 CA OD51  
 OD49 7E  
 OD4A 16 01  
 OD4C A2  
 OD4D 77  
 OD4E C3 OD56  
 OD51 7E  
 OD52 16 02  
 OD54 A2  
 OD55 77  
 OD56 AF  
 OD57 32 2003  
 OD5A 32 2000  
 OD5D 32 2012  
 OD60 32 2015  
 OD63 C3 0045  
 OD66 DB 03  
 OD68 CB 67  
 OD6A CA 0045  
 OD6D DB 03  
 OD6F 16 0F  
 OD71 A2  
 OD72 57  
 OD73 3E 01  
 OD75 BA  
 OD76 CA OD87  
 OD79 3C  
 OD7A BA  
 OD7B CA ODA4  
 OD7E 3C  
 OD7F 3C  
 OD80 BA  
 OD81 CA ODBE  
 OD84 C3 0045  
 OD87 3E 02  
 OD89 32 2012  
 OD8C D3 03  
 OD8E 3E 01

LL2:

LL3:

LL1:

TRC1:

LD (2014H),A  
 OUT (03H),A  
 LD A,(2003H)  
 LD D,03H  
 AND D  
 LD E,A  
 LD A,01H  
 CP E  
 JP Z,LL2  
 LD A,(HL)  
 LD D,01H  
 AND D  
 LD (HL),A  
 JP LL3  
 LD A,(HL)  
 LD D,02H  
 AND D  
 LD (HL),A  
 XOR A  
 LD (2003H),A  
 LD (2000H),A  
 LD (2012H),A  
 LD (2015H),A  
 JP NEXT  
 IN A,(03H)  
 BIT 4,A  
 JP Z,NEXT  
 IN A,(03H)  
 LD D,0FH  
 AND D  
 LD D,A  
 LD A,01H  
 CP D  
 JP Z,TRC1  
 INC A  
 CP D  
 JP Z,TRC2  
 INC A  
 INC A  
 CP D  
 JP Z,TRC4  
 JP NEXT  
 LD A,02H  
 LD (2012H),A  
 OUT (03H),A  
 LD A,01H

OD90 ED 79  
 OD92 32 2006  
 OD95 57  
 OD96 AF  
 OD97 BA  
 OD98 C2 0CC7  
 OD9B 3A 2015  
 OD9E 32 2009  
 ODA1 C3 0CB5  
 ODA4 3E 02  
 ODA6 D3 03  
 ODA8 3E 01  
 ODAA ED 79  
 ODAC 3A 200C  
 ODAF 57  
 ODB0 AF  
 ODB1 BA  
 ODB2 C2 0B69  
 ODB5 3A 2015  
 ODB8 32 200F  
 ODBB C3 0B57  
 ODBE 3E 02  
 ODC0 D3 03  
 ODC2 3E 10  
 ODC4 ED 79  
 ODC6 3A 2018  
 ODC9 57  
 ODCA AF  
 ODCB BA  
 ODCC C2 0C15  
 ODCF 3A 2015  
 ODD2 32 201B  
 ODD5 C3 0C03  
 ODD8 DB 04  
 ODDA CB 6F  
 ODDC C2 0E14  
 ODDF AF  
 ODE0 32 2002  
 ODE3 ED 79  
 ODE5 32 201A  
 ODE8 D3 04  
 ODEA 3A 2003  
 ODED 16 03  
 ODEF A2  
 ODF0 5F  
 ODF1 3E 01

TRC2:

TRC4:

EX0CH:

OUT (C),A  
 LD (2006H),A  
 LD D,A  
 XOR A  
 CP D  
 JP NZ, KK4  
 LD A, (2015H)  
 LD (2009H),A  
 JP RR1  
 LD A, 02H  
 OUT (03H),A  
 LD A, 01H  
 OUT (C),A  
 LD A, (200CH)  
 LD D,A  
 XOR A  
 CP D  
 JP NZ, HH4  
 LD A, (2015H)  
 LD (200FH),A  
 JP RR2  
 LD A, 02H  
 OUT (03H),A  
 LD A, 10H  
 OUT (C),A  
 LD A, (2018H)  
 LD D,A  
 XOR A  
 CP D  
 JP NZ, HH8  
 LD A, (2015H)  
 LD (201BH),A  
 JP RR4  
 IN A, (04H)  
 BIT 5,A  
 JP NZ, MM1  
 XOR A  
 LD (2002H),A  
 OUT (C),A  
 LD (201AH),A  
 OUT (04H),A  
 LD A, (2003H)  
 LD D, 03H  
 AND D  
 LD E,A  
 LD A, 01H

ODF3 BB  
 ODF4 CA ODFD  
 ODF7 7E  
 ODF8 16 01  
 ODFA A2  
 ODFB 77  
 ODFC C3 OE04  
 ODFD 7E  
 OE00 16 02  
 OE02 A2  
 OE03 77  
 OE04 AF  
 OE05 32 2003  
 OE08 32 2000  
 OE0B 32 2018  
 OE0E 32 201B  
 OE11 C3 0045  
 OE14 DB 04  
 OE16 CB 67  
 OE18 C2 0045  
 OE1B DB 04  
 OE1D 16 0F  
 OE1F A2  
 OE20 57  
 OE21 3E 01  
 OE23 BA  
 OE24 CA OE34  
 OE27 3C  
 OE28 BA  
 OE29 CA OE4E  
 OE2C 3C  
 OE2D BA  
 OE2E CA OE68  
 OE31 C3 0045  
 OE34 3E 02  
 OE36 D3 04  
 OE38 3E 01  
 OE3A ED 79  
 OE3C 3A 2006  
 OE3F 57  
 OE40 AF  
 OE41 BA  
 OE42 C2 OCC7  
 OE45 3A 201B  
 OE48 32 2009  
 OE4B C3 OCB5

MM2:

MM3:

MM1:

TRD1:

CP E  
 JP Z,MM2  
 LD A,(HL)  
 LD D,01H  
 AND D  
 LD (HL),A  
 JP MM3  
 LD A,(HL)  
 LD D,02H  
 AND D  
 LD (HL),A  
 XOR A  
 LD (2003H),A  
 LD (2000H),A  
 LD (2018H),A  
 LD (201BH),A  
 JP NEXT  
 IN A,(04H)  
 BIT 4,A  
 JP NZ,NEXT  
 IN A,(04H)  
 LD D,0FH  
 AND D  
 LD D,A  
 LD A,01H  
 CP D  
 JP Z,TRD1  
 INC A  
 CP D  
 JP Z,TRD2  
 INC A  
 CP D  
 JP Z,TRD3  
 JP NEXT  
 LD A,02H  
 OUT (04H),A  
 LD A,1H  
 OUT (C),A  
 LD A,(2006H)  
 LD D,A  
 XOR A  
 CP D  
 JP NZ,KK4  
 LD A,(201BH)  
 LD (2009H),A  
 JP RR1

|      |         |        |              |
|------|---------|--------|--------------|
| 0E4E | 3E 02   | TRD2:  | LD A,02H     |
| 0E50 | D3 04   |        | OUT (04H),A  |
| 0E52 | 3E 01   |        | LD A,01H     |
| 0E54 | ED 79   |        | OUT (C),A    |
| 0E56 | 3A 200C |        | LD A,(200CH) |
| 0E59 | 57      |        | LD D,A       |
| 0E5A | AF      |        | XOR A        |
| 0E5B | BA      |        | CP D         |
| 0E5C | C2 0B69 |        | JP NZ,HH4    |
| 0E5F | 3A 201B |        | LD A,(201BH) |
| 0E62 | 32 200F |        | LD (200FH),A |
| 0E65 | C3 0B57 |        | JP RR2       |
| 0E68 | 3E 02   | TRD3:  | LD A,02H     |
| 0E6A | D3 04   |        | OUT (04H),A  |
| 0E6C | 3E 01   |        | LD A,01H     |
| 0E6E | ED 79   |        | OUT (C),A    |
| 0E70 | 3A 2012 |        | LD A,(2012H) |
| 0E73 | 57      |        | LD D,A       |
| 0E74 | AF      |        | XOR A        |
| 0E75 | BA      |        | CP D         |
| 0E76 | C2 0BBF |        | JP NZ,HH6    |
| 0E79 | 3A 201B |        | LD A,(201BH) |
| 0E7C | 32 2015 |        | LD (2015H),A |
| 0E7F | C3 0BAD |        | JP RR3       |
| 0E82 | 3A 2006 | EXODH: | LD A,(2006H) |
| 0E85 | 57      |        | LD D,A       |
| 0E86 | 3E 0A   |        | LD A,0AH     |
| 0E88 | BA      |        | CP D         |
| 0E89 | CA 0CE3 |        | JP Z,KK5     |
| 0E8C | 3C      |        | INC A        |
| 0E8D | BA      |        | CP D         |
| 0E8E | CA 0CE3 |        | JP Z,KK5     |
| 0E91 | 3C      |        | INC A        |
| 0E92 | BA      |        | CP D         |
| 0E93 | CA 0CE3 |        | JP Z,KK5     |
| 0E96 | C3 0045 |        | JP NEXT      |
| 0E99 | 3A 200C | EXOEH: | LD A,(200CH) |
| 0E9C | 57      |        | LD D,A       |
| 0E9D | 3E 09   |        | LD A,09H     |
| 0E9F | BA      |        | CP D         |
| 0EA0 | CA 0B86 |        | JP Z,HH5     |
| 0EA3 | 3C      |        | INC A        |
| 0EA4 | 3C      |        | INC A        |
| 0EA5 | BA      |        | CP D         |
| 0EA6 | CA 0B86 |        | JP Z,HH5     |
| 0EA9 | 3C      |        | INC A        |

OEAA BA  
OEAB CA 0B86  
OEAE C3 0045  
OEB1 3A 2012  
OEB4 57  
OEB5 3E 09  
OEB7 BA  
OEB8 CA 0BDC  
OEBB 3C  
OEBC BA  
OEBD CA 0BDC  
OEC0 3C  
OEC1 3C  
OEC2 BA  
OEC3 CA 0BDC  
OEC6 C3 0045  
OEC9 3A 2018  
OECC 57  
OECF 3E 09  
OED0 BA  
OED0 CA 0C31  
OED3 3C  
OED4 BA  
OED5 CA 0C31  
OED8 3C  
OED9 BA  
OEDA CA 0C31  
OEDD C3 0045

EX0FH:

CP D  
JP Z,HH5  
JP NEXT  
LD A,(2012H)  
LD D,A  
LD A,09H  
CP D  
JP Z,HH7  
INC A  
CP D  
JP Z,HH7  
INC A  
INC A  
CP D  
JP Z,HH7  
JP NEXT  
LD A,(2018H)  
LD D,A  
LD A,09H  
CP D  
JP Z,HH9  
INC A  
CP D  
JP Z,HH9  
INC A  
CP D  
JP Z,HH9  
JP NEXT

EX10H:



# ADC0808, ADC0809 CMOS ANALOG-TO-DIGITAL CONVERTERS WITH 8-CHANNEL MULTIPLEXERS

D2642, JUNE 1981—REVISED FEBRUARY 1986

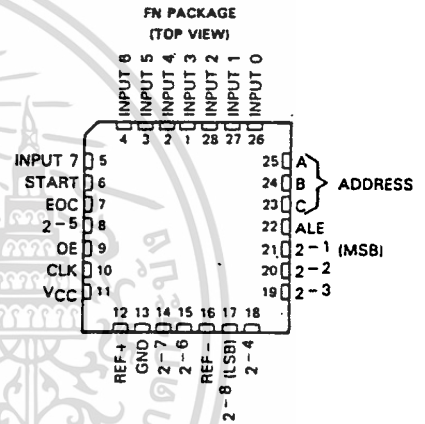
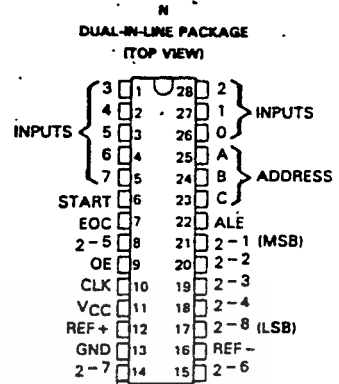
- Total Unadjusted Error . . .  $\pm 0.75$  LSB Max for ADC0808 and  $\pm 1.25$  LSB Max for ADC0809
- Resolution of 8 Bits
- 100  $\mu$ s Conversion Time
- Ratiometric Conversion
- Guaranteed Monotonicity
- No Missing Codes
- Easy Interface with Microprocessors
- Latched 3-State Outputs
- Latched Address Inputs
- Single 5-Volt Supply
- Low Power Consumption
- Designed to be interchangeable with National Semiconductor ADC0808, ADC0809

## description

The ADC0808 and ADC0809 are monolithic CMOS devices with an 8-channel multiplexer, an 8-bit analog-to-digital (A/D) converter, and microprocessor-compatible control logic. The 8-channel multiplexer can be controlled by a microprocessor through a 3-bit address decoder with address load to select any one of eight single-ended analog switches connected directly to the comparator. The 8-bit A/D converter uses the successive-approximation conversion technique featuring a high-impedance threshold detector, a switched-capacitor array, a sample-and-hold, and a successive-approximation register (SAR). Detailed information on interfacing to most popular microprocessors is readily available from the factory.

The comparison and converting methods used eliminate the possibility of missing codes, nonmonotonicity, and the need for zero or full-scale adjustment. Also featured are latched 3-state outputs from the SAR and latched inputs to the multiplexer address decoder. The single 5-volt supply and low power requirements make the ADC0808 and ADC0809 especially useful for a wide variety of applications. Ratiometric conversion is made possible by access to the reference voltage input terminals.

The ADC0808 and ADC0809 are characterized for operation from  $-40^{\circ}\text{C}$  to  $85^{\circ}\text{C}$ .



PRODUCTION DATA documents contain information current as of publication date. Products conform to specifications per the terms of Texas Instruments standard warranty. Production processing does not necessarily include testing of all parameters.

TEXAS  
INSTRUMENTS  
POST OFFICE BOX 655012 • DALLAS, TEXAS 75265

Copyright © 1983, Texas Instruments Incorporated

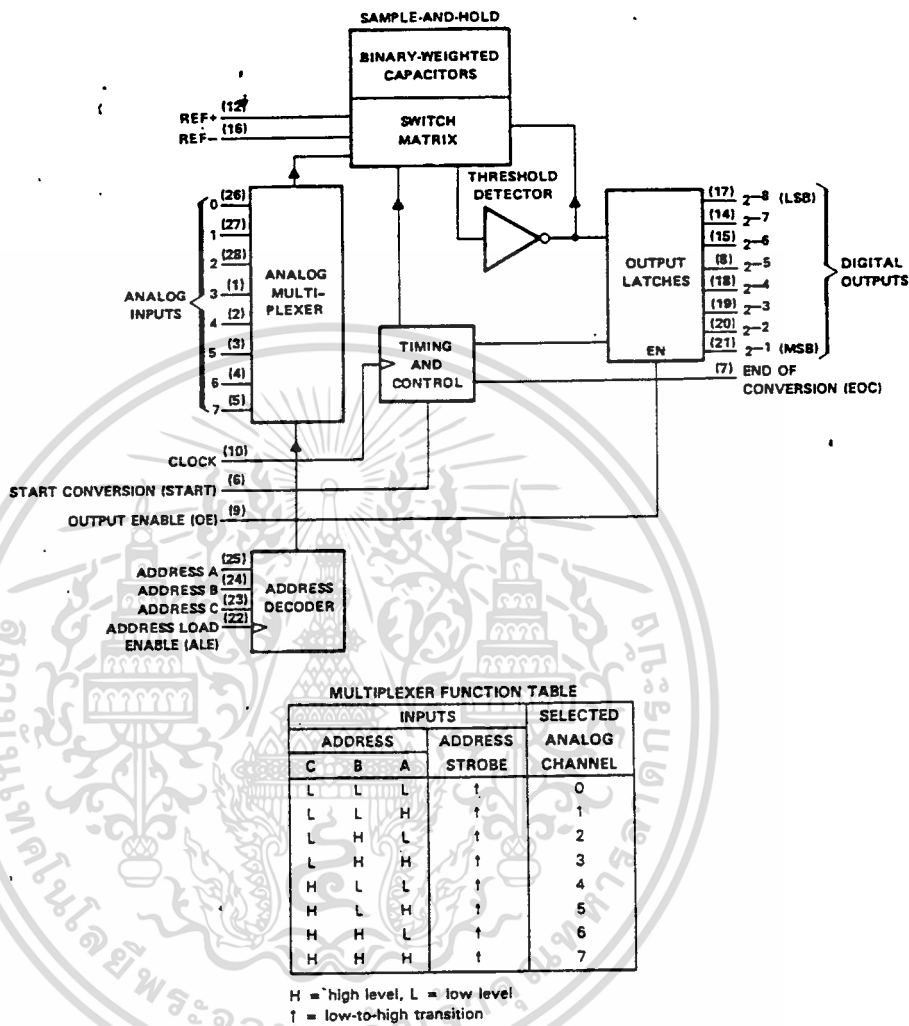
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ADC0808, ADC0809  
CMOS ANALOG-TO-DIGITAL CONVERTERS  
WITH 8-CHANNEL MULTIPLEXERS

functional block diagram (positive logic)

2

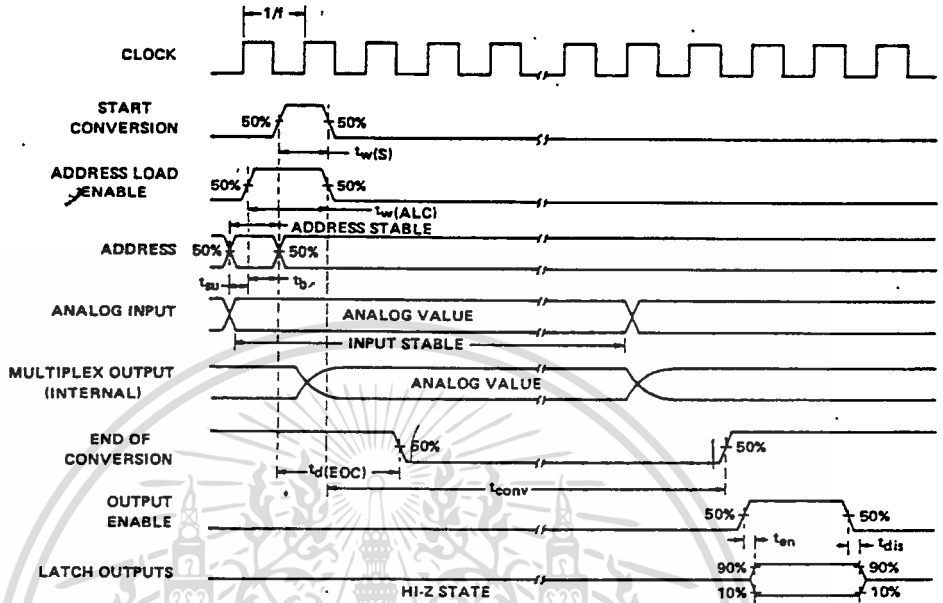
Data Acquisition Circuits



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ADC0808, ADC0809  
CMOS ANALOG-TO-DIGITAL CONVERTERS  
WITH 8-CHANNEL MULTIPLEXERS

operating sequence



ADC0808, ADC0809  
CMOS ANALOG-TO-DIGITAL CONVERTERS  
WITH 8-CHANNEL MULTIPLEXERS

2

Data Acquisition Circuits

absolute maximum ratings over operating free-air temperature range (unless otherwise noted)

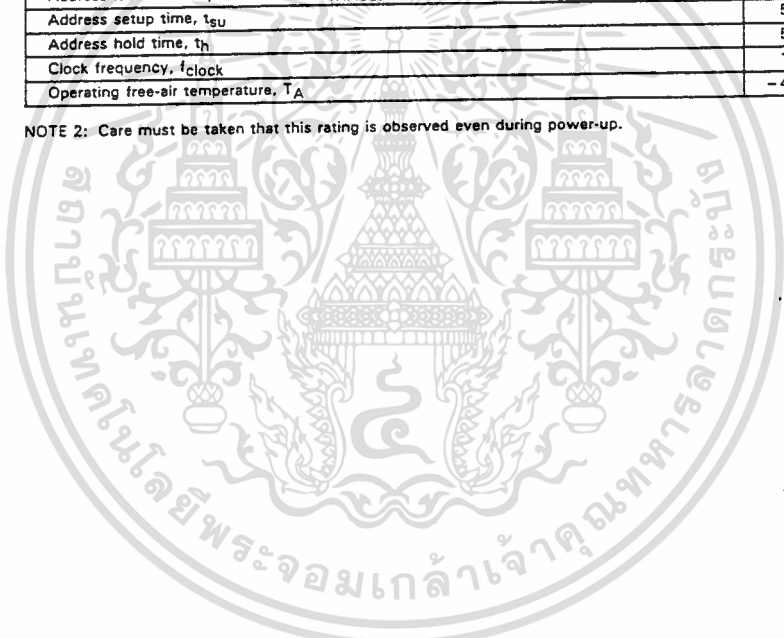
|                                                              |                       |
|--------------------------------------------------------------|-----------------------|
| Supply voltage, VCC (see Note 1)                             | 6.5 V                 |
| Input voltage range: control inputs                          | -0.3 to 15 V          |
| all other inputs                                             | -0.3 V to VCC + 0.3 V |
| Operating free-air temperature range                         | -40°C to 85°C         |
| Storage temperature range                                    | -65°C to 150°C        |
| Lead temperature 1.6 mm (1/16 inch) from case for 10 seconds | 260°C                 |

NOTE 1: All voltage values are with respect to network ground terminal.

recommended operating conditions

|                                                | MIN     | NOM | MAX     | UNIT |
|------------------------------------------------|---------|-----|---------|------|
| Supply voltage, VCC                            | 4.5     | 5   | 6       | V    |
| Positive reference voltage, Vref+ (see Note 2) |         | VCC | VCC+0.1 | V    |
| Negative reference voltage, Vref-              |         | 0   | -0.1    | V    |
| Differential reference voltage, Vref+ - Vref-  |         | 5   |         | V    |
| High-level input voltage, VIH                  | VCC-1.5 |     |         | V    |
| Low-level input voltage, VIL                   |         |     | 1.5     | V    |
| Start pulse duration, tw(S)                    | 200     |     |         | ns   |
| Address load control pulse duration, tw(ALC)   | 200     |     |         | ns   |
| Address setup time, tsu                        | 50      |     |         | ns   |
| Address hold time, th                          | 50      |     |         | ns   |
| Clock frequency, fclock                        | 10      | 640 | 1280    | kHz  |
| Operating free-air temperature, TA             | -40     |     | 85      | °C   |

NOTE 2: Care must be taken that this rating is observed even during power-up.



POST OFFICE BOX 655012 • DALLAS, TEXAS 75265

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**ADC0808, ADC0809**  
**CMOS ANALOG-TO-DIGITAL CONVERTERS**  
**WITH 8-CHANNEL MULTIPLEXERS**

electrical characteristics over recommended operating free-air temperature range,  $V_{CC} = 4.75\text{ V}$  to  $5.25\text{ V}$  (unless otherwise noted)

total device

| PARAMETER                        |                                                 | TEST CONDITIONS                            | MIN            | TYP <sup>†</sup> | MAX  | UNIT          |
|----------------------------------|-------------------------------------------------|--------------------------------------------|----------------|------------------|------|---------------|
| $V_{OH}$                         | High-level output voltage                       | $I_O = -360\text{ }\mu\text{A}$            | $V_{CC} - 0.4$ |                  |      | V             |
| $V_{OL}$                         | Low-level output voltage                        | Data outputs<br>$I_O = 1.6\text{ mA}$      |                |                  | 0.45 | V             |
|                                  |                                                 | End of conversion<br>$I_O = 1.2\text{ mA}$ |                |                  | 0.45 |               |
| $I_{OZ}$                         | Off-state (high-impedance-state) output current | $V_O = V_{CC}$                             |                |                  | 3    | $\mu\text{A}$ |
|                                  |                                                 | $V_O = 0$                                  |                |                  | -3   |               |
| $I_I$                            | Control input current at maximum input voltage  | $V_I = 15\text{ V}$                        |                |                  | 1    | $\mu\text{A}$ |
| $I_{IL}$                         | Low-level control input current                 | $V_I = 0$                                  |                |                  | -1   | $\mu\text{A}$ |
| $I_{CC}$                         | Supply current                                  | $f_{\text{clock}} = 640\text{ kHz}$        |                | 0.3              | 3    | mA            |
| $C_i$                            | Input capacitance, control inputs               | $T_A = 25^\circ\text{C}$                   |                | 10               | 15   | pF            |
| $C_o$                            | Output capacitance, data outputs                | $T_A = 25^\circ\text{C}$                   |                | 10               | 15   | pF            |
| Resistance from pin 12 to pin 16 |                                                 |                                            |                | 1000             |      | k $\Omega$    |

analog multiplexer

| PARAMETER |                                       | TEST CONDITIONS                                                        | MIN | TYP <sup>†</sup> | MAX  | UNIT          |
|-----------|---------------------------------------|------------------------------------------------------------------------|-----|------------------|------|---------------|
| $I_{on}$  | Channel on-state current (see Note 3) | $V_I = 5\text{ V}$ , $f_{\text{clock}} = 640\text{ kHz}$               |     |                  | 2    | $\mu\text{A}$ |
|           |                                       | $V_I = 0$ , $f_{\text{clock}} = 640\text{ kHz}$                        |     |                  | -2   |               |
| $I_{off}$ | Channel off-state current             | $V_{CC} = 5\text{ V}$ , $V_I = 5\text{ V}$<br>$T_A = 25^\circ\text{C}$ |     | 10               | 200  | nA            |
|           |                                       | $V_{CC} = 5\text{ V}$ , $V_I = 0$                                      |     | -10              | -200 |               |
|           |                                       | $V_{CC} = 5\text{ V}$ , $V_I = 5\text{ V}$                             |     |                  | 1    | $\mu\text{A}$ |
|           |                                       | $V_{CC} = 5\text{ V}$ , $V_I = 0$                                      |     |                  | -1   |               |

<sup>†</sup>Typical values are at  $V_{CC} = 5\text{ V}$  and  $T_A = 25^\circ\text{C}$ .

NOTE 3: Channel on-state current is primarily due to the bias current into or out of the threshold detector, and it varies directly with clock frequency.

# ADC0808, ADC0809

## CMOS ANALOG-TO-DIGITAL CONVERTERS

### WITH 8-CHANNEL MULTIPLEXERS

operating characteristics,  $T_A = 25^\circ\text{C}$ ,  $V_{CC} = V_{REF+} = 5\text{ V}$ ,  $V_{REF-} = 0\text{ V}$ ,  $f_{\text{clock}} = 640\text{ kHz}$  (unless otherwise noted)

2

Data Acquisition Circuits

| PARAMETER           |                                      | TEST CONDITIONS                                                | ADC0808    |      |     | ADC0809 |      |     | UNIT |
|---------------------|--------------------------------------|----------------------------------------------------------------|------------|------|-----|---------|------|-----|------|
|                     |                                      |                                                                | MIN        | TYP† | MAX | MIN     | TYP† | MAX |      |
| kSVS                | Supply voltage sensitivity           | VCC = Vref+ = 4.75 V to 5.25 V, TA = -40°C to 85°C. See Note 4 | ±0.05      |      |     | ±0.05   |      |     | %/V  |
|                     | Linearity error (see Note 5)         |                                                                | ±0.25      |      |     | ±0.5    |      |     | LSB  |
|                     | Zero error (see Note 6)              |                                                                | ±0.25      |      |     | ±0.25   |      |     | LSB  |
|                     | Total unadjusted error (See Note 7)  | TA = 25°C                                                      | ±0.25 ±0.5 |      |     | ±0.5    |      |     | LSB  |
|                     |                                      | TA = -40°C to 85°C                                             | ±0.75      |      |     | ±1.25   |      |     |      |
|                     |                                      | TA = 0°C to 70°C                                               |            |      |     | ±1      |      |     |      |
| t <sub>en</sub>     | Output enable time                   | CL = 50 pF, RL = 10 kΩ                                         | 80 250     |      |     | 80 250  |      |     | ns   |
| t <sub>dis</sub>    | Output disable time                  | CL = 10 pF, RL = 10 kΩ                                         | 105 250    |      |     | 105 250 |      |     | ns   |
| t <sub>conv</sub>   | Conversion time                      | See Note 8                                                     | 90         | 100  | 116 | 90      | 100  | 116 | μs   |
| t <sub>d(EOC)</sub> | Delay time, end of conversion output | See Notes 8 and 9                                              | 0 14.5     |      |     | 0 14.5  |      |     | μs   |

†Typical values for all except supply voltage sensitivity are at  $V_{CC} = 5\text{ V}$ , and all are at  $T_A = 25^\circ\text{C}$ .

NOTES:

4. Supply voltage sensitivity relates to the ability of an analog-to-digital converter to maintain accuracy as the supply voltage varies. The supply and  $V_{REF+}$  are varied together and the change in accuracy is measured with respect to full-scale.
5. Linearity error is the maximum deviation from a straight line through the end points of the A/D transfer characteristic.
6. Zero error is the difference between 00000000 and the converted output for zero input voltage; full-scale error is the difference between 11111111 and the converted output for full-scale input voltage.
7. Total unadjusted error is the maximum sum of linearity error, zero error, and full-scale error.
8. Refer to the operating sequence diagram.
9. For clock frequencies other than 640 kHz,  $t_{\text{d(EOC)}}$  maximum is 8 clock periods plus 2  $\mu\text{s}$ .

TEXAS  
INSTRUMENTS

POST OFFICE BOX 655012 • DALLAS, TEXAS 75285

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## PRINCIPLES OF OPERATION

The ADC0808 and ADC0809 each consists of an analog signal multiplexer, an 8-bit successive-approximation converter, and related control and output circuitry.

### multiplexer

The analog multiplexer selects 1 of 8 single-ended input channels as determined by the address decoder. Address load control loads the address code into the decoder on a low-to-high transition. The output latch is reset by the positive-going edge of the start pulse. Sampling also starts with the positive-going edge of the start pulse and lasts for 32 clock periods. The conversion process may be interrupted by a new start pulse before the end of 64 clock periods. The previous data will be lost if a new start of conversion occurs before the 64th clock pulse. Continuous conversion may be accomplished by connecting the End-of-Conversion output to the start input. If used in this mode an external pulse should be applied after power up to assure start up.

### converter

The CMOS threshold detector in the successive-approximation conversion system determines each bit by examining the charge on a series of binary-weighted capacitors (Figure 1). In the first phase of the conversion process, the analog input is sampled by closing switch  $S_C$  and all  $S_T$  switches, and by simultaneously charging all the capacitors to the input voltage.

In the next phase of the conversion process, all  $S_T$  and  $S_C$  switches are opened and the threshold detector begins identifying bits by identifying the charge (voltage) on each capacitor relative to the reference voltage. In the switching sequence, all eight capacitors are examined separately until all 8 bits are identified, and then the charge-convert sequence is repeated. In the first step of the conversion phase, the threshold detector looks at the first capacitor (weight = 128). Node 128 of this capacitor is switched to the reference voltage, and the equivalent nodes of all the other capacitors on the ladder are switched to REF-. If the voltage at the summing node is greater than the trip-point of the threshold detector (approximately one-half the  $V_{CC}$  voltage), a bit is placed in the output register, and the 128-weight capacitor is switched to REF- through the remainder of the capacitor-sampling (bit-counting) process. The process is repeated for the 64-weight capacitor, the 32-weight capacitor, and so forth down the line, until all bits are counted.

With each step of the capacitor-sampling process, the initial charge is redistributed among the capacitors. The conversion process is successive approximation, but relies on charge redistribution rather than a successive-approximation register (and reference DAC) to count and weigh the bits from MSB to LSB.

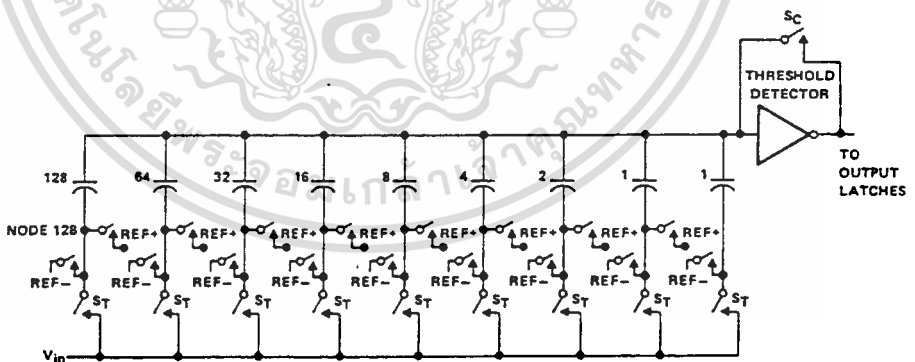
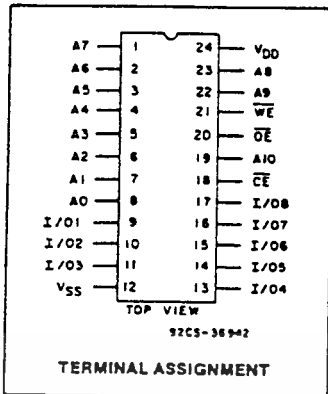


FIGURE 1. SIMPLIFIED MODEL OF THE SUCCESSIVE-APPROXIMATION SYSTEM

## CDM6116A



## CMOS 2048-Word by 8-Bit Static RAM

## Features:

- Fully static operation
- Single power supply: 4.5 V to 5.5 V
- All inputs and outputs directly TTL compatible
- 3-state outputs
- Industry standard 24-pin configuration
- Chip-enable gates address buffers
- minimum standby current
- Data retention voltage: 2 V-min.

|                                         | CDM6116A-2   | CDM6116A-3     | CDM6116A-9     |
|-----------------------------------------|--------------|----------------|----------------|
| Access Time (max.)                      | 200 ns       | 150 ns         | 250 ns         |
| Output Enable Time (max.)               | 120 ns       | 60 ns          | 150 ns         |
| Operating Temperature                   | 0° to +70° C | -40° to +85° C | -40° to +85° C |
| Operating Current (max.)                | 35 mA        | 35 mA          | 40 mA          |
| Standby Current I <sub>DD1</sub> (max.) | 30 µA        | 50 µA          | 100 µA         |

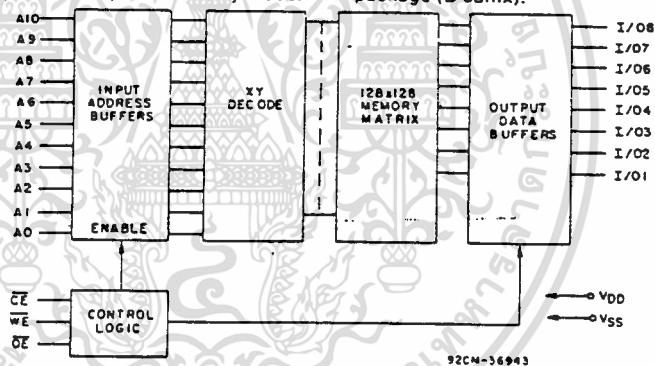
The RCA-CDM6116A is a CMOS 2048-word by 8-bit static random-access memory. It is designed for use in memory systems where high-speed, low power and simplicity in use are desirable. This device has common data inputs and data outputs and utilizes a single power supply of 4.5 V to 5.5 V. A chip-enable input and an output-enable input are provided for memory expansion and output buffer control.

The chip enable ( $\overline{CE}$ ) gates the address and output buffers and powers down the chip to the low power standby mode.

The output enable ( $\overline{OE}$ ) controls the output buffers to eliminate bus contention.

The CDM6116A-2 and CDM6116A-3 have an operating temperature range of 0° to +70° C. The CDM6116A-9 has an operating temperature range of -40° to +85° C.

The CDM6116A-2 and CDM6116A-3 are supplied in a 24-lead dual-in-line plastic package (E suffix). The CDM6116A-9 is supplied in a 24-lead dual-in-line plastic package (E suffix) and a 24-lead dual-in-line side-braced ceramic package (D suffix).



## TRUTH TABLE

| $\overline{CE}$ | $\overline{OE}$ | $\overline{WE}$ | A0 TO A10 | MODE         | I/O1 TO I/O8 | DEVICE CURRENT |
|-----------------|-----------------|-----------------|-----------|--------------|--------------|----------------|
| H               | X               | X               | X         | NOT SELECTED | HIGH Z       | STANDBY        |
| L               | L               | H               | STABLE    | READ         | DATA OUT     | ACTIVE         |
| L               | H               | L               | STABLE    | WRITE        | DATA IN      | ACTIVE         |
| L               | L               | L               | STABLE    | WRITE        | DATA IN      | ACTIVE         |

L = LOW H = HIGH X = H or L

MAXIMUM RATINGS, Absolute-Maximum Ratings

|                                                                                                                               |                                               |
|-------------------------------------------------------------------------------------------------------------------------------|-----------------------------------------------|
| DC SUPPLY-VOLTAGE RANGE, ( $V_{DD}$ ):                                                                                        |                                               |
| (Voltage referenced to $V_{SS}$ terminal)                                                                                     | -0.3 to +7 V                                  |
| INPUT VOLTAGE RANGE, ALL INPUTS                                                                                               | -0.3 to +7 V                                  |
| DC INPUT CURRENT, ANY ONE INPUT                                                                                               | $\pm 10$ mA                                   |
| POWER DISSIPATION PER PACKAGE ( $P_D$ ):                                                                                      |                                               |
| For $T_A = -40^\circ$ to $+60^\circ$ C (PACKAGE TYPE E)                                                                       | 500 mW                                        |
| For $T_A = +60^\circ$ to $+85^\circ$ C (PACKAGE TYPE E)                                                                       | Derate Linearly at 8 mW/ $^\circ$ C to 300 mW |
| For $T_A = -40^\circ$ to $+85^\circ$ C (PACKAGE TYPE D)                                                                       | 500 mW                                        |
| DEVICE DISSIPATION PER OUTPUT TRANSISTOR                                                                                      |                                               |
| For $T_A =$ FULL PACKAGE-TEMPERATURE RANGE (All Package Types)                                                                | 100 mW                                        |
| OPERATING-TEMPERATURE RANGE ( $T_A$ )                                                                                         |                                               |
| CDM6116A-2, CDM6116A-3 (PACKAGE TYPE E)                                                                                       | 0 to $+70^\circ$ C                            |
| CDM6116A-9 (PACKAGE TYPES D, E)                                                                                               | $-40$ to $+85^\circ$ C                        |
| STORAGE TEMPERATURE RANGE ( $T_{STG}$ )                                                                                       | $-55$ to $+125^\circ$ C                       |
| LEAD TEMPERATURE (DURING SOLDERING):                                                                                          |                                               |
| At distance 1/16 $\pm$ 1/32 in. (1.59 $\pm$ 0.79 mm) from case for 10 s max.                                                  | $+265^\circ$ C                                |
| OPERATING CONDITIONS at $T_A = 0$ to $+70^\circ$ C, (CDM6116A-2, CDM6116A-3); $T_A = -40^\circ$ to $+85^\circ$ C (CDM6116A-9) |                                               |
| For maximum reliability, operating conditions should be selected so that operation is always within the following ranges:     |                                               |

| CHARACTERISTIC                          |            | LIMITS |                | UNITS   |
|-----------------------------------------|------------|--------|----------------|---------|
|                                         |            | MIN.   | MAX.           |         |
| DC Operating Voltage Range              |            | 4.5    | 5.5            | V       |
| Input Voltage Range                     | $V_{IH}$   | 2.2    | $V_{DD} + 0.3$ |         |
|                                         | $V_{IL}$   | -0.3   | 0.8            |         |
| Input Signal Rise or Fall Time $\Delta$ | $t_r, t_f$ | —      | 5              | $\mu$ s |

$\Delta$  Input signal rise and fall times longer than the maximum value can cause loss of stored data in the selected mode.

STATIC ELECTRICAL CHARACTERISTICS at  $T_A = 0$  to  $+70^\circ$  C (CDM6116A-2, CDM6116A-3);

$T_A = -40^\circ$  to  $+85^\circ$  C (CDM6116A-9),  $V_{DD} = 5$  V  $\pm$  10%, Except as noted

| CHARACTERISTIC                 |                      | CONDITIONS                                                                     | LIMITS     |              |         |            |              |         |            |              |         | UNITS         |
|--------------------------------|----------------------|--------------------------------------------------------------------------------|------------|--------------|---------|------------|--------------|---------|------------|--------------|---------|---------------|
|                                |                      |                                                                                | CDM6116A-2 |              |         | CDM6116A-3 |              |         | CDM6116A-9 |              |         |               |
|                                |                      |                                                                                | MIN.       | TYP.*        | MAX.    | MIN.       | TYP.*        | MAX.    | MIN.       | TYP.*        | MAX.    |               |
| Standby Device Current         | $I_{DDS}$            | $\overline{CE} = V_{IH}$                                                       | —          | 0.6          | 2       | —          | 0.6          | 2       | —          | 0.3          | 2       | mA            |
|                                | $I_{DDS1}$           | $\overline{CE} = V_{DD}-0.2\text{ V}$                                          | —          | 1            | 30      | —          | 1            | 50      | —          | 1            | 100     | $\mu\text{A}$ |
| Output Voltage Low Level       | $V_{OL}\text{ Max.}$ | $I_{OL} = 2.1\text{ mA}$                                                       | —          | —            | 0.4     | —          | —            | 0.4     | —          | —            | 0.4     | V             |
|                                |                      | $I_{OL} = 1\text{ }\mu\text{A}$                                                | —          | 0.1          | —       | —          | 0.1          | —       | —          | 0.1          | —       |               |
| Output Voltage High Level      | $V_{OH}\text{ Min.}$ | $I_{OH} = -1\text{ mA}$                                                        | 2.4        | —            | —       | 2.4        | —            | —       | 2.4        | —            | —       | V             |
|                                |                      | $I_{OH} = -1\text{ }\mu\text{A}$                                               | —          | $V_{DD}-0.1$ | —       | —          | $V_{DD}-0.1$ | —       | —          | $V_{DD}-0.1$ | —       |               |
| Input Leakage Current          | $I_{IN}\text{ Max.}$ | $V_{DD} = 5.5\text{ V}$                                                        | —          | $\pm 0.1$    | $\pm 2$ | —          | $\pm 0.1$    | $\pm 2$ | —          | $\pm 0.1$    | $\pm 2$ | $\mu\text{A}$ |
|                                |                      | $V_{IN} = 0\text{ V to }V_{DD}$                                                | —          | $\pm 0.1$    | $\pm 2$ | —          | $\pm 0.1$    | $\pm 2$ | —          | $\pm 0.1$    | $\pm 2$ |               |
| 3-State Output Leakage Current | $I_{OUT}$            | $\overline{CE}$ or $\overline{OE} = V_{IH}$<br>$V_{IO} = 0\text{ V to }V_{DD}$ | —          | $\pm 0.5$    | $\pm 2$ | —          | $\pm 0.5$    | $\pm 2$ | —          | $\pm 0.5$    | $\pm 2$ |               |
| Operating Device Current       | $I_{OPER}^*$         | $V_{IN} = V_{IL}, V_{IH}$                                                      | —          | 20           | 35      | —          | 20           | 35      | —          | 28           | 40      | mA            |
| Input Capacitance              | $C_{IN}$             | $V_{IN} = 0\text{ V,}$<br>$f = 1\text{ MHz, }T_A = 25^\circ\text{C}$           | —          | 4            | 6       | —          | 4            | 6       | —          | 4            | 6       | pF            |
| Output Capacitance             | $C_{IO}$             | $V_{IO} = 0\text{ V,}$<br>$f = 1\text{ MHz, }T_A = 25^\circ\text{C}$           | —          | 6            | 8       | —          | 6            | 8       | —          | 6            | 8       |               |

\*Typical values are for  $T_A = 25^\circ$  C and nominal  $V_{DD}$ .

\*Outputs open circuited; cycle time = Min.  $t_{CYC}$ , duty = 100%.

## CDM6116A

## SIGNAL DESCRIPTIONS

**A0-A10 (Address Inputs):** These inputs must be stable prior to a write operation, but may change asynchronously during read operations.

**I/O1-I/O8:** 8-bit tristate data bus.

**$\overline{CE}$  (Chip Enable):** Powers down chip, disables Read and Write functions, and gates off address inputs.

**$\overline{OE}$  (Output Enable):** Enables tristate outputs if  $\overline{CE}$  is low and  $\overline{WE}$  is high.

**$\overline{WE}$  (Write Enable):** Enables Write function, if  $\overline{CE}$  is low.  $\overline{WE}$  will dominate if both  $\overline{WE}$  and  $\overline{OE}$  are low (i.e., the bus will be tristated and a Write will occur).

**$V_{DD}, V_{SS}$ :** Power supply connections.

**DYNAMIC ELECTRICAL CHARACTERISTICS at  $T_A = 0$  to  $-70^\circ\text{C}$  (CDM6116A-2, CDM6116A-3);**

**$T_A = -40^\circ$  to  $+85^\circ\text{C}$  (CDM6116A-9),  $V_{DD} = 5\text{V} \pm 10\%$ ,**

**Input  $t_i, t_r = 10\text{ ns}$ ;  $C_L = 100\text{ pF}$  and 1 TTL Load, Input Pulse Levels: 0.8 V to 2.4 V**

| CHARACTERISTIC                    |                             | LIMITS            |      |                   |      |                   |      | UNITS |
|-----------------------------------|-----------------------------|-------------------|------|-------------------|------|-------------------|------|-------|
|                                   |                             | CDM6116A-2        |      | CDM6116A-3        |      | CDM6116A-9        |      |       |
|                                   |                             | MIN. <sup>†</sup> | MAX. | MIN. <sup>†</sup> | MAX. | MIN. <sup>†</sup> | MAX. |       |
| Read Cycle Times See Fig. 2       |                             |                   |      |                   |      |                   |      |       |
| Read Cycle Time                   | t <sub>RC</sub>             | 200               | —    | 150               | —    | 250               | —    | ns    |
| Address Access Time               | t <sub>AA</sub>             | —                 | 200  | —                 | 150  | —                 | 250  |       |
| Chip Enable Access Time           | t <sub>ACE</sub>            | —                 | 200  | —                 | 150  | —                 | 250  |       |
| Chip Enable to Output Active      | t <sub>CX</sub>             | 15                | —    | 15                | —    | 15                | —    |       |
| Output Enable to Output Valid     | t <sub>OE<sub>V</sub></sub> | —                 | 120  | —                 | 60   | —                 | 150  |       |
| Output Enable to Output Active    | t <sub>OEX</sub>            | 15                | —    | 15                | —    | 15                | —    |       |
| Chip Disable to Output "High Z"   | t <sub>CHZ</sub>            | 0                 | 60   | 0                 | 50   | 0                 | 80   |       |
| Output Disable to Output "High Z" | t <sub>OHZ</sub>            | 0                 | 60   | 0                 | 50   | 0                 | 80   |       |
| Output Hold from Address Change   | t <sub>OH</sub>             | 15                | —    | 15                | —    | 15                | —    |       |

<sup>†</sup>Time required by a limit device to allow for the indicated function.

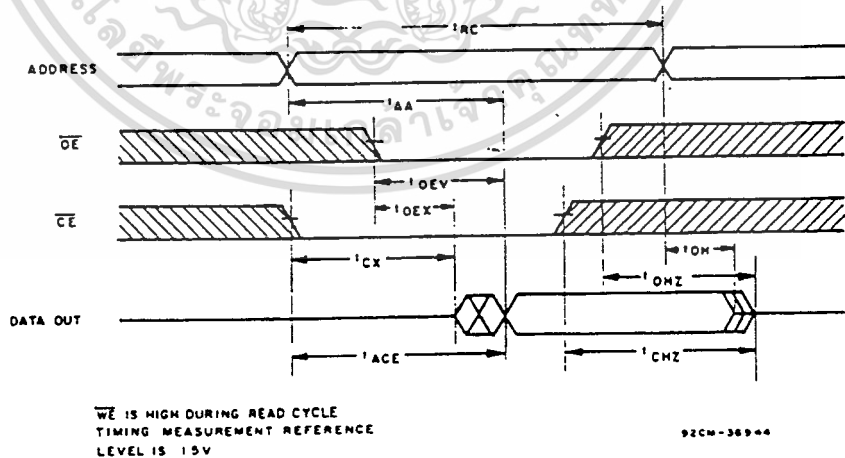


Fig. 2 - Read-cycle timing waveforms.

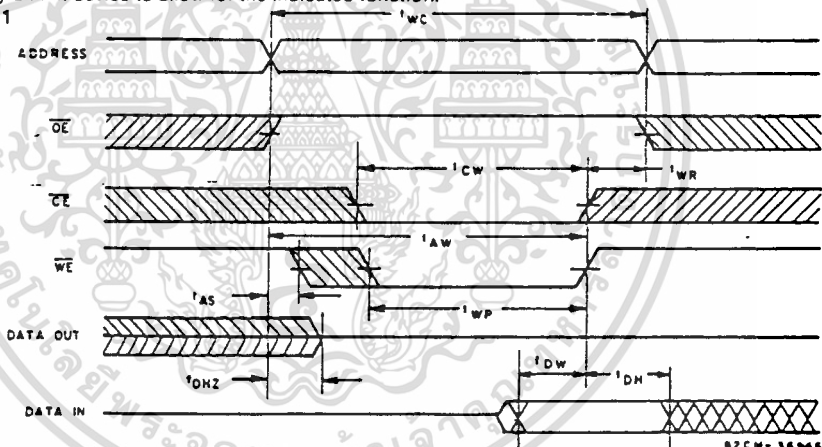
DYNAMIC ELECTRICAL CHARACTERISTICS at  $T_A = 0$  to  $-70^\circ\text{C}$  (CDM6116A-2, CDM6116A-3);  
 $T_A = -40^\circ$  to  $+85^\circ\text{C}$  (CDM6116A-9),  $V_{DD} = 5\text{ V} \pm 10\%$ ,

Input  $t_i, t_r = 10\text{ ns}$ ;  $C_L = 100\text{ pF}$  and 1 TTL Load, Input Pulse Levels: 0.8 V to 2.4 V

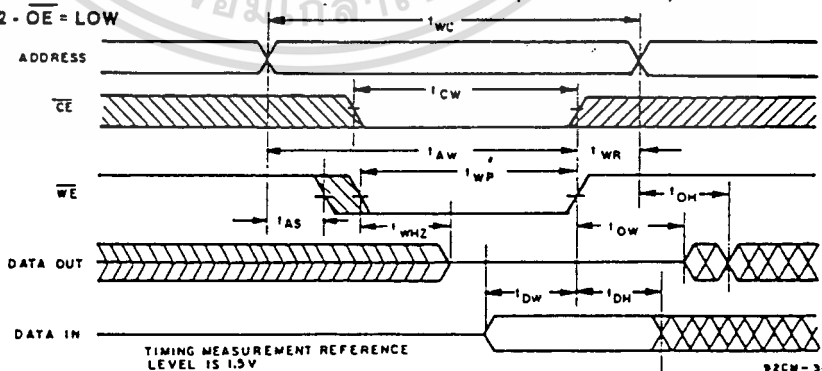
| CHARACTERISTIC                    |                  | LIMITS            |      |                   |      |                   |      | UNITS |
|-----------------------------------|------------------|-------------------|------|-------------------|------|-------------------|------|-------|
|                                   |                  | CDM6116A-2        |      | CDM6116A-3        |      | CDM6116A-9        |      |       |
|                                   |                  | MIN. <sup>†</sup> | MAX. | MIN. <sup>†</sup> | MAX. | MIN. <sup>†</sup> | MAX. |       |
| Write Cycle Times See Fig. 3      |                  |                   |      |                   |      |                   |      |       |
| Write Cycle Time                  | t <sub>WC</sub>  | 200               | —    | 150               | —    | 250               | —    | ns    |
| Chip Enable to End of WRITE       | t <sub>CW</sub>  | 160               | —    | 90                | —    | 200               | —    |       |
| Address Valid to End of WRITE     | t <sub>AW</sub>  | 160               | —    | 90                | —    | 200               | —    |       |
| Address Setup Time                | t <sub>AS</sub>  | 0                 | —    | 0                 | —    | 0                 | —    |       |
| Write Pulse Width                 | t <sub>WP</sub>  | 160               | —    | 90                | —    | 200               | —    |       |
| Write Recovery Time               | t <sub>WR</sub>  | 10                | —    | 0                 | —    | 10                | —    |       |
| Output Disable to Output "High Z" | t <sub>OHZ</sub> | 0                 | 60   | 0                 | 50   | 0                 | 80   |       |
| Write to Output "High Z"          | t <sub>WHZ</sub> | 0                 | 60   | 0                 | 40   | 0                 | 80   |       |
| Input Data Setup Time             | t <sub>DW</sub>  | 80                | —    | 50                | —    | 100               | —    |       |
| Input Data Hold Time              | t <sub>DH</sub>  | 10                | —    | 5                 | —    | 10                | —    |       |
| Output Active from End of Write   | t <sub>OW</sub>  | 10                | —    | 10                | —    | 10                | —    |       |

Time required by a limit device to allow for the indicated function.

WRITE CYCLE 1



WRITE CYCLE 2 - OE = LOW



TIMING MEASUREMENT REFERENCE  
LEVEL IS 1.5V

Fig. 3 - Write-cycle timing waveforms.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## CDM6116A

DATA RETENTION CHARACTERISTICS at  $T_A = 0$  to  $70^\circ\text{C}$  (CDM6116A-2, CDM6116A-3);  
 $T_A = -40$  to  $+85^\circ\text{C}$  (CDM6116A-9), Unless otherwise noted, See Fig. 4.

| CHARACTERISTIC                                                                   | TEST CONDITIONS                                                                                      | LIMITS     |      | UNITS         |
|----------------------------------------------------------------------------------|------------------------------------------------------------------------------------------------------|------------|------|---------------|
|                                                                                  |                                                                                                      | ALL TYPES  |      |               |
|                                                                                  |                                                                                                      | MIN.       | MAX. |               |
| Minimum Data Retention Voltage<br>$V_{DR}$<br>CDM6116A-2, CDM6116A-3, CDM6116A-9 | $T_A = 0 \text{ to } 70^\circ\text{C}$<br>$\overline{CE} \geq V_{DD} - 0.2 \text{ V}$                | 2          | —    | V             |
|                                                                                  | CDM6116A-9<br>$T_A = -40 \text{ to } 0^\circ\text{C}$<br>$\overline{CE} \geq V_{DD} - 0.2 \text{ V}$ | 4.5        | —    |               |
| Data Retention Quiescent Current<br>$I_{DDDR}^*$                                 |                                                                                                      |            |      | $\mu\text{A}$ |
| CDM6116A-2                                                                       | $V_{DD} = 3 \text{ V}, \overline{CE} \geq 2.8 \text{ V}$                                             | —          | 15   |               |
| CDM6116A-3                                                                       | $V_{DD} = 3 \text{ V}, \overline{CE} \geq 2.8 \text{ V}$                                             | —          | 25   |               |
| CDM6116A-9                                                                       | $V_{DD} = 3 \text{ V}, \overline{CE} \geq 2.8 \text{ V}$                                             | —          | 50   |               |
| Chip Disable to Data Retention Time<br>$t_{CDR}$                                 | See Fig. 4                                                                                           | 0          | —    | ns            |
| Recovery to Normal Operation Time<br>$t_R$                                       | See Fig. 4                                                                                           | * $t_{RC}$ | —    |               |

\* $I_{DDDR} = 7.5\text{ }\mu\text{A}$  max. at  $T_A = 0^\circ$  to  $-40^\circ\text{C}$  for CDM6116A-2 and CDM6116A-3.

\* $t_{RC}$  = Read Cycle Time.

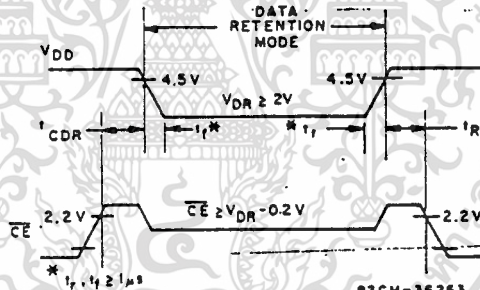


Fig. 4 - Low  $V_{DD}$  data retention timing waveforms.

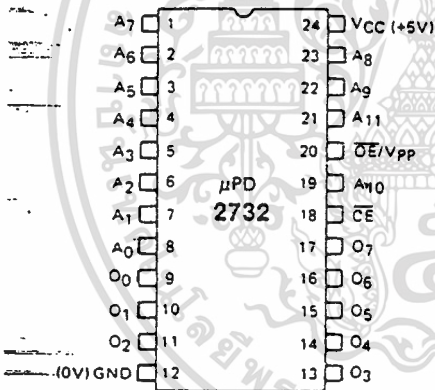
32,768 (4K X 8) BIT UV ERASABLE PROM

**DESCRIPTION** The μPD2732 is a 32,768 bit (4096 x 8 bit) Ultraviolet Erasable and Electrically Programmable Read-Only Memory (EPROM). It operates from a single +5V supply, making it ideal for microprocessor applications. It features an output enable control and offers a standby mode with an attendant 80% savings in power consumption.

A distinctive feature of the μPD2732 is a separate output control, output enable ( $\overline{OE}$ ) from the chip enable control ( $\overline{CE}$ ). The  $\overline{OE}$  control eliminates bus contention in multiple-bus microprocessor systems. The μPD2732 features fast, simple one-pulse programming controlled by TTL-level signals. Total programming time for all 32,768 bits is only 210 seconds.

- FEATURES**
- Ultraviolet Erasable and Electrically Programmable
  - Access Time — 450 ns Max
  - Single Location Programming
  - Programmable with Single Pulse
  - Low Power Dissipation: 150 mA Max Active Current,  
30 mA Max Standby Current
  - Input/Output TTL Compatible for Reading and Programming
  - Single +5V Power Supply
  - 24 Pin Ceramic DIP
  - Three-State Outputs

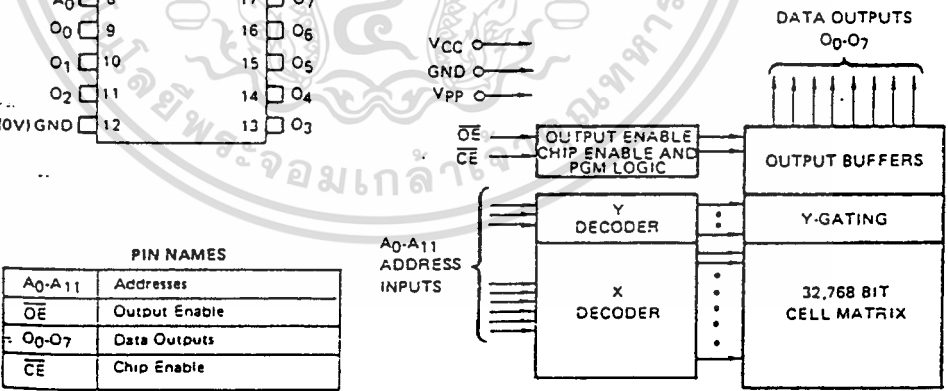
PIN CONFIGURATION



MODE SELECTION

| PINS            | MODE | CE                                        | $\overline{OE}/V_{pp}$ | VCC | OUTPUTS |
|-----------------|------|-------------------------------------------|------------------------|-----|---------|
| Read            |      | V <sub>IL</sub>                           | V <sub>IL</sub>        | +5  | DOUT    |
| Standby         |      | V <sub>IH</sub>                           | Don't Care             | -5  | High Z  |
| Program         |      | Pulsed V <sub>IL</sub> to V <sub>IH</sub> | +25                    | +5  | DIN     |
| Program Verify  |      | V <sub>IL</sub>                           | V <sub>IL</sub>        | +5  | DOUT    |
| Program Inhibit |      | V <sub>IH</sub>                           | +25                    | -5  | High Z  |

BLOCK DIAGRAM



PIN NAMES

| PIN NAMES       |               |
|-----------------|---------------|
| A0-A11          | Addresses     |
| $\overline{OE}$ | Output Enable |
| O0-O7           | Data Outputs  |
| $\overline{CE}$ | Chip Enable   |



## 2732A 32K (4K x 8) UV ERASABLE PROM

- 200 ns (2732A-2) Maximum Access Time . . . HMOS<sup>®</sup>-E Technology
- Compatible with High-Speed 8MHz iAPX 186...Zero WAIT State
- Two Line Control
- Compatible with 12 MHz 8051 Family
- Industry Standard Pinout . . . JEDEC Approved
- Low Standby Current...30 mA Maximum
- $\pm 10\%$   $V_{CC}$  Tolerance Available
- Intelligent Identifier™ Mode
- TTL Compatible

The Intel 2732A is a 5V only, 32,768 bit ultraviolet erasable and electrically programmable read-only-memory (EPROM). The standard 2732A access time is 250 ns with speed selection (2732A-2) available at 200 ns. The access time is compatible with high performance microprocessors such as the 8 MHz iAPX 186. In these systems, the 2732A allows the microprocessor to operate without the addition of WAIT states.

An important 2732A feature is the separate output control, Output Enable ( $\overline{OE}$ ), from the Chip Enable control ( $\overline{CE}$ ). The  $\overline{OE}$  control eliminates bus contention in microprocessor systems. Intel's Application Note AP-72 describes the microprocessor system implementation of the  $\overline{OE}$  and  $\overline{CE}$  controls on Intel's EPROMs. AP-72 is available from Intel's Literature Department.

The 2732A has a standby mode which reduces power consumption without increasing access time. The maximum active current is 125 mA, while the maximum standby current is only 35 mA, a 70% saving. The standby mode is selected by applying the TTL-high signal to the  $\overline{CE}$  input.

The 2732A is fabricated with HMOS<sup>®</sup>-E technology, Intel's high-speed N-channel MOS Silicon Gate Technology.

<sup>®</sup>HMOS is a patented process of Intel Corporation.

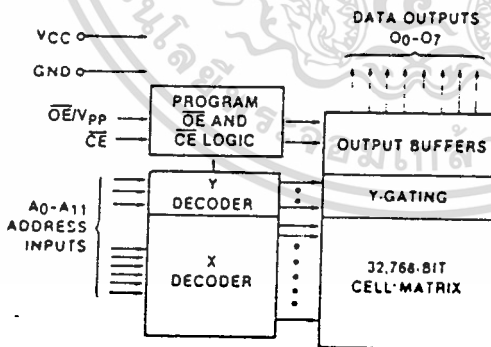


Figure 1. Block Diagram

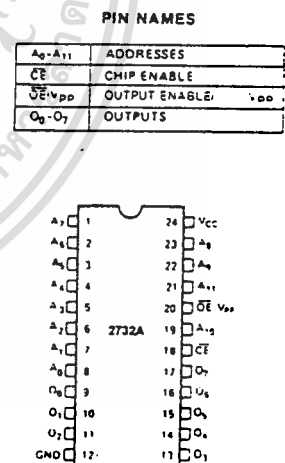


Figure 2. Pin Configuration

Intel Corporation Assumes No Responsibility for the Use of Any Circuitry Other Than Circuitry Embodied in an Intel Product. No Other Circuit Patent Licenses are Implied.  
INTEL CORPORATION INC 1982

OCTOBER 1982  
AFN-01541d

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# ABSOLUTE MAXIMUM RATINGS\*

|                                                                          |                 |
|--------------------------------------------------------------------------|-----------------|
| Temperature Under Bias                                                   | -10°C to +80°C  |
| Storage Temperature                                                      | -65°C to +125°C |
| All Input or Output Voltages with Respect to Ground                      | +6V to -0.3V    |
| Voltage on Pin 22 with Respect to Ground                                 | +13.5V to -0.3V |
| V <sub>PP</sub> Supply Voltage with Respect to Ground During Programming | +22V to -0.3V   |

\*NOTICE: Stresses above those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress rating only and functional operation of the device at these or any other conditions above those indicated in the operational sections of this specification is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

## D.C. AND A.C. OPERATING CONDITIONS DURING READ

|                                             | 2732A/A-2/A-3/A-4 | 2732A-20/A-25/A-30 |
|---------------------------------------------|-------------------|--------------------|
| Operating Temperature Range                 | 0°C-70°C          | 0°C-70°C           |
| V <sub>CC</sub> Power Supply <sup>1,2</sup> | 5V ± 5%           | 5V ± 10%           |

## READ OPERATION

### D.C. CHARACTERISTICS

| Symbol                        | Parameter                         | Limits |                     |                     | Units | Conditions                                          |
|-------------------------------|-----------------------------------|--------|---------------------|---------------------|-------|-----------------------------------------------------|
|                               |                                   | Min.   | Typ. <sup>(1)</sup> | Max.                |       |                                                     |
| I <sub>IL</sub>               | Input Load Current                |        |                     | 10                  | μA    | V <sub>IN</sub> = 5.5V                              |
| I <sub>LO</sub>               | Output Leakage Current            |        |                     | 10                  | μA    | V <sub>OUT</sub> = 5.5V                             |
| I <sub>CC1</sub> <sup>2</sup> | V <sub>CC</sub> Current (Standby) |        |                     | 35                  | mA    | $\overline{CE} = V_{IH}$ , $\overline{OE} = V_{IL}$ |
| I <sub>CC2</sub> <sup>2</sup> | V <sub>CC</sub> Current (Active)  |        |                     | 100                 | mA    | $\overline{OE} = \overline{CE} = V_{IL}$            |
| V <sub>IL</sub>               | Input Low Voltage                 | -0.1   |                     | 0.8                 | V     |                                                     |
| V <sub>IH</sub>               | Input High Voltage                | 2.0    |                     | V <sub>CC</sub> + 1 | V     |                                                     |
| V <sub>OL</sub>               | Output Low Voltage                |        |                     | 0.45                | V     | I <sub>OL</sub> = 2.1 mA                            |
| V <sub>OH</sub>               | Output High Voltage               | 2.4    |                     |                     | V     | I <sub>OH</sub> = -400 μA                           |
| V <sub>PP</sub> <sup>2</sup>  | V <sub>PP</sub> Read Voltage      | 3.8    |                     | V <sub>CC</sub>     | V     | V <sub>CC</sub> = 5.0V ± 0.25V                      |

### A.C. CHARACTERISTICS

| Symbol                          | Parameter                                                                               | 2732A-2<br>2732A-20 |      | 2732A<br>2732A-25 |      | 2732A-3<br>2732A-30 |      | 2732A-4 |      | Units | Test Conditions†                         |
|---------------------------------|-----------------------------------------------------------------------------------------|---------------------|------|-------------------|------|---------------------|------|---------|------|-------|------------------------------------------|
|                                 |                                                                                         | Min.                | Max. | Min.              | Max. | Min.                | Max. | Min.    | Max. |       |                                          |
| t <sub>ACC</sub>                | Address to Output Delay                                                                 |                     | 200  |                   | 250  |                     | 300  |         | 450  | ns    | $\overline{CE} = \overline{OE} = V_{IL}$ |
| t <sub>CE</sub>                 | $\overline{CE}$ to Output Delay                                                         |                     | 200  |                   | 250  |                     | 300  |         | 450  | ns    | $\overline{OE} = V_{IL}$                 |
| t <sub>OE</sub>                 | $\overline{OE}$ to Output Delay                                                         |                     | 70   |                   | 100  |                     | 150  |         | 150  | ns    | $\overline{CE} = V_{IL}$                 |
| t <sub>OFF</sub> <sup>(4)</sup> | $\overline{OE}$ High to Output Not Driven                                               | 0                   | 60   | 0                 | 60   | 0                   | 130  | 0       | 130  | ns    | $\overline{CE} = V_{IL}$                 |
| t <sub>OH</sub>                 | Output Hold from Addresses, $\overline{CE}$ or $\overline{OE}$ Whichever Occurred First | 0                   |      | 0                 |      | 0                   |      | 0       |      | ns    | $\overline{CE} = \overline{OE} = V_{IL}$ |

### I.A.C. TEST CONDITIONS

Output Load ..... 1 TTL gate and C<sub>L</sub> = 100 pF  
 Input Rise and Fall Times ..... ≤ 20 ns  
 Input Pulse Levels ..... 0.45V to 2.4V

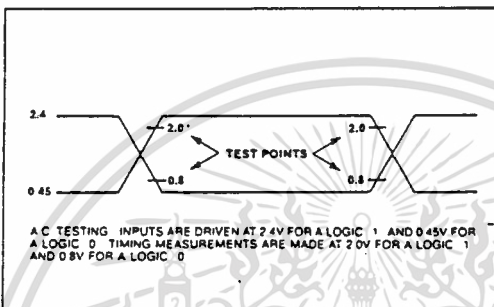
Timing Measurement Reference Level.  
 Inputs ..... 0.8 and 2.0V  
 Outputs ..... 0.8 and 2.0V

- NOTES: 1. V<sub>CC</sub> must be applied simultaneously or before V<sub>PP</sub> and removed simultaneously or after V<sub>PP</sub>.  
 2. V<sub>PP</sub> may be connected directly to V<sub>CC</sub> except during programming. The supply current would then be the sum of I<sub>CC</sub> and I<sub>PP</sub>.  
 3. Typical values are for t<sub>A</sub> = 25°C and nominal supply voltages.  
 4. This parameter is only sampled and is not 100% tested. Output Float is defined as the point where data is no longer driven — see timing diagram on page 3.

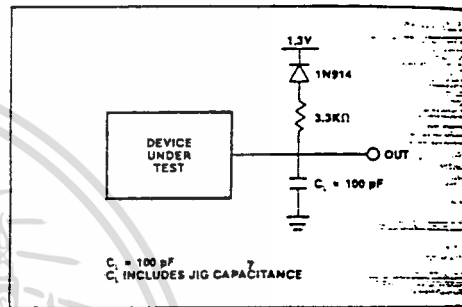
CAPACITANCE<sup>[2]</sup> ( $T_A = 25^\circ\text{C}$ ,  $f = 1\text{ MHz}$ )

| Symbol    | Parameter                                          | Typ. | Max. | Unit | Conditions            |
|-----------|----------------------------------------------------|------|------|------|-----------------------|
| $C_{IN1}$ | Input Capacitance<br>Except $\overline{OE}/V_{PP}$ | 4    | 6    | pF   | $V_{IN} = 0\text{V}$  |
| $C_{IN2}$ | $\overline{OE}/V_{PP}$ Input<br>Capacitance        |      | 20   | pF   | $V_{IN} = 0\text{V}$  |
| $C_{OUT}$ | Output Capacitance                                 | 8    | 12   | pF   | $V_{OUT} = 0\text{V}$ |

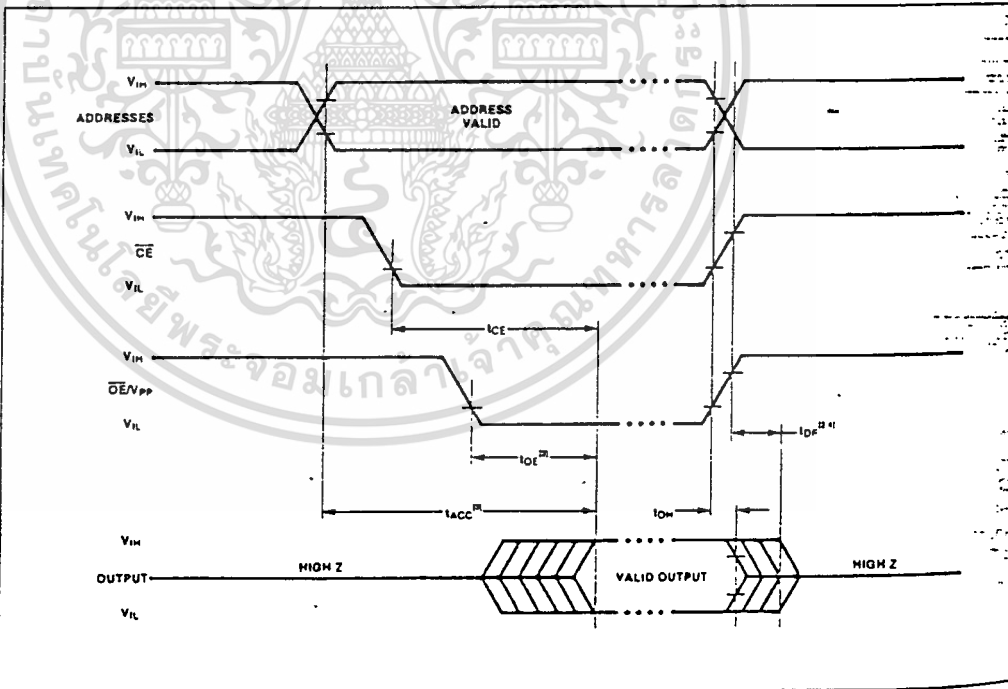
A.C. TESTING INPUT/OUTPUT WAVEFORM



A.C. TESTING LOAD CIRCUIT



A.C. WAVEFORMS



## ERASURE CHARACTERISTICS

The erasure characteristics of the 2732A are such that erasure begins to occur upon exposure to light with wavelengths shorter than approximately 4000 Angstroms (Å). It should be noted that sunlight and certain types of fluorescent lamps have wavelengths in the 3000-4000 Å range. Data show that constant exposure to room level fluorescent lighting could erase the typical 2732A in approximately 3 years, while it would take approximately 1 week to cause erasure when exposed to direct sunlight. If the 2732A is to be exposed to these types of lighting conditions for extended periods of time, opaque labels should be placed over the 2732A window to prevent unintentional erasure.

The recommended erasure procedure for the 2732A is exposure to shortwave ultraviolet light which has a wavelength of 2537 Angstroms (Å). The integrated dose (i.e., UV intensity X exposure time) for erasure should be a minimum of 15 W-sec/cm<sup>2</sup>. The erasure time with this dosage is approximately 15 to 20 minutes using an ultraviolet lamp with 12000 μW/cm<sup>2</sup> power rating. The 2732A should be placed within 1 inch of the lamp tubes during erasure.

## DEVICE OPERATION

The six modes of operation of the 2732A are listed in Table 1. A single 5V power supply is required in the read mode. All inputs are TTL levels except for  $\overline{OE}/V_{pp}$  during programming and 12V on  $A_9$  for the Intelligent Identifier™ mode. In the program mode the  $\overline{OE}/V_{pp}$  input is pulsed from a TTL level to 21V.

Table 1. Mode Selection

| MODE                   | PINS | $\overline{CE}$ (18) | $\overline{OE}/V_{pp}$ (20) | $A_9$ (22) | $V_{CC}$ (24) | OUTPUTS (9-11, 13-17) |
|------------------------|------|----------------------|-----------------------------|------------|---------------|-----------------------|
| Read                   |      | $V_{IL}$             | $V_{IL}$                    | X          | +5            | $D_{OUT}$             |
| Output Disable         |      | $V_{IL}$             | $V_{IH}$                    | X          | +5            | High Z                |
| Standby                |      | $V_{IH}$             | X                           | X          | +5            | High Z                |
| Program                |      | $V_{IL}$             | $V_{pp}$                    | X          | +5            | $D_{IN}$              |
| Program Inhibit        |      | $V_{IH}$             | $V_{pp}$                    | X          | +5            | High Z                |
| Intelligent Identifier |      | $V_{IL}$             | $V_{IL}$                    | $V_{IH}$   | +5            | Code                  |

Notes: 1. X can be  $V_{IH}$  or  $V_{IL}$   
2.  $V_{IH} = 12.0 \pm 0.5V$

### Read Mode

The 2732A has two control functions, both of which must be logically active in order to obtain data at the outputs. Chip Enable ( $\overline{CE}$ ) is the power control and should be used for device selection. Output Enable ( $\overline{OE}$ ) is the output control and should be used to gate data from the output pins, independent of device selection. Assuming that addresses are stable, address access time ( $t_{ACC}$ ) is equal to the delay from  $\overline{CE}$  to output ( $t_{CE}$ ). Data is available at the outputs after the falling edge of  $\overline{OE}$ , assuming that  $\overline{CE}$  has been low and addresses have been stable for at least  $t_{ACC} - t_{OE}$ .

### Standby Mode

The 2732A has a standby mode which reduces the maximum active current from 125 mA to 35 mA. The 2732A is placed in the standby mode by applying a TTL-high signal to the  $\overline{CE}$  input. When in standby mode, the outputs are in a high impedance state, independent of the  $\overline{OE}$  input.

### Output OR-Tieing

Because EPROMs are usually used in larger memory arrays, Intel has provided a 2 line control function that accommodates this use of multiple memory connection. The two line control function allows for:

- the lowest possible memory power-dissipation, and
- complete assurance that output bus contention will not occur.

To use these two control lines most efficiently,  $\overline{CE}$  (pin 18) should be decoded and used as the primary device selecting function, while  $\overline{OE}$  (pin 20) should be made a common connection to all devices in the array and connected to the  $\overline{READ}$  line from the system control bus. This assures that all deselected memory devices are in their low power standby mode and that the output pins are active only when data is desired from a particular memory device.

## PROGRAMMING

**CAUTION:** Exceeding 22V on Pin 20 ( $\overline{OE}/V_{pp}$ ) will permanently damage the 2732A.

Initially, and after each erasure, all bits of the 2732A are in the "1" state. Data is introduced by selectively programming "0's" into the desired bit locations. Although only "0's" will be programmed, both "1's" and "0's" can be present in the data word. The only way to change a "0" to a "1" is by ultraviolet light erasure.

The 2732A is in the programming mode when the  $\overline{OE}/V_{pp}$  input is at 21V. It is required that a 0.1 μF capacitor be placed across  $\overline{OE}/V_{pp}$  and ground to suppress spurious voltage transients which may damage the device. The data to be programmed is applied 8 bits in parallel to the data output pins. The levels required for the address and data inputs are TTL.

When the address and data are stable, a 50 msec. active low, TTL program pulse is applied to the  $\overline{CE}$  input. A program pulse must be applied at each address location to be programmed. You can program any location at any time—either individually, sequentially, or at random. The program pulse has a maximum width of 55 msec. The 2732A must not be programmed with a DC signal applied to the  $\overline{CE}$  input.

Programming of multiple 2732As in parallel with the same data can be easily accomplished due to the simplicity of the programming requirements. Like inputs of the paralleled 2732As may be connected together when they are programmed with the same data. A low level TTL pulse applied to the  $\overline{CE}$  input programs the paralleled 2732As.

## Program Inhibit

Programming of multiple 2732As in parallel with different data is also easily accomplished. Except for  $\overline{CE}$ , all like inputs (including  $\overline{OE}$ ) of the parallel 2732As may be common. A TTL level program pulse applied to a 2732A's  $\overline{CE}$  input with  $\overline{OE}/V_{PP}$  at 21V will program that 2732A. A high level  $\overline{CE}$  input inhibits the other 2732As from being programmed.

## Verify

A verify (Read) should be performed on the programmed bits to determine that they were correctly programmed. The verify is accomplished with  $\overline{OE}/V_{PP}$  and  $\overline{CE}$  at  $V_{IL}$ . Data should be verified  $t_{DV}$  after the falling edge of  $\overline{CE}$ .

## intelligent Identifier™ Mode

The intelligent Identifier Mode allows the reading out of a binary code from an EPROM that will identify its manufacturer and type. This mode is intended for use by programming equipment for the purpose of automatically matching the device to be programmed with its corresponding programming algorithm. This mode is functional in the  $25^{\circ}\text{C} \pm 5^{\circ}\text{C}$  ambient temperature range.

To activate this mode, the programming equipment must force 11.5V to 12.5V on address line A9 (pin 22) of the 2732A. Two identifier bytes may then be sequenced from the device outputs by toggling address line A0 (pin 8) from  $V_{IL}$  to  $V_{IH}$ . All other address lines must be held at  $V_{IL}$  during intelligent Identifier Mode.

Byte 0 ( $A_0 = V_{IL}$ ) represents the manufacturer code and byte 1 ( $A_0 = V_{IH}$ ) the device identifier code. For the Intel 2732A, these two identifier bytes are given in Table 2. All identifiers for manufacturer and device codes will possess odd parity, with the MSB ( $O_7$ ) defined as the parity bit.

Intel began manufacturing 2732As during 1982 that contained the intelligent Identifier feature. Earlier generation devices do not contain identifier information, and erased, will respond with a "one" ( $V_{OH}$ ) on each data line when operated in this mode. Programmed, preidentified mode 2732As will respond with the current data contained in locations 0 and 1 when subjected to the intelligent Identifier operation.

## System Consideration

The power switching characteristics of HMOS-E EPROMs require careful decoupling of the devices. The supply current,  $I_{CC}$ , has three segments that are of interest to the system designer—the standby current level, the active current level, and the transient current peaks that are produced by the falling and rising edges of Chip Enable. The magnitude of these transient current peaks is dependent on the output capacitive loading of the device. The associated transient voltage peaks can be suppressed by complying with Intel's Two-Line Control, as detailed in Intel's Application Note, AP-72, and by properly selecting decoupling capacitors. It is recommended that a 0.1  $\mu\text{F}$  ceramic capacitor be used on every device between  $V_{CC}$  and GND. This should be a high frequency capacitor of low inherent inductance and should be placed as close to the device as possible. In addition, a 4.7  $\mu\text{F}$  bulk electrolytic capacitor should be used between  $V_{CC}$  and GND for every eight devices. The bulk capacitor should be located near where the power supply is connected to the array. The purpose of the bulk capacitor is to overcome the voltage droop caused by the inductive effects of PC board traces.

Table 2. 2732A intelligent Identifier™ Bytes

| Identifier        | Pins     | A <sub>0</sub><br>(8) | O <sub>7</sub><br>(17) | O <sub>6</sub><br>(16) | O <sub>5</sub><br>(15) | O <sub>4</sub><br>(14) | O <sub>3</sub><br>(13) | O <sub>2</sub><br>(11) | O <sub>1</sub><br>(10) | O <sub>0</sub><br>(9) | Hex<br>Data |
|-------------------|----------|-----------------------|------------------------|------------------------|------------------------|------------------------|------------------------|------------------------|------------------------|-----------------------|-------------|
| Manufacturer Code | $V_{IL}$ | 1                     | 0                      | 0                      | 0                      | 0                      | 1                      | 0                      | 0                      | 1                     | 89          |
| Device Code       | $V_{IH}$ | 0                     | 0                      | 0                      | 0                      | 0                      | 0                      | 0                      | 0                      | 1                     | 01          |



ADVANCE INFORMATION

## 27512 512K (64K x 8) UV ERASABLE PROM

- Software Carrier Capability
- 250 ns Standard Access Time
- Two-Line Control
- Intelligent Identifier™ Mode
  - Automated Programming Operations
- TTL Compatible
- Industry Standard Pinout ... JEDEC Approved
- Low Power
  - 125 mA max. Active
  - 40 mA max. Standby
- Intelligent Programming™ Algorithm
  - Fastest EPROM Programming

The Intel 27512 is a 5V only, 524, 288 bit ultraviolet Erasable and Electrically Programmable Read Only Memory (EPROM). Organized as 64K words by 8 bits, individual bytes are accessed in under 250ns. This ensures compatibility with high performance microprocessors, such as the Intel 8MHz iAPX 186, allowing full speed operation without the addition of performance-degrading WAIT states. The 27512 is also directly compatible with Intel's 8051 family of microcontrollers.

The 27512 enables implementation of new, advanced systems with firmware intensive architectures. The combination of the 27512's high density, cost effective EPROM storage; and new advanced microprocessors having megabyte addressing capability provides designers with opportunities to engineer user friendly, high reliability, high-performance systems.

The 27512's large storage capability of 64K bytes enables it to function as a high density software carrier. Entire operating systems, diagnostics, high-level language programs and specialized application software can reside in a 27512 EPROM directly on a system's memory bus. This permits immediate microprocessor access and execution of software and eliminates the need for time consuming disk accesses and downloads.

Two advanced features have been designed into the 27512 that allow for fast and reliable programming — the intelligent identifier™ mode and the intelligent Programming™ Algorithm. Programming equipment that takes advantage of these innovations will electronically identify the 27512 and then rapidly program it using an efficient programming method.

Two-line control and JEDEC-approved, 28-pin packaging are standard features of all Intel high-density EPROMs. This assures easy microprocessor interfacing and minimum design efforts when upgrading, adding, or choosing between nonvolatile memory alternatives.

The 27512 is manufactured using Intel's advanced HMOS™ II-E technology.

\*HMOS is a patented process of Intel Corporation.

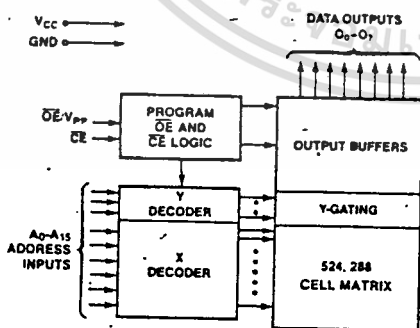
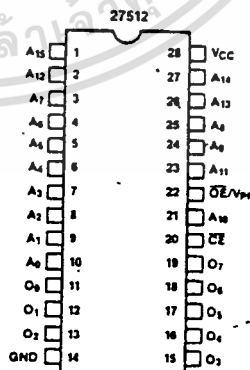


Figure 1: Block Diagram



| PIN NAMES                       |                               |
|---------------------------------|-------------------------------|
| A <sub>0</sub> -A <sub>15</sub> | ADDRESSES                     |
| CE                              | CHIP ENABLE                   |
| OE/V <sub>pp</sub>              | OUTPUT ENABLE/V <sub>pp</sub> |
| O <sub>0</sub> -O <sub>7</sub>  | OUTPUTS                       |

Figure 2: Pin Configuration

Intel Corporation Assumes No Responsibility for the Use of Any Circuitry Other Than Circuitry Embodied in an Intel Product No Other Circuit Patent Licenses are Implied.

©INTEL CORPORATION, 1984

MAY 1984  
ORDER NUMBER: 231088-001

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**ABSOLUTE MAXIMUM RATINGS\***

|                                                                       |                 |
|-----------------------------------------------------------------------|-----------------|
| Temperature Under Bias .....                                          | -10°C to +80°C  |
| Storage Temperature .....                                             | -65°C to +125°C |
| All Input or Output Voltages with<br>Respect to Ground .....          | +6.5V to -0.6V  |
| Voltage on Pin 24 with<br>Respect to Ground .....                     | +13.5V to -0.6V |
| $\overline{OE}/V_{PP}$ Supply Voltage with<br>Respect to Ground ..... | +14.0V to -0.6V |

\*NOTICE: Stresses above those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress rating only and functional operation of the device at these or any other conditions above those indicated in the operational sections of this specification is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

**D.C. AND A.C. OPERATING CONDITIONS DURING READ**

|                                    | 27512      | 27512-3    | 27512-25   | 27512-30   |
|------------------------------------|------------|------------|------------|------------|
| Operating Temperature Range        | 0°C - 70°C | 0°C - 70°C | 0°C - 70°C | 0°C - 70°C |
| $V_{CC}$ Power Supply <sup>1</sup> | 5V ± 5%    | 5V ± 5%    | 5V ± 10%   | 5V ± 10%   |

**READ OPERATION****D.C. CHARACTERISTICS**

| Symbol    | Parameter                | Limits |                   |              | Units   | Test Conditions                                 |
|-----------|--------------------------|--------|-------------------|--------------|---------|-------------------------------------------------|
|           |                          | Min.   | Typ. <sup>2</sup> | Max.         |         |                                                 |
| $I_{LI}$  | Input Load Current       |        |                   | 10           | $\mu A$ | $V_{IN} = 5.5V$                                 |
| $I_{LO}$  | Output Leakage Current   |        |                   | 10           | $\mu A$ | $V_{OUT} = 5.5V$                                |
| $I_{CC1}$ | $V_{CC}$ Current Standby |        | 20                | 40           | mA      | $\overline{CE} = V_{IH}$                        |
| $I_{CC2}$ | $V_{CC}$ Current Active  |        | 90                | 125          | mA      | $\overline{CE} = \overline{OE}/V_{PP} = V_{IL}$ |
| $V_{IL}$  | Input Low Voltage        | -1     |                   | +8           | V       |                                                 |
| $V_{IH}$  | Input High Voltage       | 2.0    |                   | $V_{CC} + 1$ | V       |                                                 |
| $V_{OL}$  | Output Low Voltage       |        |                   | .45          | V       | $I_{OL} = 2.1 \text{ mA}$                       |
| $V_{OH}$  | Output High Voltage      | 2.4    |                   |              | V       | $I_{OH} = -400 \mu A$                           |

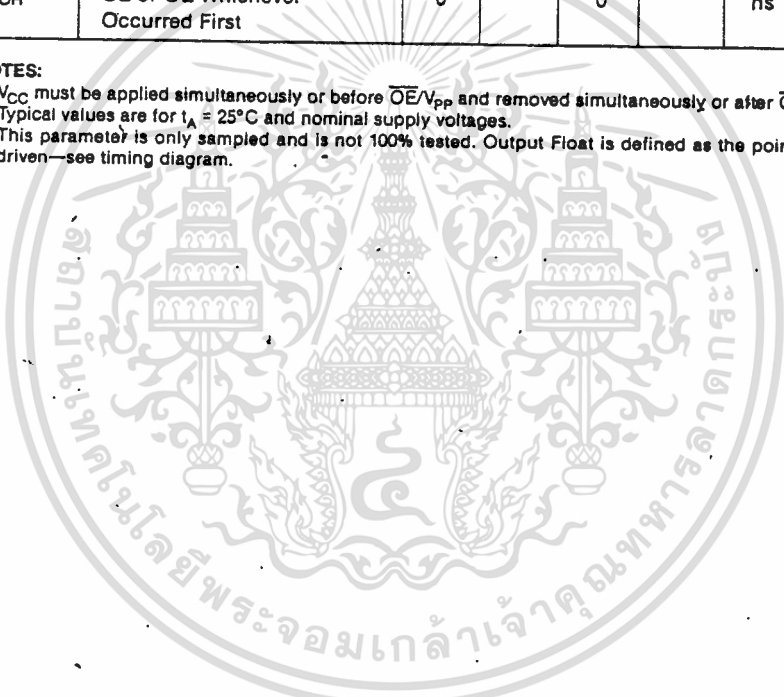
## READ OPERATION

## A.C. CHARACTERISTICS

| Symbol     | Parameter                                                                              | 27512-25 & 27512 Limits |      | 27512-30 & 27512-3 Limits |      | Units | Test Conditions                                 |
|------------|----------------------------------------------------------------------------------------|-------------------------|------|---------------------------|------|-------|-------------------------------------------------|
|            |                                                                                        | Min.                    | Max. | Min.                      | Max. |       |                                                 |
| $t_{ACC}$  | Address to Output Delay                                                                |                         | 250  |                           | 300  | ns    | $\overline{CE} = \overline{OE}/V_{PP} = V_{IL}$ |
| $t_{CE}$   | $\overline{CE}$ to Output Delay                                                        |                         | 250  |                           | 300  | ns    | $\overline{OE}/V_{PP} = V_{IL}$                 |
| $t_{OE}$   | $\overline{OE}/V_{PP}$ to Output Delay                                                 |                         | 100  |                           | 120  | ns    | $\overline{CE} = V_{IL}$                        |
| $t_{DF}^3$ | $\overline{OE}/V_{PP}$ High to Output Float                                            | 0                       | 60   | 0                         | 105  | ns    | $\overline{CE} = V_{IL}$                        |
| $t_{OH}$   | Output Hold from Addresses $\overline{CE}$ or $\overline{OE}$ Whichever Occurred First | 0                       |      | 0                         |      | ns    | $\overline{CE} = \overline{OE}/V_{PP} = V_{IL}$ |

## NOTES:

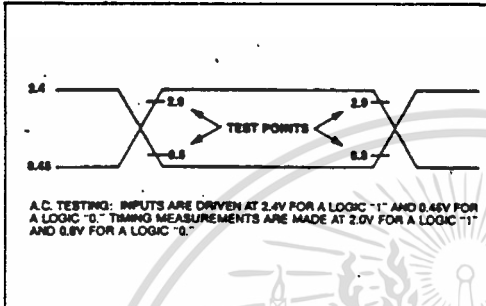
- $V_{CC}$  must be applied simultaneously or before  $\overline{OE}/V_{PP}$  and removed simultaneously or after  $\overline{OE}/V_{PP}$
- Typical values are for  $t_A = 25^\circ\text{C}$  and nominal supply voltages.
- This parameter is only sampled and is not 100% tested. Output Float is defined as the point where data is no longer driven—see timing diagram.



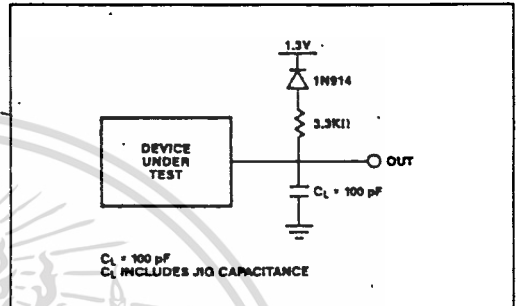
**CAPACITANCE**<sup>[2]</sup> ( $T_A = 25^\circ\text{C}$ ,  $f = 1\text{ MHz}$ )

| Symbol    | Parameter          | Typ. <sup>[1]</sup> | Max. | Unit | Conditions            |
|-----------|--------------------|---------------------|------|------|-----------------------|
| $C_{IN}$  | Input Capacitance  | 4                   | 6    | pF   | $V_{IN} = 0\text{V}$  |
| $C_{OUT}$ | Output Capacitance | 8                   | 12   | pF   | $V_{OUT} = 0\text{V}$ |

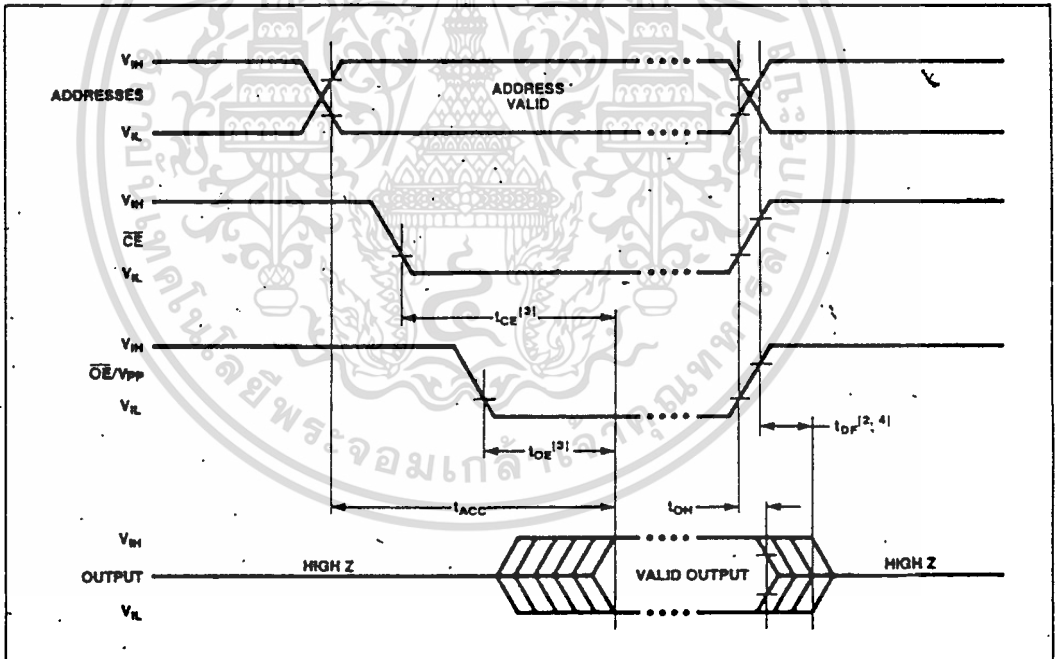
**A.C. TESTING INPUT/OUTPUT WAVEFORM**



**A.C. TESTING LOAD CIRCUIT**



**A.C. WAVEFORMS**



**NOTES:**

1. Typical values are for  $T_A = 25^\circ\text{C}$  and nominal supply voltages.
2. This parameter is only sampled and is not 100% tested.
3.  $\text{OE}/V_{PP}$  may be delayed up to  $t_{CE} - t_{OE}$  after the falling edge of  $\text{CE}$  without impact on  $t_{CE}$ .
4.  $t_{DF}$  is specified from  $\text{OE}/V_{PP}$  or  $\text{CE}$ , whichever occurs first.

## DEVICE OPERATION

The six modes of operation of the 27512 are listed in Table 1. A single 5V power supply is required in the read mode. All inputs are TTL levels except for  $\overline{OE}/V_{PP}$  and 12V on A<sub>9</sub> for intelligent identifier mode.

Table 1. Operating Modes

| MODE \ PINS             | $\overline{CE}$<br>(20) | $\overline{OE}/V_{PP}$<br>(22) | A <sub>9</sub><br>(24) | V <sub>CC</sub><br>(28) | OUTPUTS<br>(11-13,<br>15-19) |
|-------------------------|-------------------------|--------------------------------|------------------------|-------------------------|------------------------------|
| Read                    | V <sub>IL</sub>         | V <sub>IL</sub>                | X                      | V <sub>CC</sub>         | D <sub>OUT</sub>             |
| Output Disable          | V <sub>IL</sub>         | V <sub>IH</sub>                | X                      | V <sub>CC</sub>         | High Z                       |
| Standby                 | V <sub>IH</sub>         | X                              | X                      | V <sub>CC</sub>         | High Z                       |
| intelligent Programming | V <sub>IL</sub>         | V <sub>PP</sub>                | X                      | V <sub>CC</sub>         | D <sub>IN</sub>              |
| Program Inhibit         | V <sub>IH</sub>         | V <sub>PP</sub>                | X                      | V <sub>CC</sub>         | High Z                       |
| intelligent Identifier  | V <sub>IL</sub>         | V <sub>IL</sub>                | V <sub>H</sub>         | V <sub>CC</sub>         | Code                         |

### NOTES:

1. X can be V<sub>IH</sub> or V<sub>IL</sub>
2. V<sub>H</sub> = 12.0V ± 0.5V

## READ MODE

The 27512 has two control functions, both of which must be logically active in order to obtain data at the outputs. Chip Enable ( $\overline{CE}$ ) is the power control and should be used for device selection. Output Enable ( $\overline{OE}/V_{PP}$ ) is the output control and should be used to gate data from the output pins, independent of device selection. Assuming that addresses are stable, the address access time (t<sub>ACC</sub>) is equal to the delay from  $\overline{CE}$  to output (t<sub>CE</sub>). Data is available at the outputs after a delay of t<sub>OE</sub> from the falling edge of  $\overline{OE}$ , assuming that  $\overline{CE}$  has been low and addresses have been stable for at least t<sub>ACC</sub>-t<sub>OE</sub>.

## STANDBY MODE

The 27512 has a standby mode which reduces the maximum active current from 125 mA to 40 mA. The 27512 is placed in the standby mode by applying a TTL-high signal to the  $\overline{CE}$  input. When in standby mode, the outputs are in a high impedance state, independent of the  $\overline{OE}/V_{PP}$  input.

## Two Line Output Control

Because EPROMs are usually used in larger memory arrays, Intel has provided 2 control lines which accommodate this multiple memory connection. The two control lines allow for:

- a) the lowest possible memory power dissipation, and
- b) complete assurance that output bus contention will not occur.

To use these two control lines most efficiently,  $\overline{CE}$  (pin 20) should be decoded and used as the primary device selecting function, while  $\overline{OE}/V_{PP}$  (pin 22) should be made a common connection to all devices in the array and connected to the READ line from the system control bus. This assures that all deselected memory devices are in their low power standby mode and that the output pins are active only when data is desired from a particular memory device.

## System Considerations

The power switching characteristics of HMOS II-E EPROMs require careful decoupling of the devices. The supply current, I<sub>CC</sub>, has three segments that are of interest to the system designer—the standby current level, the active current level, and the transient current peaks that are produced by the falling and rising edges of Chip Enable. The magnitude of these transient current peaks is dependent on the output capacitive and inductive loading of the device. The associated transient voltage peaks can be suppressed by complying with Intel's Two-Line Control and by properly selected decoupling capacitors. It is recommended that a 0.1 μF ceramic capacitor be used on every device between V<sub>CC</sub> and GND. This should be a high frequency capacitor of low inherent inductance and should be placed as close to the device as possible. In addition, a 4.7 μF bulk electrolytic capacitor should be used between V<sub>CC</sub> and GND for every eight devices. The bulk capacitor should be located near where the power supply is connected to the array. The purpose of the bulk capacitor is to overcome the voltage droop caused by the inductive effects of PC board traces. This inductive effect should be further minimized through special layout considerations such as larger traces and gridding (refer to High Speed Memory System Design Using the 2147H; AP-74). In particular, the V<sub>SS</sub> (Ground) plane should be as stable as possible.

## PROGRAMMING

**Caution:** Exceeding 14.0V on pin 22 ( $\overline{OE}/V_{PP}$ ) will permanently damage the 27512.

Initially, and after each erasure, all bits of the 27512 are in the "1" state. Data is introduced by selectively programming "0s" into the desired bit locations. Although only "0s" will be programmed, both "1s" and "0s" can be present in the data word. The only way to change a "0" to a "1" is by ultraviolet light erasure.

The 27512 is in the programming mode when the  $\overline{OE}/V_{PP}$  input is at 12.5V and  $\overline{CE}$  is at TTL-low. The data to be programmed is applied 8 bits in parallel to the data output pins. The levels required for the address and data inputs are TTL.

### Intelligent Programming™ Algorithm

The 27512 intelligent Programming Algorithm rapidly programs Intel 27512 EPROMS using an efficient and reliable method particularly suited to the production programming environment. Typical programming times for individual devices are on the order of six minutes. Actual programming times may vary due to differences in programming equipment. Programming reliability is also ensured as the incremental program margin of each byte is continually monitored to determine when it has been successfully programmed. A flowchart of the 27512 intelligent Programming Algorithm is shown in Figure 3.

The intelligent Programming Algorithm utilizes two different pulse types, initial and overprogram. The duration of the initial  $\overline{CE}$  pulse(s) is one millisecond, which will then be followed by a longer overprogram pulse of length  $3X$  msec.  $X$  is an iteration counter and is equal to the number of the initial one millisecond pulses applied to a particular 27512 location, before a correct verify occurs. Up to 25 one-millisecond pulses per byte are provided for before the overprogram pulse is applied. **The entire sequence of program pulses and byte verifications is performed at  $V_{CC} = 6.0V$  and  $\overline{OE}/V_{PP} = 12.5V$ .** When the intelligent Programming cycle has been completed, all bytes should be compared to the original data with  $V_{CC} = 5.0V$ .

### Program Inhibit

Programming of multiple 27512s in parallel with different data is easily accomplished by using the Program Inhibit mode. A high-level  $\overline{CE}$  input inhibits the other 27512s from being programmed.

Except for  $\overline{CE}$  and  $\overline{OE}/V_{PP}$  all inputs of the parallel 27512s may be common. A TTL low-level pulse applied to the  $\overline{CE}$  input with  $\overline{OE}/V_{PP}$  at 12.5V will program the selected 27512.

### Verify

A verify (read) should be performed on the programmed bits to determine that they have been correctly programmed. The verify is performed with  $\overline{OE}/V_{PP}$  and  $\overline{CE}$  at  $V_{IL}$ . Data should be verified  $t_{DV}$  after the falling edge of  $\overline{CE}$ .

### Intelligent Identifier™ Mode

The intelligent Identifier Mode allows the reading out of a binary code from an EPROM that will identify its manufacturer and type. This mode is intended for use by programming equipment for the purpose of automatically matching the device to be programmed with its corresponding programming algorithm. This mode is functional in the  $25^{\circ}C \pm 5^{\circ}C$  ambient temperature range that is required when programming the 27512.

To activate this mode, the programming equipment must force 11.5V to 12.5V on address line A9 (pin 24) of the 27512. Two identifier bytes may then be sequenced from the device outputs by toggling address line A0 (pin 10) from  $V_{IL}$  to  $V_{IH}$ . All other address lines must be held at  $V_{IL}$  during intelligent Identifier Mode, except for A14 and A15 which should be held high.

Byte 0 ( $A0 = V_{IL}$ ) represents the manufacturer code and byte 1 ( $A0 = V_{IH}$ ) the device identifier code. For the Intel 27512, these two identifier bytes are given in Table 2. All identifiers for manufacturer and device codes will possess odd parity, with the MSB ( $O_7$ ) defined as the parity bit.

Table 2. 27512 intelligent Identifier™ Bytes

| Identifier \ Pins | A <sub>9</sub><br>(10) | O <sub>7</sub><br>(19) | O <sub>6</sub><br>(18) | O <sub>5</sub><br>(17) | O <sub>4</sub><br>(16) | O <sub>3</sub><br>(15) | O <sub>2</sub><br>(13) | O <sub>1</sub><br>(12) | O <sub>0</sub><br>(11) | Hex<br>Data |
|-------------------|------------------------|------------------------|------------------------|------------------------|------------------------|------------------------|------------------------|------------------------|------------------------|-------------|
| Manufacturer Code | $V_{IL}$               | 1                      | 0                      | 0                      | 0                      | 1                      | 0                      | 0                      | 1                      | 89          |
| Device Code       | $V_{IH}$               | 0                      | 0                      | 0                      | 0                      | 1                      | 1                      | 0                      | 1                      | 0D          |

#### Notes:

1.  $A_9 = 12.0V \sim 0.5V$
2.  $A_1 \sim A_8, A_{10} \sim A_{13}, \overline{CE}, \overline{OE}/V_{PP}, V_{IL}$
3.  $A_{14}, A_{15} = V_{IH}$

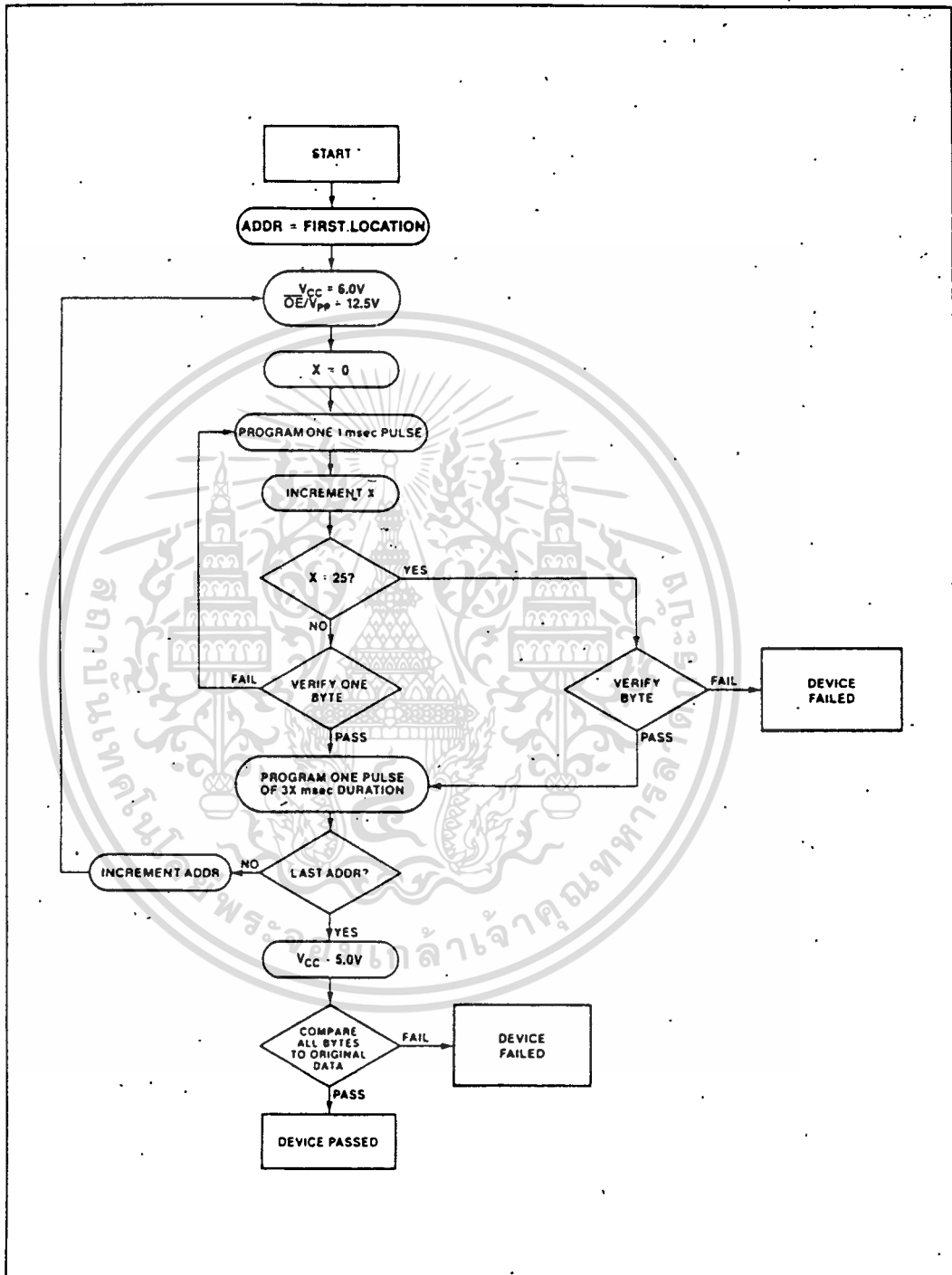


Figure 3. 27512 Intelligent Programming™ Flowchart

### ERASURE CHARACTERISTICS

The erasure characteristics of the 27512 are such that erasure begins to occur upon exposure to light with wavelengths shorter than approximately 4000 Angstroms (Å). It should be noted that sunlight and certain types of fluorescent lamps have wavelengths in the 3000-4000 Å range. Data show that constant exposure to room level fluorescent lighting could erase the typical 27512 in approximately 3 years, while it would take approximately 1 week to cause erasure when exposed to direct sunlight. If the 27512 is to be exposed to these types of lighting conditions for extended periods of time, opaque labels should be placed over the 27512 window to prevent unintentional erasure.

The recommended erasure procedure for the 27512 is exposure to shortwave ultraviolet light which has a wavelength of 2537 Angstroms (Å). The integrated dose (i.e., UV intensity × exposure time) for erasure should be a minimum of 15 Wsec/cm<sup>2</sup>. The erasure time with this dosage is approximately 15 to 20 minutes using an ultraviolet lamp with a 12000 μW/cm<sup>2</sup> power rating. The 27512 should be placed within 1 inch of the lamp tubes during erasure. The maximum integrated dose a 27512 can be exposed to without damage is 7258 Wsec/cm<sup>2</sup> (1 week @ 12000 μW/cm<sup>2</sup>). Exposure of the 27512 to high intensity UV light for long periods may cause permanent damage.

### Intelligent Programming™ Algorithm

#### D.C. PROGRAMMING CHARACTERISTICS:

$T_A = 25 \pm 5^\circ\text{C}$ ,  $V_{CC} = 6.0\text{V} \pm 0.25\text{V}$ ,  $\overline{\text{OE}}/V_{PP} = 12.5\text{V} \pm 0.5\text{V}$

| Symbol    | Parameter                            | Limits |              |      | Test Conditions<br>(see Note 1)      |
|-----------|--------------------------------------|--------|--------------|------|--------------------------------------|
|           |                                      | Min.   | Max.         | Unit |                                      |
| $I_{LI}$  | Input Current (All Inputs)           |        | 10           | μA   | $V_{IN} = V_{IL} \text{ or } V_{IH}$ |
| $V_{IL}$  | Input Low Level (All Inputs)         | -0.1   | 0.8          | V    |                                      |
| $V_{IH}$  | Input High Level                     | 2.0    | $V_{CC} + 1$ | V    |                                      |
| $V_{OL}$  | Output Low Voltage During Verify     |        | 0.45         | V    | $I_{OL} = 2.1 \text{ mA}$            |
| $V_{OH}$  | Output High Voltage During Verify    | 2.4    |              | V    | $I_{OH} = -400 \mu\text{A}$          |
| $I_{CC2}$ | $V_{CC}$ Supply Current              |        | 150          | mA   |                                      |
| $I_{PP2}$ | $V_{PP}$ Supply Current (Program)    |        | 50           | mA   | $\overline{\text{CE}} = V_{IL}$      |
| $V_{ID}$  | $A_9$ intelligent Identifier Voltage | 11.5   | 12.5         | V    |                                      |

#### Notes:

- $V_{CC}$  must be applied simultaneously or before  $\overline{\text{OE}}/V_{PP}$  and removed simultaneously or after  $\overline{\text{OE}}/V_{PP}$ .

**A.C. PROGRAMMING CHARACTERISTICS** $T_A = 25 \pm 5^\circ\text{C}$ ,  $V_{CC} = 6.0\text{V} \pm 0.25\text{V}$ ,  $V_{PP} = 12.5\text{V} \pm 0.5\text{V}$ 

| Symbol      | Parameter                                                 | Limits |      |       |               |
|-------------|-----------------------------------------------------------|--------|------|-------|---------------|
|             |                                                           | Min.   | Typ. | Max.  | Unit          |
| $t_{AS}$    | Address Setup Time                                        | 2      |      |       | $\mu\text{s}$ |
| $t_{OES}$   | $\overline{OE}/V_{PP}$ Setup Time                         | 2      |      |       | $\mu\text{s}$ |
| $t_{OEH}$   | $\overline{OE}/V_{PP}$ Hold Time                          | 2      |      |       | $\mu\text{s}$ |
| $t_{DS}$    | Data Setup Time                                           | 2      |      |       | $\mu\text{s}$ |
| $t_{AH}$    | Address Hold Time                                         | 0      |      |       | $\mu\text{s}$ |
| $t_{DH}$    | Data Hold Time                                            | 2      |      |       | $\mu\text{s}$ |
| $t_{DFP}^4$ | Output Enable to Output Float Delay                       | 0      |      | 130   | ns            |
| $t_{VCS}$   | $V_{CC}$ Setup Time                                       | 2      |      |       | $\mu\text{s}$ |
| $t_{PW}^3$  | $\overline{CE}$ Initial Program Pulse Width               | 0.95   | 1.0  | 1.05  | ms            |
| $t_{OPW}^2$ | $\overline{CE}$ Overprogram Pulse Width                   | 2.85   |      | 78.75 | ms            |
| $t_{DV}$    | Data Valid from $\overline{CE}$                           |        |      | 1     | $\mu\text{s}$ |
| $t_{VR}$    | $\overline{OE}/V_{PP}$ Recovery Time                      | 2      |      |       | $\mu\text{s}$ |
| $t_{PRT}$   | $\overline{OE}/V_{PP}$ Pulse Rise Time During Programming | 50     |      |       | ns            |

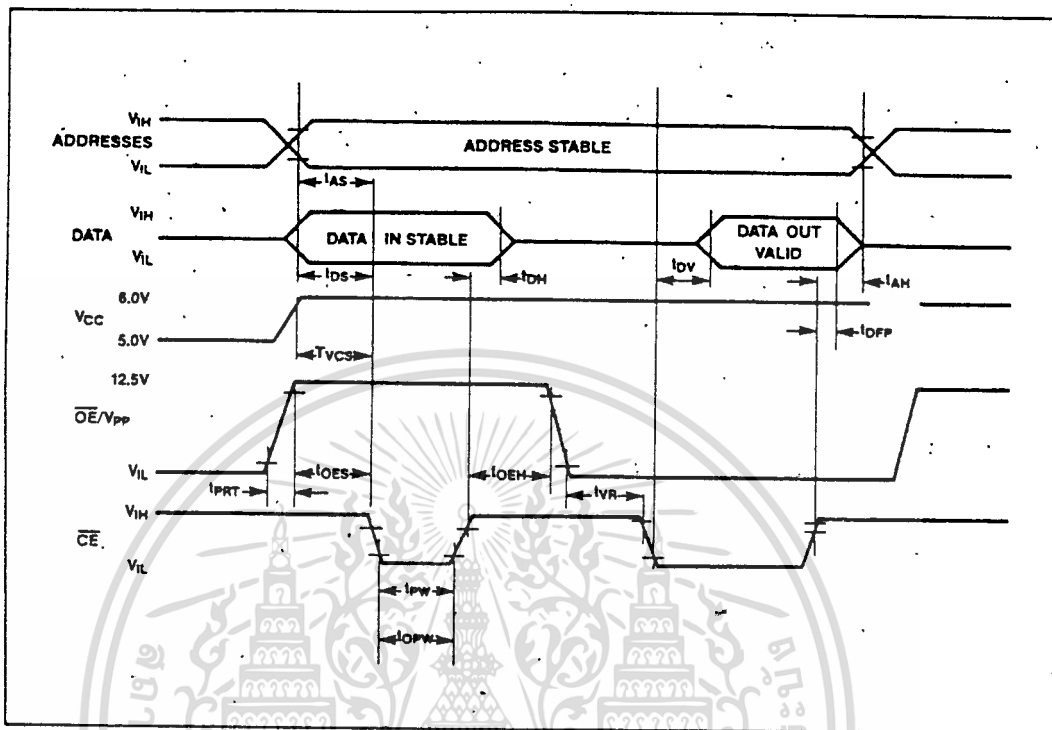
**\*A.C. CONDITIONS OF TEST**

$\text{Input Rise and Fall Times (10\% to 90\%)} \dots 20 \text{ ns}$   
 $\text{Input Pulse Levels} \dots 0.45\text{V to } 2.4\text{V}$   
 $\text{Input Timing Reference Level} \dots 0.8\text{V and } 2.0\text{V}$   
 $\text{Output Timing Reference Level} \dots 0.8\text{V and } 2.0\text{V}$

**NOTES:**

- $V_{CC}$  must be applied simultaneously or before  $\overline{OE}/V_{PP}$  and removed simultaneously or after  $\overline{OE}/V_{PP}$ .
- The length of the overprogram pulse may vary from 2.85 msec to 78.75 msec as a function of the iteration counter value X.
- Initial Program Pulse width tolerance is 1 msec  $\pm 5\%$ .
- This parameter is only sampled and is not 100% tested. Output Float is defined as the point where data is no longer driven—see timing diagram on the following page.

## PROGRAMMING WAVEFORMS



## NOTES:

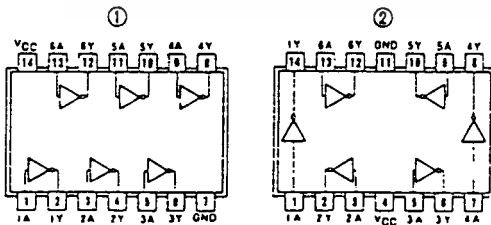
1. The Input Timing Reference Level is 0.8V for a  $V_{IL}$  and 2.0V for a  $V_{IH}$ .
2.  $t_{OE}$  and  $t_{DP}$  are characteristics of the device but must be accommodated by the programmer.

# 5404/7404 Hex Inverter

|            | Schottky TTL   |         |     | High-Speed TTL |         |     | Low-Power Schottky TTL |         |     | Standard TTL  |         |     | Low-Power TTL  |         |     |
|------------|----------------|---------|-----|----------------|---------|-----|------------------------|---------|-----|---------------|---------|-----|----------------|---------|-----|
|            | Device Type    | Package |     | Device Type    | Package |     | Device Type            | Package |     | Device Type   | Package |     | Device Type    | Package |     |
|            |                | CIPMCF  |     |                | CIPMCF  |     |                        | CIPMCF  |     |               | CIPMCF  |     |                | CIPMCF  |     |
| T.I.       | SN54S04        | JUN     | 1W1 | SN54H04        | JUN     | 1W1 | SN54LS04               | JUN     | 1W2 | SN5404        | JUN     | 1W2 | SN54L04        | JUN     | 1W2 |
|            | SN74S04        | JUN     | 1W1 | SN74H04        | JUN     | 1W1 | SN74LS04               | JUN     | 1W2 | SN7404        | JUN     | 1W2 | SN74L04        | JUN     | 1W2 |
| FAIRCHILD  | FMS4S04/FMS504 | DIP     |     | FM54H04/FM5H04 | DIP     |     | FMS4LS04/FMSLS04       | DIP     |     | FMS404/FM504  | DIP     |     | FMS4L04/FM5L04 | DIP     |     |
|            | FC74S04/FC9S04 | IDIP    |     | FC74H04/FC9H04 | IDIP    |     | FC74LS04/FC9LS04       | IDIP    |     | FC7404/FC904  | IDIP    |     | FC74L04/FC9L04 | IDIP    |     |
| MOTOROLA   |                |         |     | MC3008         | LIP     |     | MC3008                 | LIP     |     | MC3008        | LIP     |     | MC3008         | LIP     |     |
|            |                |         |     | MC3008         | LIP     |     | MC3008                 | LIP     |     | MC3008        | LIP     |     | MC3008         | LIP     |     |
| N.S.C.     | DM74S04        | WJ      |     | DM54H04        | JUN     |     | DM54LS04               | JUN     |     | DM5404        | JUN     |     | DM54L04        | JUN     |     |
|            |                |         |     | DM74H04        | JUN     |     | DM74LS04               | JUN     |     | DM7404        | JUN     |     | DM74L04        | JUN     |     |
| PHILIPS    | N74S04         | D       |     | N74H04         | D       |     | N74LS04                | D       |     | FJH241/7404   | D       |     |                |         |     |
|            |                |         |     |                |         |     |                        |         |     |               |         |     |                |         |     |
| SIGNETICS  | SS4S04         | FIA     |     | SS4H04         | FIA     |     | SS4LS04                | FIA     |     | SS404         | FIA     |     | SS4L04         | FIA     |     |
|            | N74S04         | FIA     |     | N74H04         | FIA     |     | N74LS04                | FIA     |     | N7404         | FIA     |     | N74L04         | FIA     |     |
| SIEMENS    |                |         |     |                |         |     |                        |         |     | FLH211        | D       |     |                |         |     |
| FUJITSU    |                |         |     |                |         |     |                        |         |     |               |         |     |                |         |     |
| HITACHI    | HD74S04        | IPD     |     |                |         |     | HD74LS04               | IPD     |     | HD7404/HD2522 | IPD     |     |                |         |     |
| MITSUBISHI | MSS004         | PD      |     |                |         |     | M74LS04                | PD      |     | M53204        | PD      |     |                |         |     |
| NEC        | 74S04          | CT      |     |                |         |     | 74LS04                 | CT      |     | $\mu$ PB235   | DD      |     |                |         |     |
| TOSHIBA    |                |         |     |                |         |     |                        |         |     | TD3404A       | PD      |     |                |         |     |

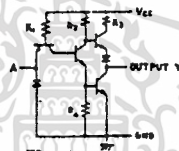
| Electrical Characteristics SN54LS04/SN74LS04                                     |                                                  |                                                                                      |        |                |                                    |       |              |         |  |
|----------------------------------------------------------------------------------|--------------------------------------------------|--------------------------------------------------------------------------------------|--------|----------------|------------------------------------|-------|--------------|---------|--|
| absolute maximum ratings over operating free-air temperature range               |                                                  |                                                                                      |        |                |                                    |       |              |         |  |
| Supply voltage, VCC                                                              | 7V                                               | Operating free-air temperature range                                                 | SN54LS | -55°C to 125°C |                                    |       |              |         |  |
| Input voltage                                                                    | 7V                                               | Storage temperature range                                                            | SN74LS | -55°C to 150°C |                                    |       |              |         |  |
| recommended operating conditions                                                 |                                                  |                                                                                      |        |                |                                    |       |              |         |  |
|                                                                                  | SN54LS04                                         |                                                                                      |        | SN74LS04       |                                    |       | UNIT         |         |  |
|                                                                                  | MIN                                              | NOM                                                                                  | MAX    | MIN            | NOM                                | MAX   |              |         |  |
| Supply voltage, VCC                                                              | 4.5                                              | 5                                                                                    | 5.5    | 4.75           | 5                                  | 5.25  | V            |         |  |
| High-level output current, IOH                                                   |                                                  |                                                                                      | -400   |                |                                    | -400  | $\mu$ A      |         |  |
| Low-level output current, IOL                                                    |                                                  |                                                                                      | 4      |                |                                    | 4     | mA           |         |  |
| Operating free-air temperature, TA                                               | -55                                              |                                                                                      | 125    | 0              |                                    | 70    | °C           |         |  |
| electrical characteristics over recommended operating free-air temperature range |                                                  |                                                                                      |        |                |                                    |       |              |         |  |
| PARAMETER                                                                        |                                                  | TEST CONDITIONS 1                                                                    |        |                | MIN                                | TYP 2 | MAX          | UNIT    |  |
| V <sub>IH</sub>                                                                  | High-level input voltage                         |                                                                                      |        |                |                                    | 2     |              | V       |  |
| V <sub>IL</sub>                                                                  | Low-level input voltage                          |                                                                                      |        |                |                                    |       | 0.8          | V       |  |
| V <sub>I</sub>                                                                   | Input clamp voltage                              | VCC = MIN, I <sub>I</sub> = -18mA                                                    |        |                |                                    |       | -1.5         | V       |  |
| V <sub>OH</sub>                                                                  | High-level output voltage                        | VCC = MIN, V <sub>I</sub> L = V <sub>I</sub> L max, I <sub>OH</sub> = MAX            |        |                | 2.7                                | 3.4   |              | V       |  |
| V <sub>OL</sub>                                                                  | Low-level output voltage                         | VCC = MIN, V <sub>I</sub> H = 2V, I <sub>OL</sub> = 4mA                              |        |                |                                    |       | 0.4          | V       |  |
| I <sub>I</sub>                                                                   | Input current at maximum input voltage           | VCC = MAX, V <sub>I</sub> = 7V                                                       |        |                |                                    |       | 0.1          | mA      |  |
| I <sub>IH</sub>                                                                  | High-level input current                         | VCC = MAX, V <sub>I</sub> H = 2.7V                                                   |        |                |                                    |       | 20           | $\mu$ A |  |
| I <sub>IL</sub>                                                                  | Low-level input current                          | VCC = MAX, V <sub>I</sub> L = 0.4V                                                   |        |                |                                    |       | -0.8         | mA      |  |
| I <sub>OS</sub>                                                                  | Short-circuit output current *                   | VCC = MAX                                                                            |        |                | 54LS Family -20<br>74LS Family -20 |       | -100<br>-100 | mA      |  |
| I <sub>CCW</sub>                                                                 | Supply current                                   | VCC = MAX                                                                            |        |                | Total, outputs high                |       | 1.2 2.4      | mA      |  |
| I <sub>CCL</sub>                                                                 | Supply current                                   | VCC = MAX                                                                            |        |                | Total, outputs low                 |       | 3.6 6.1      | mA      |  |
| I <sub>CC</sub>                                                                  | Supply current                                   | VCC = 5V                                                                             |        |                | Average per gate (50% duty cycle)  |       | 0.4          | mA      |  |
| 1P <sub>LH</sub>                                                                 | Propagation delay time, low-to-high-level output | VCC = 5V, T <sub>A</sub> = 25°C, C <sub>L</sub> = 15PF, R <sub>L</sub> = 2K $\Omega$ |        |                |                                    |       | 9 15         | ns      |  |
| 1P <sub>HL</sub>                                                                 | Propagation delay time, high-to-low-level output | VCC = 5V, T <sub>A</sub> = 25°C, C <sub>L</sub> = 15PF, R <sub>L</sub> = 2K $\Omega$ |        |                |                                    |       | 10 15        | ns      |  |

## Pin Assignments (Top View)



positive logic:  
Y=A

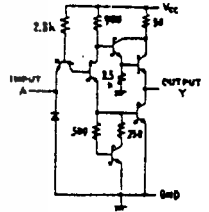
## Schematics (each gate)



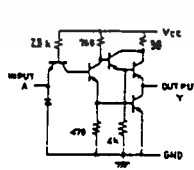
| CIRCUIT | DI  | D2  | D3  | D4  |
|---------|-----|-----|-----|-----|
| '04     | 4A  | 1A  | 130 | 1A  |
| 'LS04   | 40N | 20N | 130 | 12N |

Input clamp diodes not on SN54LS04/SN74LS04 circuits.

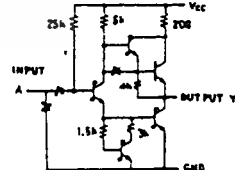
## '04, 'LS04 CIRCUITS



## 'S04 CIRCUIT



## '04 CIRCUIT



## 'LS04 CIRCUIT

Resistor values shown are nominal and in ohms.

1 For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.

2 All typical values are at VCC=5V, TA=25°C.

\* Not more than one output should be shorted at a time, and for SN54H, SN74H and SN54S, SN74S, duration of short-circuit should not exceed 1 second.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# 5405/7405 Hex Inverter with Open-Collector Output

|            | Schottky TTL    |         |    | High-Speed TTL  |         |    | Low-Power Schottky TTL |         |    | Standard TTL  |         |    | Low-Power TTL |         |  |
|------------|-----------------|---------|----|-----------------|---------|----|------------------------|---------|----|---------------|---------|----|---------------|---------|--|
|            | Device Type     | Package |    | Device Type     | Package |    | Device Type            | Package |    | Device Type   | Package |    | Device Type   | Package |  |
|            |                 | CIPMICF |    |                 | CIPMICF |    |                        | CIPMICF |    |               | CIPMICF |    |               | CIPMICF |  |
| T.I.       | SN54S05         | JL      | WZ | SN54H05         | JL      | WZ | SN54LS05               | JL      | WZ | SN5405        | JL      | WZ |               |         |  |
|            | SN74S05         | JL      | WZ | SN74H05         | JL      | WZ | SN74LS05               | JL      | WZ | SN7405        | JL      | WZ |               |         |  |
| FAIRCHILD  | FMS4S05         | JD      | IF | FMS4H05/FMS4H05 | JD      | IF | FMS4LS05/FMS4LS05      | JD      | IF | FMS405/FMS405 | JD      | IF |               |         |  |
|            | FC74S05/FC74S05 | JD      | IF | FC74H05/FC74H05 | JD      | IF | FC74LS05/FC74LS05      | JD      | IF | FC7405/FC7405 | JD      | IF |               |         |  |
| MOTOROLA   |                 |         |    | MC3105          | LD      | IF |                        |         |    | MC3405        | LD      | IF |               |         |  |
|            |                 |         |    | MC3205          | LD      | IF |                        |         |    | MC7405        | LD      | IF |               |         |  |
| N.S.C.     |                 |         |    | DM54H05         | JD      | IF | DM54LS05               | JD      | IF | DM5405        | JD      | IF | DM54LS05      |         |  |
|            | DM74S05         | JD      | IF | DM74H05         | JD      | IF | DM74LS05               | JD      | IF | DM7405        | JD      | IF | DM74LS05      |         |  |
| PHILIPS    |                 |         |    |                 |         |    |                        |         |    |               |         |    |               |         |  |
|            | N74S05          | JD      | IF | N74H05          | JD      | IF | N74LS05                | JD      | IF | FJH251/7405   | JD      | IF |               |         |  |
| SIGNETICS  | SS4S05          | FD      | IA | SS4H05          | FD      | IA | SS4LS05                | FD      | IA | SS405         | FD      | IA |               |         |  |
|            | N74S05          | FD      | IA | N74H05          | FD      | IA | N74LS05                | FD      | IA | N7405         | FD      | IA |               |         |  |
| SIEMENS    |                 |         |    |                 |         |    |                        |         |    | FLH271        | JD      | IF |               |         |  |
| FUJITSU    |                 |         |    |                 |         |    | 74LS05                 | JD      | IF |               |         |    |               |         |  |
| HITACHI    | HD74S05         | JD      | IF |                 |         |    | HD74LS05               | JD      | IF | HD7405/HD2523 | JD      | IF |               |         |  |
| MITSUBISHI |                 |         |    |                 |         |    |                        |         |    |               |         |    |               |         |  |
|            | M55005          | JD      | IF |                 |         |    | M74LS05                | JD      | IF | M53205        | JD      | IF |               |         |  |
| NEC        |                 |         |    |                 |         |    | 74LS05                 | JD      | IF | μPB236        | JD      | IF |               |         |  |
| TOSHIBA    |                 |         |    |                 |         |    |                        |         |    | TD3405 A      | JD      | IF |               |         |  |

## Electrical Characteristics SN54LS05/SN74LS05

absolute maximum ratings over operating free-air temperature range

|                                 |    |                                      |        |                |
|---------------------------------|----|--------------------------------------|--------|----------------|
| Supply voltage, V <sub>CC</sub> | TV | Operating free-air temperature range | SN54LS | -55°C to 125°C |
| Input voltage                   | TV | Storage temperature range            | SN74LS | -65°C to 150°C |

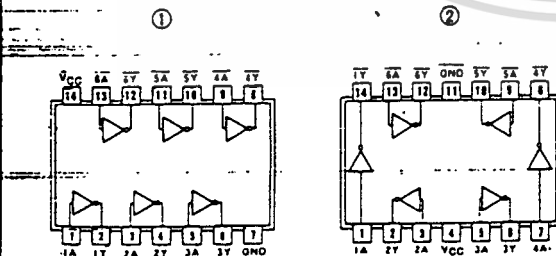
recommended operating conditions

|                                                | SN54LS05 |     |     | SN74LS05 |     |      | UNIT |
|------------------------------------------------|----------|-----|-----|----------|-----|------|------|
|                                                | MIN      | NOM | MAX | MIN      | NOM | MAX  |      |
| Supply voltage, V <sub>CC</sub>                | 4.5      | 5   | 5.5 | 4.75     | 5   | 5.25 | V    |
| High-level output voltage, V <sub>OH</sub>     |          |     | 5.5 |          |     | 5.5  | V    |
| Low-level output current, I <sub>OL</sub>      |          |     | 4   |          |     | 4    | mA   |
| Operating free-air temperature, T <sub>A</sub> | -55      |     | 125 | -65      |     | 150  | °C   |

electrical characteristics over recommended operating free-air temperature range

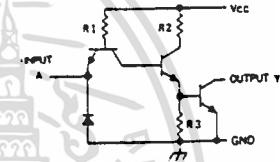
| PARAMETER                                                         | TEST CONDITIONS†                                                                            | MIN | TYP  | MAX  | UNIT |
|-------------------------------------------------------------------|---------------------------------------------------------------------------------------------|-----|------|------|------|
| V <sub>IH</sub> High-level input voltage                          |                                                                                             |     | 2    |      | V    |
| V <sub>IL</sub> Low-level input voltage                           |                                                                                             |     |      | 0.8  | V    |
| V <sub>I</sub> Input clamp voltage                                | V <sub>CC</sub> = MIN., I <sub>I</sub> = -1.6 mA                                            |     |      | -1.5 | V    |
| I <sub>OH</sub> High-level output current                         | V <sub>CC</sub> = MIN., V <sub>IL</sub> = V <sub>IL</sub> max., V <sub>OH</sub> = 3.5 V     |     |      | 100  | μA   |
| V <sub>OL</sub> Low-level output voltage                          | V <sub>CC</sub> = MIN., V <sub>IH</sub> = 2 V, I <sub>OL</sub> = 4 mA                       |     | 0.25 | 0.4  | V    |
| I <sub>I</sub> Input current at maximum input voltage             | V <sub>CC</sub> = MAX., V <sub>I</sub> = 7 V                                                |     |      | 0.1  | mA   |
| I <sub>IH</sub> High-level input current                          | V <sub>CC</sub> = MAX., V <sub>IH</sub> = 2.4 V                                             |     |      | 20   | μA   |
| I <sub>IL</sub> Low-level input current                           | V <sub>CC</sub> = MAX., V <sub>IL</sub> = 0.8 V                                             |     |      | -0.4 | mA   |
| I <sub>CC</sub> Supply current                                    | V <sub>CC</sub> = MAX. Total, outputs high                                                  |     | 1.2  | 2.4  | mA   |
| I <sub>CC</sub> Supply current                                    | V <sub>CC</sub> = MAX. Total, outputs low                                                   |     | 3.6  | 5.6  | mA   |
| I <sub>CC</sub> Supply current                                    | V <sub>CC</sub> = 5 V. Average per gate (50% duty cycle)                                    |     |      | 0.4  | mA   |
| t <sub>PLH</sub> Propagation delay time, low-to-high-level output | V <sub>CC</sub> = 5 V. C <sub>L</sub> = 15 pF, R <sub>L</sub> = 2 kΩ, T <sub>A</sub> = 25°C |     | 17   | 32   | ns   |
| t <sub>PHL</sub> Propagation delay time, high-to-low-level output |                                                                                             |     | 15   | 28   | ns   |

## Pin Assignments (Top View)



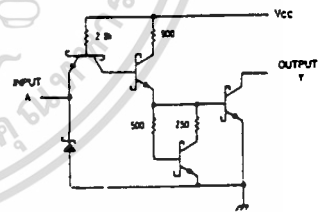
positive logic:  
Y = X

## Schematics (each gate)

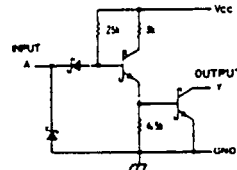


| ORGANIZATION | R1   | R2  | R3  |
|--------------|------|-----|-----|
| '05          | 4    | 10  | 15  |
| 'H05         | 1.2k | 750 | 470 |

## '05, 'H05 CIRCUITS



## 'S05 CIRCUIT



## 'LS05 CIRCUIT

Resistor values shown are nominal and in ohms.

†For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.  
‡All typical values are at V<sub>CC</sub> = 5 V, T<sub>A</sub> = 25°C

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# 5474/7474 Dual D-Type Positive-Edge-Triggered Flip-Flop with Preset and Clear

|            | Schottky TTL   |         |    | High-Speed TTL |         |    | Low-Power Schottky TTL |         |    | Standard TTL  |         |    | Low-Power TTL  |         |    |
|------------|----------------|---------|----|----------------|---------|----|------------------------|---------|----|---------------|---------|----|----------------|---------|----|
|            | Device Type    | Package |    | Device Type    | Package |    | Device Type            | Package |    | Device Type   | Package |    | Device Type    | Package |    |
| T.I.       | SN54S74        | J[D]    | W2 | SN54H74        | J[D]    | W2 | SN54LS74               | J[D]    | W1 | SN5474        | J[D]    | W2 | SN54L74        | J[D]    | W2 |
| FAIRCHILD  | SN74S74        | J[D]    | W2 | SN74H74        | J[D]    | W2 | SN74LS74               | J[D]    | W2 | SN7474        | J[D]    | W2 | SN74L74        | J[D]    | W2 |
|            | FM54S74/FM5474 | [D]     |    | FM54H74/FM5474 | [D]     |    | FM54LS74/FM5474        | [D]     |    | FM5474/FM5474 | [D]     |    | FM54L74/FM5474 | [D]     |    |
| MOTOROLA   | FC74S74/FC7474 | [D]     | W2 | FC74H74/FC7474 | [D]     | W2 | FC74LS74/FC7474        | [D]     | W2 | FC7474/FC7474 | [D]     | W2 | FC74L74/FC7474 | [D]     | W2 |
| N.S.C.     | DM74S74        | [D]     | W2 | DM74H74        | [D]     | W2 | DM74LS74               | [D]     | W2 | DM7474        | [D]     | W2 | DM74L74        | [D]     | W2 |
| PHILIPS    | N74S74         | [D]     |    | GJ74S74/N74H74 | [D]     |    | N74LS74                | [D]     |    | F74S74/N7474  | [D]     |    | N74L74         | [D]     |    |
| SIGNETICS  | S54S74         | [D]     |    | S54H74         | [D]     |    | S54LS74                | [D]     |    | S5474         | [D]     |    | S54L74         | [D]     |    |
| SIEMENS    | N74S74         | [D]     |    | N74H74         | [D]     |    | N74LS74                | [D]     |    | N7474         | [D]     |    | N74L74         | [D]     |    |
| FUJITSU    |                |         |    |                |         |    | 74LS74                 | [D]     |    | MB420         | [D]     |    |                |         |    |
| HITACHI    | HD74S74        | [D]     | W2 | HD74H74        | [D]     | W2 | HD74LS74               | [D]     | W2 | HD7474/HD7474 | [D]     | W2 | HD74L74/HD7474 | [D]     | W2 |
| mitsubishi | M74S74         | [D]     | W2 | M74H74         | [D]     | W2 | M74LS74                | [D]     | W2 | M5327/M5374   | [D]     | W2 |                |         |    |
| NEC        | 74S74          | [D]     |    |                |         |    | 74LS74                 | [D]     |    | μPB214        | [D]     |    |                |         |    |
| TOSHIBA    |                |         |    |                |         |    |                        |         |    | TC3474A       | [D]     |    |                |         |    |

## Electrical Characteristics SN54LS74/SN74LS74

absolute maximum ratings over operating free-air temperature range

|                          |      |                           |          |                |       |
|--------------------------|------|---------------------------|----------|----------------|-------|
| Supply voltage, $V_{CC}$ | 5V   | Operating current         | SN54LS74 | -100 mA        | 125°C |
| Input voltage            | 1.5V | Temperature range         | SN74LS74 | 0°C to 70°C    |       |
|                          |      | Storage temperature range |          | -55°C to 150°C |       |

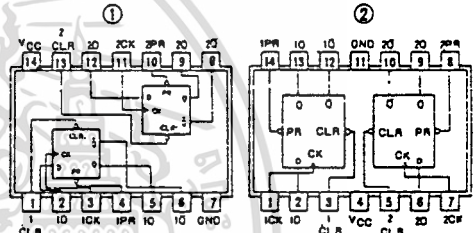
recommended operating conditions

|                                     |                     | SN54LS74 |     |     | SN74LS74 |     |     | UNIT |
|-------------------------------------|---------------------|----------|-----|-----|----------|-----|-----|------|
|                                     |                     | MIN      | NCM | MAX | MIN      | NCM | MAX |      |
| Supply voltage, $V_{CC}$            |                     | 4.5      | 5   | 5.5 | 4.5      | 5   | 5.5 | V    |
| High-level output current, $I_{OH}$ |                     |          |     | -48 |          |     | -48 | mA   |
| Low-level output current, $I_{OL}$  |                     |          |     | 48  |          |     | 48  | mA   |
| Pulse width, $t_p$                  | Clock high          | 25       |     | 25  |          |     |     | ns   |
|                                     | Preset or clear low | 25       |     | 25  |          |     |     | ns   |
| Setup time, $t_{SU}$                | High-level data     | 25       |     | 25  |          |     |     | ns   |
|                                     | Low-level data      | 20       |     | 20  |          |     |     | ns   |
| Hold time, $t_{H}$                  |                     | 37       |     | 37  |          |     |     | ns   |
| Operating temperature, $T_A$        |                     | -55      |     | 125 |          |     | 70  | °C   |

## electrical characteristics over recommended operating free-air temperature range

| PARAMETER                                                  | TEST CONDITIONS                                                                                         | MIN | TYP  | MAX  | UNIT |
|------------------------------------------------------------|---------------------------------------------------------------------------------------------------------|-----|------|------|------|
| $V_{IH}$ High-level input voltage                          |                                                                                                         | 2   |      |      | V    |
| $V_{IL}$ Low-level input voltage                           |                                                                                                         |     |      | 0.8  | V    |
| $V_I$ Input clamp voltage                                  | $V_{CC} = \text{MIN.}$ , $I_I = -1.8 \text{ mA}$                                                        |     |      | -1.5 | V    |
| $V_{OH}$ High-level output voltage                         | $V_{CC} = \text{MIN.}$ , $V_{IH} = 2 \text{ V}$ , $V_{IL} = 0.8 \text{ V}$ , $I_{OH} = \text{MAX.}$     | 2.7 | 3.4  |      | V    |
| $V_{OL}$ Low-level output voltage                          | $V_{CC} = \text{MIN.}$ , $V_{IH} = 2 \text{ V}$ , $V_{IL} = 0.8 \text{ V}$ , $I_{OL} = 4 \text{ mA}$    |     | 0.25 | 0.4  | V    |
| $I_I$ Input current at maximum input voltage               | D, J, K, Clear                                                                                          |     |      | 0.1  | mA   |
|                                                            | Preset                                                                                                  |     |      | 0.2  | mA   |
|                                                            | Clock                                                                                                   |     |      | 0.1  | mA   |
|                                                            |                                                                                                         |     |      | 0.1  | mA   |
| $I_{IH}$ High-level input current                          | D, J, K, Clear                                                                                          |     |      | 20   | μA   |
|                                                            | Preset                                                                                                  |     |      | 40   | μA   |
|                                                            | Clock                                                                                                   |     |      | 20   | μA   |
|                                                            |                                                                                                         |     |      | 20   | μA   |
| $I_{IL}$ Low-level input current                           | D, J, K, Clear                                                                                          |     |      | -0.4 | mA   |
|                                                            | Preset                                                                                                  |     |      | -0.8 | mA   |
|                                                            | Clock                                                                                                   |     |      | -0.4 | mA   |
|                                                            |                                                                                                         |     |      | -0.4 | mA   |
| $I_{OS}$ Short-circuit output current                      | Series 54LS74                                                                                           | -20 |      | -100 | mA   |
|                                                            | Series 74LS74                                                                                           | -20 |      | -100 | mA   |
| $I_{CC}$ Supply current (Average per flip-flop)            | $V_{CC} = \text{MAX.}$ , See Note 1                                                                     |     | 4    | 8    | mA   |
| $f$ Clock frequency                                        | $V_{CC} = 5 \text{ V}$ , $T_A = 25^\circ \text{C}$ , $C_L = 150 \text{ pF}$ , $R_L = 2 \text{ k}\Omega$ | 25  | 33   |      | MHz  |
| $t_{PLH}$ Propagation delay time, low-to-high level output |                                                                                                         |     | 13   | 25   | ns   |
| $t_{PHL}$ Propagation delay time, high-to-low level output |                                                                                                         |     | 25   | 40   | ns   |

## Pin Assignments (Top View)

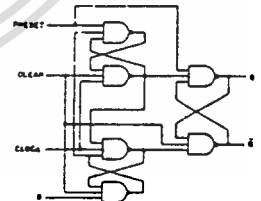


## Functional Table

74, H74, LS74, S74 (See Note 2)

|        |       | INPUTS |   |                | OUTPUTS        |   |   |
|--------|-------|--------|---|----------------|----------------|---|---|
| PRESET | CLEAR | CLOCK  | D | Q              | Q              | Q | Q |
| L      | H     | X      | X | H              | L              |   |   |
| H      | L     | X      | X | L              | H              |   |   |
| L      | L     | X      | X | H*             | H*             |   |   |
| H      | H     | 1      | H | H              | L              |   |   |
| H      | H     | 1      | L | L              | H              |   |   |
| H      | H     | L      | X | Q <sub>0</sub> | Q <sub>0</sub> |   |   |

## Functional Block Diagram



74, S74, H74, LS74, L74 DUAL D FLIP-FLOP WITH CLEAR AND PRESET

- NOTES: 1 With all outputs open,  $I_{CC}$  is measured with the Q and Q outputs high in turn. At the time of measurement, the clock input is grounded.  
2 H=high level (steady state), L=low level (steady state), X=relevant  
1 = transition from low to high level.  
Q<sub>0</sub>=the level of Q before the indicated input conditions were established.  
\* This configuration is nonstable; that is, it will not persist when preset and clear inputs return to their inactive (high) level.

For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.

All typical values are at  $V_{CC} = 5 \text{ V}$ ,  $T_A = 25^\circ \text{C}$ .

Not more than one output should be shorted at a time.

$t_{PLH}$ =propagation delay time, low-to-high-level output;

$t_{PHL}$ =propagation delay time, high-to-low-level output;

The arrow indicates the edge of the clock pulse used for reference. 1 for the rising edge.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



# 54121/74121 Monostable Multivibrator with Schmitt-Trigger Input

|            | Schottky TTL |                    | High-Speed TTL |                    | Low-Power Schottky TTL |                    | Standard TTL   |                    | Low-Power TTL |                    |
|------------|--------------|--------------------|----------------|--------------------|------------------------|--------------------|----------------|--------------------|---------------|--------------------|
|            | Device Type  | Package<br>CIPIMCF | Device Type    | Package<br>CIPIMCF | Device Type            | Package<br>CIPIMCF | Device Type    | Package<br>CIPIMCF | Device Type   | Package<br>CIPIMCF |
| T.I.       |              |                    |                |                    |                        |                    | SN54121        | DIP                | SN54121       | DIP                |
| FAIRCHILD  |              |                    |                |                    |                        |                    | SN74121        | DIP                | SN74121       | DIP                |
| MOTOROLA   |              |                    |                |                    |                        |                    | FM54121 FM9603 | DIP                |               |                    |
| N.S.C.     |              |                    |                |                    |                        |                    | FC74121-FC9603 | DIP                |               |                    |
| PHILIPS    |              |                    |                |                    |                        |                    | MC54121        | DIP                |               |                    |
| SIGNETICS  |              |                    |                |                    |                        |                    | MC74121        | DIP                |               |                    |
| SIEMENS    |              |                    |                |                    |                        |                    | DM54121        | DIP                |               |                    |
| FUJITSU    |              |                    |                |                    |                        |                    | DM74121        | DIP                |               |                    |
| HITACHI    |              |                    |                |                    |                        |                    |                |                    |               |                    |
| MITSUBISHI |              |                    |                |                    |                        |                    |                |                    |               |                    |
| NEC        |              |                    |                |                    |                        |                    |                |                    |               |                    |
| TOSHIBA    |              |                    |                |                    |                        |                    |                |                    |               |                    |

## Electrical Characteristics SN54S121 SN74S121

### absolute maximum ratings over operating free-air temperature range

|                          |    |                                      |       |               |
|--------------------------|----|--------------------------------------|-------|---------------|
| Supply voltage, $V_{CC}$ | 5V | Operating free air temperature range | SN54S | 35°C to 125°C |
| Input voltage            | 5V | Storage temperature range            | SN74S | 0°C to 70°C   |
|                          |    | Change temperature range             |       | +5°C to 150°C |

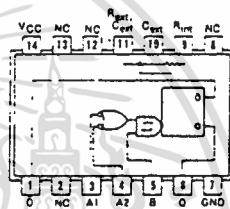
### recommended operating conditions

|                                           |                     | SN54S121 |     |     | SN74S121 |     |     | UNIT |
|-------------------------------------------|---------------------|----------|-----|-----|----------|-----|-----|------|
|                                           |                     | MIN      | NOM | MAX | MIN      | NOM | MAX |      |
| Supply voltage, $V_{CC}$                  |                     | 4.5      | 5   | 5.5 | 4.5      | 5   | 5.5 | V    |
| High-level output current, $I_{OH}$       |                     |          |     |     |          |     | 400 | mA   |
| Low-level output current, $I_{OL}$        |                     |          |     |     |          |     | 16  | mA   |
| Rate of rise/fall of input pulse, $dV/dt$ | Schmitt input B     |          |     |     |          |     | 1   | V/μs |
| Input pulse width, $t_{PW}$               | Logic input, A1, A2 | 1        |     |     | 1        |     |     | ns   |
| External timing capacitance, $C_{ext}$    |                     | 50       |     |     | 50       |     |     | ns   |
| External timing capacitance, $C_{ext}$    |                     | 1.4      |     | 30  | 1.4      |     | 40  | nF   |
| Supply current, $I_{CC}$                  | At 25°C             | 0        |     | 200 | 0        |     | 100 | mA   |
| Supply current, $I_{CC}$                  | At 75°C             |          |     | 30  |          |     | 10  | mA   |
| Output cycle                              |                     | 15       |     | 125 | 15       |     | 125 | ns   |

### electrical characteristics over recommended operating free-air temperature range

| PARAMETER                                                                        | TEST CONDITIONS†                                                                                     | MIN       | TYP‡ | MAX  | UNIT |
|----------------------------------------------------------------------------------|------------------------------------------------------------------------------------------------------|-----------|------|------|------|
| $V_{T+}$ Positive-going threshold voltage                                        | $V_{CC} = \text{MIN}$ , A input                                                                      |           | 1.4  | 2    | V    |
| $V_{T-}$ Negative-going threshold voltage                                        | $V_{CC} = \text{MIN}$ , A input                                                                      |           | 0.8  | 1.4  | V    |
| $V_{T+}$ Positive-going threshold voltage                                        | $V_{CC} = \text{MIN}$ , B input                                                                      |           | 1.55 | 2    | V    |
| $V_{T-}$ Negative-going threshold voltage                                        | $V_{CC} = \text{MIN}$ , B input                                                                      |           | 0.8  | 1.35 | V    |
| $V_I$ Input clamp voltage                                                        | $V_{CC} = \text{MIN}$ , $I_I = -12\text{mA}$                                                         |           |      | -1.5 | V    |
| $V_{OH}$ High-level output voltage                                               | $V_{CC} = \text{MIN}$ , $I_{OH} = \text{MAX}$                                                        | 2.4       | 3.4  |      | V    |
| $V_{OL}$ Low-level output voltage                                                | $V_{CC} = \text{MIN}$ , $I_{OL} = \text{MAX}$                                                        |           | 0.2  | 0.4  | V    |
| $I_I$ Input current at maximum input voltage                                     | $V_{CC} = \text{MAX}$ , $V_I = 5.5\text{V}$                                                          |           |      | 1    | mA   |
| $I_{IH}$ High-level input current                                                | $V_{CC} = \text{MAX}$ , $V_I = 2.4\text{V}$                                                          |           |      | 40   | μA   |
| $I_{IL}$ Low-level input current                                                 | $V_{CC} = \text{MAX}$ , $V_I = 0.4\text{V}$                                                          |           |      | -3.2 | mA   |
| $I_{OS}$ Short-circuit output current*                                           | $V_{CC} = \text{MAX}$                                                                                | 54 Family | -20  | -55  | mA   |
|                                                                                  |                                                                                                      | 74 Family | -18  | -55  | mA   |
| $I_{CC}$ Supply current                                                          | $V_{CC} = \text{MAX}$                                                                                | Quiescent | 13   | 25   | mA   |
|                                                                                  |                                                                                                      | Triggered | 23   | 40   | mA   |
| $t_{PLH}$ Propagation delay time, low-to-high-level 0 output from either A input | $V_{CC} = 5\text{V}$ , $T_A = 25^\circ\text{C}$ , $C_L = 150\text{pF}$ , $R_L = 400\Omega$           |           | 45   | 70   | ns   |
| $t_{PLH}$ Propagation delay time, low-to-high-level 0 output from B input        |                                                                                                      |           | 35   | 55   | ns   |
| $t_{PHL}$ Propagation delay time, high-to-low-level 0 output from either A input |                                                                                                      |           | 50   | 80   | ns   |
| $t_{PHL}$ Propagation delay time, high-to-low-level 0 output from B input        |                                                                                                      |           | 40   | 65   | ns   |
| $t_{p(out)}$ Pulse width obtained using internal timing resistor                 | $V_{CC} = 5\text{V}$ , $T_A = 25^\circ\text{C}$ , $C_T = 80\text{pF}$ , $R_{int} \text{ to } V_{CC}$ |           | 70   | 110  | ns   |
| $t_{p(out)}$ Pulse width obtained with zero timing capacitance                   | $C_T = 150\text{pF}$ , $R_{int} \text{ to } V_{CC}$                                                  |           | 30   | 50   | ns   |
| $t_{p(out)}$ Pulse width obtained using external timing resistor                 | $C_T = 100\text{pF}$ , $R_T = 10\text{k}\Omega$                                                      | 600       | 700  | 800  | ns   |
|                                                                                  | $C_T = 1\mu\text{F}$ , $R_T = 10\text{k}\Omega$                                                      | 6         | 7    | 8    | ms   |

## Pin Assignment (Top view)



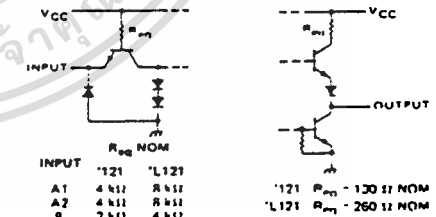
NC-No internal connection  
 $^{121} \dots R_{int} = 2\text{k}\Omega \text{ NOM}$   
 $^{121} \dots R_{ext} = 4\text{k}\Omega \text{ NOM}$

## Function Table

$^{121}$ ,  $^{121}$  (See Note)

| INPUTS |    | OUTPUTS |           |
|--------|----|---------|-----------|
| A1     | A2 | Q       | $\bar{Q}$ |
| L      | X  | H       | L         |
| X      | L  | H       | L         |
| X      | X  | L       | H         |
| H      | H  | X       | L         |
| H      | X  | H       | L         |
| X      | H  | L       | H         |
| L      | X  | L       | H         |
| X      | L  | L       | H         |

## schematics of inputs and outputs



## EQUIVALENT OF EACH INPUT TYPICAL OF BOTH OUTPUTS

- NOTES: A. H=high level (steady state), L=low level (steady state),  $\uparrow$ =transition from low to high level,  $\downarrow$ =transition from high to low level,  $\uparrow$ =one high-level pulse,  $\downarrow$ =one low-level pulse, X=irrelevant (any input, including transitions).
- B. To use the internal timing resistor connect  $R_{int}$  to  $V_{CC}$ .
- C. An external timing capacitor may be connected between  $C_{ext}$  (positive) and  $R_{ext}/C_{ext}$ .
- D. For accurate repeatable pulse widths, connect an external resistor between  $R_{ext}/C_{ext}$  and  $V_{CC}$  with  $R_{int}$  open-circuited.
- E. To obtain variable pulse widths, connect external values resistance between  $R_{int}$  or  $R_{ext}/C_{ext}$  and  $V_{CC}$ .

†For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.

‡All typical values are at  $V_{CC} = 5\text{V}$ ,  $T_A = 25^\circ\text{C}$ .

\*Not more than one output should be shorted at a time.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
 ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# 54122/74122 Retriggerable Monostable Multivibrator with Clear

|            | Schottky TTL |                        | High-Speed TTL |                        | Low-Power Schottky TTL |                        | Standard TTL |                        | Low-Power TTL |                        |
|------------|--------------|------------------------|----------------|------------------------|------------------------|------------------------|--------------|------------------------|---------------|------------------------|
|            | Device Type  | Package<br>C P M I C F | Device Type    | Package<br>C P M I C F | Device Type            | Package<br>C P M I C F | Device Type  | Package<br>C P M I C F | Device Type   | Package<br>C P M I C F |
| T.I.       |              |                        |                |                        | SN54LS122              | J J I                  | SN54LS122    | J J I                  | SN54LS122     | J J I                  |
| FAIRCHILD  |              |                        |                |                        | SN74LS122              | J J I                  | SN74LS122    | J J I                  | SN74LS122     | J J I                  |
| MOTOROLA   |              |                        |                |                        |                        |                        | MC74122      | P I T                  |               |                        |
| N.S.C.     |              |                        |                |                        | DM54LS122              | I                      |              |                        |               |                        |
| PHILIPS    |              |                        |                |                        |                        |                        | N74122       | P I T                  |               |                        |
| SIGNETICE  |              |                        |                |                        |                        |                        | SN74122      | P I T                  |               |                        |
| SIEMENS    |              |                        |                |                        |                        |                        | FLK111       |                        |               |                        |
| FUJITSU    |              |                        |                |                        |                        |                        |              |                        |               |                        |
| HITACHI    |              |                        |                |                        | HD74LS122              | P I T                  |              |                        |               |                        |
| MITSUBISHI |              |                        |                |                        |                        |                        | M53322       | P I T                  |               |                        |
| NEC        |              |                        |                |                        |                        |                        |              |                        |               |                        |
| TOSHIBA    |              |                        |                |                        |                        |                        |              |                        |               |                        |

## Electrical Characteristics SN54LS122/SN74LS122

### absolute maximum ratings over operating free-air temperature range

|                          |    |                                      |        |               |
|--------------------------|----|--------------------------------------|--------|---------------|
| Supply voltage, $V_{CC}$ | 7V | Operating free air temperature range | SN54LS | 55°C to 125°C |
| Input voltage            | 7V |                                      | SN74LS | 0°C to 70°C   |
|                          |    | Storage temperature range            |        | 55°C to 150°C |

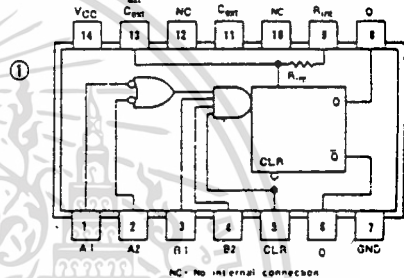
### recommended operating conditions

|                                           | SN54LS122          |     |      | SN74LS122      |     |      | UNIT |
|-------------------------------------------|--------------------|-----|------|----------------|-----|------|------|
|                                           | MIN                | NOM | MAX  | MIN            | NOM | MAX  |      |
| Supply voltage, $V_{CC}$                  | 4.5                | 5   | 5.5  | 4.75           | 5   | 5.25 | V    |
| High-level output current, $I_{OH}$       |                    |     | -400 |                |     | -400 | mA   |
| Low-level output current, $I_{OL}$        |                    |     | 4    |                |     | 8    | mA   |
| Pulse width, $t_p$                        | A or B inputs open |     |      | 40             |     | 60   | ns   |
|                                           | A or B inputs low  |     |      | 40             |     | 60   | ns   |
| External timing resistance, $R_{ext}$     | 1                  |     | 180  | 5              |     | 750  | Ω    |
| External timing capacitance, $C_{ext}$    | No restriction     |     |      | No restriction |     |      |      |
| Timing capacitance at first test interval | 50                 |     |      | 50             |     |      | pf   |
| Operating free air temperature, $T_a$     | 55                 |     | 125  | 70             |     | 70   | °C   |

### electrical characteristics over recommended operating free-air temperature range

| PARAMETER*                                       | TEST CONDITIONS†                                                                                  | MIN  | TYP‡ | MAX | UNIT |
|--------------------------------------------------|---------------------------------------------------------------------------------------------------|------|------|-----|------|
| $V_{IH}$ High-level input voltage                |                                                                                                   | 2    |      |     | V    |
| $V_{IL}$ Low-level input voltage                 |                                                                                                   |      |      | 0.8 | V    |
| $V_I$ Input clamp voltage                        | $V_{CC} = \text{MIN.}$ , $I_I = -18\text{mA}$                                                     |      |      | 1.5 | V    |
| $V_{OH}$ High-level output voltage               | $V_{CC} = \text{MIN.}$ , $I_{OH} = -400\mu\text{A}$<br>See Note 1                                 | 2.7  | 3.5  |     | V    |
| $V_{OL}$ Low-level output voltage                | $V_{CC} = \text{MIN.}$ , $I_{OL} = 8\text{mA}$<br>See Note 1                                      | 0.35 | 0.5  |     | V    |
| $I_I$ Input current at maximum input voltage     | $V_{CC} = \text{MAX.}$ , $V_I = 7\text{V}$                                                        | 0    | 1    |     | mA   |
| $I_{IH}$ High-level input current                | $V_{CC} = \text{MAX.}$ , $V_I = 2.7\text{V}$                                                      |      | 20   |     | μA   |
| $I_{IL}$ Low-level input current                 | $V_{CC} = \text{MAX.}$ , $V_I = 0.8\text{V}$                                                      |      | 0.4  |     | mA   |
| $I_{OS}$ Short-circuit output current*           | $V_{CC} = \text{MAX.}$ , See Note 1                                                               | -20  | 100  |     | mA   |
| $I_{CC}$ Supply current (quiescent or triggered) | $V_{CC} = \text{MAX.}$<br>See Notes 2 and 3                                                       | 6    | 11   |     | mA   |
| $t_{PLH}$ from A to output 0                     | $V_{CC} = 5\text{V}$ ,<br>$T_a = 25^\circ\text{C}$ ,<br>$C_L = 15\text{pF}$ ,<br>$R_L = 2k\Omega$ | 73   | 33   |     | ns   |
| $t_{PLH}$ from A to output 0                     |                                                                                                   | 23   | 44   |     | ns   |
| $t_{PLH}$ from B to output 0                     |                                                                                                   | 32   | 45   |     | ns   |
| $t_{PLH}$ from B to output 0                     |                                                                                                   | 34   | 56   |     | ns   |
| $t_{PLH}$ from Clear to output 0                 |                                                                                                   | 20   | 42   |     | ns   |
| $t_{PLH}$ from Clear to output 0                 | $C_{ext} = 100\text{pF}$ ,<br>$R_{ext} = 10k\Omega$                                               | 28   | 45   |     | ns   |
| $t_{PLH}$ from A or B to output 0                |                                                                                                   | 116  | 200  |     | ns   |
| $t_{wO}$ from A or B to output 0                 |                                                                                                   | 4    | 4.5  | 5   | ns   |

## Pin Assignment (Top View)



## Function Table

LS122, LS122 (See Note 4)

| CLEAR | INPUTS |    |    |    | OUTPUTS |    |
|-------|--------|----|----|----|---------|----|
|       | A1     | A2 | B1 | B2 | Q       | Q̄ |
| L     | X      | X  | X  | X  | L       | H  |
| X     | H      | H  | X  | X  | L       | H  |
| X     | X      | X  | L  | X  | L       | H  |
| X     | X      | X  | X  | L  | L       | H  |
| L     | X      | H  | H  | L  | L       | H  |
| L     | X      | X  | H  | L  | L       | H  |
| L     | X      | H  | L  | L  | L       | H  |
| L     | X      | L  | L  | L  | L       | H  |
| H     | X      | L  | H  | L  | L       | H  |
| H     | H      | X  | L  | L  | L       | H  |
| H     | H      | L  | L  | L  | L       | H  |
| H     | X      | X  | X  | X  | L       | H  |
| X     | X      | X  | X  | X  | L       | H  |

- NOTES: 1: Ground  $C_{ext}$  to measure  $V_{OH}$  at 0V or  $V_{OL}$  at 0. or 0.5 V.  $C_{ext}$  is open to measure  $V_{CC}$  at 0. V or 0.5 V. 2: Quiescent  $I_{CC}$  is measured (after clearing) with 2.4 V applied to all clear and A inputs, B inputs grounded, all outputs open,  $C_{ext} = 0.02 \mu\text{F}$ , and  $R_{ext} = 25k\Omega$ .  $R_{int}$  is open. 3:  $I_{CC}$  is measured in the triggered state with 2.4 V applied to all clear and B inputs, A inputs grounded, all outputs open,  $C_{ext} = 0.02 \mu\text{F}$ , and  $R_{ext} = 25k\Omega$ .  $R_{int}$  is open. 4: A = high level (steady state), L = low level (steady state), \* = transition from low to high level, † = transition from high to low level, H = high-level pulse, L = low-level pulse, X = irrelevant input including transitions. 5: To use the internal timing resistor connect  $R_{ext}$  to  $V_{CC}$ . 6: A maximum timing capacitor may be connected between  $C_{ext}$  and  $R_{ext}$ . 7:  $C_{ext}$  is irrelevant. 8: Calculate repeatability pulse width  $t_{wO}$  at 2.4 V external  $V_{CC}$  between  $R_{ext}$ ,  $C_{ext}$  and  $V_{CC}$  with  $R_{int}$  open-circuited. 9: Timing capacitor  $C_{ext}$  is irrelevant when  $R_{ext}$  is above resistance between  $R_{ext}$  and  $R_{ext}$ ,  $C_{ext}$  and  $V_{CC}$ .

† For conditions shown as MIN or MAX, see the relevant test condition. 2: Quiescent  $I_{CC}$  is measured (after clearing) with 2.4 V applied to all clear and A inputs, B inputs grounded, all outputs open,  $C_{ext} = 0.02 \mu\text{F}$ , and  $R_{ext} = 25k\Omega$ .  $R_{int}$  is open. 3:  $I_{CC}$  is measured in the triggered state with 2.4 V applied to all clear and B inputs, A inputs grounded, all outputs open,  $C_{ext} = 0.02 \mu\text{F}$ , and  $R_{ext} = 25k\Omega$ .  $R_{int}$  is open. 4: A = high level (steady state), L = low level (steady state), \* = transition from low to high level, † = transition from high to low level, H = high-level pulse, L = low-level pulse, X = irrelevant input including transitions. 5: To use the internal timing resistor connect  $R_{ext}$  to  $V_{CC}$ . 6: A maximum timing capacitor may be connected between  $C_{ext}$  and  $R_{ext}$ . 7:  $C_{ext}$  is irrelevant. 8: Calculate repeatability pulse width  $t_{wO}$  at 2.4 V external  $V_{CC}$  between  $R_{ext}$ ,  $C_{ext}$  and  $V_{CC}$  with  $R_{int}$  open-circuited. 9: Timing capacitor  $C_{ext}$  is irrelevant when  $R_{ext}$  is above resistance between  $R_{ext}$  and  $R_{ext}$ ,  $C_{ext}$  and  $V_{CC}$ .

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

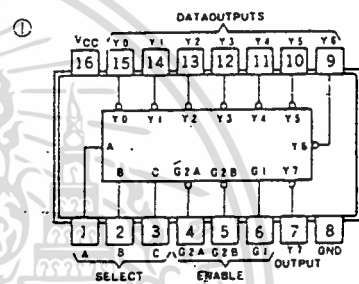
# 54138/74138 3-Line-to-8-Line Decoder

|           | Schottky TTL |          |    | High-Speed TTL |         |  | Low-Power Schottky TTL |         |    | Standard TTL |         |  | Low-Power TTL |         |  |
|-----------|--------------|----------|----|----------------|---------|--|------------------------|---------|----|--------------|---------|--|---------------|---------|--|
|           | Device Type  | Package  |    | Device Type    | Package |  | Device Type            | Package |    | Device Type  | Package |  | Device Type   | Package |  |
|           |              | C/P/MICF |    | C/P/MICF       |         |  | C/P/MICF               |         |    | C/P/MICF     |         |  | C/P/M         |         |  |
| T.I.      | SN54S138     | JQ       | WQ |                |         |  | SN54LS138              | JQ      | WQ |              |         |  |               |         |  |
|           | SN74S138     | JQ       | WQ |                |         |  | SN74LS138              | JQ      | WQ |              |         |  |               |         |  |
| FAIRCHILD | 74ALS138     | ND       |    |                |         |  | 74ALS138               | ND      |    |              |         |  |               |         |  |
|           | 74LS138      | ND       |    |                |         |  | 74LS138                | ND      |    |              |         |  |               |         |  |
| MOTOROLA  |              |          |    |                |         |  | SN74LS138              | PD      |    |              |         |  |               |         |  |
| N.S.C.    | DM74S138     | Q        |    |                |         |  | DM74LS138              | Q       |    |              |         |  |               |         |  |
|           | DM74LS138    | Q        |    |                |         |  | DM74LS138              | Q       |    |              |         |  |               |         |  |
| PHILIPS   | N74S138      | Q        |    |                |         |  | N74LS138               | Q       |    |              |         |  |               |         |  |
| SIGNETICS | SN54S138     | FG(BQ)   | WQ |                |         |  |                        |         |    |              |         |  |               |         |  |
|           | N74S138      | FG(BQ)   |    |                |         |  | N74LS138               | AD      |    |              |         |  |               |         |  |
| SIEMENS   |              |          |    |                |         |  |                        |         |    |              |         |  |               |         |  |
| FUJITSU   |              |          |    |                |         |  | 74LS138                | MD      |    |              |         |  |               |         |  |
| HTACHI    |              |          |    |                |         |  | HD74LS138              | PD      |    |              |         |  |               |         |  |
| MTSUBISHI | N74S138      | PT       |    |                |         |  | M74LS138               | PD      |    |              |         |  |               |         |  |
| NEC       |              |          |    |                |         |  | 74LS138                | CD      |    |              |         |  |               |         |  |
| TOSHIBA   |              |          |    |                |         |  |                        |         |    |              |         |  |               |         |  |

## Electrical Characteristics SN54LS138/SN74LS138

| absolute maximum ratings over operating free-air temperature range               |                           |                                      |        |                |       |
|----------------------------------------------------------------------------------|---------------------------|--------------------------------------|--------|----------------|-------|
| Supply voltage, $V_{CC}$                                                         | TV                        | Operating free-air temperature range | SN54LS | -55°C to 125°C |       |
| Input voltage                                                                    | TV                        | Storage temperature range            | SN74LS | 0°C to 70°C    |       |
|                                                                                  |                           |                                      |        | -65°C to 150°C |       |
| recommended operating conditions                                                 |                           |                                      |        |                |       |
|                                                                                  | SN54LS138                 |                                      |        | SN74LS138      |       |
|                                                                                  | MIN                       | NOM                                  | MAX    | MIN            | NOM   |
| Supply voltage, $V_{CC}$                                                         | 4.5                       | 5                                    | 5.5    | 4.75           | 5     |
| High-level output current, $I_{OH}$                                              |                           |                                      | 400    |                | 400   |
| Low-level output current, $I_{OL}$                                               |                           |                                      | 4      |                | 8     |
| Operating free-air temperature, $T_A$                                            | -55                       | 125                                  | 0      | 70             |       |
| electrical characteristics over recommended operating free-air temperature range |                           |                                      |        |                |       |
| PARAMETER *                                                                      | TEST CONDITIONS †         |                                      |        | MIN            | TYP ‡ |
| $V_{IH}$ High-level input voltage                                                |                           |                                      |        | 2              |       |
| $V_{IL}$ Low-level input voltage                                                 |                           |                                      |        |                | 0.8   |
| $V_I$ input clamp voltage                                                        | $V_{CC} = \text{MIN.}$    | $I_I = -18 \text{ mA}$               |        |                | 1.5   |
| $V_{OH}$ High-level output voltage                                               | $V_{CC} = \text{MIN.}$    | $V_{IH} = 2 \text{ V.}$              | SN54LS | 2.5            | 3.4   |
|                                                                                  | $V_{OH} = 0.8 \text{ V.}$ | $I_{OH} = 400 \mu\text{A}$           | SN74LS | 2.7            | 3.4   |
| $V_{OL}$ Low-level output voltage                                                | $V_{CC} = \text{MIN.}$    | $V_{IH} = 2 \text{ V.}$              |        | 0.35           | 0.5   |
|                                                                                  | $V_{OL} = 0.8 \text{ V.}$ | $I_{OL} = 8 \text{ mA}$              |        |                |       |
| $I_I$ input current at maximum input voltage                                     | $V_{CC} = \text{MAX.}$    | $V_I = 7 \text{ V}$                  |        |                | 0.1   |
| $I_{IH}$ High-level input current                                                | $V_{CC} = \text{MAX.}$    | $V_I = 2.7 \text{ V}$                |        |                | 20    |
| $I_{IL}$ Low-level input current                                                 | $V_{CC} = \text{MAX.}$    | $V_I = 0.8 \text{ V}$                |        |                | 0.4   |
| $I_{OS}$ Short-circuit output current *                                          | $V_{CC} = \text{MAX.}$    |                                      |        | 20             | -100  |
| $I_{CC}$ Supply current                                                          | $V_{CC} = \text{MAX.}$    | Outputs enabled and one              |        | 6.3            | 10    |
| $t_{PLH}$                                                                        |                           |                                      |        | 2              | 13    |
| $t_{PHL}$ from Binary select                                                     |                           |                                      |        |                | 27    |
| $t_{PLH}$ to Any output                                                          |                           |                                      |        | 3              | 18    |
| $t_{PHL}$                                                                        |                           |                                      |        |                | 26    |
| $t_{PLH}$                                                                        |                           |                                      |        | 2              | 12    |
| $t_{PHL}$ from Enable                                                            |                           |                                      |        |                | 21    |
| $t_{PLH}$ to Any output                                                          |                           |                                      |        | 3              | 17    |
| $t_{PHL}$                                                                        |                           |                                      |        |                | 25    |

## Pin Assignment (Top View)



positive logic:  
see function table

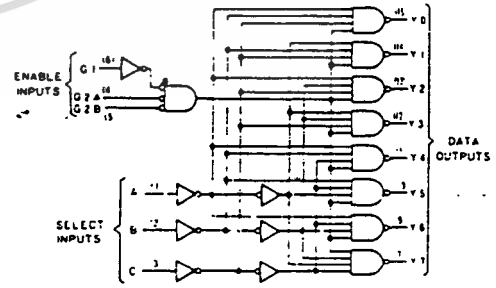
## Function Table

\*S138\*LS138

| INPUTS |        |    |    |   | OUTPUTS |   |    |    |    |    |    |    |
|--------|--------|----|----|---|---------|---|----|----|----|----|----|----|
| ENABLE | SELECT | G1 | G2 | C | B       | A | Y0 | Y1 | Y2 | Y3 | Y4 | Y5 |
| X      | H      | X  | X  | X | X       | X | H  | H  | H  | H  | H  | H  |
| L      | X      | X  | X  | X | X       | X | H  | H  | H  | H  | H  | H  |
| H      | L      | L  | L  | L | L       | L | L  | L  | L  | L  | L  | L  |
| H      | L      | L  | L  | L | L       | H | L  | H  | H  | H  | H  | H  |
| H      | L      | L  | L  | H | L       | L | H  | L  | H  | H  | H  | H  |
| H      | L      | L  | H  | L | L       | L | H  | H  | L  | H  | H  | H  |
| H      | L      | H  | L  | L | L       | L | H  | H  | H  | L  | H  | H  |
| H      | L      | H  | L  | H | L       | L | H  | H  | H  | H  | L  | H  |
| H      | L      | H  | H  | L | L       | L | H  | H  | H  | H  | H  | L  |

\*  $G2 = G2A + G2B$   
H = high level, L = low level, X = irrelevant

## Functional Block Diagram



\*S138\*LS138 DECODER, DEMULTIPLEXER

† For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions for the applicable device type.  
‡ All typical values are at  $V_{CC} = 5 \text{ V}$ ,  $T_A = 25^\circ\text{C}$ .  
\* Not more than one output should be shorted at a time and duration of the short-circuit test should not exceed one second.  
†  $t_{PLH}$  = propagation delay time low-to-high-level output  
†  $t_{PHL}$  = propagation delay time high-to-low-level output

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

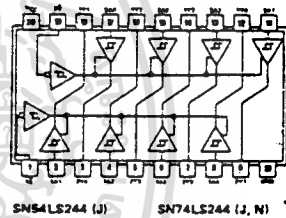
54244/74244 Octal Buffers/Line Drivers/Line Receivers

|            | Schottky TTL |         |   |     | High-Speed TTL |         |   |           | Low-Power Schottky TTL |         |    |     | Standard TTL |         |   |     | Low-Power TTL |         |   |   |
|------------|--------------|---------|---|-----|----------------|---------|---|-----------|------------------------|---------|----|-----|--------------|---------|---|-----|---------------|---------|---|---|
|            | Device Type  | Package |   |     | Device Type    | Package |   |           | Device Type            | Package |    |     | Device Type  | Package |   |     | Device Type   | Package |   |   |
|            |              | C       | P | MCF |                | C       | P | MCF       |                        | C       | P  | MCF |              | C       | P | MCF |               | C       | P | M |
| T. I.      |              |         |   |     |                |         |   | SN54LS244 | U                      | T       |    |     |              |         |   |     |               |         |   |   |
| FAIRCHILD  |              |         |   |     |                |         |   | SN74LS244 | U                      | T       | NQ |     |              |         |   |     |               |         |   |   |
| MOTOROLA   |              |         |   |     |                |         |   |           |                        |         |    |     |              |         |   |     |               |         |   |   |
| N. S. C.   |              |         |   |     |                |         |   |           |                        |         |    |     |              |         |   |     |               |         |   |   |
| PHILIPS    |              |         |   |     |                |         |   |           |                        |         |    |     |              |         |   |     |               |         |   |   |
| SIGNETICS  |              |         |   |     |                |         |   |           |                        |         |    |     |              |         |   |     |               |         |   |   |
| SIEMENS    |              |         |   |     |                |         |   |           |                        |         |    |     |              |         |   |     |               |         |   |   |
| FUJITSU    |              |         |   |     |                |         |   |           |                        |         |    |     |              |         |   |     |               |         |   |   |
| HITACHI    |              |         |   |     |                |         |   |           |                        |         |    |     |              |         |   |     |               |         |   |   |
| MITSUBISHI |              |         |   |     |                |         |   |           |                        |         |    |     |              |         |   |     |               |         |   |   |
| NEC        |              |         |   |     |                |         |   |           |                        |         |    |     |              |         |   |     |               |         |   |   |
| TOSHIBA    |              |         |   |     |                |         |   |           |                        |         |    |     |              |         |   |     |               |         |   |   |

| Electrical Characteristics SN54LS244/SN74LS244                                                            |                                                      |                                                                                                |                        |           |               |      |      |    |      |  |
|-----------------------------------------------------------------------------------------------------------|------------------------------------------------------|------------------------------------------------------------------------------------------------|------------------------|-----------|---------------|------|------|----|------|--|
| absolute maximum ratings over operating free-air temperature range                                        |                                                      |                                                                                                |                        |           |               |      |      |    |      |  |
| Supply voltage, VCC                                                                                       | TV                                                   | Operating free-air temperature range                                                           |                        | SN54LS    | 55°C to 125°C |      |      |    |      |  |
| Input voltage                                                                                             | 5.5V                                                 | temperature range                                                                              |                        | SN74LS    | 0°C to 70°C   |      |      |    |      |  |
| Intermittent voltage                                                                                      | 5.5V                                                 | Storage temperature range                                                                      |                        |           | 65°C to 150°C |      |      |    |      |  |
| recommended operating conditions                                                                          |                                                      |                                                                                                |                        |           |               |      |      |    |      |  |
|                                                                                                           | LS54LS244                                            |                                                                                                |                        | SN74LS244 |               |      |      |    | UNIT |  |
|                                                                                                           | MIN                                                  | NOM                                                                                            | MAX                    | MIN       | NOM           | MAX  |      |    |      |  |
| Supply voltage, VCC                                                                                       | 4.5                                                  | 5                                                                                              | 5.5                    | 4.75      | 5             | 5.25 | V    |    |      |  |
| High-level output current, IOH                                                                            |                                                      |                                                                                                | 12                     |           |               | 15   | mA   |    |      |  |
| Low-level output current, IOL                                                                             |                                                      |                                                                                                | 12                     |           |               | 24   | mA   |    |      |  |
| Operating free-air temperature, Ta                                                                        | 55                                                   |                                                                                                | 125                    | 0         |               | 70   | °C   |    |      |  |
| electrical characteristics over recommended operating free-air temperature range (unless otherwise noted) |                                                      |                                                                                                |                        |           |               |      |      |    |      |  |
| PARAMETER                                                                                                 |                                                      | TEST CONDITIONS †                                                                              |                        | SN74LS    |               |      | UNIT |    |      |  |
|                                                                                                           |                                                      |                                                                                                |                        | MIN       | TYP           | MAX  |      |    |      |  |
| V <sub>IH</sub>                                                                                           | High-level input voltage                             |                                                                                                |                        | 2         |               |      | V    |    |      |  |
| V <sub>IL</sub>                                                                                           | Low-level input voltage                              |                                                                                                |                        |           |               | 0.8  | V    |    |      |  |
| V <sub>IK</sub>                                                                                           | Input clamp voltage                                  | VCC = MIN, I <sub>I</sub> = -18mA                                                              |                        |           |               | -1.5 | V    |    |      |  |
|                                                                                                           | Hysteresis (V <sub>T+</sub> - V <sub>T-</sub> )      | VCC = MIN                                                                                      |                        | 0.2       | 0.4           |      | V    |    |      |  |
| V <sub>OH</sub>                                                                                           | High-level output voltage                            | VCC = MIN, V <sub>IH</sub> = 2V, V <sub>IL</sub> = V <sub>IL</sub> max, I <sub>OH</sub> = -3mA |                        | 2.4       | 3.4           |      | V    |    |      |  |
|                                                                                                           |                                                      | VCC = MIN, V <sub>IH</sub> = 2V, V <sub>IL</sub> = 0.5V, I <sub>OH</sub> = MAX                 |                        | 2         |               |      |      |    |      |  |
| V <sub>OL</sub>                                                                                           | Low-level output voltage                             | VCC = MIN, V <sub>IH</sub> = 2V, V <sub>IL</sub> = V <sub>IL</sub> max                         | I <sub>OL</sub> = 12mA |           |               | 0.4  | V    |    |      |  |
|                                                                                                           |                                                      |                                                                                                | I <sub>OL</sub> = 24mA |           |               | 0.5  |      |    |      |  |
| I <sub>OZH</sub>                                                                                          | Off-state output current, high-level voltage applied | VCC = MAX, V <sub>IH</sub> = 2V                                                                | V <sub>O</sub> = 2.7V  |           |               | 20   | µA   |    |      |  |
| I <sub>OZL</sub>                                                                                          | Off-state output current, low-level voltage applied  | VCC = MAX, V <sub>IL</sub> = V <sub>IL</sub> max                                               | V <sub>O</sub> = 0.4V  |           |               | -20  | µA   |    |      |  |
| I <sub>I</sub>                                                                                            | Input current at maximum input voltage               | VCC = MAX, V <sub>I</sub> = 7V                                                                 |                        |           |               | 0.1  | mA   |    |      |  |
| I <sub>IH</sub>                                                                                           | High-level input current, any input                  | VCC = MAX, V <sub>I</sub> = 2.7V                                                               |                        |           |               | 20   | µA   |    |      |  |
| I <sub>IL</sub>                                                                                           | Low-level input current                              | VCC = MAX, V <sub>IL</sub> = 0.4V                                                              |                        |           |               | -0.2 | mA   |    |      |  |
| I <sub>OS</sub>                                                                                           | Short-circuit output current †                       | VCC = MAX                                                                                      |                        | -40       |               | -225 | mA   |    |      |  |
| I <sub>CC</sub>                                                                                           | Supply current                                       | Outputs high                                                                                   | VCC = MAX              | All       |               | 13   | mA   |    |      |  |
|                                                                                                           |                                                      |                                                                                                |                        | LS244     |               | 27   |      |    |      |  |
|                                                                                                           |                                                      | Outputs low                                                                                    |                        |           |               |      |      |    |      |  |
|                                                                                                           |                                                      |                                                                                                | All outputs disabled   |           | LS244         |      |      | 32 |      |  |
| switching characteristics, VCC 5V, TA 25°C                                                                |                                                      |                                                                                                |                        |           |               |      |      |    |      |  |
| PARAMETER                                                                                                 |                                                      | TEST CONDITIONS                                                                                |                        | MIN       | TYP           | MAX  | UNIT |    |      |  |
| t <sub>PLH</sub>                                                                                          |                                                      | Propagation delay time, low-to-high-level output                                               |                        |           | 5             | 14   | ns   |    |      |  |
| t <sub>PHL</sub>                                                                                          |                                                      | Propagation delay time, high-to-low-level output                                               |                        |           | 12            | 18   | ns   |    |      |  |
|                                                                                                           |                                                      | C <sub>L</sub> = 450pF, R <sub>L</sub> = 667Ω                                                  |                        |           |               |      |      |    |      |  |
|                                                                                                           |                                                      | See Note 2                                                                                     |                        |           |               |      |      |    |      |  |
| t <sub>PZL</sub>                                                                                          |                                                      | Output enable time to low level                                                                |                        |           | 20            | 30   | ns   |    |      |  |
| t <sub>PZH</sub>                                                                                          |                                                      | Output enable time to high level                                                               |                        |           | 15            | 23   | ns   |    |      |  |
| t <sub>PLC</sub>                                                                                          |                                                      | Output disable time from low level                                                             |                        |           | 15            | 25   | ns   |    |      |  |
|                                                                                                           |                                                      | C <sub>L</sub> = 50pF, R <sub>L</sub> = 667Ω                                                   |                        |           |               |      |      |    |      |  |
| t <sub>PHZ</sub>                                                                                          |                                                      | Output disable time from high level                                                            |                        |           | 10            | 18   | ns   |    |      |  |
|                                                                                                           |                                                      | See Note 2                                                                                     |                        |           |               |      |      |    |      |  |

† For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.  
 ‡ All typical values are at VCC 5V, TA 25°C.  
 § Not more than one output should be shorted at a time and duration of the short-circuit should not exceed one second.  
 NOTE 2 Load circuit and voltage wave forms are shown on page 3-11.

Pin Assignment (Top View)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
 ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# 54245 74245 Octal Bus Transceivers with 3-state Outputs

|            | Schottky TTL |         |   | High-Speed TTL |         |   | Low-Power Schottky TTL |         |   | Standard TTL |         |   | Low-Power TTL |         |   |
|------------|--------------|---------|---|----------------|---------|---|------------------------|---------|---|--------------|---------|---|---------------|---------|---|
|            | Device Type  | Package |   | Device Type    | Package |   | Device Type            | Package |   | Device Type  | Package |   | Device Type   | Package |   |
|            |              | C       | P |                | C       | P |                        | C       | P |              | C       | P |               | C       | P |
| T. I.      |              |         |   |                |         |   | SN54LS245              | J       | I | HW           | I       | W |               |         |   |
| FAIRCHILD  |              |         |   |                |         |   | SN74LS245              | J       | I | N            | I       | N |               |         |   |
| MOTOROLA   |              |         |   |                |         |   |                        |         |   |              |         |   |               |         |   |
| N. S. C.   |              |         |   |                |         |   |                        |         |   |              |         |   |               |         |   |
| PHILIPS    |              |         |   |                |         |   |                        |         |   |              |         |   |               |         |   |
| SIGNETICS  |              |         |   |                |         |   |                        |         |   |              |         |   |               |         |   |
| SIEMENS    |              |         |   |                |         |   |                        |         |   |              |         |   |               |         |   |
| FUJITSU    |              |         |   |                |         |   |                        |         |   |              |         |   |               |         |   |
| HITACHI    |              |         |   |                |         |   |                        |         |   |              |         |   |               |         |   |
| MITSUBISHI |              |         |   |                |         |   |                        |         |   |              |         |   |               |         |   |
| NEC        |              |         |   |                |         |   |                        |         |   |              |         |   |               |         |   |
| TOSHIBA    |              |         |   |                |         |   |                        |         |   |              |         |   |               |         |   |

## Electrical Characteristics SN54LS245/SN74LS245

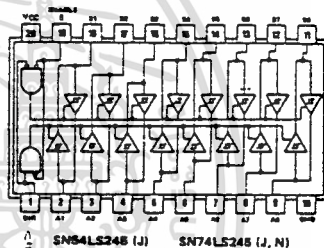
| absolute maximum ratings over operating free-air temperature range |           |                           |        |                |     |
|--------------------------------------------------------------------|-----------|---------------------------|--------|----------------|-----|
| Supply voltage, VCC                                                | 7 V       | Operating free-air        | SN54LS | -55°C to 125°C |     |
| Input voltage                                                      | 7 V       | temperature range         | SN74LS | 0°C to 70°C    |     |
|                                                                    |           | Storage temperature range |        | -65°C to 150°C |     |
| recommended operating conditions                                   |           |                           |        |                |     |
|                                                                    | SN54LS245 |                           |        | SN74LS245      |     |
|                                                                    | MIN       | NOM                       | MAX    | MIN            | NOM |
| Supply voltage, VCC                                                | 4.5       | 5                         | 5.5    | 4.75           | 5   |
| High-level output current, IOH                                     |           |                           | -12    |                | -15 |
| Low-level output current, IOL                                      |           |                           | 12     |                | 24  |
| Operating free-air temperature, TA                                 | 55        |                           | 125    | 0              | 70  |

## electrical characteristics over recommended operating free-air temperature range

| PARAMETER                                                                | TEST CONDITIONS†                                                           | SN74LS245                                          |          |            | UNIT |
|--------------------------------------------------------------------------|----------------------------------------------------------------------------|----------------------------------------------------|----------|------------|------|
|                                                                          |                                                                            | MIN                                                | TYP‡     | MAX        |      |
| V <sub>IH</sub> High-level input voltage                                 |                                                                            | 2                                                  |          |            | V    |
| V <sub>IL</sub> Low-level input voltage                                  |                                                                            |                                                    |          | 0.8        | V    |
| V <sub>IK</sub> Input clamp voltage                                      | VCC = MIN, I <sub>I</sub> = -18 mA                                         |                                                    |          | -1.5       | V    |
| Hysteresis (V <sub>T</sub> - V <sub>T</sub> )<br>A or B input            | VCC = MIN                                                                  | 0.2                                                | 0.4      |            | V    |
| V <sub>OH</sub> High-level output voltage                                | VCC = MIN<br>V <sub>IH</sub> = 2V<br>V <sub>IL</sub> = V <sub>IL</sub> max | I <sub>OH</sub> = -3 mA<br>I <sub>OH</sub> = MAX   | 2.4<br>2 | 3.4        | V    |
| V <sub>OL</sub> Low-level output voltage                                 | VCC = MIN<br>V <sub>IH</sub> = 2V<br>V <sub>IL</sub> = V <sub>IL</sub> max | I <sub>OL</sub> = 12 mA<br>I <sub>OL</sub> = 24 mA |          | 0.4<br>0.5 | V    |
| I <sub>OZH</sub> Off-state output current,<br>high-level voltage applied | VCC = MAX,<br>G at 2V                                                      | V <sub>O</sub> = 2.7 V                             |          | 10         | µA   |
| I <sub>OZL</sub> Off-state output current,<br>low-level voltage applied  | VCC = MAX,<br>G at 2V                                                      | V <sub>O</sub> = 0.4V                              |          | -200       | µA   |
| I <sub>II</sub> Input current at<br>maximum input voltage                | A or B<br>DIR or G                                                         | V <sub>I</sub> = 5.5V<br>V <sub>I</sub> = 7V       |          | 0.1<br>0.1 | mA   |
| I <sub>IH</sub> High-level input current                                 | VCC = MAX, V <sub>IH</sub> = 2.7V                                          |                                                    |          | 20         | µA   |
| I <sub>IL</sub> Low-level input current                                  | VCC = MAX, V <sub>IL</sub> = 0.4V                                          |                                                    |          | -0.2       | mA   |
| I <sub>OS</sub> Short-circuit output current                             | VCC = MAX                                                                  |                                                    | -40      | -225       | mA   |
| Total, outputs high                                                      | VCC = MAX, Outputs open                                                    |                                                    | 48       | 70         | mA   |
| Total, outputs low                                                       | VCC = MAX, Outputs open                                                    |                                                    | 62       | 90         | mA   |
| Outputs at Hi-Z                                                          | VCC = MAX, Outputs open                                                    |                                                    | 64       | 95         | mA   |

## switching characteristics, VCC 5V, TA 25°C

| PARAMETER                                                            | TEST CONDITIONS                                             | MIN | TYP | MAX | UNIT |
|----------------------------------------------------------------------|-------------------------------------------------------------|-----|-----|-----|------|
| t <sub>PLH</sub> Propagation delay time,<br>low-to-high-level output |                                                             |     | 8   | 12  | ns   |
| t <sub>PHL</sub> Propagation delay time,<br>high-to-low-level output |                                                             |     | 8   | 12  | ns   |
| t <sub>DL</sub> Output enable time to low level                      | C <sub>L</sub> = 45pF, R <sub>L</sub> = 667Ω,<br>See Note 2 |     | 27  | 40  | ns   |
| t <sub>DZL</sub> Output enable time to high level                    |                                                             |     | 25  | 40  | ns   |
| t <sub>DZL</sub> Output disable time from low level                  | C <sub>L</sub> = 50pF, R <sub>L</sub> = 667Ω,<br>See Note 2 |     | 15  | 25  | ns   |
| t <sub>DZL</sub> Output disable time from high level                 |                                                             |     | 15  | 25  | ns   |



SN54LS245 (J) SN74LS245 (J, N)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# /74273 Octal D-Type Flip-Flop with Clear

|            | Schottky TTL |         | High-Speed TTL |         | Low-Power Schottky TTL |         | Standard TTL |         | Low-Power TTL |         |
|------------|--------------|---------|----------------|---------|------------------------|---------|--------------|---------|---------------|---------|
|            | Device Type  | Package | Device Type    | Package | Device Type            | Package | Device Type  | Package | Device Type   | Package |
|            |              | CIPM:CF |                | CIPM:CF |                        | CIPM:CF |              | CIPM:CF |               | CIPM:CF |
| T. I.      | SN74S273     | WQ      |                |         | SN74LS273              | J-PW/M  | SN74273      | J-PW/M  |               |         |
| FAIRCHILD  |              |         |                |         |                        |         |              |         |               |         |
| MOTOROLA   |              |         |                |         |                        |         |              |         |               |         |
| N. S. C.   |              |         |                |         |                        |         |              |         |               |         |
| PHILIPS    |              |         |                |         | M74LS273               | D       |              |         |               |         |
| SIGNETICS  |              |         |                |         |                        |         |              |         |               |         |
| SIEMENS    |              |         |                |         |                        |         |              |         |               |         |
| FUJITSU    |              |         |                |         |                        |         |              |         |               |         |
| HITACHI    |              |         |                |         |                        |         |              |         |               |         |
| MITSUBISHI |              |         |                |         | M74LS273               | P-D     |              |         |               |         |
| NEC        |              |         |                |         |                        |         |              |         |               |         |
| TOSHIBA    |              |         |                |         |                        |         |              |         |               |         |

## Electrical Characteristics - / SN74CS273

### absolute maximum ratings over operating free-air temperature range

|                          |    |                                      |        |       |    |       |
|--------------------------|----|--------------------------------------|--------|-------|----|-------|
| Supply voltage, $V_{CC}$ | TV | Operating free-air temperature range | SN74LS | 0°C   | to | 70°C  |
| Input voltage            | TV | Storage temperature range            |        | -65°C | to | 150°C |

### recommended operating conditions

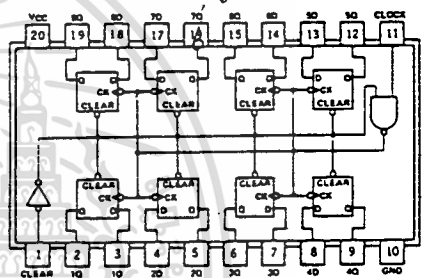
|                                       | MIN  | NOM | MAX  | UNIT    |
|---------------------------------------|------|-----|------|---------|
| Supply voltage, $V_{CC}$              | 4.75 | 5   | 5.25 | V       |
| High-level output current, $I_{OH}$   |      |     | -400 | $\mu$ A |
| Low-level output current, $I_{OL}$    |      |     | 8    | mA      |
| Clock frequency, $f_{clock}$          | 0    |     | 30   | MHz     |
| Width of clock or clear pulse, $t_w$  |      | 20  |      | ns      |
| Setup time, $t_{setup}$               |      | 20  |      | ns      |
| Data input                            |      | 25  |      | ns      |
| Clear inactive state                  |      | 25  |      | ns      |
| Data hold time, $t_{hold}$            |      | 5   |      | ns      |
| Operating free-air temperature, $T_A$ | 0    |     | 70   | °C      |

### electrical characteristics over recommended operating free-air temperature range

| PARAMETER*                                   | TEST CONDITIONS†                                                                                         | MIN | TYP‡ | MAX  | UNIT    |
|----------------------------------------------|----------------------------------------------------------------------------------------------------------|-----|------|------|---------|
| $V_{IH}$ High-level input voltage            |                                                                                                          | 2   |      |      | V       |
| $V_{IL}$ Low-level input voltage             |                                                                                                          |     |      | 0.8  | V       |
| $V_I$ Input clamp voltage                    | $V_{CC} = \text{MIN.}$ , $I_I = 1 \text{ mA}$                                                            |     |      | -1.5 | V       |
| $V_{OH}$ High-level output voltage           | $V_{CC} = \text{MIN.}$ , $V_{IH} = 2 \text{ V}$ , $V_{IL} = 0.8 \text{ V}$ , $I_{OH} = -400 \mu\text{A}$ | 2.7 | 3.4  |      | V       |
| $V_{OL}$ Low-level output voltage            | $V_{CC} = \text{MIN.}$ , $V_{IH} = 2 \text{ V}$ , $V_{IL} = 0.8 \text{ V}$ , $I_{OL} = 8 \text{ mA}$     |     | 0.35 | 0.5  | V       |
| $I_I$ Input current at maximum input voltage | $V_{CC} = \text{MAX.}$ , $V_I = 7 \text{ V}$                                                             |     |      | 0.1  | mA      |
| $I_{IH}$ High-level input current            | $V_{CC} = \text{MAX.}$ , $V_I = 2.7 \text{ V}$                                                           |     |      | 20   | $\mu$ A |
| $I_{IL}$ Low-level input current             | $V_{CC} = \text{MAX.}$ , $V_I = 0.8 \text{ V}$                                                           |     |      | -0.4 | mA      |
| $I_{OS}$ Short-circuit output current        | $V_{CC} = \text{MAX.}$                                                                                   | -20 |      | -100 | mA      |
| $I_{CC}$ Supply current                      | $V_{CC} = \text{MAX.}$ See Note                                                                          |     | 17   | 27   | mA      |
| $f_{max}$ Maximum clock frequency            | $V_{CC} = 5 \text{ V}$ , $T_A = 25^\circ\text{C}$                                                        | 30  | 40   |      | MHz     |
| $t_{PLH}$ output from clear                  | $C_L = 15 \text{ pF}$ , $R_L = 2k\Omega$                                                                 |     | 18   | 27   | ns      |
| $t_{PLH}$ output from clock                  |                                                                                                          |     | 17   | 27   | ns      |
| $t_{DHL}$ output from clock                  |                                                                                                          |     | 18   | 27   | ns      |

NOTE: With all outputs open and 4.5V applied to all data and clear inputs,  $I_{CC}$  is measured after a momentary ground, then 4.5V, is applied to clock.

## Pin Assignment (Top view)



positive logic; see function table

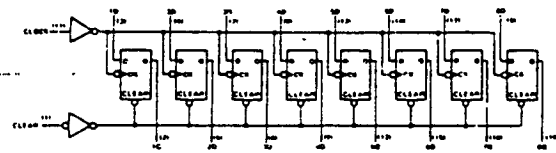
## Function Table

\*S273 (EACH FLIP-FLOP)

| INPUTS |       | OUTPUT |       |
|--------|-------|--------|-------|
| CLEAR  | CLOCK | D      | Q     |
| L      | X     | X      | L     |
| H      | ↑     | H      | H     |
| H      | ↑     | L      | L     |
| H      | L     | X      | $Q_0$ |

H = high level (steady state)  
L = low level (steady state)  
X = irrelevant  
↑ = transition from low to high level  
 $Q_0$  = the level of Q before the indicated steady-state input conditions were established.

## Functional Block Diagram



273 OCTAL D-TYPE FLIP-FLOP WITH CLEAR

\* The arrow indicates that the rising edge of the clock pulse is used for reference.

† For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.

‡ All typical values are at  $V_{CC} = 5 \text{ V}$ ,  $T_A = 25^\circ\text{C}$ .

§ Not more than one output should be shorted at a time.

$t_{PLH}$  = propagation delay time, low-to-high-level output

$t_{DHL}$  = propagation delay time, high-to-low-level output

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### กิตติกรรมประกาศ

ปริญญานิพนธ์ฉบับนี้ ได้แนวความคิดจาก อาจารย์ อุทัย ศรีธีระวิโรจน์ ทั้งยังให้คำแนะนำ และให้การสนับสนุนมาโดยตลอด จึงขอกราบขอบพระคุณ อาจารย์ อุทัย ศรีธีระวิโรจน์ เป็นอย่างสูงไว้ ณ. ที่นี้ด้วย

ขอขอบคุณ อาจารย์ภาควิชาเทคนิคอุตสาหกรรม คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง ที่ให้ความร่วมมือและช่วยเหลืออำนวยความสะดวกในการทำปริญญานิพนธ์ ด้วยดีตลอดมา

ขอขอบคุณ ทุกท่าน ที่ให้ความช่วยเหลือ ในการให้คำปรึกษาแนะนำและที่ให้ความช่วยเหลือในการจัดทำรูปเล่ม

ท้ายสุดนี้ขอกราบระลึกถึงพระคุณบิดามารดา และคณาจารย์ ที่ให้การสนับสนุนในทุก ๆ ด้านแก่คณะผู้จัดทำปริญญานิพนธ์ มาโดยตลอด ไว้ ณ. ที่นี้ด้วย

คณะผู้จัดทำ



### เอกสารอ้างอิง

1. ยืน ภู่วรรณ , วัฒนา เชียงกุล , "ไมโครโปรเซสเซอร์ ไมโครคอมพิวเตอร์" , บริษัท ซีเอ็ดยูเคชั่น จำกัด , พ.ศ. 2521
2. ถวิล พึ่งมา , "เครื่องขุมสายโทรศัพท์สาขาอัตโนมัติ ระบบอิเล็กทรอนิกส์" วิทยานิพนธ์ สำหรับ ปริญญาวิศวกรรมมหาบัณฑิต คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง , พ.ศ. 2525
3. บุญมี บุญยะผลาพันธ์ , สุขแสง คุณนก , "ไมโครโปรเซสเซอร์ MPE-1" , สถาบันเทคโนโลยีพระจอมเกล้า พระนครเหนือ ; พ.ศ. 2526
4. "THE WORLD , IC DATA & CROSS - REFERENCE GUIDE" , SCIENCE , ENGINEERING & EDUCATION CO,LTD ,C.E. 1983
5. RODNAY ZACKS , AUSTIN LESEA , " MICROPROCESSOR INTERFACING TECHNIQUES " , BY SYBEX , C.E. 1985
6. "INTERFACE CIRCUITS DATA BOOK" , TEXAS INSTRUMENTS ,C.E. 1987

