การสังเคราะห์สัญญาณดิจิตอลและอานาลอกในโดเมนของเวลาและความถี่

โดย

นายวินัย แซ่ไต๋

ปริญญานิพนธ์วิศวกรรมศาสตร์บัณฑิต

ภาควิชาเทคนิคอุตสาหกรรม คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2532

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ ปีการศึกษา 2532

ภาควิชา เทคนิคอุตสาหกรรม

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง เครื่องสังเคราะห์สัญญาณดิจิตอลและอานาลอกในโดเมนของเวลาและความถี่

ผู้จัดทำ

วินัย แซ่ไต๋

.....อาจารย์ที่ปรึกษา

(.....)

.....อาจารย์ที่ปรึกษา

(.....)

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

026886

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เครื่องสังเคราะห์สัญญาณ ดิจิตอลและอะนาลอกใน โดเมนของเวลาและความถี่

นายวินัย แซ่ไต๋

ผศ.ดร.กนก เจนจิระพงศ์เวช อาจารย์ที่ปรึกษา

ปีการศึกษา 2532

บทคัดย่อ

วิธีการสร้างสัญญาณที่ใช้ ๆ กันโดยทั่วไป โดยส่วนใหญ่ก็สร้างจากเครื่องมือที่ผลิตกันขึ้นมาใช้อยู่ทั่วไป ซึ่งอุปกรณ์เหล่านั้นมักจะผลิตสัญญาณได้จำกัด มีให้เลือกไม่กี่รูปแบบ โดยทั่วไปที่เห็นก็จะมี สัญญาณ ซายน์ สัญญาณรูปสี่เหลี่ยม สัญญาณรูปสามเหลี่ยม ซึ่งบางครั้งเราต้องการที่มีรูปแบบพิเศษออกไป จึงทำให้เราไม่สามารถหาต้วกลางที่ง่ายแก่การช่วยได้ เครื่องมือและอุปกรณ์ที่ได้สร้างขึ้นมานี้ จะสามารถนำมาช่วยเหลือได้ ไม่ว่าจะเป็นสัญญาณที่ง่ายที่สุด จนถึงยากที่สุดและไม่แต่เพียงเท่านั้น ผู้เขียนได้ออกแบบเครื่องมือชนิดนี้ ให้มีความคล่องตัวสูง สามารถนำไปใช้ประโยชน์ได้มากมาย สามารถนำไปใช้เป็นเครื่องมือวิเคราะห์วงจร ฟิลเตอร์ หรือสร้างสัญญาณนำมาใช้ตรวจสอบระบบ วีดีโอ หรือเครื่องรับโทรทัศน์ได้ ฯลฯ

และเครื่องมือที่ได้สร้างมานี้สามารถทำงานได้ดี และนำไปใช้ในงานจริงได้เลย

026886

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

21 พ.ย. 2533

Digital Signal Processing Sinthesiser in Time and Frequency Domain

Mr.Winai Tai

Prof.Ass.Kanork Janjirapongwathe Adviser

1989

Abstract

Conventional methods of producing electronic waveforms usually rely on manufactured equipment. The vast majority of waveform generators or oscilators found in most laboratories, although of wide frequency range, Invariably have a fixed waveshape. Some types have a switchable range of waveshape e.g. sinusoidal, square, triangular Many instances arise in the laboratory particularly in the control field, where non-standard waveforms are required for testing and other purposes and there is no easy means of generation. The apparatus described in this article is capable of digitally synthesising the simplest or most complex waveshape. In addition this apparatus is also applicable in the wide range e.g. filter network analizer, composite video signal generator etc.

The prototype made is capable of well working and tripical in use.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

เนื้อหา		หน้า
สารบัญรูปภาพ		
บทที่ 1	บทนำ	1
บทที่ 2	ทฤษฎีและหลักการ	2
	2.1 คอนโวลูชั่น อินทริกรัล	2
	2.2 การคอนโวลูชั่นกับ DSPT	5
	2.3 การประมาณค่าสำหรับการปรับ ทรานสเฟอร์ฟังก์ชั่นของ DSPT	6
บทที่ 3	การคำนวณและการสร้าง	10
บทที่ 4	การทดลองและผลการทดลอง	15
	4.1 การประยุกต์ใช้งานของ DSPT	16
บทที่ 5	สรุปและวิจารณ์	17
ภาคผนวก	DATA SHEET ต่าง ๆ	18

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูปภาพ

รูป			หน้า
รูป	2.1	กราฟของ $f(\tau)$ และ $K_1(\tau)$	4
รูป	2.2	กราฟของ $K_1(\tau-t)$ และ $K_1(t-\tau)$	4
รูป	2.3	การเกิด การคอนโวลูชั่น	4
รูป	2.4	ผลลัพธ์ของการคอนโวลูชั่น $f(t)$ และ $K_1(t)$	4
รูป	2.5	บล็อกไดอะแกรม การคอนโวลูชั่น	5
รูป	2.6	ไดอะแกรมของ DSPT	6
รูป	2.7	PROGRAMMABLE DSPT	8
รูป	2.8	การส่งผ่านของทรานสเฟอร์ฟังก์ชั่น	8
รูป	2.9	การทำ DSPT เข้าสู่ระบบ MULTIPLEX	9
รูป	3.1	สภาวะการทำงานของระบบ DSPT	10
รูป	3.2	ลักษณะสัญญาณในระบบ DSPT	11
รูป	3.3	วงจรอินพุท คล็อกความเร็วสูง และซิงค์โครไนซ์	12
รูป	3.4	อนุกรมของทรานสเฟอร์ฟังก์ชั่นปรับค่าได้	13
รูป	3.5	วงจรบวกและอินทรีเกรเตอร์	14
รูป	4.1	อินพุท และ เอาท์พุทดิจิตอล	15
รูป	4.2	เอาท์พุทดิจิตอล และ อะนาลอก	15
รูป	4.3	อินพุท และ เอาท์พุทดิจิตอล	16
รูป	4.4	เอาท์พุทดิจิตอล และ อะนาลอก	16

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1

บทนำ

จุดเริ่มต้นของปริญญานิพนธ์ ฉบับนี้ มาจากความต้องการ ที่จะสร้างเครื่องสังเคราะห์สัญญาณที่มีความสมบูรณ์และรวมคุณลักษณะ หลายอย่างในตัวมันและสามารถนำไปใช้ประโยชน์ได้กว้าง อาทิเช่น สามารถกำหนดทรานสเฟอร์ฟังก์ชั่น (TRANSFER FUNCTION) ได้ สามารถใช้สังเคราะห์สัญญาณต่าง ๆ ได้ ใช้กับระบบดิจิตอลได้ และรวมไปถึงใช้ต่อร่วมกับระบบคอมพิวเตอร์ได้ จึงทำให้เกิดการศึกษาค้นคว้าและทำวิจัยขึ้น จึงทำให้เกิดอุปกรณ์ชนิดหนึ่งขึ้นมา ซึ่งเราเรียกว่า DIGITAL SIGNAL PROCESSING SINTHESIZER IN TIME AND PREQUENCY DOMAIN หรือเรียกย่อ ๆ ว่า DSPT ซึ่งรวมเอาคุณลักษณะหลายอย่างที่กล่าวไว้ข้างต้นเข้าด้วยกัน

ในส่วนเนื้อหาของปริญญานิพนธ์ จะกล่าวถึงที่มาของ DSPT ซึ่งจะอยู่ในบทที่ 2 กระบวนการในขั้นต้นที่ก่อให้เกิด DSPT ขึ้น, ค่า ทรานสเฟอร์ฟังก์ชั่นของระบบ DSPT, ขบวนการกระทำการทางคณิตศาสตร์ที่จะต้องนำมาใช้กับ DSPT, ทฤษฎีการคอนโวลูชั่นที่กระทำกับระบบ DSPT รวมไปถึงการประมาณค่าของสัมประสิทธิ์ตัวคูณในการถ่วงน้ำหนัก (WEIGTHING) ให้กับระบบ DSPT, การประยุกต์ในการใช้งานชั้นสูง ซึ่งจะกล่าวถึงการทำงานด้วยคณิตศาสตร์ชั้นสูงและตัวอย่างของการนำไปใช้งาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ทฤษฎีและหลักการ

ก่อนจะกล่าวถึง ทฤษฎีและหลักการของ DSPT นั้น เราจะขอกล่าวถึง ทฤษฎีพื้นฐานในการใช้วิเคราะห์ระบบเสียก่อน

2.1 คอนโวลูชั่น อินทริกรัล (CONVOLUTION INTREGRAL)

คอนโวลูชั่น อินทริกัล เป็นความสำคัญขั้นพื้นฐานของการออกแบบ และวิเคราะห์ระบบ ซึ่งมันจะเป็นตัวกลางนำไปสู่ความเข้าใจของการวิเคราะห์ได้

เราให้ $p(t)$ และ $q(t)$ แต่ละตัวเป็นฟังก์ชั่น พีสไวส์ (PIECEWISE FUNCTION) สำหรับ $-\infty < t < \infty$ การคอนโวลูชั่นของ p และ q แสดงด้วย $p * q$ ซึ่งถูกกำหนดให้เป็นฟังก์ชั่นที่ 3

$$v(t) = p * q = \int_{-\infty}^{\infty} p(t-\tau)\, q(\tau)\, d\tau \qquad \text{.....(2.1)}$$

การกระทำภายใต้เครื่องหมายอินทริเกรต ($\int$) ทางด้านขวา เราเรียกว่า คอนโวลูชั่น อินทริกรัลและยิ่งไปกว่านั้น คอนโวลูชั่นของ p และ q, $p * q$ จะเท่ากับ $q * p$

$$p * q = q * p \qquad \text{.....(2.2)}$$

พิสูจน์ได้ง่าย ๆ เลย โดยการให้ $x = t-\tau$, $dx = -d\tau$ แทนค่าใน (2.1) จะได้

$$p * q = \int_{-\infty}^{\infty} p(x)\, q(t-x)\, dx = q * p \qquad \text{.....(2.3)}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยการปฏิบัติแล้ว กรณีที่จะเราจะพบกันนั้นทั้ง $p(t)$ และ $q(t)$ จะเป็น 0 เมื่อ $t < 0$ ดังนั้น (2.1) จะกลายเป็น

$$V(t) = \int_{0}^{t} p(t-\tau)\, q(\tau)\, d\tau \quad \ldots\ldots\ldots\ldots\ldots\ldots (2.4)$$

จากเรื่องสมการอนุพันธ์แบบสัมประสิทธิ์คงที่กับฟังก์ชั่นของ เคอร์เนล (KERNEL FUNCTION) ทำให้เราสามารถเขียนสมการเสียใหม่ได้เป็น

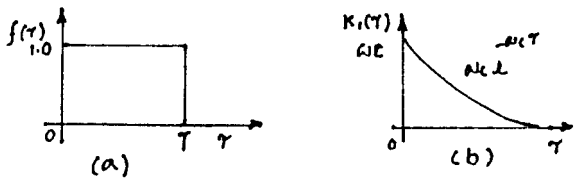
$$Up(t) = \int_{t_0}^{t} K_1(t-\tau)\, f(\tau)\, d\tau \quad \ldots\ldots\ldots\ldots\ldots\ldots (2.5)$$

ซึ่งจะทำให้เราสามารถหาผลลัพธ์ (SOLUTION) ของสมการอนุพันธ์ได้ ในรูปของ คอนโวลูชั่น ของ ฟังก์ชั่น เคอร์เนลและตัวคูณฟังก์ชั่น $f(t)$ โดยการปฏิบัติแล้ว $f(t) = 0$ เมื่อ $t < 0$ ทำให้เราเขียนสมการใหม่ ได้คือ

$$Up(t) = \int_{0}^{t} K_1(t-\tau)\, f(\tau)\, d\tau \quad \ldots\ldots\ldots\ldots\ldots\ldots (2.6)$$

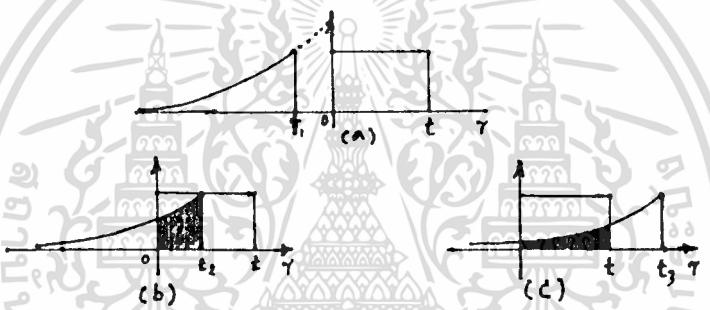
การที่จะเข้าใจเรื่อง คอนโวลูชั่นได้ดี เราจะแสดงขบวนการของมันอย่างต่อเนื่องทางกราฟฟิค (GRAPHIC) สมมุติว่า $f(\tau)$ และ $K_1(\tau)$ เป็นฟังก์ชั่นตามรูป (2.1)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

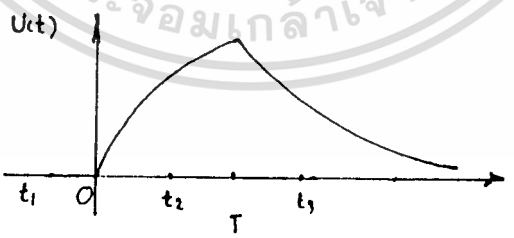


รูปที่ 2.1 กราฟของ $f(\tau)$ และ $K_1(\tau)$

รูปที่ 2.2 (a) กราฟของ $K_1(\tau-t)$ และ (b) $K_1(t-\tau)$



รูปที่ 2.3 การเกิดการคอนโวลูชั่น



รูปที่ 2.4 ผลลัพธ์ของการคอนโวลูชั่นของ $f(t)$ และ $K_1(t)$

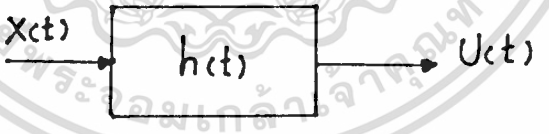
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$K_1(\tau)$ เป็นฟังก์ชั่นต่อเนื่อง แสดงดังรูป 2.1 (b) โดยที่ส่วนของเส้นเต็มจะสู่การคอนโวลูชั่น ซึ่งจะเห็นต่อไปนะครับ เมื่อ $K_1(\tau-t)$ ในรูป 2.2 (a) ทำให้ $K_1(\tau)$ เลื่อนเวลาไป t การเปลี่ยนเครื่องหมายใน $K_1(t-\tau)$ จะทำให้ฟังก์ชั่นสะท้อนกลับ รอบ จุด $\tau = T$ ดังรูป 2.2 (b) สำหรับค่าของ t ที่เคลื่อนไป ผลของการคอนโวลูชั่น จะเท่ากับ พื้นที่ภายใต้ฟังก์ชั่น $f(\tau)\ K_1(t-\tau)$ จาก $\tau = 0$ ถึง $\tau = t$ ตำแหน่งที่สัมพันธ์กันของ $f(\tau)$ และ $K_1(t-\tau)$ สำหรับค่าของ τ ต่าง ๆ ดังแสดงอยู่ในรูป 2.3 และผลของมันที่ได้ในแต่ละเวลา t นั้น ดังแสดงในรูปที่ 2.4

วิธีการหาค่า คอนโวลูชั่นทางกราฟเป็นวิธีที่ง่ายและรวดเร็วกว่าการคำนวณโดยตรง สำหรับฟังก์ชั่นที่ไม่ยากนัก

2.2 การกระทำคอนโวลูชั่นกับ DSPT

การกระทำคอนโวลูชั่น กับ DSPT ในระบบ DSPT จะมีการกระทำทาง CONVOLUTION เหมือนกัน เมื่อเรามี อินพุท ป้อนเข้าไปยังระบบที่ค่าทรานสเฟอร์ฟังก์ชั่นตามรูปข้างล่าง ก็จะก่อให้เกิด เอาท์พุท เป็นไปตามสมการที่กล่าวข้างต้น



รูป 2.5 บลอกไดอะแกรม การคอนโวลูชั่น

$$U(t) = X(t) * h(t) \quad \ldots\ldots\ldots\ldots (2.7)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ซึ่งต่อจากนี้ไปผมจะนำขบวนการคอนโวลูชั่นทางคณิตศาสตร์มาเข้าสู่การประยุกต์กับระบบ DSPT ของผมซึ่งจากตรงนี้ไปผมจะอธิบายการกระทำคอนโวลูชั่นกับระบบ DSPT อย่างละเอียดและผู้อ่านอาจจะยังไม่เข้าใจถึงที่มาและที่ไปของสัญญาณที่เข้าและออกจากระบบ แต่ไม่เป็นไร เพียงแต่อ่านส่วนนี้ผ่าน ๆ ไปก่อน เพื่อให้เข้าใจเพียงสังเขปและท่านจะเข้าใจในตอนหลังและหลังจากนั้นค่อยกลับมาอ่านใหม่ จะทำให้เข้าใจได้ดีขึ้น

จากสมการ (2.7) ข้างล่าง ผมจะนำกลับมาเขียนอีกครั้งในที่นี้

$$U_o(t) = x(t) * h(t)$$

อะไรคือ ความหมายของสิ่งนี้ ความหมายของมันก็คือ เมื่อเรามีสัญญาณอินพุทหรือสัญญาณขาเข้านี่แหละตัวหนึ่งเขียนได้ว่า $x(t)$ และ เจ้า $x(t)$ ตัวนี้ก็ไปสู่ระบบ ๆ หนึ่ง ซึ่งมีลักษณะการตอบสนองสัญญาณเฉพาะตัวของมันซึ่งเขียนได้ว่า $h(t)$ เมื่อ อินพุท $x(t)$ เข้ามา พอมาเจอ $h(t)$ เข้าก็ตอบสนองต่อกันกลายเป็นสัญญาณผลที่ได้ หรือเอาต์พุท เขียนได้ว่า $U_o(t)$ ทีนี้ผมจะแจกแจงสัญญาณแต่ละตัวโดยละเอียดกันหละจะได้เข้าใจละเอียดมากขึ้น

$$x(t) = \Sigma ak\ g(t-KTx) \quad \ldots\ldots\ldots\ldots\ldots (2.8)$$

โดยที่ $g(t) = 1, |t| \ T/2$

$0, |t| \ T/2$

$aK = 1,\ 0$

ในระบบ DSPT ของผมนี้ ผมได้นิยาม $x(t)$ ให้มีรูปแบบดังสมการข้างบนและสำหรับ $h(t)$ จะเป็น

$$h(t) = g[x(t), f(t)] \quad \ldots\ldots\ldots\ldots\ldots (2.9\ a)$$

$$= bif(t-KT_h) \quad \ldots\ldots\ldots\ldots\ldots (2.9\ b)$$

โดยที่ $nT_h = Tx$

$|bi| < ak$

$f(t) = 1, |t| < T_h/2$

$0, |t| < T_h/2$

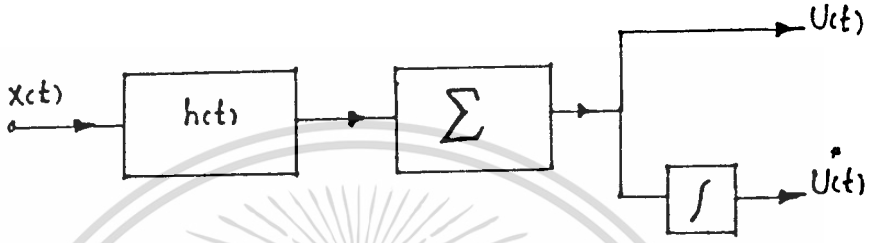
และ $U_o(t)$ ก็จะเป็นผลของทั้ง 2 ตัวนี้กระทำต่อกันจะทำให้

$$U_o(t) = \Sigma\ akg(t-kt_x) * bif(t-kt_h) \ldots\ldots (2.10)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ซึ่งเราสามารถจัดรูปแบบลักษณะของ $U(t)$ ได้โดยการปรับ $h(t)$

จากพื้นฐานอันนี้เราจะย้อนกลับไปสู่ ทฤษฎีและหลักการของ DSPT ว่ามันเป็นอย่างไร มีหลักการอย่างไรและรูปแบบเป็นอย่างไร เราลองมาดูรูป 2.6 ข้างล่างที่เป็น ไดอะแกรมของ DSPT



รูป 2.6 ไดอะแกรมของ DSPT

$$X(t) = \sum_{K} ak\ q(t-KT_x)$$

โดยที่ $q(t) = 1,\ |t| < T_x/2$

$$= 0,\ |t| > T_x/2$$

$$ak = +1,\ 0$$

$$h(t) = bi\ f(t-KT_i)$$

จะทำให้เราได้ว่า เอาท์พุท $U(t)$ จะมีค่าเท่ากับ $\sum[x(t) * h(t)]$

$$U(t) = \sum_{i=m}^{n}\left[\sum_{K} akg(t-KT_x) * bif(t-KT_i)\right] \ldots (2.11)$$

เราจะเห็นว่าสามารถจัดรูปแบบหรือลักษณะของ เอาท์พุทได้ โดยการปรับค่า ผลคูณของ $akbi$ และ K และ คาบเวลาของอินพุท (T) และเมื่อเราผ่านสัญญาณ $U(t)$ เข้าไปยังอินทรีเกรเตอร์ เราจะได้สัญญาณ $U^*(t)$

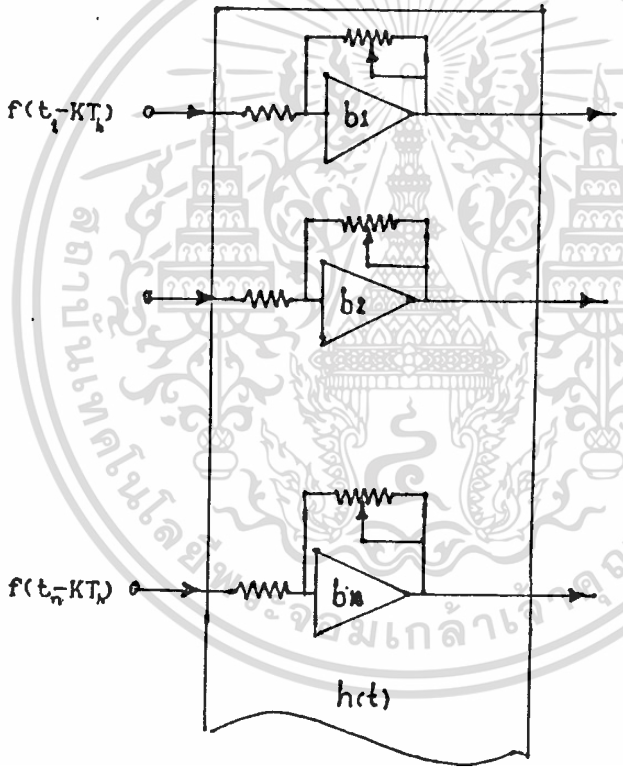
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$U^{*}(t) = \int \sum_{i=m}^{\infty} \left[\sum_{k} a_k b_i g(t-kT_s) * f(t-kT_n)\, dt \right] \quad \ldots\ldots (2.12)$$

ซึ่งผมจะแสดงสัญญาณให้เห็นต่อไปจากอุปกรณ์ที่สร้างขึ้นจริง

2.3 การประมาณค่าสำหรับการปรับ ทรานสเฟอร์ฟังก์ชั่นของ DSPT (DSPT TRANFER FUNCTION APPROXIMATION)

ในหัวข้อนี้ เราจะกล่าวถึงการประมาณค่า ทรานสเฟอร์ฟังก์ชั่น ของ DSPT หรือในส่วนของ h(t) นั่นเอง เมื่อขยายในส่วนของ h(t) ออกมาดูเราจะเห็น h(t) เป็นดังรูปข้างล่าง



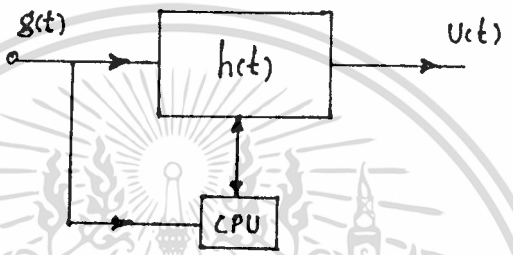
$$h(t) = b_i\, f(t-KT_n)$$

จากสมการ เราจะเห็นได้ว่า ถ้าสัญญาณอินพุทพัลซ์คงที่ เราสามารถปรับทรานสเฟอร์ฟังก์ชั่นของ h(t) ได้ในส่วนของ $b_i \mid b_i \in \{-\infty, \infty\}$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

นี่เป็นตัวอย่างของการปรับค่าทรานสเฟอร์ฟังก์ชั่น โดยการจัดค่าของสัมประสิทธิ์ตัวคูณ ถ่วงน้ำหนักด้วยค่าต่าง ๆ เพื่อให้ได้ เอาท์พุท ตามที่ต้องการ

จากการประมาณค่าที่ได้ยกตัวอย่างมานี้ จะเห็นว่าเราสามารถจัดค่าทรานสเฟอร์ฟังก์ชั่น ในเทอมของ ดิจิตอลโดเมนได้ นั่นหมายความว่า เราสามารถทำ DSPT เข้าสู่ระบบการปรับทรานสเฟอร์ฟังก์ชั่น แบบโปรแกรมได้ (PROGRAMMABLE TRANSFER FUNCTION) ดังแสดงไว้ดังรูป 2.7



รูปที่ 2.7 PROGRAMMABLE DSPT

เราสามารถที่จะวิเคราะห์ สัญญาณ เอาท์พุทได้ว่ามันมีค่าอย่างไร สำหรับ PROGRAMMABLE DSPT จากสมการข้างล่าง

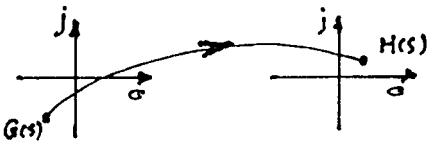
$$F[g(t)] \triangleq G(s)$$

$$F[h(t)] \triangleq H(s)$$

$$F[u(t)] \triangleq U(s)$$

โดยที่ $U(t) = g(t) * h(t)$

แต่ว่า G(s) ถูกโยงไปยังโดเมนของ H(s) จากรูป 2.8



รูป 2.8 การส่งผ่านของ ทรานสเฟอร์ฟังก์ชั่น

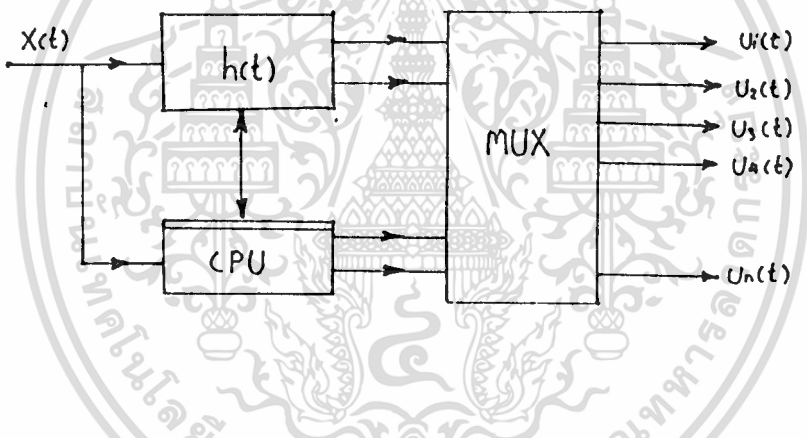
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ทำให้เราได้สมการใหม่เป็น

$$U(s) = a(s)\ HoG(s)$$

หรือ $U(t) = g(t)hog(t) \ast hog(t)$ เป็นคอมโพสิทฟังก์ชั่นของ g ไม่ใช่

จากสมการข้างต้น ทำให้เราทราบได้ว่า สัญญาณเอาท์พุท นั้นจะถูกเปลี่ยน ไปตามสัญญาณอินพุท และเวลาใด ๆ ซึ่งจะทำให้เราสามารถนำไปประยุกต์ใช้งานได้กับ การส่งผ่านข้อมูล หลายความถี่แบบ แบ่งเวลา (MULTI FREQUENCY TIME DIVISION MULTIPLEX) ดังรูป 2.9



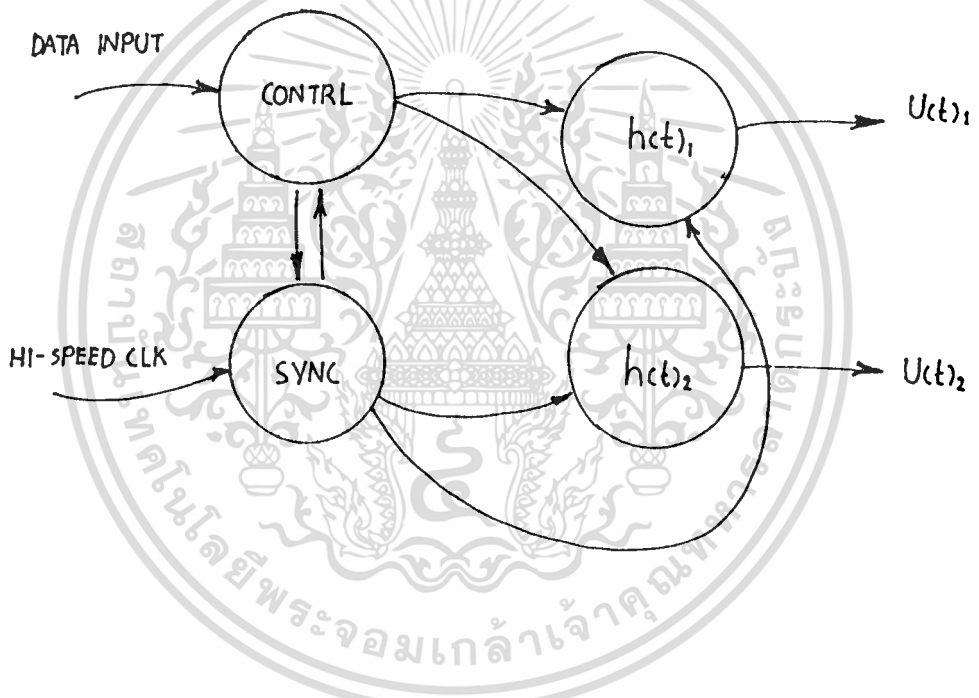
รูป 2.9 การนำ DSPT เข้าสู่ระบบ MULTIPLEX

026886
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3

การคำนวณและการสร้าง

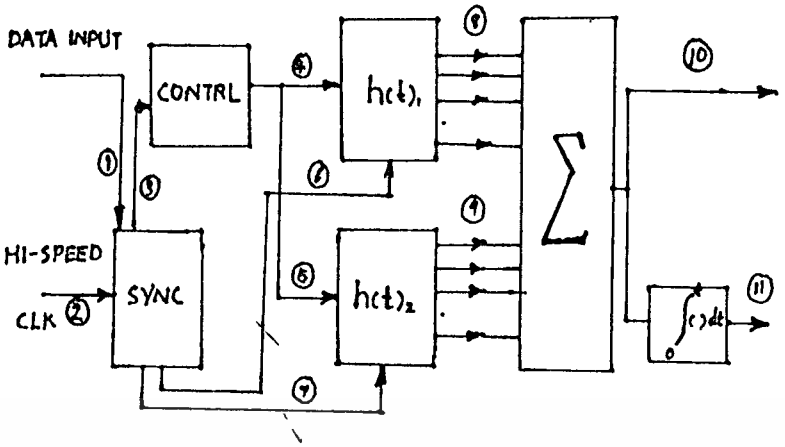
ก่อนอื่นเราต้องมาจัดสภาวะการทำงานของระบบเสียก่อน ซึ่งระบบนี้จะทำงานไปตามรูป 3.1



รูป 3.1 สภาวะการทำงานของระบบ DSPT

ระบบ DSPT ที่ผมได้ออกแบบมานี้ เอาท์พุท $U(t)_1$, $U(t)_2$ จะทำงานไปตามช่วงของสัญญาณข้อมูลทางด้าน อินพุท ดังสมการที่ได้กล่าวไว้ในตอนต้น ๆ โดยส่วนซิงโครไนซ์ (SYNCRONIZE) จะทำหน้าที่ควบคุมให้เวลาของ f(t-KT) เข้าไปยัง h(t) ได้ถูกต้อง ส่วนควบคุม (CONTROL) จะให้สัญญาณ f(t-KT) ไปยัง h(t) ทั้ง 2 ส่วน โดยแต่ละส่วนของระบบนี้จะมีสภาวะการทำงานต่าง ๆ เป็นไปตามรูป 3.2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 3.2 แสดงลักษณะสัญญาณในระบบ DSPT

① $x(t)$

② $x(t)/TK$

③ $x(t)$

④⑤ $x(t)/TK$

⑥ $x(t)_1$, $\overline{x(t)}_2$

⑦ $\overline{x(t)}_1$, $x(t)_2$

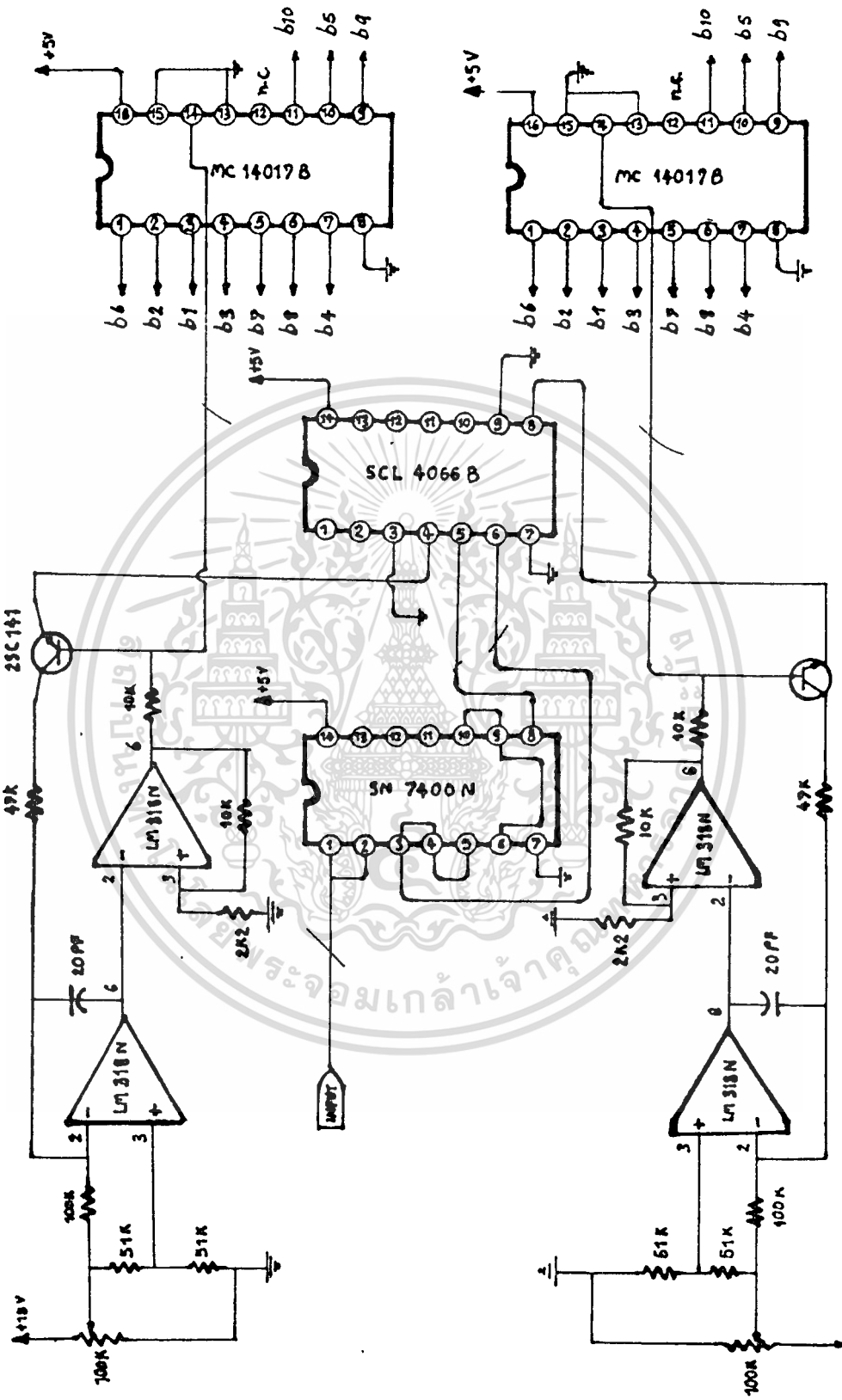
⑧ $x(t) \bullet h(t)_1 \left| [(x(t)_1, \overline{x(t)})_2] \right.$

⑨ $x(t) \bullet h(t)_2 \left| [\overline{(x(t)}_1, x(t)_2] \right.$

⑩ $x(t) \bullet [(h(t)_1 + h(t)_2)\ (x(t)_1, \overline{x(t)_2})]$

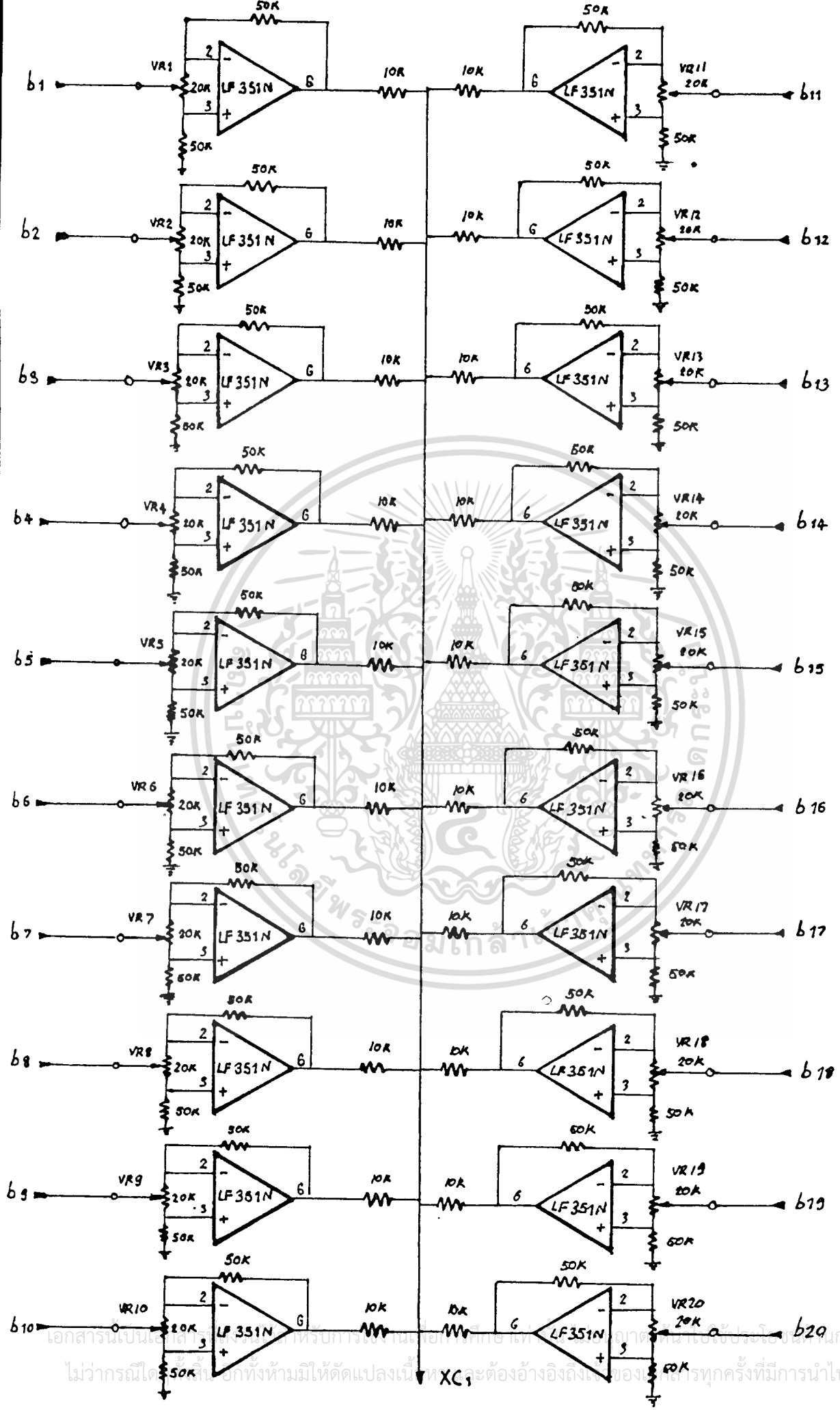
⑪ $\int_0^t x(t) \bullet [(h(t)_1 + h(t)_2)\ (x(t)_1, \overline{x(t)_2})]\, dt$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



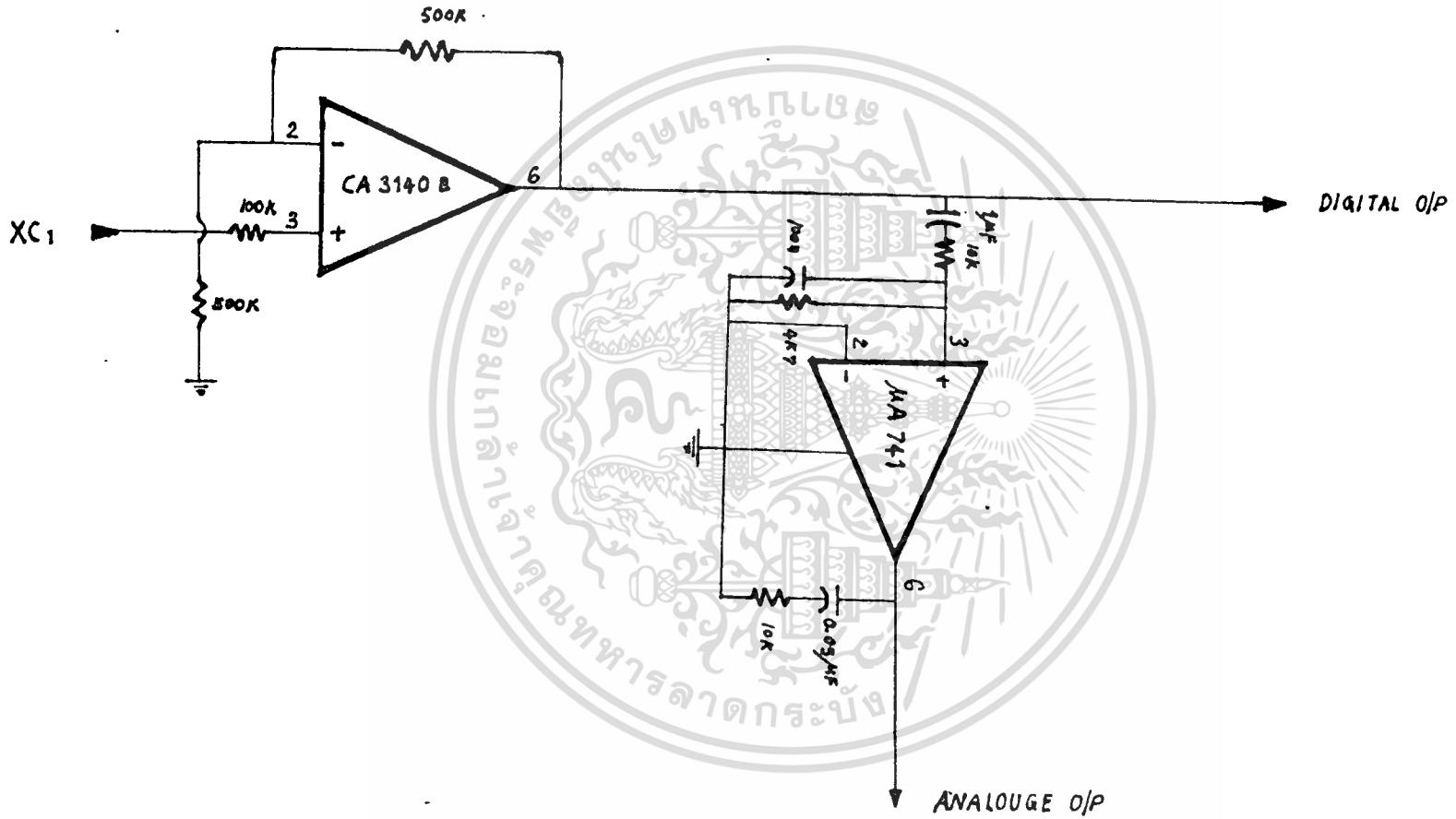
รูป 3.3 วงจรอินพุท คล็อกความเร็วสูง และ ซิงโครไนซ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 3.4 ตัวอย่างของวงจรแสดงฟังก์ชันปรับค่าได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

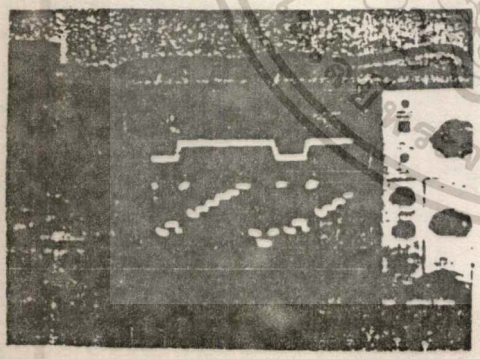


รูป 3.5 วงจร บวก และ อินทรีเกรเตอร์

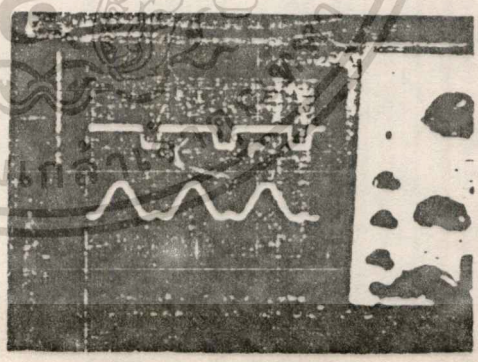
บทที่ 4

การทดลองและผลการทดลอง

DSPT นี้สามารถให้สัญญาณออกมาทั้ง ดิจิตอลและอะนาลอก ซึ่งสามารถใช้สังเคราะห์สัญญาณที่ง่าย ๆ ไปจนถึงยากมาก ซึ่งวงจรอื่นอาจทำไม่ได้หรือได้แต่อาจต้องใช้เวลาและความซับซ้อนมาก การทำงานของ DSPT นี้จะทำการสังเคราะห์สัญญาณ โดยมีสัญญาณดิจิตอล อินพุท ป้อนเข้ามาและมันจะสังเคราะห์สัญญาณไปตามสัญญาณดิจิตอลนั้น ดังนั้น DSPT จึงสามารถนำไปใช้เป็น ดิจิตอล มอดดูเลเตอร์ได้ การปรับ $h(t)$ นั้นก็ไม่ยาก โดยการปรับค่า ความต้านทาน ปรับค่าได้ เราก็สามารถจะจัดรูปแบบของ สัญญาณเอาท์พุทได้ สัญญาณ เอาท์พุทและอินพุทจะซิงโครไนซ์ไปพร้อม ๆ กัน จึงไม่เกิดปัญหาความผิดพลาดของการแปลงสัญญาณความสัมพันธ์ของ t_x กับ t_h จะต้องเป็นไปตามสมการ $nt_h = t_x$ ดังที่ได้กล่าวไว้ในตอนต้น บทที่ 2 แล้ว ระบบจึงจะมีความเสถียรภาพ สำหรับแบนด์วิธ ของระบบ DSPT นั้น สามารถกำหนดได้ด้วย อุปกรณ์ที่นำมาใช้งาน และสำหรับรูปแบบของสัญญาณต่าง ๆ ของ DSPT นั้น สามารถพิจารณาได้จากรูปข้างล่างนี้

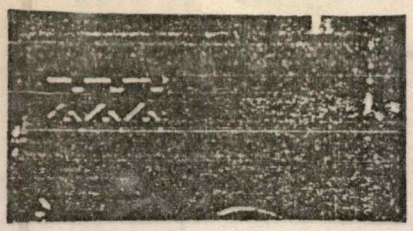


รูป 4.1
อินพุทและเอาท์พุทดิจิตอล

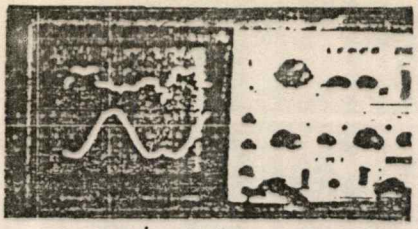


รูป 4.2
เอาท์พุท ดิจิตอลและอะนาลอก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 4.3
อินพุทและเอาท์พุทดิจิตอล



รูป 4.4
เอาท์พุท ดิจิตอลและอะนาลอก

การประยุกต์ใช้งานของ DSPT

- เป็น มอดดูเลเตอร์ สำหรับการสื่อสารข้อมูล อาทิเช่น PSK, FSK, MSK, etc.
- ใช้เป็นตัวสังเคราะห์สัญญาณ
- ใช้ทำงานร่วมกับตัวสังเคราะห์ความถี่ เป็นตัววิเคราะห์ของฟิลเตอร์ต่าง ๆ ได้
- ใช้เป็นตัวกำเนิดสัญญาณ แพทเทริน ในโทรทัศน์
- ใช้ร่วมกับเครื่องสังเคราะห์ความถี่ ทำเป็นเครื่องกำเนิดสัญญาณ วิดีโอ ได้
- ใช้ทำตัวลดค่าของ สัญญาณข้างเคียง (SIDE LOBE REDUCTION)
- ฯลฯ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5

สรุปและวิจารณ์

ดังที่ได้กล่าวถึงการนำไปใช้งานของ DSPT แล้วจะเห็นได้ว่า นำไปใช้ได้อย่างกว้างขวางหลายรูปแบบด้วยกัน เพราะการที่ให้กำเนิดสัญญาณ ดิจิตอลและอะนาลอก จึงเป็นความสมบูรณ์ของระบบ และการใช้งาน ก็เป็นไปได้อย่างง่าย เพียงเข้าใจพื้นฐานของระบบก็สามารถนำไปใช้งานได้เลย ดังนั้น กระบวนการกำเนิดสัญญาณจะไม่เป็นเรื่องยากอีกต่อไป และโดยเฉพาะอย่างยิ่ง ระบบ DSPT นี้สามารถถูก อินทรีเกรต ให้เป็นไมโครชิพ (MICRO CHIP) เพียงตัวเดียวได้ เพราะว่าระบบ DSPT นี้ค่อนข้างกระทัดรัดและมีความเที่ยงตรงและเสถียรภาพค่อนข้างสูง ในอนาคตเราอาจจะเห็น CHIP DSPT วางขายกันเกลื่อนกลาดก็ได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5

สรุปและวิจารณ์

ดังที่ได้กล่าวถึงการนำไปใช้งานของ DSPT แล้วจะเห็นได้ว่า นำไปใช้ได้อย่างกว้างขวางหลายรูปแบบด้วยกัน เพราะการที่ให้กำเนิดสัญญาณ ดิจิตอลและอะนาลอก จึงเป็นความสมบูรณ์ของระบบและการใช้งาน ก็เป็นไปได้อย่างง่าย เพียงเข้าใจพื้นฐานของระบบก็สามารถนำไปใช้งานได้เลย ดังนั้น กระบวนการกำเนิดสัญญาณจะไม่เป็นเรื่องยากอีกต่อไป และโดยเฉพาะอย่างยิ่ง ระบบ DSPT นี้สามารถถูก อินทรีเกรต ให้เป็นไมโครชิพ (MICRO CHIP) เพียงตัวเดียวได้ เพราะว่าระบบ DSPT นี้ค่อนข้างกระทัดรัดและมีความเที่ยงตรงและเสถียรภาพค่อนข้างสูง ในอนาคตเราอาจจะเห็น CHIP DSPT วางขายกันเกลื่อนกลาดก็ได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SCL4017AB

CMOS DECADE COUNTER/DIVIDER

FEATURES

- 10 Decoded Decimal Outputs
- Direct Reset
- Trigger from either Edge of Clock Input
- Carry Output for Cascading Stages
- Fully Static Operation - DC to 5MHz @ 10Vdc

DESCRIPTION

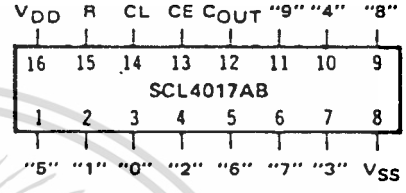
The SCL4017AB consists of a 5-stage Johnson Decade Counter and an Output Decoder. Inputs include Clock, Reset, and Clock Enable signals.

The counter has interchangeable Clock and Clock Enable lines for incrementing on either a positive-going or negative-going transition, respectively. A high Reset signal clears the counter to its zero count.

Use of the Johnson decade counter configuration permits high-speed operation, 2-input decode gating, and spike-free decoded outputs. Anti-lock gating is provided, thus assuring proper counting sequence. The 10 decoded outputs are normally low and go high only at their respective decoded time slot. Each decoded output remains high for one full clock cycle. A Carry-out (C_{OUT}) signal completes one cycle every 10 clock input cycles and is used to directly clock the succeeding counter in multi-stage applications.

This part can be used in frequency division circuits as well as decade counter or decimal decode display applications.

CONNECTION DIAGRAM
(all packages)



Add suffix for package:

C	16-pin Cerdip
D	16-pin Ceramic
E	16-pin Epoxy
F	16-pin Flat
H	Chip

RECOMMENDED OPERATING CONDITIONS

For maximum reliability:

DC Supply Voltage	$V_{DD} - V_{SS}$	3 to 15	Vdc
Operating Temperature	T_A		
C, D, F, H Device		-55 to +125	°C
E Device		-40 to +85	°C

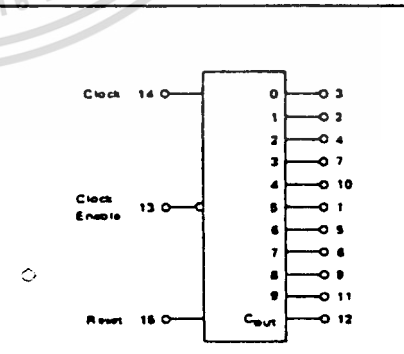
FUNCTIONAL TRUTH TABLE
(Positive Logic)

Clock	Clock Enable	Reset	Decode Output = n
0	X	0	n
X	1	0	n
X	X	1	"0"
⌒	0	0	n + 1
⌒	X	0	n
X	⌒	0	n
1	⌒	0	n + 1

x = Don't Care

If n < 5 Carry = "1", Otherwise = "0"

BLOCK DIAGRAM



VDD = Pin 16
VSS = Pin 8

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS

STATIC CHARACTERISTICS [1]

PARAMETER		V_{DD} (Vdc)	CONDITIONS	T_{LOW} [2] Min.	T_{LOW} [2] Max.	+25°C Min.	+25°C Typ.	+25°C Max.	T_{HIGH} [2] Min.	T_{HIGH} [2] Max.	Units
QUIESCENT DEVICE CURRENT	I_{DD}	5	$V_{IN}=V_{SS}$ or V_{DD}	–	5	–	0.05	5	–	150	µAdc
		10	All valid input	–	10	–	0.1	10	–	300	
		15	combinations	–	20	–	0.2	20	–	600	
OUTPUT HIGH (SOURCE) CURRENT											
C, D, F, H device	I_{OH}										
Decoded Outputs		5	V_{OH} = 4.6V	-0.05	–	-0.04	-0.3	–	-0.028	–	mAdc
		10	V_{OH} = 9.5V	-0.125	–	-0.1	-0.75	–	-0.07	–	
		15	V_{OH} = 13.5V	-0.375	–	-0.3	-2.5	–	-0.21		
			$V_{IN}=V_{SS}$ or V_{DD}								
Carry Output		5	V_{OH} = 4.6V	-0.25	–	-0.2	-0.75	–	-0.14	–	mAdc
		10	V_{OH} = 9.5V	-0.62	–	-0.5	-1.1	–	-0.35	–	
		15	V_{OH} = 13.5V	-1.9	–	-1.5	-3.5	–	-1.1	–	
			$V_{IN}=V_{SS}$ or V_{DD}								
E device	I_{OH}										
Decoded Outputs		5	V_{OH} = 4.6V	-0.048	–	-0.04	-0.3	–	-0.032	–	mAdc
		10	V_{OH} = 9.5V	-0.12	–	-0.1	-0.75	–	-0.08	–	
		15	V_{OH} = 13.5V	-0.36	–	-0.3	-2.5	–	-0.24	–	
			$V_{IN}=V_{SS}$ or V_{DD}								
Carry Output		5	V_{OH} = 4.6V	-0.24	–	-0.2	-0.75	–	-0.16	–	mAdc
		10	V_{OH} = 9.5V	-0.6	–	-0.5	-1.1	–	-0.4	–	
		15	V_{OH} = 13.5V	-1.8	–	-1.5	-3.5	–	-1.2	–	
			$V_{IN}=V_{SS}$ or V_{DD}								
OUTPUT LOW (SINK) CURRENT											
C, D, F, H device	I_{OL}										
Decoded Outputs		5	V_{OL} = 0.4V	0.05	–	0.04	0.4	–	0.028	–	mAdc
		10	V_{OL} = 0.5V	0.125	–	0.1	1.0	–	0.07	–	
		15	V_{OL} = 1.5V	0.375	–	0.3	3.0	–	0.21	–	
			$V_{IN}=V_{SS}$ or V_{DD}								
Carry Output		5	V_{OL} = 0.4V	0.25	–	0.2	0.75	–	0.14	–	mAdc
		10	V_{OL} = 0.5V	0.62	–	0.5	1.3	–	0.35	–	
		15	V_{OL} = 1.5V	1.9	–	1.5	4.0	–	1.1	–	
			$V_{IN}=V_{SS}$ or V_{DD}								
E device	I_{OL}										
Decoded Outputs		5	V_{OL} = 0.4V	0.048	–	0.04	0.4	–	0.032	–	mAdc
		10	V_{OL} = 0.5V	0.12	–	0.1	1.0	–	0.08	–	
		15	V_{OL} = 1.5V	0.36	–	0.3	3.0	–	0.24	–	
			$V_{IN}=V_{SS}$ or V_{DD}								
Carry Output		5	V_{OL} = 0.4V	0.24	–	0.2	0.75	–	0.16	–	mAdc
		10	V_{OL} = 0.5V	0.6	–	0.5	1.3	–	0.4	–	
		15	V_{OL} = 1.5V	1.8	–	1.5	4.0	–	1.2	–	
			$V_{IN}=V_{SS}$ or V_{DD}								

NOTES: [1] Remaining Static Electrical Characteristics are listed under "SCL4000B Series Family Specifications".

[2] T_{LOW} = -55°C for C, D, F, H device.
= -40°C for E device.
T_{HIGH} = +125°C for C, D, F, H device.
= + 85°C for E device.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

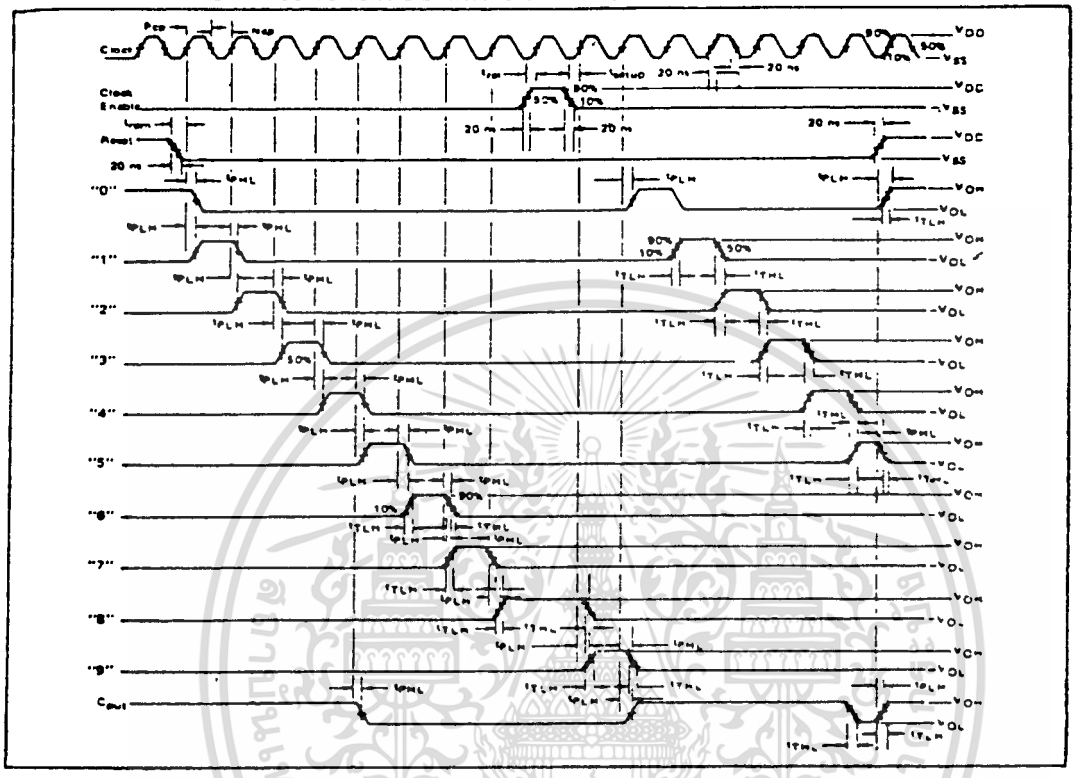
ELECTRICAL CHARACTERISTICS (Continued)

DYNAMIC CHARACTERISTICS (C_L = 50pF, T_A = 25°C)

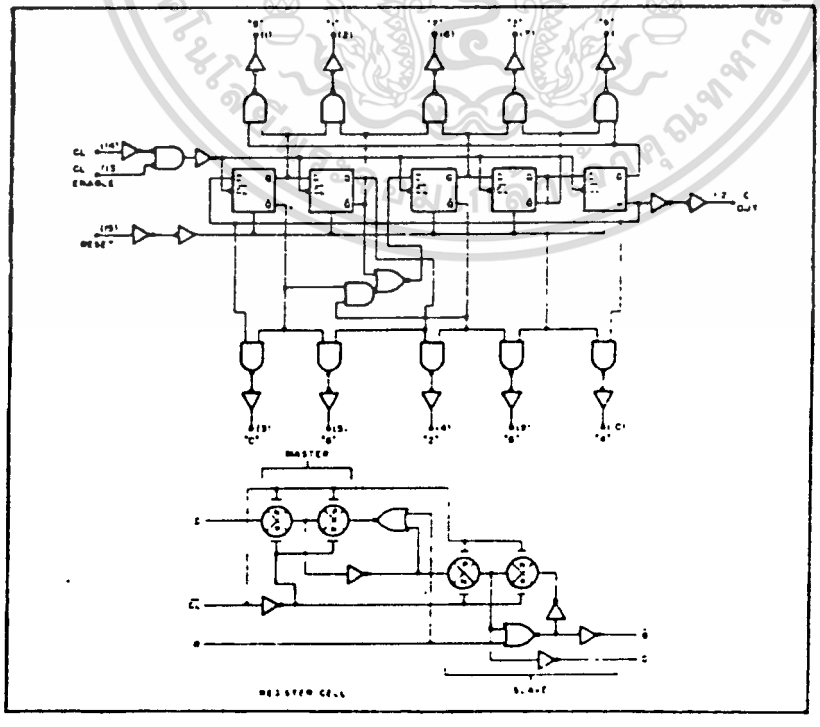
PARAMETER		V_{DD} (Vdc)	Min.	Typ.	Max.	Units
CLOCKED OPERATION						
PROPAGATION DELAY TIME						
To Decoded Outputs	t_{PLH}, t_{PHL}	5	–	600	1200	ns
		10	–	240	480	
		15	–	180	360	
To Carry Output	t_{PLH}, t_{PHL}	5	–	500	1000	ns
		10	–	200	400	
		15	–	150	300	
OUTPUT TRANSITION TIME						
Decoded Outputs	t_{TLH}, t_{THL}	5	–	250	500	ns
		10	–	125	250	
		15	–	90	180	
Carry Output	t_{TLH}, t_{THL}	5	–	180	360	ns
		10	–	90	180	
		15	–	65	130	
MINIMUM CLOCK PULSE WIDTH	PW_{CL}	5	–	200	400	ns
		10	–	100	200	
		15	–	80	160	
MAXIMUM CLOCK FREQUENCY	f_{CL}	5	1.25	2.5	–	MHz
		10	2.5	5.0	–	
		15	3.0	6.0	–	
MAXIMUM CLOCK OR ENABLE RISE AND FALL TIME	t_{rCL}, t_{fCL}	5	15	–	–	μs
		10	15	–	–	
		15	5	–	–	
MINIMUM ENABLE SETUP TIME	t_{setup}	5	–	175	350	ns
		10	–	75	150	
		15	–	55	110	
MINIMUM ENABLE REMOVAL TIME	t_{rem}	5	–	250	500	ns
		10	–	100	200	
		15	–	75	150	
RESET OPERATION						
PROPAGATION DELAY TIME						
To Decoded Outputs	t_{PLH}, t_{PHL}	5	–	500	1000	ns
		10	–	200	400	
		15	–	140	280	
To Carry Output	t_{PLH}	5	–	400	800	ns
		10	–	150	300	
		15	–	110	220	
MINIMUM RESET PULSE WIDTH	PW_R	5	–	150	300	ns
		10	–	75	150	
		15	–	60	120	
RESET REMOVAL TIME	t_{rem}	5	–	250	500	ns
		10	–	100	200	
		15	–	80	160	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC MEASUREMENT DEFINITION AND FUNCTIONAL WAVEFORMS



LOGIC DIAGRAM

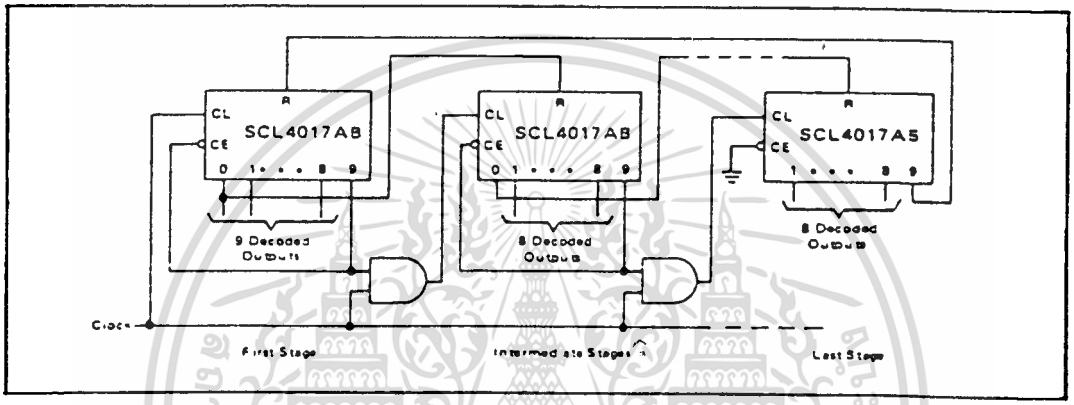


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

APPLICATIONS INFORMATION

COUNTER EXPANSION

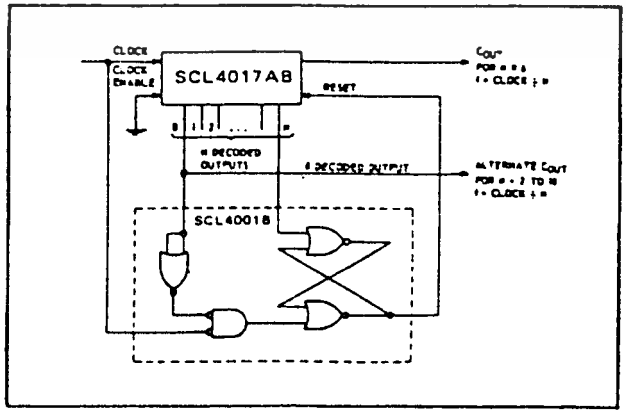
This figure shows a technique for extending the number of decoded output states for the SCL4017AB. Decoded outputs are sequential within each stage and from stage to stage, with no dead time (except propagation delay).



DIVIDE-BY-N COUNTER

When the Nth decoded output is reached (Nth clock pulse), the S-R flip-flop (constructed from the SCL4001B) generates a reset pulse which clears the SCL4017AB to its zero count. At this time, if the Nth decoded output is greater than or equal to 6, the C_{OUT} line goes high to clock the next counter section. The "0" decoded output also goes high at this time. Coincidence of the clock "low" and decoded "0" output "high" resets the S-R flip-flop to enable the SCL4017AB.

If the Nth decoded output is less than 6, the C_{OUT} line will not go high, and, therefore, cannot be used. In this case, the "0" decoded output may be used to perform the clock function for the next counter.



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SCL4018B

CMOS PRESETTABLE DIVIDE-BY-N COUNTER

FEATURES

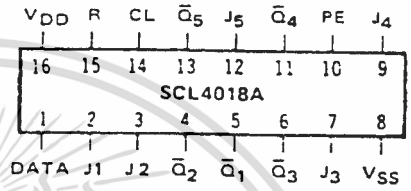
- Divide by any Number Between 2 and 10 with One External Gate
- Johnson Counter Configuration for Spike-Free Counting
- Fully Static operation - DC to 5MHz @ 10Vdc

DESCRIPTION

The SCL4018B consists of 5 Johnson Counter stages, buffered Q outputs from each stage, and counter preset control gating. Clock, Reset, Data, Preset Enable, and 5 individual Jam inputs are provided. Divide-by 10, 8, 6, 4, or 2 counter configurations can be implemented by feeding the Q5, Q4, Q3, Q2, Q1 signals, respectively, back to the Data input. Divide-by-9, 7, 5, or 3 counter configurations can be implemented by use of a single SCL4081B gate to properly gate the feedback connections to the Data input. Divide-by functions greater than 10 can be achieved by use of multiple SCL4018B units. The counter is advanced one count at the positive clock-signal transition. A high Reset signal clears the counter to an all-zero condition. A high Preset-Enable signal allows information on the Jam inputs to preset the counter. Reset and Preset gating is provided to assure the proper counting sequence.

This device is particularly useful in frequency-division and control applications.

CONNECTION DIAGRAM
(all packages)



Add suffix for package:

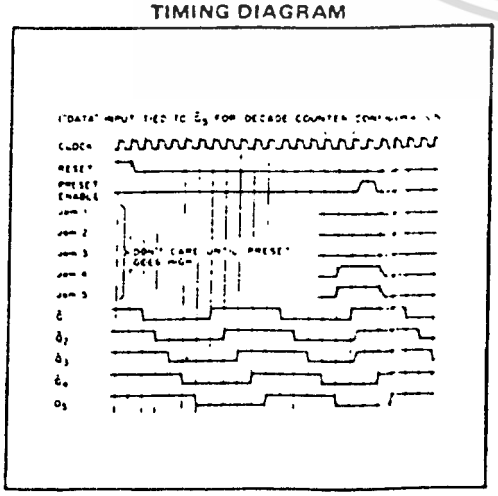
- C 16-pin Cerdip
- D 16-pin Ceramic
- E 16-pin Epoxy
- F 16-pin Flat
- H Chip

RECOMMENDED OPERATING CONDITIONS

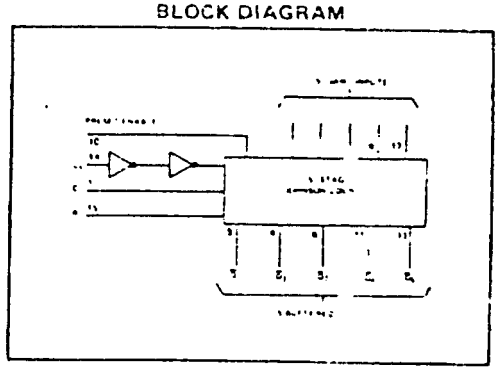
For maximum reliability:

DC Supply Voltage	$V_{DD} - V_{SS}$	3 ... 15	Vdc
Operating Temperature	T_A		
C, D, F, H Device		-55 to +125	°C
E Device		-40 to +85	°C

TIMING DIAGRAM



BLOCK DIAGRAM



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

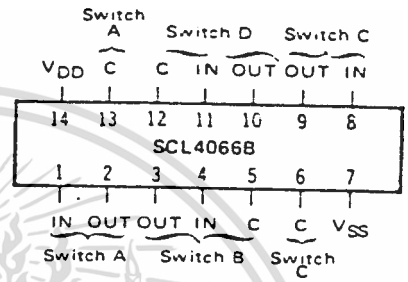
SCL4066B

CMOS QUAD ANALOG SWITCH

FEATURES

- Transmission or Multiplexing of Analog or Digital Signals
- 80Ω Typical ON-Resistance for 15-Volt operation
- Switch ON-Resistance Matched to within 5Ω over 15-Volt Signal-Input Range
- ON-Resistance Flat over Full Peak-to-Peak Signal Range
- High Degree of Linearity:
  ≤0.5% Distortion (typ) @ f_{is} = 1kHz, V_{is} = $5V_{p-p}$, V_{DD}-V_{SS} ≥ 10V, R_L = 10kΩ
- Extremely Low OFF switch Leakage Resulting in very Low Offset Current and High Effective OFF Resistance:
  10pA (typ) @ V_{DD}-V_{SS} = 10V, T_A = 25°C
- Extremely High Control Input Impedance (Control Circuit Isolated from Signal Circuit):
  10^{12}Ω (typ)
- Low Crosstalk between Switches:
  -50dB (typ) @ f_{is} = 0.9MHz, R_L = 1kΩ
- Matched Control-Input to Signal-Output Capacitance Reduces Output Signal Transients
- Frequency Response, Switch ON = 40MHz (typ)

CONNECTION DIAGRAM
(all packages)



Add suffix for package:

C	14-pin Cerdip	F	14-pin Flat
D	14-pin Ceramic	H	Chip
E	14-pin Epoxy		

RECOMMENDED OPERATING CONDITIONS

For maximum reliability:

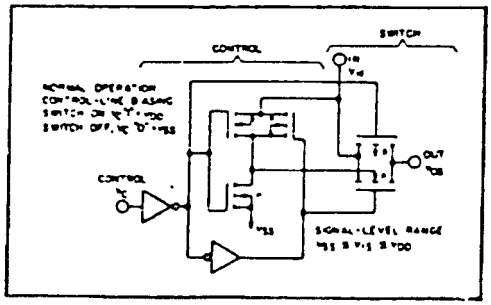
DC Supply Voltage	V_{DD} - V_{SS}	3 to 15	Vdc
Operating Temperature	T_A		
C, D, F, H Device		-55 to +125	°C
E Device		-40 to +85	°C

DESCRIPTION

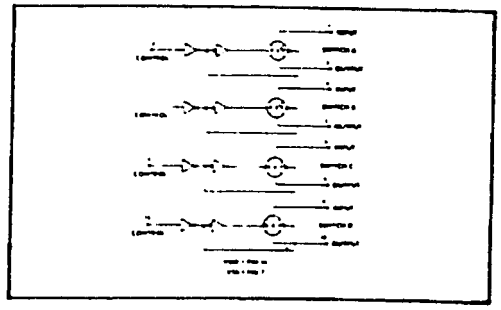
The SCL4066B is a Quad Bilateral Switch intended for the transmission or multiplexing of analog or digital signals. It is pin-for-pin compatible with the SCL4016B, but exhibits a much lower ON-resistance. In addition, the ON-resistance is relatively constant over the full input signal range. The SCL4066 consists of four independent bilateral switches. A single control signal is required per switch. Both the P and the N device in a given switch are biased ON or OFF simultaneously by the control signal. As shown below, the well of the N-channel device on each switch is either tied to the input when the switch is ON or to V_{SS} when the switch is OFF. This configuration minimizes the variation of the switch-transistor threshold voltage with input-signal, and thus keeps the ON-resistance low over the full operating range.

The advantages over single-channel switches include peak input-signal voltage swings equal to the full supply voltage, and more constant ON-impedance over the input-signal range. For sample-and-hold applications, however, the SCL4016 is recommended.

SCHEMATIC DIAGRAM (one of four switches)



LOGIC DIAGRAM



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

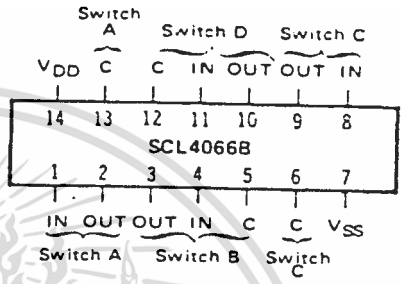
SCL4066B

CMOS QUAD ANALOG SWITCH

FEATURES

- Transmission or Multiplexing of Analog or Digital Signals
- 80Ω Typical ON-Resistance for 15-Volt operation
- Switch ON-Resistance Matched to within 5Ω over 15-Volt Signal-Input Range
- ON-Resistance Flat over Full Peak-to-Peak Signal Range
- High Degree of Linearity:
  ≤0.5% Distortion (typ) @ f_{is} = 1kHz, V_{is} = $5V_{p-p}$, V_{DD}-V_{SS} ≥ 10V, R_L = 10kΩ
- Extremely Low OFF switch Leakage Resulting in very Low Offset Current and High Effective OFF Resistance:
  10pA (typ) @ V_{DD}-V_{SS} = 10V, T_A = 25°C
- Extremely High Control Input Impedance (Control Circuit Isolated from Signal Circuit):
  10^{12}Ω (typ)
- Low Crosstalk between Switches:
  -50dB (typ) @ f_{is} = 0.9MHz, R_L = 1kΩ
- Matched Control-Input to Signal-Output Capacitance Reduces Output Signal Transients
- Frequency Response, Switch ON = 40MHz (typ)

CONNECTION DIAGRAM
(all packages)



Add suffix for package:

C	14-pin Cerdip	F	14-pin Flat
D	14-pin Ceramic	H	Chip
E	14-pin Epoxy		

RECOMMENDED OPERATING CONDITIONS

For maximum reliability:

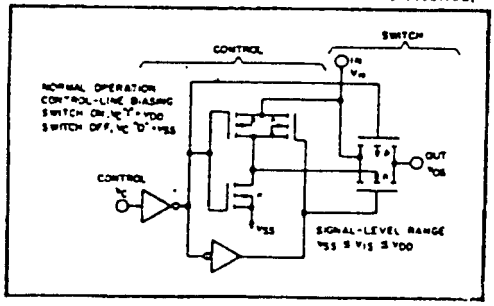
DC Supply Voltage	V_{DD}-V_{SS}	3 to 15	Vdc
Operating Temperature	T_A		
C, D, F, H Device		-55 to +125	°C
E Device		-40 to +85	°C

DESCRIPTION

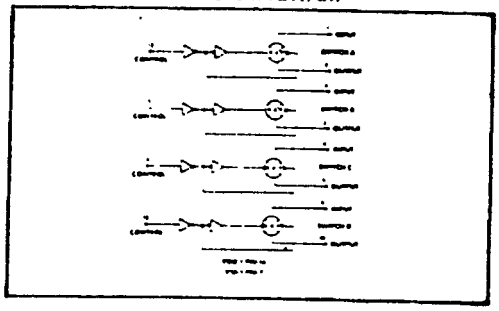
The SCL4066B is a Quad Bilateral Switch intended for the transmission or multiplexing of analog or digital signals. It is pin-for-pin compatible with the SCL4016B, but exhibits a much lower ON-resistance. In addition, the ON-resistance is relatively constant over the full input signal range. The SCL4066 consists of four independent bilateral switches. A single control signal is required per switch. Both the P and the N device in a given switch are biased ON or OFF simultaneously by the control signal. As shown below, the well of the N-channel device on each switch is either tied to the input when the switch is ON or to V_{SS} when the switch is OFF. This configuration minimizes the variation of the switch-transistor threshold voltage with input-signal, and thus keeps the ON-resistance low over the full operating range.

The advantages over single-channel switches include peak input-signal voltage swings equal to the full supply voltage, and more constant ON-impedance over the input-signal range. For sample-and-hold applications, however, the SCL4016 is recommended.

SCHEMATIC DIAGRAM (one of four switches)



LOGIC DIAGRAM



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS

STATIC CHARACTERISTICS [1,3]

PARAMETER		CONDITIONS	V_{SS} (Vdc)	V_{DD} (Vdc)	T_{LOW} [2] Min.	T_{LOW} [2] Max.	25°C Min.	25°C Typ	25°C Max.	T_{HIGH} [2] Min.	T_{HIGH} [2] Max.	Units
QUIESCENT DEVICE CURRENT	I_{DD}	$V_{IN} = V_{SS}$ or V_{DD}	0	5	–	0.05	–	0.0005	0.05	–	1.5	μAdc
		All valid input	0	10	–	0.1	–	0.001	0.1	–	3.0	
		combinations	0	15	–	0.2	–	0.002	0.2	–	6.0	
MINIMUM INPUT HIGH VOLTAGE (Control Input)	V_{IH}	$V_{IS} = V_{SS}$	0	5	–	4.0	–	2.75	4.0	–	4.0	Vdc
		$V_{OS} = V_{DD}$	0	10	–	8.0	–	5.5	8.0	–	8.0	
		$I_{OS} = 10\mu A$	0	15	–	12.0	–	8.25	12.0	–	12.0	
MAXIMUM INPUT LOW VOLTAGE (Control Input)	V_{IL}	$V_{IS} = V_{SS}$	0	5	1.0	–	1.0	2.25	–	1.0	–	Vdc
		$V_{OS} = V_{DD}$	0	10	2.0	–	2.0	4.5	–	2.0	–	
		$I_{OS} = 10\mu A$	0	15	3.0	–	3.0	6.75	–	3.0	–	
SWITCH INPUT/OUTPUT LEAKAGE	I_{OFF}	$V_C = V_{SS}$	-7.5	+7.5	–	±100	–	±0.01	±100	–	±200	nAdc
		$V_{IS} = \pm 7.5$Vdc										
ON RESISTANCE C,D,F,H device	R_{ON}	$V_C = V_{DD}$	-7.5	+7.5	–	220	–	80	280	–	320	Ω
		$V_{SS} \leq V_{IS} \leq V_{DD}$	0	+15								
		$R_L = 10k\Omega$	-5	+5	–	310	–	120	400	–	550	Ω
			0	+10								
			-2.5	+2.5	–	2000	–	270	2500	–	3500	Ω
			0	+5								
E device	R_{ON}	$V_C = V_{DD}$	-7.5	+7.5	–	250	–	80	280	–	300	Ω
		$V_{SS} \leq V_{IS} \leq V_{DD}$	0	+15								
		$R_L = 10k\Omega$	-5	+5	–	330	–	120	400	–	520	Ω
			0	+10								
			-2.5	+2.5	–	2100	–	270	2500	–	3200	Ω
			0	+5								
ON RESISTANCE MATCH (Same package)	ΔR_{ON}	$V_C = V_{DD}$	-7.5	+7.5	–	–	–	5	–	–	–	Ω
		$V_{SS} \leq V_{IS} \leq V_{DD}$	0	+15								
		$R_L = 10k\Omega$	-5	+5	–	–	–	10	–	–		Ω
			0	+10								
			-2.5	+2.5	–	–	–	10	–	–		Ω
			0	+5								

NOTES. [1] Remaining Static Electrical Characteristics are listed under "SCL4000B Series Family Specifications"

[2] T_{LOW} = -55°C for C, D, F, H device.
= -40°C for E device
T_{HIGH} = +125°C for C, D, F, H device.
= + 85°C for E device.

[3] This device has been designed for balanced output drive current specifications. Consult Family Specifications.

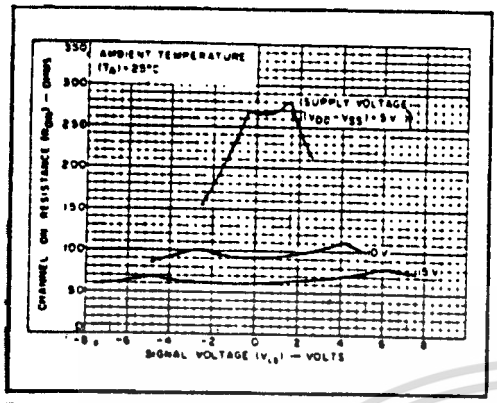
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS (Continued)

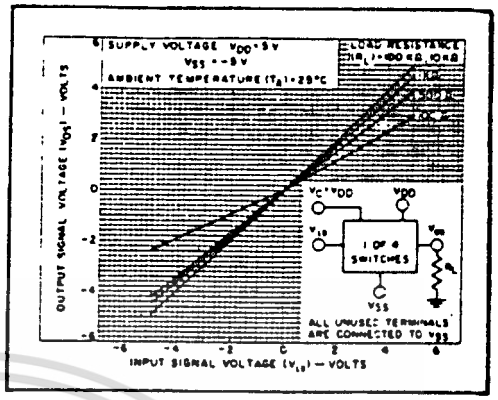
DYNAMIC CHARACTERISTICS (C_L = 50pF, T_A = 25°C)

PARAMETER		CONDITIONS	V_{SS} (Vdc)	V_{DD} (Vdc)	Min.	Typ.	Max.	Units
SIGNAL INPUTS (V_{is}) AND OUTPUTS (V_{os})								
PROPAGATION DELAY TIME	t_{PLH}, t_{PHL}	V_C=V_{DD}						
Signal Input to Signal Output		V_{is}=Square Wave	0	5	–	20	40	ns
			0	10	–	10	20	
		R_L = 10kΩ	0	15	–	7.5	15	
BANDWIDTH (-3dB)	BW	V_C=V_{DD} R_L						
(Sine Wave)		V_{is}=5V_{p-p} 1kΩ	-5	+5	–	54	–	MHz
		centered 10kΩ			–	40	–	
		@ 0.0Vdc 100kΩ			–	38	–	
		1MΩ			–	37	–	
INSERTION LOSS								
(=20 $\log_{10}\frac{V_{os}}{V_{is}}$)		V_C=V_{DD} R_L						
		V_{is}=5V_{p-p} 1kΩ	-5	+5	–	2.3	–	dB
		centered 10kΩ			–	0.2	–	
		@ 0.0Vdc 100kΩ			–	0.1	–	
		1MΩ			–	0.05	–	
SIGNAL DISTORTION		V_C=V_{DD}	-5	+5	–	0.16	–	%
(Sine Wave)		V_{is}=5V_{p-p} centered @ 0.0Vdc f_{is}=1.0kHz R_L = 10kΩ						
FEEDTHROUGH (-50dB)		V_C=V_{SS} R_L						
		V_{is}=5V_{p-p} 1kΩ	-5	+5	–	1250	–	kHz
		centered 10kΩ			–	140	–	
		@0.0Vdc 100kΩ			–	18	–	
		1MΩ			–	2	–	
CROSSTALK (-50dB)		V_C(A)=V_{DD}	-5	+5	–	0.9	–	MHz
Between two switches		V_C(B)=V_{SS} V_{is}(A)=5V_{p-p} centered @0.0Vdc R_L = 10kΩ						
CAPACITANCE								
Input	C_{is}				–	8	–	pF
Output	C_{os}	V_C = V_{SS}	-5	+5	–	8	–	pF
Feedthrough	C_{os}				–	0.5	–	pF
CONTROL INPUT (V_C)								
PROPAGATION DELAY TIME	t_{PC}	V_{SS}≤V_{is}≤V_{DD}	0	5	–	50	100	ns
Turn on		R_L = 10kΩ	0	10	–	25	50	
			0	15	–	20	40	
MAXIMUM INPUT	f_c	V_{SS}≤V_{is}≤V_{DD}	0	5	–	5	–	MHz
FREQUENCY		R_L = 1.0kΩ	0	10	–	10	–	
			0	15	–	12	–	
CROSSTALK								
(To signal port)		V_c=Square Wave	0	5	–	30	–	mV
		R_L = 10kΩ	0	10	–	50	–	
		R_{in} = 1.0kΩ	0	15	–	100	–	

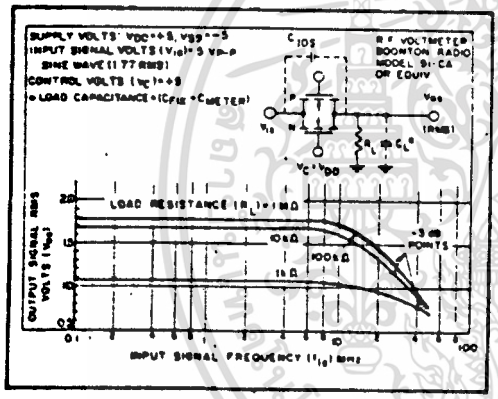
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



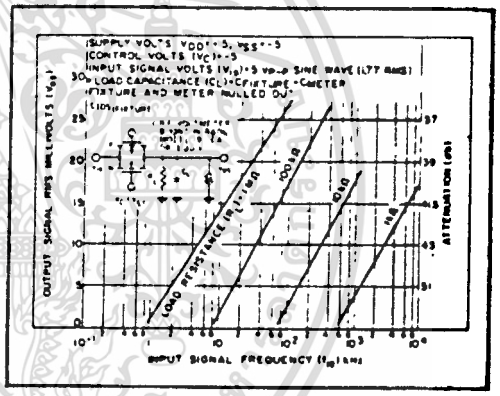
Typical channel ON resistance vs. signal voltage for three values of supply voltage (V_{DD}-V_{SS})



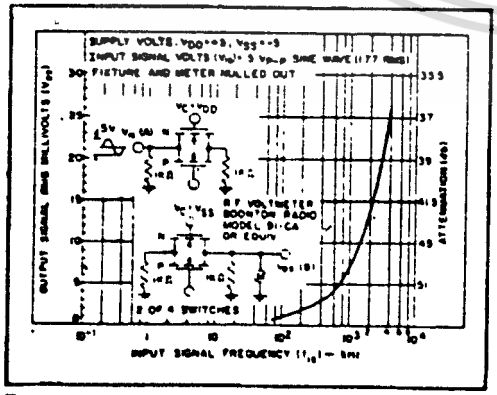
Typical ON characteristics for 1 of 4 channels.



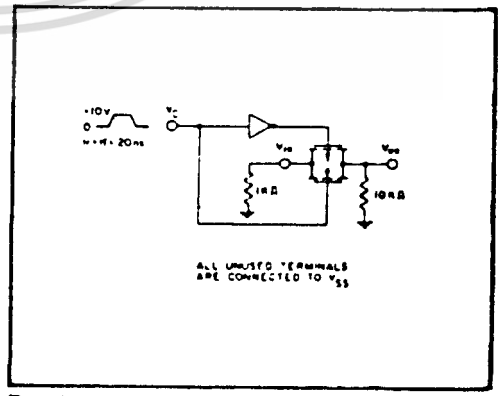
Typ. switch frequency response - switch "ON"



Typ. feedthru vs. freq. — switch "OFF"



Typ. crosstalk between switch circuits in the same package



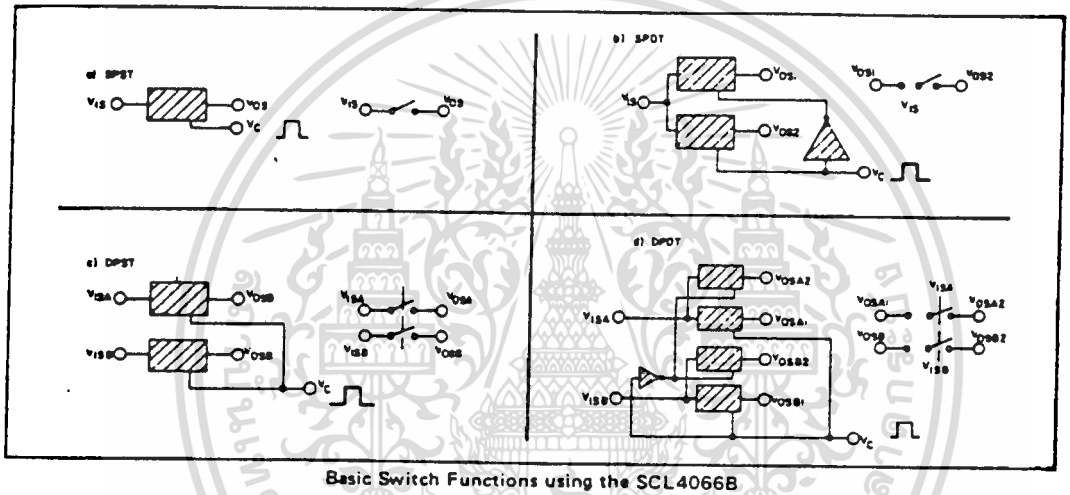
Test circuit, crosstalk-control input to signal output

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

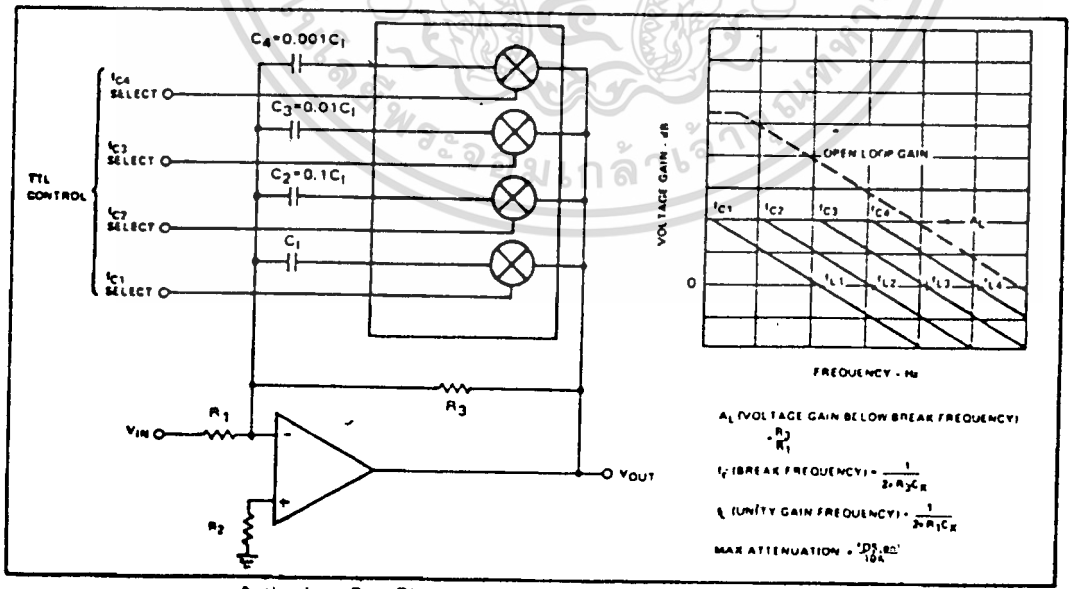
SPECIAL CONSIDERATIONS – SCL4066B

1. In applications where separate power sources are used to drive V_{DD} and the signal inputs, the V_{DD} current capability should exceed V_{DD}/R_L (R_L = effective external load of the 4 SCL4066B bilateral switches). This provision avoids any permanent current flow or clamp action on the V_{DD} supply when power is applied or removed from SCL4066B.
2. In certain applications, the external load-resistor current may include both V_{DD} and signal-line components. To avoid drawing V_{DD} current when switch current flows into terminals 1, 4, 8, or 11, the voltage drop across the bidirectional switch must not exceed 0.8 volt (calculated from R_{ON} values shown).
   No V_{DD} current will flow through R_L if the switch current flows into terminals 2, 3, 9, or 10. Failure to observe this condition may result in distortion of the signal.

APPLICATIONS INFORMATION



Basic Switch Functions using the SCL4066B



Active Low Pass Filter with Digitally Selected Break Frequency

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5400 / 7400 Quadruple 2-Input Positive-NAND Gate

	Schottky TTL		High-Speed TTL		Low-Power Schottky TTL		Standard TTL		Low-Power TTL	
	Device Type	Package C P M CF	Device Type	Package C P M CF	Device Type	Package C P M CF	Device Type	Package C P M CF	Device Type	Package C P M CF
T.I.	SN54S00 SN74S00	J N W	SN54H00 SN74H00	J N W	SN54LS00 SN74LS00	J N W	SN5400 SN7400	J N W2	SN54L00 SN74L00	J N W2
FAIRCHILD	FJH101 FJH131 FJH201 FJH231 FJH241 FJH251 FJH261 FJH271 FJH281 FJH291 FJH301 FJH311 FJH321 FJH331 FJH341 FJH351 FJH361 FJH371 FJH381 FJH391 FJH401 FJH411 FJH421 FJH431 FJH441 FJH451 FJH461 FJH471 FJH481 FJH491 FJH501 FJH511 FJH521 FJH531 FJH541 FJH551 FJH561 FJH571 FJH581 FJH591 FJH601 FJH611 FJH621

กิตติกรรมประกาศ

ความสำเร็จที่ข้าพเจ้าได้รับในการทำปริญญานิพนธ์นี้นั้น ข้าพเจ้าต้องขอขอบพระคุณท่าน อาจารย์ ด.ร.กนก เจนจิระพงศ์เวช ที่ได้ให้ความช่วยเหลือทั้งในด้าน คำปรึกษาและเอื้ออำนายในด้านวัสดุอุปกรณ์ จนกระทั่งสำเร็จด้วยดี ข้าพเจ้าจึงขอขอบพระคุณท่านไว้ ณ. ที่นี้

วินัย แซ่ไต๋

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หนังสืออ้างอิง

1. F. Amoroso, "The bandwidth of digital data signal", IEEE - Communication magazine, Vol. 18, 1980, pp. 13 - 24.

2. E.T. Powner, D.H.Green and A.T.Taylor, "Digital Waveform systhesis", IEEE Communication magazine, Vol. 17, 1982, pp. 14 - 22.

3. A.R. Sudal, "Optimization of binary transversal filter", IEEE Trans. or communication, Vol. Com - 31, No. 3, 1983, pp. 836 - 838.

4. B.P. Lathi, "Modern digital and analog communication system", Rinehart & Winston, 707 p. 1983.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้