



ปีการศึกษา 2532

เครื่องป้องกันการตกฟังเสียงแบบติดจอตอล

จัดทำโดย

นาย คงศักดิ์ เกียรติทัต 31.3301

นาย วุฒิพงศ์ ปัทมวิสุทธิ 31.3315

อาจารย์ที่ปรึกษา

ผศ.ดร กนก เจนจิระพงศ์เวช

อ. กฤดากร กล่อมการ

ปริญญานิพนธ์ปีการศึกษา 2532

ภาควิชา เทคโนโลยีอุตสาหกรรม

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหาร ลาดกระบัง

เรื่อง เครื่องป้องกันการดักฟังเสียงแบบดิจิตอล

ผู้จัดทำ

1. นาย คงศักดิ์ เกียรติทับทิว 31.3301 ET 2N
2. นาย วุฒิพงศ์ ปัทมวิสุทธิ 31.3315 ET 2N

.....อาจารย์ที่ปรึกษา
(..... รศ.ดร. เฉลิมพร.....)

.....อาจารย์ที่ปรึกษา
(..... รศ.ดร. เฉลิมพร.....)

.....อาจารย์ที่ปรึกษา
(.....)

เครื่องป้องกันการดักฟังเสียงแบบดิจิตอล

นาย คงศักดิ์ เกียรติทับทิว

นาย วุฒินงค์ ปัทมวิสุทธิ

ผศ.ดร.กนก เจริญพงศ์เวช อาจารย์ที่ปรึกษา

อ.กฤตากร กล่อมการ อาจารย์ที่ปรึกษา

ปีการศึกษา 2532

บทคัดย่อ

โครงการเครื่องป้องกันการดักฟังเสียงแบบดิจิตอล (Digital Voice Scrambler) นี้เป็นการศึกษาและออกแบบสร้างวงจรสแกรมเบลอ ซึ่งใช้ป้องกันการดักฟังและรักษาความปลอดภัยทางการสื่อสารด้านเสียง (Audio Communication)

วิธีการที่ใช้ในโครงการนี้ จะอาศัยการแปลงสัญญาณเสียงซึ่งเป็นสัญญาณแบบต่อเนื่อง ให้เป็นสัญญาณดิจิตอล (A/D : Analog to Digital Signal) แล้วส่งเข้าสแกรมเบลอ ซึ่งประกอบด้วยวงจรกึ่งสุ่มตัวอย่าง (pseudo random) เป็นตัวแปลงสัญญาณเป็นดิจิตอลแบบกึ่งสุ่มตัวอย่าง แล้วใช้แล้วใช้เทคนิคการลดความถี่ clock ซึ่งช่วยทำให้ความถี่ของข้อมูลลดลงอยู่ในช่วงความถี่เสียงผ่าน low pass filter ส่งเข้าทางช่องสื่อสารทางเสียงมายังเครื่องรับ ซึ่งก็ใช้เทคนิคเดียวกันนี้แปลงสัญญาณกลับเป็นสัญญาณเสียงเช่นเดิม

เราจะเห็นว่าสามารถใช้หลักการอันนี้มาใช้กับ วิทยุรับ ส่ง หรือ การส่งข้อมูลเป็นเสียงทางสายโทรศัพท์ ซึ่งตอบสนองความถี่จำกัด ($BW \sim 4 \text{ kHz}$) ได้อย่างมีประสิทธิภาพและยากต่อการดักฟัง

Digital Voice Scrambler

KONGSAK KIATTUBTEW

WUTIPONG PATAMAWISUT

Asst. Prof. Dr. KANOK JENJIRAPONGVEJ Advisor

KITDAKORN KLOMKARN Advisor

1989

ABSTRACT

This project of studied and designed the digital voice scrambler that used to protect voice from trapping and secured of voice communication system.

This project is based on conversion of voice signal. Analog signal is into Digital signal before scrambler. The scrambler circuit is consist of Pseudo random code generator. It tranfer digital audio singnal into Pseudo random signal by useing reduction of clock signal Technique, the frequency of data also decrease, that possible to transmission of this signal in voice band channels. In receiver section is used the same of this Technique.

So we can apply the principle of this scramble Tecgnique. In ordinary voice channels communication that specify bandwidth approximaly 4 KHz with high effective and difficult from trapping of voice

สารบัญ

บทคัดย่อ	หน้า
ABSTRACT	
บทที่ 1 บทนำ	1
บทที่ 2 ประเภทของการเข้ารหัสเสียงพูด	2
บทที่ 3	
3.1 โครงสร้างของวงจร	14
3.2 การแปลงสัญญาณอนาล็อกเป็นดิจิตอล	15
3.2.1 PAM	15
3.2.2 PCM	16
3.2.3 Delta Modulation	17
3.3 การสแกนเบลล์และดีสแกนเบลล์	22
3.4 การชิงโครไนซ์	27
3.5 การกรองสัญญาณ	29
3.5.1 การออกแบบวงจรกรองความถี่ต่ำผ่าน	29
3.5.2 การออกแบบวงจรกรองความถี่สูงผ่าน	32
บทที่ 4 การทดลองและผลการทดลอง	35
บทที่ 5 บทสรุป	40
กิตติกรรมประกาศ	
หนังสืออ้างอิง	
ภาคผนวก	

บทที่ 1

บทนำ

ในปัจจุบันการติดต่อสื่อสารเป็นสิ่งที่มีความจำเป็นมาก ทั้งในทางราชการ พลเรือน ทางทหารและวงการธุรกิจ เพื่อเพิ่มความสะดวก รวดเร็ว ประหยัดค่าใช้จ่ายและเวลา ระบบการสื่อสารมีด้วยกันหลายทาง เช่น ทางคู่สาย โทรศัพท์ ทางวิทยุ โทรศัพท์ ซึ่งเป็นข้อมูล วิชาการหรือความบันเทิงต่างๆ ที่ไม่เป็นความลับใดๆ แต่ในการติดต่อระหว่างหน่วยงานที่สำคัญบางครั้งต้องคำนึงถึงความปลอดภัยในการแพร่ข่าวสารผ่านวิทยุมือถือ หรือคู่สายโทรศัพท์ ซึ่งถูกลักลอบดักฟังได้ง่ายจากผู้หวังผลประโยชน์ ยังผลให้เกิดความเสียหายจากการแพร่ของข่าวนั้น ในวิทยานิพนธ์ฉบับนี้ จึงได้ออกแบบและพัฒนาเครื่องมือที่ใช้ป้องกันการดักฟังทางช่องสื่อสารต่างๆ โดยทางผู้ส่งจะมีเครื่องมือที่ใช้แปลงสัญญาณหรือข้อมูล ข่าวสาร ก่อนส่งออกทางช่องสื่อสาร และทางผู้รับก็จะมีเครื่องมือที่ใช้แปลงสัญญาณกลับเพื่อให้สามารถเข้าใจข่าวสารต่างๆ ที่ทางผู้ส่งส่งมาให้ สำหรับบุคคลที่ลักลอบดักฟังจะไม่สามารถเข้าใจข่าวสารต่างๆ เป็นการรักษาความลับในการส่งข่าวสารได้อย่างมีประสิทธิภาพในระดับหนึ่ง

บทที่ 2

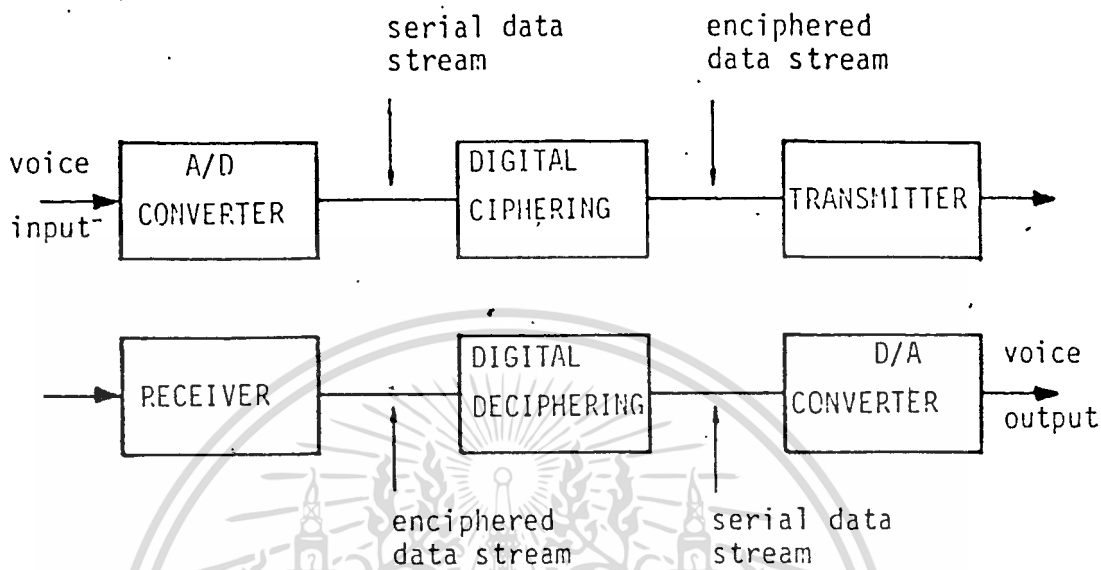
ประเภทของการเข้ารหัสเสียงพูด

ในการติดต่อสื่อสาร ในสื่อต่าง ๆ ที่มีอยู่นั้นมีจุดประสงค์เพียงเพื่อที่จะสื่อข่าวสารให้ถูกต้องรวดเร็ว ลดค่าใช้จ่ายในการเดินทาง แต่ในการติดต่อบางครั้งก็จำเป็นที่จะต้องรักษาข่าว เพื่อป้องกันการรั่วไหล ปัญหาหลักอันหนึ่งที่ผู้ออกแบบเครื่องมือป้องกันต้องคำนึงถึงคือ ความก้าวหน้าและทันสมัยในการเอาเทคนิคใหม่มาใช้ในระบบสื่อสารหลายเทคนิคจำเป็นที่ต้องมีขีดจำกัดและกฎข้อบังคับสำหรับการสื่อสารประเภทนั้น ตัวอย่างเช่น การกำหนดย่านความถี่ (bandwidth) ของระบบโทรศัพท์และวิทยุ และอีกสิ่งหนึ่งที่ต้องคำนึงคือ คุณภาพของเสียงที่ใช้ในระบบสื่อสารประเภทนั้น ว่ามีความชัดเจนเพียงใด ความชัดเจนของเสียงจะไม่มีทางเพิ่มขึ้น ถ้าระบบการเชื่อมโยงการส่งผ่าน (transmission link) ไม่ดีพอ การย่ำข่าวสารเพื่อความถูกต้องเนื่องจากผลดังกล่าว เป็นการไม่ปลอดภัยสำหรับข่าวสารนั้น จึงควรที่จะพิจารณาถึงความเหมาะสมกับการนำไปใช้งานสำหรับแต่ละชนิดของเครื่องป้องกัน และชนิดของระบบเชื่อมโยงการส่งผ่านที่ใช้อยู่

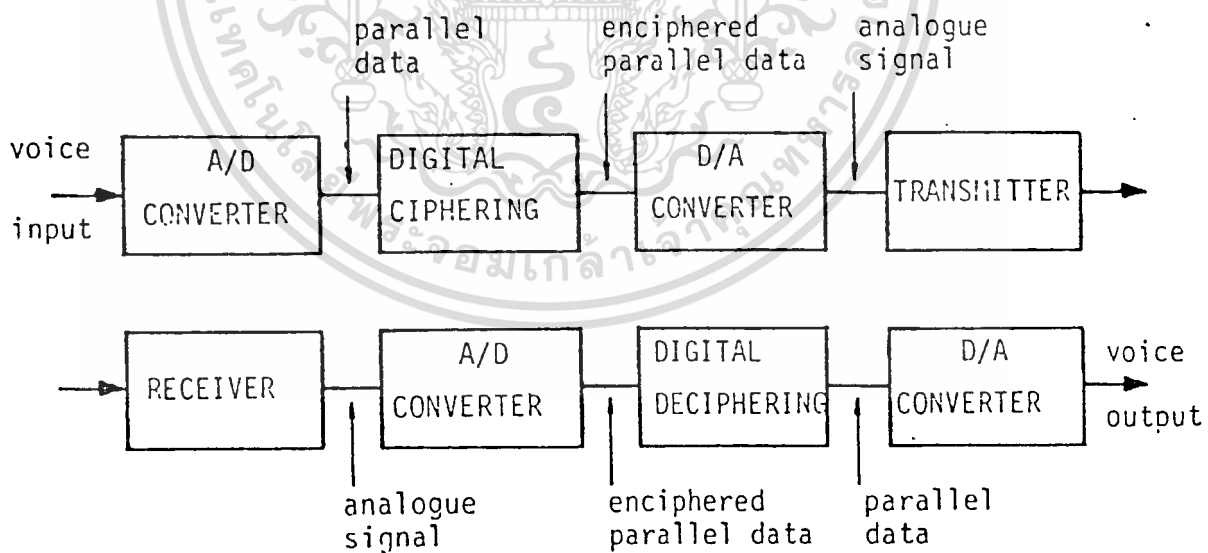
การเข้ารหัสเสียงพูด (Encrypting speech) แบ่งตามเทคนิคได้ 2 วิธี คือ ทางด้านดิจิทัล (Digital) และอนาลอด (Analogue)

2.1 การเข้ารหัสเสียงพูดด้วยวิธีทางดิจิทัล (Digital encrypting speech)

จากรูปที่ 2.1 เสียงที่ถูกเปลี่ยน (convert) เป็นสัญญาณดิจิทัลจะอยู่ในรูปของ serial data stream ซึ่งอาจจะเป็น 64 K bit/s, 32 Kbit/s, 16 Kbit/s, 9.6 Kbit/s, 4.8 Kbit/s หรือ 2.4 Kbit/s แต่ถ้าอัตราความเร็วของบิต (bitrate) ขนาด 9.6 K bit/s และที่สูงกว่า จะเป็นการเพิ่มแบนวิดของสัญญาณ ทำให้เพิ่มความยุ่งยากในการนำไปใช้งาน โดยจะต้องพิจารณาถึงระบบเชื่อมโยงการส่งผ่าน (transmission link) ที่สามารถตอบสนองต่อสัญญาณที่ใช้ได้สำหรับอัตราความเร็วของบิตที่ต่ำกว่า 9.6 K bit/s สามารถที่จะนำมาใช้ได้ก็จริง แต่ทั้งนี้ประสิทธิภาพสัมพันธ์กับการลดรูปของการจำรูปแบบของเสียง (Reduction in voice recognition) ซึ่งมีขบวนการที่สูง



รูปที่ 2.1 Digital cipher system



รูปที่ 2.2 Modify digital cipher system

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ยากและซับซ้อนต้องใช้อุปกรณ์จำนวนมากและมีราคาแพง

จากรูปที่ 2.2 เป็นการดัดแปลงโดยเสียงที่ถูกเปลี่ยนเป็นสัญญาณดิจิตอลแล้วผ่านการเข้ารหัสทางดิจิตอล (Digital ciphering) จากนั้นเปลี่ยนสัญญาณดิจิตอลกลับมาเป็นอนาล็อกโดยผ่าน D/A และจึงส่งผ่านให้กับตัวส่ง (transmitter) ส่วนทางด้านรับก็เพิ่ม A/D เข้าไป จะเห็นแบนวิทของสัญญาณไม่ถูกเปลี่ยนแปลงไป

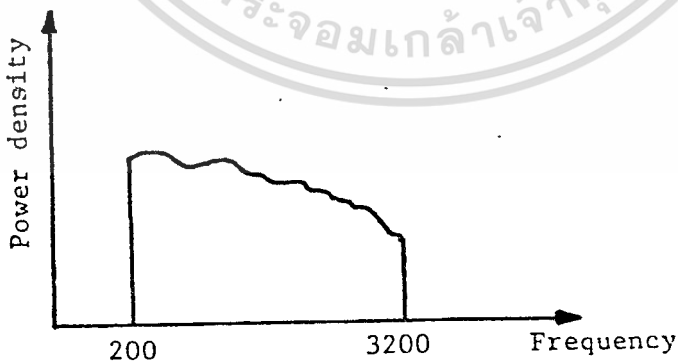
2.2 การเข้ารหัสเสียงพูดด้วยวิธีทางอนาล็อก (Analogue encrypting speech) มีหลายแบบด้วยกัน เช่น

1. Speech Inversion
2. Band - shift Inversion
3. Bandscrambler or Bandsplitter
4. Time Element Scrambler

ในแต่ละแบบสามารถอธิบายโดยสังเขปได้ดังนี้

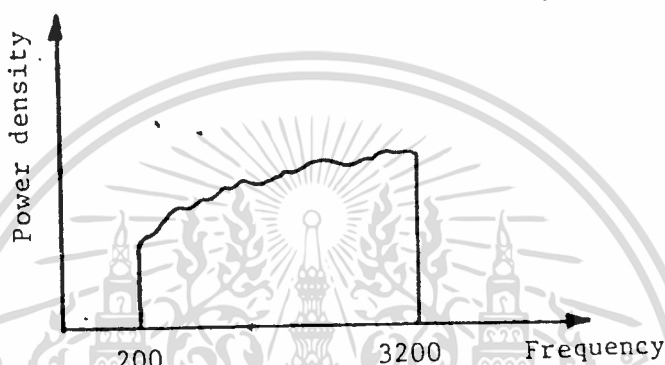
(1) Speech Inversion

Speech Inversion เป็นการสับสลับเสียง (scrambling) ความถี่แบบหนึ่งเป็นที่รู้จักกันดี สมมุติว่าเรามีสัญญาณเสียงที่มีแบนวิทจำกัดอยู่ในช่วง 200 - 3200 Hz ดังในรูปที่ 2.3



รูปที่ 2.3 A speech signal band - limited to 200 - 3200 Hz

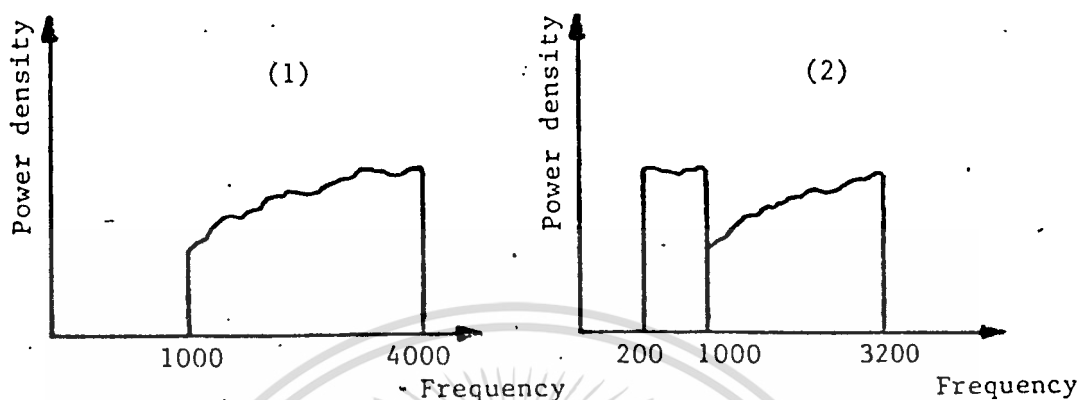
ความคิดพื้นฐานของวิธีดังกล่าวเพื่อที่จะเปลี่ยนจากความถี่สูงให้เป็นความถี่ต่ำ และจากความถี่ต่ำเป็นความถี่สูง ความสัมพันธ์นี้ค่อนข้างที่จะเข้าใจได้ง่าย ผลของการเปลี่ยนแปลงดังกล่าวแสดงไว้ดังรูปที่ 2.4 ระบบดังกล่าวเป็นระบบที่ไม่ซับซ้อนมากนัก การขจัดความสับสนด้วยวิธีดังกล่าวจะไม่ปลอดภัย เพราะสามารถที่จะตีความกลับ (descrambling) ได้โดย รีอินเวอร์ท (reinvert) แบบลองผิดลองถูก (trial and error) ก็สามารถที่จะได้สัญญาณเดิมกลับมา



รูปที่ 2.4 Power density spectrum of inverted speech signal

(2) Band - shift Inversion

เป็นการปรับปรุง Speech Inversion โดยที่สัญญาณที่อยู่ในช่วง 200 - 3200 Hz จะถูกอินเวอร์ท (invert) และเลื่อน (shift) แบนวิด (1000 - 4000 Hz) สเปกตรัม (spectrum) ของสัญญาณดังกล่าวแสดงไว้ในรูปที่ 2.5 (1) สัญญาณนี้อยู่นอกแบนแตกต่างจากสัญญาณตัวแรกแต่เราสามารถที่จะจัดการเอาส่วนที่เกิน 3200 Hz ย้ายมาอยู่ทางด้านปลายของความถี่ต่ำ (สังเกตดูว่าถึงแม้สัญญาณในรูป 2.5 จะมีขอบเขต (range) ของความถี่ที่แตกต่างกัน แต่ก็มีแบนวิดเท่ากับสัญญาณตัวแรก หลักการของ band - shift Inverting ได้แสดงไว้ดังรูปที่ 2.5 (2).



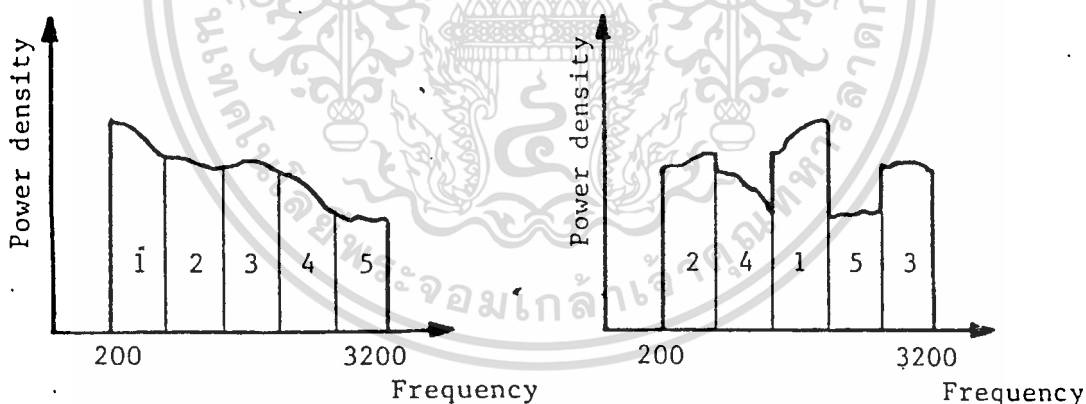
รูปที่ 2.5 หลักการของ Band - shift Inversion

ตัวอย่างของ Band - shift Inversion อันหนึ่งมีการอินเวอร์ทสัญญาณด้วยความถี่พาหะ (carrier frequency) ที่แตกต่างกันโดยมีการเลื่อน (shift) แบบแบบคงที่ทำให้คอมบิเนชันที่เป็นไปได้ (possible combination) มีจำนวนจำกัด วิธีที่จะเพิ่มคอมบิเนชัน อาจจะใช้ pseudo random generator เป็นตัวเลือกการเลื่อน (shift) ที่แตกต่างกัน และแต่ละแบบให้มีช่วงเวลา (time interval) ประมาณ 10 ถึง 20 ms แล้วจัดลำดับให้สลับเปลี่ยนกันไปเป็นลักษณะไซคลิก (cyclic) หลักการอันนี้เรียกว่า Cyclical Band - shift Inversion ทำให้คอมบิเนชันที่เป็นไปได้มากขึ้น

ข้อเสียของ Band - shift Inversion ที่เด่นชัดมีอยู่ 2 ข้อ ข้อแรกเนื่องจากคอมบิเนชันที่เป็นไปได้อังไม่มากพอ ทำให้การดีซักรับสิ่งทำได้โดยง่ายด้วยวิธีการลองผิดลองถูก (trial and error) อันที่สองความสามารถความชำนาญและคุ้นเคยที่จะเข้าใจเสียงที่ถูกซักรับแล้ว แต่คงมีบางส่วนที่การซักรับเปลี่ยนแปลงสัญญาณไปไม่มากนัก ทำให้สามารถที่จะเดาจากบางส่วนที่เหลืออยู่ได้ ค่อนข้างสูง และจะยิ่งสูงขึ้นเมื่อข่าวสารได้ถูกอินเวอร์ท (reinvert) ด้วยแล้ว

(3) Bandsampler

ในกรณีของ Bandsampler หรือ Bandsplitter แบบวีต ของ เสียงพูด (speech bandwidth) จะแบ่งออกเท่าๆ กันเป็นหลายๆ ส่วน ซึ่งแต่ละส่วนเรียกว่าแบนย่อย (sub-band) แต่ละแบนย่อยจะถูกซแซมบ์โดยการสลับลำดับ (permutation) แบนย่อยเสียใหม่ ในบางระบบอาจมีการอินเวอร์ทในแต่ละแบนย่อยด้วย รูปที่ 2.6 แสดงตัวอย่างของ Bandsampler แบบง่ายโดยแบ่งออกเป็น 5 แบนย่อย จากรูปแบนย่อยที่ 1, 2 และ 5 จะถูกอินเวอร์ทและถูกสลับตำแหน่ง สำหรับตัวอย่างดังกล่าวมีการจัดลำดับที่เป็นไปได้ (possible reorderings) เท่ากับ $5!$ และมีคอมบินเนชันสำหรับการอินเวอร์ททั้ง 5 ตำแหน่งเท่ากับ 2^5 นั้นหมายถึงว่าสามารถที่จะมีคอมบินเนชันได้ถึง $5! \times 2^5$ เท่ากับ 3840 แบบ แต่ไม่ใช่ทั้งหมดที่สามารถนำไปใช้ได้ มีบางส่วนที่หลังจากสัญญาณถูกซแซมบ์แล้วมีการเปลี่ยนแปลงสมบูรณ์ (คือไม่สามารถที่จะเข้าใจรายละเอียดได้) ส่วนที่เหลือซึ่งเป็นส่วนใหญ่ ไม่สามารถนำมาใช้ซแซมบ์ได้ เพราะยังพอที่จะเข้าใจความได้แบบคลุมเครือ



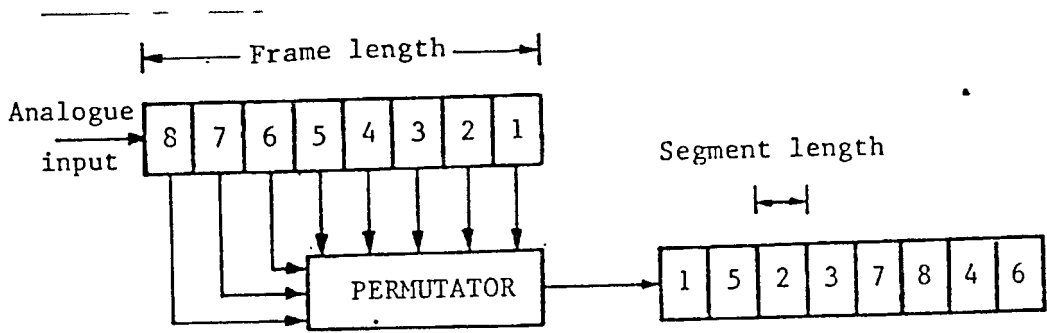
รูปที่ 2.6 Band scrambling technique

สำหรับการจัดลำดับใหม่ (reordering) เพียงอย่างเดียวโดยไม่ได้อินเวอร์ทมีเพียง 10 เพอร์เซ้นต์ เท่านั้นที่ซแซมบ์แล้วใช้ได้ มีการหาเหตุผลว่าทำไมถึงเป็นเช่นนี้ ได้มีการทดลองเอาแบนย่อย (sub-band) บางอันออก แล้ว

จัดลำดับใหม่ พบว่าก็ยังมีส่วนที่ยังพอเข้าใจได้ จากการวิเคราะห์ 40 เปอร์เซนต์ของ power spectrum energy ของเสียงอยู่ที่สองแบนย่อยแรก (200 - 1700 Hz) นั้นหมายความว่ายังมีเพียงสองแบนย่อยแรกก็สามารถพอที่จะเข้าใจความหมายได้ เพราะฉะนั้น ไม่เป็นการยากเลยสำหรับผู้เชี่ยวชาญที่หาตำแหน่งของสองแบนนั้นมาจัดเรียงใหม่ทำให้มีโอกาสเข้าใจข่าวสารนั้นได้ วิธีแก้ก็คือ ต้องแบ่งสองแบนย่อยแรกให้มากขึ้นแล้วใช้ pseudo random generator เป็นตัวกำหนดการจัดลำดับที่แตกต่างกันทุกๆ 100 - 200 ms โดยเรียกใช้จากการแอดเดรสซิง (addressing) ที่ตำแหน่งใดตำแหน่งหนึ่ง ตัวอย่างที่ได้แสดงไว้อธิบายการทำงานได้ดังนี้ สำหรับ 5 แบนย่อยสามารถจัดลำดับได้ 32 แบบ คอมบิเนชันของการอินเวอร์ท์ แบนย่อยเท่ากับ 2^5 แบบ และ 1024 แบบ สำหรับการจัดเรียง (rearrangement) 10 บิต แอดเดรสของหน่วยความจำ จะเห็นว่าคอมบิเนชันเป็นไปได้ (possible combination) มีมากขึ้น ถ้าเราพิจารณาถึงการเพิ่มจำนวนแบนย่อยของ Bandscrambler ดูเหมือนจะเป็นการเพิ่มจำนวนการจัดลำดับและความปลอดภัยของข่าวสาร แต่ถ้ามากเกินไป จะทำให้ยุ่งยากในทางปฏิบัติ เพราะการเพิ่มจำนวนการแบ่งแบนย่อยจะต้องใช้ฟิลเตอร์และส่วนประกอบอื่นๆ เพิ่มเติม ทำให้สัญญาณรบกวนในระบบมีมากขึ้นดูเหมือนว่าการปรับปรุงแก้ไข (modification) การซแครมบ์ลิงมากเกินไปไม่ได้ทำให้คุณภาพของเสียงดีขึ้น

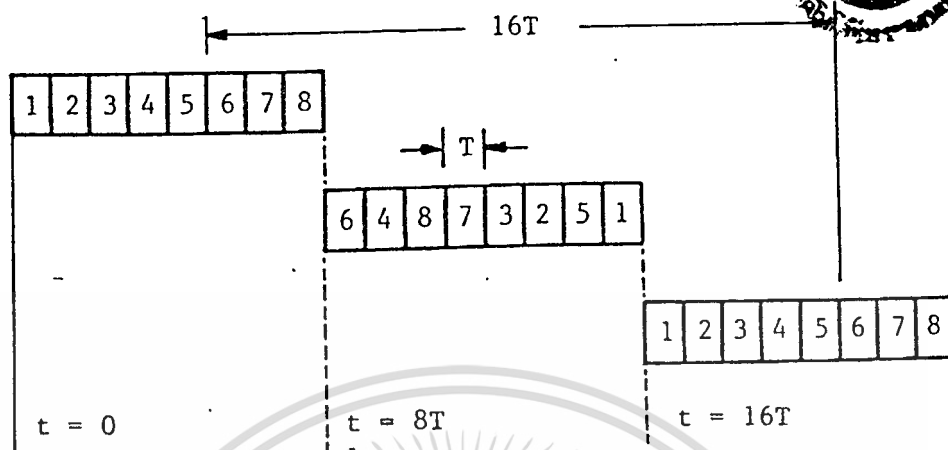
(4) Time Element Scramblers (T.E.S)

การทำงานของ Time Element Scrambler (T.E.S) อาศัยหลักการพื้นฐานโดยขั้นแรกแบ่งสัญญาณออกเป็นคาบเวลา (time period) เท่าๆ กัน โดยแต่ละส่วนเรียกว่า เฟรม (frame) แล้วแต่ละเฟรมจะถูกแบ่งย่อยออกเป็นคาบเวลาเล็ก ๆ เรียกว่า เซกเมนต์ (segment) และในทุกๆ เฟรมของอินพุตจะซแครมบ์ลิงเซกเมนต์เหล่านั้นด้วยวิธีการสลับลำดับ (permutation) วิธีดังกล่าวอธิบายด้วยแผนภาพการทำงาน (block diagram) ดังแสดงในรูป 2.7 ซึ่งในที่นี้แต่ละเฟรมจะถูกแบ่งออกเป็น 8 เซกเมนต์



รูปที่ 2.7 Time Element Scrambler

เมื่อเราจะออกแบบระบบ จำเป็นต้องหาค่าความยาวของเฟรม (frame length) และของเซกเมนต์ (segment length) ที่เหมาะสม จุดสำคัญอยู่ที่สัญญาณภายในหนึ่งเซกเมนต์จะต้องชัดเจนไม่ผิดเพี้ยน (distorted) และต้องกำหนดว่าแต่ละเซกเมนต์ควรจะครอบคลุมข่าวสาร (message) เท่าไร ซึ่งเป็นการยากที่ให้ความเหมาะสมได้ ถ้าสมมุติว่าเราทำให้ทุกเซกเมนต์มีคาบเวลาแคบพอที่จะเป็นไปได้ โดยที่คาบเวลาดังกล่าวจะต้องไม่ครอบคลุมทั้งคำพูด แต่ทั้งนี้เราก็ควรที่จะให้คาบเวลาของเซกเมนต์ยืดหยุ่นได้โดยขึ้นอยู่กับคุณภาพของสัญญาณที่ถูกส่งออกไป คุณภาพจะลดลงถ้าคาบเวลาของเซกเมนต์น้อยเกินไป ในการเลือกขนาดของเฟรมเราจะต้องคำนึงถึงผลเนื่องจากการหน่วงเวลา (time delay) ที่เกิดขึ้นระหว่างการซแครมบลิงของตัวรับและดีซแครมบลิงของตัวส่งด้วย เพื่อที่จะให้เข้าใจถึงการหน่วงเวลาของระบบ เรามานิยามารูปที่ 2.8 จากตัวอย่างให้ความยาวเซกเมนต์เท่ากับ T วินาที ดังนั้น จะต้องกินเวลาไป $8T$ วินาที สำหรับ 8 เซกเมนต์ของสัญญาณเพื่อจะซแครมบลิงโดยการสลับลำดับและอีก $8T$ วินาที สำหรับตัวรับในการดีซแครมบลิงโดยถือว่าไม่มีการหน่วงเวลาในการส่งผ่าน (transmission) เลย ก็เท่ากับว่ามีการหน่วงเวลาของระบบเท่ากับ $16T$ วินาทีต่อเซกเมนต์ ในรูปที่ 2.8 แสดงให้เห็นว่าเซกเมนต์ไหนถูกโปรเซส (process)



รูปที่ 2.8 Timing diagram ของ T.E.S process

ลักษณะของการหน่วงในระบบนี้ ก็คล้ายกับการหน่วงสัญญาณในการใช้โทรศัพท์ทางไกลข้ามประเทศโดยผ่านดาวเทียม ทำให้ผู้ใช้มักจะเกิดความไม่คุ้นเคยกับเสียงที่ถูกหน่วงไปดังกล่าว ซึ่งในกรณีนี้ อาจแก้ไขโดยลดขนาดของเฟรมลงอีก แต่จากการทดลองขนาดของ เฟรม (frame length) น้อยเกินไป ประสิทธิภาพของการซแครมบลิ้งก็จะลดลง เหตุผลที่เป็นเช่นนี้ สามารถอธิบายได้ดังนี้คือ สมมติว่าเรามีเฟรมหนึ่งซึ่งแคบจนกระทั่งประกอบไปด้วยเสียงเพียงโทนเดียว (single tone) ทำให้การซแครมบลิ้งด้วยการสลับลำดับไม่ดีเท่าที่ควร เพราะหลังจากซแครมบลิ้งแล้วยังคงได้เสียงโทนเดียวเช่นเดิม และเฟรมที่แคบจนเกินไปการกระจายเชกเมนต์ทำได้ยาก ด้วยผลดังกล่าวทำให้เข้าใจเนื้อหาบางส่วน หรือทั้งหมดของข่าวสารได้ โดยที่ยังไม่มีการดีซแครมบลิ้ง จากที่กล่าวไว้ข้างต้น สรุปได้ว่าหลักการของ T.E.S จะต้องคำนึงถึงขนาดของเฟรมและ เชกเมนต์ แต่ก็เป็นการยากที่จะหาหลักการและวิเคราะห์ด้วยวิธีใดที่จะเลือกขนาดของเฟรมและเชกเมนต์ที่เหมาะสมได้ ในทางปฏิบัติจำเป็นต้องออกแบบทดสอบเพื่อหาข้อมูลที่จะกำหนดขนาดระบบ T.E.S ที่สร้างขึ้นมาใช้งานเท่าที่พบหนึ่งเฟรมจะประกอบด้วย 8 ถึง 16 เชกเมนต์ และแต่ละเชกเมนต์มีขนาดระหว่าง 20 ถึง 60 ms การจัดเชกเมนต์และเฟรม เป็นส่วนประกอบที่สำคัญอันหนึ่งของระบบ

T.E.S ส่วนประกอบอีกอันหนึ่งของระบบก็คือการสลับลำดับกัน (permutation) การสลับลำดับสำหรับ n จำนวน จะเท่ากับ $n!$ ($1 \times 2 \times 3 \dots \times n$) จากทั้งหมดที่เพียงบางส่วนเท่านั้นที่นำมาใช้ในการสลับลำดับ ในการสลับลำดับที่ใช้ในลักษณะของ Band-shift Inverter หรือ Bandscrambler ก็เช่นเดียวกัน เราสามารถใช้รหัส (key code) ให้เลือกเฉพาะการสลับลำดับอันใดอันหนึ่งที่ระบุแน่ชัด แล้วใช้การสลับลำดับที่กำหนดนั้นสำหรับทุกเฟรมหรืออีกวิธีหนึ่งโดยใช้ซีควেনซ์เจเนเรเตอร์ (sequence generator) ในการเลือกการสลับลำดับที่แตกต่างกันสำหรับแต่ละเฟรม สำหรับ 8 เซกเมนต์ในหนึ่งเฟรมจำนวนของการสลับลำดับได้ $8!$ เท่ากับ 40320 แบบ ซึ่งถ้าแต่ละเซกเมนต์มีคาบเวลา (time period) เท่ากับ 40 ms ต้องใช้เวลาอย่างน้อย 3.6 ชม. ต่อเนื่องถึงจะหมด ถึงแม้ว่าการสลับลำดับได้สูงสุด 40320 แต่ดังที่กล่าวแล้วในตอนต้นว่าเราไม่สามารถนำมาใช้สลับลำดับได้หมด ซึ่งพอที่จะอธิบายได้ด้วยตัวอย่างของการสลับลำดับ 2 ตัวอย่างข้างล่างนี้ จากตัวอย่างบรรทัดแรกแทนลำดับเซกเมนต์ของสัญญาณหลัก (original signal) และบรรทัดที่สองแทนลำดับหลังจากการสลับลำดับแล้ว

ตัวอย่างที่ 1	1	2	3	4	5	6	7	8
	1	3	2	4	5	7	6	8
ตัวอย่างที่ 2	1	2	3	4	5	6	7	8
	3	6	2	5	8	4	7	1

ถ้าเราสามารถที่จะพึงผลของการสลับลำดับแต่ละอันได้ เราจะพบว่าในตัวอย่างแรก ความสามารถในการเข้าใจจากรายละเอียดที่ยังเหลืออยู่ค่อนข้างสูง (high residual intelligibility) โดยถ้าเราฟังสักสองหรือสามครั้งบางทีเราอาจเริ่มที่จะเข้าใจข่าวสารบ้าง ส่วนในตัวอย่างที่สอง ความสามารถในการเข้าใจรายละเอียดที่ยังเหลืออยู่ค่อนข้างต่ำ (low residual intelligibility) และถ้าพยายามฟังหลายๆ ครั้งอาจจะทำให้สับสนยิ่งขึ้นไปอีก ถ้าเรามาพิจารณาให้ละเอียดกับตัวอย่างทั้งสองเราจะพบว่า ในตัวอย่างแรกมี 4 เซกเมนต์ที่ไม่ได้

ถูกเคลื่อนย้าย ส่วนที่เหลือเคลื่อนย้ายไปจากตำแหน่งเดิม มีเพียงหนึ่งเซกเมนต์เท่านั้น ส่วนในตัวอย่างที่สองเกือบจะทุกเซกเมนต์ที่ถูกสลับลำดับไปจากเดิม ถ้าเราให้การสลับลำดับใดๆ เป็น $\alpha(i)$ แทนตำแหน่งที่เซกเมนต์ใดๆ ย้ายไป และมิติชเพลซเมนต์(displacement) ของ i เท่ากับ $|i - \alpha(i)|$ (จากตัวอย่างที่ 2, $\alpha(2) = 3$ และมิติชเพลซเมนต์ ของ 2 เท่ากับ $\text{abs}(2-3) = 1$) เราสามารถจะหามิติชเพลซเมนต์โดยเฉลี่ยสำหรับการสลับลำดับแต่ละแบบได้เท่ากับ

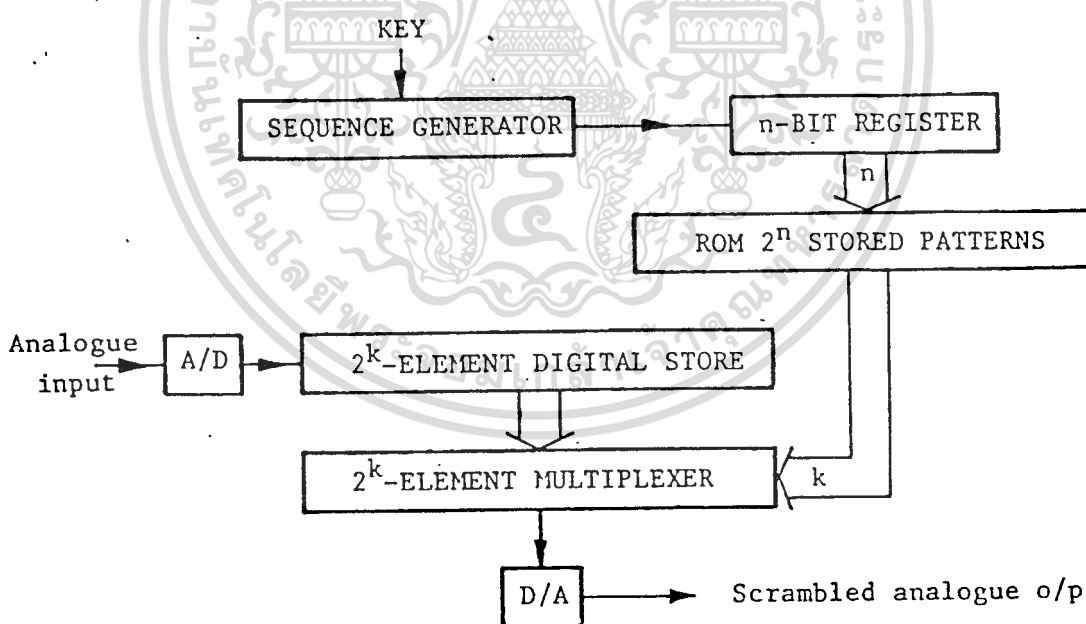
$$\frac{1}{8} \sum_{i=1}^8 |i - \alpha(i)|$$

สำหรับตัวอย่างที่ 1 ค่าเฉลี่ยของมิติชเพลซเมนต์เท่ากับ $1/2$ ขณะที่ตัวอย่างที่ 2 เท่ากับ $3/2$ ซึ่งค่าเฉลี่ยของมิติชเพลซเมนต์เรียกว่าตัวประกอบของการเลื่อน (shift factor) ของการสลับลำดับ ถ้าตัวประกอบดังกล่าวยังมีค่ามากขึ้น นั้นหมายถึงว่ามีการสลับลำดับที่ดีจะมีผลทำให้ความสามารถในการเข้าใจจากรายละเอียดส่วนที่เหลือต่ำ ในการขบวนการสิ่งสัญญาณเราเอาเฉพาะการจัดลำดับที่มีตัวประกอบของการเลื่อนที่อยู่ในเกณฑ์เท่านั้น โดยมีการพิจารณา 2 วิธี วิธีแรก ใช้ซีเควนเจนเนอเรเตอร์เป็นตัวเลือกการสลับลำดับในลักษณะที่ไม่มีการเลือกเฉพาะแต่การสลับลำดับที่ดี แต่จะใช้วิธีกัน (screen) การสลับลำดับที่ไม่ต้องการโดยพิจารณาจากการฟัง อีกวิธีโดยเลือกเอาการสลับลำดับที่มีตัวประกอบของการเลื่อนอยู่ในเกณฑ์ที่ใช้ได้เก็บ (store) ไว้ในหน่วยความจำ (ROM) แล้วใช้ซีเควนเจนเนอเรเตอร์เป็นตัวกำหนดในลักษณะแรนดอมเทียม (pseudo random) โดยแอดเดรสซิง (addressing) การสลับลำดับจากหน่วยความจำ ข้อบกพร่องของวิธีแรกตรงที่มีตัวประกอบเวลา (time factor) ถ้าสมมติว่าเฟรมหนึ่งๆ สิ้นสุดลงเราจะต้องเลือกเอาการสลับลำดับที่ดีเป็นตัวจัดเฟรมถัดไป แต่ถ้าซีเควนเจนเนอเรเตอร์กำหนดแล้ว ไม่สามารถที่จะรู้ได้ว่าการสลับลำดับถัดไปจะดีหรือไม่ในกรณีนี้ต้องทำการกัน (screen) โดยพิจารณาจากการฟัง ซึ่งในทางปฏิบัติทำได้ยาก ส่วนวิธีการที่สองเราสามารถจัดลำดับ (sequence) และมีขั้นตอนการทำงาน (algorithm) ในการกำหนดการสลับลำดับแล้วโปรแกรมไว้ใน

หน่วยความจำ การจะเรียกใช้จะต้องแอดเดรสซึ่งหน่วยความจำเท่านั้น สำหรับการสลับลำดับเพียง 8 เซกเมนต์แล้ว การสลับลำดับต้องมีจำนวนมากขึ้น ต้องขยายหน่วยความจำมากขึ้นไปอีก และเปลืองค่าใช้จ่ายกว่าวิธีแรก

ในรูปที่ 2.9 แสดงแผนภาพการทำงาน (block diagram) ของระบบ T.E.S ถ้าซีเควซ์เจนเนอเรเตอร์ที่ใช้กำหนดรูปแบบ (pattern) ของการสลับลำดับเป็นรีจิสเตอร์ (register) ขนาด n bit และหน่วยความจำต้องควบคุมด้วยโปรเซสเซอร์ (หรือ ด้วยวงจรย่อย)

จะเปลี่ยนอนาลอคอินพุต เป็นดิจิตอล เพื่อที่จะให้ง่ายสำหรับการโปรเซส (process) เมื่อถูกเปลี่ยนเป็นดิจิตอลแล้ว สัญญาณจะถูกส่งไปยังหน่วยความจำที่มีขนาดเท่ากับ 2^k อีเลเมนต์ (element ในที่นี้อาจจะเป็นไบท์ซึ่ง 1 ไบท์ ประกอบด้วย 8 บิต หรือมากกว่าขึ้นกับ A/D) ซึ่งเท่ากับจำนวนเซกเมนต์ในหนึ่งเฟรม (ดังในตัวอย่างที่กล่าวมาแล้วมีขนาด 8 เซกเมนต์, k เท่ากับ 3) และแต่ละอีเลเมนต์จะถูกสลับลำดับโดยมัลติเพลกเซอร์ (multiplexer)



รูปที่ 2.9 ตัวอย่างของระบบ T.E.S

ที่แอดเดรสซึ่ง จากหน่วยความจำที่เป็นตัวกำหนดสลับลำดับให้ จากนั้นสัญญาณก็จะถูกเปลี่ยนกลับเป็นอนาล็อกเพื่อพร้อมที่จะทำการส่ง จากวิธีการที่กล่าวมาข้างต้น เราสามารถที่จะปรับปรุงให้มีความสามารถในการเข้าใจจากรายละเอียดที่ยังเหลืออยู่เพิ่มขึ้นอีกด้วยด้วยเทคนิค 3 วิธี

วิธีแรกง่ายๆ โดยอินเวอร์ท (invert) บิตบางบิตในแต่ละอิลีเมนต์ ได้จากการเปลี่ยนด้วย A/D ผลของการทดสอบพบว่าทำให้ความสามารถในการเข้าใจจากรายละเอียดที่ยังเหลืออยู่ลดลงไปอีก 10 เปอร์เซ็นต์

วิธีสอง เปลี่ยนแปร (vary) อัตราความเร็วของสัญญาณนาฬิกา (clock rate) ของ A/D และ D/A วิธีนี้เป็นลักษณะของการมอดูเลชันด้วยความถี่ (frequency modulation) ซึ่งเท่ากับเป็นการชแครมบลิง 2 แบบพร้อมกัน (two-dimensional scrambling) คือทั้ง เวลา และความถี่ (time and frequency) .ในกรณีของการเปลี่ยนความเร็วในการคอนเวิร์ท (convert) จะมีผลต่อสัญญาณในฟรีเควนซีโดเมน (frequency domain) จากการทดสอบประสิทธิภาพในการชแครมบลิงเพิ่มอีก 15 เปอร์เซ็นต์

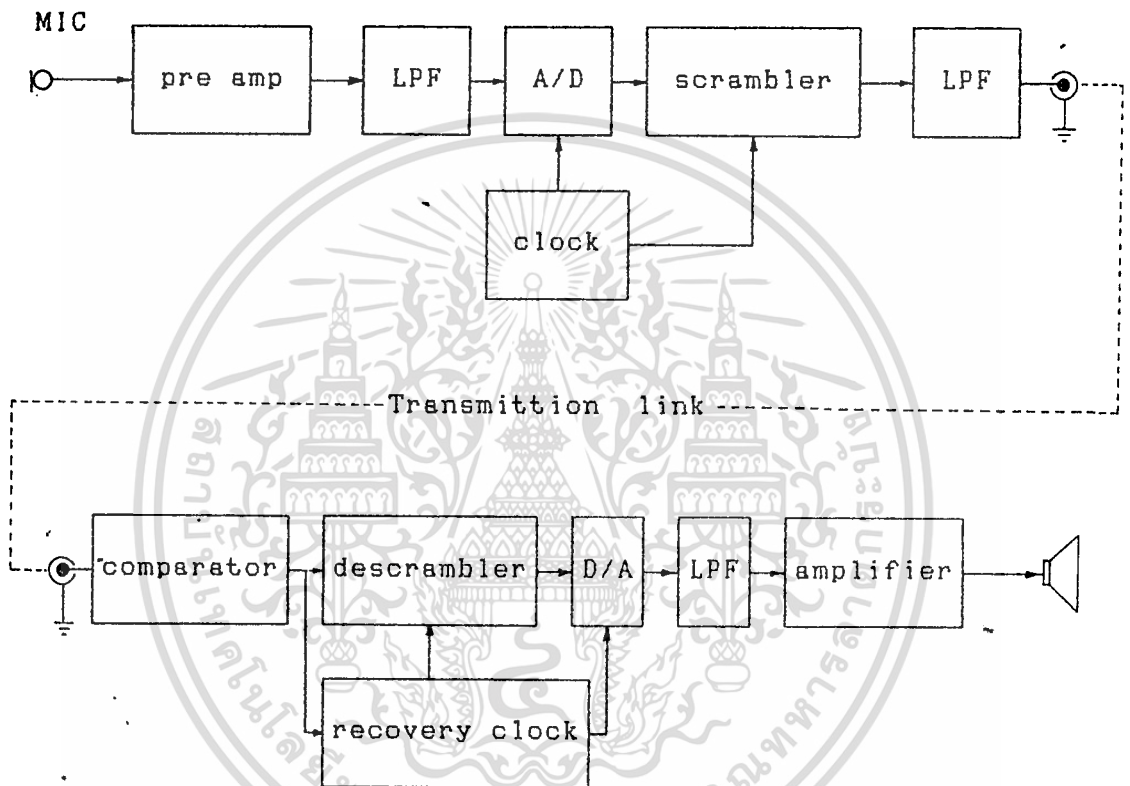
วิธีที่สาม โดยใช้เทคนิคของ Bandscrambler และ T.E.S ไปพร้อมกันในลักษณะชแครมบลิงทั้งสองแบบ ถึงแม้ว่าจากการทดสอบจะได้ผลเพิ่มขึ้นอีก 20 เปอร์เซ็นต์ แต่ก็มิใช่ว่าจะเสียอยู่ 2 ข้อ ข้อแรกเรื่องราคาเพราะต้องใช้อุปกรณ์มากกว่า ข้อสองระบบจะทำงานได้ดีต้องมีเสถียรภาพที่ดีทางด้านความถี่ (frequency stable) และระบบส่งผ่านสัญญาณจะต้องมีสัญญาณรบกวนน้อย (noise - free transmission path) เพื่อให้ได้คุณภาพเสียงที่ดีได้

เราจะสังเกตได้ว่าการปรับปรุงแก้ไข (modification) ทุกแบบถึงแม้จะช่วยเพิ่มประสิทธิภาพในการชแครมบลิง แต่ก็ไปลดคุณภาพของเสียงให้เกิดผิดเพี้ยนทางด้านความถี่เป็นผลทำให้ระบบส่งผ่านสัญญาณไม่เป็นเชิงเส้น (non linearity)

บทที่ 3

3.1 โครงสร้างของวงจร

หลักการทำงานของ Digital Voice Scrambler เขียนเป็น Block diagram ได้ดังรูป



ในภาคส่ง สัญญาณเสียงจะผ่านวงจร pre amp และ low pass filter เพื่อให้ได้เฉพาะความถี่ต่ำผ่านเข้าไปวงจรแปลงสัญญาณอนาล็อกเป็นดิจิทัล สัญญาณที่แปลงเป็นดิจิทัลแล้วจะถูก scramble โดยวงจร scrambler ซึ่งสามารถที่จะเปลี่ยนรูปแบบได้ เพื่อเปลี่ยนสัญญาณให้มีลำดับที่เปลี่ยนไป เป็นการ scramble สัญญาณก่อนที่จะเข้าไปวงจร low pass filter เพื่อกำจัดความถี่ที่เกินย่านเสียงออก จากนั้น จึงส่งไปทางช่องส่งสัญญาณ ซึ่งในภาครับจะมีวงจร descrambler แปลงสัญญาณดิจิทัลกลับไปเป็นสัญญาณดิจิทัลเดิม แล้วก็จะถูกเปลี่ยนไปเป็นสัญญาณอนาล็อกเหมือนที่อินพุตของเครื่องส่ง

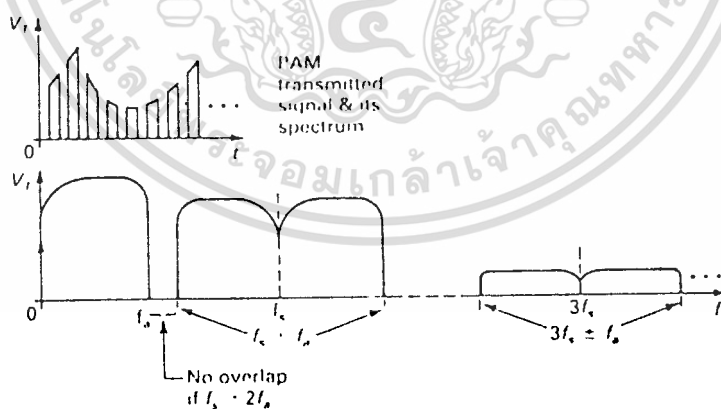
3.2 การแปลงสัญญาณอนาลอกเป็นดิจิตอล

ในการสื่อสารด้วยระบบทางดิจิตอล การแปลงสัญญาณอนาลอกเป็นดิจิตอล เป็นส่วนสำคัญอย่างหนึ่งของระบบ ซึ่งระบบการแปลงนี้ก็มีด้วยกันหลายแบบ เช่น Pulse Amplitude Modulation , Pulse code Modulation , Delta Modulation เป็นต้น ในแต่ละระบบก็มีข้อดี เสีย แตกต่างกันไปขึ้นอยู่กับความเหมาะสมในการนำระบบต่างๆ ไปใช้งานให้ถูกต้อง

3.2.1 PAM (Pulse Amplitude Modulation)

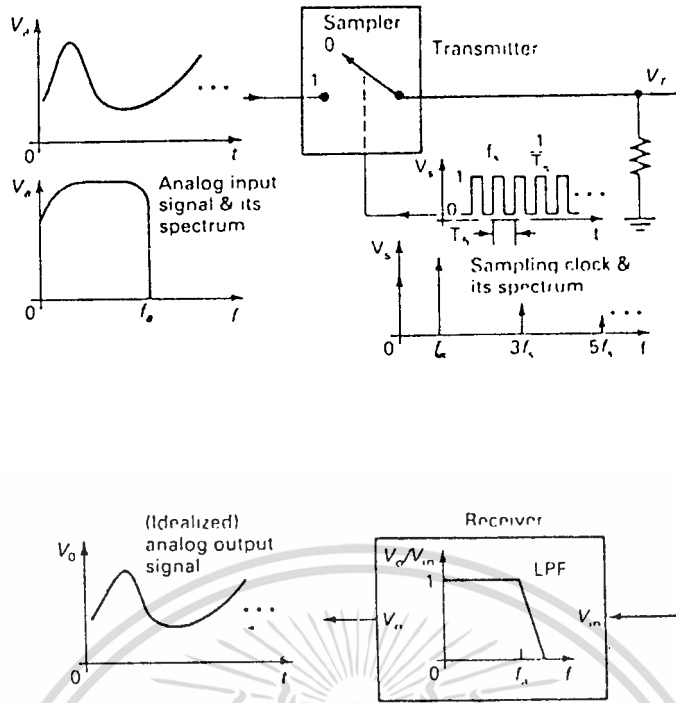
PAM คือ ระบบการแปลงสัญญาณเสียงอนาลอกที่ต่อเนื่องกันให้เป็นสัญญาณที่ไม่ต่อเนื่องกันตามแกนเวลา โดยมีหลักการทำงานคือ การสุ่มนำค่าแอมพลิจูดของสัญญาณอนาลอกบางค่ามาในช่วงเวลาซึ่งห่างกันคงที่มาเรียงต่อกัน องค์ประกอบที่สำคัญในการสุ่มค่าสัญญาณก็คือ การใช้ความถี่ของพัลส์ให้เหมาะสมซึ่งมีทฤษฎีการสุ่มค่า (Sampling theory) กล่าวคือ สัญญาณที่มีแอมพลิจูดเป็นฟังก์ชันของเวลา ถูกทำการสุ่มค่าทุกๆ ช่วงเวลาห่างที่คงที่ เมื่อทำการสุ่มค่าด้วยความถี่อย่างต่ำ 2 เท่า ของความถี่สูงสุดของสัญญาณนั้นแล้ว ก็จะสามารถเก็บข่าวสารหรือเนื้อหาของสัญญาณต้นแบบไว้ได้ทั้งหมด

ในรูป 3.1 (ก) และ 3.1 (ข) แสดงถึงโครงสร้างการทำงานอย่างคร่าวๆ ของขบวนการ PAM ซึ่งความถี่ที่ใช้ในการสุ่มจะต้องมีค่ามากกว่า 2 เท่า ของความถี่สูงสุดของสัญญาณ



Note. Sidebands at even harmonics of f_s will also be present, if the duty cycle of the sampling clock is less than 50%, which is often the case.

รูปที่ 3.1 (ก) transmitted signal & its spectrum



รูปที่ 3.1(ข) PAM Pulse amplitude modulation

3.2.2 PCM (Pulse Code Modulation)

ในรูปที่ 3.2 แสดงถึง block diagram ของระบบ PCM ซึ่งระบบนี้จะคล้ายกับระบบ PAM เพียงแต่ใน PCM จะนำสัญญาณที่ถูกสุ่มออกมาโดยที่มี amplitude ไม่เท่ากันนี้ไปเข้ารหัสเป็นสัญญาณไบนารี โดยต้องกำหนดจำนวนของ bit เพื่อกำหนดระดับความละเอียดในการเข้ารหัส เช่น ถ้ามีอยู่ 8 bit ก็จะทำให้เกิดระดับที่แตกต่างกัน $2^8 = 256$ ระดับ ซึ่งขบวนการนี้จะถูกเรียกว่า *quantized*

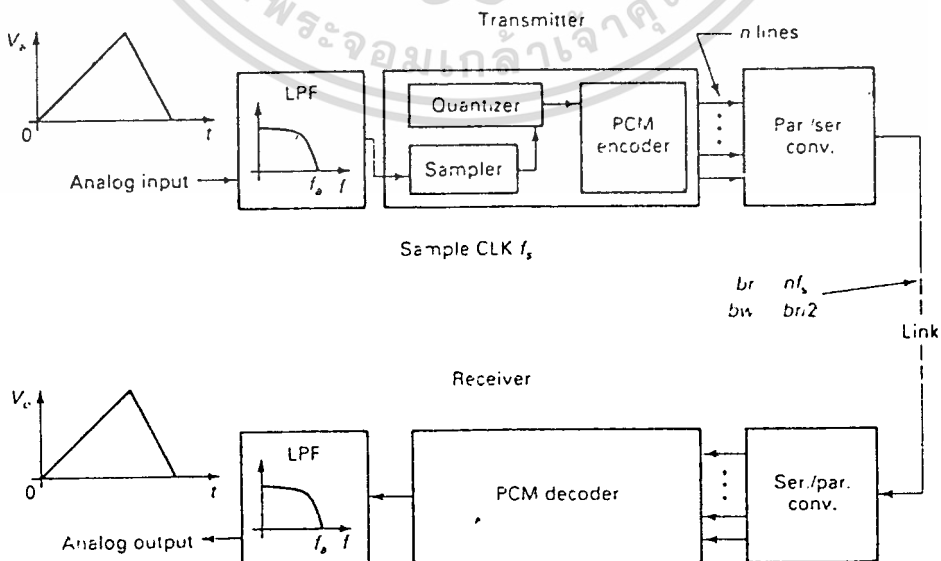
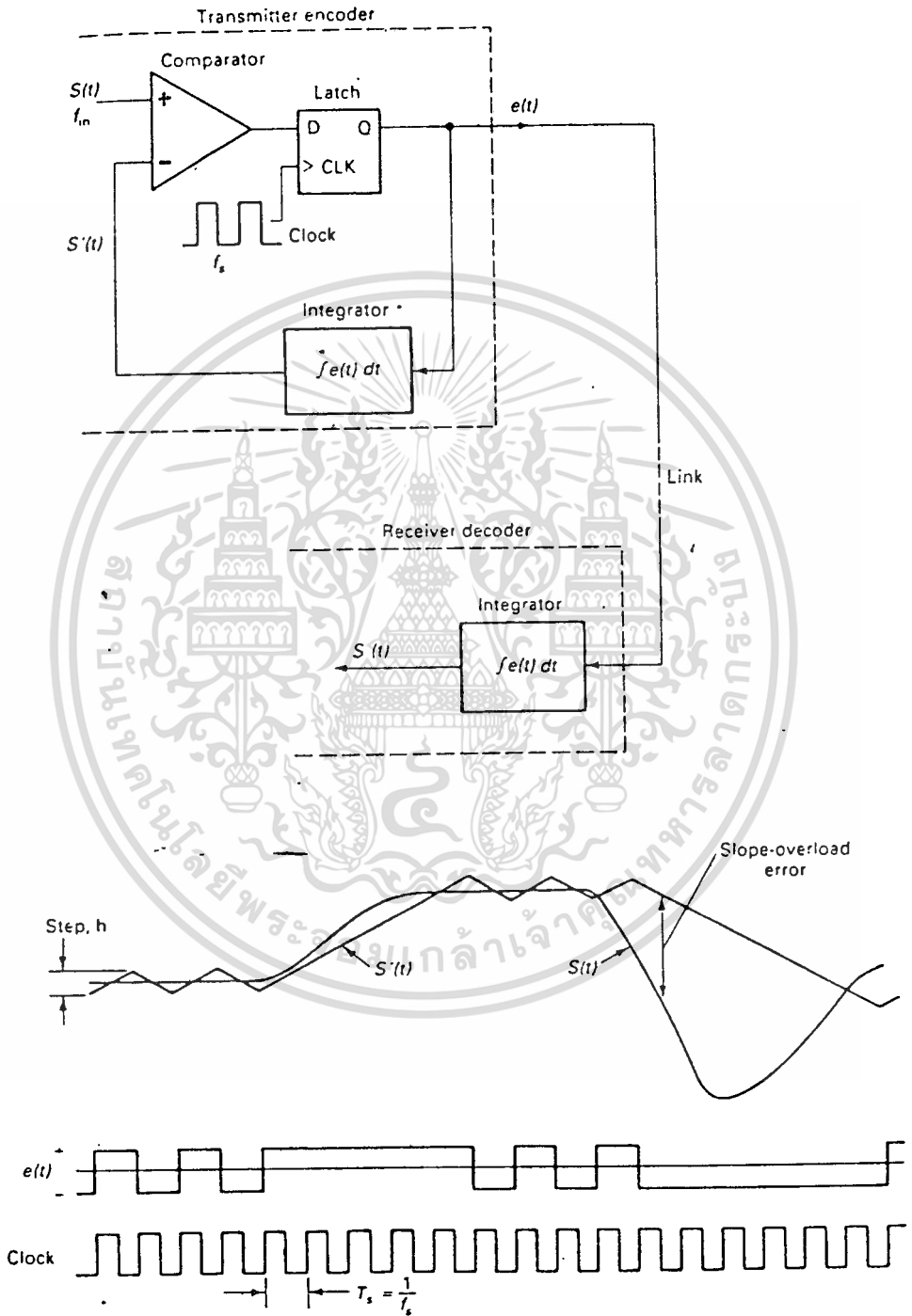


Figure 3.2 PCM communication system

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2.3 Delta Modulation

การทำงานของ Delta Modulation แสดงให้เห็นได้ดังรูป 3.3



รูปที่ 3.3 Delta Modulation

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูป 3.3 แสดงระบบ Delta Modulation encoder ในเครื่องส่งจะประกอบด้วย 3 ส่วนคือ Comparator, latch และ integrator Comparator ทำหน้าที่เปรียบเทียบสัญญาณที่เข้ามาใหม่ $s(t)$ กับสัญญาณที่เข้ามาก่อนหน้านี้ $s(t)$ ซึ่งจะผ่านวงจร latch เป็น D Flip Flop เพื่อเป็นการ Sampling สัญญาณ ได้เป็นสัญญาณของผลต่าง (difference signal, $e(t)$) ซึ่งจะเป็นสัญญาณ 2 ระดับ ถ้าสัญญาณ $s(t)$ น้อยกว่า $s(t)$ output ของเครื่องส่งจะเป็นลบ ทำให้ได้เป็นสัญญาณดิจิตอล

การ decoder ในเครื่องรับจะอาศัยวงจร integrator ที่มีคุณสมบัติเหมือน integrator ในเครื่องส่งแปลงสัญญาณที่เป็นดิจิตอลกลับเป็นสัญญาณแบบเดิมได้

Quantization noise จากสัญญาณของรูปที่ 3.3 เมื่อสัญญาณอินพุตไม่เปลี่ยนแปลง เอาท์พุท $s(t)$ จะมีความถูกต้องของระดับสัญญาณมากและจะได้ผลต่างของสัญญาณ $e(t)$ เปลี่ยนแปลงอยู่ระหว่างบวกและลบ ถ้ามีการเปลี่ยนแปลงที่ไม่ถูกต้องเกิดขึ้น เราเรียกว่า sampling frequency (f_s , clock) ด้วย

slope overload ถ้าสัญญาณอินพุตของเครื่องส่งมีการเปลี่ยนแปลงระดับอย่างรวดเร็ว เอาท์พุทของเครื่องรับจะให้สัญญาณที่ผิดเพี้ยน ซึ่งค่าที่ผิดไปนี้เรียกว่า slope overload ดังแสดงในรูปที่ 3.3 ค่าสูงสุดของ slope ของ integrator เอาท์พุท คือ h (step size) ในการ sample แต่ละครั้ง ซึ่งในการใช้ delta mod ควรจะไม่ให้อินพุตเปลี่ยนแปลงเกินกว่าค่า maximum slope ของ integrator

ถ้าสัญญาณอินพุท $s(t)$ เป็น sine wave มี amplitude V_{in} และ frequency, f_{in} เราจะเขียน $s(t)$ ได้ว่า

$$S(t) = V_{in} \sin(2\pi f_{in} t)$$

slope จะสูงสุดเมื่อ $t = 0$

$$\left[\frac{ds(t)}{dt} \right] = 2\pi V_m f_{in}$$

slope ของเอาต์พุต integrator ที่เครื่องรับคือ $h/T_s = hf_m$ ดังนั้นค่าที่เกินกว่า slope overload จะได้คือ

$$\begin{aligned} 2\pi V_m f_{in} &\leq hf_m \\ f_{in} &\leq \frac{f_{sh}}{2\pi V_m} \end{aligned}$$

Bandwidth สังเกตจากรูป 3.3 ค่า maximum fundamental frequency ของสัญญาณที่ link จากเครื่องส่งไปเครื่องรับ $e(t)$ คือ $f_m / 2$ ซึ่งจะคิดค่าต่ำสุดของ link Bandwidth ได้จากสูตร

$$BW \sim f_m / 2 \geq \frac{V_m f_{in}}{h}$$

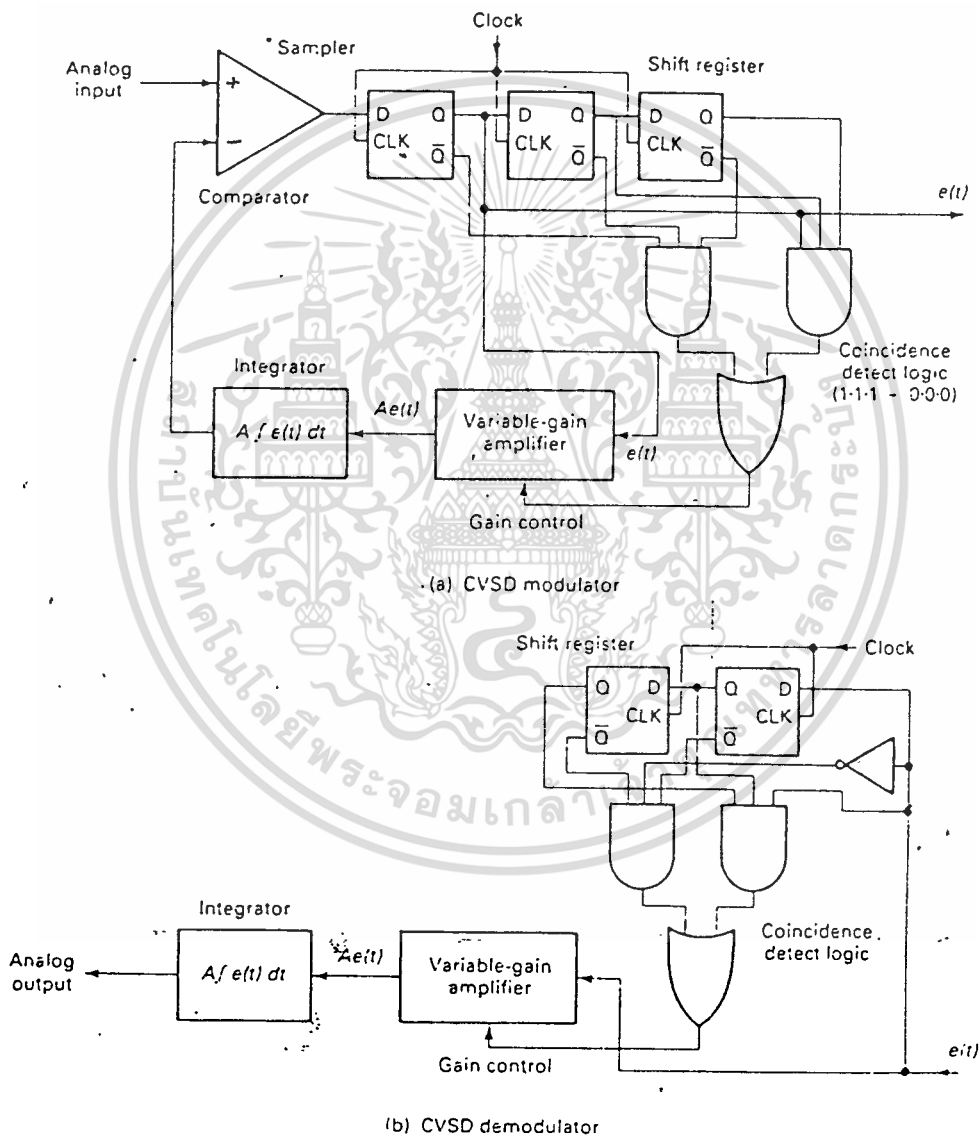
โดยทั่วไป delta modulation จะใช้เมื่อเราคำนึงถึง quantization noise ซึ่งเราจะปรับปรุงคุณภาพของ delta mod ให้ดีขึ้นได้โดยใช้ Variable slope delta mod เพื่อแก้ปัญหา slope overload

Variable slope delta modulation

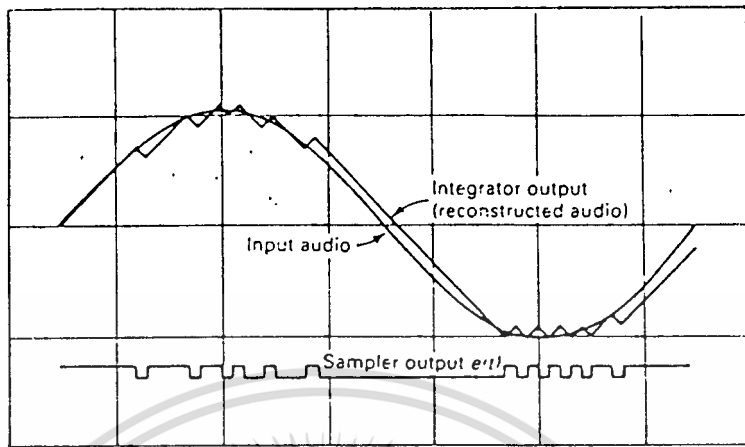
การลด quantization noise ใน delta mod จะทำได้โดยการเพิ่ม bit per sample ซึ่งจะเรียกว่า Variable slope delta modulation (VSDM) ใน VSDM slope ของ integrator output จะเพิ่มขึ้นหรือลดลง จะขึ้นกับการเปลี่ยนแปลงของสัญญาณอินพุต ซึ่งทำให้ความต่อเนื่องของสัญญาณดีขึ้น ช่วยลด slope over load ในเครื่องรับ ทำให้ quantization noise ลดลง การเปลี่ยนแปลงของ slope ของ

integrator อาจทำได้โดยการเปลี่ยนแปลง step size ซึ่ง step size จะมีขนาดใหญ่เมื่อสัญญาณมีการเปลี่ยนแปลงระดับเร็วและมีขนาดเล็ก เมื่อมีการเปลี่ยนแปลงระดับสัญญาณอินพุทน้อย

ในรูป 3.4 แสดงการทำงานของ continuously variable slope modulation (CVSD) ซึ่งจะมีส่วนเพิ่มเติมจาก delta mod แบบธรรมดา คือ shift register, coincidence detector logic และ variable gain amplifier



รูปที่ 3.4 Variable slope delta modulation



รูปที่ 3.5 CVSD system waveforms

สัญญาณความแตกต่างจาก comparator ค่าก่อนหน้า 2 ค่า $e(t)$ จะถูกเก็บไว้ใน shift register และจะถูก detect โดย coincidence detect logic เพื่อไปควบคุม gain control signal เพื่อเปลี่ยนสัญญาณอินพุตของ integrator เมื่อใดก็ตามที่เอาต์พุตของ shift register เป็น "1" ทั้ง 3 ตัว coincidence detector จะแสดงว่าความชันของ analog signal เพิ่มขึ้น และถ้า shift reg เป็น "0" หหมดทั้ง 3 ตัว จะแสดงว่าความชันลดลง

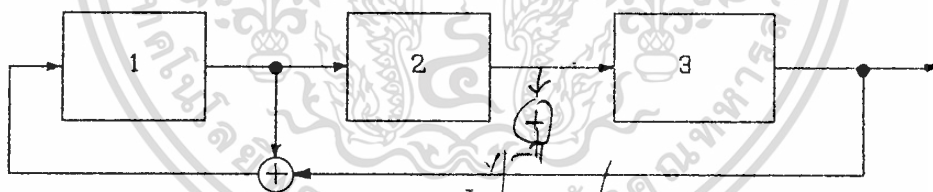
ลักษณะของสัญญาณที่ได้เมื่อเทียบอินพุต analog signal กับ เอาต์พุตของ integrator จะแสดงดังรูปที่ 3.5

3.3 การสร้างแบบจำลองและดีสแกรมแบบจำลอง

3.3.1 หลักการสร้างแบบจำลองและดีสแกรมแบบจำลอง

จากหลักการการทำงานของข้อมูลลำดับแบบกึ่งสุ่ม (Pseudo random sequences) ซึ่งจะสามารถสร้างได้โดยใช้ชิฟรารีจิสเตอร์ (shift register) ต่อให้มีการป้อนกลับ (feed back) แบบ Modulo 2 adders ชิฟรารีจิสเตอร์นี้ ประกอบขึ้นจากฟลิปฟล็อป ต่ออนุกรมกัน เมื่อชิฟรารีจิสเตอร์ได้รับ clock สัญญาณของฟลิปฟล็อปแต่ละตัวจะถูกส่งไปที่ฟลิปฟล็อปตัวถัดไป สัญญาณที่ถูก tap ออกมา จะผ่าน Modulo 2 adders และป้อนกลับไปที่ฟลิปฟล็อปตัวแรก

จากรูปที่ 3.6 พิจารณาที่ตัวกำเนิด three Sequence สมมุติให้สถานะเริ่มแรกของฟลิปฟล็อปเป็น "1" ทั้งหมด เมื่อมี clock เข้ามา ข้อมูลของฟลิปฟล็อปตัวที่ 1 และ 3 จะถูกรวมกัน ข้อมูลของฟลิปฟล็อปตัวที่ 1 และ 2 จะถูกเลื่อนไปที่ตัวที่ 2 และ 3 เอาท์พุทที่ mod 2 จะถูกส่งกลับไปที่ฟลิปฟล็อปตัวที่ 1 ข้อมูลของชิฟรารีจิสเตอร์จะวนเป็นรอบมีสถานะต่างกัน 7 สถานะ แล้วจึงจะวนกลับไปซ้ำเดิม เอาท์พุทของ three state sequence นี้จะเริ่มจากฟลิปฟล็อปตัวสุดท้ายของชิฟรารีจิสเตอร์จะผลิตลำดับ 110100... ลำดับ 7 บิตนี้จะเป็นแบบสุ่ม



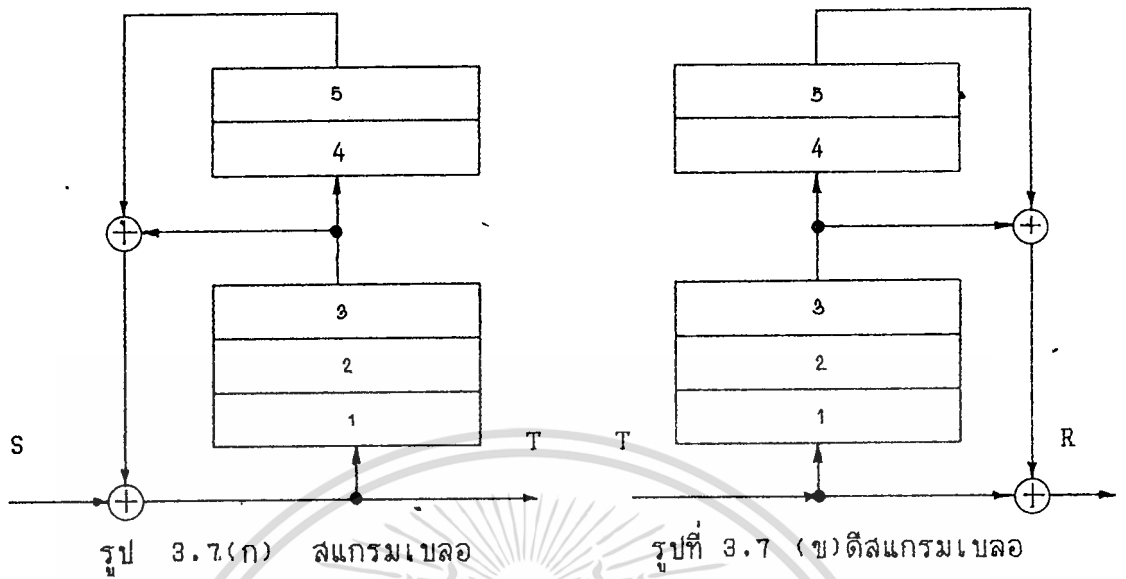
รูปที่ 3.6 three state shift register with feedback

ความยาวของ Pseudo random นี้จะคำนวณได้จากจำนวนของชิฟรารีจิสเตอร์ feedback tap และสถานะเริ่มแรกของฟลิปฟล็อปสังเกตจากรูปที่ 3.6 สถานะเริ่มแรกที่ เป็น "0" ทั้งหมดจะไม่ใช้ในการกำเนิดลำดับนี้ ค่าความยาวของลำดับสูงสุดหาได้จาก n -state shift register คือ $2^n - 1$ ตัวอย่างของค่าลำดับสูงสุดตามตารางที่ 1 สำหรับจำนวนชิฟรารีจิสเตอร์ต่างๆ

ตารางที่ 1 ความยาวสูงสุดของ Pseudo random sequence

จำนวน shift reg	Feed back Tap	Period of sequence
3	1, 3	7
4	1, 4	15
5	2, 5	31
6	1, 6	63
7	1, 7	127
8	1, 6, 7, 8	255
9	4, 9	511
10	3, 10	1023
11	2, 11	2047

Pseudo random จะนำมาใช้เป็นสแกนเบลอข้อมูลโดย Modulo 2 adders ของข้อมูลกับลำดับ Pseudo random ตามรูปที่ 3.7 เป็น block diagram ของสแกนเบลอและดีสแกนเบลอ ซึ่งจะใช้ prescribed pseudo random (PR) sequence สังเกตว่า PR sequence generator ที่ใช้จะเหมือนกันทั้งสแกนเบลอและดีสแกนเบลอ ซึ่งสแกนเบลอจะใช้ย้อนกลับ ส่วนดีสแกนเบลอจะใช้ป้อนตาม (feed forward)



3.3.2 ทฤษฎี Pseudo random encoder/decoder

จากรูป 3.2 (ก) จะได้สมการสถานะคือ

$$T = S \oplus D^3 T \oplus D^5 T$$

$$= S \oplus (D^3 \oplus D^5) T \quad \dots\dots\dots (1)$$

$$S = [1 \oplus (D^3 \oplus D^5)] T$$

ให้ $F = D^3 \oplus D^5$

จะได้ $S = T (1 \oplus F)$

เมื่อ F คือจุดที่ถูก tap สัญญาณออกมา

ดังนั้น จะเขียนเอาท์พุทให้อยู่ในรูปสมการทั่วไปได้คือ •

$$T = S \oplus FS \oplus F^2 S \oplus F^3 S \oplus \dots\dots$$

จากรูปที่ 3.7 (ข) จะได้สมการสถานะคือ

$$R = D^3 T \oplus D^5 T \oplus T$$

$$= T \oplus (D^3 \oplus D^5) T \quad \dots\dots\dots (2)$$

จะได้สมการเอาต์พุตคือ

$$R = T \oplus FT \oplus F^2T \oplus F^3T \oplus \dots$$

ถ้าเรานำเอาต์พุตของตัวสแกนเบลล์ T ป้อนเข้าอินพุตของดีสแกนเบลล์
จะได้สมการเอาต์พุตของดีสแกนเบลล์ดังนี้
แทนค่า (1) ใน (2)

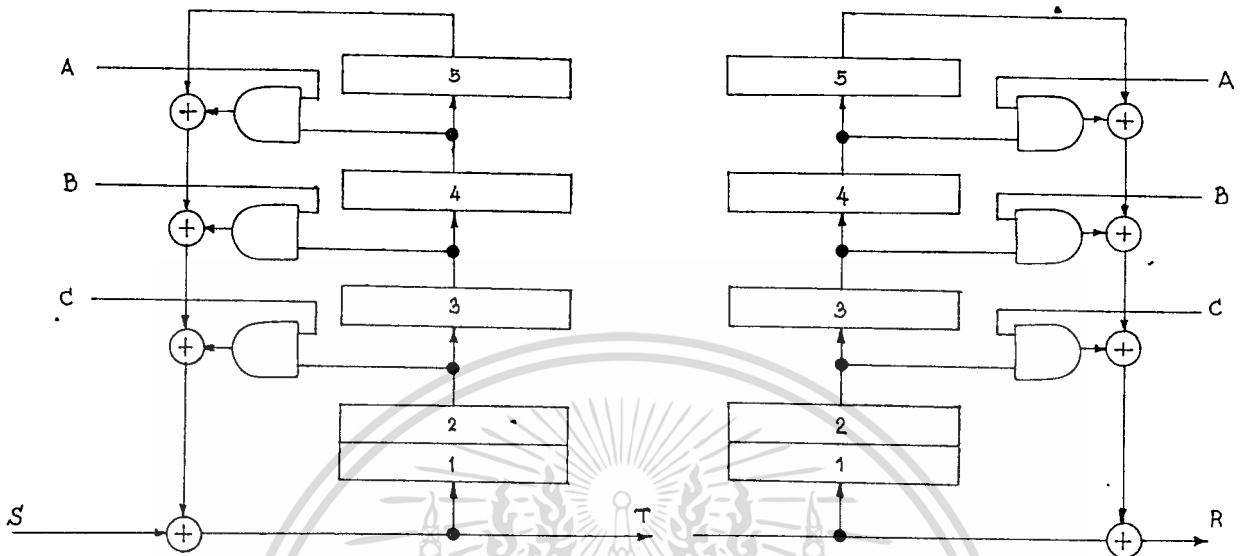
$$\begin{aligned} R &= S \oplus (D^3 \oplus D^5) T \oplus (D^3 \oplus D^5) T \\ &= S \oplus D \\ R &= S \end{aligned}$$

ดังนั้น สัญญาณอินพุตที่เข้าตัวสแกนเบลล์เมื่อผ่านเข้าตัวดีสแกนเบลล์ และ
จะได้สัญญาณเอาต์พุตที่เหมือนเดิม

3.3.3 Programmable Pseudo random จากสมการ PR code

$$T = S \oplus FS \oplus F^2S \oplus F^3S \oplus \dots$$

เมื่อ F คือจุดที่ tap สัญญาณออกมา (feed)
จากสมการจะเห็นว่า ถ้าเราเปลี่ยนแปลงสมการ feed (F) จะทำให้ข้อ
มูล PR เอาต์พุตเปลี่ยนแปลงซึ่งเราอาศัยหลักการนี้มาใช้ในการทำ
Programmable ของสแกนเบลล์และดีสแกนเบลล์ ซึ่งตัวอย่างดังรูปที่ 3.8
(ก) และ 3.8 (ข)



รูป 3.8(ก) สกรรรมเบลอโปรแกรมได้ รูป 3.8(ข) ดีสกรรรมเบลอโปรแกรมได้

จากรูปที่ 3.8(ก) และ 3.8(ข) PR เอาท์พุทจะเปลี่ยนแปลงตาม control code ซึ่งถ้าสกรรรมเบลอและดีสกรรรมเบลอมี control code ตรงกัน ข้อมูลที่อินพุทของสกรรรมเบลอและข้อมูลเอาท์พุทของดีสกรรรมเบลอจะเหมือนกัน

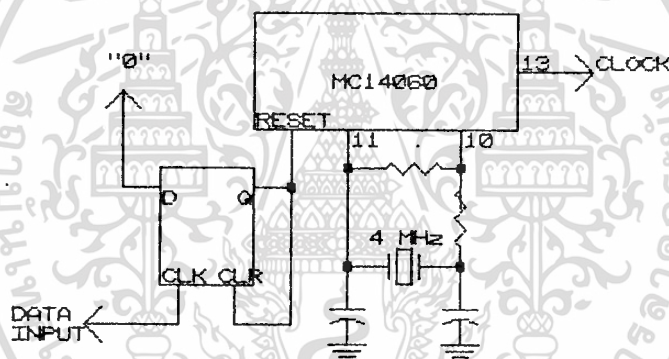
โดยอาศัยหลักการเบื้องต้นนี้ไปประยุกต์ให้จำนวน sequence มากขึ้นและ Feed มากขึ้นจะทำให้สามารถสกรรรมเบลอข้อมูลได้มากยิ่งขึ้น

3.4 การชิงโครไนซ์ระหว่างตัวรับและตัวส่ง

3.4.1 การออกแบบวงจรชิงโครไนซ์

การส่งข้อมูลเป็นดิจิทัล clock ของเครื่องรับและส่งจะต้องมีการซิงโครไนซ์กัน ในโครงการนี้ ไม่ใช้การส่งสัญญาณซิงโครไนซ์จากเครื่องส่ง แต่จะสร้างขึ้นเองจากสัญญาณที่รับได้ที่เครื่องรับ

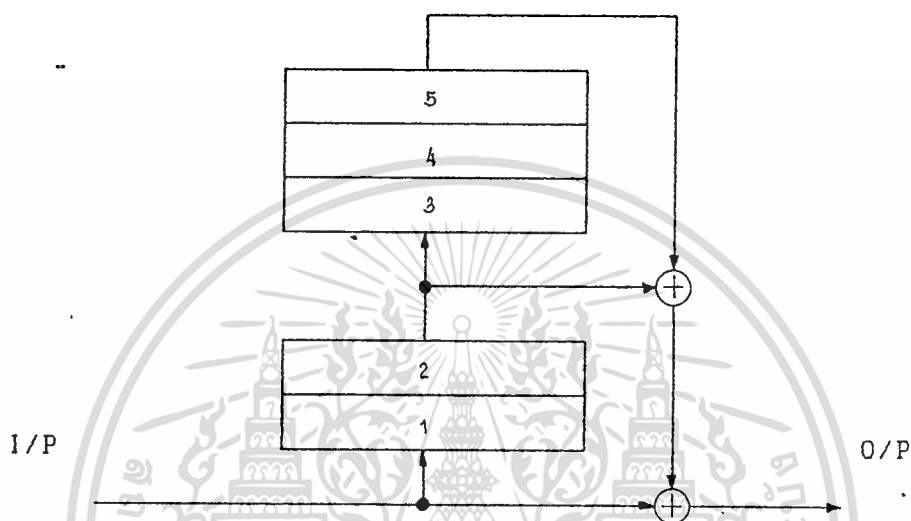
เครื่องรับเมื่อแปลงสัญญาณที่ได้รับได้เป็นดิจิตอลแล้วจะนำขอบของสัญญาณมาเป็นตัว Reset ทางเครื่องรับให้ซิงโครไนซ์กับ clock ของเครื่องส่ง ซึ่งใช้ฟลิปฟล็อปเป็นตัวกระตุ้นทุกๆ ขอบของสัญญาณให้แก่ clock generator



รูปที่ 3.9 การซิงโครไนซ์ clock ของเครื่องรับ

3.4.2 การตั้งคีย์ด้วยตัวเองของดีสแรมเบล (self -
synchroniazation of descrambler)

จากรูปที่ 3.10 เบสิคดีสแกรมเบลจะเห็นว่า ข้อมูลอินพุทของ ดีสแกรมเบลจะเลื่อนเข้าไปในชิฟริเตอร์ ตัวที่ 1,2,3 เรื่อยๆ ตามลำดับ ตาม clock เมื่อเลื่อนครบ 5 clock pluse ดีสแกรมเบลจะชิงโครไนซ์กับ เครื่องส่ง



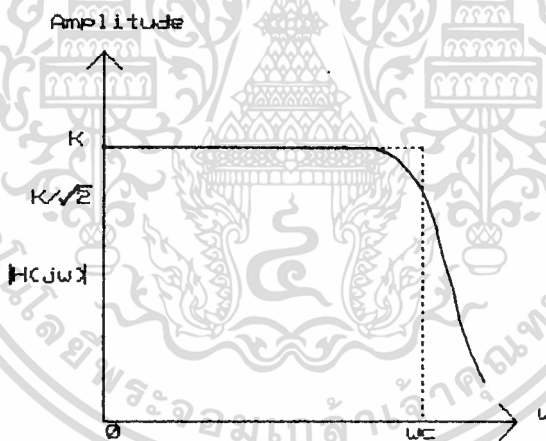
รูปที่ 3.10 เบสิคดีสแกรมเบล

ดังนั้นการชิงโครไนซ์ของดีสแกรมเบลจะชิงโครไนซ์ เมื่ออินพุทป้อนเข้ามาแล้วไม่เกิน n clock เมื่อ n เป็นจำนวนชิฟริเตอร์ของดีสแกรมเบล ซึ่งการชิงโครไนซ์นี้จะทำได้รวดเร็วมาก จึงไม่มีปัญหาในเรื่องของการรอการชิงโครไนซ์ ที่เครื่องรับการทำงานของดีสแกรมเบลจึงค่อนข้างจะ real time มาก

3.5 การกรองสัญญาณ

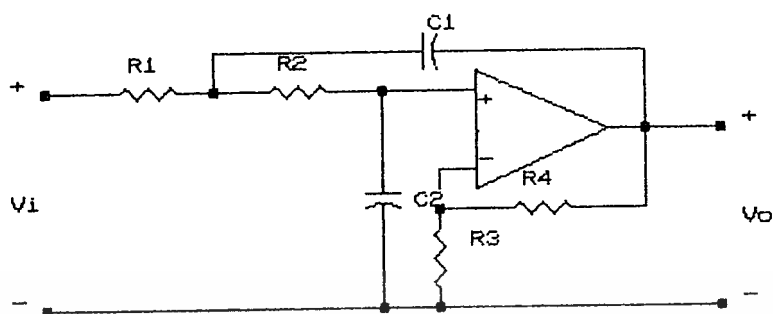
วงจรกรองสัญญาณเป็นส่วนหนึ่งของเครื่องเข้ารหัสเสียงพูด ซึ่งนับได้ว่ามีความสำคัญในการขจัดปัญหาสิ่งรบกวนที่สอดแทรกมากับสัญญาณหรือสัญญาณรบกวนที่เกิดขึ้นจากตัวอุปกรณ์เอง การออกแบบวงจรกรองสัญญาณจะต้องคำนึงถึงขีดความสามารถในการทอนสัญญาณส่วนที่ไม่ต้องการ ให้มีผลต่อการรับฟังของเครื่องเข้ารหัสเสียงพูดชนิดนี้น้อยที่สุด ในโครงงานนี้จะใช้วงจรกรองความถี่ทั้งชนิดที่ความถี่ต่ำผ่านและชนิดกรองความถี่สูงผ่าน ซึ่งในการสื่อสารด้านเสียงจะใช้ความถี่อยู่ในช่วง 200 - 3400 Hz จึงต้องสร้างวงจรกรองความถี่ต่ำผ่านที่มีความถี่คัทออฟ (cut off frequency) ที่ 3400 Hz และวงจรกรองความถี่สูงผ่านที่มีความถี่คัทออฟอยู่ที่ 200 Hz โดยจะใช้วงจร Active filter เนื่องจากมีข้อดีหลายประการ

3.5.1 การออกแบบวงจรกรองความถี่ต่ำผ่าน



รูป 9.11 การตอบสนองของวงจรกรองความถี่ต่ำผ่าน

ตามรูปเป็นวงจรกรองชนิดความถี่ต่ำผ่านแบบบัตเตอร์เวิร์ทอันดับที่ 2 ซึ่งมีคุณสมบัติตามที่ต้องการ โดยมีขนาดของสัญญาณออกราบเรียบ



รูปที่ 3.12 วงจร Second order low pass Butterworth filter

ลักษณะของทรานส์เฟอว์ฟังก์ชันของวงจรกรองชนิดความถี่ต่ำผ่านที่มีอันดับ 2 จะอยู่ในลักษณะ

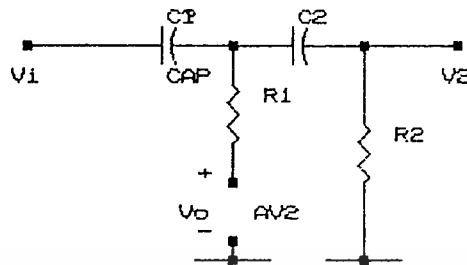
$$V_o(s) / V_i(s) = K / (s^2 + as + b) \quad \dots (5.1)$$

โดยที่ K = ค่าคงที่
 a, b = ค่าคงที่ในการเลือกออกแบบของวงจรกรองความถี่
 ถ้าให้ $H(s) = V_o(s) / V_i(s) \quad \dots (5.2)$

จากสมการ (5.2) การตอบสนองขนาดของสัญญาณเขียนได้เป็น

$$|H(jw)| = K \sqrt{1 + (w/w_c)^{2n}} \quad \dots (5.3)$$

จากรูป 3.12 สามารถเขียนวงจรทดเทียบได้ตามรูปที่ 3.13



รูปที่ 3.13 แสดงวงจรตัดเกียมของวงจรกรองชนิดความถี่ต่ำผ่านอันดับ 2

จากรูป 3.13 และสมการ (5.1) สามารถกำหนดค่าต่างๆ ได้ดังนี้

$$K = A / R_1 R_2 C_1 C_2$$

$$a = [(1-G) / R_2 C_2] + [1 / R_1 C_1] + 1 / R_2 C_2$$

$$b = 1 / R_1 R_2 C_1 C_2$$

โดยที่ $A = (R_3 + R_4) / R_3$

$G =$ อัตราขยายวงจร

ในการออกแบบวงจรกรองชนิดความถี่ต่ำผ่านที่ใช้งาน ต้องการอัตราการลดทอนสัญญาณสูง จึงได้ออกแบบเป็นวงจรกรองชนิดความถี่ต่ำผ่านอันดับ 4 โดยใช้วงจรกรองที่มีอันดับ 2 สองวงจรมาต่ออนุกรมกัน

ค่าที่ใช้งานจริง เมื่อกำหนดความถี่คัทออฟ 3.4 KHz , gain = 1

$$R_1 = R_2 = 4.7 \text{ Kohm}$$

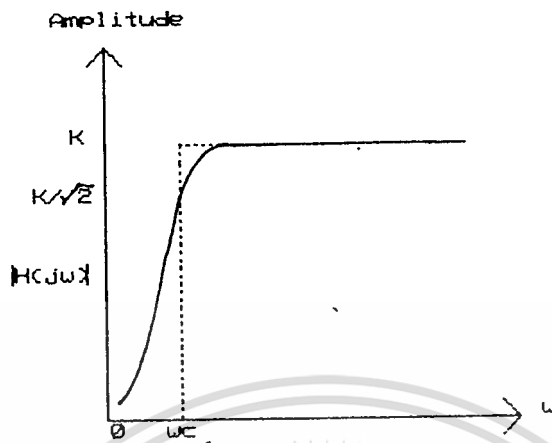
$$R_4 = 1 \text{ Kohm}$$

$$C_1 = 0.022 \text{ } \mu\text{F}$$

$$C_2 = 0.01 \text{ } \mu\text{F}$$

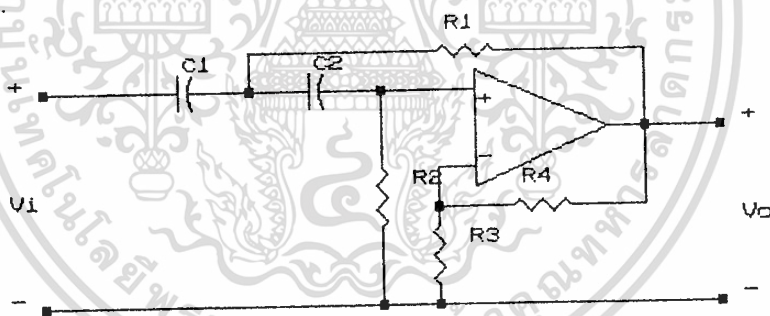
R_3 ไม่ต้องต่อ

3.5.2 การออกแบบวงจรกรองความถี่สูงผ่าน



รูปที่ 3.14 การตอบสนองของวงจรกรองชนิดความถี่สูงผ่าน

การเลือกออกแบบเราใช้แบบแอคทีฟฟิลเตอร์ที่ใช้โอปแอมป์เช่นเดียวกับชนิดแรก ตามรูปเป็นวงจรกรองชนิดความถี่สูงผ่านแบบบัตเตอร์เวิร์ทอันดับที่ 2



รูปที่ 3.15 วงจร Second order high-pass Butterworth filter

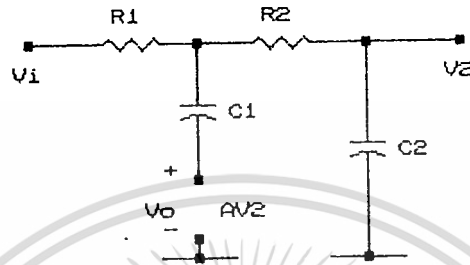
ลักษณะของทรานเฟอร์ฟังก์ชันของวงจรกรองชนิดความถี่สูงผ่านที่มีอันดับ 2 จะอยู่ในลักษณะ

$$H(s) = V_o(s) / V_i(s) = Ks^2 / (s^2 + as + b) \quad \dots (5.4)$$

โดยที่ K = ค่าคงที่

a, b = ค่าคงที่ในการเลือกออกแบบของวงจรกรอง

จากรูป 3.15 สามารถเขียนวงจรทดเทียบได้ตามรูปที่ 3.16



รูปที่ 3.16 แสดงทดเทียบของวงจรกรองชนิดความถี่สูงผ่านอันดับที่ 2

จากรูป 5.6 และสมการ (5.4) สามารถกำหนดค่าต่างๆ ได้ดังนี้

$$K = A = (R_3 + R_4) / R_3$$

$$a = (1 - A) / R_1 C + 2 / R_2 C$$

$$b = 1 / R_1 R_2 C^2$$

ในการออกแบบวงจรกรองชนิดความถี่สูงผ่านที่ใช้งานก็เช่นกันจำเป็นต้องมีอัตราการลดทอนสัญญาณสูงจึงได้ออกแบบเป็นวงจรกรองชนิดความถี่สูงผ่านอันดับ 4 โดยใช้วงจรกรองที่มีอันดับ 2 สองวงจรมาต่ออนุกรมกัน

ค่าที่ใช้งานจริง เมื่อกำหนดความถี่คัทออฟ 3.4 KHz , $gain = 1$

$$C = C_1 = C_2 = 0.1 \mu F$$

$$R_1 = 330 \text{ Kohm}$$

$$R_2 = 150 \text{ Kohm}$$

$$R_4 = 1 \text{ Kohm}$$

$$R_3 \text{ ไม่ต้องต่อ}$$

ปัญหาที่เกิดขึ้นที่พอจะสรุปได้คือ

1. เกิดการไหลตกกับสัญญาณขาเข้า เนื่องจากอินพุทอิมพีแดนซ์ของวงจรโดยเฉพาะการเลือกค่า R_1 , C_1 ในรูปที่ 3.12 และ R_1 , C ในรูปที่ 3.15 จะเป็นตัวกำหนดอิมพีแดนซ์ของวงจร

2. เกิดการออสซิลเลชัน เมื่อพิจารณาจากรูป 3.12 และ 3.15 แล้วจะเห็นว่าวงจรที่ใช้จะมีส่วนที่เป็นสัญญาณป้อนกลับแบบเพิ่มกำลัง ซึ่งเป็นตัวกำหนดความถี่คัทออฟและส่วนที่เป็นสัญญาณป้อนกลับแบบลดกำลังจะเป็นตัวกำหนดอัตราการขยายวงจร ดังนั้นในการออกแบบจะต้องคำนึงถึงการป้อนกลับของสัญญาณ (feedback) ทั้งสองให้มีค่าใกล้เคียงกัน ถ้าส่วนใดส่วนหนึ่งมีการป้อนกลับมากเกินไป จะทำให้เกิดการออสซิลเลชันในวงจรได้

3. เกิดสิ่งรบกวนจากภายนอกเข้ามา จากรูปที่ 3.12 และ 3.15 R_3 และ R_4 ทำหน้าที่เป็นตัวกำหนดอัตราการขยายของวงจร โดยมี R_4 เป็นตัวป้อนกลับ ค่า R_4 ที่เลือกใช้ไม่ควรมีค่าเกิน 1 Mohm เพราะจะทำให้มีสิ่งรบกวนจากภายนอกเข้ามาได้

4. เกิดความผิดพลาดจากทฤษฎีมาก เช่น อัตราการขยายของวงจร ความถี่คัทออฟ ซึ่งสาเหตุนี้เกิดขึ้นเมื่อเลือกออกแบบมาใช้ไม่เหมาะสมกับสิ่งที่ต้องการ ซึ่งจะต้องคำนึงถึงคุณสมบัติดังต่อไปนี้

- มีอินพุทอิมพีแดนซ์สูงพอ มิฉะนั้นจะทำให้การออกแบบผิดพลาด เนื่องจากทางทฤษฎีเรากำหนดว่าอินพุทอิมพีแดนซ์ของออปแอมป์เท่ากับ ∞

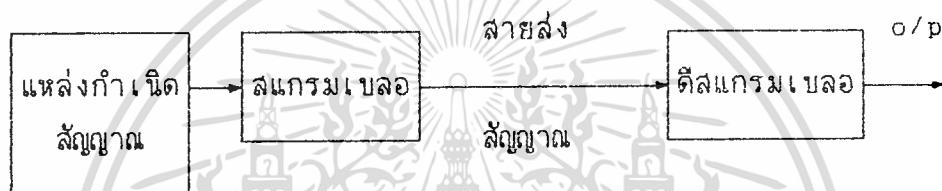
- ผลคูณระหว่างค่าขยายและแบนวิด

- มีผลตอบสนองต่อความถี่ดี

บทที่ 4

การทดลองและผลการทดลอง

จากรูปที่ 4.1, 4.2, 4.3, 4.4 แสดงวงจรสมบูรณที่สร้างขึ้นทั้งหมด ซึ่งได้สร้างขึ้นใช้ส่งในแบบ Simplex โดยสัญญาณที่เอาต์พุตจะอยู่ในรูปของความถี่ การทดลองในขั้นต้น ใช้ต่อ link ระหว่างเครื่องส่งและเครื่องรับ โดยตรง โดยไม่ได้ผ่านระบบใดๆ ป้อนสัญญาณเข้าที่เครื่องส่ง 1.2 KHz ขึ้นไป เมื่อลองใช้สัญญาณเสียงพูด สามารถฟังเสียงเข้าใจได้ดี



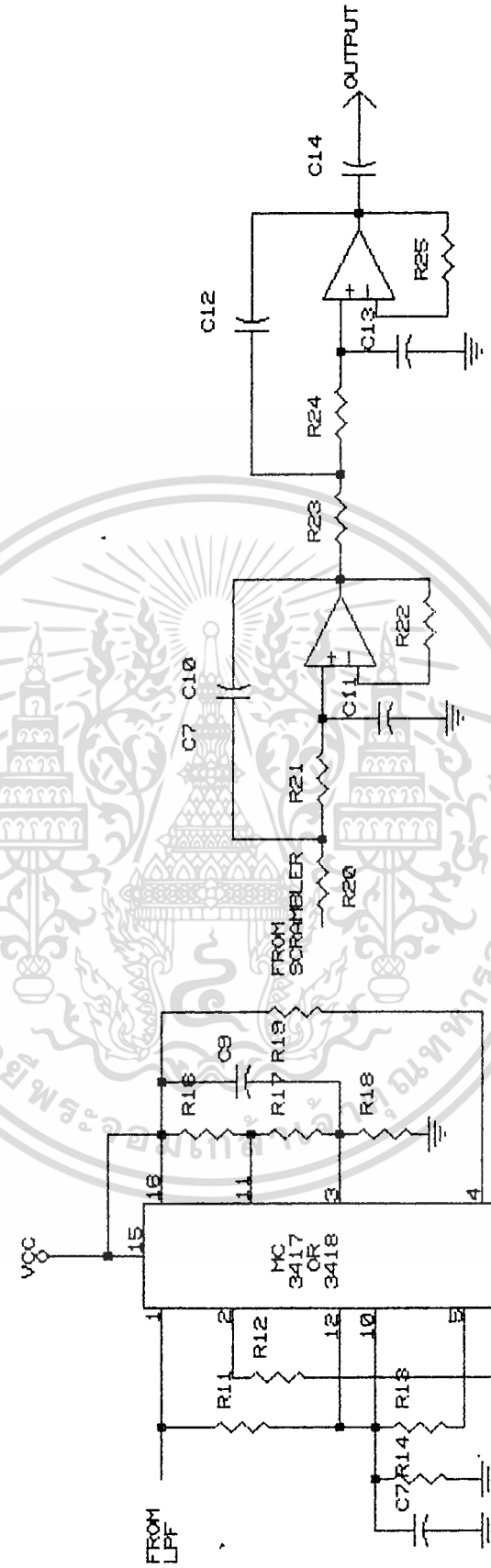
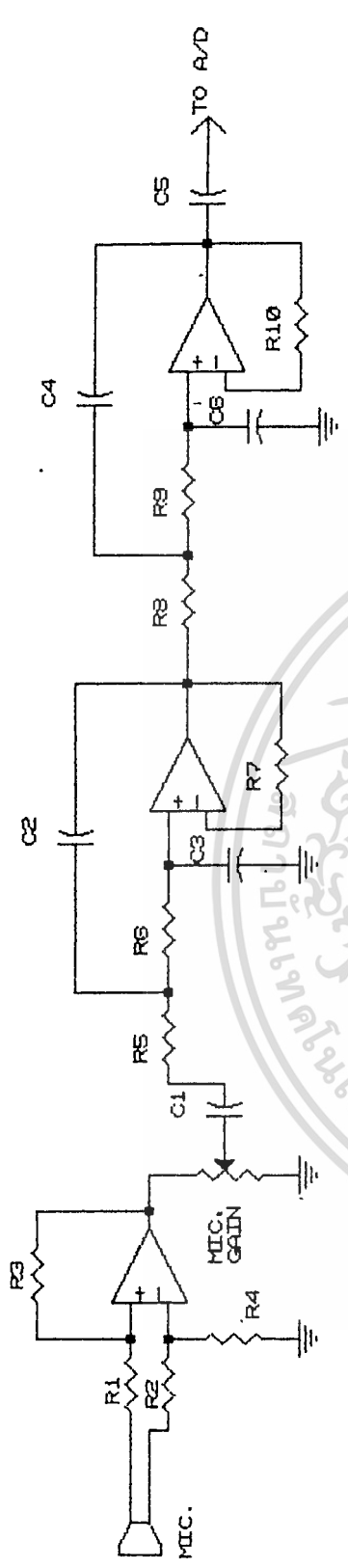
รูปที่ 4.5 การต่อระบบโดยใช้สาย

สำหรับการทดลองโดยใช้เครื่องส่งได้ทดลองโดยใช้เครื่องส่ง FM ความถี่ 107.5 MHz โดยต่อสัญญาณผ่านสแกนเบลอเข้าอินพุตของเครื่องส่ง ภาครับใช้วิทยุรับ ต่อเอาต์พุตของวิทยุเข้าเครื่องดีสแกนเบลอ ซึ่งเสียงที่รับได้ค่อนข้างจะดีน้อยกว่าการต่อตรง เนื่องจากการล้นของสัญญาณอินพุตของเครื่องรับที่รับได้ ทำให้ sync clock ที่ภาครับมีการล้น ทำให้มีการผิดเวลาของการดีสแกนเบลอ แต่ว่ามีผลต่อเสียงไม่มากนัก

ในเครื่องรับส่งที่ใช้ทดลองนี้ จะมีแบนวิทที่กว้างกว่าเครื่องส่งประเภทมือถือ หรือโมบายล์ทั่วไป แต่ในโครงงานนี้ได้จำกัดความถี่ของเครื่องส่งไว้ที่ 4 KHz ซึ่งถ้าระบบรับส่งใดๆ ที่ใช้กับเสียงที่มีแบนวิทไม่ต่ำกว่า 4 KHz จะสามารถใช้สแกนเบลอและดีสแกนเบลอที่ออกแบบไว้นี้ได้

4TH ORDER LOW PASS FILTER

PRE MIC.

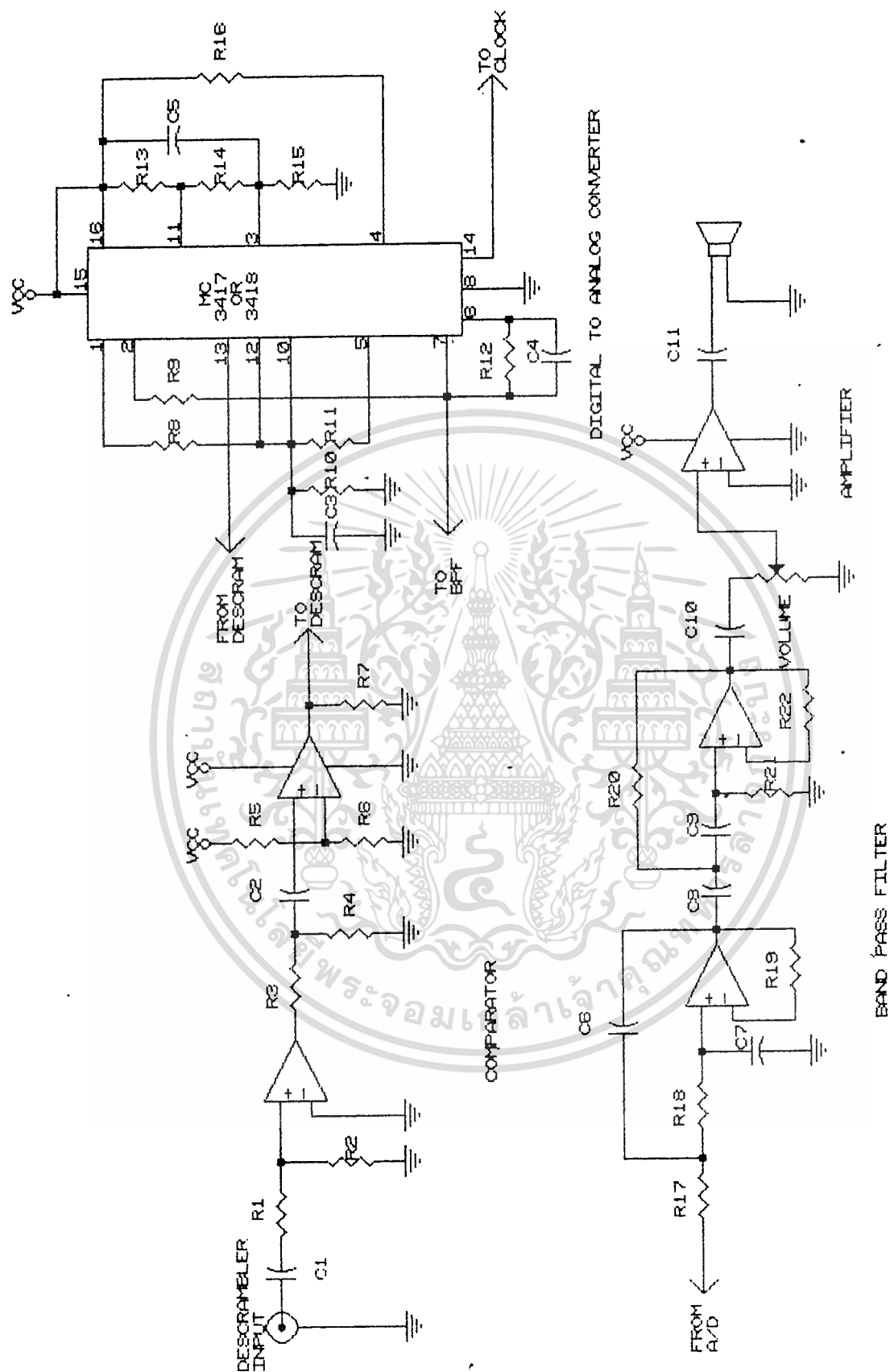


OUTPUT 4TH ORDER LPF

ANALOG TO DIGITAL CONVERTER

DESIGNED BY WUTIPONG & KONGSAK		
Title	DIGITAL VOICE SCRAMBLER	
Size	Document Number	REV
A		01
Date:	, 1993 Sheet of	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



BAND PASS FILTER

DESCOMETER CIRCUIT DIAGRAM

DESIGNED BY WUTIPONG & KONGSAK

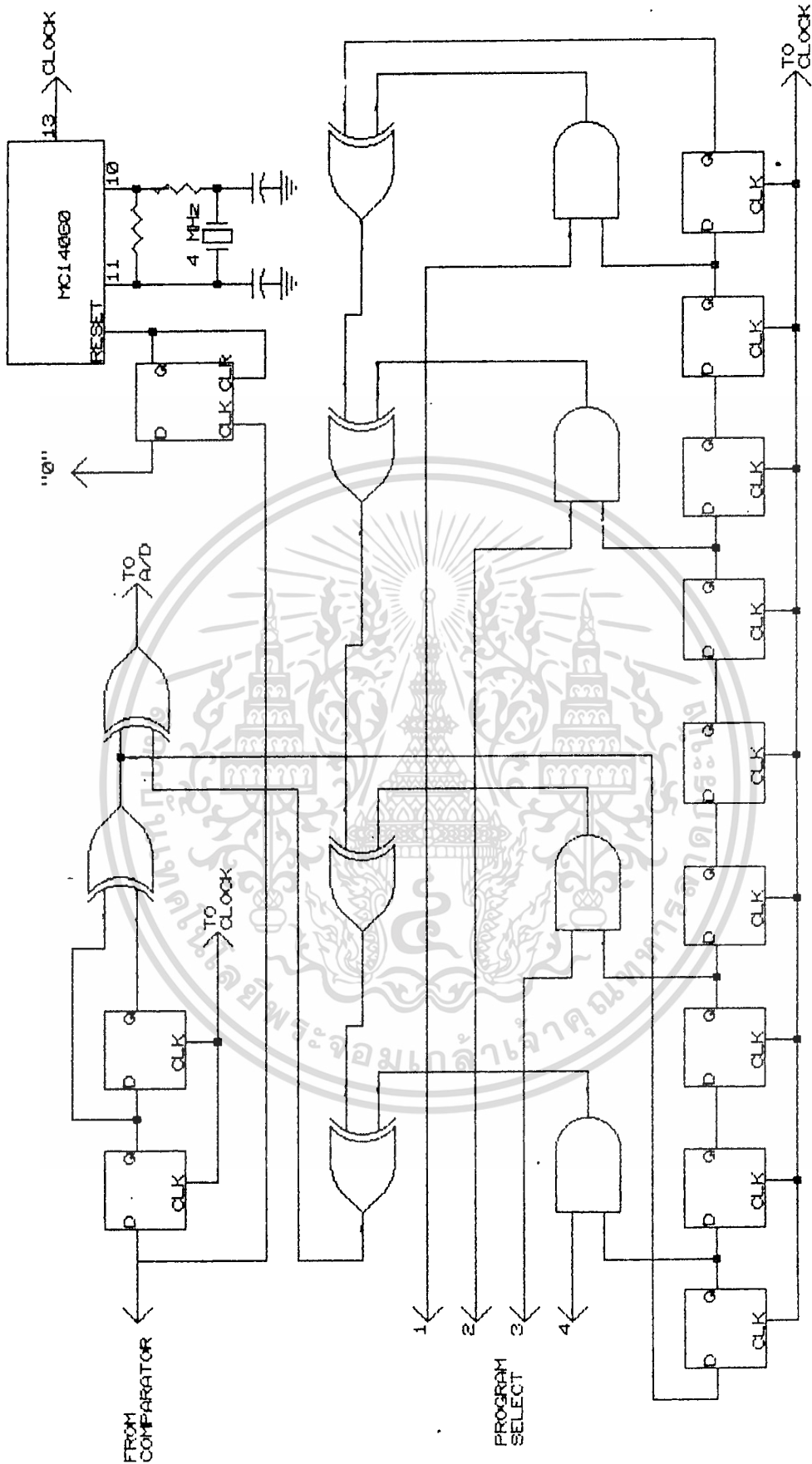
Size Document Number

A

03

Date: April 12, 1990 Sheet of

REV



DESCRAMBLER

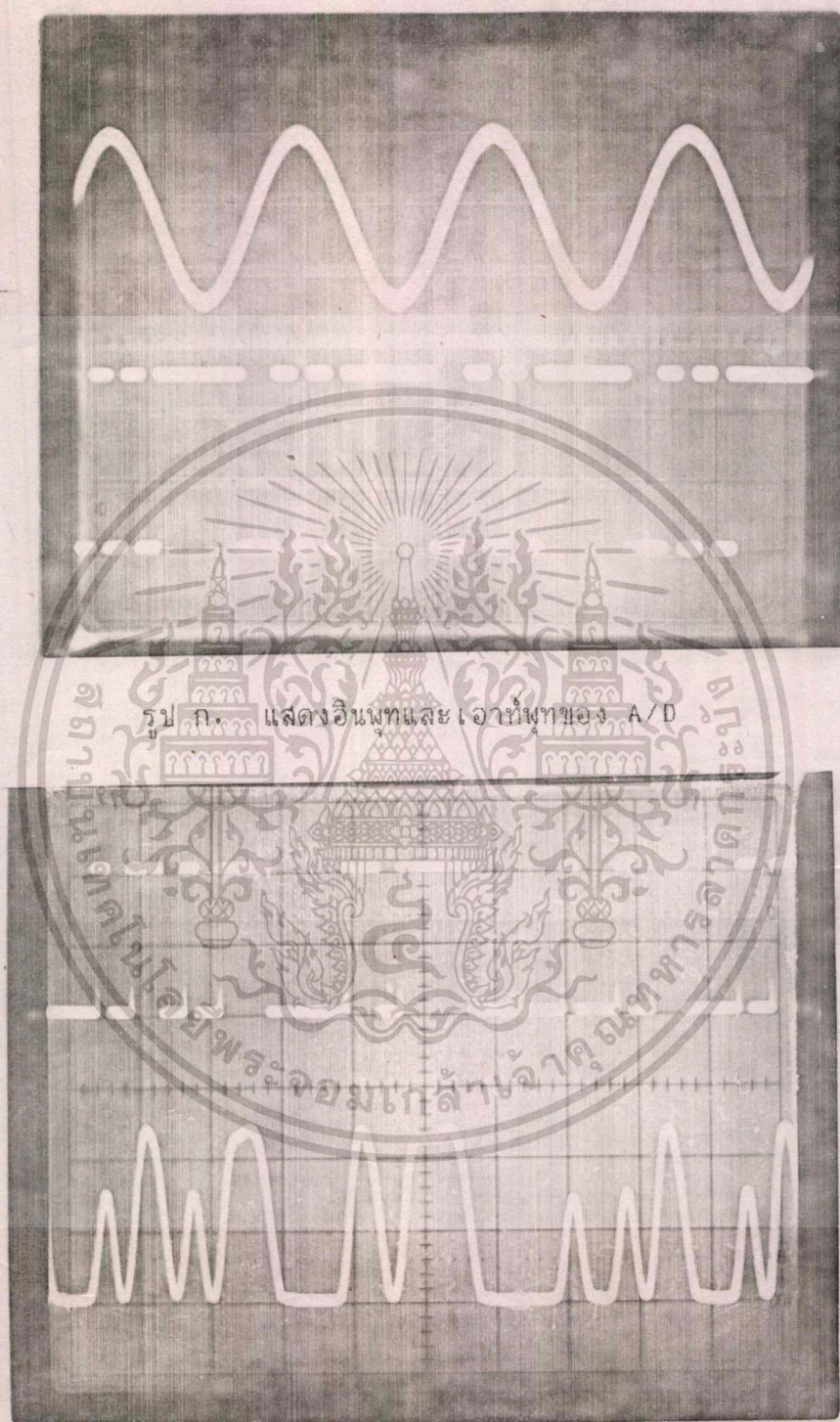
Title

DIGITAL VOICE SCRAMBLER

Size Document Number

A

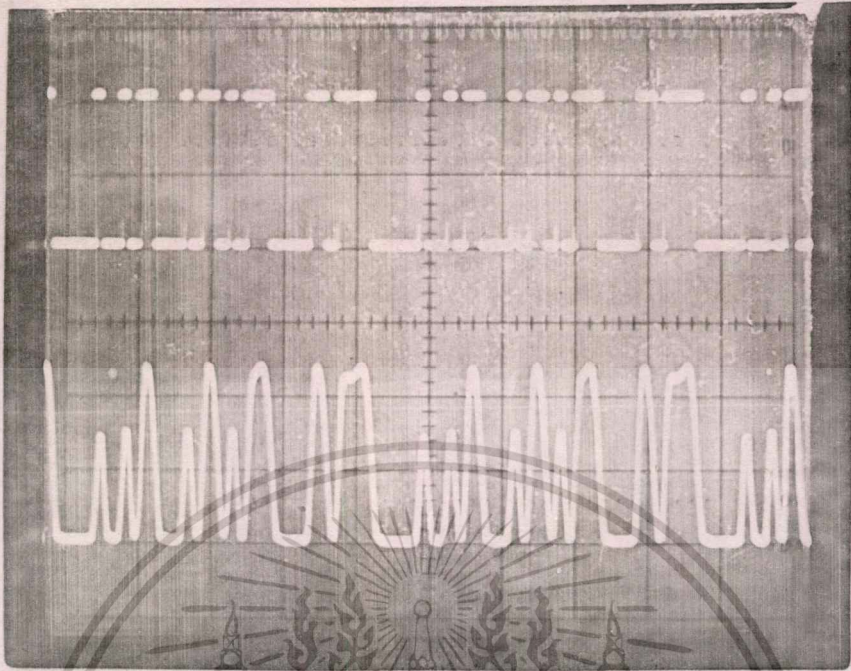
REV



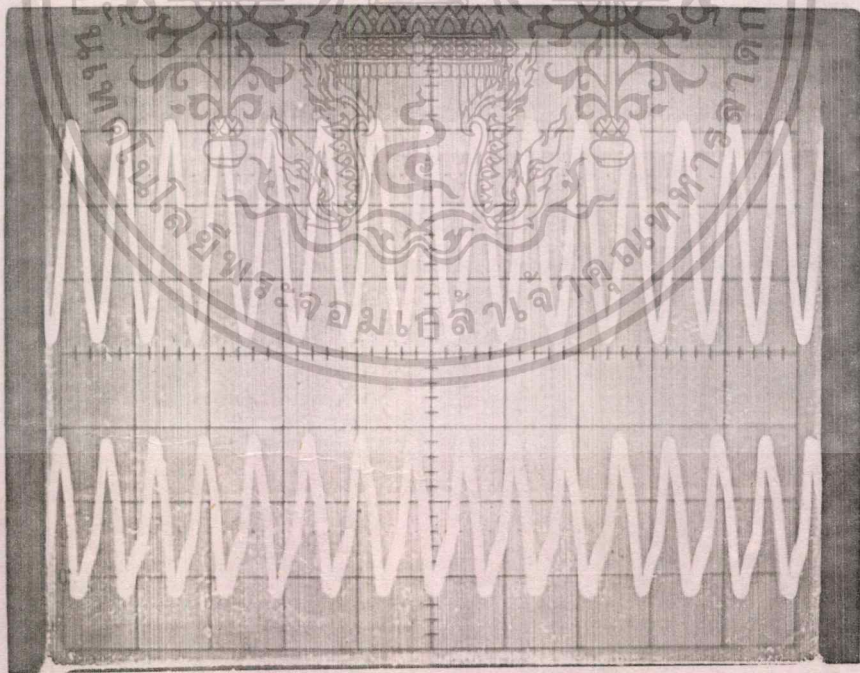
รูป ก. แสดงอินพุตและเอาต์พุตของ A/D

รูป ข. แสดงสัญญาณดิจิตอลและสัญญาณเอาต์พุตผ่าน LFF

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

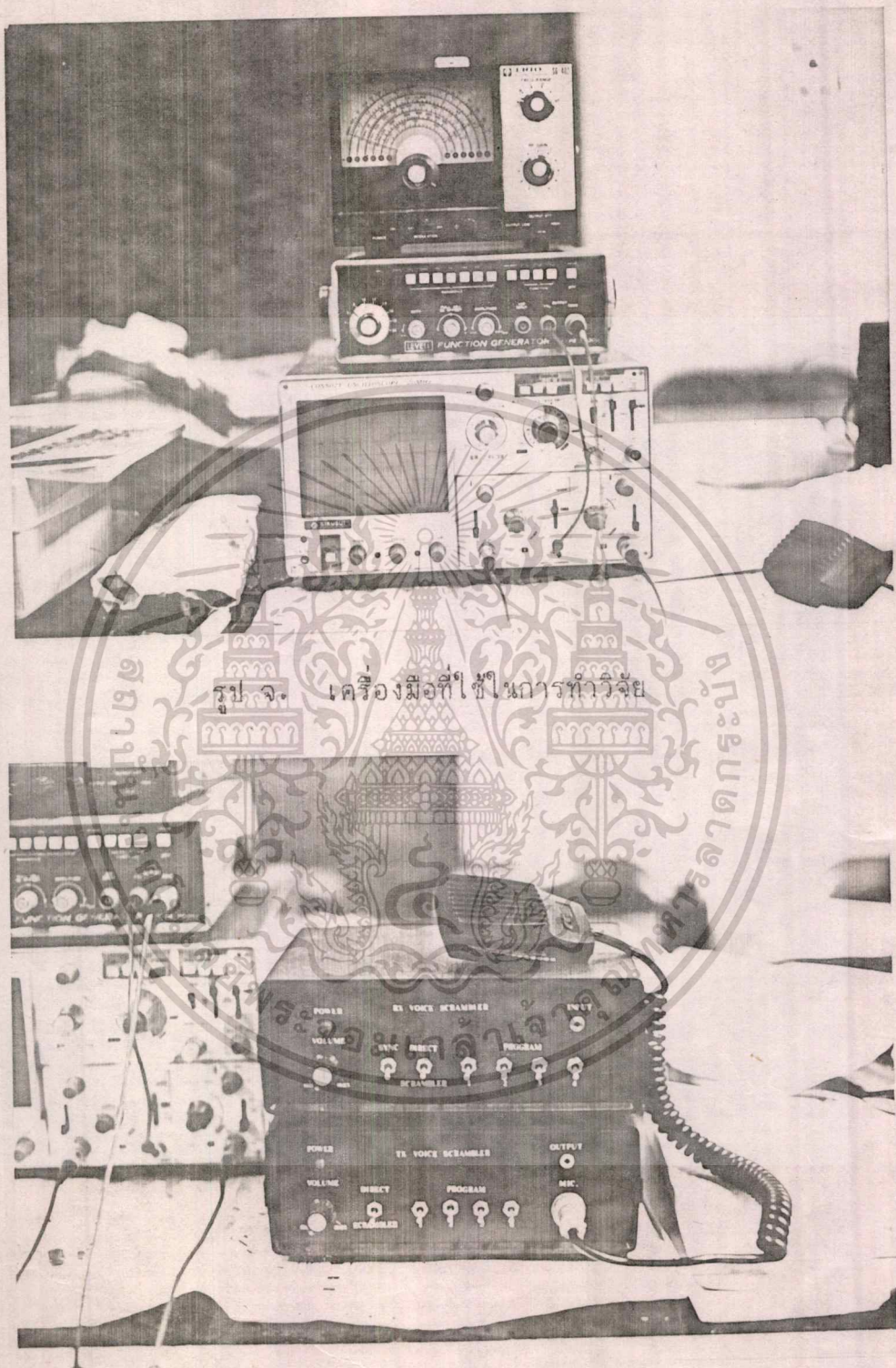


รูป ค. แสดงสัญญาณดิจิทัลและสัญญาณเอาต์พุตผ่าน LPF



รูป ง. แสดงสัญญาณอนาล็อกอินพุตเครื่องส่งและอนาล็อกเอาต์พุตเครื่องรับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป จ. เครื่องมือที่ใช้ในการทำวิจัย

รูป ฉ. เครื่องป้องกันการดักฟังต้นแบบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สรุปผลและวิจารณ์

โครงการเครื่องป้องกันการดักฟังเสียงแบบดิจิตอลนี้ ได้ประยุกต์การทำงานของ Pseudo Random Sequence ซึ่งการสแกนเบลอโดยวิธีนี้ง่ายต่อการสร้างแต่ให้ผลการสแกนเบลอที่ดี และยากต่อการแกะรอย เนื่องจากการสแกนเบลอสัญญาณเป็นแบบต่อเนื่อง ต้องนำข้อมูลเก่ามาเป็นตัวกำเนิดข้อมูลใหม่

การชิงโครโนซ์ของสัญญาณในส่วนสแกนเบลอต่ำ จะชิงโครโนซ์ด้วยตัวของดีสแกรมเบลอเอง ซึ่งในการพัฒนาในอนาคตอาจจะต้องแก้ปัญหาของการชิงโครโนซ์ของ clock เพื่อลดการผิดพลาด และการพัฒนาในส่วนสแกนเบลอและดีสแกรมเบลออาจใช้ CPU ในการควบคุม ซึ่งจะทำให้สามารถเพิ่มเทคนิคในการสแกนเบลอให้ยากแก่การแกะรอยมากขึ้น

กิตติกรรมประกาศ

ความสำเร็จของโครงการนี้ ต้องขอขอบพระคุณ ผศ.ดร. กนก เจนจิระพงศ์เวช ผศ.นิกร สุขุมตันติ อ.กฤตากร กล่อมการ ที่ให้การสนับสนุนด้านเครื่องมือและอุปกรณ์ รวมทั้งคำปรึกษาในการทำวิจัย และขอขอบคุณเพื่อนๆ ที่ให้คำแนะนำในการออกแบบวงจรบางส่วน

โครงการนี้ คงจะมีประโยชน์แก่ผู้ที่นำไปใช้และพัฒนาบ้าง ถ้ามีข้อผิดพลาดใดๆ ต้องขออภัยไว้ ณ ที่นี้ด้วย



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หนังสืออ้างอิง

- [1] Henry J. Beker , " *Secure Speech Communication* " , Academic Press Inc. (London) , 1985
- [2] J.E. Savage, " *Some Simple Self-Synchronizing Digital data Scrambler* ", The Bell system Technical Journal, 1967
- [3] J.L. Hilburn and D.E. Johnson ; " *Manual of active filter design* " ; McGraw Hill , New York , 1973
- [4] John G. Proakis, " *Digital Communications* " ; McGraw Hill , 1983
- [5] PAUL BATES , P.ENG ; " *Practical Digital and Data Communictions with LSI Applications* " Prentice,Inc., Engle wood Cliffs , New jersey , 147 P



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



MOTOROLA

MC3417, MC3517 MC3418, MC3518

Specifications and Applications Information

CONTINUOUSLY VARIABLE SLOPE DELTA MODULATOR/DEMODULATOR

Providing a simplified approach to digital speech encoding/decoding, the MC3517/18 series of CVSDs is designed for military secure communication and commercial telephone applications. A single IC provides both encoding and decoding functions.

- Encode and Decode Functions on the Same Chip with a Digital Input for Selection
- Utilization of Compatible I²L — Linear Bipolar Technology
- CMOS Compatible Digital Output
- Digital Input Threshold Selectable ($V_{CC}/2$ reference provided on chip)
- MC3417/MC3517 has a 3-Bit Algorithm (General Communications)
- MC3418/MC3518 has a 4-Bit Algorithm (Commercial Telephone)

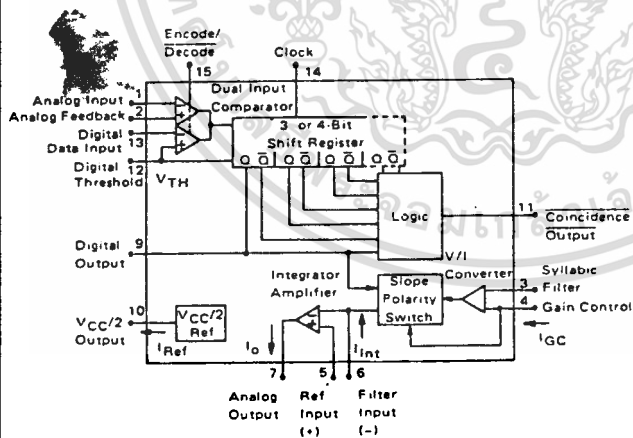
CONTINUOUSLY VARIABLE SLOPE DELTA MODULATOR/DEMODULATOR

LASER-TRIMMED
INTEGRATED CIRCUIT

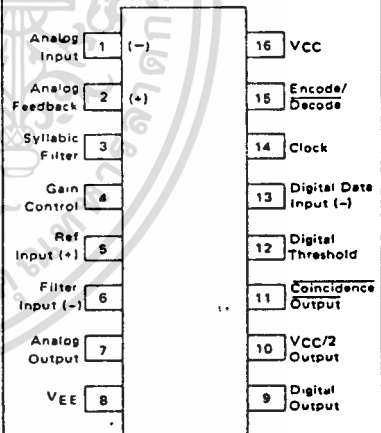


L SUFFIX
CERAMIC PACKAGE
CASE 620

CVSD BLOCK DIAGRAM



PIN CONNECTIONS



ORDERING INFORMATION

Device	Package	Temperature Range
MC3417L	Ceramic DIP	0°C to +70°C
MC3418L	Ceramic DIP	0°C to +70°C
MC3517L	Ceramic DIP	-55°C to +125°C
MC3518L	Ceramic DIP	-55°C to +125°C

MC3417, MC3517, MC3418, MC3518

MAXIMUM RATINGS

(All voltages referenced to V_{EE} , $T_A = 25^\circ\text{C}$ unless otherwise noted.)

Rating	Symbol	Value	Unit
Power Supply Voltage	V_{CC}	-0.4 to +18	Vdc
Differential Analog Input Voltage	V_{ID}	± 5.0	Vdc
Digital Threshold Voltage	V_{TH}	-0.4 to V_{CC}	Vdc
Logic Input Voltage (Clock, Digital Data, Encode/Decode)	V_{Logic}	-0.4 to +18	Vdc
Coincidence Output Voltage	$V_{O(Con)}$	-0.4 to +18	Vdc
Syllabic Filter Input Voltage	$V_{I(Syl)}$	-0.4 to V_{CC}	Vdc
Gain Control Input Voltage	$V_{I(GC)}$	-0.4 to V_{CC}	Vdc
Reference Input Voltage	$V_{I(Ref)}$	$V_{CC}/2 - 1.0$ to V_{CC}	Vdc
$V_{CC}/2$ Output Current	I_{Ref}	-25	mA

ELECTRICAL CHARACTERISTICS

($V_{CC} = 12\text{ V}$, $V_{EE} = \text{Gnd}$, $T_A = 0^\circ\text{C}$ to $+70^\circ\text{C}$ for MC3417/18, $T_A = -55^\circ\text{C}$ to $+125^\circ\text{C}$ for MC3517/18 unless otherwise noted.)

Characteristic	Symbol	MC3417/MC3517			MC3418/MC3518			Unit
		Min	Typ	Max	Min	Typ	Max	
Power Supply Voltage Range (Figure 1)	V_{CCR}	4.75	12	16.5	4.75	12	16.5	Vdc
Power Supply Current (Figure 1) (Idle Channel) ($V_{CC} = 5.0\text{ V}$) ($V_{CC} = 15\text{ V}$)	I_{CC}	—	3.7 6.0	5.0 10	—	3.7 6.0	5.0 10	mA
Clock Rate	SR	—	16 k	—	—	32 k	—	Samples/s
Gain Control Current Range (Figure 2)	I_{GCR}	0.001	—	3.0	0.001	—	3.0	mA
Analog Comparator Input Range (Pins 1 and 2) ($4.75\text{ V} < V_{CC} < 16.5\text{ V}$)	V_I	1.3	—	$V_{CC} - 1.3$	1.3	—	$V_{CC} - 1.3$	Vdc
Analog Output Range (Pin 7) ($4.75\text{ V} < V_{CC} < 16.5\text{ V}$, $I_O = \pm 5.0\text{ mA}$)	V_O	1.3	—	$V_{CC} - 1.3$	1.3	—	$V_{CC} - 1.3$	Vdc
Input Bias Currents (Figure 3) (Comparator in Active Region)	I_{IB}	—	—	—	—	—	—	μA
Analog Input (I1)		—	0.5	1.5	—	0.25	1.0	
Analog Feedback (I2)		—	0.5	1.5	—	0.25	1.0	
Syllabic Filter Input (I3)		—	0.06	0.5	—	0.06	0.3	
Reference Input (I5)		—	-0.06	-0.5	—	-0.06	-0.3	
Input Offset Current (Comparator in Active Region)	I_{IO}	—	—	—	—	—	—	μA
Analog Input/Analog Feedback I1 - I2 - Figure 3		—	0.15	0.6	—	0.05	0.4	
Integrator Amplifier I3 - Figure 4		—	0.02	0.2	—	0.01	0.1	
Input Offset Voltage V/I Converter (Pins 3 and 4) - Figure 5	V_{IO}	—	2.0	6.0	—	2.0	6.0	mV
Transconductance V/I Converter, 0 to 3.0 mA Integrator Amplifier, 0 to $\pm 5.0\text{ mA}$ Load	gm	0.1 1.0	0.3 10	— —	0.1 1.0	0.3 10	— —	mA/mV
Propagation Delay Times (Note 1)								μs
Clock Trigger to Digital Output ($C_L = 25\text{ pF}$ to Gnd)	t_{PLH} t_{PHL}	— —	1.0 0.8	2.5 2.5	— —	1.0 0.8	2.5 2.5	
Clock Trigger to Coincidence Output ($C_L = 25\text{ pF}$ to Gnd) ($R_L = 4\text{ k}\Omega$ to V_{CC})	t_{PLH} t_{PHL}	— —	1.0 0.8	3.0 2.0	— —	1.0 0.8	3.0 2.0	
Coincidence Output Voltage - Low Logic State ($I_{OL(Con)} = 3.0\text{ mA}$)	$V_{OL(Con)}$	—	0.12	0.25	—	0.12	0.25	Vdc
Coincidence Output Leakage Current - High Logic State ($V_{OH} = 15.0\text{ V}$, $0^\circ\text{C} < T_A < 70^\circ\text{C}$)	$I_{OH(Con)}$	—	0.01	0.5	—	0.01	0.5	μA

NOTE 1. All propagation delay times measured 50% to 50% from the negative going (from V_{CC} to +0.4 V) edge of the clock.

MC3417, MC3517, MC3418, MC3518

ELECTRICAL CHARACTERISTICS (continued)

Characteristic	Symbol	MC3417/MC3517			MC3418/MC3518			Unit
		Min	Typ	Max	Min	Typ	Max	
Applied Digital Threshold Voltage Range (Pin 12)	V _{TH}	+1.2	—	V _{CC} - 2.0	+1.2	—	V _{CC} - 2.0	V _{dc}
Digital Threshold Input Current (1.2 V < V _{th} < V _{CC} - 2.0 V) (V _{IL} applied to Pins 13, 14 and 15) (V _{IH} applied to Pins 13, 14 and 15)	I _{I(th)}	—	— -10	5.0 -50	—	— -10	5.0 -50	μA
Maximum Integrator Amplifier Output Current	I _O	±5.0	—	—	±5.0	—	—	mA
V _{CC} /2 Generator Maximum Output Current (Source only)	I _{Ref}	+10	—	—	+10	—	—	mA
V _{CC} /2 Generator Output Impedance (0 to +10 mA)	z _{Ref}	—	3.0	6.0	—	3.0	6.0	Ω
V _{CC} /2 Generator Tolerance (4.75 V < V _{CC} < 16.5 V)	ε	—	—	±3.5	—	—	±3.5	%
Logic Input Voltage (Pins 13, 14 and 15) Low Logic State High Logic State	V _{IL} V _{IH}	Gnd V _{th} + 0.4	—	V _{th} - 0.4 18.0	Gnd V _{th} + 0.4	—	V _{th} - 0.4 18.0	V _{dc}
Dynamic Total Loop Offset Voltage (Note 2) — Figures 3, 4 and 5 I _{GC} = 12.0 μA, V _{CC} = 12 V T _A = 25°C 0°C < T _A < +70°C MC3417/18 -55°C < T _A < +125°C MC3517/18 I _{GC} = 33.0 μA, V _{CC} = 12 V T _A = 25°C 0°C < T _A < +70°C MC3417/18 -55°C < T _A < +125°C MC3517/18 I _{GC} = 12.0 μA, V _{CC} = 5.0 V T _A = 25°C 0°C < T _A < +70°C MC3417/18 -55°C < T _A < +125°C MC3517/18 I _{GC} = 33.0 μA, V _{CC} = 5.0 V T _A = 25°C 0°C < T _A < +70°C MC3417/18 -55°C < T _A < +125°C MC3517/18	ΣV _{offset}	—	—	—	—	—	mV	
Digital Output Voltage (I _{OL} = 3.6 mA) (I _{OH} = -0.35 mA)	V _{OL} V _{OH}	— V _{CC} - 1.0	0.1 V _{CC} - 0.2	0.4 —	— V _{CC} - 1.0	0.1 V _{CC} - 0.2	0.4 —	V _{dc}
Syllabic Filter Applied Voltage (Pin 3) (Figure 2)	V _{I(Syl)}	+3.2	—	V _{CC}	+3.2	—	V _{CC}	V _{dc}
Integrating Current (Figure 2) (I _{GC} = 12.0 μA) (I _{GC} = 1.5 mA) (I _{GC} = 3.0 mA)	I _{I(Int)}	8.0 1.45 2.75	10 1.50 3.0	12 1.55 3.25	8.0 1.45 2.75	10 1.50 3.0	12 1.55 3.25	μA mA mA
Dynamic Integrating Current Match (I _{GC} = 1.5 mA) Figure 6	V _{O(Ave)}	—	±100	±250	—	±100	±250	mV
Input Current — High Logic State (V _{IH} = 18 V) Digital Data Input Clock Input Encode/Decode Input	I _{IH}	—	—	+5.0 +5.0 +5.0	—	— — —	+5.0 +5.0 +5.0	μA
Input Current — Low Logic State (V _{IL} = 0 V) Digital Data Input Clock Input Encode/Decode Input Clock Input, V _{IL} = 0.4 V	I _{IL}	—	—	-10 -360 -36 -72	—	— — — —	-10 -360 -36 -72	μA

NOTE 2. Dynamic total loop offset (ΣV_{offset}) equals V_{IO} (comparator) (Figure 3) minus V_{IOX} (Figure 5). The input offset voltages of the analog comparator and of the integrator amplifier include the effects of input offset current through the input resistors. The slope polarity switch current mismatch appears as an average voltage across the 10 k integrator resistor. For the MC3417/MC3517, the clock frequency is 16.0 kHz. For the MC3418/MC3518, the clock frequency is 32.0 kHz. Idle channel performance is guaranteed if this dynamic total loop offset is less than one-half of the change in integrator output voltage during one clock cycle (ramp step size). Laser trimming is used to insure good idle channel performance.

MC3417, MC3517, MC3418, MC3518

DEFINITIONS AND FUNCTION OF PINS

Pin 1 – Analog Input

This is the analog comparator inverting input where the voice signal is applied. It may be ac or dc coupled depending on the application. If the voice signal is to be level shifted to the internal reference voltage, then a bias resistor between pins 1 and 10 is used. The resistor is used to establish the reference as the new dc average of the ac coupled signal. The analog comparator was designed for low hysteresis (typically less than 0.1 mV) and high gain (typically 70 dB).

Pin 2 – Analog Feedback

This is the non-inverting input to the analog signal comparator within the IC. In an encoder application it should be connected to the analog output of the encoder circuit. This may be pin 7 or a low pass filter output connected to pin 7. In a decode circuit pin 2 is not used and may be tied to $V_{CC}/2$ on pin 10, ground or left open.

The analog input comparator has bias currents of 1.5 μA max, thus the driving impedances of pins 1 and 2 should be equal to avoid disturbing the idle channel characteristics of the encoder.

Pin 3 – Syllabic Filter

This is the point at which the syllabic filter voltage is returned to the IC in order to control the integrator step size. It is an NPN input to an op amp. The syllabic filter consists of an RC network between pins 11 and 3. Typical time constant values of 6 ms to 50 ms are used in voice codecs.

Pin 4 – Gain Control Input

The syllabic filter voltage appears across C_S of the syllabic filter and is the voltage between V_{CC} and pin 3. The active voltage to current (V-I) converter drives pin 4 to the same voltage at a slew rate of typically 0.5 V/ μs . Thus the current injected into pin 4 (I_{GC}) is the syllabic filter voltage divided by the R_X resistance. Figure 6 shows the relationship between I_{GC} (x-axis) and the integrating current, I_{int} (y-axis). The discrepancy, which is most significant at very low currents, is due to circuitry within the slope polarity switch which enables trimming to a low total loop offset. The R_X resistor is then varied to adjust the loop gain of the codec, but should be no larger than 5.0 k Ω to maintain stability.

Pin 5 – Reference Input

This pin is the non-inverting input of the integrator amplifier. It is used to reference the dc level of the output signal. In an encoder circuit it must reference the same voltage as pin 1 and is tied to pin 10.

Pin 6 – Filter Input

This inverting op amp input is used to connect the integrator external components. The integrating current

(I_{int}) flows into pin 6 when the analog input (pin 1) is high with respect to the analog feedback (pin 2) in the encode mode or when the digital data input (pin 13) is high in the decode mode. For the opposite states, I_{int} flows out of Pin 6. Single integration systems require a capacitor and resistor between pins 6 and 7. Multipole configurations will have different circuitry. The resistance between pins 6 and 7 should always be between 8 k Ω and 13 k Ω to maintain good idle channel characteristics.

Pin 7 – Analog Output

This is the integrator op amp output. It is capable of driving a 600-ohm load referenced to $V_{CC}/2$ to +6 dBm and can otherwise be treated as an op amp output. Pins 5, 6, and 7 provide full access to the integrator op amp for designing integration filter networks. The slew rate of the internally compensated integrator op amp is typically 0.5 V/ μs . Pin 7 output is current limited for both polarities of current flow at typically 30 mA.

Pin 8 – VEE

The circuit is designed to work in either single or dual power supply applications. Pin 8 is always connected to the most negative supply.

Pin 9 – Digital Output

The digital output provides the results of the delta modulator's conversion. It swings between V_{CC} and V_{EE} and is CMOS or TTL compatible. Pin 9 is inverting with respect to pin 1 and non-inverting with respect to pin 2. It is clocked on the falling edge of pin 14. The typical 10% to 90% rise and fall times are 250 ns and 50 ns respectively for $V_{CC} = 12\text{ V}$ and $C_L = 25\text{ pF}$ to ground.

Pin 10 – $V_{CC}/2$ Output

An internal low impedance mid-supply reference is provided for use of the MC3417/18 in single supply applications. The internal regulator is a current source and must be loaded with a resistor to insure its sinking capability. If a +6 dBm signal is expected across a 600 ohm input bias resistor, then pin 10 must sink $2.2\text{ V}/600\ \Omega = 3.66\text{ mA}$. This is only possible if pin 10 sources 3.66 mA into a resistor normally and will source only the difference under peak load. The reference load resistor is chosen accordingly. A 0.1 μF bypass capacitor from pin 10 to V_{EE} is also recommended. The $V_{CC}/2$ reference is capable of sourcing 10 mA and can be used as a reference elsewhere in the system circuitry.

Pin 11 – Coincidence Output

The duty cycle of this pin is proportional to the voltage across C_S . The coincidence output will be low whenever the content of the internal shift register is all 1s or all 0s. In the MC3417 the register is 3 bits long

MC3417, MC3517, MC3418, MC3518

DEFINITIONS AND FUNCTIONS OF PINS (continued)

while the MC3418 contains a 4 bit register. Pin 11 is an open collector of an NPN device and requires a pull-up resistor. If the syllabic filter is to have equal charge and discharge time constants, the value of R_p should be much less than R_S . In systems requiring different charge and discharge constants, the charging constant is $R_S C_S$ while the decaying constant is $(R_S + R_p) C_S$. Thus longer decays are easily achievable. The NPN device should not be required to sink more than 3 mA in any configuration. The typical 10% to 90% rise and fall times are 200 ns and 100 ns respectively for $R_L = 4 \text{ k}\Omega$ to +12 V and $C_L = 25 \text{ pF}$ to ground.

Pin 12 – Digital Threshold

This input sets the switching threshold for pins 13, 14, and 15. It is intended to aid in interfacing different logic families without external parts. Often it is connected to the $V_{CC}/2$ reference for CMOS interface or can be biased two diode drops above V_{EE} for TTL interface.

Pin 13 – Digital Data Input

In a decode application, the digital data stream is applied to pin 13. In an encoder it may be unused or may be used to transmit signaling message under the control of pin 15. It is an inverting input with respect to pin 9. When pins 9 and 13 are connected, a toggle flip-flop is formed and a forced idle channel pattern

can be transmitted. The digital data input level should be maintained for $0.5 \mu\text{s}$ before and after the clock trigger for proper clocking.

Pin 14 – Clock Input

The clock input determines the data rate of the codec circuit. A 32K bit rate requires a 32 kHz clock. The switching threshold of the clock input is set by pin 12. The shift register circuit toggles on the falling edge of the clock input. The minimum width for a positive-going pulse on the clock input is 300 ns, whereas for a negative-going pulse, it is 900 ns.

Pin 15 – Encode/Decode

This pin controls the connection of the analog input comparator and the digital input comparator to the internal shift register. If high, the result of the analog comparison will be clocked into the register on the falling edge at pin 14. If low, the digital input state will be entered. This allows use of the IC as an encoder/decoder or simplex codec without external parts. Furthermore, it allows non-voice patterns to be forced onto the transmission line through pin 13 in an encoder.

Pin 16 – V_{CC}

The power supply range is from 4.75 to 16.5 volts between pin V_{CC} and V_{EE} .

FIGURE 1 – POWER SUPPLY CURRENT

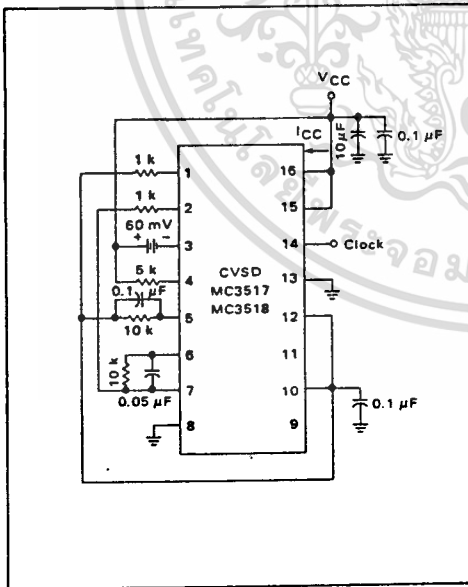
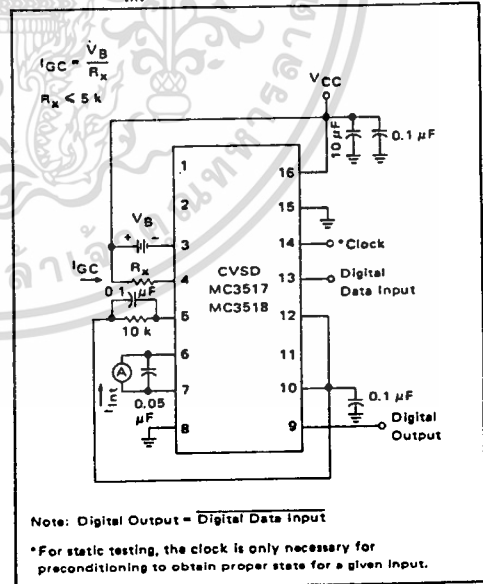


FIGURE 2 – I_{GC} , GAIN CONTROL RANGE and I_{Int} – INTEGRATING CURRENT



MC3417, MC3517, MC3418, MC3518

TYPICAL PERFORMANCE CURVES

FIGURE 7 – TYPICAL I_{Int} versus I_{GC} (Mean $\pm 2\sigma$)

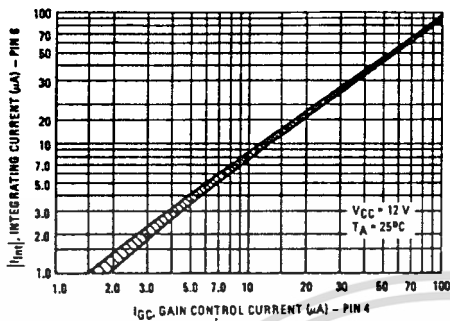


FIGURE 8 – NORMALIZED DYNAMIC INTEGRATING CURRENT MATCH versus V_{CC}

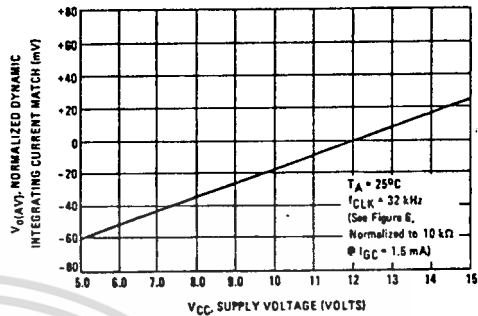


FIGURE 9 – NORMALIZED DYNAMIC INTEGRATING CURRENT MATCH versus CLOCK FREQUENCY

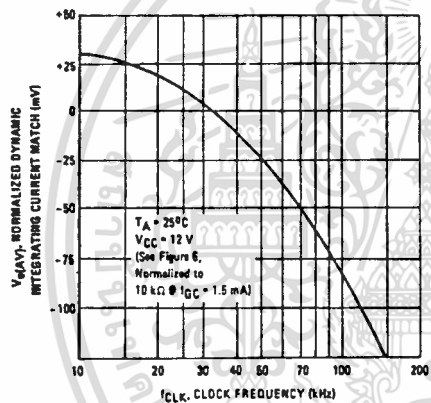


FIGURE 10 – DYNAMIC TOTAL LOOP OFFSET versus CLOCK FREQUENCY

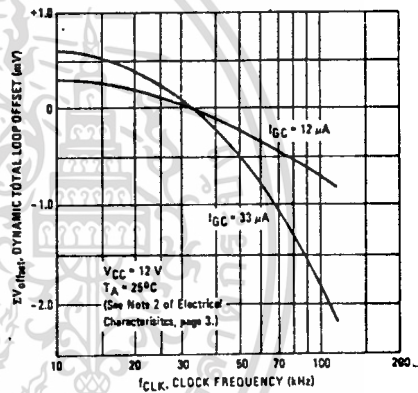
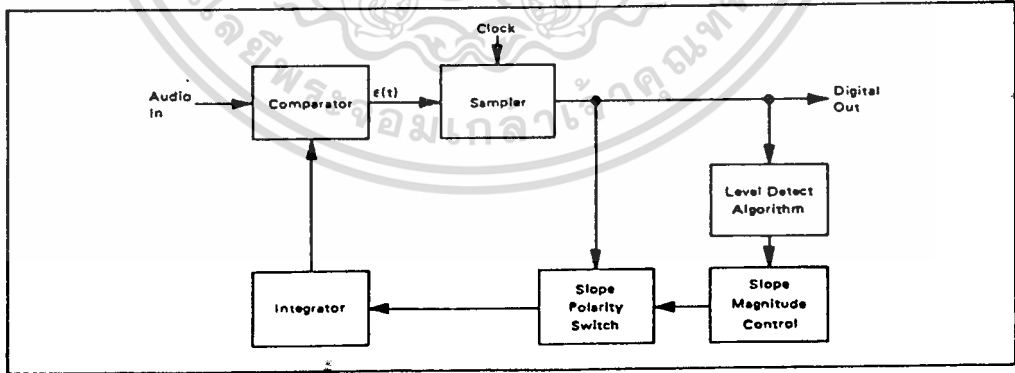


FIGURE 11 – BLOCK DIAGRAM OF THE CVSD ENCODER



2

[illegible][illegible]

*32 kHz MC3418/MC3518
16 kHz MC3417/MC3517

V_{CC}

10 μF

0.1 μF

CVSD
MC3517

60 mV

5 k

0.1 μF

10 k

10 k

0.05 μF

V_{IOX}
(Integrator
Amplifier
Offset
Voltage
plus Slope
Polarity
Switch
Mismatch)

Clock *

0.1 μF

Note: V_{IOX} is the average voltage of the triangular waveform observed at the measurement points.

[illegible]

MC3417, MC3517, MC3418, MC3518

FIGURE 12 – CVSD WAVEFORMS

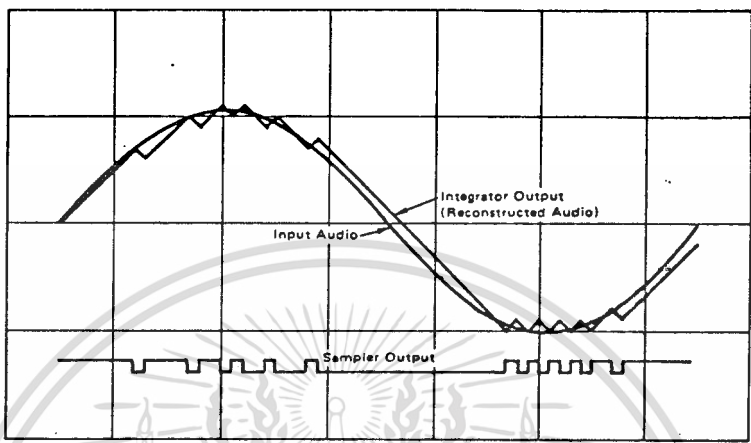
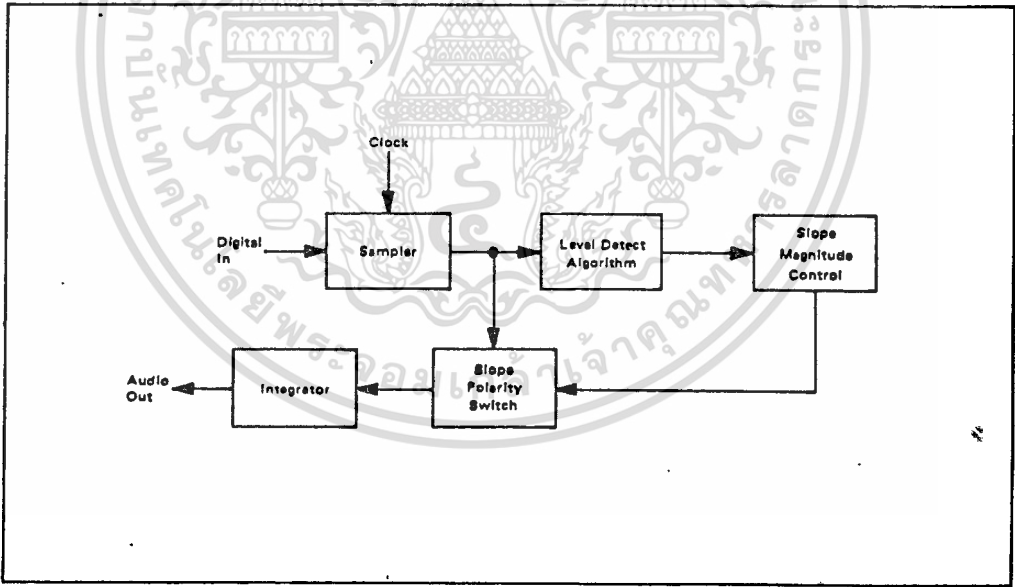


FIGURE 13 – BLOCK DIAGRAM OF THE CVSD DECODER



2

The diagram illustrates the internal architecture of the 54C01 digital speech encoder/decoder. It features several key components and connections:

- Inputs:**
 - Push to Talk Key:** Connected to a 5.0V supply through a 10k resistor and a normally open switch.
 - Analog Input:** Connected to the A- input (pin 1) through a 4 μF capacitor.
 - Analog Output:** Connected to the Ref Input (pin 7) through a 0.1 μF capacitor.
- Internal Components:**
 - Encode/Decode:** A control input (pin 15) that selects between encoding and decoding modes.
 - Comp (Comparators):** Two comparators (pins 1 and 2) that compare the analog input with a reference voltage (V_{TH}).
 - Shift Register:** A 16-bit shift register (pins 14 and 15) that stores the digital output.
 - Logic:** A logic block (pins 10 and 11) that controls the shift register and the slope polarity switch.
 - Slope Polarity Switch:** A switch (pins 3 and 4) that controls the slope polarity of the output.
- Outputs:**
 - Digital Input:** Connected to the Clock input (pin 14) through a 16k resistor.
 - Digital Output:** Connected to the Digital Out (pin 9) through a 16k resistor.
 - 16K Bits:** A digital output signal (pin 14) that is 16K bits long.
 - Clock 16 kHz:** A clock signal (pin 14) that is 16 kHz.
- Power and Biasing:**
 - +5.0V:** The main power supply for the circuit.
 - 5.0V (V_{CC}):** The negative power supply for the circuit.
 - V_{TH}:** A threshold voltage (pin 12) that is used for the comparators.
 - V_{CC}/2 Ref:** A reference voltage (pin 10) that is half of the V_{CC} supply.
 - Filter Ref:** A filter reference voltage (pin 6) that is used for the slope polarity switch.

The continuously variable slope delta modulator (CVSD) is a simple alternative to more complex conventional conversion techniques in systems requiring digital communication of analog signals. The human voice is analog, but digital transmission of any signal over great distance is attractive. Signal/noise ratios do not vary with distance in digital transmission and multiplexing, switching and repeating hardware is more economical and easier to design. However, instrumentation A to D converters do not meet the communications requirements. The CVSD A to D is well suited to the requirements of digital communications and is an economically efficient means of digitizing analog inputs for transmission.

The innermost control loop of a CVSD converter is a simple delta modulator. A block diagram CVSD Encoder is shown in Figure 11. A delta modulator consists of a comparator in the forward path and an integrator in the feedback path of a simple control loop. The inputs to the comparator are the input analog signal and the integrator output. The comparator output reflects the

If the clocked serial bit stream is transmitted, received, and delivered to a similar integrator at a remote point, the remote integrator output is a copy of the transmitting control loop integrator output. To the extent that the integrator at the transmitting location tracks the input signal, the remote receiver reproduces the input signal. Low pass filtering at the receiver output will eliminate most of the quantizing noise, if the clock rate of the bit stream is an octave or more above the bandwidth of the input signal. Voice bandwidth is 4 kHz and clock rates from B k and up are possible. Thus the delta modulator digitizes and transmits the analog input to a remote receiver. The serial, unframed nature of the data is ideal for communications networks. With no input at the transmitter, a continuous one zero alternation is transmitted. If the two integrators are made leaky, then during any loss of contact the receiver output decays to

SCL4015B



CMOS DUAL 4-STAGE SHIFT REGISTER

FEATURES

- ◆ Serial Input/Parallel Output
- ◆ Direct Reset
- ◆ Two Independent Sections
- ◆ Fully Static Operation - DC to 5MHz @ 10Vdc
- ◆ Balanced Output Drive Current Specifications

DESCRIPTION

The SCL4015B consists of two identical, independent, 4-stage Serial-Input/Parallel-Output Registers. Each register has independent Clock and Reset inputs as well as a single serial Data input. Q outputs are available from each of the four stages on both registers. All register stages are D-type, master-slave flip-flops. The logic level present at the Data input is transferred into the first register stage and shifted right one stage at each positive-going Clock transition. Resetting of all stages is accomplished by a high level on the Reset line. Register expansion to 8 stages using one SCL4015B package, or to more than 8 stages using additional SCL4015B's, is possible.

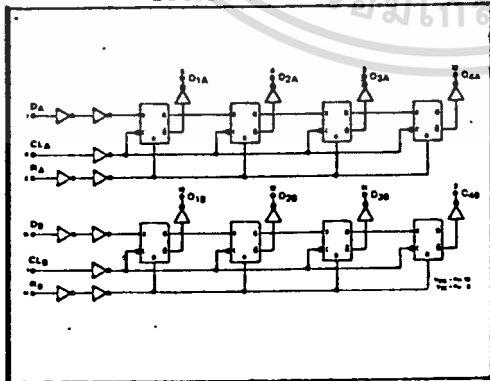
TRUTH TABLE

CL*	D	R	Q ₁	Q _n
	0	0	0	Q _{n-1}
	1	0	1	Q _{n-1}
	X	0	Q ₁	Q _n
X	X	1	0	0

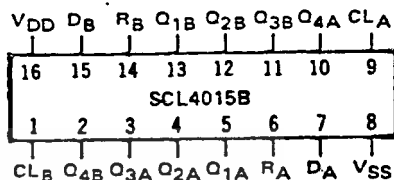
(NO CHANGE)

* = LEVEL CHANGE
X = DON'T CARE

LOGIC DIAGRAM



CONNECTION DIAGRAM (all packages)



Add suffix for package:

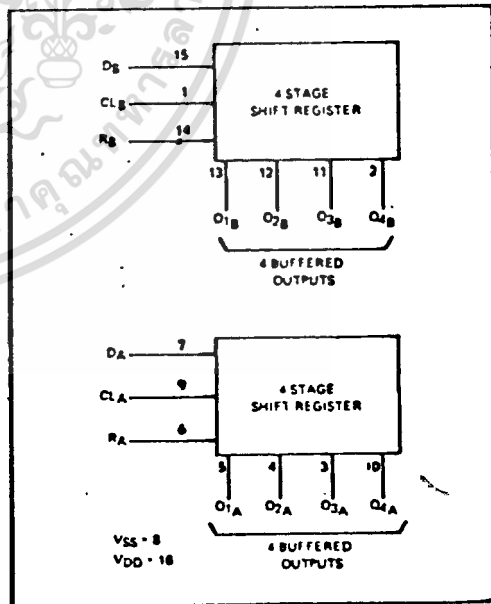
- C 16-pin Cerdip
- D 16-pin Ceramic
- E 16-pin Epoxy
- F 16-pin Flat
- H Chip

RECOMMENDED OPERATING CONDITIONS

For maximum reliability:

DC Supply Voltage	VDD - VSS	3 to 15	Vdc
Operating Temperature	T _A	-55 to +125	°C
C, D, F, H Device		-40 to +85	°C
E Device			

BLOCK DIAGRAM



SCL4030B



CMOS QUAD EXCLUSIVE-OR GATE

FEATURES

- ◆ Buffered Outputs
- ◆ Diode Protection on all Inputs
- ◆ Fully "B"-Series Compatible
- ◆ Balanced Output Drive Current Specifications
- ◆ Pin Compatible with 4070 types, MC14507, 74C_L

DESCRIPTION

The SCL4030B contains four independent exclusive-OR gates integrated on a single monolithic silicon chip. Each exclusive-OR gate consists of five N-Channel and five P-Channel enhancement-mode transistors, plus output buffering device.

TRUTH TABLE
(one of four gates)

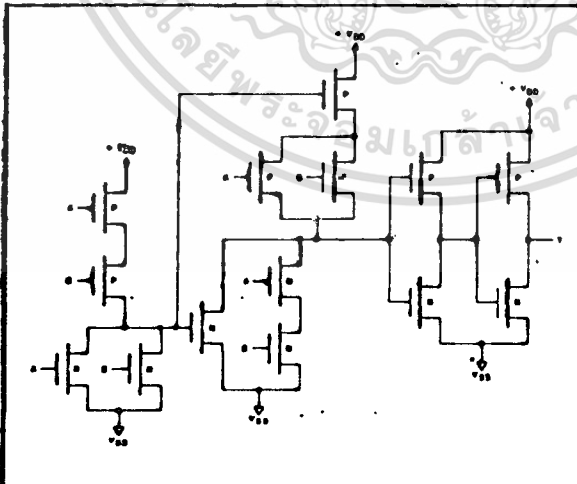
A	B	Y
0	0	0
1	0	1
0	1	1
1	1	0

Where 1 = High Level
0 = Low Level

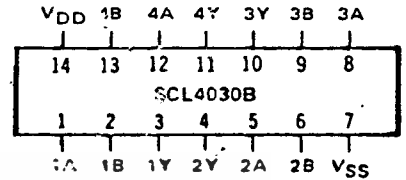
LOGIC DIAGRAM



SCHEMATIC DIAGRAM
(one of four gates)



CONNECTION DIAGRAM
(all packages)



Add suffix for package:

- C 14-pin Cerdip
- D 14-pin Ceramic
- E 14-pin Epoxy
- F 14-pin Flat
- H Chip

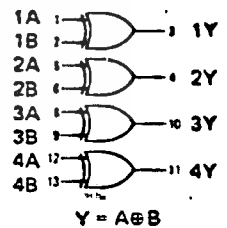
RECOMMENDED OPERATING CONDITIONS

For maximum reliability:

DC Supply Voltage	$V_{DD} - V_{SS}$	3 to 15	Vdc
Operating Temperature	T_A	-55 to +125	°C
C, D, F, H Device		-40 to +85	°C
E Device			

Note: The SCL4030B is identical to the SCL4070B; the devices are fully interchangeable in all applications.

FUNCTION DIAGRAM



V_{DD} = Pin 14
 V_{SS} = Pin 7

SCL4060AB



CMOS 14-STAGE BINARY COUNTER AND OSCILLATOR

FEATURES

- ◆ 14 Fully Static Stages
- ◆ 10 Buffered Outputs Available
- ◆ Common Reset Line
- ◆ 8MHz Counting Rate @ 10Vdc
- ◆ All Active Oscillator Components on Chip for R-C or Crystal Control

DESCRIPTION

The SCL4060AB consists of an oscillator section and 14 ripple-carry binary counter stages. The oscillator configuration allows design of either R-C or crystal oscillator circuits. A Reset input is provided which resets the counter to the all-0's state. A high level on the Reset line accomplishes the reset function. The state of the counter is advanced one step in binary order on the negative transition of the Clock input ϕ . All inputs and outputs are fully buffered. Outputs are available from stages 4 through 10 and 12 through 14.

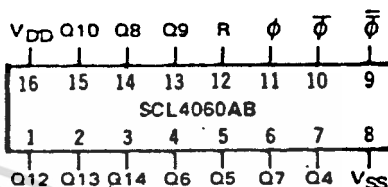
Applications include timers, frequency dividers, delay circuits and counter controls.

TRUTH TABLE

CLOCK	RESET	OUTPUT STATE
	0	No Change
	0	Advance to next state
X	1	All Outputs are low

X = Don't Care

CONNECTION DIAGRAM (all packages)



Add suffix for package:

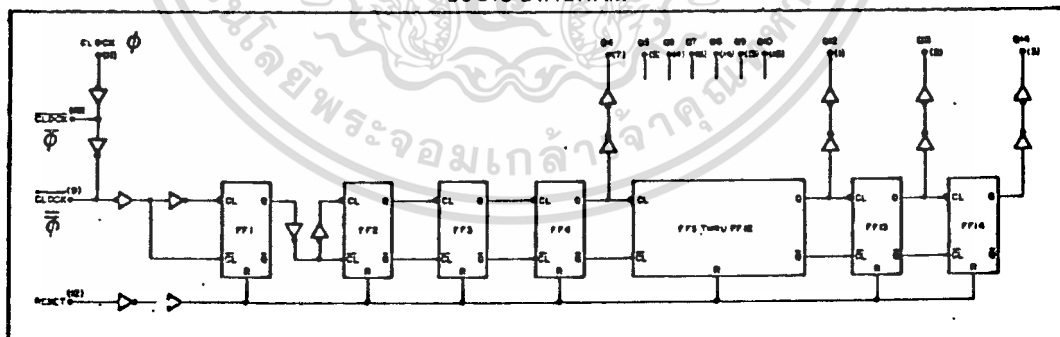
- C 16-pin Cerdip
- D 16-pin Ceramic
- E 16-pin Epoxy
- F 16-pin Flat
- H Chip

RECOMMENDED OPERATING CONDITIONS

For maximum reliability:

DC Supply Voltage	$V_{DD} - V_{SS}$	3 to 15	Vdc
Operating Temperature	T_A	-55 to +125	°C
C, D, F, H Device		-40 to +85	°C
E Device			

LOGIC DIAGRAM



SCL4070B



CMOS QUAD EXCLUSIVE-OR GATE

FEATURES

- ◆ Buffered Outputs
- ◆ Diode Protection on all Inputs
- ◆ Fully "B"-Series Compatible
- ◆ Balanced Output Drive Current Specifications
- ◆ Pin Compatible with 4030 types, MC14507, 74C86

DESCRIPTION

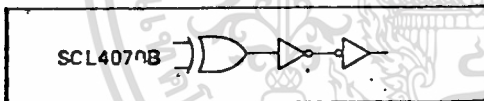
The SCL4070B contains four independent exclusive-OR gates integrated on a single monolithic silicon chip. Each exclusive-OR gate consists of five N-channel and five P-channel enhancement-mode transistors, plus output buffering devices.

TRUTH TABLE
(one of four gates)

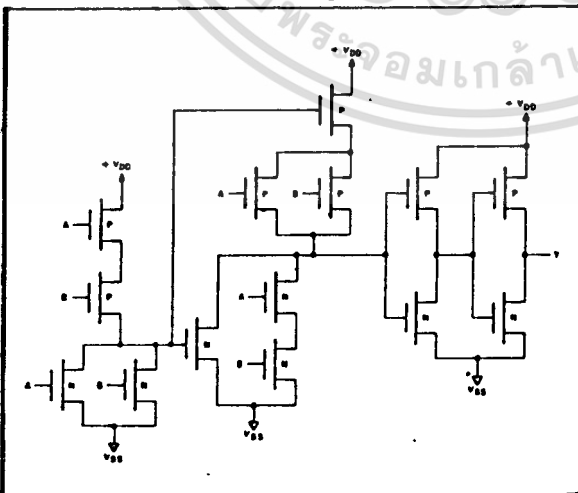
A	B	Y
0	0	0
1	0	1
0	1	1
1	1	0

Where 1 = High Level
0 = Low Level

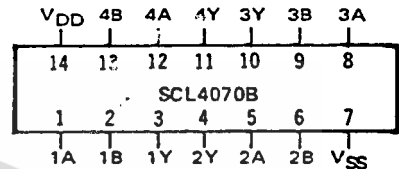
LOGIC DIAGRAM



SCHEMATIC DIAGRAM
(one of four gates)



CONNECTION DIAGRAM
(all packages)



Add suffix for package:

- C 14-pin Cerdip
- D 14-pin Ceramic
- E 14-pin Epoxy
- F 14-pin Flat
- H Chip

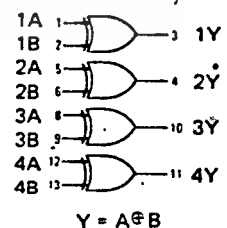
RECOMMENDED OPERATING CONDITIONS

For maximum reliability:

DC Supply Voltage	$V_{DD} - V_{SS}$	3 to 15 Vdc
Operating Temperature	T_A	-55 to +125 °C
C, D, F, H Device		-10 to +85 °C
E Device		

Note: The SCL4070B is identical to the SCL4030B; the devices are fully interchangeable in all applications.

FUNCTION DIAGRAM



V_{DD} = Pin 14
 V_{SS} = Pin 7

SCL4081B, SCL4082B SCL4073B



CMOS AND GATES

SCL4081B - Quad 2-Input AND
SCL4082B - Dual 4-Input AND
SCL4073B - Triple 3-Input AND

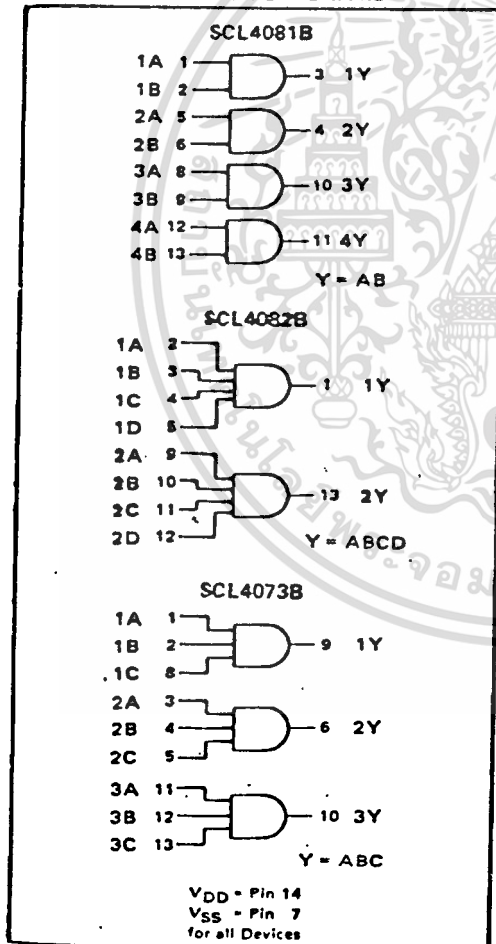
FEATURES

- ◆ Buffered Outputs
- ◆ Diode Protection on all Inputs
- ◆ Fully "B"-Series Compatible
- ◆ Balanced Output Drive Current Specifications

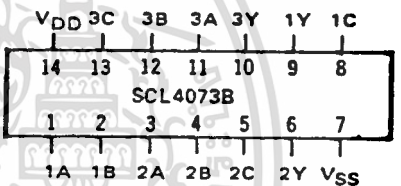
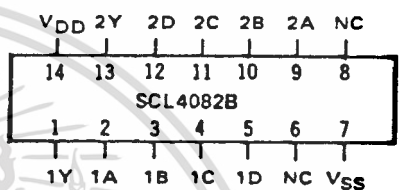
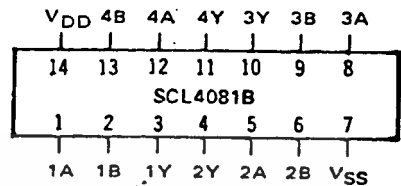
TRUTH TABLE

Inputs	Output
1 1 ... 1	1
All other combinations	0

FUNCTION DIAGRAMS



CONNECTION DIAGRAMS (all packages)



Add suffix for package:

- C 14-pin Cerdip
- D 14-pin Ceramic
- E 14-pin Epoxy
- F 14-pin Flat
- H Chip

RECOMMENDED OPERATING CONDITIONS

For maximum reliability:

DC Supply Voltage	V _{DD} - V _{SS}	3 to 15	V _{dc}
Operating Temperature	T _A	-55 to +125	°C
C, D, F, H Device		-40 to +85	°C
E Device			

CD40174BM/CD40174BC Hex D Flip-Flop CD40175BM/CD40175BC Quad D Flip-Flop

general description

The CD40174B consists of six positive-edge triggered D-type flip-flops; the true output from each flip-flop are externally available. The CD40175B consists of four positive-edge triggered D-type flip-flops; both the true and complement outputs from each flip-flop are externally available.

All flip-flops are controlled by a common clock and a common clear. Information at the D inputs meeting the set-up time requirements is transferred to the Q outputs on the positive-going edge of the clock pulse. The clearing operation, enabled by a negative pulse at Clear input, clears all Q outputs to logical "0" and Q's (CD40175B only) to logical "1."

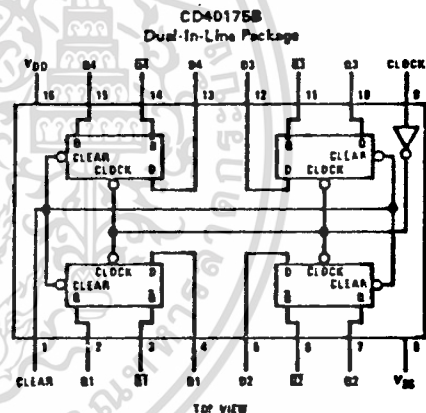
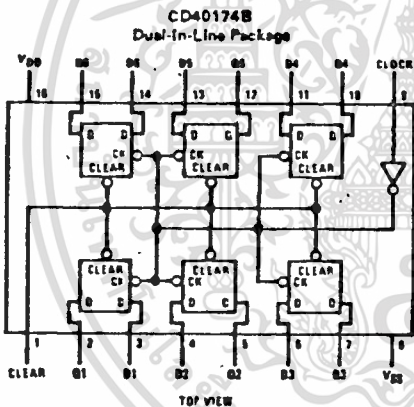
All inputs are protected from static discharge by diode clamps to VDD and VSS.

features

- Wide supply voltage range
- High noise immunity
- Low power TTL compatibility
- Equivalent to MC14174B, MC14175B
- Equivalent to MM74C174, MM74C175

3V to 15V
0.45 VDD typ
fan out of 2
driving 74L
or 1 driving
74LS

connection diagrams

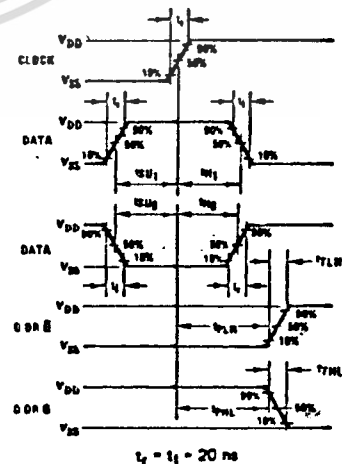


truth table

INPUTS			OUTPUTS		
CLEAR	CLOCK	D	Q	Q'	
L	X	X	L	H	
H	↑	H	H	L	
H	↑	L	L	H	
H	H	X	NC	NC	
H	L	X	NC	NC	

H = High level
L = Low level
X = Irrelevant
↑ = Transition from low to high level
NC = No change
• = Q' for CD40175B only

switching time waveforms



$$t_r = t_f = 20 \text{ ns}$$