ห้องสมุดคณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2532

Digital Pulse Code Modulation

โดย

นาย เมธา ดีมีชัย 291161

นาย สุพจน์ ศรีพันธุ์ 291285

อาจารย์ที่ปรึกษา

ผศ. ถวิล กิ่งทอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ปริญญานิพนธ์ ปีการศึกษา 2532

ภาควิชา วิศวกรรมโทรคมนาคม

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้า เจ้าคุณทหารลาดกระบัง

เรื่อง Digital Pulse Code Modulation

ผู้จัดทำ นาย เมธา ดีมีชัย 291161

นาย สุพจน์ ศรีพันธุ์ 291285

.... อาจารย์ที่ปรึกษา

(ผศ. ถวิล กิ่งทอง)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทคัดย่อ

โครงงานและปริญญานิพนธ์ฉบับนี้ เป็นการศึกษาและออกแบบวงจร ของระบบการสื่อสารที่ส่งสัญญาณในแบบของสัญญาณ digital ส่งไปตามสายส่งสัญญาณ ที่เรียกว่า ระบบ PCM (Pulse Code Modulation) โดยส่งสัญญาณที่มีความถี่ 0.3 - 3.4 KHz ซึ่งเป็นสัญญาณเสียงที่เป็นมาตราฐานในการส่งสัญญาณทางโทรศัพท์ โดยใช้ร่วมกับการมัลติเพลกซ์แบบ TDM (Time Divition Multiplex) วงจรที่ได้ออกแบบประกอบด้วย วงจรภาคส่งสัญญาณ ซึ่งมีวงจร sample and hold , วงจรแปลงสัญญาณ analog to digital , วงจร timer ซึ่งใช้ควบคุมการทำงานของระบบ และวงจร Multiplexer สำหรับวงจรภาครับสัญญาณ ประกอบด้วย วงจรdetectสัญญาณ วงจรแปลงสัญญาณ digital to analog และวงจร Demultipler

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

บทที่

บทที่ 1 บทนำ (1-2)

บทที่ 2 ทฤษฎีของ PCM (3-16)

บทที่ 3 ทฤษฎีของ TDM (17-21)

บทที่ 4 การออกแบบวงจรระบบ 4 - channel PCM (22-48)

บทที่ 5 บทสรุปและวิจารณ์ (49)

กิติกรรมประกาศ (50)

เอกสารอ้างอิง (51)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

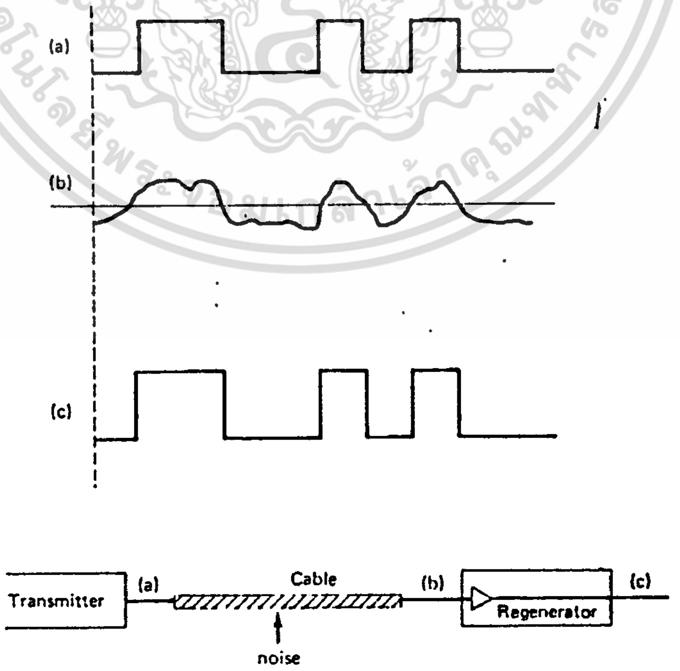
บทที่ 1

บทนำ

ในการสื่อสารโดยวิธีการทาง Digital เนื้อหาของข่าวสารทั้งหมดถูกกำหนดโดยสัญญาณพื้นฐาน ซึ่งง่ายและสะดวกต่อการรับรู้ คือการมีและการไม่มีสัญญาณ (Presence and absence of the pulse) เมื่อเปรียบเทียบกับการส่งสัญญาณที่เนื้อหาของข่าวสาร คือรูปแบบของรูปร่าง หรือ ระดับของสัญญาณ (เช่น ระดับของ Voltage) ซึ่งองค์ประกอบเหล่านี้จะถูกรบกวนและเพี้ยนไป เนื่องจากการลดทอนของสัญญาณได้ง่าย นอกจากนี้การกำจัด Noise ก็ทำได้ยาก เพราะไม่สามารถแยกความแตกต่างของ Noise กับสัญญาณข่าวสารได้ชัดเจน ซึ่งแตกต่างไปจากระบบ Digital ที่สามารถจะแยกแยะสัญญาณได้ชัดเจนกว่า เพราะสัญญาณข่าวสารมีเพียง 2 รูปแบบเท่านั้น ยิ่งไปกว่านั้นในเรื่องการทานสัญญาณ โดย Repeater ในระบบ Digital วงจร Repeater จะรับสัญญาณที่ถูกลดทอนหรือมี Noise เข้ามาทำการแก้ไขให้ถูกต้องโดยการกำจัด Noise ให้หมดสิ้น จากนั้นจะทำการสร้างสัญญาณที่ถูกต้องขึ้นมาใหม่ เรียกว่า Regeneration ด้วยเหตุนี้ Noise ต่างๆจะไม่มีการสะสมตลอดระยะทางของการส่งข่าวสาร

ส่วนในระบบ Analog วงจร Repeater จะทำการขยายสัญญาณข่าวสาร ขณะเดียวกันก็จะลด Noise ลงให้เหลือน้อยที่สุด แต่ไม่สามารถจะกำจัดออกไปได้ สัญญาณที่ถูกปรับปรุงแล้วจะยังคงมี Noise อยู่ จึงเกิดการสะสม Noise มากขึ้นเรื่อยๆตามระยะทางที่เพิ่มขึ้น

ลักษณะการ Regeneration สัญญาณของ Repeater ในระบบ Digital แสดงดังรูป 1.1



รูป 1.1 แสดงลักษณะการRegenerationสัญญาณของRepeaterในระบบDigital

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในเรื่องของการ multiplex สัญญาณ Digital ที่มีลักษณะเป็น Pulse มีความเหมาะสมมากกว่า ทั้งยังสามารถเก็บบันทึก(Store)ได้ง่าย และการเปลี่ยนอัตราเร็วของการสื่อสาร เพื่อให้เหมาะสมกับสภาพแวดล้อมหรือกับอุปกรณ์ที่แตกต่างกัน ก็ทำได้สะดวกกว่า นอกเหนือไปจากนี้ระบบ Digital ยังได้เปรียบในเรื่องของ ราคา ความกระทัดรัดของอุปกรณ์ และต้องการกำลังไฟฟ้าน้อยกว่าระบบ Analog

อย่างไรก็ตามระบบ Digital ก็ยังมีข้อเสียอยู่เหมือนกัน คือ

1. การส่งสัญญาณ Digital ที่เป็น Code ของสัญญาณ Analog ใดๆ จะต้องส่งใน Bandwidth ที่กว้างกว่าสัญญาณ Analog นั้นๆ

2. สัญญาณ Digital ต้องถูกเปลี่ยนเป็นสัญญาณ Analog ในที่สุดอยู่นั่นเอง เพราะข่าวสารที่ผู้สื่อสารสามารถเข้าใจได้ ก็คือ สัญญาณ Analog

3. การสื่อสารแบบ Digital ต้องมีการ Synchronous ระหว่าง Clock ของเครื่องส่งกับ Clock ของเครื่องรับ

4. ด้วยเหตุที่ต้องมีการเปลี่ยนกลับไปกลับมาระหว่างสัญญาณAnalog กับสัญญาณ Digital ดังนั้น จึงเป็นเรื่องที่ไม่ค่อยจะสะดวกนัก

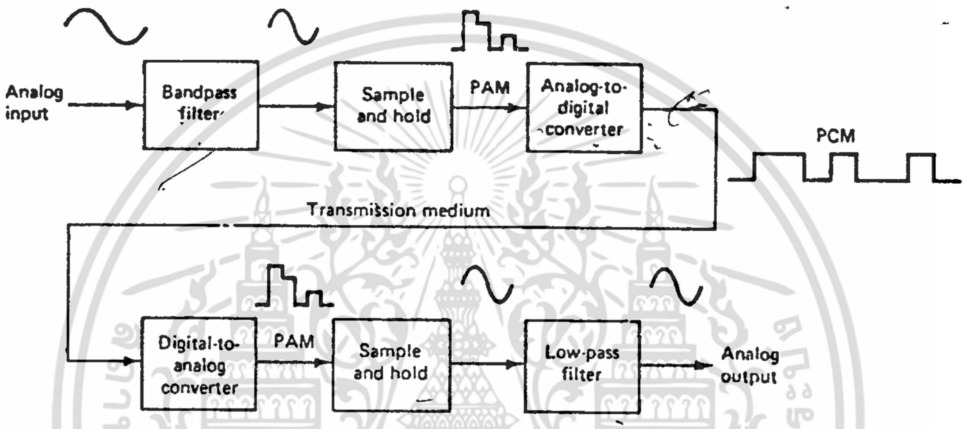
PCM (Pulse Code Modulation) เป็นชนิดหนึ่งของ Pulse Modulation ที่ใช้ในการส่งแบบ Digital ซึ่ง CPM นี้ปัจจุบันมีการใช้งานกันอย่างกว้างขวางในทางโทรคมนาคม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2

ทฤษฎีของ PCM

PCM เป็นเพียงวิธีเดียวเท่านั้นในระบบ Pulse Modulation ที่เป็นการ Modulate แบบ Digital, สัญญาณ Analog จะถูกเปลี่ยนเป็นสัญญาณ Digital ด้วยรูปแบบที่ได้กำหนดไว้แล้ว หลังจากนั้นก็ส่งผ่านสายส่งไปยังเครื่องรับ ที่เครื่องรับจะมีการเปลี่ยนกลับคืนเป็นสัญญาณ Analog อย่างเดิม • Block diagram ของระบบ Single - channel PCM แสดงดังรูป 2.1



รูป 2.1 Block Diagramของระบบ Single - channel PCM

สัญญาณ analog input ถูกกรองด้วย Filter เพื่อให้มีความถี่อยู่ในช่วงของความถี่เสียง (ระบบ PCM มักใช้ในการสื่อสารด้วยสัญญาณเสียง) คือ 300 - 3,400 Hz วงจร Sample and Hold จะทำการกำหนดคาบของการสุ่มตัวอย่างของสัญญาณ input แล้วเปลี่ยนเป็นสัญญาณ PAM (Pulse Amplitude Modulation) วงจร ADC (Analog to Digital Converter) จะเปลี่ยนสัญญาณ PAM นี้ให้เป็นสัญญาณ Binary สำหรับการส่งผ่านสายส่งต่อไป

ที่เครื่องรับ วงจร DAC (Digital to Analog Converter) จะทำการเปลี่ยนสัญญาณ Binary กลับเป็น PAM แล้วส่งผ่านไปยังวงจร Sample and Hold และ Low-Pass Filter สุดท้ายจะได้สัญญาณออกมาเป็นสัญญาณเสียงที่เป็นลักษณะเดิม (analog input)

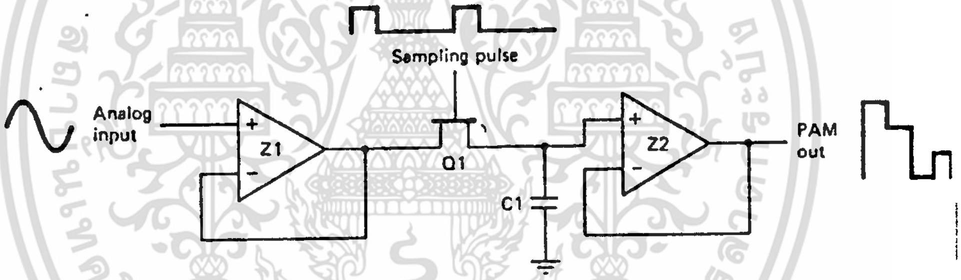
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หลักการของ PCM

2.1 ภาคส่ง ในภาคส่งสัญญาณของ PCM นี้ เราสามารถแบ่งขั้นตอนใหญ่ๆออกเป็น 3 ขั้นตอนดังนี้

- Sampling
- Quantizing
- Coding

2.1.1 Sampling หลักการของการ Sampling คือ การสุ่มตัวอย่างค่าของสัญญาณเสียง ด้วยค่าเวลาที่คงที่แน่นอนค่าหนึ่ง แล้วเปลี่ยนเป็นสัญญาณ PAM เพื่อให้วงจร ADC เปลี่ยนสัญญาณ PAM เป็น binary bit ได้อย่างถูกต้องแม่นยำ เพราะ input ของ ADC ต้องมี Amplitude คงที่ จนกว่าการแปลงสัญญาณจะเสร็จสิ้นสมบูรณ์ ไม่เช่นนั้นแล้ววงจร ADC จะตรวจจับค่าของสัญญาณ input ได้ไม่แม่นยำ เพราะสัญญาณมีการเปลี่ยนแปลงตลอดเวลา ทำให้สัญญาณ output ที่ออกมาไม่ stable



รูป 2.2 วงจร Sample and Hold อย่างง่าย

รูปที่ 2.2 เป็นรูปแบบอย่างง่ายของวงจร Sample and Hold, FET ทำหน้าที่เป็น switch เมื่ออยู่ในตำแหน่ง on สัญญาณ input จะ charge C_1 เรียกเวลาช่วงนี้ว่า Aperture หรือ Acquisition time เมื่อ switch turn off, C1 จะไม่มีโอกาสได้ discharge เพราะวงจรจะไม่ครบ loop ดังนั้นค่า Voltage จะคงที่ตลอดเวลา จึงเป็นการรักษาค่าของ Amplitude เอาไว้ เวลาในการ hold นี้บางครั้งเรียกว่า A/D Convertion time เพราะเป็นช่วงเวลาที่วงจร ADC เปลี่ยน Sample Voltage ไปเป็น binary code, Acquisition time ต้องมีคาบที่สั้นมาก เพื่อให้ Voltage ของ input มีการเปลี่ยนแปลงน้อยที่สุด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

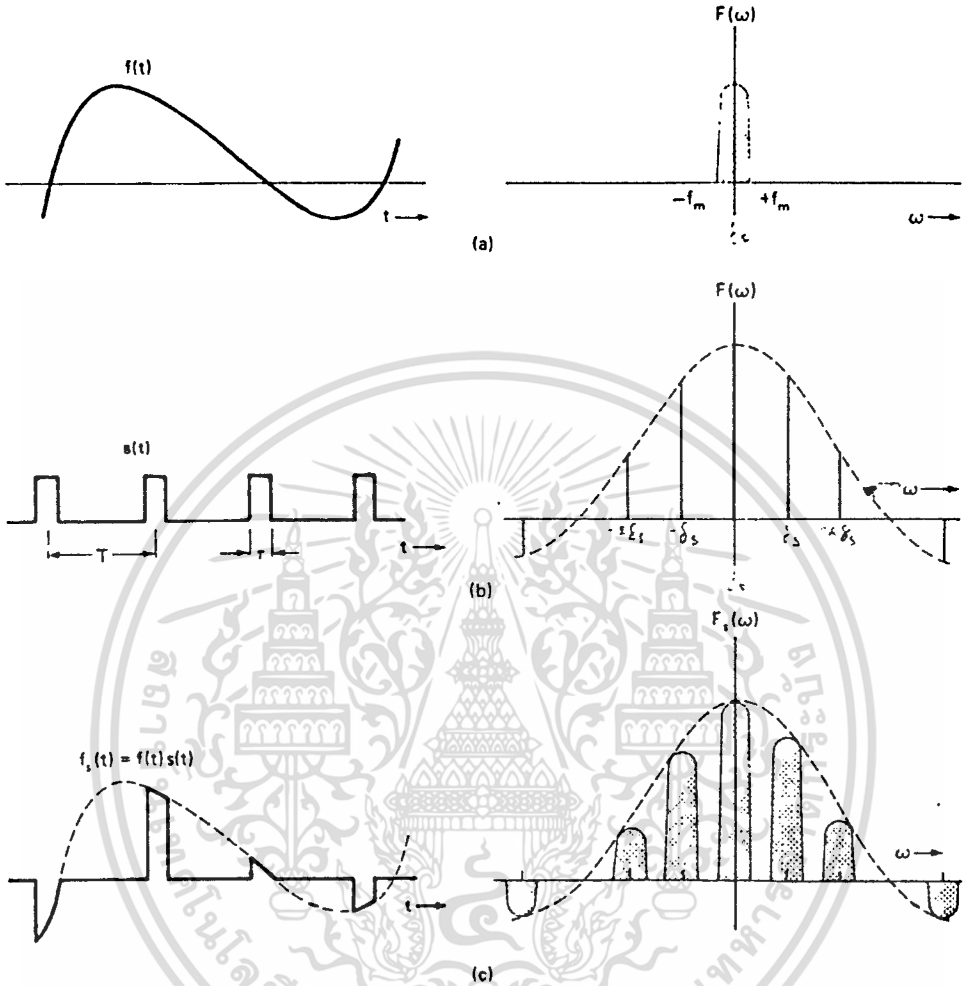
ขณะที่ C1 นั้น charge ถ้า input มีการเปลี่ยนแปลงขณะที่ ADC กำลังทำงานอยู่ จะเกิด distortion ขึ้น เรียกว่า aperture distortion การที่ analog input ถูก sample ด้วยคาบเวลาที่สั้นมากๆ และค่า voltage ที่ได้ถูก hold ให้คงที่ระหว่าง A/D Convertion time เราจะเรียกการ sampling แบบนี้ว่า Flat - Top Sampling แต่ถ้าการ sampling มีคาบยาวและการแปลงสัญญาณเกิดขึ้น ขณะที่มีการเปลี่ยนแปลงของ analog input เราจะเรียกว่า Natural Sampling และจะต้องใช้ ADC ที่มีความเร็วของการทำงานที่สูงมาก

การหาคาบของการ sampling

รูปที่ 2.3 เป็น spectrum ของสัญญาณต่างๆ สำหรับสัญญาณ analog มี spectrum เกิดขึ้นที่ f_o มีความกว้าง $f_o \pm f_m$ (f_m คือ ความถี่ของสัญญาณ analog) ส่วนสัญญาณ sample (S(t)) ค่าของ spectrum จะเกิดขึ้นหลาย harmonic ที่จุด f_o , $\pm f_s$, $\pm 2f_s$,...., $\pm nf_s$ (f_s คือความถี่ของ S(t)) เมื่อนำเอาสัญญาณ PAM ที่เกิดจากสัญญาณทั้งสองข้างต้น มาหา spectrum จะเห็นได้ว่าเกิด spectrum ที่จุด f_o , $\pm f_s$, $\pm 2f_s$,...., $\pm nf_s$ และมีความกว้าง $f_s \pm f_m$. แสดงให้เห็นว่า ถ้าจะไม่ให้มีการเหลื่อมกันของ spectrum จุดที่เกิด harmonic ต้องอยู่ห่างกันอย่างน้อยเป็นสองเท่าของ f_m นั่นคือค่า $f_s \geq 2f_m$ เรียกค่า f_s ที่เท่ากับ $2f_m$ นี้ว่า Nyquist rate

สำหรับสัญญาณเสียง ซึ่งมีความถี่สูงสุดเท่ากับ 3.4 KHz จะต้องใช้ความถี่ของการ sampling อย่างน้อยเท่ากับ 6.8 KHz แต่เพื่อความมั่นใจและความเหมาะสมบางประการ จึงใช้ความถี่ของการ sampling เท่ากับ 8KHz หรือ sampling ด้วยคาบเวลาเท่ากับ 1/8KHz = 125 μSec

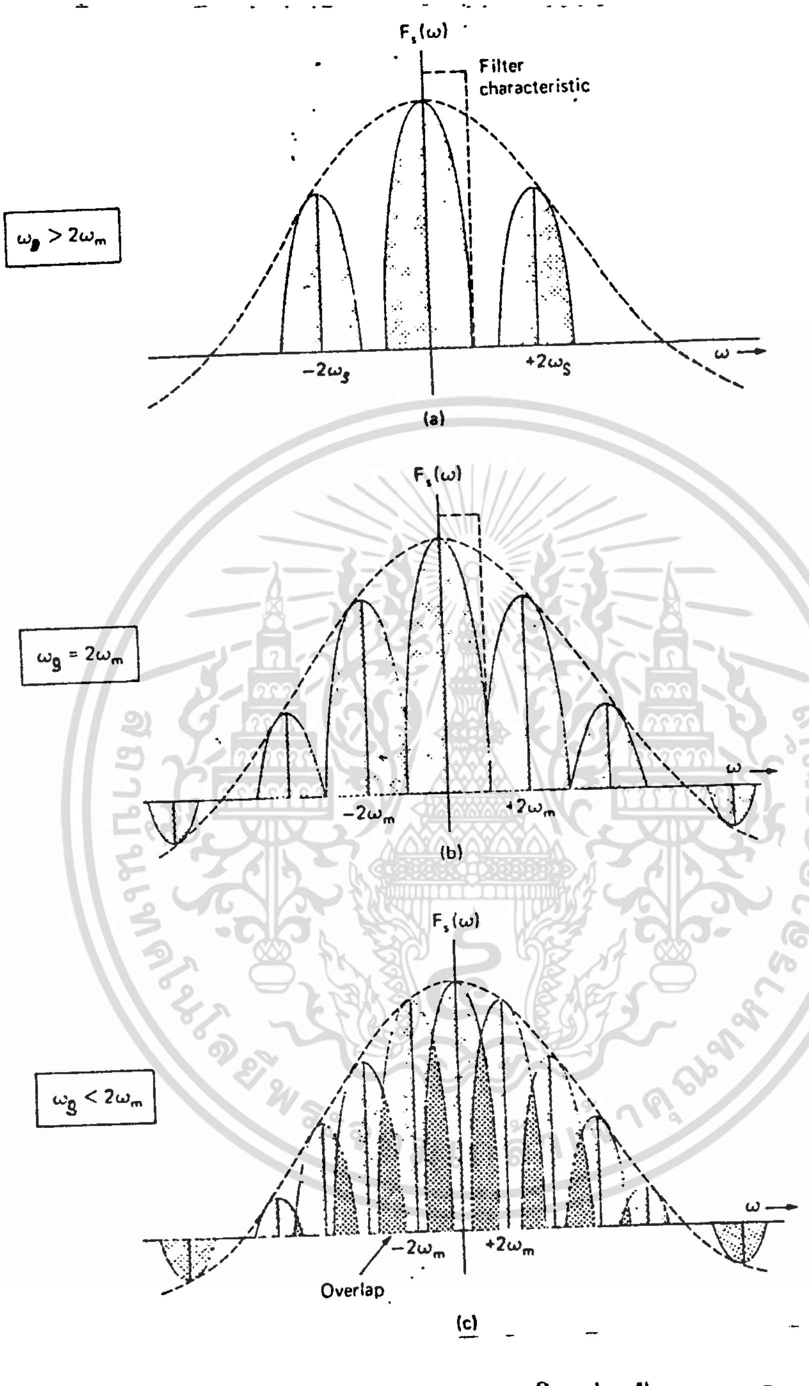
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 2.3 รูปคลื่นและสเปคตรัมของคลื่นในการ Sampling

รูปที่ 2.4 แสดงค่า spectrum ในกรณีที่ ความถี่ในการ sampling มากกว่าสองเท่าของความถี่ analog input ($f_S > 2f_m$) , $f_S = 2f_m$ และ $f_S < 2f_m$ ซึ่งในกรณีหลังนี้ จะเกิดการ overlap ของแต่ละ harmonic เป็นเหตุให้เกิด error ขึ้น เมื่อถึงขั้นตอนการสร้างสัญญาณกลับคืน จะเกิดความเพี้ยนขึ้น เพราะสัญญาณที่เกิด overlap จะมีคุณสมบัติไม่ตรงกับ Filter ที่ได้ออกแบบไว้ ยิ่งไปกว่านั้น สัญญาณอาจจะไม่สามารถผ่าน Filter ออกมาได้เลยและการผิดพลาดที่เกิดขึ้นเรียกว่า Aliasing หรือ Flodover distortion

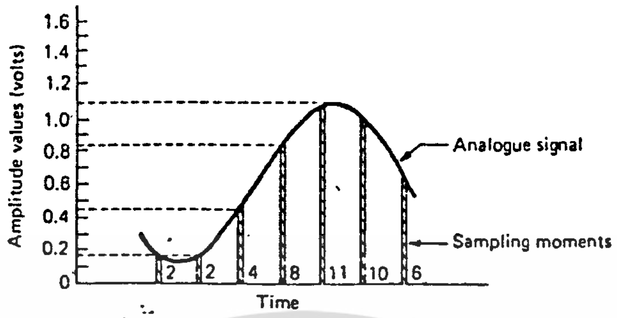
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 2.4 สเปคตรัมของการ Sampling ในแต่ละอัตราการ Sampling ที่ต่างกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

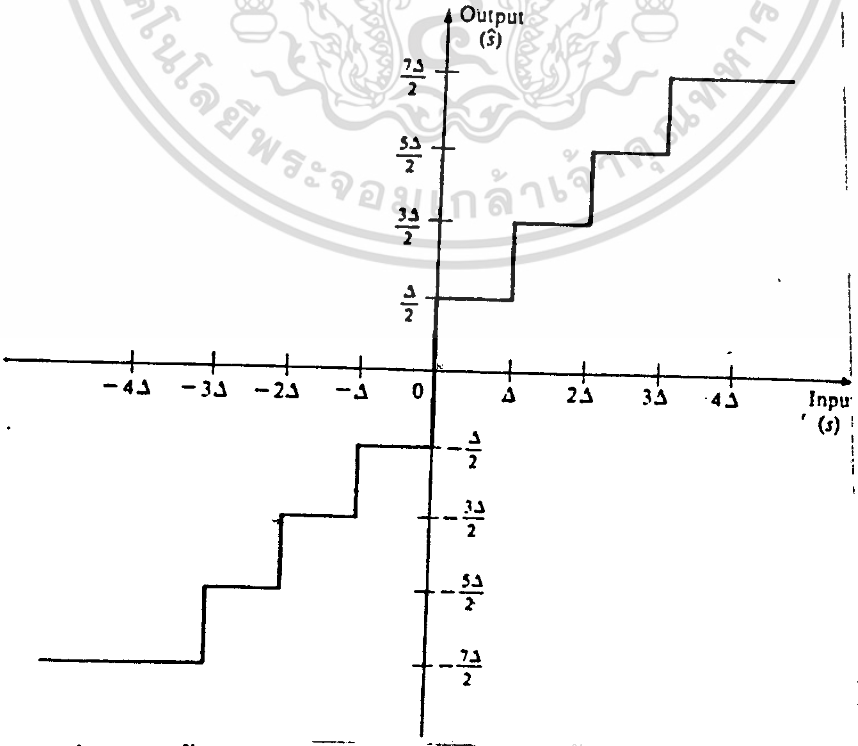
2.1.2 Quantization คือกระบวนการกำหนดค่า Amplitude ของสัญญาณ PAM ให้มีค่าจำกัดค่าหนึ่ง แสดงดังรูป 2.5



รูป 2.5 การQuantizationสัญญาณ PAM

จากรูป 2.5 ในแนวแกนของ Amplitude จะถูกแบ่งเป็นช่วงๆ แต่ละจุดที่แบ่งเป็นช่วงมีค่า Amplitude ประจำอยู่ และจากรูปค่าของสัญญาณ PAM ที่อ่านได้เป็น 2,2,4,8,11,10 และ 6 ตามลำดับ จะเห็นได้ว่า มีการปัดค่าขึ้นหรือลง ไปสู่ค่าที่เป็นจำนวนเต็มที่อยู่ใกล้ที่สุด ซึ่งจะทำให้เกิด errorขึ้น เรียกว่า Quantizing error หรือ Quantizing noise สำหรับกระบวนการ Quantization แบ่งเป็น 2 ประเภท ตามลักษณะความสัมพันธ์ของสัญญาณ input ต่อสัญญาณ output ดังนี้

2.1.2-1 Uniform Quantization



รูป 2.6 ลักษณะของ Uniform Quantization

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

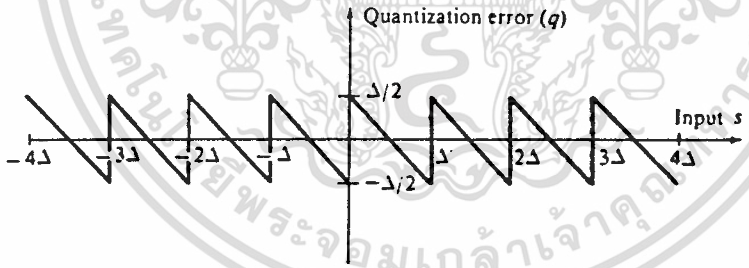
รูปที่ 2.6 เป็นการแสดงลักษณะของ Uniform Quantizing แกนนอนเป็นแกนของ input voltage (S) ค่า -3Δ , -2Δ ,..., 2Δ , 3Δ ตามความยาวของแกนเรียกว่า Step point และค่า $\pm 4\Delta$ เรียกว่า Overload point ทางแกนตั้งเป็นค่าของ output signal (S^) และค่า $-\frac{7}{2}\Delta$, $-\frac{5}{2}\Delta$,..., $\frac{5}{2}\Delta$, $\frac{7}{2}\Delta$ เรียกว่า Output level จะเห็นว่าระยะห่างระหว่าง Step point หรือระยะห่างระหว่าง Output level มีค่าคงที่ตลอดความยาวของแกนทั้งสอง เรียกค่านี้ว่า Step size และเรียกการควอนไตซ์แบบนี้ว่า Uniform Quantizing และเนื่องจากมี 8 Output level ดังนั้นจึงเรียกว่า Uniform 8 - level with Step size Quantization

input voltage สามารถจะมีค่าได้จาก $-\infty$ ถึง $+\infty$ แต่ทางด้าน output (S^) มีค่าที่เป็นไปได้เพียง 8 ค่าเท่านั้น ดังนั้นค่า input จะมีค่าอยู่ในช่วง -4Δ ถึง $+4\Delta$ ค่า Quantizing error ที่เกิดขึ้นจะมีค่าสูงสุดเท่ากับ $\left|\pm \Delta/2\right|$ เช่นถ้า $2\Delta < S < 3\Delta$ จะให้ค่า $S^\wedge = \frac{5}{2}\Delta$ ค่าเดียว ดังนั้นค่า error เท่ากับ $\frac{5}{2}\Delta - 2\Delta = \frac{\Delta}{2}$ และ $\frac{5}{2}\Delta - 3\Delta = -\frac{\Delta}{2}$ เป็นต้น แต่ถ้า $S > 4\Delta$ หรือ $S < -4\Delta$ ซึ่งเรียกว่า Overload region ค่า error จะมากกว่า $\Delta/2$

การหาค่า Step size หาได้จากจำนวนของ Output level และค่า V (V คือ input voltage เป็นค่า peak to peak) ถ้าสมมติว่ามี Output level เท่ากับ L levels ดังนั้น

$$(\text{Step size}) \qquad \Delta = V/L$$

สำหรับ Quantizing error หาได้จากสมการ $q = S^\wedge . S$



รูป 2.7 แสดง Quantization error ที่เกิดขึ้นสำหรับ Uniform Quantizer

จากรูป 2.7 เป็นความสัมพันธ์ของ q กับ s จะเห็นได้ว่า ถ้า $-4\Delta < S < 4\Delta$ หรือ $-V/2 \leqslant S \leqslant V/2$ แล้ว ค่า $|q| \leqslant \Delta/2$ เสมอ ถ้า $S > V/2$ จะเกิด distortion ขึ้นเรียกว่า Granular distortion

คุณสมบัติของวงจร Quantizing ซึ่งเป็นลักษณะเฉพาะ คือ ค่า Signal to Quantizing Noise Ratio (SQNR) ซึ่งมีค่าดังนี้

$$\text{SQNR} = 10 \text{ Log } \frac{\sigma^2}{2} \quad (\text{dB})$$

เมื่อ σ^2 คือ ค่าของการแปรผันของ input

D คือ ค่า mean squared Quantizing error

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
026853

จากรูป 2.7 ค่า Quantizing error มีค่าอยู่ในช่วง $\{-\Delta/2, \Delta/2\}$ และถ้าไม่มี Overload distortion

$$D = E\{q^2\} = \int_{-\Delta/2}^{\Delta/2} q^2\left(\frac{1}{\Delta}\right)dq = \frac{\Delta^2}{12}$$

โดยทั่วไป สัญญาณที่ใช้ทดสอบทางวิศวกรรมไฟฟ้า คือ sine wave ซึ่งถ้า input ของการควอนไตซ์คือ full load sine wave ที่มี peak value เป็น V/2 จะถือได้ว่า สัญญาณ input (S) มีการแปรผันตลอด จาก $-\frac{V}{2}$ ถึง $\frac{V}{2}$ หรือเรียกว่า full dynamic range

$$\sigma^2 = \{(V/2)/\sqrt{2}\}^2 = \frac{V^2}{8}$$

และจาก $= V/L$

ดังนั้น $SQNR = 20 \, Log_{10}L + 1.76 \text{ dB}$

ถ้า n คือ จำนวนบิทที่ใช้ในการเข้ารหัสของสัญญาณแล้ว L จะมีค่าเท่ากับ 2^n เช่น ถ้าใช้ 8 บิท แทนค่าของ PAM 1 ค่า จะทำให้มี Output level เท่ากับ $2^8 = 256$ levels

ดังนั้น
$$SQNR = 20 \, nLog_{10}2 + 1.76 \text{ dB}$$
$$= 6.02n + 1.76 \text{ dB}$$

ค่า SQNR นี้ คิดเมื่อ input (S) เป็น full load sine wave ซึ่งจะมี peak value = V/2 , Step size$(\Delta) = v/2^n$ แต่ถ้าพิจารณา input (S) ที่มีค่า peak value เพียง V/8 ถูกป้อนเข้าไปที่ Quantizer อันเดิมจะได้

$$SQNR = 10 \, Log\left\{\frac{(V/2)}{\sqrt{2}}\right\}^2 \Big/ \left\{\frac{(V/2^n)^2}{12}\right\}$$
$$= 6.02n - 10.28 \text{ dB}$$

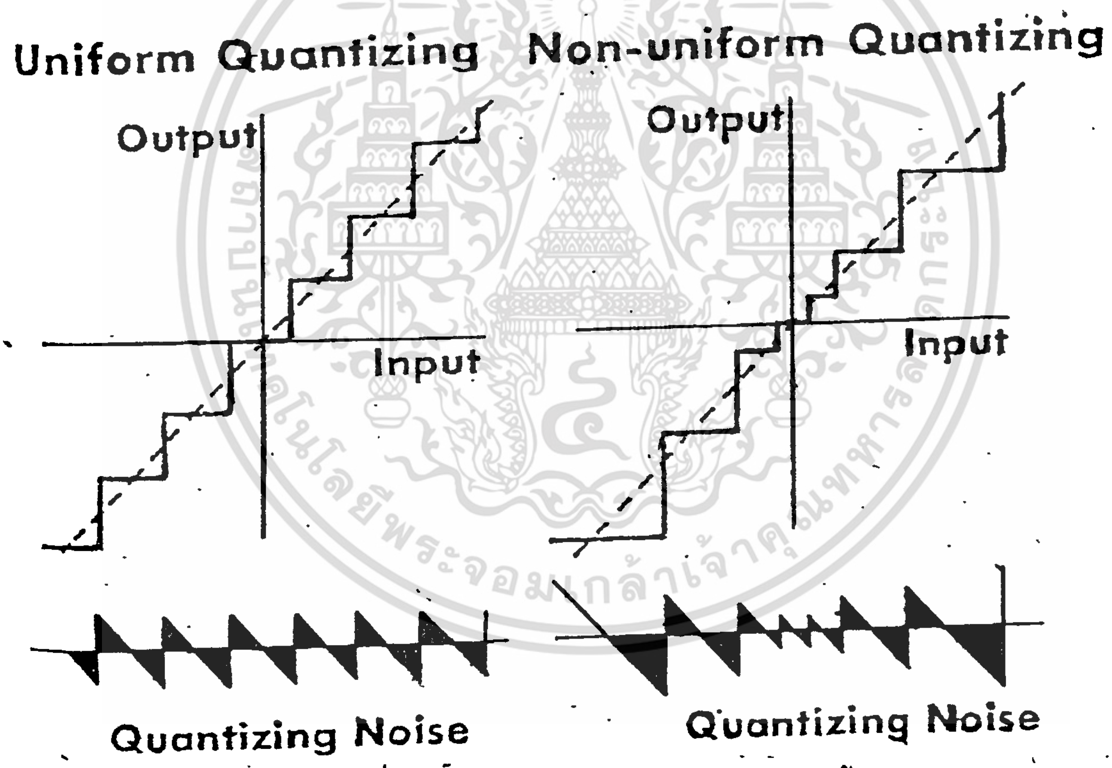
จะเห็นได้ว่า ค่า SQNR มีค่าน้อยลง เพราะ จุด Overload ไม่สัมพันธ์กับ full dynamic range ของ input (S) เนื่องจาก Quantizer ถูกออกแบบไว้สำหรับ input (S) = V/2 ดังนั้น Step size จึงใหญ่เกินไปสำหรับ input นี้

การที่ SQNR มีค่าน้อยลงเมื่อ input (S) มี Amplitude ต่ำๆ จึงเป็นผลที่ทำให้เกิดการควอนไตซ์แบบ Non - Uniform Quantization

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.1.2-2 Non Uniform Quantization

การลด Quantizing error ทำได้โดยการลดขนาดของ Step size ลง แต่การทำอย่างนี้เป็นการเพิ่ม Output level (L) อันจะมีผลทำให้จำนวนบิทที่ใช้ในการเข้ารหัส ($L = 2^n$) เพิ่มขึ้นด้วย ซึ่งจะทำให้ Bandwidth ของ data เพิ่มขึ้นด้วย ดังนั้น จึงมีการคิดค้นวิธีการใหม่ๆ ในการลด Quantizing error ลงโดยไม่ต้องเพิ่ม Output level โดยการทำให้ Step size มีค่าไม่เท่ากัน จากความจริงที่ว่าส่วนมากแล้วสัญญาณเสียงจะมีค่า Amplitude ต่ำ โอกาสที่จะมี Amplitude สูงมีน้อย ด้วยเหตุนี้ จึงมีการกำหนดให้ Step size มีค่าน้อยที่บริเวณ Amplitudeต่ำ และให้ Step size มีค่ากว้างขึ้นที่บริเวณ Amplitude สูง จึงเรียกการควอนไตซ์แบบนี้ว่า Non Uniform Quantizing รูปที่ 2.8 เป็นการเปรียบเทียบ Noise ที่เกิดขึ้นจากการควอนไตซ์ในแต่ละแบบ



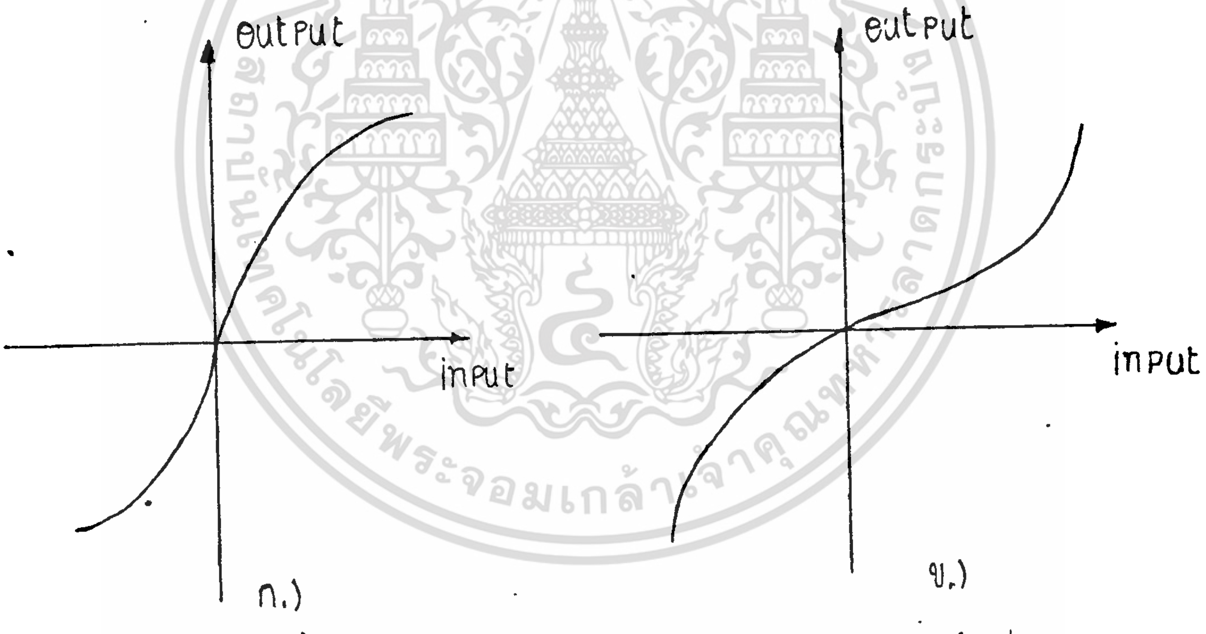
รูป 2.8 เปรียบเทียบnoiseที่เกิดขึ้นจาก Uniform Quantizing กับ Non Uniform Quantizing

เพื่อที่จะให้การควอนไตซ์เป็นแบบ Non Uniform Quantization นั้น จึงจำเป็นต้องใช้เทคนิคการ Companding เข้ามาช่วยในระบบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Companding เป็นกระบวนการที่จะทำการกด(compress)สัญญาณทางด้านส่ง และทำการขยาย (expand)สัญญาณทางด้านรับ ทางด้านส่งนั้น สัญญาณเสียงที่มี Amplitude สูง จะถูกกดไว้โดย compressor แล้วทำการควอนไตซ์แบบ Uniform กระบวนการนี้จะมีผลเหมือนกันกับการเปลี่ยน Quantizing interval โดยขึ้นอยู่กับขนาดของสัญญาณ ส่วนทางด้านรับนั้น ก็จะใช้ expander เพื่อขยายให้ได้รับสัญญาณเดิม ซึ่ง expander นี้มีคุณสมบัติกลับกันกับ compressor

เนื่องจากสัญญาณเสียงมี dynamic range ที่กว้าง ดังนั้น Quantizing noise จะต้องเป็นสัดส่วนกับ Amplitude ของสัญญาณในพิกัดดังกล่าว เพื่อให้ได้ผลตามที่กล่าวมา กราฟของ compander จะต้องมีคุณสมบัติเป็นรูป Logarythm ดังรูป 2.9 จึงทำให้ค่า SQNR มีค่าคงที่ในพิกัดของ power ของสัญญาณ



รูป 2.9 ลักษณะของการ Companding ก.) Compression
ข.) Expansion

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Compander ที่ใช้กันในปัจจุบันมีอยู่ 2 แบบ คือ แบบ A-Law (30-channels system) ซึ่งใช้กับในแถบทวีปยุโรป และแบบ μ-Law (24-channels system) ซึ่งใช้ในแถบอเมริกาและญี่ปุ่น สำหรับกฎของทั้ง 2 แบบ มีสมการเบื้องต้นเป็นดังนี้

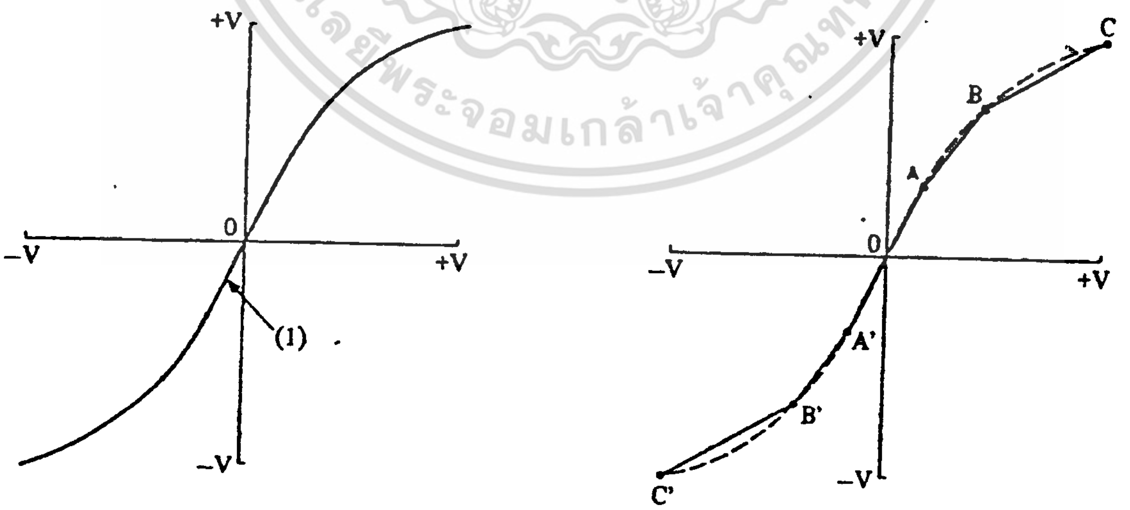
A-Law : $y = AX / (1 + \ln A)$,$(0 < X < 1/A)$

$y = (1 + \ln AX)/(1 + \ln A)$,$(1/A < X < 1)$

μ-Law : $y = (\ln (1 + x))/(\ln (1 +))$,$(0 < X < 1)$

ในที่นี้ A และ μ เป็นพารามิเตอร์, ณ.ที่ระดับสัญญาณสูง A-Law จะมี SQNR ดีกว่า แต่ที่ระดับสัญญาณต่ำจะด้อยกว่าเมื่อเทียบกับ μ-Law เนื่องมาจาก Quantizing interval ของแบบ A-Law ที่มีแอมปลิจูดของสัญญาณต่ำจะมีขนาดกว้างกว่า และที่สัญญาณที่มีแอมปลิจูดสูงกว่าจะมีขนาดแคบกว่า แต่อย่างไรก็ดี ทั้งแบบ A-Law และ μ-Law ก็สามารถให้ค่า SQNR ที่มีค่าสูง

จากการใช้ Non-Uniform Quantizing Law เมื่อเรานำลักษณะของการ Compressing มาพล็อตจะเป็นกราฟlogarithm อย่างต่อเนื่อง แต่ในทางปฏิบัติเราจะแบ่งช่วงออกเป็นส่วนย่อยๆในลักษณะ linear segment ซึ่งในปัจจุบันมีการใช้ 15-linear segment สำหรับการ Companding แบบ A-Law และแบบ 13_-linear segment สำหรับการ Companding แบบ u-Law ซึ่งแบบ 15-linear segment จะให้ค่า SQNR ที่ดีกว่าแบบ 13-linear segment



Smooth characteristic

Segmented characteristic

รูป 2.10 ลักษณะของ Non-Uniform Quantization

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.1.3 Coding หลังจากที่สัญญาณ PAM ผ่านการจัดระดับแล้ว เอ้าท์พุทที่ได้จะถูกนำมาเปลี่ยนค่าแอมปลิจูดเป็น binary code เพื่อให้ง่ายและเป็นมาตราฐานในการ Interface กับวงจรอื่นๆของระบบการติดต่อสื่อสาร และการเก็บบันทึกข้อมูล (storge)

binary code ที่สำคัญๆ มี 3 ชนิด แสดงดังตาราง 2.1 (สำหรับ 8-level Quantization)

Table . 2.1
Binary Representations for an Eight-level Quantizer

Level Number	Natural Binary Code (NBC)	Folded Binary Code (FBC)	Gray Code (GC)
1	000	011	010
2	001	010	011
3	010	001	001
4	011	000	000
5	100	100	100
6	101	101	101
7	110	110	111
8	111	111	110

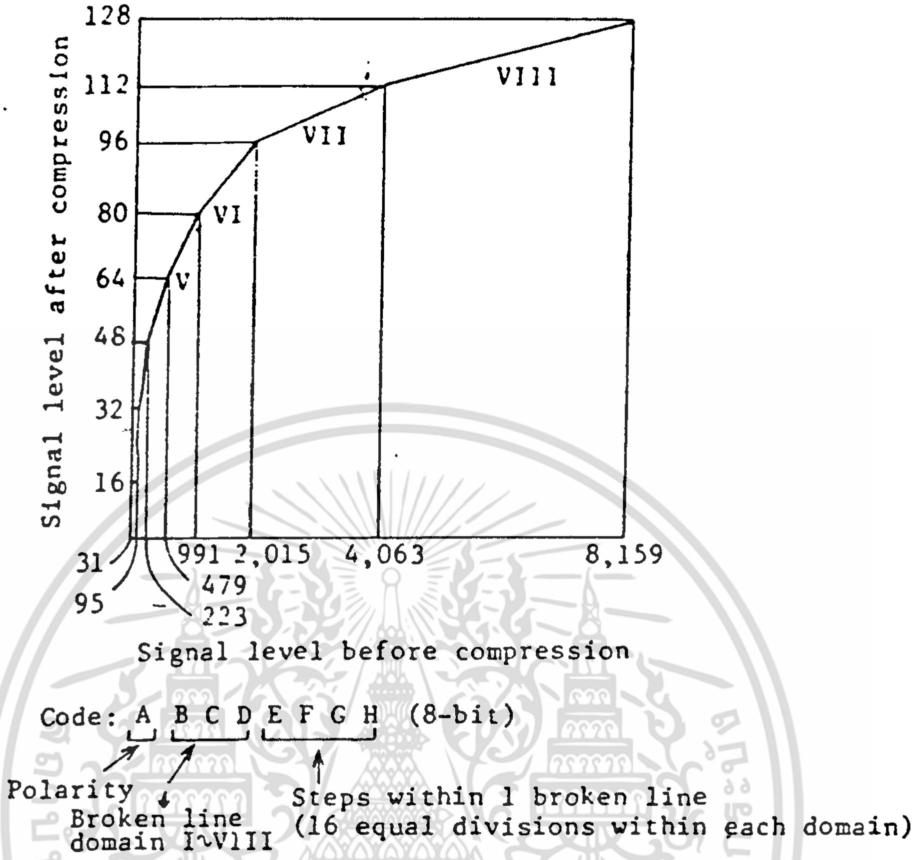
1. Natural Binary Code (NBC) คือ เลข binary ทั่วไป เป็น code ที่ใช้กันมากที่สุด มักจะเริ่มจาก 000 ที่ level ล่างสุด แต่ก็ไม่จำเป็นที่จะต้องเป็นเช่นนี้เสมอไป

2. Folded Binary Code (FBC) ใช้บิทซ้ายสุด (most significant bit) เป็นบิทเครื่องหมาย ส่วนบิทที่เหลือจะบอกขนาด

3. Gray Code (GC) level ที่ใกล้เคียงกันจะมีบิทที่แตกต่างกันเพียงบิทเดียว ดังนั้นถ้าเกิด error ขึ้น 1 บิท level ที่ได้จากการถอดรหัสจะเปลี่ยนไปเป็น level ใกล้เคียง ยกเว้นบิทเครื่องหมาย ถ้าเกิด error จะมีเครื่องหมายต่างกันทันที ทำให้เกิดความผิดพลาดข้ามไปหลาย level

เมื่อเราพิจารณาการเข้ารหัสของสัญญาณในลักษณะของ 15-linear segment characteristic จะทำให้การเข้ารหัสของสัญญาณแสดงดังรูป 2.11 ซึ่งบิทแรก(MSB) เป็นการแสดง polarity และ 3 บิทถัดมา เป็นการแสดง Broken line domain (เป็นการบอกว่าอยู่ใน segment ใด) และ 4 บิทสุดท้าย จะแสดง step ใน 1 Broken line นั้นๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



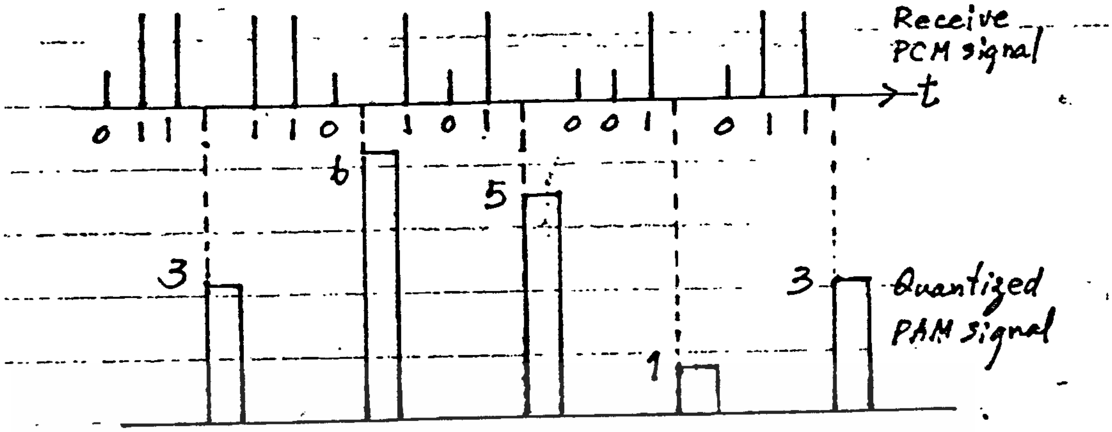
รูป 2.11 การเข้ารหัสของสัญญาณในลักษณะของ 15 - linear segment Compression

2.2 ภาครับ

เมื่อด้านรับได้รับสัญญาณ PCM แล้ว จะเปลี่ยนให้เป็นสัญญาณเสียงตามเดิม โดยผ่านขั้นตอนการถอดรหัสและวงจรกรองความถี่ ขั้นตอนเหล่านี้ถูกเรียกรวมกันว่า DAC (Digital to Analog Conversion)

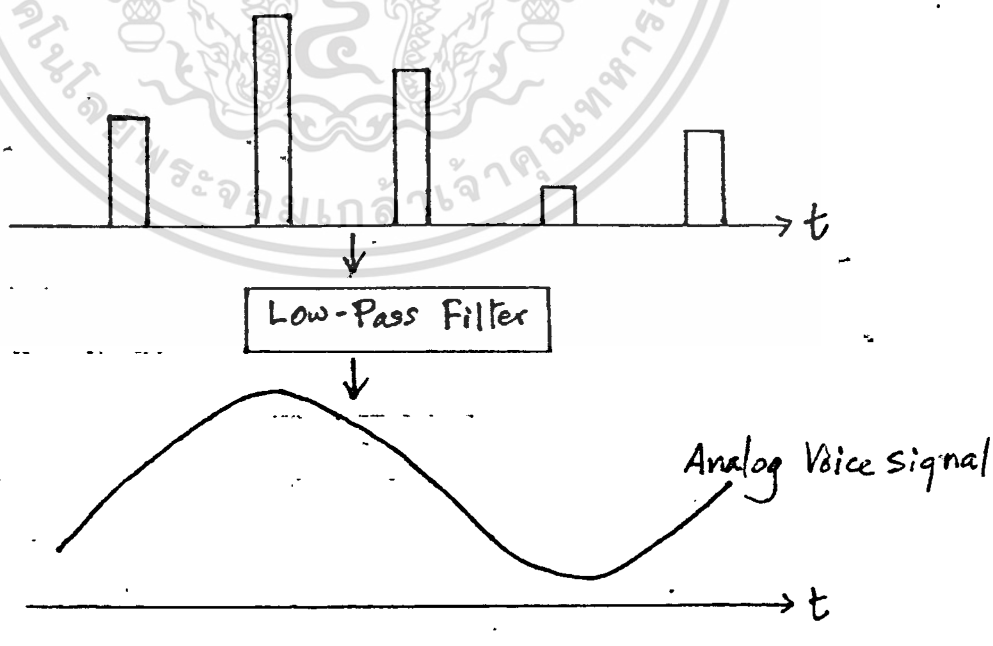
2.2.1 การถอดรหัส (Decoding) เป็นขบวนการที่ตรงกันข้ามกับการเข้ารหัส เริ่มต้นด้วยการแยกกลุ่มของ pulse จากสัญญาณ PCM ที่ได้รับ แล้วหาระดับ Quantize จากรหัสเลขฐานสอง ก็จะได้ขนาดของสัญญาณ sample ที่ Quantize แล้ว เป็นไปตามระดับเหล่านั้น ดังรูปที่ 2.12

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 2.12 การถอดรหัส

สัญญาณ PAM ที่ Quantize แล้ว จะมี Quantizing Noise ปนอยู่ด้วย แต่เมื่อผ่านวงจร expander ก็จะได้สัญญาณ PAM เหมือนกันกับขณะที่ทำการ sampling ที่ด้านส่ง จากนั้นก็นำสัญญาณ PAM นี้ ผ่านวงจรกรองความถี่ต่ำ (LPF) ก็จะได้สัญญาณเสียงที่เป็น Analog เหมือนกับที่ได้ส่งมาจากต้นทาง แสดงดังรูป 2.13

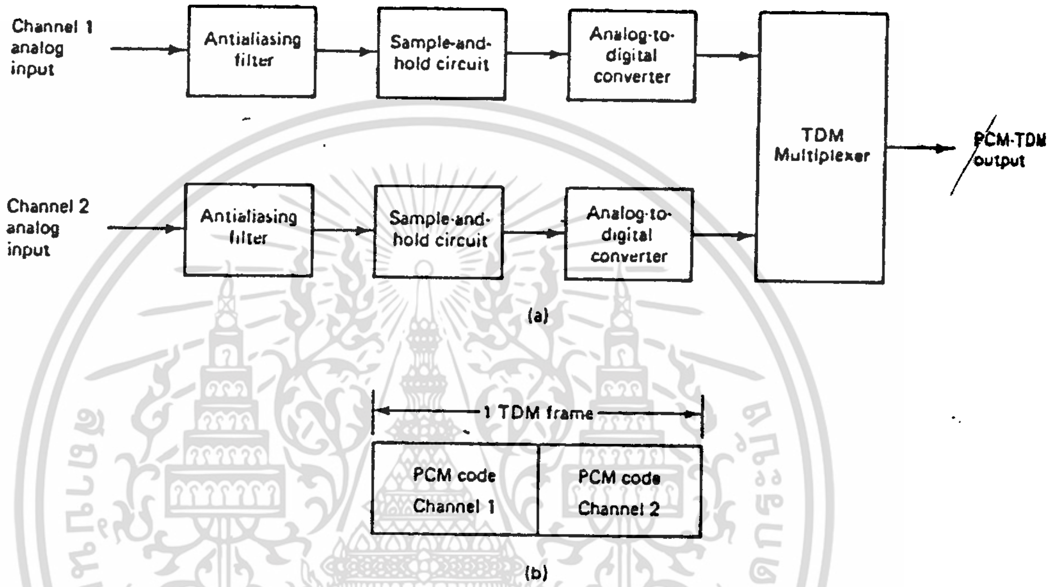


รูป 2.13 กระบวนการกรองความถี่สัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3
ทฤษฎีของ TDM

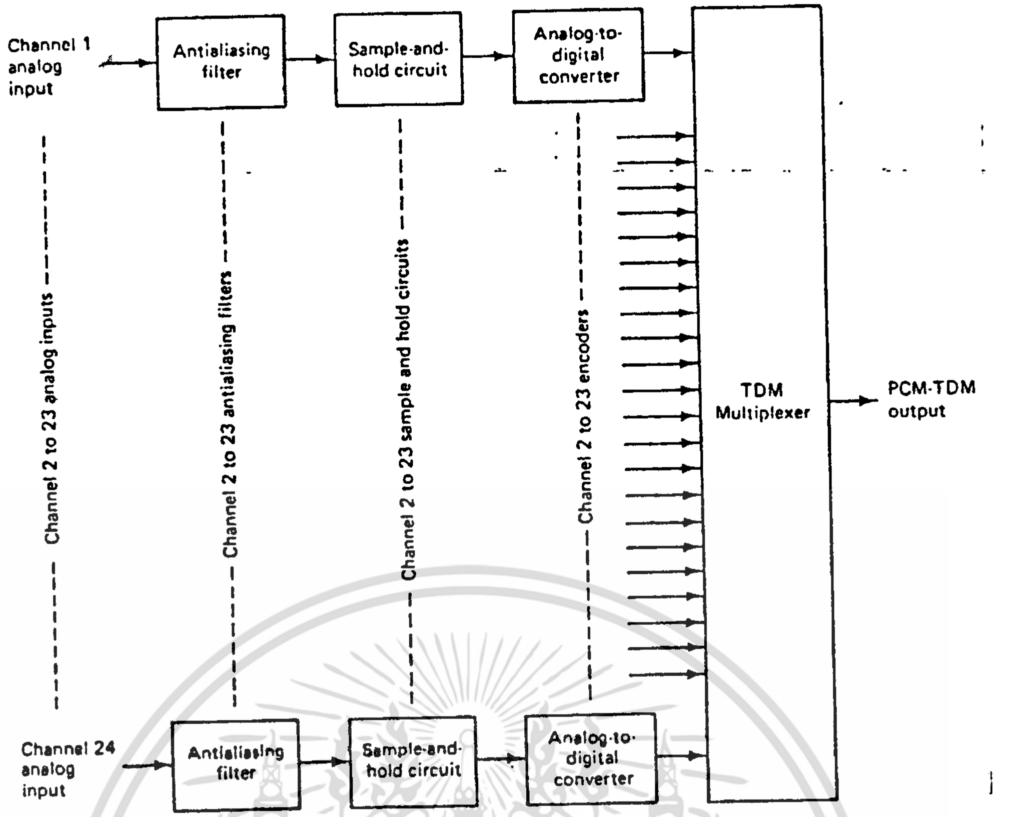
ในระบบ PCM สัญญาณแต่ละ ch. จะผ่านกระบวนการตั้งแต่ Sampling จนถึงการเข้าโคด output ของ สัญญาณที่จุดนี้เป็นสัญญาณ Digital วิธีการที่เหมาะสมสำหรับการรวม channel จึงเป็นวิธีการ Multiplex แบบแบ่งตามคาบเวลา หรือ Time Division Multiplex (TDM)



รูป 3.1 Block Diagram ของ 2 channel PCM-TDM

โดยวิธีการ TDM สัญญาณทุก Channel จะถูกส่งไปในตัวกลางเดียวกัน โดยแบ่งเวลาในการส่ง รูปที่ 3.1 เป็น Block diagram ของ 2 channel PCM-TDM ในขณะที่ code ของ ch.1 ถูกส่งไปในสายส่ง ch.2 จะทำการ Sampling และเปลี่ยนเป็น code หลังจากนั้นก็จะส่งออกไปบ้าง เมื่อถึงเวลานี้ ch.1 จะทำการ Sampling และเข้าcode กระบวนการจะสลับกันไปดังนี้เรื่อยๆ ดังนั้นจะเห็นได้ว่าการ Multiplex คือ Switch ที่มี input 2 input และมี 1 output, Switch จะเลือก input ch.1, ch.2, ... สลับกันไป รูป 3.1(b) แสดงให้เห็น TDM frame ก็คือ คาบเวลาที่ส่งสัญญาณไปได้ครบทุก ch. ก่อนที่จะเริ่ม ch.1 ใหม่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 3.2 Block Diagram ของ Bell System T1 Digital Carrier Systems

รูปที่ 3.2 เป็น Block diagram ของ Bell system T_1 Digital carrier System ซึ่งใช้กันในอเมริกาเหนือ เป็นระบบ 24-channel สัญญาณที่ใช้เป็นสัญญาณเสียงในช่วงความถี่ 300-3400 Hz. ในแต่ละ ch. เป็นการใช้ 8-bit PCM code และถูก Sample ด้วยความถี่ 8 KHz. (หรือมีคาบเท่ากับ 1/(8KHz) = 125 μs)

สัญญาณ 64 Kb/s ของทั้ง 24 ch. จะถูก Multiplex เข้าด้วยกัน ดังนั้นจำนวน bit ทั้งหมดใน 1 frame คือ

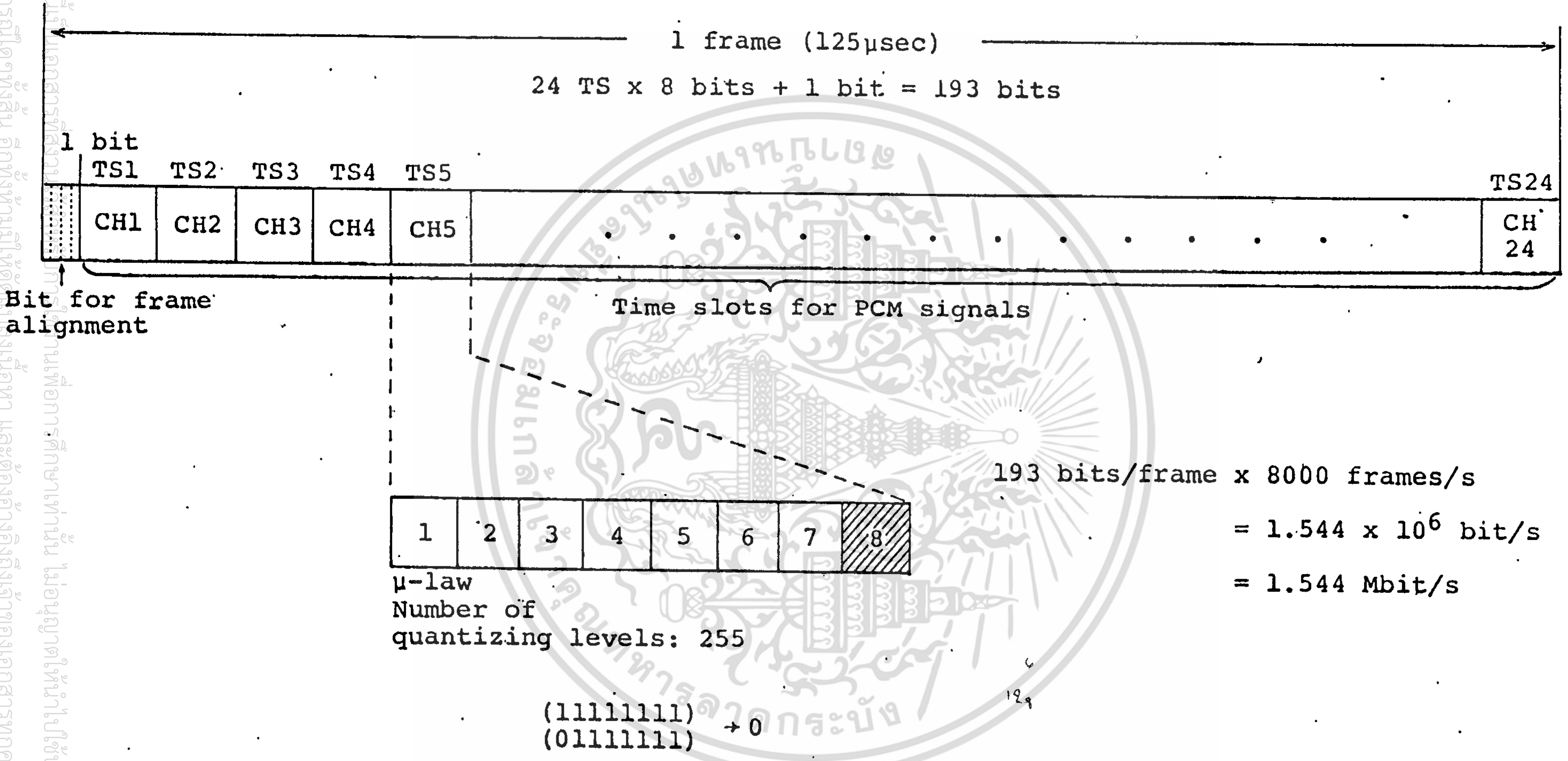
(8 bits / channel) x (24 channel / frame) = 192 bits/frame

แต่ละ Frame จะถูกคั่นด้วยสัญญาณ Frame bit เพื่อบอกให้เรารู้ว่าเป็นการเริ่มต้น Frame ดังนั้นจำนวน bit ที่รวมกับ frame bit จึงเท่ากับ 193 bit/frame แต่คาบเวลาของ frame มีค่าเท่ากับ 125 μs ดังรูปที่ 3.3

ดังนั้น bit rate ของ output ของ Multiplex คือ

(193 bits / 125 us) = 1.544 Mb/s

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.3 แสดงการจัดเฟรมของระบบ PCM – 24 Channels

Frame Structure of 1.544 Mbit/s PCM Primary Group Signal (G.733)

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์การใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Time slot 0	Time slot 1	Time slots 2-16	Time slot 17	Time slots 18-30	Time slot 31
Framing and alarm channel 8 bits	Voice channel 1 8 bits	Voice channels 2-15 112 bits	Common signaling channel 8 bits	Voice channels 16-29 112 bits	Voice channel 30 8 bits

(a)

Time slot 17

Frame	Bits 1234	Bits 5678
0	0000	xyxx
1	ch 1	ch 16
2	ch 2	ch 17
3	ch 3	ch 18
4	ch 4	ch 19
5	ch 5	ch 20
6	ch 6	ch 21
7	ch 7	ch 22
8	ch 8	ch 23
9	ch 9	ch 24
10	ch 10	ch 25
11	ch 11	ch 26
12	ch 12	ch 27
13	ch 13	ch 28
14	ch 14	ch 29
15	ch 15	ch 30

16 frames equal one multiframe; 500 multiframes are transmitted each second

x = spare
y = loss of multiframe alignment if a 1

4 bits per channel are transmitted once every 16 frames, resulting in a 500-bps signaling rate for each channel

(b)

รูป 3.4 แสดงการจัดเฟรมของระบบ PCM - 30 Channels

รูปที่ 3.4 เป็นการจัดเฟรมของระบบ CCITT ซึ่งใน 1 frame (คาบเวลา 125 μs) ถูกแบ่งเป็น32 time slot, time slot 0 ใช้บอกการเริ่มต้น ch. และใช้แบ่งเฟรม (frame aliament) time slot 17 ใช้สำหรับเป็น signaling ซึ่งเป็นสัญญาณที่ใช้บอกข่าวสารต่างๆของแต่ละ ch. เช่น ในระบบโทรศัพท์ ได้แก่ สัญญาณเรียก สัญญาณการสิ้นสุดการเรียก แอดเดรสของผู้ถูกเรียก เป็นต้น

ส่วนที่เหลือ 30 slots จึงเป็น Voice channel ด้วยมาตราฐานของ CCITT แต่ละ Slot มี 8 บิท ดังนั้นจำนวน bit/frame คือ

(8 bits / Time slot) x (32 time slots / frame) = 256 bit/frame

และมี bit rate เท่ากับ 256 bits / 125 s = 2.048 Mb/s

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

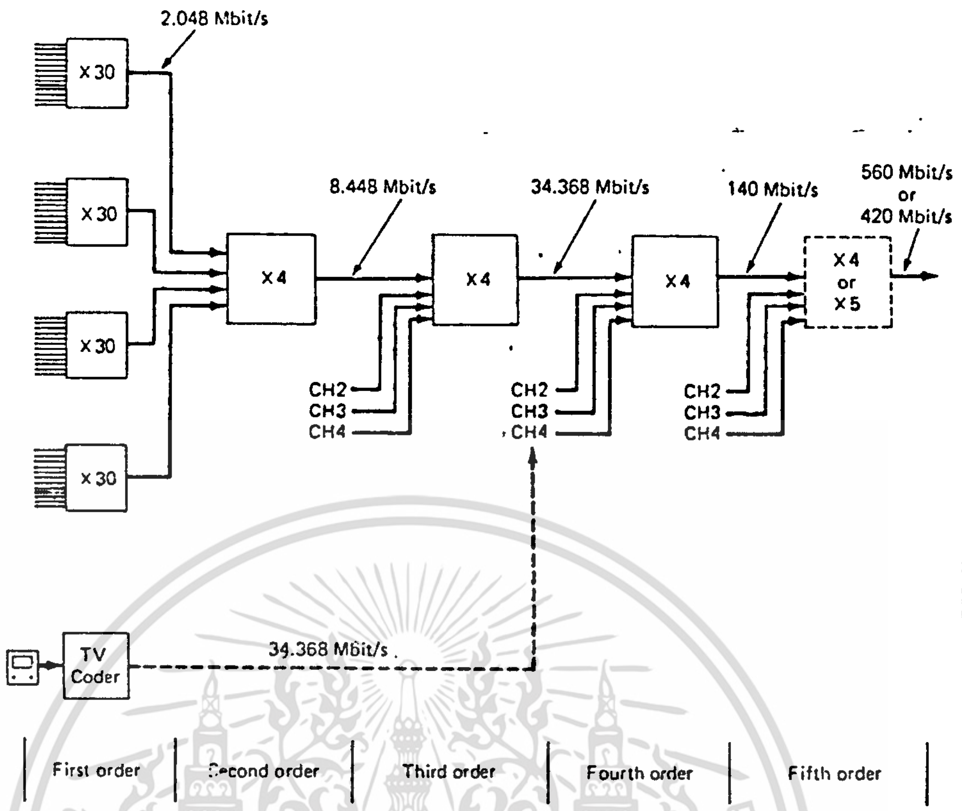


Fig. 3.5 The PCM hierarchy as is used in: Europe, Africa, Australasia, and South America.

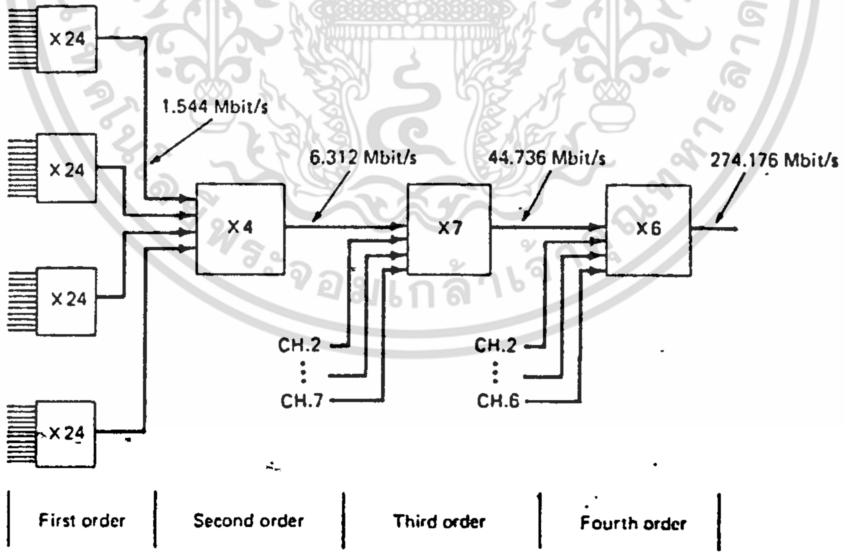


Fig. 3.5 The PCM hierarchy as it is used in North America, Canada, and Japan.

รูป 3.5 PCM Hierarchy ในแต่ละประเทศ

รูปที่ 3.5 เป็นการแสดง PCM Hierarchy เป็นเทคนิคการเพิ่มอัตราและปริมาณการสื่อสารใน 2 รูปแบบ คือ แบบที่ใช้ในอเมริกาเหนือและญี่ปุ่น และแบบที่ใช้ในยุโรป อเมริกาใต้ และ ออสเตรเลีย

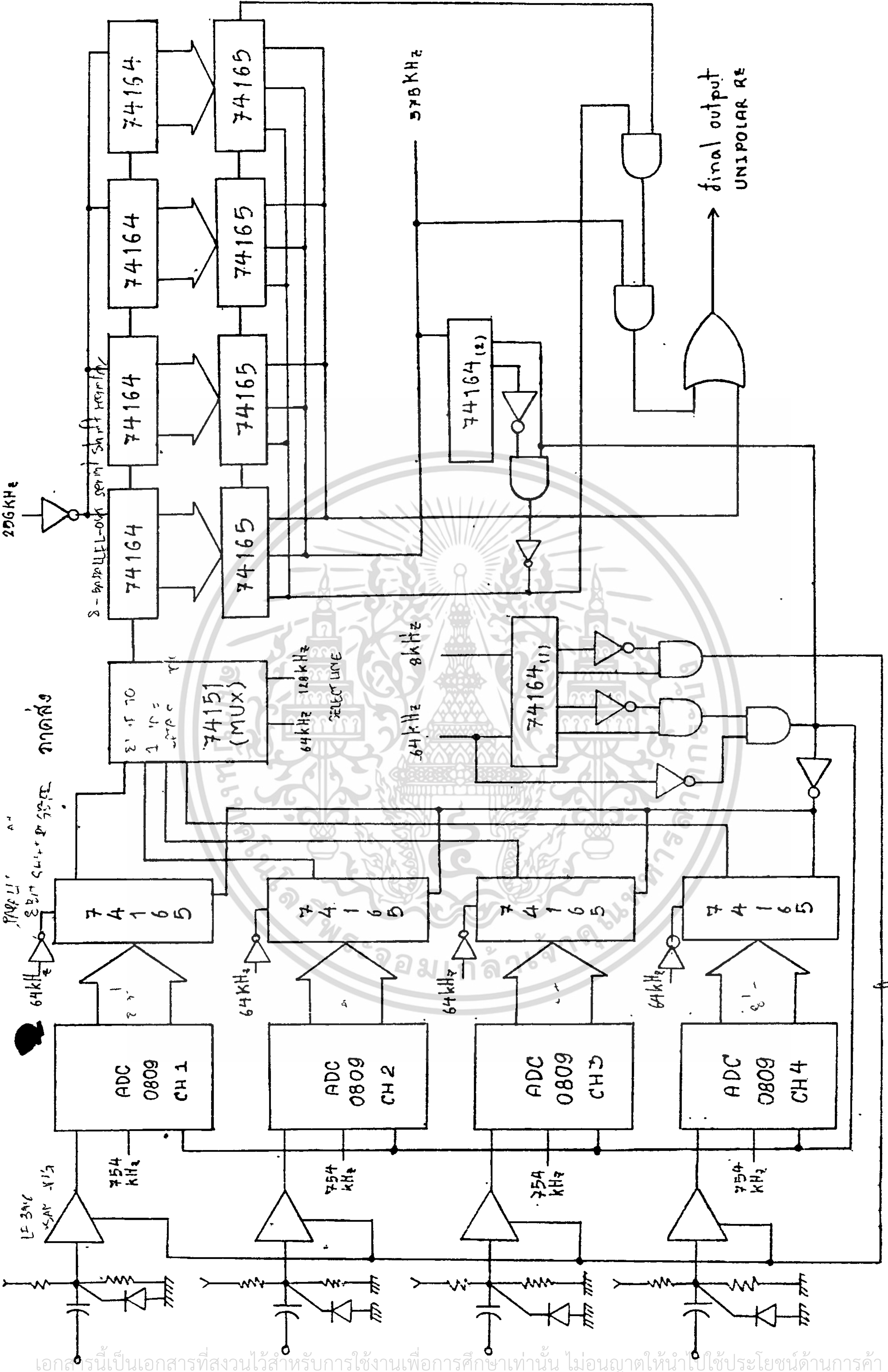
บทที่ 4

การออกแบบวงจรระบบ 4-Channel PCM

4.1 ภาคส่ง

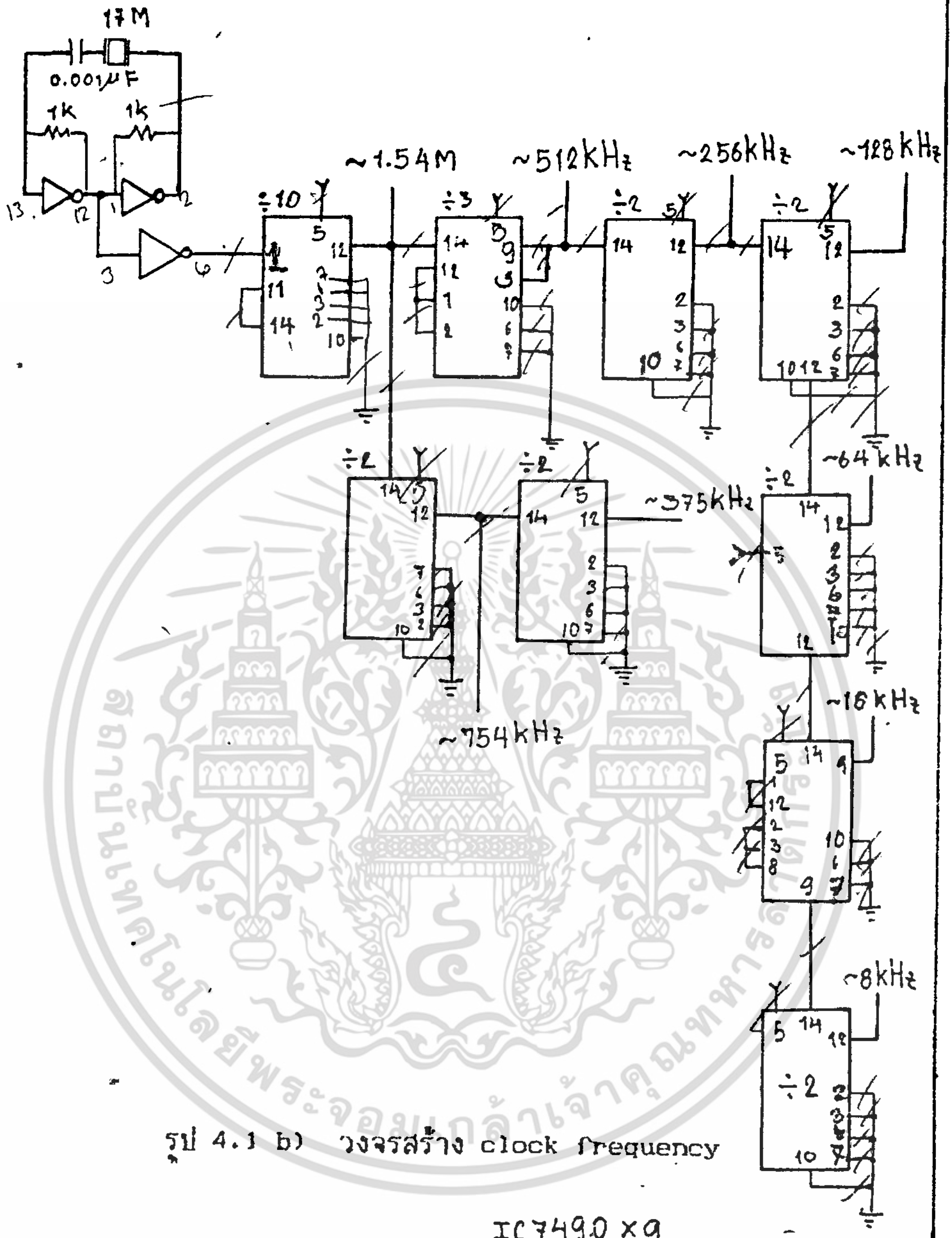
วงจรภาคส่งที่ได้ออกแบบไว้แสดงดังรูป 4.1 สัญญาณ inputจะมี 4 ช่องสัญญาณ ถูกทำการ shift ให้มี Voltageอยู่ในช่วง ØV ถึง +5V แล้งจึงผ่านการ Sampling ด้วย IC LF 398 จากนั้น IC ADC Ø8Ø9 จะเปลี่ยนระดับของสัญญาณเป็น Binary Code และจะผ่านกระบวนการ Multiplex, การจัด frame จนได้ outputสุดท้ายสำหรับส่งผ่านสายส่ง สำหรับรายละเอียดของวงจรจะได้กล่าวต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 4.1 (ก) แสดงวงจรภาคส่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

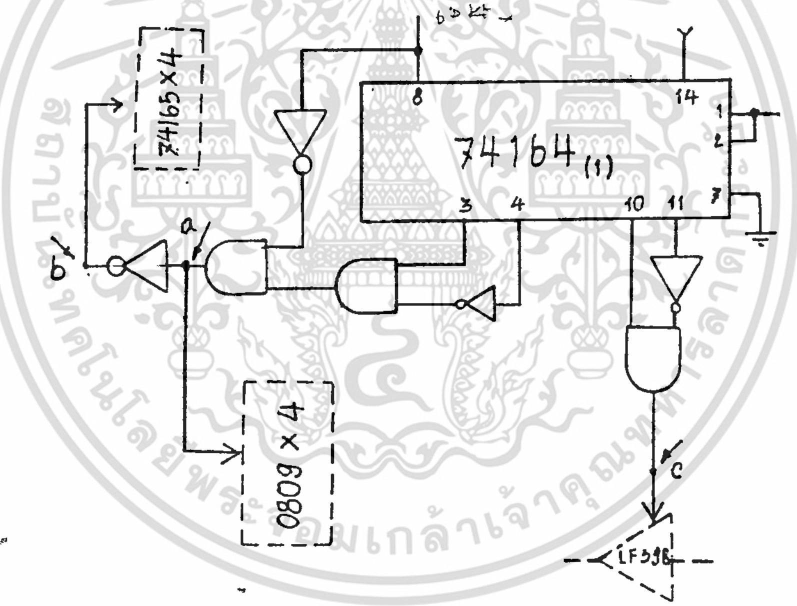


รูป 4.1 b) วงจรสร้าง clock frequency

IC7490 x9

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูป 4.2 เป็นวงจรสร้างสัญญาณ Sample สำหรับ LF 398 สัญญาณควบคุมการ Convertion ของADC0809 และสัญญาณ Shift/load (S/l) ของ IC 17165 ซึ่งทำหน้าที่เปลี่ยน outputของ ADC 0809 ที่เป็น Parallel data ให้เป็น Serial data

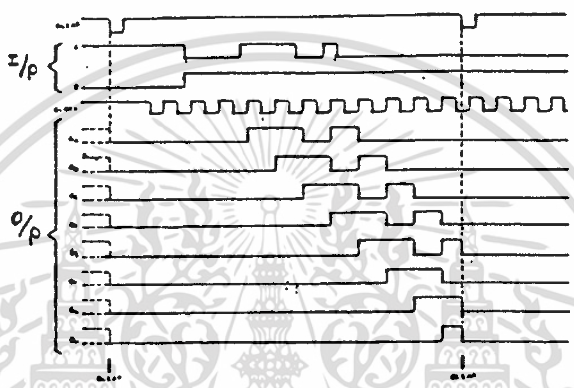


รูป 4.2 วงจรสร้างสัญญาณ Sample

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

(SIPO)

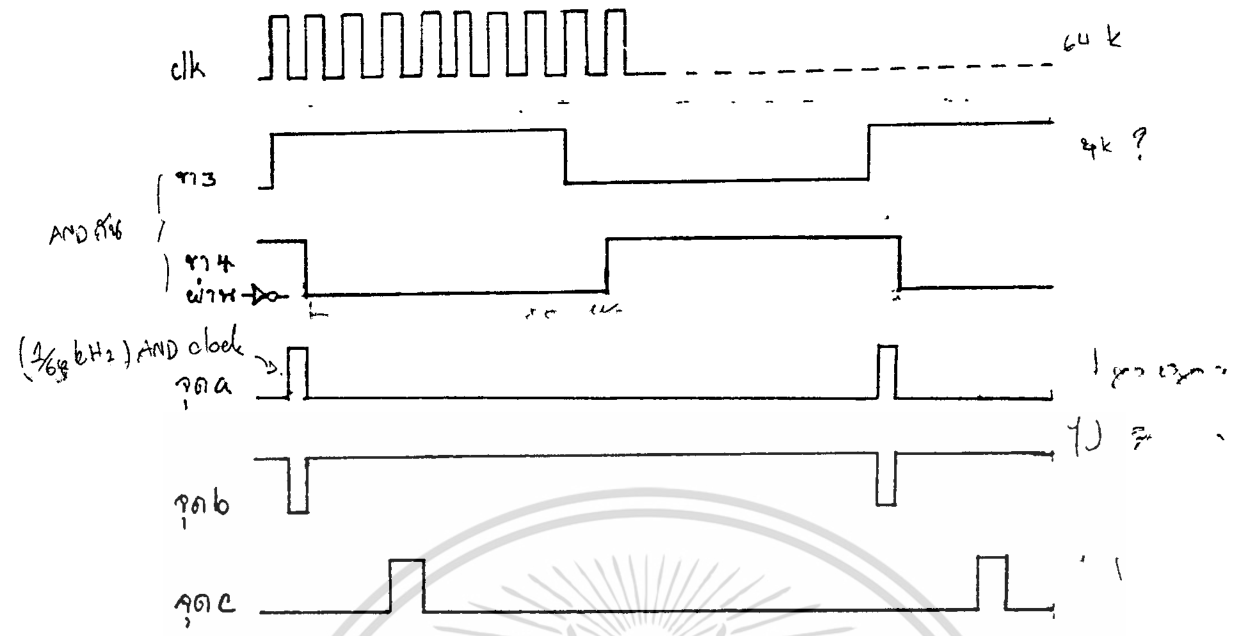
IC 74164 เป็นวงจร 8-bit Serial-in Parallel-out register สัญญาณ Output ทั้ง 8 ขาจะมีลักษณะ delay กันไป 1 clock cycle ดังรูป 4.3 ในวงจรนี้จะใช้สัญญาณจาก Output ขา 3 กับขา 4 สร้างสัญญาณของ Shift/load และสัญญาณควบคุมการ Convertion กับใช้ขา 10 และขา 11 สร้างสัญญาณ Sample



รูป 4.3 แผนผังเวลาของ IC 74164

สัญญาณ Input เป็นสัญญาณที่มีความถี่ 8KHz เพราะเราต้องการสัญญาณที่มีคาบ 125 us (1/8 kHz) เมื่อนำเอา Output ขา 4 ไปผ่าน Inverter แล้ว AND กับ Output ขา 3 จะได้ Pulse ที่มีความกว้างเท่ากับ 1 Clock cycle (1/64 kHz) เมื่อนำ Pulse นี้ไป AND กับ clk (clock ที่ผ่าน Inverter) จะได้ Pulse ที่แคบยิ่งขึ้น ดังรูป 4.4 (สัญญาณ a)

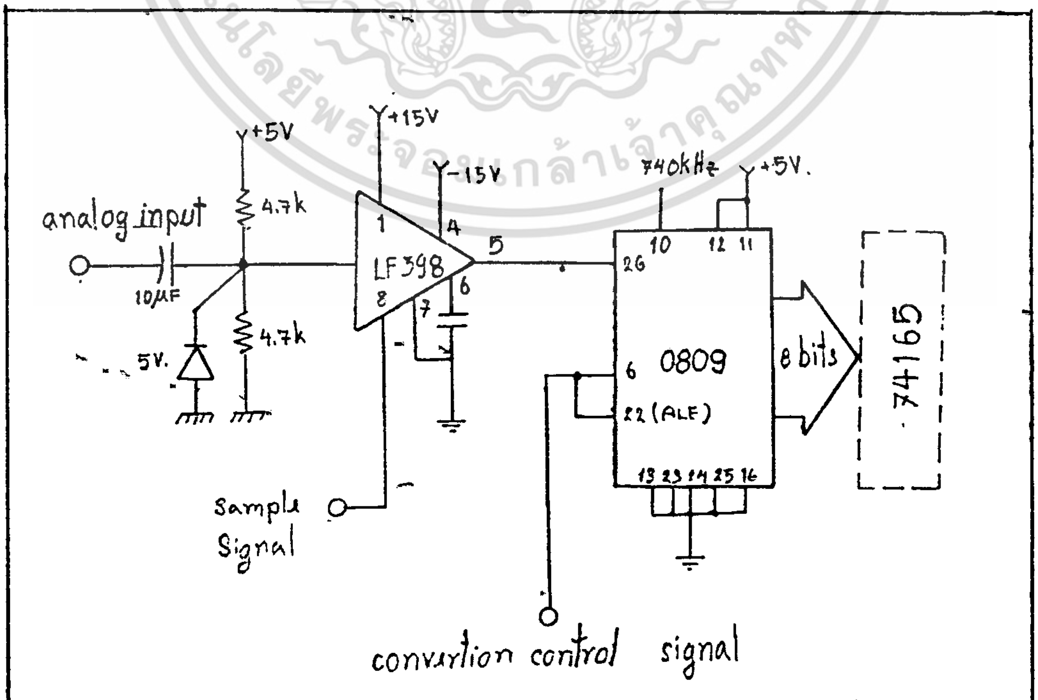
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 4.4 แผนผังเวลาของรูป 4.2

Output ที่ได้ที่จุด a เป็นสัญญาณควบคุมการ Converter ของ ADC 0809 และเมื่อผ่าน Inverter จะได้สัญญาณ S/1 ซึ่งจะกล่าวถึงหน้าที่ของสัญญาณทั้งสองนี้ต่อไป

สัญญาณ Sample ที่จุด c สร้างได้ในลักษณะเดียวกัน โดยใช้ Output ขา 10 และขา 11 (ที่ผ่าน Inverter) แต่จะไม่ AND กับ clk เพราะ ความกว้างเท่านี้ก็ใช้ได้แล้ว

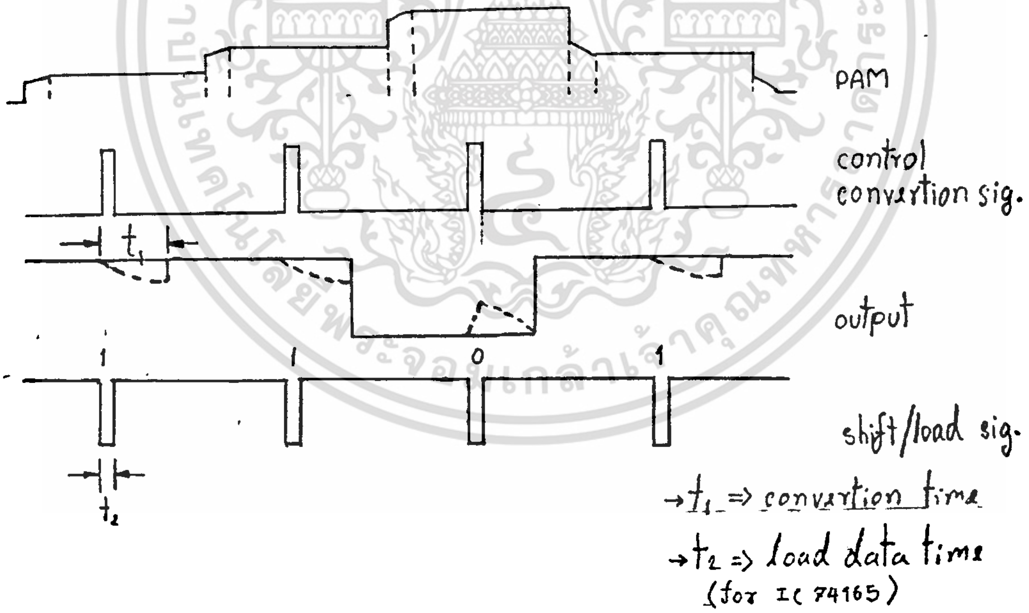


รูป 4.5 วงจร ADC 1 channel

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

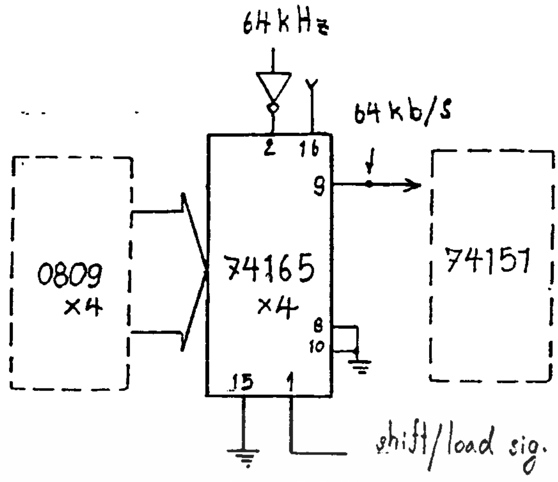
จากรูปที่ 4.5 Resistor ทำหน้าที่ลดระดับของ Analog input ให้มี Voltage จาก 0 - 5 Volt. Diode จะทำการตัดสัญญาณที่มี Voltage เกิน 5 Volt. LF 398 ทำหน้าที่เป็นวงจร Sample and hold ด้วยสัญญาณ Sample (จุดCในรูป 4.4) Output ที่ได้จะเป็นสัญญาณ PAM เข้าเป็น Input ของ ADC 0809 ซึ่งจะอ่านค่า Amplitude ของสัญญาณ PAM เมื่อมีสัญญาณควบคุมการ Convertion เข้าที่ขา 22 ของ IC 0809 พร้อมกันนั้นสัญญาณดังกล่าวก็จะเข้าไปที่ขา 6 ซึ่งเป็นการเริ่มต้นการ Convertion หลังจากนั้นช่วงเวลาหนึ่ง (เรียกว่า Convertion time) จึงจะให้ Output ออกมา กระบวนการนี้จะเสร็จสิ้นก่อน Pulse ต่อไปของสัญญาณควบคุมจะเข้ามา

รูปที่ 4.6 แสดงให้เห็น Output ของวงจร ADC(เพียงขาเดียวจาก Output ทั้งหมด 8 ขา) เส้นประคือ output เมื่อไม่ได้ต่อ Coupling ด้วย Capacitor ซึ่งจะทำให้ IC 74165 อ่านได้ค่าที่ผิดพลาด เช่น อ่านค่า 0 เป็น 1 เป็นต้น ดังนั้นจึงนำเอา Capacitor มาต่อ Coupling จะทำให้ได้ Output เป็นเส้นตรงทึบ

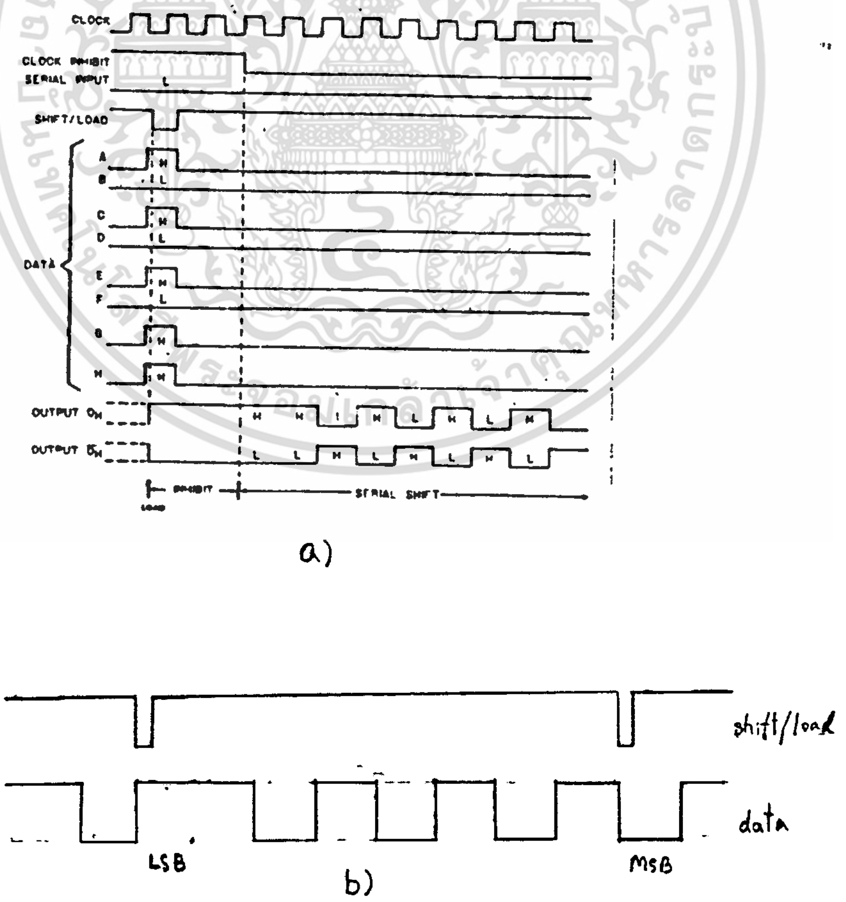


รูป 4.6 แผนผังเวลาของวงจร ADC (รูป 4.5)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 4.7 วงจรเปลี่ยนoutputแบบขนานเป็นอนุกรม



รูป 4.8 แผนผังเวลาของวงจรรูป 4.7

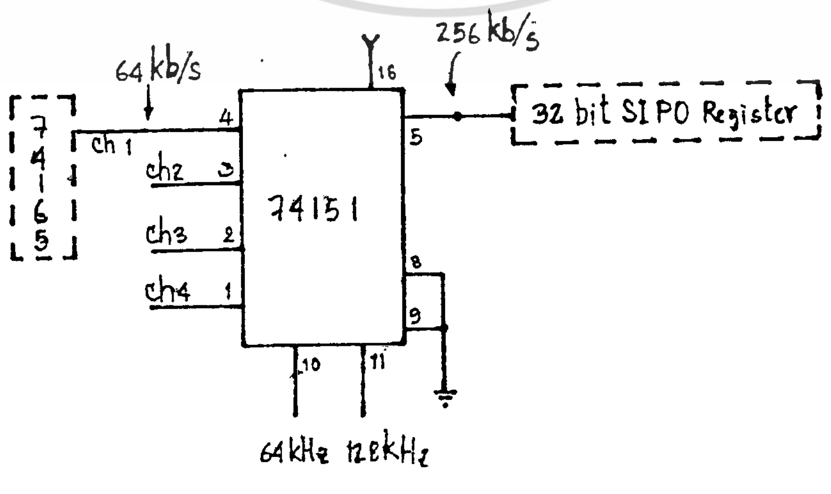
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูป 4.7 : IC 47165 ทำหน้าที่เปลี่ยน Parallel Data ของ ADC 0809 ไปเป็น Serial Data รูป 4.8 เป็น Timing diagram ของ IC ตัวนี้ รูป b แสดง Output Data เทียบกับสัญญาณ Shift/load. bit ที่ออกมาก่อนคือ bit ที่มีค่านัยสำคัญน้อยที่สุด(LSB)
(* ตามรูป b bitทางซ้ายมือออกมาก่อน - วาดตาม Scope 3 ในเวลานี้ bit rate มีค่าเท่ากับ 64kb/S และทั้ง 4 channel จะให้ Output ในเวลาเดียวกัน

จากรูป 4.9 : IC 74151 เป็นIC 8-channel Multiplexer ในโครงงานใช้ 4-channel เท่านั้น การเลือกสัญญาณInput เป็นไปตามสัญญาณจากขา 10 และขา 11 ดังนั้นจึงต่อไว้ด้วยclock 64 KHz และ 128 KHz ตามลำดับ การทำงานจะเป็นดังตารางข้างล่าง

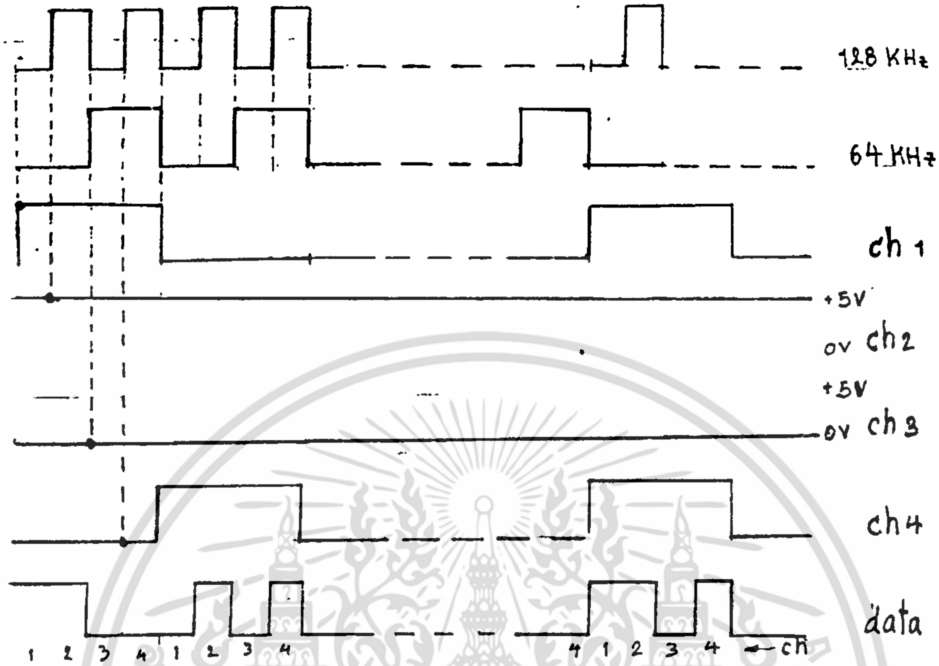
ขา 10	ขา 11	Output channel
0	0	1
0	1	2
1	0	3
1	1	4

bit rate ของ data หลังจากที่ออกจาก 74165 เท่ากับ 64kb/S หรือมี bit interval เท่ากับ 15.625 us ถ้าแบ่งเป็น 4 ส่วนเท่าๆกัน จะได้เท่ากับ 3.9 us ซึ่งมีค่าเท่ากับช่วงเวลาในการเลือกของ IC 74165 พอดี เพราะเวลาของการเลือกแต่ละครั้งเท่ากับครึ่งของคาบของ clock 128kHz (ตามรูป 4.10) นั่นคือ 1/2 * 128kHz = 3.9 us เพราะฉะนั้นเมื่อ Data bit แรกของ channel ได้ถูกเลือกแล้ว หลังจากนั้นเมื่อ bit ถัดไปของ channel นั้นมาถึง IC 74151 ก็จะเป็นเวลาที่การเลือกวนมาครบรอบพอดี



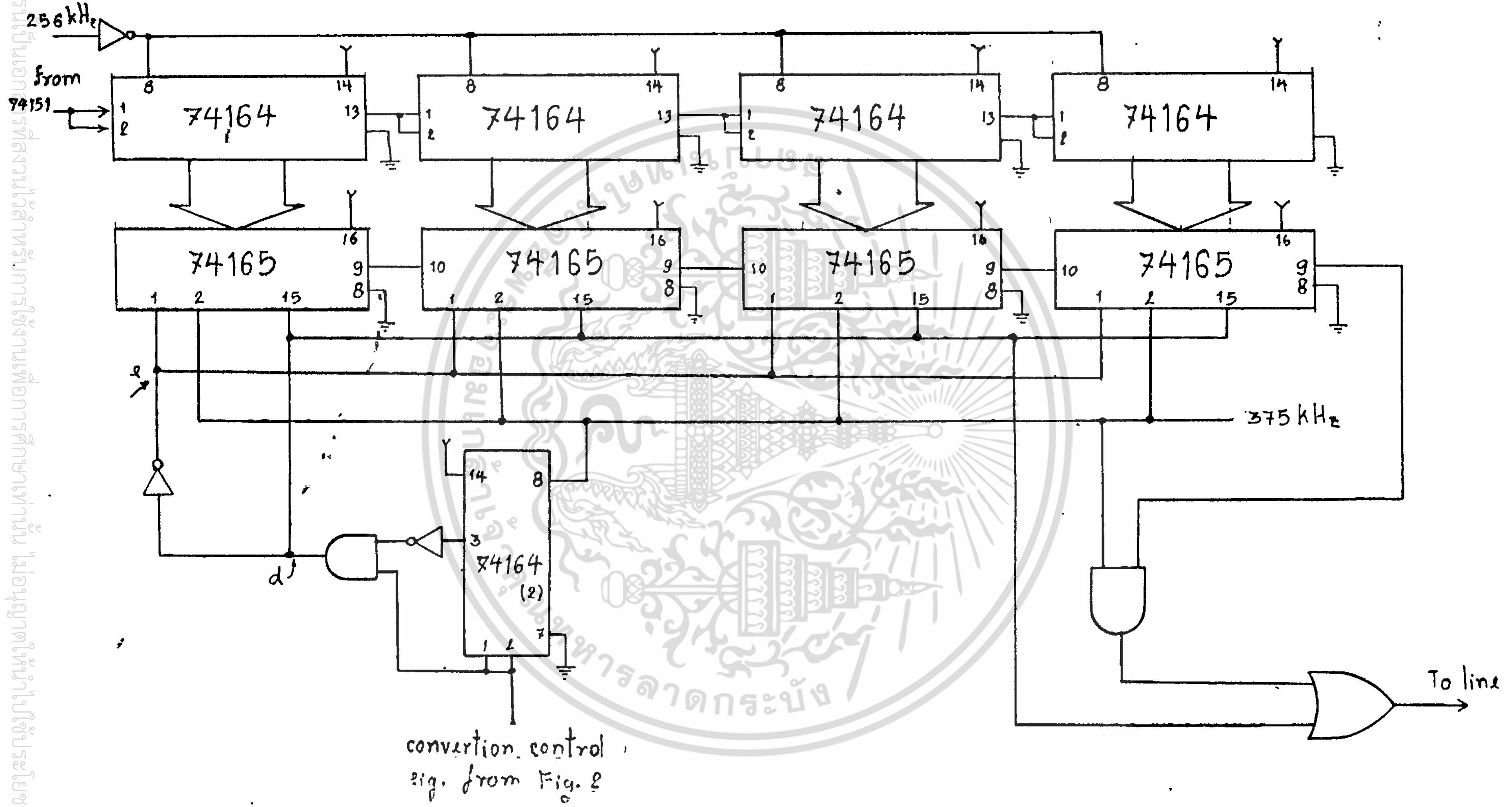
รูป 4.9 วงจร Multiplex 4-channel

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 4.10 แผนผังเวลาของวงจร Multiplex

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า



รูป 4.11 วงจรสร้าง frame bit

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูป 4.10 ส่วนบนสุดเป็น 32-bit SIPO register (Serial In Parallel Out) ซึ่งสร้างขึ้นจากการนำเอา IC 74164 4ตัวมาต่อเข้าด้วยกัน ถัดลงมาเป็น 32-bit PISO (Parallel In Serial Out) register สร้างขึ้นจาก IC 74165 4ตัวเหมือนกัน ทำหน้าที่ load data จาก SIPO ทีละ 32 bits (1 frame) ด้วยสัญญาณ Shift/load จากนั้นจึง shift ออกไปด้วยความถี่ของ clock ของมันเอง ซึ่งจะต้องมากกว่า 264 kHz เนื่องจากความกว้างของแต่ละ data bit ที่ถูก shift ออกไปนั้น จะเท่ากับ 1 คาบของ clock ดังนั้น ถ้า clock เท่ากับ 264 kHz จะได้ bit rate = 264 kb/s และความกว้างของ data bit จะเท่ากับ 1/264 kHz = 3.8 us ซึ่งถ้านำไปหาร 125 us จะได้เท่ากับ 33 นั่นก็หมายความว่า ถ้าใช้ความถี่ clock เท่ากับ 264 kHz Output ที่ออกจาก PISO จะถูกบีบให้แคบลงจนเหลือที่ว่าง 1 bit ซึ่งสามารถใส่ frame bit เข้าไปได้

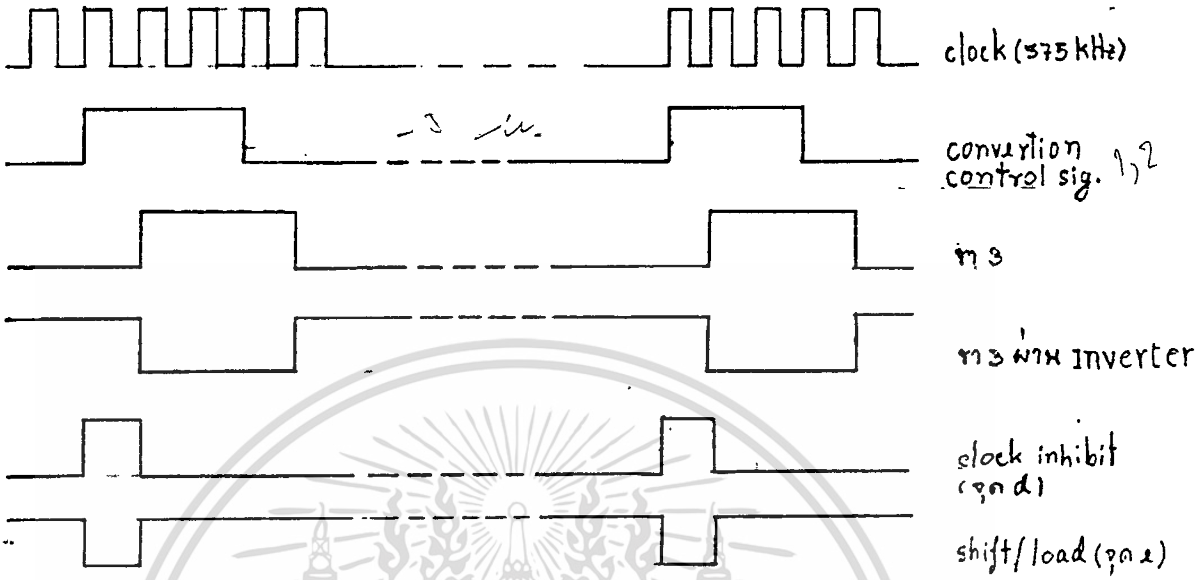
แต่ในโครงงานนี้ใช้ความถี่ clock เท่ากับ 375 kHz(เป็นความถี่ที่ใกล้เคียงกับ 264 kHz มากที่สุดเท่าที่มีอยู่) Output จึงมี data bit rate เท่ากับ 375 kb/s หรือใน 1 frame (125 us) จะสามารถมีได้ประมาณ 46 bits { 125us/(1/375kHz) = 46.875 }

ถ้าคิดว่าเริ่มต้นเรามี channel 5 channels แต่ละ channel มี bit rate เท่ากับ 64kb/s * 5 channel = 320 kb/s หรือมี 40 bits ใน 1 frame ซึ่งยังน้อยกว่าจำนวน bit/frame ของ bit rate ของ Output ที่ได้จาก PISO register แสดงว่าถ้าใช้ clock เท่ากับ 375 kHz จะสามารถส่งสัญญาณได้ถึง 5 CH. นี่คือข้อดีของวงจร PISO register ที่สามารถจะเพิ่ม bit rate ของ Output ได้ เมื่อต้องการจะเพิ่มจำนวน channel หรือถ้าพูดอีกนัยหนึ่ง ถ้าต้องการเพิ่มจำนวน channel สิ่งที่ต้องกระทำก็คือ หาสัญญาณ clock เพิ่มให้กับขา selector ของ IC 74151 (MUX) เพื่อให้ Multiplex channel ทั้งหมดเข้าด้วยกันได้ จากนั้นก็เปลี่ยน clock ของ register SIPO (IC 74164 *4) ให้มีความถี่เท่ากับ bit rate ของ data ที่ออกมาจากวงจร Multiplexer และสุดท้ายเพิ่มความถี่ clock ของ register PISO เพื่อบีบสัญญาณที่รับมากจาก SIPO ให้แคบลงจนมีที่ว่างอย่างน้อย 1 bit สำหรับใส่ frame bit

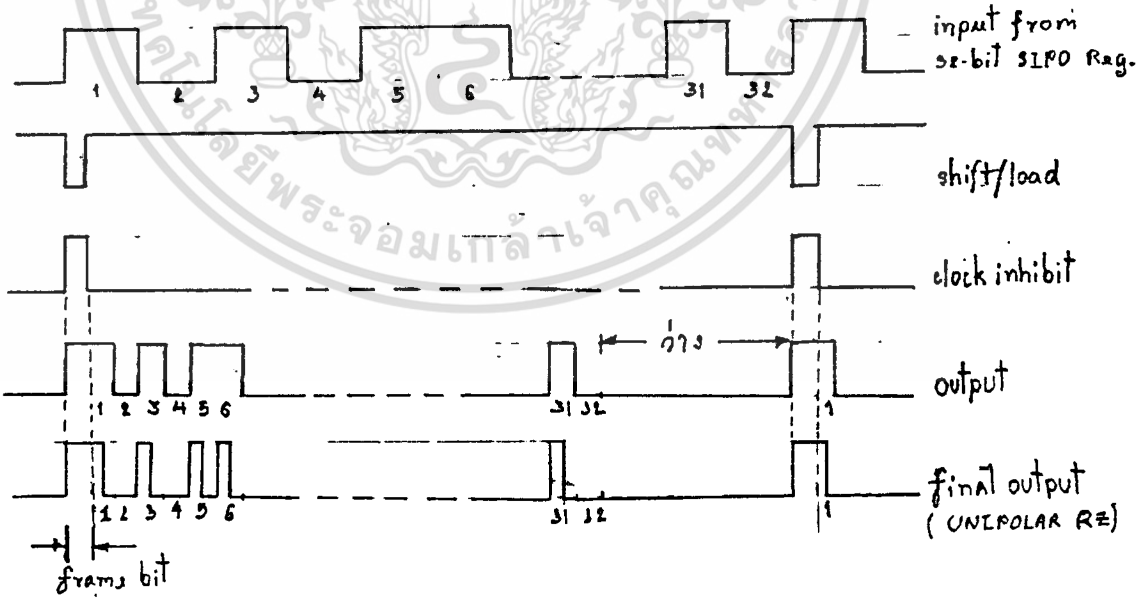
การที่สามารถเปลี่ยน clock ได้นี่เอง ทำให้ต้องมีวงจรสร้างสัญญาณควบคุมการรับ(load)และ shift สัญญาณออกของ PISO ขึ้นมาใหม่ ให้ต่างจากสัญญาณ shift/load ในวงจรรูป 2 เพราะ Pulse ของสัญญาณนี้ ต้องมีความกว้างไม่เกิน 1 clock cycle

จากรูป 4.11 : IC 74164 ที่อยู่ล่างสุด จะนำเอาสัญญาณควบคุมการ convertion จาก ADC 0809 (ซึ่งสร้างโดยวงจรในรูป 4.2)ทำการ delay ด้วยเวลา 1 clock cycle ของความถี่ของ PISO จากนั้นนำเอา Output จากขา 3 และสัญญาณควบคุมการ convertion นี้ไปสร้างสัญญาณ Shift/load และสัญญาณควบคุมการ Shift/load (หรือเรียกว่าสัญญาณ clock inhibit)ดังรูป 4.12

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 4.12 แผนผังเวลาของวงจรสร้างสัญญาณควบคุม PISO



รูป 4.13 แผนผังเวลาของ PISO และ output สุดท้ายของภาคส่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูป 4.13 เป็น Timing Diagram ของ PISO ที่รับ data (256Kb/s) มาจาก SIPO ด้วยสัญญาณ Shift/load แล้วจะ shift data ออกมาเมื่อสัญญาณ clock inhibit เป็น "0" ใน1frame, Output ที่ได้จะมีที่ว่างเหลืออยู่ (เพราะใช้ clock 375 kHz) เนื่องจากแต่ละ bit จะมีความกว้างเท่ากับ 1 clock cycle ดังนั้น จะนำ Output นี้ไป AND กับ clock เพื่อให้ได้ความกว้างของแต่ละ bit เท่ากับ ครึ่งหนึ่งของ clock cycle หรือให้มี duty cycle เท่ากับ 50 % เพื่อประโยชน์ของภาครับ และเพื่อความเหมาะสมสำหรับคุณสมบัติสายส่งสัญญาณ (ในทางปฏิบัติจริงๆแล้วจะส่ง Data แบบ Bipolar Return to Zero แต่ในโครงงานนี้จะใช้เพียง Unipolar Return to Zero เท่านั้น)

ขณะนี้สัญญาณที่เป็น 1 ทุกสัญญาณจะมี duty cycle เท่ากับ 50 % รวมทั้ง frame bit ด้วย แต่เราต้องการให้ frame bit แตกต่างจาก data bit เพื่อเครื่องรับจะสามารถ detect ได้ ดังนั้น จึงนำเอาสัญญาณ clock inhibit มา OR กับสัญญาณข้างต้น จะได้ Output สุดท้ายเป็นดังรูป 4.13

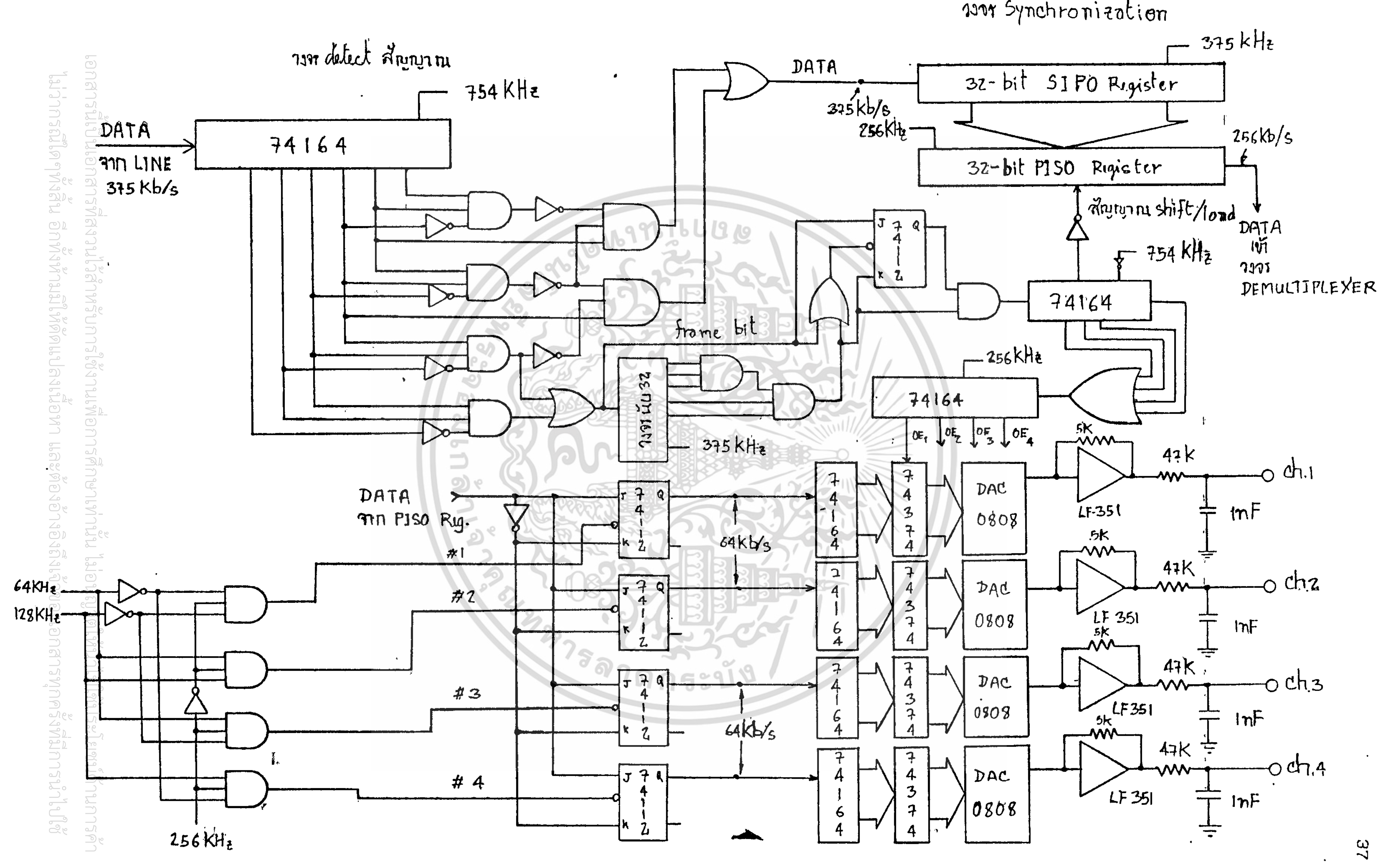
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2 วงจรภาครับ

วงจรภาครับจะใช้ clock frequency ชุดเดียวกันกับภาคส่ง แต่จะถือว่าเป็น clock ที่ภาครับสร้างขึ้นมาเอง ดังนั้นในการออกแบบวงจรภาครับ จะต้องคำนึงอยู่เสมอว่า clockต่างๆในภาครับจะมีคาบและการเปลี่ยนแปลงไม่สัมพันธ์กับภาคส่ง รูป 4.14 เป็นรูปแสดงวงจรภาครับ โดย IC 74164 เป็นตัวทำให้ data ที่รับมามีคาบสัมพันธ์กับ clock ของเครื่องรับ ดังจะกล่าวต่อไป

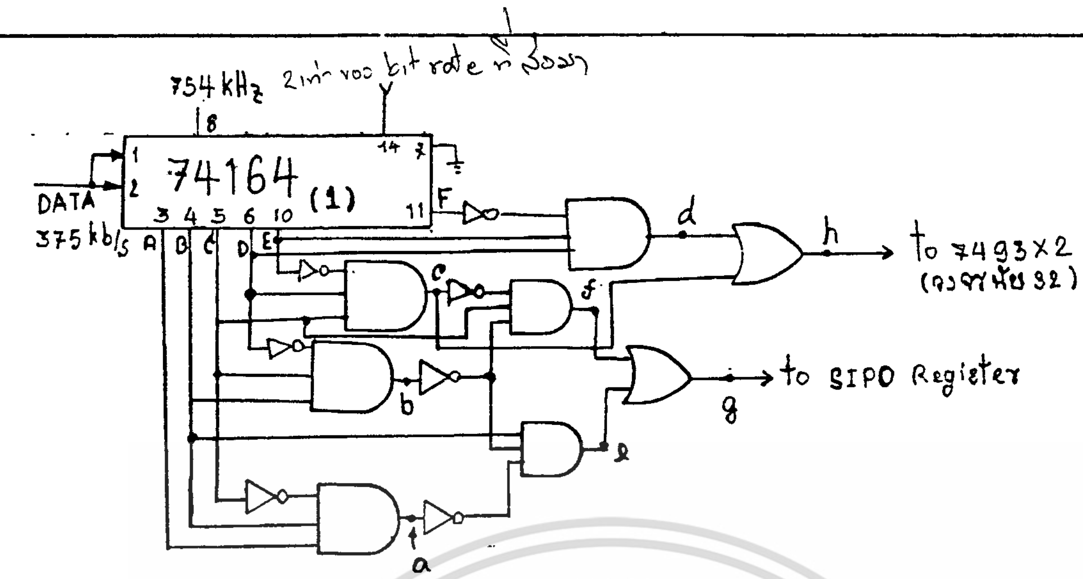
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 4.14 แสดงวงจรภาครับ

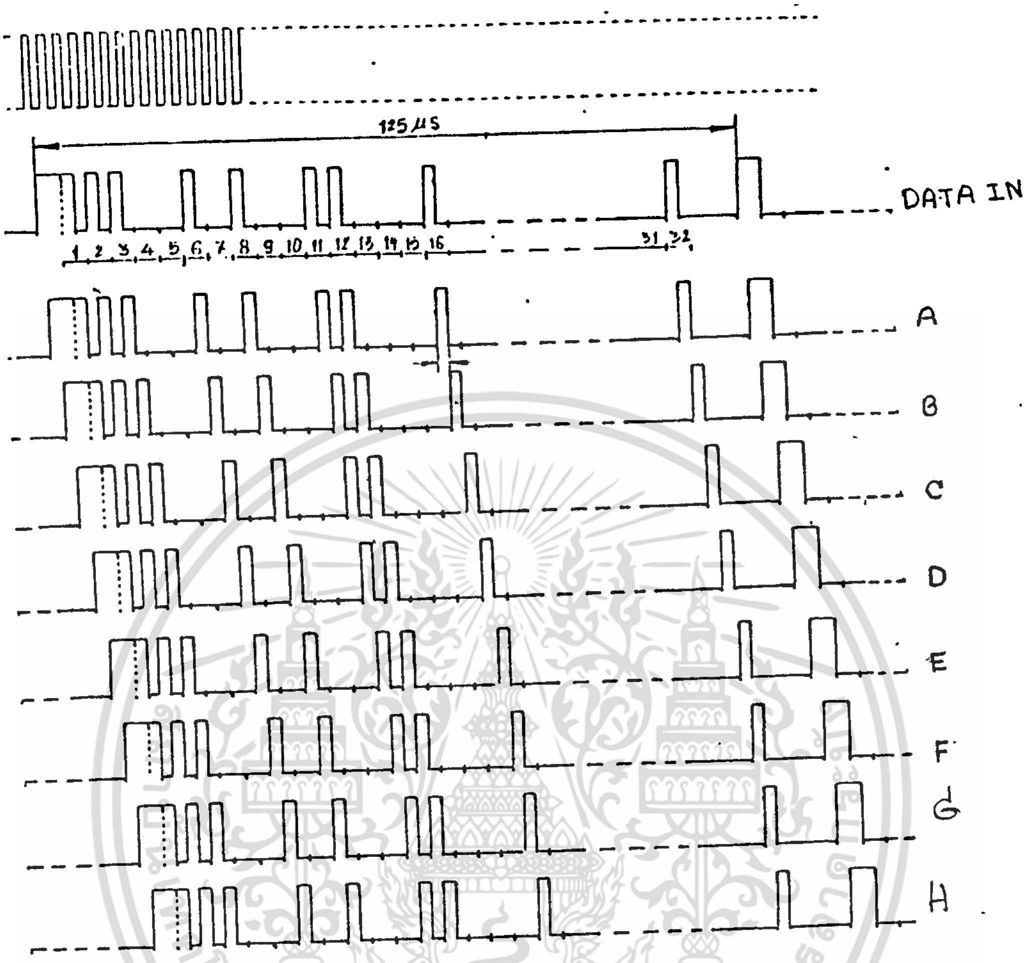
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 4.15 วงจร Synchronization

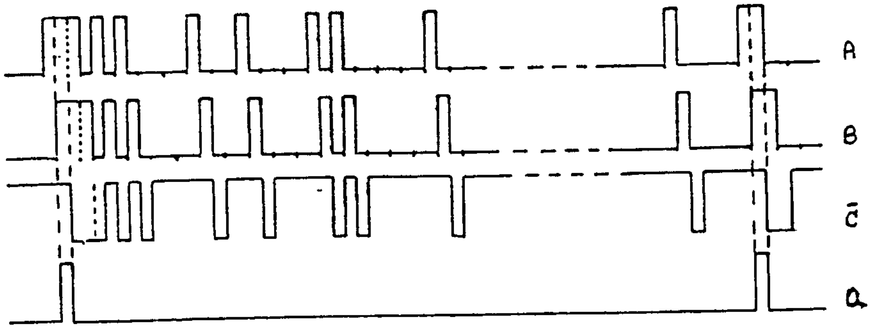
รูปที่ 4.15 เป็นวงจร Synchronization เมื่อ data เข้ามาที่ IC 74164 ซึ่งเป็น IC ที่ทำหน้าที่รับ Serial input แล้วเปลี่ยนเป็น Parwllel output (โดยใช้ความถี่ clock เป็นสองเท่าของ bit rate ของ data) ดังนั้นเมื่อวัด output แต่ละขา จะเสมือนว่าสัญญาณ delay กันอยู่ 1 clock cycle ที่เรียกว่า วงจร Synchronizationนั้นเพราะ ไม่ว่าinputจะปรากฏ ณ ตำแหน่งใดๆของ clock แต่ output จะสัมพันธ์กับ clock เสมอซึ่งแสดงดังรูป 4.16 ดังนั้นจึงตัดปัญหา ความไม่สัมพันธ์กันของ data bit กับ clock ไปได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

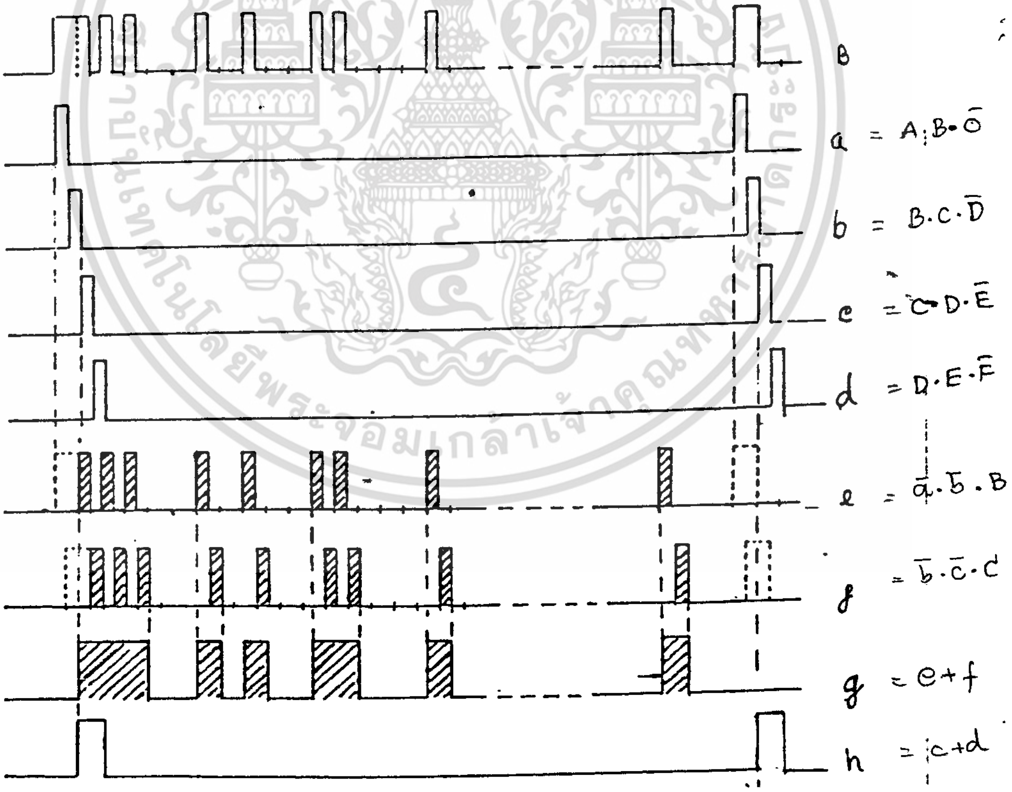


รูป 4.16 สัญญาณของ IC 74164

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 4.17 การ detect frame bit



รูป 4.18 แสดงการกำจัด frame bit และการสร้าง frame bit

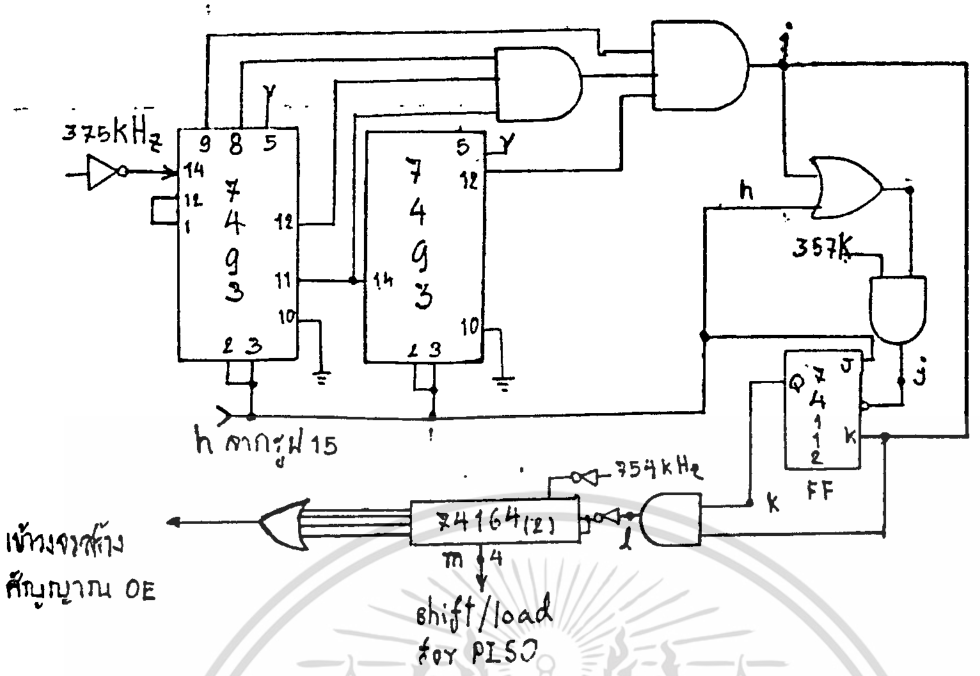
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 4.17 แสดงการ detect สัญญาณ frame bit ออกมา โดยการนำเอาขา output (A and B and C) เพราะว่าสัญญาณมีการเหลื่อมกันอยู่ เนื่องจากการ delay 1 clock cycle ซึ่งพอดีกับความกว้างของแต่ละ pulse เท่ากับ 1 clock cycle (ยกเว้น frame bit) จะมีความกว้าง 2 clock cycle ดังนั้น data pulse ทุก pulse จะเป็น 0 หมด เหลือไว้แต่ frame bit ที่มีความกว้างลดลงครึ่งหนึ่ง (data pulse หมายถึง ค่า data ที่มี voltage เป็น 1 ซึ่ง data pulse จะมีความกว้างเท่ากับ 1/2 bit interval เพราะเป็น Unipolar RZ)

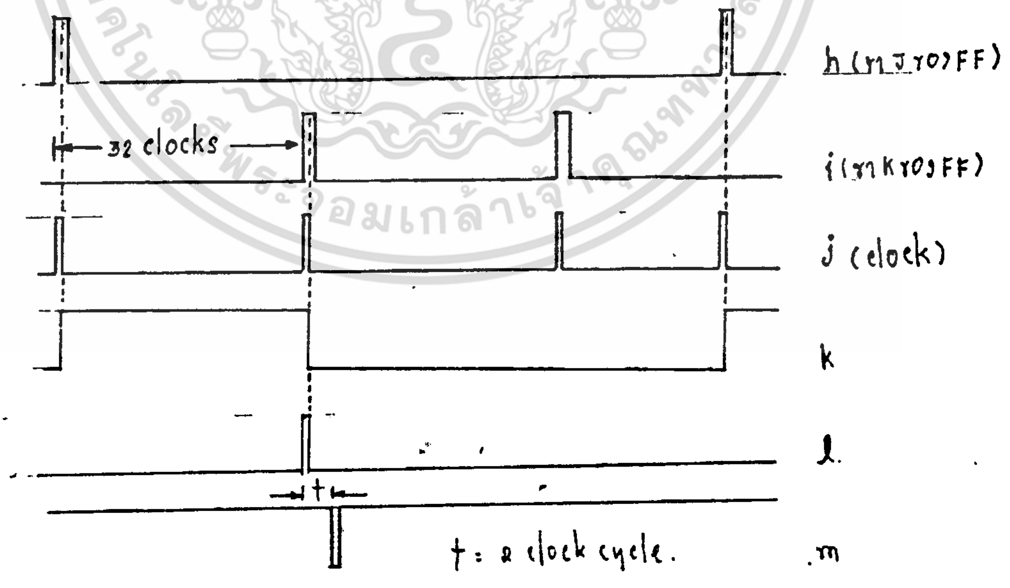
ในทำนองเดียวกัน จากรูป 4.18 ขาB.C.D จะเท่ากับสัญญาณ b ,C.D.E =c และ D.E.F =d เมื่อนำ a,b,c ไปผ่าน inverter เราจะสร้างสัญญาณ e ได้จาก e = B.a ,f = C.b จากนั้นนำ e มา or กับ f จะได้สัญญาณ g ซึ่งเป็น data ที่เป็น Unipolar NRZ สัญญาณ h = c or d เป็น frame bit เต็มรูป ซึ่งอยู่ตรงกับบิทที่ 1 ของ dataพอดี

สัญญาณ g ที่ได้จากวงจรในรูป 4.15 จะมีลักษณะแสดงดังรูป 4.18 สัญญาณ g จะถูกนำไปเข้า 32- bit SIPO Register เพื่อจะส่งแบบขนานให้กับ 32 -bit PISO Register โดย PISO Register จะรับ input ครั้งละ 32 bit เมื่อสัญญาณบิทที่ 32 เข้าไปเก็บไว้ใน SIPO Register แล้ว ดังนั้นสัญญาณควบคุมการรับ data ต้อง activeเมื่อ clock(375KHz) มีการเปลี่ยนแปลงครบ 32ครั้ง รูป4.19เป็นวงจรนับ32โดยมี inputเป็น clock 375KHz สัญญาณhจะทำการ reset วงจร outputที่ได้คือสัญญาณ i เนื่องจากถ้าส่งdataด้วยความเร็วสูง จะทำให้ clockที่จะถูกนับด้วยวงจรนับมีค่าสูง ดังนั้นจะเกิดpulseของสัญญาณ i ขึ้นหลายpulseใน 1 frame แต่เราต้องการเพียงpulseเดียวที่ติดกับpulseของสัญญาณ h เท่านั้น ดังนั้นจึง นำสัญญาณiไปรวมกับ h และลดความกว้างของ pulse ลงครึ่งหนึ่ง (เพราะมีผลต่อการทำงานของ Flip Flop ถ้าใช้ความกว้างpulseเท่าเดิม) แล้วนำสัญญาณไปเข้าเป็น clockของ Flip Flop จะได้ output เป็นสัญญาณ k ดังรูป เมื่อนำสัญญาณ i andกับสัญญาณ k จะได้สัญญาณ l สัญญาณ l จะถูกนำไปหน่วงเวลา 2 clock cycle (754KHz) เพื่อให้ตรงกับสัญญาณ g ที่จะถูกหน่วงไป 1 clock cycle ของ 375KHz เมื่อผ่านวงจร SIPO Register

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

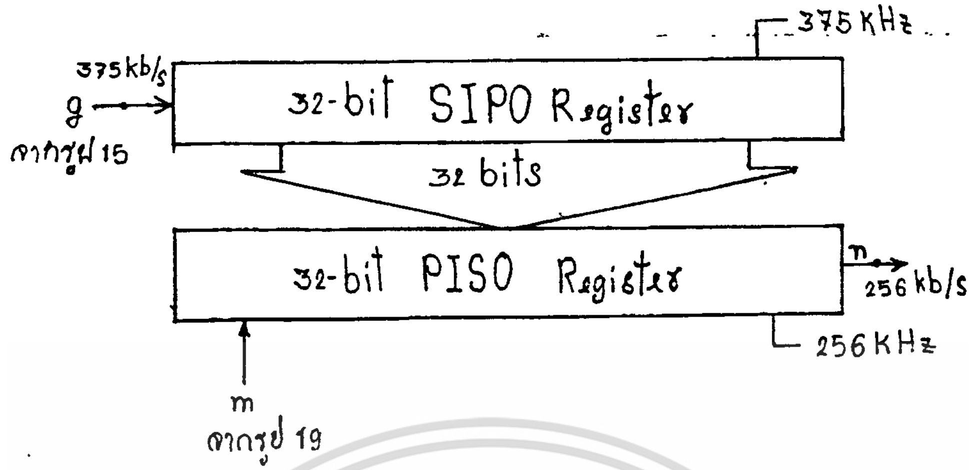


รูป 4.19 วงจรสร้างสัญญาณ shift/load สำหรับ PISO

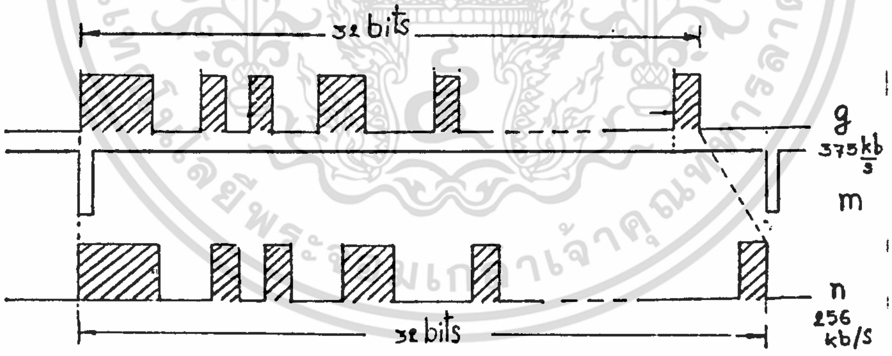


รูป 4.20 แสดงการสร้างสัญญาณ shift/load

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

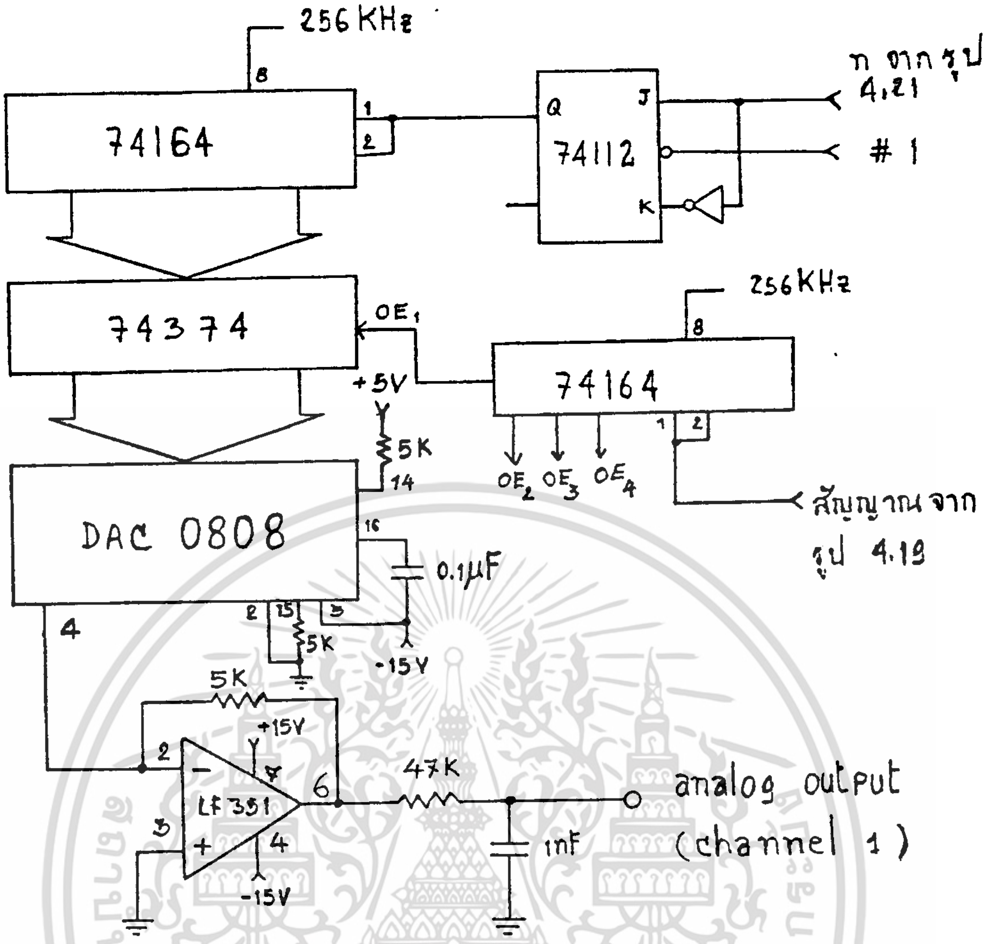


รูป 4.21 วงจรเปลี่ยน data - bit - rate

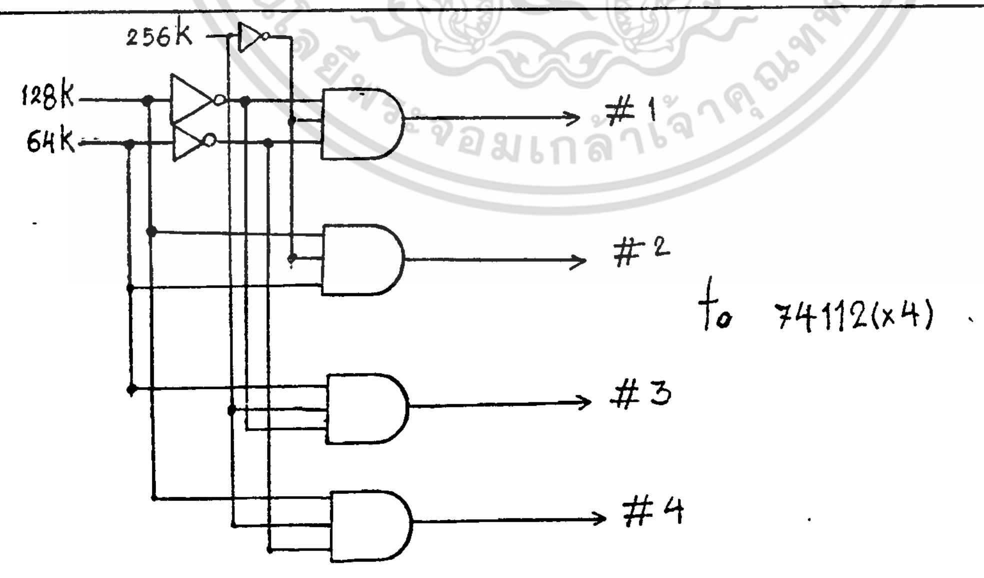


รูป 4.22 แสดงสัญญาณที่มี data bit rate ลดลง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

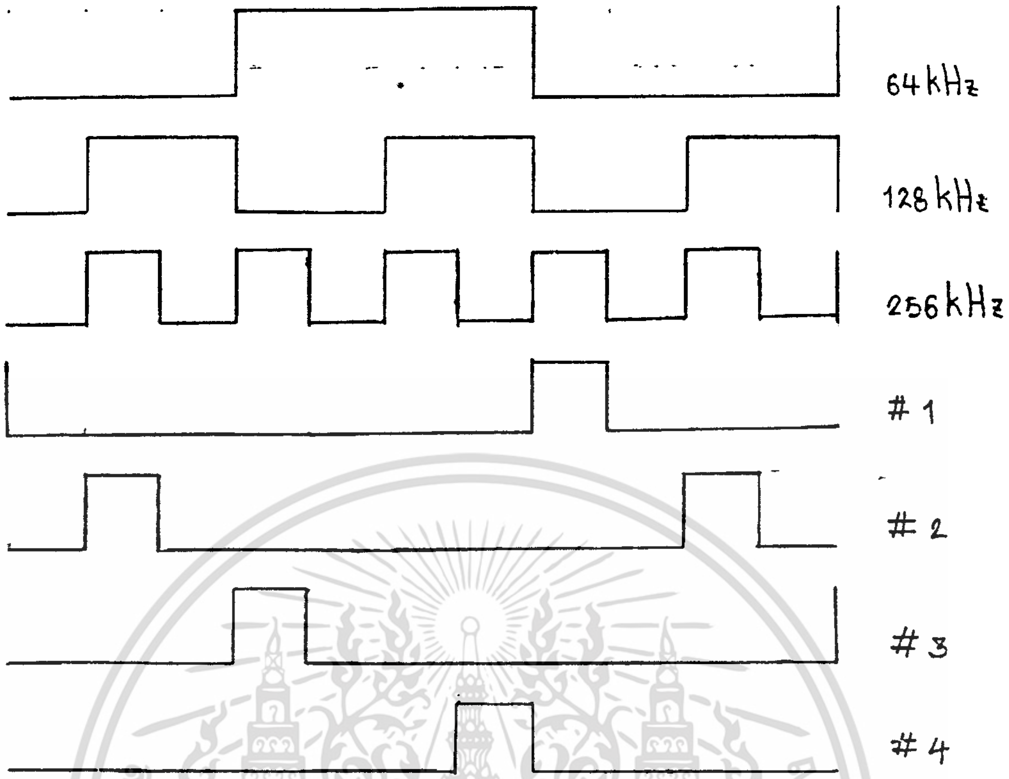


รูป 4.23 วงจร Demultiplexer และวงจร DAC

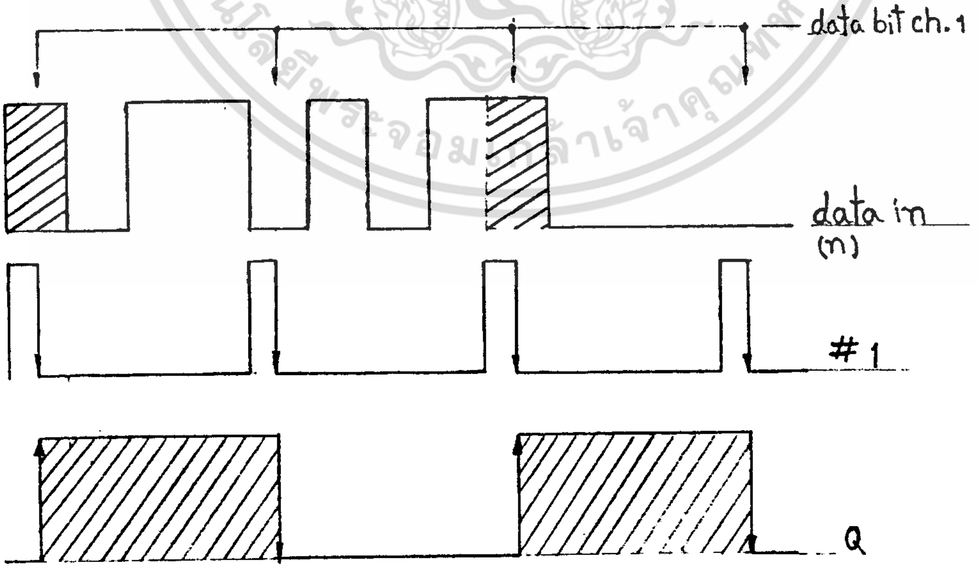


รูป 4.24 วงจรสร้างสัญญาณควบคุมการ Demultiplex

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับ...ใช้งาน...ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 4.25 แสดง outputของรูป 4.24



รูป 4.26 แสดงการ Demultiplex

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูป 4.21 วงจร SIPO Register คือ IC 74164 4ตัวต่อร่วมกัน และPISO Register คือ IC 74165 4ตัว Register ทั้งสองตัวนี้จะทำการขยาย data bit ให้เต็มคาบเวลา 125 uSec หรือกล่าวอีกนัยหนึ่งคือ การลด data bit rate จาก 375Kbit/sec เป็น 256 Kbit/sec PISO Register จะรับ data จาก SIPO Register เมื่อสัญญาณ m เป็น low จึงจะ shift data ออกมาด้วยความถี่ของ clock 256 KHz จะได้ output เป็นสัญญาณ n ดังรูป 4.22

output n จากวงจรรูป 4.21 จะถูกนำไป Demultiplex ด้วยวงจรดังรูป 4.23 (ซึ่งแสดงเพียง channel เดียว) ซึ่งมีวงจรสร้างสัญญาณควบคุมการDemultiplex แสดงดังรูป 4.24 timing diagram แสดงดังรูป 4.25, รูป 4.26 แสดงตัวอย่างของการ Demultiplex ของ channel #1

รูป 4.24 เป็นวงจรสร้างสัญญาณclockให้กับF/Fของแต่ละchannel เพื่อทำการDemultiplexออกมา สัญญาณ#1,#2,#3 และ#4 ซึ่งมีลักษณะแสดงดังรูป 4.25 จะถูกใช้เป็นclock เพราะแต่ละpulse จะอยู่ตรงกับdata bit ของแต่ละช่องสัญญาณทั้ง 4 ช่องสัญญาณพอดี

จากรูป 4.26 output ของ Flip Flop จะต่อเข้ากับ IC74164 เพื่อเปลี่ยนdataจากอนุกรมให้เป็นขนาน แล้วส่งต่อไปยัง IC 74374 ที่จะทำการควบคุมการส่งdata ให้ DAC 0808 ด้วยสัญญาณ OE (output enable) เพราะ output ของ IC 74164 จะต่อเนื่องเสมอ แต่ DAC 0808 จะต้องรับdata เป็นช่วงๆ ด้วยคาบ 125 uSec ดังนั้นจึงต้องควบคุมการส่ง output ด้วย IC 74374 นี้

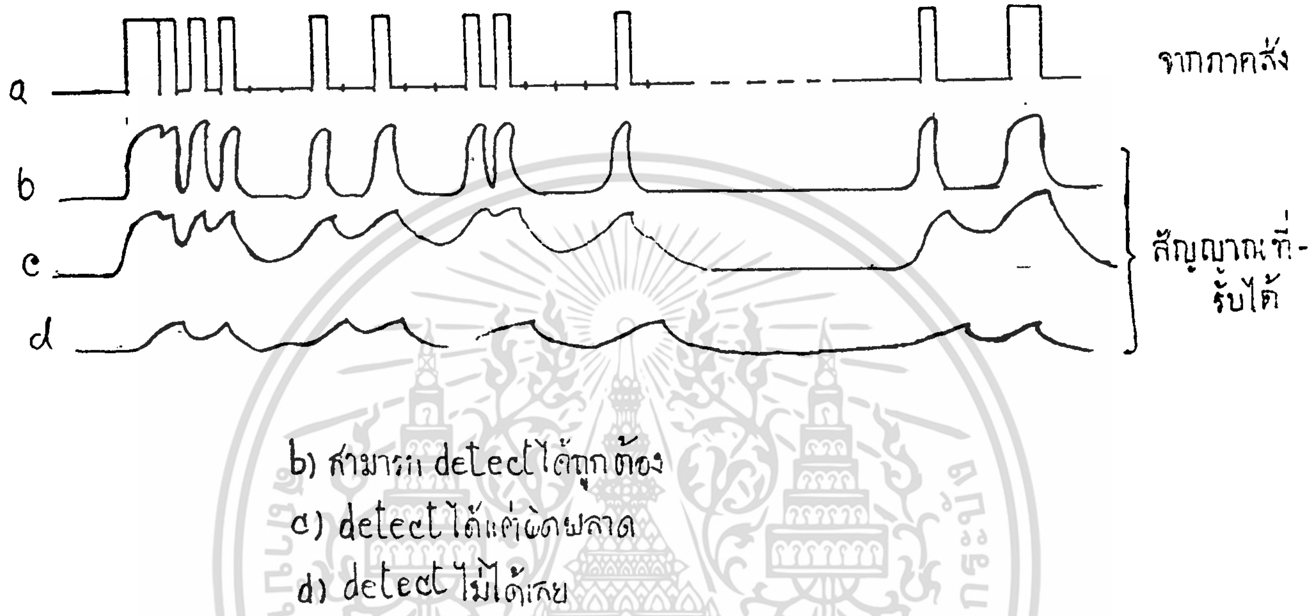
วงจรสร้างสัญญาณ OE คือ IC 74164 แสดงดังด้านขวาของรูป 4.23 สัญญาณ output ของวงจรสร้างสัญญาณ OE นี้จะมี 8 output แต่เราจะเลือกเอาเพียง 4 output ที่ตรงกับแต่ละช่องสัญญาณ เพราะขณะนี้ data ของแต่ละช่องสัญญาณจะไม่ตรงกัน

output ของ DAC 0808 จะอยู่ในรูปของการเปลี่ยนแปลงของกระแส ดังนั้นจึงต้องทำการเปลี่ยนเป็นรูปแบบของ Voltage โดย IC LF 351 จึงจะได้ output ที่เหมือนกับสัญญาณ PAM ในภาคส่ง เมื่อนำสัญญาณ PAM นี้มาผ่าน filter จึงจะได้สัญญาณ analog เป็น output สุดท้าย ที่มีลักษณะเหมือนกับสัญญาณ analog ของภาคส่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การทดลองและผลการทดลอง

การทดลองขั้นตอนที่ 1 ยังไม่ต่อสัญญาณanalogเป็นinput แต่ใช้สัญญาณไฟ 5 Volt DC ต่อเข้าเป็นinputของทุก channel เพื่อดูลักษณะของสัญญาณoutputของภาคส่ง ซึ่งจะเป็นดังรูป 4.27 a)



รูป 4.27 ลักษณะของสัญญาณที่ภาครับเทียบกับภาคส่ง

จากนั้นทำการต่อ resister อนุกรมกับสายส่ง และทำการเปลี่ยนค่า resister ไปเรื่อยๆพร้อมกับดูสัญญาณที่เข้าเป็นinputของภาครับ และสัญญาณที่ภาครับ detectออกมา ซึ่งจากการทดลอง เมื่อทำการเปลี่ยนค่า resister จนได้สัญญาณดังรูป 4.27 b) ภาครับยังสามารถ detectสัญญาณได้ถูกต้อง แต่เมื่อสัญญาณที่ได้รับเป็นดังรูป 4.27 c) ภาครับไม่สามารถที่จะ detectได้อย่างถูกต้อง ซึ่งเป็นเพราะสัญญาณถูกลดทอนจนทำให้ Amplitude ต่ำเกินไปและความกว้างของdata (bit interval)เพิ่มขึ้น ซึ่งมีผลต่อการ detect frame bit

การทดลองขั้นตอนที่ 2. ใช้สัญญาณanalogที่แตกต่างกันเป็น inputของแต่ละ channel ใช้ความเร็วในการส่งเท่ากับ 375 Kb/sec แล้ววัดสัญญาณ output ของภาครับ

ผลการทดลอง ภาครับสามารถ Demultiplexสัญญาณแต่ละ channelได้ถูกต้อง และ output ของแต่ละ channelก็มีลักษณะเหมือนสัญญาณ inputของภาคส่ง นั่นคือ วงจรทำงานได้อย่างถูกต้อง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การทดลองขั้นตอนที่ 3. เปลี่ยนความเร็วในการส่งเป็น 754 Kb/sec โดยinputยังเหมือนเดิม outputที่วัดได้จากการทดลองที่ 3 นี้ จะมีการสลับ channelกัน เมื่อเทียบกับการทดลองขั้นต่อนที่ 2 นั้นคือ

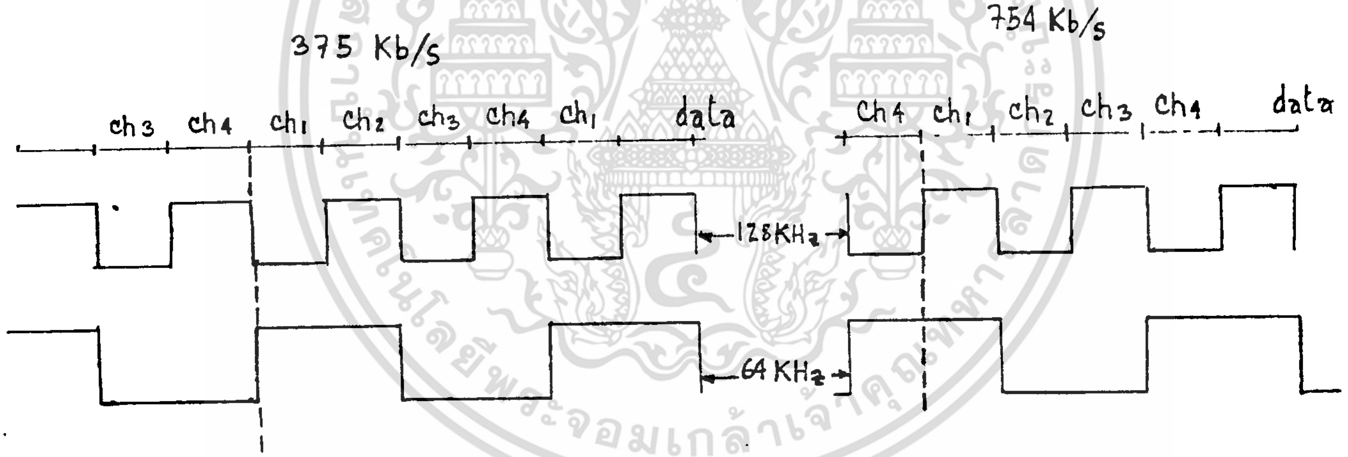
-output channelที่ 1 ของการทดลองขั้นที่ 2 จะกลายเป็นoutputของ channelที่ 4 ของการทดลองขั้นที่ 3

-output channelที่ 2 ของการทดลองขั้นที่ 2 จะกลายเป็นoutputของ channelที่ 1 ของการทดลองขั้นที่ 3

-output channelที่ 3 ของการทดลองขั้นที่ 2 จะกลายเป็นoutputของ channelที่ 2 ของการทดลองขั้นที่ 3

-output channelที่ 4 ของการทดลองขั้นที่ 2 จะกลายเป็นoutputของ channelที่ 3 ของการทดลองขั้นที่ 3

การที่มีการสลับ channelของoutput ก็เพราะเมื่อเปลี่ยนความเร็วในการส่ง สัญญาณที่ภาครับ detect ออกมาก่อนที่จะทำการ Demultiplexนั้น มีความสัมพันธ์กับ clockที่ใช้สร้างสัญญาณ Demultiplex ไม่เหมือนเดิม (มีการ shift data ไปเมื่อเทียบกับ clock) ดังแสดงในรูป 4.28



รูป 4.28 แสดงการเกิดการ shift data เมื่อเปลี่ยนความเร็วในการส่ง

สัญญาณ clock 128 KHz และ 64 KHzนี้ใช้สร้างสัญญาณ Demultiplex (#1,#2.#3.#4) ดังนั้น การที่ data shift ไปไม่เหมือนเดิม จึงทำให้เกิดการสลับ channelของoutput ดังกล่าว

อย่างไรก็ตามสัญญาณ output ที่ออกมายังมีลักษณะเหมือนกับสัญญาณเดิม นั่นคือ วงจรสามารถรับสัญญาณที่มีความเร็วต่างๆกันได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่5

บทสรุปและวิจารณ์

จากการทดลองยังมีปัญหาเรื่องการ Demultiplex ดังผลการทดลองขั้นที่ 3 ถ้าสามารถแก้ปัญหานี้ได้ โครงงานจะสมบูรณ์มากทีเดียว เพราะจุดเด่นของโครงงานนี้คือ การที่สามารถเปลี่ยนหรือเพิ่มความเร็วในการรับ-ส่ง data ได้ นั่นคือ สามารถเพิ่มจำนวน channel ได้

โครงงานนี้ไม่มีวงจร clock recovery เพราะถือว่าทางภาครับมีclockเป็นของตัวเองอยู่แล้ว ซึ่งในความเป็นจริงแล้ว ควรจะใช้วงจรclock recovery เพราะถ้าไม่ตกลงกันไว้ก่อน ก็จะไม่สามารถรู้ได้ว่าสัญญาณที่ส่งมานั้นมีความเร็วเท่าใด แนวทางแก้ปัญหาอีกวิธีก็คือ ทางภาครับต้องมีวงจรสร้างความถี่ที่สามารถปรับค่าได้ เมื่อจะรับสัญญาณก็ต้องทำการปรับความถี่ของภาครับให้ match (ให้มีค่าเป็น 2 เท่าของความเร็วในการส่ง) กับ data ที่ส่งมา โดยวิธีนี้จะใช้การสังเกตจาก output ว่ามีการเพี้ยนหรือเปล่า ถ้าไม่เพี้ยน ก็แสดงว่า ความถี่ในการรับ match กับความเร็วในการส่งแล้ว หรือถ้ายังเพี้ยนอยู่ ก็ทำการปรับไปเรื่อยๆ

ถ้าจะใช้วงจรนี้ในทางการค้านั้น ต้องมีการปรับปรุงอีกมาก แต่เนื่องจากโครงงานนี้มีวัตถุเพื่อศึกษาระบบ PCM เท่านั้น จึงสามารถกล่าวได้ว่า โครงงานประสบผลสำเร็จเป็นที่น่าพอใจ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ผู้จัดทำปริญญานิพนธ์ฉบับนี้ ขอขอบคุณ ผศ. ถวิล กึ่งทอง ที่ได้ช่วยแนะนำความรู้ทางด้านวิชาการ และช่วยจัดหาห้องเพื่อทำการทดลองพร้อมทั้งอุปกรณ์ที่ใช้ในการทดลอง ขอขอบคุณ อ.เข็มทอง นิ่มศิริ ที่กรุณาให้ใช้ห้องเพื่อทำการทดลอง และขอขอบคุณ รอ. วีรเชษฐ ขันเงิน ที่กรุณาให้ยืม data book และให้คำแนะนำบางประการ

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอกสารอ้างอิง

1. FRANK F.E. OWEN "PCM AND DIGITAL TRANSMISSION SYSTEMS" , NEW YORK , MCGRAW - HILL , 1982
2. HERBERT TAUB , DONALD L. SCHILLING "PRINCIPLES OF COMMUNICATION SYSTEMS" , NEW YORK , MCGRAW - HILL , 1987
3. WAYNE TOMASI "ADVANCED ELECTRONIC COMMUNICATION SYSTEMS" , NEW JURSEY , PRENTICE - HALL , 1987
4. ยืน ภู่วรวรรณ "เทคนิคการประยุกต์และใช้งาน IC TTL" บริษัท ซีเอ็ดยูเคชั่น จำกัด , 2529

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้