ปีการศึกษา 2532

# เครื่องโทรศัพท์เคลื่อนที่

# ( Cellular Mobile Telephone )


โดย

1. นายครรชิต วิวรรธนจิตต์ 291017
2. นายจตุพร ไพจิตรประภาภรณ์ 291028
3. นายชัยวัฒน์ สุคนธศิริพร 291048

อาจารย์ที่ปรึกษา

รศ.ถวิล พึ่งมา



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

026847

**ปริญญานิพนธ์ปีการศึกษา 2532**

**ภาควิชา วิศวกรรมโทรคมนาคม**

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง เครื่องโทรศัพท์เครื่องแรก

ผู้จัดทำ

| | | |
|---|---|---|
| 1. นายเกรวรศิต | วิวรรธนจิรศต์ | 291017 |
| 2. นายจตุพร | ไพจิตรประยงค์ | 291028 |
| 3. นายพีรวัฒน์ | สุกแกดิวิพร | 291048 |

..... อาจารย์ที่ปรึกษา

( รศ.ถวิล พึ่งมา )

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

026847

# เครื่องโทรศัพท์เคลื่อนที่


ครรชิต วิวรรธนจิตต์

จตุพร ไพจิตรประภาภรณ์

ชัยวัฒน์ สุคนธศิริพร

รศ.ถวิล พึ่งมา อาจารย์ที่ปรึกษา



**บทคัดย่อ**

ปริญญานิพนธ์ฉบับนี้จะเสนอการพัฒนาเครื่องโทรศัพท์เคลื่อนที่ ที่ใช้งานกันอยู่ภายในระบบ " NMT " (Nordic Mobile Telephon System) โดยจะทำการพัฒนามุ่งเน้นในส่วนของการควบคุมการทำงาน (Control Unit) ภายในเครื่องโทรศัพท์เคลื่อนที่ ภายในโครงการจะนำเอา MCS-8051 ซิงเกิ้ลชิบ มาใช้ในการพัฒนาเป็นส่วนควบคุมการทำงาน และโปรแกรมคำสั่งในการควบคุมก็จะใช้ลักษณะคำสั่งของ MCS-8051 ทั้งหมด ส่วนการแสดงผลการรับรู้ข้อมูลจากเครื่องโทรศัพท์เคลื่อนที่ เพื่อนำไปประมวลผลที่ MCS-8051 จะแสดงให้เห็นบนจอคอมพิวเตอร์



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# Cellular Mobile Telephone System

Khanchit Wiwattanajit

Chatuporn Paijitprapaporn

Chaiwat sukonthasiriporn

Associate Professor Tawil Paungma Advisor

1989

Abstract

This project presents dovelopment of cellular mobile telephone in " NMT " (Nordic Mobile Telephone system). Aim of the project is trying to use MCS-51 in the control unit of the cellular mobile telephone. The data from handset will be detected by the control unit and displayed on computer.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# สารบัญ


| | | หน้า |
|---|---|---|
| บทที่ 1 | บทนำ | 1 |
| บทที่ 2 | หลักการของระบบโทรศัพท์เคลื่อนที่ | 2 |
| | 2.1 ลักษณะของระบบโทรศัพท์เคลื่อนที่แบบรวงผึ้ง | 2 |
| | 2.2 ส่วนประกอบที่สำคัญของระบบโทรศัพท์เคลื่อนที่ | 3 |
| | 2.2.1 อุมลายโทรศัพท์เคลื่อนที่ | 5 |
| | 2.2.2 สถานีฐาน | 6 |
| | 2.2.3 เครื่องโทรศัพท์เคลื่อนที่ | 8 |
| | 2.3 หลักการของระบบสัญญาน | 11 |
| | 2.4 การโรมมิ่งอัพเดทตำแหน่ง | 13 |
| | 2.5 การเปลี่ยนมือ | 16 |
| | 2.6 ลักษณะการต่อเข้าและการต่อออก ของเครื่องโทรศัพท์เคลื่อนที่ | 19 |
| บทที่ 3 | การออกแบบและการสร้าง | 21 |
| บทที่ 4 | การทดลองและผลการทดลอง | 28 |
| บทที่ 5 | บทวิจารณ์และสรุป | 38 |
| ภาคผนวก | | |
| กิตติกรรมประกาศ | | |
| หนังสืออ้างอิง | | |



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# บทที่ 1 บทนำ

เนื่องจากธุรกิจในปัจจุบัน การติดต่อสื่อสารเป็นสิ่งจำเป็นอย่างยิ่ง ระบบโทรศัพท์ธรรมดาที่ใช้กันอยู่ในปัจจุบันนี้ ไม่อาจที่จะตอบสนองความต้องการการใช้งานที่สะดวกและรวดเร็วได้ จึงได้มีการคิดค้นระบบโทรศัพท์ขึ้นมา เพื่อตอบสนองความต้องการเหล่านี้ โดยสามารถนำติดตัว หรือติดตั้งใช้งานในรถยนต์ ทำให้การใช้งานเป็นไปได้อย่างสะดวก และทุกหนทุกแห่งในพื้นที่บริการ ระบบโทรศัพท์แบบนี้ เราเรียกว่า ระบบโทรศัพท์เคลื่อนที่แบบรวงผึ้ง (Cellular Mobile Telephone System ) ซึ่งอาศัยหลักการ การสื่อสารด้วยคลื่นวิทยุแทนการใช้สายอย่างในระบบโทรศัพท์ธรรมดา

สำหรับในประเทศไทย องค์การโทรศัพท์ฯ ได้นำเอาระบบ NMT (Nordic Mobile Telephone System) มาใช้งาน โดยกลุ่มประเทศในแถบสแกนดิเนเวียคือ เดนมาร์ค ฟินแลนด์ สวีเดน และนอร์เวย์ เป็นผู้ร่วมกันพัฒนาขึ้น ส่วนการสื่อสารแห่งประเทศไทยจะใช้ระบบ AMPS (Advance Mobile Phone System) ซึ่งถูกพัฒนาขึ้นโดย เบลล์แล็บในประเทศสหรัฐอเมริกา ข้อแตกต่างที่สำคัญของทั้งสองระบบก็คือ ความถี่ที่นำมาใช้งาน โดยระบบ NMT จะใช้งานในย่านความถี่ 420-490 เมกกะเฮิรต์ ส่วนระบบ AMPS จะใช้งานในย่านความถี่ 800 เมกกะเฮิรต์

พื้นฐานการบริการของระบบโทรศัพท์เคลื่อนที่

1. ระบบโทรศัพท์เคลื่อนที่สามารถรับการติดต่อเข้า และทำการติดต่อออกได้อัตโนมัติ

2. เครื่องโทรศัพท์เคลื่อนที่ สามารถเคลื่อนที่ได้อย่างอิสระภายในพื้นที่บริการ และการติอต่อจะสามารถเกิดขึ้นได้ไม่ว่าเครื่องโทรศัพท์เคลื่อนที่จะอยู่ที่สถานีฐานใด โดยระบบจะทำการค้นหาเครื่องโทรศัพท์เคลื่อนที่เองอย่างอัตโนมัติ

3. เครื่องโทรศัพท์เคลื่อนที่ ต้องสามารถติอต่อกับ เครื่องโทรศัพท์เคลื่อนที่ด้วยกันและโทรศัพท์ธรรมดาทั่วๆไป ภายในพื้นที่ที่อยู่ในเครือข่าย (Network) ระบบโทรศัพท์ได้

4. เครื่องโทรศัพท์เคลื่อนที่ จะต้องมีลักษณะการใช้งานเช่นเดียวกับโทรศัพท์ทั่วไป

5. ระบบโทรศัพท์เคลื่อนที่จะมีความสามารถในการป้องกันการดักฟังจากผู้อื่นได้

6. ระบบโทรศัพท์เคลื่อนที่ ยังสามารถให้บริการพิเศษอื่นๆได้ เช่นเดียวกับโทรศัพท์ธรรมดา

7. การคิดค่าบริการการต่อออกของเครื่องโทรศัพท์เคลื่อนที่ จะมีราคาเท่ากันหมดภายในพื้นที่บริการ

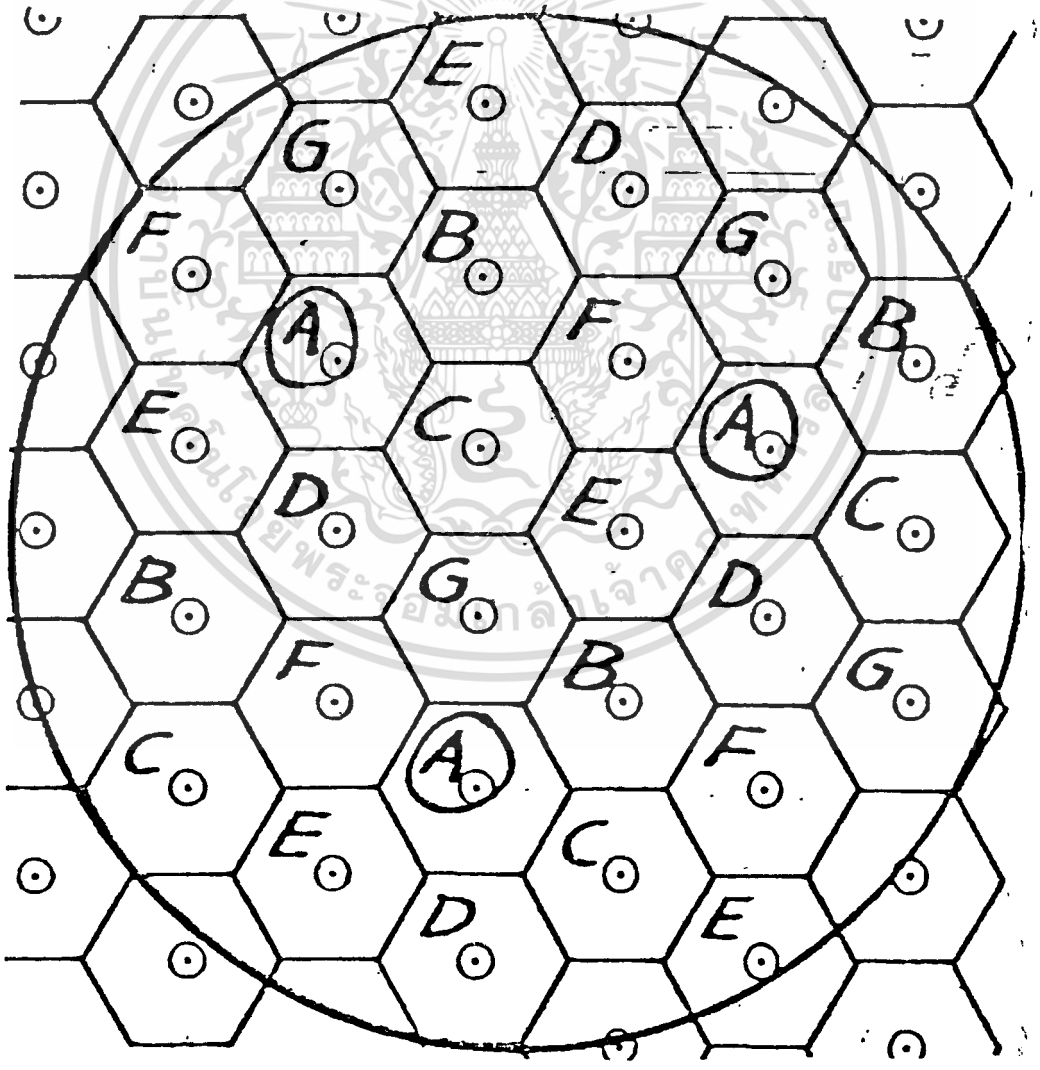
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# บทที่ 2 หลักการของระบบโทรศัพท์เคลื่อนที่

## 2.1 ลักษณะของระบบโทรศัพท์เคลื่อนที่แบบรวงผึ้ง

การใช้งานในระบบวิทยุเคลื่อนที่ (Mobile radio) แบบเก่า จะพยายามทำให้สถานีฐานแต่ละสถานี ครอบคลุมพื้นที่การบริการให้ได้มากที่สุด เพื่อลดค่าใช้จ่ายในการลงทุนให้ถูกที่สุด แต่เนื่องจากความสามารถในการให้บริการขึ้นกับจำนวนช่องสัญญาณที่ใช้งาน ซึ่งมีจำนวนจำกัด ดังนั้นวิทยุเคลื่อนที่ในระบบเก่าจึงมีความสามารถในการให้บริการที่มีประสิทธิภาพต่ำ

ในระบบรวงผึ้งได้แก้ไขข้อบกพร่องของระบบเก่าโดยอาศัยหลักการที่ว่า ช่องสัญญานหนึ่งช่องจะถูกนำไปใช้งานมากกว่าหนึ่งครั้ง (reuse frequency) อธิบายได้ดังรูปที่ 1




รูปที่ 1 แสดงระบบรวงผึ้ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ด้วยการแบ่งช่องสัญญาณที่ใช้งานออกเป็น 7 กลุ่ม ที่แตกต่างคือ A,B,C,D,E,F และ G พร้อมทั้งการลดขนาดของพื้นที่ที่ครอบคลุมในแต่ละสถานีฐานออกเป็นพื้นที่เล็ก เรียกว่า เซล (Cell) แต่ละเซลก็จะมีหนึ่งกลุ่มความถี่สำหรับใช้งาน เซลที่อยู่ติดกันหรือใกล้เคียงกันจะไม่ใช้กลุ่มความถี่เดียวกัน เพื่อป้องกันปัญหาของการแทรกสอด จากรูปที่ 1 จะพบว่าความถี่ของกลุ่ม A จะถูกใช้ซ้ำถึง 3 ครั้ง และทุกๆกลุ่มความถี่ก็มีลักษณะเช่นเดียวกัน ดังนั้นจำนวนของช่องสัญญาณก็จะเพิ่มขึ้น ประสิทธิภาพของการให้บริการก็จะเพิ่มขึ้น

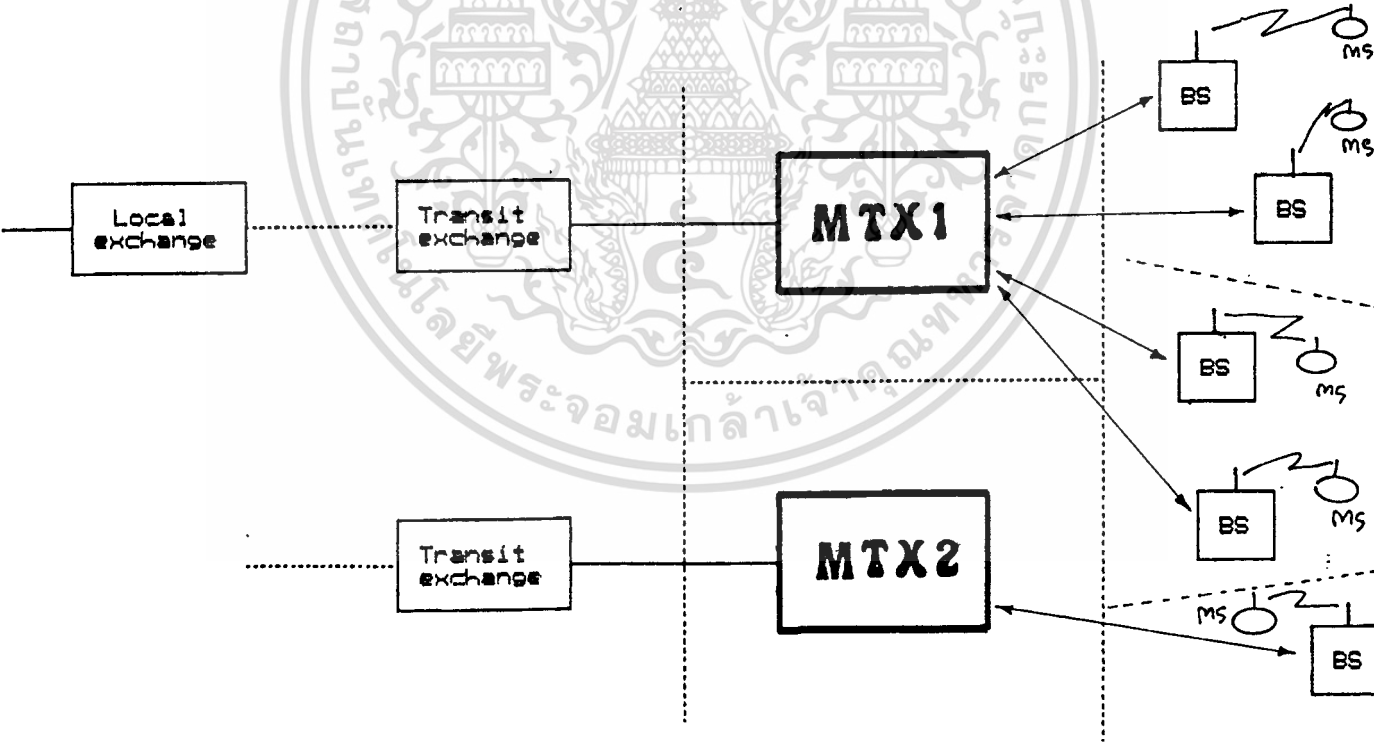
2.2 ส่วนประกอบที่สำคัญของระบบโทรศัพท์เคลื่อนที่

ระบบโทรศัพท์เคลื่อนที่จะประกอบด้วยส่วนสำคัญ 3 ส่วนคือ (ดูรูปที่ 2 ประกอบ)

2.2.1 ชุมสายโทรศัพท์เคลื่อนที่ (Mobile Telephone Exchange ; MTX)

2.2.2 สถานีฐาน (Base Station ; BS)

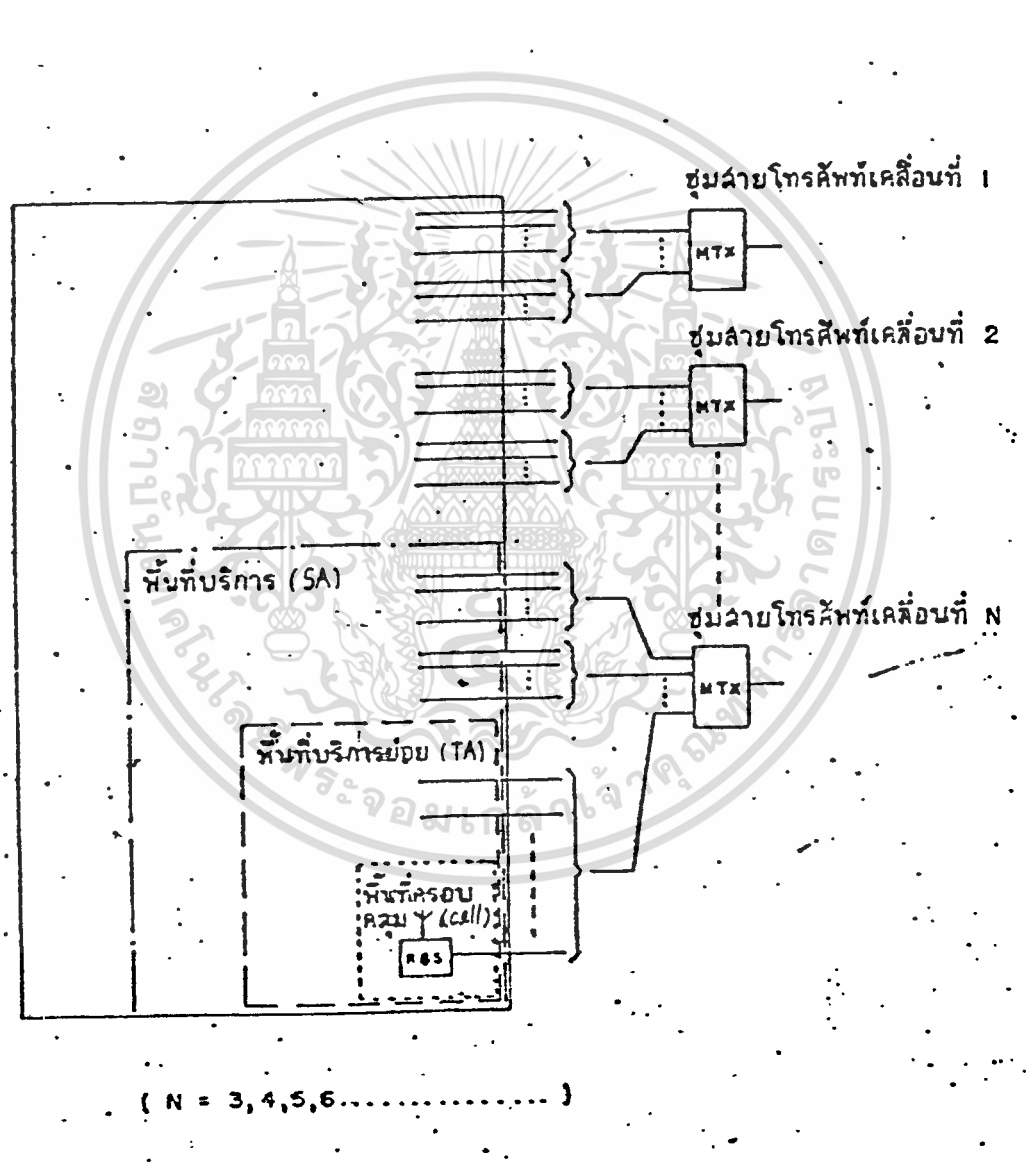
2.2.3 เครื่องโทรศัพท์เคลื่อนที่ (Mobile Station ; MS)




รูปที่ 2 แสดงลักษณะของระบบโทรศัพท์เคลื่อนที่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากส่วนประกอบทั้งสามส่วน ในระบบโทรศัพท์เคลื่อนที่ จะทำให้เกิดพื้นที่บริการ (ServiceArea ; SA) โดยชุมสายโทรศัพท์เคลื่อนที่ 1 ชุมสายจะครอบคลุมพื้นที่บริการหนึ่งพื้นที่ ในหนึ่งพื้นที่บริการจะถูกแบ่งย่อยออกเป็นพื้นที่เล็กๆได้ถึง 16 พื้นที่ ซึ่งเรียกว่า พื้นที่ติดต่อ (Traffic Area ; TA) และในพื้นที่ติดต่อก็จะถูกแบ่งออกเป็นเซลเล็กๆได้ ตั้งแต่ 1-64 เซล ดังนั้นพื้นที่บริการ 1 พื้นที่สามารถมีจำนวนเซลได้มากถึง 1024 เซล (ดูรูปที่ 3 ประกอบ)




รูปที่ 3 แสดงโครงข่ายของระบบโทรศัพท์เคลื่อนที่

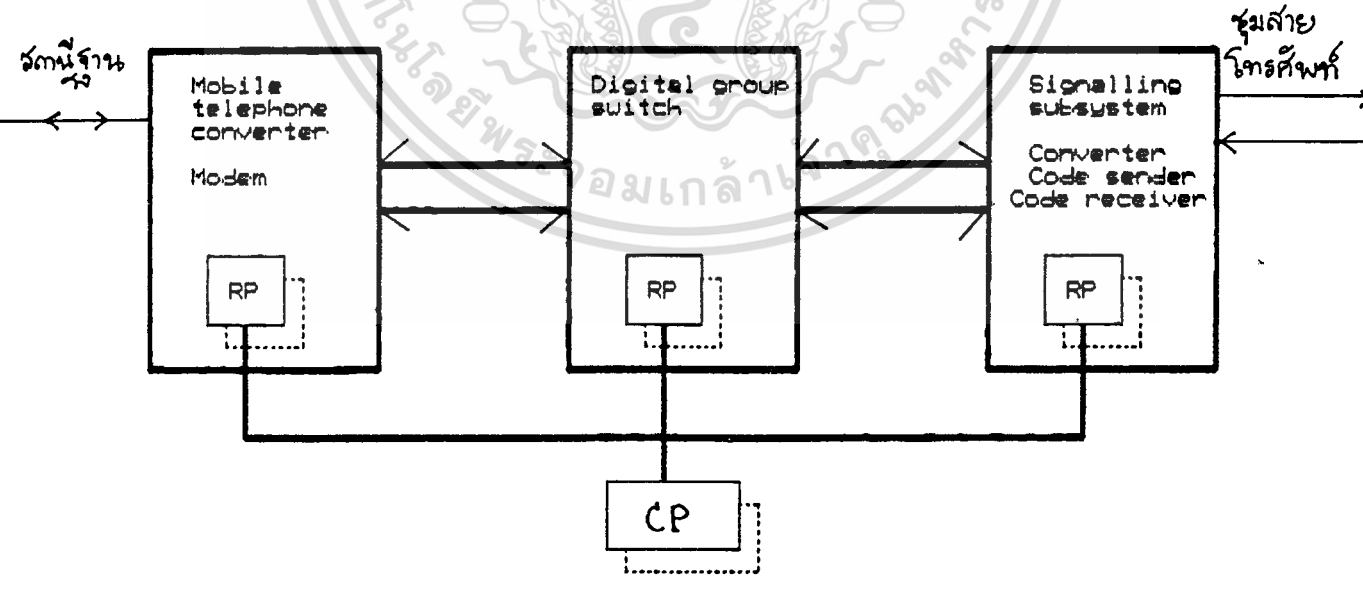
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สถานีฐาน 1 สถานีจะสามารถครอบคลุมเซลได้ตั้งแต่ 1-6 เซล โดยที่จำนวนเซลจะขึ้นอยู่กับความหนาแน่นของการใช้บริการว่ามากน้อยเพียงใด พื้นที่ที่มีการใช้บริการมาก เซลจะมีขนาดเล็กและมีจำนวนเซลมาก เพื่อเพิ่มจำนวนช่องสัญญาณให้เพียงพอต่อความต้องการของการใช้บริการ

2.2.1 ชุมสายโทรศัพท์เคลื่อนที่

ชุมสายโทรศัพท์เคลื่อนที่มีหน้าที่เช่นเดียวกับชุมสายโทรศัพท์ทั่วๆไป โดยทำหน้าที่เป็นส่วนสำคัญที่ทำให้การติดต่อ ระหว่างโทรศัพท์ธรรมดาทั่วๆไปกับโทรศัพท์เคลื่อนที่เกิดขึ้นได้ ดังนั้นชุมสายโทรศัพท์เคลื่อนที่ จะต้องมีการตรวจสอบตำแหน่งของโทรศัพท์เคลื่อนที่ว่าอยู่ในพื้นที่ติดต่อใดอยู่ตลอดเวลา เพื่อให้สามารถค้นหาโทรศัพท์เคลื่อนที่ได้เมื่อมีการติดต่อเกิดขึ้น องค์ประกอบพื้นฐานที่สำคัญของชุมสายโทรศัพท์เคลื่อนที่ คือ (ดูรูปที่ 4)

- ดิจิตอลกรุ๊ปสวิตซ์ (Digital Group Switch)
- วงจรโมเด็ม (Modem Circuit)
- ส่วนควบคุมการทำงาน ซึ่งประกอบด้วยเซ็นทรัลโปรเซสเซอร์ (Central Processor ; CP)และ รีจินัลโปรเซสเซอร์ (Regional Processor ; RP)



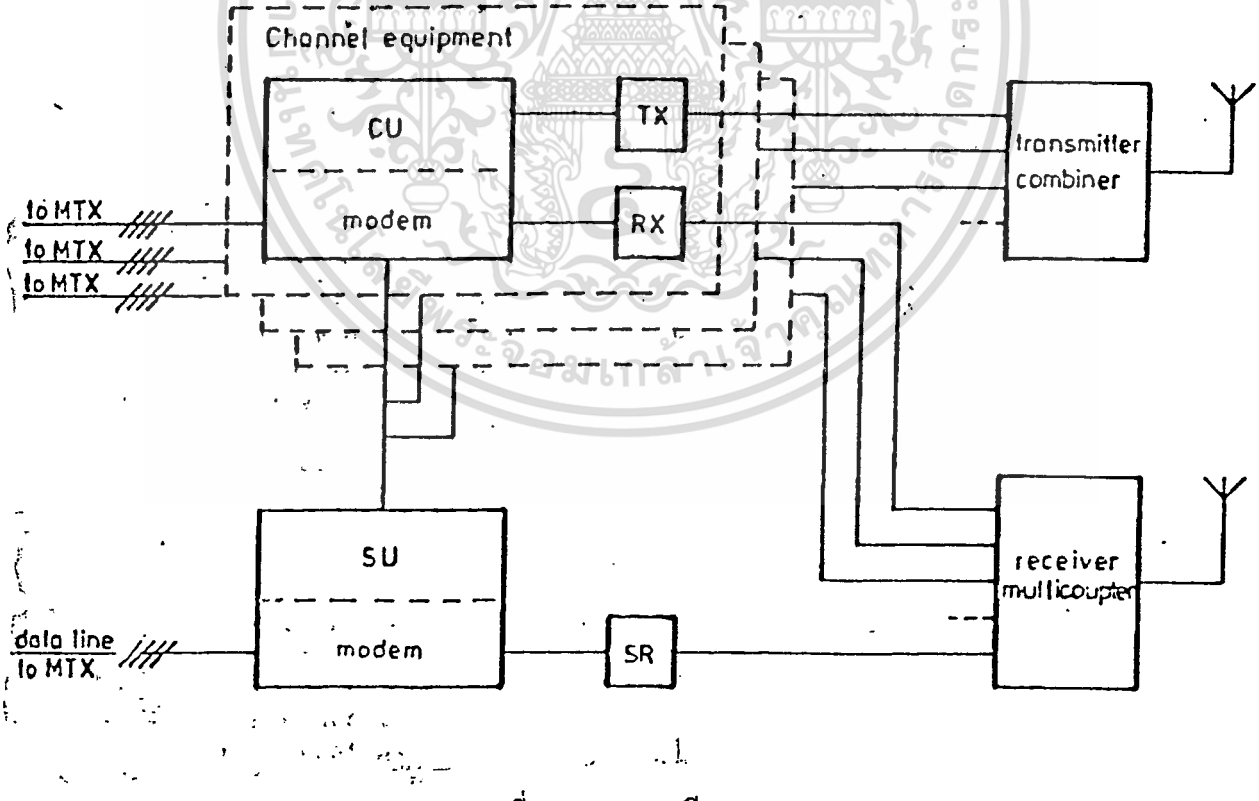

รูปที่ 4 แสดงส่วนประกอบพื้นฐานของชุมสายโทรศัพท์เคลื่อนที่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดิจิตอลกรุ๊ฟสวิตซ์จะทำหน้าที่เชื่อมต่อเสียงสนทนาระหว่างโทรศัพท์เคลื่อนที่กับโทรศัพท์ทั่วไป โดยจะทำงานตามคำสั่งที่ได้รับมาจากส่วนควบคุม ในส่วนของการควบคุมก็จะดำเนินการเกี่ยวกับระบบสัญญาณทั้งหมดเช่น สัญญาณแสดงผู้เรียก การรับรู้ข้อมูลหมายเลขของผู้เรียก การตัดสินใจเกี่ยวกับเส้นทางการติดต่อ เป็นต้น สำหรับวงจรโมเด็มจะทำหน้าที่เปลี่ยนสัญญาณระหว่างดิจิตอลกับอานาล็อก เพื่อใช้ในการเชื่อมต่อ (Handle) ระบบสัญญาณระหว่างชุมสายโทรศัพท์เคลื่อนที่กับสถานีฐาน หรือระหว่างชุมสายโทรศัพท์เคลื่อนที่กับโทรศัพท์เคลื่อนที่

2.2.2 สถานีฐาน

การทำงานของสถานีฐานเปรียบเสมือนกับสถานีถ่ายทอด โดยจะนำคำสั่งและเสียงสนทนาที่ส่งมาจากชุมสายโทรศัพท์เคลื่อนที่มามอดูเลต (Modulate) แล้วส่งออกไปในรูปของคลื่นวิทยุไปยังโทรศัพท์เคลื่อนที่ และในทางกลับกันก็จะรับคลื่นวิทยุที่ส่งมาจากโทรศัพท์เคลื่อนที่มาทำการดีมอดูเลต (Demodulate) แล้วทำการส่งไปยังชุมสายโทรศัพท์เคลื่อนที่ต่อไป




รูปที่ 5 แสดงสถานีฐาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สถานีฐานประกอบด้วยส่วนที่สำคัญคือ (ดูรูปที่ 5 ประกอบ)

1. ส่วนตรวจสอบความแรงของสัญญาณ (Supervisory Unit ; SU) จะทำหน้าที่ผลิตสัญญาณทดสอบความแรงของสัญญาณที่เรียกว่า สัญญาณซุปเปอร์ไวท์เซอร์รี่ (Supervisory signal) หรือ สัญญาณ Ø (Ø Signal) โดยการทำงานทั้งหมดจะถูกควบคุมด้วยส่วนควบคุม สัญญาณ Ø นี้จะถูกผสมเข้าไปกับเสียงสนทนาเมื่อมีการติดต่อเกิดขึ้น โดยเริ่มต้นส่งจากสถานีฐานไปยังโทรศัพท์เคลื่อนที่ จากนั้นโทรศัพท์เคลื่อนที่จะแยกสัญญาณ Ø ออกจากเสียงสนทนา แล้วส่งกลับไปยังสถานีฐานเข้าสู่หน่วยควบคุม ระดับความแรงของสัญญาณ Ø จะถูกวัดและเปรียบเทียบกับระดับของ อัตราสัญญาณต่อสัญญาณรบกวน (Signal to Noise Ratio ; S/N) ถ้าผลของการเปรียบเทียบมีค่าต่ำกว่าค่ามาตรฐานที่กำหนด หน่วยควบคุมจะส่งสัญญาณแจ้งไปยังชุมสายโทรศัพท์เคลื่อนที่ จากนั้นชุมสายโทรศัพท์เคลื่อนที่จะค้นหาช่องติดต่อใหม่ ซึ่งขบวนการนี้เรียกว่าเรียกว่า การเปลี่ยนมือ (Hand-Off) รายละเอียดอยู่ในหัวข้อ 2.5

2. หน่วยควบคุม (Control Unit ; CU) จะควบคุมการทำงานของเครื่องรับเครื่องส่ง ส่วนตรวจสอบความแรงของสัญญาณ โดยรับคำสั่งจากชุมสายโทรศัพท์เคลื่อนที่และนำมาถอดรหัสด้วยไมโครโปรเซสเซอร์ คำสั่งสำคัญที่ส่งมาจากชุมสายโทรศัพท์เคลื่อนที่ เมื่อใช้ในการควบคุมการทำงานของสถานีฐานมีดังนี้คือ

- การกำหนดช่องสัญญาณต่างๆ
- การเริ่มต้นและหยุดการทำงานของเครื่องส่ง
- การเริ่มต้นและหยุดการส่งสัญญาณ Ø
- การดำเนินการตรวจสอบความแรงของสัญญาณ และเช็คเส้นทางการติดต่อ

3. ส่วนเครื่องรับสัญญาณทดสอบความแรง (Signal Strength Receiver) จะทำหน้าที่รับสัญญาณ Ø เพื่อส่งให้ส่วนตรวจสอบสัญญาณ Ø

4. เครื่องรับ (Receiver) และ เครื่องส่ง (Transmitter)

5. ตัวแยกสัญญาณภาครับ (Receiver Multicoupler)

6. ตัวรวมสัญญาณภาคส่ง (Transmitter Combiner)

7. ดูเพลกซ์ฟิลเตอร์ (Duplex Filter)

เนื่องจากในแต่ละสถานีฐานประกอบด้วยช่องสัญญาณจำนวนมาก ซึ่งแต่ละช่องสัญญาณจะมีความถี่ที่แตกต่างกันออกไป ทำให้ต้องใช้เสาอากาศเท่ากับจำนวนของช่องสัญญาณ จึงทำให้เกิดความสิ้นเปลืองมาก ดังนั้นจึงได้มีการออกแบบตัวรวมสัญญาณภาคส่ง และตัวแยกสัญญาณภาครับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

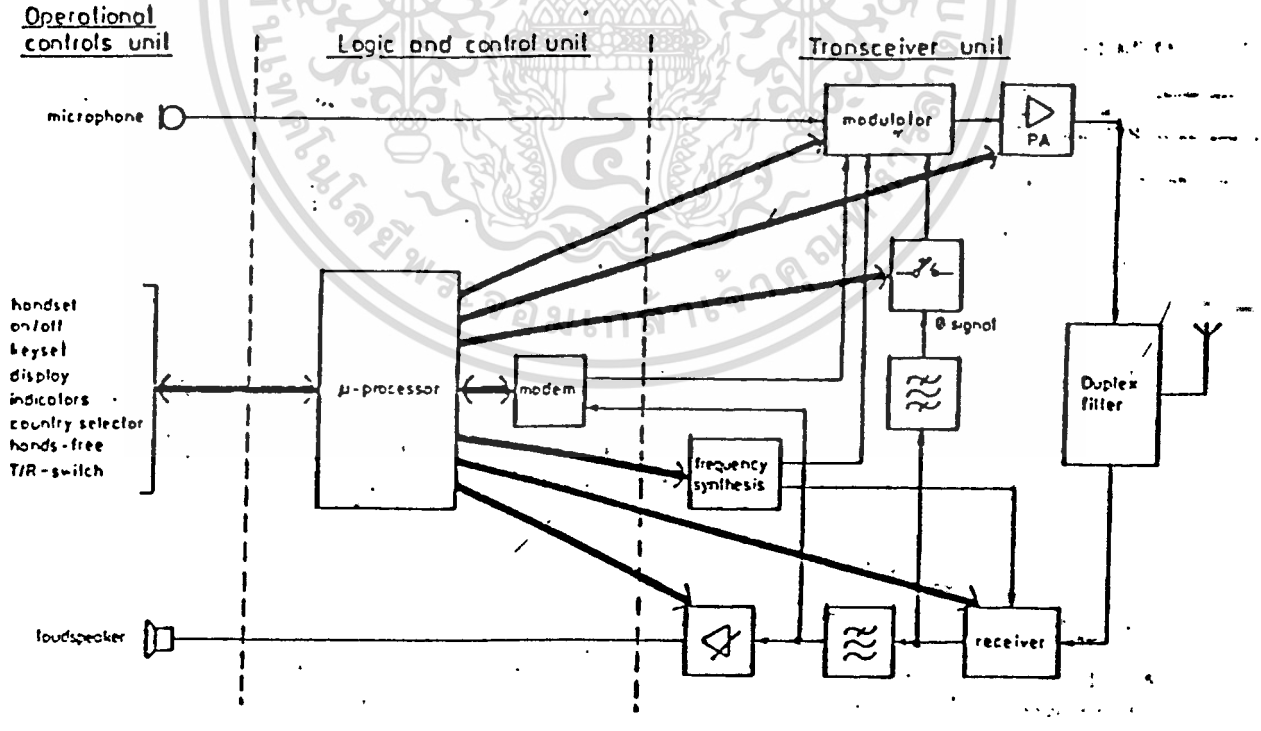
ขึ้นมา โดยมีจุดประสงค์ เพื่อที่จะใช้เสาอากาศเพียงตัวเดียวสำหรับทุกๆช่องสัญญาน _ สำหรับ ดูเพล็กฟิลเตอร์ (Duplex Filter) จะทำหน้าที่แยกการทำงานระหว่างเครื่องรับและเครื่องส่งออกจากกัน

8. ระบบสายอากาศ (Antenna System) ที่ใช้งานกันอยู่ในปัจจุบันมีอยู่ 2 แบบคือ สายอากาศแบบมีทิศทาง (Directional Antenna) และ สายอากาศแบบมีทิศทาง (Omnidirection Antenna)

2.2.3 เครื่องโทรศัพท์เคลื่อนที่

เครื่องโทรศัพท์เคลื่อนที่สามารถแบ่งหน้าที่ออกเป็น 3 หน่วยที่สำคัญดังนี้ คือ ( ดูรูปที่ 6 ประกอบ )

1. หน่วยเครื่องรับ-เครื่องส่ง (Transceiver Unit) และสายอากาศ
2. โอเปอร์เรชั่นคอนโทนยูนิต (Operation Control Unit)
3. ลอกจิกแอด์คอนโทนยูนิต (Logic and Control Unit)




รูปที่ 6 แสดงบล็อกไดอะแกรมของเครื่องโทรศัพท์เคลื่อนที่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ส่วนของเครื่องรับ-เครื่องส่งจะทำหน้าที่เกี่ยวกับ การรับ/ส่งสัญญาณเสียงและสัญญาณข้อมูล โดยทำการส่งสัญญาณผ่านไปในย่านความถี่วิทยุ ซึ่งจะประกอบด้วยย่านความถี่ต่ำ (lower frequency) ใช้ในการส่ง และย่านความถี่สูง (upper frequency) ใช้ในการรับ จึงเป็นการใช้งานแบบดูเพล็กซ์ สัญญาณที่รับได้จะมี 2 ชนิดคือ สัญญาณเสียงและสัญญาณข้อมูล โดยถ้าเป็นสัญญาณเสียงก็จะถูกส่งไปให้กับส่วนควบคุมการทำงาน แต่ถ้าเป็นสัญญาณข้อมูลจะถูกส่งไปให้ส่วนควบคุมลอกจิกเพื่อทำการถอดรหัสและทำตามคำสั่งที่รับเข้ามา สายอากาศที่ใช้งานจะมีความถี่ในช่วง 380 - 512 เมกะเฮิรต์

ส่วนของโอเปอเรชั่นคอนโทนยูนิต จะเป็นตัวติดต่อระหว่างผู้ใช้กับระบบ ซึ่งจะประกอบด้วย

- สวิทช์ปิด-เปิด (on/off switch) เป็นสวิทช์ที่ใช้ในการปิด-เปิดเครื่องโทรศัพท์เคลื่อนที่
- แฮนเซต (hand set) แฮนเซตจะประกอบด้วยส่วนไมโครคอมพิวเตอร์สำหรับรับข้อมูลจากแป้นกดของแฮนเซต และทำหน้าที่ติดต่อกับไมโครคอมพิวเตอร์ของ ลอกจิกแอด์คอนโทนยูนิต และยังแสดงข้อมูลต่างๆบนจอภาพ ซึ่งเป็น LED
- โมดแฮนฟรี (hand free mode) เครื่องโทรศัพท์เคลื่อนที่ทุกเครื่อง จะต้องมีปุ่มกดโมดแฮนฟรี คือ สามารถจะสนทนาโดยไม่ต้องยกหูพังขึ้น
- ตัวปรับความดัง/ค่อยของเสียง (volume control) โดยจะมีช่วงการปรับตั้งแต่ +15 dB ถึง -10 dB เมื่อเทียบกับระดับเสียงปกติ
- ฮูดสวิทช์ (swith hook) เป็นตัวแสดงให้ส่วนควบคุมทราบว่าขณะนี้เครื่องอยู่ในภาวะ เปิด/ปิด (on/off hook)
- ปุ่มกด จะประกอบด้วย 12 ปุ่ม โดย 10 ปุ่มเป็นหมายเลขที่ใช้ส่งสัญญาน (0,1,...,9) ส่วนปุ่ม * และ # ใช้ในการบริการอื่นๆ
- หน่วยความจำที่เก็บหมายเลข (dialled digits memory) หน่วยความจำนี้จะทำการเก็บหมายเลขที่ผู้ใช้ทำการกด ซึ่งจะสามารถเก็บได้อย่างมาก 16 ดิจิต แต่จอภาพจะแสดงที่ละ 8 ดิจิต
- สัญญานกระดิ่ง (ringing signal) สัญญานนี้จะดังติดต่อกันเป็นเวลา 1 วินาที เพื่อแจ้งให้ผู้ใช้ทราบว่าขณะนี้ได้มีการเรียกเข้า การสร้างสัญญานกระดิ่งจะเกิดขึ้นเมื่อได้รับคำสั่งจากส่วนควบคุมลอกจิก ซึ่งก็รับต่อมาจาก MTX อีกทีหนึ่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

026847

- มาวฟังชั่น (Mulfunction alarm) เป็นสัญญานเสียงที่ดังขึ้นเพื่อแสดงให้รู้ว่าการโทรออกทำไม่สำเร็จ ซึ่งจะเริ่มการโทรใหม่ด้วยการวางหูแล้วยกขึ้นใหม่ หรือกดแฮนฟรี นอกจากนี้ สัญญานนี้ยังเป็นการแจ้งให้ผู้ใช้ทราบว่า ผู้ใช้ทำการยกหูฟังขึ้นในขณะที่เครื่องโทรศัพท์เคลื่อนที่ทำการส่งข้อมูลของการโรมมิ่ง (roaming) ให้กับชุมสายโทรศัพท์เคลื่อนที่ ทำให้ผู้ใช้ไม่สามารถโทรออกได้ (เพราะการโทรออกจะใช้ช่องสัญญานติดต่อเช่นเดียวกับ การแจ้งการโรมมิ่ง) ซึ่งจะเรียกว่า โรมมิ่งอะราม " roaming alarm "

- หมายเลขแสดงประเทศ (County selector) ในเลขหมายของพื้นที่ติดต่อ (Y1Y2) ตัว Y1 จะเป็นตัวบอกว่าพื้นที่ติดต่อนี้อยู่ในประเทศใด สำหรับประเทศไทยค่าของ Y1 คือ 0001

- สัญญานไฟ (Visual indicators) แบ่งออกเป็นสัญญานแสดงการปิด-เปิดเครื่อง (on/off indicator) เป็นสัญญานไฟที่แจ้งให้ผู้ใช้ทราบว่ามีการจ่ายไฟเลี้ยงให้หรือไม่ ซึ่งมักจะใช้ไฟสีขาว หรือสีเหลือง สัญญานแสดงความพร้อมในการให้บริการ (service indicator) เป็นสัญญานที่แจ้งให้ผู้ใช้ทราบว่าเครื่องโทรศัพท์เคลื่อนที่ ได้ทำการล็อกกับช่องเรียกขานแล้ว ถ้าไฟนี้ดับก็แสดงว่าเครื่องไม่สามารถล็อกกับเรียกขานได้ ซึ่งมักจะใช้ไฟสีเขียว

ส่วนของลอกจิกแอด์คอนโทรยูนิต จะเป็นตัวควบคุมและประมวลผล การทำงานทั้งหมดของเครื่องโทรศัพท์เคลื่อนที่ รวมถึงการถอดรหัส (encode) และการเข้ารหัส (decode) ในส่วนจะมีความเชื่อถือได้สูงมาก เพราะจะถูกควบคุมด้วยไมโครคอมพิวเตอร์ และยังมีโมเด็มทำหน้าที่เป็นตัวเชื่อมการติดต่อของระบบสัญญาณ ระหว่างไมโครโปรเซสเซอร์ (u-processer) สัญญานอานาล็อกทางด้านคลื่นวิทยุ ลักษณะการทำงานที่สำคัญในส่วนนี้เช่น การถอดรหัสสัญญานที่ได้รับมาจากชุมสายโทรศัพท์เคลื่อนที่ และดำเนินการตามคำสั่งนั้น การควบคุมการทำงานของสวิทชิ่ง การเพิ่มหรือลดระดับของพลังงานที่ส่งออก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.3 หลักการของระบบสัญญาณ.(Signalling System Principles)

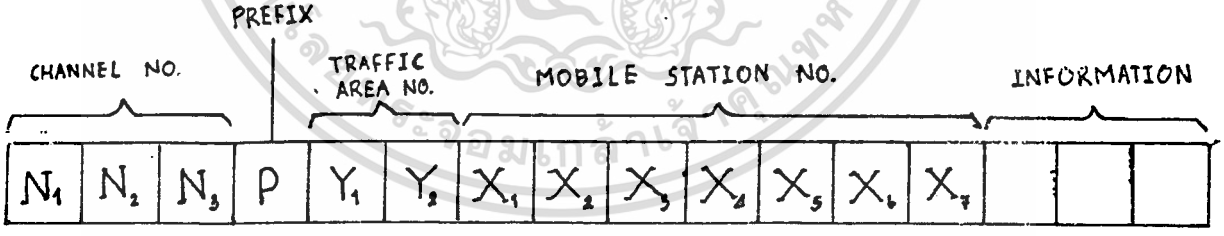
ระบบสัญญาณที่สำคัญ ที่ส่งระหว่างชุมสายโทรศัพท์เคลื่อนที่กับเครื่องโทรศัพท์เคลื่อนที่ โดยส่งผ่านสถานีฐานคือ

- การสร้างและเริ่มต้นในการเรียก (setting up and clearing of call)
- การย้ายการเรียกเพื่อให้ได้คุณภาพดีขึ้น(transfer of call in progrress)
- การโรมมิ่ง อัพเดทติ้ง (roaming updating)
- คำสั่งในการเปลี่ยนพลังงานที่ส่ง (ordering of change of transmiting power)

ระบบสัญญาณที่สำคัญ ที่ส่งระหว่างชุมสายโทรศัพท์เคลื่อนที่กับสถานีฐาน

- การควบคุมสถานีฐานในระยะไกล (remote control of the base station)
- การแลกเปลี่ยนสัญญาณเตือน (transfer of alarms)

ข้อความในสัญญาณจะถูกส่งออกไปในรูปแบบที่เรียกว่า เฟรมของสัญญาณ (Signal Frame) โดยจะมีความยาวเท่ากันหมดทุกเฟรม ซึ่งจะประกอบด้วย 16 ตัวอักษร แต่ละตัวอักษรจะแทนด้วยเลขฐาน 16 (4 บิท) ดังนั้นเฟรมของสัญญาณหนึ่งจะมีจำนวนบิทข้อมูลทั้งหมด 64 บิท ดังแสดงในรูปที่ 7




รูปที่ 7 แสดงเฟรมของสัญญาณ

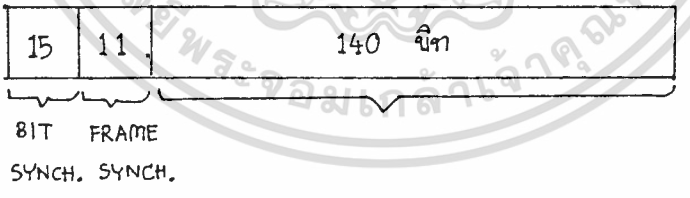
เฟรมของสัญญาณจะเริ่มต้นด้วย หมายเลขของช่องสัญญาณ (N1N2N3) และตามด้วยคำอุปสรรค (prefix ; P) ซึ่งจะเป็นตัวแสดงชนิดของข้อความที่บรรจุอยู่ในเฟรมของสัญญาณ ยกตัวอย่างเช่น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

| Prefix P | ข้อความ | ทิศทางของการส่ง |
|---|---|---|
| 1 | ตอบรับการเรียก | MS ---- MTX |
| 2 | ผลของการวัดจากการตรวจสอบ | BS ---- MTX |
| 3 | แสดงช่องสัญญาณว่าเป็นช่องติดต่อ | MTX ---- MS |
| 4 | แสดงช่องสัญญาณว่าเป็นช่องรวม | MTX ---- MS |
| 7 | ข้อมูลของผู้ถูกเรียกที่ส่งมาจาก MS | MS ---- MTX |
| 12 | แสดงช่องสัญญาณว่าเป็นช่องเรียกขาน | MTX ---- MS |

ส่วนที่ถัดมาคือ Y1Y2 ซึ่งจะใช้เฉพาะในการส่งจากชุมสายโทรศัพท์เคลื่อนที่ ไปยังเครื่องโทรศัพท์เคลื่อนที่เท่านั้น โดยจะเป็นข้อมูลของหมายเลขพื้นที่ติดต่อ ส่วนข้อมูล X1...X7 จะแสดงหมายเลขของเครื่องผู้ส่ง หรือผู้รับ ถ้าข้อความไม่ระบุเจาะจงผู้รับก็จะไม่มีข้อมูลส่วนนี้ ในส่วนสุดท้ายของเฟรมจะเป็นส่วนของข้อมูลทั้งหมด

เพื่อเป็นการเพิ่มประสิทธิภาพของการส่ง และเพิ่มความเชื่อถือได้ในข้อมูล เฟรมที่ส่งออกไปก็จะเพิ่มรหัสแก้ไขข้อผิดพลาด (Error-correcting Code) รวมเป็น 140 บิทที่เรียกว่า เฟรมที่เข้ารหัส (Encoded Frame) นอกจากนี้ยังทำการเพิ่มบิทซิงโคไนเซชั่น (Bit Synchronization) อีก 15 บิท เพื่อควบคุมการส่งสัญญาณนาฬิกา และเฟรมซิงโคไนเซชั่น (Frame Synchronization) อีก 11 บิท เพื่อแสดงเวลาเริ่มต้นของข้อมูลใน frame ดังแสดงในรูปที่ 8

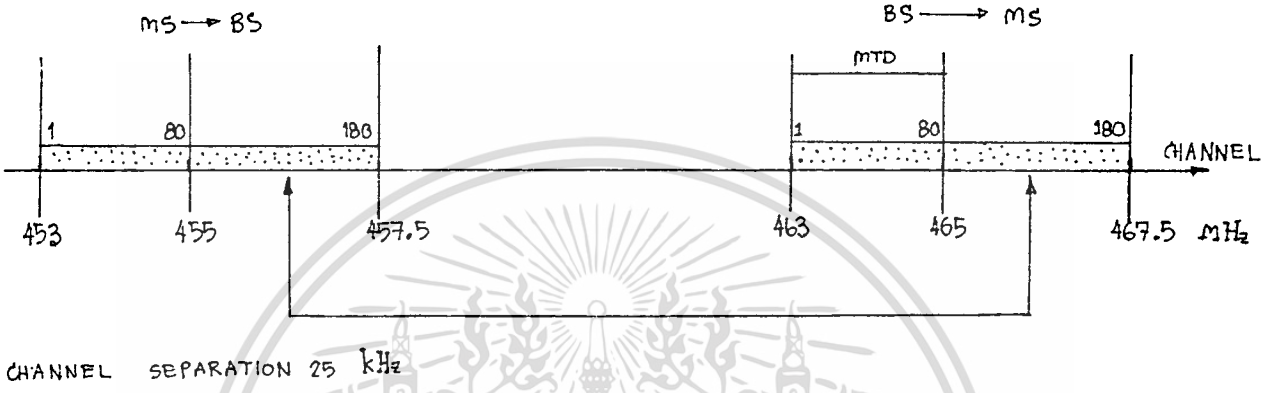



รูปที่ 8 แสดงเฟรมของสัญญาณ

จากคุณสมบัติของคลื่นที่มีการสะท้อน การแทรกสอด ซึ่งจะก่อให้เกิดการลดทอนหรือผิดเพี้ยนของสัญญาณ (Fading) ซึ่งสามารถแก้ไขได้โดยการส่งสัญญาณเป็นรหัสดิจิตอล บนพื้นฐานของการส่งแบบ ฟาสฟรีเควนซีชิบคีอิน (Fast Frequency Shift Keying ; FFSK) โดยส่งด้วยความเร็ว 1,200 bit/s ซึ่งรหัส "1" จะแทนด้วยความถี่ 1,200 เฮิรต์ และรหัส "0" จะแทนด้วยความถี่ 1,800 เฮิรต์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ย่านความถี่ที่ใช้งาน (Frequency Range) ในระบบ NMT จะใช้ช่องสัญญาณ 180 ดูเพล็กซ์ ในย่านความถี่ 453 - 457.475 เมกะเฮิรต์ สำหรับการส่งจากโทรศัพท์เคลื่อนที่ไปยังสถานีฐาน และใช้ความถี่ 463 - 467.75 เมกะเฮิรต์ สำหรับการส่งจากสถานีฐานไปยังโทรศัพท์เคลื่อนที่ แต่ละช่องสัญญาณจะมีระยะห่างระหว่างช่องสัญญาณ 25 กิโลเฮิรต์ และระหว่างช่องสัญญาณดูเพล็กซ์จะห่างกัน 10 เมกะเฮิรต์ (แสดงในรูปที่ 9 )



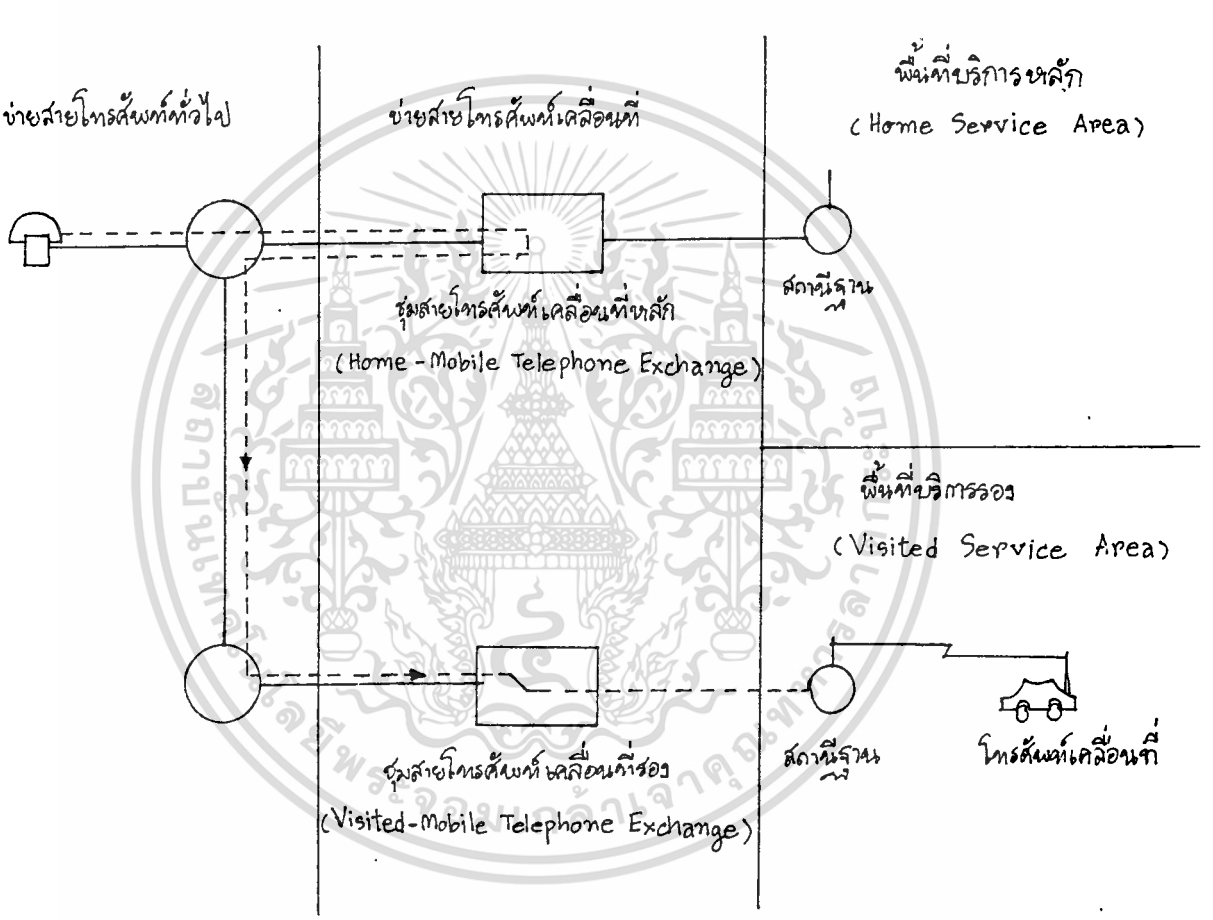

รูปที่ 9 แสดงย่านความถี่ที่ใช้งานในระบบ NMT

2.4 การโรมมิ่ง อัพเดทติ้ง (Roaming Updating)

โรมมิ่ง อัพเดทติ้ง คือ การเคลื่อนที่ของเครื่องโทรศัพท์เคลื่อนที่ออกจากพื้นที่บริการของชุมสายโทรศัพท์เคลื่อนที่หลัก ( Homing Mobile Telephone Exchange ) ซึ่งเครื่องโทรศัพท์ได้จดทะเบียนชั้นตรงเอาไว้ ไปยังพื้นที่บริการของชุมสายโทรศัพท์เคลื่อนที่อื่น เรียกว่า ชุมสายโทรศัพท์เคลื่อนที่รอง (Visited Mobile Telephone Exchange)

ทันทีที่เครื่องโทรศัพท์เคลื่อนที่ เคลื่อนที่ออกจากพื้นที่บริการของตน เข้าไปยังพื้นที่บริการอื่น เครื่องโทรศัพท์เคลื่อนที่ก็จะใช้ช่องเรียกขาน ของสถานีฐานในชุมสายโทรศัพท์เคลื่อนที่รอง และทำการแสดงตัวกับชุมสายโทรศัพท์เคลื่อนที่รอง เพื่อบอกถึงรายละเอียดของตัวเครื่อง เช่น หมายเลขเครื่อง หมายเลขชุมสายโทรศัพท์เคลื่อนที่หลัก เป็นต้น จากนั้นชุมสายโทรศัพท์เคลื่อนที่รองก็จะแจ้งการเข้าใช้พื้นที่บริการ ไปยังชุมสายโทรศัพท์เคลื่อนที่หลัก และรับข้อมูลทั้งหมดของเครื่องโทรศัพท์ มาจากชุมสายโทรศัพท์เคลื่อนที่หลัก ดังนั้นเมื่อมีการเรียกเข้ามายังเครื่องโทรศัพท์เคลื่อนที่ การเรียกนั้นจะต้องสร้างเส้นทาง (Routing) ผ่านชุมสายโทรศัพท์เคลื่อนที่หลักก่อน แล้วจึงจะสร้างเส้นทางซ้ำ (Rerouting) ไปยังชุมสายรอง แสดงในรูปที่ 10

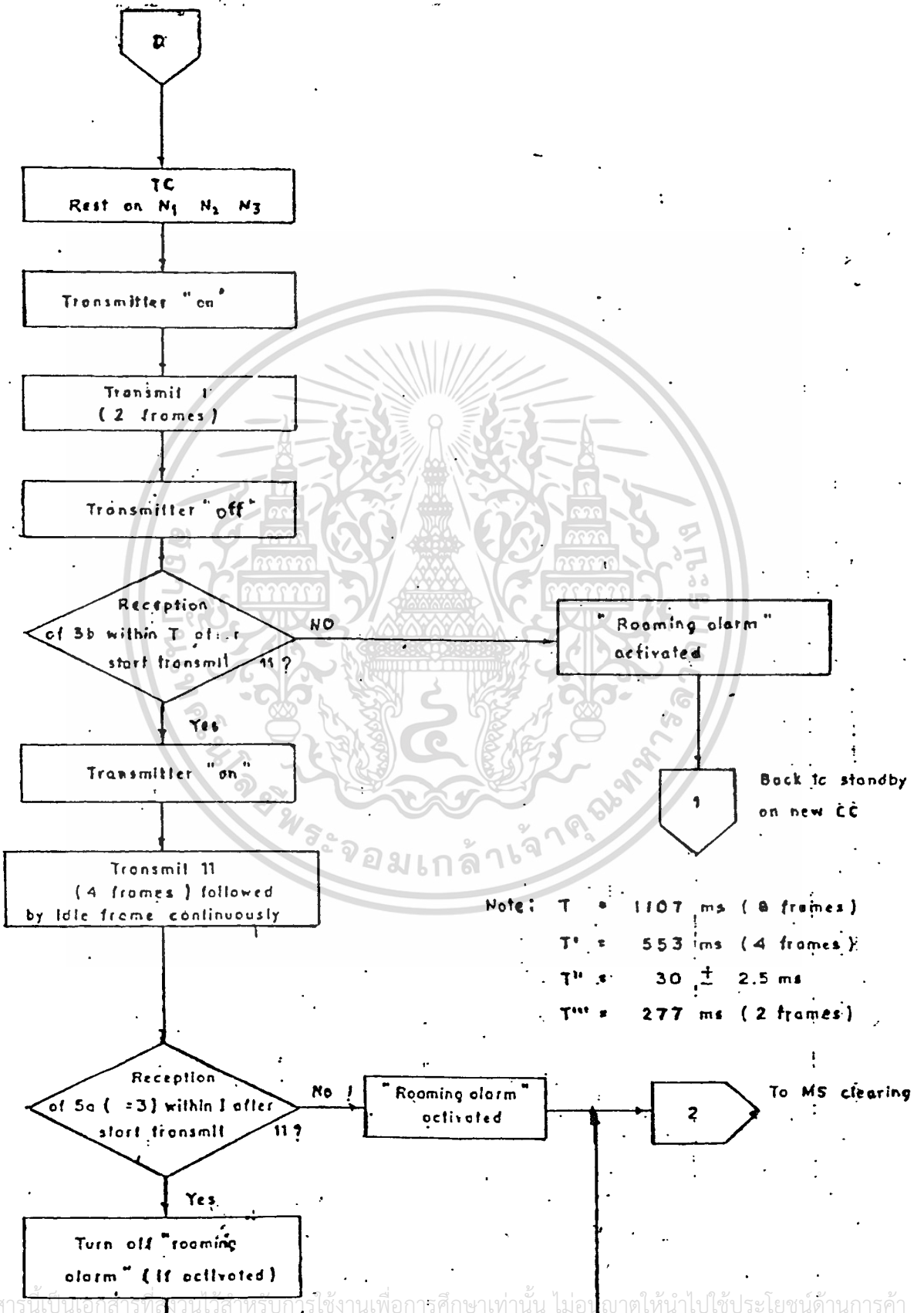
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 10 แสดงการสร้างเส้นทางซ้ำ (Rerouting)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โฟร์ชาร์ทแสดงข้อมูลในการโรมมิ่ง อัพเซทติ้ง




เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

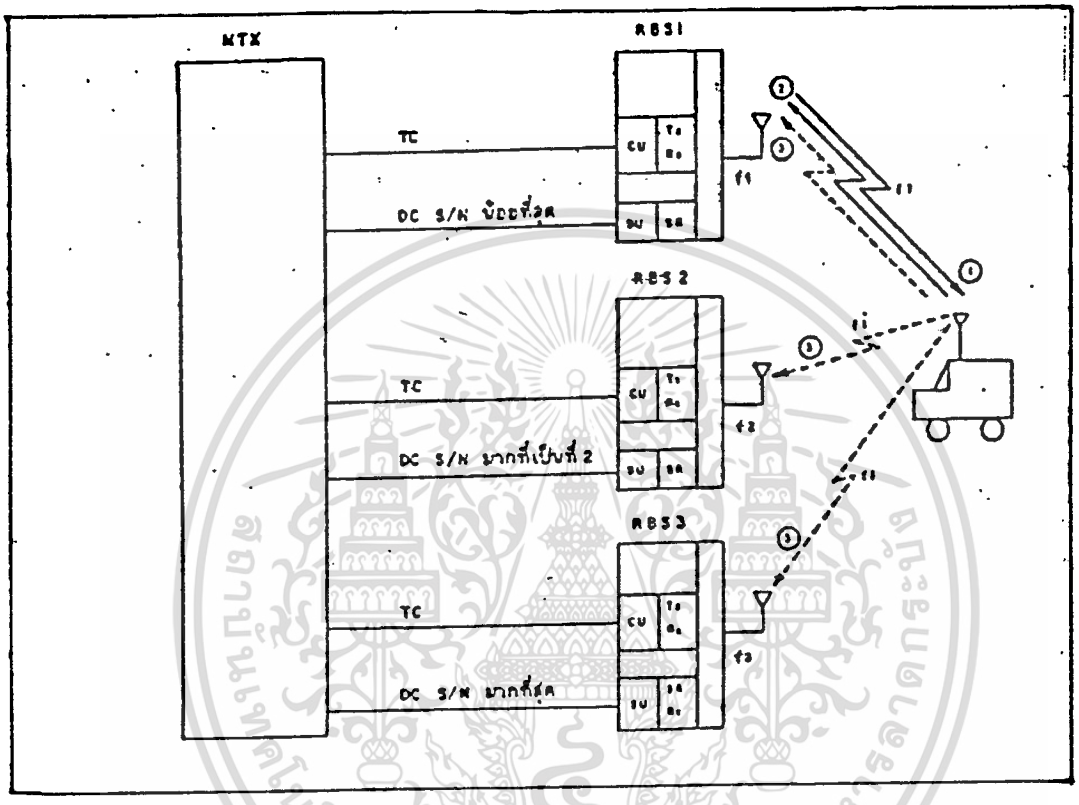
2.5 การเปลี่ยนมือ (Hand-off หรือ Switching call in progress)

ในระหว่างการสนทนา สถานีฐานจะทำการส่งสัญญาน Ø ไปยังเครื่องโทรศัพท์เคลื่อนที่ จากนั้นโทรศัพท์เคลื่อนที่จะแยกสัญญาณ Ø ออกจากเสียงสนทนา แล้วส่งป้อนกลับมายังสถานีฐานเข้าสู่หน่วยควบคุม ระดับความแรงของสัญญาณ Ø จะถูกวัดและเปรียบเทียบกับระดับของ อัตราสัญญานต่อสัญญาณรบกวน (Signal to Noise Ratio ; S/N) ถ้าผลของการเปรียบเทียบมีค่าต่ำกว่าค่ามาตรฐานที่กำหนด สถานีฐานก็จะส่งสัญญาณแจ้งเตือนไปยัง ชุมสายโทรศัพท์เคลื่อนที่

จากนั้นชุมสายโทรศัพท์เคลื่อนที่ ก็จะทำการสั่งให้สถานีฐานที่อยู่ใกล้กับเครื่องโทรศัพท์เคลื่อนที่ (มากที่สุด 6 สถานีฐาน) ทำการวัดค่า S/N ของสัญญาน ค่า S/N ที่วัดได้จากสถานีฐานทั้งหมดจะถูกส่งไปยังชุมสายโทรศัพท์เคลื่อนที่ และชุมสายโทรศัพท์เคลื่อนที่ จะทำการเก็บค่าของ S/N เพียง 2 ค่าคือ ค่าที่มากที่สุด กับค่าที่รองลงมา ต่อจากนั้นชุมสายโทรศัพท์เคลื่อนที่ก็จะส่งคำสั่งไปยังเครื่องโทรศัพท์เคลื่อนที่ ให้เปลี่ยนไปใช้ช่องสัญญานของสถานีฐาน ที่มีค่าของ S/N มากที่สุด ถ้าสถานีฐานนั้นไม่มีช่องติดต่อที่ว่างเลย ก็จะเปลี่ยนไปใช้ช่องติดต่อของสถานีฐานที่มีค่า S/N รองลงมาแทน ถ้ากรณีที่สถานีฐานทั้งสองล้วนไม่มีช่องติดต่อที่ว่าง การเปลี่ยนมือก็จะไม่เกิดขึ้น การติดต่อจะดำเนินไปที่สถานีฐานเดิม จนกระทั่งการบริการไม่สามารถดำเนินต่อไปได้ ชุมสายโทรศัพท์เคลื่อนที่ก็จะสั่งให้สถานีฐานปิดเครื่องรับ-เครื่องส่ง เพื่อสิ้นสุดการบริการ

สัญญาน Ø มีความถี่ให้เลือกใช้คือ 3.953 กิโลเฮิรต์ 3.985 กิโลเฮิรต์ 4.015 กิโลเฮิรต์ 4.045 กิโลเฮิรต์ เหตุผลที่มีความถี่ให้เลือกถึง 4 ความถี่ เนื่องจากในกรณีที่สถานีฐานอยู่ใกล้กัน ถ้าใช้ความถี่เดียวกันจะให้เกิดการแทรกสอด (Interference) ขึ้น จะทำให้หน่วยควบคุมทำการคำนวณค่าผิดพลาดได้

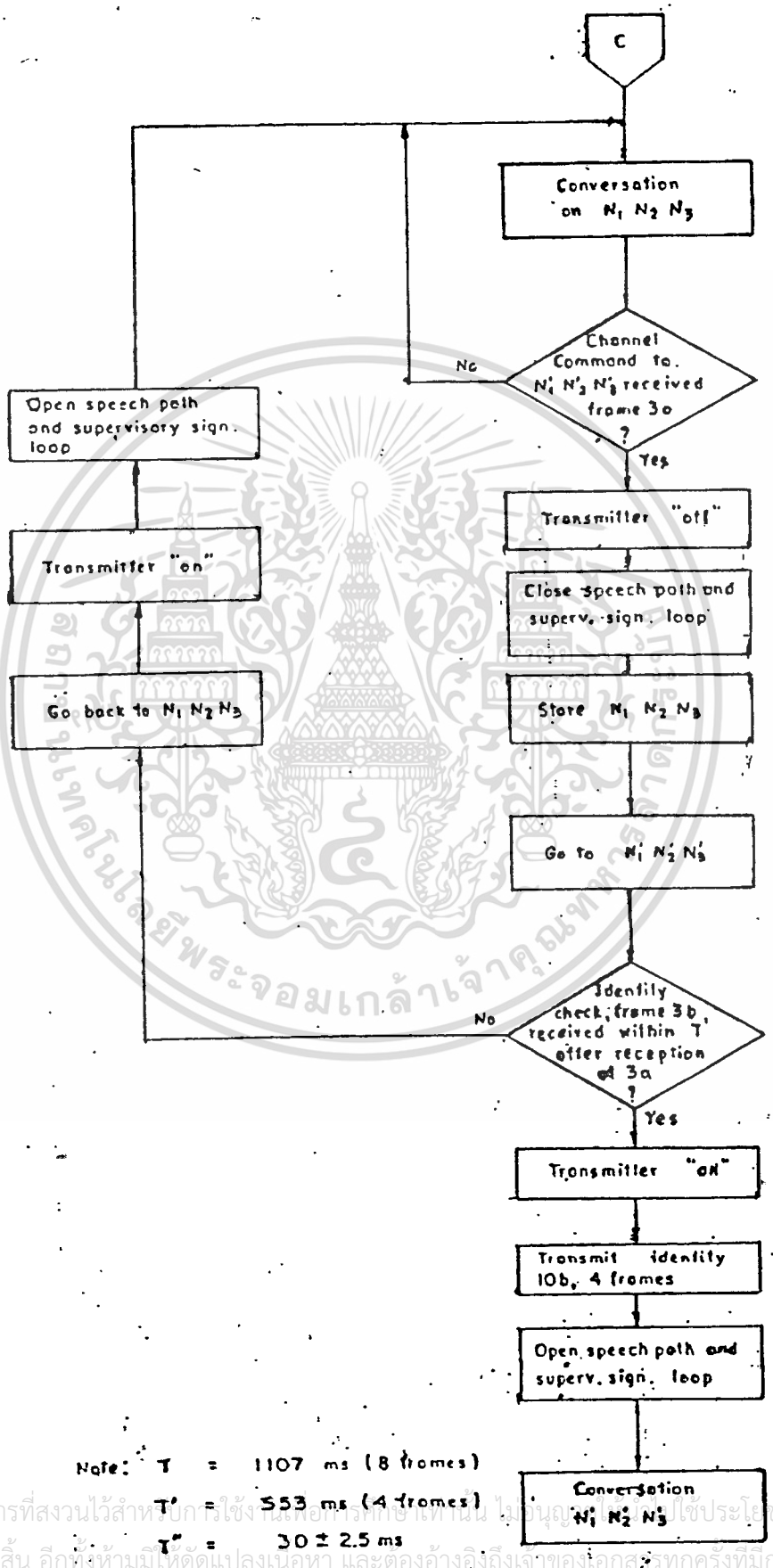
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 11 แสดงการเปลี่ยนมือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โฟร์ชาร์ทแสดงการเปลี่ยนมือจาก N1N2N3 ไปยัง N'1N'2N'3




Note: T = 1107 ms (8 frames)

T' = 553 ms (4 frames)

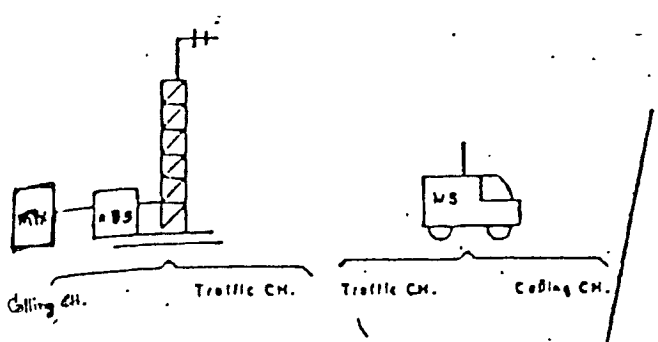
T'' = 30 ± 2.5 ms

T''' = 277 ms (2 frames).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## 2.6 ลักษณะการต่อเข้า และการต่อออกของเครื่องโทรศัพท์เคลื่อนที่

### แผนผังการต่อออกของเครื่องโทรศัพท์เคลื่อนที่




เริ่มแรกที่เดียวเครื่องโทรศัพท์เคลื่อนที่จะถูกล็อคที่ช่องสัญญาณเรียก (Calling Channel) ชุมสาย จะส่งช่องสัญญาณเรียกและช่องสัญญาณโทรศัพท์ที่ว่าง (Free Traffic Channel) ให้กับเครื่องโทรศัพท์เคลื่อนที่ทราบโดยผ่านสถานีฐาน

เครื่องโทรศัพท์เคลื่อนที่กดเลขหมายเบอร์โทรศัพท์ที่จะโทรเรียกและยกหูฟังขึ้น ในขณะนั้นเครื่องโทรศัพท์เคลื่อนที่จะค้นหาช่องสัญญาณโทรศัพท์ที่ว่างและส่งสัญญาณจับช่องสัญญาณโทรศัพท์ ชุมสาย MTX รับทราบโดยปล่อยช่องสัญญาณโทรศัพท์ที่ว่างให้กับเครื่องโทรศัพท์เคลื่อนที่

การประสานงานกันระหว่างชุมสาย MTX กับโทรศัพท์เคลื่อนที่ได้เริ่มขึ้นโดยชุมสาย MTX ได้รับเลขประจำตัวโทรศัพท์เคลื่อนที่พร้อมทั้งตรวจสอบภาวะหนี้ค้างชำระและบริการพิเศษอื่น ๆ ซึ่งเครื่องโทรศัพท์เคลื่อนที่ส่งให้กับชุมสาย MTX โดยผ่านสถานีฐาน

เมื่อชุมสาย MTX พร้อมที่จะรับเลขหมายจากเครื่องโทรศัพท์เคลื่อนที่แล้วจะส่งสัญญาณให้เครื่องโทรศัพท์เคลื่อนที่ทราบ

เลขหมายที่เครื่องโทรศัพท์เคลื่อนที่กดและเก็บไว้ในหน่วยความจำถูกส่งไปยังชุมสาย

ชุมสาย MTX รับทราบเลขหมายจากเครื่องโทรศัพท์เคลื่อนที่พร้อมกับส่งสัญญาณแจ้งให้เครื่องโทรศัพท์เคลื่อนที่ทราบ

การต่อผ่านได้สำเร็จขั้นที่ชุมสาย MTX และสัญญาณสี (ƒ) ถูกส่งไปที่เครื่องโทรศัพท์เคลื่อนที่โดยสถานีฐานได้รับคำสั่งจากชุมสาย

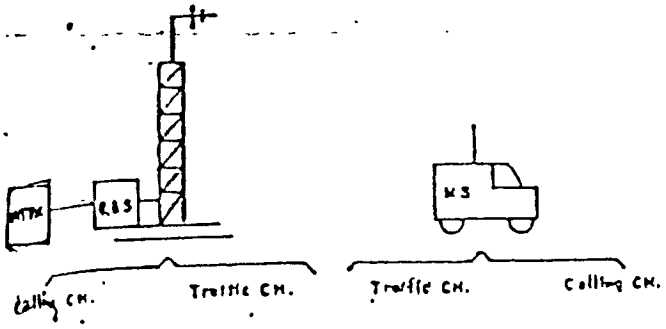
ผู้ถูกเรียกได้ยกหูโทรศัพท์ขึ้นและการสนทนาได้เริ่มขึ้น

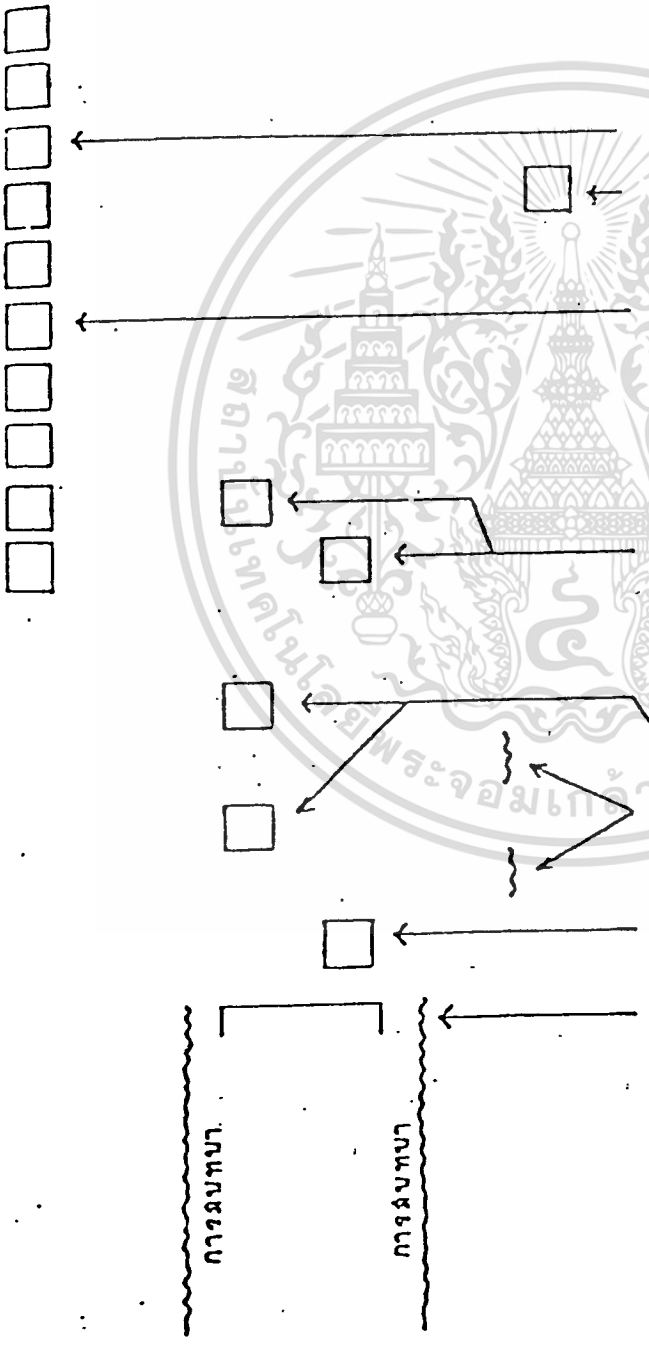
การสนทนา

การสนทนา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แผนผังการต่อออกของเครื่องโทรศัพท์เคลื่อนที่



เริ่มแรกเครื่องโทรศัพท์เคลื่อนที่ถูกล็อคที่ช่องสัญญาณเรียก (Calling Channel)

มีโทรศัพท์มายังเครื่องโทรศัพท์เคลื่อนที่

เครื่องโทรศัพท์เคลื่อนที่รับทราบ

ชุมสาย MTX สั่งให้เครื่องโทรศัพท์เคลื่อนที่เลิกใช้ช่องสัญญาณเรียกและมาใช้ช่องสัญญาณโทรศัพท์ที่ว่าง (Free Traffic Channel) แท

การประสานงานกันระหว่างชุมสาย MTX และเครื่องโทรศัพท์เคลื่อนที่ได้เกิดขึ้น โดยที่ชุมสาย MTX ได้กำหนดเลขที่ช่องสัญญาณ (Traffic Channel) ให้กับสถานีฐานซึ่งเครื่องโทรศัพท์เคลื่อนที่ต้องการใช้

ชุมสาย MTX สั่งให้กระดิ่งดังขึ้น

เครื่องโทรศัพท์เคลื่อนที่สร้างสัญญาณสั่นกระดิ่ง

เครื่องโทรศัพท์เคลื่อนที่รับทราบโดยยกหูฟัง

การต่อผ่านได้สำเร็จขึ้นที่ชุมสาย MTX สัญญาณ ที (Ø) ถูกส่งไปยังเครื่องโทรศัพท์เคลื่อนที่โดยสถานีฐานได้รับคำสั่งจากชุมสาย MTX และการสนทนาได้เริ่มขึ้น

การสนทนา

การสนทนา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# บทที่ 3 การออกแบบและสร้างวงจร

จากหลักการที่จะนำข้อมูลจากแฮนเซ็ท เพื่อนำข้อมูลมาทำการประมวลผล โดยแสดงการรับรู้ข้อมูลทางจอคอมพิวเตอร์แสดงดังรูปที่ 12 เราสามารถแบ่งการออกแบบและการสร้างวงจรเป็นส่วนๆได้ดังนี้

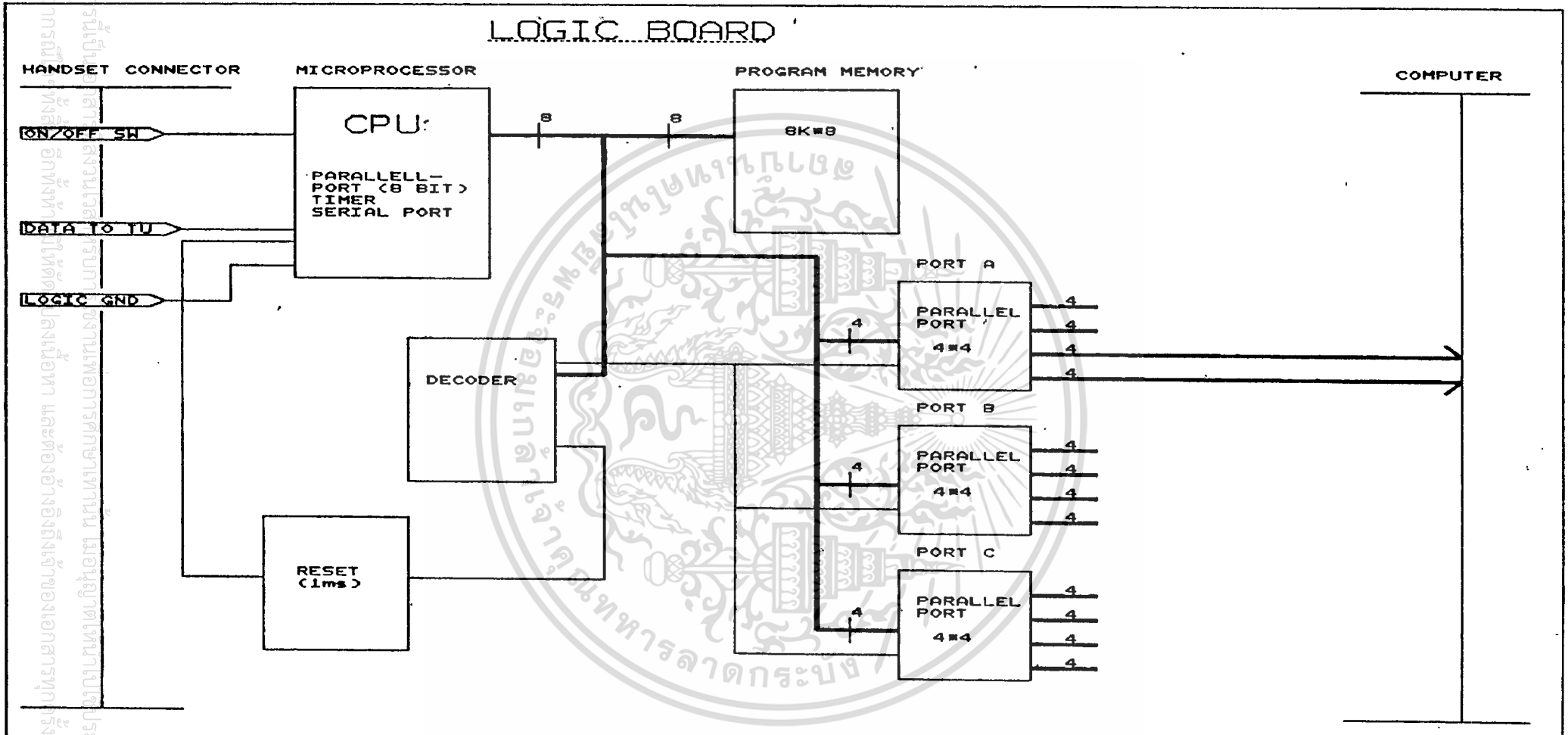
**ส่วนประมวลผล(MAIN BOARD)**

ส่วนประมวลผล ประกอบด้วย MCS-8031 พร้อมด้วยหน่วยเก็บความจำ ของโปรแกรมภายนอก ซึ่งเป็นหน่วยความจำ RAM ขนาด 8 Kbyte เบอร์ 6264 โดย MCS-8031 จะมองเป็น หน่วยความจำแบบ EPROM โดยพอร์ท 3 ของ MCS-8031 เป็นพอร์ทนำข้อมูลจากแฮนเซ็ต ที่ส่งมาแบบอนุกรม ส่วนพอร์ท 0 ของ MCS-8031 เป็นพอร์ทส่งแอดเดรสข้อมูล (address bus) รวมทั้งเป็นพอร์ทที่รับและส่งข้อมูลด้วย (data bus) จึงต้องใช้ 74LS373 เป็นตัวแลทช์แอดเดรสของข้อมูล ในขณะที่ MCS-8031 กำลังส่งและรับข้อมูล ดังรูป 13

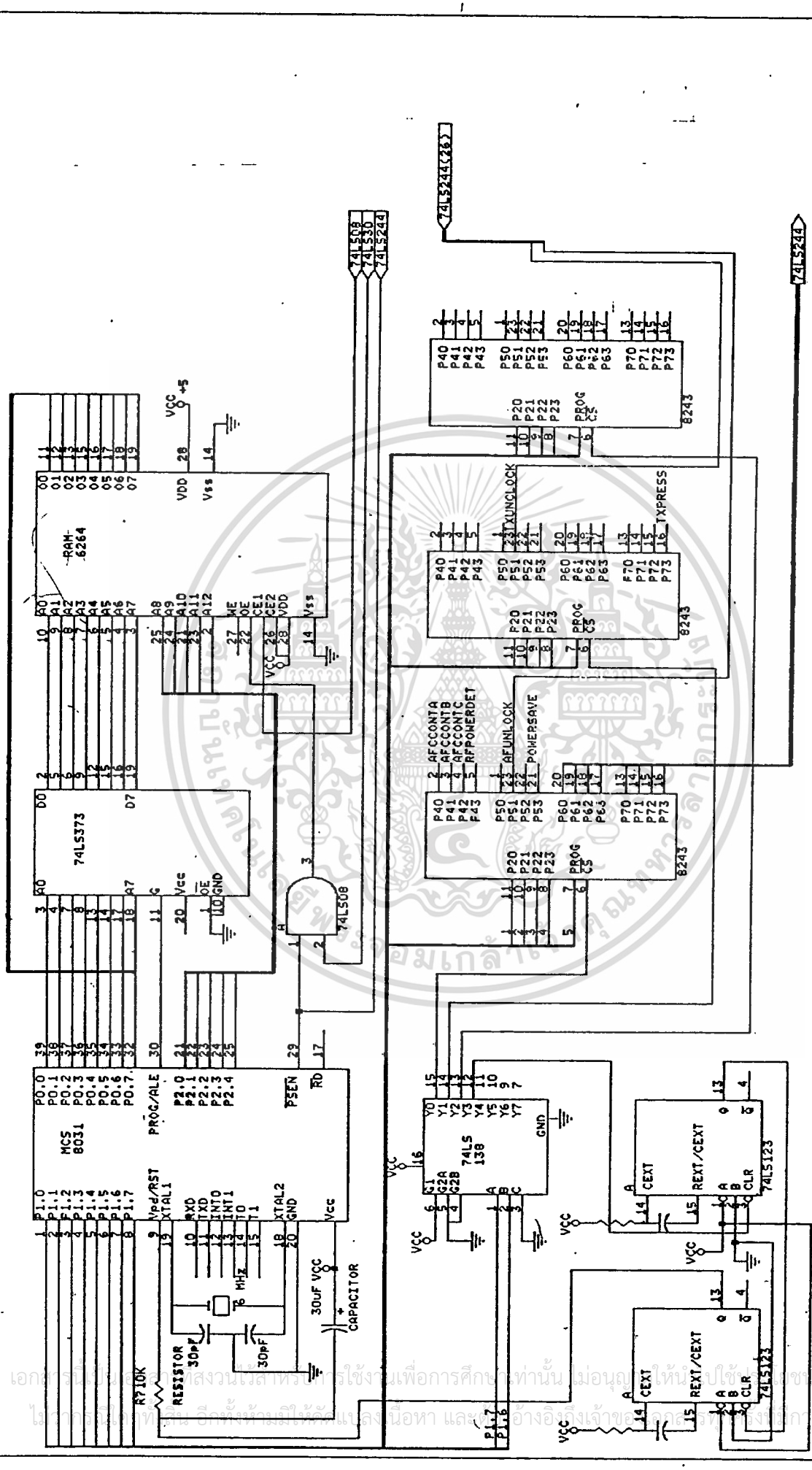
สำหรับพอร์ทอื่นๆของ MCS-8031 ที่กำหนดในการใช้มีดังนี้

- พอร์ต 1.7 , 1.6 , 1.5 เป็นส่วนที่ใช้ส่งข้อมูลที่จะเข้ารหัส เพื่อเลือกพอร์ตว่าเป็นพอร์ตไหน โดยผ่าน 74LLS138 เป็นตัว DECODER
- พอร์ต 1.4 เป็นส่วนที่ใช้ส่งสัญญาณ PROG ไปให้ 8243 เพื่อรับข้อมูลควบคุมที่ช่วงขอบขาลง สัญญาณ PROG
- พอร์ต 1.3 , 1.2 , 1.1 , 1.0 เป็นส่วนที่ใช้ส่งข้อมูลควบคุมไปยัง 8243 โดยเราเซ็ตได้ทางซอร์ฟแวร์
- ส่วนขาของอินเทอร์รัพท์ 0 เป็นส่วนที่ให้ผู้ใช้ทำการกดสวิทช์ของแฮมเซ็ตที่ต่อเข้าไปเพื่อเปิด-ปิด การแสดงผลทางจอคอมพิวเตอร์
- ส่วน 74LS123 จะไป RESET CPU โดยหน่วงเวลา 1 ms

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 12. แสดงการรับรู้ข้อมูลทางจอคอมพิวเตอร์




รูปที่ 13 แสดงการรับส่งในหน่วยประมวลผลกลาง

เอกสารนี้เป็นเอกสารสงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**ส่วนเชื่อมต่อกับ แฮนเซตของเครื่องโทรศัพท์เคลื่อนที่**

ส่วนส่วนเชื่อมต่อกับ แฮนเซตของเครื่องโทรศัพท์เคลื่อนที่ ประกอบด้วย OP-CODE 741 ซึ่งเป็นบัฟเฟอร์ 74HC00 2 ตัวเป็นตัวทำหน้าที่ไดร์ฟ พูลอัพ (PULL UP) ด้วยค่า 10K และส่วนเปิด-ปิดสวิทต์ ของแฮนเซต จะต่อความต้านทาน ดีวายเดอร์ (DIVIDER) จาก 12 V เหลือ 6V แล้วต่อเข้า 74LS08 ซึ่งทำการพูลอัพด้วยความต้านทาน 10K ลักษณะวงจรแสดงดังรูปที่ 14

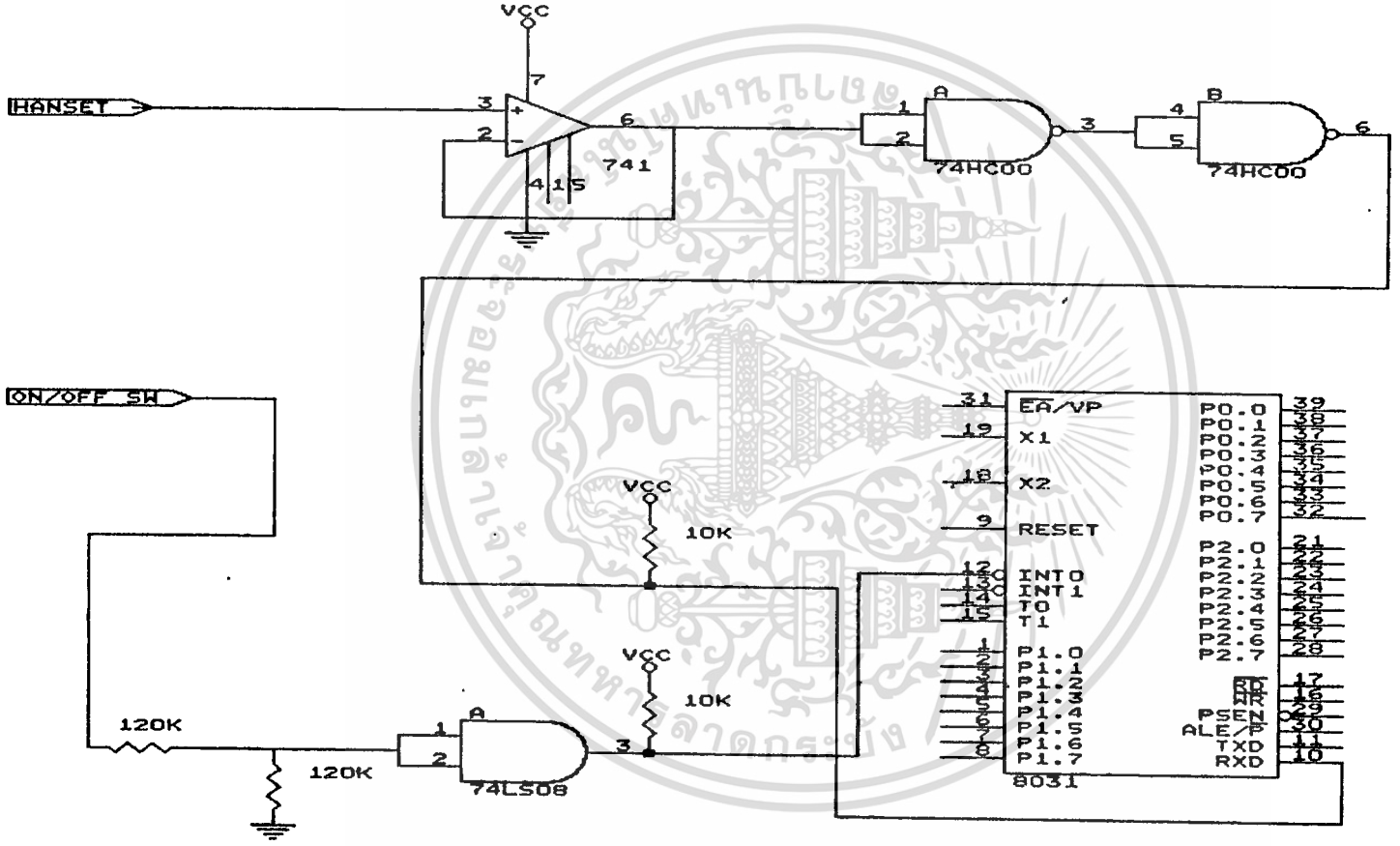
**ส่วนเชื่อมต่อกับ IBM แสดงผลทางจอคอมพิวเตอร์**

ประกอบด้วยส่วนทำการดีโค้ดแอดเดรส โดยใช้แอดเดรส 02FCH จนถึง 02F3H คือใช้สัญญาณเอาท์พุทจากขา Y0 ของ 74LS138 ไปทำการ OR กับสัญญาณ IOR และ IOW เพื่อสร้างเป็นสัญญาณอีนาเบิลวงจรดีโค้ด (74LS139) เมื่อ IBM ต้องการส่งข้อมูลให้วงจรภายนอก สัญญาณ IOW แอคทีฟ เมื่อมีการรับข้อมูลจากวงจรภายนอก สัญญาณ IOR แอคทีฟ โดยมี 74LS245 เป็นบัฟเฟอร์มีสัญญาณจาก Y0 จาก 74LS138 ส่วนสัญญาณ AEN เป็น "1" เมื่ออยู่ในช่วงขบวนการ DIRECT MEMORY ACEES ลักษณะวงจรดังรูป 15

ส่วนของ RAM 2 ทาง

โดยเป็นส่วนที่รับข้อมูลจากคีย์บอร์ดของคอมพิวเตอร์ เก็บเข้าหน่วยความจำ RAM ขนาด 8 Kbyte เบอร์ 6264 ซึ่ง MCS-8031 จะมอง RAM 2 ทาง เป็น EPROM และนำข้อมูลมาทำการประมวลผล วงจรแสดงในรูปที่ 16

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

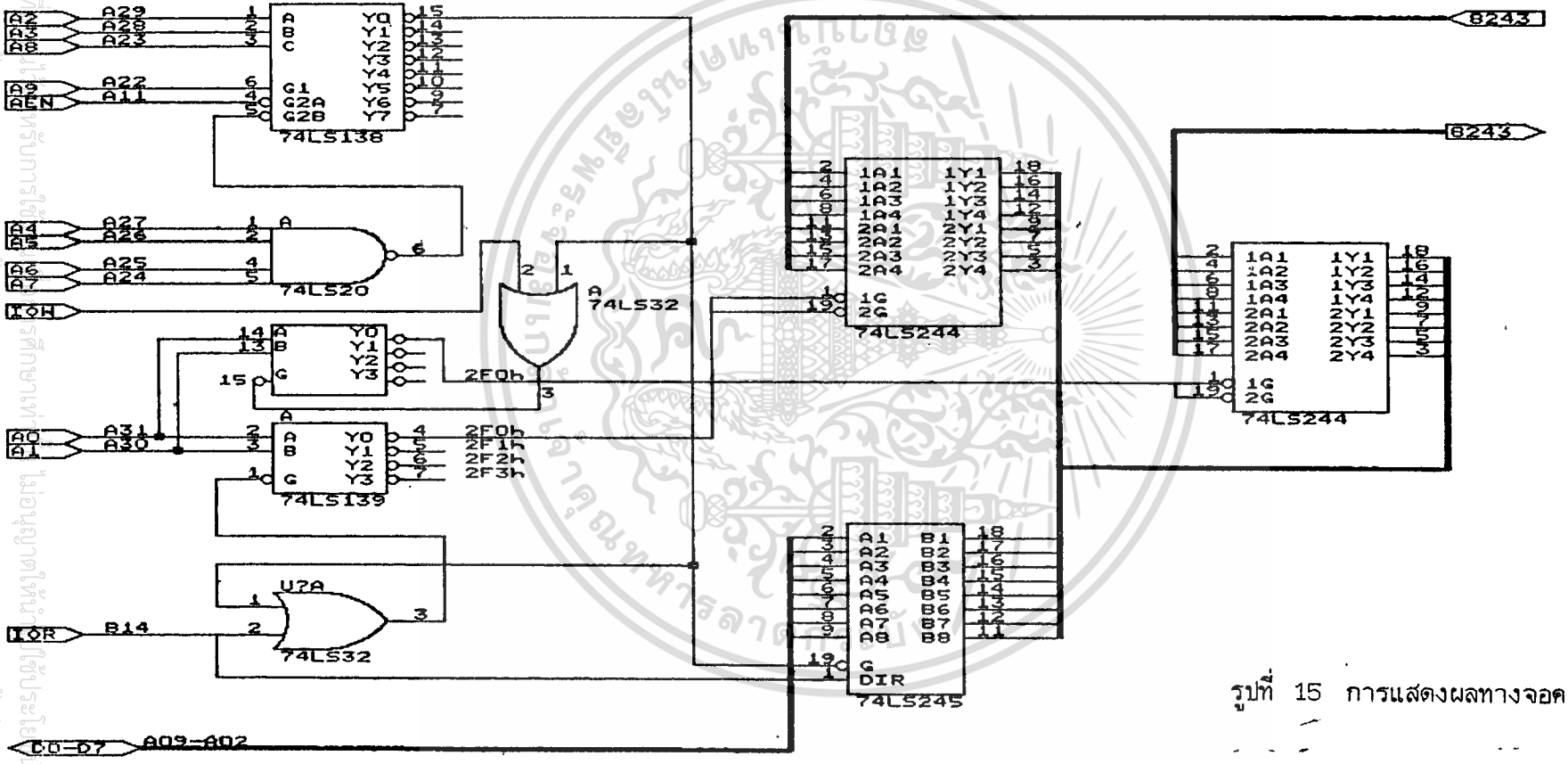



รูปที่ 14 แสดงการเชื่อมต่อกับแฮนเซตของเครื่องโทรศัพท์เคลื่อนที่

HAN_SET INTERFACE

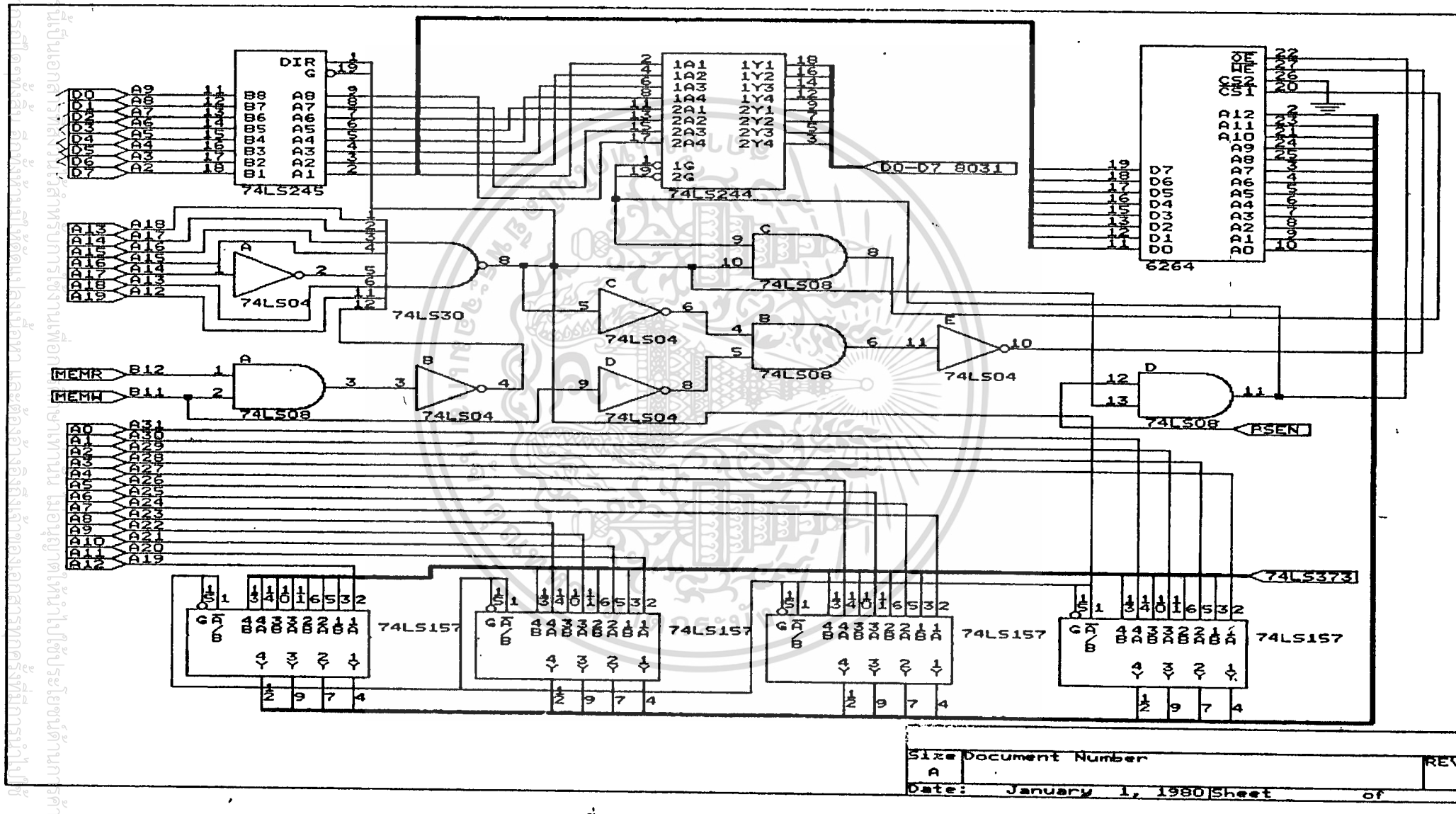
Size A | Document Number | REV

Date: January 1, 1980 | Sheet of




รูปที่ 15 การแสดงผลทางจอคอมพิวเตอร์

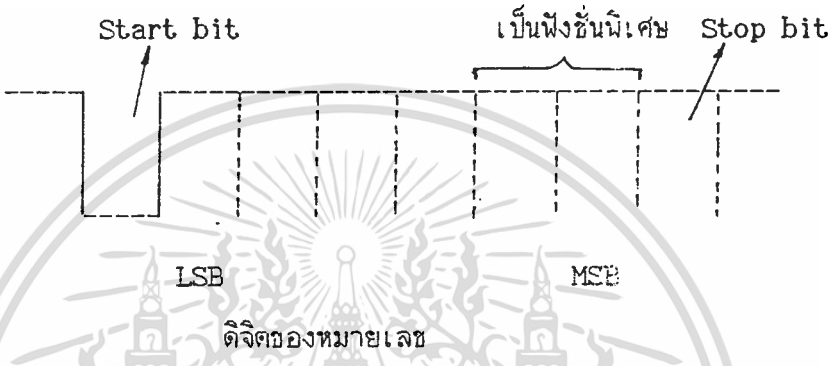
| IBM-INTERFACE | | |
|---|---|---|
| Size A | Document Number | REV |
| Date: January 1, 1980 | Sheet of | |




รูปที่ 16 แสดงวงจร RAM 2 ทาง

## บทที่ 4 การทดลองและผลการทดลอง

ได้ทำการวัดสัญญาณที่ส่งจากแฮนเซตไปยังส่วนควบคุม โดยทำการวัดที่ขา ON/OFF Switch ได้สัญญาณขนาด 12 โวลต์ และที่ขา Data to Transmit Unit ได้สัญญาณแบบอะซิงโครนัส (Asnchronous) 8 บิท ขนาด 3 โวลต์ โดยบิทเริ่มต้น (Start Bit) แทนด้วยลอกจิก 0 และบิทหยุด (Stop Bit) แทนด้วยลอกจิก 1 แสดงได้ดังรูปที่ 17




รูปที่ 17 แสดงสัญญาณที่ส่งมาจากแฮนเซต

4 บิทแรกจะแสดงหมายเลขที่กด เช่น 1010 คือหมายเลข 5

2 บิทต่อมา กรณีที่เป็น 01 จะแสดงฟังชั่นพิเศษ

กรณีที่เป็น 00 จะแสดงตัวเลข

ตารางแสดง 4 บิทแรกเทียบกับหมายเลข

| 4 บิทแรก | หมายเลข | 4 บิทแรก | หมายเลข |
|---|---|---|---|
| 0001 | 1 | 0110 | 6 |
| 0010 | 2 | 0111 | 7 |
| 0011 | 3 | 1000 | 8 |
| 0100 | 4 | 1001 | 9 |
| 0101 | 5 | 1010 | 0 |

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ต่อจากนั้นทำการโหลดไฟล์ข้อมูล project.hex ผ่าน RAM 2 ทาง โดยใช้คำสั่ง debug.com แสดงได้ดังนี้

```
A>DEBUG
-N PROJECT.HEX
-L DE00:00
```

ข้อมูลใน project.hex จะเก็บเข้าไปที่แอสเดส de00:00 ที่ว่างอยู่ โดยข้อมูลจะแสดงได้ดังรูปที่ 18

```
DE00:0000  02 00 07 02 00 86 32 79-00 D2 88 D2 B8 D2 A8 D2   ......2y........
DE00:0010  AF 11 42 C3 92 B1 74 00-44 17 F5 90 C2 94 75 90   ..B...t.D.....u.
DE00:0020  01 43 90 10 74 00 44 17-F5 90 C2 94 75 90 02 43   .C..t.D.....u..C
DE00:0030  90 10 74 00 44 17 F5 90-C2 94 75 90 0B 43 90 10   ..t.D.....u..C..
DE00:0040  01 09 74 00 44 10 F5 90-C2 94 75 90 0F 43 90 50   ..t.D.....u..C.P
DE00:0050  A2 93 D3 40 1C 74 00 44-15 F5 90 C2 94 75 90 08   ...@.t.D.....u..
DE00:0060  43 90 50 74 00 44 34 F5-90 C2 94 C2 93 44 50 01   C.Pt.D4......DP.
DE00:0070  73 11 74 22 75 90 60 7B-01 7A FF 00 00 00 DA FB   s.t"u.`{.z......
```

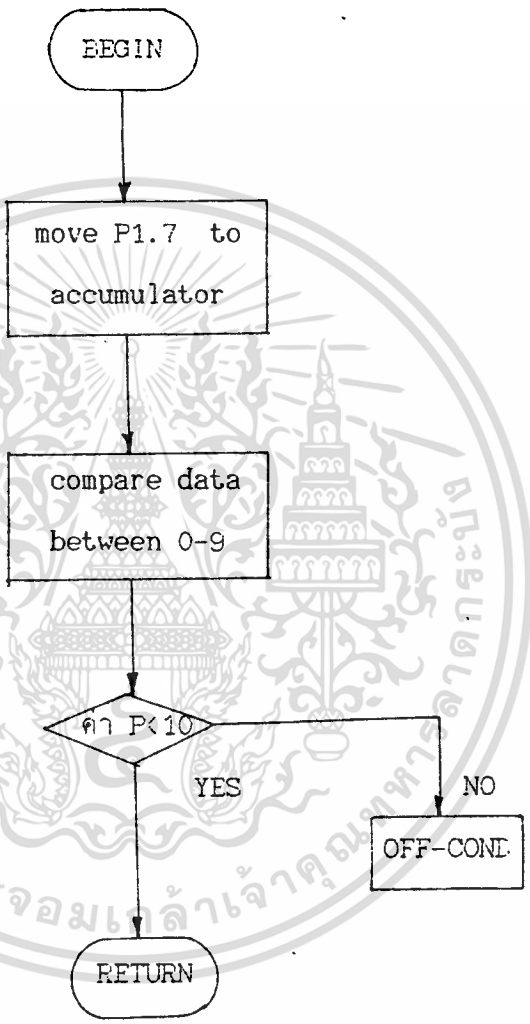
รูปที่ 18 แสดงคำสั่งที่โหลดเข้าไปใน RAM 2 ทาง

ต่อจากนั้นไฟล์ project.com ก็ถูกประมวลผลโดย MCS-8051 ซิงเกิ้ลชิบ ซึ่ง MCS-8051 จะมองแอสเดส de00:00 ของคอมพิวเตอร์เป็นแอสเดส 00H ของตัวมันเอง ในลักษณะการทำงานเช่นนี้ MCS-8051 จะมอง RAM 2 ทางเป็นเสมือน EPROM และลักษณะของคำสั่งจะเป็นภาษา แอสแซมบลี้ (Assembly) ของ 8051 โดยขั้นตอนการทำงานแสดงตามโฟร์ชาร์ท

คำสั่งใน project.hex จะทำการส่งข้อมูลไปออกพอร์ท ให้คอมพิวเตอร์แสดงตัวเลขออกมาที่จอภาพ ซึ่งจะทำงานโดยซอฟท์แวร์ในภาษาแอสแซมบลี้ ซึ่งการทำงานแสดงดังโฟร์ชาร์ท

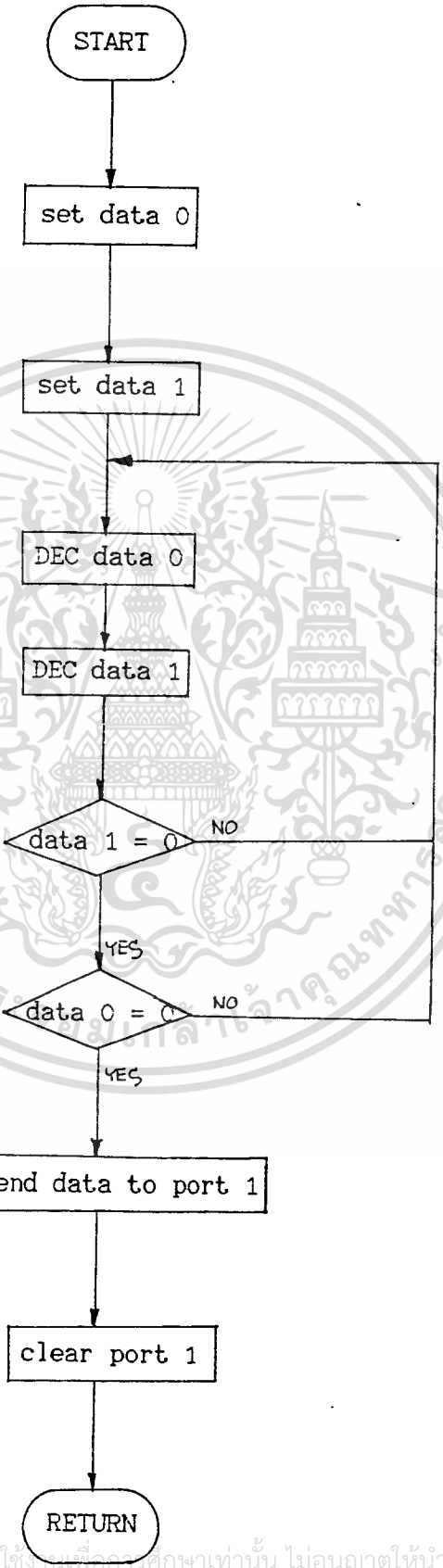
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โฟร์ชาร์ทของโปรแกมในการเช็คข้อมูลที่รับเข้ามา



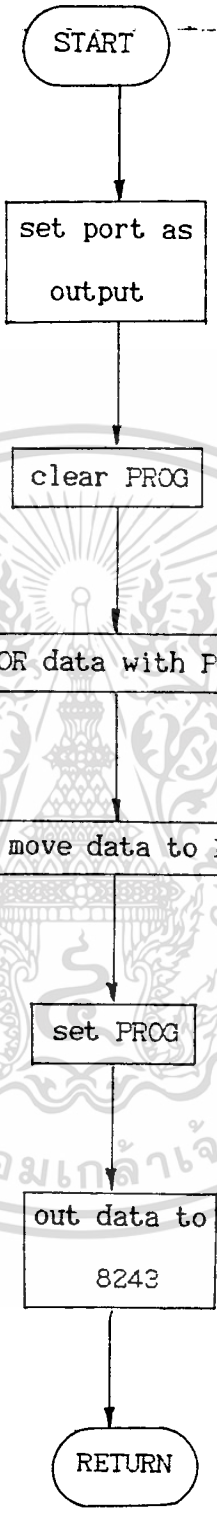

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โฟร์ชาร์ทของโปรแกมในการแสดง OFF-COND (RESET CPU)



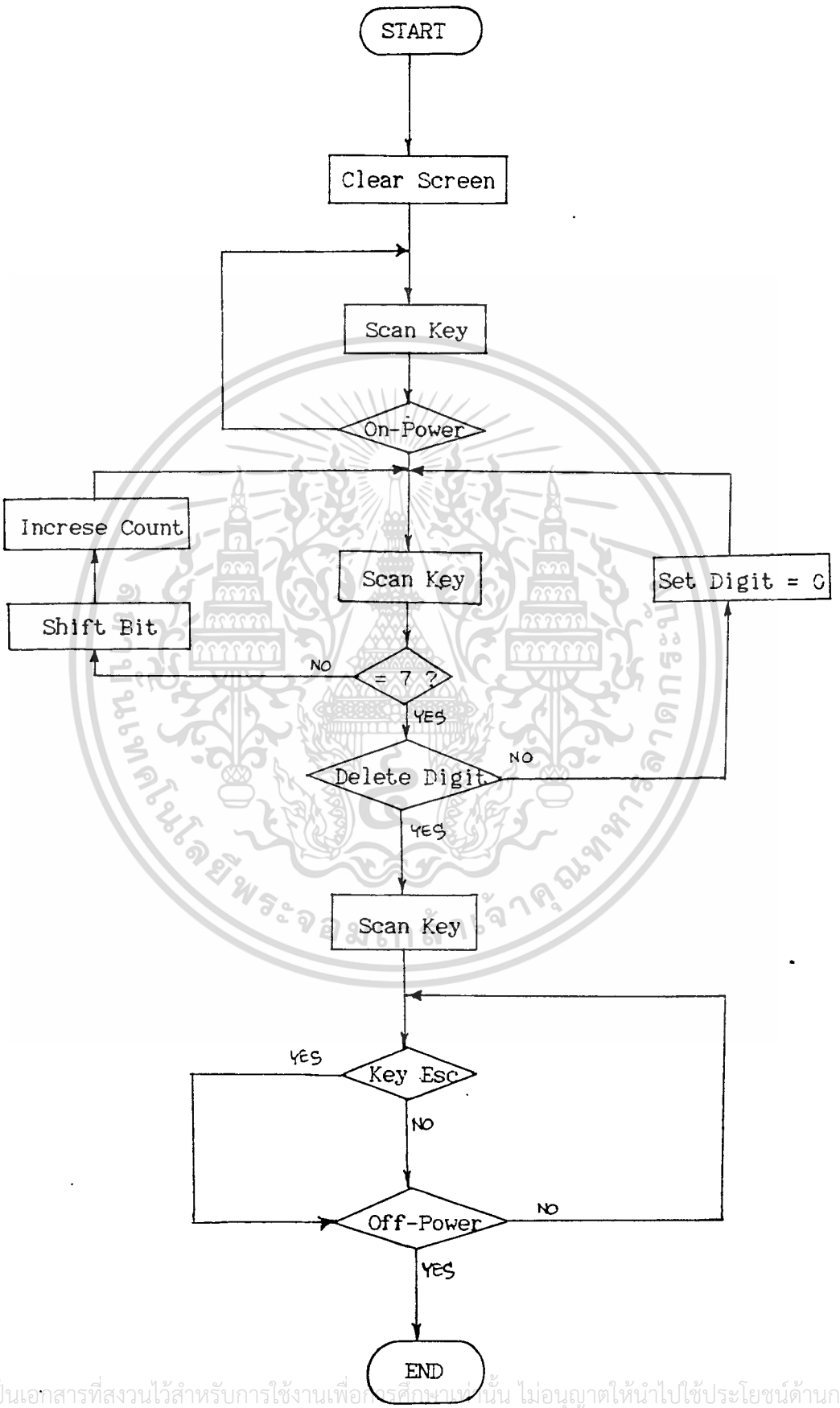

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โฟร์ชาร์ทของโปรแกรมแสดง OUTPUT



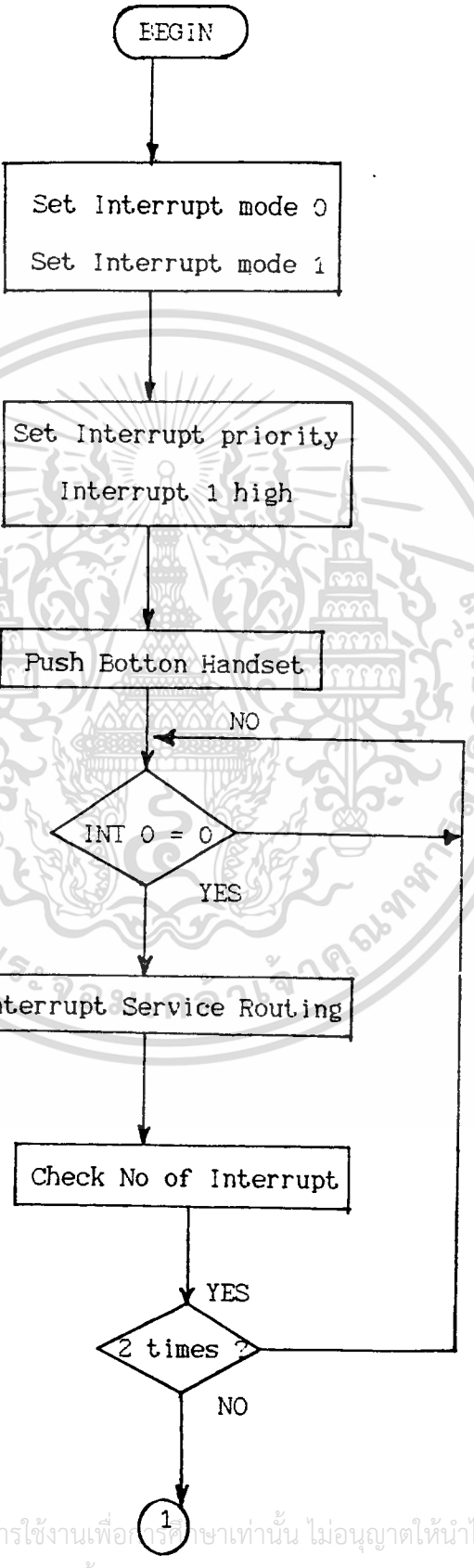

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โฟร์ชาร์ทแสดงการรับข้อมูลจาก 8021 ของ IBM

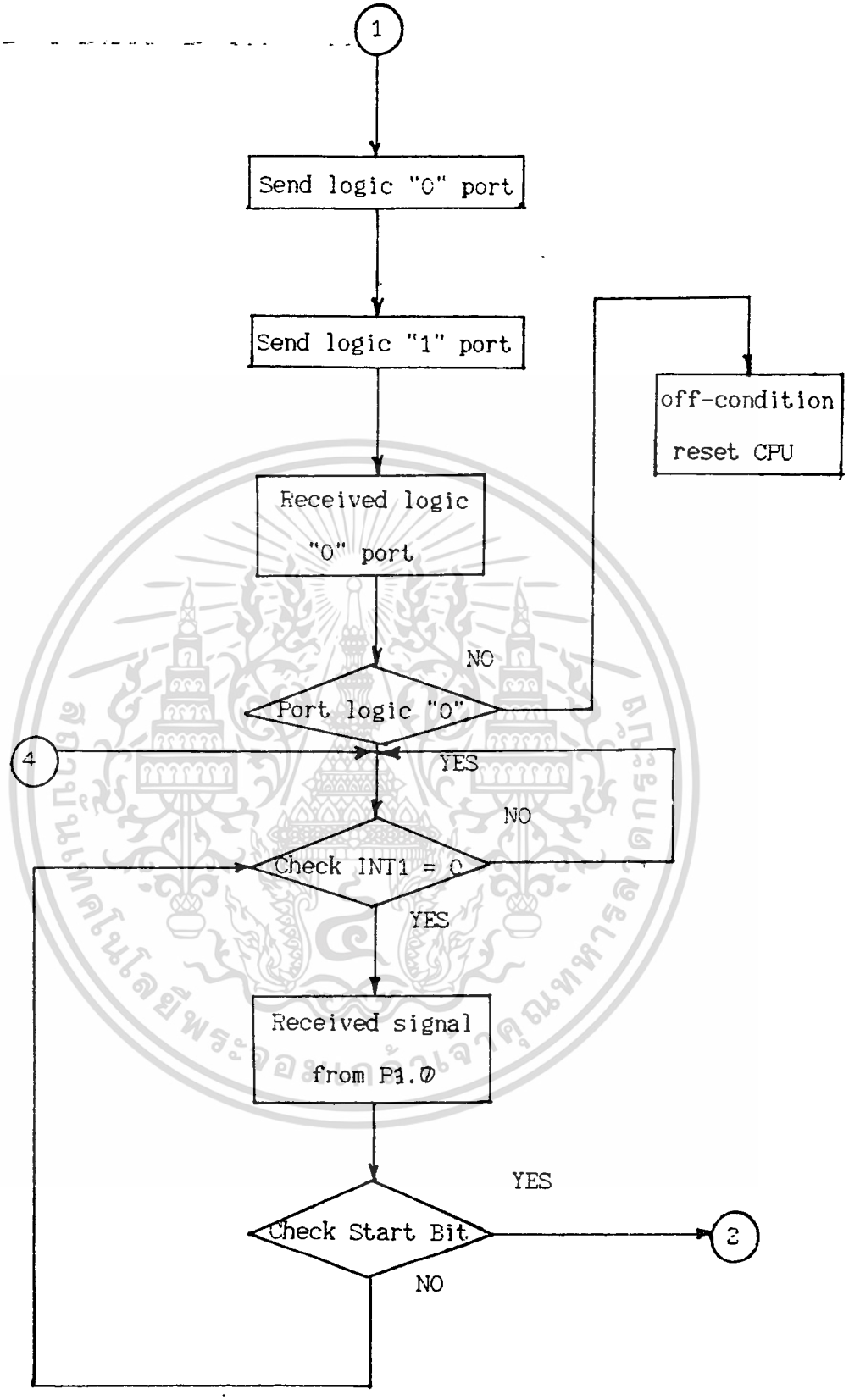



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

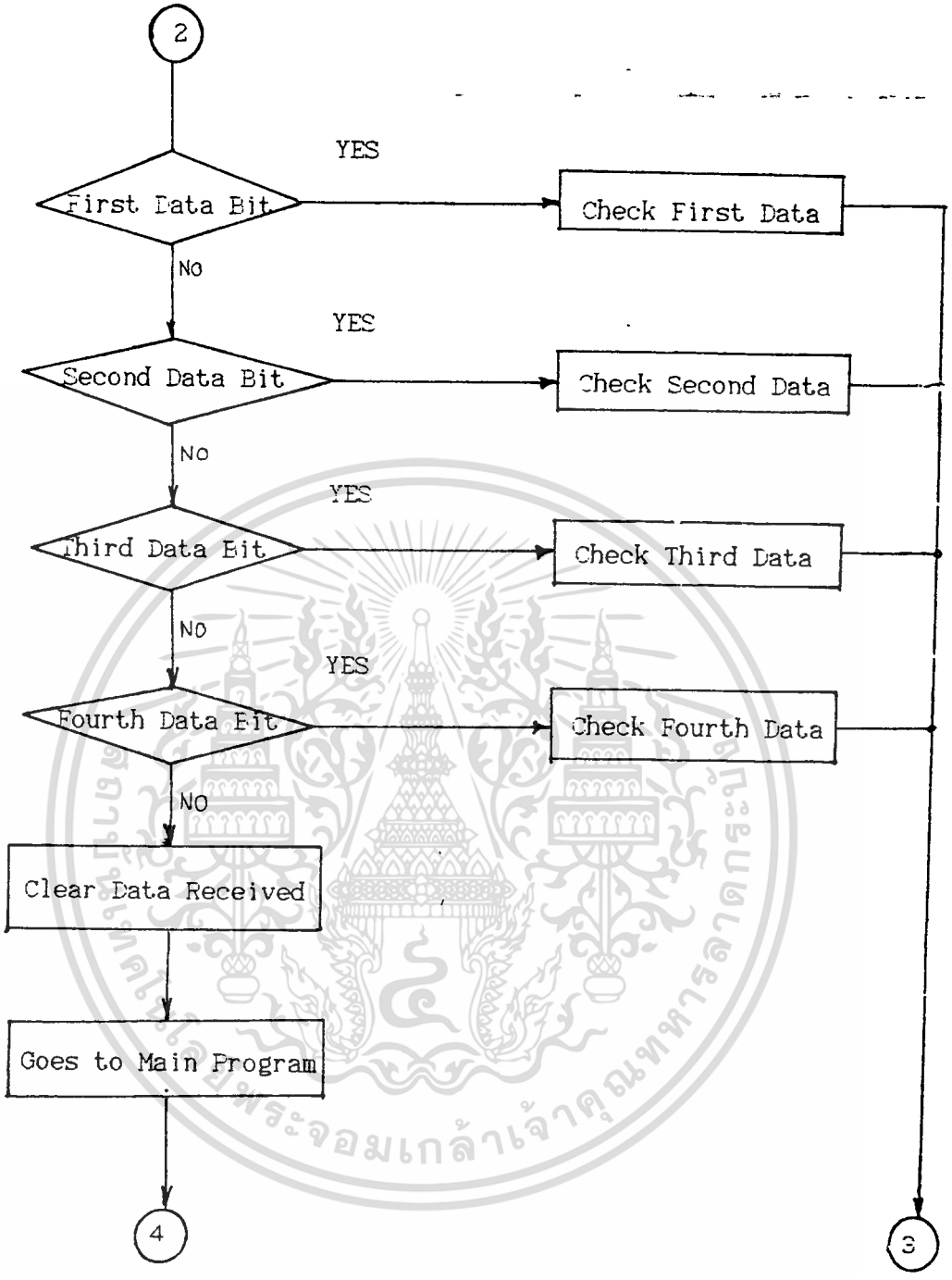
โฟร์ชาร์ทแสดงขั้นตอนการทำงานของ MCS-8031



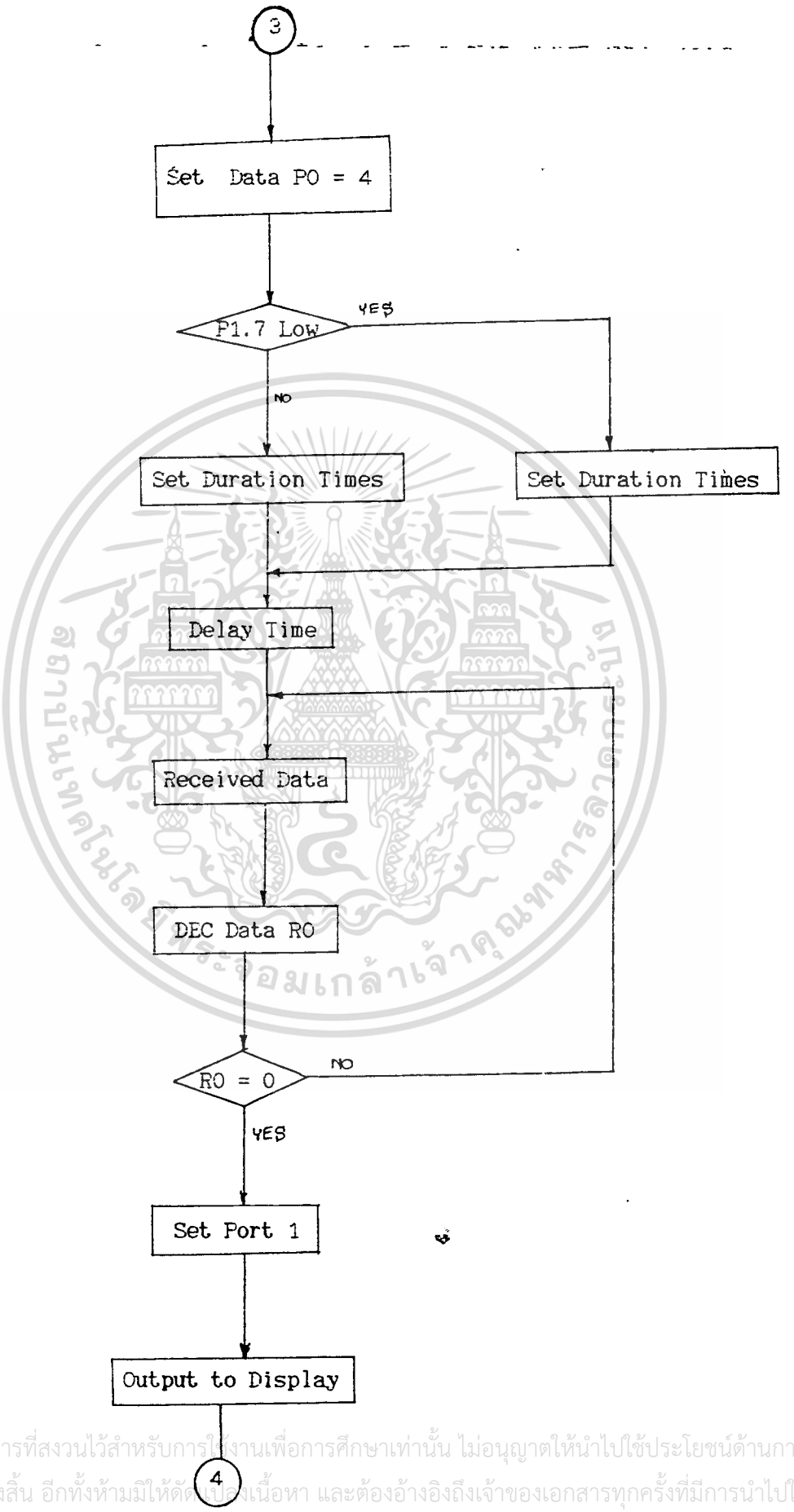

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# บทที่ 5 บทวิจารณ์และสรุป

จากการศึกษาส่วนควบคุมในเครื่องโทรศัพท์เคลื่อนที่ของอีริคสัน พบว่าในส่วนนี้จะใช้ไอซีเบอร์ 6301 ซิงเกิ้ลชิป ซึ่งอุปกรณ์ต่างๆที่ใช้ในการสนับสนุนเพื่อการพัฒนานั้น มีราคาแพง และหาได้ยากในประเทศไทย เราจึงเลือกใช้ไอซีเบอร์ 8031 ในตระกูล MCS-8051 ซิงเกิ้ลชิป ซึ่งนิยมใช้กันแพร่หลาย อุปกรณ์สนับสนุนหาได้ง่ายมีราคาถูก อีกทั้งมีลักษณะโครงสร้างทางสถาปัตยกรรม และการใช้งานคล้ายกับ 6301 ซิงเกิ้ลชิป

ในส่วนของการทดลอง ได้ทำการรับสัญญาณข้อมูลจากแป้นเลข ส่งไปประมวลผลที่ 8031 ซิงเกิ้ลชิป แล้วนำผลที่ได้ไปแสดงบนจอคอมพิวเตอร์ โดยปรากฏให้เห็นเป็นตัวเลขตามที่กดจากแป้นเลข ถึงแม้ว่าการทดลองนี้จะเป็นเพียงบางส่วนของการพัฒนาในส่วนควบคุม แต่ก็สามารถใช้เป็นแนวทางในการนำเอาสัญญาณข้อมูลจากส่วนอื่นๆ ของเครื่องโทรศัพท์เคลื่อนที่ มาผ่านการประมวลผลใน 8031 ซิงเกิ้ลชิปได้เช่นกัน ทำให้การพัฒนาส่วนควบคุมในเครื่องโทรศัพท์เคลื่อนที่สามารถเป็นไปได้

สำหรับการพัฒนาส่วนควบคุมให้ใช้งานได้ผลอย่างเต็มที่นั้น จำเป็นที่จะต้องมีอุปกรณ์ที่ทันสมัยอีกหลายอย่างเพื่อใช้ในการทดลอง เช่น ดิสแอสเซมเบลอร์ (Disassembler) ของ 6301 ซิงเกิ้ลชิป เพื่อทำการศึกษาโปรแกรมในการควบคุม ดิจิตอลสตอเรจสโคป (Digital Storege Scope) เพื่อใช้ในการวัดลักษณะของสัญญาณ และส่วนซิมูเลเตอร์ (Simulator) เพื่อจำลองลักษณะการทำงานของเครื่องโทรศัพท์เคลื่อนที่ เป็นต้น อีกทั้งยังต้องศึกษาระบบสัญญาณที่ใช้งานในระบบโทรศัพท์เคลื่อนที่อย่างละเอียดและลึกซึ้งอีกด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# MCS®-51
# 8-BIT CONTROL-ORIENTED MICROCOMPUTERS

**8031/8051**
**8031AH/8051AH**
**8032AH/8052AH**
**8751H/8751H-12**

- High Performance HMOS Process
- Internal Timers/Event Counters
- 2-Level Interrupt Priority Structure
- 32 I/O Lines (Four 8-Bit Ports)
- 64K Program Memory Space
- Boolean Processor
- Bit-Addressable RAM
- Programmable Full Duplex Serial Channel
- 111 Instructions (64 Single-Cycle)
- 64K Data Memory Space
- Security Feature Protects EPROM Parts Against Software Piracy

The MCS®-51 products are optimized for control applications. Byte-processing and numerical operations on small data structures are facilitated by a variety of fast addressing modes for accessing the internal RAM. The instruction set provides a convenient menu of 8-bit arithmetic instructions, including multiply and divide in structions. Extensive on-chip support is provided for one-bit variables as a separate data type, allowing direct bit manipulation and testing in control and logic systems that require Boolean processing.

| Device | Internal Memory | | Timers/ Event Counters | Interrupts |
|---|---|---|---|---|
| | Program | Data | | |
| 8052AH | 8K × 8 ROM | 256 × 8 RAM | 3 × 16-Bit | 6 |
| 8051AH | 4K × 8 ROM | 128 × 8 RAM | 2 × 16-Bit | 5 |
| 8051 | 4K × 8 ROM | 128 × 8 RAM | 2 × 16-Bit | 5 |
| 8032AH | none | 256 × 8 RAM | 3 × 16-Bit | 6 |
| 8031AH | none | 128 × 8 RAM | 2 × 16-Bit | 5 |
| 8031 | none | 128 × 8 RAM | 2 × 16-Bit | 5 |
| 8751H | 4K × 8 EPROM | 128 × 8 RAM | 2 × 16-Bit | 5 |
| 8751H-12 | 4K × 8 EPROM | 128 × 8 RAM | 2 × 16-Bit | 5 |

The 8751H is an EPROM version of the 8051AH; that is, the on-chip Program Memory can be electrically programmed, and can be erased by exposure to ultraviolet light. It is fully compatible with its predecessor, the 8751-8, but incorporates two new features: a Program Memory Security bit that can be used to protect the EPROM against unauthorized read-out, and a programmable baud rate modification bit (SMOD). SMOD is not present in the 8751H-12.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

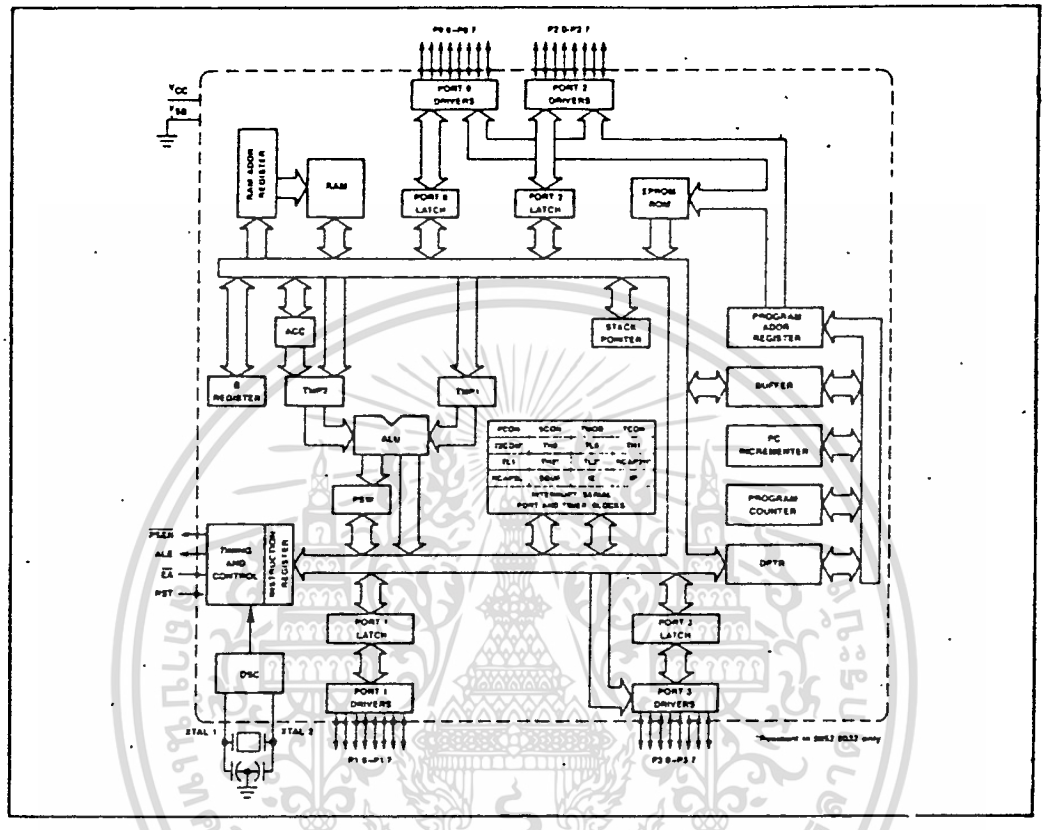


Figure 1. MCS®-51 Block Diagram

## PIN DESCRIPTIONS

### VCC

Supply voltage.

### VSS

Circuit ground.

### Port 0

Port 0 is an 8-bit open drain bidirectional I/O port. As an output port each pin can sink 8 LS TTL inputs. Port 0 pins that have 1s written to them float, and in that state can be used as high-impedance inputs.

Port 0 is also the multiplexed low-order address and data bus during accesses to external Program and Data Memory. In this application it uses strong internal pullups when emitting 1s, and can source and sink 8 LS TTL inputs.

Port 0 also receives the code bytes during programming of the EPROM parts, and outputs the code bytes during program verification of the ROM and EPROM parts. External pullups are required during program verification.

### Port 1

Port 1 is an 8-bit bidirectional I/O port with internal pullups. The Port 1 output buffers can sink/source 4 LS TTL inputs. Port 1 pins that have 1s written to them are pulled high by the internal pullups, and in that state can be used as inputs. As inputs, Port 1 pins that are externally being pulled low will source current (IIL, on the data sheet) because of the internal pullups.

Port 1 also receives the low-order address bytes during programming of the EPROM parts and during program verification of the ROM and EPROM parts.



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

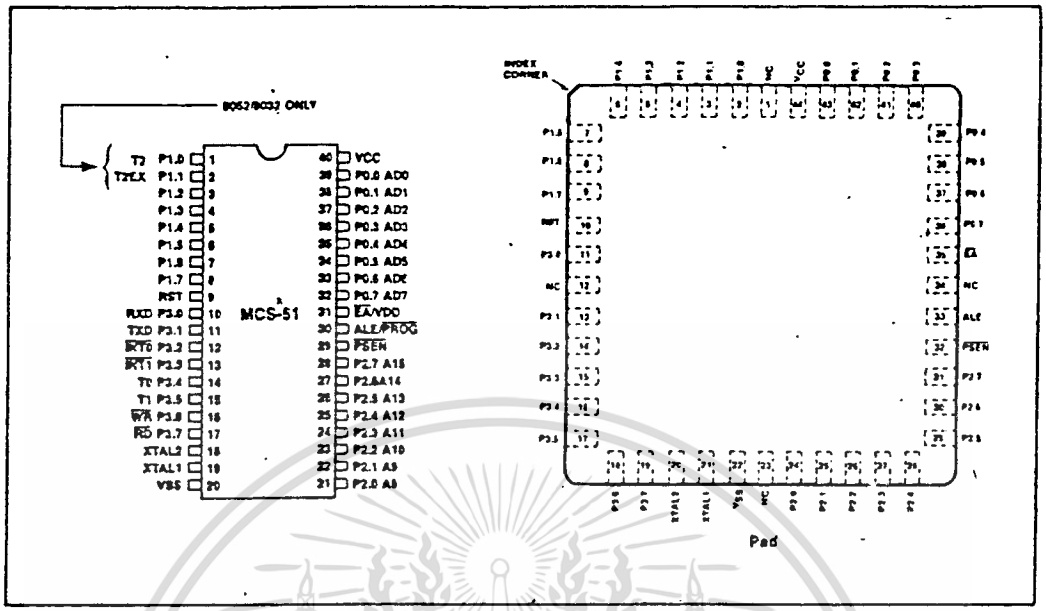



Figure 2. MCS®-51 Pin Connections

In the 8032AH and 8052AH, Port 1 pins P1.0 and P1.1 also serve the T2 and T2EX functions, respectively.

## Port 2

Port 2 is an 8-bit bidirectional I/O port with internal pullups. The Port 2 output buffers can sink/source 4 LS TTL inputs. Port 2 pins that have 1s written to them are pulled high by the internal pullups, and in that state can be used as inputs. As inputs, Port 2 pins that are externally being pulled low will source current (IIL, on the data sheet) because of the internal pullups.

Port 2 emits the high-order address byte during fetches from external Program Memory and during accesses to external Data Memory that use 16-bit addresses (MOVX @DPTR). In this application it uses strong internal pullups when emitting 1s. During accesses to external Data Memory that use 8-bit addresses (MOVX @Ri), Port 2 emits the contents of the P2 Special Function Register.

Port 2 also receives the high-order address bits during programming of the EPROM parts and during program verification of the ROM and EPROM parts.

## Port 3

Port 3 is an 8-bit bidirectional I/O port with internal pullups. The Port 3 output buffers can sink/source 4 LS TTL inputs. Port 3 pins that have 1s written to them are pulled high by the internal pullups, and in that state can be used as inputs. As inputs, Port 3 pins that are externally being pulled low will source current (IIL, on the data sheet) because of the pullups.

Port 3 also serves the functions of various special features of the MCS-51 Family, as listed below:

| Port Pin | Alternative Function |
|---|---|
| P3.0 | RXD (serial input port) |
| P3.1 | TXD (serial output port) |
| P3.2 | $\overline{INT0}$ (external interrupt 0) |
| P3.3 | $\overline{INT1}$ (external interrupt 1) |
| P3.4 | T0 (Timer 0 external input) |
| P3.5 | T1 (Timer 1 external input) |
| P3.6 | $\overline{WR}$ (external data memory write strobe) |
| P3.7 | $\overline{RD}$ (external data memory read strobe) |



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

### RST

Reset input. A high on this pin for two machine cycles while the oscillator is running resets the device.

### ALE/$\overline{PROG}$

Address Latch Enable output pulse for latching the low byte of the address during accesses to external memory. ALE can drive 8 LS TTL inputs. This pin is also the program pulse input ($\overline{PROG}$) during programming of the EPROM parts.

In normal operation ALE is emitted at a constant rate of 1/6 the oscillator frequency, and may be used for external timing or clocking purposes. Note, however, that one ALE pulse is skipped during each access to external Data Memory.

### $\overline{PSEN}$

Program Store Enable is the read strobe to external Program Memory. $\overline{PSEN}$ can drive 8 LS TTL inputs.

When the device is executing code from external Program Memory, $\overline{PSEN}$ is activated twice each machine cycle, except that two $\overline{PSEN}$ activations are skipped during each access to external Data Memory.

### $\overline{EA}$/VPP

External Access enable $\overline{EA}$ must be externally held low in order to enable any MCS-51 device to fetch code from external Program Memory locations 0 to 0FFFH (0 to 1FFFH, in the 8032AH and 8052AH). Note, however, that if the Security Bit in the EPROM devices is programmed, the device will not fetch code from any location in external Program Memory.

This pin also receives the 21V programming supply voltage (VPP) during programming of the EPROM parts.

### XTAL1

Input to the inverting oscillator amplifier.

### XTAL2

Output from the inverting oscillator amplifier.

## OSCILLATOR CHARACTERISTICS

XTAL1 and XTAL2 are the input and output, respectively, of an inverting amplifier which can be configured for use as an on-chip oscillator, as shown in Figure 3. Either a quartz crystal or ceramic resonator may be used. More detailed information concerning the use of the on-chip oscillator is available in Application Note AP-155, "Oscillators for Microcontrollers."

To drive the device from an external clock source, XTAL1 should be grounded, while XTAL2 is driven, as shown in Figure 4. There are no requirements on the duty cycle of the external clock signal, since the input to the internal clocking circuitry is through a divide-by-two flip-flop, but minimum and maximum high and low times specified on the Data Sheet must be observed.

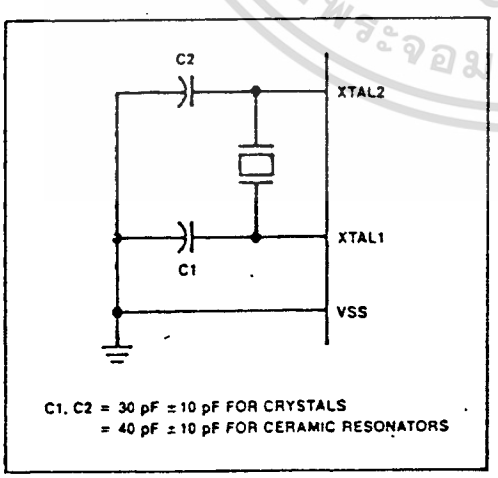



Figure 3. Oscillator Connections

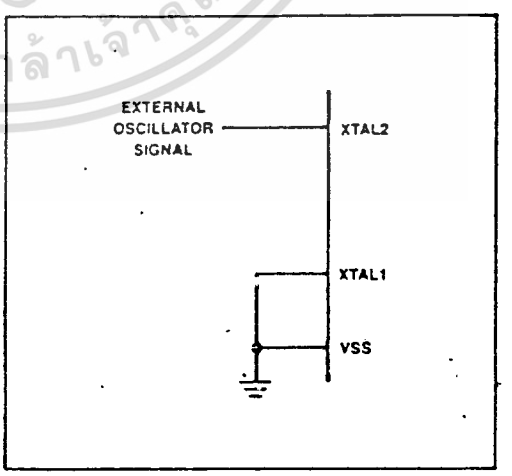



Figure 4. External Drive Configuration



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## ABSOLUTE MAXIMUM RATINGS*

Ambient Temperature Under Bias . . . 0 °C to 70 °C
Storage Temperature . . . . . −65 °C to +150 °C
Voltage on $\overline{EA}$/VPP Pin to VSS . −0.5V to +21.5V
Voltage on Any Other Pin to VSS . −0.5V to +7V
Power Dissipation . . . . . 1.5W

*NOTICE: Stresses above those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress rating only and functional operation of the device at these or any other conditions above those indicated in the operational sections of this specification is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.*

## D.C. CHARACTERISTICS: ($T_A$ = 0 °C to 70 °C; VCC = 5V ±10%; VSS = 0V)

| Symbol | Parameter | Min | Max | Unit | Test Conditions |
|---|---|---|---|---|---|
| VIL | Input Low Voltage (Except $\overline{EA}$ Pin of 8751H, 8751H-12) | −0.5 | 0.8 | V | |
| VIL1 | Input Low Voltage to $\overline{EA}$ Pin of 8751H, 8751H-12 | 0 | 0.7 | V | |
| VIH | Input High Voltage (Except XTAL2, RST) | 2.0 | VCC + 0.5 | V | |
| VIH1 | Input High Voltage to XTAL2, RST | 2.5 | VCC + 0.5 | V | XTAL1 = VSS |
| VOL | Output Low Voltage (Ports 1, 2, 3)* | | 0.45 | V | IOL = 1.6 mA |
| VOL1 | Output Low Voltage (Port 0, ALE, $\overline{PSEN}$)* | | | | |
| | 8751H, 8751H-12 | | 0.60<br>0.45 | V<br>V | IOL = 3.2 mA<br>IOL = 2.4 mA |
| | All Others | | 0.45 | V | IOL = 3.2 mA |
| VOH | Output High Voltage (Ports 1, 2, 3) | 2.4 | | V | IOH = −60 μA |
| VOH1 | Output High Voltage (Port 0 in External Bus Mode, ALE, $\overline{PSEN}$) | 2.4 | | V | IOH = −400 μA |
| IIL | Logical 0 Input Current (Ports 1, 2, 3)<br>8032AH, 8052AH<br>All Others | | <br>−800<br>−500 | <br>μA<br>μA | <br>Vin = 0.45 V<br>Vin = 0.45 V |
| IIL1 | Logical 0 Input Current to $\overline{EA}$ Pin of 8751H, 8751H-12 Only | | −15 | mA | |
| IIL2 | Logical 0 Input Current (XTAL2) | | −3.2 | mA | Vin = 0.45 V |
| ILI | Input Leakage Current (Port 0)<br>8751H, 8751H-12<br>All Others | | <br>±100<br>±10 | <br>μA<br>μA | <br>0.45 < Vin < VCC<br>0.45 < Vin < VCC |
| IIH | Logical 1 Input Current to $\overline{EA}$ Pin of 8751H, 8751H-12 | | 500 | μA | |
| IIH1 | Input Current to RST to Activate Reset | | 500 | μA | Vin < (VCC − 1.5V) |
| ICC | Power Supply Current: 8031/8051<br>8031AH/8051AH<br>8032AH/8052AH<br>8751H/8751H-12 | | 160<br>125<br>175<br>250 | mA<br>mA<br>mA<br>mA | All Outputs Disconnected; $\overline{EA}$ = VCC |
| CIO | Pin Capacitance | | 10 | pF | test freq = 1MHz |

*Note: Capacitive loading on Ports 0 and 2 may cause spurious noise pulses to be superimposed on the VOLs of ALE and Ports 1 and 3. The noise is due to external bus capacitance discharging into the Port 0 and Port 2 pins when these pins make 1-to-0 transitions during bus operations. In the worst cases (capacitive loading > 100 pF), the noise pulse on the ALE line may exceed 0.8V. In such cases it may be desirable to qualify ALE with a Schmitt Trigger, or use an address latch with a Schmitt Trigger STROBE input.



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

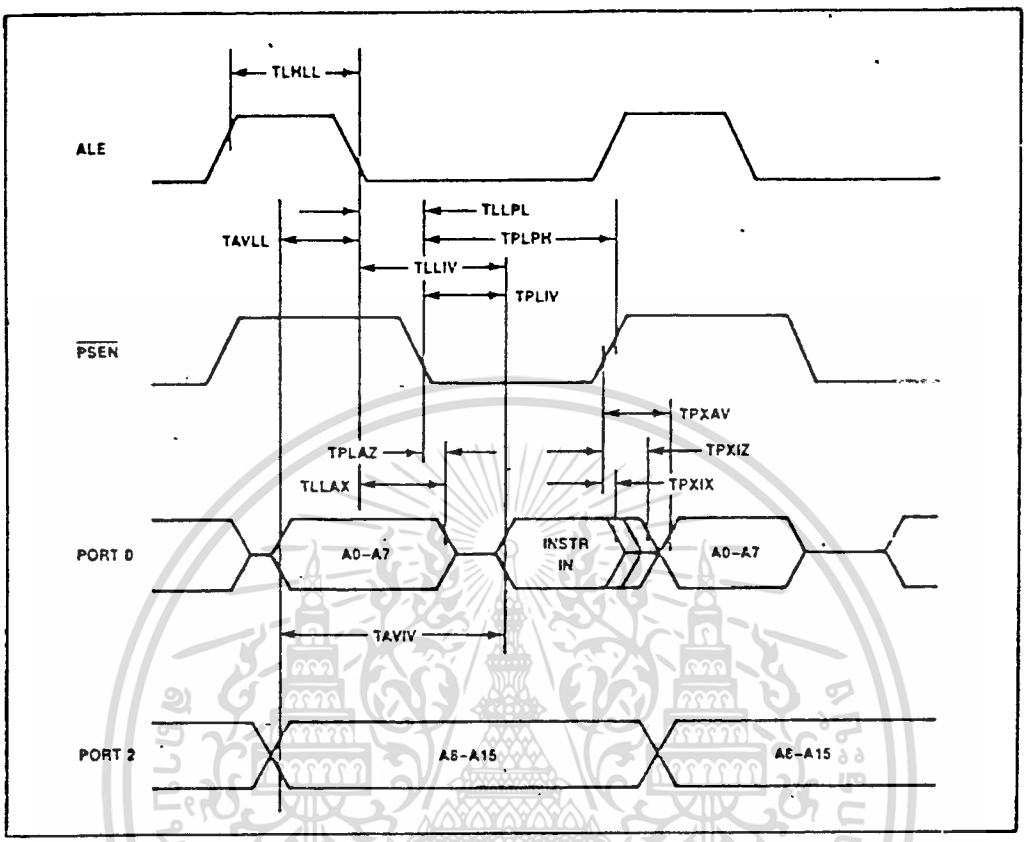
**A.C. CHARACTERISTICS:** ($T_A$ = 0 °C to +70 °C, VCC = 5V ±10%, VSS = 0V,
Load Capacitance for Port 0, ALE, and PSEN = 100 pF,
Load Capacitance for All Other Outputs = 80 pF)

| Symbol | Parameter | 12MHz Osc | | Variable Oscillator | | Units |
|---|---|---|---|---|---|---|
| | | Min | Max | Min | Max | |
| 1/TCLCL | Oscillator Frequency | | | 3.5 | 12. | MHz |
| TLHLL | ALE Pulse Width | 127 | | 2TCLCL-40 | | ns |
| TAVLL | Address Valid to ALE Low | 43 | | TCLCL-40 | | ns |
| TLLAX | Address Hold After ALE Low | 48 | | TCLCL-35 | | ns |
| TLLIV | ALE Low to Valid Instr In<br>8751H, 8751H-12<br>All Others | | <br>183<br>233 | | <br>4TCLCL-150<br>4TCLCL-100 | ns |
| TLLPL | ALE Low to $\overline{PSEN}$ Low | 58 | | TCLCL-25 | | ns |
| TPLPH | $\overline{PSEN}$ Pulse Width<br>8751H, 8751H-12<br>All Others | <br>190<br>215 | | <br>3TCLCL-60<br>3TCLCL-35 | | <br>ns<br>ns |
| TPLIV | $\overline{PSEN}$ Low to Valid Instr In<br>8751H, 8751H-12<br>All Others | | <br>100<br>125 | | <br>3TCLCL-150<br>3TCLCL-125 | <br>ns<br>ns |
| TPXIX | Input Instr Hold After $\overline{PSEN}$ | 0 | | 0 | | ns |
| TPXIZ | Input Instr Float After $\overline{PSEN}$ | | 63 | | TCLCL-20 | ns |
| TPXAV | $\overline{PSEN}$ to Address Valid | 75 | | TCLCL-8 | | ns |
| TAVIV | Address to Valid Instr In<br>8751H, 8751H-12<br>All Others | | <br>267<br>302 | | <br>5TCLCL-150<br>5TCLCL-115 | <br>ns<br>ns |
| TPLAZ | $\overline{PSEN}$ Low to Address Float | | TBD | | TBD | ns |
| TRLRH | $\overline{RD}$ Pulse Width | 400 | | 6TCLCL-100 | | ns |
| TWLWH | $\overline{WR}$ Pulse Width | 400 | | 6TCLCL-100 | | ns |
| TRLDV | $\overline{RD}$ Low to Valid Data In | | 252 | | 5TCLCL-165 | ns |
| TRHDX | Data Hold After $\overline{RD}$ | 0 | | 0 | | ns |
| TRHDZ | Data Float After $\overline{RD}$ | | 97 | | 2TCLCL-70 | ns |
| TLLDV | ALE Low to Valid Data In | | 517 | | 8TCLCL-150 | ns |
| TAVDV | Address to Valid Data In | | 585 | | 9TCLCL-165 | ns |
| TLLWL | ALE Low to $\overline{RD}$ or $\overline{WR}$ Low | 200 | 300 | 3TCLCL-50 | 3TCLCL+50 | ns |
| TAVWL | Address to $\overline{RD}$ or $\overline{WR}$ Low | 203 | | 4TCLCL-130 | | ns |
| TQVWX | Data Valid to $\overline{WR}$ Transition<br>8751H, 8751H-12<br>All Others | <br>13<br>23 | | <br>TCLCL-70<br>TCLCL-60 | | <br>ns<br>ns |
| TQVWH | Data Valid to $\overline{WR}$ High | 433 | | 7TCLCL-150 | | ns |
| TWHQX | Data Held After $\overline{WR}$ | 33 | | TCLCL-50 | | ns |
| TRLAZ | $\overline{RD}$ Low to Address Float | | TBD | | TBD | ns |
| TWHLH | $\overline{RD}$ or $\overline{WR}$ High to ALE High<br>8751H, 8751H-12<br>All Others | <br>33<br>43 | <br>133<br>123 | <br>TCLCL-50<br>TCLCL-40 | <br>TCLCL+50<br>TCLCL+40 | <br>ns<br>ns |



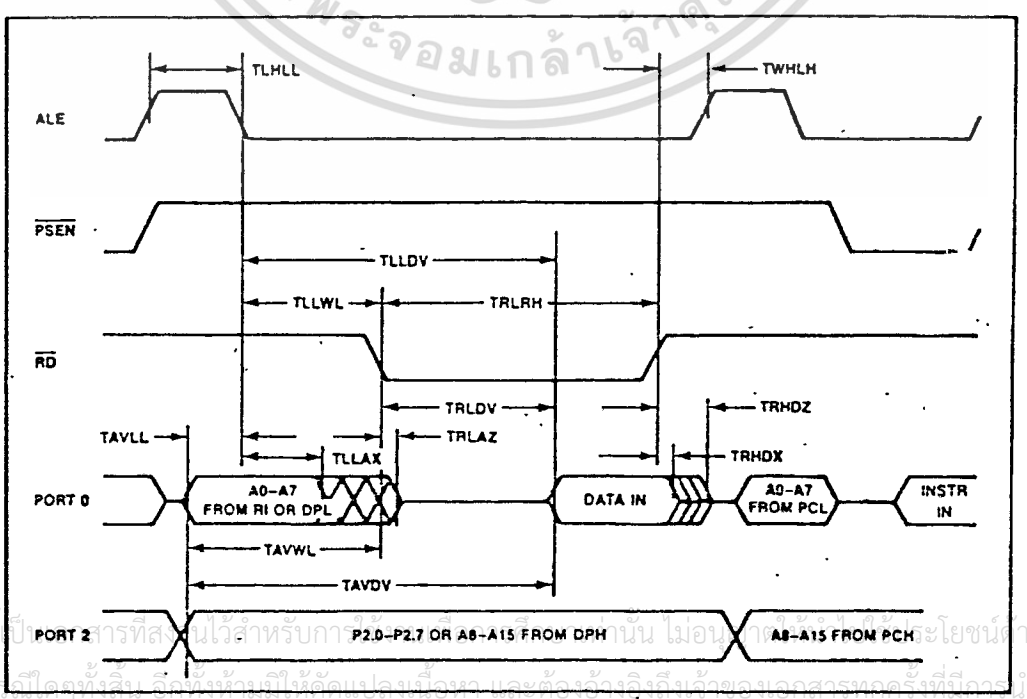
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## EXTERNAL PROGRAM MEMORY READ CYCLE






## EXTERNAL DATA MEMORY READ CYCLE



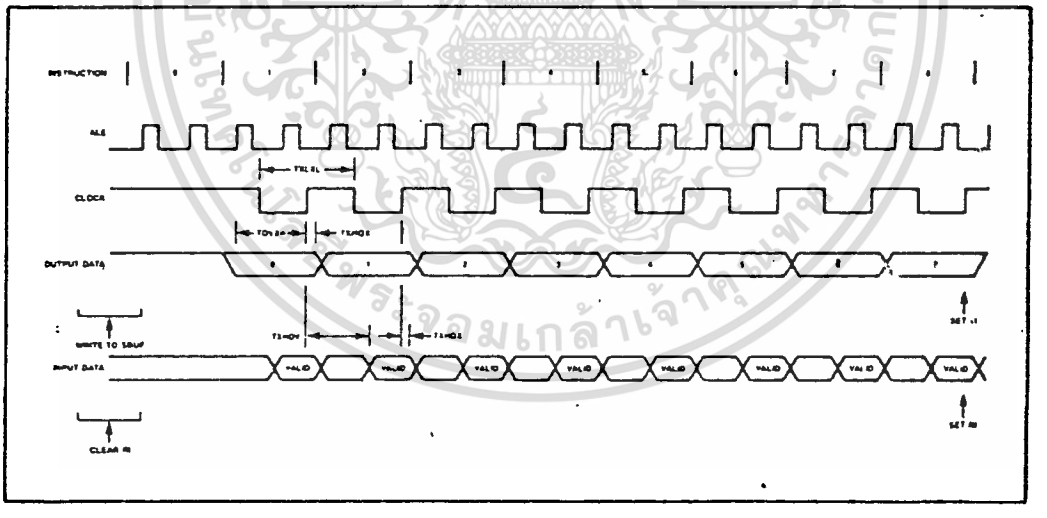

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## SERIAL PORT TIMING — SHIFT REGISTER MODE

Test Conditions: $T_A$ = 0 °C to 70 °C; VCC = 5V ±10%; VSS = 0V; Load Capacitance = 80 pF

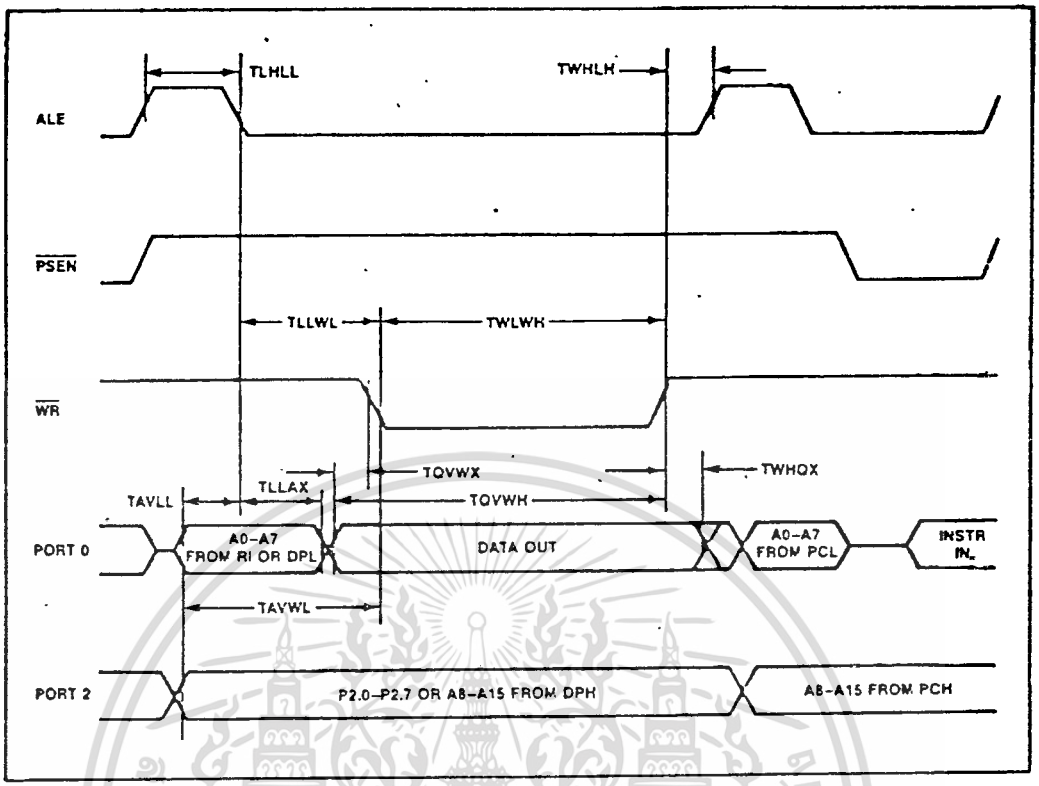
| Symbol | Parameter | 12MHz Osc | | Variable Oscillator | | Units |
|---|---|---|---|---|---|---|
| | | Min | Max | Min | Max | |
| TXLXL | Serial Port Clock Cycle Time | 1.0 | | 12TCLCL | | μs |
| TQVXH | Output Data Setup to Clock Rising Edge | 700 | | 10TCLCL-133 | | ns |
| TXHQX | Output Data Hold After Clock Rising Edge | 50 | | 2TCLCL-117 | | ns |
| TXHDX | Input Data Hold After Clock Rising Edge | 0 | | 0 | | ns |
| TXHDV | Clock Rising Edge to Input Data Valid | | 700 | | 10TCLCL-133 | ns |

## SHIFT REGISTER TIMING WAVEFORMS




เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

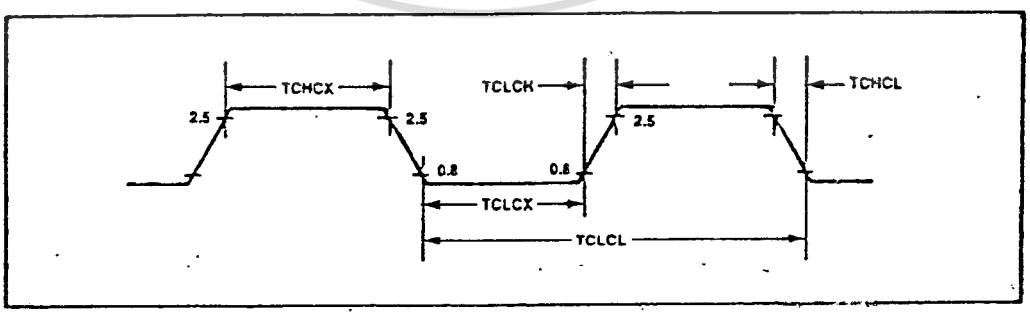
## EXTERNAL DATA MEMORY WRITE CYCLE



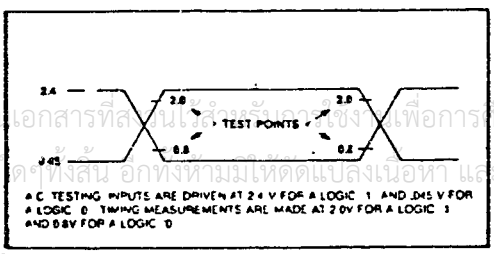

## EXTERNAL CLOCK DRIVE

| Symbol | Parameter | Min | Max | Units |
|---|---|---|---|---|
| 1/TCLCL | Oscillator Frequency | 3.5 | 12 | MHz |
| TCHCX | High Time | 20 | | ns |
| TCLCX | Low Time | 20 | | ns |
| TCLCH | Rise Time | | 20 | ns |
| TCHCL | Fall Time | | 20 | ns |

## EXTERNAL CLOCK DRIVE WAVEFORMS




## A.C. TESTING INPUT, OUTPUT WAVEFORM




เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## EPROM CHARACTERISTICS:

Table 3. EPROM Programming Modes

| Mode | RST | $\overline{PSEN}$ | ALE | $\overline{EA}$ | P2.7 | P2.6 | P2.5 | P2.4 |
|---|---|---|---|---|---|---|---|---|
| Program | 1 | 0 | 0* | VPP | 1 | 0 | X | X |
| Inhibit | 1 | 0 | 1 | X | 1 | 0 | X | X |
| Verify | 1 | 0 | 1 | 1 | 0 | 0 | X | X |
| Security Set | 1 | 0 | 0* | VPP | 1 | 1 | X | X |

Note: "1" = logic high for that pin
"0" = logic low for that pin
"X" = "don't care"
"VPP" = +21V ±0.5V

*ALE is pulsed low for 50 msec.

### Programming the EPROM

To be programmed, the part must be running with a 4 to 6 MHz oscillator. (The reason the oscillator needs to be running is that the internal bus is being used to transfer address and program data to appropriate internal registers.) The address of an EPROM location to be programmed is applied to Port 1 and pins P2.0–P2.3 of Port 2, while the code byte to be programmed into that location is applied to Port 0. The other Port 2 pins, and RST, $\overline{PSEN}$, and $\overline{EA}$ should be held at the "Program" levels indicated in Table 3. ALE is pulsed low for 50 msec to program the code byte into the addressed EPROM location. The setup is shown in Figure 5.

Normally $\overline{EA}$ is held at a logic high until just before ALE is to be pulsed. Then $\overline{EA}$ is raised to +21V, ALE is pulsed, and then $\overline{EA}$ is returned to a logic high. Waveforms and detailed timing specifications are shown in later sections of this data sheet.

Note that the $\overline{EA}$/VPP pin must not be allowed to go above the maximum specified VPP level of 21.5V for any amount of time. Even a narrow glitch above that voltage level can cause permanent damage to the device. The VPP source should be well regulated and free of glitches.

### Program Verification

If the Security Bit has not been programmed, the on-chip Program Memory can be read out for verification purposes, if desired, either during or after the programming operation. The address of the Program Memory location to be read is applied to Port 1 and pins P2.0–P2.3. The other pins should be held at the "Verify" levels indicated in Table 3. The contents of the addressed location will come out on Port 0. External pullups are required on Port 0 for this operation.

The setup, which is shown in Figure 6, is the same as for programming the EPROM except that pin P2.7 is held at a logic low, or may be used as an active-low read strobe.

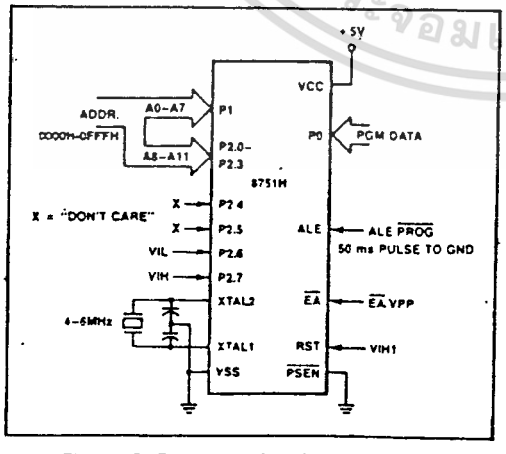



Figure 5. Programming Configuration

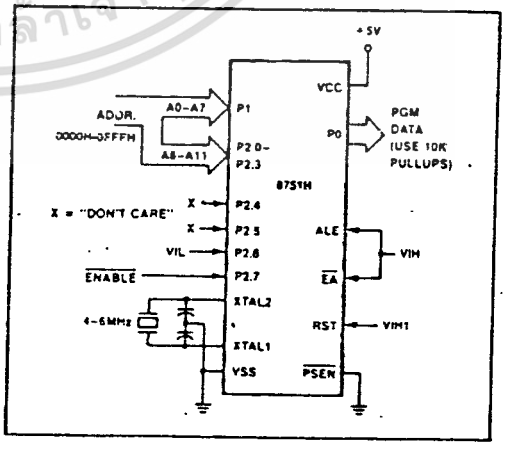



Figure 6. Program Verification



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## EPROM Security

The security feature consists of a "locking" bit which when programmed denies electrical access by any external means to the on-chip Program Memory. The bit is programmed as shown in Figure 7. The setup and procedure are the same as for normal EPROM programming, except that P2.6 is held at a logic high. Port 0, Port 1, and pins P2.0–P2.3 may be in any state. The other pins should be held at the "Security" levels indicated in Table 3.

Once the Security Bit has been programmed, it can be cleared only by full erasure of the Program Memory. While it is programmed, the internal Program Memory can not be read out, the device can not be further programmed, and it **can not execute out of external program memory**. Erasing the EPROM, thus clearing the Security Bit, restores the device's full functionality. It can then be reprogrammed.

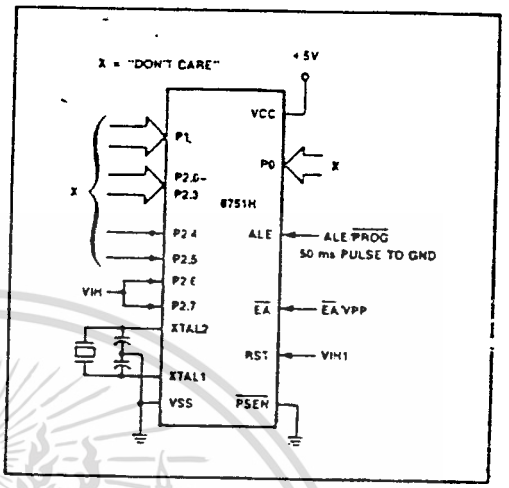



Figure 7. Programming the Security Bit

## Erasure Characteristics

Erasure of the EPROM begins to occur when the chip is exposed to light with wavelengths shorter than approximately 4,000 Angstroms. Since sunlight and flourescent lighting have wavelengths in this range, exposure to these light sources over an extended time (about 1 week in sunlight, or 3 years in room-level flourescent lighting) could cause inadvertent erasure. If an application subjects the device to this type of exposure, it is suggested that an opaque label be placed over the window.

The recommended erasure procedure is exposure to ultraviolet light (at 2537 Angstroms) to an integrated dose of at least 15 W-sec/cm$^2$. Exposing the EPROM to an ultraviolet lamp of 12,000 $\mu$W/cm$^2$ rating for 20 to 30 minutes, at a distance of about 1 inch, should be sufficient.

Erasure leaves the array in an all 1s state.

## EPROM PROGRAMMING AND VERIFICATION CHARACTERISTICS:

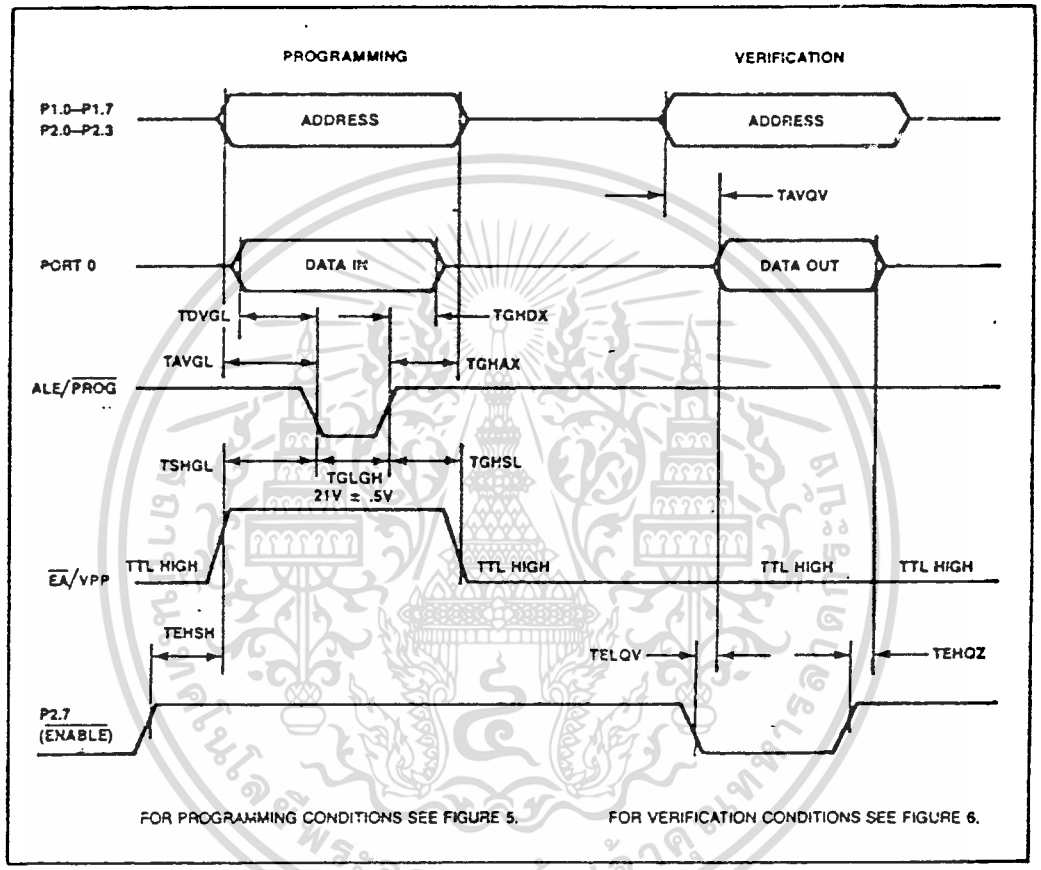
($T_A$ = 21 °C to 27 °C, VCC = 5V ± 10%, VSS = 0V)

| Symbol | Parameter | Min | Max | Units |
|---|---|---|---|---|
| VPP | Programming Supply Voltage | 20.5 | 21.5 | V |
| IPP | Programming Supply Current | | 30 | mA |
| 1/TCLCL | Oscillator Frequency | 4 | 6 | MHz |
| TAVGL | Address Setup to $\overline{PROG}$ Low | 48TCLCL | | |
| TGHAX | Address Hold After $\overline{PROG}$ | 48TCLCL | | |
| TDVGL | Data Setup to $\overline{PROG}$ Low | 48TCLCL | | |
| TGHDX | Data Hold After $\overline{PROG}$ | 48TCLCL | | |
| TEHSH | P2.7 ($\overline{ENABLE}$) High to VPP | 48TCLCL | | |
| TSHGL | VPP Setup to $\overline{PROG}$ Low | 10 | | µsec |
| TGHSL | VPP Hold After $\overline{PROG}$ | 10 | | µsec |
| TGLGH | $\overline{PROG}$ Width | 45 | 55 | msec |
| TAVQV | Address to Data Valid | | 48TCLCL | |
| TELQV | $\overline{ENABLE}$ Low to Data Valid | | 48TCLCL | |
| TEHQZ | Data Float After $\overline{ENABLE}$ | 0 | 48TCLCL | |



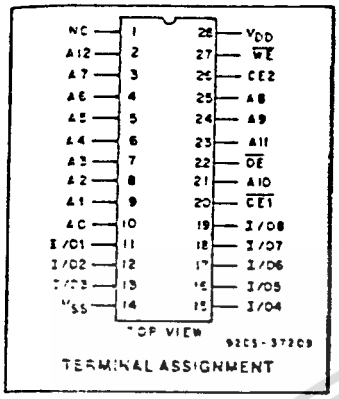
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## EPROM PROGRAMMING AND VERIFICATION WAVEFORMS




เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

CDM6264



TERMINAL ASSIGNMENT

# CMOS 8192-Word by 8-Bit LSI Static RAM

**Features:**

- *Fully static operation*
- *Single power supply: 4.5 V to 5.5 V*
- *All inputs and outputs directly TTL compatible*
- *3-state outputs*
- *Industry standard 28-pin configuration*
- *Input address buffers gated off with chip disable*
- *Fast access time: $t_{AA}$=150 ns/120 ns (CDM6264-3/CDM6264-4)*
- *Low standby and operating power: $I_{DDS1}$=2 μA typical, $I_{OPER2}$=40 mA maximum*
- *Data retention voltage: 2 V min.*
- *Operating temperature range (max. rating): 0° to 70°C*

The RCA-CDM6264 is a 8192-word by 8-bit static random-access memory. It is designed for use in memory systems where high-speed, low power and simplicity in use are desirable. This device has common data input and data output and utilizes a single power supply of 4.5 V to 5.5 V.

Either chip enable ($\overline{CE1}$ or CE2), when not valid, will gate off the address and output buffers and power down the chip to minimum standby power with inputs toggling. The output enable ($\overline{OE}$) controls the output buffers to eliminate bus contention.

The CDM6264 is supplied in 28-lead, hermetic, dual-in-line side-brazed ceramic (D suffix) and in 28-lead dual-in-line plastic (E suffix) packages.

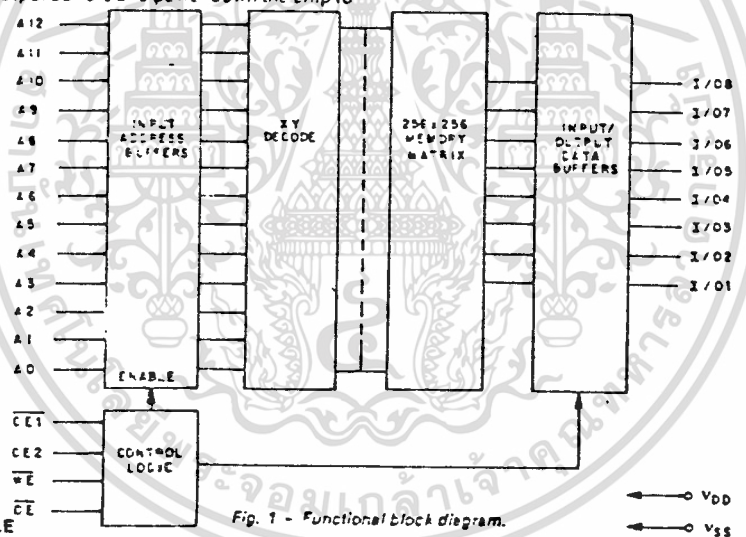


Fig. 1 - Functional block diagram.

TRUTH TABLE

| $\overline{CE1}$ | CE2 | $\overline{OE}$ | $\overline{WE}$ | A0 TO A12 | MODE | DATA I/O | DEVICE CURRENT |
|---|---|---|---|---|---|---|---|
| H | X | X | X | X | NOT SELECTED | HIGH Z | STANDBY |
| X | L | X | X | X | NOT SELECTED | HIGH Z | STANDBY |
| L | H | L | H | STABLE | READ | DATA OUT | ACTIVE |
| L | H | X | L | STABLE | WRITE | DATA IN | ACTIVE |
| L | H | H | H | STABLE | OUTPUT DISABLE | HIGH Z | ACTIVE |

L = LOW H = HIGH X = H OR L

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

## CDM6264

**MAXIMUM RATINGS,** *Absolute-Maximum Values:*

DC SUPPLY-VOLTAGE RANGE, ($V_{DD}$)
(Voltage referenced to $V_{SS}$ terminal) ..... -0.3 to +7 V
INPUT VOLTAGE RANGE, ALL INPUTS ..... -0.3 to +7 V
POWER DISSIPATION PER PACKAGE ($P_D$):
For $T_A$ = 0° to +60°C (PACKAGE TYPE E) ..... 500 mW
For $T_A$ = +60° to +70°C (PACKAGE TYPE E) ..... Derate Linearly at 8 mW/°C to 420 mW
For $T_A$ = 0° to +70°C (PACKAGE TYPE D) ..... 500 mW
DEVICE DISSIPATION PER OUTPUT TRANSISTOR
For $T_A$ = FULL PACKAGE-TEMPERATURE RANGE ..... 100 mW
OPERATING-TEMPERATURE RANGE ($T_A$)
PACKAGE TYPE D ..... 0 to +70°C
PACKAGE TYPE E ..... 0 to +70°C
STORAGE TEMPERATURE RANGE ($T_{stg}$) ..... -55 to +125°C
LEAD TEMPERATURE (DURING SOLDERING):
At distance 1/16 ± 1/32 in. (1.59 ± 0.79 mm) from case for 10 s max. ..... +255°C

**OPERATING CONDITIONS at $T_A$ = 0 to +70°C**
**For maximum reliability, operating conditions should be selected so that operation is always within the following ranges:**

| CHARACTERISTIC | | LIMITS ALL TYPES MIN. | LIMITS ALL TYPES MAX. | UNITS |
|---|---|---|---|---|
| DC Operating Voltage Range | | 4.5 | 5.5 | V |
| Input Voltage Range | $V_{IH}$ | 2.2 | $V_{DD}$ + 0.3 | V |
| | $V_{IL}$ | -0.3 | 0.8 | V |
| Input Signal Rise or Fall Time[Δ] | $t_r$,$t_f$ | — | 5 | μs |

[Δ] Input signal rise and fall times with a duration greater than the maximum value can cause loss of stored data in the selected mode

**STATIC ELECTRICAL CHARACTERISTICS at $T_A$ = 0 to +70°C, $V_{DD}$ = 5 V ± 10%, Except as noted**

| CHARACTERISTIC | | CONDITIONS | | LIMITS ALL TYPES Min. | Typ.* | Max. | UNITS |
|---|---|---|---|---|---|---|---|
| Standby Device Current | $I_{DDS}$ | $\overline{CE1}$=$V_{IH}$ or CE2=$V_{IL}$ | | — | 1.5 | 3 | mA |
| | $I_{DDS1}$ | $\overline{CE1}$=CE2 ≥ $V_{DD}$-0.2 V or CE2 ≤ 0.2 V | | — | 2 | 100 | μA |
| Output Voltage Low Level | $V_{OL}$ Max. | $I_{OL}$=2.1 mA | | — | — | 0.4 | V |
| | | $I_{OL}$=1 μA | | — | 0.1 | — | |
| Output Voltage High Level | $V_{OH}$ Min. | $I_{OH}$=-1 mA | | 2.4 | — | — | V |
| | | $I_{OH}$=-1 μA | | — | $V_{DD}$-0.1 | — | |
| Input Leakage Current | $I_{IN}$ Max. | $V_{IN}$=0 V to $V_{DD}$ | | — | ±0.1 | ±2 | μA |
| 3-State Output Leakage Current | $I_{OUT}$ | $V_{IO}$=0 V to $V_{DD}$ | | — | ±0.5 | ±2 | μA |
| Operating Device Current | $I_{OPER1}$[#] | $V_{IN}$=$V_{IL}$, $V_{IH}$ | $t_{cyc}$=1 μs | — | 4.5 | 9 | mA |
| | | | $t_{cyc}$=120 ns | — | 22.5 | 45 | |
| | $I_{OPER2}$[#] | $V_{IN}$=0.2 V, $V_{DD}$-0.2 V | $t_{cyc}$=1 μs | — | 2 | 4 | |
| | | | $t_{cyc}$=120 ns | — | 20 | 40 | |
| Input Capacitance | $C_{IN}$ | $V_{IN}$=0 V, f=1 MHz, $T_A$=25°C | | — | 4 | 6 | pF |
| Output Capacitance | $C_{IO}$ | $V_{IO}$=0 V, f=1 MHz, $T_A$=25°C | | — | 6 | 8 | pF |

*Typical values are for $T_A$=25°C and nominal $V_{DD}$.

#Outputs open circuited.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## SIGNAL DESCRIPTIONS

**A0-A10 (Address Inputs):** These inputs must be stable prior to a write operation, but may change asynchronously during read functions.

**I/O1-I/O8:** 8-bit tristate data bus.

**$\overline{CE1}$, CE2 (Chip Enable):** Either chip enable, when not true, powers down the chip, disables Read and Write functions, and gates off address and output buffers.

**$\overline{OE}$ (Output Enable):** Enables tristate outputs if $\overline{CE1}$ and CE2 are valid and $\overline{WE}$ is high.

**$\overline{WE}$ (Write Enable):** Enables Write function, if $\overline{CE1}$ and CE2 are valid. $\overline{WE}$ will dominate if both $\overline{WE}$ and $\overline{OE}$ are low (i.e., the bus will be tristated and a Write will occur).

**$V_{DD}$, $V_{SS}$:** Power supply connections.

## DYNAMIC ELECTRICAL CHARACTERISTICS at $T_A$ = 0 to +70°C, $V_{DD}$ = 5 V ± 10%, input $t_r$, $t_f$ = 10 ns; $C_L$ = 100 pF and 1 TTL Load, Input Pulse Levels: 0.8 V to 2.4 V

| CHARACTERISTIC | | LIMITS | | | | UNITS |
|---|---|---|---|---|---|---|
| | | CDM6264-3 | | CDM6264-4 | | |
| Read Cycle Times, See Fig. 2 | | MIN.† | MAX. | MIN.† | MAX. | |
| Read Cycle Time | $t_{RC}$ | 150 | — | 120 | — | ns |
| Address Access Time | $t_{AA}$ | — | 150 | — | 120 | |
| Chip Enable Access Time | $t_{ACE1}$, $t_{ACE2}$ | — | 150 | — | 120 | |
| Chip Enable to Output Active | $t_{CLZ1}$, $t_{CLZ2}$ | 10 | — | 10 | — | |
| Output Enable to Output Valid | $t_{OEV}$ | — | 70 | — | 60 | |
| Output Enable to Output Active | $t_{OEX}$ | 5 | — | 5 | — | |
| Chip Disable to Output "High Z" | $t_{CHZ1}$, $t_{CHZ2}$ | 0 | 70 | 0 | 50 | |
| Output Disable to Output "High Z" | $t_{OHZ}$ | 0 | 60 | 0 | 40 | |
| Output Hold from Address Change | $t_{OH}$ | 30 | — | 30 | — | |

†Time required by a limit device to allow for the indicated function.

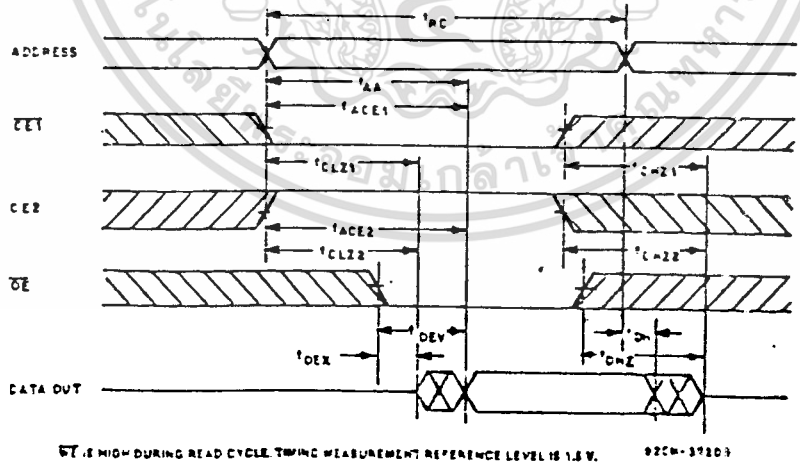



*Fig 2 - Read-cycle timing waveforms.*



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## CDM6264

**DYNAMIC ELECTRICAL CHARACTERISTICS** at $T_A$ = 0 to +70°C, $V_{DD}$ = 5 V ± 10%, Input $t_r$, $t_f$ = 10 ns; $C_L$ = 100 pF and 1 TTL Load, Input Pulse Levels: 0.8 V to 2.4 V

| CHARACTERISTIC<br>Write Cycle Times, See Fig. 3 | | LIMITS | | | | UNITS |
|---|---|---|---|---|---|---|
| | | CDM6264-3 | | CDM6264-4 | | |
| | | MIN.† | MAX. | MIN.† | MAX. | |
| Write Cycle Time | $t_{WC}$ | 150 | — | 120 | — | ns |
| Chip Enable to End of WRITE | $t_{CW1}$, $t_{CW2}$ | 120 | — | 100 | — | |
| Address Valid to End of WRITE | $t_{AW}$ | 120 | — | 100 | — | |
| Address Setup Time | $t_{AS}$ | 0 | — | 0 | — | |
| Write Enable Width | $t_{WW}$ | 100 | — | 80 | — | |
| Write Recovery Time | $t_{WR}$ | 0 | — | 0 | — | |
| Write to Output "High Z" | $t_{WHZ}$ | — | 70 | — | 50 | |
| Input Data Setup Time | $t_{DW}$ | 80 | — | 50 | — | |
| Input Data Hold Time | $t_{DH}$ | 0 | — | 0 | — | |
| Output Active from End of Write | $t_{OW}$ | 10 | — | 10 | — | |

†Time required by a limit device to allow for the indicated function.

WRITE CYCLE 1 ($\overline{CE1}$ CONTROL)

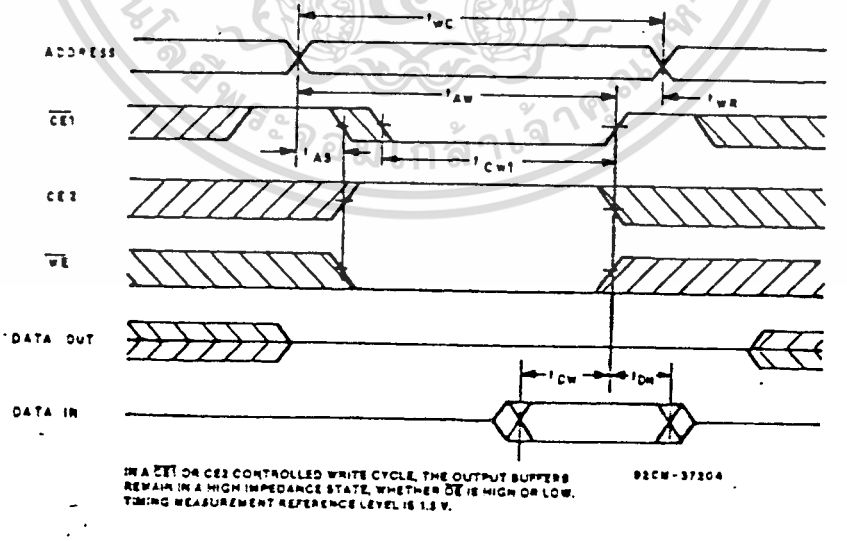
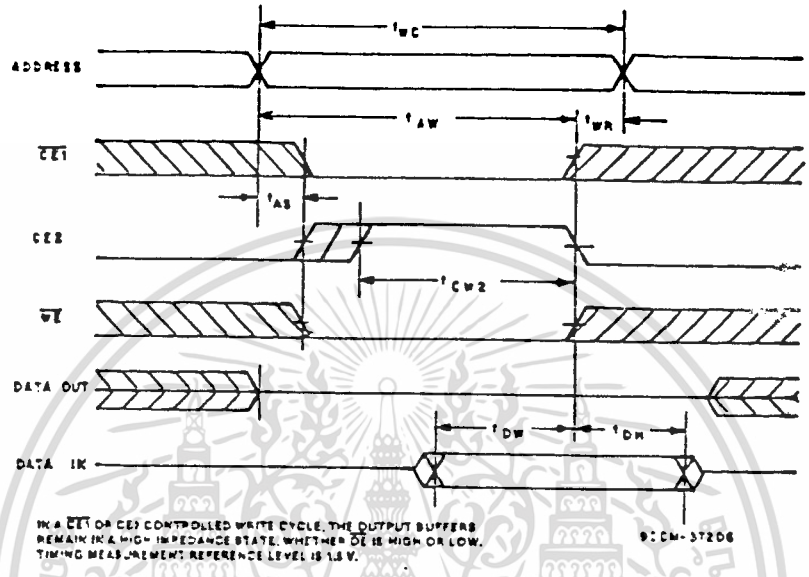



*Fig. 3 - Write-cycle timing waveforms.*

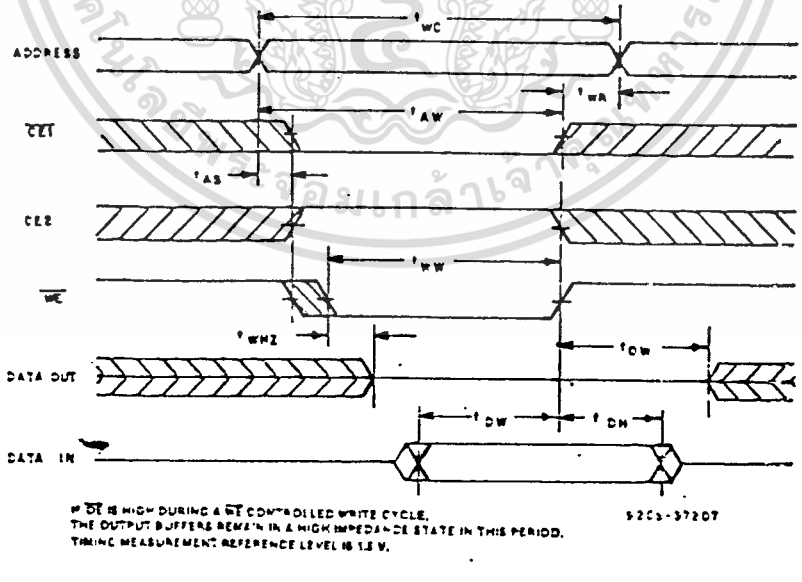
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

WRITE CYCLE 2 (CE2 CONTROL)




IN A $\overline{CE1}$ OR CE2 CONTROLLED WRITE CYCLE, THE OUTPUT BUFFERS REMAIN IN A HIGH IMPEDANCE STATE, WHETHER $\overline{OE}$ IS HIGH OR LOW. TIMING MEASUREMENT REFERENCE LEVEL IS 1.5 V.

WRITE CYCLE 3 ($\overline{WE}$ CONTROL)




IF $\overline{OE}$ IS HIGH DURING A $\overline{WE}$ CONTROLLED WRITE CYCLE, THE OUTPUT BUFFERS REMAIN IN A HIGH IMPEDANCE STATE IN THIS PERIOD. TIMING MEASUREMENT REFERENCE LEVEL IS 1.5 V.

*Fig. 3 - Write-cycle timing waveforms (cont'd).*

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

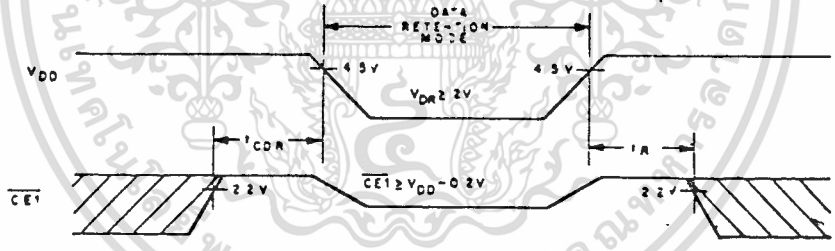
## CDM6264

**DATA RETENTION CHARACTERISTICS at $T_A$ = 0 to 70°C; See Fig. 4.**

| CHARACTERISTIC | | TEST CONDITIONS | LIMITS | | UNITS |
|---|---|---|---|---|---|
| | | | ALL TYPES | | |
| | | | MIN. | MAX. | |
| Minimum Data Retention Voltage | $V_{DR}$ | $\overline{CE1} \geq V_{DD} - 0.2$ V or $CE2 \leq 0.2$ V | 2 | 5.5 | V |
| Data Retention Quiescent Current | $I_{DD}DR$ | $V_{DD}$ = 3 V, $\overline{CE1}$,CE2 ≥ $V_{DD} - 0.2$ V or $CE2 \leq 0.2$ V | — | 50 | µA |
| Chip Disable to Data Retention Time | $t_{CDR}$ | See Fig. 4 | 0 | — | ns |
| Recovery to Normal Operation Time | $t_R$ | See Fig. 4. | *$t_{RC}$ | — | |

*$t_{RC}$ = Read Cycle Time.

**DATA RETENTION WAVEFORM 1 ($\overline{CE1}$ CONTROL)**




**DATA RETENTION WAVEFORM 2 (CE2 CONTROL)**

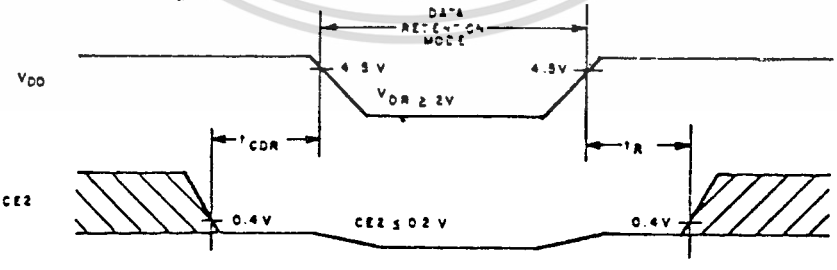


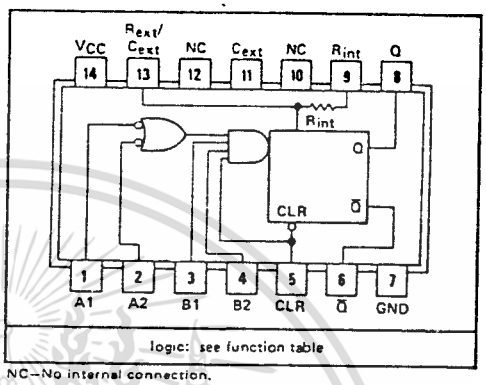

*Fig. 4 - Low $V_{DD}$ data-retention timing waveforms.* 92CM-37208

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# TYPES SN54122, SN54123, SN54L122, SN54L123, SN54LS122, SN54LS123, SN74122, SN74123, SN74L122, SN74L123, SN74LS122, SN74LS123
# RETRIGGERABLE MONOSTABLE MULTIVIBRATORS

- D-C Triggered from Active-High or Active-Low Gated Logic Inputs
- Retriggerable for Very Long Output Pulses, Up to 100% Duty Cycle
- Overriding Clear Terminates Output Pulse
- Compensated for $V_{CC}$ and Temperature Variations
- '122, 'L122, 'LS122 Have Internal Timing Resistors

SN54122, SN54LS122 . . . J OR W
SN54L122 . . . J OR T
SN74122, SN74L122, SN74LS122 . . . J OR N
(TOP VIEW) (SEE NOTES 1 THRU 4)




NC—No internal connection.

'122, 'L122, 'LS122
FUNCTION TABLE

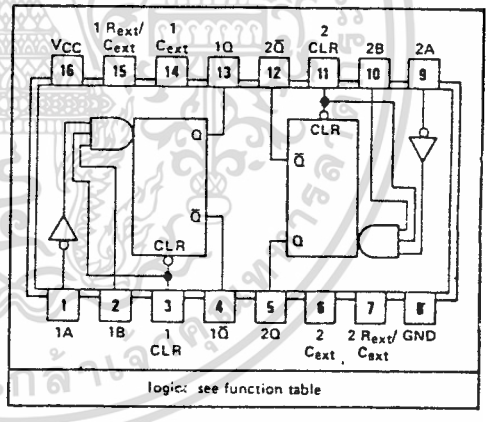
| INPUTS | | | | | OUTPUTS | |
|---|---|---|---|---|---|---|
| CLEAR | A1 | A2 | B1 | B2 | Q | $\bar{Q}$ |
| L | X | X | X | X | L | H |
| X | H | H | X | X | L | H |
| X | X | X | L | X | L | H |
| X | X | X | X | L | L | H |
| H | L | X | ↑ | H | ⎍ | ⎎ |
| H | L | X | H | ↑ | ⎍ | ⎎ |
| H | X | L | ↑ | H | ⎍ | ⎎ |
| H | X | L | H | ↑ | ⎍ | ⎎ |
| H | H | ↓ | H | H | ⎍ | ⎎ |
| H | ↓ | ↓ | H | H | ⎍ | ⎎ |
| H | ↓ | H | H | H | ⎍ | ⎎ |
| ↑ | L | X | H | H | ⎍ | ⎎ |
| ↑ | X | L | H | H | ⎍ | ⎎ |

'123, 'L123, 'LS123
FUNCTION TABLE

| INPUTS | | | OUTPUTS | |
|---|---|---|---|---|
| CLEAR | A | B | Q | $\bar{Q}$ |
| L | X | X | L | H |
| X | H | X | L | H |
| X | X | L | L | H |
| H | L | ↑ | ⎍ | ⎎ |
| H | ↓ | H | ⎍ | ⎎ |
| ↑ | L | H | ⎍ | ⎎ |

See explanation of function tables on page 3-8.

SN54123, SN54LS123 . . . J OR W
SN54L123 . . . J
SN74123, SN74L123, SN74LS123 . . . J OR N
(TOP VIEW) (SEE NOTES 1 THRU 4)




## description

These d-c triggered multivibrators feature output pulse width control by three methods. The basic pulse time is programmed by selection of external resistance and capacitance values (see typical application data). The '122, 'L122, and 'LS122 have internal timing resistors that allow the circuits to be used with only an external capacitor, if so desired. Once triggered, the basic pulse width may be extended by retriggering the gated low-level-active (A) or high-level-active (B) inputs, or be reduced by use of the overriding clear. Figure 1 illustrates pulse control by retriggering and early clear.

The 'LS122 and 'LS123 are provided enough Schmitt hysteresis to ensure jitter-free triggering from the B input with transition rates as slow as 0.1 millivolt per nanosecond.

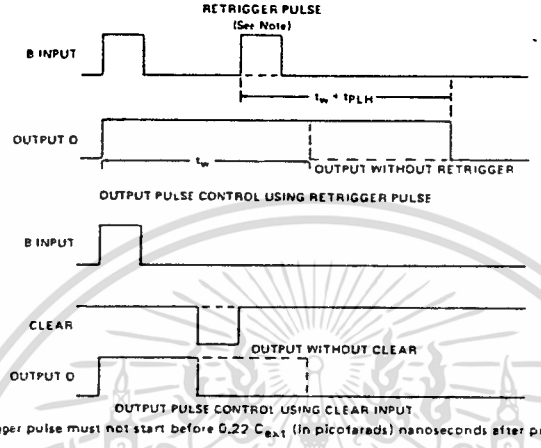
NOTES: 1. An external timing capacitor may be connected between $C_{ext}$ and $R_{ext}/C_{ext}$ (positive).
2. To use the internal timing resistor of '122, 'L122 or 'LS122, connect $R_{int}$ to $V_{CC}$.
3. For improved pulse width accuracy and repeatability, connect an external resistor between $R_{ext}/C_{ext}$ and $V_{CC}$ with $R_{int}$ open-circuited.
4. To obtain variable pulse widths, connect an external variable resistance between $R_{int}$ or $R_{ext}/C_{ext}$ and $V_{CC}$.



TEXAS INSTRUMENTS
INCORPORATED
POST OFFICE BOX 5012 • DALLAS, TEXAS 75222

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

description (continued)

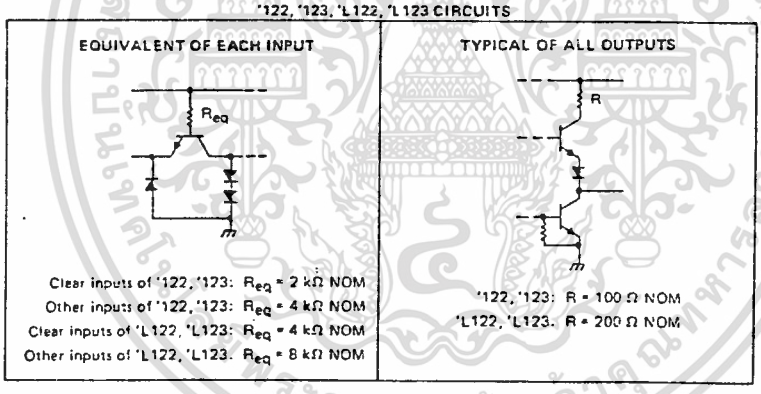



NOTE: Retrigger pulse must not start before 0.22 $C_{ext}$ (in picofarads) nanoseconds after previous trigger pulse.

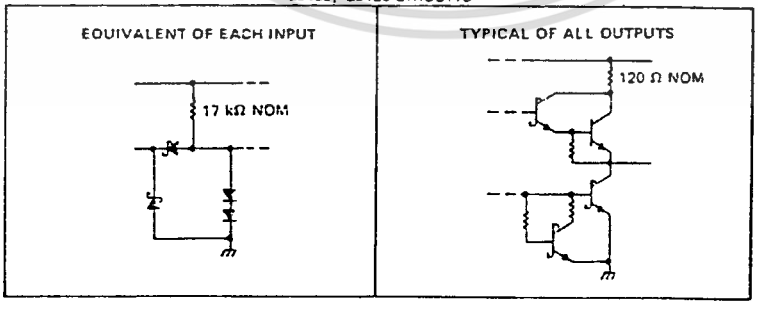
FIGURE 1–TYPICAL INPUT/OUTPUT PULSES

schematics of inputs and outputs

'122, '123, 'L122, 'L123 CIRCUITS




'LS122, 'LS123 CIRCUITS






เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## recommended operating conditions

| | SN54' | | | SN74' | | | UNIT |
|---|---|---|---|---|---|---|---|
| | MIN | NOM | MAX | MIN | NOM | MAX | |
| Supply voltage, $V_{CC}$ | 4.5 | 5 | 5.5 | 4.75 | 5 | 5.25 | V |
| High-level output current, $I_{OH}$ | | | −800 | | | −800 | μA |
| Low-level output current, $I_{OL}$ | | | 16 | | | 16 | mA |
| Pulse width, $t_w$ | 40 | | | 40 | | | ns |
| External timing resistance, $R_{ext}$ | 5 | | 25 | 5 | | 50 | kΩ |
| External capacitance, $C_{ext}$ | No restriction | | | No restriction | | | |
| Wiring capacitance at $R_{ext}/C_{ext}$ terminal | | | 50 | | | 50 | pF |
| Operating free-air temperature, $T_A$ | −55 | | 125 | 0 | | 70 | °C |

## electrical characteristics over recommended free-air operating temperature range (unless otherwise noted)

| PARAMETER | | | TEST CONDITIONS† | '122 | | | '123 | | | UNIT |
|---|---|---|---|---|---|---|---|---|---|---|
| | | | | MIN | TYP‡ | MAX | MIN | TYP‡ | MAX | |
| $V_{IH}$ | High-level input voltage | | | 2 | | | 2 | | | V |
| $V_{IL}$ | Low-level input voltage | | | | | 0.8 | | | 0.8 | V |
| $V_{IK}$ | Input clamp voltage | | $V_{CC}$ = MIN, $I_I$ = −12 mA | | | −1.5 | | | −1.5 | V |
| $V_{OH}$ | High-level output voltage | | $V_{CC}$ = MIN, $I_{OH}$ = −800 μA, See Note 1 | 2.4 | 3.4 | | 2.4 | 3.4 | | V |
| $V_{OL}$ | Low-level output voltage | | $V_{CC}$ = MIN, $I_{OL}$ = 16 mA, See Note 1 | | 0.2 | 0.4 | | 0.2 | 0.4 | V |
| $I_I$ | Input current at maximum input voltage | | $V_{CC}$ = MAX, $V_I$ = 5.5 V | | | 1 | | | 1 | mA |
| $I_{IH}$ | High-level input current | Data inputs | $V_{CC}$ = MAX, $V_I$ = 2.4 V | | | 40 | | | 40 | μA |
| | | Clear input | | | | 80 | | | 80 | |
| $I_{IL}$ | Low-level input current | Data inputs | $V_{CC}$ = MAX, $V_I$ = 0.4 V | | | −1.6 | | | −1.6 | mA |
| | | Clear input | | | | −3.2 | | | −3.2 | |
| $I_{OS}$ | Short-circuit output current♦ | | $V_{CC}$ = MAX, See Note 5 | −10 | | −40 | −10 | | −40 | mA |
| $I_{CC}$ | Supply current (quiescent or triggered) | | $V_{CC}$ = MAX, See Notes 6 and 7 | | 23 | 28 | | 46 | 66 | mA |

† For conditions shown as MIN or MAX, use the value specified under recommended operating conditions.
‡ All typical values are at $V_{CC}$ = 5 V, $T_A$ = 25°C.
♦ Not more than one output should be shorted at a time.

NOTES: 5. Ground $C_{ext}$ to measure $V_{OH}$ at Q, $V_{OL}$ at $\overline{Q}$, or $I_{OS}$ at Q. $C_{ext}$ is open to measure $V_{OH}$ at $\overline{Q}$, $V_{OL}$ at Q, or $I_{OS}$ at $\overline{Q}$.
6. Quiescent $I_{CC}$ is measured (after clearing) with 2.4 V applied to all clear and A inputs, B inputs grounded, all outputs open, $C_{ext}$ = 0.02 μF, and $R_{ext}$ = 25 kΩ. $R_{int}$ of '122 is open.
7. $I_{CC}$ is measured in the triggered state with 2.4 V applied to all clear and B inputs, A inputs grounded, all outputs open, $C_{ext}$ = 0.02 μF, and $R_{ext}$ = 25 kΩ. $R_{int}$ of '122 is open.

## switching characteristics, $V_{CC}$ = 5 V, $T_A$ = 25°C, see note 8

| PARAMETER¶ | FROM (INPUT) | TO (OUTPUT) | TEST CONDITIONS | '122 | | | '123 | | | UNIT |
|---|---|---|---|---|---|---|---|---|---|---|
| | | | | MIN | TYP | MAX | MIN | TYP | MAX | |
| $t_{PLH}$ | A | Q | $C_{ext}$ = 0, $C_L$ = 15 pF, $R_{ext}$ = 5 kΩ, $R_L$ = 400 Ω | | 22 | 33 | | 22 | 33 | ns |
| | B | | | | 19 | 28 | | 19 | 28 | |
| $t_{PHL}$ | A | $\overline{Q}$ | | | 30 | 40 | | 30 | 40 | ns |
| | B | | | | 27 | 36 | | 27 | 36 | |
| $t_{PHL}$ | Clear | Q | | | 18 | 27 | | 18 | 27 | ns |
| $t_{PLH}$ | | $\overline{Q}$ | | | 30 | 40 | | 30 | 40 | |
| $t_{wQ}$ (min) | A or B | Q | | | 45 | 65 | | 45 | 65 | ns |
| $t_{wQ}$ | A or B | Q | $C_{ext}$ = 1000 pF, $C_L$ = 15 pF, $R_{ext}$ = 10 kΩ, $R_L$ = 400 Ω | 3.08 | 3.42 | 3.76 | 2.76 | 3.03 | 3.37 | μs |

¶ $t_{PLH}$ = propagation delay time, low-to-high-level output
$t_{PHL}$ = propagation delay time, high-to-low-level output
$t_{wQ}$ = width of pulse at output Q

NOTE 8: Load circuit and voltage waveforms are shown on page 3-10.



TEXAS INSTRUMENTS
INCORPORATED
POST OFFICE BOX 5012 • DALLAS, TEXAS 75222

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## recommended operating conditions

| | SN54L' | | | SN74L' | | | UNIT |
|---|---|---|---|---|---|---|---|
| | MIN | NOM | MAX | MIN | NOM | MAX | |
| Supply voltage, $V_{CC}$ | 4.5 | 5 | 5.5 | 4.75 | 5 | 5.25 | V |
| High-level output current, $I_{OH}$ | | | −400 | | | −400 | μA |
| Low-level output current, $I_{OL}$ | | | 8 | | | 8 | mA |
| Pulse width, $t_w$ | 50 | | | 50 | | | ns |
| External timing resistance, $R_{ext}$ | 5 | | 25 | 5 | | 50 | kΩ |
| External capacitance, $C_{ext}$ | No restriction | | | No restriction | | | |
| Wiring capacitance at $R_{ext}/C_{ext}$ terminal | | | 50 | | | 50 | pF |
| Operating free-air temperature, $T_A$ | −55 | | 125 | 0 | | 70 | °C |

## electrical characteristics over recommended free-air operating temperature range (unless otherwise noted)

| PARAMETER | | | TEST CONDITIONS[1] | 'L122 | | | 'L123 | | | UNIT |
|---|---|---|---|---|---|---|---|---|---|---|
| | | | | MIN | TYP‡ | MAX | MIN | TYP‡ | MAX | |
| $V_{IH}$ | High-level input voltage | | | 2 | | | 2 | | | V |
| $V_{IL}$ | Low-level input voltage | | | | | 0.6 | | | 0.6 | V |
| $V_{IK}$ | Input clamp voltage | | $V_{CC}$ = MIN, $I_I$ = −12 mA | | | −1.5 | | | −1.5 | V |
| $V_{OH}$ | High-level output voltage | | $V_{CC}$ = MIN, $I_{OH}$ = −400 μA, See Note 1 | 2.4 | 3.4 | | 2.4 | 3.4 | | V |
| $V_{OL}$ | Low-level output voltage | | $V_{CC}$ = MIN, $I_{OL}$ = 8 mA, See Note 1 | | 0.2 | 0.4 | | 0.2 | 0.4 | V |
| $I_I$ | Input current at maximum input voltage | | $V_{CC}$ = MAX, $V_I$ = 5.5 V | | | 1 | | | 1 | mA |
| $I_{IH}$ | High-level input current | Data inputs | $V_{CC}$ = MAX, $V_I$ = 2.4 V | | | 20 | | | 20 | μA |
| | | Clear input | | | | 40 | | | 40 | |
| $I_{IL}$ | Low-level input current | Data inputs | $V_{CC}$ = MAX, $V_I$ = 0.4 V | | | −0.8 | | | −0.8 | mA |
| | | Clear input | | | | −1.6 | | | −1.6 | |
| $I_{OS}$ | Short-circuit output current[4] | | $V_{CC}$ = MAX, See Note 9 | −5 | | −20 | −5 | | −20 | mA |
| $I_{CC}$ | Supply current (quiescent or triggered) | | $V_{CC}$ = MAX, See Notes 10 and 11 | | 11 | 14 | | 23 | 33 | mA |

[1] For conditions shown as MIN or MAX, use the value specified under recommended operating conditions.
‡ All typical values are at $V_{CC}$ = 5 V, $T_A$ = 25°C.
[4] Not more than one output should be shorted at a time.

NOTES: 9. Ground $C_{ext}$ to measure $V_{OH}$ at Q, $V_{OL}$ at $\overline{Q}$, or $I_{OS}$ at Q. $C_{ext}$ is open to measure $V_{OH}$ at $\overline{Q}$, $V_{OL}$ at Q, or $I_{OS}$ at $\overline{Q}$.
10. Quiescent $I_{CC}$ is measured (after clearing) with 2.4 V applied to all clear and A inputs, B inputs grounded, all outputs open, $C_{ext}$ = 0.02 μF, and $R_{ext}$ = 25 kΩ. $R_{int}$ of 'L122 is open.
11. $I_{CC}$ is measured in the triggered state with 2.4 V applied to all clear and B inputs, A inputs grounded, all outputs open, $C_{ext}$ = 0.02 μF, and $R_{ext}$ = 25 kΩ. $R_{int}$ of 'L122 is open.

## switching characteristics, $V_{CC}$ = 5 V, $T_A$ = 25°C, see note 8

| PARAMETER[6] | FROM (INPUT) | TO (OUTPUT) | TEST CONDITIONS | 'L122 | | | 'L123 | | | UNIT |
|---|---|---|---|---|---|---|---|---|---|---|
| | | | | MIN | TYP | MAX | MIN | TYP | MAX | |
| $t_{PLH}$ | A | Q | $C_{ext}$ = 0, $C_L$ = 15 pF, $R_{ext}$ = 5 kΩ, $R_L$ = 800 Ω | | 44 | 66 | | 44 | 66 | ns |
| | B | | | | 38 | 56 | | 38 | 56 | |
| $t_{PHL}$ | A | $\overline{Q}$ | | | 60 | 80 | | 60 | 80 | ns |
| | B | | | | 54 | 72 | | 54 | 72 | |
| $t_{PHL}$ | Clear | Q | | | 36 | 54 | | 36 | 54 | ns |
| $t_{PLH}$ | | $\overline{Q}$ | | | 60 | 80 | | 60 | 80 | |
| $t_{wQ}$ (min) | A or B | Q | | | 90 | 135 | | 90 | 135 | ns |
| $t_{wQ}$ | A or B | Q | $C_{ext}$ = 400 pF, $C_L$ = 15 pF, $R_{ext}$ = 10 kΩ, $R_L$ = 800 Ω | 1.7 | 1.9 | 2.1 | 1.3 | | 2.1 | μs |

[6] $t_{PLH}$ ≡ propagation delay time, low to high-level output
$t_{PHL}$ ≡ propagation delay time, high-to-low-level output
$t_{wQ}$ ≡ width of pulse at output Q

NOTE 8: Load circuit and voltage waveforms are shown on page 3-10.



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

## recommended operating conditions

| | SN54LS' | | | SN74LS' | | | UNIT |
|---|---|---|---|---|---|---|---|
| | MIN | NOM | MAX | MIN | NOM | MAX | |
| Supply voltage, $V_{CC}$ | 4.5 | 5 | 5.5 | 4.75 | 5 | 5.25 | V |
| High-level output current, $I_{OH}$ | | | −400 | | | −400 | μA |
| Low-level output current, $I_{OL}$ | | | 4 | | | 8 | mA |
| Pulse width, $t_w$ | 40 | | | 40 | | | ns |
| External timing resistance, $R_{ext}$ | 5 | | 180 | 5 | | 260 | kΩ |
| External capacitance, $C_{ext}$ | No restriction | | | No restriction | | | |
| Wiring capacitance at $R_{ext}/C_{ext}$ terminal | | | 50 | | | 50 | pF |
| Operating free-air temperature, $T_A$ | −55 | | 125 | 0 | | 70 | °C |

## electrical characteristics over recommended operating free-air temperature range (unless otherwise noted)

| PARAMETER | | TEST CONDITIONS† | | | SN54LS' | | | SN74LS' | | | UNIT |
|---|---|---|---|---|---|---|---|---|---|---|---|
| | | | | | MIN | TYP‡ | MAX | MIN | TYP‡ | MAX | |
| $V_{IH}$ | High-level input voltage | | | | 2 | | | 2 | | | V |
| $V_{IL}$ | Low-level input voltage | | | | | | 0.7 | | | 0.8 | V |
| $V_{IK}$ | Input clamp voltage | $V_{CC}$ = MIN, | $I_I$ = −18 mA | | | | −1.5 | | | −1.5 | V |
| $V_{OH}$ | High-level output voltage | $V_{CC}$ = MIN, $V_{IL}$ = $V_{IL}$max | $V_{IH}$ = 2 V, $I_{OH}$ = −400 μA | | 2.5 | 3.5 | | 2.7 | 3.5 | | V |
| $V_{OL}$ | Low-level output voltage | $V_{CC}$ = MIN, $V_{IL}$ = $V_{IL}$max | $V_{IH}$ = 2 V, | $I_{OL}$ = 4 mA | | 0.25 | 0.4 | | 0.25 | 0.4 | V |
| | | | | $I_{OL}$ = 8 mA | | | | | 0.35 | 0.5 | |
| $I_I$ | Input current at maximum input voltage | $V_{CC}$ = MAX, | $V_I$ = 7 V | | | | 0.1 | | | 0.1 | mA |
| $I_{IH}$ | High-level input current | $V_{CC}$ = MAX, | $V_I$ = 2.7 V | | | | 20 | | | 20 | μA |
| $I_{IL}$ | Low-level input current | $V_{CC}$ = MAX, | $V_I$ = 0.4 V | | | | −0.4 | | | −0.4 | mA |
| $I_{OS}$ | Short-circuit output current# | $V_{CC}$ = MAX | | | −20 | | −100 | −20 | | −100 | mA |
| $I_{CC}$ | Supply current (quiescent or triggered) | $V_{CC}$ = MAX, | See Note 13 | 'LS122 | | 6 | 11 | | 6 | 11 | mA |
| | | | | 'LS123 | | 12 | 20 | | 12 | 20 | |

†For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.
‡All typical values are at $V_{CC}$ = 5 V, $T_A$ = 25°C.
#Not more than one output should be shorted at a time and duration of the short-circuit should not exceed one second.
NOTES: 12. To measure $V_{OH}$ at Q, $V_{OL}$ at $\overline{Q}$, or $I_{OS}$ at Q, ground $R_{ext}/C_{ext}$, apply 2 V to B and clear, and pulse A from 2 V to 0 V.
13. With all outputs open and 4.5 V applied to all data and clear inputs, $I_{CC}$ is measured after a momentary ground, then 4.5 V, is applied to clock.

## switching characteristics, $V_{CC}$ = 5 V, $T_A$ = 25°C, see note 14

| PARAMETER¶ | FROM (INPUT) | TO (OUTPUT) | TEST CONDITIONS | | MIN | TYP | MAX | UNIT |
|---|---|---|---|---|---|---|---|---|
| $t_{PLH}$ | A | Q | $C_{ext}$ = 0, $C_L$ = 15 pF, | $R_{ext}$ = 5 kΩ, $R_L$ = 2 kΩ | | 23 | 33 | ns |
| | B | | | | | 23 | 44 | |
| $t_{PHL}$ | A | $\overline{Q}$ | | | | 32 | 45 | ns |
| | B | | | | | 34 | 56 | |
| $t_{PHL}$ | Clear | Q | | | | 20 | 27 | ns |
| $t_{PLH}$ | | $\overline{Q}$ | | | | 28 | 45 | |
| $t_{wQ}$ (min) | A or B | Q | | | | 116 | 200 | ns |
| $t_{wQ}$ | A or B | Q | $C_{ext}$ = 1000 pF, $C_L$ = 15 pF, | $R_{ext}$ = 10 kΩ, $R_L$ = 2 kΩ | 4 | 4.5 | 5 | μs |

¶$t_{PLH}$ = propagation delay time, low-to-high-level output
$t_{PHL}$ = propagation delay time, high-to-low-level output
$t_{wQ}$ = width of pulse at output Q
NOTE 14: Load circuit and voltage waveforms are shown on page 3-11.



TEXAS INSTRUMENTS
INCORPORATED
POST OFFICE BOX 5012 • DALLAS, TEXAS 75222

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## TYPICAL APPLICATION DATA FOR '122, '123, 'L122, 'L123

For pulse widths when $C_{ext} \leq 1000$ pF, See Figures 4 and 5.

The output pulse is primarily a function of the external capacitor and resistor. For $C_{ext} > 1000$ pF, the output pulse width ($t_W$) is defined as:

$$t_W = K \cdot R_T \cdot C_{ext} \left(1 + \frac{0.7}{R_T}\right)$$

where

K is 0.32 for '122, 0.28 for '123,
0.37 for 'L122, 0.33 for 'L123

$R_T$ is in kΩ (internal or external timing resistance.

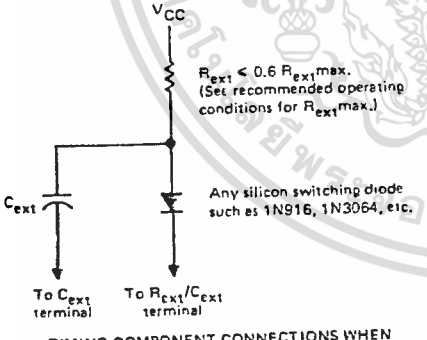
$C_{ext}$ is in pF

$t_W$ is in nanoseconds

To prevent reverse voltage across $C_{ext}$, it is recommended that the method shown in Figure 2 be employed when using electrolytic capacitors and in applications utilizing the clear function. In all applications using the diode, the pulse width is:

$$t_W = K_D \cdot R_T \cdot C_{ext} \left(1 + \frac{0.7}{R_T}\right)$$

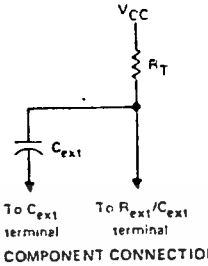
$K_D$ is 0.28 for '122, 0.25 for '123,
0.33 for 'L122, 0.29 for 'L123




TIMING COMPONENT CONNECTIONS WHEN $C_{ext} > 1000$ pF AND CLEAR IS USED

FIGURE 2

Applications requiring more precise pulse widths (up to 28 seconds) and not requiring the clear feature can best be satisfied with the '121 or 'L121.




TIMING COMPONENT CONNECTIONS

FIGURE 3

'122, '123
TYPICAL OUTPUT PULSE WIDTH
vs
EXTERNAL TIMING CAPACITANCE

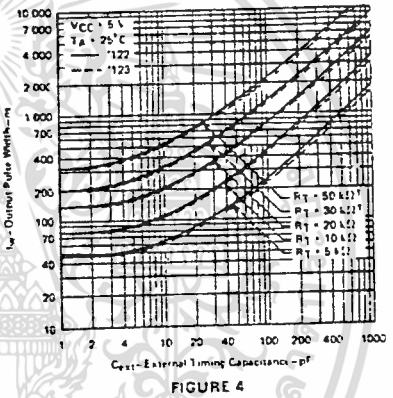



FIGURE 4

'L122
TYPICAL OUTPUT PULSE WIDTH
vs
EXTERNAL TIMING CAPACITANCE

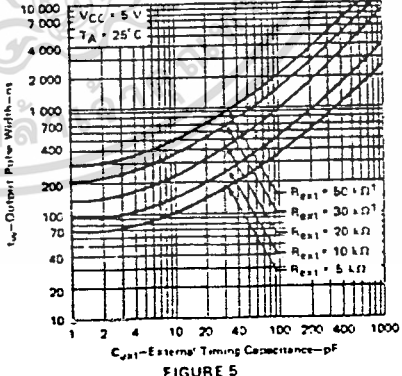



FIGURE 5

†These values of resistance exceed the maximum recommended for use over the full temperature range of the SN54' and SN54L' circuits.



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TTL
MSI

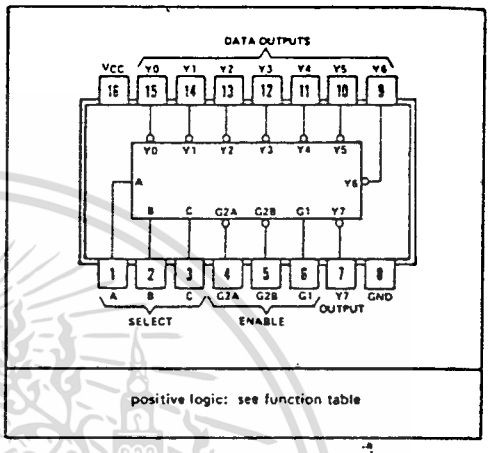
# TYPES SN54LS138, SN54LS139, SN54S138, SN54S139, SN74LS138, SN74LS139, SN74S138, SN74S139 DECODERS/DEMULTIPLEXERS

BULLETIN NO. DL-S 7611804, DECEMBER 1972—REVISED OCTOBER 1976

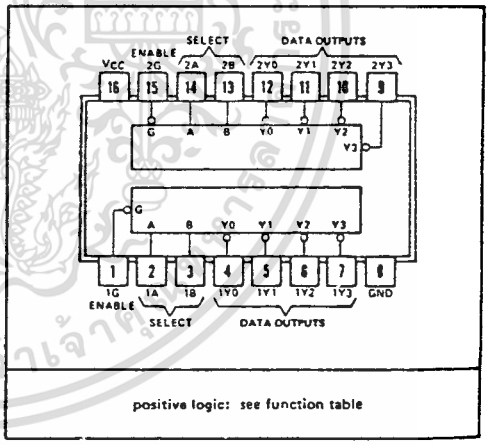
- Designed Specifically for High-Speed:
  Memory Decoders
  Data Transmission Systems
- 'S138 and 'LS138 3-to-8-Line Decoders Incorporate 3 Enable Inputs to Simplify Cascading and/or Data Reception
- 'S139 and 'LS139 Contain Two Fully Independent 2-to-4-Line Decoders/ Demultiplexers
- Schottky Clamped for High Performance

| TYPE | TYPICAL PROPAGATION DELAY (3 LEVELS OF LOGIC) | TYPICAL POWER DISSIPATION |
|---|---|---|
| 'LS138 | 22 ns | 32 mW |
| 'S138 | 8 ns | 245 mW |
| 'LS139 | 22 ns | 34 mW |
| 'S139 | 7.5 ns | 300 mW |

SN54LS138, SN54S138 . . . J OR W PACKAGE
SN74LS138, SN74S138 . . . J OR N PACKAGE
(TOP VIEW)




SN54LS139, SN54S139 . . . J OR W PACKAGE
SN74LS139, SN74S139 . . . J OR N PACKAGE
(TOP VIEW)




## description

These Schottky-clamped TTL MSI circuits are designed to be used in high-performance memory-decoding or data-routing applications requiring very short propagation delay times. In high-performance memory systems these decoders can be used to minimize the effects of system decoding. When employed with high-speed memories utilizing a fast-enable circuit the delay times of these decoders and the enable time of the memory are usually less than the typical access time of the memory. This means that the effective system delay introduced by the Schottky-clamped system decoder is negligible.

The 'LS138 and 'S138 decode one-of-eight lines dependent on the conditions at the three binary select inputs and the three enable inputs. Two active-low and one active-high enable inputs reduce the need for external gates or inverters when expanding. A 24-line decoder can be implemented without external inverters and a 32-line decoder requires only one inverter. An enable input can be used as a data input for demultiplexing applications.

The 'LS139 and 'S139 comprise two individual two-line-to-four-line decoders in a single package. The active-low enable input can be used as a data line in demultiplexing applications.

All of these decoders/demultiplexers feature fully buffered inputs each of which represents only one normalized Series 54LS/74LS load ('LS138, 'LS139) or one normalized Series 54S/74S load ('S138, 'S139) to its driving circuit. All inputs are clamped with high-performance Schottky diodes to suppress line-ringing and simplify system design. Series 54LS and 54S devices are characterized for operation over the full military temperature range of −55°C to 125°C; Series 74LS and 74S devices are characterized for 0°C to 70°C industrial systems.

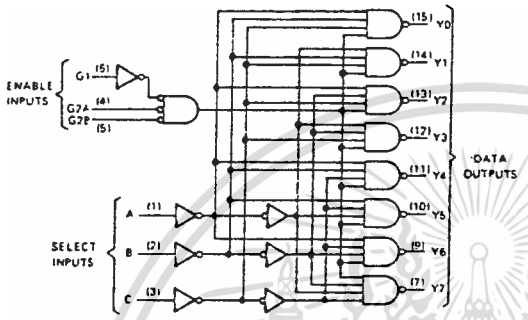


TEXAS INSTRUMENTS
INCORPORATED
POST OFFICE BOX 5012 • DALLAS, TEXAS 75222

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## functional block diagrams and logic

'LS138, 'S138

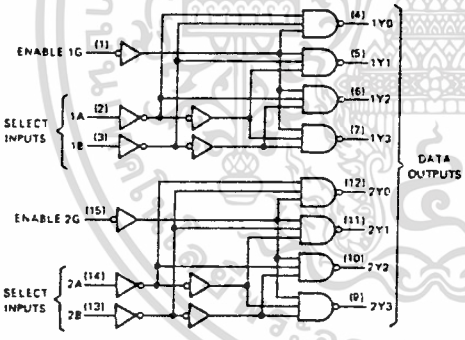



'LS138, 'S138
FUNCTION TABLE

| INPUTS | | | | | OUTPUTS | | | | | | | |
|---|---|---|---|---|---|---|---|---|---|---|---|---|
| ENABLE | | SELECT | | | | | | | | | | |
| G1 | G2* | C | B | A | Y0 | Y1 | Y2 | Y3 | Y4 | Y5 | Y6 | Y7 |
| X | H | X | X | X | H | H | H | H | H | H | H | H |
| L | X | X | X | X | H | H | H | H | H | H | H | H |
| H | L | L | L | L | L | H | H | H | H | H | H | H |
| H | L | L | L | H | H | L | H | H | H | H | H | H |
| H | L | L | H | L | H | H | L | H | H | H | H | H |
| H | L | L | H | H | H | H | H | L | H | H | H | H |
| H | L | H | L | L | H | H | H | H | L | H | H | H |
| H | L | H | L | H | H | H | H | H | H | L | H | H |
| H | L | H | H | L | H | H | H | H | H | H | L | H |
| H | L | H | H | H | H | H | H | H | H | H | H | L |

*G2 = G2A + G2B
H = high level, L = low level, X = irrelevant

'LS139, 'S139

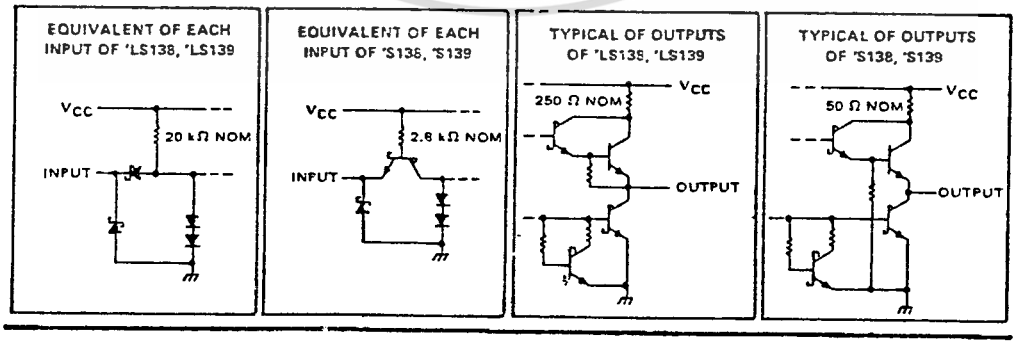



'LS139, 'S139
(EACH DECODER/DEMULTIPLEXER)
FUNCTION TABLE

| INPUTS | | | OUTPUTS | | | |
|---|---|---|---|---|---|---|
| ENABLE | SELECT | | | | | |
| G | B | A | Y0 | Y1 | Y2 | Y3 |
| H | X | X | H | H | H | H |
| L | L | L | L | H | H | H |
| L | L | H | H | L | H | H |
| L | H | L | H | H | L | H |
| L | H | H | H | H | H | L |

H = high level, L = low level, X = irrelevant

## schematics of inputs and outputs






เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## absolute maximum ratings over operating free-air temperature range (unless otherwise noted)

Supply voltage, $V_{CC}$ (see Note 1) . . . . . 7 V
Input voltage . . . . . 7 V
Operating free-air temperature range: SN54LS138, SN54LS139 Circuits . . . . . −55°C to 125°C
SN74LS138, SN74LS139 Circuits . . . . . 0°C to 70°C
Storage temperature range . . . . . −65°C to 150°C

NOTE 1 Voltage values are with respect to network ground terminal.

## recommended operating conditions

| | SN54LS138 SN54LS139 | | | SN74LS138 SN74LS139 | | | UNIT |
|---|---|---|---|---|---|---|---|
| | MIN | NOM | MAX | MIN | NOM | MAX | |
| Supply voltage, $V_{CC}$ | 4.5 | 5 | 5.5 | 4.75 | 5 | 5.25 | V |
| High-level output current, $I_{OH}$ | | | −400 | | | −400 | μA |
| Low-level output current, $I_{OL}$ | | | 4 | | | 8 | mA |
| Operating free-air temperature, $T_A$ | −55 | | 125 | 0 | | 70 | °C |

## electrical characteristics over recommended operating free-air temperature range (unless otherwise noted)

| PARAMETER | | TEST CONDITIONS† | | SN54LS138 SN54LS139 | | | SN74LS138 SN74LS139 | | | UNIT |
|---|---|---|---|---|---|---|---|---|---|---|
| | | | | MIN | TYP‡ | MAX | MIN | TYP‡ | MAX | |
| $V_{IH}$ | High-level input voltage | | | 2 | | | 2 | | | V |
| $V_{IL}$ | Low-level input voltage | | | | | 0.7 | | | 0.8 | V |
| $V_{IK}$ | Input clamp voltage | $V_{CC}$ = MIN, $I_I$ = −18 mA | | | | −1.5 | | | −1.5 | V |
| $V_{OH}$ | High-level output voltage | $V_{CC}$ = MIN, $V_{IH}$ = 2 V, $V_{IL}$ = $V_{IL\ max}$, $I_{OH}$ = −400 μA | | 2.5 | 3.4 | | 2.7 | 3.4 | | V |
| $V_{OL}$ | Low-level output voltage | $V_{CC}$ = MIN, $V_{IH}$ = 2 V, $V_{IL}$ = $V_{IL\ max}$ | $I_{OL}$ = 4 mA | | 0.25 | 0.4 | | 0.25 | 0.4 | V |
| | | | $I_{OL}$ = 8 mA | | | | | 0.35 | 0.5 | |
| $I_I$ | Input current at maximum input voltage | $V_{CC}$ = MAX, $V_I$ = 7 V | | | | 0.1 | | | 0.1 | mA |
| $I_{IH}$ | High-level input current | $V_{CC}$ = MAX, $V_I$ = 2.7 V | | | | 20 | | | 20 | μA |
| $I_{IL}$ | Low-level input current | $V_{CC}$ = MAX, $V_I$ = 0.4 V | | | | −0.4 | | | −0.4 | mA |
| $I_{OS}$ | Short circuit output current§ | $V_{CC}$ = MAX | 'LS138 | −20 | | −100 | −20 | | −100 | mA |
| | | | 'LS139 | −6 | | −40 | −5 | | −42 | |
| $I_{OS}$ | Supply current | $V_{CC}$ = MAX, Outputs enabled and open | 'LS138 | | 6.3 | 10 | | 6.3 | 10 | mA |
| | | | 'LS139 | | 6.8 | 11 | | 6.8 | 11 | |

†For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions for the applicable device type.
‡All typical values are at $V_{CC}$ = 5 V, $T_A$ = 25°C.
§Not more than one output should be shorted at a time.

## switching characteristics, $V_{CC}$ = 5 V, $T_A$ = 25°C

| PARAMETER¶ | FROM (INPUT) | TO (OUTPUT) | LEVELS OF DELAY | TEST CONDITIONS | SN54LS138 SN74LS138 | | | SN54LS139 SN74LS139 | | | UNIT |
|---|---|---|---|---|---|---|---|---|---|---|---|
| | | | | | MIN | TYP | MAX | MIN | TYP | MAX | |
| $t_{PLH}$ | Binary Select | Any | 2 | $C_L$ = 15 pF, $R_L$ = 2 kΩ, See Note 2 | | 13 | 20 | | 13 | 20 | ns |
| $t_{PHL}$ | | | | | | 27 | 41 | | 22 | 33 | ns |
| $t_{PLH}$ | | | 3 | | | 18 | 27 | | 18 | 29 | ns |
| $t_{PHL}$ | | | | | | 26 | 39 | | 25 | 38 | ns |
| $t_{PLH}$ | Enable | Any | 2 | | | 12 | 18 | | 16 | 24 | ns |
| $t_{PHL}$ | | | | | | 21 | 32 | | 21 | 32 | ns |
| $t_{PLH}$ | | | 3 | | | 17 | 26 | | | | ns |
| $t_{PHL}$ | | | | | | 25 | 38 | | | | ns |

¶$t_{PLH}$ = propagation delay time, low-to-high-level output; $t_{PHL}$ = propagation delay time, high-to-low-level output.
NOTE 2 Load circuits and waveforms are shown on page 3-11.



TEXAS INSTRUMENTS
INCORPORATED
POST OFFICE BOX 5012 • DALLAS, TEXAS 75222

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## absolute maximum ratings over operating free-air temperature range (unless otherwise noted)

Supply voltage, $V_{CC}$ (see Note 1) . . . . . 7 V
Input voltage . . . . . 5.5 V
Operating free-air temperature range: SN54S138, SN54S139 Circuits . . . . . −55°C to 125°C
SN74S138, SN74S139 Circuits . . . . . 0°C to 70°C
Storage temperature range . . . . . −65°C to 150°C

NOTE 1: Voltage values are with respect to network ground terminal.

## recommended operating conditions

| | SN54S138 SN54S139 | | | SN74S138 SN74S139 | | | UNIT |
|---|---|---|---|---|---|---|---|
| | MIN | NOM | MAX | MIN | NOM | MAX | |
| Supply voltage, $V_{CC}$ | 4.5 | 5 | 5.5 | 4.75 | 5 | 5.25 | V |
| High-level output current, $I_{OH}$ | | | −1 | | | −1 | mA |
| Low-level output current, $I_{OL}$ | | | 20 | | | 20 | mA |
| Operating free-air temperature, $T_A$ | −55 | | 125 | 0 | | 70 | °C |

## electrical characteristics over recommended operating free-air temperature range (unless otherwise noted)

| PARAMETER | TEST CONDITIONS† | | SN54S138 SN74S138 | | | SN54S139 SN74S139 | | | UNIT |
|---|---|---|---|---|---|---|---|---|---|
| | | | MIN | TYP‡ | MAX | MIN | TYP‡ | MAX | |
| $V_{IH}$ High-level input voltage | | | 2 | | | 2 | | | V |
| $V_{IL}$ Low-level input voltage | | | | | 0.8 | | | 0.8 | V |
| $V_{IK}$ Input clamp voltage | $V_{CC}$ = MIN, $I_I$ = −18 mA | | | | −1.2 | | | −1.2 | V |
| $V_{OH}$ High-level output voltage | $V_{CC}$ = MIN, $V_{IH}$ = 2 V, $V_{IL}$ = 0.8 V, $I_{OH}$ = −1 mA | SN54S' | 2.5 | 3.4 | | 2.5 | 3.4 | | V |
| | | SN74S' | 2.7 | 3.4 | | 2.7 | 3.4 | | |
| $V_{OL}$ Low-level output voltage | $V_{CC}$ = MIN, $V_{IH}$ = 2 V, $V_{IL}$ = 0.8 V, $I_{OL}$ = 20 mA | | | | 0.5 | | | 0.5 | V |
| $I_I$ Input current at maximum input voltage | $V_{CC}$ = MAX, $V_I$ = 5.5 V | | | | 1 | | | 1 | mA |
| $I_{IH}$ High-level input current | $V_{CC}$ = MAX, $V_I$ = 2.7 V | | | | 50 | | | 50 | μA |
| $I_{IL}$ Low-level input current | $V_{CC}$ = MAX, $V_I$ = 0.5 V | | | | −2 | | | −2 | mA |
| $I_{OS}$ Short-circuit output current§ | $V_{CC}$ = MAX | | −40 | | −100 | −40 | | −100 | mA |
| $I_{CC}$ Supply current | $V_{CC}$ = MAX, Outputs enabled and open | | | 49 | 74 | | 60 | 90 | mA |

†For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions for the applicable device type.
‡All typical values are at $V_{CC}$ = 5 V, $T_A$ = 25°C.
§Not more than one output should be shorted at a time, and duration of the short-circuit test should not exceed one second.

## switching characteristics, $V_{CC}$ = 5 V, $T_A$ = 25°C

| PARAMETER¶ | FROM (INPUT) | TO (OUTPUT) | LEVELS OF DELAY | TEST CONDITIONS | SN54S138, SN74S138 | | | SN54S139 SN74S139 | | | UNIT |
|---|---|---|---|---|---|---|---|---|---|---|---|
| | | | | | MIN | TYP | MAX | MIN | TYP | MAX | |
| $t_{PLH}$ | Binary select | Any | 2 | $C_L$ = 15 pF, $R_L$ = 280 Ω, See Note 3 | 4.5 | 7 | | 5 | 7.5 | | ns |
| $t_{PHL}$ | | | | | 7 | 10.5 | | 6.5 | 10 | | |
| $t_{PLH}$ | | | 3 | | 7.5 | 12 | | 7 | 12 | | ns |
| $t_{PHL}$ | | | | | 8 | 12 | | 8 | 12 | | |
| $t_{PLH}$ | Enable | Any | 2 | | 5 | 8 | | 5 | 8 | | ns |
| $t_{PHL}$ | | | | | 7 | 11 | | 6.5 | 10 | | |
| $t_{PLH}$ | | | 3 | | 7 | 11 | | — | | | ns |
| $t_{PHL}$ | | | | | 7 | 11 | | | | | |

¶$t_{PLH}$ = propagation delay time, low-to-high-level output
$t_{PHL}$ = propagation delay time, high-to-low-level output

NOTE 3: Load circuits and waveforms are shown on page 3-10.



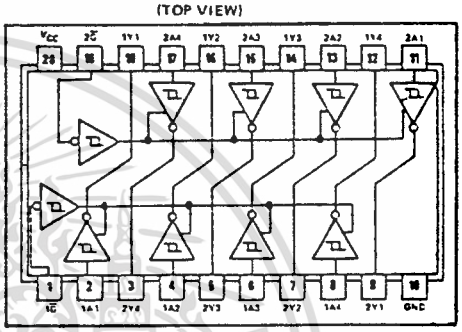
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# TYPES SN54LS240,SN54LS241,SN54LS244,SN54S240,SN54S241, SN74LS240,SN74LS241,SN74LS244,SN74S240,SN74S241 OCTAL BUFFERS AND LINE DRIVERS WITH 3-STATE OUTPUTS

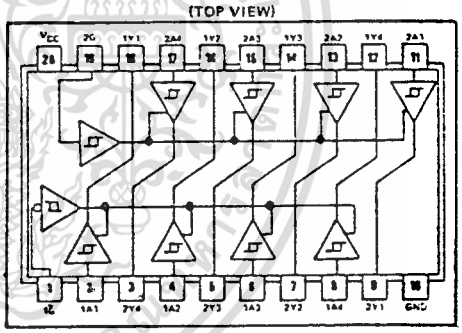
| | Typical $I_{OL}$ (Sink Current) | Typical $I_{OH}$ (Source Current) | Typical Propagation Delay Times | | Typical Enable/ Disable Times | Typical Power Dissipation (Enabled) | |
|---|---|---|---|---|---|---|---|
| | | | Inverting | Noninverting | | Inverting | Noninverting |
| SN54LS' | 12 mA | −12 mA | 10.5 ns | 12 ns | 18 ns | 130 mW | 135 mW |
| SN74LS' | 24 mA | −15 mA | 10.5 ns | 12 ns | 18 ns | 130 mW | 135 mW |
| SN54S' | 48 mA | −12 mA | 4.5 ns | 6 ns | 9 ns | 450 mW | 538 mW |
| SN74S' | 64 mA | −15 mA | 4.5 ns | 6 ns | 9 ns | 450 mW | 538 mW |

- 3-State Outputs Drive Bus Lines or Buffer Memory Address Registers
- P-N-P Inputs Reduce D-C Loading
- Hysteresis at Inputs Improves Noise Margins

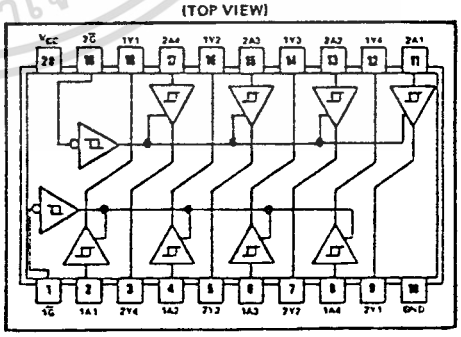
SN54LS240, SN54S240 . . . J
SN74LS240, SN74S240 . . . J OR N
(TOP VIEW)



SN54LS241, SN54S241 . . . J
SN74LS241, SN74S241 . . . J OR N
(TOP VIEW)



SN54LS244 . . . J
SN74LS244 . . . J OR N
(TOP VIEW)



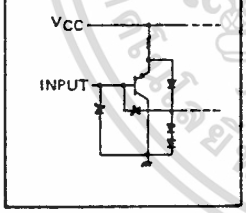
## description

These octal buffers and line drivers are designed specifically to improve both the performance and density of three-state memory address drivers, clock drivers, and bus-oriented receivers and transmitters. The designer has a choice of selected combinations of inverting and noninverting outputs, symmetrical $\overline{G}$ (active-low output control) inputs, and complementary G and $\overline{G}$ inputs. These devices feature high fan-out, improved fan-in, and 400-mV noise-margin. The SN74LS' and SN74S' can be used to drive terminated lines down to 133 ohms.

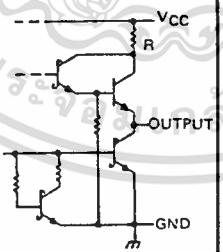
## schematics of inputs and outputs

'LS240, 'LS241, 'LS244

EQUIVALENT OF EACH INPUT




TYPICAL OF ALL OUTPUTS

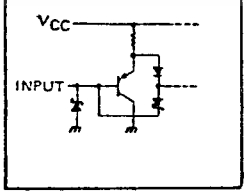



'LS240, 'LS241, 'LS244:
R = 50 Ω NOM

'S240, 'S241:
R = 25 Ω NOM

'S240 'S241

EQUIVALENT OF EACH INPUT




เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## recommended operating conditions

| PARAMETER | SN54LS' | | | SN74LS' | | | UNIT |
|---|---|---|---|---|---|---|---|
| | MIN | NOM | MAX | MIN | NOM | MAX | |
| Supply voltage, $V_{CC}$ (see Note 1) | 4.5 | 5 | 5.5 | 4.75 | 5 | 5.25 | V |
| High-level output current, $I_{OH}$ | | | −12 | | | −15 | mA |
| Low-level output current, $I_{OL}$ | | | 12 | | | 24 | mA |
| Operating free-air temperature, $T_A$ | −55 | | 125 | 0 | | 70 | °C |

NOTE 1: Voltage values are with respect to network ground terminal.

## electrical characteristics over recommended operating free-air temperature range (unless otherwise noted)

| PARAMETER | | TEST CONDITIONS† | | SN54LS' | | | SN74LS' | | | UNIT |
|---|---|---|---|---|---|---|---|---|---|---|
| | | | | MIN | TYP‡ | MAX | MIN | TYP‡ | MAX | |
| $V_{IH}$ | High-level input voltage | | | 2 | | | 2 | | | V |
| $V_{IL}$ | Low-level input voltage | | | | | 0.7 | | | 0.8 | V |
| $V_{IK}$ | Input clamp voltage | $V_{CC}$ = MIN, | $I_I$ = −18 mA | | | −1.5 | | | −1.5 | V |
| | Hysteresis ($V_{T+} - V_{T-}$) | $V_{CC}$ = MIN | | 0.2 | 0.4 | | 0.2 | 0.4 | | V |
| $V_{OH}$ | High-level output voltage | $V_{CC}$ = MIN, $V_{IL}$ = $V_{IL}$ max, | $V_{IH}$ = 2 V, $I_{OH}$ = −3 mA | 2.4 | 3.4 | | 2.4 | 3.4 | | V |
| | | $V_{CC}$ = MIN, $V_{IL}$ = 0.5 V, | $V_{IH}$ = 2 V, $I_{OH}$ = MAX | 2 | | | 2 | | | |
| $V_{OL}$ | Low-level output voltage | $V_{CC}$ = MIN, $V_{IH}$ = 2 V, $V_{IL}$ = $V_{IL}$ max | $I_{OL}$ = 12 mA | | | 0.4 | | | 0.4 | V |
| | | | $I_{OL}$ = 24 mA | | | | | | 0.5 | |
| $I_{OZH}$ | Off-state output current, high-level voltage applied | $V_{CC}$ = MAX, $V_{IH}$ = 2 V, $V_{IL}$ = $V_{IL}$ max | $V_O$ = 2.7 V | | | 20 | | | 20 | μA |
| $I_{OZL}$ | Off-state output current, low-level voltage applied | | $V_O$ = 0.4 V | | | −20 | | | −20 | |
| $I_I$ | Input current at maximum input voltage | $V_{CC}$ = MAX, | $V_I$ = 7 V | | | 0.1 | | | 0.1 | mA |
| $I_{IH}$ | High-level input current, any input | $V_{CC}$ = MAX, | $V_I$ = 2.7 V | | | 20 | | | 20 | μA |
| $I_{IL}$ | Low-level input current | $V_{CC}$ = MAX, | $V_{IL}$ = 0.4 V | | | −0.2 | | | −0.2 | mA |
| $I_{OS}$ | Short-circuit output current♦ | $V_{CC}$ = MAX | | −40 | | −225 | −40 | | −225 | mA |
| $I_{CC}$ | Supply current, Outputs high | $V_{CC}$ = MAX, Outputs open | All | | 17 | 27 | | 17 | 27 | mA |
| | Outputs low | | 'LS240 | | 26 | 44 | | 26 | 44 | |
| | | | 'LS241, 'LS244 | | 27 | 46 | | 27 | 46 | |
| | All outputs disabled | | 'LS240 | | 29 | 50 | | 29 | 50 | |
| | | | 'LS241, 'LS244 | | 32 | 54 | | 32 | 54 | |

†For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.
‡All typical values are at $V_{CC}$ = 5 V, $T_A$ = 25°C.
♦Not more than one output should be shorted at a time, and duration of the short-circuit should not exceed one second.

## switching characteristics, $V_{CC}$ = 5 V, $T_A$ = 25°C

| PARAMETER | | TEST CONDITIONS | 'LS240 | | | 'LS241, 'LS244 | | | UNIT |
|---|---|---|---|---|---|---|---|---|---|
| | | | MIN | TYP | MAX | MIN | TYP | MAX | |
| $t_{PLH}$ | Propagation delay time, low-to-high-level output | $C_L$ = 45 pF, $R_L$ = 667 Ω, See Note 2 | | 9 | 14 | | 12 | 18 | ns |
| $t_{PHL}$ | Propagation delay time, high-to-low-level output | | | 12 | 18 | | 12 | 18 | ns |
| $t_{PZL}$ | Output enable time to low level | | | 20 | 30 | | 20 | 30 | ns |
| $t_{PZH}$ | Output enable time to high level | | | 15 | 23 | | 15 | 23 | ns |
| $t_{PLZ}$ | Output disable time from low level | $C_L$ = 5 pF, $R_L$ = 667 Ω, See Note 2 | | 15 | 25 | | 15 | 25 | ns |
| $t_{PHZ}$ | Output disable time from high level | | | 10 | 18 | | 10 | 18 | ns |

NOTE 2: Load circuit and voltage waveforms are shown on page 3-11.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

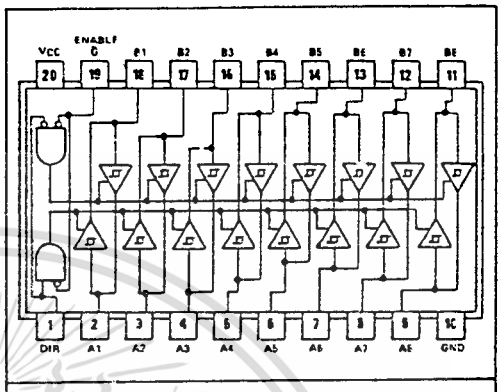
# TYPES SN54LS245, SN74LS245
# OCTAL BUS TRANSCEIVERS WITH 3-STATE OUTPUTS

BULLETIN NO. DL-S 12471, OCTOBER 1976—REVISED FEBRUARY 1979

- Bi-directional Bus Transceiver in a High-Density 20-Pin Package
- 3-State Outputs Drive Bus Lines Directly
- P-N-P Inputs Reduce D-C Loading on Bus Lines
- Hysteresis at Bus Inputs Improve Noise Margins
- Typical Propagation Delay Times, Port-to-Port . . . 8 ns
- Typical Enable/Disable Times . . . 17 ns

| TYPE | $I_{CL}$ (SINK CURRENT) | $I_{OH}$ (SOURCE CURRENT) |
|---|---|---|
| SN54LS245 | 12 mA | −12 mA |
| SN74LS245 | 24 mA | −15 mA |

SN54LS245 . . . J PACKAGE
SN74LS245 . . . J OR N PACKAGE
(TOP VIEW)




positive logic: see function table

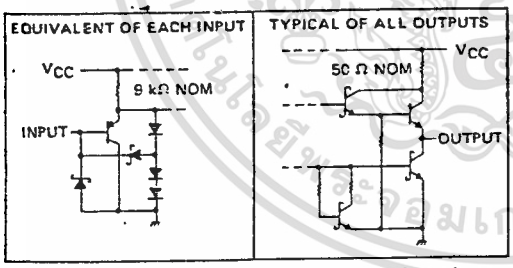
## description

These octal bus transceivers are designed for asynchronous two-way communication between data buses. The control function implementation minimizes external timing requirements.

The device allows data transmission from the A bus to the B bus or from the B bus to the A bus depending upon the logic level at the direction control (DIR) input. The enable input ($\overline{G}$) can be used to disable the device so that the buses are effectively isolated.

The SN54LS245 is characterized for operation over the full military temperature range of −55°C to 125°C. The SN74LS245 is characterized for operation from 0°C to 70°C.

## schematics of inputs and outputs




FUNCTION TABLE

| ENABLE $\overline{G}$ | DIRECTION CONTROL DIR | OPERATION |
|---|---|---|
| L | L | B data to A bus |
| L | H | A data to B bus |
| H | X | Isolation |

H = high level, L = low level, X = irrelevant

## absolute maximum ratings over operating free-air temperature range (unless otherwise noted)

Supply voltage, $V_{CC}$ (see Note 1) . . . . . 7 V
Input voltage . . . . . 7 V
Off-state output voltage . . . . . 5.5 V
Operating free-air temperature range: SN54LS' . . . . . −55°C to 125°C
SN74LS' . . . . . 0°C to 70°C
Storage temperature range . . . . . −65°C to 150°C

NOTE 1: Voltage values are with respect to network ground terminal.

Copyright © 1979 by Texas Instruments Incorporated



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# TYPES SN54LS245, SN74LS245
# OCTAL BUS TRANSCEIVERS WITH 3-STATE OUTPUTS

REVISED FEBRUARY 1979

## recommended operating conditions

| PARAMETER | SN54LS245 | | | SN74LS245 | | | UNIT |
|---|---|---|---|---|---|---|---|
| | MIN | NOM | MAX | MIN | NOM | MAX | |
| Supply voltage, $V_{CC}$ | 4.5 | 5 | 5.5 | 4.75 | 5 | 5.25 | V |
| High-level output current, $I_{OH}$ | | | −12 | | | −15 | mA |
| Low-level output current, $I_{OL}$ | | | 12 | | | 24 | mA |
| Operating free-air temperature, $T_A$ | −55 | | 125 | 0 | | 70 | °C |

## electrical characteristics over recommended operating free-air temperature range (unless otherwise noted)

| PARAMETER | | | TEST CONDITIONS† | | SN54LS245 | | | SN74LS245 | | | UNIT |
|---|---|---|---|---|---|---|---|---|---|---|---|
| | | | | | MIN | TYP‡ | MAX | MIN | TYP‡ | MAX | |
| $V_{IH}$ | High-level input voltage | | | | 2 | | | 2 | | | V |
| $V_{IL}$ | Low-level input voltage | | | | | | 0.7 | | | 0.8 | V |
| $V_{IK}$ | Input clamp voltage | | $V_{CC}$ = MIN, | $I_I$ = −18 mA | | | −1.5 | | | −1.5 | V |
| | Hysteresis ($V_{T+} - V_{T-}$)A or B input | | $V_{CC}$ = MIN | | 0.2 | 0.4 | | 0.2 | 0.4 | | V |
| $V_{OH}$ | High-level output voltage | | $V_{CC}$ = MIN, $V_{IH}$ = 2 V, $V_{IL}$ = $V_{IL}$ max | $I_{OH}$ = −3 mA | 2.4 | 3.4 | | 2.4 | 3.4 | | V |
| | | | | $I_{OH}$ = MAX | 2 | | | 2 | | | |
| $V_{OL}$ | Low-level output voltage | | $V_{CC}$ = MIN, $V_{IH}$ = 2 V, $V_{IL}$ = $V_{IL}$ max | $I_{OL}$ = 12 mA | | | 0.4 | | | 0.4 | V |
| | | | | $I_{OL}$ = 24 mA | | | | | | 0.5 | |
| $I_{OZH}$ | Off-state output current, high-level voltage applied | | $V_{CC}$ = MAX, $\overline{G}$ at 2 V | $V_O$ = 2.7 V | | | 20 | | | 20 | μA |
| $I_{OZL}$ | Off-state output current, low-level voltage applied | | | $V_O$ = 0.4 V | | | −200 | | | −200 | |
| $I_I$ | Input current at maximum input voltage | A or B | $V_{CC}$ = MAX, | $V_I$ = 5.5 V | | | 0.1 | | | 0.1 | mA |
| | | DIR or $\overline{G}$ | | $V_I$ = 7 V | | | 0.1 | | | 0.1 | |
| $I_{IH}$ | High-level input current | | $V_{CC}$ = MAX, | $V_{IH}$ = 2.7 V | | | 20 | | | 20 | μA |
| $I_{IL}$ | Low-level input current | | $V_{CC}$ = MAX, | $V_{IL}$ = 0.4 V | | | −0.2 | | | −0.2 | mA |
| $I_{OS}$ | Short-circuit output current¶ | | $V_{CC}$ = MAX | | −40 | | −225 | −40 | | −225 | mA |
| $I_{CC}$ | Supply current | Total, outputs high | $V_{CC}$ = MAX, | Outputs open | | 48 | 70 | | 48 | 70 | mA |
| | | Total, outputs low | | | | 62 | 90 | | 62 | 90 | |
| | | Outputs at Hi-Z | | | | 64 | 95 | | 64 | 95 | |

†For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.
‡All typical values are at $V_{CC}$ = 5 V, $T_A$ = 25°C.
¶Not more than one output should be shorted at a time, and duration of the short-circuit should not exceed one second.

## switching characteristics, $V_{CC}$ = 5 V, $T_A$ = 25°C

| PARAMETER | | TEST CONDITIONS | | MIN | TYP | MAX | UNIT |
|---|---|---|---|---|---|---|---|
| $t_{PLH}$ | Propagation delay time, low-to-high-level output | $C_L$ = 45 pF, | $R_L$ = 667 Ω, See Note 2 | | 8 | 12 | ns |
| $t_{PHL}$ | Propagation delay time, high-to-low-level output | | | | 8 | 12 | ns |
| $t_{PZL}$ | Output enable time to low level | | | | 27 | 40 | ns |
| $t_{PZH}$ | Output enable time to high level | | | | 25 | 40 | ns |
| $t_{PLZ}$ | Output disable time from low level | $C_L$ = 5 pF, | $R_L$ = 667 Ω, See Note 2 | | 15 | 25 | ns |
| $t_{PHZ}$ | Output disable time from high level | | | | 15 | 25 | ns |

NOTE 2: Load circuit and waveforms are shown on page 1-15.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

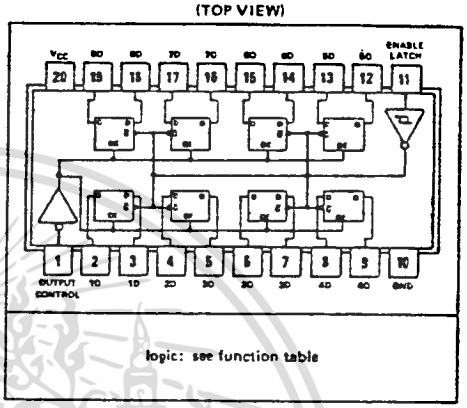
TTL
MSI

# TYPES SN54LS373, SN54LS374, SN54S373, SN54S374, SN74LS373, SN74LS374, SN74S373, SN74S374 OCTAL D-TYPE TRANSPARENT LATCHES AND EDGE-TRIGGERED FLIP-FLOPS

BULLETIN NO. DL-S 12350, OCTOBER 1975 – REVISED JUNE 1979

- Choice of 8 Latches or 8 D-Type Flip-Flops In a Single Package
- 3-State Bus-Driving Outputs
- Full Parallel-Access for Loading
- Buffered Control Inputs
- Clock/Enable Input Has Hysteresis to Improve Noise Rejection
- P-N-P Inputs Reduce D-C Loading on Data Lines ('S373 and 'S374)
- SN54LS363 and SN74LS364 Are Similar But Have Higher $V_{OH}$ For MOS Interface

SN54LS373, SN54S373 . . . J PACKAGE
SN74LS373, SN74S373 . . . J OR N PACKAGE
(TOP VIEW)

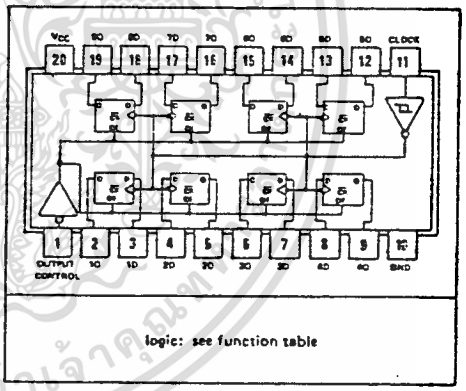



logic: see function table

'LS373, 'S373
FUNCTION TABLE

| OUTPUT ENABLE | ENABLE LATCH | D | OUTPUT |
|---|---|---|---|
| L | H | H | H |
| L | H | L | L |
| L | L | X | $Q_0$ |
| H | X | X | Z |

SN54LS374, SN54S374 . . . J PACKAGE
SN74LS374, SN74S374 . . . J OR N PACKAGE
(TOP VIEW)




logic: see function table

'LS374, 'S374
FUNCTION TABLE

| OUTPUT ENABLE | CLOCK | D | OUTPUT |
|---|---|---|---|
| L | ↑ | H | H |
| L | ↑ | L | L |
| L | L | X | $Q_0$ |
| H | X | X | Z |

See explanation of function tables on page 1-13.

## description

These 8-bit registers feature totem-pole three-state outputs designed specifically for driving highly-capacitive or relatively low-impedance loads. The high-impedance third state and increased high-logic-level drive provide these registers with the capability of being connected directly to and driving the bus lines in a bus-organized system without need for interface or pull-up components. They are particularly attractive for implementing buffer registers, I/O ports, bidirectional bus drivers, and working registers.

The eight latches of the 'LS373 and 'S373 are transparent D-type latches meaning that while the enable (G) is high the Q outputs will follow the data (D) inputs. When the enable is taken low the output will be latched at the level of the data that was set up.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

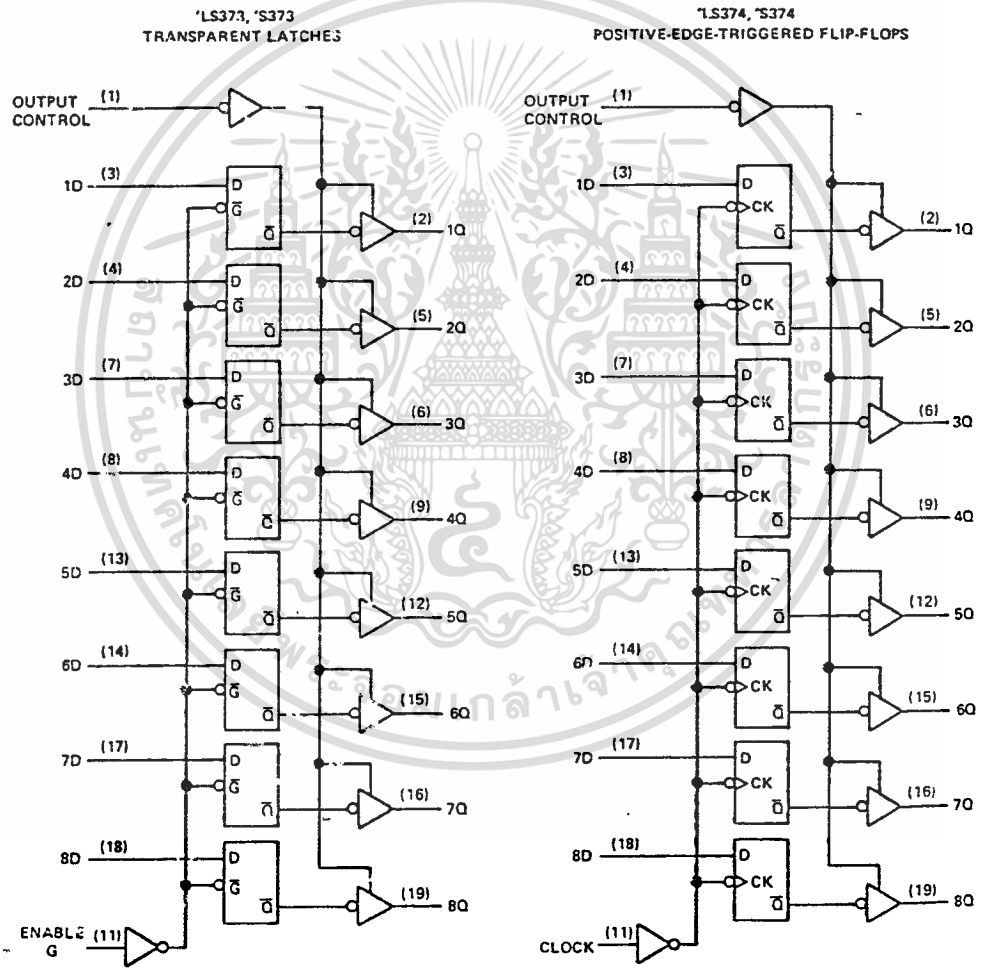
# TYPES SN54LS373, SN54LS374, SN54S373, SN54S374, SN74LS373, SN74LS374, SN74S373, SN74S374 OCTAL D-TYPE TRANSPARENT LATCHES AND EDGE-TRIGGERED FLIP-FLOPS

## description (continued)

The eight flip-flops of the 'LS374 and 'S374 are edge-triggered D-type flip-flops. On the positive transition of the clock, the Q outputs will be set to the logic states that were setup at the D inputs.

Schmitt-trigger buffered inputs at the enable/clock lines simplify system design as ac and dc noise rejection is improved by typically 400 mV due to the input hysteresis. A buffered output control input can be used to place the eight outputs in either a normal logic state (high or low logic levels) or a high-impedance state. In the high-impedance state the outputs neither load nor drive the bus lines significantly.

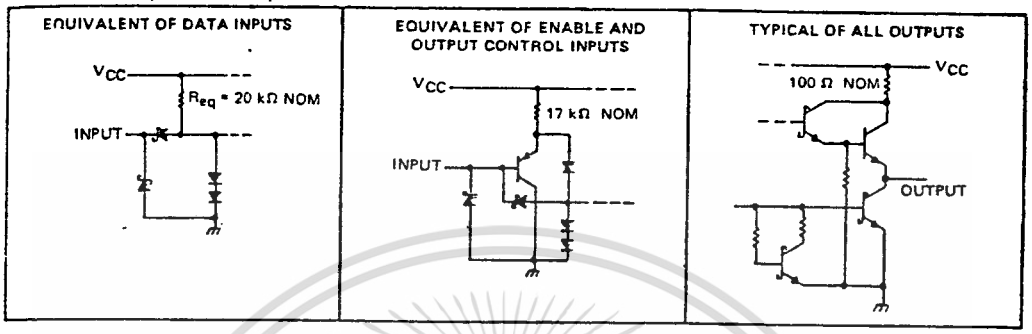
The output control does not affect the internal operation of the latches or flip-flops. That is, the old data can be retained or new data can be entered even while the outputs are off.



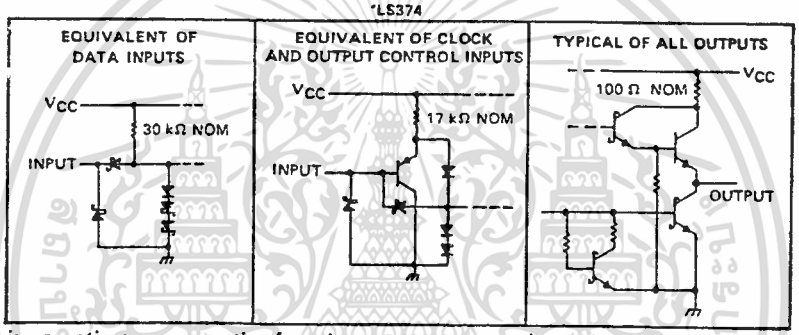

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## schematic of inputs and outputs

'LS373




'LS374




## absolute maximum ratings over operating free-air temperature range (unless otherwise noted)

Supply voltage, $V_{CC}$ (see Note 1) . . . . . 7 V
Input voltage . . . . . 7 V
Off-state output voltage . . . . . 7 V
Operating free-air temperature range: SN54LS' . . . . . −55°C to 125°C
SN74LS' . . . . . 0°C to 70°C
Storage temperature range . . . . . −65°C to 150°C

NOTE 1: Voltage values are with respect to network ground terminal.

## recommended operating conditions

| | | SN54LS' | | | SN74LS' | | | UNIT |
|---|---|---|---|---|---|---|---|---|
| | | MIN | NOM | MAX | MIN | NOM | MAX | |
| Supply voltage, $V_{CC}$ | | 4.5 | 5 | 5.5 | 4.75 | 5 | 5.25 | V |
| High-level output voltage, $V_{OH}$ | | | | 5.5 | | | 5.5 | V |
| High-level output current, $I_{OH}$ | | | | −1 | | | −2.6 | mA |
| Width of clock/enable pulse, $t_w$ | High | 15 | | | 15 | | | ns |
| | Low | 15 | | | 15 | | | |
| Data setup time, $t_{su}$ | 'LS373 | 5↓ | | | 5↓ | | | ns |
| | 'LS374 | 20↑ | | | 20↑ | | | |
| Data hold time, $t_h$ | 'LS373 | 20↓ | | | 20↓ | | | ns |
| | 'LS374 | 0↑ | | | 0↑ | | | |
| Operating free-air temperature, $T_A$ | | −55 | | 125 | 0 | | 70 | °C |

↑↓ The arrow indicates the transition of the clock/enable input used for reference: ↑ for the low-to-high transition, ↓ for the high-to-low transition.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# TYPES SN54LS373, SN54LS374, SN74LS373, SN74LS374
# OCTAL D-TYPE TRANSPARENT LATCHES AND EDGE-TRIGGERED FLIP-FLOPS

REVISED AUGUST 1977

## electrical characteristics over recommended operating free-air temperature range (unless otherwise noted)

| PARAMETER | | TEST CONDITIONS† | | SN54LS' | | | SN74LS' | | | UNIT |
|---|---|---|---|---|---|---|---|---|---|---|
| | | | | MIN | TYP‡ | MAX | MIN | TYP‡ | MAX | |
| $V_{IH}$ | High-level input voltage | | | 2 | | | 2 | | | V |
| $V_{IL}$ | Low-level input voltage | | | | | 0.7 | | | 0.8 | V |
| $V_{IK}$ | Input clamp voltage | $V_{CC}$ = MIN, $I_I$ = −18 mA | | | | −1.5 | | | −1.5 | V |
| $V_{OH}$ | High-level output voltage | $V_{CC}$ = MIN, $V_{IH}$ = 2 V, $V_{IL}$ = $V_{IL}$max, $I_{OH}$ = MAX | | 2.4 | 3.4 | | 2.4 | 3.1 | | V |
| $V_{OL}$ | Low-level output voltage | $V_{CC}$ = MIN, $V_{IH}$ = 2 V, $V_{IL}$ = $V_{IL}$max | $I_{OL}$ = 12 mA | | 0.25 | 0.4 | | 0.25 | 0.4 | V |
| | | | $I_{OL}$ = 24 mA | | | | | 0.35 | 0.5 | |
| $I_{OZH}$ | Off-state output current, high-level voltage applied | $V_{CC}$ = MAX, $V_{IH}$ = 2 V, $V_O$ = 2.7 V | | | | 20 | | | 20 | μA |
| $I_{OZL}$ | Off-state output current, low-level voltage applied | $V_{CC}$ = MAX, $V_{IH}$ = 2 V, $V_O$ = 0.4 V | | | | −20 | | | −20 | μA |
| $I_I$ | Input current at maximum input voltage | $V_{CC}$ = MAX, $V_I$ = 7 V | | | | 0.1 | | | 0.1 | mA |
| $I_{IH}$ | High-level input current | $V_{CC}$ = MAX, $V_I$ = 2.7 V | | | | 20 | | | 20 | μA |
| $I_{IL}$ | Low-level input current | $V_{CC}$ = MAX, $V_I$ = 0.4 V | | | | −0.4 | | | −0.4 | mA |
| $I_{OS}$ | Short-circuit output current§ | $V_{CC}$ = MAX | | −30 | | −130 | −30 | | −130 | mA |
| $I_{CC}$ | Supply current | $V_{CC}$ = MAX, Output control at 4.5 V | 'LS373 | | 24 | 40 | | 24 | 40 | mA |
| | | | 'LS374 | | 27 | 40 | | 27 | 40 | |

†For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.
‡All typical values are at $V_{CC}$ = 5 V, $T_A$ = 25°C.
§Not more than one output should be shorted at a time and duration of the short circuit should not exceed one second.

## switching characteristics, $V_{CC}$ = 5 V, $T_A$ = 25°C

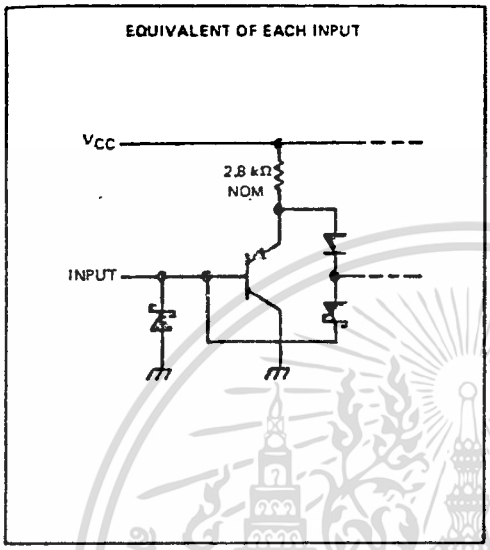
| PARAMETER | FROM (INPUT) | TO (OUTPUT) | TEST CONDITIONS | 'LS373 | | | 'LS374 | | | UNIT |
|---|---|---|---|---|---|---|---|---|---|---|
| | | | | MIN | TYP | MAX | MIN | TYP | MAX | |
| $f_{max}$ | | | $C_L$ = 45 pF, $R_L$ = 667 Ω, See Notes 2 and 3 | | | | 35 | 50 | | MHz |
| $t_{PLH}$ | Data | Any Q | | | 12 | 18 | | | | ns |
| $t_{PHL}$ | | | | | 12 | 18 | | | | |
| $t_{PLH}$ | Clock or enable | Any Q | | | 20 | 30 | | 15 | 28 | ns |
| $t_{PHL}$ | | | | | 18 | 30 | | 19 | 28 | |
| $t_{PZH}$ | Output Control | Any Q | | | 15 | 28 | | 20 | 28 | ns |
| $t_{PZL}$ | | | | | 25 | 36 | | 21 | 28 | |
| $t_{PHZ}$ | Output Control | Any Q | $C_L$ = 5 pF, $R_L$ = 667 Ω, See Note 3 | | 12 | 20 | | 12 | 20 | ns |
| $t_{PLZ}$ | | | | | 15 | 25 | | 14 | 25 | |

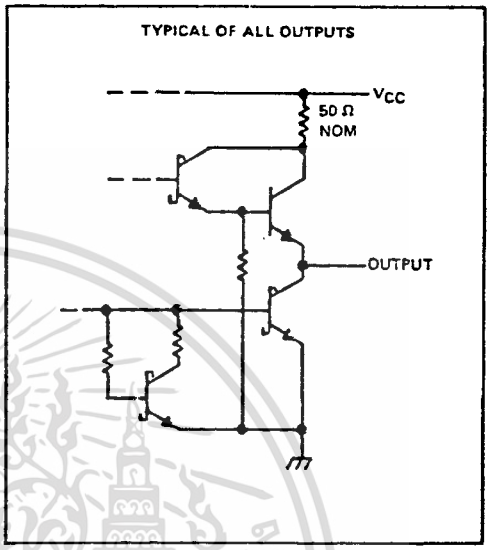
NOTES: 2. Maximum clock frequency is tested with all outputs loaded.
3. See load circuits and waveforms on page 3-11.

$f_{max}$ = maximum clock frequency
$t_{PLH}$ = propagation delay time, low-to-high-level output
$t_{PHL}$ = propagation delay time, high-to-low-level output
$t_{PZH}$ = output enable time to high level
$t_{PZL}$ = output enable time to low level
$t_{PHZ}$ = output disable time from high level
$t_{PLZ}$ = output disable time from low level

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## schematic of inputs and outputs




## absolute maximum ratings over operating free-air temperature range (unless otherwise noted)

Supply voltage, $V_{CC}$ (see Note 1) . . . . . 7 V
Input voltage . . . . . 5.5 V
Off-state output voltage . . . . . 5.5 V
Operating free-air temperature range: SN54S' . . . . . −55°C to 125°C
SN74S' . . . . . 0°C to 70°C
Storage temperature range . . . . . −65°C to 150°C

NOTE 1: Voltage values are with respect to network ground terminal.

## recommended operating conditions

| | | SN54S' | | | SN74S' | | | UNIT |
|---|---|---|---|---|---|---|---|---|
| | | MIN | NOM | MAX | MIN | NOM | MAX | |
| Supply voltage, $V_{CC}$ | | 4.5 | 5 | 5.5 | 4.75 | 5 | 5.25 | V |
| High-level output voltage, $V_{OH}$ | | | | 5.5 | | | 5.5 | V |
| High-level output current, $I_{OH}$ | | | | −2 | | | −6.5 | mA |
| Width of clock/enable pulse, $t_w$ | High | 6 | | | 6 | | | ns |
| | Low | 7.3 | | | 7.3 | | | |
| Data setup time, $t_{su}$ | 'S373 | 0↓ | | | 0↓ | | | ns |
| | 'S374 | 5↑ | | | 5↑ | | | |
| Data hold time, $t_h$ | 'S373 | 10↓ | | | 10↓ | | | ns |
| | 'S374 | 2↑ | | | 2↑ | | | |
| Operating free-air temperature, $T_A$ | | −55 | | 125 | 0 | | 70 | °C |

↑↓ The arrow indicates the transition of the clock/enable input used for reference: ↑ for the low-to-high transition, ↓ for the high-to-low transition.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## electrical characteristics over recommended operating free-air temperature range (unless otherwise noted)

| PARAMETER | | | TEST CONDITIONS† | | MIN | TYP‡ | MAX | UNIT |
|---|---|---|---|---|---|---|---|---|
| $V_{IH}$ | High-level input voltage | | | | 2 | | | V |
| $V_{IL}$ | Low-level input voltage | | | | | | 0.8 | V |
| $V_{IK}$ | Input clamp voltage | | $V_{CC}$ = MIN, | $I_I$ = −18 mA | | | −1.2 | V |
| $V_{OH}$ | High-level output voltage | SN54S' | $V_{CC}$ = MIN, | $V_{IH}$ = 2 V, | 2.4 | 3.4 | | V |
| | | SN74S' | $V_{IL}$ = 0.8 V, | $I_{OH}$ = MAX | 2.4 | 3.1 | | |
| $V_{OL}$ | Low-level output voltage | | $V_{CC}$ = MIN, $V_{IL}$ = 0.8 V, | $V_{IH}$ = 2 V, $I_{OL}$ = 20 mA | | | 0.5 | V |
| $I_{OZH}$ | Off-state output current, high-level voltage applied | | $V_{CC}$ = MAX, $V_O$ = 2.4 V | $V_{IH}$ = 2 V, | | | 50 | μA |
| $I_{OZL}$ | Off-state output current, low-level voltage applied | | $V_{CC}$ = MAX, $V_O$ = 0.5 V | $V_{IH}$ = 2 V, | | | −50 | μA |
| $I_I$ | Input current at maximum input voltage | | $V_{CC}$ = MAX, | $V_I$ = 5.5 V | | | 1 | mA |
| $I_{IH}$ | High-level input current | | $V_{CC}$ = MAX, | $V_I$ = 2.7 V | | | 50 | μA |
| $I_{IL}$ | Low-level input current | | $V_{CC}$ = MAX, | $V_I$ = 0.5 V | | | −250 | μA |
| $I_{OS}$ | Short-circuit output current§ | | $V_{CC}$ = MAX | | −40 | | −100 | mA |
| $I_{CC}$ | Supply current | | $V_{CC}$ = MAX | 'S373 | | 105 | 160 | mA |
| | | | | 'S374 | | 90 | 140 | |

†For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.
‡All typical values are at $V_{CC}$ = 5 V, $T_A$ = 25°C.
§Not more than one output should be shorted at a time and duration of the short circuit should not exceed one second.

## switching characteristics, $V_{CC}$ = 5 V, $T_A$ = 25°C

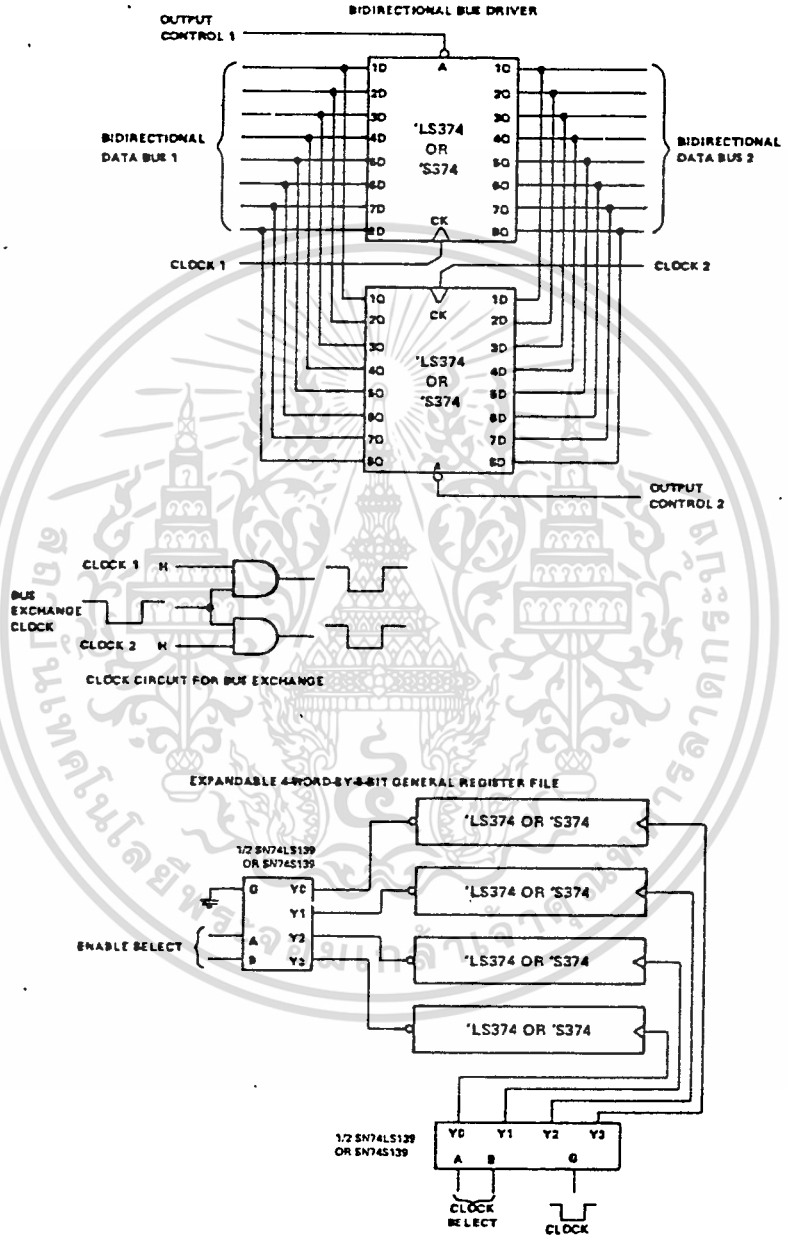
| PARAMETER | FROM (INPUT) | TO (OUTPUT) | TEST CONDITIONS | 'S373 | | | 'S374 | | | UNIT |
|---|---|---|---|---|---|---|---|---|---|---|
| | | | | MIN | TYP | MAX | MIN | TYP | MAX | |
| $f_{max}$ | | | | | | | 75 | 100 | | MHz |
| $t_{PLH}$ | Data | Any Q | $C_L$ = 15 pF, $R_L$ = 280 Ω, See Notes 2 and 4 | | 7 | 12 | | | | ns |
| $t_{PHL}$ | | | | | 7 | 12 | | | | |
| $t_{PLH}$ | Clock or enable | Any Q | | | 7 | 14 | | 8 | 15 | ns |
| $t_{PHL}$ | | | | | 12 | 18 | | 11 | 17 | |
| $t_{PZH}$ | Output Control | Any Q | | | 8 | 15 | | 8 | 15 | ns |
| $t_{PZL}$ | | | | | 11 | 18 | | 11 | 18 | |
| $t_{PHZ}$ | Output Control | Any Q | $C_L$ = 5 pF, $R_L$ = 280 Ω, See Note 3 | | 6 | 9 | | 5 | 9 | ns |
| $t_{PLZ}$ | | | | | 8 | 12 | | 7 | 12 | |

NOTES: 2. Maximum clock frequency is tested with all outputs loaded.
4. See load circuits and waveforms on page 3-10.

$f_{max}$ ≡ maximum clock frequency
$t_{PLH}$ ≡ propagation delay time, low-to-high-level output
$t_{PHL}$ ≡ propagation delay time, high-to-low-level output
$t_{PZH}$ ≡ output enable time to high level
$t_{PZL}$ ≡ output enable time to low level
$t_{PHZ}$ ≡ output disable time from high level
$t_{PLZ}$ ≡ output disable time from low level

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

## TYPICAL APPLICATION DATA




เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# เอกสารอ้างอิง


1. หนังสือเกี่ยวกับระบบโทรศัพท์เคลื่อนที่ และคู่มือการใช้เครื่องโทรศัพท์เคลื่อนที่ของบริษัท แดนคอล (Dancall 7000 NMT System Description)

2. หนังสือเกี่ยวกับระบบโทรศัพท์เคลื่อนที่ และคู่มือการใช้เครื่องโทรศัพท์เคลื่อนที่ของบริษัท อีริคสัน (Ericsson Automatic Mobile Telephone System - Survey)

3. ทรงชัย วีระทวีมาศ, " RAM 2 ทางบน IBM - PC " วารสารเซมิคอนดัคเตอร์อิเลคทรอนิคส์, ฉบับที่ 94 , 2532, หน้า 253-257

4. " คู่มือชิพซัพพอร์ท และหน่วยความจำ (Chip Support and Memory) " , ซีเอ็ดยูเคชั่น, 2529

5. " คู่มือไอซีไมโครโปรเซสเซอร์ (Microprocessor Data Book) " , ซีเอ็ดยูเคชั่น, 2529

6. " Analog Data Book " , Signetics , 1983

7. " Invitation to BID economic and social development project 1984-1992 cellular mobile telephone system first expansion volume 3 technical specification " , องค์การโทรศัพท์แห่งประเทศไทย

8. " MCS-8051 Family of Single Ship Microcomputers Use's Manual " , 1981

9. " The TTL Data Book for Design Engineering " , Texas Instrument Incorporated , 1981



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**กิตติกรรมประกาศ**

ปริญญานิพนธ์ฉบับนี้สามารถลำเร็จลุล่วงไปด้วยดี ขอขอบพระคุณ **รศ. ถวิล พึ่งมา** ที่คอยให้คำปรึกษาในทุกๆด้าน และ พี่พิชญ์ ที่คอยช่วยเหลืออยู่เสมอ ตลอดจนเพื่อนๆทุกๆคนที่คอยให้กำลังใจ และท้ายสุดที่มิอาจลืมได้คือ ลถาบันฯ ที่ได้ประสิทธิ์ประสาทวิชา




เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้