ปีการศึกษา 2532

โมเด็ม
(BPSK MODEM)

โดย

นายธนะศักดิ์ โตรส 29.1078

นางสาวณัฏฐิยาภรณ์ เขียววาท 29.1056

อาจารย์ที่ปรึกษา

อ.ทองทด วานิชศรี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ปีการศึกษา 2532

ภาควิชา วิศวกรรมโทรคมนาคม

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหาร ลาดกระบัง

เรื่อง BPSK MODEM

ผู้จัดทำ

นายธนะศักดิ์	โตรส	29.1078
นางสาวณัฏฐิยาภรณ์	เขียววาท	29.1056

..... อาจารย์ที่ปรึกษา

(อ.ทองทด วานิชศรี)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

BPSK MODEM

ธนะศักดิ์ โตรส
ณัฏฐิยาภรณ์ เขียววาท
อ.ทองทด วานิชศรี อาจารย์ที่ปรึกษา

บทคัดย่อ

ปริญญานิพนธ์ฉบับนี้กล่าวถึง BPSK MODEM ซึ่งเป็นอุปกรณ์ที่ใช้เป็นเครื่องมือในการติดต่อสื่อสารสัญญาณดิจิตอลระหว่างอุปกรณ์ปลายทาง การทำงานของอุปกรณ์ประกอบด้วยการแปลงสัญญาณดิจิตอลไปเป็นสัญญาณอนาลอกเพื่อส่งไปตามสายส่งสัญญาณ และทำการแปลงสัญญาณกลับมาเป็นสัญญาณดิจิตอลในการรับ ลักษณะของการติดต่อจะเป็นแบบจุดต่อจุด โดยมีรูปแบบของช่องสัญญาณเป็นแบบซิมเพล็กซ์ และได้มีการใช้เทคนิคการมอดูเลทสัญญาณแบบไบนารี่เฟสชิฟคีย์อิ้ง โดยใช้สัญญาณพาห์ความถี่ 500 kHzและใช้สัญญาณรูปสี่เหลี่ยมจากฟังก์ชั่นเจนเนอร์เรเตอร์แทนสัญญาณดิจิตอลที่ต้องการส่ง โดยมีความถี่ของสัญญาณที่ 9600Hz ซึ่งในการรับ-ส่งสัญญาณของโมเด็มทำได้ที่อัตราบิท 9600 บิทต่อวินาที

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

BPSK MODEM

Thanasak Torot
Nattiyaporn Khieuwat
Tongtod Vanishsri Advisor

Abstract

In this thesis refers to BPSK MODEM , which is the device , that used to convert a digital signal into an analog signal for send over the transmission lines and convert back into digital signal in the receive section. Its communication - link configuration is point to point, and has simplex type of channels. About a modulation technique ,that used in this modem is Binary Phase Shift Keying (BPSK) and used the carrier frequency about 500 kHz. While using the square wave from a function generator simulates the data signal. The good manner of receive section has bit rate as high as 9600 b/s

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

หน้า

บทที่ 1. บทนำ 1

1.1 ระบบการสื่อสารข้อมูล 1

1.2 การรับ-ส่งข้อมูล 2

บทที่ 2. ทฤษฎีและหลักการ 7

2.1 หลักการพื้นฐานของโมเด็ม 7

2.2 ชนิดของโมเด็ม 8

2.3 การมอดูเลทแบบเฟสชิฟคีย์อิ้ง 9

2.4 ภาคส่งของ BPSK 9

2.5 บาลานซ์มอดูเลเตอร์ 11

2.6 แบนด์วิทของ BPSK 14

2.7 ภาครับของ BPSK 16

2.8 การนำสัญญาณพาห์กลับมาใช้ 17

2.9 เฟสล็อคลูป 18

2.10 วงจรกรองความถี่ 22

2.11 วงจรขยายสัญญาณเลือกความถี่ 24

2.12 วงจรบัฟเฟอร์ 26

บทที่ 3. การออกแบบและการสร้าง 29

3.1 ภาคส่ง 29

3.2 ภาครับ 32

บทที่ 4. การทดลองและผลการทดลอง 39

4.1 การทดลองและผลการทดลองของภาคส่ง 39

4.2 การทดลองและผลการทดลองในการรับ-ส่งสัญญาณ 40

4.3 การทดลองและผลการทดลองของภาครับ 40

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5. สรุปและวิจารณ์ 42

ภาคผนวก ก 43

ภาคผนวก ข 48

กิตติกรรมประกาศ 56

หนังสืออ้างอิง 57

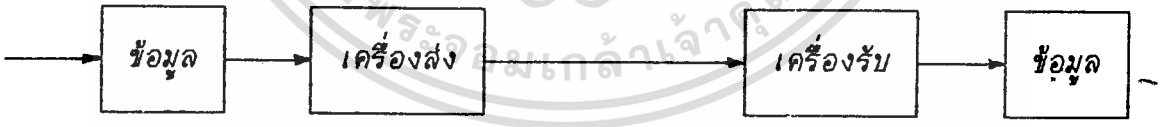
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

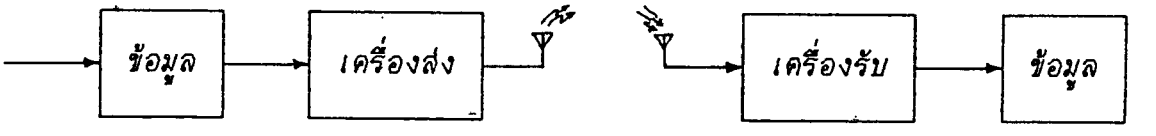
ปัจจุบันระบบการสื่อสารมีการพัฒนามากขึ้นเป็นลำดับ โดยเริ่มมาจากโทรเลข ,วิทยุกระจายเสียง,โทรศัพท์ จนมาถึงปัจจุบันคอมพิวเตอร์ได้เข้ามามีบทบาทสำคัญ มีส่วนทำให้ระบบการสื่อสารมีประสิทธิภาพสูงขึ้น การสื่อสารข้อมูลกลายเป็นสิ่งจำเป็นและมีอิทธิพลต่อความเป็นอยู่ของมนุษย์ทั้งในปัจจุบันและอนาคต กิจการหลายอย่างอาศัยความก้าวหน้าและความสะดวกสบายของการสื่อสารข้อมูลเป็นส่วนส่งเสริมในการประกอบการ เช่น กิจการธนาคาร,สายการบิน,ธุรกิจการโรงแรม ทำให้มีการพัฒนาและคิดค้นเทคโนโลยีใหม่ๆเกี่ยวกับการสื่อสารข้อมูลอยู่ตลอดเวลา เทคโนโลยีด้านนี้จึงเป็นเรื่องที่น่าสนใจและมีความสำคัญอีกด้านหนึ่งทั้งในปัจจุบันและอนาคต

1.1 ระบบการสื่อสารข้อมูล (DATA COMMUNICATION SYSTEM)

ส่วนประกอบพื้นฐานทั่วไปในการสื่อสารข้อมูลจะต้องประกอบด้วย เครื่องส่ง, ตัวกลางหรือสื่อในการส่งข้อมูลและเครื่องรับ ซึ่งจะมีรูปแบบที่แตกต่างกันออกไปตามเทคนิคและความต้องการใช้งาน สำหรับสื่อที่ใช้ในการส่งข้อมูลนั้น มีหลายแบบ เช่น แบบใช้สาย ซึ่งอาจจะเป็น สายโทรศัพท์,สายโคแอกเชียล(coaxial) หรือแบบไม่ใช้สาย โดยส่งออกเป็นคลื่นวิทยุ ดังรูปที่ 1.1



ก) สื่อการส่งแบบใช้สาย



ข) สื่อการส่งแบบไม่ใช้สาย

รูปที่ 1.1 แผนผังแสดงพื้นฐานของระบบการสื่อสารข้อมูล

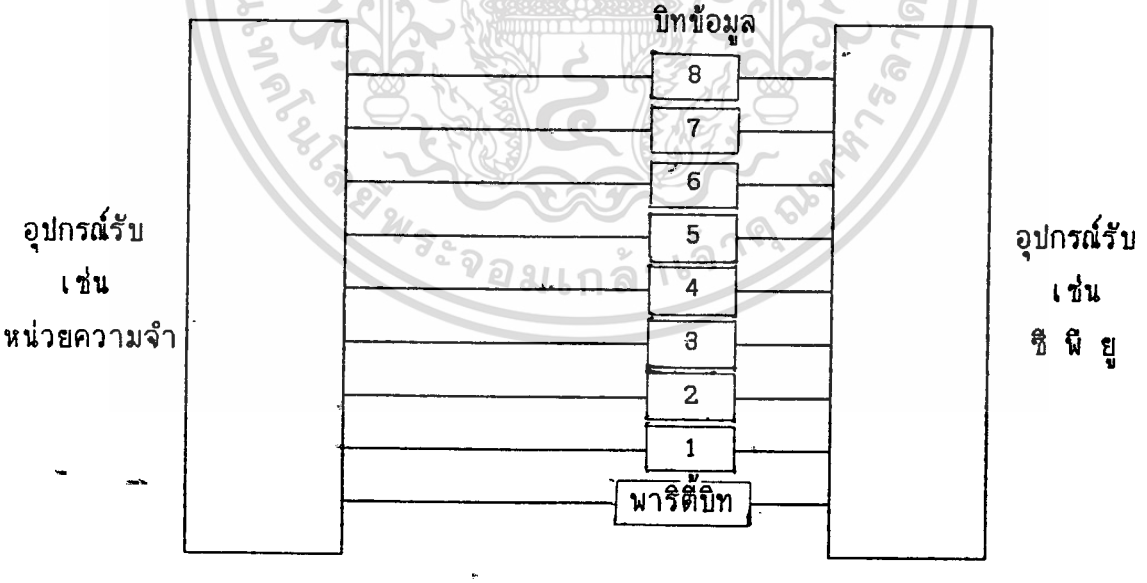
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.2 การรับ-ส่งข้อมูล

การรับส่งข้อมูลสามารถแบ่งออกได้เป็น 2 วิธีด้วยกันคือ

1.2.1 การรับ-ส่งข้อมูลแบบขนาน

ลักษณะของการรับ-ส่งข้อมูลแบบขนานทำได้โดย ส่งข้อมูลออกมาทีละไบท์(byte) คือ 8 บิท(bit) จากเครื่องส่งไปยังเครื่องรับ ตัวกลางระหว่าง 2 เครื่องจะต้องมีช่องทางให้ข้อมูลเดินทางอย่างน้อย 8 ช่องทาง นอกจากนั้นอาจต้องมีทางเดินของสายควบคุมอื่นๆ เช่น บิทบอกพาริตี้(parity)ของสัญญาณ เพื่อเป็นการตรวจสอบความผิดพลาดของการรับสัญญาณที่ปลายทางหรือ สายที่ใช้ควบคุมการโต้ตอบ(hand-shake) ดังนั้นทุกบิทจะเดินทางถึงเครื่องรับพร้อมกัน ทำให้ความเร็วในการส่งข้อมูลสูงกว่าการรับ-ส่งแบบอนุกรม แต่ต้องใช้จำนวนสายในการส่งผ่านข้อมูลมากกว่า ทำให้เกิดความสิ้นเปลืองค่าใช้จ่ายสูง รวมทั้งอาจเกิดการลดทอนของสัญญาณได้มากทำให้การรับข้อมูลผิดพลาด การใช้งานของการรับ-ส่งข้อมูลแบบนี้จึงใช้ติดต่อในระยะทางสั้นๆ ได้แก่ การเคลื่อนย้ายข้อมูลระหว่างเครื่องคอมพิวเตอร์กับอุปกรณ์รอบข้าง เช่น เครื่องพิมพ์

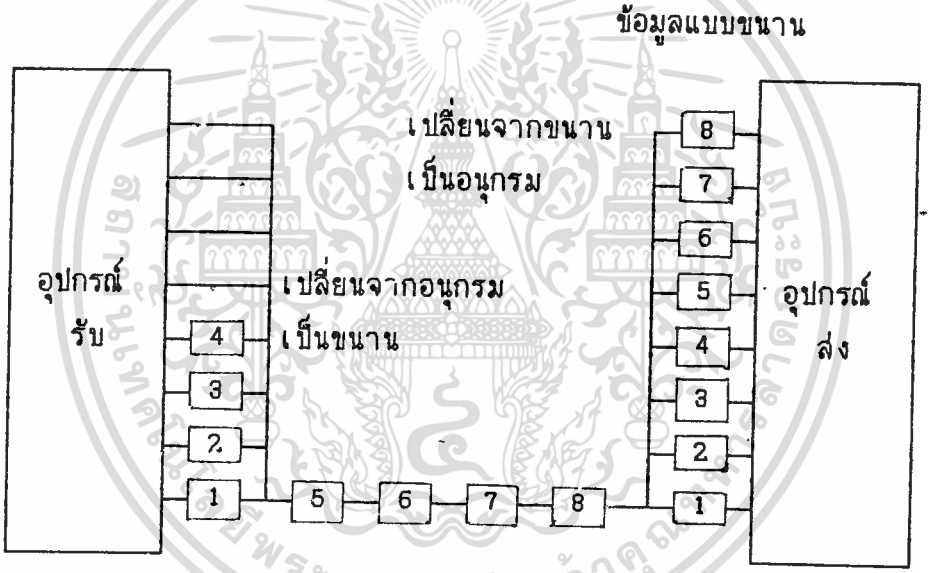


รูปที่ 1.2 แสดงการส่งข้อมูลแบบขนาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.2.2 การรับ-ส่งข้อมูลแบบอนุกรม

ลักษณะการรับ-ส่งข้อมูลแบบอนุกรม ข้อมูลจะถูกส่งออกมาทีละบิท ระหว่างเครื่องส่งกับเครื่องรับ พิจารณาดังรูปที่ 1.3 ข้อมูลที่ส่งจากจุดส่งจะถูกเปลี่ยนให้เป็นแบบอนุกรมเสียก่อน แล้วค่อยทยอยส่งออกทีละบิทไปยังจุดรับ ที่จุดรับก็จะต้องมีกลไกในการเปลี่ยนข้อมูลที่ส่งออกมาทีละบิทให้เป็นสัญญาณแบบขนานให้ลงตัวพอดี สัญญาณอนุกรมนบิทที่ 1 ลงที่เส้นทางของข้อมูลที่ 1 พอดี จากลักษณะดังกล่าวทำให้การรับ-ส่งข้อมูลแบบนี้ช้ากว่าแบบขนานแน่นอน แต่จะใช้ตัวกลางเพียงสายเดียว ค่าใช้จ่ายของสื่อกลางจึงลดลงน้อยกว่า



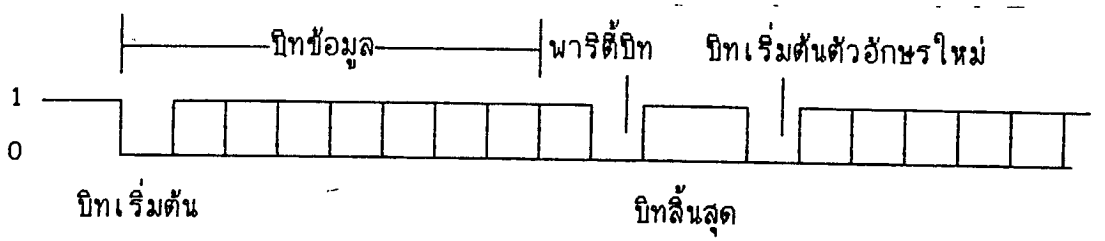
รูปที่ 1.3 แสดงการรับ-ส่งข้อมูลแบบอนุกรม

พิจารณาถึงกลไกเพิ่มเติมที่ใช้ ในการแปลงสัญญาณอนุกรมทีละบิทให้ลงตัวพอดี เพื่อป้องกันการผิดพลาดในการรับ แบ่งออกได้เป็น 2 แบบคือ

1. การส่งแบบอซิงโครนัส(Asynchronous)

โครงสร้างของข้อมูลในการส่งแบบนี้ประกอบด้วย บิทเริ่มต้น(start bit) ,บิทสิ้นสุด(stop bit) และพาริตี้บิท(parity bit) ซึ่งเป็นตัวตรวจสอบความถูกต้องของการรับข้อมูล แสดงดังรูปที่ 1.4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 1.4 รูปแบบการส่งข้อมูลอนุกรมแบบอซิงโครนัส

ลักษณะของการส่งแบบนี้คือ ตอนเริ่มแรกที่ยังไม่มีการส่งข้อมูลนั้น จะมีสัญญาณแรงดันอยู่ตลอดเวลาแสดง แสดงให้ทราบฝ่ายรับยังคงมีการติดต่อกับฝ่ายส่ง เมื่อเริ่มต้นส่งข้อมูลสัญญาณของอซิงโครนัสจะเป็น 0 หนึ่งช่วงสัญญาณนาฬิกา บิทนี้เรียกบิทเริ่มต้น ตามหลังด้วยบิทข้อมูลซึ่งนิยมเข้ารหัสแบบแอสกี้(ASCII) การส่งจะเริ่มจากบิทที่มีค่าน้อยที่สุดก่อนไล่ไปจนถึงบิทที่มีค่ามากที่สุด ตามหลังบิทข้อมูลจะเป็นพาริตี้บิท เป็นตัวตรวจสอบข้อมูล อาจเป็นพาริตี้แบบคู่(even)หรือแบบคี่(odd) ถ้าเป็นพาริตี้แบบคู่ จำนวนบิทที่เป็น 1 ในช่วงบิทข้อมูลรวมกับพาริตี้บิทต้องเป็นจำนวนคู่ ทางผู้ส่งจะเป็นผู้ตรวจสอบข้อมูลและใส่พาริตี้บิทเอง ผู้รับจะตรวจสอบความผิดพลาดของการรับ หากไม่ตรงตามกำหนด นั่นคือ ข้อมูลไม่ตรงกับที่ทำการส่งมา แต่การผิดพลาดที่เกิดจะต้องเป็นจำนวนคี่เท่านั้น หลังจากพาริตี้บิท จะเป็นบิทสิ้นสุด มีค่าเป็น 1 มีช่วงความกว้างเป็นได้ทั้ง 1, 1.5 หรือ 2 เท่าของช่วงสัญญาณนาฬิกา แล้วแต่การตกลงระหว่างผู้ส่งและผู้รับ

จากกลไกดังกล่าวจะเห็นว่าการส่งเป็นไปทีละตัวอักษร โดยมีบางส่วนของสัญญาณที่ส่ง ใช้เป็นตัวควบคุมการส่ง ทำให้ความเร็วในการส่งข้อมูลน้อยลง

2. การส่งแบบซิงโครนัส(Synchronous)

ข้อแตกต่างของการส่งแบบซิงโครนัสและอซิงโครนัสคือ ความต่อเนื่องในการส่งข้อมูล แบบซิงโครนัสข้อมูลมีการส่งแบบต่อเนื่อง และต้องส่งสัญญาณนาฬิกาไปพร้อมข้อมูล ในการส่งข้อมูลระยะสั้นๆสัญญาณนาฬิกาซึ่งเป็นสัญญาณซิงค์(sync.) อาจส่งแยกไปในสายส่งสัญญาณอีกเส้นหนึ่ง แต่ถ้าเป็นการส่งในระยะไกลๆสัญญาณนาฬิกาก็จะถูกเข้ารหัสแล้วทำการส่งรวมไปในสายส่งสัญญาณข้อมูลเลย รูปแบบของการส่งข้อมูลแบบอซิงโครนัสแสดงดังรูปที่ 1.5 ก่อนเริ่มส่งข้อมูลมีการส่งอักขระ(character)นำหน้าประกอบด้วย 1/0 สลับกันเพื่อให้ทางด้านรับปรับสัญญาณนาฬิกาให้ตรงกัน ทำให้สามารถแปลข้อมูลที่รับมาได้ถูก การส่งข้อมูลจะส่งเป็นกลุ่มข้อมูล และจะมีการส่งอักขระซิงค์(sync. character) ซึ่งเป็นตัวบอกความยาวของข้อมูลและจุดเริ่มต้นของข้อมูล ทางฝ่ายรับจะตรวจค้นหาอักขระซิงค์ก่อน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อได้รับแล้วจึงทำการรับข้อมูล ข้อมูลที่เข้ามาจะเป็นกลุ่มข้อมูลประกอบด้วยข้อมูลหลายชุด สำหรับอักขระซิงค์ จะถูกส่งออกมา 2 ครั้งก่อนทำการรับข้อมูลเพื่อป้องกันการผิดพลาด ส่วนของกลุ่มข้อมูลจะมีส่วนหัว(head)บรรยายถึงข้อมูลที่ส่งออกมา และมีการตรวจสอบความถูก-ต้องของข้อมูลที่รับมา โดยบล็อก เช็ค คาแรคเตอร์ (Block Check Character,BCC) ซึ่งเป็นกลุ่มตัวอักษรสำหรับการตรวจสอบความถูกต้อง โดยอาจมีวิธีการในการตรวจสอบได้ 3 วิธีดังนี้

1. การตรวจสอบตามแนวตั้ง(Vertical Redundancy Checking,VRC)
2. การตรวจสอบตามแนวนอน(Longitudinal Redundancy Checking,LRC)
3. การตรวจสอบแบบไซคลิก(Cyclic Redundancy Checking,CRC)

รูปที่ 1.5 รูปแบบการส่งข้อมูลแบบซิงโครนัส

จะเห็นว่าการส่งแบบซิงโครนัสดีกว่าแบบอซิงโครนัส เนื่องจากไม่มีบิทเริ่มต้น ,บิทสิ้นสุดและพาริตี้บิท ทำให้สามารถส่งข้อมูลไปได้ทีละมากๆ

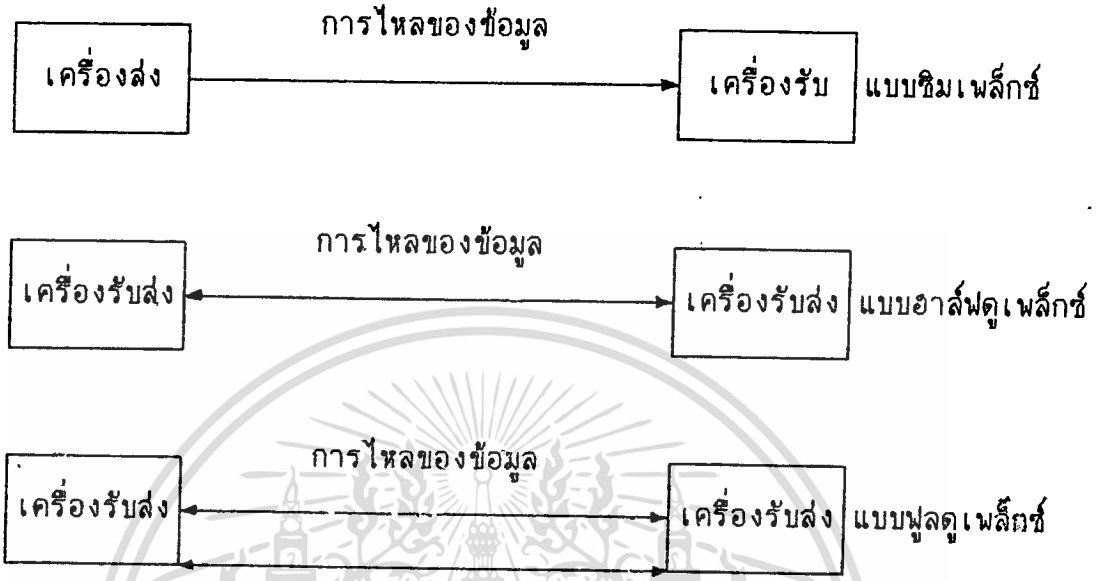
พิจารณารูปแบบของช่องสัญญาณการสื่อสารข้อมูลแบบอนุกรม ดังรูปที่ 1.6 แบ่งออกได้เป็น 3 แบบดังนี้

1. แบบซิมเพลกซ์ (Simplex) การส่งข้อมูลจะสามารถส่งในทิศทางเดียวเท่านั้น บางครั้งเรียก ส่งทิศทางเดียว (uni-direction)

2. แบบฮาล์ฟดูเพลกซ์ (Half-duplex) ทั้งสองสถานีทำการส่งและรับได้ แต่ต้องผลัดกันส่งและผลัดกันรับ จะส่งและรับพร้อมกันไม่ได้

3. แบบฟูลดูเพล็กซ์ (Full-duplex) ทั้งสองสถานีสามารถส่งและรับได้ในเวลาเดียวกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 1.6 รูปแบบช่องสัญญาณการสื่อสารข้อมูล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
ทฤษฎีและหลักการ

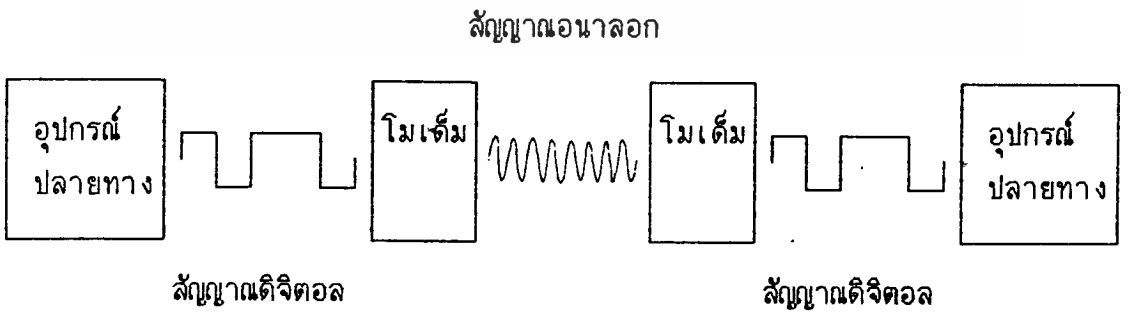
ในการสื่อสารข้อมูลซึ่งเป็นสัญญาณดิจิตอล(digital)นั้น วิธีที่ใช้ในการติดต่อซึ่งกันและกัน ทำได้ 2 วิธีคือ

1. ทำการส่งสัญญาณในรูปสัญญาณดิจิตอลเลย กรณีนี้สายส่งสัญญาณที่ใช้จำเป็นต้องมีแบนด์วิท(bandwidth)กว้าง เพราะสัญญาณดิจิตอลมีแบนด์วิทกว้าง และถ้าทำการส่งไปในระยะไกลสัญญาณดิจิตอลเกิดการเพี้ยนของรูปสัญญาณได้ง่าย วิธีนี้จึงไม่นิยมใช้

2. ทำการส่งสัญญาณ โดยทำการแปลงสัญญาณให้เป็นสัญญาณอนาลอกก่อนแล้วจึงทำการส่งออก ซึ่งจะสามารถส่งในสายส่งสัญญาณทั่วไปได้ เพราะสัญญาณอนาลอกไม่ต้องการแบนด์วิทที่กว้างมากเหมือนสัญญาณดิจิตอล และการส่งแบบนี้จึงต้องมีขั้นตอนการแปลงสัญญาณกลับเป็นสัญญาณดิจิตอลในการรับ

2.1 หลักการพื้นฐานของโมเด็ม (MODEM)

จากวิธีการส่งสัญญาณดิจิตอลโดยแปลงให้อยู่ในรูปสัญญาณอนาลอก และแปลงกลับในการรับ ขั้นตอนการทำงานทั้งสองต้องอาศัยอุปกรณ์ที่เรียกว่า"โมเด็ม" การทำงานของอุปกรณ์มี 2 หน้าที่คือ เป็นตัวแปลงสัญญาณดิจิตอลให้เป็นสัญญาณอนาลอกโดยการมอดูเลท (MOdulation)เพื่อทำการส่งออก และแปลงสัญญาณอนาลอกกลับมาเป็นสัญญาณดิจิตอลโดยการดีมอดูเลท (DEModulation) ในการรับ จากลักษณะการทำงาน 2 หน้าที่ดังกล่าวจึงเป็นที่มาของชื่อ โมเด็ม (MODEM) ดังนั้นในการติดต่อสื่อสารข้อมูลระหว่างอุปกรณ์ปลายทางจึงต้องมีโมเด็มเป็นตัวเชื่อม แสดงดังรูปที่ 2.1 จะเห็นว่าการใช้โมเด็มทำให้การส่งสัญญาณช้าไปบ้าง แต่ก็จะทำให้สามารถส่งสัญญาณดิจิตอลไปทางไกลได้สำเร็จ



รูปที่ 2.1 ลักษณะการส่งสัญญาณผ่านโมเด็ม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2 ชนิดของโมเด็ม

โมเด็มมีอยู่หลายชนิด ซึ่งเราสามารถแบ่งชนิดของโมเด็มเป็นแบบต่างๆ แล้วแต่หลักที่นำมาใช้พิจารณา เช่น

- แบ่งตามอัตราการส่งข้อมูล แบ่งได้เป็น

1. อัตราการส่งข้อมูลต่ำ (Low speed) มีอัตราการส่งข้อมูลไม่เกิน 600 บิทต่อวินาที (b/s)

2. อัตราการส่งข้อมูลปานกลาง (Medium speed) มีอัตราการส่งข้อมูลระหว่าง 600-9600 บิทต่อวินาที

3. อัตราการส่งข้อมูลสูง (High speed) มีอัตราการส่งข้อมูลมากกว่า 9600 บิทต่อวินาที

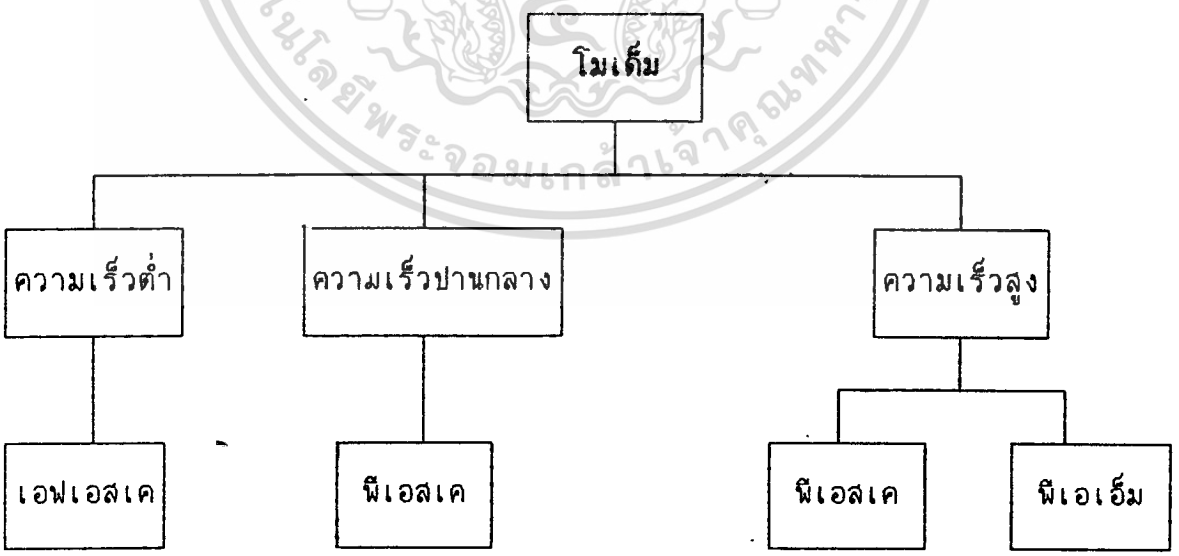
- แบ่งตามเทคนิคการมอดูเลท แบ่งได้เป็น

1. เฟสชิฟคีย์อิ้ง (Phase Shift Keying,PSK)

2. ฟรีเควนซี่ชิฟคีย์อิ้ง (Frequency Shift Keying,FSK)

3. เฟสแอมปลิจูดมอดูเลชั่น (Phase Amplitude Modulation,PAM)

สำหรับเทคนิคการมอดูเลทสัญญาณนั้น มีอีกหลายแบบ แต่ค่อนข้างจะใช้กันน้อย จากหลักที่นำมาพิจารณาทั้ง 2 แบบดังกล่าว สามารถแสดงเป็นไดอะแกรมได้ดังรูปที่ 2.2



รูปที่ 2.2 การแบ่งชนิดของโมเด็ม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

นอกจากหลักที่กล่าวมาแล้ว โมเด็มก็ยังสามารถแบ่งตามระยะการติดต่อของโครงข่าย ได้ 2 แบบ คือ

1.โมเด็มใช้สำหรับระยะไกล (Long-haul modem) โครงข่ายการติดต่อจะใช้ติดต่อในระยะทางไกล โดยต่อผ่านสายโทรศัพท์และชุมสายโทรศัพท์

2.โมเด็มสำหรับระยะใกล้ (Short-haul modem) การติดต่อจะใช้สำหรับระยะใกล้ๆ โครงข่ายการใช้งานมักจะเป็นการติดต่อ แบบจุดต่อจุด (point to point) สายส่งสัญญาณที่ใช้จะเป็นสายเคเบิล ที่ต่อโดยตรง มีขีดจำกัดของระยะการติดต่อ จะกระทำได้ไม่เกิน 10 ไมล์ หรือ 16 กิโลเมตร โดยมีอัตราการส่งข้อมูล แปรเป็นสัดส่วนผกผันกับระยะระหว่างจุดส่งและจุดรับ

2.3 การมอดูเลทแบบเฟสชิฟคีย์อิ้ง (PHASE SHIFT KEYING,PSK)

การมอดูเลทแบบ PSK เป็นการมอดูเลทแบบดิจิตอลแบบหนึ่ง ที่มีลักษณะคล้ายคลึงกับการมอดูเลททางเฟส (phase modulation) ของสัญญาณดิจิตอล แต่ต่างกันตรงที่สัญญาณที่จะนำมามอดูเลทนั้น (modulating signal)เป็นลักษณะของไบนารี่พัลซ์(binary pulse) มีระดับของแรงดันไฟฟ้า(voltage)คงที่ 2 ระดับ ทำให้ค่าของเฟสที่เปลี่ยน-แปลงของสัญญาณที่ผ่านการมอดูเลท (modulated signal) มีค่าจำกัดสำหรับการเปลี่ยน-แปลงระดับของพัลซ์แต่ละครั้ง ซึ่งถ้าเป็นกรณีสัญญาณอนาลอกแล้ว การเปลี่ยนแปลงเฟสของสัญญาณที่ผ่านการมอดูเลทแล้ว จะไม่จำกัดค่าเฟส จะเปลี่ยนแปลงอย่างต่อเนื่อง

สำหรับ ไบนารี่เฟสชิฟคีย์อิ้ง (Binary Phase Shift Keying,BPSK)คือการมอดูเลทแบบ PSK ที่มีค่าการเปลี่ยนแปลงเฟสของสัญญาณที่มอดูเลทระหว่าง 2 ค่าคือ เมื่อสัญญาณดิจิตอลอินพุท(input)มีค่าเป็น 1 เฟสของเอาท์พุท(output) จากการมอดูเลทจะมีค่าๆหนึ่ง ซึ่งต่างเฟสกับกรณีที่สัญญาณดิจิตอลอินพุทเป็น 0 ไป 180 องศา

2.4 ภาคส่งของ BPSK

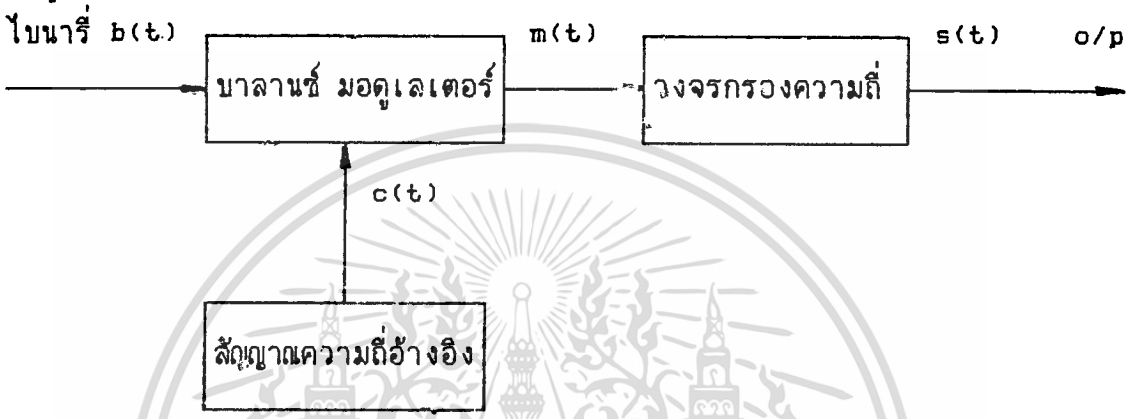
จากรูปที่ 2.3 แสดงแผนผังของการมอดูเลทสัญญาณแบบ BPSK ซึ่งสามารถอธิบายการทำงานได้ดังนี้

สัญญาณที่เป็นอินพุทของ บาลานซ์มอดูเลเตอร์ (balanced modulator) มี 2 สัญญาณคือ สัญญาณพาห์(carrier) ที่มีเฟส(phase)และความถี่คงที่ สร้างโดย วงจรออสซิลเลเตอร์อ้างอิง(reference oscillator), และสัญญาณข้อมูลดิจิตอลแบบไบนารี่ (digital binary) จากหลักการผสมสัญญาณแบบ BPSK นั้น เราจะได้สัญญาณเอาท์พุทจากบาลานซ์มอดูเลเตอร์ เป็นสัญญาณอนาลอกหรือสัญญาณพาห์ที่มีการเปลี่ยนแปลงเฟส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

026845

โดยจะมีค่าระหว่าง 2 ค่าคือ 0° และ 180° การเปลี่ยนแปลงของเฟสที่เกิดขึ้นนั้นจะขึ้นอยู่กับสถานะลอจิก (logic) ของสัญญาณดิจิตอล



รูปที่ 2.3 แผนผังของการมอดูเลทแบบ BPSK

ซึ่งจะสามารถแสดงรูปสัญญาณ ของแต่ละขั้นตอนการทำงานได้ ดังรูปที่ 2.4 รวมทั้งอธิบายการทำงานด้วยสมการทางคณิตศาตร์ ได้ดังนี้

เมื่อ b(t) : ข้อมูลไบนารี่ มีระดับ +A,-A

c(t) : สัญญาณพาห์ $c(t) = \cos w_c t$

m(t) : สัญญาณมอดูเลทเตด(modulated signal)

ดังนั้นจะได้ $m(t) = b(t) * c(t)$ ...(2.1)

$= \pm A\cos w_c t$

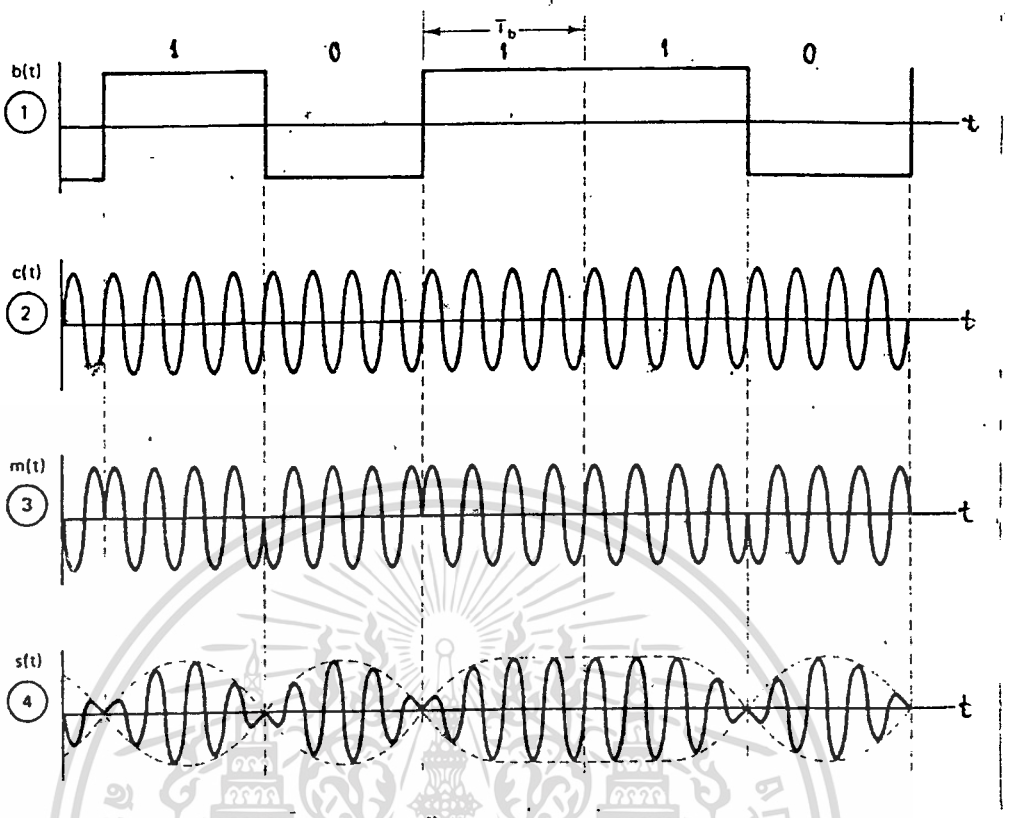
$= A\cos(w_c t+\theta_c)$ โดยที่ $\theta = 0^{\circ},180^{\circ}$ ...(2.2)

จาก $\cos(A+B)= \cos A\cos B - \sin A\sin B$

จะได้ว่า $m_1(t)= +A\cos w_c t$ เมื่อ $\theta = 0^{\circ}$

$m_2(t)= -A\cos w_c t$ เมื่อ $\theta = 180^{\circ}$

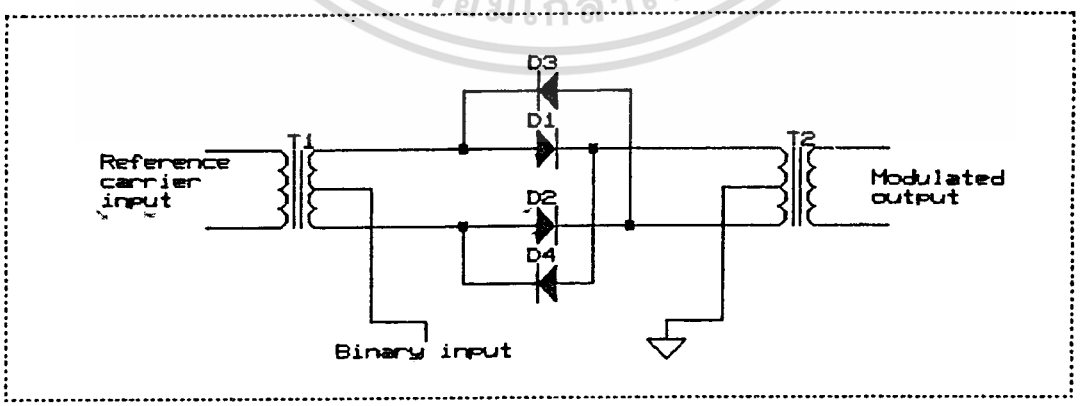
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.4 แสดงรูปสัญญาณของแต่ละขั้นตอนการทำงานของภาคส่งของ BPSK

2.5 บาลานซ์ มอดูเลเตอร์ (BALANCED MODULATOR)

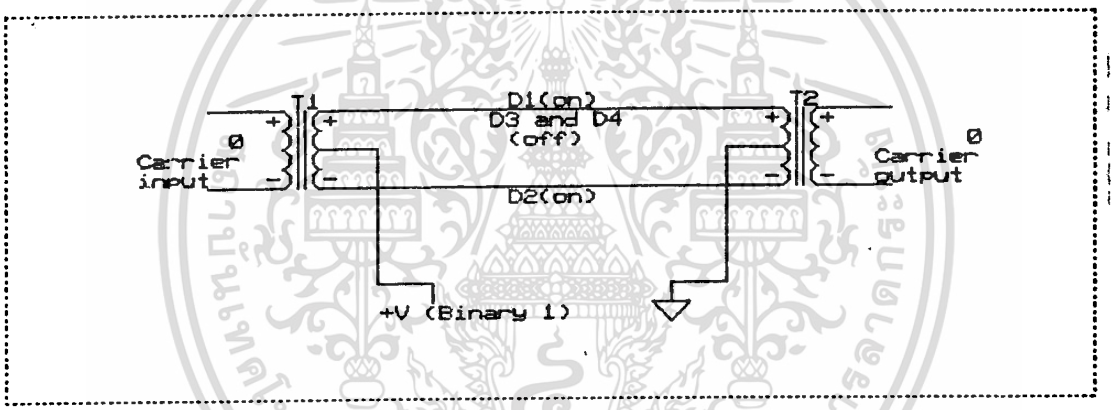
วงจรของบาลานซ์ มอดูเลเตอร์ สามารถสร้างได้หลายแบบ สำหรับในส่วนที่มีการจัดทำขึ้นใช้ในโมเด็มแบบ BPSK นี้ ได้ใช้เป็นแบบ บาลานซ์ ริง มอดูเลเตอร์ (balanced ring modulator) การทำงานของวงจรจะอาศัยไดโอด ซึ่งเป็นอุปกรณ์ที่ไม่เป็นเชิงเส้นเป็นตัวทำการผสมสัญญาณ ดังรูปที่ 2.5



รูปที่ 2.5 บาลานซ์ ริง มอดูเลเตอร์

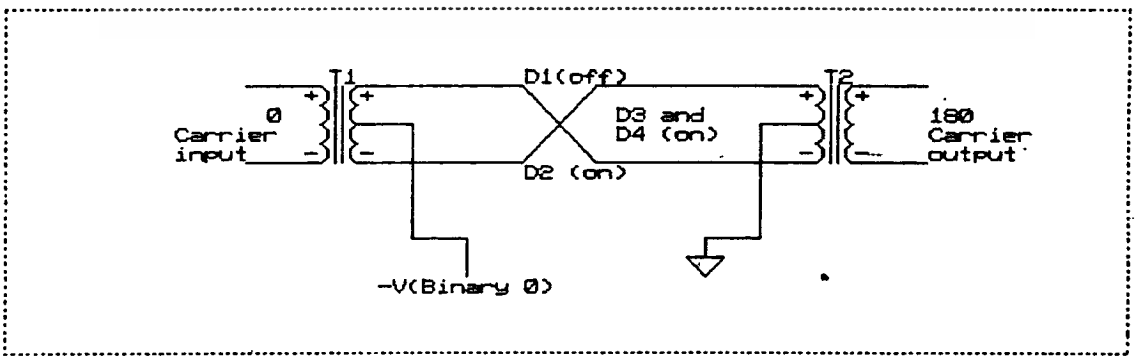
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรจะประกอบไปด้วยไดโอด 4 ตัว (D1-D4) โดยสัญญาณที่เป็นอินพุทประกอบด้วยสัญญาณพาห์และสัญญาณดิจิตอล ซึ่งมีค่าเป็นระดับของแรงดันไฟฟ้า การทำงานของไดโอดจะทำได้ดีเมื่อสัญญาณดิจิตอลที่เข้ามานั้นมีระดับของแรงดันไฟฟ้าที่เหมาะสม ควรจะมีค่ามากพอที่จะไปควบคุมการทำงานปิด/เปิดไดโอด แต่จะต้องไม่มากเกินไป เพราะจะทำให้ไดโอดเกิดการไบอัสในทิศทางกลับ ค่ามากที่สุดประมาณ 600 mV พิจารณาการทำงานของไดโอดทั้ง 4 เมื่อสัญญาณไบนารี่ที่เข้ามามีค่าเป็น 1 (ระดับของแรงดันไฟฟ้าเป็นบวก) จะทำให้ไดโอด D1 และ D2 ถูกไบอัสไดโอดจะเปิด คือมีการนำสัญญาณ แต่ D3 และ D4 จะปิดไม่มีการนำสัญญาณ ดังรูปที่ 2.6 ผลจากการมอดูเลทจะได้สัญญาณเอาท์พุทที่มีเฟสตรงกับสัญญาณพาห์อ้างอิง



รูปที่ 2.6 สัญญาณไบนารี่ลอจิก 1

ในกรณีสัญญาณไบนารี่เป็น 0 (ระดับของแรงดันไฟฟ้าเป็นลบ) ไดโอด D1 และ D2 จะปิด, ไม่มีการนำสัญญาณ แต่ D3 และ D4 จะถูกไบอัส ไดโอดเกิดการนำสัญญาณ และผลจากการมอดูเลทจะได้สัญญาณที่มีเฟสแตกต่างกับสัญญาณอ้างอิงไป 180 องศา ดังรูปที่ 2.7



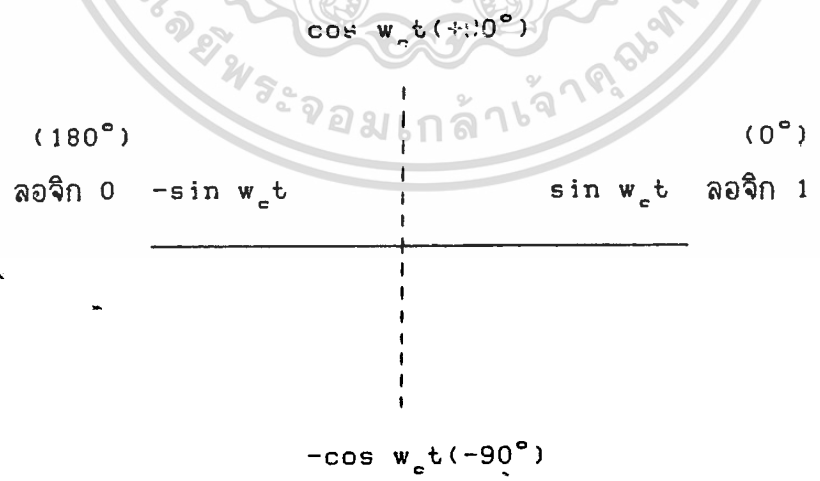
รูปที่ 2.7 สัญญาณไบนารี่ลอจิก 0

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

นอกจากนั้น เรายังสามารถแสดงผลจากการมอดูเลท ในรูปแบบอื่นๆได้อีก เช่น ตารางค่าความจริง, เฟเซอร์ ไดอะแกรม(phasor diagram), คอนสเตลเลชั่น ไดอะแกรม (constellation diagram) หรือ อีกชื่อเรียก signal state-space diagram สำหรับ คอนสเตลเลชั่น ไดอะแกรม นั้น แตกต่างจาก เฟเซอร์ ไดอะแกรม คือ จะแสดงเฉพาะตำแหน่งสัมพัทธ์ของพีค(peak)ของเฟเซอร์

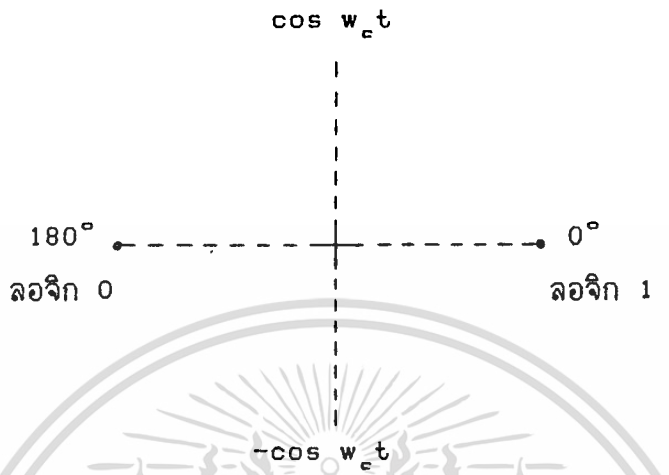
ไบนารี่ อินพุท	เอาท์พุท เฟส
ลอจิก 0	180°
ลอจิก 1	0°

รูปที่ 2.8 ตารางค่าความจริง



รูปที่ 2.9 เฟเซอร์ ไดอะแกรม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.10 คอลสเตลเลชั่น ไดอะแกรม

2.6 แบนด์วิทของ BPSK

พิจารณาถึงแบนด์วิทที่จำเป็นสำหรับ BPSK ก่อนอื่นสมมติให้ระดับของแรงดันไฟฟ้าของสัญญาณดิจิตอลลอจิก 1 มีค่า +1V และลอจิก 0 มีค่า -1V และจากสัญญาณพาห์อ้างอิงมีค่า cos $w_c t$ ดังนั้นเราจะได้สัญญาณเอาท์พุทจากการมอดูเลทเป็น +cos $w_c t$และ -cos $w_c t$ ซึ่งมีค่าของเฟสตรงกับสัญญาณพาห์อ้างอิงและต่างเฟสไป 180° ตามลำดับ จะได้ว่าถ้าสถานะของสัญญาณดิจิตอลที่เข้าเปลี่ยนแปลง สัญญาณเอาท์พุทจะเปลี่ยนแปลงด้วย ซึ่งสามารถนำไปพิจารณาผลที่มีต่อการมอดูเลทของ BPSK คือ ทำให้อัตราการเปลี่ยนแปลงของเอาท์พุทในหน่วย บอด(baud) มีค่าเท่ากับอัตราการเปลี่ยนแปลงของอินพุท ในหน่วยบิทต่อวินาที (bit/second) แบนด์วิทของเอาท์พุทจะกว้างมากที่สุดเมื่อมีการเปลี่ยนแปลงสัญญาณดิจิตอลระหว่าง 1/0

- ความถี่พื้นฐาน(F_s)ของการเปลี่ยนแปลงระหว่าง 1/0 ของสัญญาณดิจิตอลจะมีค่าเป็นครึ่งหนึ่งของอัตราบิท(F_b), เราสามารถแสดงด้วยสมการคณิตศาสตร์ดังนี้

เอาท์พุทจากการมอดูเลทแบบ BPSK = ความถี่พื้นฐานของสัญญาณดิจิตอล
* สัญญาณพาห์
= cos $w_s t$ * cos $w_c t$
หรือ = 1/2cos($w_c t$+$w_s t$)
+ 1/2cos($w_c t$-$w_s t$)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จะได้ว่าค่าแบนด์วิททั้งสองข้างของ Nyquist(F_n) มีค่าอย่างน้อยเท่ากับ

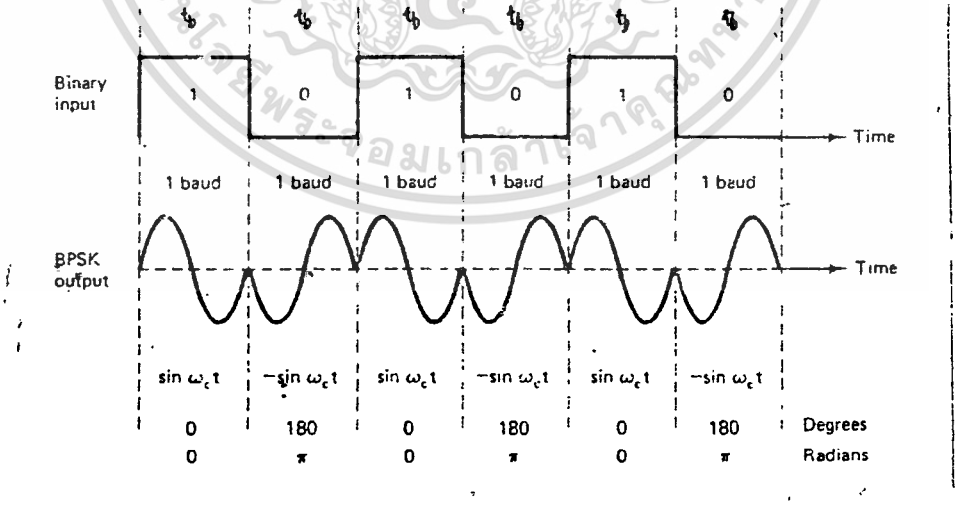
$$= (w_c t + w_m t) - (w_c t - w_m t)$$

$$= 2w_m t$$

จากเราทราบว่า $F_m = w_m t = F_b/2$

ดังนั้น $F_n = 2(F_b/2) = F_b$ ...(2.3)

จะสามารถแสดงความสัมพันธ์ของเวลาและเฟสของเอาท์พุทจากการมอดูเลทแบบ BPSK ดังรูปที่ 2.11 ถ้าดูจากสเปคตรัมของการมอดูเลทแบบ BPSK จะเห็นว่าเป็นแบบดับเบิ้ลไซด์แบนด์ ซัพเพรส แคร์เรีย (double-sideband suppressed carrier) ที่มีความถี่ด้านสูงและด้านต่ำแยกจากความถี่สัญญาณพาห์ด้วยค่าครึ่งหนึ่งของอัตราบิท สรุปได้ว่าแบนด์วิทที่น้อยที่สุดที่ให้สัญญาณเอาท์พุทของ BPSK ผ่านเท่ากับอัตราบิทของอินพุท



รูปที่ 2.11 แสดงความสัมพันธ์ของเฟสเอาท์พุทเทียบกับเวลา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.7 ภาครับของ BPSK

จากรูปที่ 2.12 แสดงแผนผังของภาครับของ BPSK สามารถอธิบายการทำงานได้ดังนี้ สัญญาณอินพุทที่เข้ามาภาครับมีทั้ง $+\cos w_c t$ และ $-\cos w_c t$ ภาครับจะมีวงจร coherent recovery เป็นตัวตรวจจับสัญญาณเพื่อสร้างสัญญาณพาห์ที่มีค่าเฟสและความถี่เดิมขึ้นมาใหม่ และมีวงจร บาลานซ์ มอดูเลเตอร์ ทำการดีมอดูเลทสัญญาณที่รับมาและสัญญาณพาห์ที่สร้างขึ้นใหม่ นำไปผ่าน โลว์พาส ฟิลเตอร์(Low pass filter) ทำการแยกสัญญาณข้อมูลไบนารี่ออกจากสเปคตรัมของสัญญาณที่ผ่านการดีมอดูเลท ซึ่งจะเป็นสัญญาณคอมเพล็กซ์(complex)

รูปที่ 2.12 แผนผังพื้นฐานของภาครับของ BPSK

นอกจากนั้นเรายังสามารถอธิบายการทำงานด้วยสมการคณิตศาสตร์ได้ดังนี้

กรณีสัญญาณอินพุทเป็น $\cos w_c t$ (ลอจิก 1)

$$\text{เอาท์พุท} = (\cos w_c t)*(\cos w_c t)$$
$$= \cos^2 w_c t$$
$$= 1/2(1-\cos 2w_c t)$$
$$= (1/2)-(1/2\cos 2w_c t)$$

filtered out

เอาท์พุท = +1/2 Vdc ลอจิก 1

จะเห็นว่าเอาท์พุทจากการดีมอดูเลทประกอบด้วย 2 ส่วน คือ ไฟดีซี (dc -voltage) และสัญญาณโคซายน์ความถี่ 2 เท่าของสัญญาณพาห์($2w_c t$) เมื่อผ่านโลว์พาสฟิลเตอร์ ซึ่งมีความถี่คัทออฟ(cut off)ต่ำกว่า $2w_c t$ ทำให้ฮาร์โมนิกที่สองของสัญญาณพาห์ถูกกำจัดทิ้ง ผ่านได้เฉพาะส่วนของไฟ dc ซึ่งไฟ dc นี้มีค่าบวก แสดงลอจิก 1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กรณีสัญญาณอินพุทเป็น $-\cos w_c t$ (ลอจิก 0)

เอาท์พุท $= (-\cos w_c t)*(\cos w_c t)$

$= -\cos^2 w_c t$

$= -1/2(1-\cos 2w_c t)$

$= (-1/2)+(1/2\cos 2w_c t)$

filterd out

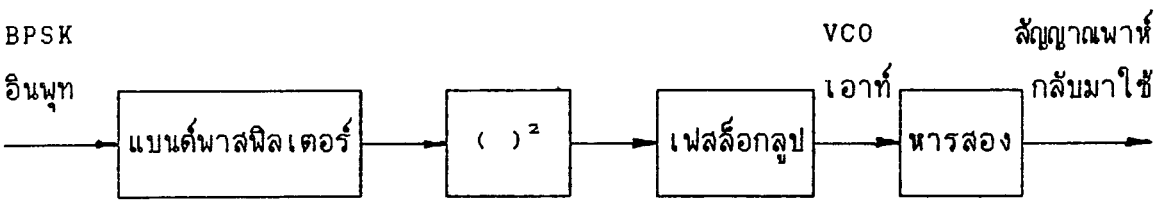
เอาท์พุท = -1/2 Vdc ลอจิก 0

จะเห็นว่าเอาท์พุทที่ได้ประกอบด้วย 2 ส่วนเช่นกันคือ ไฟดีซีและสัญญาณโคซายน์ที่มีความถี่เป็น 2 เท่าของสัญญาณพาห์อ้างอิง ($2w_c t$) และจะใช้โลว์พาสฟิลเตอร์เป็นตัวกำจัดฮาร์โมนิคที่สองทิ้ง เหลือแต่ไฟ dc มีค่าเป็นลบ แสดงลอจิก 0

2.8 การนำสัญญาณพาห์กลับมาใช้ (CARRIER RECOVERY)

การนำเอาสัญญาณพาห์กลับมาใช้ ในภาครับของ BPSK คือกระบวนการไการดิงสัญญาณพาห์ที่มีเฟสตรงกับทางด้านส่ง มาจากสัญญาณอินพุทของภาครับ เนื่องจากหลักการมอดูเลทแบบ BPSK ที่กล่าวมาข้างต้น ในการดีมอดูเลทสัญญาณต้องอาศัยการสร้างสัญญาณพาห์อ้างอิงที่เฟสตรงกับทางด้านส่ง เพื่อเป็นตัวเปรียบเทียบในการดีเทคเตอร์(detector) การทำงานขั้นตอนดังกล่าว จึงต้องอาศัยวงจร การนำสัญญาณพาห์กลับมาใช้ (carrier recovery)

ตามหลักการมอดูเลทของ PSK นั้น สัญญาณพาห์อ้างอิงจะไม่มีการส่งออกถูกซัพเพรส(suppressed) ในขั้นตอนการมอดูเลท ทำให้เราไม่สามารถใช้วิธีธรรมดาในการแทร็ค(tracky)ตาม โดยเฟสล็อกลูป แบบมาตรฐาน ต้องอาศัยวิธีการที่ซับซ้อนขึ้น ทำได้หลายวิธี ซึ่งวิธีที่จะอธิบายต่อไปนี้ เป็นวิธีที่นิยมใช้วิธีหนึ่ง เรียก Squaring Loop



รูปที่ 2.13 แผนผังของ Squaring loop

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 2.13 สัญญาณที่รับมาจะนำมาผ่านแบนด์พาสฟิลเตอร์ (Bandpass Filter,BPF) เพื่อลดความกว้างของสเปคตรัมของสัญญาณรบกวนที่รับมา(noise) แล้วนำมายกกำลังสองความถี่เพื่อเป็นการกำจัดความแตกต่างของสัญญาณที่รับมา ซึ่งได้มาจากการมอดูเลทแบบ BPSK ดังกล่าว ขั้นตอนนี้จะเป็นการสร้างฮาร์โมนิคที่สองของสัญญาณพาห์ เฟสของฮาร์โมนิคจะถูกแทร็คตามโดยเฟสล็อกลูป ความถี่ที่ออกมาจาก VCO จะถูกหารสองและใช้เป็นเฟสอ้างอิงในการดีเทคสัญญาณต่อไป สำหรับรายละเอียดเกี่ยวกับหลักการของเฟสล็อกลูปจะได้อธิบายในหัวข้อต่อไป

เราใช้สมการคณิตศาสตร์มาอธิบายการทำงานของ Squaring loopได้ดังนี้

สัญญาณผ่านการมอดูเลทแบบ BPSK เป็นได้ 2 เฟส คือ

กรณีสัญญาณที่รับมาเป็น $+\sin w_c t$

ผลลัพธ์จากการยกกำลังสอง $(+\sin w_c t)^2 = 1/2(1-\cos 2w_c t)$

$= (1/2)-(1/2\cos 2w_c t)$

filtered out

$= 1/2\cos 2wct$

กรณีสัญญาณที่รับมาเป็น $-\sin w_c t$

ผลลัพธ์จากการยกกำลังสอง $(-\sin w_c t)^2 = 1/2(1-\cos 2w_c t)$

$= (1/2)-(1/2\cos 2w_c t)$

filtered out

$= 1/2\cos 2w_c t$

จะเห็นว่าทั้งสองกรณีมีผลลัพธ์ที่เหมือนกัน และส่วนของไฟ dc ก็จะถูกกำจัดโดยฟิลเตอร์ อนึ่งสำหรับหลักการในการนำความถี่กลับมาใช้ของ BPSK แบบนี้ สามารถนำไปใช้กับสัญญาณที่มีเทคนิคการเข้ารหัสที่สูงกว่าแบบไบนารี่ โดยเปลี่ยนแปลงในส่วนการยกระดับสัญญาณที่รับมาเพื่อกำจัดความแตกต่างดังกล่าว ซึ่งอาจเป็น สี่เท่า,แปดเท่า รวมทั้งในส่วนของกำลังที่ใช้

2.9 เฟสล็อกลูป (PHASE-LOCKED LOOP)

วงจรเฟสล็อกลูปนับเป็นวงจรที่สำคัญอีกวงจรหนึ่ง มีการใช้งานโดยทั่วไปในการติดต่อสื่อสารแบบอนาลอกและดิจิตอล รวมทั้งใช้ในการควบคุมระบบ

พิจารณาจากรูปที่ 2.14 ซึ่งเป็นแผนผังพื้นฐานการทำงานของเฟสล็อกลูป จะเห็นว่าประกอบด้วยส่วนสำคัญ 3 ส่วนได้แก่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

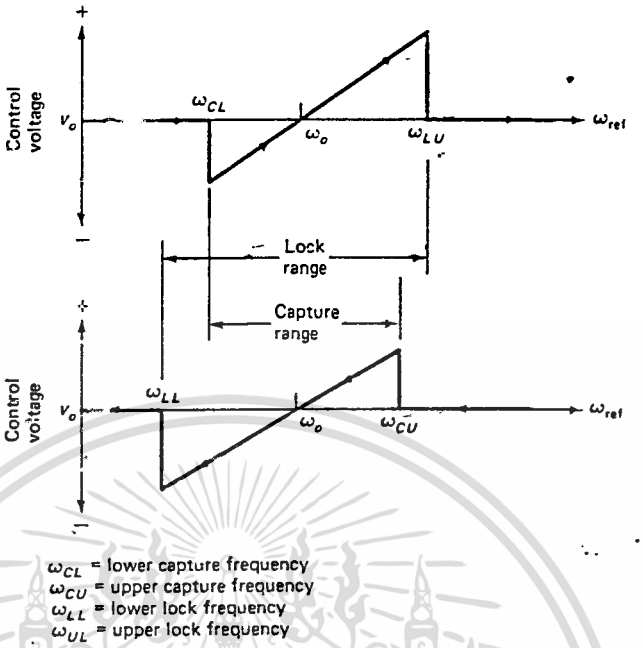
ภาคเทียบเฟสหรือเฟสดีเทคเตอร์(phase comparater or phase detecter) ภาคลูป-ฟิลเตอร์(loop filter) และภาค VCO (voltage control oscillator) ซึ่งมีคุณสมบัติเป็นวงจรออสซิลเลเตอร์ที่สามารถควบคุมความถี่ได้ ด้วยการปรับแรงดันที่ป้อนเข้า หลักการทำงานของเฟสล็อคลูป คือเป็นระบบป้อนกลับ (feed back) ที่ควบคุมให้วงจรออส-ซิลเลเตอร์มีความถี่และเฟสเปลี่ยนแปลง ไปตามความถี่และเฟสของสัญญาณอ้างอิงภายนอก

รูปที่ 2.14 แผนผังพื้นฐานของเฟสล็อคลูป

การทำงานนั้น ในตอนแรกที่ยังไม่มีสัญญาณอ้างอิงภายนอกเข้ามา VCO จะทำงานที่ความถี่ฟรีรันนิ่ง (free running) และเรียกการทำงานของเฟสล็อกลูปว่าอยู่ในฟรีรันนิ่ง-โหมด(free running mode) และเมื่อมีสัญญาณอ้างอิงภายนอกที่มีช่วงความถี่ที่แน่นอน โดยมีค่าความถี่กลางที่, w_o เฟสล็อกลูปจะเริ่มแทร็คตามสัญญาณเรียกการทำงานว่า อยู่ในแทร็คกิ้งโหมด (tracking mode) หรือเฟสมีการล็อคนั่นเอง โดยช่วงความถี่ที่เฟสล็อกลูปเปลี่ยนโหมดการทำงาน จากฟรีรันนิ่งโหมดไปเป็นแทร็คกิ้งโหมด เรียก เคปเจอร์เรนจ์ (capture range)

พิจารณาการทำงานในแทร็คกิ้งโหมด ความต่างเฟสของสัญญาณอ้างอิงภายนอกและสัญญาณจาก VCO จะทำให้เกิดแรงดันคลาดเคลื่อนเพื่อไปควบคุมการทำงานในการสร้างความถี่ของ VCO ซึ่งแรงดันคลาดเคลื่อนนี้จะแปรผันกับความต่างเฟสของสัญญาณทั้งสอง โดยทั่วไปในการออกแบบเฟสล็อคลูป กรณีที่ไม่มีความต่างเฟสระหว่างสัญญาณทั้งสอง VCO จะสร้างสัญญาณป้อนกลับที่มีเฟสนำ(lead)สัญญาณอ้างอิงอยู่ 90° และเฟสจะมีการล็อคเกิดขึ้น การทำงานในการล็อคของเฟสล็อคลูปนั้น จะทำได้ในช่วงหนึ่งซึ่งสัญญาณอ้างอิงภายนอกไม่เกินขีดจำกัดของช่วงการล็อค (lock range) ของเฟสล็อกลูป ช่วงการล็อคของเฟสล็อคลูปอาจมีค่ามากกว่าหรือเท่ากับ เคปเจอร์เรนจ์ โดยทั่วไปจะมีค่ามาก-กว่า ดังแสดงในรูปที่ 2.15

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.15 กราฟแสดงความสัมพันธ์ระหว่างเคปเจอร์เรนจ์และล็อคเรนจ์ของเฟสล็อคลูป

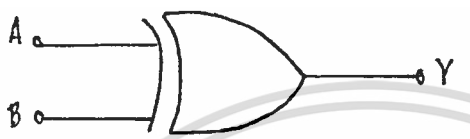
ช่วงการล็อคของเฟสล็อคลูปจะมีช่วงตั้งแต่ 1% ถึง 60% ของความถี่ฟรีรันนิ่งของ VCO ขึ้นอยู่กับคุณสมบัติเฉพาะของอุปกรณ์ที่ใช้

พิจารณาการทำงานในแต่ละภาคที่ประกอบขึ้นเป็นเฟสล็อคลูป

2.9.1 ภาคเทียบเฟส เป็นส่วนที่มีการเปรียบเทียบเฟสระหว่างสัญญาณอ้างอิงภายนอกกับสัญญาณจาก VCO โดยมีเอาท์พุทเป็นแรงดันคลาดเคลื่อน มีค่าแอมปลิจูด (amplitude) เป็นสัดส่วนกับผลต่างของเฟสของสัญญาณที่ทำการเปรียบเทียบ

วิธีที่ง่ายที่สุดในการสร้าง คือใช้เอกซ์คลูซีฟออร์เกท(EXclusive OR Gate ,XOR) ตารางค่าความจริงของลอจิกอินพุทของ XORเกท แสดงดังรูปที่ 2.16 จะเห็นว่าเอาท์พุทของ XORเกท จะสูงเฉพาะกรณีที่อินพุททั้งสองมีลอจิกที่แตกต่างกัน คุณสมบัติดังกล่าวจึงเหมาะจะใช้เป็นตัวเทียบเฟส นอกจากนั้นยังมีวิธีการสร้างวงจรเทียบเฟสแบบอื่น ซึ่งอาจให้ค่าการขยาย(gain)ที่สูงกว่า,มีช่วงในการตอบสนองเฟสที่กว้างกว่าเช่น เอดจ์ทริกเกอร์ฟลิบฟลอบ (edgetriggered flip flop) หรือวงจรลิเนียร์ (linear)เช่น บาลานซ์มอดูเลเตอร์ โดยทั่วไปแล้ว เฟสดีเทคเตอร์ถูกออกแบบให้ใช้งานกับอุปกรณ์ดิจิตอล ทำให้ต้องมีอินพุทเป็นพัลซ์สี่เหลี่ยม(rectangular pulse) แต่ก็ยังมีการดีเทคแบบลิเนียร์ที่ใช้ได้ทั้งแบบดิจิตอลและอนาลอก หรืออาจใช้ชมิทท์ทริกเกอร์ (Schmitt trigger)ซึ่งจะทำการเปลี่ยนสัญญาณอนาลอก เช่น สัญญาณรูปซายน์ให้เป็นสี่เหลี่ยม เพื่อจะทำการดีเทคแบบดิจิตอล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ก)

A ⊕ B

A	B	Y
0	0	0
0	1	1
1	0	1
1	1	0

ข)

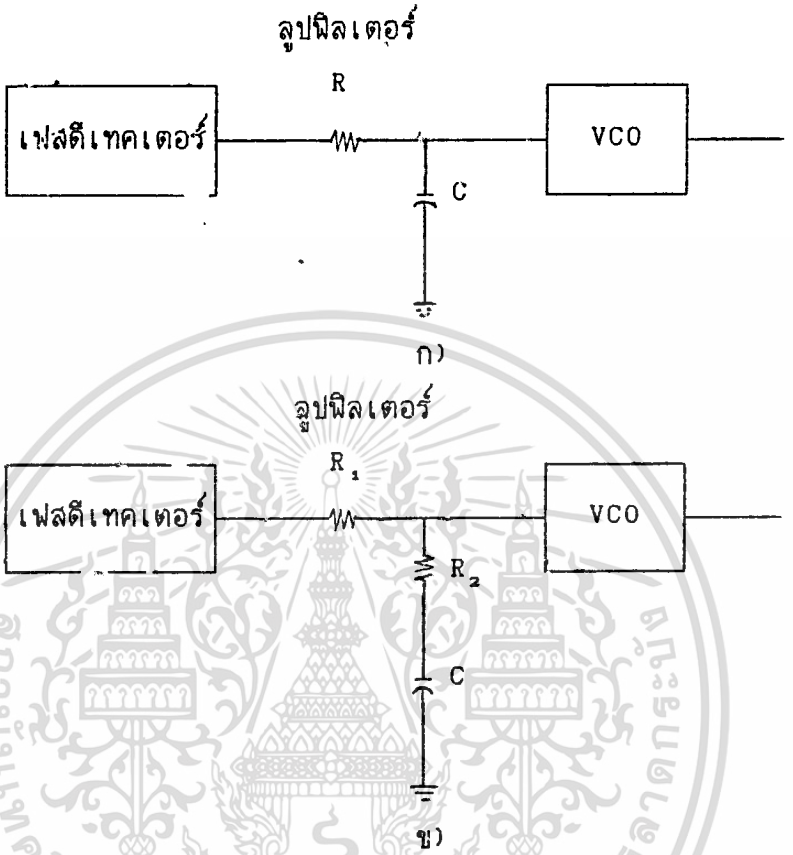
รูปที่ 2.16 XORเกท ก) สัญญลักษณ์ ข) ตารางค่าความจริง

เอาท์พุทจากเฟสคอมพาราเตอร์นั้นจะประกอบด้วย ส่วนของไฟ dc ซึ่งมีค่าเป็นสัดส่วนกับโคซายน์ของความต่างเฟสและส่วนของไฟ ac มีค่าเป็น 2 เท่าของความถี่ของสัญญาณอินพุท เราจะใช้เฉพาะส่วนของ dc ไปควบคุมการทำงานสร้างความถี่ของ VCO ทำให้ต้องนำเอาลูปฟิลเตอร์มาใช้ในเฟสล็อคลูป

2.9.2 ภาคลูปฟิลเตอร์ คือวงจรกรองความถี่สูงของสัญญาณจากภาคเทียบเฟส ให้เหลือแต่ไฟ dc ไปเป็นอินพุทของ VCO นอกจากนั้นแล้ว ลูปฟิลเตอร์ยังเป็นส่วนสำคัญที่ใช้ในการพิจารณาคุณสมบัติทางไดนามิค (dynamic) ของเฟสล็อคลูป เฟสล็อคลูปจะสามารถแทร็คตามการเปลี่ยนแปลงของสัญญาณอ้างอิงได้เร็วเพียงใดนั้นจะขึ้นอยู่กับลูปฟิลเตอร์ รวมทั้งเป็นตัวที่ใช้พิจารณาความกว้างของเคปเจอร์เรนจ์

โลว์พาสฟิลเตอร์แบบธรรมดาที่นิยมใช้เป็นลูปฟิลเตอร์ได้แก่ first order ของ RC โลว์พาส ดังรูปที่ 2.17 ซึ่งในการเลือกชนิดของลูปฟิลเตอร์นั้น จะพิจารณาได้จากรายละเอียดของอุปกรณ์ที่ระบุไว้ในดาต้าชีท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.17 ลูปฟิลเตอร์ ก) แบบธรรมดา ข) แบบ lag-lead

2.9.3 ภาค VCO เป็นภาคที่ทำงานในการสร้างความถี่ โดยควบคุมการทำงานโดยแรงดันไฟฟ้าที่เข้ามาจากลูปฟิลเตอร์ มีวิธีการสร้างได้หลายแบบ เช่น ใช้เป็น วาแรกเตอร์ไดโอด จูนออสซิลเลเตอร์ (varactor tuned-diode) นอกจากนั้นในปัจจุบันยังมีชิป(chips) สำเร็จรูปใช้เป็น VCO โดยเฉพาะ

2.10 วงจรกรองความถี่ (FILTER)

วงจรกรองความถี่หรือฟิลเตอร์ เป็นวงจรที่ยอมให้ความถี่ที่เลือกสามารถผ่านไปได้เท่านั้น ส่วนความถี่อื่นจะถูกกำจัดทิ้ง มีทั้งแบบ พาสซีฟ (passive) และ แบบแอคทีฟ (active) ซึ่งในการนำมาใช้งานในโครงงาน ได้ใช้เป็นแบบแอคทีฟ จึงจะอธิบายเฉพาะส่วนของแอคทีฟเท่านั้น วงจรแบบแอคทีฟนั้นมีความสะดวกในการออกแบบและสร้าง เพราะจะใช้ Rและ C เท่านั้น ไม่ต้องใช้ L วงจรกรองความถี่พื้นฐานมี 3 แบบ ซึ่งจะให้ผลตอบสนองความถี่ที่ดีแตกต่างกันไป เหมาะสมสำหรับการเลือกใช้งานในแต่ละแบบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1. เชฟบีเชฟ (Chebyshev) มีผลตอบสนองความถี่ที่ไม่เรียบ แต่มีความชันของการตอบสนองความถี่ช่วงสต็อปแบนด์(stopband)ชันขึ้น

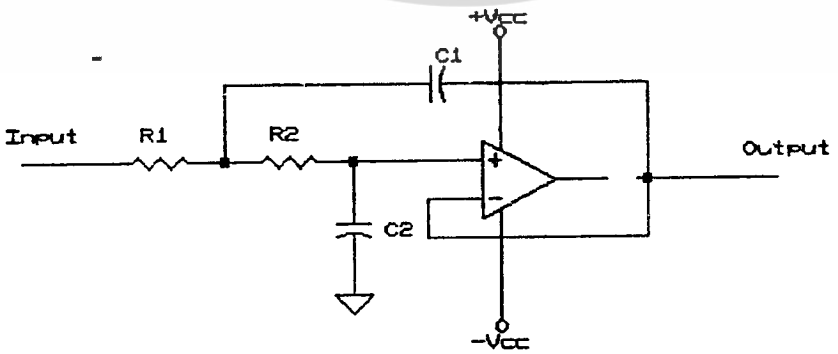
2. บัตเตอร์เวิท (Butterworth) มีผลการตอบสนองความถี่ที่ราบเรียบ

3. เบสเซล (Bessel) มีค่า time-delay ที่ราบเรียบ

พิจารณาเกี่ยวกับวงจรกรองความถี่ทีใช้ เป็นวงจรกรองความถี่ต่ำ(Lowpass filter) มีผลการตอบสนองความถี่ดังแสดงในรูปที่ 2.15 เป็นกราฟแสดงความสัมพันธ์ของความถี่และอัตราการขยาย ซึ่งสามารถนำไปพิจารณาเทียบกับ s-planeได้ ใน s-plane นั้นประกอบด้วย zero และ pole เป็นค่าของแกนจริงและแกนจินตภาพ(jw)ตามลำดับ

รูปที่ 2.18 ผลตอบสนองความถี่ของวงจรกรองความถี่ต่ำ

ตำแหน่งที่ความถี่ มีอัตราการขยายของแรงดันลดลง 3 dB เรียกความถี่คัทออฟ (cutoff) ช่วงความถี่ที่สามารถผ่านไปได้เรียก พาสแบนด์(passband) คือมีความถี่ต่ำกว่าความถี่คัท-ออฟ ส่วนช่วงความถี่สูงกว่าที่ผ่านไปไม่ได้เรียก สต็อปแบนด์(stopband) ตัวอย่างวงจรพื้นฐาน แบบที่นิยมใช้แสดงดังรูปที่ 2.16



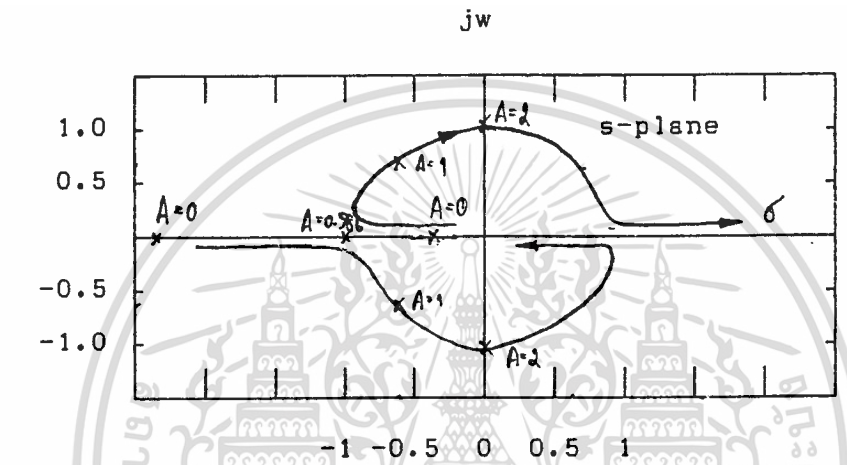
รูปที่ 2.19 วงจรกรองความถี่ต่ำ มีอัตราการขยายเท่ากับ 1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ซึ่งวงจรมีทรานสเฟอร์ฟังก์ชั่นเป็นดังนี้

$$H(s) = 1/[s^2C_1C_2R_1R_2+s[C_2(R_1+R_2) + C_1R_1(1-A)] +1] \quad ...(2.4)$$

และเมื่อมาพิจารณาเทียบใน s-plane แล้ว จะพบว่าเมื่อมีการเปลี่ยนแปลงของค่าอัตราการขยายของวงจร จะทำให้ตำแหน่งของ pole เปลี่ยนแปลงตาม แสดงดังรูปที่ 2.20



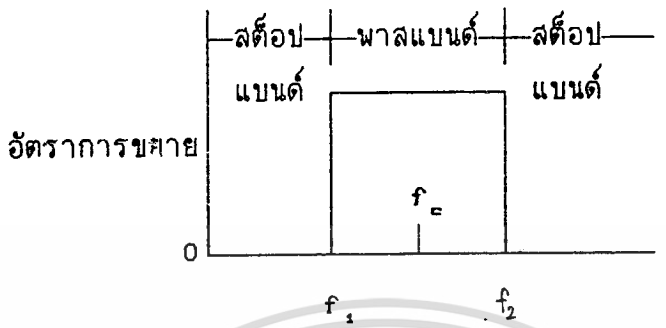
รูปที่ 2.20 แสดงตำแหน่งของ pole และ zero ที่ค่าอัตราการขยายค่าต่างๆ

จากรูป จะได้ค่าความสัมพันธ์ของวงจรในรูปที่ 2.19 ซึ่งมีอัตราการขยายเป็น 1 เมื่อนำมาเทียบกับค่าใน s-plane จะได้เป็น $-0.707 \pm j0.707$ นั่นคือ วงจรนี้จัดเป็นวงจรกรองความถี่ต่ำแบบ 2 poles ในการคำนวณหาค่าของอุปกรณ์แต่ละตัวนั้น เพื่อความสะดวกจึงได้มีการนำคอมพิวเตอร์มาใช้ แต่ค่าของอุปกรณ์ที่ได้จะเป็นค่าที่มีการนอร์มอล-ไลซ์แล้ว เพื่อที่จะสามารถใช้งานได้สำหรับความถี่คัทออฟค่าต่างๆ ซึ่งตัวอย่างการคำนวณจะมีในบทต่อไป

2.11 วงจรขยายสัญญาณเลือกความถี่ (TUNED-AMPLIFIER)

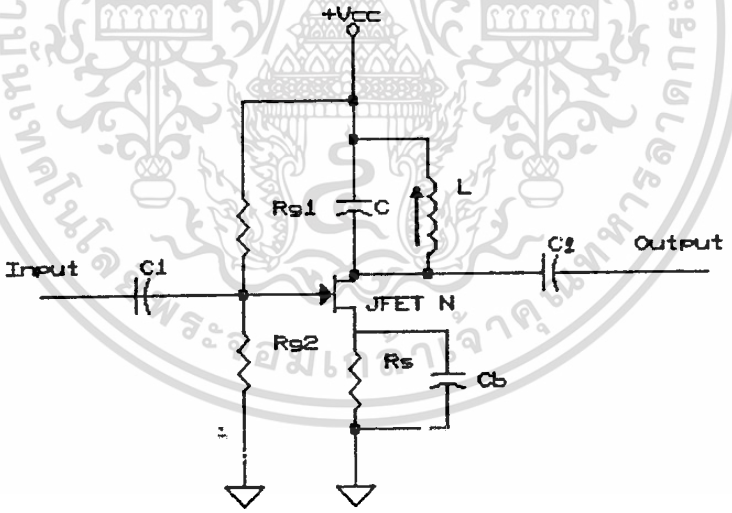
วงจรขยายสัญญาณเลือกความถี่ นับเป็นวงจรกรองความถี่อีกแบบหนึ่ง โดยจะทำการกรองความถี่เป็นช่วง รวมทั้งมีการขยายสัญญาณความถี่ช่วงดังกล่าวด้วย ในทางอุดมคติแล้วการทำงานของวงจร จะให้ค่าอัตราการขยายสูงสุดในช่วงความถี่ที่ต้องการ และจะมีค่าเป็น 0 สำหรับความถี่อื่นๆ การทำงานของวงจรมีลักษณะของผลตอบสนองความถี่ดังรูปที่ 2.21 มีค่าของแบนด์พาสอยู่ระหว่าง f_1 ถึง f_2 มีค่าความถี่กลางที่ f_c

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.21 แสดงความสัมพันธ์ระหว่างอัตราการขยายและความถี่ของวงจรขยายสัญญาณเลือกความถี่ในอุดมคติ

การสร้างวงจรขยายสัญญาณเลือกความถี่นั้น อาจใช้เป็น ไบโพลาร์ จังชั่นทรานซิสเตอร์ (Bipolar Junction Transistor, BJT) หรือใช้ฟิลด์อิมิตเตอร์ทรานซิสเตอร์ (Fieid Emitter Transistor,FET) ตัวอย่างดังรูปที่ 2.22



รูปที่ 2.22 วงจรขยายแบบ single-tuned FET

วงจรประกอบด้วยส่วนของการขยายและส่วนวงจรแท้งค์ (tank circuit) ซึ่งเป็นตัวพิจารณาค่าความถี่ ประกอบด้วย L และ C

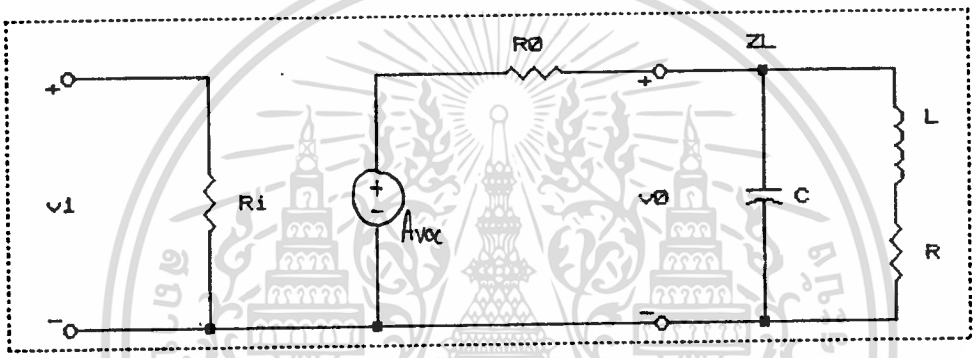
ความถี่รีโซแน้นซ์(resonant), $f_o = w_o/2\pi$ ...(2.5)

$= 1/2\pi(\sqrt{LC})$ ...(2.6)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

นอกจากนั้นแล้วเมื่อพิจารณาวงจรสมมูลย์ของวงจรในรูป 2.22 จะเห็นว่ามีการแทน L ด้วยค่า L ในอุดมคติต่ออนุกรมกับ R ซึ่งเป็นความต้านทานดีซีที่ไม่เป็นศูนย์ของคอยล์ จะได้ว่าอิมพีแดนซ์จริงๆของโหลดของวงจรแท้งค์ คือการรวมกันของการต่อขนานระหว่าง C และค่าอนุกรมของ L และ C

$$Z_L = [(1/jwC)*(R+jwL)]/[1/jwC+R+jwL] \quad ...(2.7)$$



รูปที่ 2.23 วงจรสมมูลย์ของวงจรขยายสัญญาณเลือกความถี่ในรูปที่ 2.22

จึงต้องพิจารณาถึงค่า Q (quality) เป็นค่าที่แสดงคุณภาพของคอยล์ ซึ่งจะมีค่าที่แตกต่างกันไปในแต่ละความถี่ ซึ่งค่า Q ที่สูงนั้นจะทำให้การทำงานในการเลือกความถี่ของวงจรทำได้ดีขึ้น ค่าของ Q จะหาได้จาก

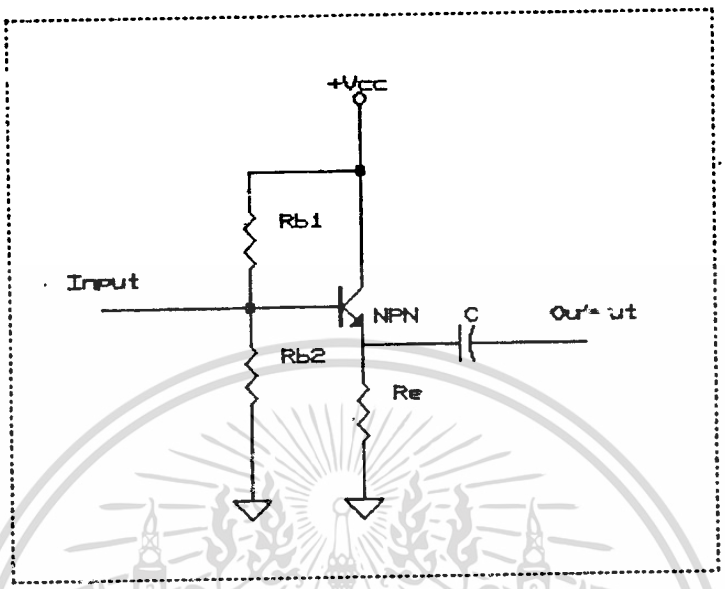
$$Q_o = 2\pi f_o L/R = 1/(2f_o RC) \quad ...(2.8)$$

ในทางปฏิบัตินั้นการทำงานของวงจรขยายเลือกความถี่ มักต้องมีการปรับส่วนวงจรแท้งค์อยู่บ่อยๆ เพื่อให้ได้ค่าความถี่กลางที่ถูกต้อง จึงอาจใช้ L ที่ปรับค่าได้โดยการหมุนแกนเฟอร์ไรต์(ferrite)หรือ ใช้ C แบบทริมเมอร์ซึ่งสามารถใช้ไขควงปรับค่าได้

2.11 วงจรบัฟเฟอร์ (BUFFER)

คือวงจรที่ให้สัญญาณเอาท์พุทที่มีลักษณะเหมือนกับสัญญาณอินพุท นำมาใช้เพื่อทำให้สัญญาณมีเสถียรภาพดีขึ้น โดยทั่วไปก็คือวงจรขยายที่มีค่าอัตราการขยายเป็น 1 การสร้างวงจรนั้นทำได้หลายแบบ ซึ่งที่ได้นำมาใช้ในโครงงานมีทั้งแบบที่ใช้ทรานซิสเตอร์และใช้ออปแอมป์(Operation Amplifier) สามารถอธิบายได้ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.24 วงจรบัฟเฟอร์แบบที่ใช้ทรานซิสเตอร์

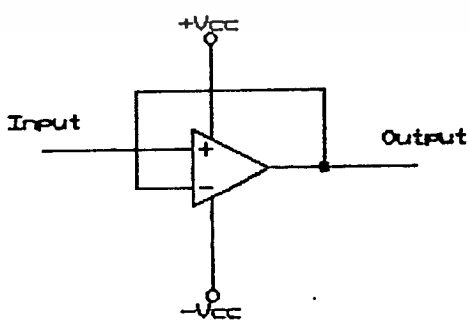
วงจรแบบนี้เป็นวงจรขยายแบบคอมมอนคอลเลคเตอร์ มีอัตราการขยายของแรงดันเป็น 1 มีอัตราการขยายกระแสสูง วงจรมีอินพุทรีซิสแตนซ์(input resistance) ค่าสูง แต่เอาท์พุทรีซิสแตนซ์ (output resistance)ค่าต่ำมาก จากคุณสมบัติที่กล่าวมาจะสามารถแสดงรายละเอียดในการคำนวณค่าต่างๆของวงจรดังนี้

อัตราขยายแรงดัน (A_v) = $[(\beta+1)Z_E]/[r_{be}+(\beta+1)Z_E] = 1$ ...(2.9)

โดยปกติ Z_E มีค่าประมาณ R_E // R_L

อินพุทรีซิสแตนท์ $R_{in} = R_{BB}$ // $[r_{be}+(\beta+1)Z_E]$ ..(2.10)

เอาท์พุทรีซิสแตนซ์ $R_{out} = [(R_{BB}+r_{be})/(\beta+1)]$ // R_E ..(2.11)



รูปที่ 2.25 วงจรบัฟเฟอร์ที่ใช้ออปแอมป์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรบัฟเฟอร์แบบนี้บางครั้งเรียก วงจรตามแรงดัน(Voltage Follower) เนื่องจากออปแอมป์มีคุณสมบัติ เกี่ยวกับอินพุทรีซิสแตนท์และเอาท์พุทรีซิสแตนท์ เหมือนกับวงจรคอมมอนคอลเลคเตอร์ที่กล่าวมาแล้ว ดังนั้นจึงมีคุณสมบัติเหมาะสมที่จะใช้เป็นบัฟเฟอร์ อาจต่อเป็นแบบอินเวอร์ทติ้งหรือ นอนอินเวอร์ติ้งก็ได้ แล้วแต่ความต้องการใช้งาน และเหตุที่เลือกใช้วงจรบัฟเฟอร์แบบนี้ ในภาครับของโครงงานเนื่องจากแบบที่ใช้ทรานซิสเตอร์เกิดปัญหาจากการอินดิวซ์(induce)จากทรานสฟอร์เมอร์(Transformer) ทำให้รูปสัญญาณที่ผ่านบัฟเฟอร์มีการรบกวน

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

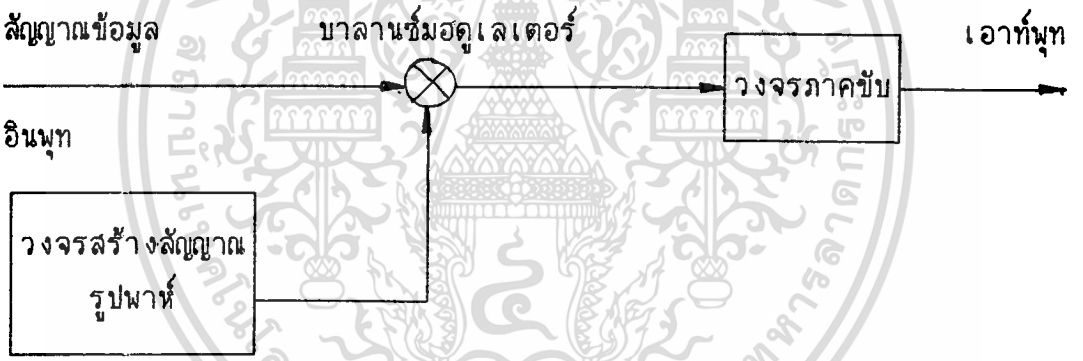
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3
การออกแบบและการสร้าง

จากทฤษฎีและหลักการที่กล่าวมาในบทที่แล้ว ได้นำมาพิจารณาในการออกแบบตามที่จะได้อธิบายต่อไปนี้ ซึ่งอาจมีการเปลี่ยนแปลงหรือเพิ่มเติมเข้าไป เพื่อความเหมาะสมและประสิทธิภาพในการทำงานของวงจร

3.1 ภาคส่งของ BPSK

ในการปฏิบัติงานจริงของวงจรภาคนี้ สามารถเป็นแผนผังได้ดังรูปที่ 3.1 ประกอบด้วยวงจรสร้างสัญญาณพาห์(Carrier Generator),วงจรบาลานซ์ริงมอดูเลเตอร์ และวงจรภาคขับ(Line Driver)



รูปที่ 3.1 แผนผังของภาคส่งของ BPSK

3.1.1 วงจรสร้างสัญญาณพาห์

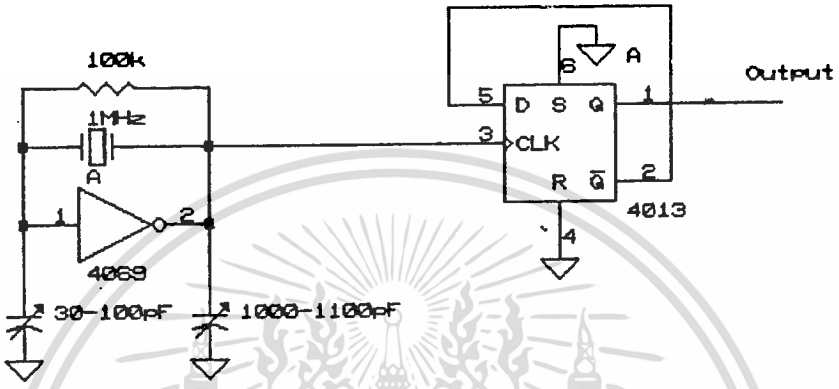
ในการออกแบบภาคส่งของโครงงาน ได้ใช้วงจรนี้เป็นตัวสร้างสัญญาณพาห์ความถี่ 500 kHz วงจรประกอบด้วยวงจรสร้างสัญญาณอ้างอิง(reference signal oscillator), วงจรแบนด์พาสฟิลเตอร์ (bandpass filter) และ วงจรขยายคอม-มอนคอลเลคเตอร์(common colletor amplifier)

3.1.1.1 วงจรสร้างสัญญาณอ้างอิง

วงจรนี้ออกแบบโดยใช้ คริสตอล ออสซิลเลเตอร์(Crystal oscillator) ความถี่ 1 MHz และอินเวอร์ตเตอร์(Inverter) โดยมีการนำตัว C ปรับค่าได้มาใช้ เพื่อที่จะสามารถปรับค่าความถี่ให้ได้ละเอียดขึ้น เพราะคริสตอลออสซิลเลเตอร์นั้น นับเป็นวงจรริโซแนนซ์อย่างหนึ่งค่าความถี่ที่ได้อาจมีค่าคลาดเคลื่อนไปบ้าง การนำตัว C มาต่อจึงช่วยได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

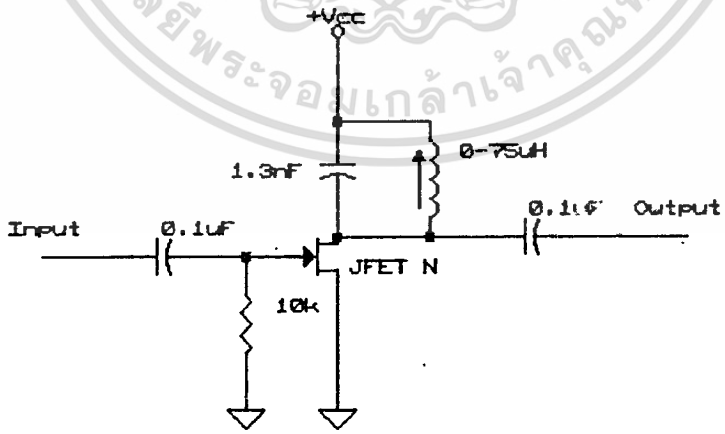
และเนื่องจากเราต้องการความถี่ของสัญญาณพาห์เพียง 500 kHz จึงต้องนำสัญญาณมาผ่านวงจรหารสอง และเราจะได้สัญญาณรูปสี่เหลี่ยมที่มีความถี่ 500 kHz ลักษณะของวงจรจะเป็นดังรูปที่ 3.2



รูปที่ 3.2 วงจรสร้างสัญญาณอ้างอิง

3.1.1.2 วงจรแบนด์พาสฟิลเตอร์

สัญญาณที่ได้จากวงจรสร้างสัญญาณอ้างอิงนั้น มีรูปสัญญาณเป็นสี่เหลี่ยม เราจึงต้องนำมาผ่านแบนด์พาสฟิลเตอร์ เพื่อให้ได้สัญญาณรูปซายน์ ซึ่งจะใช้เป็นสัญญาณพาห์ต่อไป ลักษณะของวงจรเป็นดังรูปที่ 3.3 จะเห็นว่าเป็นวงจรขยายสัญญาณแบบเลือกความถี่ดังที่ได้อธิบายในบทที่แล้ว มีส่วนวงจรแท้งค์ LC เป็นตัวเลือกความถี่



รูปที่ 3.3 วงจรแบนด์พาสฟิลเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในการคำนวณเพื่อสร้างมีดังนี้

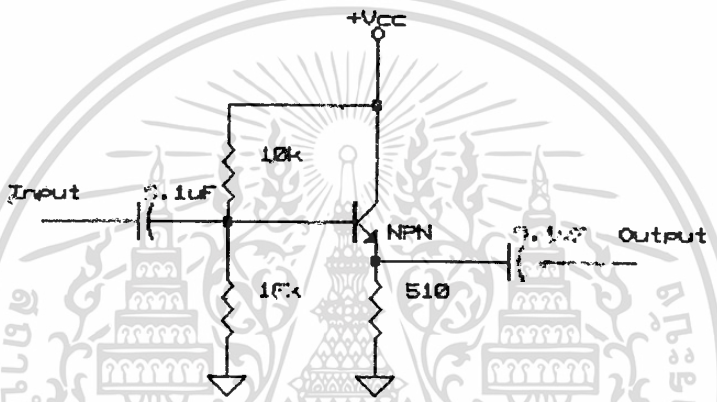
จากความสัมพันธ์ของความถี่และค่า LC $f = 1/2\pi(\sqrt{LC})$

ความถี่ที่ต้องการ 500 kHz และเลือกค่า $L = 75$ H

$C = 1/(2\pi)^2(75*10^{-6})(500*10^3)^2$

$= 1.3*10^{-9}$ หรือ 1300 pF

3.1.1.3 วงจรคอมมอนคอลเลคเตอร์



รูปที่ 3.4 วงจรคอมมอนคอลเลคเตอร์

เราใช้วงจรนี้เป็นวงจรภาคขับกระแส เพราะเมื่อทำการส่งสัญญาณไปยังภาครับ อาจมีการดึงกระแส ซึ่งทำให้รูปสัญญาณที่ได้รับมีความเพี้ยน คุณภาพของการส่งและการรับจะไม่ดี

การคำนวณเพื่อสร้างมีดังนี้

กำหนด $V_E = V_{cc}/2$ เมื่อ $V_{cc} = 10$ V

จะได้ $V_c = 5$ V

ให้ $I_{ca} = 10$ mA $R_E = V_c/I_{ca}$

$= (5\text{ V})/(10\text{ mA}) = 500$ โอห์ม

เลือกใช้ค่า 510 โอห์ม

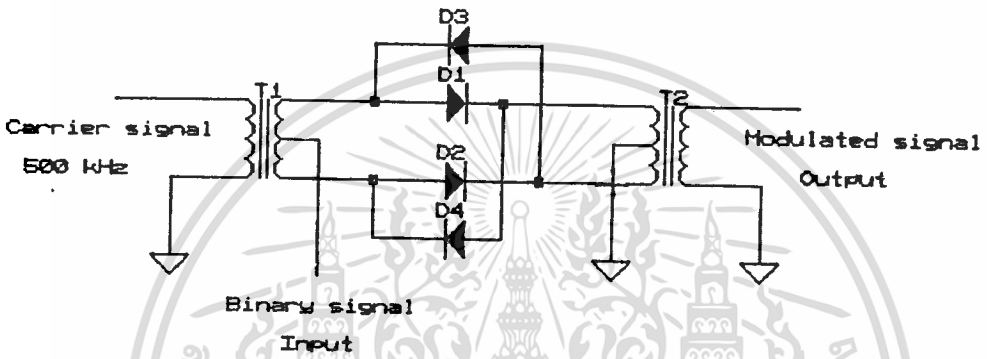
ให้ $I_B = 0.5$ mA $R_{B1} = 10$ กิโลโอห์ม

$R_{B2} = 10$ กิโลโอห์ม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.1.2 วงจรบาลานซ์ริงมอดูเลเตอร์

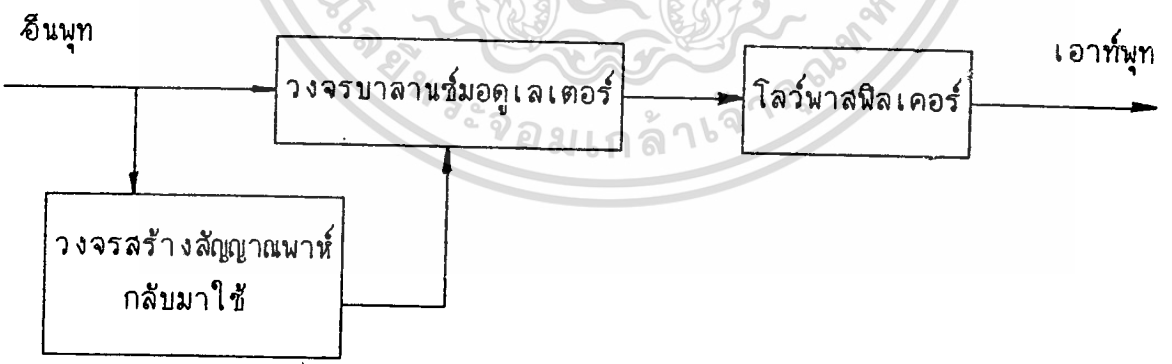
วงจรส่วนนี้เป็นแบบพาสซีฟ ใช้ไดโอดแบบบริดจ์(Bridge) เป็นตัวทำการมอ-ดูเลท ซึ่งการอธิบายการทำงานของวงจรได้กล่าวไว้ในบทที่ 2 เหตุผลในการเลือกวงจรแบบพาสซีฟคือ วงจรมีขีดจำกัดของแรงดันไฟฟ้าของสัญญาณอินพุทสูงกว่าวงจรแบบแอคทีฟและมีสภาพการทำงานที่แน่นอนกว่า ลักษณะวงจรดังแสดงในรูปที่ 3.5



รูปที่ 3.5 วงจร บาลานซ์ริงมอดูเลเตอร์

3.2 ภาครับของ BPSK

ในทางปฏิบัติการออกแบบวงจรทางภาครับ สามารถแสดงเป็นแผนผังการทำงานได้ดังนี้



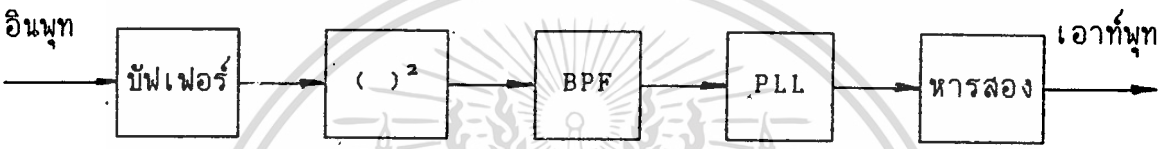
รูปที่ 3.6 แผนผังวงจรภาครับ

การทำงานประกอบด้วย ส่วนของการสร้างสัญญาณพาห์กลับมาใช้, ส่วนทำการดีเทคหรือดีมอดูเลทสัญญาณและส่วนของวงจรกรองความถี่ การออกแบบจะแยกพิจารณาเป็นส่วนๆดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2.1 วงจรสร้างสัญญาณพาห์กลับมาใช้

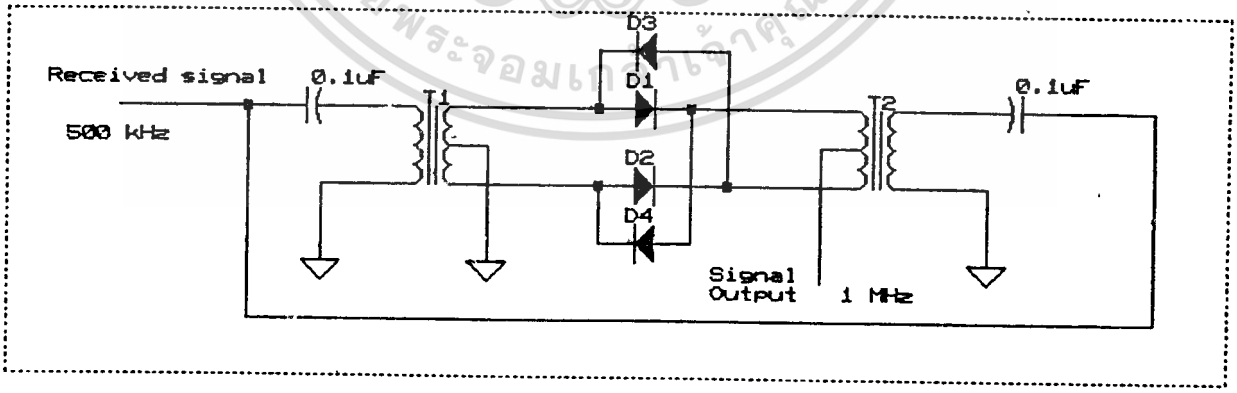
วงจรส่วนนี้นับเป็นส่วนสำคัญ เพราะถ้าสัญญาณพาห์ที่นำไปดีเทคสัญญาณมีเฟสไม่ตรงกับสัญญาณพาห์ที่ส่งมาจากทางด้านส่ง สัญญาณดิจิตอลที่ดีเทคออกมาจะเกิดการผิดพลาด ถ้าเป็นสัญญาณข้อมูล ก็จะทำให้ข้อมูลที่รับมาไม่ถูกต้อง วงจรที่นำมาใช้สร้างคือ วงจร squaring loop โดยจะมีส่วนเพิ่มเติมเข้าไปนอกเหนือจากหลักการที่กล่าวมา เพื่อทำให้คุณภาพของสัญญาณดีขึ้น แสดงแผนผังการทำงานดังรูปที่ 3.7



รูปที่ 3.7 แผนผังแสดงการทำงานของวงจรสร้างสัญญาณพาห์กลับมาใช้

พิจารณารายละเอียดในแต่ละส่วนของการทำงาน

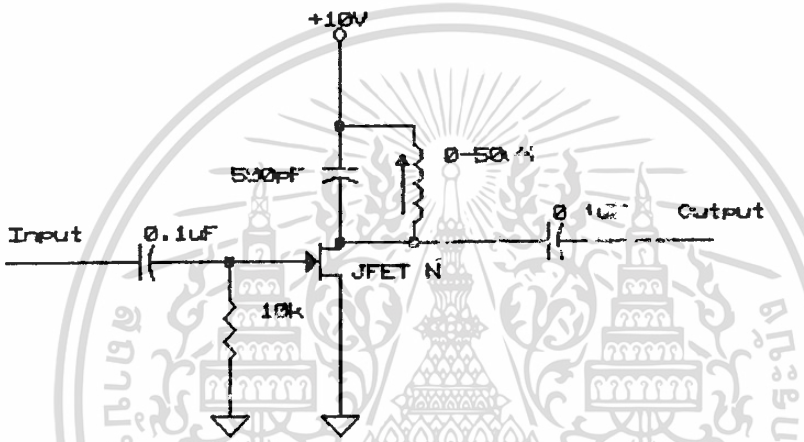
3.2.1.1 วงจรยกกำลังสอง การออกแบบจะใช้ไดโอดเป็นตัวคูณสัญญาณ การต่อวงจรจะมีลักษณะคล้ายกับการต่อวงจรบาลานซ์ ริง มอดูเลเตอร์ สัญญาณที่รับมาจะถูกป้อนเข้าขาอินพุททั้งสองของวงจร เมื่อคูณกันแล้วจะได้สัญญาณที่มีความถี่เป็นสองเท่า ตามที่ได้อธิบายด้วยสมการทางคณิตศาสตร์ในบทที่ 2 สามารถแสดงวงจรที่ได้ออกแบบดังรูปที่ 3.8



รูปที่ 3.8 แสดงวงจรยกกำลังสอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2.1.2 วงจรแบนด์พาสฟิลเตอร์ จะใช้เป็นวงจรขยายสัญญาณเลือกความถี่ เนื่องจากสัญญาณที่ได้จากการยกกำลังสองนั้น มีคุณภาพของสัญญาณไม่ดีนัก คือจะมีขนาดของสัญญาณต่ำและมีรูปสัญญาณที่ไม่บาลานซ์ในซีกบวกและลบ จึงต้องเลือกใช้วงจรกรองความถี่แบบที่มีการขยายสัญญาณมาชดเชย ในการออกแบบเลือกใช้เป็น FET แสดงวงจรดังรูปที่ 3.9



รูปที่ 3.9 วงจรแบนด์พาสฟิลเตอร์

วงจรมีการไบอัส FET แบบ คอมมอนซอร์ส (common source) ทำการป้อนสัญญาณเข้าที่ขา เกท เอาท์พุทออกขา เดรน มีวงจรแท็งก์เป็นตัวควบคุมกระแส i_D ให้สัญญาณผ่านได้เฉพาะความถี่ที่ออกแบบสำหรับวงจรแท็งก์

จาก $f = 1/2\pi(\sqrt{LC})$

กำหนดความถี่กลางที่ 1 MHz และเลือกใช้ C = 500 pF

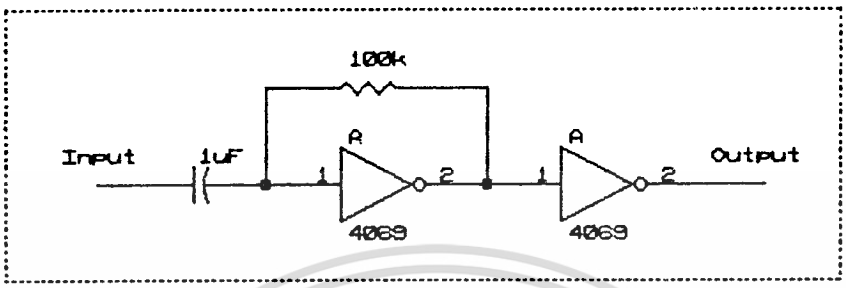
จะได้ $L = 1/4\pi^2 f^2 C$

$L = 1/[4\pi^2(10^6)^2(500*10^{-12})]$

$= 50$ uH

3.2.1.3 วงจรขยายสัญญาณ เนื่องจากสัญญาณที่จะนำไปเทียบเฟสในภาคเฟสล็อกลูปที่ได้ออกแบบนั้น จะต้องเป็นสัญญาณดิจิตอล สัญญาณที่ได้จากวงจรยกกำลังสองจึงต้องนำไปผ่านวงจรขยายสัญญาณ โดยขนาดสัญญาณอินพุทต้องมีค่าสูงพอที่จะทำให้วงจรขยายเกิดการอิ่มตัว(saturate) เกิดการตัดสัญญาณซายน์ให้เป็นสัญญาณดิจิตอล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.10 วงจรขยายสัญญาณ

3.2.1.4 วงจรเฟสล็อคลูป การออกแบบวงจรมีขั้นตอนที่ต้องพิจารณา 3 ขั้นตอน ดังหลักการที่ได้อธิบายในบทที่ 2 ในที่นี้ได้ใช้ไอซีเบอร์ 4046 เป็นตัวทำหน้าที่ในภาคเทียบเฟสและภาค VCO ส่วนวงจรเฟสล็อคลูปก็มีการออกแบบโดย อาศัยรายละเอียดในดาต้าชีทของ 4046 มาประกอบ วงจรฟิลเตอร์ที่ใช้เป็น แบบ lag-lead

การออกแบบ กำหนดช่วงความถี่ของ VCO อยู่ในช่วง 850 kHz-1150 kHz ซึ่งจากกราฟแสดงความสัมพันธ์ระหว่าง f_{vco} และ V_{vco} จะนำไปหาค่าของ K_Ψ และ K_{vco}

เมื่อ $K_\Psi = V_{DD}/4\pi$ ...(3.1)

$= 10\ V/4\pi = 0.79$

$K_{vco} = (\Delta f_{vco}/\Delta V_{vco})*2\pi$ ...(3.2)

$= (347.9*10^3/6)*2\pi$

$= 364.32$

ค่าที่ได้จะนำไปหาค่าของ R_1,R_2 และ C ในลูปฟิลเตอร์ โดยมีความสัมพันธ์ดังแสดงต่อไปนี้

$w_n = K_\Psi K_{vco}/[C(R_1+R_2)]$ ...(3.3)

$\zeta = 0.5w_n[R_2C + (1/K_\Psi K_{vco})]$ ...(3.4)

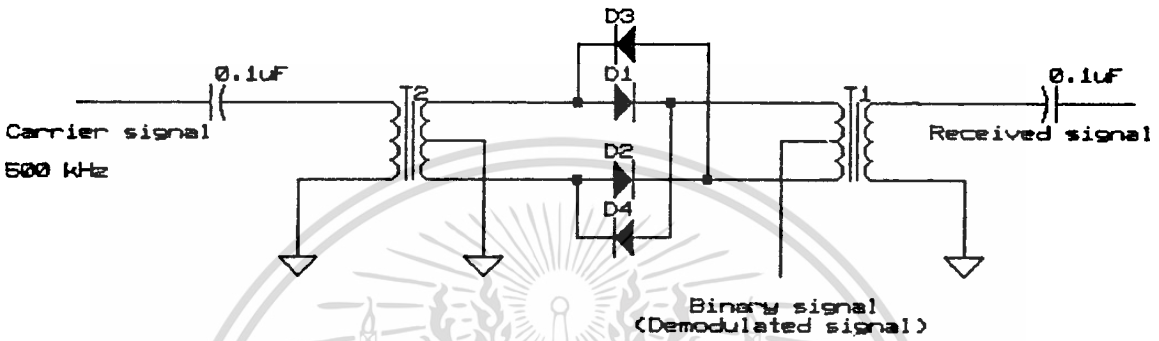
เมื่อ w_n คือ แบนด์วิทของลูป หรือ แนทเชอรอลฟรีเควนซี่ และ คือ แดมปิ้งแฟคเตอร์ (damping factor) ซึ่งจะเกี่ยวข้องในการตอบสนองสัญญาณทรานเซียนท์ต่อสัญญาณสเต็ปอินพุทของเฟสหรือความถี่ ตารางของสัญญาณทรานเซียนท์ดูได้จากภาคผนวก

ในที่นี้เลือก $w_n t = 4.5$ โดย $t = 1$ ms

$\zeta = 0.8$ เป็นสภาวะคงตัว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2.2 **วงจรดีเทค** ขั้นตอนนี้จะเป็นขั้นตอนดีเทคสัญญาณเพื่อจะสามารถทราบถึงสัญญาณดิจิตอลที่ส่งมา การออกแบบเลือกใช้ไดโอดเป็นตัวทำการดีเทค ลักษณะของวงจรเหมือนกับวงจรยกกำลังสองที่กล่าวมาในตอนต้นของภาครับ



รูปที่ 3.13 วงจรดีเทค

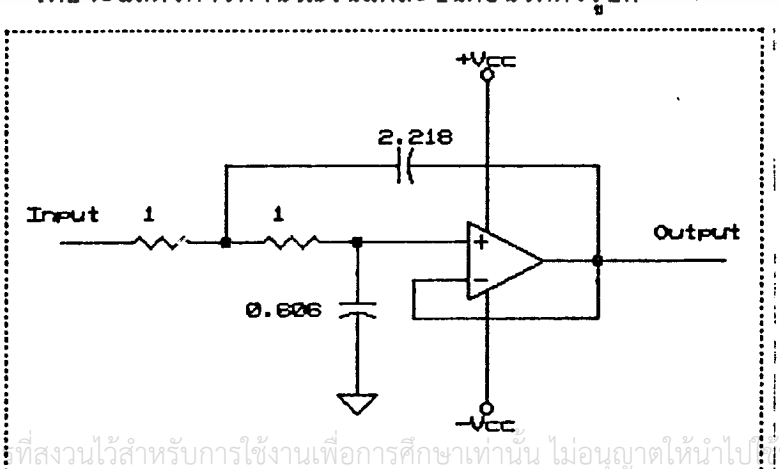
3.2.3 **วงจรโลว์พาสฟิลเตอร์** การทำงานของวงจรนี้เพื่อทำการกำจัดค่าของฮาร์โมนิคที่สองของสัญญาณที่ได้จากการดีเทค จะเลือกใช้เป็นแบบเชฟบีเชฟ ที่ริปเปิล 1 dB วงจรเป็นแบบ 2-poles กำหนดความถี่คัทออฟที่ 500 kHz วิธีการในการออกแบบจะใช้ค่าที่คำนวณโดยคอมพิวเตอร์ ซึ่งเป็นค่าที่นอร์มอลไลซ์แล้ว ดูได้จากตารางที่ 1 ในภาคผนวก ขั้นตอนในการออกแบบมีดังนี้

1. เลือกค่าอุปกรณ์จากจารางที่ 1 ในภาคผนวก
2. ทำฟรีเควนซี่สเกลลิ่ง โดยหารตัว C ทุกตัวด้วย w เมื่อ w = $2\pi f$

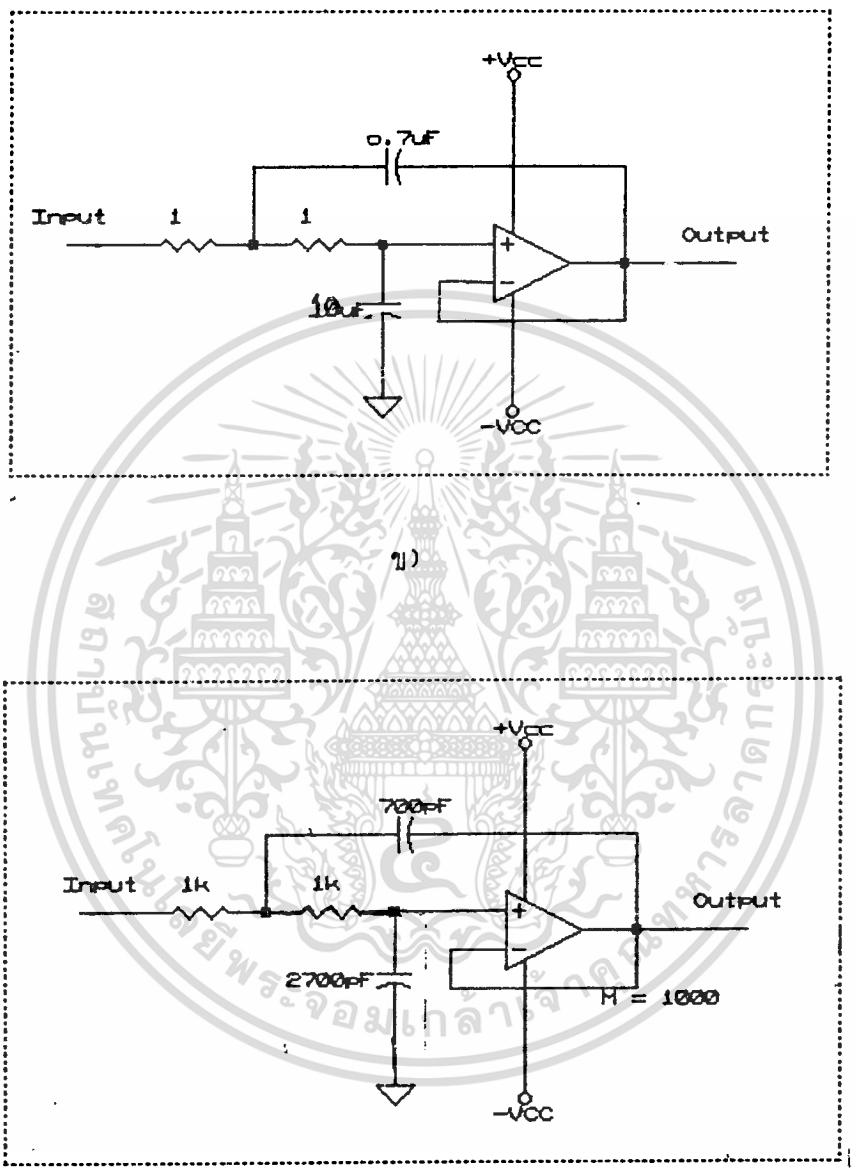
$= 2\pi * 9600 = 19200\pi$

3. ทำอิมพีแดนซ์สเกลลิ่ง โดยหารค่าตัว C ทุกตัวด้วย M และคูณ R ทุกตัวด้วย M เช่นกัน ซึ่งค่าของ M นั้นจะเป็นค่าคงที่ใดๆ เพื่อให้สามารถหาค่าของอุปกรณ์ตามต้องการได้

โดยจะแสดงการคำนวณในแต่ละขั้นตอนได้ดังรูปที่ 3.14



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



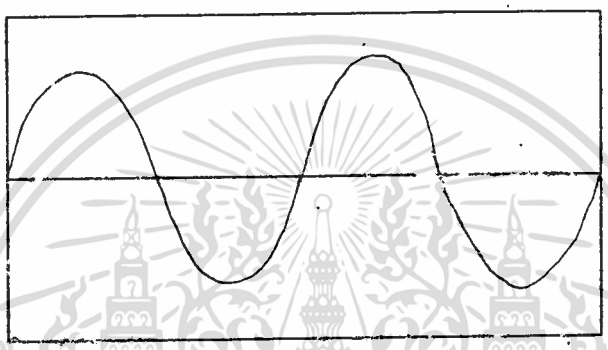
รูปที่ 3.14 การออกแบบวงจรโลว์พาสฟิลเตอร์ ก) ค่าจากตารางเชฟบีเชฟ
ข) ฟรีเควนซี่สเกลลิ่ง ค) อิมพีแดนซ์สเกลลิ่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4
การทดลองและผลการทดลอง

4.1 การทดลองและผลการทดลองทางด้านเครื่องส่ง

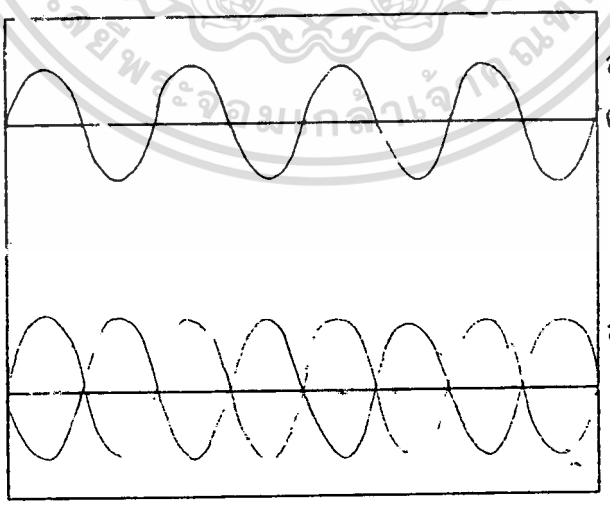
4.1.1 การทดลองสร้างสัญญาณวงจรพาห์รูปซายน์ ได้ผลการทดลองแสดงดังรูปที่ 4.1



สัญญาณขนาด 1 V_{p-p} ความถี่ 500 kHz

รูปที่ 4.1 แสดงสัญญาณพาห์รูปซายน์

4.1.2 การทดลองของวงจรบาลานซ์ มอดูเลเตอร์ ได้ผลการทดลองดังรูปที่ 4.2

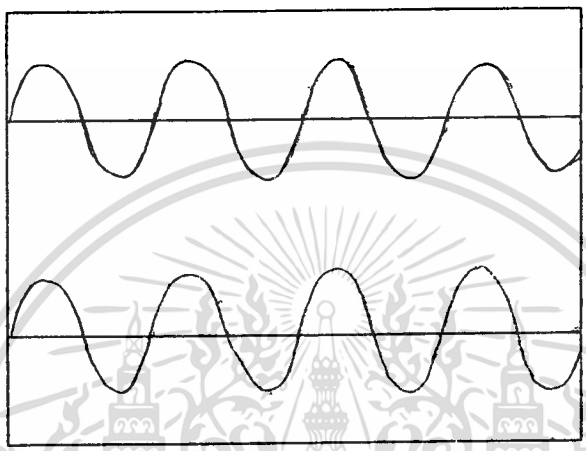


รูปที่ 4.2 แสดงการเปรียบเทียบระหว่างสัญญาณพาห์และสัญญาณที่ผ่านการมอดูเลท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2 การทดลองและผลการทดลองการส่งและการรับสัญญาณ

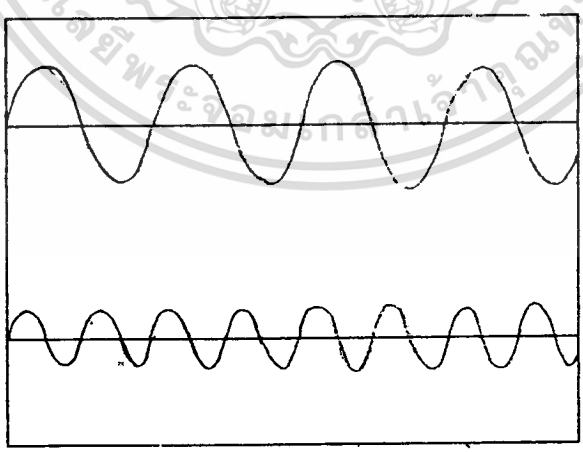
ได้ผลการทดลองดังรูปที่ 4.3



รูปที่ 4.3 แสดงการรับและส่งสัญญาณระหว่างเครื่องรับและเครื่องส่ง

4.3 การทดลองและผลการทดลองทางด้านเครื่องรับ

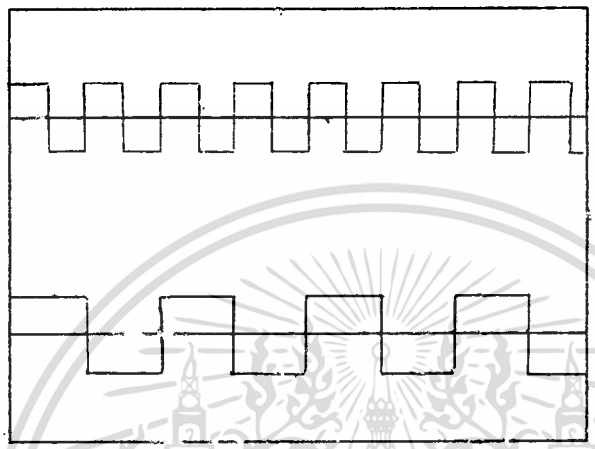
4.3.1 การทดลองวงจรยกกำลังสอง ได้ผลการทดลองดังรูปที่ 4.4



รูปที่ 4.4 แสดงสัญญาณที่ได้จากวงจรยกกำลังสอง

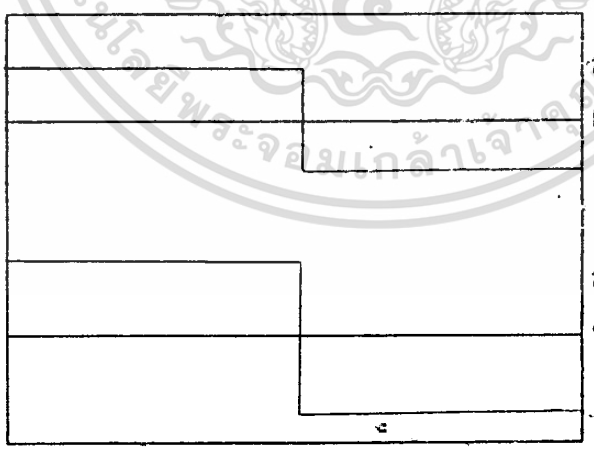
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.3.2 การทดลองของวงจรหารสอง ได้ผลการทดลองดังรูปที่ 4.5



รูปที่ 4.5 แสดงสัญญาณจากวงจรหารสอง

4.3.3 การทดลองของวงจรดีเทคและนำไปผ่านวงจรโลว์พาสฟิลเตอร์ เทียบกับสัญญาณดิจิตอลที่ส่งมาจากเตรื่องส่ง ได้ผลการทดลองดังรูปที่ 4.6



รูปที่ 4.6 แสดงสัญญาณเปรียบเทียบสัญญาณที่รับได้
กับสัญญาณที่ส่งมา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5
สรุปและวิจารณ์

โครงงานที่จัดทำขึ้นนี้ เป็นโมเด็มแบบ BPSK ใช้หลักการผสมสัญญาณแบบไบนารี่ เฟสชิฟ คีย์อิ้ง ทำการส่งสัญญาณไปตามสายส่ง โดยใช้สัญญาณพาห์ความถี่ 500 kHz สามารถส่งสัญญาณข้อมูลด้วยอัตรา 9600 b/s โครงงานที่จัดทำประกอบด้วย

-เครื่องส่ง ประกอบด้วย การสร้างสัญญาณพาห์ และ การมอดูเลทสัญญาณแบบไบนารี่เฟสชิฟคีย์อิ้ง

-เครื่องรับ ประกอบด้วย การสร้างสัญญาณพาห์กลับมาใช้ และ การดีเทคสัญญาณ แบบ squaring loop

ปัญหาที่เกิดขึ้นในการทำงาน คือ ในการออกแบบวงจรโดยใช้วงจรแบบแอคทีฟ จะพบปัญกาเกี่ยวกับขีดจำกัดของขนาดสัญญาณอินพุท ต้องมีค่าค่อนข้างต่ำ วงจรจึงจะสามารถให้ผลการทำงานที่ดี จึงได้มีการเปลี่ยนมาใช้เป็นวงจรแบบพาสซีฟ และปัญหาที่พบในทางเครื่องรับ จะอยู่ในช่วงของการยกกำลังสองสัญญาณ เอาท์พุทที่ได้มักจะมีการชิฟเฟส ทำให้เฟสของสัญญาณที่ยกกำลังสองไม่ตรงกับเฟสของสัญญาณอินพุทที่รับมา

จากจุดประสงค์ของการจัดทำโครงงานนี้ เพื่อเป็นการศึกษาถึงการทำงานพื้นฐานของโมเด็ม โดยในการออกแบบแต่ละขั้นตอนการทำงานนั้น ก็ได้นำเอาความรู้พื้นฐานที่ได้เรียนมาประยุกต์ใช้กับการทำงานจริง ซึ่งก็พบอุปสรรคในการทำงานหลายส่วน แต่ก็เป็นการดีที่ได้ฝึกทำงานจริง เพื่อจะได้เป็นพื้นฐานในการทำงานอื่นๆต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

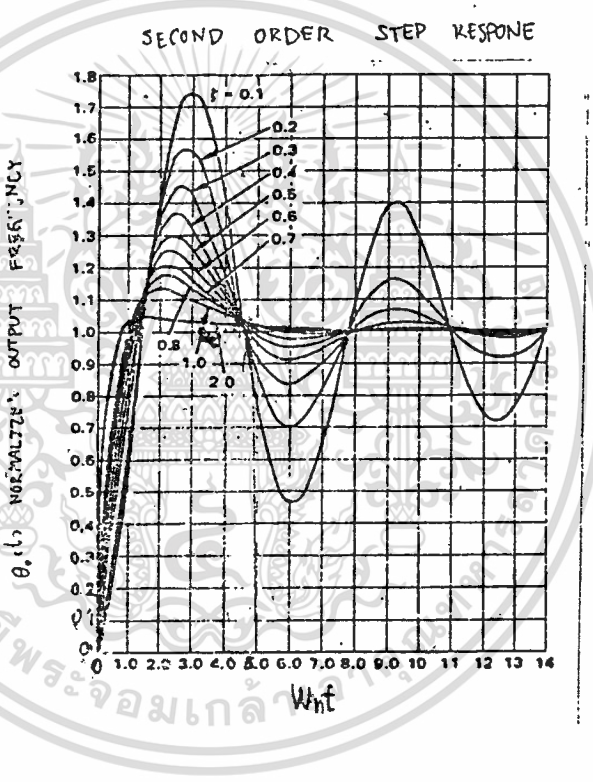
ภาคผนวก ก

ตารางที่ 1 แสดงค่าของอุปกรณ์ที่นอร์มอลไลซ์ แบบเชฟบีเชฟ ที่ระดับริปเปิลค่าต่างๆ

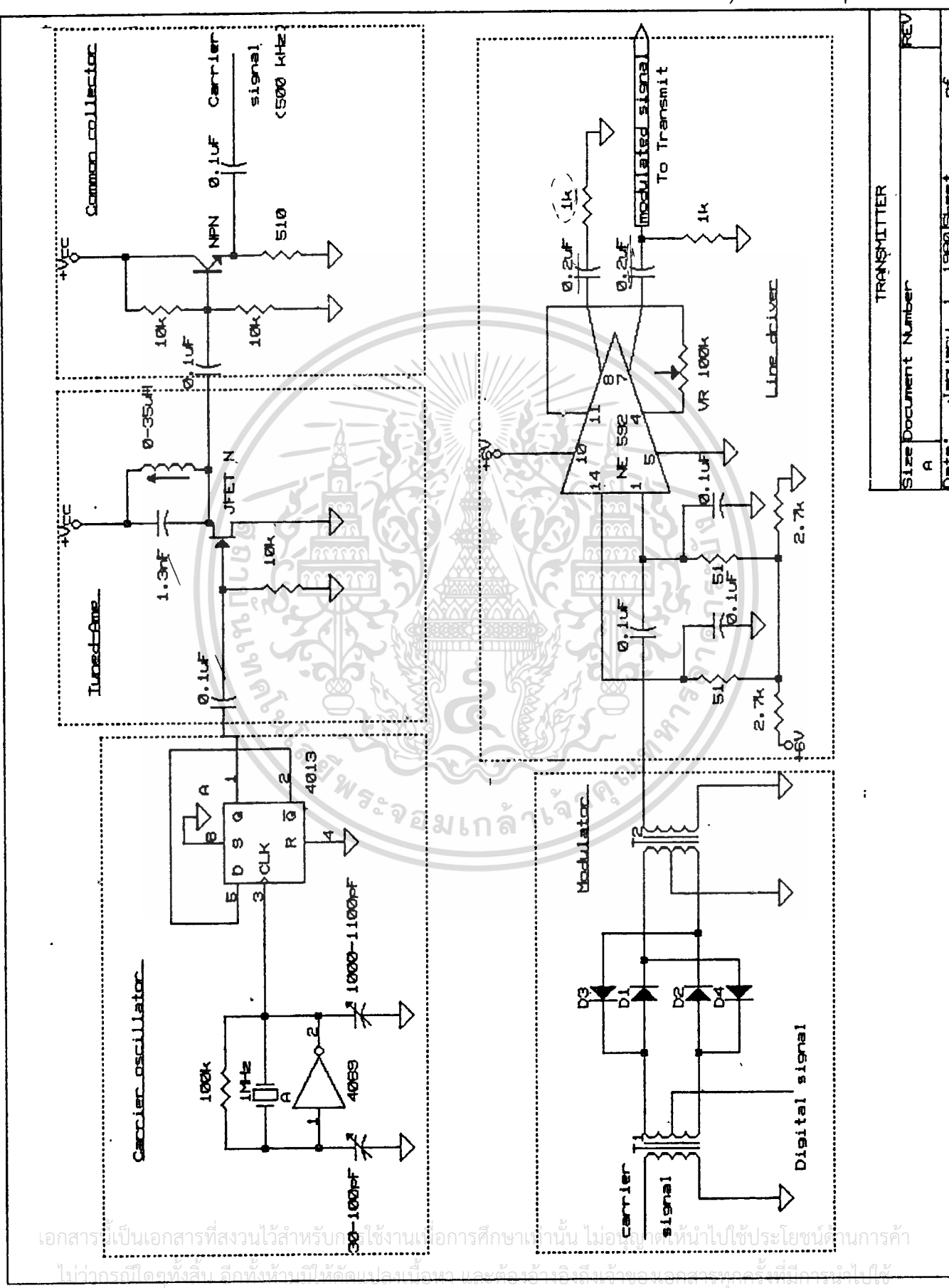
Pole	C_1	C_2	C_3	C_1	C_2	C_3
	0.5-dB Chebyshev			1-dB Chebyshev		
2	1.949 +0	6.533 −1		2.218 +0	6.061 −1	
3	1.123 +1	2.250 +0	8.950 −2	1.618 +1	2.567 +0	6.428 −2
4	2.582 +0	1.298 +0		3.125 +0	1.269 +0	
	6.233 +0	1.802 −1		7.546 +0	1.489 −1	
5	6.842 +0	3.317 +0	3.033 −1	8.884 +0	3.935 +0	2.540 −1
	9.462 +0	1.144 −1		1.155 +1	9.355 −2	
6	3.592 +0	1.921 +0		4.410 +0	1.904 +0	
	4.907 +0	3.743 −1		0	3.117 −1	
	1.340 +1	7.902 −2		6.024 +0	6.425 −2	
				1.646 +1		
7	7.973 +0	4.483 +0	4.698 −1	1.029 +1	5.382 +0	4.017 −1
	6.446 +0	2.429 −1		2.941 +0	1.993 −1	
	1.807 +1	5.778 −2		2.225 +1	4.684 −2	
8	4.665 +0	2.547 +0		5.756 +0	2.538 +0	
	5.502 +0	5.303 −1		6.792 +0	4.435 −1	
	8.237 +0	1.714 −1		1.015 +1	1.395 −1	
	2.345 +1	4.409 −2		2.894 +1	3.568 −2	
9	9.563 +0	5.680 +0	6.259 −1	1.233 +1	6.853 +0	5.387 −1
	6.697 +0	3.419 −1		8.281 +0	2.813 −1	
	1.026 +1	1.279 −1		1.268 +1	1.038 −1	
	2.954 +1	3.475 −2		3.651 +1	2.808 −2	
10	5.760 +0	3.175 +0		7.125 +0	3.170 +0	
	6.383 +0	6.773 −1		7.897 +0	5.680 −1	
	8.048 +0	2.406 −1		9.952 +0	1.952 −1	
	1.253 +1	9.952 −2		1.550 +1	8.054 −2	
	3.636 +1	2.810 −2		4.498 +1	2.269 −2	
	2-dB Chebyshev			3-dB Chebyshev		
2	2.672 +0	5.246 −1		3.103 +0	4.558 −1	
3	2.782 +1	3.713 +0	3.892 −2	4.342 +1	3.629 −0	
4	4.021 +0	1.103 +0		4.863 +0	1.049 +0	
	9.707 +0	1.150 −1		1.174 +1	9.432 −2	
5	1.240 +1	4.953 +0	1.963 −1	1.579 +1	5.917 +0	1.680 −1
	1.499 +1	7.169 −2		1.822 +1	5.860 −2	
6	5.750 +0	1.769 +0		7.012 +0	1.607 +0	
	7.853 +0	2.426 −1		9.575 +0	2.002 −1	
	2.146 +1	4.902 −2		2.615 +1	4.004 −2	
7	1.421 +1	6.851 +0	3.169 −1	1.793 +1	8.236 +0	2.621 −1
	1.038 +1	1.532 −1		1.467 +1	1.257 −1	
	2.910 +1	3.568 −2		3.555 +1	2.912 −2	
8	7.539 +0	2.367 +0		9.217 +0	2.156 +0	
	8.896 +0	3.467 −1		1.087 +1	2.866 −1	
	1.331 +1	1.067 −1		1.627 +1	8.733 −2	
	3.791 +1	2.714 −2		4.634 +1	2.215 −2	
9	1.696 +1	8.763 +0	4.285 −1	2.135 +1	1.056 +1	3.561 −1
	1.086 +1	2.168 −1		1.328 +1	1.779 −1	
	1.663 +1	7.916 −2		2.035 +1	6.467 −2	
	4.790 +1	2.135 −2		5.860 +1	1.742 −2	
10	9.355 +0	2.964 +0		1.144 +1	2.704 +0	
	1.037 +1	4.451 −1		1.269 +1	3.681 −1	
	1.306 +1	1.502 −1		1.599 +1	1.231 −1	
	2.035 +1	6.133 −2		2.491 +1	5.007 −2	
	5.908 +1	1.724 −2		7.231 +1	1.407 −2	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

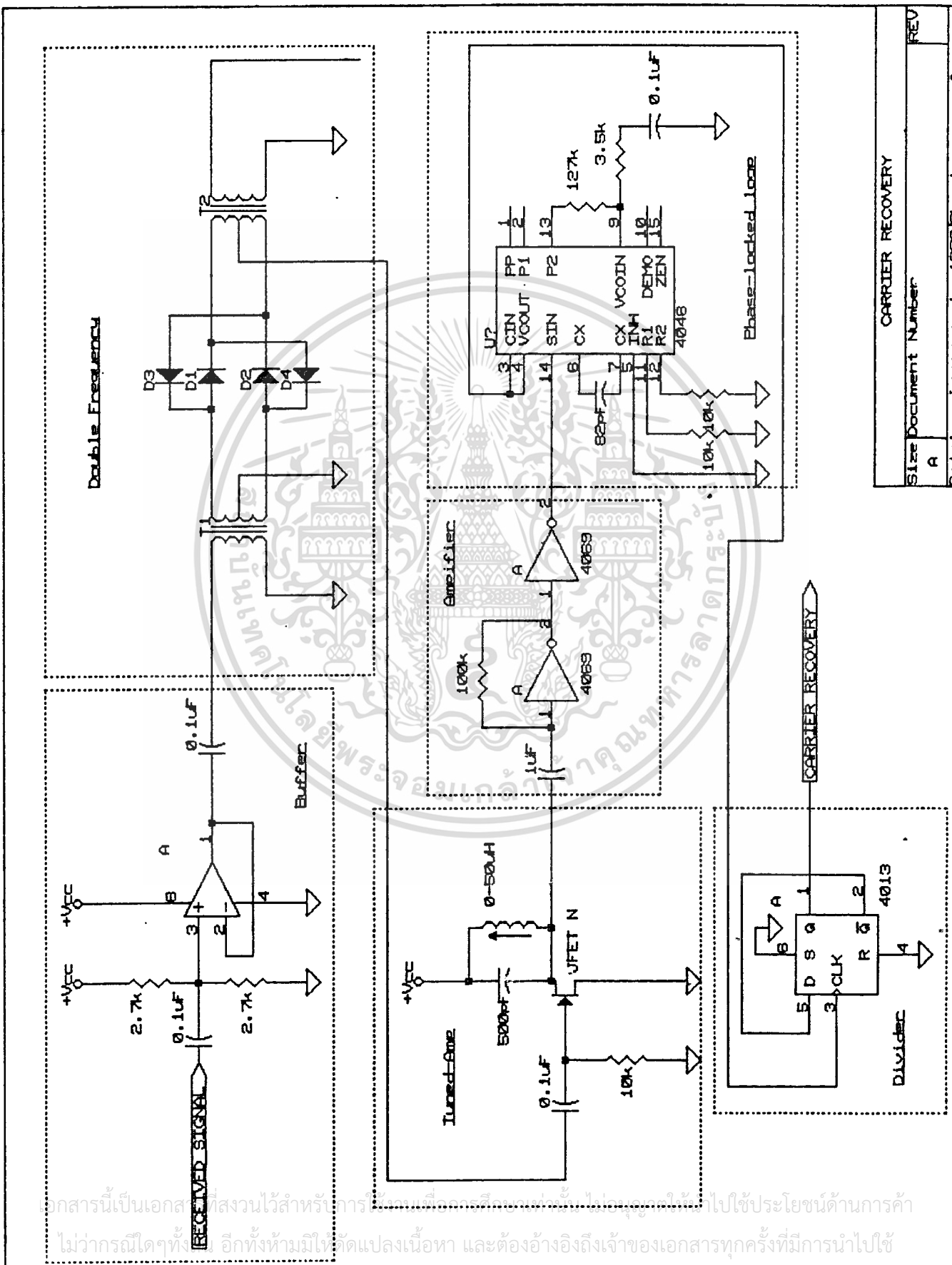
กราฟที่ 1 แสดงค่า second order step response



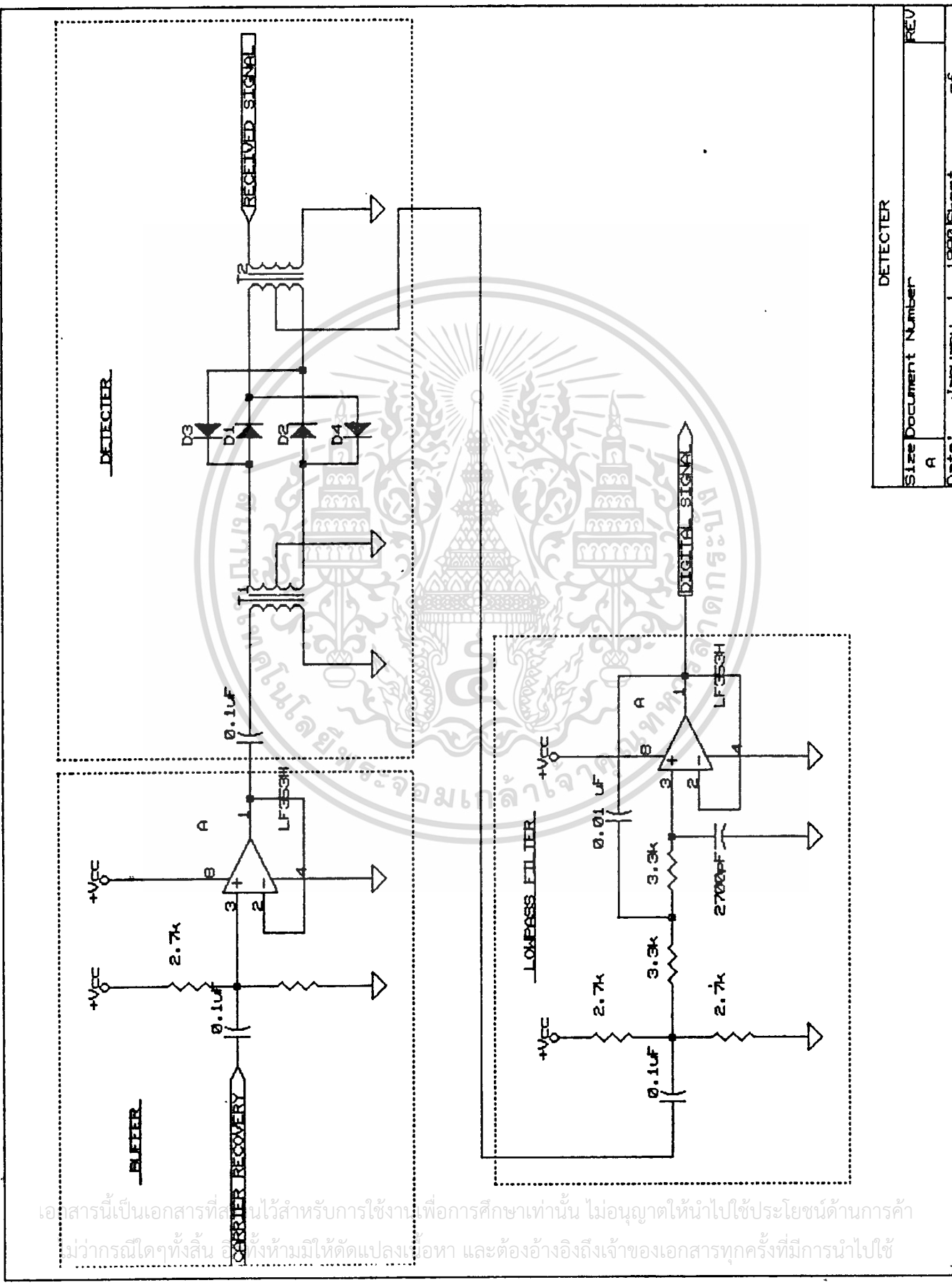
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ข

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

CD4046BM/CD4046BC Micropower Phase-Locked Loop

General Description

The CD4046B micropower phase-locked loop (PLL) consists of a low power, linear, voltage-controlled oscillator (VCO), a source follower, a zener diode, and two phase comparators. The two phase comparators have a common signal input and a common comparator input. The signal input can be directly coupled for a large voltage signal, or capacitively coupled to the self-biasing amplifier at the signal input for a small voltage signal.

Phase comparator I, an exclusive OR gate, provides a digital error signal (phase comp. I Out) and maintains 90° phase shifts at the VCO center frequency. Between signal input and comparator input (both at 50% duty cycle), it may lock onto the signal input frequencies that are close to harmonics of the VCO center frequency.

Phase comparator II is an edge-controlled digital memory network. It provides a digital error signal (phase comp. II Out) and lock-in signal (phase pulses) to indicate a locked condition and maintains a 0° phase shift between signal input and comparator input.

The linear voltage-controlled oscillator (VCO) produces an output signal (VCO Out) whose frequency is determined by the voltage at the VCO_{IN} input, and the capacitor and resistors connected to pin $C1_A$, $C1_B$, R1 and R2.

The source follower output of the VCO_{IN} (demodulator Out) is used with an external resistor of 10 kΩ or more.

The INHIBIT input, when high, disables the VCO and source follower to minimize standby power consumption. The zener diode is provided for power supply regulation, if necessary.

Features

- Wide supply voltage range — 3.0 V to 18 V
- Low dynamic power consumption — [illegible] (typ.) at f_o = 10 [illegible], V_{DD} = 5 V
- VCO frequency — 1.3 MHz (typ.) at V_{DD} = 10 V
- Low frequency drift with temperature — 0.06%/°C at V_{DD} = 10 V
- High VCO linearity — [illegible] (typ.)

Applications

- FM demodulator and modulator
- Frequency synthesis and multiplication
- Frequency discrimination
- Data synchronization and conditioning
- Voltage-to-frequency conversion
- Tone decoding
- FSK modulation
- Motor speed control

Block and Connection Diagrams

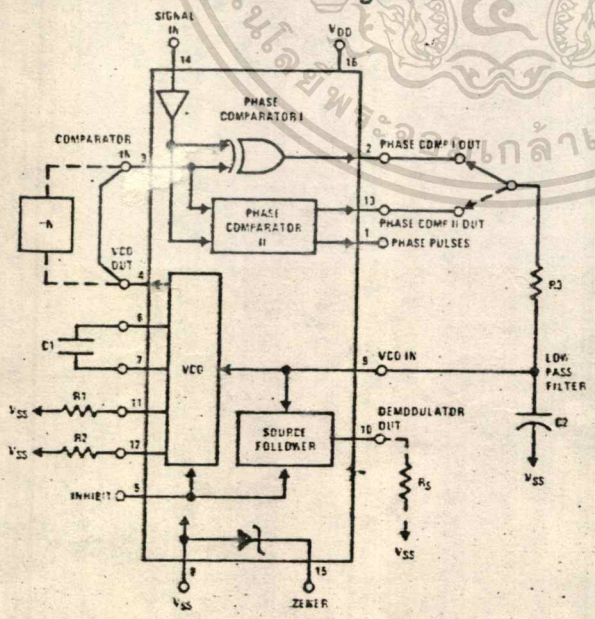
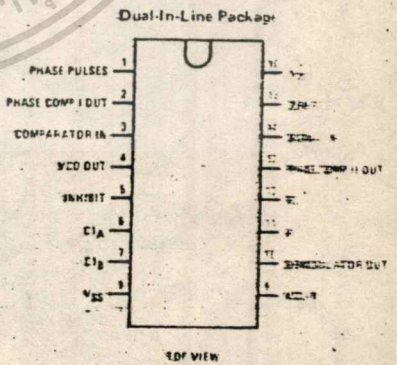


FIGURE 1



Absolute Maximum Ratings

(Notes 1 and 2)

V_{DD} DC Supply Voltage	−0.5 to +18 V_{DC}
V_{IN} Input Voltage	−0.5 to V_{DD} + 0.5 V_{DC}
T_S Storage Temperature Range	−65°C to +150°C
P_D Package Dissipation	500 mW
T_L Lead Temperature (Soldering, 10 seconds)	300°C

Recommended Operating Condit

(Note 2)

V_{DD} DC Supply Voltage	3 to 1
V_{IN} Input Voltage	0 to V_{D}
T_A Operating Temperature Range	
CD4046BM	−55°C to +
CD4046BC	−40°C to +

DC Electrical Characteristics CD4046BM (Note 2)

Parameter	Conditions	−55°C		25°C			125°C	
		Min	Max	Min	Typ	Max	Min	Max
I_{DD} Quiescent Device Current	PIN 5 = V_{DD}, PIN 14 = V_{DD}, PIN 3, 9 = V_{SS}							
	V_{DD} = 5V		5		0.005	5		150
	V_{DD} = 10V		10		0.01	10		300
	V_{DD} = 15V		20		0.015	20		600
	PIN 5 = V_{DD}, PIN 14 = Open, PIN 3,2 = V_{SS}							
	V_{DD} = 5V		45		5	35		185
	V_{DD} = 10V		450		20	350		650
	V_{DD} = 15V		1200		50	900		1500
V_{OL} Low Level Output Voltage	V_{DD} = 5V		0.05		0	0.05		0.05
	V_{DD} = 10V		0.05		0	0.05		0.05
	V_{DD} = 15V		0.05		0	0.05		0.05
V_{OH} High Level Output Voltage	V_{DD} = 5V	4.95		4.95	5		4.95	
	V_{DD} = 10V	9.95		9.95	10		9.95	
	V_{DD} = 15V	14.95		14.95	15		14.95	
V_{IL} Low Level Input Voltage Comparator and Signal In	V_{DD} = 5V, V_O = 0.5V or 4.5V		1.5		2.25	1.5		1.5
	V_{DD} = 10V, V_O = 1V or 9V		3.0		4.5	3.0		3.0
	V_{DD} = 15V, V_O = 1.5V or 13.5V		4.0		6.25	4.0		4.0
V_{IH} High Level Input Voltage Comparator and Signal In	V_{DD} = 5V, V_O = 0.5V or 4.5V	3.5		3.5	2.75		3.5	
	V_{DD} = 10V, V_O = 1V or 9V	7.0		7.0	5.5		7.0	
	V_{DD} = 15V, V_O = 1.5V or 13.5V	11.0		11.0	8.25		11.0	
I_{OL} Low Level Output Current	V_{DD} = 5V, V_O = 0.4V	0.64		0.51	0.88		0.36	
	V_{DD} = 10V, V_O = 0.5V	1.6		1.3	2.25		0.9	
	V_{DD} = 15V, V_O = 1.5V	4.2		3.4	8.8		2.4	
I_{OH} High Level Output Current	V_{DD} = 5V, V_O = 4.6V	−0.64		−0.51	−0.88		−0.36	
	V_{DD} = 10V, V_O = 9.5V	−1.6		−1.3	−2.25		−0.9	
	V_{DD} = 15V, V_O = 13.5V	−4.2		−3.4	−8.8		−2.4	
I_{IN} Input Current	All Inputs Except Signal Input							
	V_{DD} = 14V, V_{IN} = 0V		−0.1		-10^{-5}	−0.1		−1.0
	V_{DD} = 15V, V_{IN} = 15V		0.1		10^{-5}	0.1		1.0
C_{IN} Input Capacitance	Any Input, (Note 3)							7.5
P_T Total Power Dissipation	f_o = 10kHz, R1 = 1MΩ, R2 = ∞, VCO_{IN} = V_{DD}/2							
	V_{DD} = 5V				0.07			
	V_{DD} = 10V				0.6			
	V_{DD} = 15V				2.4			

Electrical Characteristics CD4046BC (Note 2)

Parameter	Conditions	−40°C		25°C			85°C		Units
		Min	Max	Min	Typ	Max	Min	Max	
Quiescent Device Current	PIN 5 = V_{DD}, PIN 14 = V_{DD}, PIN 3,9 = V_{SS}								
	V_{DD} = 5V		20		0.005	20		150	µA
	V_{DD} = 10V		40		0.01	40		300	µA
	V_{DD} = 15V		80		0.015	80		600	µA
	PIN 5 = V_{DD}, PIN 14 = Open, PIN 3,9 = V_{SS}								
	V_{DD} = 5V		70		5	55		205	µA
	V_{DD} = 10V		530		20	410		710	µA
	V_{DD} = 15V		1500		50	1200		1800	µA
Low Level Output Voltage	V_{DD} = 5V		0.05		0	0.05		0.05	V
	V_{DD} = 10V		0.05		0	0.05		0.05	V
	V_{DD} = 15V		0.05		0	0.05		0.05	V
High Level Output Voltage	V_{DD} = 5V	4.95		4.95	5		4.95		V
	V_{DD} = 10V	9.95		9.95	10		9.95		V
	V_{DD} = 15V	14.95		14.95	15		14.95		V
Low Level Input Voltage Comparator and Signal In	V_{DD} = 5V, V_O = 0.5V or 4.5V		1.5		2.25	1.5		1.5	V
	V_{DD} = 10V, V_O = 1V or 9V		3.0		4.5	3.0		3.0	V
	V_{DD} = 15V, V_O = 1.5V or 13.5V		4.0		6.25	4.0		4.0	V
High Level Input Voltage Comparator and Signal In	V_{DD} = 5V, V_O = 0.5V or 4.5V	3.5		3.5	2.75		3.5		V
	V_{DD} = 10V, V_O = 1V or 9V	7.0		7.0	5.5		7.0		V
	V_{DD} = 15V, V_O = 1.5V or 13.5V	11.0		11.0	8.25		11.0		V
Low Level Output Current	V_{DD} = 5V, V_O = 0.4V	0.52		0.44	0.88		0.36		mA
	V_{DD} = 10V, V_O = 0.5V	1.3		1.1	2.25		0.9		mA
	V_{DD} = 15V, V_O = 1.5V	3.6		3.0	8.8		2.4		mA
High Level Output Current	V_{DD} = 5V, V_O = 4.6V	−0.52		−0.44	−0.88		−0.36		mA
	V_{DD} = 10V, V_O = 9.5V	−1.3		−1.1	−2.25		−0.9		mA
	V_{DD} = 15V, V_O = 13.5V	−3.6		−3.0	−8.8		−2.4		mA
Input Current	All Inputs Except Signal Input								
	V_{DD} = 15V, V_{IN} = 0V		−0.3		-10^{-5}	−0.3		−1.0	µA
	V_{DD} = 15V, V_{IN} = 15V		0.3		10^{-5}	0.3		1.0	µA
Input Capacitance	Any Input, (Note 3)					7.5			pF
Total Power Dissipation	f_O = 10 kHz, R1 = 1 MΩ R2 = ∞, VCO_{IN} = $V_{DD}/2$								
	V_{DD} = 5V				0.07				mW
	V_{DD} = 10V				0.6				mW
	V_{DD} = 15V				2.4				mW

1. "Absolute Maximum Ratings" are those values beyond which the safety of the device cannot be guaranteed. They are not meant to imply that devices should be operated at these limits. The table of "Recommended Operating Conditions" and "Electrical Characteristics" provides conditions for actual device operation.
2. V_{SS} = 0V unless otherwise specified.
3. Capacitance is guaranteed by periodic testing.

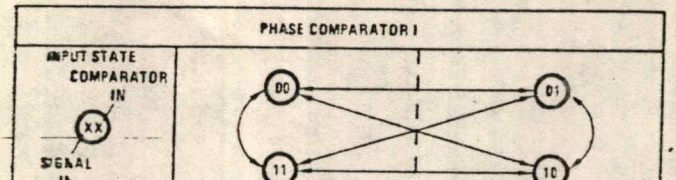
5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

AC Electrical Characteristics CD4046BM/CD4046BC $T_A = 25°C$, $C_L = 50\,pF$

Parameter	Conditions	Min	Typ	Max	Units
VCO Section					
Operating Current I_{DD}	f_o = 10 kHz, R1 = 1 MΩ, R2 = ∞, $VCO_{IN} = V_{DD}/2$, V_{DD} = 5 V		20		μA
	V_{DD} = 10 V		90		μA
	V_{DD} = 15 V		200		μA
f_{MAX} = Maximum Operating Frequency	C1 = 50 pF, R1 = 10 kΩ, R2 = ∞, $VCO_{IN} = V_{DD}$, V_{DD} = 5 V	0.4	0.8		MHz
	V_{DD} = 10 V	0.8	1.2		MHz
	V_{DD} = 15 V	1.2	1.6		MHz
Linearity	VCO_{IN} = 2.5 V ±0.3 V, R1 ≥ 10 kΩ, V_{DD} = 5 V		1		%
	VCO_{IN} = 5 V ±2.5 V, R1 ≥ 400 kΩ, V_{DD} = 10 V		1		%
	VCO_{IN} = 7.5 V ±5 V, R1 ≥ 1 MΩ, V_{DD} = 15 V		1		%
Temperature-Frequency Stability	%/°C ∝ 1/f, V_{DD}				
No Frequency Offset, $f_{MIN} = 0$	R2 = ∞, V_{DD} = 5 V		0.12–0.24		%/°C
	V_{DD} = 10 V		0.04–0.08		%/°C
	V_{DD} = 15 V		0.015–0.03		%/°C
Frequency Offset, $f_{MIN} \neq 0$	V_{DD} = 5 V		0.06–0.12		%/°C
	V_{DD} = 10 V		0.05–0.1		%/°C
	V_{DD} = 15 V		0.03–0.06		%/°C
VCO_{IN} Input Resistance (VCO_{IN})	V_{DD} = 5 V		10^6		MΩ
	V_{DD} = 10 V		10^6		MΩ
	V_{DD} = 15 V		10^6		MΩ
VCO Output Duty Cycle	V_{DD} = 5 V		50		%
	V_{DD} = 10 V		50		%
	V_{DD} = 15 V		50		%
t_{THL} VCO Output Transition Time	V_{DD} = 5 V		90	200	ns
t_{THL}	V_{DD} = 10 V		50	100	ns
	V_{DD} = 15 V		45	80	ns
Phase Comparators Section					
R_{IN} Input Resistance					
Signal Input	V_{DD} = 5 V	1	3		MΩ
	V_{DD} = 10 V	0.2	0.7		MΩ
	V_{DD} = 15 V	0.1	0.3		MΩ
Comparator Input	V_{DD} = 5 V		10^6		MΩ
	V_{DD} = 10 V		10^6		MΩ
	V_{DD} = 15 V		10^6		MΩ
AC-Coupled Signal Input Voltage Sensitivity	C_{SERIES} = 1000 pF, f = 50 kHz, V_{DD} = 5 V		200	400	mV
	V_{DD} = 10 V		400	800	mV
	V_{DD} = 15 V		700	1400	mV
Demodulator Output					
Offset Voltage ($VCO_{IN} - V_{DEM}$)	RS ≥ 10 kΩ, V_{DD} = 5 V		1.50	2.2	V
	RS ≥ 10 kΩ, V_{DD} = 10 V		1.50	2.2	V
	RS ≥ 50 kΩ, V_{DD} = 15 V		1.50	2.2	V
Linearity	RS ≥ 50 kΩ, VCO_{IN} = 2.5 ±0.3 V, V_{DD} = 5 V		0.1		%
	VCO_{IN} = 5 ±2.5 V, V_{DD} = 10 V		0.6		%
	VCO_{IN} = 7.5 ±5 V, V_{DD} = 15 V		0.8		%
Zener Diode					
V_Z Zener Diode Voltage	I_Z = 50 μA				
CD4046BM		6.7	7.0	7.3	V
CD4046BC		6.3	7.0	7.7	V
R_Z Zener Dynamic Resistance	I_Z = 1 mA		100		Ω

ase Comparator State Diagrams



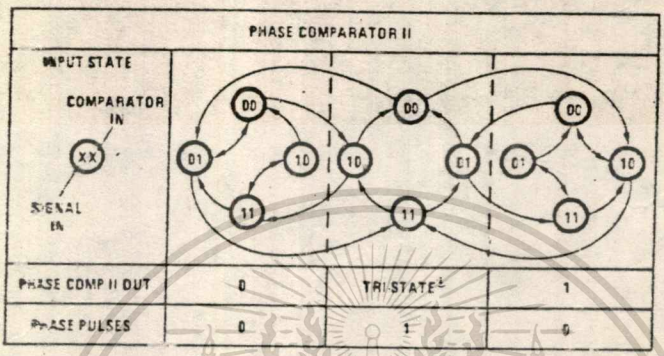


FIGURE 2

ypical Waveforms

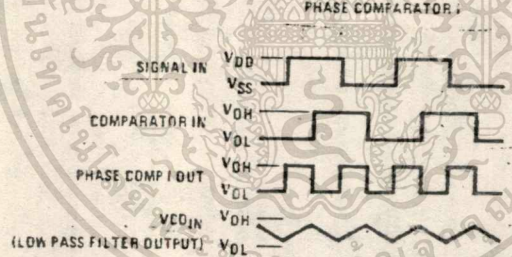


FIGURE 3. Typical Waveform Employing Phase Comparator I in Locked Condition

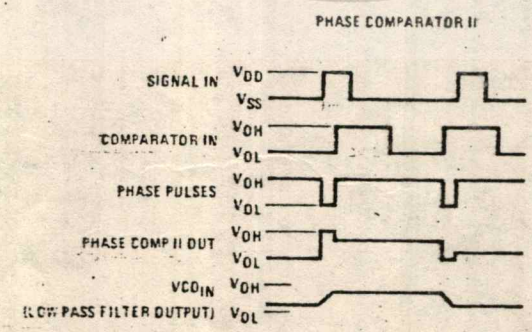


FIGURE 4. Typical Waveform Employing Phase Comparator II in Locked Condition

Typical Performance Characteristics

Typical Center Frequency vs C1 for R1 = 10 kΩ, 100 kΩ and 1 MΩ

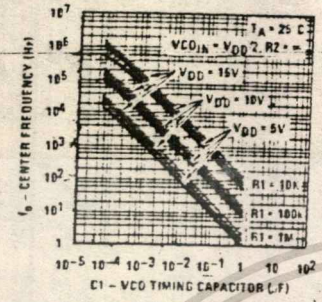


FIGURE 5a

Typical Frequency Offset vs C1 for R2 = 10 kΩ, 100 kΩ and 1 MΩ

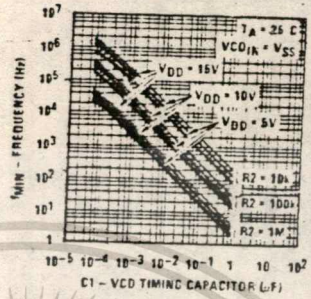


FIGURE 5b

Typical f_{MAX}/f_{MIN} vs R2/R1

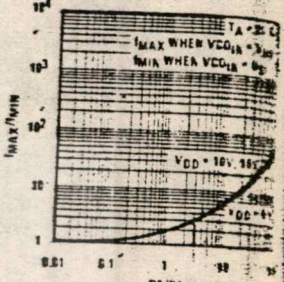


FIGURE 5c

Typical VCO Power Dissipation at Center Frequency vs R1

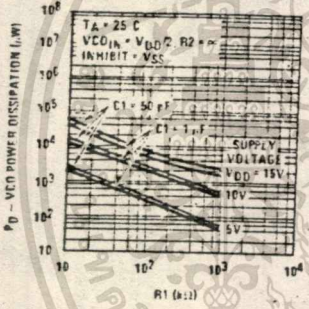


FIGURE 6a

Typical VCO Power Dissipation at f_{MIN} vs R2

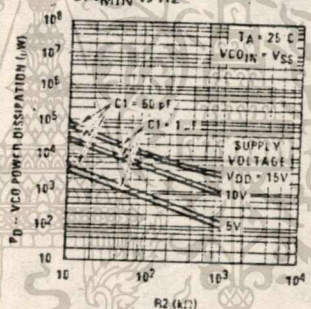


FIGURE 6b

Typical Source Follower Power Dissipation vs R_S

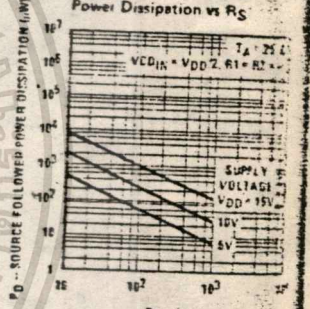


FIGURE 6c

Typical VCO Linearity vs R1 and C1

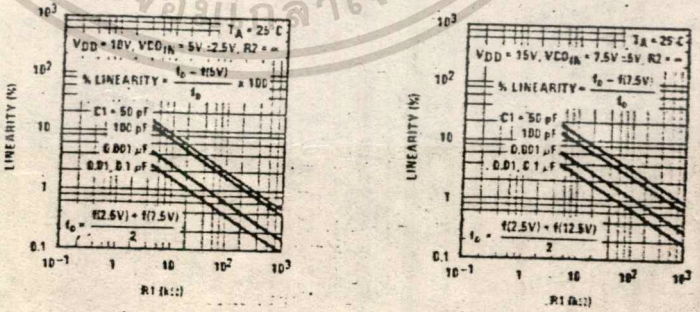


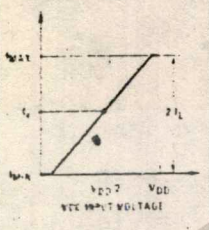
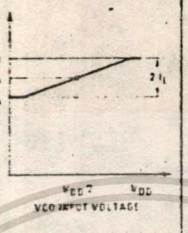
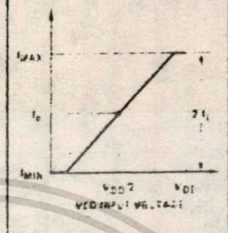
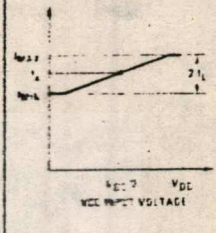
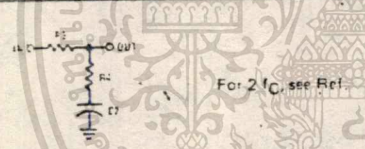
FIGURE 7

Note. To obtain approximate total power dissipation of PLL system for no-signal input: Phase Comparator I, P_D (Total) = P_D (f_o) + P_D (f_{MIN}) + P_D (R_S); Phase Comparator II, P_D (Total) = P_D (f_{MIN}).

Design Information

Information is a guide for approximating the value of external components for the CD4046B in a phase-locked-loop system. The selected external components should be within the following ranges: $R1, R2 \geq 10\ k\Omega$, $10\ k\Omega \leq R1, R2 \leq 1\ M\Omega$, $C1 \geq 50\ pF$.

In addition to the given design information, refer to *Figure 5* for R1, R2 and C1 component selections.

CHARACTERISTICS	USING PHASE COMPARATOR I		USING PHASE COMPARATOR II	
	VCO WITHOUT OFFSET R2 = ∞	VCO WITH OFFSET	VCO WITHOUT OFFSET R2 = ∞	VCO WITH OFFSET
Frequency				
Lock Input	VCO in PLL system will adjust to center frequency, f_o		VCO in PLL system will adjust to lowest operating frequency, f_{min}	
Lock Range, $2f_L$	$2f_L$ = VCO frequency range $2f_L = f_{max} - f_{min}$			
Capture Range, $2f_C$			$f_C = f_L$	
Filter Component	 For $2f_C$, see Ref.			
Angle Between Signal Comparator	90° at center frequency (f_o), approximating 0° and 180° at ends of lock range ($2f_L$)		Always 0° in lock	
Harmonics of Frequency	Yes		No	
Input Noise	High		Low	
Component Selection	–Given f_o –Use f_o with *Figure 5a* to determine R1 and C1	–Given f_o and f_L –Calculate f_{min} from the equation $f_{min} = f_o - f_L$ –Use f_{min} with *Figure 5b* to determine R2 and C1 –Calculate $\frac{f_{max}}{f_{min}}$ from the equation $\frac{f_{max}}{f_{min}} = \frac{f_o + f_L}{f_o - f_L}$ –Use $\frac{f_{max}}{f_{min}}$ with *Figure 5c* to determine ratio R2/R1 to obtain R1	–Given f_{max} –Calculate f_C from the equation $f_o = \frac{f_{max}}{2}$ –Use f_o with *Figure 5a* to determine R1 and C1	–Given f_{min} and f_{max} –Use f_{min} with *Figure 5b* to determine R2 and C1 –Calculate $\frac{f_{max}}{f_{min}}$ –Use $\frac{f_{max}}{f_{min}}$ with *Figure 5c* to determine ratio R2/R1 to obtain R1

G.S. Moschytz, "Miniaturized RC Filters Using Phase-Locked Loop", BSTJ, May, 1965.
F. Gardner, "Phaselock Techniques," John Wiley & Sons, 1966.

NE592
SE592

VIDEO AMPLIFIER

SILICON MONOLITHIC
INTEGRATED CIRCUIT

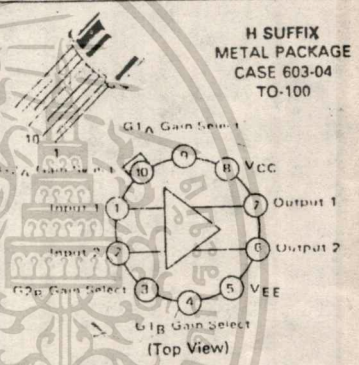
ORDERING INFORMATION

Device	Temperature Range	Package
NE592D	0 to 70°C	SO-14
NE592N	0 to 70°C	Plastic DIP
NE592H	0 to 70°C	Metal Can
NE592F	0 to 70°C	Ceramic DIP
SE592H	– 55 to + 125°C	Metal Can
SE592F	– 55 to + 125°C	Ceramic DIP

DIFFERENTIAL TWO-STAGE VIDEO AMPLIFIER

The SE/NE592 is a monolithic, two-stage, differential output, wideband video amplifier. It offers fixed gains of 100 and 400 without external components and adjustable gains from 400 to 0 with one external resistor. The input stage has been designed so that with the addition of a few external reactive elements between the gain select terminals, the circuit can function as a high pass, low pass, or band pass filter. This feature makes the circuit ideal for use as a video or pulse amplifier in communications, magnetic memories, display and video recorder systems. The 592 is a pin for pin replacement for the MC1733.

- 90 MHz Bandwidth
- Adjustable Gains From 0 to 400
- Adjustable Pass Band
- No Frequency Compensation Required

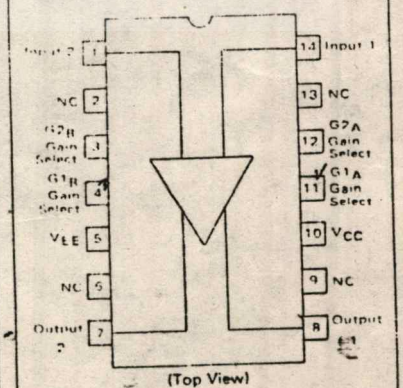


H SUFFIX
METAL PACKAGE
CASE 603-04
TO-100

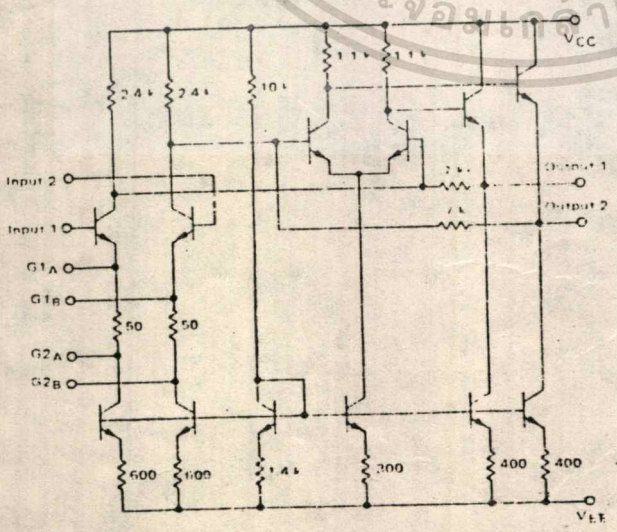
J SUFFIX
CERAMIC PACKAGE
CASE 632-02
MO-001AA

N SUFFIX
PLASTIC PACKAGE
CASE 646-05

D SUFFIX
PLASTIC PACKAGE
CASE 751A-01
SO-14



CIRCUIT SCHEMATIC



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MAXIMUM RATINGS (T_A = +25°C unless otherwise noted)

Rating	Symbol	Value	Unit
Power Supply Voltage	V_{CC} V_{EE}	+8.0 -8.0	Volts
Differential Input Voltages	V_{ID}	±5.0	Volts
Common-Mode Input Voltage	V_{IC}	±6.0	Volts
Output Current	I_O	10	mA
Operating Ambient Temperature Range SE592 NE592	T_A	 -55 to +125 0 to +70	°C
Operating Junction Temperature Range Metal and Ceramic Packages Plastic Package	T_J	 175 150	°C
Storage Temperature Range Metal and Ceramic Packagee Plastic Package	T_{stg}	 -65 to +150 -55 to +125	°C

ELECTRICAL CHARACTERISTICS T_A = 25°C unless otherwise noted. (V_{CC} = +6.0 V, V_{EE} = -6.0 V, V_{CM} = 0)

Characteristic	Symbol	SE592 Min	SE592 Typ	SE592 Max	NE592 Min	NE592 Typ	NE592 Max	Units
Differential Voltage Gain – Figure 3 (R_L = 2 kΩ, e_{out} = 3 Vp-p) (Gain 1, Note 1) (Gain 2, Note 2)	A_{vd}	 300 90	 400 100	 500 110	 250 80	 400 100	 600 120	V/V
Bandwidth – Figure 3 (Gain 1, Note 1) (Gain 1, Note 2)	BW		 40 90	-		 40 90	-	MHz
Rise Time – Figure 3 (Gain 1, e_{out} = 1 Vp-p, Note 1) (Gain 2, e_{out} = 1 Vp-p, Note 2)	t_{LH} t_{HL}		10.5 4.5	 10		10.5 4.5	- 12	ns
Propagation Delay – Figure 3 (Gain 1, e_{out} = 1 Vp-p, Note 1) (Gain 2, e_{out} = 1 Vp-p, Note 2)	t_{PLH} t_{PHL}		7.5 6.0	 10		7.5 6.0	 10	ns
Input Resistance (Gain 1, Note 1) (Gain 2, Note 2)	R_{in}	 20	40 30	-	 10	40 30	-	kΩ
Input Capacitance (Gain 2, Note 2)	C_{in}		2.0			2.0	-	pF
Input Offset Current (Gain 3, Note 3) – Fig. 2	I_{IO}		0.4	3.0		0.4	5.0	µA
Input Bias Current (Gain 3, Note 3) – Fig. 2	I_{IB}		9.0	20		9.0	30	µA
Input Noise Voltage (Gain 1 and Gain 2) (BW = 1 kHz to 10 MHz) – Figure 1	V_n		12			12		µV(rms)
Input Voltage Range (Gain 2, Note 2) – Fig. 3	V_{in}	±1.0			±1.0			V
Common-Mode Rejection Ratio – Figure 3 (Gain 2, V_{CM} = ±1 V, f = 100 kHz) (Gain 2, V_{CM} = ±1 V, f = 5 MHz)	CMRR	60	80 60		60	80 60	-	dB
Supply Voltage Rejection Ratio – Figure 2 (Gain 2, ΔV_S = ±0.5 V)	PSRR	50	70		50	70	-	dB
Output Offset Voltage – Figure 2 (Gain 3, R_L = ∞, Note 3)	V_{OO}		0.35	0.75		0.35	0.75	V
Output Common-Mode Voltage – Figure 2 (R_L = ∞, Gain 3, Note 3)	V_{CMO}	2.4	2.9	3.4	2.4	2.9	3.4	V
Output Voltage Swing – Figure 3 (R_L = 2k, Gain 2, Note 2)	V_O	3.0	4.0		3.0	4.0	-	Vp-p
Output Resistance	r_o		20			20	-	Ω
Power Supply Current – Figure 2 (R_L = ∞, Gain 2, Note 2)	I_D		18	24		18	24	mA

Note 1. Gain select pins $G1_A$ and $G1_B$ connected together.

Note 2. Gain select pins $G2_A$ and $G2_B$ connected together.

Note 3. All gain select pins open.

ELECTRICAL CHARACTERISTICS $T_A = T_{high}$ to T_{low} unless otherwise noted.* (V_{CC} = +6.0 Vdc, V_{EE} = -6.0 Vdc, V_{CM} = 0)

Characteristic	Symbol	SE592 Min	SE592 Typ	SE592 Max	NE592 Min	NE592 Typ	NE592 Max	Units
Differential Voltage Gain – Figure 3 (R_L = 2 kΩ, e_{out} = 3 Vp-p)	A_{vd}							V/V
(Gain 1, Note 1)		200	--	600	250	–	600	
(Gain 2, Note 2)		80	–	120	80	-	120	
Input Resistance (Gain 2)	R_{in}	8.0	–	–	8.0	–	–	kΩ
Input Offset Current (Gain 3) Figure 2	$\|I_{IO}\|$			5.0		–	6.0	μA
Input Bias Current (Gain 3) Figure 2	I_{IB}		–	40		–	40	μA
Input Voltage Range (Gain 2) Figure 3	V_{in}	±1.0		-	±1.0		-	V
Common-Mode Rejection Ratio Figure 3 (Gain 2, V_{CM} = ±1 V, f = 100 kHz)	CMRR	50		-	50		–	dB
Supply Voltage Rejection Ratio – Figure 2 (Gain 2, Δ V_s = ±0.5 V)	PSRR	50		-	50	–	–	dB
Output Offset Voltage (Gain 3) – Figure 2	V_{OO}		–	1.2	–	–	1.5	V
Output Voltage Swing (Gain 2) – Figure 3	V_O	2.5	-	-	2.5	–	–	Vp-p
Power Supply Current (Gain 2) – Figure 2	I_D	-	-	27	-	-	27	mA

*T_{low} = 0°C for NE592, -55°C for SE592
T_{high} = +70°C for NE592, +125°C for SE592

GENERAL TEST CIRCUITS

FIGURE 1

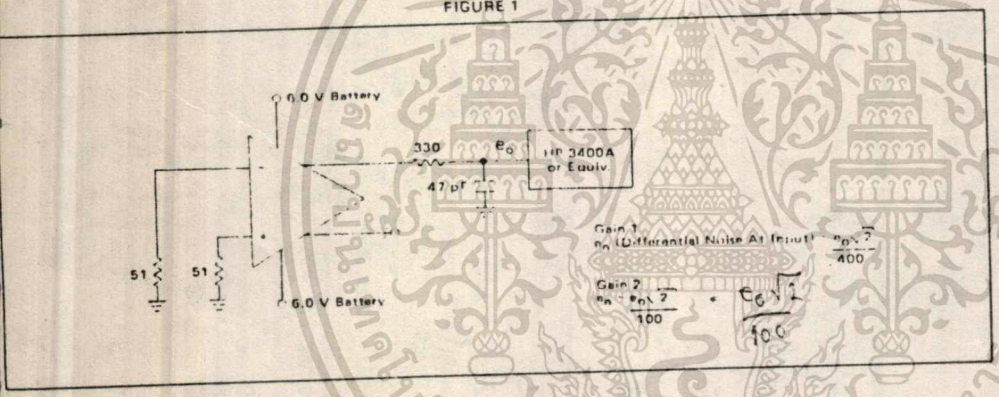


FIGURE 2

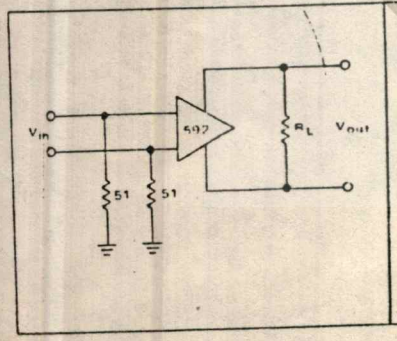


FIGURE 3

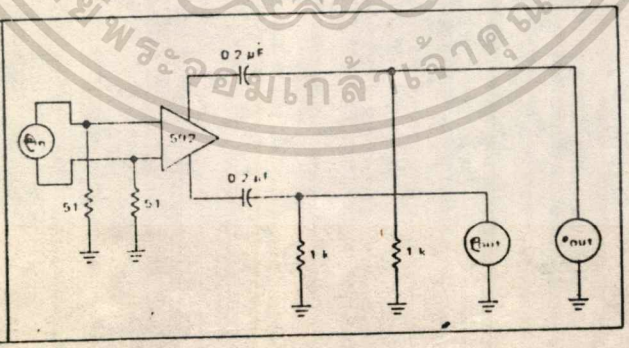


FIGURE 4 – GAIN 1 versus FREQUENCY

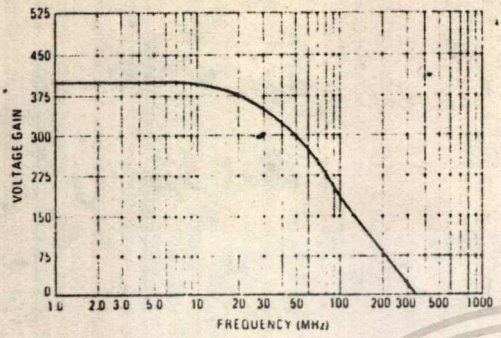


FIGURE 5 – GAIN 2 versus FREQUENCY

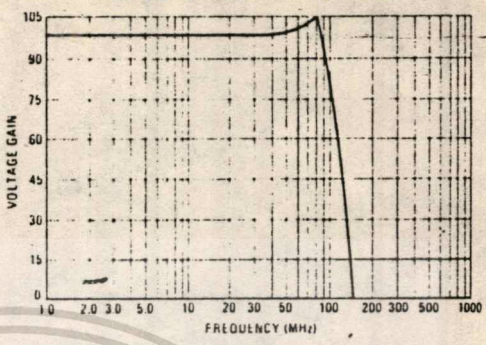


FIGURE 6 – OUTPUT VOLTAGE SWING AS A FUNCTION OF FREQUENCY

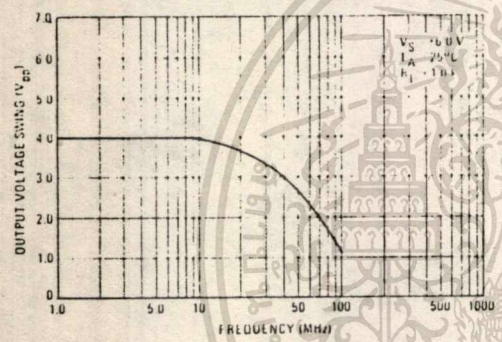


FIGURE 7 – OUTPUT VOLTAGE SWING AS A FUNCTION OF LOAD RESISTANCE

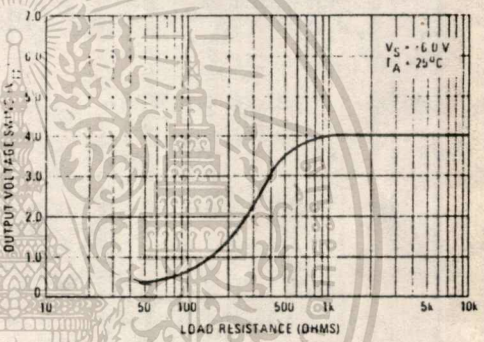
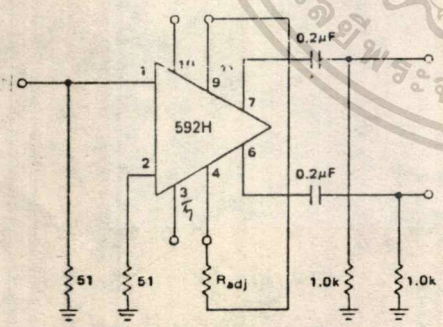


FIGURE 8 – VOLTAGE GAIN AS A FUNCTION OF R_{adj} RESISTANCE



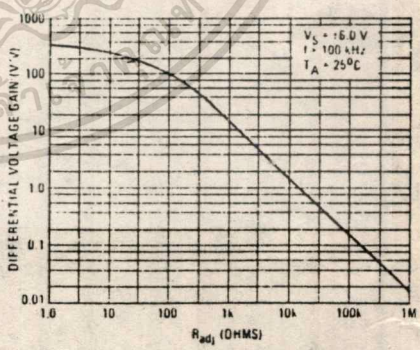


FIGURE 9 – DISK/TAPE PHASE MODULATED READBACK SYSTEMS

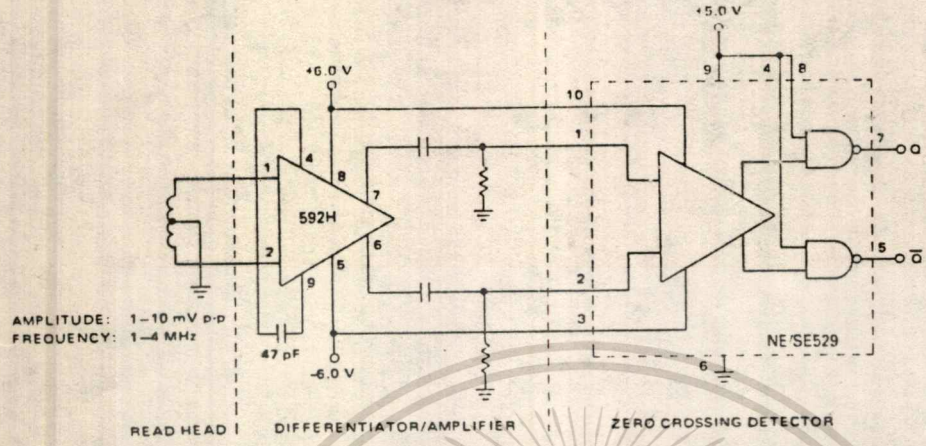
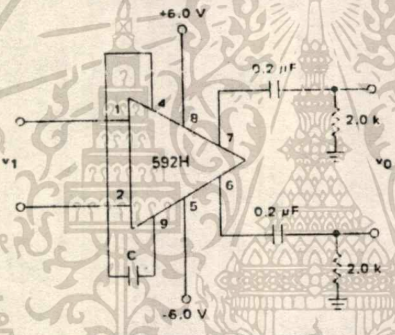


FIGURE 10 – DIFFERENTIATION WITH HIGH COMMON MODE NOISE REJECTION



FOR FREQUENCY $f_1 < 1/2\pi(32)C$

$$v_O = 1.4 \times 10^4 C \frac{dv_1}{dt}$$

FIGURE 11 – FILTER NETWORKS

$$\frac{v_O(s)}{v_1(s)} = \frac{1.4 \times 10^4}{Z(s) + 2r_e}$$

$$= \frac{1.4 \times 10^4}{Z(s) + 32}$$

BASIC CONFIGURATION

Z NETWORK	FILTER TYPE	$\frac{v_O}{v_1}$ TRANSFER FUNCTION
R, L	Low Pass	$\frac{1.4 \times 10^4}{L}\left[\frac{1}{s + R/L}\right]$
R, C	High Pass	$\frac{1.4 \times 10^4}{R}\left[\frac{s}{s + 1/RC}\right]$
R, L, C	Band Pass	$\frac{1.4 \times 10^4}{L}\left[\frac{s}{s^2 + R/L\,s + 1/LC}\right]$
L, R, C	Band Reject	$\frac{1.4 \times 10^4}{R}\left[\frac{s^2 + 1/LC}{s^2 + 1/LC + s/RC}\right]$

NOTE:
In the networks shown the R value used is assumed to include $2r_e$ or approximately 30 Ohms

กิตติกรรมประกาศ

ขอขอบพระคุณ อาจารย์ทองทด วานิชศรี ที่ได้ให้คำปรึกษาและแนะนำเทคนิคในการทำงาน ทำให้โครงงานนี้สำเร็จลุล่วงไปด้วยดี และขอขอบคุณเพื่อนๆห้อง B ที่ได้ให้กำลังใจในการทำงานตลอดมา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หนังสืออ้างอิง

1. Wanye Tomasi, "Advance Electronic Communication System", Prentice Hall International Edition, 85 page ,1984
2. Cirovic Michael.M , "Basic Electronic ;devices,circuit and system",Prentice Hall International Edition, 82 pages ,1983
3. Simon Haykin ,"An Introduction to Analog and Digital Communication", John Wiley & Sons, 21 pages ,1984
4. D.J.Morris ,"Communication for Command and Control System Pergamon Press , 40 pages,1986

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้