ปีการศึกษา 2532

การใช้ไมโครคอมพิวเตอร์ควบคุมเครื่องถ่ายภาพตัดขวางสมอง

(CT-SCANNER X-RAY CONTROLLED USING MICROCOMPUTER)

โดย

นาย ธีระพงษ์ เจริญคุณวิวัฒ

นาย สุรชัย หาญอนุพงศ์

อาจารย์ที่ปรึกษา

ศจ.ดร. ไพรัช ธัชยพงษ์

อ. พลพตุง ผดุงกุล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ปริญญานิพนธ์ปีการศึกษา 2532

เรื่อง การใช้ไมโครคอมพิวเตอร์ควบคุมเครื่องถ่ายภาพตัดขวางสมอง

(CT-SCANNER X-RAY CONTROLLED USING MICROCOMPUTER)

ผู้จัดทำ

1. นาย ธีระพงษ์ เจริญคุณวิวัฒ เลขประจำตัว 29.1070
2. นาย สุรชัย หาญอนุพงศ์ เลขประจำตัว 29.1289

..... อาจารย์ที่ปรึกษา

(ศจ.ดร. ไพรัช ธัชยพงษ์)

..... อาจารย์ที่ปรึกษา

(อ. พลกฤษ ผดุงกุล)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การใช้ไมโครคอมพิวเตอร์ควบคุมเครื่องถ่ายภาพตัดขวางสมอง

(CT-SCANNER X-RAY CONTROLLED USING MICROCOMPUTER)

ธีระพงษ์ เจริญคุณวิวัฒ 29.1070

สุรชัย หาญอนุพงศ์ 29.1289

อาจารย์ที่ปรึกษา

ศจ.ดร.ไพรัช ธัชยพงษ์

อ.พลเดช ผดุงกุล

ปีการศึกษา 2532

บทคัดย่อ

ปริญญานิพนธ์ฉบับนี้เป็นการนำไมโครคอมพิวเตอร์มาควบคุมเครื่องถ่ายภาพตัดขวางสมอง ซึ่งเป็นเครื่องถ่ายภาพตัดขวางระบบที่ 3 (Third Generation) ที่มีส่วนประกอบที่สำคัญคือ มี IMAGE INTENSIFIER 1 ตัวและมี DETECTOR 128 ตัวโดยทำการหมุน GANTRY 1 รอบ 360 องศา สำหรับการฉายรังสี 1 ครั้ง ทางด้านการควบคุมการทำงานของเครื่องถ่ายภาพตัดขวางนี้ ได้มีการนำไมโครโปรเซสเซอร์ซึ่งมีความสะดวกและสามารถนำมาใช้งานได้ง่ายมาทำการควบคุมการทำงาน

การควบคุมการทำงานของเครื่องถ่ายภาพตัดขวางนี้ใช้ CPU Z-80 เป็นตัวหลักในการควบคุม โดยมีการส่งคำสั่งมาจากไมโครคอมพิวเตอร์ผ่าน Single Chip 8031 หลังจากนั้น Single Chip จะส่งคำสั่งไปให้ CPU Z-80 ปฏิบัติงานอีกครั้งหนึ่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

หน้า

บทที่ 1 บทนำ 1-1

บทที่ 2 ทฤษฎีและหลักการทำงานของเครื่องควบคุมเครื่องถ่ายภาพตัดขวาง 2-1

2.1 หลักการการควบคุมเครื่องถ่ายภาพตัดขวาง 2-1

2.2 หน่วยแกนทรี่ (Gantry Unit : GTU) 2-2

บทที่ 3 หลักการและการออกแบบของ Z-80 3-1

3.1 ระบบบัส Z-80 3-1

3.2 การติดต่อระหว่าง Z-80 กับหน่วยความจำ 3-3

3.3 แผนผังการจัดหน่วยความจำ 3-4

3.4 การติดต่อระหว่าง Z-80 กับ อินพุท/เอาท์พุท พอร์ท 3-6

3.5 วงจรใช้งานจริง 3-8

บทที่ 4 หลักการและการออกแบบของ 8031 4-1

4.1 ระบบโดยทั่วๆไปของ 8031 4-1

4.2 การติดต่อระหว่าง 8031 กับหน่วยความจำและอินพุท/เอาท์พุท พอร์ท 4-3

4.3 แผนผังการจัดหน่วยความจำ 4-4

4.4 การส่งข้อมูลแบบอนุกรมทางพอร์ทอนุกรม 4-5

4.5 การทำ DMA ของหน่วยความจำระบบ Z-80 4-6

4.6 การออกแบบและอธิบายการทำงานของวงจรใช้งานจริง 4-7

บทที่ 5 วิธีการทดลองและผลการทดลอง 5-1

บทที่ 6 สรุปและวิจารณ์ผลการทดลอง 6-1

ภาคผนวก

กิตติกรรมประกาศ

หนังสืออ้างอิง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1

บทนำ

ตั้งแต่ได้มีการแนะนำเครื่องถ่ายภาพตัดขวาง(Computed Tomography)ออกมา ทำให้มีการนำเครื่องถ่ายภาพตัดขวางนี้ไปใช้งานกันมากขึ้น โดยเฉพาะนำไปใช้งานทางด้านสมองซึ่งทำเป็นเครื่องถ่ายภาพตัดขวางสมองที่มีข้อดีคือ สามารถช่วยค้นหาสิ่งผิดปกติที่เกิดขึ้นได้โดยง่าย เครื่องมือชนิดนี้ได้มีการปรับปรุงและพัฒนาขึ้นเรื่อยๆ โดยเริ่มมีการสแกน(Scan)แบบใหม่เข้ามาทำการเปลี่ยนแปลงอย่างรวดเร็ว ทั้งทางด้านเทคนิโลยีและลักษณะการทำงานของตัวสแกน เพราะสิ่งเหล่านี้มีผลต่อวิธีการเก็บข้อมูลสำหรับเครื่องถ่ายภาพตัดขวางเป็นอย่างมาก ดังนั้นจึงได้มีการแบ่งประเภทต่างๆของเครื่องถ่ายภาพตัดขวาง โดยพิจารณาจากลักษณะของการสแกนและจำนวนของหัววัดรังสี ซึ่งอาจจะจำแนกให้เห็นวิวัฒนาการของเครื่องถ่ายภาพตัดขวางแบบต่างๆได้ 5 แบบคือ เริ่มตั้งแต่ระบบที่ 1 จนถึงปัจจุบันระบบที่ 5 โดยมีการเรียงชื่อตามลำดับเวลาการสร้างขึ้น ซึ่งระบบที่ 5 อยู่ในช่วงวางแผนดำเนินงานอยู่

1.1 ระบบที่ 1 (First Generation)

ใช้หลักการ การเคลื่อนที่และการหมุนของตัวหมุนที่มีลำรังสีเอ็กซ์ออกมาเป็นลำแสง และมีหัววัดรังสีเพียงตัวเดียว แล้วมีหลอดรังสีเอ็กซ์เคลื่อนที่พร้อมกับหัววัดรังสีในแนวการสแกนเส้นตรงและการสแกนแบบหมุน

ลำรังสีจากหลอดรังสีเอ็กซ์ จะสแกนผ่านตัวคนไข้ด้านหนึ่งไปทางอีกด้านหนึ่งในแนวตรง เสร็จแล้วหลอดรังสีเอ็กซ์และหัววัดรังสีจะถูกบังคับให้หมุนไป 1 องศา ในระนาบของส่วนเล็กๆ เมื่อเทียบกับแนวรังสีเดิม แล้วทำการตั้งต้นสแกนใหม่จนครบ 180 องศา

ระบบนี้เป็นแม่แบบของเครื่องถ่ายภาพตัดขวาง แต่ข้อเสียคือ เวลาในการสแกนนานมากกินเวลาประมาณ 5 นาทีต่อการสแกน 1 ครั้ง

1.2 ระบบที่ 2 (Second Generation)

ใช้หลักการ การเคลื่อนที่และการหมุนของตัวหมุนที่มีลำรังสีเอ็กซ์ออกมาเป็นแถบรังสี ซึ่งคล้ายกับระบบที่ 1 แต่ระบบนี้ใช้หัววัดรังสีเพิ่มขึ้นจากระบบที่ 1 คือ จากหัววัดรังสีตัวเดียวเป็น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัววัดรังสีประมาณ 30-50 ตัว

ลำรังสีที่ใช้แบบนี้เป็นแถบรังสี มีการเคลื่อนที่ของหลอดรังสีเอ็กซ์และหัววัดรังสีในแนวการสแกนเป็นเส้นตรงและการสแกนแบบหมุน เนื่องจากมีหัววัดรังสีมากขึ้น ดังนั้นทำให้ในช่วงการสแกนเป็นเส้นตรงทำได้เร็วขึ้น และแทนที่จะหมุนไปคราวละ 1 องศา ก็สามารถหมุนไปได้ถึงประมาณ 30 องศา แล้วเริ่มสแกนใหม่ ระบบนี้ยังทำการสแกนเป็นมุม 180 องศาอยู่ ดังนั้นการที่หลอดรังสีเอ็กซ์เคลื่อนที่ทั้งแนวเส้นตรงและมีการหมุน ก็จะทำให้หมุนได้ประมาณ 6 ครั้ง ทำให้เวลาการสแกนน้อยกว่าระบบที่ 1 ซึ่งมีค่าประมาณ 10-90 วินาที (แล้วแต่บริษัทผู้ผลิต)

1.3 ระบบที่ 3 (Third Generation)

ใช้หลักการที่มีการหมุนอย่างเดียวและมีลำรังสีเอ็กซ์ออกมาเป็นแถบรังสีที่กว้าง ลำรังสีนี้กว้างประมาณ 30-50 องศากว้างพอที่จะคลุมศีรษะหรือลำตัวคนไข้ ระบบนี้ไม่ต้องทำการสแกนในแนวเส้นตรง แต่มีการสแกนแบบหมุนอย่างเดียว หัววัดรังสีในระบบนี้มีจำนวนมาก ประมาณ 300-500 ตัว ระบบนี้จะหมุนเป็นมุมทั้งหมด 360 องศา สำหรับการสแกน 1 ครั้ง และมีเวลาในการสแกนลดลงเหลือ 2-10 วินาที โดยแท้จริงแล้วการหมุนจะใช้เวลาประมาณ 1 วินาทีเท่านั้น ส่วนเวลาที่เหลือนั้นเสียไปสำหรับระบบอิเลคทรอนิคส์ที่ใช้ในการป้อนข้อมูลเข้าสู่เครื่องคอมพิวเตอร์

1.4 ระบบที่ 4 (Forth Generation)

ใช้หลักการที่มีการหมุนเพียงอย่างเดียวและมีลำรังสีเอ็กซ์เป็นแบบแถบรังสี มีหัววัดรังสีอยู่กับที่ ซึ่งมีจำนวนมากประมาณมากกว่า 600 ตัว รอบตัวหมุน

ระบบนี้หัววัดรังสีไม่เคลื่อนไหว มีแต่หลอดรังสีเอ็กซ์อย่างเดียวที่หมุนอยู่รอบตัวผู้ป่วย แต่เวลาการสแกนไม่ได้น้อยกว่าระบบที่ 3

1.5 ระบบที่ 5 (Fifth Generation)

ใช้หลักการ ที่ให้หลอดรังสีเอ็กซ์และหัววัดรังสีอยู่กับที่ มีลำรังสีเอ็กซ์เป็นแบบแถบรังสี ระบบนี้ใช้หลอดรังสีเอ็กซ์หลายตัวล้อมรอบผู้ป่วย ขณะที่มีการเริ่มสแกนจะไม่มีการเคลื่อนที่สิ่งใดเลย หลอดรังสีเอ็กซ์จะอยู่เรียงเป็นคู่กับหัววัดรังสีแต่ละชุด และ มีการฉายรังสีออกพร้อมกันใน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัววัดรังสีประมาณ 30-50 ตัว

ลำรังสีที่ใช้แบบนี้เป็นแถบรังสี มีการเคลื่อนที่ของหลอดรังสีเอ็กซ์และหัววัดรังสีในแนวการสแกนเป็นเส้นตรงและการสแกนแบบหมุน เนื่องจากมีหัววัดรังสีมากขึ้น ดังนั้นทำให้ในช่วงการสแกนเป็นเส้นตรงทำได้เร็วขึ้น และแทนที่จะหมุนไปคราวละ 1 องศา ก็สามารถหมุนไปได้ถึงประมาณ 30 องศา แล้วเริ่มสแกนใหม่ ระบบนี้ยังทำการสแกนเป็นมุม 180 องศาอยู่ ดังนั้นการที่หลอดรังสีเอ็กซ์เคลื่อนที่ทั้งแนวเส้นตรงและมีการหมุน ก็จะทำให้หมุนได้ประมาณ 6 ครั้ง ทำให้เวลาการสแกนน้อยกว่าระบบที่ 1 ซึ่งมีค่าประมาณ 10-90 วินาที (แล้วแต่บริษัทผู้ผลิต)

1.3 ระบบที่ 3 (Third Generation)

ใช้หลักการที่มีการหมุนอย่างเดียวและมีลำรังสีเอ็กซ์ออกมาเป็นแถบรังสีที่กว้าง ลำรังสีนี้กว้างประมาณ 30-50 องศากว้างพอที่จะคลุมศีรษะหรือลำตัวคนไข้ ระบบนี้ไม่ต้องทำการสแกนในแนวเส้นตรง แต่มีการสแกนแบบหมุนอย่างเดียว หัววัดรังสีในระบบนี้มีจำนวนมาก ประมาณ 300-500 ตัว ระบบนี้จะหมุนเป็นมุมทั้งหมด 360 องศา สำหรับการสแกน 1 ครั้ง และมีเวลาในการสแกนลดลงเหลือ 2-10 วินาที โดยแท้จริงแล้วการหมุนจะใช้เวลาประมาณ 1 วินาทีเท่านั้น ส่วนเวลาที่เหลือนั้นเสียไปสำหรับระบบอิเลคทรอนิคส์ที่ใช้ในการป้อนข้อมูลเข้าสู่เครื่องคอมพิวเตอร์

1.4 ระบบที่ 4 (Forth Generation)

ใช้หลักการที่มีการหมุนเพียงอย่างเดียวและมีลำรังสีเอ็กซ์เป็นแบบแถบรังสี มีหัววัดรังสีอยู่กับที่ ซึ่งมีจำนวนมากประมาณมากกว่า 600 ตัว รอบตัวหมุน

ระบบนี้หัววัดรังสีไม่เคลื่อนไหว มีแต่หลอดรังสีเอ็กซ์อย่างเดียวที่หมุนอยู่รอบตัวผู้ป่วย แต่เวลาการสแกนไม่ได้น้อยกว่าระบบที่ 3

1.5 ระบบที่ 5 (Fifth Generation)

ใช้หลักการ ที่ให้หลอดรังสีเอ็กซ์และหัววัดรังสีอยู่กับที่ มีลำรังสีเอ็กซ์เป็นแบบแถบรังสี ระบบนี้ใช้หลอดรังสีเอ็กซ์หลายตัวล้อมรอบผู้ป่วย ขณะที่มีการเริ่มสแกนจะไม่มีการเคลื่อนที่สิ่งใดเลย หลอดรังสีเอ็กซ์จะอยู่เรียงเป็นคู่กับหัววัดรังสีแต่ละชุด และมีการฉายรังสีออกพร้อมกันใน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ช่วงเวลาเดียวกัน เวลาในการสแกนของระบบนี้ใช้เวลาเพียง 2 มิลลิวินาที ซึ่งมีเวลาใกล้เคียงกับการถ่ายเอ็กซ์เรย์ธรรมดามากขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

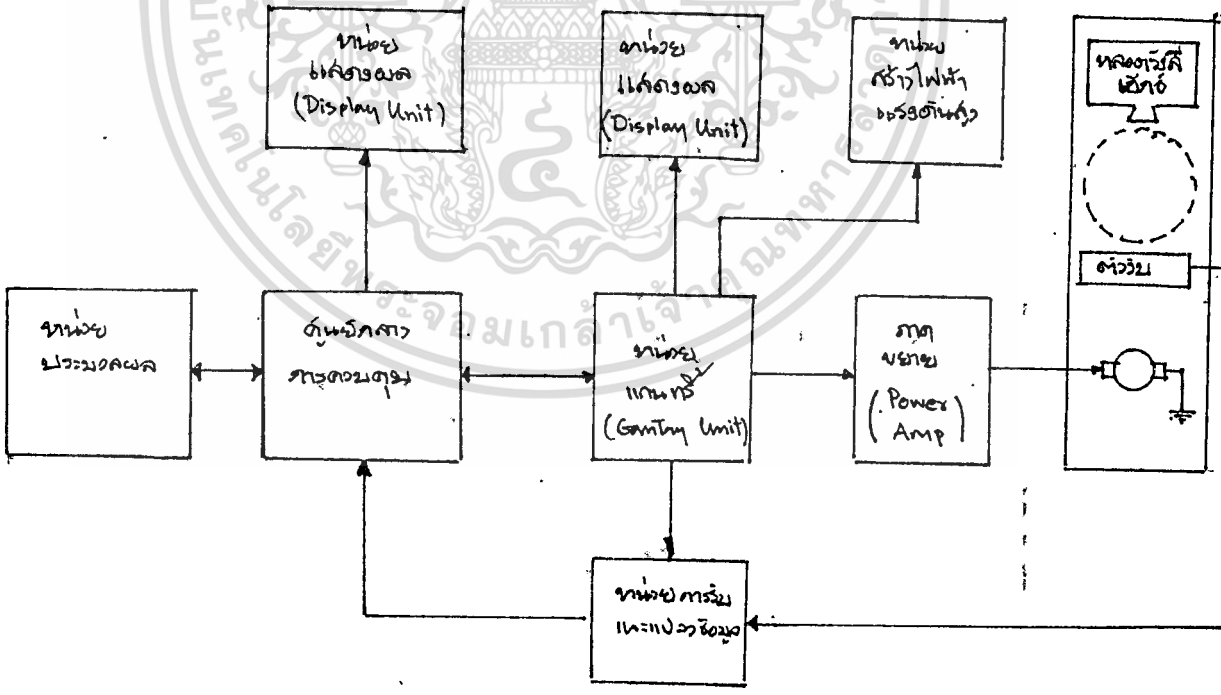
บทที่ 2

ทฤษฎีและหลักการทำงานของเครื่องควบคุมเครื่องถ่ายภาพตัดขวาง

ในบทที่แล้วได้กล่าวถึง หลักการและการทำงานของเครื่องถ่ายภาพตัดขวางแต่ละรุ่นไปแล้ว และได้กล่าวถึงรายละเอียดด้านหลักการของแต่ละรุ่น ในบทนี้จะได้อธิบายถึงหลักการของระบบควบคุมเครื่องถ่ายภาพตัดขวางซึ่งเป็นเครื่องถ่ายภาพตัดขวางระบบที่ 3

2.1 หลักการการควบคุมเครื่องถ่ายภาพตัดขวาง

ในบทนี้จะได้กล่าวถึงหลักการในการควบคุมเครื่องถ่ายภาพตัดขวาง ในขั้นต้นนี้จะแสดงหลักการของระบบเครื่องถ่ายภาพตัดขวางก่อนว่า หลักใหญ่จะประกอบไปด้วยส่วนใดบ้าง และมีหลักการในการทำงานอย่างไร

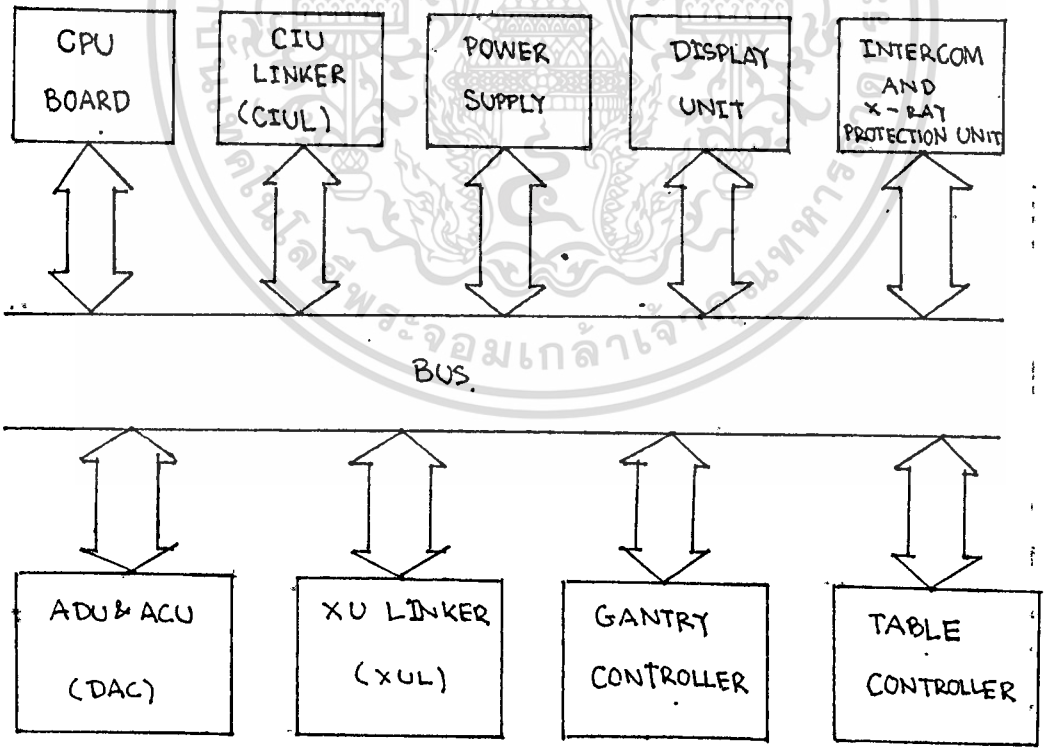


รูป 2.1.1 แสดงบล็อคไดแกรมของระบบเครื่องถ่ายภาพตัดขวาง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูป 2.1.1 แสดงหลักการของระบบเครื่องถ่ายภาพตัดขวาง ในการทำงานจะมีตัวควบคุมระบบทั้งหมด ในที่นี้คือ ศูนย์กลางการควบคุม ซึ่งจะเป็นตัวควบคุมระบบทั้งหมด โดยมีขั้นตอนการทำงานคือ ศูนย์กลางการควบคุมมีสัญญาณไฟบอกให้หน่วยแกนหรี่ (Gantry Unit : GTU) ให้ทำการอุ่นหลอดยิงรังสีเอ็กซ์ เมื่ออุปกรณ์ทุกอย่างพร้อม ศูนย์กลางการควบคุมก็จะส่งสัญญาณไปบอกให้หน่วยแกนหรี่เริ่มทำการหมุนตัวหมุนและทำการยิงรังสีเอ็กซ์ หน่วยรับและแปลงข้อมูลก็จะทำการรับและแปลงข้อมูลจากสัญญาณอนาล็อกมาเป็นสัญญาณดิจิตอล ส่งต่อให้ศูนย์กลางการควบคุม แล้วศูนย์กลางการควบคุมจะส่งข้อมูลไปประมวลผลในหน่วยประมวลผล เมื่อหน่วยประมวลผลทำการประมวลผลข้อมูลเรียบร้อย ก็จะส่งต่อมายังศูนย์กลางการควบคุมอีกครั้ง และนำออกแสดงผลทางจอภาพ หลักการนี้เป็นหลักการทั่วไปในการทำงาน ในหัวข้อถัดไปจะอธิบายถึงหน่วยแกนหรี่ ซึ่งโครงงานชิ้นนี้เป็นส่วนหนึ่งของหน่วยแกนหรี่

2.2 หน่วยแกนหรี่ (Gantry Unit : GTU)



รูป 2.2.1 แสดงหลักการของหน่วยแกนหรี่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในหัวข้อนี้จะได้กล่าวถึงหน่วยแกนทรีซึ่งจะประกอบไปด้วยส่วนต่างๆดังรูป 2.2.1 หน่วยแกนทรีนี้จะเป็นส่วนที่ทำการควบคุมเครื่องแกนทรี ซึ่งเป็นเครื่องฉายรังสีเอ็กซ์ไปยังผู้ป่วย

ซีพียู บอร์ด (CPU Board) คือส่วนของไมโครคอมพิวเตอร์(ซีพียู Z-80)ที่จะใช้ควบคุมระบบบัสและเป็นตัวควบคุมหน่วยอื่นๆของระบบ เช่น ควบคุมหน่วยแสดงผล (Display Unit) หน่วยอินเตอร์คอมและป้องกันรังสีเอ็กซ์ (Intercom and X-ray Protection Unit) สำหรับรายละเอียดจะกล่าวในบทการออกแบบระบบ Z-80

ซีไอยู ลิงเกอร์ (CIU Linker : CIUL) คือ หน่วยที่ใช้ในการติดต่อระหว่างหน่วยแกนทรีกับศูนย์กลางการควบคุม โดยจะมีการรับส่งทั้งข้อมูลและคำสั่ง ในส่วนนี้จะใช้ไมโครคอมพิวเตอร์ชิพเดียวเบอร์ 8031 ของบริษัท อินเทลเป็นตัวควบคุม สำหรับรายละเอียดจะกล่าวถึงในบทการออกแบบระบบ 8031

ภาคจ่ายไฟ (Power Supply) เป็นส่วนที่จ่ายกำลังให้แก่หน่วยแกนทรีทั้งระบบ

ภาคแสดงผล (Display Unit) คือส่วนที่ซีพียูจะนำข้อมูลบางอย่างออกแสดง เช่น มุมที่แกนทรีหมุนไปขณะฉายรังสีเอ็กซ์หรืออื่นๆ

หน่วยอินเตอร์คอมและหน่วยป้องกันรังสีเอ็กซ์ (Intercom and X-ray Protection Unit) หน่วยอินเตอร์คอมนี้ ใช้ติดต่อระหว่างเจ้าหน้าที่ห้องควบคุมกับห้องที่จะใช้ยิงรังสีเอ็กซ์ หน่วยป้องกันรังสีเอ็กซ์เป็นส่วนที่จะทำการตรวจเช็คความผิดพลาดต่างๆที่อาจเกิดขึ้นได้จากการยิงรังสีเอ็กซ์หรืออาจเกิดจากการผิดพลาดจากหน่วยอื่นๆ

เอ็กซเรย์ ยูนิต ลิงเกอร์ (X-ray Unit Linker) คือ ส่วนที่จะทำการควบคุมรังสีเอ็กซ์ โดยก่อนที่จะทำการยิงรังสีต้องมีการอุ่นหลอดรังสีเอ็กซ์เสียก่อน

แกนทรี คอนโทรลเลอร์ (Gantry Controller) คือ ส่วนที่จะควบคุมการหมุนของเครื่องแกนทรี ทั้งนี้เพราะความเร็วในการหมุนแกนทรีจะสูงมาก ดังนั้น จะใช้วิธีการของเฟสล็อกลูป (Phase Lock Loop) ทำการควบคุมตำแหน่งและความเร็วของดีซีมอเตอร์ โดยส่วนแกนทรี คอนโทรลเลอร์ จะต้องได้รับคำสั่งจากส่วนซีพียูบอร์ดว่าให้หมุนไปทางไหน และต้องได้รับสัญญาณให้เริ่มหมุน

เทเบิ้ล คอนโทรลเลอร์ (Table Controller) คือส่วนที่จะทำการควบคุมระบบเตียง

ดาต้า อควิซิชั่น คอนโทรลเลอร์ (Data Aquisition Controller) ส่วนนี้เป็นส่วนควบคุมการรับข้อมูลจากหลอดรังสีเอ็กซ์ เพราะจะต้องรับข้อมูลจากมุมที่ถูกต้อง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

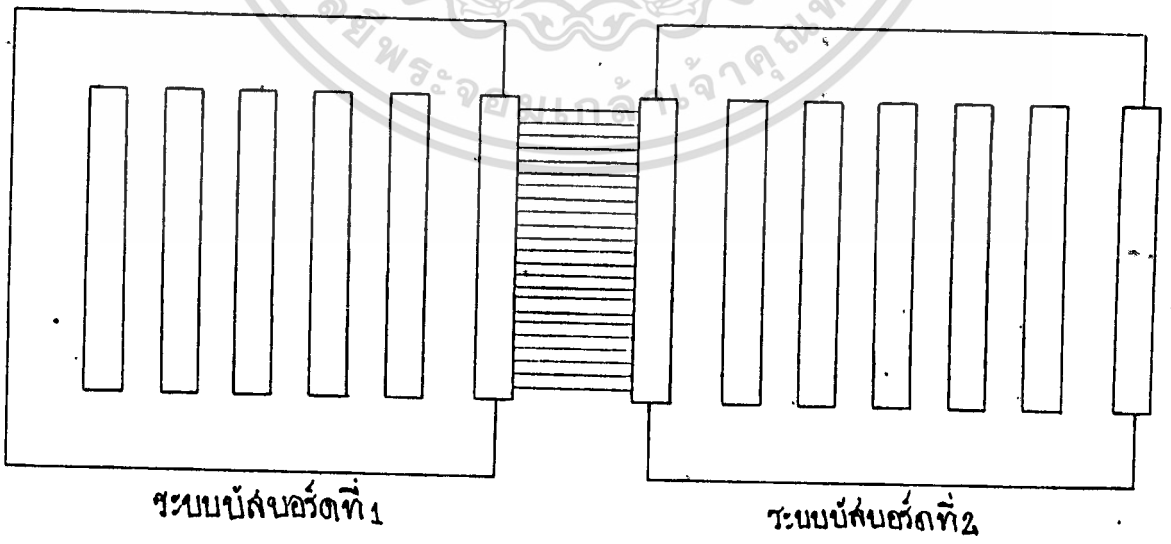
บทที่ 3

หลักการและการออกแบบระบบ Z-80

ในบทนี้เป็นการอธิบายหลักการออกแบบของระบบ Z-80 ซึ่งจะกล่าวถึง ระบบบัสต่างๆ การติดต่อกับหน่วยความจำ แผนผังการจัดหน่วยความจำ อินพุท/เอาท์พุท พอร์ท ส่วนระบบของ 8031 จะกล่าวถึงในบทต่อไป

3.1 ระบบบัสของ Z-80

ระบบ Z-80 นั้นมีการติดต่อกับอุปกรณ์อื่นได้กว้างมาก การจัดระบบบัสให้กับอุปกรณ์อื่นๆ ที่มีการติดต่อด้วย อย่างพอดี จะเกิดความยุ่งยากมากถ้าหากมีการขยายหรือเพิ่มเติมอุปกรณ์บางอย่างเข้าไป เช่น การขยายหน่วยความจำ การเพิ่มเติมอินพุท/เอาท์พุท พอร์ท หรืออุปกรณ์อื่นที่มีการติดต่อกับ Z-80 ดังนั้นจึงได้มีการจัดเตรียมระบบบัสเผื่อไว้สำหรับการขยายหรือเพิ่มเติมอุปกรณ์บางส่วน โดยมีการเพิ่มเบอร์ดที่ต่อขนานกัน และใช้คอนเนคเตอร์ตัวผู้เป็นตัวสำหรับต่อเชื่อมระบบบัส ถ้ามีการเพิ่มเติมอุปกรณ์อื่นเข้าไปจะทำได้ด้วยการเสียบต่อเข้ากับคอนเนคเตอร์ที่จัดเตรียมไว้ทำให้ไม่ต้องไปยุ่งเกี่ยวกับบอร์ดของ Z-80 ซึ่งบอร์ดใหม่ที่จัดไว้ให้นี้คล้ายกับสล๊อตของเครื่องไมโครคอมพิวเตอร์ทั่วไป เพียงแต่จะใช้คอนเนคเตอร์ตัวผู้ต่อไว้แทนโดยจะมีลักษณะการจัดเรียงดังรูป 3.1.1



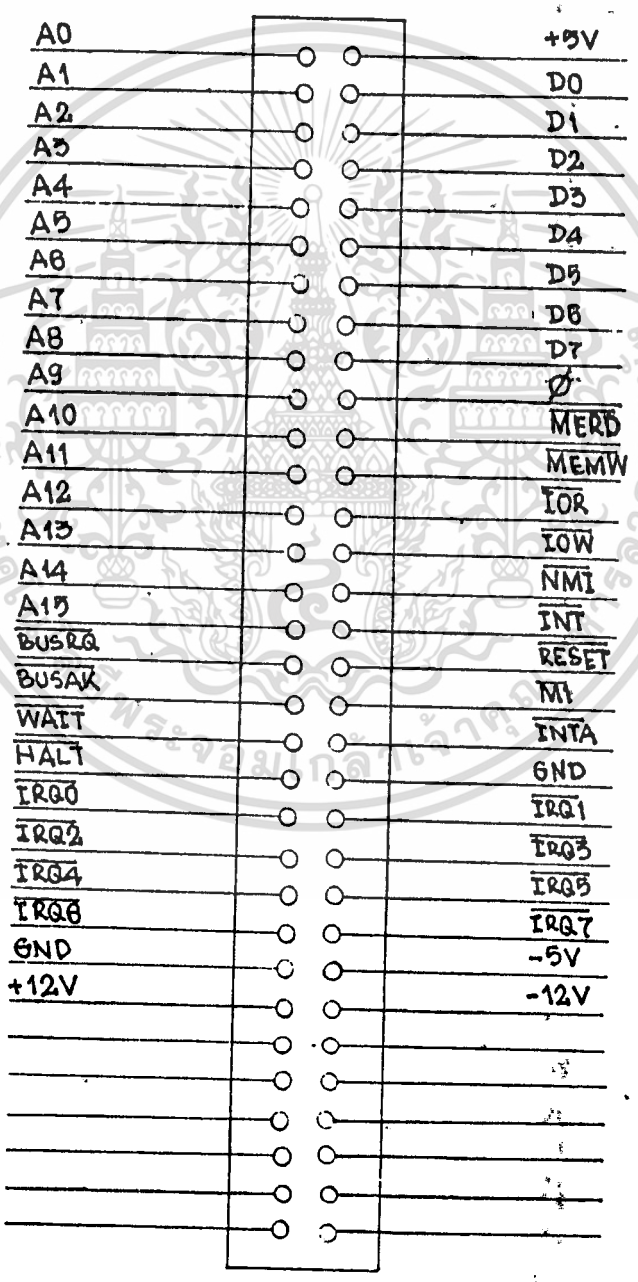
รูป 3.1.1 แสดงลักษณะการต่อคอนเนคเตอร์ของระบบบัสของ Z-80

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูป 3.1.1 เป็นการขยายระบบบัสเพิ่ม โดยการใช้คอนเนคเตอร์อีก 2 ตัว ในการเสียบต่อระบบบัสระหว่างบอร์ดที่1 และบอร์ดที่2 เข้าด้วยกัน ถ้าหากต้องการเพิ่มระบบบัสบอร์ดที่3 เข้าไปอีกก็ย่อมทำได้ในลักษณะเดียวกันกับบอร์ดที่ 2

สำหรับในวิทยานิพนธ์นี้ เป็นการใช้ระบบบัสเพียง 2 บอร์ดและวิทยานิพนธ์นี้เป็นเพียงต้นแบบเท่านั้น ดังนั้นจึงใช้วิธีการเดินสายไฟแทนการออกแบบลายปริ้นซ์

การจัดวางตำแหน่งของสัญญาณต่างๆบนคอนเนคเตอร์แสดงได้ดังรูป 3.1.2



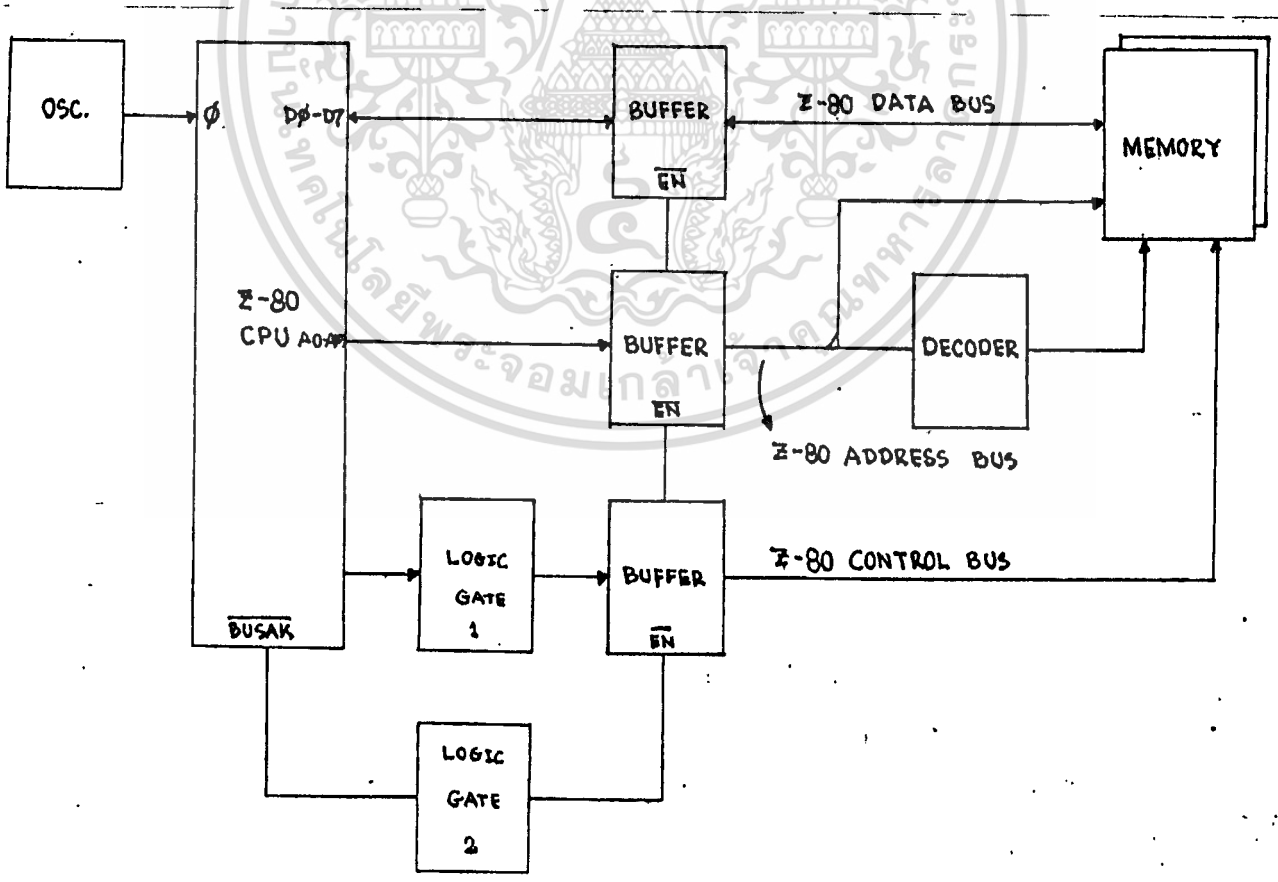
รูป 3.1.2 แสดงตำแหน่งของสัญญาณต่างๆบนคอนเนคเตอร์มองจากด้านบน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำหรับคอนเนคเตอร์ที่ใช้นี้เป็นแบบ 64 ขาซึ่งในการใช้งานจริงจะใช้งานไม่ทั้งหมด แต่จะใช้เพียงบางส่วนเท่านั้น ส่วนที่เหลือจะสำรองเอาไว้สำหรับใช้อย่างอื่นเท่าที่จะคิดขึ้นมาเพื่อประยุกต์ใช้งานได้

3.2 การติดต่อระหว่าง Z-80 กับหน่วยความจำ

ในการติดต่อระหว่าง Z-80 กับหน่วยความจำนั้น สัญญาณต่างๆของ Z-80 จะต้องผ่านบัฟเฟอร์(Buffer)ก่อน ก่อนที่จะไปเข้าหน่วยความจำ ทั้งนี้เพราะว่ามีอุปกรณ์อื่นอีกมากที่จะใช้ระบบบัสของ Z-80 ถ้าหากต่อขาของระบบ Z-80 โดยตรงกับระบบบัสจะเป็นการโหลด Z-80 มากเกินไป ซึ่งจากข้อมูลของ Z-80 พบว่าขาสัญญาณต่างๆของ Z-80 จะขับเกท TTL ได้เพียงไม่กี่ตัวซึ่งไม่เพียงพอต่อการขับเกทจำนวนมากได้ ดังนั้น จึงจำเป็นต้องใส่บัฟเฟอร์ ในการติดต่อระหว่าง Z-80 กับหน่วยความจำนั้นแสดงได้ดังรูป 3.2.1



รูป 3.2.1 แสดงการติดต่อระหว่าง Z-80 กับหน่วยความจำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

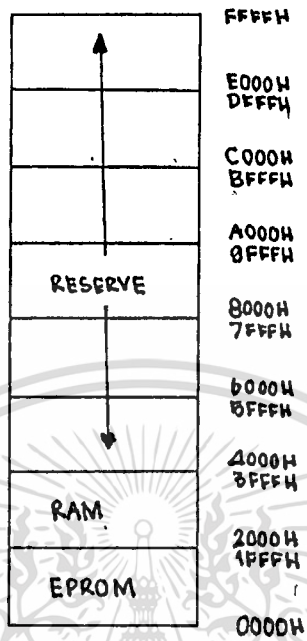
จากรูป 3.2.1 สัญญาณ Z-80 DATA BUS , Z-80 ADDRESS BUS และ Z-80 CONTROL BUS คือ สัญญาณที่ต่อไปยังระบบบัสที่ได้กล่าวมาแล้วในหัวข้อก่อน สำหรับลอจิกเกท (Logic Gate) ที่ได้แสดงไว้ในรูป 3.2.1 นั้น เป็นอุปกรณ์พวกเกทที่ทีเอล(TTL)ที่จะสร้างสัญญาณ $\overline{MERD}$, $\overline{MEMW}$, $\overline{IOR}$, $\overline{IOW}$ และ $\overline{INTA}$ สำหรับรายละเอียดของวงจรลอจิกเกทนี้ จะได้กล่าวถึงอย่างละเอียดในภายหลัง สำหรับขาสัญญาณ $\overline{BUSAK}$ จาก Z-80 จะนำมาต่อเข้ากับบัฟเฟอร์ที่ขาเอ็นนาเบิ้ล(Enable)ของบัฟเฟอร์ ทั้งนี้เพราะเมื่ออุปกรณ์ภายนอกขอใช้ระบบบัส อุปกรณ์ภายนอกจะส่งสัญญาณ $\overline{BUSRQ}$ มายัง Z-80 เมื่อ Z-80 รับรู้สัญญาณนั้นแล้วก็จะทำการส่งสัญญาณ $\overline{BUSAK}$ ออกไปให้อุปกรณ์ภายนอกทราบพร้อมกับปลดตัวเองออกจากระบบบัสแต่เนื่องจากมีการนำบัฟเฟอร์มาคั่นก่อน ดังนั้นจะต้องดิสเอเบิ้ลบัฟเฟอร์(Disable Buffer)ด้วย โดยการนำสัญญาณ $\overline{BUSAK}$ มาผ่านอินเวอร์เตอร์(Inverter)ก่อน แล้วนำไปต่อกับขาเอ็นนาเบิ้ลของบัฟเฟอร์

ในการติดต่อกับหน่วยความจำนั้น เป็นการนำสัญญาณแอดเดรส(Address) ส่วนหนึ่งผ่านวงจรดีโค้ดเดอร์(Decoder) เพื่อเลือกหน่วยความจำ สำหรับหน่วยความจำนี้ใช้ขนาด 8k x 8 การจัดหน่วยความจำจะกล่าวโดยละเอียดในหัวข้อ 3.3 ในเรื่องแผนผังการจัดหน่วยความจำของระบบ Z-80 สำหรับวงจรจริงได้แสดงไว้ท้ายบท

3.3 แผนผังการจัดหน่วยความจำ

จากที่ได้กล่าวมาแล้วในหัวข้อ 3.2 ว่า ได้ใช้หน่วยความจำขนาด 8k x 8 ดังนั้นเพื่อความสะดวกจะทำการแบ่งหน่วยความจำออกเป็นบล็อค ๆ ละ 8k ก็จะได้แผนผังการจัดหน่วยความจำดังรูป 3.3.1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 3.3.1 แสดงแผนผังการจัดหน่วยความจำของระบบ Z-80

จากรูป 3.3.1 นั้นเป็นการกำหนดตำแหน่ง โดยให้ตำแหน่งที่ 0000H - 1FFFH เป็นตำแหน่งของโปรแกรมมอนิเตอร์(Program Monitor)และตำแหน่งที่ 2000H - 3FFFH เป็นตำแหน่งที่ใช้ทำการเก็บข้อมูลต่างๆที่จะใช้ หรือ อาจจะใช้เก็บโปรแกรมไว้ให้ Z-80 ทำงาน ในขั้นต้นนี้โปรแกรมที่ใช้ควบคุมระบบอาจจะยังไม่สมบูรณ์ จึงจำเป็นต้องมีการพัฒนากันต่อไปอีก ซึ่งจะทำการเก็บโปรแกรมไว้ในแรม(RAM)ส่วนนี้ สำหรับโปรแกรมนี้จะนำมาจากเครื่องไมโครคอมพิวเตอร์ที่พัฒนาโปรแกรมแล้ว โดยมีการส่งโปรแกรมมาทาง 8031 และให้ 8031 ทำการเก็บโปรแกรมไว้ในหน่วยความจำของ 8031 ก่อน หลังจากนั้น 8031 ก็จะทำ DMA กับ Z-80 และจะส่งโปรแกรมไปเก็บไว้ในหน่วยความจำส่วนที่เป็นแรมส่วนนี้ สำหรับรายละเอียดการส่งข้อมูลจะกล่าวโดยละเอียดในบทต่อไป

ดังนั้นหากต้องการขยายหน่วยความจำของระบบ Z-80 จะต้องนำสัญญาณแอดเดรสไปถอดรหัส(Decode) เพื่อเลือกตำแหน่งตั้งแต่ 4000H ขึ้นไป แต่ในขั้นต้นนี้คงไม่จำเป็นต้องขยายหน่วยความจำเพิ่มเติมเพราะหน่วยความจำที่ใช้อยู่นั้นมีขนาดใหญ่เพียงพอที่จะนำมาใช้งานแล้ว

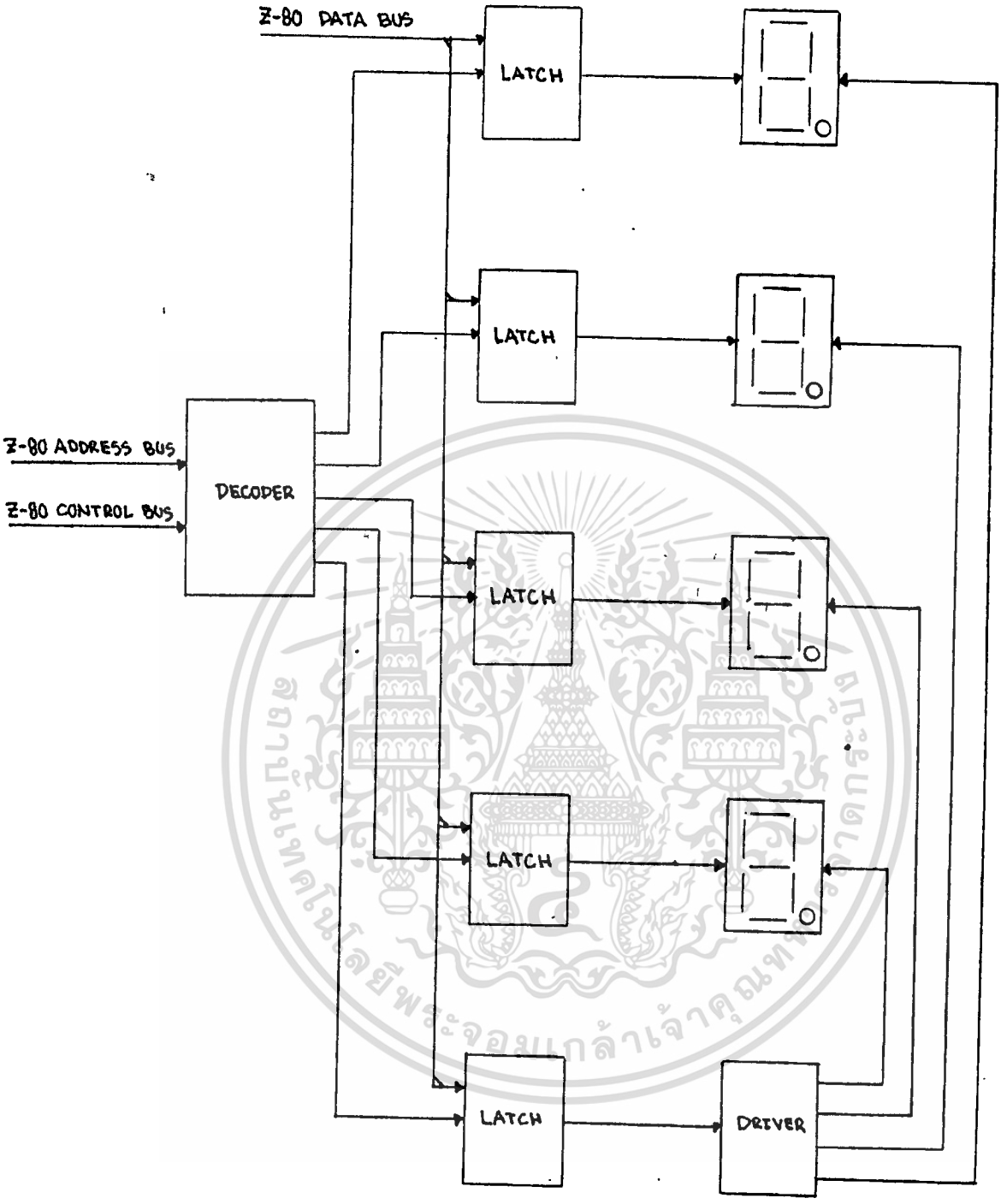
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.4 การติดต่อระหว่าง Z-80 กับ อินพุท/เอาท์พุท พอร์ท

ในหัวข้อนี้จะกล่าวถึงการติดต่อระหว่าง Z-80 กับ อินพุท/เอาท์พุท พอร์ท สำหรับส่วนอินพุท/เอาท์พุทนี้มีการวางอุปกรณ์ไว้บนบอร์ดแยกต่างหากจากบอร์ดของ Z-80 โดยจะทำบอร์ดใหม่ขึ้นมาแล้วเสียบลงในคอนเนคเตอร์ของระบบบัสที่จัดเตรียมไว้ให้แล้ว เนื่องจาก Z-80 จะใช้แอดเดรส A0 - A7 ในการอ้างถึงเบอร์พอร์ทดังนั้นจึงสามารถมีจำนวนพอร์ทได้เพียง 256 พอร์ทเท่านั้น แต่ก็เพียงพอต่อการใช้งาน ในส่วนเอาท์พุทพอร์ทส่วนนี้จะใช้ในการแสดงผล โดยแสดงออกมาทาง 7-SEGMENT จำนวน 4 ตัว และได้มีการสำรอง 8255 ไว้ 1 ตัว เพื่อนำไปใช้งานในกรณีที่ Z-80 ต้องการติดต่อกับส่วนอื่น

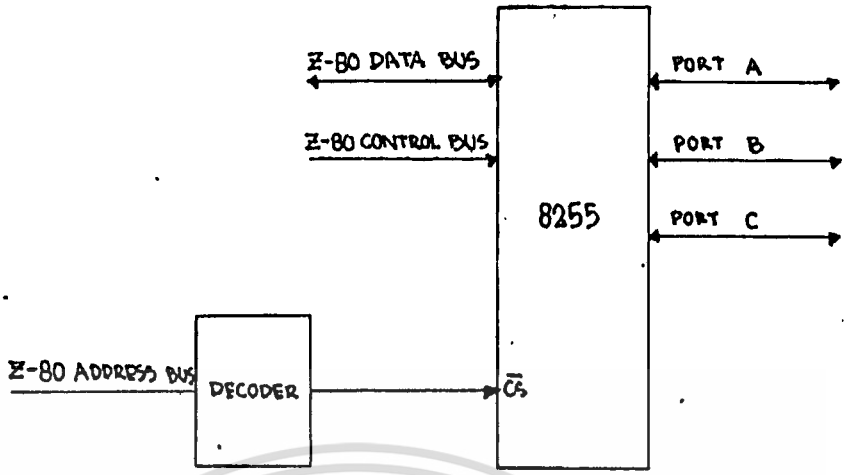
การออกแบบในส่วนแสดงผลนั้น เนื่องจากไม่ต้องการให้ Z-80 เสียเวลากับการสแกน (Scan)ส่วนแสดงผล จึงได้เข้าวิธีการแลทช์(Latch)ค่าไปเก็บไว้ในตัวแลทช์แทน หลักการคือ เมื่อต้องการส่งค่าไปแสดงผลยัง 7-SEGMENT หลักใด ก็จะส่งค่าไปยังเบอร์พอร์ทนั้นโดยตรง และจะมีพอร์ทอีกพอร์ทเป็นตัวควบคุมการติดกับของ 7-SEGMENT นั่นคือหากจะให้ 7-SEGMENT ดวงใดติดก็จะส่งค่าไปยังพอร์ทควบคุมนี้ ซึ่งจากหลักการที่กล่าวมานี้ สามารถเขียนเป็นหลักการได้ดังรูป 3.4.1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 3.4.1 แสดงหลักการของภาคแสดงผล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 3.4.2 แสดงหลักการการต่อ 8255

จากรูป 3.4.2 เป็นหลักการในการต่อ 8255 เพื่อใช้เป็นอินพุท/เอาท์พุท พอร์ท ซึ่งอยู่บนบอร์ดเดียวกับภาคแสดงผล สำหรับวงจรจริงจะได้เขียนและอธิบายไว้ตอนท้ายบทนี้

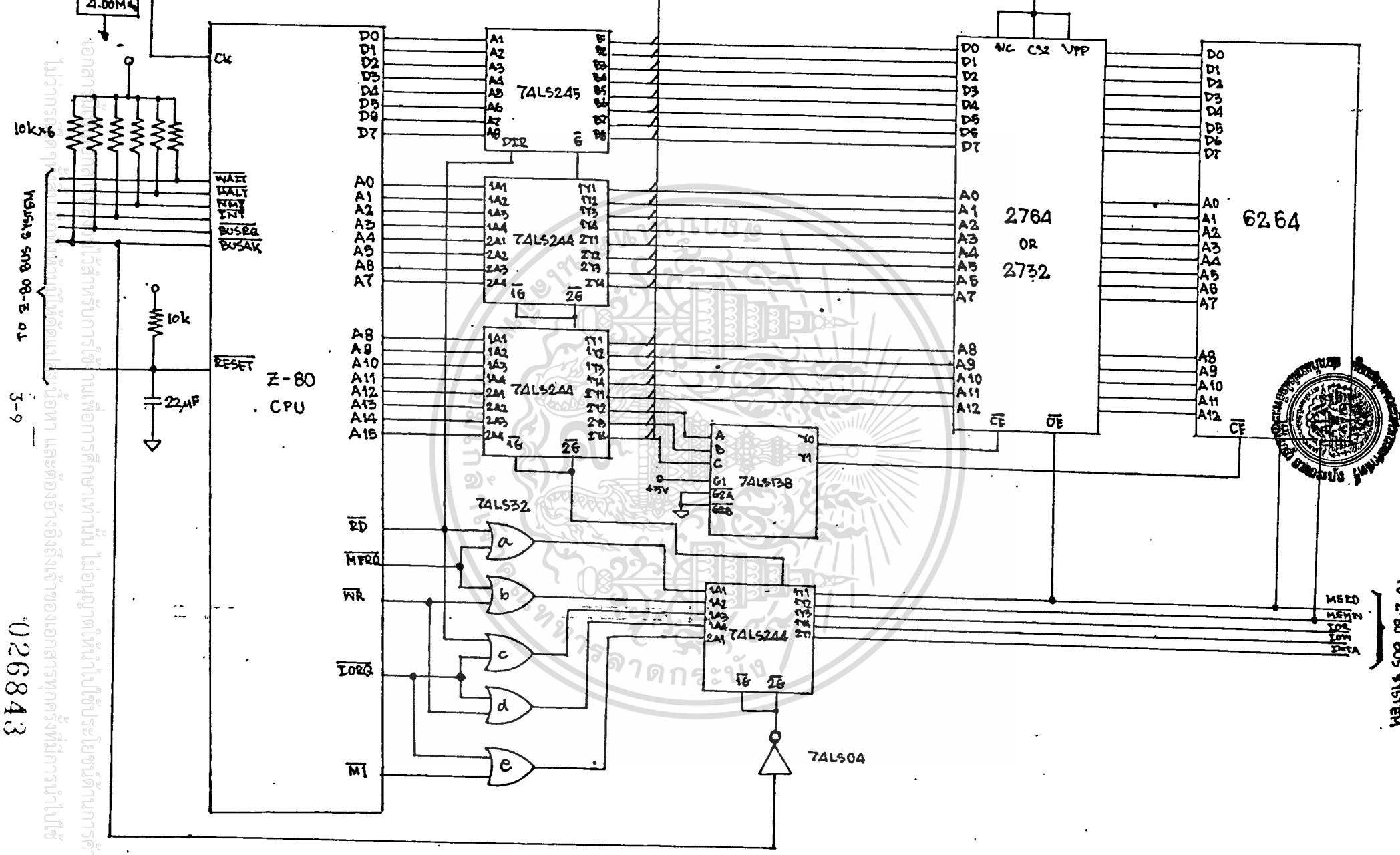
3.5 วงจรใช้งานจริง

จากที่กล่าวมาแล้วทั้งหมดในตอนต้นของบทนี้ เป็นเพียงหลักการในการออกแบบของวงจรเท่านั้นว่ามีหลักการอย่างไรบ้าง ในหัวข้อนี้จะได้กล่าวถึงวงจรที่ใช้งานจริง ซึ่งออกแบบตามหลักการที่ได้กล่าวมาแล้วในตอนต้นเริ่มจากบอร์ดของ Z-80 ก่อน

ในบอร์ดของ Z-80 จะประกอบด้วย CPU,GATE,MEMORY และ อื่นๆอีกเล็กน้อยที่จำเป็นดังแสดงในรูป 3.5.1 สำหรับหน้าที่การทำงานของ Z-80 ของหน่วยความจำ การติดต่อระหว่าง Z-80 กับหน่วยความจำ การจัดแผนผังหน่วยความจำ การถอดรหัสหน่วยความจำสามารถหาอ่านได้จากหนังสือเกี่ยวกับ Z-80 ได้จึงไม่ขอกล่าวไว้ ณ.ที่นี้ สำหรับในส่วนของเกทที่กล่าวไว้ตอนต้นนั้น จะนำเอาสัญญาณมาผ่านออร์เกท(OR Gate) ออร์เกท a จะเป็นตัวสร้างสัญญาณการอ่านหรือเพทช์ข้อมูลและออฟโค้ด(Opcode)ตามลำดับ จากหน่วยความจำ ออร์เกท b จะสร้างสัญญาณการเขียนข้อมูลลงในหน่วยความจำ ออร์เกท c จะสร้างสัญญาณการอ่านข้อมูลจากพอร์ท ออร์เกท d จะสร้างสัญญาณการเขียนข้อมูลลงพอร์ท สำหรับออร์เกท e ใช้สร้างสัญญาณตอบรับการอินเทอร์รัพท์

ต่อไปจะได้แสดงวงจรใช้งานจริงของอินพุท/เอาท์พุท พอร์ท และภาคแสดงผลซึ่งรวมอยู่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

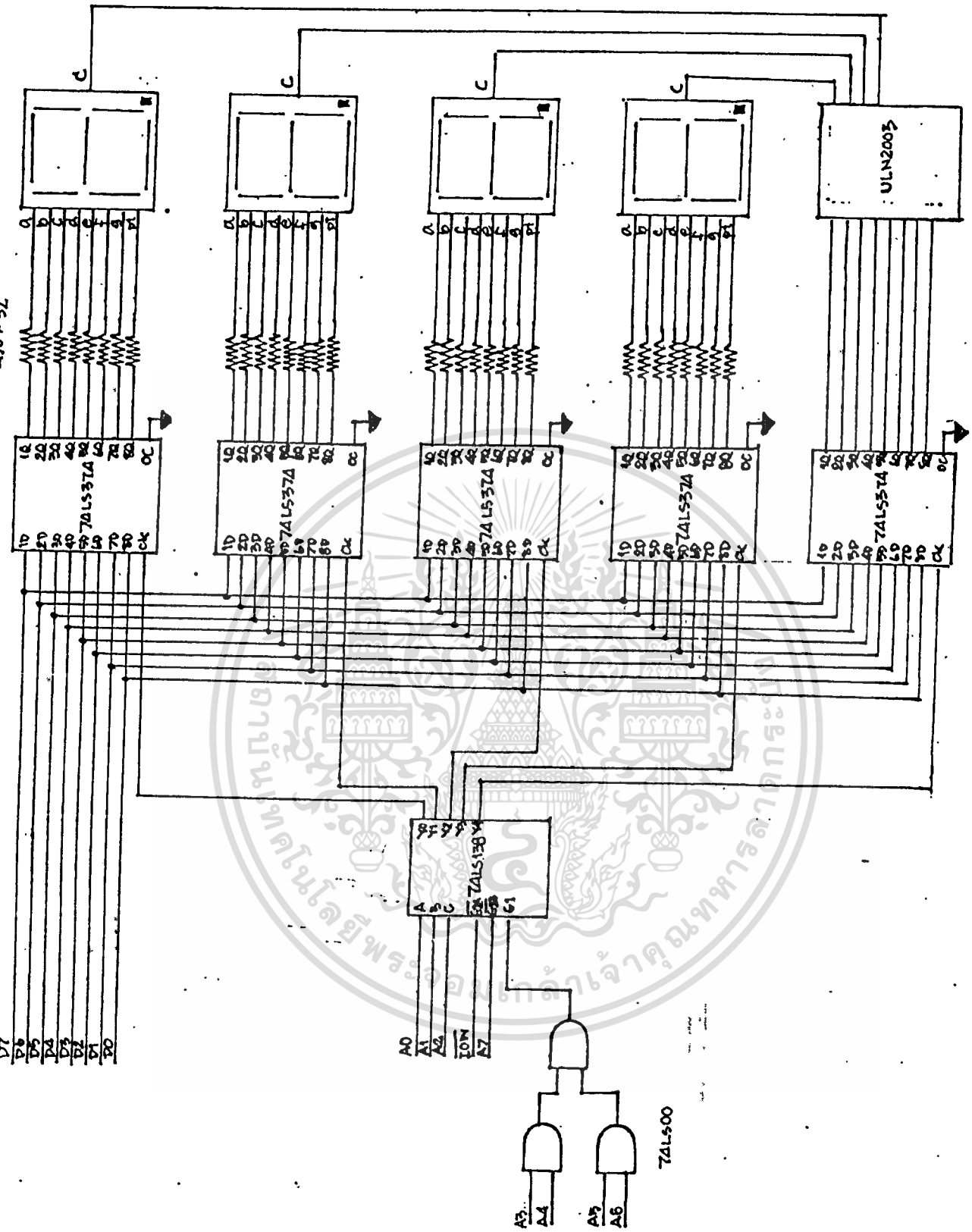


รูป 3.5.1 แสดงวงจรใช้งานจริงของ Z-80

3-9
0268843

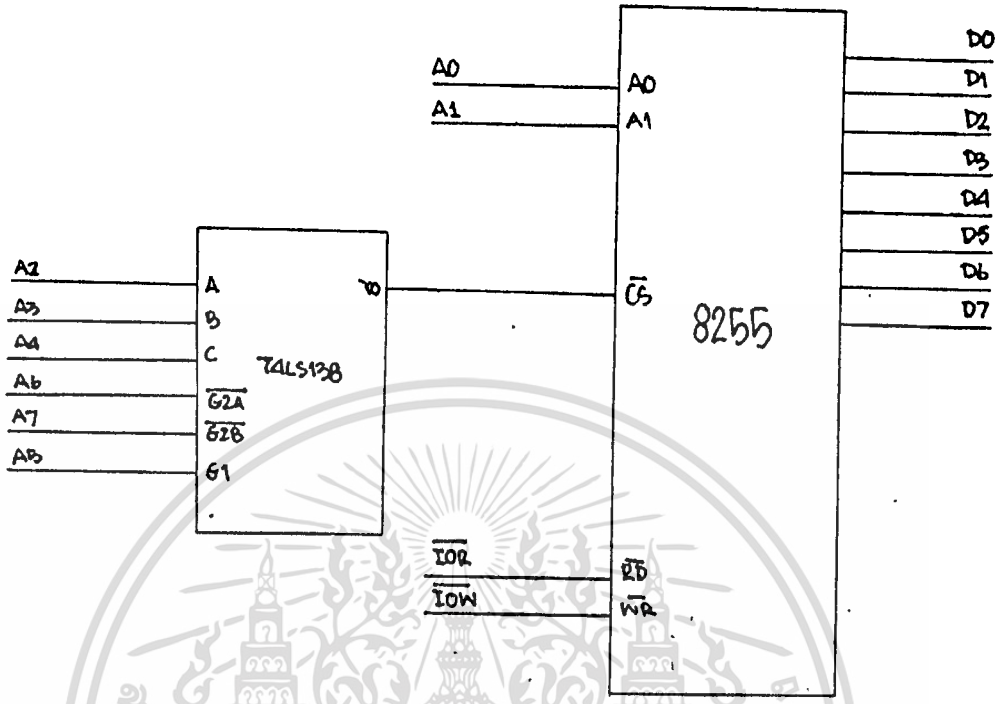
บนบอร์ดเดียวกัน รูป 3.5.2 และ รูป 3.5.3 แสดงวงจรใช้งานจริงของภาคแสดงผล และของอินพุท/เอาท์พุท พอร์ทตามลำดับ และจะได้อธิบายถึงรายละเอียดและหลักการทำงานต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 3.5.2 แสดงวงจรใช้งานจริงของภาคแสดงผล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 3.5.3 แสดงวงจรใช้งานจริงของอินพุท/เอาท์พุท พอร์ท

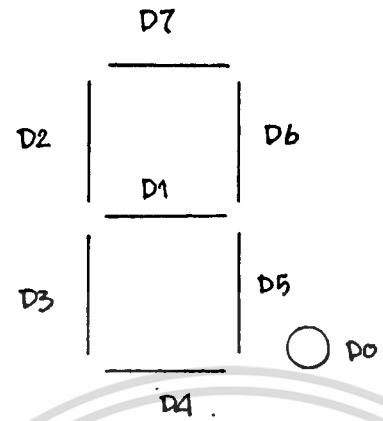
จากรูป 3.5.2 เบอร์พอร์ทของหลักแรกถึงหลักสุดท้ายมีค่าเป็น 78H - 7BH ตามลำดับ สำหรับพอร์ท 7CH จะเป็นพอร์ทในการควบคุมการติดดับของหลักต่าง ๆ ในการทำงานนั้นจะใช้ไอซีทีทีแอล 74LS374 เป็นตัวแลทช์ค่า ไอซีทีทีแอล 74LS138 และเกทเป็นตัวถอดรหัสเบอร์พอร์ท ในการขับ 7-SEGMENT นั้นใช้ไอซี ULN 2003 (ดูคุณสมบัติจากภาคผนวก) หลักการทำงานคือ หากต้องการให้หลักใดติดหลักใดดับก็จะส่งค่าไปยังพอร์ท 7CH โดยค่าของหลักก็คือ

D7	D6	D5	D4	D3	D2	D1	D0
หลัก 1	หลัก 2	หลัก3	หลัก 4	สำรอง	สำรอง	สำรอง	สำรอง

นั่นคือถ้าหากให้หลัก1ติด หลัก2ติด หลัก3ดับ และ หลัก4ดับ ดังนั้นต้องส่งค่า 1100xxxx ไปยังพอร์ท 7CH โดยลอจิก "1" คือติด และ ลอจิก "0" คือดับ

ในการส่งค่าไปแสดงผลที่ 7-SEGMENT นั้นจำเป็นต้องแปลงรหัสเสียก่อน ก่อนที่จะส่งค่า

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ ห้ามมิให้ผู้ใดนำไปใช้ประโยชน์ในทางการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 3.5.4 แสดงการต่อ 7-SEGMENT เข้ากับสัญญาณข้อมูล

จากรูป 3.5.4 ถ้าหากต้องการให้แสดงเลข 0 ก็จะต้องส่งค่า 11111100 ไปยังพอร์ท นั่นคือค่าที่จะแสดงผลต้องได้รับการแปลงรหัสก่อนจึงส่งออกไป ค่าความต้านทานที่ใช้เพื่อจำกัดกระแสไฟฟ้าก่อนเข้า 7-SEGMENT สามารถคำนวณค่าได้ดังนี้คือโดยปกติทั่วไปแรงดันที่ตกคร่อม 7-SEGMENT ประมาณ 2 V และกำหนดให้กระแสไหลผ่านประมาณ 6 mA

ดังนั้น $R = (5-2)/6\ mA = 500$ โอห์ม

สำหรับไอซีทีทีแอล 74LS374 นั้นสามารถจ่ายกระแสได้สูงสุดถึง 16 mA ซึ่งเพียงพอที่จะจ่ายกระแสให้ 7-SEGMENT ได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4

หลักการและการออกแบบระบบ 8031

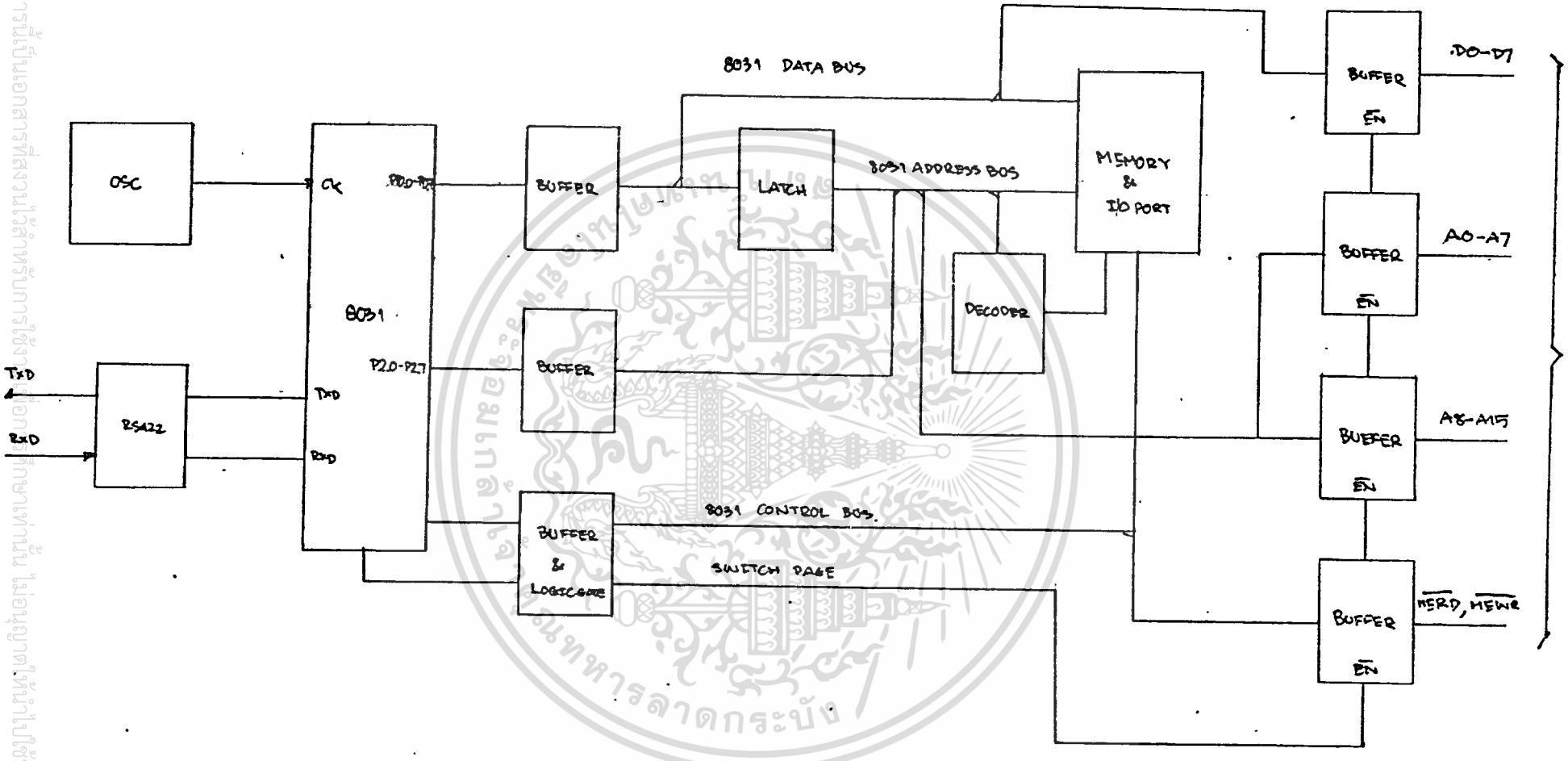
8031 เป็นไอซีชิงเกิ้ลชิพไมโครคอมพิวเตอร์(Single Chip Microcomputer) ของบริษัท อินเทล ที่มีประสิทธิภาพในการทำงานสูงอยู่ในตระกูล MCS-51 ซึ่งได้มีการพัฒนามาจากตระกูล MCS-48 สำหรับรายละเอียดและหลักการการทำงานจะไม่ขอกล่าวถึงในที่นี้ถ้าต้องการทราบรายละเอียด สามารถหาอ่านเพิ่มเติมได้จากหนังสือที่เกี่ยวกับชิงเกิ้ลชิพตามหนังสืออ้างอิงในตอนท้าย โดยในขั้นต้นจะแสดงให้เห็นถึงหลักการทั่วไปของระบบ 8031 ก่อน

*** หมายเหตุ ถ้าอ้างถึง 8031 หมายถึง ชิงเกิ้ลชิพไมโครคอมพิวเตอร์เบอร์ 8031
และถ้าอ้างถึง ระบบ 8031 หมายถึง ระบบที่นำ 8031 มาใช้งาน

4.1 ระบบโดยทั่วๆไปของ 8031

ระบบโดยทั่วๆไปของ 8031 จะได้แสดงดังรูป 4.1.1 ซึ่งในขั้นต้นจะอธิบายถึงหลักการการทำงานทั่วไปก่อน หลังจากนั้นจะค่อยกล่าวถึงรายละเอียดของแต่ละส่วนและตอนสุดท้ายจะแสดงวงจรที่ใช้งานจริง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

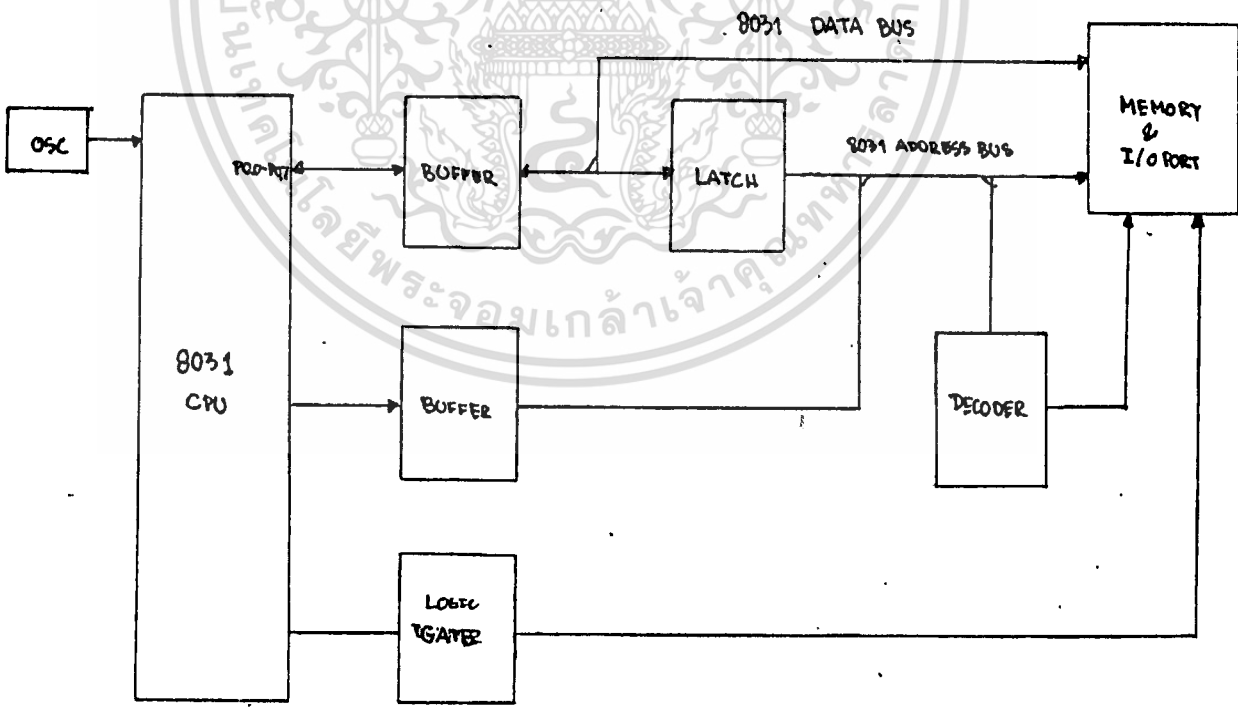


รูป 4.1.1 แสดงรูปแบบของระบบ 8031

จากรูป 4.1.1 . 8031 มีการติดต่อกับหน่วยความจำและอินพุท/เอาท์พุท พอร์ท โดยจะได้กล่าวถึงรายละเอียดในตอนต่อไป และ ได้มีการติดต่อระหว่าง 8031 กับเครื่องไมโครคอมพิวเตอร์ผ่านพอร์ทอนุกรม(Serial Port) โดยตัวขับใช้มาตรฐาน RS-422 และมีการติดต่อกับระบบของ Z-80 โดยมีการทำ DMA บนระบบ Z-80 เพื่อนำข้อมูลบางส่วนเข้าไปเก็บไว้ในหน่วยความจำของ Z-80 ทั้งนี้รายละเอียดจะขอกล่าวในภายหลัง ในหัวข้อต่อไปจะได้กล่าวถึงหลักการออกแบบแต่ละส่วนโดยละเอียด

4.2 การติดต่อระหว่าง 8031 กับหน่วยความจำและอินพุท/เอาท์พุท พอร์ท

การติดต่อระหว่าง 8031 กับหน่วยความจำจะมีลักษณะคล้ายกับการติดต่อระหว่าง Z-80 กับหน่วยความจำจะแตกต่างกันบ้างก็เพียงส่วนรายละเอียดเท่านั้น



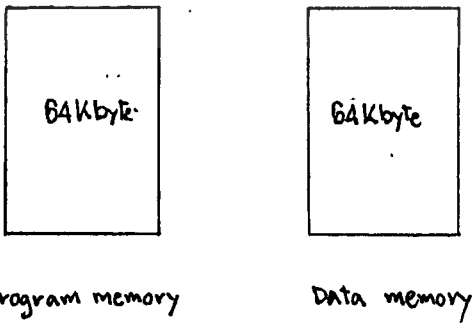
รูป 4.2.1 แสดงหลักการติดต่อระหว่าง 8031 กับหน่วยความจำและอินพุท/เอาท์พุทพอร์ท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูป 4.2.1 ได้แสดงหลักการ การติดต่อระหว่าง 8031 กับหน่วยความจำและอินพุท เอาท์พุท พอร์ท เนื่องจากขาแต่ละขาของ 8031 มีความสามารถในการขับเกทที่ทีทีแอลได้เพียง 1 เกท ยกเว้นขาข้อมูลซึ่งขับเกทที่ทีทีแอลได้ 2 เกท ดังนั้นจึงจำเป็นต้องต่อบัฟเฟอร์ไว้เพื่อช่วยขับกระแส เนื่องจากข้อมูลและแอดเดรสไบต์ต่ำต่อแบบมัลติเพ็กซ์(Multiplex)กันอยู่ ดังนั้นจึงต้องทำการแลทช์ค่าแอดเดรสไบต์ต่ำไว้ในตัวแลทช์ โดยจะมีสัญญาณ ALE (Address Latch Enable) เป็นสัญญาณแลทช์ แอดเดรสที่ได้ส่วนหนึ่งจะไปผ่านดีโค้ดเดอร์เพื่อเป็นสัญญาณในการเลือกชิพ ในการติดต่อระหว่าง 8031 กับอินพุท/เอาท์พุท พอร์ทนั้นก็จะมีลักษณะเหมือนกับการติดต่อของหน่วยความจำ ทั้งนี้เพราะว่า 8031 ไม่มีคำสั่งที่ใช้ในการรับหรือส่งข้อมูลไปยังพอร์ทที่ขยายเพิ่มเติมภายนอก ดังนั้นการจัดพอร์ทจึงใช้ลักษณะการจัดแบบการจัดหน่วยความจำ นั่นคือสามารถทำการติดต่อพอร์ทได้ โดยการอ่านหรือเขียนข้อมูลไปยังพอร์ทนั้นเหมือนกับการอ่านหรือเขียนข้อมูลไปยังหน่วยความจำที่ตำแหน่งของเบอร์พอร์ท จากหลักการที่ได้กล่าวไปแล้วสามารถนำมาสร้างวงจรใช้งานได้ซึ่งวงจรจริงจะกล่าวถึงในหัวข้อสุดท้ายของบทนี้

4.3 แผนผังการจัดหน่วยความจำ

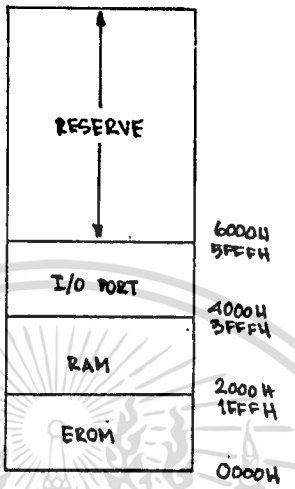
ไอซีชิงเกิ้ลชิพ 8031 นั้นสามารถอ้างหน่วยความจำภายนอกได้ถึง 128 กิโลไบต์ โดยอ้างถึงหน่วยความจำโปรแกรม 64 กิโลไบต์ และ อ้างถึงหน่วยความจำข้อมูลได้ 64 กิโลไบต์ ดังแสดงในรูป 4.3.1



รูป 4.3.1 แสดงการอ้างหน่วยความจำภายนอกของ 8031

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในการจัดหน่วยความจำของระบบ 8031 จะมีลักษณะเหมือนกับการจัดหน่วยความจำของระบบ Z-80 แสดงดังรูป 4.3.2



รูป 4.3.2 แสดงแผนผังการจัดหน่วยความจำ

จากรูป 4.3.2 ที่ตำแหน่ง 0000H - 1FFFH จะใช้เก็บโปรแกรมในการทำงานของ 8031 ที่ตำแหน่ง 2000H - 3FFFH ใช้เก็บข้อมูลต่างๆ และ ที่ตำแหน่ง 4000H - 5FFFH เป็นส่วนติดต่อกับอินพุท/เอาท์พุท พอร์ท

4.4 การส่งข้อมูลแบบอนุกรมทางพอร์ทอนุกรม

เนื่องจาก 8031 มีพอร์ทอนุกรมในตัวและสามารถส่งแบบ full duplex ได้ ในจุดนี้จึงนำเอา 8031 มาใช้งาน สำหรับมาตรฐานการรับและส่งจะใช้ RS-422 ทั้งนี้เพราะว่าระบบ RS-422 มีข้อดีที่เหนือกว่า RS-232 คือสามารถรับส่งได้ระยะทางที่ไกลกว่าที่อัตราบอดเท่ากัน หรือในระยะทางเท่ากันจะสามารถรับส่งในอัตราบอดที่สูงกว่าจึงทำให้มีการรับส่งที่เร็วกว่า และมีข้อดีอีกอย่างหนึ่งคือสามารถกำจัดสัญญาณรบกวนได้ดีกว่า ทั้งนี้เพราะว่าสัญญาณรับส่งเป็นแบบสมดุล(balance) และ ที่หัวรับจะมีอินพุทเป็นแบบดิฟเฟอเรนเชียล(Differential Mode) จากข้อดีที่กล่าวมาแล้วจึงใช้ RS-422 มาใช้งาน เนื่องจากในการใช้งานจริงนั้นระยะทางในการติดต่อระหว่างไมโครคอมพิวเตอร์และระบบ 8031 จะอยู่ห่างกันพอสมควร จึงไม่ใช้ RS-232

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในการทำงาน จะใช้ 8031 คอยรับส่งข้อมูลหรือคำสั่งที่ส่งมาจากไมโครคอมพิวเตอร์ หลังจากนั้น 8031 จะทำการแปลคำสั่งที่มาจากไมโครคอมพิวเตอร์แล้วส่งให้ Z-80 ปฏิบัติงานต่อไป สำหรับวงจรใช้งานจริงจะแสดงและอธิบายไว้ในตอนต่อไป

4.5 การทำ DMA ของหน่วยความจำระบบ Z-80

เนื่องจากในขั้นตอนโปรแกรมต่างๆที่พัฒนาขึ้นมาให้ Z-80 ทำงาน อาจจะยังไม่สมบูรณ์เพียงพอ ดังนั้น หนทางหนึ่งที่จะพัฒนาคำโปรแกรมให้สมบูรณ์ได้ ก็คือ จะต้องพัฒนาโปรแกรมบนเครื่องไมโครคอมพิวเตอร์ จากนั้นจึงส่งโปรแกรมที่ได้ไปเก็บยังหน่วยความจำของ 8031 และจากนั้นจึงสั่งให้ 8031 ทำการย้ายข้อมูลที่ส่งไป ไปยังหน่วยความจำของระบบ Z-80 นั่นคือ 8031 จะต้องขอใช้ระบบบัสของ Z-80

ในการเคลื่อนย้ายข้อมูลจากหน่วยความจำของระบบ 8031 ไปหน่วยความจำของระบบ Z-80 นั้น อาจจะใช้วิธีการทางฮาร์ดแวร์เข้าช่วยหรืออาจจะใช้วิธีการทางซอฟท์แวร์ สำหรับในที่นี้จะใช้วิธีการทางซอฟท์แวร์โดยทางฮาร์ดแวร์จะไม่ขอกล่าวถึง

หลักการที่ใช้คือเมื่อ 8031 ขอใช้ระบบบัสของ Z-80 และ Z-80 ตอบรับเรียบร้อยแล้ว 8031 ก็จะมองหน่วยความจำออกเป็น 2 เพจ โดยหน่วยความจำของ 8031 เองจะมองเป็นเพจศูนย์และจะมองหน่วยความจำของ Z-80 เป็นเพจหนึ่ง เมื่อ 8031 จะย้ายข้อมูลจากหน่วยความจำเพจศูนย์ไปยังหน่วยความจำเพจหนึ่งนั้นก็ทำได้โดย 8031 จะทำการอ่านข้อมูลจากเพจศูนย์มาเก็บไว้ยังรีจิสเตอร์ภายในก่อน ในขั้นตอนนี้ 8031 จะไม่สามารถติดต่อกับหน่วยความจำเพจหนึ่งได้ โดยจะได้พอร์ทในตัว 8031 1 บิตเป็นตัวสวิทช์เพจ เมื่อ 8031 อ่านข้อมูลเข้ามาเรียบร้อยแล้วก็ทำการสวิทช์เพจ โดยติดต่อกับหน่วยความจำเพจหนึ่ง ขณะเดียวกันก็ไม่สามารถติดต่อกับหน่วยความจำเพจศูนย์ได้ เมื่อ 8031 ติดต่อกับหน่วยความจำเพจหนึ่งแล้วก็จะทำการเขียนข้อมูลลงในหน่วยความจำเพจหนึ่ง หลังจากนั้นก็จะสวิทช์เพจไปติดต่อกับหน่วยความจำในเพจศูนย์อีกครั้ง แล้วจะอ่านข้อมูลและเขียนข้อมูลในลักษณะเดียวกับที่กล่าวมาแล้วตอนต้นจนกว่าจะสิ้นสุดการรับส่งข้อมูล เมื่อสิ้นสุดแล้วก็จะคืนระบบบัสให้ Z-80 ตามเดิม

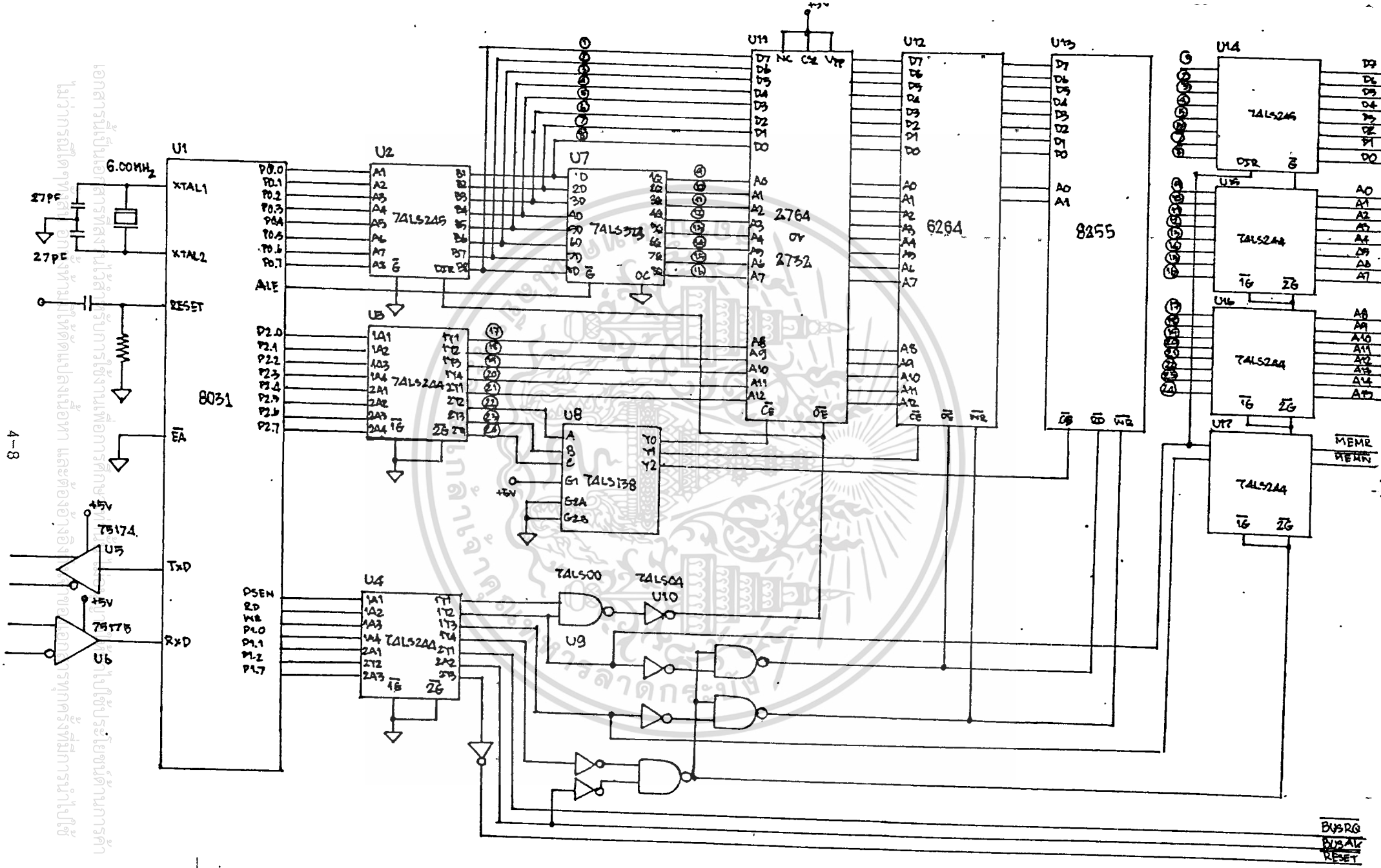
จากที่กล่าวมาทั้งหมดในหัวข้อนี้เป็นเพียงหลักการทำงานของระบบ 8031 ในการติดต่อกับหน่วยความจำของ Z-80 สำหรับในส่วนวงจรใช้งานจริงจะกล่าวถึงในตอนต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.6 การออกแบบและอธิบายการทำงานของวงจรใช้งานจริง

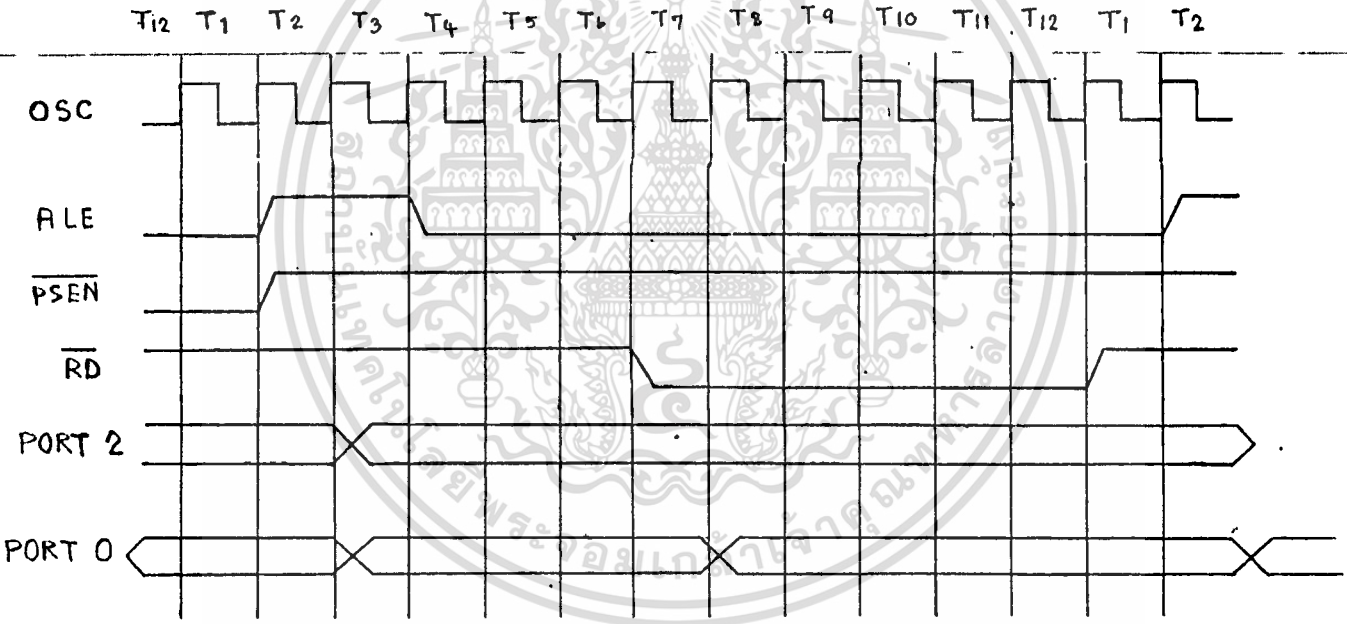
ในตอนต้นได้กล่าวถึงหลักการของระบบ 8031 มาแล้ว ในหัวข้อนี้จะเป็นการแสดงวงจรใช้งานจริงและอธิบายถึงหน้าที่การทำงานของอุปกรณ์ต่างๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



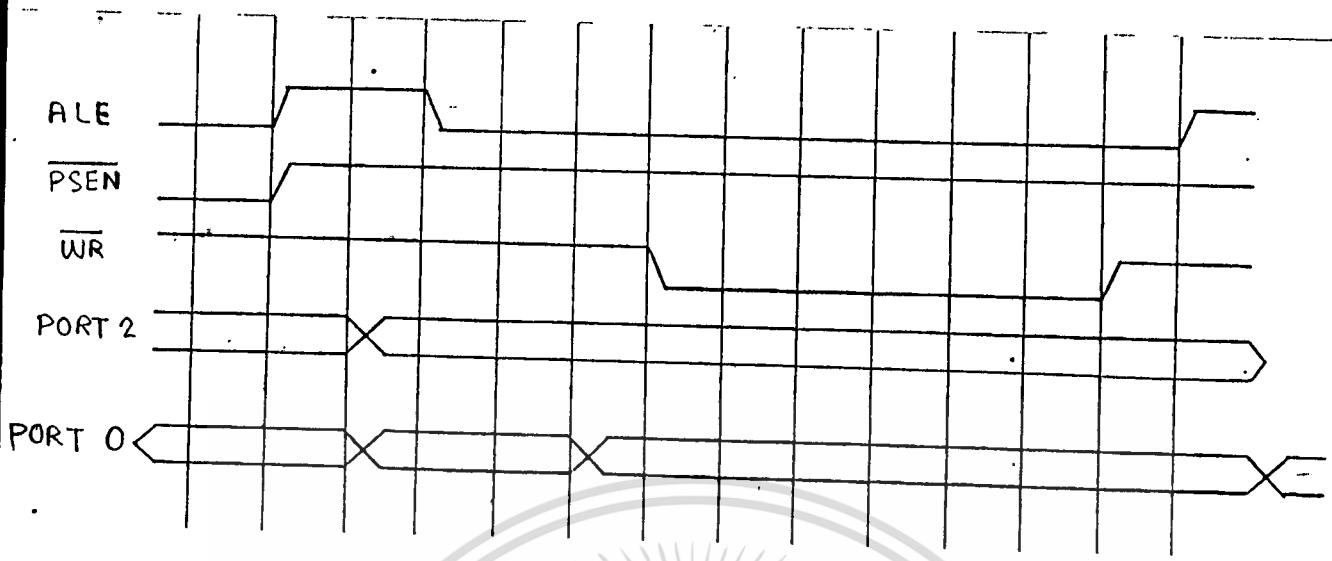
รูป 4.6.1 แสดงวงจรใช้งานจริงของระบบ 8031

จากรูป 4.6.1 U2,U3 และ U4 เป็นบัฟเฟอร์ใช้ในการขับกระแส เนื่องจาก 8031 ไม่สามารถขับกระแสให้เกทหลายๆตัวพร้อมกันได้ และ U7 ใช้ในการแลทช์ค่าแอดเดรสไบท์ต่ำ โดยมีสัญญาณ ALE เป็นสัญญาณแลทช์ U11 เป็นหน่วยความจำใช้เป็นทั้งหน่วยความจำโปรแกรม และหน่วยความจำข้อมูล ทั้งนี้เนื่องจาก 8031 มีสัญญาณควบคุมการอ่าน การเขียนและเฟทช์ข้อมูล หรือโปรแกรมโดยสัญญาณ $\overline{RD}$ และ $\overline{WE}$ ใช้ในการอ่านและเขียนข้อมูลในหน่วยความจำข้อมูลตามลำดับ ส่วนสัญญาณ $\overline{PSEN}$ นั้น ใช้ในการเฟทช์โปรแกรมจากหน่วยความจำโปรแกรมมาทำงาน โดยมีแผนภูมิเวลาดังรูป 4.6.2,4.6.3 และ 4.6.4

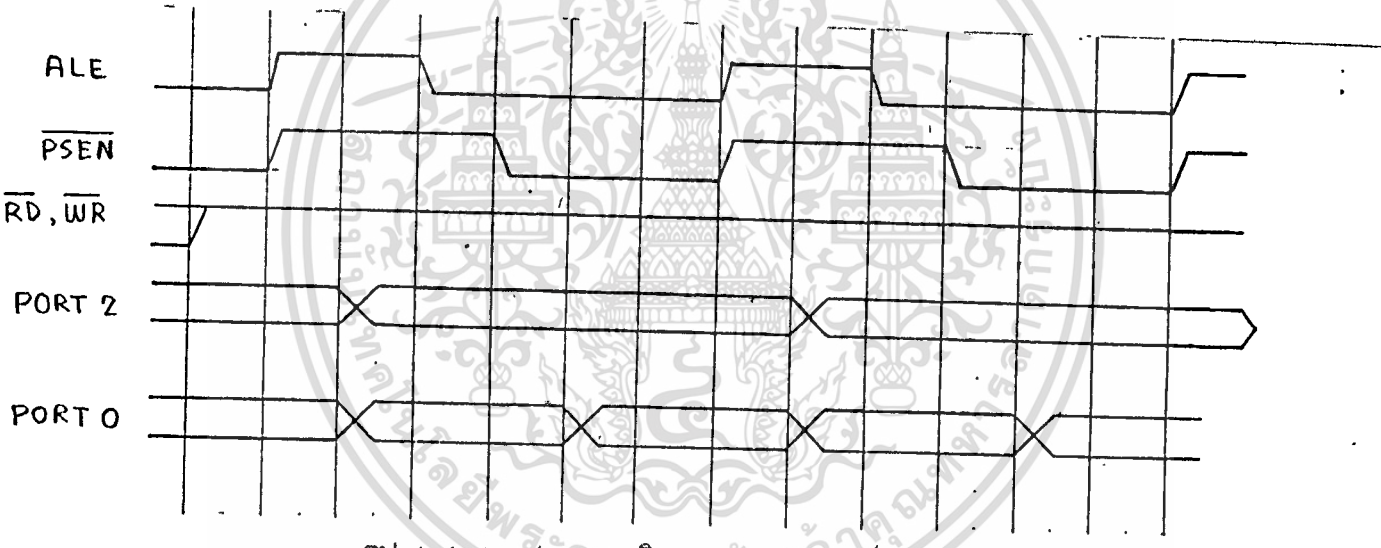


รูป 4.6.2 แสดงแผนภูมิเวลาของการอ่านข้อมูล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 4.6.3 แสดงแผนภูมิเวลาของการเขียนข้อมูล

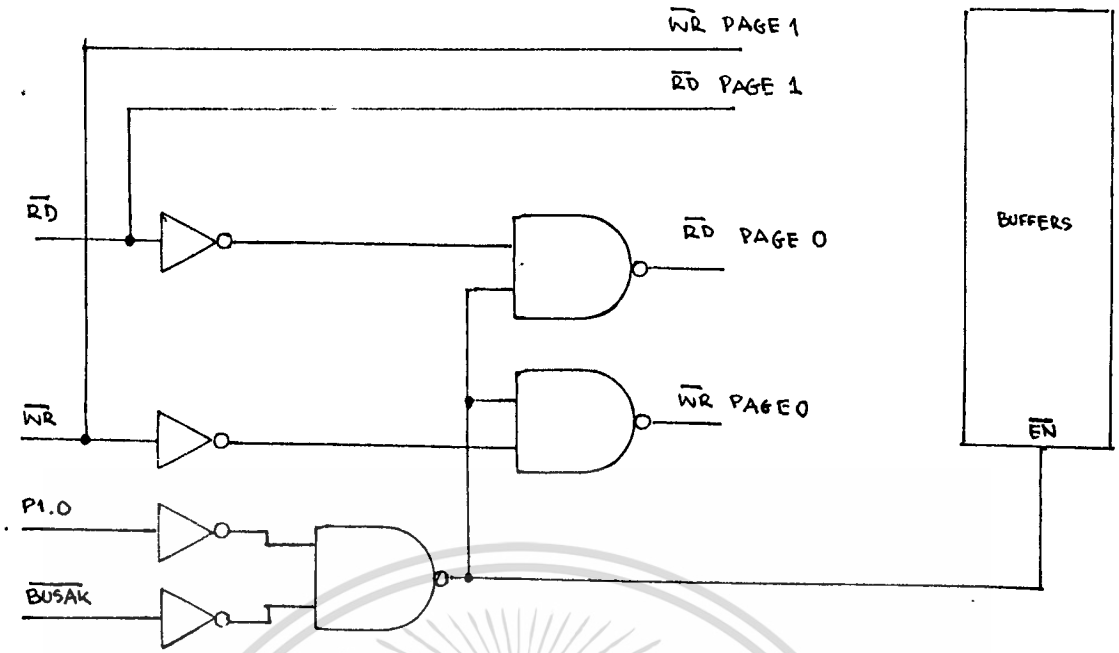


รูป 4.6.4 แสดงแผนภูมิเวลาของการเฟทช์โปรแกรม

ถ้าหากนำสัญญาณ PSEN และ RD มาแอนด์ (AND) กัน เอาท์พุทที่ได้คือ MEMR ซึ่งจะใช้เป็นสัญญาณในการเฟทช์โปรแกรม และ สัญญาณการอ่านข้อมูลจากหน่วยความจำตัวเดียวกัน

เนื่องจาก 8031 จะต้องมีการใช้ระบบบัสของ Z-80 ในการเข้าถึงหน่วยความจำทาง Z-80 ดังได้กล่าวไว้แล้วในตอนต้นว่าเมื่อ 8031 เข้าใช้ระบบบัสของ Z-80 แล้ว 8031 จะมองหน่วยความจำเป็น 2 เพจ คือหน่วยยความจำของระบบ 8031 เป็นเพจศูนย์และมองหน่วยความจำของ Z-80 เป็นเพจหนึ่ง ซึ่งในการเลือกเพจนี้จะต้องมีวงจรควบคุมการเลือกเพจ จากรูป 4.6.1 นั้นจะตัดเฉพาะส่วนของการควบคุมการเลือกเพจและการติดต่อกับระบบบัสของ Z-80 มาแสดงในรูป 4.6.5 เพื่ออธิบายถึงหน้าที่การทำงาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 4.6.5 แสดงวงจรการเลือกเพจของหน่วยความจำ

จากรูป 4.6.5 จะใช้สัญญาณจากพอร์ท P1.1 (เป็นพอร์ทในตัว 8031) เป็นสัญญาณในการขอใช้ระบบบัสของ Z-80 พอร์ท P1.2 เป็นตัวตรวจสอบว่า Z-80 ได้ปลดปล่อยระบบบัสแล้วหรือยัง และพอร์ท P1.0 เป็นสัญญาณเลือกเพจ โดยมีลำดับการทำงานตามลำดับดังนี้ คือ ในขั้นแรก 8031 จะต้องขอใช้ระบบบัสก่อน โดยส่งสัญญาณจาก P1.1 ค่าลอจิก "0" ไปยัง BUSRQ ของ Z-80 เมื่อ Z-80 รับทราบ และปลดปล่อยระบบบัสแล้วก็จะส่งสัญญาณ BUSAK มาบอกให้ 8031 ทราบ 8031 จะทราบได้โดยการตรวจ P1.2 ว่าเป็นลอจิก "0" หรือไม่ ถ้าไม่ใช่ก็จะทำการตรวจเช็คไปเรื่อยๆ เพราะ 8031 จะไม่สามารถเลือกเพจได้ตราบใดที่ยังไม่ได้รับสัญญาณ $\overline{\text{BUSAK}}$ ซึ่งหลักการก็คือ นำสัญญาณ $\overline{\text{BUSAK}}$ และสัญญาณเลือกเพจ P1.0 มาออร์(OR)กัน ถ้าหาก 8031 รับทราบแล้วค่า P1.2 เป็นลอจิก "0" หรือกล่าวได้ว่ามีการได้รับสัญญาณ $\overline{\text{BUSAK}}$ แล้ว 8031 ก็จะสามารถเลือกติดต่อกับหน่วยความจำเพจไหนก็ได้ขึ้นอยู่กับลอจิกที่พอร์ท P1.0 หาก P1.0 เป็น "1" ก็จะติดต่อกับหน่วยความจำเพจศูนย์(หน่วยความจำของระบบ 8031) หาก P1.0 เป็น "0" ก็จะติดต่อกับหน่วยความจำเพจหนึ่ง(หน่วยความจำของระบบ Z-80)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5

วิธีการทดลองและผลการทดลอง

การทดลองนี้ จะเป็นการนำเอาวงจรควบคุมเครื่องถ่ายภาพตัดขวางมาทำการทดลอง รับและส่งข้อมูล โดยมีการรับข้อมูลมาจากไมโครคอมพิวเตอร์ แล้วส่งข้อมูลออกมาแสดงทางหลอดไดโอดเปล่งแสง (LED) การทดลองนี้จะแบ่งออกเป็น 2 ตอน คือ ในขั้นตอนแรกนี้จะเป็นการตรวจสอบวงจรที่ได้มีการต่อลงแผ่นไอซีบอร์ดเรียบร้อยแล้ว และในขั้นตอนที่ 2 เป็นการทดลองการส่งและรับข้อมูล โดยนำวงจรที่มีการตรวจสอบแล้วในขั้นตอนที่ 1 มาทำการทดลอง แล้วมีการแสดงผลออกมาทางหลอดไดโอดเปล่งแสง

วิธีการทดลอง

ตอนที่ 1

1. ทดสอบ บอร์ดภาคแสดงผลและอินพุท/เอาท์พุท พอร์ท โดยการป้อนลอจิกต่างๆเข้าที่ขาข้อมูล ขาตำแหน่ง และ ขาสัญญาณ แล้วดูผลที่ได้

2. ทดสอบ บอร์ด Z-80 โดยการนำบอร์ด Z-80 และ บอร์ดภาคแสดงผล เสียบลงระบบบัสและทดลองป้อนโปรแกรม ก-1 ตามภาคผนวก โดยโปรแกรมนี้เขียนขึ้นเพื่อให้แสดงผลการทำงานออกทางภาคแสดงผลในรูปตัวเลข 7 วิ่ง จากซ้ายมาขวา

* ในขั้นตอนนี้ได้ใช้อีทีบอร์ดและแรมเม็คเป็นเครื่องมือช่วยในการทดสอบโปรแกรม

3. ทดสอบ บอร์ด 8031 ซึ่งมีลักษณะเช่นเดียวกับการทดสอบบอร์ด Z-80 โดยในการทดสอบ จะเสียบเฉพาะบอร์ดภาคแสดงผลและบอร์ด 8031 บนระบบบัส และ ให้ลอจิก "0" ที่ขา BUSAK บนระบบบัส ทั้งนี้เพราะสัญญาณ BUSAK ต้องเป็น "0" ก่อน 8031 จึงจะติดต่อกับระบบบัสได้ และที่บอร์ดภาคแสดงผล ต้องนำสัญญาณ MEMR จากระบบบัส เข้าแทนสัญญาณ IOW และป้อนโปรแกรม ก-2 ซึ่งการทำงานของโปรแกรมมีลักษณะเหมือนกับของ Z-80

ตอนที่ 2

ในการทดลองตอนนี้ จะนำเอาบอร์ดทุกบอร์ดมาทำการต่อเข้ากับระบบบัสทั้งหมด และป้อนโปรแกรมให้กับ 8031 และ Z-80 ตามโปรแกรม ข-1 และ ข-2 ตามลำดับ โดยมีการ

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แสดงผลออกมาทางภาคแสดงผลและไดโอดเปล่งแสง โดยโปรแกรมจะทำงานในลักษณะดังนี้คือ จะส่งคำสั่งจากเครื่องไมโครคอมพิวเตอร์ไปเข้าบอร์ด 8031 . แล้ว 8031 จะแปลคำสั่งพร้อมกันนั้นก็จะส่งให้ Z-80 ทำงาน Z-80 ก็จะทำงานตามคำสั่งที่ได้รับมาจาก 8031

ผลการทดลอง

ตอนที่ 1

การทดสอบ บอร์ดภาคแสดงผลสามารถใช้งานได้

การทดสอบ บอร์ด Z-80 สามารถทำงานได้ โดยผลที่ได้เป็นไปตามเงื่อนไขของโปรแกรม

การทดสอบ บอร์ด 8031 สามารถทำงานได้ โดยได้ผลตามโปรแกรมที่ป้อนเข้าไป

ตอนที่ 2

ผลการทดลอง ปรากฏว่าสามารถทำงานได้ โดยแสดงผลออกมาทางไดโอดเปล่งแสง ซึ่งมีการทำงานตามขั้นตอนของโปรแกรม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 6

สรุปและวิจารณ์ผลการทดลอง

สรุปผลการทดลอง

จากการทดลองจะเห็นว่า วงจรควบคุมเครื่องถ่ายภาพตัดขวางนี้ทำหน้าที่เป็นตัวกลาง ที่ใช้ในการรับและส่งข้อมูล โดยมีการรับข้อมูลเข้ามาทางเครื่องไมโครคอมพิวเตอร์ที่ได้ทำการป้อนโปรแกรมให้เสร็จ และทำการส่งข้อมูลออกมาทางหลอดไดโอดเปล่งแสง

วิจารณ์ผลการทดลอง

จากการทดลอง การรับและส่งข้อมูลให้กับวงจรควบคุมเครื่องถ่ายภาพตัดขวางที่ได้มีการแสดงผลออกมาโดยใช้หลอดไดโอดเปล่งแสง ซึ่งในความจริงแล้ววงจรควบคุมเครื่องถ่ายภาพตัดขวางนี้จะมีการแสดงผลโดยทำการหมุนตัวแกนหรี่ให้เริ่มหมุน โดยมีการหมุนได้ 2 ทิศทางคือ ทิศทางทวนเข็มนาฬิกา และ ทิศทางตามเข็มนาฬิกา ตามโปรแกรมที่ได้มีการป้อนให้กับวงจรนี้ แต่เนื่องจากเกิดอุปสรรคบางอย่างขึ้นจึงไม่สามารถทำการทดลองหมุนตัวแกนหรี่ได้จริง ดังนั้นจึงแสดงผลออกมาโดยใช้หลอดไดโอดเปล่งแสงแทน ซึ่งไม่สามารถทำการแสดงทิศทางการหมุนของตัวแกนหรี่ได้ เพราะเนื่องจากใช้วงจรคล็อกเป็นเสมือนสัญญาณที่ได้จากตัวตรวจวัดที่มาจากส่วนของแกนหรี่ ซึ่งให้ผลออกมาได้กรณีเดียวคือแสดงการติดดับของหลอดไดโอดเปล่งแสง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
0000                    CPU "Z80.TBL"
0000                    HOF "INT8"

0000                    ORG 00H
0000 C34000             JP  START

0040                    ORG 40H

0040 3E00       START:  LD A,00H
0042 D37C               OUT(7CH),A
0044 3E40               LD A,40H
0046 D378               OUT(78H),A
0048 D379               OUT(79H),A
004A D37A               OUT(7AH),A
004C D37B               OUT(7BH),A
004E 3E01               LD A,01H
0050 5F                 LD E,A
0051 21FFFF     LOOP2:  LD HL,0FFFFH
0054 1650               LD D,50H
0056 D37C               OUT(7CH),A
0058 2B         LOOP1:  DEC HL
0059 20FD               JR  NZ,LOOP1
005B 15                 DEC D
005C 7A                 LD A,D
005D B4                 OR H
005E 20F8               JR NZ,LOOP1
0060 7B                 LD A,E
0061 17                 RL  A
0062 C35100             JP  LOOP2

0000                    END
```

```
0007  A                 0000  B                 0001  C
0002  D                 0003  E                 0004  H
0005  L                 0058  LOOP1             0051  LOOP2
0040  START
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
8051 Cross-Assembler (1.3)   (C) 1987, 1989 Binary Technology
                          Page   1
TEST8.ASM

     0000                  1                ORG 00H
     0000 020030           2                JMP START
                           3
     0030                  4                ORG 30H
     0030 539000           5          START: ANL P1,#00H
     0033 900078           6                 MOV DPTR,#0078H
     0036 7CFF             7                 MOV R4,#0FFH
     0038 7DFF             8                 MOV R5,#0FFH
     003A 7E50             9                 MOV R6,#050H
     003C 7422            10                 MOV A,#22H
     003E F0              11                 MOVX @DPTR,A
     003F A3              12                 INC DPTR
     0040 F0              13                 MOVX @DPTR,A
     0041 A3              14                 INC DPTR
     0042 F0              15                 MOVX @DPTR,A
     0043 A3              16                 INC DPTR
     0044 F0              17                 MOVX @DPTR,A
     0045 A3              18                 INC DPTR
     0046 7401            19                 MOV A,#01H
     0048 F0              20           LOOP2: MOVX @DPTR,A
     0049 DCFE            21           LOOP1: DJNZ R4,LOOP1
     004B DDFC            22                  DJNZ R5,LOOP1
     004D 33              23                  RLC A
     004E 80F8            24                  JMP LOOP2
                          25
     0000=                26                  END
```

```
8051 Cross-Assembler (1.3)   (C) 1987, 1989 Binary Technology
                          Page   1
TEST8.ASM

          loop1 = 0049            loop2 = 0048            start = 0030
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
8051 Cross-Assembler (1.3)   (C) 1987, 1989 Binary Technology
                        Page   1
PROMOV.asm

    000D=                1       CR              EQU   0DH
    000A=                2       LF              EQU   0AH
    001B=                3       ESC             EQU   1BH
    006F=                4       S_COM           SET   6FH      ;USE TO SAVE COMMAND
    1000=                5       ADDRE           SET 1000H      ;ADDRESS OF FILE
    0005=                6       HIGH_BYTE_END   EQU   05H
    006B=                7       CTRL_P8         EQU   6BH      ;CONTROL PORT OF 8255
    0068=                8       PORTA           EQU   68H      ;PORT A OF 8255
    0069=                9       PORTB           EQU   69H      ;PORT B OF 8255
    006A=               10       PORTC           EQU   6AH      ;PORT C OF 8255
                        11
    0000                12           ORG 00H
                        13
    0000 020030         14           JMP START
                        15
                        16   ;THIS AREA FOR
                        17   ;INTERRUPT SERVICE ROUTINE PROGRAM
                        18
    0030                19           ORG 30H
                        20
                        21   ;SET UP SERIAL PORT
                        22
    0030 759852         23   START:   MOV  SCON,#52H     ;SET SERIAL PORT UART 8 BIT
    0033 758920         24            MOV  TMOD,#20H     ;SET MODE 2 TIMER
    0036 758DF3         25            MOV  TH1,#-13      ;SET BUAD RATE  1200
    0039 D28E           26            SETB TR1
    003B 120099         27            CALL SET_8255
                        28            ;*************
                        29            ;*  REC_DTA  *
                        30            ;*************
                        31            ;RECEIVE DATA OR COMMAND
                        32
    003E 3098FD         33   REC_DTA: JNB RI,$
    0041 C298           34            CLR RI
    0043 E599           35            MOV A,SBUF
    0045 F56F           36            MOV S_COM,A
    0047 120075         37            CALL CHK_DTA       ;CHECK DATA OR COMMAND
    004A 80F2           38            JMP REC_DTA
                        39
                        40            ;*************
                        41            ;*  SEN_ERR  *
                        42            ;*************
                        43            ;SENT ERROR TO PC
                        44
    004C C083           45   SEN_ERR: PUSH DPH
    004E C082           46            PUSH DPL
    0050 E4             47            CLR A
    0051 900067         48            MOV DPTR,#ERR
    0054 93             49            MOVC A,@A+DPTR
    0055 3099FD         50   NEXT1:   JNB  TI,$
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
0055 3099FD      50  NEXT1:   JNB  TI,$
0058 C299        51           CLR TI
005A F599        52           MOV SBUF,A
005C E4          53           CLR A
005D A3          54           INC DPTR
005E 93          55           MOVC A,@A+DPTR
005F B41BF3      56           CJNE A,#ESC,NEXT1
0062 D082        57           POP DPL
0064 D083        58           POP DPH
```



```
0066 22          59           RET
0067 4572726F    60  ERR:     DB  'Error Command'
006B 7220436F
006F 6D6D616E
0073 64
0074 1B          61           DB  ESC
                 62
                 63           ;**************
                 64           ;*  CHK_DTA   *
                 65           ;**************
                 66           ;CHECK DATA OR COMMAND
                 67
0075 E4          68  CHK_DTA: CLR A
0076 900092      69           MOV DPTR,#CODE
0079 93          70  AGAIN:   MOVC A,@A+DPTR
007A B41B05      71           CJNE A,#ESC,COM_R
007D 114C        72           CALL SEN_ERR
007F 020091      73           JMP END
0082 B56F03      74  COM_R:   CJNE A,S_COM,CHECK
0085 02008C      75           JMP COM_RDY
0088 E4          76  CHECK:   CLR A
0089 A3          77           INC DPTR
008A 80ED        78           JMP AGAIN
008C AD6F        79  COM_RDY: MOV R5,S_COM
008E 1200A2      80           CALL INT_Z80
0091 22          81  END:     RET
0092 41          82  CODE:    DB  'A'
0093 42          83           DB  'B'
0094 43          84           DB  'C'
0095 44          85           DB  'D'
0096 45          86           DB  'E'
0097 46          87           DB  'F'
0098 1B          88           DB  ESC
                 89
                 90           ;************
                 91           ;* SET_8255 *
                 92           ;************
                 93           ;SET 8255 PORT
                 94
0099 FA          95  SET_8255: MOV R2,A
009A 7480        96            MOV A,#80H
009C 90006B      97            MOV DPTR,#CTRL_P8      ;CONTROL PORT
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
009F F0          98              MOVX @DPTR,A
00A0 EA          99              MOV A,R2
00A1 22         100              RET
                101
                102              ;*************
                103              ;*  INT_Z80  *
                104              ;*************
                105              ;CHECK COMMAND
                106
00A2 BD4106     107  INT_Z80:    CJNE R5,#'A',COMM1
00A5 74CF       108              MOV  A,#0CFH
00A7 1200DB     109              CALL MOV_FILE
00AA 22         110              RET
00AB BD4206     111  COMM1:     CJNE R5,#'B',COMM2
00AE 74D7       112              MOV  A,#0D7H
00B0 12010E     113              CALL SENT_INTV
00B3 22         114              RET

8051 Cross-Assembler (1.3)   (C) 1987, 1989 Binary Technology
                      Page   3
PROMOV.asm

00B4 BD4306     115  COMM2:     CJNE R5,#'C',COMM3
00B7 74DF       116              MOV  A,#0DFH
00B9 12010E     117              CALL SENT_INTV
00BC 22         118              RET
00BD BD4406     119  COMM3:     CJNE R5,#'D',COMM4
00C0 74E7       120              MOV  A,#0E7H
00C2 12010E     121              CALL SENT_INTV
00C5 22         122              RET
00C6 BD4506     123  COMM4:     CJNE R5,#'E',COMM5
00C9 74EF       124              MOV  A,#0EFH
00CB 12010E     125              CALL SENT_INTV
00CE 22         126              RET
00CF BD4606     127  COMM5:     CJNE R5,#'F',COMM6
00D2 74F7       128              MOV  A,#0F7H
00D4 12010E     129              CALL SENT_INTV
00D7 22         130              RET
00D8 114C       131  COMM6:     CALL SEN_ERR
00DA 22         132              RET
                133
                134              ;**************
                135              ;*  MOV_FILE  *
                136              ;**************
                137              ;THIS SUB SUBROUTINE USE TO MOVE FILE
                138              ;TO Z-80 MOMORY
                139
00DB C291       140  MOV_FILE:  CLR  P1.1            ;BUS REQUEST TO Z80
00DD 70B3       141              JNZ  P1.2,$          ;IF Z80 BUSAK NOT LOW
00DF 7F00       142  MOV_F:     MOV  R7,#HIGH 0000H  ;HIGH BYTE OF MEM PAGE 1
00E1 7E00       143              MOV  R6,#LOW 0000H   ;LOW BYTE OF MEM PAGE 1
00E3 901000     144              MOV  DPTR,#ADDRE     ;ADDRESS OF FILE TO MOVE
00E6 D290       145  MOV_F1:    SETB P1.0            ;SET MEM PAGE 0
00E8 E0         146              MOVX A,@DPTR         ;READ FILE
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
00E9 C083       147             PUSH DPH
00EB C082       148             PUSH DPL
00ED 8F83       149             MOV  DPH,R7
00EF 8E82       150             MOV  DPL,R6
00F1 C290       151             CLR  P1.0               ;SWITCH MEM PAGE 1
00F3 F0         152             MOVX @DPTR,A            ;WRITE DATA TO MEM PAGE
00F4 D083       153             POP  DPH
00F6 D082       154             POP  DPL
00F8 A3         155             INC  DPTR
00F9 0E         156             INC  R6
00FA BE00E9     157             CJNE R6,#00H,MOV_F1
00FD 0F         158             INC  R7
00FE BF05E5     159             CJNE R7,#HIGH_BYTE_END,MOV_F1
0101 D290       160             SETB P1.0
0103 D291       161             SETB P1.1
0105 D297       162             SETB P1.7               ;RESET Z80
0107 7F00       163             MOV  R7,#00H
0109 DFFE       164             DJNZ R7,$
010B C297       165             CLR  P1.7               ;RESET READY
010D 22         166             RET
                167
                168             ;*************
                169             ;* SENT_INTV *
                170             ;*************
                171             ;THIS SUBROUTINE SEND
                172             ;COMMAND TO Z80
                173

8051 Cross-Assembler (1.3)   (C) 1987, 1989 Binary Technology
                     Page   4
PROMOV.asm

010E F9         174  SENT_INTV: MOV R1,A
010F 900068     175             MOV DPTR,#PORTA
0112 F0         176             MOVX @DPTR,A
0113 900069     177             MOV DPTR,#PORTB
0116 E0         178  READ:      MOVX A,@DPTR
0117 30E0FC     179             JNB ACC.0,READ
011A 22         180             RET
                181
0000=           182             END
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PROMOV.asm

```
          addre = 1000            again = 0079
          check = 0088          chk_dta = 0075
           code = 0092            com_r = 0082
        com_rdy = 008C            comm1 = 00AB
          comm2 = 00B4            comm3 = 00BD
          comm4 = 00C6            comm5 = 00CF
          comm6 = 00D8               cr = 000D
        ctrl_p8 = 006B              end = 0091
            err = 0067              esc = 001B
high_byte_end = 0005          int_z80 = 00A2
             lf = 000A            mov_f = 00DF
         mov_f1 = 00E6         mov_file = 00DB
          next1 = 0055            porta = 0068
          portb = 0069            portc = 006A
           read = 0116          rec_dta = 003E
          s_com = 006F          sen_err = 004C
      sent_intv = 010E         set_8255 = 0099
          start = 0030
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
0000                    CPU "Z80.TBL"
0000                    HOF "INT8"
0000                    ORG 00H
0000 C34000             JP  BEGIN
0040                    ORG 40H

0082 =          CTRL_W:     EQU     82H
0023 =          CTRL_P:     EQU     23H
0020 =          PORTA:      EQU     20H
0021 =          PORTB:      EQU     21H
0022 =          PORTC:      EQU     22H
1000 =          DATAIN:     EQU     1000H
0002 =          CCW:        EQU     02H
0001 =          CW:         EQU     01H
1003 =          COUNT:      EQU     1003H
1007 =          MARK:       EQU     1007H

0040 0600       BEGIN:  LD B,00H            ;DELAY FOR POWER SETUP
0042 10FE               DJNZ $
0044 310015             LD SP,1500H         ;SET STACK POINTER
0047 3E00               LD A,00H
0049 320310             LD(COUNT),A
004C 320010             LD(DATAIN),A        ;AREA USE TO SAVE DISPLAY
004F 3E02               LD A,CCW
0051 320710             LD (MARK),A
0054 3E82               LD A,CTRL_W         ;SET PORT 8255
0056 D323               OUT(CTRL_P),A       ;PORTA=     PORTB=     PORTC=
0058 3E00               LD A,00H
005A D378               OUT(78H),A          ;CLEAR DISPLAY DIGIT 4
005C D379               OUT(79H),A          ;CLEAR DISPLAY DIGIT 3
005E D37A               OUT(7AH),A          ;CLEAR DISPLAY DIGIT 2
0060 3EFC               LD A,0FCH
0062 D37B               OUT(7BH),A          ;SHOW 0 AT DIGIT 1
0064 3EFF               LD A,0FFH
0066 D37C               OUT(7CH),A          ;ALL DIGIT ARE ACTIVE
0068 DB22       AGAIN:  IN A,(PORTC)        ;CHECK COMMAND
006A E60F               AND 0FH             ;USE ONLY LOW NIBBLE
006C FE00               CP 00H
006E 28F8               JR Z,AGAIN          ;IF NOT COMMAND
0070 FE01               CP 01H
0072 2005               JR NZ,NEXT
0074 CD8B00             CALL COMM1          ;COMMAND 1
0077 18EF               JR AGAIN
0079 FE02       NEXT:   CP 02H
007B 2005               JR NZ,NEXT1
007D CDB400             CALL COMM2          ;COMMAND 2
0080 18E6               JR AGAIN
0082 FE03       NEXT1:  CP 03H
0084 20E2               JR NZ,AGAIN
0086 CDCE00             CALL COMM3          ;COMMAND 3
0089 18DD               JR AGAIN
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                        ;*********
                        ;* COMM1 *
                        ;*********
                        ;THIS SUBROUTINE SERVICE
                        ;COMMAND1

008B 3A0710     COMM1:  LD A,(MARK)
008E D320               OUT(PORTA),A
0090 1E00               LD E,00H                ;COUNT SENSOR
0092 DB22       COMM11: IN A,(PORTC)
0094 E6F0               AND 0F0H                ;USE HIGH NIBBLE CHECK SENSOR
0096 CB7F               BIT 7,A                 ;CHECK BIT 7 OF PORTC
0098 20F8               JR NZ,COMM11
009A 1C                 INC E
009B 7B                 LD A,E
009C 320010             LD(DATAIN),A
009F CDD300             CALL DISPL
00A2 7B                 LD A,E
00A3 FE76               CP 118
00A5 20EB               JR NZ,COMM11
00A7 320310             LD (COUNT),A
00AA 3E02               LD A,CCW
00AC 320710             LD(MARK),A
00AF 3E00               LD A,00H
00B1 D320               OUT(PORTA),A            ;STOP ROTATE
00B3 C9                 RET

                        ;*********
                        ;* COMM2 *
                        ;*********
                        ;THIS SUBROUTINE SEVICE
                        ;ROTATE CW

00B4 3A0310     COMM2:  LD A,(COUNT)
00B7 57                 LD D,A
00B8 3A0710             LD A,(MARK)
00BB FE02               CP CCW
00BD 200E               JR NZ,RETURN
00BF CD8B00             CALL COMM1
00C2 3E01               LD A,CW
00C4 320710             LD (MARK),A
00C7 3A0310             LD A,(COUNT)
00CA BA                 CP D
00CB 2066               JR NZ,ERROR
00CD C9         RETURN: RET

                        ;*********
                        ;* COMM3 *
                        ;*********

00CE 3E00       COMM3:  LD A,00H
00D0 D37C               OUT (7CH),A
00D2 C9                 RET
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                        ;***********
                        ;* DISPLAY *
                        ;***********
                        ;THIS SUBROUTINE DISPLAY
                        ;DIGIT

00D3 3A0010     DISPL:  LD A,(DATAIN)           ;READ VALUE FROM RAM
00D6 0600               LD B,0                  ;DIGIT 2 DON'T SHOW
00D8 0E00               LD C,0                  ;DIGIT 3 DON;T SHOW
00DA FE0A               CP 0AH
00DC D4E900             CALL NC,DIGIT2          ;IF MORE
00DF CD1F01             CALL CHG                ;CHANG CODE
00E2 D37B               OUT (7BH),A
00E4 3E80               LD A,80H
00E6 D37C               OUT (7CH),A
00E8 C9                 RET

                        ;**********
                        ;* DIGIT2 *
                        ;**********
                        ;THIS SUBROUTINE USE
                        ;TO DISPLAY DIGIT 2
                        ;CALL FROM DISPLAY ONLY

00E9 04         DIGIT2: INC B
00EA D60A               SUB 0AH
00EC FE0A               CP 0AH
00EE 30F9               JR NC,DIGIT2
00F0 CD1F01             CALL CHG
00F3 D37B               OUT (7BH),A
00F5 3E80               LD A,80H
00F7 D37C               OUT (7CH),A
00F9 78                 LD A,B
00FA FE0A               CP 0AH
00FC 300A               JR NC,DIGIT3
00FE CD1F01             CALL CHG
0101 D37A               OUT (7AH),A
0103 3EC0               LD A,0C0H
0105 D37C               OUT (7CH),A
0107 C9                 RET

                        ;**********
                        ;* DIGIT3 *
                        ;**********
                        ;THIS SUBROUTINE
                        ;USE TO DISPLAY DIGIT 3
                        ;CALL FROM DISPLAY ONLY

0108 0C         DIGIT3: INC C
0109 D60A               SUB 0AH
010B FE0A               CP 0AH
010D 30F9               JR NC,DIGIT3
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
010F CD1F01             CALL CHG
0112 D37A               OUT (7AH),A
0114 79                 LD A,C
0115 CD1F01             CALL CHG
0118 D379               OUT (79H),A
011A 3EE0               LD A,0E0H
011C D37C               OUT (7CH),A
011E C9                 RET

                        ;**************
                        ;* CHANG CODE *
                        ;**************
                        ;THIS SUBROUTINE USE
                        ;TO CHANG CODE FROM BCD
                        ;TO SEVEN SEGMENT

011F 212901     CHG:    LD HL,TABLE
0122 85                 ADD A,L
0123 6F                 LD L,A
0124 AF                 XOR A
0125 8C                 ADC A,H
0126 67                 LD H,A
0127 7E                 LD A,(HL)
0128 C9                 RET

0129 FC60DAF2   TABLE:  DFB 0FCH,60H,0DAH,0F2H,
012D 66B6BEE0           DFB 66H,0B6H,0BEH,0E0H,
0131 FEF6               DFB 0FEH,0F6H


                        ;*********
                        ;* ERROR *
                        ;*********
                        ;SHOW ERROR ON DISPLAY

0133 214701     ERROR:  LD HL,ERR
0136 0E78               LD C,78H
0138 0604               LD B,4H
013A 7E         ERR1:   LD A,(HL)
013B ED79               OUT(C),A
013D 23                 INC HL
013E 0C                 INC C
013F 10F9               DJNZ ERR1
0141 0C                 INC C
0142 3EFF               LD A,0FFH
0144 ED79               OUT(C),A
0146 C9                 RET
0147 8E0A0A3A   ERR:    DFB 8EH,0AH,0AH,3AH
014B              END
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

0007	A	0068	AGAIN	0000	B
0040	BEGIN	0001	C	0002	CCW
011F	CHG	008B	COMM1	0092	COMM11
00B4	COMM2	00CE	COMM3	1003	COUNT
0023	CTRL_P	0082	CTRL_W	0001	CW
0002	D	1000	DATAIN	00E9	DIGIT2
0108	DIGIT3	00D3	DISPL	0003	E
0147	ERR	013A	ERR1	0133	ERROR
0004	H	0005	L	1007	MARK
0079	NEXT	0082	NEXT1	0020	PORTA
0021	PORTB	0022	PORTC	00CD	RETURN
0129	TABLE				

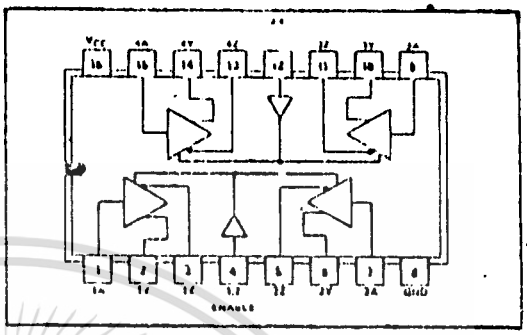
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPE SN75174
QUADRUPLE DIFFERENTIAL LINE DRIVER

BULLETIN NO. DL-S 12771, OCTOBER 1980

- Meets EIA Standard RS-422A and CCITT Recommendations V.11 and X.27
- Meets EIA Subcommittee TR30.1 Draft Standard PN1360 (as of April 1980)
- Designed for Multipoint Transmission on Long Bus Lines in Noisy Environments
- 3-State Outputs
- Common-Mode Output Voltage Range . . . −7 V to 12 V
- Active-High Enables
- Thermal Shutdown Protection
- Positive and Negative Current Limiting
- Operates from Single 5-Volt Supply
- Low Power Requirements
- Functionally Interchangeable with MC3487

J OR N
DUAL-IN-LINE PACKAGE (TOP VIEW)



FUNCTION TABLE (EACH DRIVER)

INPUT	ENABLE	OUTPUTS	
		Y	Z
H	H	H	L
L	H	L	H
X	L	Z	Z

H = TTL high level, L = TTL low level, X = Irrelevant, Z = high impedance (off)

description

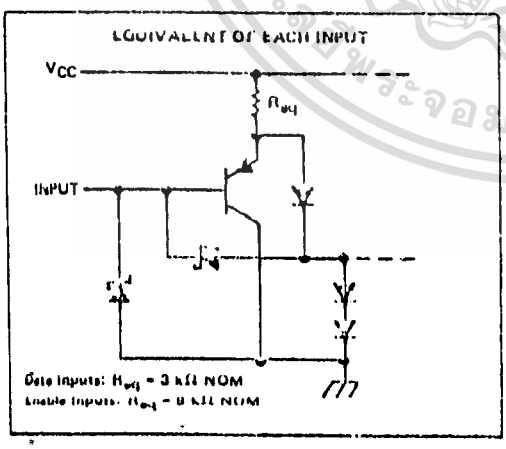
The SN75174 is a monolithic quadruple differential line driver with three-state outputs. It is designed to meet the requirements of EIA Standard RS-422A and CCITT Recommendations V.11 and X.27. The device is optimized for balanced multipoint bus transmission at rates up to 4 megabits per second. Each driver features wide positive and negative common-mode output voltage ranges making it suitable for party-line applications in noisy environments.

The SN75174 provides positive- and negative-current limiting and thermal shutdown for protection from line fault conditions on the transmission bus line. Shutdown occurs at a junction temperature of approximately 150°C. This device offers optimum performance when used with the SN75173 or SN75175 quadruple differential line receivers.

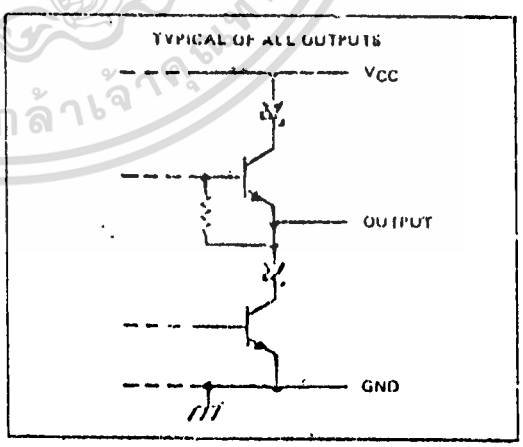
The SN75174 is characterized for operation from 0°C to 70°C.

schematics of inputs and outputs

EQUIVALENT OF EACH INPUT



TYPICAL OF ALL OUTPUTS



Copyright © 1980 Texas Instruments Incorporated

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

absolute maximum ratings over operating free-air temperature range (unless otherwise noted)

Supply voltage, V_{CC} (see Note 1) . . . . . 7 V
Input voltage . . . . . 5.5 V
Continuous total-dissipation at (or below) 25°C free-air temperature (see Note 2): J package . . . . . 1375 mW
N package . . . . . 1150 mW
Operating free-air temperature range . . . . . 0°C to 70°C
Storage temperature range . . . . . −65°C to 150°C
Lead temperature 1/16 inch (1,6 mm) from case for 60 seconds: J package . . . . . 300°C
Lead temperature 1/16 inch (1,6 mm) from case for 10 seconds: N package . . . . . 260°C

NOTES: 1. All voltage values are with respect to the network ground terminal.
2. For operation above 25°C free-air temperature, derate the J package to 880 mW at 70°C at the rate of 11 mW/°C and the N package to 736 mW at 70°C at the rate of 9.2 mW/°C. In the J package, SN75174 chips are alloy-mounted.

recommended operating conditions

	MIN	NOM	MAX	UNIT
Supply voltage, V_{CC}	4.75	5	5.25	V
Common-mode output voltage, V_{OC}	−7†		12	V
High-level output current, I_{OH}			−60	mA
Low-level output current, I_{OL}			60	mA
Operating free-air temperature, T_A	0		70	°C

†The algebraic convention, where the less-positive (more-negative) limit is designated minimum, is used in this data sheet with common-mode output voltage only.

electrical characteristics over recommended ranges of supply voltage and operating free-air temperature (unless other noted)

PARAMETER		TEST CONDITIONS		MIN	TYP‡	MAX	UNIT
V_{IH}	High-level input voltage			2			V
V_{IL}	Low-level input voltage					0.8	V
V_{IK}	Input clamp voltage	I_I = −18 mA				−1.5	V
V_{OH}	High-level output voltage	V_{IH} = 2 V, V_{IL} = 0.8 V, I_{OH} = −33 mA			3.7		V
V_{OL}	Low-level output voltage	V_{IH} = 2 V, V_{IL} = 0.8 V, I_{OL} = 33 mA			1.1		V
$\lvert V_{OD1}\rvert$	Differential output voltage	I_O = 0				$2V_{OD2}$	V
$\lvert V_{OD2}\rvert$	Differential output voltage	R_L = 100 Ω,	See Figure 1	2			V
		R_L = 60 Ω,	See Figure 1	1.5			
$\Delta\lvert V_{OD}\rvert$	Change in magnitude of differential output voltage§	R_L = 60 Ω or 100 Ω, See Figure 1				±0.2	V
V_{OC}	Common-mode output voltage¶					3	V
$\Delta\lvert V_{OC}\rvert$	Change in magnitude of common-mode output voltage§					±0.2	V
I_O	Output current with power off	V_{CC} = 0,	V_O = −7 V to 12 V			±100	μA
I_{OZ}	High-impedance-state output current	V_O = −7 V to 12 V				±100	μA
I_{IH}	High-level input current	V_I = 2.7 V				20	μA
I_{IL}	Low-level input current	V_I = 0.5 V				−360	μA
I_{OS}	Short-circuit output current	V_O = −7 V				−180	mA
		V_O = V_{CC}				100	
		V_O = 12 V				600	
I_{CC}	Supply current (all drivers)	No load	Outputs enabled		30	60	mA
			Outputs disabled		18	40	

‡All typical values are at V_{CC} = 5 V and T_A = 25°C.
§$\Delta\lvert V_{OD}\rvert$ and $\Delta\lvert V_{OC}\rvert$ are the changes in magnitude of V_{OD} and V_{OC}, respectively, that occur when the input is changed from a high level to a low level.
¶In EIA Standard RS-422A, V_{OC}, which is the average of the two output voltages with respect to ground, is called output offset voltage, V_{OS}.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

switching characteristics, V_{CC} = 5 V, T_A = 25°C

PARAMETER		TEST CONDITIONS		MIN	TYP	MAX	UNIT
t_{DD}	Differential-output delay time	R_L = 60 Ω,	See Figure 2		35	60	ns
t_{TD}	Differential-output transition time				60	75	ns
t_{PLH}	Propagation delay time, low-to-high-level output	R_L = 27 Ω,	See Figure 3		16	25	ns
t_{PHL}	Propagation delay time, high-to-low-level output				44	65	ns
t_{PZH}	Output enable time to high level	R_L = 110 Ω,	See Figure 4		60	80	ns
t_{PZL}	Output enable time to low level	R_L = 110 Ω,	See Figure 5		30	45	ns
t_{PHZ}	Output disable time from high level	R_L = 110 Ω,	See Figure 4		61	75	ns
t_{PLZ}	Output disable time from low level	R_L = 110 Ω,	See Figure 5		18	30	ns

PARAMETER MEASUREMENT INFORMATION

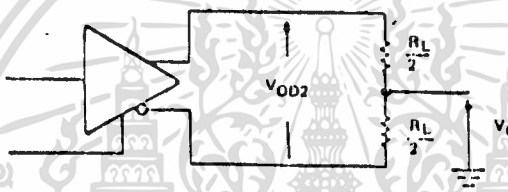
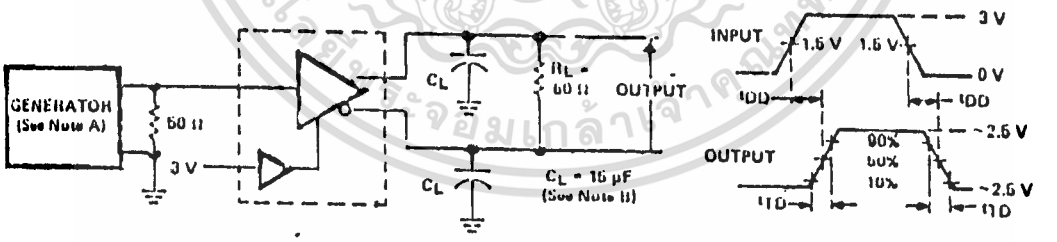


FIGURE 1–DIFFERENTIAL AND COMMON-MODE OUTPUT VOLTAGES



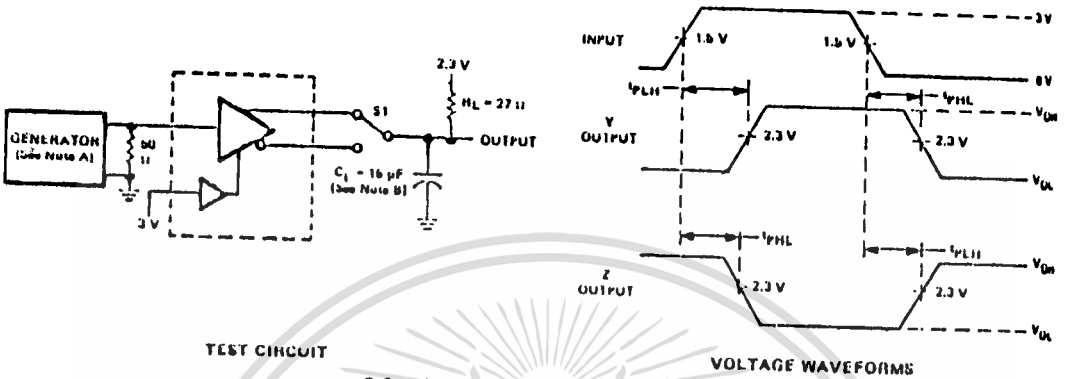
TEST CIRCUIT VOLTAGE WAVEFORMS

NOTES: A. The input pulse is supplied by a generator having the following characteristics: $t_r \leq 5$ ns, $t_f \leq 5$ ns, PRR = 1 MHz, duty cycle = 50%, Z_o = 50 Ω.
B. C_L includes probe and stray capacitance.
C. All diodes are 1N916 or 1N3064.

FIGURE 2–DIFFERENTIAL-OUTPUT DELAY AND TRANSITION TIMES

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

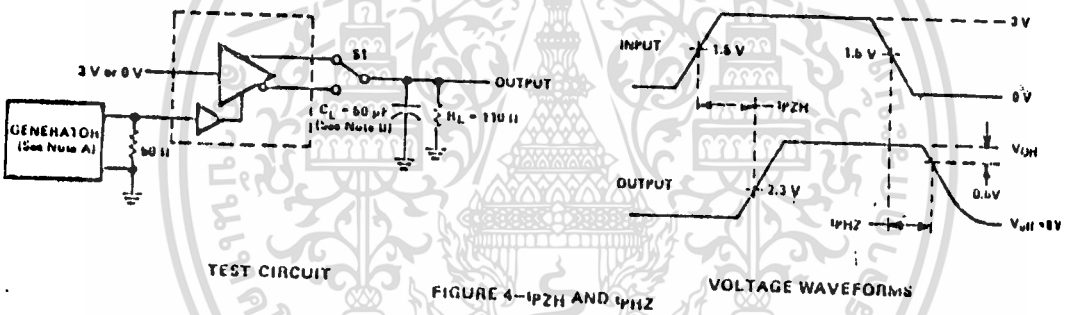
PARAMETER MEASUREMENT INFORMATION



TEST CIRCUIT

VOLTAGE WAVEFORMS

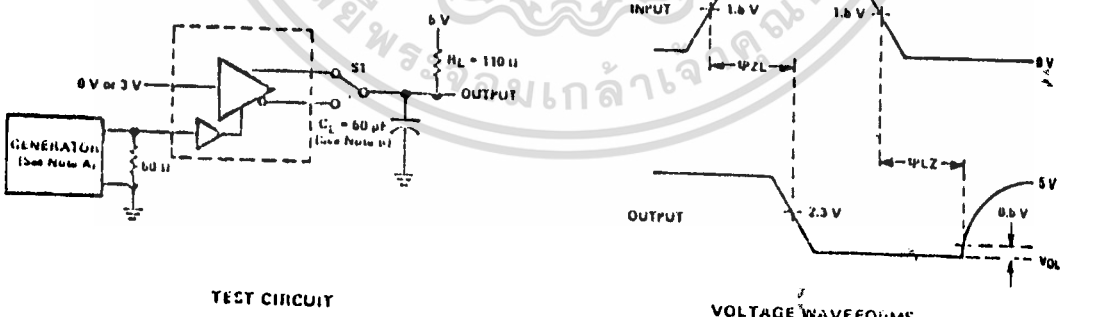
FIGURE 3—PROPAGATION DELAY TIMES



TEST CIRCUIT

VOLTAGE WAVEFORMS

FIGURE 4—t_{PZH} AND t_{PHZ}



TEST CIRCUIT

VOLTAGE WAVEFORMS

FIGURE 5—t_{PZL} AND t_{PLZ}

NOTES: A. The input pulse is supplied by a generator having the following characteristics: PRR = 1 MHz, duty cycle = 50%, $t_r \leq 5$ ns, $t_f \leq 5$ ns, $Z_o \approx 50\ \Omega$.
B. C_L includes probe and stray capacitance.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPICAL CHARACTERISTICS

HIGH-LEVEL OUTPUT VOLTAGE vs HIGH-LEVEL OUTPUT CURRENT

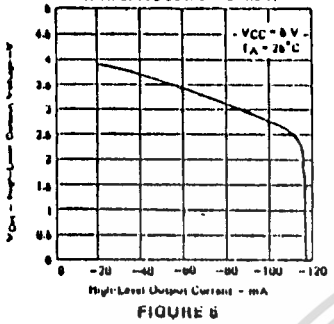


FIGURE 6

LOW-LEVEL OUTPUT VOLTAGE vs LOW-LEVEL OUTPUT CURRENT

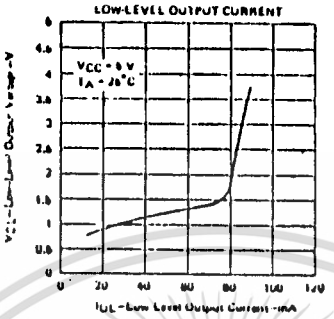


FIGURE 7

DIFFERENTIAL OUTPUT VOLTAGE vs OUTPUT CURRENT

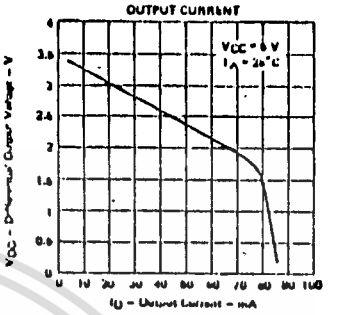


FIGURE 8

OUTPUT CURRENT vs OUTPUT VOLTAGE

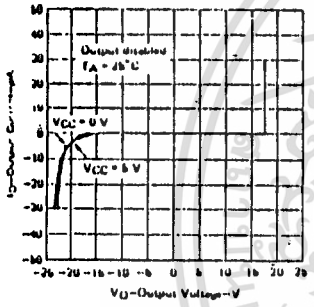


FIGURE 9

SUPPLY CURRENT vs SUPPLY VOLTAGE

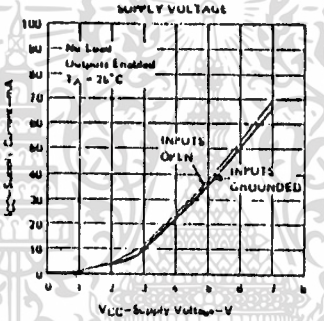


FIGURE 10

SUPPLY CURRENT vs SUPPLY VOLTAGE

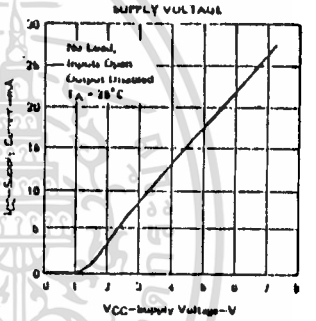
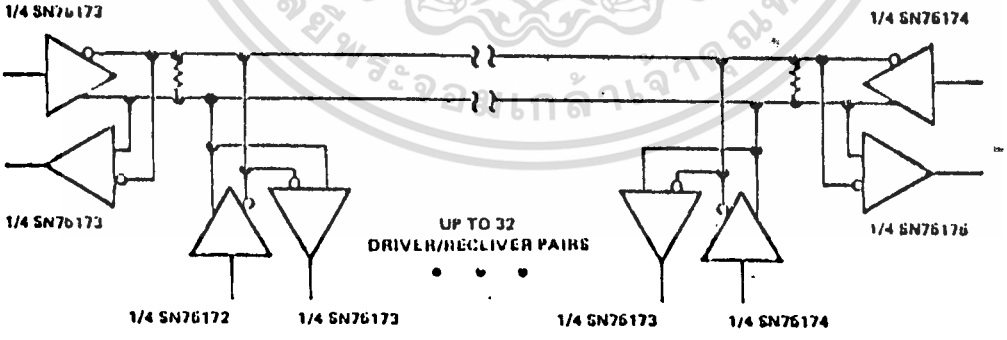


FIGURE 11

TYPICAL APPLICATION



NOTE: The line length should be terminated at both ends in its characteristic impedance. Stub lengths off the main line should be kept as short as possible.

FIGURE 12

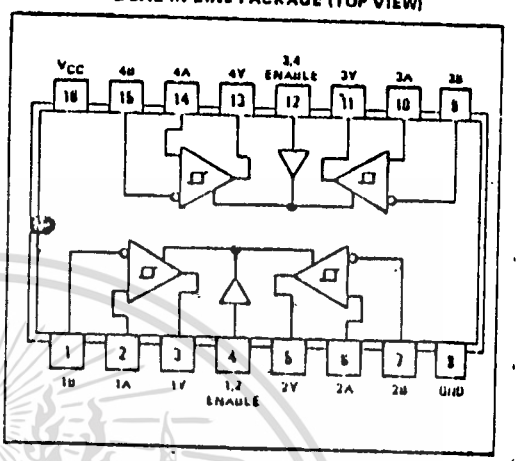
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPE SN75175
QUADRUPLE DIFFERENTIAL LINE RECEIVER

BULLETIN NO. DL-S 12772, OCTOBER 1980

- Meets EIA Standards RS-422A and RS-423A
- Meets CCITT Recommendations V.10, V.11, X.26, and X.27
- Meets EIA Subcommittee TR30.1 Draft Standard PN1360 (as of April 1980)
- Designed for Multipoint Bus Transmission on Long Bus Lines in Noisy Environments
- 3-State Outputs
- Common-Mode Input Voltage Range . . . −12 V to 12 V
- Input Sensitivity . . . ±200 mV
- Input Hysteresis . . . 50 mV Typ
- High Input Impedance . . . 12 kΩ Min
- Operates from Single 5-Volt Supply
- Low Power Requirements
- Plug-In Replacement for MC3486

J OR N
DUAL-IN-LINE PACKAGE (TOP VIEW)



description

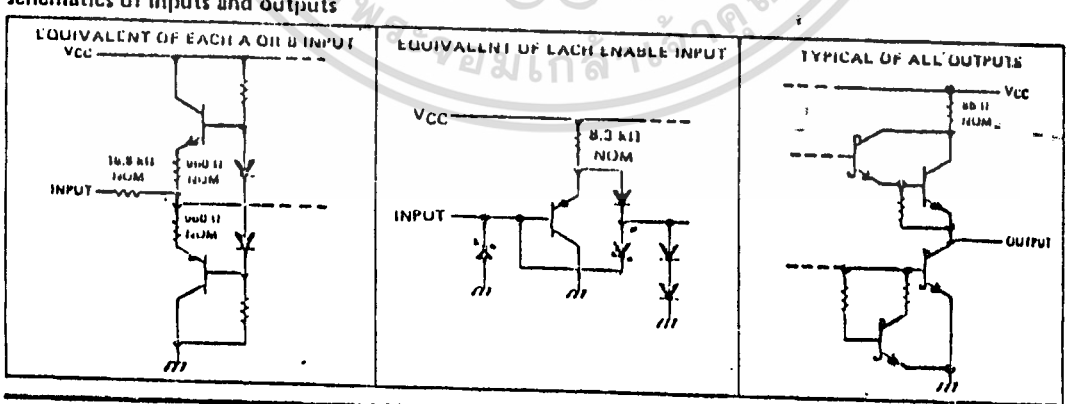
The SN75175 is a monolithic quadrupled differential line receiver with three-state outputs. It is designed to meet the requirements of EIA Standards RS-422A and RS-423A and several CCITT recommendations. The device is optimized for balanced multipoint bus transmission at rates up to 10 megabits per second. Each receiver features two active-high enables, each common to two receivers. It also features high input impedance, input hysteresis for increased noise immunity, and input sensitivity of ±200 millivolts over a common-mode input voltage range of −12 volts to 12 volts. The SN75175 is designed for optimum performance when used with the SN75172 or SN75174 quadruple differential line drivers.

FUNCTION TABLE (EACH RECEIVER)

DIFFERENTIAL INPUTS A − B	ENABLE	OUTPUT Y
$V_{ID} \geq 0.2$ V	H	H
-0.2 V $< V_{ID} <$ 0.2 V	H	?
$V_{ID} \leq -0.2$ V	H	L
X	L	Z

H = high level, L = low level, ? = indeterminate,
X = irrelevant, Z = high impedance (off)

schematics of inputs and outputs



Copyright © 1980 by Texas Instruments Incorporated

TEXAS INSTRUMENTS
INCORPORATED
POST OFFICE BOX 225012 • DALLAS, TEXAS 75265

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

absolute maximum ratings over operating free-air temperature range (unless otherwise noted)

Supply voltage, V_{CC} (see Note 1)	7 V
Input voltage, A or B inputs	±25 V
Differential input voltage (see Note 2)	±25 V
Enable input voltage	7 V
Low-level output current	50 mA
Continuous total dissipation at (or below) 25°C free-air temperature (see Note 3): J Package	1025 mW
N Package	1150 mW
Operating free-air temperature range	0°C to 70°C
Storage temperature range	−65°C to 150°C
Lead temperature 1/16 inch (1,6 mm) from case for 60 seconds: J Package	300°C
Lead temperature 1/16 inch (1,6 mm) from case for 10 seconds: N Package	260°C

NOTES: 1. All voltage values, except differential input voltage, are with respect to network ground terminal.
2. Differential input voltage is measured at the noninverting input with respect to the corresponding inverting input.
3. For operation above 25°C free-air temperature, derate the J package to 656 mW at 70°C at a rate of 8.2 mW/°C and the N package to 736 mW at 70°C at a rate of 9.2 mW/°C. In the J package, SN75175 chips are glass-mounted.

recommended operating conditions

	MIN	NOM	MAX	UNIT
Supply voltage, V_{CC}	4.75	5	5.25	V
Common-mode input voltage, V_{IC}			±12	V
Differential input voltage, V_{ID}			±12	V
High-level output current, I_{OH}			−400	μA
Low-level output current, I_{OL}			16	mA
Operating free-air temperature, T_A	0		70	°C

electrical characteristics over recommended ranges of common-mode input voltage, supply voltage, and operating free-air temperature (unless otherwise noted)

	PARAMETER	TEST CONDITIONS		MIN	TYP†	MAX	UNIT
V_{TH}	Differential-input high-threshold voltage	V_O = 2.7 V, I_O = −0.4 mA				0.2	V
V_{TL}	Differential-input low-threshold voltage	V_O = 0.5 V, I_O = 16 mA		−0.2‡			V
$V_{T+} - V_{T-}$	Hysteresis§				50		mV
V_{IH}	High-level enable input voltage			2			V
V_{IL}	Low-level enable input voltage					0.8	V
V_{IK}	Enable-input clamp voltage	I_I = −18 mA				−1.5	V
V_{OH}	High-level output voltage	V_{ID} = 200 mV, I_{OH} = −400 μA, See Figure 1		2.7			V
V_{OL}	Low-level output voltage	V_{ID} = −200 mV, See Figure 1	I_{OL} = 8 mA			0.45	V
			I_{OL} = 16 mA			0.6	
I_{OZ}	High-impedance-state output current	V_O = 0.4 V to 2.4 V				±20	μA
I_I	Line input current	Other input at 0 V, See Note 4	V_I = 12 V			1	mA
			V_I = −7 V			−0.8	
I_{IH}	High-level enable-input current	V_{IH} = 2.7 V				20	μA
I_{IL}	Low-level enable-input current	V_{IL} = 0.4 V				−100	μA
r_I	Input resistance			12			kΩ
I_{OS}	Short-circuit output current¶			−15		−85	mA
I_{CC}	Supply current	Outputs disabled				70	mA

†All typical values are at V_{CC} = 5 V, T_A = 25°C
‡The algebraic convention, where the less positive (more-negative) limit is designated as minimum, is used in this data sheet for threshold voltage only.
§Hysteresis is the difference between the positive-going input threshold voltage, V_{T+}, and the negative-going input threshold voltage, V_{T-}. See Figure 4.
¶Not more than one output should be shorted at a time and the duration of the short-circuit should not exceed one second.
NOTE 4: Refer to EIA-standards RS-422-A and RS-423-A for exact conditions.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

switching characteristics, V_{CC} = 5 V, T_A = 25°C

PARAMETER		TEST CONDITIONS		MIN	TYP	MAX	UNIT
t_{PLH}	Propagation delay time, low-to-high-level output	C_L = 15 pF,	See Figure 2		22	35	ns
t_{PHL}	Propagation delay time, high-to-low-level output				25	35	ns
t_{PZH}	Output enable time to high level	C_L = 15 pF,	See Figure 3		13	30	ns
t_{PZL}	Output enable time to low level				19	30	ns
t_{PHZ}	Output disable time from high level	C_L = 5 pF,	See Figure 3		25	35	ns
t_{PLZ}	Output disable time from low level				25	35	ns

PARAMETER MEASUREMENT INFORMATION

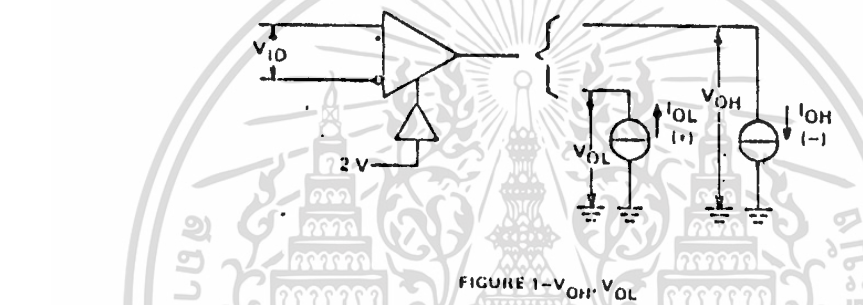


FIGURE 1–V_{OH}, V_{OL}

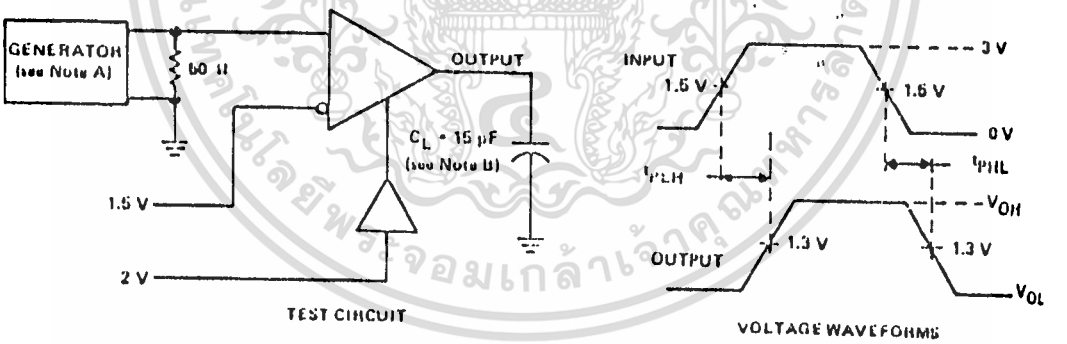


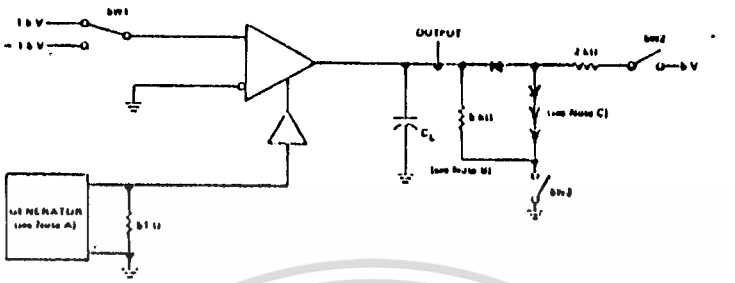
FIGURE 2–PROPAGATION DELAY TIMES

NOTES: A. The input pulse is supplied by a generator having the following characteristics: PRR = 1 MHz, duty cycle = 50%, t_r = t_f = 6 ns, Z_{out} = 50 Ω.
B. C_L includes probe and stray capacitance.

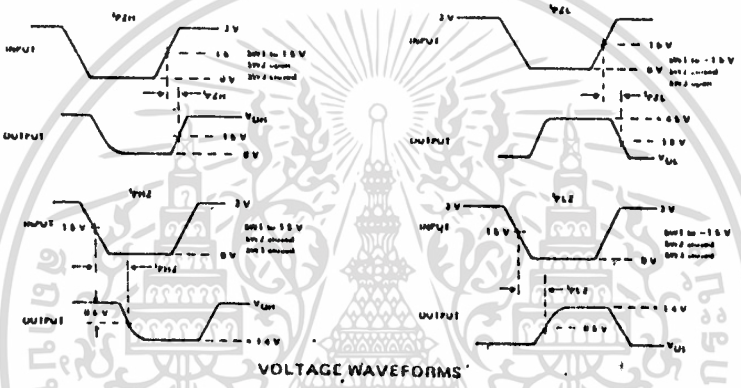
TEXAS INSTRUMENTS
INCORPORATED
POST OFFICE BOX 225012 • DALLAS, TEXAS 75265

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PARAMETER MEASUREMENT INFORMATION



TEST CIRCUIT



VOLTAGE WAVEFORMS

FIGURE 3–ENABLE AND DISABLE TIMES

NOTES: A. The input pulse is supplied by a generator having the following characteristics: PRR = 1 MHz, duty cycle = 50%, t_r = t_f = 6 ns, Z_{out} = 50 Ω.

B. C_L includes probe and stray capacitance.

C. All diodes are 1N916 or equivalent.

TYPICAL CHARACTERISTICS

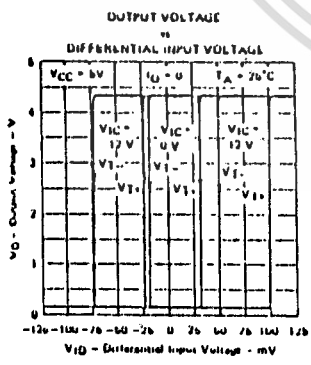


FIGURE 4

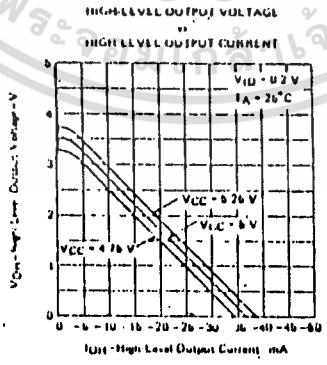


FIGURE 5

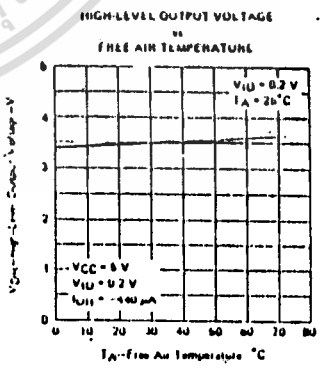


FIGURE 6

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPICAL CHARACTERISTICS

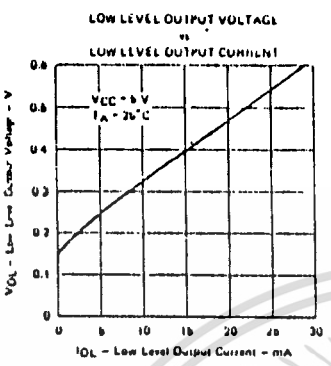


FIGURE 7

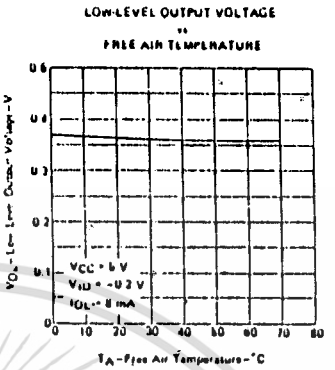


FIGURE 8

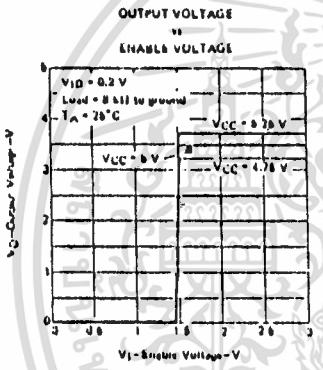


FIGURE 9

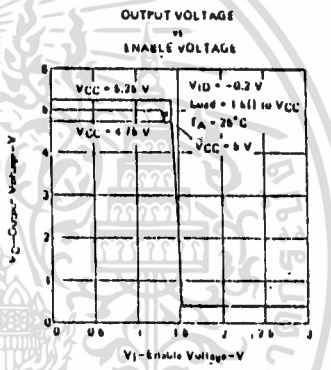


FIGURE 10

TYPICAL APPLICATION

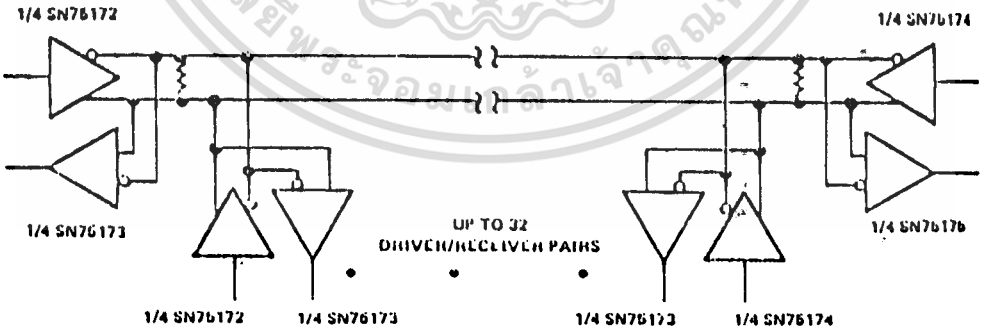


FIGURE 11

NOTE: The line should be terminated at both ends in its characteristic impedance. Stub lengths off the main line should be kept as short as possible.

TEXAS INSTRUMENTS
INCORPORATED
POST OFFICE BOX 225012 • DALLAS, TEXAS 75265

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

intel

PRELIMINARY

8031/8051/8751
SINGLE-COMPONENT 8-BIT MICROCOMPUTER

- 8031 - Control Oriented CPU With RAM and I/O
- 8051 - An 8031 With Factory Mask-Programmable ROM
- 8751 - An 8031 With User Programmable/Erasable EPROM

- 4K x 8 ROM/EPROM
- 128 x 8 RAM
- Four 8-Bit Ports, 32 I/O Lines
- Two 16-Bit Timer/Event Counters
- High-Performance Full-Duplex Serial Channel
- External Memory Expandable to 128K
- Compatible with MCS-80© /MCS-85© Peripherals
- Boolean Processor
- MCS-48© Architecture Enhanced with:
  - Non-Paged Jumps
  - Direct Addressing
  - Four 8-Register Banks
  - Stack Depth Up to 128-Bytes
  - Multiply, Divide, Subtract, Compare
- Most Instructions Execute in 1μs
- 4μs Multiply and Divide

The Intel© 8031/8051/8751 is a stand-alone, high-performance single-chip computer fabricated with Intel's highly-reliable +5 Volt, depletion-load, N-Channel, silicon-gate HMOS technology and packaged in a 40-pin DIP. It provides the hardware features, architectural enhancements and new instructions that are necessary to make it a powerful and cost effective controller for applications requiring up to 64K bytes of program memory and/or up to 64K bytes of data storage.

The 8051/8751 contains a non-volatile 4K x 8 read-only program memory; a volatile 128 x 8 read/write data memory; 32 I/O lines; two 16-bit timer/counters, a five-source, two-priority-level, nested interrupt structure; a serial I/O port for either multi-processor communications, I/O expansion, or full duplex UART; and on-chip oscillator and clock circuits. The 8031 is identical, except that it lacks the program memory. For systems that require extra capability, the 8051 can be expanded using standard TTL compatible memories and the byte oriented MCS-80 and MCS-85 peripherals.

The 8051 microcomputer, like its 8048 predecessor, is efficient both as a controller and as an arithmetic processor. The 8051 has extensive facilities for binary and BCD arithmetic and excels in bit-handling capabilities. Efficient use of program memory results from an instruction set consisting of 44% one-byte, 41% two-byte, and 15% three-byte instructions. With a 12 MHz crystal, 58% of the instructions execute in 1μs, 40% in 2μs and multiply and divide require only 4μs. Among the many instructions added to the standard 8048 instruction set are multiply, divide, subtract and compare.

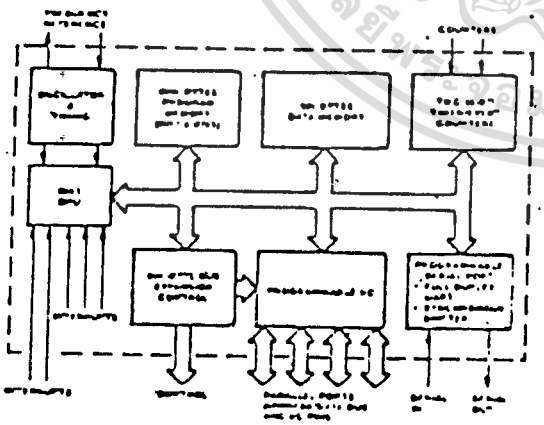


Figure 1.
Block Diagram

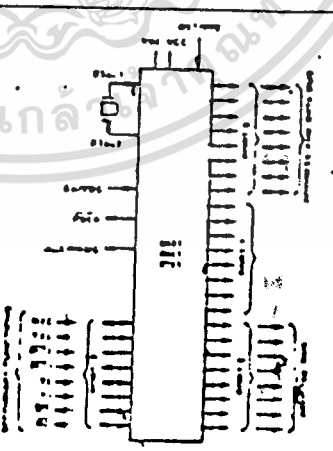


Figure 2.
Logic Symbol

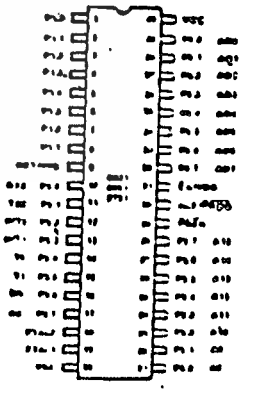


Figure 3 Pin Configuration

Intel Corporation Assumes No Responsibility for the Use of any Circuitry Other Than Circuitry Embodied in an Intel Product. No Other Circuit Patent Licenses are Implied.
©INTEL CORPORATION 1980

AFN-01879B-01

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

8031 Family Pin Description

VSS
Circuit ground potential.

VCC
+5V power supply during operation, programming and verification.

PORT 0

Port 0 is an 8-bit open drain bidirectional I/O port. It is also the multiplexed low-order address and data bus when using external memory. It is used for data input and output during programming and verification. Port 0 can sink/source two TTL loads

PORT 1

Port 1 is an 8-bit quasi-bidirectional I/O port. It is used for the low-order address byte during programming and verification. Port 1 can sink/source one TTL load.

PORT 2

Port 2 is an 8-bit quasi-bidirectional I/O port. It also emits the high-order address byte when accessing external memory. It is used for the high-order address and the control signals during programming and verification. Port 2 can sink/source one TTL load.

PORT 3

Port 3 is an 8-bit quasi-bidirectional I/O port. It also contains the interrupt, timer, serial port and $\overline{RD}$ and $\overline{WR}$ pins that are used by various options. The output latch corresponding to a secondary function must be programmed to a one (1) for that function to operate. Port 3 can sink/source one TTL load. The secondary functions are assigned to the pins of Port 3, as follows:

- RXD/data (P3.0). Serial port's receiver data input (asynchronous) or data input/output (synchronous).
- TXD/clock (P3.1). Serial port's transmitter data output (asynchronous) or clock output (synchronous).
- $\overline{INT0}$ (P3.2). Interrupt 0 input or gate control input for counter 0.
- $\overline{INT1}$ (P3.3). Interrupt 1 input or gate control input for counter 1.
- T0 (P3.4). Input to counter 0.
- T1 (P3.5). Input to counter 1.
- $\overline{WR}$ (P3.6). The write control signal latches the data byte from Port 0 into the External Data Memory.
- $\overline{RD}$ (P3.7). The read control signal enables External Data Memory to Port 0.

RST/VPD

A low to high transition on this pin (at approximately 3V) resets the 3051. If VPD is held within its spec (approximately +5V), while VCC drops below spec, VPD will provide standby power to the RAM. When VPD is low, the RAM's current is drawn from VCC. A small internal resistor permits power-on reset using only a capacitor connected to VCC.

ALE/$\overline{PROG}$

Provides Address Latch Enable output used for latching the address into external memory during normal operation. Receives the program pulse input during EPROM programming.

$\overline{PSEN}$

The Program Store Enable output is a control signal that enables the external Program Memory to the bus during normal fetch operations.

$\overline{EA}$/VDD

When held at a TTL high level, the 8051 executes instructions from the internal ROM/EPROM when the PC is less than 4096. When held at a TTL low level, the 8051 fetches all instuctions from external Program Memory. The pin also receives the 21V EPROM programming supply voltage.

XTAL1

Input to the oscillator's high gain amplifier. A crystal or external source can be used.

XTAL2

Output from the oscillator's amplifier. Required when a crystal is used.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ABSOLUTE MAXIMUM RATINGS*

Ambient Temperature Under Bias ..... 0°C to 70°C
Storage Temperature..... -65°C to +150°C
Voltage on Any Pin With
Respect to Ground (V_{SS})..... -0.5V to +7V
Power Dissipation ..... 2 Watts

NOTICE: Stressed above those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress rating only and functional operation of the device at these or any other conditions above those indicated in the operational sections of this specification is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

D.C. CHARACTERISTICS (T_A = 0°C to 70°C; V_{CC} = 5V ± 5%; V_{SS} = 0V)

Symbol	Parameter	Min	Typ	Max	Units	Test Conditions
V_{IL}	Input Low Voltage (All except XTAL1)	-0.5		0.8	V	
V_{IL1}	Input Low Voltage (XTAL1)	-0.5		TBD	V	
V_{IH}	Input High Voltage (All Except XTAL1, RST/VPD)	2.0		V_{CC}-0.5	V	
V_{IH1}	Input High Voltage (XTAL1)	TBD		V_{CC}-0.5	V	
V_{IH2}	Input High Voltage (RST)	3.0		V_{CC} + 0.5	V	
V_{IH3}	Input High Voltage (V_{PD})	4.5		5.5	V	Power Down Only (V_{CC} = 0)
V_{OL}	Output Low Voltage (All Outputs Except Port 0)			0.45	V	I_{OL} = 2 mA
V_{OL1}	Output Low Voltage (Port 0)			0.45	V	I_{OL} = 4 mA
V_{OH}	Output High Voltage (All Outputs Except Port 0, ALE and $\overline{PSEN}$)	2.4			V	I_{OH} = -100 µA
V_{OH1}	Output High Voltage (ALE and $\overline{PSEN}$, Port 0 in External Bus Mode)	2.4			V	I_{OH} = -400 µA
I_{LO}	Pullup Resistor Current (P1, P2, P3)			500	µA	.45V ≤ V_{IN} ≤ V_{CC}
I_{LO1}	Output Leakage Current (P0)			±10	µA	.45V ≤ V_{IN} ≤ V_{CC}
I_{CC}	Power Supply Current (All Outputs Disconnected)			150	mA	T_A = 25°C
I_{PD}	Power Down Supply Current			20	mA	T_A = 25°C, V_{PD} = 5V, V_{CC} = 0V
C_{IO}	Capacitance Of I/O Buffer			10	pF	fc = 1MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

A.C. CHARACTERISTICS (T_A = 0°C to 70°C; V_{CC} = 5V ± 5%; V_{SS} = 0V; C_L for Port 0, ALE and $\overline{PSEN}$ Outputs = 150 pF; C_L for All Other Outputs = 80 pF)

Program Memory Characteristics

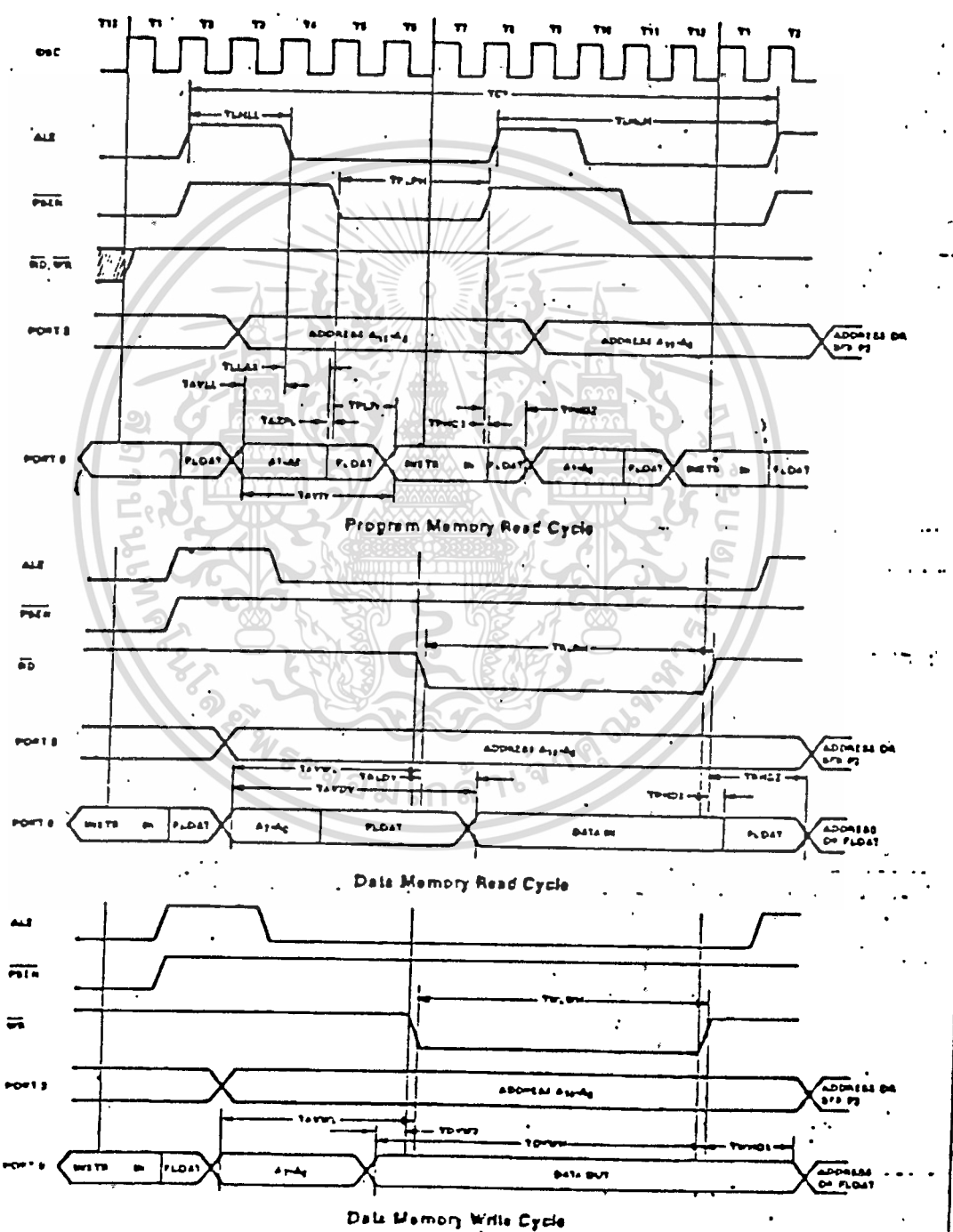
Symbol	Parameter	12 MHz Clock			Variable Clock 1/TCLCL = 1.2 MHz to 12 MHz		
		Min	Max	Units	Min	Max	Units
TCLCL	Oscillator Period	83		ns			ns
TCY	Min Instruction Cycle Time	1.0		µs	12TCLCL	12TCLCL	ns
TLHLL	ALE Pulse Width	140		ns	2TCLCL-30		ns
TAVLL	Address Set Up To ALE	60		ns	TCLCL-25		ns
TLLAX	Address Hold After ALE	50		ns	TCLCL-35		ns
TPLPH	$\overline{PSEN}$ Width	230		ns	3TCLCL-20		ns
TLHLH	$\overline{PSEN}$, ALE Cycle Time	500		ns	6TCLCL		ns
TPLIV	$\overline{PSEN}$ To Valid Instruction In		150	ns		3TCLCL-100	ns
TPHDX	Input Data Hold After $\overline{PSEN}$	0		ns	0		ns
TPHDZ	Input Data Float After $\overline{PSEN}$		75	ns		TCLCL-10	ns
TAVIV	Address To Valid Instr In		320	ns >		5TCLCL-100	ns
TAZPL	Address Float To $\overline{PSEN}$	0		ns	0		ns

External Data Memory Characteristics

Symbol	Parameter	12 MHz Clock			Variable Clock		
		Min	Max	Units	Min	Max	Units
TRLRH	$\overline{RD}$ Pulse Width	400		ns	6TCLCL-100		ns
TWLWH	$\overline{WR}$ Pulse Width	400		ns	6TCLCL-100		ns
TRLDV	$\overline{RD}$ To Valid Data In		250	ns		5TCLCL-170	ns
TRHDX	Data Hold After $\overline{RD}$	0		ns	0		ns
TRHDZ	Data Float After $\overline{RD}$		100	ns		2TCLCL-70	ns
TAVDV	Address To Valid Data In		600	ns		9TCLCL-150	ns
TAVWL	Address To $\overline{WR}$ or $\overline{RD}$	200		ns	4TCLCL-130		ns
TDVWX	Data Valid To $\overline{WR}$ Transition			ns			ns
TQVWH	Data Setup Before $\overline{WR}$	400		ns	7TCLCL-180		ns
TWHQX	Data Hold After $\overline{WR}$	80		ns	2TCLCL-90		ns

NOTE:
There are 2 to 8 ALE cycles per instruction. Clocks and state timing are shown on the timing diagram for reference purposes only. They are not accessible outside the package. TCY is the minimum instruction cycle time which consists of 12 oscillator clocks or two ALE cycles. Address setup and hold time from ALE are the same for data and program memory.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



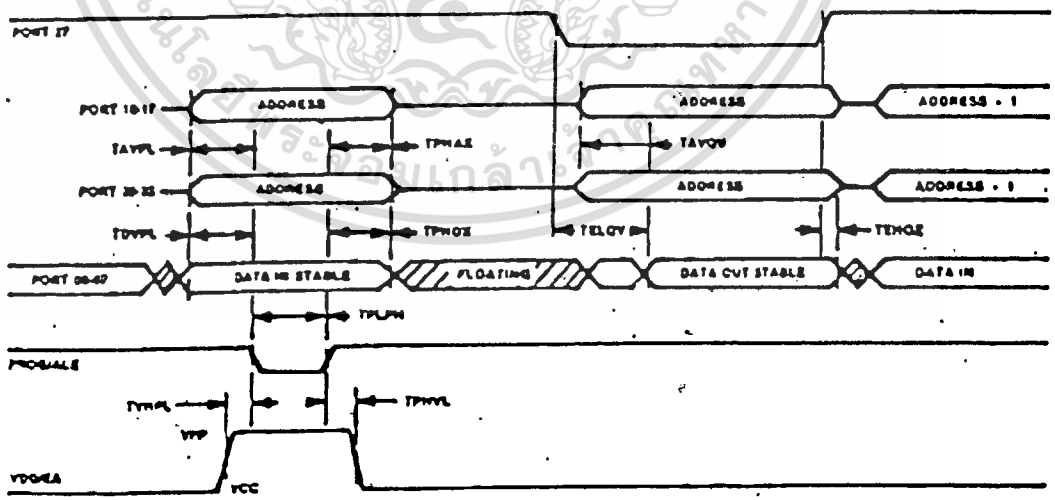
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

PROGRAM VERIFY

Symbol	Parameter	12 MHz Clock		Variable Clock	
		Min.	Max.	Min.	Max.
TDVPL	Data Setup to PROG	10µs		3 TCY + 10µs	
TPHDX	Data Hold from PROG	10µs		3 TCY + 10µs	
TAVQV	Address to Data Valid		10µs		3 TCY + 10µs
TELQV	Output Enable (P27) to Data Valid		10µs		3 TCY + 10µs
TEHQZ	Output Enable Off to Data Float	0	10µs	0	3 TCY + 10µs
TVHPL	VDD Setup to PROG	10µs		10µs	
TPHVL	VDD Hold after PROG	10µs		10µs	
TPLPH	PROG Width	49ms	51ms	49ms	51ms

Input and Output Waveforms for A.C. Tests

PROGRAM VERIFY



NOTES: 1) PSEN = VIL, VPD/RST = VIH1
2) MSB of address is Port 23, LSB is Port 0
3) All levels are VIL, VIH, VOL, VOH except VDD/EA.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

Serial Port Timing — Shift Register Mode
Conditions: T_A = -40°C to 85°C; V_{CC} = 5V ± 10%; V_{SS} = 0V; C_L = 80pF

Symbol	Parameter	12 MHz Clock		Variable Clock	
		Min	Max	Min	Max
TCLCL	Serial Port Clock Cycle Time	1.0 µs		TCY	
TQVCH	Output Data Setup to Clock Rising Edge	750 ns		5TCY/6-80 ns	
TCHQX	Output Data Hold After Clock Rising Edge	80 ns		TCY/6-80 ns	
TCHDV	Clock Rising Edge to Input Data Valid		750 ns		5TCY/6-80 ns
TCHDX	Input Data Hold After Clock Rising Edge	0		0	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Z80-CPU
Absolute Maximum Ratings

Temperature Under Bias	Specified operating range.
Storage Temperature	-65°C to +150°C
Voltage On Any Pin with Respect to Ground	-0.3V to +7V
Power Dissipation	1.5W

*Comment

Stresses above those listed under "Absolute Maximum Rating" may cause permanent damage to the device. This is a stress rating only and functional operation of the device at these or any other condition above those indicated in the operational sections of this specification is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

Note: For Z80-CPU all AC and DC characteristics remain the same for the military grade parts except I_{CC}.

I_{CC} = 200 mA

Z80-CPU D.C. Characteristics

T_A = 0°C to 70°C, V_{CC} = 5V ± 5% unless otherwise specified

Symbol	Parameter	Min.	Typ	Max.	Unit	Test Condition
V_{ILC}	Clock Input Low Voltage	-0.3		0.45	V	
V_{IHC}	Clock Input High Voltage	V_{CC} -.6		V_{CC}+.3	V	
V_{IL}	Input Low Voltage	-0.3		0.8	V	
V_{IH}	Input High Voltage	2.0		V_{CC}	V	
V_{OL}	Output Low Voltage			0.4	V	I_{OL} = 2.0mA
V_{OH}	Output High Voltage	2.4			V	I_{OH} = -250μA
I_{CC}	Power Supply Current			150	mA	
I_{LI}	Input Leakage Current			10	μA	V_{IN}=0 to V_{CC}
I_{LOH}	Tri-State Output Leakage Current in Float			10	μA	V_{OUT}=2.4 to V_{CC}
I_{LOL}	Tri-State Output Leakage Current in Float			-10	μA	V_{OUT}=0.4V
I_{LD}	Data Bus Leakage Current in Input Mode			±10	μA	$0 \leq V_{IN} \leq V_{CC}$

Capacitance

T_A = 25°C, f = 1 MHz,
unmeasured pins returned to ground

Symbol	Parameter	Max.	Unit
C_ϕ	Clock Capacitance	35	pF
C_{IN}	Input Capacitance	5	pF
C_{OUT}	Output Capacitance	10	pF

Z80-CPU
Ordering Information

C – Ceramic
P – Plastic
S – Standard 5V ±5% 0° to 70°C
E – Extended 5V ±5% -40° to 85°C
M – Military 5V ±10% -55° to 125°C

Z80A-CPU D.C. Characteristics

T_A = 0°C to 70°C, V_{CC} = 5V ± 5% unless otherwise specified

Symbol	Parameter	Min	Typ	Max.	Unit	Test Condition
V_{ILC}	Clock Input Low Voltage	-0.3		0.45	V	
V_{IHC}	Clock Input High Voltage	V_{CC} -.6		V_{CC}+.3	V	
V_{IL}	Input Low Voltage	-0.3		0.8	V	
V_{IH}	Input High Voltage	2.0		V_{CC}	V	
V_{OL}	Output Low Voltage			0.4	V	I_{OL} = 1.8mA
V_{OH}	Output High Voltage	2.4			V	I_{OH} = -250μA
I_{CC}	Power Supply Current			200	mA	
I_{LI}	Input Leakage Current			10	μA	V_{IN}=0 to V_{CC}
I_{LOH}	Tri-State Output Leakage Current in Float			10	μA	V_{OUT}=2.4 to V_{CC}
I_{LOL}	Tri-State Output Leakage Current in Float			-10	μA	V_{OUT}=0.4V
I_{LD}	Data Bus Leakage Current in Input Mode			±10	μA	$0 \leq V_{IN} \leq V_{CC}$

Capacitance

T_A = 25°C, f = 1 MHz,
unmeasured pins returned to ground

Symbol	Parameter	Max	Unit
C_ϕ	Clock Capacitance	35	pF
C_{IN}	Input Capacitance	5	pF
C_{OUT}	Output Capacitance	10	pF

Z80A-CPU
Ordering Information

C – Ceramic
P – Plastic
S – Standard 5V ±5% 0° to 70°C

We reprint data sheets on pages 7-D2 through 7-D13 by permission of Zilog, Incorporated.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

A.C. Characteristics

T_A = 0°C to 70°C, Vcc = +5V ± 5%, Unless Otherwise Noted.

Signal	Symbol	Parameter	Min	Max	Unit	Test Condition
Φ	t_c	Clock Period	4	11.1	μsec	
	$t_{w(\Phi H)}$	Clock Pulse Width, Clock High	180	1	μsec	
	$t_{w(\Phi L)}$	Clock Pulse Width, Clock Low	180	2000	nsec	
	t_r, t_f	Clock Rise and Fall Time		30	nsec	
A_{0-15}	$t_{d(A)}$	Address Output Delay		145	nsec	C_L = 50pF
	$t_{f(A)}$	Delay to Float		110	nsec	
	t_{acm}	Address Stable Prior to $\overline{MREQ}$ (Memory Cycle)	[1]		nsec	
	t_{aci}	Address Stable Prior to $\overline{IORQ}$, $\overline{RD}$ or $\overline{WR}$ (I/O Cycle)	[2]		nsec	
	t_{ca}	Address Stable from $\overline{RD}$, $\overline{WR}$, $\overline{IORQ}$ or $\overline{MREQ}$	[3]		nsec	
	t_{af}	Address Stable From $\overline{RD}$ or $\overline{WR}$ During Float	[4]		nsec	
D_{0-7}	$t_{d(D)}$	Data Output Delay		230	nsec	C_L = 50pf
	$t_{f(D)}$	Delay to Float During Write Cycle		90	nsec	
	$t_{s(D)}$	Data Setup Time to Rising Edge of Clock During M1 Cycle	50		nsec	
	$t_{s(D)}$	Data Setup Time to Falling Edge of Clock During M2 to M5	60		nsec	
	t_{dcm}	Data Stable Prior to $\overline{WR}$ (Memory Cycle)	[5]		nsec	
	t_{dci}	Data Stable Prior to $\overline{WR}$ (I/O Cycle)	[6]		nsec	
	t_{cdf}	Data Stable From $\overline{WR}$	[7]		nsec	
	t_H	Any Hold Time for Setup Time	0		nsec	
$\overline{MREQ}$	$t_{d(MR)}$	$\overline{MREQ}$ Delay From Falling Edge of Clock, $\overline{MREQ}$ Low		100	nsec	C_L = 50pf
	$t_{d(MR)}$	$\overline{MREQ}$ Delay From Rising Edge of Clock, $\overline{MREQ}$ High		100	nsec	
	$t_{d(MR)}$	$\overline{MREQ}$ Delay From Falling Edge of Clock, $\overline{MREQ}$ High		100	nsec	
	$t_{w(MRL)}$	Pulse Width, $\overline{MREQ}$ Low	[8]		nsec	
	$t_{w(MRH)}$	Pulse Width, $\overline{MREQ}$ High	[9]		nsec	
$\overline{IORQ}$	$t_{d(IR)}$	$\overline{IORQ}$ Delay From Rising Edge of Clock, $\overline{IORQ}$ Low		90	nsec	C_L = 50pF
	$t_{d(IR)}$	$\overline{IORQ}$ Delay From Falling Edge of Clock, $\overline{IORQ}$ Low		110	nsec	
	$t_{d(IR)}$	$\overline{IORQ}$ Delay From Rising Edge of Clock, $\overline{IORQ}$ High		100	nsec	
	$t_{d(IR)}$	$\overline{IORQ}$ Delay From Falling Edge of Clock, $\overline{IORQ}$ High		110	nsec	
$\overline{RD}$	$t_{d(RD)}$	[illegible]		[illegible]	nsec	C_L = 50pF
	$t_{d(RD)}$	$\overline{RD}$ Delay From Falling Edge of Clock, $\overline{RD}$ Low		130	nsec	
	$t_{d(RD)}$	$\overline{RD}$ Delay From Rising Edge of Clock, $\overline{RD}$ High		100	nsec	
	$t_{d(RD)}$	$\overline{RD}$ Delay From Falling Edge of Clock, $\overline{RD}$ High		110	nsec	
$\overline{WR}$	$t_{d(WR)}$	$\overline{WR}$ Delay From Rising Edge of Clock, $\overline{WR}$ Low		80	nsec	C_L = 50pF
	$t_{d(WR)}$	$\overline{WR}$ Delay From Falling Edge of Clock, $\overline{WR}$ Low		90	nsec	
	$t_{d(WR)}$	$\overline{WR}$ Delay From Falling Edge of Clock, $\overline{WR}$ High		100	nsec	
	$t_{w(WRL)}$	Pulse Width, $\overline{WR}$ Low	[10]		nsec	
$\overline{M1}$	$t_{d(M1)}$	$\overline{M1}$ Delay From Rising Edge of Clock, $\overline{M1}$ Low		130	nsec	C_L = 50pF
	$t_{d(M1)}$	$\overline{M1}$ Delay From Rising Edge of Clock, $\overline{M1}$ High		130	nsec	
$\overline{RFSH}$	$t_{d(RF)}$	$\overline{RFSH}$ Delay From Rising Edge of Clock, $\overline{RFSH}$ Low		180	nsec	C_L = 50pF
	$t_{d(RF)}$	$\overline{RFSH}$ Delay From Rising Edge of Clock, $\overline{RFSH}$ High		150	nsec	
$\overline{WAIT}$	$t_s(WT)$	$\overline{WAIT}$ Setup Time to Falling Edge of Clock	70		nsec	
$\overline{HALT}$	$t_{d(HT)}$	$\overline{HALT}$ Delay Time From Falling Edge of Clock		300	nsec	C_L = 50pf
$\overline{INT}$	$t_s(IT)$	$\overline{INT}$ Setup Time to Rising Edge of Clock	80		nsec	
$\overline{NMI}$	$t_{w(NML)}$	Pulse Width, $\overline{NMI}$ Low	80		nsec	
$\overline{BUSRQ}$	$t_s(BQ)$	$\overline{BUSRQ}$ Setup Time to Rising Edge of Clock	80		nsec	
$\overline{BUSAK}$	$t_{d(BA)}$	$\overline{BUSAK}$ Delay From Rising Edge of Clock, $\overline{BUSAK}$ Low		120	nsec	C_L = 50pF
	$t_{d(BA)}$	$\overline{BUSAK}$ Delay From Falling Edge of Clock, $\overline{BUSAK}$ High		110	nsec	
$\overline{RESET}$	$t_s(RS)$	$\overline{RESET}$ Setup Time to Rising Edge of Clock	90		nsec	
	$t_f(C)$	Delay to Float ($\overline{MREQ}$, $\overline{IORQ}$, $\overline{RD}$ and $\overline{WR}$)		100	nsec	
	t_{sr}	$\overline{M1}$ Stable Prior to $\overline{IORQ}$ (Interrupt Ack.)	[11]		nsec	

[12] $t_c = t_{w(\Phi H)} + t_{w(\Phi L)} + t_r + t_f$

[1] $t_{acm} = t_{w(\Phi H)} + t_f - 75$

[2] $t_{aci} = t_c - 80$

[3] $t_{ca} = t_{w(\Phi L)} + t_r - 40$

[4] $t_{af} = t_{w(\Phi L)} + t_r - 60$

[5] $t_{dcm} = t_c - 210$

[6] $t_{dci} = t_{w(\Phi L)} + t_f - 210$

[7] $t_{cdf} = t_{w(\Phi L)} + t_f - 80$

[8] $t_{w(MRL)} = t_c - 40$

[9] $t_{w(MRH)} = t_{w(\Phi H)} + t_f - 30$

[10] $t_{w(WRL)} = t_c - 40$

[11] $t_{sr} = 2t_c + t_{w(\Phi H)} + t_f - 80$

NOTES

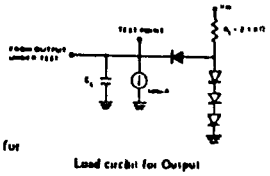
A. Data should be enabled onto the CPU data bus when $\overline{RD}$ is active. During interrupt acknowledge data should be enabled when $\overline{M1}$ and $\overline{IORQ}$ are both active.

B. All control signals are internally synchronized, so they may be totally asynchronous with respect to the clock.

C. The $\overline{RESET}$ signal must be active for a minimum of 3 clock cycles.

D. Output Delay vs. Loaded Capacitance
TA = 70°C Vcc = +5V ±5%
Add 10nsec delay for each 50pf increase in load up to a maximum of 200pf for the data bus & 100pf for address & control lines

E. Although static by design, testing guarantees $t_{w(\Phi H)}$ of 380 μsec maximum.



Load circuit for Output

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

Z80-CPU
A.C. Characteristics

T_A = 0°C to 70°C, Vcc = +5V ± 5%, Unless Otherwise Noted.

Signal	Symbol	Parameter	Min	Max	Unit	Test Condition	
Φ	t_c	Clock Period	4	[12]	μsec		[12] $t_c = t_{w(\Phi H)} + t_{w(\Phi L)} + t_r + t_f$
	$t_{w(\Phi H)}$	Clock Pulse Width, Clock High	180	[1]	nsec		
	$t_{w(\Phi L)}$	Clock Pulse Width, Clock Low	180	2000	nsec		
	t_r, t_f	Clock Rise and Fall Time		30	nsec		
A_{0-15}	$t_{D(AD)}$	Address Output Delay		145	nsec	C_L = 50pF	
	$t_{f(AD)}$	Delay to Float		110	nsec		
	t_{acm}	Address Stable Prior to MREQ (Memory Cycle)	[11]		nsec		[11] $t_{acm} = t_{w(\Phi H)} + t_f - 75$
	t_{aci}	Address Stable Prior to IORQ, RD or WR (I/O Cycle)	[2]		nsec		[2] $t_{aci} = t_c - 40$
	t_{ca}	Address Stable from RD, WR, IORQ or MREQ	[3]		nsec		
	t_{caf}	Address Stable From RD or WR During Float	[4]		nsec		
D_{0-7}	$t_{D(D)}$	Data Output Delay		230	nsec	C_L = 50pF	[3] $t_{cd} = t_{w(\Phi L)} + t_r - 40$
	$t_{f(D)}$	Delay to Float During Write Cycle		90	nsec		[4] $t_{cdf} = t_{w(\Phi L)} + t_r - 60$
	$t_{s\Phi(D)}$	Data Setup Time to Rising Edge of Clock During M1 Cycle	50		nsec		[5] $t_{dcm} = t_c - 210$
	$t_{s\overline{R}(D)}$	Data Setup Time to Falling Edge of Clock During M2 to M5	60		nsec		[6] $t_{dci} = t_{w(\Phi L)} + t_r - 210$
	t_{dcm}	Data Stable Prior to WR (Memory Cycle)	[5]		nsec		[7] $t_{cdf} = t_{w(\Phi L)} + t_r - 80$
	t_{dci}	Data Stable Prior to WR (I/O Cycle)	[6]		nsec		
	t_{cdf}	Data Stable From WR	[7]				
	t_H	Any Hold Time for Setup Time	0		nsec		
MREQ	$t_{D(MR)}$	MREQ Delay From Falling Edge of Clock, MREQ Low		100	nsec	C_L = 50pF	
	$t_{D(MR)}$	MREQ Delay From Rising Edge of Clock, MREQ High		100	nsec		
	$t_{D\overline{\Phi}(MR)}$	MREQ Delay From Falling Edge of Clock, MREQ High		100	nsec		
	$t_{w(MRL)}$	Pulse Width, MREQ Low	[8]		nsec		[8] $t_{w(MRL)} = t_c - 50$
	$t_{w(MRH)}$	Pulse Width, MREQ High	[9]		nsec		[9] $t_{w(MRH)} = t_{w(\Phi H)} + t_f - 30$
IORQ	$t_{DL\Phi(IR)}$	IORQ Delay From Rising Edge of Clock, IORQ Low		90	nsec	C_L = 50pF	
	$t_{DL\overline{\Phi}(IR)}$	IORQ Delay From Falling Edge of Clock, IORQ Low		110	nsec		
	$t_{DH\Phi(IR)}$	IORQ Delay From Rising Edge of Clock, IORQ High		100	nsec		
	$t_{DH\overline{\Phi}(IR)}$	IORQ Delay From Falling Edge of Clock, IORQ High		110	nsec		
RD	$t_{DL\Phi(RD)}$	RD Delay From Rising Edge of Clock, RD Low		100	nsec	C_L = 50pF	
	$t_{DL\overline{\Phi}(RD)}$	RD Delay From Falling Edge of Clock, RD Low		130	nsec		
	$t_{DH\Phi(RD)}$	RD Delay From Rising Edge of Clock, RD High		100	nsec		
	$t_{DH\overline{\Phi}(RD)}$	RD Delay From Falling Edge of Clock, RD High		110	nsec		
WR	$t_{DL\Phi(WR)}$	WR Delay From Rising Edge of Clock, WR Low		80	nsec	C_L = 50pF	
	$t_{DL\overline{\Phi}(WR)}$	WR Delay From Falling Edge of Clock, WR Low		90	nsec		
	$t_{DH\overline{\Phi}(WR)}$	WR Delay From Falling Edge of Clock, WR High		100	nsec		
	$t_{w(WRL)}$	Pulse Width, WR Low	[10]		nsec		[10] $t_{w(WRL)} = t_c - 40$
M1	$t_{DL(M1)}$	M1 Delay From Rising Edge of Clock, M1 Low		130	nsec	C_L = 50pF	
	$t_{DH(M1)}$	M1 Delay From Rising Edge of Clock, M1 High		130	nsec		
RFSH	$t_{DL(RF)}$	RFSH Delay From Rising Edge of Clock, RFSH Low		180	nsec	C_L = 50pF	
	$t_{DH(RF)}$	RFSH Delay From Rising Edge of Clock, RFSH High		150	nsec		
WAIT	$t_{s(WT)}$	WAIT Setup Time to Falling Edge of Clock	70		nsec		
HALT	$t_{D(HT)}$	HALT Delay Time From Falling Edge of Clock		300	nsec	C_L = 50pF	
INT	$t_{s(IT)}$	INT Setup Time to Rising Edge of Clock	80		nsec		
NMI	$t_{w(NML)}$	Pulse Width, NMI Low	80		nsec		
BUSRQ	$t_{s(BQ)}$	BUSRQ Setup Time to Rising Edge of Clock	80		nsec		
BUSAK	$t_{DL(BA)}$	BUSAK Delay From Rising Edge of Clock, BUSAK Low		120	nsec	C_L = 50pF	
	$t_{DH(BA)}$	BUSAK Delay From Falling Edge of Clock, BUSAK High		110	nsec		
RESET	$t_{s(RS)}$	RESET Setup Time to Rising Edge of Clock	90		nsec		
	$t_{f(C)}$	Delay to Float (MREQ, IORQ, RD and WR)		100	nsec		
	t_{mr}	M1 Stable Prior to IORQ (Interrupt Ack)	[11]		nsec		[11] $t_{mr} = 2t_c + t_{w(\Phi H)} + t_f - 80$

NOTES

A Data should be enabled onto the CPU data bus when RD is active. During interrupt acknowledge data should be enabled when M1 and IORQ are both active.

B All control signals are internally synchronized so they may be totally asynchronous with respect to the clock.

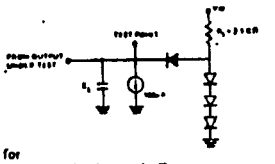
C The RESET signal must be active for a minimum of 3 clock cycles.

D Output Delay vs. Loaded Capacitance

TA = 70°C, Vcc = +5V ±5%

Add 10nsec delay for each 50pf increase in load up to a maximum of 200pf for the data bus & 100pf for address & control lines

E Although static by design, testing guarantees $t_{w(\Phi H)}$ of 200 μsec maximum.



Load circuit for Output

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

Z80A-CPU
A.C. Characteristics

T_A = 0°C to 70°C, Vcc = +5V ± 5%, Unless Otherwise Noted.

Signal	Symbol	Parameter	Min	Max	Unit	Test Condition
Φ	t_c	Clock Period	.25	[12]	μsec	
	$t_{w(\Phi H)}$	Clock Pulse Width, Clock High	110	[6]	nsec	
	$t_{w(\Phi L)}$	Clock Pulse Width, Clock Low	110	2000	nsec	
	$t_{r,f}$	Clock Rise and Fall Time		30	nsec	
A_{0-15}	$t_{D(AD)}$	Address Output Delay		110	nsec	C_L = 50pF
	$t_{F(AD)}$	Delay to Float		90	nsec	
	t_{acm}	Address Stable Prior to MREQ (Memory Cycle)	[1]		nsec	
	t_{aci}	Address Stable Prior to IORQ, RD or WR (I/O Cycle)	[2]		nsec	
	t_{ca}	Address Stable from RD, WR, IORQ or MREQ	[3]		nsec	
	t_{caf}	Address Stable From RD or WR During Float	[4]		nsec	
D_{0-7}	$t_{D(D)}$	Data Output Delay		150	nsec	C_L = 50pf
	$t_{F(D)}$	Delay to Float During Write Cycle		90	nsec	
	$t_{S\Phi(D)}$	Data Setup Time to Rising Edge of Clock During M1 Cycle	35		nsec	
	$t_{S\overline{\Phi}(D)}$	Data Setup Time to Falling Edge of Clock During M2 to M5	50		nsec	
	t_{dcm}	Data Stable Prior to WR (Memory Cycle)	[5]		nsec	
	t_{dci}	Data Stable Prior to WR (I/O Cycle)	[6]		nsec	
	t_{cdf}	Data Stable From WR	[7]		nsec	
	t_H	Any Hold Time for Setup Time		0	nsec	
MREQ	$t_{DL\Phi(MR)}$	MREQ Delay From Falling Edge of Clock, MREQ Low		85	nsec	C_L = 50pf
	$t_{DH\Phi(MR)}$	MREQ Delay From Rising Edge of Clock, MREQ High		85	nsec	
	$t_{DH\overline{\Phi}(MR)}$	MREQ Delay From Falling Edge of Clock, MREQ High		85	nsec	
	$t_{w(MRL)}$	Pulse Width, MREQ Low	[8]		nsec	
	$t_{w(MRH)}$	Pulse Width, MREQ High	[9]		nsec	
IORQ	$t_{DL\Phi(IR)}$	IORQ Delay From Rising Edge of Clock, IORQ Low		75	nsec	C_L = 50pF
	$t_{DL\overline{\Phi}(IR)}$	IORQ Delay From Falling Edge of Clock, IORQ Low		65	nsec	
	$t_{DH\Phi(IR)}$	IORQ Delay From Rising Edge of Clock, IORQ High		85	nsec	
	$t_{DH\overline{\Phi}(IR)}$	IORQ Delay From Falling Edge of Clock, IORQ High		85	nsec	
RD	$t_{DL\Phi(RD)}$	RD Delay From Rising Edge of Clock, RD Low		85	nsec	C_L = 50pf
	$t_{DL\overline{\Phi}(RD)}$	RD Delay From Falling Edge of Clock, RD Low		95	nsec	
	$t_{DH\Phi(RD)}$	RD Delay From Rising Edge of Clock, RD High		85	nsec	
	$t_{DH\overline{\Phi}(RD)}$	RD Delay From Falling Edge of Clock, RD High		85	nsec	
WR	$t_{DL\Phi(WR)}$	WR Delay From Rising Edge of Clock, WR Low		65	nsec	C_L = 50pF
	$t_{DL\overline{\Phi}(WR)}$	WR Delay From Falling Edge of Clock, WR Low		80	nsec	
	$t_{DH\overline{\Phi}(WR)}$	WR Delay From Falling Edge of Clock, WR High		80	nsec	
	$t_{w(WRL)}$	Pulse Width, WR Low	[10]		nsec	
M1	$t_{DL(M1)}$	M1 Delay From Rising Edge of Clock, M1 Low		100	nsec	C_L = 50pF
	$t_{DH(M1)}$	M1 Delay From Rising Edge of Clock, M1 High		100	nsec	
RFSH	$t_{DL(RF)}$	RFSH Delay From Rising Edge of Clock, RFSH Low		130	nsec	C_L = 50pf
	$t_{DH(RF)}$	RFSH Delay From Rising Edge of Clock, RFSH High		120	nsec	
WAIT	$t_{S(WT)}$	WAIT Setup Time to Falling Edge of Clock	70		nsec	
HALT	$t_{D(HT)}$	HALT Delay Time From Falling Edge of Clock		300	nsec	C_L = 50pf
INT	$t_{S(IT)}$	INT Setup Time to Rising Edge of Clock	80		nsec	
NMI	$t_{w(NML)}$	Pulse Width, NMI Low	80		nsec	
BUSRQ	$t_{S(BQ)}$	BUSRQ Setup Time to Rising Edge of Clock	50		nsec	
BUSAK	$t_{DL(BA)}$	BUSAK Delay From Rising Edge of Clock, BUSAK Low		100	nsec	C_L = 50pF
	$t_{DH(BA)}$	BUSAK Delay From Falling Edge of Clock, BUSAK High		100	nsec	
RESET	$t_{S(RS)}$	RESET Setup Time to Rising Edge of Clock	60		nsec	
	$t_{F(C)}$	Delay to Float (MREQ, IORQ, RD and WR)		80	nsec	
	t_{mr}	M1 Stable Prior to IORQ (Interrupt Ack.)	[11]		nsec	

[1] $t_{acm} = t_{w(\Phi H)} + t_f - 65$

[2] $t_{aci} = t_c - 70$

[3] $t_{ca} = t_{w(\Phi L)} + t_f - 50$

[4] $t_{caf} = t_{w(\Phi L)} + t_f - 45$

[5] $t_{dcm} = t_c - 170$

[6] $t_{dci} = t_{w(\Phi L)} + t_f - 170$

[7] $t_{cdf} = t_{w(\Phi L)} + t_f - 70$

[8] $t_{w(\overline{MRL})} = t_c - 30$

[9] $t_{w(\overline{MRH})} = t_{w(\Phi H)} + t_f - 20$

[10] $t_{w(\overline{WRL})} = t_c - 30$

[11] $t_{mr} = 2t_c + t_{w(\Phi H)} + t_f - 65$

NOTES

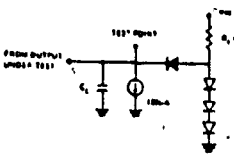
A Data should be enabled onto the CPU data bus when RD is active. During interrupt acknowledge data should be enabled when M1 and IORQ are both active.

B All control signals are internally synchronized, so they may be totally asynchronous with respect to the clock.

C The RESET signal must be active for a minimum of 3 clock cycles.

D Output Delay vs. Loaded Capacitance
TA = 70°C Vcc = +5V ± 5%
Add 10nsec delay for each 50pf increase in load up to maximum of 200pf for data bus and 100pf for address & control lines.

E Although static by design, testing guarantees $t_{w(\Phi H)}$ of 200 μsec maximum.



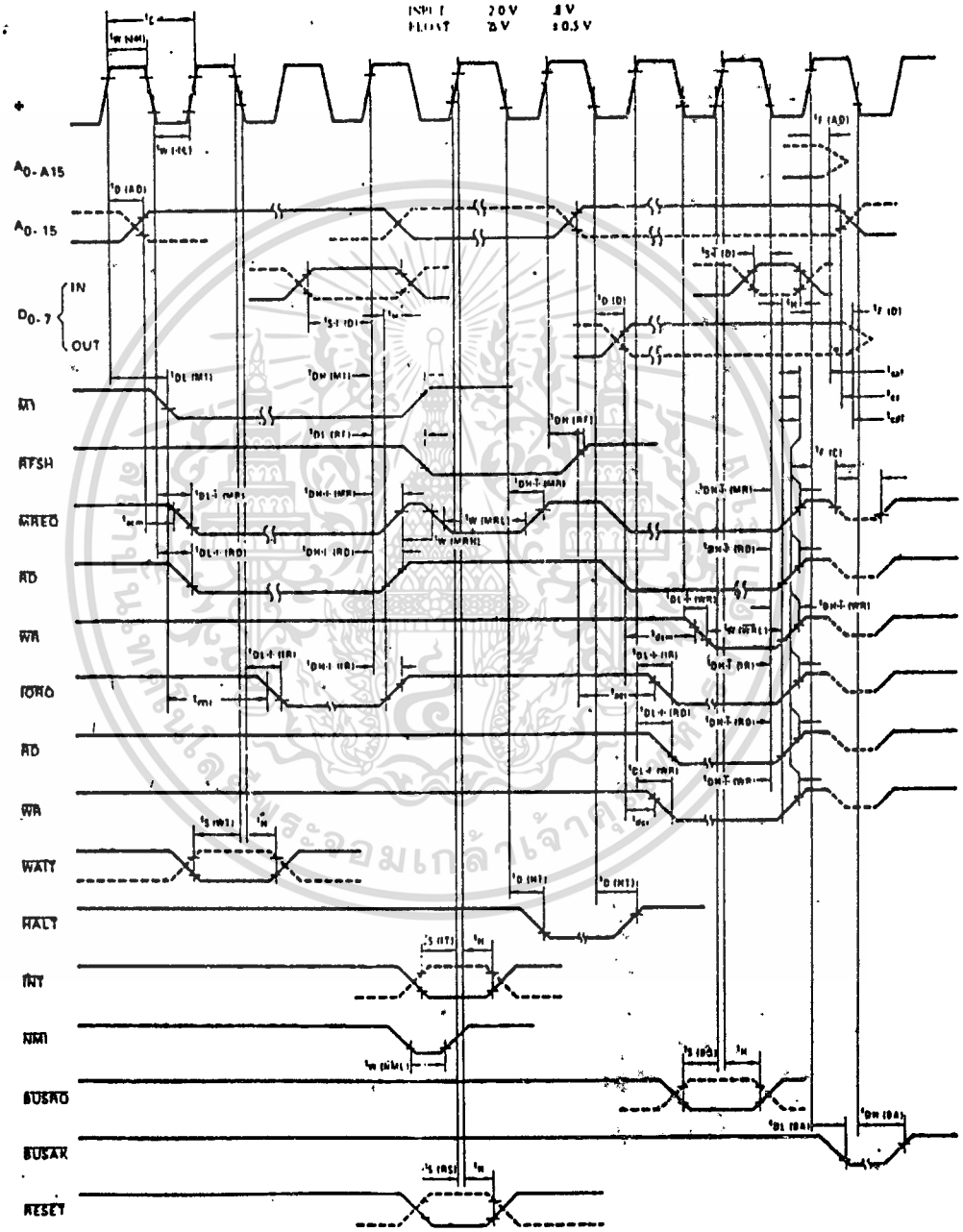
Load circuit for Output

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

A.C. Timing Diagram

Timing measurements are made at the following voltages, unless otherwise specified:

	"1"	"0"
CLOCK	V_{CC} -.6V	.45V
OUTPUT	2.0V	.8V
INPUT	2.0V	.8V
FLOAT	2.0V	±0.5V



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

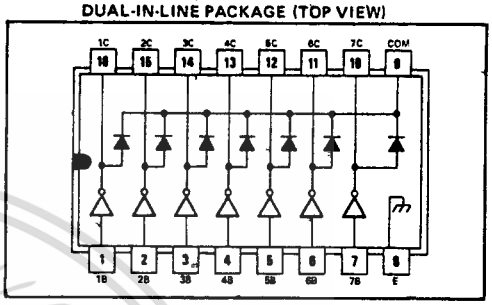
TYPES ULN2001A THRU ULN2005A DARLINGTON TRANSISTOR ARRAYS

BULLETIN NO. DL-S 12467, DECEMBER 1976 – REVISED DECEMBER 1980

HIGH-VOLTAGE HIGH-CURRENT DARLINGTON TRANSISTOR ARRAYS

- 500 mA Rated Collector Current (Single Output)
- High-Voltage Outputs . . . 50 V
- Output Clamp Diodes
- Inputs Compatible with Various Types of Logic
- Relay Driver Applications
- Designed to be Interchangeable with Sprague ULN2001A Series

J OR N
DUAL-IN-LINE PACKAGE (TOP VIEW)

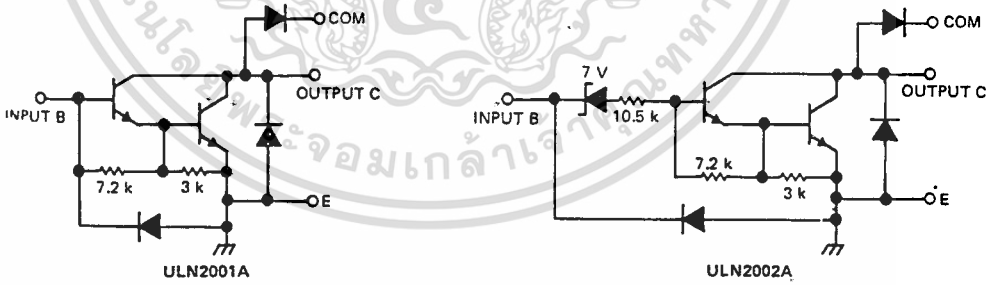


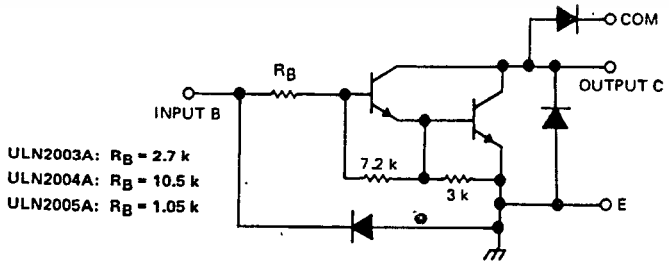
description

The ULN2001A, ULN2002A, ULN2003A, ULN2004A, and ULN2005A are monolithic high-voltage, high-current darlington transistor arrays. Each comprises seven n-p-n darlington pairs. All units feature high-voltage outputs with common-cathode clamp diodes for switching inductive loads. The collector-current rating of a single darlington pair is 500 milliamperes. Outputs and inputs may each be paralleled for higher current capability. Applications include relay drivers, hammer drivers, lamp drivers, display drivers (LED and gas discharge), line drivers, and logic buffers. For 100-volt (otherwise interchangeable) versions, see the SN75465 through SN75469.

The ULN2001A is a general-purpose array and may be used with DTL, TTL, P-MOS, CMOS, etc. The ULN2002A is specifically designed for use with 14- to 25-volt P-MOS devices and each input has a zener diode and resistor in series to limit the input current to a safe limit. The ULN2003A has a 2.7-kΩ series base resistor to each darlington pair. This allows operation directly with TTL or 5-volt CMOS. The ULN2004A has an appropriate series input resistor to allow its operation directly from CMOS or P-MOS utilizing supply voltages of 6 to 15 volts. The required input current is below that of the ULN2003A while the required voltage is less than that required by the ULN2002A. The ULN2005A has a 1.05-kΩ series base resistor and is especially designed for use with TTL where higher output current is required and loading of the driving source is not a concern.

schematics (each darlington pair)





ULN2003A, ULN2004A, ULN2005A

All resistor values shown are nominal and in ohms.

absolute maximum ratings at 25°C free-air temperature (unless otherwise noted)

Collector-emitter voltage . . . . . 50 V
Input voltage (see Note 1): ULN2002A, ULN2003A, ULN2004A . . . . . 30 V
ULN2005A . . . . . 15 V
Peak collector current (see Figures 14 and 15) . . . . . 500 mA
Continuous input current, ULN2001A only . . . . . 25 mA
Total substrate-terminal current: J package . . . . . −500 mA
N package . . . . . −2.5 A
Continuous dissipation (total package) at (or below)
25°C free-air temperature (see Note 2): J package . . . . . 1025 mW
N package . . . . . 1150 mW
Operating free-air temperature range . . . . . 0°C to 70°C
Storage temperature range . . . . . −65°C to 150°C
Lead temperature 1/16 inch (1,6 mm) from case for 60 seconds, J package . . . . . 300°C
Lead temperature 1/16 inch (1,6 mm) from case for 10 seconds, N package . . . . . 260°C

4

NOTES: 1. All voltage values, unless otherwise noted, are with respect to the emitter/substrate terminal, E.
2. For operation above 25°C free-air temperature, refer to the Dissipation Derating Curves in the Thermal Information section, which starts on page 2-1. In the J package, ULN2001A through ULN2005A chips are glass-mounted.

electrical characteristics at 25°C free-air temperature (unless otherwise noted)

PARAMETER		TEST FIGURE	TEST CONDITIONS		ULN2001A MIN	ULN2001A TYP	ULN2001A MAX	ULN2002A MIN	ULN2002A TYP	ULN2002A MAX	UNIT
I_{CEX}	Collector cutoff current	1	V_{CE} = 50 V,	I_I = 0			50			50	μA
			V_{CE} = 50 V,	I_I = 0			100			100	
		2	T_A = 70°C	V_I = 6 V						500	
$I_{I(off)}$	Off-state input current	3	V_{CE} = 50 V, T_A = 70°C	I_C = 500 μA,	50	65		50	65		μA
I_I	Input current	4	V_I = 17 V						0.82	1.25	mA
h_{FE}	Static forward current transfer ratio	5	V_{CE} = 2 V,	I_C = 350 mA	1000						
$V_{I(on)}$	On-state input voltage	6	V_{CE} = 2 V,	I_C = 300 mA						13	V
$V_{CE(sat)}$	Collector-emitter saturation voltage	5	I_I = 250 μA,	I_C = 100 mA		0.9	1.1		0.9	1.1	V
			I_I = 350 μA,	I_C = 200 mA		1.0	1.3		1.0	1.3	
			I_I = 500 μA,	I_C = 350 mA		1.2	1.6		1.2	1.6	
I_R	Clamp diode reverse current	7	V_R = 50 V				50			50	μA
			V_R = 50 V,	T_A = 70°C			100			100	
V_F	Clamp diode forward voltage	8	I_F = 350 mA			1.7	2		1.7	2	V
C_i	Input capacitance		V_I = 0 V,	f = 1 MHz		15	25		15	25	pF

TEXAS INSTRUMENTS
INCORPORATED
POST OFFICE BOX 225012 • DALLAS, TEXAS 75265

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

electrical characteristics at 25°C free-air temperature (unless otherwise noted)

PARAMETER		TEST FIGURE	TEST CONDITIONS		ULN2003A MIN	ULN2003A TYP	ULN2003A MAX	ULN2004A MIN	ULN2004A TYP	ULN2004A MAX	UNIT
I_{CEX}	Collector cutoff current	1	V_{CE} = 50 V,	I_I = 0			50			50	μA
		2	V_{CE} = 50 V, T_A = 70°C	I_I = 0, V_I = 1 V			100			100	
										500	
$I_{I(off)}$	Off-state input current	3	V_{CE} = 50 V, T_A = 70°C	I_C = 500 μA,	50	65		50	65		μA
I_I	Input current	4	V_I = 3.85 V			0.93	1.35				mA
			V_I = 5 V						0.35	0.5	
			V_I = 12 V						1.0	1.45	
$V_{I(on)}$	On-state input voltage	6	V_{CE} = 2 V	I_C = 125 mA						5	V
				I_C = 200 mA			2.4			6	
				I_C = 250 mA			2.7				
				I_C = 275 mA						7	
				I_C = 300 mA			3				
				I_C = 350 mA						8	
$V_{CE(sat)}$	Collector-emitter saturation voltage	5	I_I = 250 μA,	I_C = 100 mA		0.9	1.1		0.9	1.1	
			I_I = 350 μA,	I_C = 200 mA		1.0	1.3		1.0	1.3	
			I_I = 500 μA,	I_C = 350 mA		1.2	1.6		1.2	1.6	
I_R	Clamp diode reverse current	7	V_R = 50 V,				50			50	μA
			V_R = 50 V,	T_A = 70°C			100			100	
V_F	Clamp diode forward voltage	8	I_F = 305 mA			1.7	2		1.7	2	V
C_i	Input capacitance		V_I = 0 V,	f = 1 MHz		15	25		15	25	pF

electrical characteristics at 25°C free-air temperature (unless otherwise noted)

PARAMETER		TEST FIGURE	TEST CONDITIONS		ULN2005A MIN	ULN2005A TYP	ULN2005A MAX	UNIT
I_{CEX}	Collector cutoff current	1	V_{CE} = 50 V,	I_I = 0			50	μA
			V_{CE} = 50 V,	I_I = 0, T_A = 70°C			100	
$I_{I(off)}$	Off-state input current	3	V_{CE} = 50 V,	I_C = 500 μA, T_A = 70°C	50	65		μA
I_I	Input current	4	V_I = 3 V			1.5	2.4	mA
$V_{I(on)}$	On-state input voltage	6	V_{CE} = 2 V,	I_C = 350 mA			2.4	V
$V_{CE(sat)}$	Collector-emitter saturation voltage	5	I_I = 250 μA,	I_C = 100 mA		0.9	1.1	V
			I_I = 350 μA,	I_C = 200 mA		1.0	1.3	
			I_I = 500 μA,	I_C = 350 mA		1.2	1.6	
I_R	Clamp diode reverse current	7	V_R = 50 V				50	μA
			V_R = 50 V,	T_A = 70°C			100	
V_F	Clamp diode forward voltage	8	I_F = 350 mA			1.7	2	V
C_i	Input capacitance		V_I = 0 V,	f = 1 MHz		15	25	pF

switching characteristics at 25°C free-air temperature

PARAMETER		TEST CONDITIONS	MIN	TYP	MAX	UNIT
t_{PLH}	Propagation delay time, low-to-high-level output	See Figure 9		0.25	1	μs
t_{PHL}	Propagation delay time, high-to-low-level output			0.25	1	μs
V_{OH}	High-level output voltage after switching	V_S = 50 V, I_O = 300 mA, See Figure 10	V_S−20			mV

PARAMETER MEASUREMENT INFORMATION

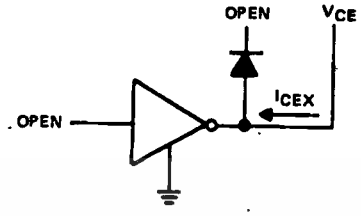


FIGURE 1–I_{CEX}

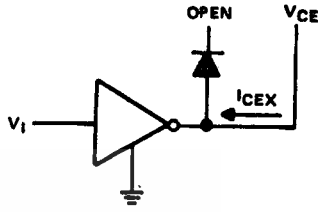


FIGURE 2–I_{CEX}

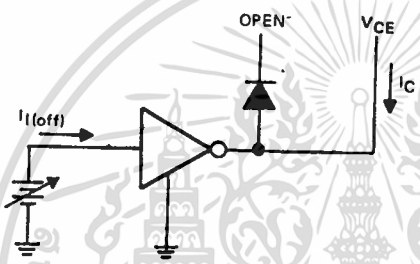


FIGURE 3–$I_{I(off)}$

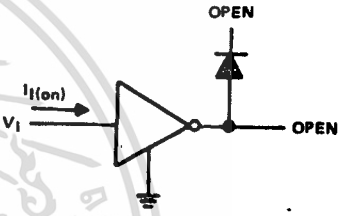
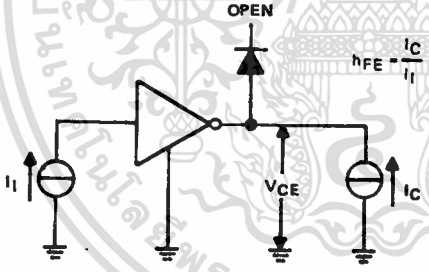


FIGURE 4–I_I



NOTE: I_I is fixed for measuring $V_{CE(sat)}$, variable for measuring h_{FE}.

FIGURE 5–h_{FE}, $V_{CE(sat)}$

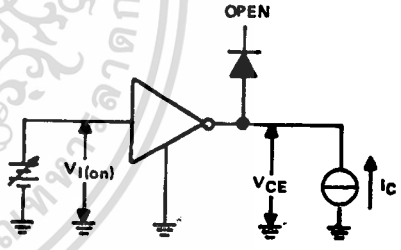


FIGURE 6–$V_{I(on)}$

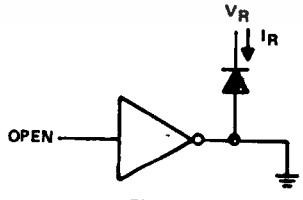


FIGURE 7–I_R

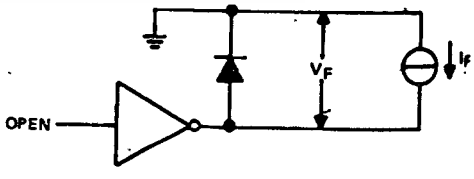
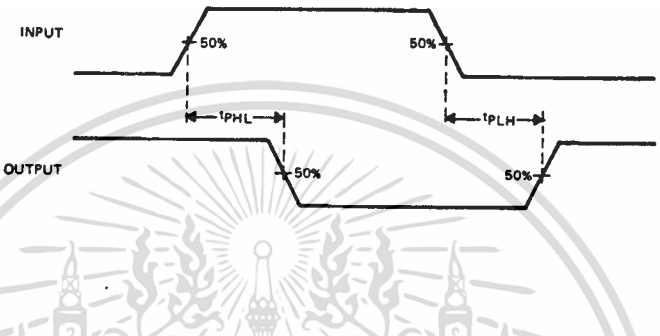


FIGURE 8–V_F

TEXAS INSTRUMENTS
INCORPORATED
POST OFFICE BOX 225012 • DALLAS, TEXAS 75265

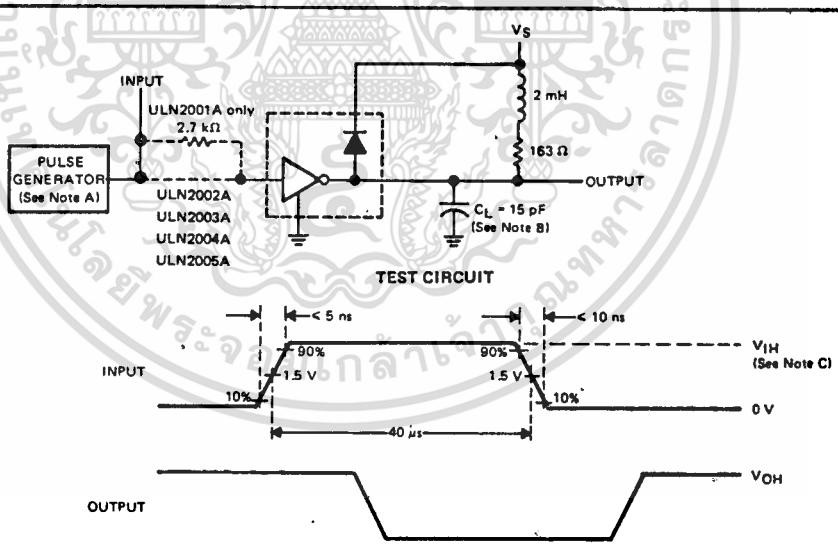
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PARAMETER MEASUREMENT INFORMATION



VOLTAGE WAVEFORMS

FIGURE 9–PROPAGATION DELAY TIMES



VOLTAGE WAVEFORMS

NOTES A. The pulse generator has the following characteristics: PRR = 12.5 kHz, Z_{out} = 50 Ω.
B. C_L includes probe and jig capacitance.
C. For testing the ULN2001A, ULN2003A and the ULN2005A, V_{IH} = 3 V; for the ULN2002A, V_{IH} = 13 V; for the ULN2004A, V_{IH} = 8 V.

FIGURE 10–LATCH-UP TEST

TYPICAL CHARACTERISTICS

COLLECTOR-EMITTER SATURATION VOLTAGE vs COLLECTOR CURRENT (ONE DARLINGTON)

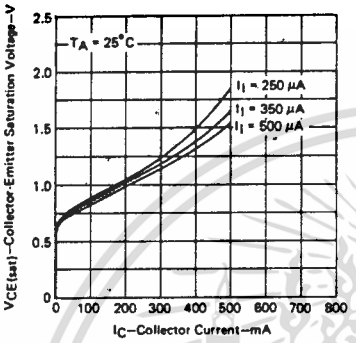


FIGURE 11

COLLECTOR-EMITTER SATURATION VOLTAGE vs COLLECTOR CURRENT (TWO DARLINGTONS PARALLELED)

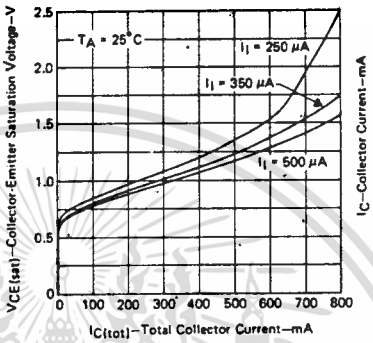


FIGURE 12

COLLECTOR CURRENT vs INPUT CURRENT

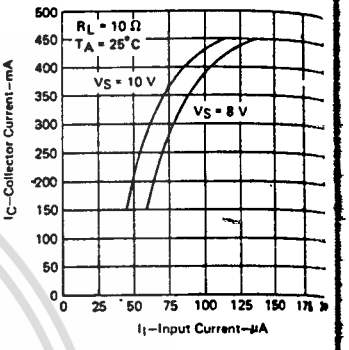


FIGURE 13

THERMAL INFORMATION

J PACKAGE MAXIMUM COLLECTOR CURRENT vs DUTY CYCLE

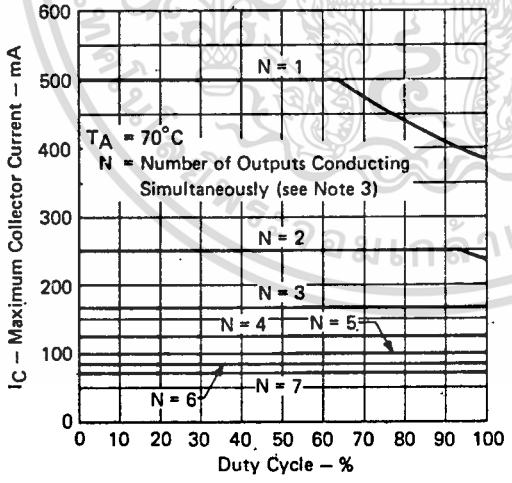


FIGURE 14

N PACKAGE MAXIMUM COLLECTOR CURRENT vs DUTY CYCLE

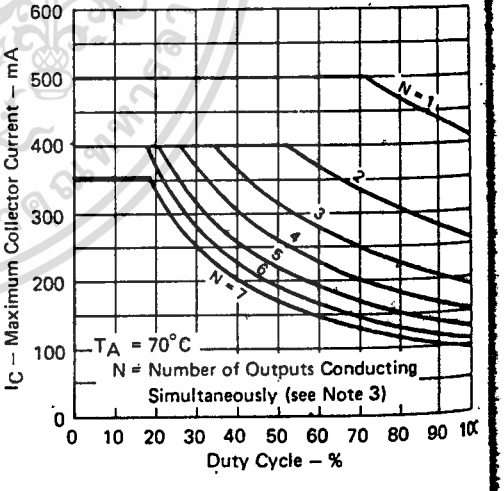


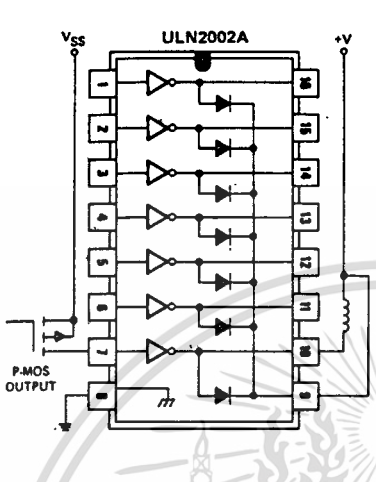
FIGURE 15

NOTE 3: For the J package, N x I_C must not exceed 500 mA (maximum substrate-terminal current). For the N package N x I_C must not exceed 2.5 A.

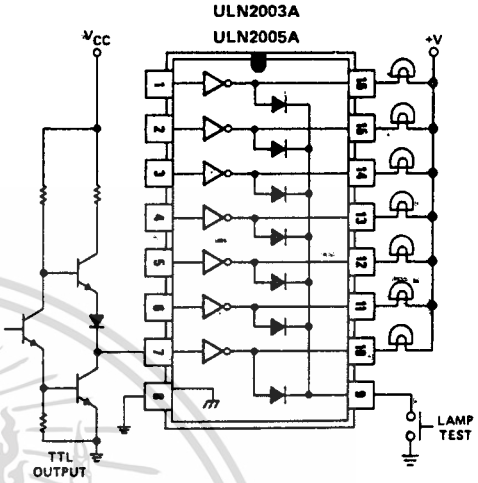
TEXAS INSTRUMENTS
INCORPORATED
POST OFFICE BOX 225012 • DALLAS, TEXAS 75265

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

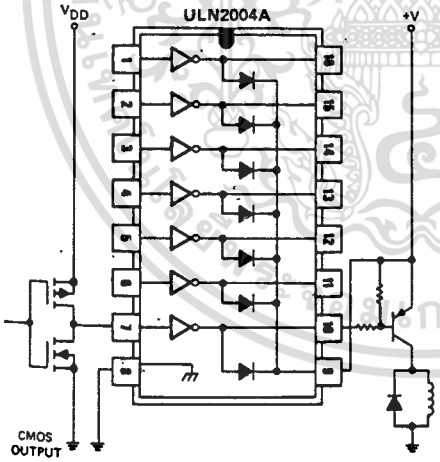
TYPICAL APPLICATION DATA



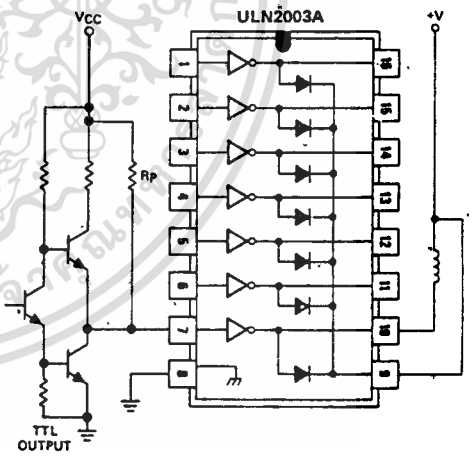
P-MOS TO LOAD



TTL TO LOAD



BUFFER FOR
HIGHER CURRENT LOADS



USE OF PULL-UP RESISTORS
TO INCREASE DRIVE CURRENT

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

กิตติกรรมประกาศ

ความคิดริเริ่มสำหรับโครงงานที่จะทำให้เกิดขึ้นได้นี้ จะต้องมีอาจารย์ที่ช่วยให้คำแนะนำ สั่งสอน ให้ความรู้ ตั้งแต่เริ่มเข้ามาศึกษาในสถาบันการศึกษาจนถึงปัจจุบัน ก่อให้เกิดความรู้ทำให้มีแนวความคิดที่สามารถทำโครงงานได้ ขอขอบคุณอาจารย์ทุกท่านที่ช่วยให้คำแนะนำ สั่งสอนตลอดมา และ ขอขอบคุณ ศจ.ดร. ไพรัช ธัชยพงษ์ กับ อ.พลงดุง ผดุงกุล อาจารย์ที่ปรึกษา

ขอขอบคุณ คุณอัครินทร์ ที่ช่วยให้คำแนะนำเกี่ยวกับโครงงานนี้ ทำให้โครงงานนี้สำเร็จลุล่วงไปได้

ขอขอบคุณ คุณศรีธิปย์ คุณวุฒิพงษ์ และ เพื่อนๆทุกคน ที่มีส่วนเกี่ยวข้องในการทำปริญญานิพนธ์นี้ให้สำเร็จลุล่วงไปได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หนังสืออ้างอิง

1. เกศินี อังศุสิงห์. "การได้มาซึ่งข้อมูลของการสร้างภาพตัดขวาง." วิทยานิพนธ์ปริญญาบัณฑิต ภาควิชาคอมพิวเตอร์ คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง, ปีการศึกษา 2529.
2. มนัส มงคลสุข,สรรเสริญ ภูศิวารง และ มาลินี สันติมารค. "X-Ray Computed Tomography." ภาควิชารังสีเทคนิค คณะเทคนิคการแพทย์ มหาวิทยาลัยมหิดล,2525.
3. ชูชัย ธนสารตั้งเจริญ และ คณะ. การใช้งาน Z-80. ฟิสิกส์เซ็นเตอร์การพิมพ์.
4. คู่มือ/เทียบเบอร์ ไอซี TTL. พิมพ์ครั้งที่ 5. นำอักษรการพิมพ์,2530.
5. Coffron, James W. Z-80 Application. Berkeley, SYBEX Inc,1983.
6. MCS-51 Family of Single-Chip Microcomputers User's Manual. Intel Technology Far East Ltd., July 1981.
7. The Interface Circuits Data Book for Design Engineers. Texas Instruments Incorporated, Second Edition. 1981.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า