



ปีการศึกษา 2533

การส่งข้อมูลระบบ เอเอ็ม บอร์ดคาส์ท

โดย

สนธิ

ทองสถิตย์

จิระศักดิ์

แช่ไหล

อาจารย์ที่ปรึกษา

กฤตากร กล่อมการ

028811

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ปีการศึกษา 2533

ภาควิชา เทคโนโลยีอุตสาหกรรม

คณะ วิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง การส่งข้อมูลระบบ เอเอ็ม เบอร์ดคาสท์

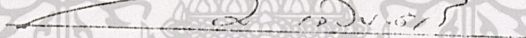
ผู้จัดทำ สนิธิ ทองสถิตย์ 323330

จรรยาวัจน์ แซ่โหล 323311



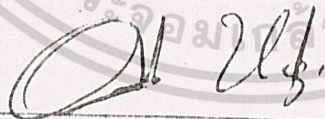
อาจารย์ที่ปรึกษา

(อาจารย์ กฤตากร กล่อมการ)



กรรมการ

(ผศ.ดร. กนก เจนเจริญพงศ์เวช)



กรรมการ

(อาจารย์ อรรถสิทธิ์ หล้าสกุล)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

028811

การส่งข้อมูลระบบ เอเอ็ม ขอร์ตคาสท์

สนธิ ทองสถิตย์

จิระศักดิ์ แซ่ไหล

อ. กฤดากร กลุ่มการ อาจารย์ที่ปรึกษา
ปีการศึกษา 2533

บทคัดย่อ

การสื่อสารนิยมใช้ ดิจิตอลโมดูลมากขึ้น มีความเชื่อถือสูงและราคาถูกลง เนื่องจากได้มีการพัฒนาทาง ดิจิตอลอิเล็กทรอนิกส์ และวงจรรวม (IC) อย่างรวดเร็ว ทำให้ต้นทุนการผลิตถูกลง นอกจากนี้ยังสามารถใช้วิธีการลงรหัสพัลส์ก่อน โมดูลขึ้น เพื่อลดความผิดพลาด (PROPABILITY) ให้ต่ำลง การโมดูลขึ้นคลื่นพาห์ (CARRIER) ข่าวสารนี้ทำได้หลายวิธีด้วยกัน ในที่นี้ เราจะศึกษาเทคนิคการโมดูลขึ้นข่าวสารดิจิตอล โดยเปลี่ยนแปลงเฟส (PHASE) ของคลื่นพาห์ ด้วยการส่งแบบไบนารีเฟสซฟิเคียยัง เพื่อการใช้งานในระบบเอเอ็ม ขอร์ตคาสท์ เพื่อวัตถุประสงค์ทางการใช้งานในระบบสื่อสาร (COMMUNICATION SYSTEM) ต่อไป

DATA TRANSMISSION OF A.M. BROADCAST

SONTHI THONGSATHIT

CHIRASAK SAELAI

KITDAKORN KLOMKARN Advisor

1990

ABSTRACT

Most of the communication uses DIGITAL MODULATION, because of its believelly and cheaply. DIGITAL ELECTRONICS and INTEGRATE CIRCUIT (IC) have developed rapidly, so the capital of production was cheaped. In addition to it is able to put a pulse code before modulation for reducing PROPABILITY. The modulation carrier with messages can be used several ways. We will learn the technique of modulate digital massage by varied phase of carrier, transmitted with BINARY PHASE SHIFT KEYING method. The objective of the method is used in A.M. BROADCAST system for applied to COMMUNICATION SYSTEM.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

เนื้อหา

หน้า

บทที่ 1	บทนำ	1
2	ทฤษฎีและหลักการ	3
2.1	วงจรกำเนิดสัญญาณทดสอบและเปรียบเทียบ	3
2.2	โคอีเรนซ์และดีเฟเฟอร์เรนซ์ซีลโคอีเรนซ์ของระบบ ไบนารีเฟลชีฟคีย์อิง	9
2.2.1	การทำงานและหลักการพื้นฐานของ BPSK, DEBPSK, DBPSK โมเดล	9
2.2.2	ประสิทธิภาพสเปกตรัมและสเปกตรัมของระบบ BPSK	14
2.3	เครื่องรับออปติมิซสำหรับการมอดูเลตสัญญาณไบนารี	16
2.3.1	โมเดลและที่มาของสมรรถนะของระบบการ ส่งของไบนารี	16
2.4	โนควิสต์และแมทซ์มิลเตอร์ (คอร์เรเลชัน) ทางด้านรับ	27
2.5	P_u สมรรถนะของระบบไบนารีโคอีเรนซ์ PSK	30
2.5.1	ความสัมพันธ์ระหว่าง E_b/N_0 และ C/N	31
2.6	วงจรกึ่งคลื่นพาห์	34
3	การคำนวณและการสร้าง	35
4	การทดลองและผลการทดลอง	41
5	บทวิจารณ์และสรุป	47

ภาคผนวก	ฉ
กติกกรมประกาศ	ช
หนังสืออ้างอิง	ช

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1

บทนำ

ปัจจุบันการสื่อสารข้อมูลระบบดิจิทัลเป็นที่นิยมใช้กันมากขึ้น ดังนั้น จึงมีการทดลองนำวิธีการส่งข้อมูลผ่านระบบ เอ เอ็ม บอร์ดคาสท์เพื่อเผยแพร่ให้ผู้มีความสนใจได้สามารถศึกษาถึงวิธีการรับส่งข้อมูลแบบดิจิทัลได้ดีขึ้น สำหรับในปฏิญานพนธ์ ฉบับนี้ได้ใช้หลักการในการรับส่งข้อมูลแบบดิจิทัลซึ่งเรียกว่าเฟสซิงคีย์อิงซึ่งเป็นเทคนิคพื้นฐานในการมอดูเลชันทางเฟส และเหมาะสมอย่างยิ่งสำหรับผู้สนใจและเริ่มต้นศึกษาวิชาดิจิทัลคอมมิวนิเคชัน และยังได้กล่าวถึงหลักการและทฤษฎีที่สามารถนำมาประยุกต์ใช้งานได้ทันทีดังนี้

บทที่ 2 ได้กล่าวถึงทฤษฎีและหลักการซึ่งประกอบด้วย

2.1 วงจรกำเนิดสัญญาณทดสอบและเปรียบเทียบซึ่งได้กล่าวถึงการออกแบบและการสร้างวงจรกำเนิดรหัสสัญญาณ

2.2 โคอีเรนซ์และดิฟเฟอเรนซ์เฟสโคอีเรนซ์ของระบบไบนารีเฟสซิงคีย์อิงซึ่ง ในหัวข้อ 2.2 เป็นส่วนสำคัญสำหรับการศึกษาเบื้องต้น

2.2.1 ได้กล่าวถึงการทำงานและหลักการขั้นพื้นฐานของระบบไบนารีเฟสซิงคีย์อิง

2.2.2 ประสิทธิภาพของสเปกตรัมและสเปกตรัมของระบบไบนารีเฟสซิงคีย์อิง ซึ่งในเนื้อหาล้วนนี้มีประโยชน์ในการตรวจสอบสมรรถนะของระบบในการทดลอง

2.3 เครื่องรับแบบออปติมิสมสำหรับการมอดูเลตสัญญาณไบนารี เป็นส่วนที่กล่าวถึงหลักการแยกสัญญาณพื้นฐานสำหรับไบนารี

2.3.1 โมเดลและที่มาของสมรรถนะของระบบการส่งของไบนารี

2.4 ไนควิสต์และแมทซ์ฟิลเตอร์ (คอรีเลชัน) ทางด้านรับเป็นทฤษฎีที่นำมาประยุกต์ใช้งานทางด้านดิจิทัลคอม

2.5 P_s สมรรถนะของระบบ ไบนารีโคอีเรนซ์พีเอสเค เป็นการวัดค่าพรอบอะบิรติตี้ของระบบโคอีเรนซ์แบบพีเอสเคประกอบด้วย

2.5.1 การหาความสัมพันธ์ของ E_b/N_0 และ C/N ส่วนสำคัญในการออกแยกสัญญาณไบนารีประกอบด้วย

2.6 วงจรกู่คลื่นพาห้ซึ่งทำหน้าที่ซึ่งโครไนซ์คลื่นพาห้ให้กับเครื่องรับ วงจรดังกล่าวนี้เรียกว่าโคอีเรนซ์ซึ่งในปฏิญานพนธ์ฉบับนี้ขอเสนอวิธีการสร้างแคเรียร์ซึ่งโครไนซ์ แบบสแควริงลูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3 กล่าวถึงการคำนวณและการสร้างในบทนี้แสดงถึงลักษณะของบล็อกไดอะแกรมจริงของระบบบีบีเอสเคและการออกแบบวงจร

บทที่ 4 การทดลองและผลการทดลองแสดงถึงผลที่ได้จากการทดลองการวัดและทดสอบผลเพื่อให้ระบบที่ได้ออกแบบและสร้างขึ้นมาเป็นไปตามมาตรฐาน

บทที่ 5 เป็นบทที่วิจารณ์และสรุปผลที่ได้มา ซึ่งกล่าวถึงผลดีและผลเสียของระบบตลอดจนปัญหาที่เกิดขึ้นทั้งหมด



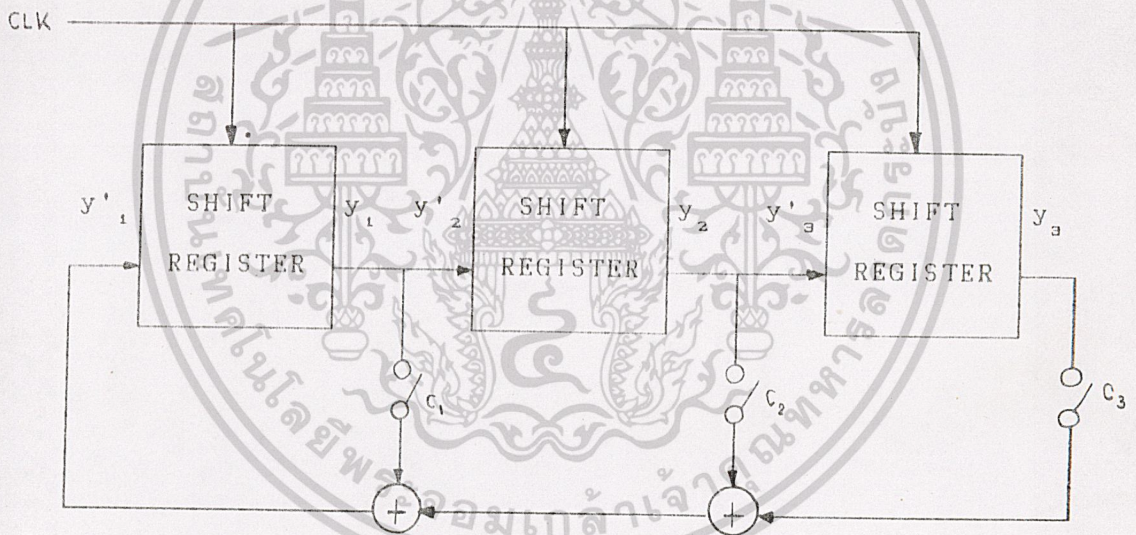
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2

ทฤษฎีและหลักการ

2.1 วงจรกำเนิดสัญญาณทดสอบและเปรียบเทียบ

จากหลักการของเครื่องวัดค่าความผิดพลาด จะเห็นว่า สัญญาณที่ใช้ทางด้านส่งเพื่อทดสอบกับสัญญาณที่ด้านรับที่นำมาเปรียบเทียบคือสัญญาณที่มีรูปแบบเดียวกัน ซึ่งสัญญาณนี้เรียกว่า พิวโซโดแรนดัมซีควเन्ซ์ (PSEUDO RANDOM SEQUENCE) ซึ่งสัญญาณอันนี้มีหลักการกำเนิดโดยอาศัยการป้อนกลับจากสถานะที่เกิดขึ้นภายในชิพรีจิสเตอร์ จากตัวใดตัวหนึ่งป้อนกลับมาจากอินพุต เพื่อให้เกิดวงรอบของการกำเนิดสัญญาณ ความยาวของรูปแบบ (PATTERN) สัญญาณพิวโซโดนี้จะสัมพันธ์กับการนำเอาสถานะของชิพรีจิสเตอร์คู่ใดมาบวกกันแล้วป้อนกลับ ซึ่งเราสามารถแสดงหลักการกำเนิดได้ดังนี้



รูปที่ 2.1 แสดงบล็อกไดอะแกรมของการเกิดสัญญาณ PSEUDO RANDOM SEQUENCE

จากรูป เราจะได้สมการแสดงสถานะที่จุดต่าง ๆ ดังนี้

$$\begin{aligned} y_1' &= c_1 y_1 + c_2 y_2 + c_3 y_3 \\ y_2' &= y_1 \\ y_3' &= y_2 \end{aligned} \quad \dots\dots\dots (1)$$

โดย $c_1, c_2, c_3 = 1$ เมื่อ SW ปิดวงจร

และ $= 0$ เมื่อ SW เปิดวงจร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ซึ่งจากสมการที่ (1) เราจะเห็นว่า y_1, y_2, y_3 คือสถานะที่จะเกิดขึ้นถัดไป และจากสมการ (1) นำไปตั้งสมการ แมตริก (MATRIX) ได้ดังนี้ -

$$\begin{bmatrix} y_1 \\ y_2 \\ y_3 \end{bmatrix} = \begin{bmatrix} c_1 & c_2 & c_3 \\ 1 & 0 & 0 \\ 0 & 1 & 0 \end{bmatrix} \begin{bmatrix} y_1 \\ y_2 \\ y_3 \end{bmatrix} \dots\dots\dots (2)$$

จากหลักการหาค่าไอเก้น (EIGAN VALUE) กล่าวไว้ว่า

$$Ax = \phi x$$

$$(A-\phi)x = 0$$

และจากการหาค่าไอเก้น เราจะได้สมการคุณลักษณะ โพลีโนเมียล จาก

$$\text{CHARACTERISTIC POLYNOMIAL} = \text{DETERMINANCE } [A-\phi]$$

$$\text{หรือ} = \text{DETERMINANCE } [T+\phi I]$$

โดยที่ I คือ IDENTICAL MATRIX

T คือ แมตริกของค่าคงที่

$$\text{ในที่นี้ } [T] = \begin{bmatrix} c_1 & c_2 & c_3 \\ 1 & 0 & 1 \\ 0 & 1 & 0 \end{bmatrix}$$

จากสมการที่ (2) จะทำให้เราสามารถหาค่าคุณลักษณะของ โพลีโนเมียล ได้ดังนี้คือ

$$\text{CHARACTERISTIC POLYNOMIAL} = \begin{vmatrix} [T] + \phi[I] \end{vmatrix}$$

$$= \begin{vmatrix} c_1 + \phi & c_2 & c_3 \\ 1 & \phi & 0 \\ 0 & 1 & \phi \end{vmatrix}$$

เนื่องจากการบวกแบบ มอดุโล 2 ซึ่งจะไม่สนใจเครื่องหมาย บวกหรือลบ

$$= \phi (\phi^2 + c_1 \phi + c_2) + c_3$$

$$= \phi^3 + c_1 \phi^2 + c_2 \phi + c_3$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เราแทนค่า ϕ ด้วย y และเนื่องจากการเป็นกรณแบบมอดุโล 2 จะได้ว่า $y = y^{-1}$
จะได้สมการ CHARACTERISTIC POLYNOMIAL คือ

$$1 + c_1 y + c_2 y^2 + c_3 y^3 \dots\dots\dots (3)$$

จากสมการ CHARACTERISTIC POLYNOMIAL ที่ได้เราสามารถจับคู่ของตัวประกอบ
ต่างๆ ได้ดังนี้

ดิกรี 3 ประกอบด้วย

$$y^3 = y^2(y)$$

$$y^3 + y^2 + y + 1 = (y+1)(y^2+1)$$

$$y^3 + y^2 + y = y(y^2 + y + 1)$$

$$y^3 + y^2 = y^2(y+1)$$

$$y^3 + 1 = \text{ไม่สามารถแยกได้}$$

$$y^3 + y^2 + 1 = \text{ไม่สามารถแยกได้}$$

$$y^3 + y + 1 = \text{ไม่สามารถแยกได้}$$

ดิกรี 2 ประกอบด้วย

$$y^2 = y \cdot y$$

$$(y^2 + 1) = (y^2 + 1)(y+1)$$

$$y^2 + y + 1 = \text{ไม่สามารถแยกได้}$$

$$y^2 + y = y(y+1)$$

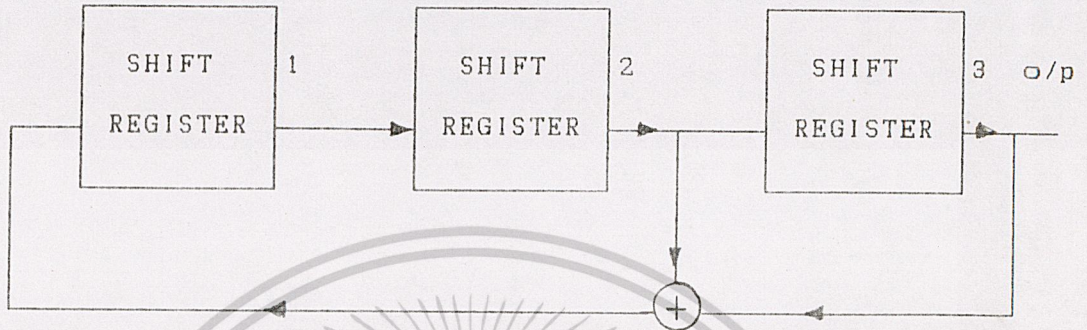
ในการแยกตัวประกอบ เราต้องคำนึงด้วยว่าเป็นการบวกมอดุโล 2 เพราะฉะนั้น
ค่าที่เหมือนกันเมื่อบวกกันแล้วมีค่าเท่ากับ 0 และสมการชุดใดที่ไม่สามารถแยกตัวประกอบ
ได้ในเทอมนั้น จะให้ค่าลำดับของสัญญาณสูงสุดเนื่องจากความยาว (L) ของรูปแบบสัญญาณ
สามารถหาได้จากสมการ

$$L = 2^N - 1$$

โดยที่ N คือค่าดิกรีสูงสุดในสมการที่นำมาสร้างรูปแบบของสัญญาณ สมมติเรา
ต้องการ $L = 7$ เพราะฉะนั้นค่า N ก็จะต้องเท่ากับ 3 ซึ่งเป็นดิกรีของสมการ CHARAC-
TERISTIC POLYNOMIAL แต่ในการที่จะให้ได้ความยาวในหนึ่งวงรอบเท่ากับ 7 นั้น จะ
ต้องเลือกเอาเฉพาะสมการที่ไม่สามารถแยกตัวประกอบได้มาคิด จึงจะทำให้ได้ค่าความ
ยาวของรูปแบบเท่ากับ 7 ตามที่คำนวณไว้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากหลักการข้างต้น ถ้าเราต้องการรูปแบบของสัญญาณมีความยาววงรอบเท่ากับ 7 ดังนั้นสมการที่เราจะต้องนำมาคิดก็คือ x^3+x^2+1 หรือ x^3+x+1 จะทำให้เราได้บล็อกไดอะแกรมดังนี้



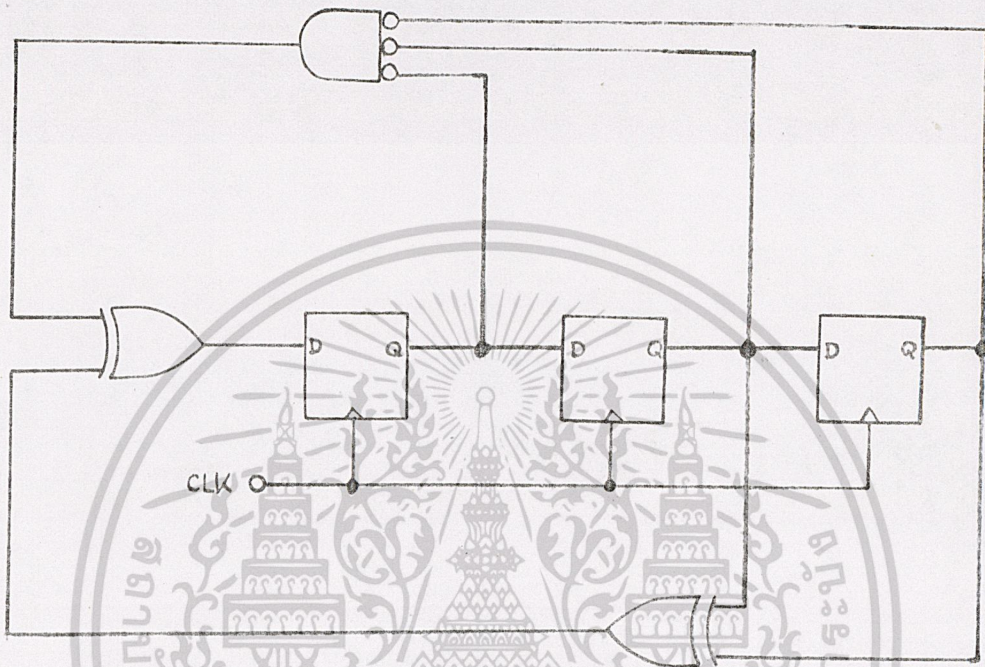
รูปที่ 2.2 แสดงตัวอย่างบล็อกไดอะแกรมของสัญญาณ PSEUDO ที่ได้จากสมการ

เราจะได้สถานะต่างๆของการกำเนิดสัญญาณ ดังต่อไปนี้ เมื่อกำหนดให้ สภาวะเริ่มต้นของชิพรีจิสเตอร์ทุกตัวเป็น 1 หมด

เวลาที่ T-ใดๆ	1	2	3	O/P
T	1	1	1	0
T+1	0	1	1	0
T+2	0	0	1	1
T+3	1	0	0	0
T+4	0	1	0	0
T+5	1	0	1	1
T+6	1	1	0	0
T+7	1	1	1	1
T+8	0	1	1	1
T+9	0	0	1	1
T+10	1	0	0	0
T+11	0	1	0	0

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แต่เนื่องจากในการใช้งานจริงจะต้องคำนึงถึงจุดที่จะเกิดสถานะศูนย์ ในทุกซีพริจิสเตอร์ ซึ่งได้นำเอาสถานะของแต่ละตัวของซีพริจิสเตอร์มาสร้างเงื่อนไขไม่ให้เกิดขึ้นดังรูปที่ 2.3



รูปที่ 2.3 แสดงวงจรการใช้งาจริงของภาคกำเนิดสัญญาณ

จากคุณสมบัติของออโตคอรี่เลชั่น (AUTOCORRELATION) ซึ่งใช้วัดคุณลักษณะการเหมือนกันของสัญญาณ เมื่อขณะที่สัญญาณถูกเลื่อนไปพบว่าค่าออโตคอรี่เลชั่นจะให้ค่าสูงสุด (มีค่าเหมือนกันทุกประการ) ที่คาบเวลาผ่านไป 2^{-1} ถ้าเราใช้จำนวนของซิมปริจิสเตอร์ มากๆค่าคาบเวลาของออโตคอรี่เลชั่น ก็จะยิ่งสูง ซึ่งมีลักษณะใกล้เคียงกับสัญญาณไวท์นอยส์ (WHITE NOISE) ซึ่งเราสามารถที่จะนำสัญญาณที่สร้างขึ้นนี้มาใช้ทดสอบระบบก่อนการ ใช้งาน โดยให้แทนข้อมูลข่าวสารจริงที่จะส่ง ซึ่งอัตราการความผิดพลาดที่เกิดขึ้นก็จะมีค่าใกล้เคียงกับการที่ใช้ข่าวสารจริงส่ง ซึ่งค่าที่ได้จะเป็นค่าโดยประมาณ

จากหลักการที่กล่าวมาข้างต้น เราได้มาออกแบบวงจรกำเนิดสัญญาณ PSEUDO RANDOM SEQUENCY จะประกอบไปด้วย 74HC164 ขึ้นเป็นชิพรีจิสเตอร์ จะมี 7486 ทำหน้าที่ผลิตสัญญาณป้อนกลับ โดยวงจรได้ออกแบบให้สามารถเลือกรูปแบบความยาวของรูปแบบคือ 2^9-1 , $2^{11}-1$, $2^{15}-1$ และสัญญาณที่ได้ก็จะนำมาเปรียบเทียบกับสัญญาณทดสอบที่ส่งมาโดยใช้ EXCLUSIVE-OR เปรียบเทียบเพื่อหาความผิดพลาดได้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



2.2 โคอีเรนท์และดิฟเฟอเรนท์เชียลโคอีเรนท์ของระบบไบนารีเฟสชิฟต์คีย์อิง (COHERENT AND DIFFERENTIALLY COHERENT BINARY PSK SYSTEMS)

2.2.1 การทำงานและหลักการพื้นฐานของ BPSK, DEBPSK, และ DBPSK โมเด็ม (OPERATION/PRINCIPLES FOR BPSK, DEBPSK AND DBPSK MODEMS)

เป็นการมอดูเลชันที่ทำให้เฟสเปลี่ยนไป (phase-shift keying) โดยสามารถแทนสัญญาณที่เปลี่ยนไปตามการเปลี่ยนแปลงของเฟส ดังนี้

$$m_1(t) = +C \cos \omega_c t \quad (2.1)$$

$$m_2(t) = -C \cos \omega_c t \quad (2.2)$$

สามารถสร้างโดยระบบที่แสดงในรูปที่ 1 สัญญาณที่เกิดจากการมอดูเลชันเป็นดังนี้

$$m(t) = b(t)c(t) = C b(t) \cos \omega_c t \quad (2.3)$$

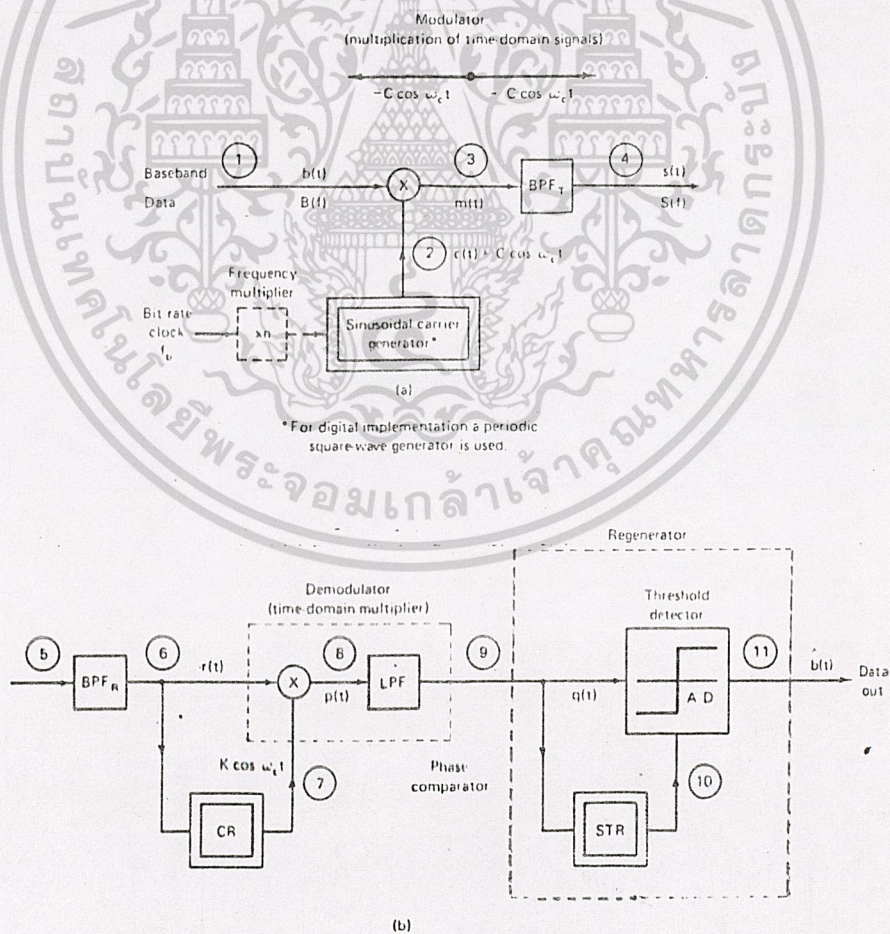


Figure 1 Block diagram of a coherent BPSK (a) modulator and (b) demodulator.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้ง 0238811

$b(t)$ เป็นสัญญาณเชิงโคไซน์แรดัมไบนารีแบบแบนด์ที่มีอัตราข้อมูล $f_b = 1/T_b$ และมีระดับอยู่ที่ +1 และ -1 ดังสมการ (2.3) แสดงการเลื่อนเฟสของสัญญาณ $m_1(t)$ และ $m_2(t)$ คือ

$$m(t) = C \cos [\omega_c t + \phi(t)] \quad (2.4)$$

เมื่อ $\phi(t) = 0^\circ$ หรือ 180°

สำหรับสัญญาณแบบแบนด์ NRZ (+1 และ -1 เป็นแรงดันอินพุตปกติ) ที่เป็ผลคูณในเชิงของเวลา (time domain) สัญญาณที่ได้จะเทียบเคียงกับดับเบิลไซด์แบนด์ซิมเพรสแควเรย์ ดังสมการ (2.3) ซึ่งเทียบเคียงได้กับสัญญาณเฟสชิฟต์อิ่งในการมอดูเลตทางดิจิทัล แสดงในสมการ (2.4)

$b(t)$ เป็นสัญญาณแบบแบนด์ $c(t)$ เป็นคลื่นพาห้ที่ไม่ได้มอดูเลต $m(t)$ เป็นสัญญาณที่มอดูเลตแล้ว และ $s(t)$ เป็นสัญญาณที่มอดูเลตแบบจํากัดแถบ แสดงในรูปที่ 2 สัญญาณ $m(t)$ และ $c(t)$ จะมีการเปลี่ยนเฟสอย่างรวดเร็วจาก 0° เป็น 180° f_c เป็นความถี่ของคลื่นพาห้แบบไซน์ซอว์ดัลซึ่งนำมาคูณกับอัตราข้อมูล ซึ่งผลที่ได้เกิดจากการสอดแทรกผลคูณทางความถี่ระหว่างสัญญาณนาฬิกาของอัตราข้อมูล (bit rate clock) กับออสซิลเลเตอร์ที่ถูกควบคุมด้วยระดับโวลเตจ (voltage-controlled oscillator) ซึ่งเป็นการทำงานของเฟสล็อกคัล (phase-locked-loop, PLL)

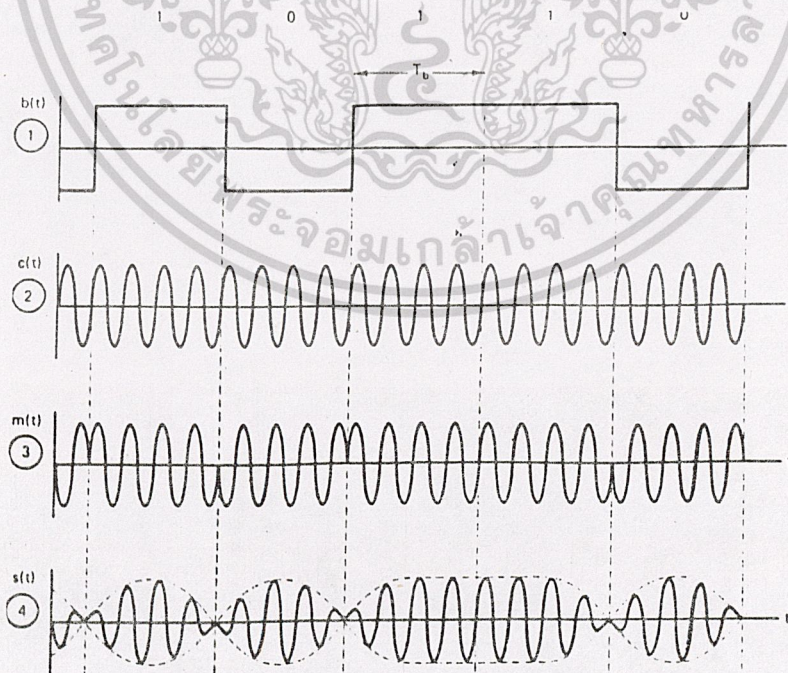


Figure 2 BPSK modulator signal-time domain presentation

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในทางปฏิบัติให้ $f_c = nf_b$ ที่ซึ่ง n เป็นจำนวนเต็ม แหล่งกำเนิดอัตราข้อมูลอาจเป็นเอาต์พุตมาตรฐานที่ได้จากอุปกรณ์ TDM (time division multiplexed) ที่มีการเปลี่ยนแปลงความกว้างอยู่ในช่วงของอัตราข้อมูล $(f_b \pm \Delta f_b)$ ถ้าความถี่คลื่นพาห์เข้าใกล้ผลคูณ n เท่า (n -multiple) ของอัตราข้อมูลจะถูกบล็อก การเปลี่ยนแปลงอัตราข้อมูลจะเกิดขึ้นทั้ง 2 ช่วงคือที่ความถี่คลื่นพาห์ที่ไม่ได้มอดูเลต $(f_c \pm n\Delta f_b)$ และสเปกตรัมที่มอดูเลตแล้ว สำหรับการดำเนินงานของระบบพบว่า การเปลี่ยนแปลงจะอยู่ในวงจำกัด

สำหรับการดีมอดูเลตแบบโคฮีเรนต์ (coherent demodulation) ความถี่ของคลื่นพาห์จะต้องซิงค์กับคลื่นมอดูเลตที่รับเข้ามาทางด่านรับ การกู้คลื่นพาห์ (carrier recovery, CR) ทางด่านรับจะทำได้โดยนำสัญญาณที่มอดูเลตทางด่านส่งไปคูณกับสัญญาณไซน์ที่มีเฟสและความถี่เหมือนกับคลื่นพาห์ที่ไม่ได้ถูกมอดูเลตทางด่านส่ง โดยปกติแล้วการส่งสัญญาณออกไปจะทำให้เกิดการหน่วงของสัญญาณขึ้น ซึ่งเป็นสิ่งที่จะต้องคำนึงถึง

สัญญาณ IF ที่รับได้ถูกจำกัดแถบ $r(t)$ ซึ่งได้จากผลคูณคลื่นพาห์ที่กู้ได้ $K \cos \omega_c t$ (ดูรูปที่ 1) จากนั้นจะผ่านวงจรคutoff ทางด่านรับไปยังวงจรกรองความถี่ต่ำ (low-pass filter) ซึ่งเป็นขบวนการดีมอดูเลตแบบโคฮีเรนต์ (เป็นการเปรียบเทียบเฟสแบบโคฮีเรนต์) ในระบบ PSK ข้อมูลที่ได้มาจะมีเฟสเดียวกับสัญญาณ เราจะพิจารณา $r(t)$ ได้ดังนี้

$$r(t) = C_r \cos[\omega_c t + \theta(t)] \quad (2.5)$$

ซึ่ง C_r เป็นค่าแอมพลิจูดสูงสุดของคลื่นพาห์ที่ทำการมอดูเลต เอาต์พุตที่ได้จากการคูณ (จุดที่ 8 ในรูปที่ 1) เป็นดังนี้

$$p(t) = r(t) K \cos \omega_c t = C_r K \cos[\omega_c t + \theta(t)] \cos \omega_c t \quad (2.6)$$

จากหลักการพื้นฐานทางด้านตรีโกณมิติ

$$\cos \alpha \cos \beta \equiv \frac{1}{2} \cos(\alpha - \beta) + \frac{1}{2} \cos(\alpha + \beta) \quad (2.7)*$$

เราจะได้ว่า

we obtain

$$p(t) = \frac{1}{2} C_r K \cos[\omega_c t + \theta(t) - \omega_c t] + \frac{1}{2} C_r K \cos[\omega_c t + \theta(t) + \omega_c t] \quad (2.8) \\ = \frac{1}{2} C_r K [\cos \theta(t) + \cos[2\omega_c t + \theta(t)]]$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรกรองความถี่ต่ำทางด้านการรับจะกรองสเปกตรัมของอาร์โมนิคที่ 2 ออก ดังนั้นที่อินพุทของวงจรเปรียบเทียบกับเทรชโฮลด์ (threshold comparator) จุด 9 เป็นดังนี้

$$q(t) = \frac{1}{2} C_r K \cos[\theta(t)]$$

(2.9)

ในสมการ (2.9) $C_r K/2$ แสดงค่าคงที่ของอัตราขยาย ที่ซึ่ง $\cos[\theta(t)]$ เป็นตัวแปรทางด้านสัญญาณเบสแบนด์ที่ถูกจำกัดแถบ สำหรับ $\theta(t) = 0^\circ$ หรือ 180° สัญญาณนี้จะมีค่าเท่ากับ +1 หรือ -1 ตามลำดับ เบสแบนด์โวลท์จะเป็นอัตราส่วนโดยตรงกับโคไซน์ของมุมต่างเฟสที่แตกต่างกันระหว่างคลื่นพาห์ที่มอดูเลตทางด้านการรับและคลื่นพาห์ที่กู้ได้ ดังนั้นส่วนของการเปรียบเทียบเฟสหรือตัวมอดูเลตทางเฟส ซึ่งประกอบด้วยวงจรคูณและวงจรกรองความถี่ต่ำ แสดงในรูปที่ 1 ดิจิตอลบิตแรกจะถูกเปลี่ยนโดยวงจรแปลงสัญญาณอนาล็อกเป็นดิจิตอล (A/D convertor) เพื่อเปลี่ยนเป็นดิจิตอลเอาต์พุต $b(t)$ ถ้าระบบมีการแทรกสอด (interference) โดยไม่พิจารณาสัญญาณรบกวนเล็กน้อย (noise negligible) เมื่อ $b(t) = b(t-T)$ การตีมอดูเลตเอาต์พุตที่สร้างขึ้นมาใหม่ซึ่งจะเท่ากับข้อมูลที่ส่งมาถูกหน่วงไปโดยอุปกรณ์และเวลาที่ใช้ในการเดินทาง (propagation delay)

เนื่องจากความคลุมเครือของเฟส (phase ambiguity) จากการกู้คลื่นพาห์ในการตีมอดูเลต BPSK คลื่นพาห์ที่กู้ อาจเท่ากับ $\cos w_c t$ หรือ $\cos (w_c t + 180^\circ)$ ดังนั้นที่สถานะ 180° มักเกิดความผิดพลาดทางเฟสของคลื่นพาห์ที่กู้ได้ ซึ่งทำให้ข้อมูลที่ตีมอดูเลตมาได้มีรูปแบบโดยตรงข้ามกับของเดิม (คูณกับ $\cos 180^\circ = -1$) และทำให้เกิดอัตราการผิดพลาดเป็น 100 % แต่เนื่องจากมีการใช้หลักการง่าย ๆ ของการเข้ารหัสแบบดิฟเฟอเรนซ์ (differential encoder) เข้าไปทางด้านส่ง และการถอดรหัสแบบดิฟเฟอเรนซ์ (differential decoder) เข้าไปทางด้านรับเพื่อไม่ให้เกิดความผิดพลาดทางเฟสขึ้น

บล็อกไดอะแกรมของโมเดมที่มีการเข้ารหัสและถอดรหัส แบบดิฟเฟอเรนซ์ (differential encoder / decoder) แสดงในรูปที่ 3 วงจรกู้คลื่นพาห์จะทำการแยกคลื่นพาห์ที่ยังไม่ได้มอดูเลต คลื่นพาห์นี้จะคูณเข้ากับสัญญาณมอดูเลตทางด้านการรับและผ่านไปให้กับวงจรกรองความถี่ต่ำ (LPF) การถอดรหัสแบบดิฟเฟอเรนซ์จะเกิดขึ้นบนข้อมูลที่สร้างขึ้นมาใหม่ การตีมอดูเลตแสดงที่ส่วนล่างของรูปที่ 3 แสดงการเปรียบเทียบการตีเทคโดยตรง (ตีมอดูเลชั่น) บนสัญญาณมอดูเลต ดังนั้นจึงไม่จำเป็นต้องมีวงจรกู้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเฉพาะเท่านั้น ไม่ควรเผยแพร่โดยไม่ได้รับอนุญาต

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

คลื่นพาห์ สัญญาณมอดูเลตจะคูณเข้ากับบิตแรกที่ถูกหน่วงและจะถูกกำจัดคลื่นพาห์ด้วย LPF โมเดมที่เข้ารหัสแบบดิฟเฟอเรนเชียล ประกอบด้วยวงจรกู้คลื่นพาห์ซึ่งใช้ในการออกแบบ DEBPSK และใน DBPSK จะไม่มีส่วนของวงจรกู้คลื่นพาห์

การเข้ารหัสแบบดิฟเฟอเรนเชียลแสดงในรูปที่ 4 โดยการนำบิตข้อความที่ป้อนเข้าที่อินพุตแล้วนำมาเปรียบเทียบกับบิตก่อนหน้านั้นที่ EXCLUSIVE-OR จะได้เป็นสัญญาณที่ดิฟเฟอเรนเชียลแล้ว ซึ่ง d_k แสดงบิตข้อความอย่างเป็นลำดับและ d_{k-1} แสดงบิตก่อนหน้าที่จะนำมาเปรียบเทียบระหว่าง d_k และ d_{k-1}

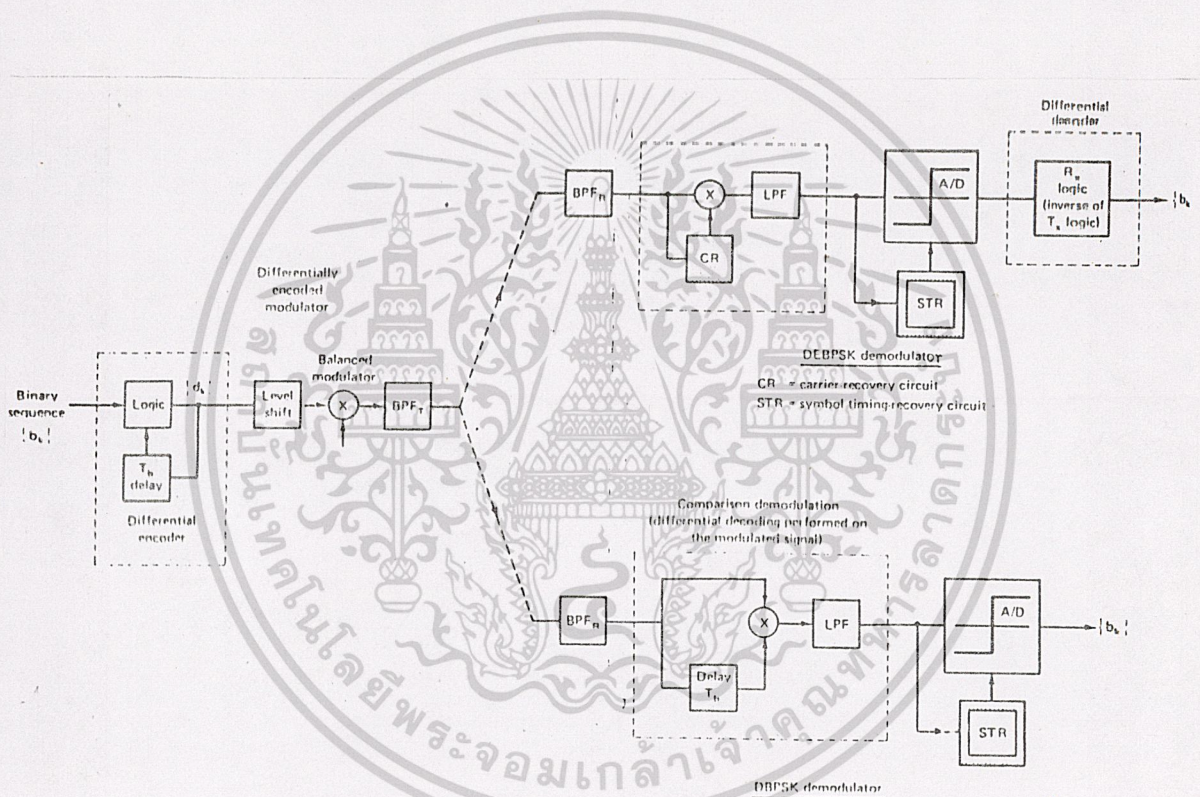


Figure 3 Differentially encoded BPSK modulator followed by coherent demodulator and differential decoder (DEBPSK) and differential phase demodulator (DBPSK).

$$d_k = \overline{b_k \oplus d_{k-1}} = b_k d_{k-1} + \bar{b}_k \bar{d}_{k-1}$$

(2.10)

ซึ่ง $\oplus$ แสดงการทำงานแบบ exclusive-OR หมายถึง หลักของไบนารีที่อ้างอิงไว้

อาจสมมติเป็น บิตเริ่มต้นของลำดับ $\{d_k\}$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดิฟเฟอเรนซ์เช็ลติมอดูเลชันในรูปที่ 3 มีฟังก์ชันการทำงานที่ตรงข้ามกับวงจรเข้ารหัส สำหรับ DEBPSK ตีมอดูเลตใช้การถอดรหัสแบบดิฟเฟอเรนซ์เช็ลติได้แสดงค่าเฉลี่ยของวงจรลอจิก ในกรณีของ DBPSK ตีมอดูเลต มุมเฟสของสัญญาณที่รับได้ (อาจไม่ถูกต้องเนื่องจากผลของสัญญาณรบกวน) และบิตแรกที่หนึ่งวงไปจะถูกนำมาเปรียบเทียบกับกล่าวคือในช่วงที่ไม่มี สัญญาณรบกวน ลำดับข้อความ (b_k) ที่กู้ได้จะถูกต้อง

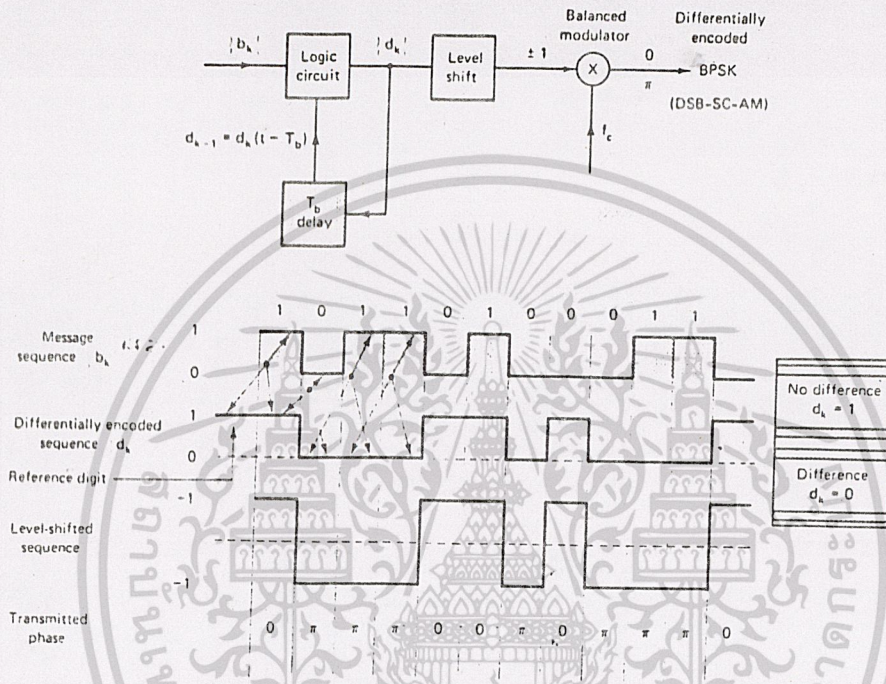


Figure 4 Differential encoding. If there is no difference between the signal states of b_k and d_{k-1} (same logic states), then the logic output state $d_k = 1$; otherwise, $d_k = 0$.

2.2.2 ประสิทธิภาพสเปกตรัมและสเปกตรัมของระบบ BPSK

(SPECTRUM AND SPECTRAL EFFICIENCY OF BPSK SYSTEMS)

ความหนาแน่นของสเปกตรัม (Spectral Density) $w_{\text{B}}(f)$ ของสัญญาณแบบ NRZ แสดงได้ดังนี้

$$S_b(f) = 2A^2 T_b \left(\frac{\sin \pi f T_b}{\pi f T_b} \right)^2 \quad (2.11)$$

ในระบบ BPSK ระยะห่างระหว่างบิตเท่ากับระยะห่างระหว่างสัญลักษณ์ (symbol) ($T_b = T_s$) ดังนั้น แคเรียร์สเปกตรัมจะเกิดขึ้นรอบๆ ความถี่ f_c ดังนี้

$$S_m(f) = 2KA^2 T_b \left[\frac{\sin \pi (f - f_c) T_b}{\pi (f - f_c) T_b} \right]^2 \quad (2.12)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ในการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ที่ซึ่ง K เป็นอัตราส่วนคงที่ของการคูณ ในรูปที่ 5 จะแสดงมอดูเลตสเปกตรัมที่ไม่ได้ฟิลเตอร์ (BW เป็นอนันต์) และที่ฟิลเตอร์ (BW ต่ำสุด)

สเปกตรัมมอดูเลตและสเปกตรัมฟิลเตอร์ $S_{\Sigma}(f)$ กำหนดโดย

$$S_{\Sigma}(f) = S_m(f) |H_{\Sigma}(f)|^2 \quad (2.13)$$

แถบความถี่จะถูกจำกัดโดย BPF $H_{\Sigma}(f)$ อาจจะประกอบด้วย $(x/\sin x)$ รูปร่างของอควอไลต์แอมพลิจูดแสดงในรูปที่ 5 สำหรับจุดที่มี BW ต่ำสุด จะใช้การฟิลเตอร์ที่มีโรล-ออฟ-ฟิลเตอร์ (roll off filter) $\alpha = 0$ ซึ่งฟิลเตอร์แบบนี้ช่วงความถี่ที่ผ่านได้เหมือนกับ LPF

จากทฤษฎี ประสิทธิภาพของสเปกตรัมของ BPSK โมเดมเป็น 1 b/s/Hz ในทางปฏิบัติจะใช้ฟิลเตอร์ที่มีค่า $\alpha = 0.3$ เป็นคุณสมบัติของ โรล-ออฟ-ฟิลเตอร์ ประสิทธิภาพของสเปกตรัมเป็น $1/\text{b/s/Hz} : 1.3 = 0.77 \text{ b/s/Hz}$

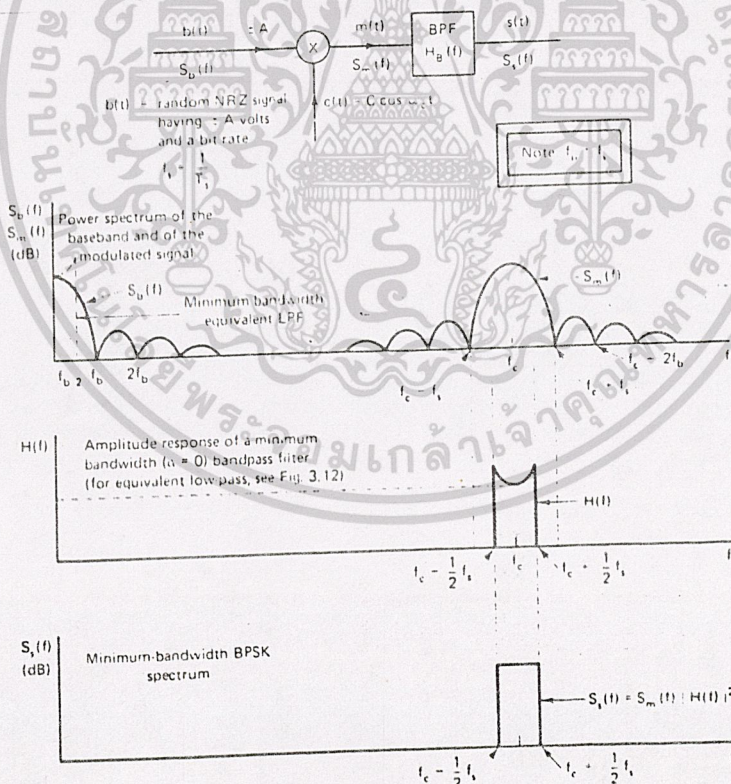


Figure 5 Spectrum of unfiltered and filtered BPSK.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.3 เครื่องรับออปติมัมสำหรับการมอดูเลตสัญญาณไบนารี

(Optimum Receiver For Binary Digital Modulation Systems)

เครื่องรับออปติมัมเป็นเครื่องรับที่มีความน่าจะเป็นของความผิดพลาดต่ำสุด P_e โดยให้สัญญาณรบกวนแบบแอดดิทีฟ-ไวท์เกาส์เซียน (AWGN) ซึ่งมีความหนาแน่นของสเปกตรัมเท่ากันตลอดย่านความถี่ใช้งาน นั่นคือเป็นสัญญาณที่ปราศจากการรบกวนระหว่างสัญลักษณ์ (symbol interference) ซึ่งมีแบนด์วิดท์ไม่จำกัด การพิสูจน์นี้เป็นวิธีการสนับสนุนการนำไปใช้งานในระบบการมอดูเลตแบบโคฮีเรนซ์ไบนารีทั่วไป

ความสัมพันธ์ระหว่างเครื่องรับออปติมัม เครื่องรับซึ่งมี (ค่า P_e เฉพาะ) ความต้องการกำลังงานต่อสัญญาณรบกวน (C/N) ต่ำสุดและเครื่องรับที่ถูกจำกัดโดยเกณฑ์การส่งของไนควิสต์ (Nyquist)

2.3.1 โมเดลและที่มาของสมรรถนะของระบบการส่งของไบนารี

(Model and Derivation of Binary Transmission System Performance)

ให้สมมติว่าตัวมอดูเลตสัญญาณไบนารี และลำดับบิตทรีโกโนสแบบแรนดัม (b_k) ด้วยค่าบิตเรท $f_b = 1/T_b$ เอาท์พุทของตัวมอดูเลตช่องว่างระหว่างบิต k_{th} ขึ้นอยู่กับบิตที่ k_{th} (b_k) เพียงหนึ่งเดียว รูปแบบของตัวมอดูเลตจะเป็นตามแมปปีงดังนี้

$$m(t) = \begin{cases} s_1[t - (k-1)T_b] & \text{if } b_k = 0 \\ s_2[t - (k-1)T_b] & \text{if } b_k = 1 \end{cases} \quad (2.14)$$

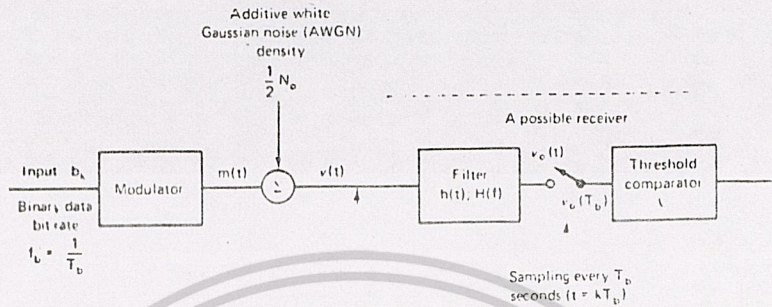
ซึ่ง $s_1(t)$ และ $s_2(t)$ 2 รูปคลื่น ซึ่งมีการเบี่ยงเบนของ T_b วินาที และมีพลังงานจำกัด นั่นคือ

$$\begin{aligned} E_{1b} &\triangleq \int_{t_0}^{t_0+T_b} s_1^2(t) dt < \infty \\ E_{2b} &\triangleq \int_{t_0}^{t_0+T_b} s_2^2(t) dt < \infty \end{aligned} \quad (2.15)$$

ตัวมอดูเลตและตัวดีมอดูเลตสัญญาณไบนารีที่เป็นไปได้ ในรูปที่ 6 ถ้าเราสมมติว่าการส่งเป็นอิสระจากสัญญาณรบกวนระหว่างสัญลักษณ์ที่ต่อเนื่อง เพียงพอที่จะศึกษาสมรรถนะของระบบ สำหรับการกระตุ้นของพัลส์โดยลำดับ ปราศจากค่าสูญเสีย ดังนั้นเราอาจสมมติว่าเอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่สงวนสิทธิ์ในการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$t_0 = 0 \text{ และ } k = 1$$

ทราบเฟรQUENCY ฟังก์ชันของเครื่องรับฟิลเตอร์ที่ออฟติไม้ม $H(f)$ การตอบสนองของอิมพัลส์ของ $h(t)$ และความน่าจะเป็นของรูปแบบการผิดพลาดในระบบที่ออฟติไม้มทั้งหมดผลจะได้ที่มามีดังนี้



Without loss of generality for ISI-free transmission we may assume $k = 1$

$$m(t) = \begin{cases} s_1[t - (k-1)T_b] & \text{if } b_k = 0 \\ s_2[t - (k-1)T_b] & \text{if } b_k = 1 \end{cases}$$

$$v(t) = \begin{cases} s_1(t) + n(t) \\ \text{or} \\ s_2(t) + n(t) \end{cases}$$

Figure 6 Modulator, with additive white Gaussian noise (AWGN) and demodulator

คลื่นพาหะที่รับได้บวกกับสัญญาณรบกวน ก่อนการรับฟิลเตอร์คือ

$$v(t) = \begin{cases} s_1[t - (k-1)T_b] + n(t) \\ \text{or} \\ s_2[t - (k-1)T_b] + n(t) \end{cases} \quad (k-1)T_b \leq t < kT_b \quad (2.16)$$

หรือ กรณีพิเศษ $k=1$

$$v(t) = \begin{cases} s_1(t) + n(t) \\ s_2(t) + n(t) \end{cases} \quad 0 < t < T_b \quad (2.17)$$

ขึ้นอยู่กับสัญญาณ $s_1(t)$ หรือ $s_2(t)$ ที่ถูกส่ง (สังเกต ระบบการแพร่กระจายที่ถูกหน่วง สมมติว่าเป็น ศูนย์) ตอนนี้ เราให้ $s_1(t)$ และ $s_2(t)$ ถูกเลือก

$$s_{01}(T_b) < s_{02}(T_b) \quad (2.18)$$

กฎตัดสิน (decision rule) เป็นพื้นฐานของกฎเกณฑ์บรรทัดฐาน

$$s_2(t) \text{ was sent if } v_c(T_b) > 1 \quad (2.19)$$

$$s_1(t) \text{ was sent if } v_c(T_b) < 1 \quad (2.20)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ซึ่ง 1 เป็นระดับเทรลโวลของ $v_o(T_b)$ เอาท์พุทของแชนเนลลิง $s_{o1}(T_b)$ และ $s_{o2}(T_b)$ เป็นส่วนประกอบสัญญาณของเอาท์พุทของฟิลเตอร์ที่รับมาในการแชนเนลลิงชั่วขณะ $t=T_b$ สัญญาณการฟิลเตอร์เหล่านี้ถูกส่งเนื่องจากสัญญาณ $s_1(t)$ และ $s_2(t)$ ตามลำดับ ในการแชนเนลลิงชั่วขณะของสัญญาณ ($t=T_b$) บวกกับแรงดันสัญญาณรบกวนที่อินพุทของวงจรเปรียบเทียบเทรลโวล จะได้

$$v_o(T_b) = s_{o1}(T_b) + n_{o1}(T_b) \quad (2.21)$$

หรือ

$$v_o(T_b) = s_{o2}(T_b) + n_{o2}(T_b) \quad (2.22)$$

ซึ่ง $n_{o1}(t)$ และ $n_{o2}(t)$ แทนส่วนประกอบของสัญญาณรบกวนที่ฟิลเตอร์แล้ว

เราให้ AWGN มีความหนาแน่นของสเปกตรัมกำลังแบบดับเบิลไซด์ $G_n(f) = (1/2)N_0$ ดังนั้นสัญญาณรบกวนที่ฟิลเตอร์แล้วมีความหนาแน่นของสเปกตรัมกำลัง (power spectral density) เป็น $S_{no}(f)$

$$\begin{aligned} S_{no}(f) &= |H(f)|^2 G_n(f) \\ &= |H(f)|^2 \frac{1}{2} N_0 \end{aligned} \quad (2.23)$$

การรับของฟิลเตอร์เป็นโครงข่ายแบบเชิงเส้น นอกจากนี้ช่องของสัญญาณรบกวนแบบเกาส์เซียน (Gaussian channel noise) ยังคงเป็นเกาส์เซียนหลังจากฟิลเตอร์ที่เครื่องรับนี้ (สังเกตพหุนามขั้วลิตีเดนซิตีฟังก์ชัน, PDF ของสัญญาณรบกวนแบบเกาส์เซียนยังคงเกิดขึ้นแม้แต่เมื่อถูกฟิลเตอร์โดยไทม์-อินแวเรียนท์ (time-invariant) จากฟิลเตอร์แบบเชิงเส้นแล้ว โดยใช้ทฤษฎีบทการวางซ้อน (superposition theorem) การนำไปใช้งานในทฤษฎีระบบพื้นฐาน

สัญญาณรบกวนเป็นแบบสแตชันนารี ดังนั้นการแชนเนลลิงชั่วขณะ $N=n_o(T_b)$ เป็นตัวแปรแบบแรนดัมซึ่งพหุนามขั้วลิตีเดนซิตีจะได้

$$f_N(\eta) = \frac{e^{-\eta^2/2\sigma_o^2}}{\sqrt{2\pi\sigma_o^2}} \quad (2.24)$$

ซึ่งกำลังของสัญญาณรบกวนรวม N_T (ด.ย. σ_o^2) ที่เอาท์พุทของการรับของฟิลเตอร์คือ

$$N_T = \sigma_o^2 = \int_{-\infty}^{\infty} |H(f)|^2 G_n(f) df \quad (2.25)$$

ค่าเฉลี่ยของสัญญาณรบกวนเป็นศูนย์ โดยมีความสมมาตร เอาท์พุทจะมี 2 สถานะ

$$V_1 = v_1(T_b) = s_{o1}(T_b) + N$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาค้นคว้าเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ (2.26) ถ้า

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หรือ

$$V_2 = v_2(T_b) = s_{02}(T_b) + N \quad (2.27)$$

เงื่อนไข PDF ของเอาต์พุตของฟิลเตอร์ตัวรับในการแซมปลิงทันทีที่ $t = kT_b$ ดังในรูปที่ 7 สังเกตว่าเงื่อนไข PDF สำหรับกรณีพิเศษของการส่งสัญญาณไบนารีแบบนั้นมีรูปร่างเหมือนกัน

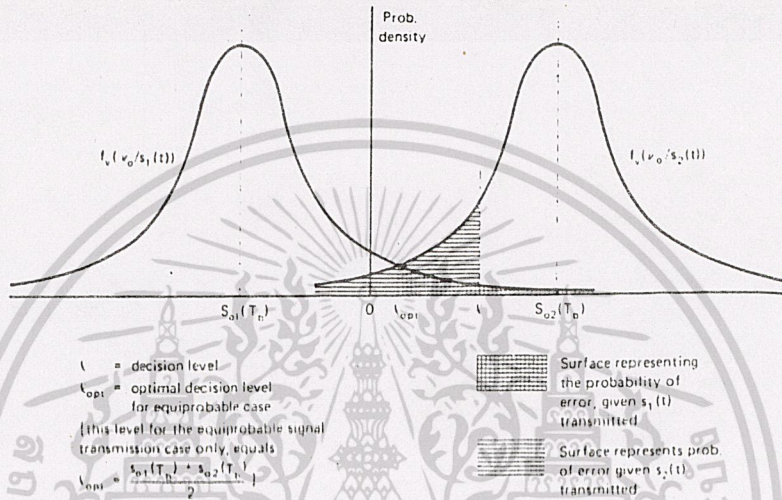


Figure 7 Conditional probability density functions of the receive filter output in the sampling instant ($t = T_b$).

ความน่าจะเป็นของความผิดพลาด(Probability of error derivation) กรณีไบนารีทั่วไปเรามี

ความน่าจะเป็นของการส่งของ $a_n s_1(t)$ สัญญาณคือ p_1

ความน่าจะเป็นของการส่งของ $a_n s_2(t)$ สัญญาณคือ p_2

ความน่าจะเป็นเฉลี่ยของความผิดพลาดคือ

$$P_e = p_1 P[e|s_1(t)] + p_2 P[e|s_2(t)] \quad (2.28)$$

ระบบการส่งดิจิทัลในทางปฏิบัติที่สำคัญที่สุด ได้แก่ ดาต้าสตรีม (data-stream) แบบแรนดัม เราว่าการสแควมเบอร์ (scrambler) ทำให้สัญญาณมีรูปแบบการกระจายแน่นอน มีทฤษฎีการทำงานและแนวการออกแบบทางปฏิบัติของการสแควมเบอร์ ที่ใช้ในกรณีทั่วไปของลำดับปรีโซโดแรนดัม (pseudo-random) มีความยาวสูงสุด จะได้ความน่าจะเป็นเอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เป็นของการเกิดบิต 0 และ บิต 1 (equiprobable random) ดังนี้

$$p_1 = p_2 = 0.5 \quad (2.29)$$

และ

$$P_r = 0.5P[e|s_1(t)] + 0.5P[e|s_2(t)] \quad (2.30)$$

ความน่าจะเป็นของความผิดพลาดที่สมมติว่า $s_1(t)$ ถูกส่งจะได้

$$\begin{aligned} P(e|s_1(t)) &= \int_{-\infty}^{\infty} f_{v_0}(v_0|s_1(t)) dv_0 \\ &= \int_{-\infty}^{\infty} \frac{e^{-1/2\sigma_0^2(v_0 - s_{01}(t))^2}}{\sqrt{2\pi}\sigma_0} dv_0 \end{aligned} \quad (2.31a)$$

ความน่าจะเป็นของความผิดพลาดสมมติว่า $s_2(t)$ ถูกส่ง

$$\begin{aligned} P(e|s_2(t)) &= \int_{-\infty}^{\infty} f_{v_0}(v_0|s_2(t)) dv_0 \\ &= \int_{-\infty}^{\infty} \frac{e^{-1/2\sigma_0^2(v_0 - s_{02}(t))^2}}{\sqrt{2\pi}\sigma_0} dv_0 \end{aligned} \quad (2.31b)$$

ความน่าจะเป็น แสดงในรูปที่ 7

รวมสมการ (2.30) และ (2.31) เราจะได้

$$\begin{aligned} P_r &= \frac{1}{2} \int_{-\infty}^{\infty} \frac{1}{\sqrt{2\pi}N_T} \exp\left[-\frac{(v_0 - s_{01})^2}{2N_T}\right] dv_0 \\ &\quad + \frac{1}{2} \int_{-\infty}^{\infty} \frac{1}{\sqrt{2\pi}N_T} \exp\left[-\frac{(v_0 - s_{02})^2}{2N_T}\right] dv_0 \end{aligned} \quad (2.32)$$

ระดับเทรลโวลที่ออฟติมัม 1_{opt} ถูกพิสูจน์โดยการหาจากดิฟเฟอเรนเชียลตามค่า 1 ในสมการ (2.31) ถ้าเราตั้งดิฟเฟอเรนเชียลครั้งแรกเป็นศูนย์ เราจะได้การเซตค่าออฟติมัมของระดับเทรลโวลเท่ากับ 1

$$1_{opt} = 0.5[s_{01}(T_b) + s_{02}(T_b)] \quad (2.33)$$

ระดับนี้แสดงที่ระดับภายในของระดับเทรลโวล 1_{opt} ในสมการ (2.31) เราได้

$$P_r = 0.5 \operatorname{erfc}\left[\frac{s_{02}(T_b) - s_{01}(T_b)}{2\sqrt{2}\sigma_0}\right] \quad (2.34a)$$

ที่ $\operatorname{erfc}(y)$ ถูกจำกัดโดย

$$\operatorname{erfc}(y) \doteq \frac{2}{\sqrt{\pi}} \int_y^{\infty} e^{-z^2} dz = 2Q(\sqrt{2}y) \quad y > 0 \quad (2.34b)$$

สังเกตว่า การนำไปใช้งานของสมการ (2.34a) ถูกจำกัดที่สัญญาณรบกวนแบบเกาส์เซียน เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ไว้เพื่อการศึกษาเท่านั้น ไม่ควรนำออกเผยแพร่โดยไม่ได้รับอนุญาต หากต้องการข้อมูลเพิ่มเติม กรุณาติดต่อผู้จัดทำเอกสารทุกครั้งที่มีการนำไปใช้

ทรานเฟอร์ฟังก์ชันของเครื่องรับออปติมัม (Transfer Function of the -
Optimal Receiver) (สำหรับสัญญาณรบกวนที่เป็นเกาส์เซียน)

จากสมการ (2.34) เราสรุปว่าความน่าจะเป็นของสัญญาณผิดพลาดของฟังก์ชัน
ความแตกต่างระหว่างสัญญาณ 2 เอาท์พุทในการแซมปลิงช่วงเวลาที่ $t=T$ และของระดับ
แรงดันรบกวน rms ฟังก์ชันความผิดพลาด $\text{erfc}(y)$ ลดลงอย่าง โมโนโทนนิคอลลี
(monotonically) ด้วยค่า y ดังนั้นความน่าจะเป็นของสัญญาณผิดพลาดที่ลดลงด้วยการ
เพิ่มขึ้นของความแตกต่างระหว่างสัญญาณการแซมปลิงที่เครื่องรับ ที่มี $H(f)$ เป็นทรานเฟอร์
ฟังก์ชันของแมชฟิลเตอร์ (matched filter) หรือ $n(t)$ เป็นการตอบสนองของอิม
พัลส์ของมันอย่างเทียบเคียง $h(t)$ นำไปสู่ค่า k เล็กๆซึ่งจะทำให้สมรรถนะดีที่สุดโดยเป็น
อัตราส่วนค่าสูงสุดของ P_e

$$\gamma = \frac{s_{o2}(T_b) - s_{o1}(T_b)}{\sigma_o} \quad (2.35)$$

แล้วแทน γ^2 การหาที่มาก็ทำได้ง่ายโดยการกำจัดสิ่งที่เราต้องการคือ $s_{o1}(T_b) <$
 $s_{o2}(T_b)$ เราจะกำจัดความแตกต่างในเอาท์พุทของฟิลเตอร์คือ

$$s_{od}(t) = s_{o2}(t) - s_{o1}(t) \quad (2.36)$$

และความแตกต่างในการแซมปลิงช่วง

$$s_{od}(T_b) = s_{o2}(T_b) - s_{o1}(T_b) \quad (2.37)$$

ดังนั้น

$$\gamma^2 = \frac{s_{od}^2(T_b)}{\sigma_o^2} = \frac{s_{od}^2(t)}{E[n_o^2(t)]} \Big|_{t=T_b} \quad (2.38)$$

ความแตกต่างของเอาท์พุทฟิลเตอร์อาจจะหาได้โดยการอินเวอร์สฟูเรียร์ทรานฟอร์ม

$$s_{od}(t) = F^{-1}[S_{od}(f)H(f)] = \int_{-\infty}^{\infty} H(f)S_{od}(f)e^{j2\pi ft} df \quad (2.39)$$

กำลังของสัญญาณรบกวน(หรือแวลูเรียนซ์) ของขบวนการที่สัญญาณที่เอาท์พุทของฟิลเตอร์คือ

$$\begin{aligned} \sigma_o^2 &= E[n_o^2(t)] = E[n_o^2(T_b)] = \int_{-\infty}^{\infty} G_n(f)H(f)^2 df \\ &= \frac{1}{2} N_0 \int_{-\infty}^{\infty} |H(f)|^2 df \end{aligned} \quad (2.40)$$

ถ้าเราใช้ค่า $t=T_b$ ในสมการ (2.39) และรวมสมการนี้เข้ากับสมการ (2.40)

ใน (2.38) ที่มีอยู่เราจะได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\gamma^2 = \frac{\left| \int_{-\infty}^{\infty} H(f) S_{od}(f) e^{j2\pi f T_b} df \right|^2}{\frac{1}{N_0} \int_{-\infty}^{\infty} |H(f)|^2 df} \quad (2.41)$$

ค่าสูงสุด γ^2 เราจะให้ Schwarz's inequality สภาวะความไม่เท่ากันคือ

$$\left| \int_{-\infty}^{\infty} X(f) Y^*(f) df \right|^2 \leq \int_{-\infty}^{\infty} |X(f)|^2 df \int_{-\infty}^{\infty} |Y(f)|^2 df \quad (2.42)$$

ซึ่ง $X(f)$ และ $Y(f)$ เป็นฟังก์ชันเชิงซ้อนของค่าตัวแปร f สมการจะได้เป็น

$$X(f) = k Y^*(f) \quad (2.43)$$

ซึ่งกำหนดให้ k เป็นค่าคงที่ $Y(f)$ เป็นคอมเพล็กซ์คอนจูเกต (complex conjugate) ของ $Y(f)$ ในสมการ (2.42) เราจะได้

$$X(f) = H(f) \quad (2.44)$$

$$Y^*(f) = S_{od}(f) e^{j2\pi f T_b} \quad (2.45)$$

เราจะได้ว่า

$$\gamma^2 = \frac{1}{G_n(f)} \frac{\left| \int_{-\infty}^{\infty} X(f) Y^*(f) df \right|^2}{\int_{-\infty}^{\infty} |H(f)|^2 df} \leq \frac{2}{N_0} \frac{\int_{-\infty}^{\infty} |H(f)|^2 df \int_{-\infty}^{\infty} |S_{od}(f)|^2 df}{\int_{-\infty}^{\infty} |H(f)|^2 df} \quad (2.46)$$

$$\gamma^2 \leq \frac{2}{N_0} \int_{-\infty}^{\infty} |S_{od}(f)|^2 df \quad (2.47)$$

พื้นฐานของ Schwarz's inequality และการใช้สัญญาณรบกวนแบบไวท์เกาส์ เขียน $G_n(f) = N_0/2$ เราสรุปว่าค่าที่ใกล้เคียงกับอัตราส่วนสัญญาณต่อสัญญาณรบกวน คือ ค่าสูงสุดถ้า

$$H(f) = m S_{od}^*(f) e^{-j2\pi f T_b} \quad (2.48)$$

ใน (2.48) m คือค่าคงที่ ซึ่งแทนแอมพลิจูด ค่าแอมพลิจูดของฟิลเตอร์ที่ลิเนียร์มีอัตราส่วนสัญญาณต่อสัญญาณรบกวนน้อยมาก ดังนั้นถ้าไม่มีค่าสูญเสียเราอาจจะตั้งค่า $m = 1$ $H_0(f)$ เป็นทรานเฟอร์ฟังก์ชันของเครื่องรับที่ออฟติมัม เราจะได้

$$H_0(f) = S_{od}^*(f) e^{-j2\pi f T_b} \quad (2.49)$$

โดยหมายถึงการอินเวอร์ฟูเรียร์ทรานฟอร์ม เราสามารถติดตั้งเครื่องรับที่ตอบสนองอิมพัลส์ $h_0(t)$ ซึ่งขึ้นอยู่กับค่าออฟติมัมของ $H_0(f)$

$$\begin{aligned} h_0(t) &= \mathcal{F}^{-1}[H_0(f)] = \int_{-\infty}^{\infty} S_{od}^*(f) e^{-j2\pi f T_b} e^{j2\pi f t} df \\ &= \int_{-\infty}^{\infty} S_{od}(f') e^{j2\pi f' (T_b - t)} df' \end{aligned} \quad (2.50)$$

สมการ (2.50) แทนอินเวอร์ฟูเรียร์ทรานฟอร์มของ $s_{od}(t)$ กับค่า t ถูกแทนโดย

$T_b - t$ ดังนั้นเรามี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$h_o(t) = s_2(T_b - t) - s_1(T_b - t) \quad (2.51)$$

ถ้าเราจำกัด

$$s(T_b - t) \triangleq s_2(T_b - t) - s_1(T_b - t) \quad (2.52)$$

แล้วเราจะได้

$$h_o(t) = s(T_b - t) \quad (2.53)$$

เราเรียกรูปแบบโมเดลของระบบที่แสดงในรูปที่ 5 ว่า $s_1(t)$ และ $s_2(t)$ แทนสัญญาณที่ถูกส่งที่เอาท์พุทของมอดูเลเตอร์ ผลที่ได้ในสมการ (2.50) สภาวะซึ่ง $h_o(t)$ การตอบสนองของอิมพัลส์ $h_o(t)$ ของเครื่องรับที่ออฟติมัมเท่ากับความแตกต่างของเวลาที่เลื่อนไป T_b วินาที กลับกันกับของ $s_2(t)$ และ $s_1(t)$ เครื่องรับที่เป็นแมชฟิลเตอร์ ความแตกต่างนี้ถูก แชนปลิ่งและเปรียบเทียบกับค่าเทรลโวลที่ออฟติมัม 1_{opt} [สมการ (2.33) ในรูป 8 (a)]

โครงสร้างของเครื่องรับที่ออฟติมัมแสดงในรูป 8 (b) เครื่องรับนี้เรียกว่าเครื่องรับคอร์รีเลชั่น หรือ คอร์รีเลชั่นดีเทคเตอร์ (correlation receiver or correlation detector) แสดงว่าเครื่องรับที่ใช้แมชฟิลเตอร์และเครื่องรับคอร์รีเลชั่นเป็นลักษณะเดียวกันและนอกจากนี้มีคุณลักษณะที่มีสมรรถนะเหมือนกัน

เอาท์พุทของเครื่องรับแบบแมชฟิลเตอร์คือ

$$\begin{aligned} v(t) &= h(t) * y(t) = \int_0^{T_b} s(T_b - \tau) y(t - \tau) d\tau \\ &= \int_0^{T_b} s(T_b - \tau) y(t - \tau) d\tau \end{aligned} \quad (2.54)$$

$$h(t) = \begin{cases} s(T_b - t) & 0 \leq t \leq T_b \\ 0 & \text{elsewhere} \end{cases} \quad (2.55)$$

ถ้าเราให้ $t = T_b$ และเปลี่ยนตัวแปรเป็น $\alpha = T_b - \tau$ เราได้

$$v(T_b) = \int_0^{T_b} s(\alpha) y(\alpha) d\alpha \quad (2.56)$$

เอาท์พุทของคอร์รีเลเตอร์ที่แชนปลิ่งชั่วขณะที่ $t = T_b$ ดังในรูป 8 (b) คือ

$$v'(T_b) = \int_0^{T_b} s(t) y(t) dt \quad (2.57)$$

สังเกตว่า $v(T_b) = v'(T_b)$ คือเครื่องรับของแมชฟิลเตอร์มีลักษณะเดียวกันคือ แชนปลิ่ง ชั่วขณะที่ $t = T_b$ ค่าของเอาท์พุทแมชฟิลถูกเปรียบเทียบกับระดับเทรลโวลส์ ดังนั้นสำหรับเงื่อนไขเทียบเคียงมันเพียงพอที่จะมีเอาท์พุทเท่ากับค่าแชนปลิ่งชั่วขณะ เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้เผยแพร่โดยไม่ได้รับอนุญาต
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เครื่องรับแบบคอร์รีเลเตอร์ [รูป 8 (b)] ประกอบด้วยวงจรคูณ วงจรอินทิเกรตเตอร์และส่วนแชนเนล สิ่งเกตว่าอินพุต $s(t)$ ที่ผ่านการคูณเข้ากับความแตกต่างของการส่งสัญญาณที่ถูกจำกัดแถบ [สมการ (2.56)] ดังนั้น $s(t)$ จะไม่เป็นรูปไซน์แบบง่าย

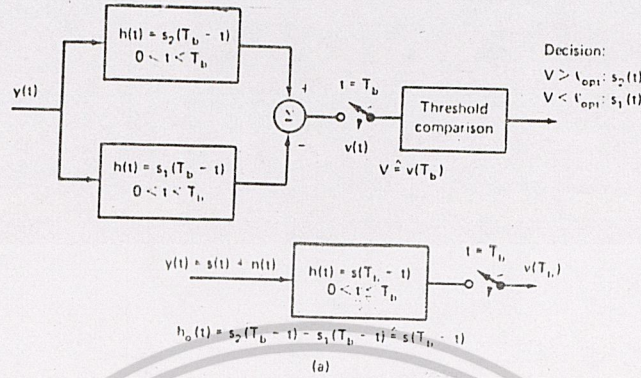


Figure 8 (a) Matched filter receiver. (b) Its equivalent correlation receiver for binary signaling in white Gaussian noise. Coherent PSK demodulators are essentially correlation receivers. Note that $s(t)$ is a sinusoidal signal only for infinite-bandwidth systems.

$P_e = f(E_b/N_0)$ สมรรถนะของเครื่องรับที่ออฟติมัม

[$P_e = f(E_b/N_0)$ Performance of the Optimal Receiver]

สมรรถนะของความน่าจะเป็นของความผิดพลาดคือ P_e สัญญาณไบนารีที่มอดูเลตและดีมอดูเลตแบบโคฮีเรนท์ แสดงในรูป 6 และในสมการ (2.33) ซึ่งอยู่ในรูปของสัญญาณรบกวนแบบไว้น์เกาส์เซียนโดย

$$P_e = 0.5 \operatorname{erfc} \left[\frac{S_{02}(T_b) - S_{01}(T_b)}{2\sqrt{2} \sigma_0} \right] \quad (2.58)$$

รูป 8 (a) แสดงอุปกรณ์การสนับสนุนแมชฟิลเตอร์ของระบบไบนารี ซึ่ง P_e สำหรับเครื่องรับแมชฟิลเตอร์คือ

$$P_e = \frac{1}{2} \operatorname{erfc} \left(\frac{\gamma}{2\sqrt{2}} \right) \quad (2.59)$$

ที่ γ คือค่าสูงสุดที่กำหนดโดยสมการ (2.47) คือ

$$\gamma = \sqrt{\frac{2}{N_0}} \int_{-\infty}^{\infty} |S_{0d}(f)|^2 df \quad (2.60)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากสมการ (2.36) เราจะได้

$$s_{sd}(t) = s_2(t) - s_1(t) \quad (2.61)$$

ดังนั้นใช้ทฤษฎีบทพาร์เซวาล (Parseval's theorem)

$$\begin{aligned} \gamma^2 &= \frac{2}{N_0} \int_{-\infty}^{\infty} [s_2(t) - s_1(t)]^2 dt \\ &= \frac{2}{N_0} \left[\int_{-\infty}^{\infty} s_2^2(t) dt + \int_{-\infty}^{\infty} s_1^2(t) dt - 2 \int_{-\infty}^{\infty} s_1(t)s_2(t) dt \right] \\ &= \frac{2}{N_0} (E_{2b} + E_{1b} - 2\sqrt{E_{1b}E_{2b}} \rho_{12}) \\ &= \frac{2}{N_0} (2E_b - 2\sqrt{E_{1b}E_{2b}} \rho_{12}) \end{aligned} \quad (2.62)$$

ที่ E เป็นพลังงานเฉลี่ยของสัญญาณที่รับได้ $E = 1/2(E_{1b} + E_{2b})$ [สังเกตว่า ความน่าจะเป็นก่อนของ $s_1(t)$ และ $s_2(t)$ สมมติว่าเท่ากัน]

$$\rho_{12} = \frac{1}{\sqrt{E_1 E_2}} \int_{-\infty}^{\infty} s_1(t)s_2(t) dt \quad -1 \leq \rho_{12} \leq 1 \quad (2.63)$$

คือออร์มอลไลซ์ที่จำกัดเวลาของสัมประสิทธิ์คอสรีเลชันของรูปคลื่น $s_1(t)$ และ $s_2(t)$ E_1 และ E_2 แทนพลังงานของสัญญาณ $s_1(t)$ และ $s_2(t)$ วัดได้จากจากความกว้างของ T_b [ในสมการ (2.15)] ρ_{12} เป็นสัมประสิทธิ์คอสรีเลชันแทนการวัดที่คล้ายกันระหว่าง 2 สัญญาณ คือ $s_1(t)$ และ $s_2(t)$

$$-1 \leq \rho_{12} \leq 1 \quad (2.64)$$

จากสมการ (2.60) และสมการ (2.62) เราจะได้

$$P_e = \frac{1}{2} \operatorname{erfc} \left(\frac{1}{2} \sqrt{\frac{E_{1b} + E_{2b} - 2\sqrt{E_{1b}E_{2b}}\rho_{12}}{N_0}} \right) \quad (2.65)$$

จากสมการ (2.65) สรุปว่า P_e แสดงสมรรถนะในรูปของฟังก์ชันพลังงานสัญญาณ E_{1b} และ E_{2b} , N_0 เป็นความหนาแน่นของสัญญาณรบกวน และ ρ_{12} เป็นสัมประสิทธิ์ของคอสรีเลชันที่ทำให้ได้สมรรถนะสูงสุดภายใต้ค่า P_e จะต้องต่ำสุดโดยสมมติค่า E_{1b} , E_{2b} และ N_0 เป็นค่าเฉพาะเราสรุปว่าเทอมนี้จะมีค่าสูงสุดที่ $\rho_{12} = -1$ กรณีนี้เราได้

$$\begin{aligned} P_e &= \frac{1}{2} \operatorname{erfc} \left(\frac{1}{2} \sqrt{\frac{E_{1b} + E_{2b} + 2\sqrt{E_{1b}E_{2b}}}{N_0}} \right) \\ &= \frac{1}{2} \operatorname{erfc} \left(\frac{1}{2} \frac{\sqrt{E_{1b}} + \sqrt{E_{2b}}}{\sqrt{N_0}} \right) \quad \text{for } \rho_{12} = -1 \end{aligned} \quad (2.66)$$

การสมมติว่าสัญญาณที่ถูกส่งเป็นอิกวิพรอบเบเบิล (equiprobable) พลังงานที่รับเฉลี่ย (การวัดใน T_b วินาทีช่วงห่างของเวลา) เป็น

$$E_{av} = \frac{1}{2}(E_{1b} + E_{2b}) \quad (2.67)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สมการ (2.65) อาจจะเขียนใหม่ได้เป็นดังนี้

$$P_k = \frac{1}{2} \operatorname{erfc} \left[\sqrt{\frac{1}{2} \frac{E_{av}}{N_0} (1 - R_{12})} \right] \quad (2.68)$$

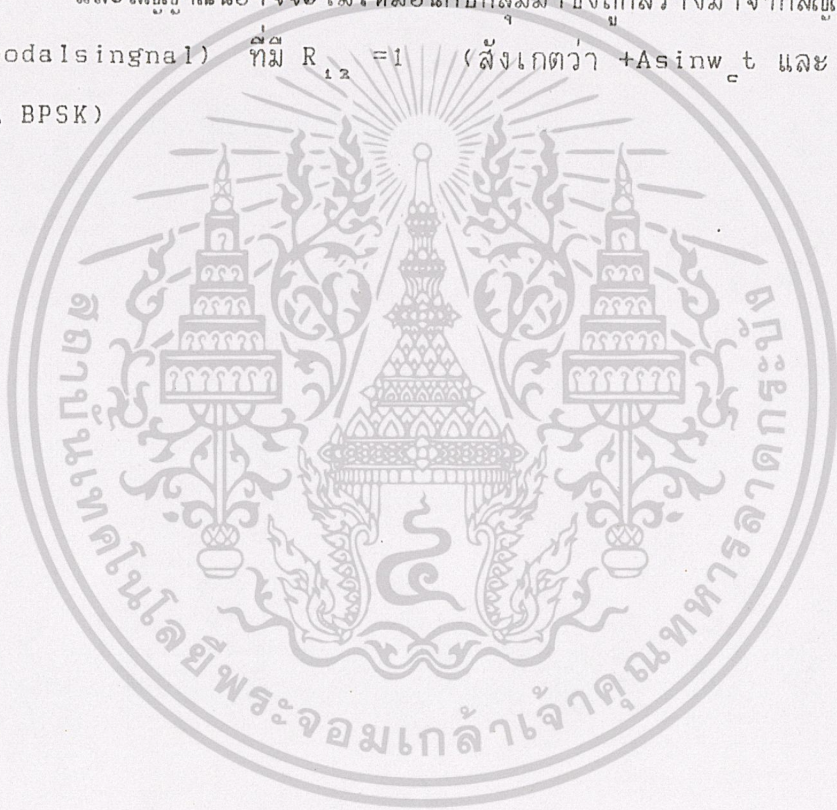
ซึ่ง

$$R_{12} = \frac{2 \sqrt{E_{1b} E_{2b}}}{E_{1b} + E_{2b}} \rho_{12} \quad (2.69)$$

R_{12} ที่มีค่าน้อยๆจะทำให้สมรรถนะ P_k ดีที่สุด $R_{12 \min}$ ค่าต่ำสุด -1 ได้ค่า ρ_{12} เป็น -1 และ $E_{1b} = E_{2b}$ และเลือกค่าที่ทำให้ได้ P_k ดีที่สุด

$$P_k = \frac{1}{2} \operatorname{erfc} \sqrt{\frac{E_{avb}}{N_0}} \quad (2.70)$$

เราสรุปว่าสมรรถนะจะดีที่สุดในช่วงพลังงานที่ถูกจำกัดแบนด์ที่ช่องสัญญาณแบบเกาส์เซียน และสัญญาณนี้อาจจะไม่เหมือนกับที่ส่งมาซึ่งถูกสร้างมาจากสัญญาณแอนติพอดอล (antipodalsignal) ที่มี $R_{12} = 1$ (สังเกตว่า $+A \sin \omega_c t$ และ $-A \sin \omega_c t$ ถูกสร้างใน BPSK)



2.4 ไนควิสต์และแมทช์ฟิลเตอร์ (คอร์รีเลชั่น) ทางด้านรับ

[ARE THE NYQUIST AND THE MATCHED FILTER (CORRELATION) RECEIVER]

การฟิลเตอร์ช่องสัญญาณทางด้านเครื่องรับจะใช้กฎของไนควิสต์ โดยการใช้การสุ่มตัวอย่างและทำการเปรียบเทียบค่าเทรลโวลทางด้านรับ ซึ่งจะต้องเป็นเครื่องรับแบบไนควิสต์ (Nyquist receiver) ความแตกต่างระหว่างเครื่องรับแบบไนควิสต์และเครื่องรับแบบแมทช์ฟิลเตอร์ เราจะทำการพิจารณาได้จากหัวข้อข้างล่างนี้

1. ความน่าจะเป็นของความผิดพลาด $P_{e(MF)} = P_{e(NYQ)}$ ความน่าจะเป็นของความผิดพลาดของเครื่องรับแมทช์ฟิลเตอร์ $P_{e(MF)}$ เป็นดังนี้

$$P_{e(MF)} = \frac{1}{2} \operatorname{erfc} \sqrt{\frac{E_{av}}{N_0}} \quad (2.71)$$

ที่ E_{av} = กำลังงานเฉลี่ยของสัญญาณที่รับได้ที่อินพุทของเครื่องรับแมทช์ฟิลเตอร์ (คอร์รีเลชั่น)

ในระบบไบนารี $E_{av} = E_b$ ที่ E_b เป็นกำลังงานของบิต

N_0 = ความหนาแน่นของสัญญาณรบกวนแบบซิงเกิล-ไซด์

ความน่าจะเป็นของความผิดพลาดของช่องสัญญาณไนควิสต์, $P_{e(NYQ)}$

$$P_{e(NYQ)} = Q\left(\frac{A}{\sqrt{N_T}}\right) = Q\left(\frac{A}{\sigma}\right) \quad (2.72)$$

ที่ A = ค่าแรงดันสูงสุดที่เอาท์พุทของเครื่องรับแบบจำกัดแถบ (ช่องสัญญาณไรซ์โคไซด์) ที่สุ่มตัวอย่างมาได้

N_T = กำลังงานรบกวนรวมที่เอาท์พุทของฟิลเตอร์ ทางเครื่องรับ
= แรงดันรบกวน rms ที่เอาท์พุทของฟิลเตอร์ ทางเครื่องรับ

$$\begin{aligned} P_{e(MF)} &= \frac{1}{2} \operatorname{erfc} \sqrt{\frac{E_{av}}{N_0}} = \frac{1}{2} Q\left(\sqrt{\frac{2E_{av}}{N_0}}\right) \\ &= Q\left(\sqrt{\frac{2A^2 T_b}{N_0}}\right) = Q\left(\sqrt{\frac{2A^2 T_b}{2N_T T_b}}\right) \\ &= Q\left(\sqrt{\frac{A^2}{N_T}}\right) = Q\left(\frac{A}{\sigma}\right) = P_{e(NYQ)} \end{aligned} \quad (2.73)$$

$$P_{e(MF)} = P_{e(NYQ)}$$

(2.74)

ในสมการ (2.73) $P_{e(MF)}$ เป็นความน่าจะเป็นของความผิดพลาดของเครื่องรับแมทช์ฟิลเตอร์, $P_{e(NYQ)}$ เป็นจำนวนความน่าจะเป็นของความผิดพลาดที่เกิดขึ้นกับช่องสัญญาณไนควิสต์ซึ่งเราจะได้ว่า

$$\operatorname{erfc}(y) = 2Q(\sqrt{2}y) \quad y > 0 \quad (2.75)$$

ซึ่ง

$$E_{av} = A^2 T_b \quad (2.76)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กำลังงานบิตเฉลี่ยที่อินพุทของเครื่องรับโนควิสต์เท่ากับกำลังงานของสัญญาณ (A^2) และระยะห่างระหว่างบิต T_b ที่สร้างขึ้นและค่าที่อินพุทเทอร์สโวลคอมแพเรเตอร์จะเป็น กำลังงานเฉลี่ยของบิตคือ $A^2[(4-\alpha)/4]$

สมมติว่าแรงดันที่รับได้เป็น $+A$ หรือ $-A$ โวลท์ วัดความหนาแน่นของสัญญาณรบกวนตกคร่อมนอมอลไลซ์อิมพีแดนซ์ 1Ω

$$N_0 = \frac{N_T}{\text{Nyquist bandwidth}} = \frac{N_T}{\frac{1}{2}(1/T_b)} = N_T 2T_b = \sigma^2 2T_b \quad (2.77)$$

N_0 เป็นความหนาแน่นของการรบกวนแบบซิงเกิล-ไซด์ ซึ่งได้มาจากสัญญาณรบกวนทั้งหมดหารด้วยแถบกำลังงานรบกวนทางด้านเครื่องรับ จะได้ช่องสัญญาณของโนควิสต์เท่ากับแถบความถี่ของโนควิสต์ $f_N = 1/(2T_b)$

สมการ (2.73) และ (2.74) แสดงค่า $P_{\text{avg}}, P_{\text{avg(CMF)}}$ เป็น ความสามารถของเครื่องรับแมชฟิลเตอร์และ $P_{\text{avg(CNYA)}}$ เป็นสัญญาณโนควิสต์ที่มีลักษณะเดียวกัน อย่างไรก็ตาม จำไว้ว่า P_{avg} ของเครื่องรับแมชฟิลเตอร์จะไม่พิจารณาการรบกวนระหว่างสัญลักษณ์เป็นเครื่องรับซิงเกิล-ไซด์ นอกจากนี้ยังนำเครื่องส่งและเครื่องรับหลายๆชุดของฟิลเตอร์แบบโนควิสต์มาต่อรวมกันได้

2. เครื่องรับแมชฟิลเตอร์เครื่องรับแบบโนควิสต์ช่องสัญญาณเทียบเคียงเท่ากันหรือไม่ ในระบบการส่งสิ่งที่สำคัญที่สุดคือลำดับของการซิงโครไนส์ (ไม่เป็นพัลส์เดี่ยวๆ) ถูกส่งไปเครื่องรับแมชฟิลเตอร์ ไม่ทำให้การรับเป็นอิสระจากการรบกวนระหว่างสัญลักษณ์อย่างแน่นอน เพื่อหลีกเลี่ยงสมรรถนะที่แย่งเครื่องรับแมชฟิลเตอร์และช่องสัญญาณที่จำกัดแถบต้องถูกออกแบบตามทฤษฎีของโนควิสต์ ดังนั้นสำหรับการส่งข้อมูลแบบซิงโครไนส์เครื่องรับแมชฟิลเตอร์จะมีสมรรถนะออฟติมัม ดังสมการ (2.73) ถ้าเป็นตามทฤษฎีการส่งของโนควิสต์ที่อิสระจากการรบกวนระหว่างสัญลักษณ์

โมเดลของสัญญาณแบบโนควิสต์ ทำให้การส่งเป็นอิสระจากการรบกวนระหว่างสัญลักษณ์อย่างแน่นอน การส่งและการรับของฟิลเตอร์จะมีการแยก ยาวเท่ากับการต่อคลาสเคสทรานเฟอร์ฟังก์ชันที่เป็นไปตามกฎของโนควิสต์ (โมเดลของช่องสัญญาณไรซ์ไชด์) สำหรับค่า P_{avg} เป็นสมรรถนะที่ออฟติมัม การแบ่งฟิลเตอร์ของช่องสัญญาณโนควิสต์ต้องเป็นไปตามกฎเกณฑ์ของแมชฟิลเตอร์

$$H_T(f) = H_R(f) \quad (2.78)$$

นั่นคือการส่งและการรับของฟิลเตอร์เป็นลักษณะเดียวกัน
เอกสารนี้เป็นเอกสารสงวนลิขสิทธิ์การใช้นอกเหนือจากนี้โดยไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การสมมูลของเครื่องรับแมชฟิลเตอร์และเครื่องรับแบบไนควิสต์และเงื่อนไขที่เราต้องการสำหรับสมรรถนะที่ออฟติมัม รวมในรูป 9 ดังนั้นจึงเป็นเหตุผลข้อ 2

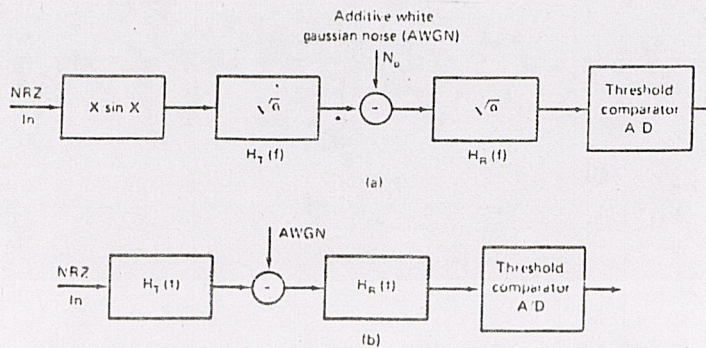


Figure 9 Equivalence of the Nyquist channel and matched filter. Required conditions for optimal performance of synchronous NRZ data. (a) Nyquist channel. Optimal P_r performance is achieved by having the $x/\sin x$ shaping in the transmitter; the raised-cosine channel characteristics is equally split between transmitter and receiver. Thus the receiver is matched to the transmitter. For real-valued transfer function, $H_T(f) = H_R(f)$. $\sqrt{a}$ indicates the square root of the raised-cosine Nyquist equation (3.48a). (b) Matched filter channel. The receiver is matched to the transmitter, that is, $H_R(f) = G^*(f)e^{-j2\pi fT}$; see equation (4.55). In bandlimited systems the matched filter has optimal performance, that is, ISI-free transmission if it satisfies the Nyquist transmission criteria.

3. เครื่องรับแมชฟิลเตอร์ (เครื่องรับคอร์เลชัน) เหมาะสมที่จะรับข้อมูลจำกัดแถบแบบซิงโครนัสหรือไม่ ที่มาของเครื่องรับแมชฟิลเตอร์ที่เสนอคณิตศาสตร์ที่ทำให้เข้าใจใน P_r สมรรถนะและขอบเขตของเครื่องรับแบบไนควิสต์ที่ออฟติมัมเครื่องรับที่ออฟติมัมนี้สำหรับการส่งแบบ (ซิงเกิล-บิต) นั้นคือระบบซึ่งมีเพียงซิมบอลเดียวที่ถูกส่งและเป็นระบบไวด์แบนด์ ซึ่งแต่ละบิตจะถูกจำกัดที่ช่วงเวลาของบิต (bit interval) (ไม่สนใจการรบกวนระหว่างสัญลักษณ์) สำหรับประสิทธิภาพที่ออฟติมัม (ระบบที่มีแบนด์วิดท์แคบกว่าอัตราข้อมูล) เครื่องรับแบบไนควิสต์และเครื่องรับแมชฟิลเตอร์ต้องอยู่ภายใต้กฎเกณฑ์เดียวกัน

ดังนั้นคำตอบของคำถามนี้ไม่มี ถ้าเครื่องรับแบบแมชฟิลเตอร์มีประสิทธิภาพไม่พอเพียงในการรับข้อมูลจำกัดแถบแบบซิงโครนัส

2.5 P_u สมรรถนะของระบบไบนารีโคอีเรนซ์ PSK

เครื่องรับแบบคอรีเลชัน (เครื่องรับแมกซิลเตอร์) ทฤษฎีบทนี้นำไปใช้ในการหาที่มาของ P_u ในระบบโคอีเรนซ์ PSK ที่ออฟติมอลลงจากรหัสคลื่นพาห์และสัญญาณไทมมิ่งนำมาใช้ทำสัญญาณสำหรับการซิงโครไนซ์ในอุดมคติ ซึ่งเป็นอิสระจากการรบกวนทางเฟส สมรรถนะที่แย่งเป็นสาเหตุมาจาก วงจรซิงโครไนซ์ที่ไม่สมบูรณ์แบบ

สัญญาณ BPSK ที่ได้คือ

$$s_1(t) = +C \cos \omega_c t \quad (2.79)$$

$$s_2(t) = -C \cos \omega_c t \quad (2.80)$$

ที่มาของ P_u ง่าย ๆ เราสมมติว่าความถี่ ผลิตคลื่นพาห์ที่แสดงในรูป เป็นจำนวนเต็มของการคูณของอัตราการส่งข้อมูลดังนี้ แสดงดังรูป 10

$$f_c = n f_b = \frac{n}{T_b} \quad (2.81)$$

ในการนำไปใช้งานอัตราเร็วข้อมูลจะแกว่งไปแกว่งมา (อัตราแหล่งกำเนิดสามารถเปลี่ยนแปลงที่ ± 50 b/s ของอัตรา 10 Mb/s ความถี่ของคลื่นพาห์และการแพร่กระจายของสเปกตรัมต้องถูกควบคุมอย่างแน่นนอน ดังสมการ (2.81) ถ้าสมการ (2.81) ไม่เป็นที่พอใจ สมรรถนะที่แย่งถูกละทิ้งในทางปฏิบัติถ้าความถี่ของคลื่นพาห์สูงกว่าอัตราข้อมูลที่จะพิจารณาอยู่คือ $f_c > 10/T_b$ ค่าที่แย่งนี้ประมาณ 0.1 dB

การพิสูจน์ P_u ของเครื่องรับแบบคอรีเลชันที่มีแบนด์วิดท์ไม่จำกัดเราคำนวณ E_1 , E_2 , $\sqrt{E_1 E_2}$, ρ_{12} และ R_{12} ดลสมการ (2.81) ค่าที่คำนวณได้เหล่านี้แทนในสมการ (2.69) และสมการ (2.70)

$$\rho_{12} \sqrt{E_1 E_2} = \int_0^{T_b} s_1(t) s_2(t) dt = \frac{1}{2} C^2 T_b \quad (2.82)$$

$$R_{12} = \frac{2\sqrt{E_1 E_2}}{E_1 + E_2} \rho_{12} = -1 \quad (2.83)$$

$$P_e = \frac{1}{2} \operatorname{erfc} \left[\sqrt{\frac{1}{2} \frac{E_{av}}{N_0} (1 - R_{12})} \right] \quad (2.84)$$

$$P_e = \frac{1}{2} \operatorname{erfc} \sqrt{\frac{E_{av}}{N_0}} = \frac{1}{2} \operatorname{erfc} \sqrt{\frac{E_b}{N_0}} \quad \text{coherent BPSK} \quad (2.85)$$

ซึ่ง

$$\operatorname{erfc}(x) \triangleq \frac{2}{\sqrt{\pi}} \int_x^\infty e^{-y^2} dy, \quad x > 0$$

$$E_{av} = \text{พลังงานบิตเฉลี่ย } E_b \text{ ที่อินพุทของเครื่องรับ } E_{av} = C^2 T_b / 2 \quad (\text{ในระบบ PSK } E_{av} = E_b)$$

N_0 = ความหนาแน่นของสัญญาณรบกวนที่อินพุทของเครื่องรับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

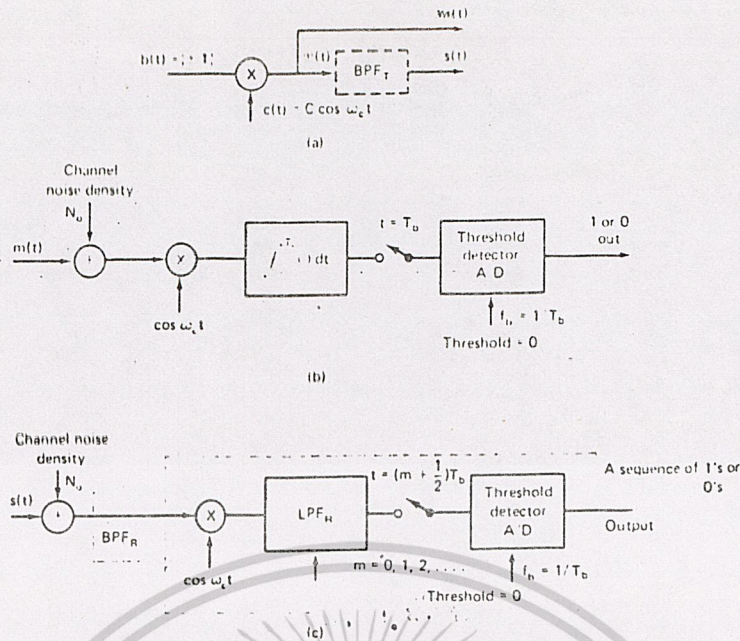


Figure 10 Coherent BPSK modulator, corresponding correlation receiver, and Nyquist receiver. (a) BPSK modulator. $m(t)$, infinite bandwidth signal. $s(t)$, bandlimited signal. (b) Correlation receiver. This correlation (matched filter) receiver is for the infinite bandwidth transmitter and channel model. (c) Nyquist receiver. LPF_R is the equivalent LPF of the bandpass channel (in some applications replaces the BPF_R filter). Its transfer function equals the square root of the raised-cosine channel.

สมการ (2.85) แทนสมรรถนะของเครื่องรับคอร์เลชันแบบแมชฟิลเตอร์ BPSK เป็นลักษณะเดียวกับสมการ (2.73) ของช่องสัญญาณเบสแบนด์ของไควสท์ถ้าระบบ BPSK ถูกจำกัดแถบความถี่เครื่องรับไควสท์จะมีสมรรถนะลักษณะเดียวกับเครื่องรับแมชฟิลเตอร์

2.5.1 ความสัมพันธ์ระหว่าง E_b/N_0 และ C/N

E_b เป็นพลังงานของบิตที่ต้องการ N_0 เป็นความหนาแน่นของสัญญาณรบกวนการคำนวณอัตราส่วน E_b/N_0 เป็นการวัดคุณภาพที่เหมาะสมสำหรับระบบ และเป็นการเปรียบเทียบสมรรถนะของระบบ อย่างไรก็ตามในทางปฏิบัติการวัด E_b/N_0 จะสะดวกมากถ้าเราวัดอัตราส่วนกำลังของคลื่นพาห์เฉลี่ย การทดสอบที่สำคัญอยู่ในรูปแบบการใช้กำลังและมิเตอร์วัดแรงดัน rms ซึ่งสามารถจะอ่านได้ มิเตอร์วัดพลังงานบิตไม่มีการผลิตเป็นทางการค่า ความสัมพันธ์ง่าย ๆ ที่ใช้เปลี่ยน E_b/N_0 เป็น C/N

$$E_b = CT_b = C \left(\frac{1}{f_b} \right) \quad (2.86)$$

$$N_0 = \frac{N}{B_w} \quad (2.87)$$

$$\frac{E_b}{N_0} = \frac{CT_b}{N/B_w} = \frac{C/f_b}{N/B_w} = \frac{CB_w}{Nf_b} \quad (2.88)$$

$$\frac{E_b}{N_0} = \frac{C}{N} \cdot \frac{B_w}{f_b} \quad (2.89)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อัตราส่วน E_b/N_0 เท่ากับการคูณของอัตราส่วน C/N และแบนด์วิดท์ของสัญญาณที่
เครื่องรับต่ออัตราข้อมูล ($BW=f_b$) สังเกตว่าเครื่องมือวัด C/N ถูกปรับแต่งเพื่ออ่านค่า
 E_b/N_0 โดยตรงถ้าเราต้องการ

ตัวอย่าง การทำงานของโมเด็มแบบไบนารีโคอีเรนซ์ BPSK ที่ $f_b = 10 \text{ Mb/s}$
ความถี่ของคลื่นพาห้ที่ยังไม่ถูกมอดูเลตคือ $f_c = 60 \text{ MHz}$ อะไรคือสมรรถนะของระบบนี้ถ้า
 E_b/N_0 สมมติรูปร่างช่องสัญญาณในควิสต์ถูกนำมาใช้ อัตราส่วน C/N จะมากเท่าไรถ้าวัด
ที่เอาท์พุทของการรับแบบดีฟาสฟิลเตอร์

วิธีทำ รูปกราฟ $P_e = f(E_b/N_0)$ [สมการ (2.85)] แสดงในรูปกราฟนี้
จากกราฟเราสรุปว่า $E_b/N_0 = 8.4 \text{ dB}$ จะยอมให้ค่า $P_e = 10^{-4}$ แบนด์วิดท์ของสัญญาณ
รบกวนที่ความถี่วิทยุของดับเบิลไซด์-แบนด์ของช่องสัญญาณในควิสต์เท่ากับอัตราข้อมูล
(10 MHz) จาก

$$\begin{aligned} \frac{C}{N} &= \frac{E_b}{N_0} \frac{f_b}{B_w} \\ \text{แสดงในหน่วย dB-s,} \\ \frac{C}{N} &= \frac{E_b}{N_0} + 10 \log \frac{f_b}{B_w} \\ &= 8.4 + 10 \log \frac{10 \text{ Mb/s}}{10 \text{ MHz}} = 8.4 \text{ dB} \end{aligned}$$

ในรูป 2.12 และ 2.13 แพทเทิร์นรูปดวงตา (eye-pattern) ของทั้งไวต์แบนด์
และแชนแนล BPSK ถูกแสดงดังรูป 2.11 ภาพถ่ายของแพทเทิร์นรูปดวงตาของการ
ติมอดูเลตที่เกิดขึ้นดังรูป 2.12 และ 2.13 เอาท์พุทของอินทิเกรเตอร์และการรับของวงจร
ผ่านความถี่ต่ำสำหรับสมรรถนะที่ออฟติมัม การอินทิเกรเตอร์ที่เครื่องรับแบบคอรีเลชันของ
รูป 2.11 คือทำการลุ่มที่จุดสุดท้ายของช่วงเวลาของบิตหลังจากทำการลุ่มที่ช่วงขณะ ที่ตัว
อินทิเกรเตอร์ถูกดีสชาร์จที่ช่วงขณะ ในระบบไวท์แบนด์ที่ความเร็วสูง การทำงานที่เหนือ
 10 Mb/s ถูกแทนเป็นอินทิเกรเตอร์อูตมคติด้วยค่า RC เป็นเวลาคงที่หรือเป็นฟิลเตอร์
ลำดับที่ 1 กรณีนี้สมรรถนะจะลดลง 1 dB ในระบบที่มีประสิทธิภาพการกรองแบบในควิสต์
จะถูกนำมาใช้ แพทเทิร์นรูปดวงตาจากการติมอดูเลตของระบบ BPSK มี $\alpha = 0.5$ เป็น
คุณลักษณะของสัญญาณไควท์-โคไซด์แสดงในรูป 2.12 จากภาพถ่ายมันเป็นเครื่องแสดงว่า
การอิสระจากการรบกวนระหว่างสัญลักษณ์ ค่าการลุ่มช่วงขณะอยู่ที่จุดศูนย์กลางของช่วงเวลา
แต่ละบิตการลุ่มที่ช่วงเวลาอื่นทำให้สมรรถนะระบบแย่งลง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

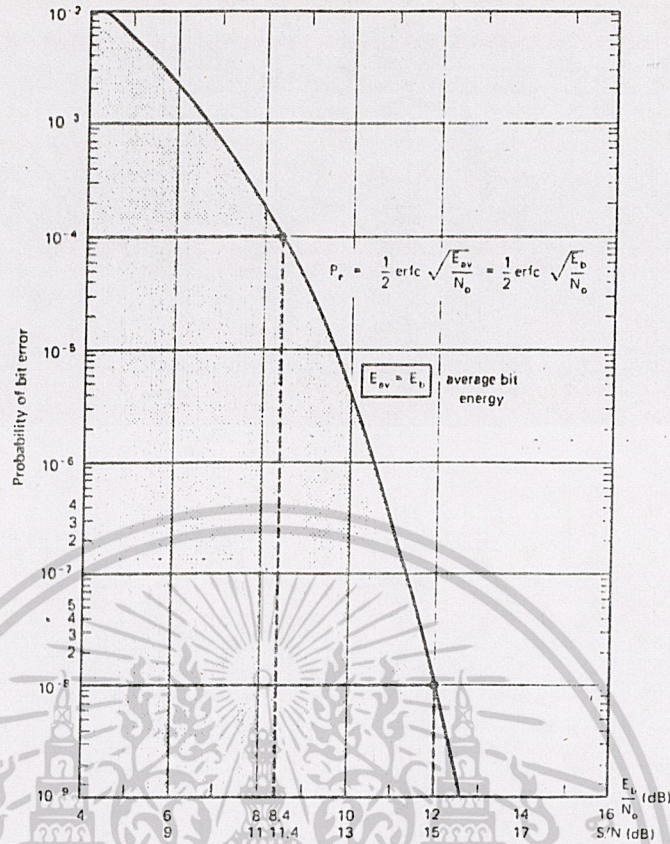
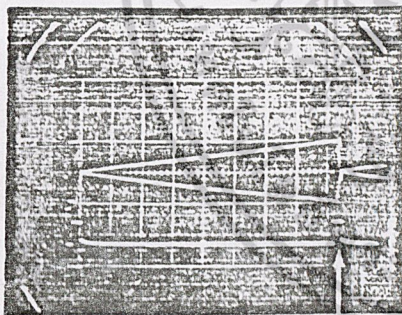


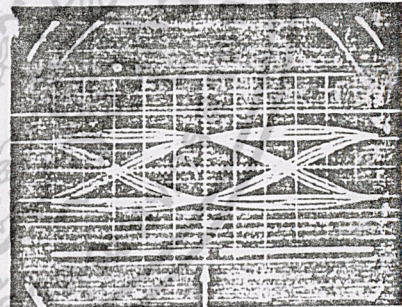
Figure 11 Probability of error performance of coherent BPSK modems. T_b , bit duration; C , average modulated carrier power; N_0 , noise density (noise power in 1 Hz); N , total noise power measured in baseband Nyquist bandwidth; S , baseband signal power; E_b , average bit energy.



Vert: 20 mv/div
Horiz: 10 μ s/div

$\frac{S}{N} = \infty$

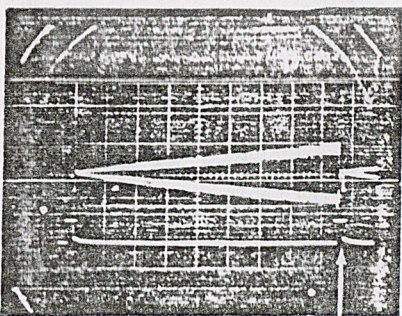
Sampling instant



Vert: 20 mv/div
Horiz: 5 μ s/div

$\frac{S}{N} = \infty$

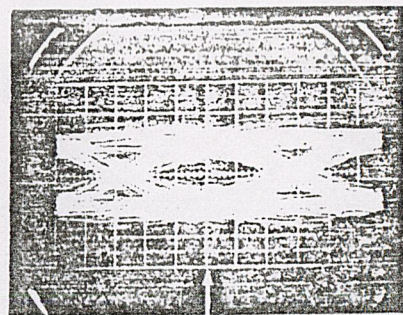
Sampling instant



$\frac{S}{N} = 11$ dB

Vert: 20 mv/div
Horiz: 10 μ s/div

Sampling instant



Vert: 20 mv/div
Horiz: 5 μ s/div

$P_e = 10^{-4}$

$\frac{S}{N} = 11$ dB

Sampling instant

Figure 12 Demodulated BPSK eye diagrams—correlation (matched filter) wide-band receiver implemented as an integrate-sample-dump detector.

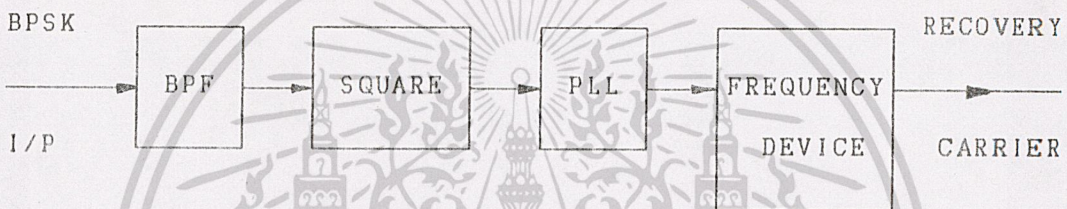
Figure 13 Demodulated BPSK eye diagrams—Nyquist filtered channel. Fourth order phase-equalized Butterworth filter having a 3-dB cutoff frequency at 17 kHz. For a bit rate $f_b = 32$ kb/s this filter approximates an $\alpha = 0.5$ roll-off Nyquist channel.

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหาและต้องขออนุญาตจากเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.6 วงจรกู้คลื่นพาห์ (CARRIER RECOVERY)

วงจรกู้คลื่นพาห์ คือ ขบวนการทำให้เกิดเฟสโคฮีเรนท์เรฟเฟอเรนซ์แคเรียร์ (PHASE-COHERENT REFERENCE CARRIER) กับคลื่นพาห์ที่รับเข้ามา บางครั้งการเปรียบเทียบเฟส (PHASE REFERENCE) การดีมอดูเลตข้อมูลจะมีความเที่ยงตรงเมื่อมีการกู้เฟส และเปรียบเทียบสัญญาณที่รับได้จากการดีเทค ซึ่งเฟสที่รับได้ทางด้านรับ จะต้องเหมือนกับทางด้านส่งที่ผลิตจากออสซิลเลเตอร์

ลักษณะของวงจรกู้คลื่นพาห์ สำหรับ BPSK คือ สแควร์ลิ่งลูป (SQUARING LOOP) ดังแสดงในรูป



แบบดีฟาสฟิเลเตอร์ จะทำหน้าที่ลดสัญญาณรบกวนที่รับเข้ามาได้ สัญญาณสแควร์ริงจะเปลี่ยนเฟสที่มอดูเลชันและกำเนิดอาร์โมนิคที่สองของความถี่คลื่นพาห์ เฟสล็อคคูปจะแทรกตามเฟสของสัญญาณ จากนั้นความถี่ไวลเตจคอนโทรลเลอร์ออสซิลเลเตอร์ (VCO) ที่ได้จะถูกหารสอง ซึ่งสัญญาณที่ได้จะเป็นการเปรียบเทียบเฟส

บทที่ 3

การคำนวณและการสร้าง

พิจารณาบล็อกไดอะแกรม (หน้า 36) จะเห็นว่าภาคส่งประกอบไปด้วยเครื่องกำเนิดสัญญาณ, โมเด็ม และพีเอสเคมอดูเลชัน ส่วนภาครับจะประกอบไปด้วยวงจรถักคลื่นพาห์, โคอีเรนทีเทคเตอร์ และวงจรวอร์มัลฟิลเตอร์ เราจะแยกพิจารณาดังนี้

ภาคส่ง (รูปหน้า 37)

เครื่องกำเนิดสัญญาณ ใช้ไอซีเบอร์ XR-2206 ซึ่งเป็นโมโนลิทริกฟังก์ชันเจนเนอเรเตอร์จะเป็นตัวกำหนดความถี่อัตราข้อมูล ในที่นี้คือ 1200 bps จะใช้เครื่องกำเนิดความถี่ที่ 1200 bps สัญญาณรูปสี่เหลี่ยม เมื่อเปิดดาต้าชีทของ XR-2206 (หมวด จ ภาคผนวก) เรากำหนดความถี่จากสูตร $f=1/RC$ (R ที่ขา 7 และ C ที่ขา 5 และ 6) เอาท์พุทออกที่ขา 11 เป็นสัญญาณรูปสี่เหลี่ยม แล้วผ่านทรานซิสเตอร์เพื่อการปรับโวลต์เดจ

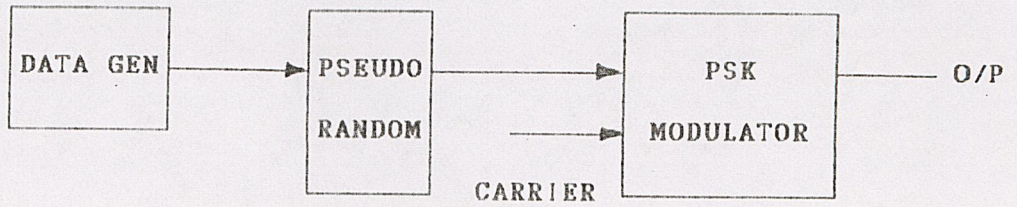
โมเด็ม เนื่องจากเราต้องการสัญญาณเป็น NRZ 8 บิต (0-7) จากสูตรตามทฤษฎีสัญญาณทดสอบ $2^n - 1 = N$ เราจึงใช้ซีพรีจิสเตอร์ 3 ตัว วงจรประกอบไปด้วยไอซี 74164, 7486 และ 4078 โดย 74164 เป็นซีพรีจิสเตอร์แบบเอาท์พุทแบบขนาน 8 ตัวและอินพุทแบบอนุกรม (8 Parallel-in-out Serial-in Shift Register) ประกอบเป็นตัวกำเนิดสัญญาณโมเด็มออกมา โดยรับอินพุทจาก XR-2206

พีเอสเคมอดูเลชัน ใช้วงจรคูณโดยไอซี MC 1496 ซึ่งเป็นบาลานซ์มอดูเลชันและดีมอดูเลชัน (Balance Modulation/Demodulation) ป้อนสัญญาณโมเด็มและคลื่นพาห์ 18 kHz ได้สัญญาณพีเอสเคมอดูออกมา เราใช้วงจรซิงเกิลซิงพลาสดังดาต้าชีทของ MC 1496 ในภาคผนวก

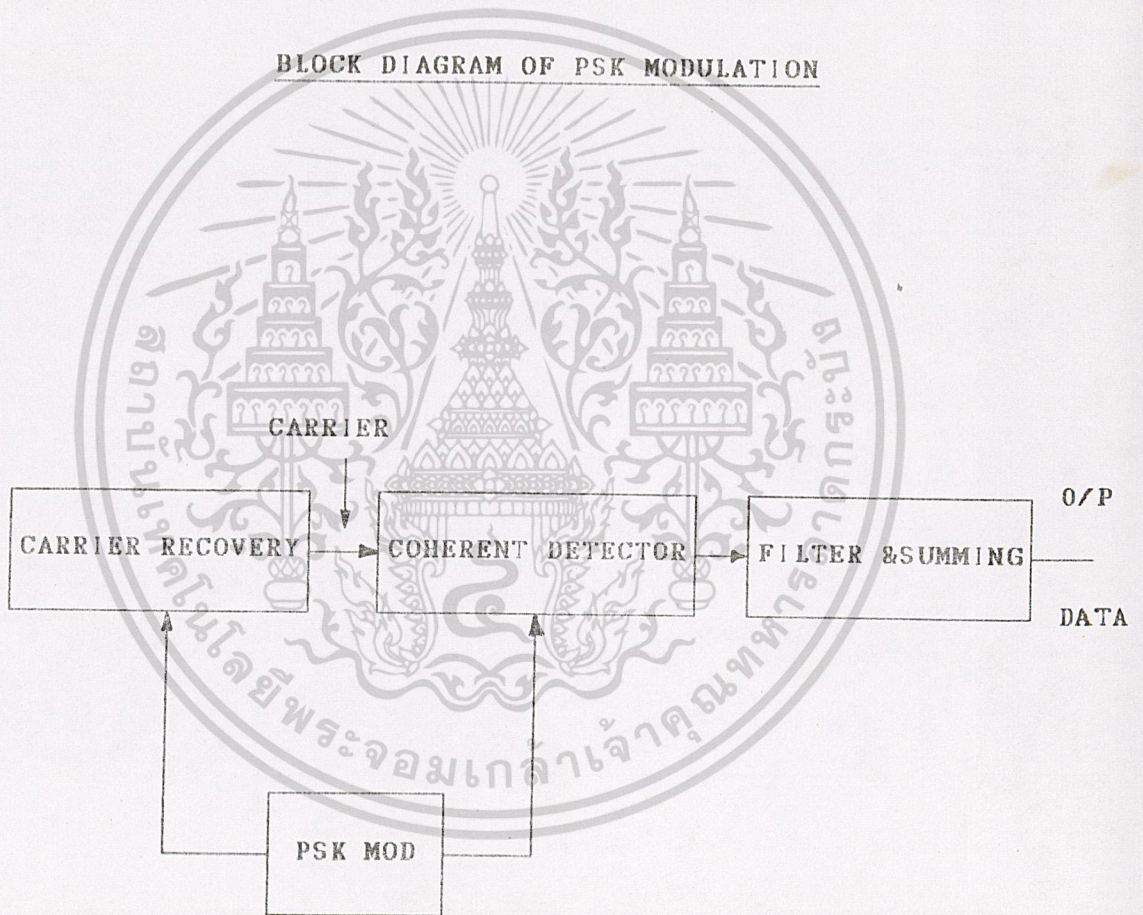
ภาครับ (รูปหน้า 38)

วงจรถักคลื่นพาห์ ประกอบด้วยวงจรวอร์มัลฟิลเตอร์, วงจรสร้างสัญญาณสแควร์ลิ่งรูป, แอนโร้วแบนด์พาสฟิลเตอร์และวงจรรหัสสอง

แบนด์พาสฟิลเตอร์จะฟิลเตอร์เอาไซด์แบนด์ 2 ข้าง ของสัญญาณพีเอสเคมอดูที่รับมาใช้ไอซีออปแอมป์เบอร์ 351 จากนั้นทำการสแควร์ลิ่งโดยใช้ MC 1496 โดยป้อนเอาท์พุทจากแบนด์พาสฟิลเตอร์ให้อินพุททั้งสอง (อินพุทซิกแนลและคลื่นพาห์) ของ MC 1496 แล้วเอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



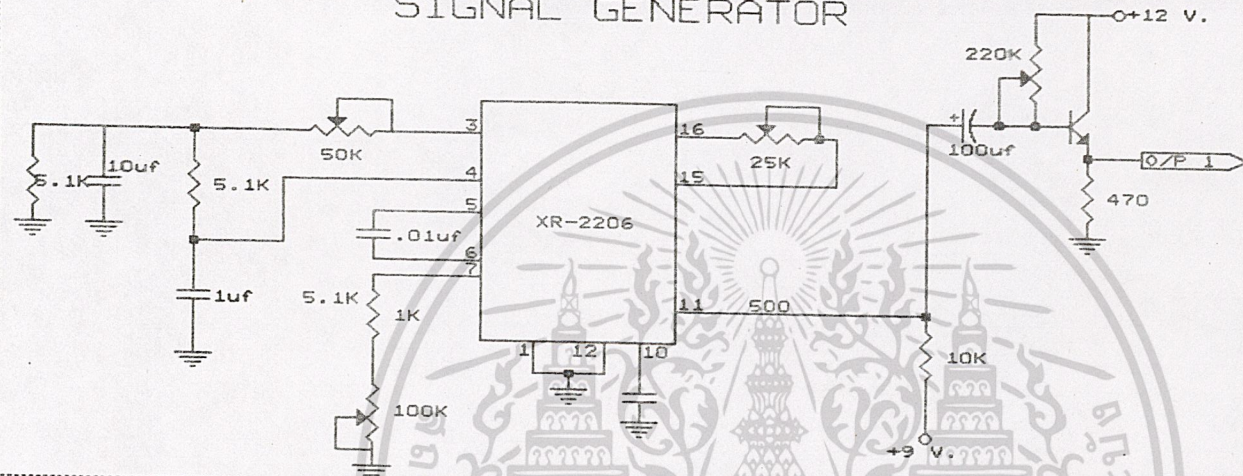
BLOCK DIAGRAM OF PSK MODULATION



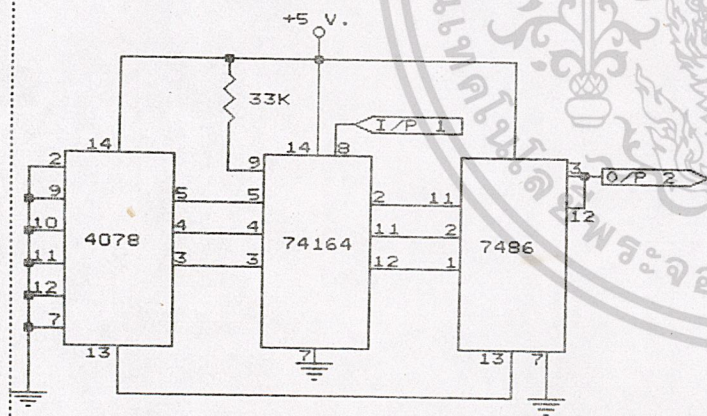
BLOCK DIAGRAM OF PSK DEMODULATION

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

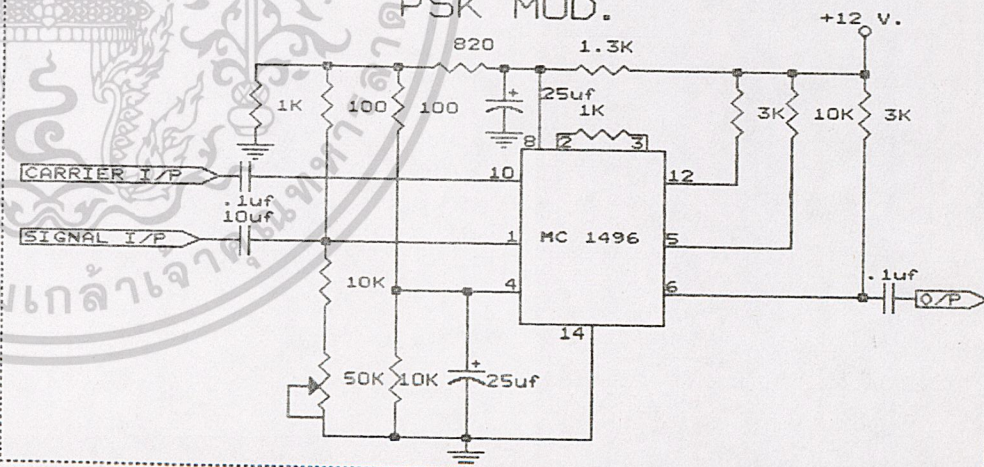
SIGNAL GENERATOR

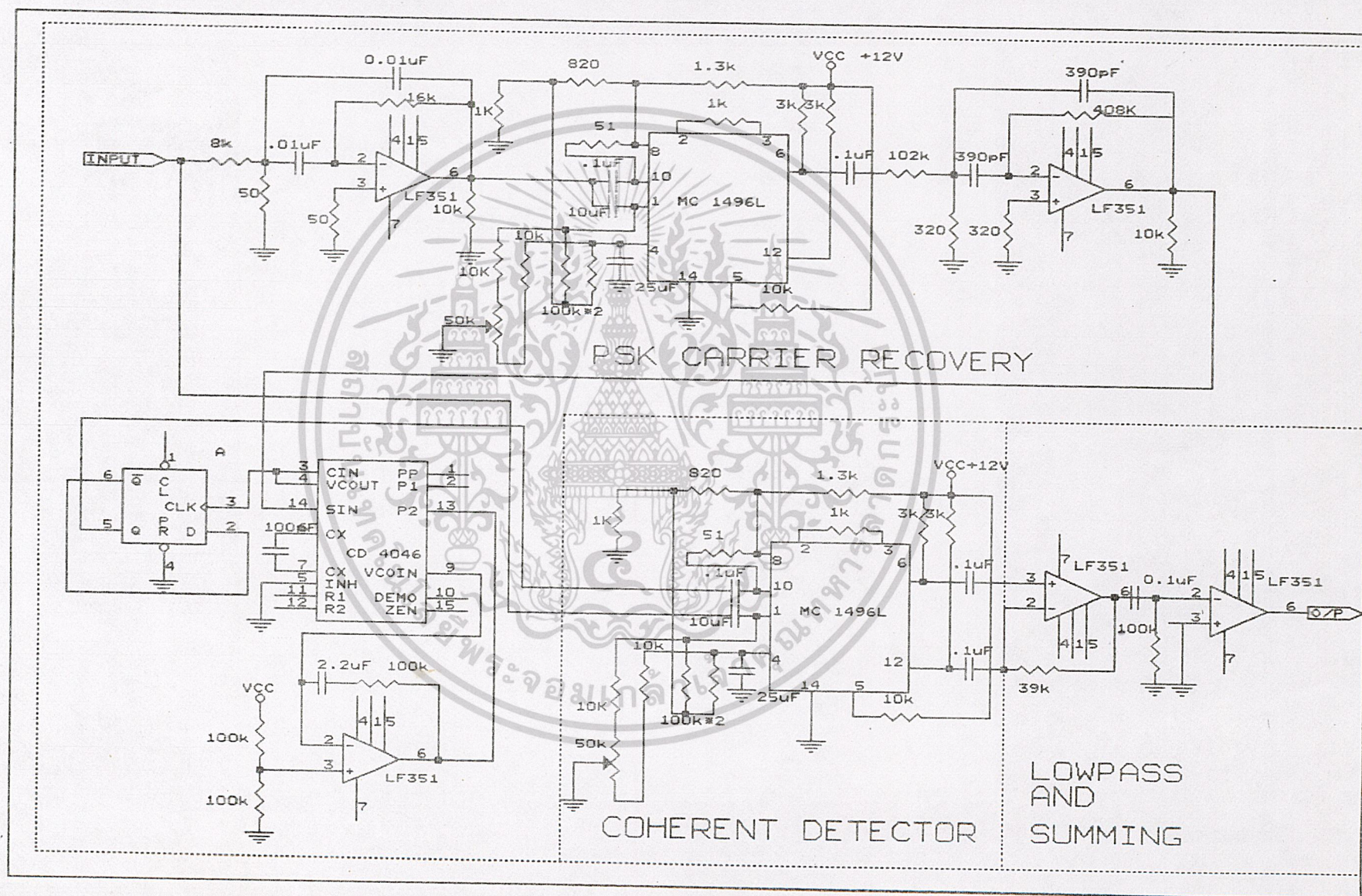


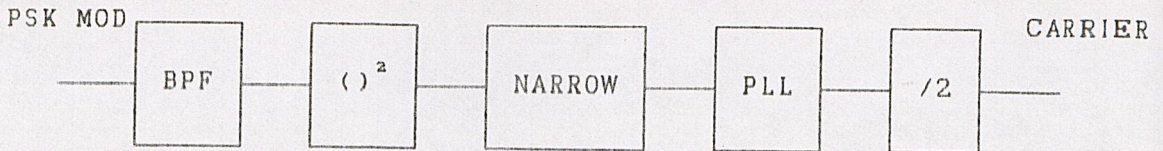
PSEUDO CODE



PSK MOD.







วงจร CARRIER RECOVERY

ทำการดึงเฉพาะคลื่นพาห้ที่เป็น 2 เท่าโดยผ่านแแนโรว์แบนด์พาสฟิลเตอร์ ซึ่งเราจะตัดสัญญาณรบกวนโดยใช้เฟลล็คคูลป์ แล้วจึงหาร 2 ให้ได้คลื่นพาห้ออกมาโดยใช้ไอซี 7474

วงจรโคอีเรนท์เทคเตอร์และโลว์พาสฟิลเตอร์ จะทำการคูณสัญญาณพีเอสเคมอดูเลชันและคลื่นพาห้โดยใช้ MC 1496 และผ่านวงจรโลว์พาสฟิลเตอร์ได้ข้อมูลเดิม ซึ่งเป็นรูปพีโซยโดแรมตัมออกมา

การคำนวณคณิตศาสตร์

การส่งระบบไบนารีเฟลซิกซ์อิงจะใช้สัญญาณข้อมูลที่เป็นแบบ NRZ (NON RETURN TO ZERO) ที่ไม่มีส่วนประกอบทางดิซี้เข้ามาเกี่ยวข้องนำมาคูณเข้ากับสัญญาณคลื่นพาห้ จะทำให้ได้ผลที่เอาท์พุทมีแอมปลิจูดเป็น $\pm A$ ตามสัญญาณไบนารีจะได้

$$V_o = \pm A \cos (w_c t + \theta^\circ)$$

โดยที่เกณฑ์ของการคูณเป็น 1 เมื่อ $f_c = w_c / 2$

$$-\cos w_c = \cos (w_c + 180^\circ)$$

ดังนั้น V_o จึงเป็น

$$V_o = \cos w_1 t \cos w_2 t = 1/2 [\cos (w_1 + w_2) t + \cos (w_1 - w_2) t]$$

เนื่องจากสัญญาณรูปสี่เหลี่ยมนี้ประกอบด้วยไซน์อาร์โมนิคค์ี่มากมาย ดังนั้นจึงทำให้เกิดไซด์แบนด์จำนวนมากทั้งด้านบนและล่าง (UPPER และ LOWER) จึงใช้แบนด์พาสฟิลเตอร์เพื่อฟิลเตอร์เอาเฉพาะส่วนที่ต้องการออกไปได้เป็นสมการ

$$V_o' = \pm A \cos (w_c t + \theta^\circ)$$

ซึ่งค่า θ เกิดขึ้นจากวงจรแบนด์พาสฟิลเตอร์ ดังนั้นในการติมอดูเลตพีเอสเค จึงต้องแยกคลื่นพาห้ออกจากสัญญาณมอดูเลชันโดยป้อนเข้าวงจรคูณ

$$V_{in} = \pm A \cos (w_c t + \theta^\circ)$$

เมื่อป้อน V_{in} เข้าวงจรคูณจะได้

$$V_{out}^2 = A^2 \cos^2 (w_c t + \theta^\circ) = A^2 / 2 + A^2 / 2 \cos 2(w_c t + \theta^\circ)$$

เราได้ฟิลเตอร์เฉพาะอาร์โมนิคค์ี่ 2 เท่านี้ด้วยวงจรแบนด์พาสฟิลเตอร์ หรือ เฟลล็คคูลป์ เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ลือคลุ่ปให้ไ้เฉพาะ $A^2/2 \cos 2(\omega_c t + \theta^\circ)$ ต่ไ้ก็นำมหาร 2 เพื่ให้ไ้ความถี่คลื่่นพห้เท่ำกับภคส่ง $\cos(\omega_c t + \theta^\circ)$ เมื่ไ้คลื่่นพห้แล้วนำมคณกับสัญญาณมอดูเลต (วิธีการโคอีเรนท์) ไ้สมการ $A/2 + A/2 \cos(\omega_c t + \theta^\circ) \cos(\omega_c t + \theta^\circ)$ หรือ $\pm A/2 \pm A/2 \cos 2(\omega_c t + \theta^\circ)$ สัญญาณที่เรต้งการคือ $\pm A/2$ โดยเรผ่านวงจรวลัฟพาสฟิเลเตอร์เพื่กรองเออ $\pm A/2$ ออกม

วงจรวลัฟพาสฟิเลเตอร์

กำหนด $f_c = 18 \text{ kHz}$, $f_H = 19 \text{ kHz}$,

$f_L = 17 \text{ kHz}$, $A_F = 1$,

$C = .01 \mu\text{F}$, $BW = 2 \text{ kHz}$

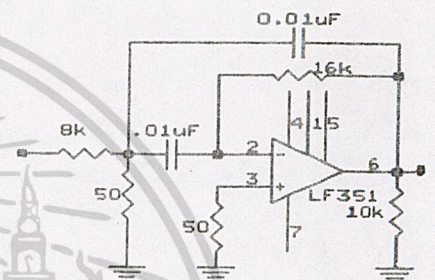
จะไ้ $Q = 18 \text{ kHz} / (19 \text{ kHz} - 17 \text{ kHz}) = 9$

$$R_1 = Q / (2\pi f_c C A_F) \\ = 9 / (2\pi (18 \text{ kHz}) (.01 \mu\text{F}) (1)) \\ = 7.85 \text{ k}\Omega = 8 \text{ k}\Omega$$

$$R_2 = Q / (2\pi f_c C (2Q^2 - A_F)) = 49.42 \Omega = 50 \Omega$$

$$R_3 = Q / \pi f_c C = 15.9 \text{ k}\Omega = 16 \text{ k}\Omega$$

$$R_{OM} = R_1 // R_2 // R_3 = 50 \Omega$$



วงจรวลัฟพาสฟิเลเตอร์

กำหนด $f_c = 36 \text{ kHz}$, $f_H = 37 \text{ kHz}$,

$f_L = 35 \text{ kHz}$, $A_F = 2$,

$C = 390 \text{ pF}$, $BW = 2 \text{ kHz}$

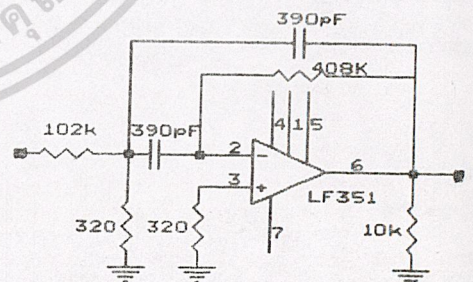
จะไ้ $Q = 36 \text{ kHz} / (37 \text{ kHz} - 35 \text{ kHz}) = 18$

$$R_1 = Q / (2\pi f_c C A_F) \\ = 18 / (2\pi (36 \text{ kHz}) (390 \text{ pF}) (1)) \\ = 102 \text{ k}\Omega$$

$$R_2 = Q / (2\pi f_c C (2Q^2 - A_F)) = 315.8 \Omega = 320 \Omega$$

$$R_3 = Q / \pi f_c C = 408 \text{ k}\Omega$$

$$R_{OM} = R_1 // R_2 // R_3 = 318.75 \Omega = 320 \Omega$$



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4

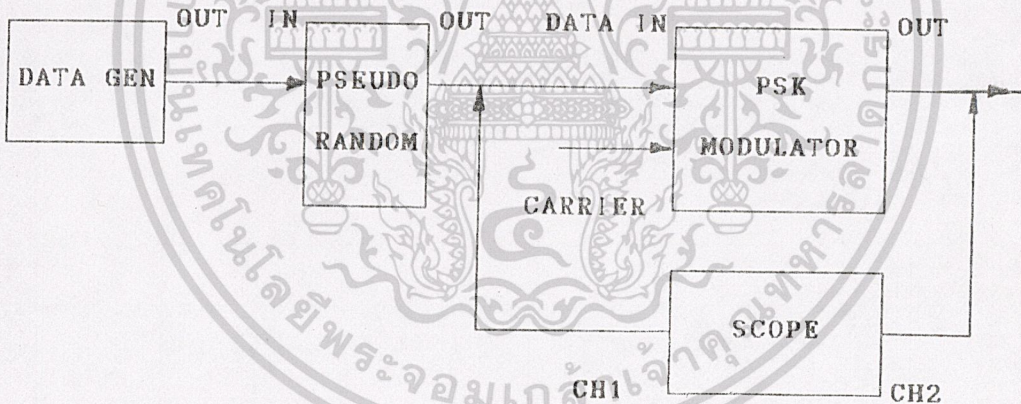
การทดลองและผลการทดลอง

การทดลองที่ 1 พียูเอสเคมอดูเลชั่น

วัตถุประสงค์ เพื่อให้รู้จักรูปคลื่นของพียูเอสเคและศึกษาการทำงานของ การส่งข้อมูลดิจิทัล โดยใช้การส่งแบบพียูเอสเคมอดูเลชั่น

ขั้นตอนการทดลอง

1. ปรับเจนเนอเรเตอร์ให้ได้เอาต์พุตประมาณ 5 Vp-p
2. ต่อเอาต์พุตของเจนเนอเรเตอร์ของพีโซยโค แรนดัม ใช้สโคปแชนแนล 1 จับที่เอาต์พุต ต่อเอาต์พุตเข้าอินพุตของพียูเอสเคมอดูเลชั่น จากนั้นใช้สโคปแชนแนล 2 จับที่เอาต์พุตของพียูเอสเคมอดูเลชั่น ดังรูป
3. บันทึกและสังเกตการเปลี่ยนแปลงของพียูเอสเคมอดูเลชั่น



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

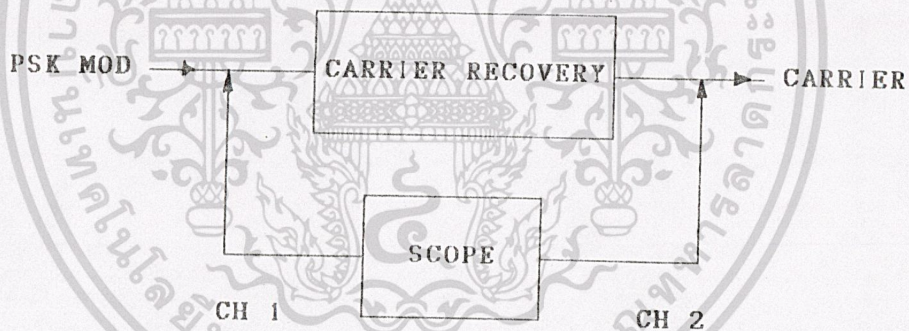
การทดลองที่ 2 วงจรกู้คลื่นพาห์

วัตถุประสงค์

เพื่อศึกษาการทำงานของชุดวงจรกู้คลื่นพาห์ในการดีเทกสัญญาณจากชุดพีเอสเคมอดูเลชัน

ขั้นตอนการทดลอง

1. ต่อวงจรดังรูป โดยใช้สัญญาณพีเอสเคมอดูเลชันที่ได้จากการทดลองที่ 1 ป้อนเข้าอินพุตของวงจรกู้คลื่นพาห์
2. ใช้สโคปแชนแนล 1 และ 2 จับที่อินพุตและเอาต์พุตของวงจรกู้คลื่นพาห์ตามลำดับสังเกตรูปคลื่นที่ได้
3. ทดลองปรับความถี่ของอินพุตของพีเอสเคมอดูเลชัน สังเกตการเปลี่ยนแปลงของรูปคลื่นที่สโคป
4. ใช้สโคปแชนแนล 1 จับที่อินพุตคลื่นพาห์ของพีเอสเคมอดูเลชัน และสังเกตความถี่ที่ได้เปรียบเทียบกับสโคปแชนแนล 2 บันทึกค่าความถี่ที่วัดได้ที่สโคปแชนแนล 1 และ 2 พร้อมทั้งสังเกตเฟสด้วย

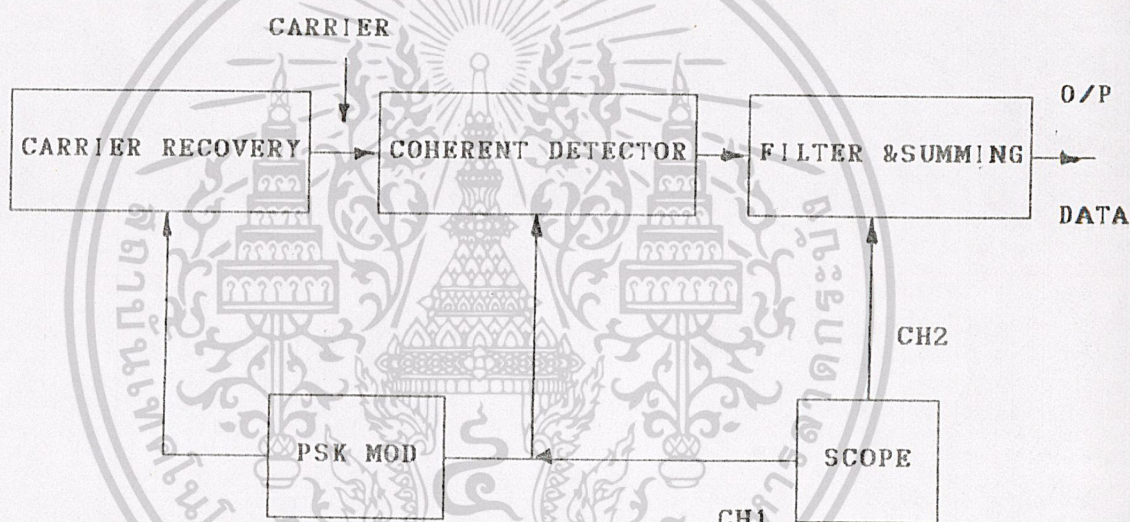


การทดลองที่ 3 โคอีเรนซ์ดีเทคเตอร์

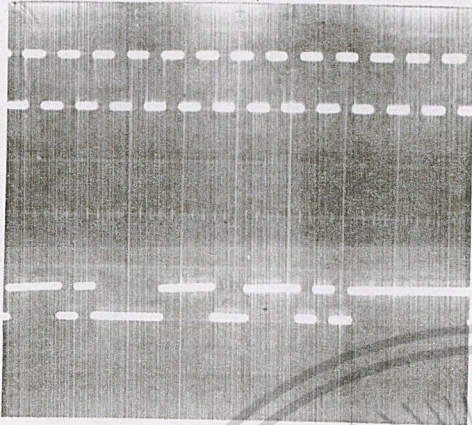
วัตถุประสงค์ เพื่อศึกษาการทำงานของชุดโคอีเรนซ์ดีเทคเตอร์ ในการตีเทคสัญญาณ
ไบนารี จากชุดพีเอสเคมอดูเลชัน

ขั้นตอนการทดลอง

1. ต่อดังรูป โดยใช้ผลของการทดลองที่ 1,2 มาใช้
2. ต่อสโคปแชนแนล 1 และ 2 เข้ากับอินพุตของพีเอสเคและเอาต์พุตของวงจรบวก (SUMMING AMP) เปรียบเทียบสัญญาณที่รับได้ทั้งสอง
3. สังเกตความถี่เอาต์พุตจากการพีเอสเคมอดูเลชัน เปรียบเทียบสัญญาณอินพุต
4. ทดลองลดค่าความถี่ต่ำสุดที่รูปคลื่นที่เอาต์พุตยังเหมือนกับทางอินพุต



ผลการทดลอง



5V/ช่อง

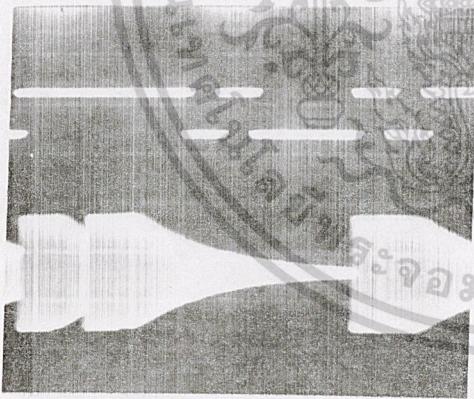
1 ms/ช่อง

5V/ช่อง

1 ms/ช่อง

รูปบน คือสัญญาณที่ออกจากเจนเนอเรเตอร์

รูปล่าง คือสัญญาณที่ออกจากพีโซไคโด แรนดัม



5V/ช่อง

0.5 ms/ช่อง

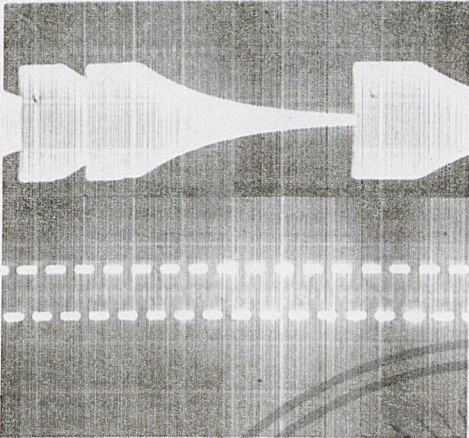
2V/ช่อง

0.5 ms/ช่อง

รูปบน คือสัญญาณที่ออกจากพีโซไคโด แรนดัม

รูปล่าง คือสัญญาณที่ออกจาก พีเอสเค มอดูเลเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



2 V/ช่อง

0.5 ms/ช่อง

5 V/ช่อง

0.1 ms/ช่อง

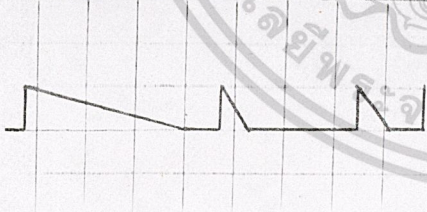
รูปบน คือสัญญาณที่ออกจาก พีเอสเค มอดูเลเตอร์

รูปล่าง คือสัญญาณที่ออกจาก แคเรียร์ รีโคเดอร์



5 V/ช่อง

0.5 ms/ช่อง



5 V/ช่อง

0.5 ms/ช่อง

รูปบน คือสัญญาณที่ออกจาก พีโซโต แวนดัม

รูปล่าง คือสัญญาณที่ออกจาก โคฮีเรนซ์ ดีเทคเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5

บทวิจารณ์และสรุป

โครงงานนี้มีวัตถุประสงค์เป็นชุดทดลองและทดสอบสัญญาณ ในระบบไบนารีเฟส ชิฟต์อิง (BPSK) โดยกำหนดค่าอัตราข้อมูล (BIT RATE) เท่ากับ 1200 บิตต่อวินาที (bps) ส่งสัญญาณเป็นพีซีโชนโดแรนดัม (PSEUDO RANDOM CODE) แล้วมอดูเลตสัญญาณ ส่งออก

เนื่องจากการส่งเป็นแบบเปลี่ยนแปลงเฟส จึงไม่มีคลื่นพาหที่จะนำมามอดูเลตด้วยมี เฉพาะไซด์แบนด์บนและไซด์แบนด์ล่าง ในภาครับจึงดึงคลื่นพาหออกจากสัญญาณไม่ได้ จำเป็นต้องสร้างคลื่นพาหจากสัญญาณพีเอสเคมอด เรียกว่า วงจรกู้คลื่นพาห (CARRIER RECOVERY) โดยการป้อนสัญญาณพีเอสเคมอดผ่านแบนด์พาสฟิลเตอร์ เอาเฉพาะส่วนที่ต้องการ เฉพาะไซด์แบนด์ทั้งสองข้างแล้วเข้าวงจรคูณ เพื่อทำหน้าที่แยกคลื่นพาหจากสัญญาณ พีเอสเคมอดเลขน ได้คลื่นพาหที่มีความถี่เป็น 2 เท่าของคลื่นพาหจริง แล้วเข้าแอมป์แบนด์พาสฟิลเตอร์ดึงเอาคลื่นพาหที่มีความถี่เป็นเท่าของที่มอดมา แล้วใช้เฟสล็อกคูณตัด สัญญาณรบกวน แล้วเข้าวงจรหาร 2 ได้คลื่นพาหออกมา จึงเข้าวงจรโคอีเรนท์ดีเทคเตอร์คูณกับสัญญาณพีเอสเคมอด แล้วผ่านโลว์พาสฟิลเตอร์ได้สัญญาณพีซีโชนโดแรนดัมออกมา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5

บทวิจารณ์และสรุป

โครงการนี้มีวัตถุประสงค์เป็นชุดทดลองและทดสอบสัญญาณ ในระบบไบนารีเฟส ชิฟต์อิง (BPSK) โดยกำหนดค่าอัตราข้อมูล (BIT RATE) เท่ากับ 1200 บิตต่อวินาที (bps) ส่งสัญญาณเป็นพีโซโดแรนดัม (PSEUDO RANDOM CODE) แล้วมอดูเลตสัญญาณ ส่งออก

เนื่องจากการส่งเป็นแบบเปลี่ยนแปลงเฟส จึงไม่มีคลื่นพาหที่จะนำมอดูเลตด้วยมี เฉพาะไซด์แบนด์บนและไซด์แบนด์ล่าง ในภาครับจึงดึงคลื่นพาหออกจากสัญญาณไม่ได้ จำเป็นต้องสร้างคลื่นพาหจากสัญญาณพีเอสเคมอด เรียกว่า วงจรกู้คลื่นพาห (CARRIER RECOVERY) โดยการป้อนสัญญาณพีเอสเคมอดผ่านแบนด์พาสฟิลเตอร์ เอาเฉพาะส่วนที่ต้องการ เฉพาะไซด์แบนด์ทั้งสองข้างแล้วเข้าวงจรคูณ เพื่อทำหน้าที่แยกคลื่นพาหจากสัญญาณ พีเอสเคมอดเลขชั้น ได้คลื่นพาหที่มีความถี่เป็น 2 เท่าของคลื่นพาหจริง แล้วเข้าแอมป์แบนด์พาสฟิลเตอร์ดึงเอาคลื่นพาหที่มีความถี่เป็นเท่าของที่มอดมา แล้วใช้เฟสล็อกคัลคูลสัญญาณรบกวน แล้วเข้าวงจรหาร 2 ได้คลื่นพาหออกมา จึงเข้าวงจรโคฮีเรนท์ดีเทคเตอร์คูณกับสัญญาณพีเอสเคมอด แล้วผ่านโลว์พาสฟิลเตอร์ได้สัญญาณพีโซโดแรนดัมออกมา

EXAR

XR-2206

Monolithic Function Generator

GENERAL DESCRIPTION

The XR-2206 is a monolithic function generator integrated circuit capable of producing high quality sine, square, triangle, ramp, and pulse waveforms of high stability and accuracy. The output waveforms can be both amplitude and frequency modulated by an external voltage. Frequency of operation can be selected externally over a range of 0.01 Hz to more than 1 MHz.

The circuit is ideally suited for communications, instrumentation, and function generator applications requiring sinusoidal tone, AM, FM, or FSK generation. It has a typical drift specification of 20 ppm/°C. The oscillator frequency can be linearly swept over a 2000:1 frequency range, with an external control voltage, having a very small effect on distortion.

FEATURES

Low Sine Wave Distortion	5%, Typical
Excellent Temperature Stability	20 ppm/°C, Typical
Wide Sweep Range	2000:1, Typical
Low Supply Sensitivity	0.01% V, Typical
Linear Amplitude Modulation	
TTL Compatible FSK Controls	
Wide Supply Range	10V to 26V
Adjustable Duty Cycle	1% to 99%

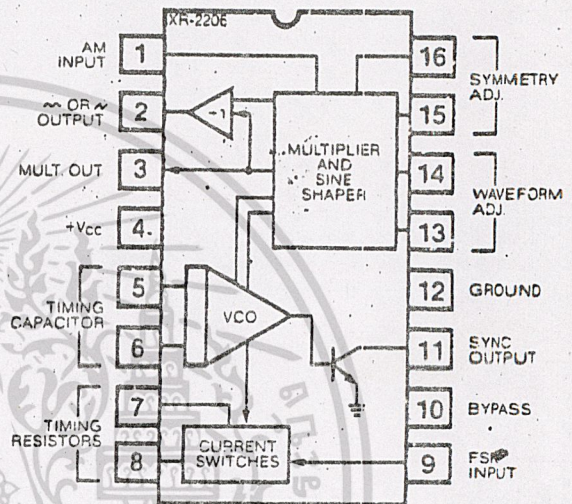
APPLICATIONS

Waveform Generation
Sweep Generation
AM/FM Generation
V/F Conversion
FSK Generation
Phase-Locked Loops (VCO)

ABSOLUTE MAXIMUM RATINGS

Power Supply	26V
Power Dissipation	750 mW
Derate Above 25°C	5 mW/°C
Total Timing Current	6 mA
Storage Temperature	-65°C to +150°C

FUNCTIONAL BLOCK DIAGRAM



ORDERING INFORMATION

Part Number	Package	Operating Temperature
XR-2206M	Ceramic	-55°C to +125°C
XR-2206N	Ceramic	0°C to +70°C
XR-2206P	Plastic	0°C to +70°C
XR-2206CN	Ceramic	0°C to +70°C
XR-2206CP	Plastic	0°C to +70°C

SYSTEM DESCRIPTION

The XR-2206 is comprised of four functional blocks; a voltage-controlled oscillator (VCO), an analog multiplier and sine-shaper; a unity gain buffer amplifier; and a set of current switches.

The VCO actually produces an output frequency proportional to an input current, which is produced by a resistor from the timing terminals to ground. The current switches route one of the timing pins current to the VCO controlled by an FSK input pin, to produce an output frequency. With two timing pins, two discrete output frequencies can be independently produced for FSK Generation Applications.

EXAR

Integrated Systems, Inc., 750 Palomar Avenue, Sunnyvale, CA 94086 • (408) 732-7970 • TWX 910-339-9233

XR-2206

ELECTRICAL CHARACTERISTICS

Test Conditions: Test Circuit of Figure 1, $V^+ = 12V$, $T_A = 25^\circ$, $C = 0.01 \mu F$, $R_1 = 100 k\Omega$, $R_2 = 10 k\Omega$, $R_3 = 25 k\Omega$ unless otherwise specified. S_1 open for triangle, closed for sine wave.

PARAMETER	XR-2206M			XR-2206C			UNIT	CONDITIONS
	MIN.	TYP.	MAX.	MIN.	TYP.	MAX.		
GENERAL CHARACTERISTICS								
Single Supply Voltage	10		26	10		26	V	
Split-Supply Voltage	±5		±13	±5		±13	V	
Supply Current		12	17		14	20	mA	R ₁ ≥ 10 kΩ
OSCILLATOR SECTION								
Max. Operating Frequency	0.5	.1		0.5	1		MHz	C = 1000 pF, R ₁ = 1 kΩ
Lowest Practical Frequency		0.01			0.01		Hz	C = 50 μF, R ₁ = 2 MΩ
Frequency Accuracy		±1	±4		±2		% of f ₀	f ₀ = 1/R ₁ C
Temperature Stability		±10	±50		±20		ppm/°C	0° C ≤ T _A ≤ 75° C.
Supply Sensitivity		0.01	0.1		0.01		%/V	R ₁ = R ₂ = 20 kΩ
Sweep Range	1000:1	2000:1			2000:1		f _H = f _L	V _{LOW} = 10V, V _{HIGH} = 20V.
Sweep Linearity								R ₁ = R ₂ = 20 kΩ
10:1 Sweep		2			2		%	f _H @ R ₁ = 1 kΩ
1000:1 Sweep		8			8		%	f _L @ R ₁ = 2 MΩ
FM Distortion		0.1			0.1		%	f _L = 1 kHz, f _H = 10 kHz
Recommended Timing Components								f _L = 100 Hz, f _H = 100 kHz
Timing Capacitor: C	0.001		100	0.001		100	μF	±10% Deviation
Timing Resistors: R ₁ & R ₂	1		2000	1		2000	kΩ	
Triangle Sine Wave Output								See Figure 4.
Triangle Amplitude		160			160		mV/kΩ	See Note 1, Figure 2.
Sine Wave Amplitude	40	60	80		60		mV/kΩ	Figure 1, S ₁ Open
Max. Output Swing		6			6		V _{p-p}	Figure 1, S ₁ Closed
Output Impedance		600			600		Ω	
Triangle Linearity		1			1		%	
Amplitude Stability		0.5			0.5		dB	For 1000:1 Sweep
Sine Wave Amplitude Stability		4800			4800		ppm/°C	See Note 2.
Sine Wave Distortion								
Without Adjustment		2.5			2.5		%	R ₁ = 30 kΩ
With Adjustment		0.4	1.0		0.5	1.5	%	See Figures 6 and 7.
Amplitude Modulation								
Input Impedance	50	100		50	100		kΩ	
Modulation Range		100			100		%	
Carrier Suppression		55			55		dB	
Linearity		2			2		%	For 95% modulation
Square-Wave Output								
Amplitude		12			12		V _{p-p}	Measured at Pin 11.
Rise Time		250			250		nsec	C _L = 10 pF
Fall Time		50			50		nsec	C _L = 10 pF
Saturation Voltage		0.2	0.4		0.2	0.6	V	I _L = 2 mA
Leakage Current		0.1	20		0.1	100	μA	V _{I1} = 26V
FSK Keying Level (Pin 9)	0.8	1.4	2.4	0.8	1.4	2.4	V	See section on circuit controls
Reference Bypass Voltage	2.9	3.1	3.3	2.5	3	3.5	V	Measured at Pin 10.

Note 1: Output amplitude is directly proportional to the resistance, R_3 , on Pin 3. See Figure 2.

Note 2: For maximum amplitude stability, R_3 should be a positive temperature coefficient resistor.

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

XR-2206

PRINCIPLES OF OPERATION

Description of Controls

Frequency of Operation:

The frequency of oscillation, f_o , is determined by the external timing capacitor, C , across Pin 5 and 6, and by the timing resistor, R , connected to either Pin 7 or 8. The frequency is given as:

$$f_o = \frac{1}{RC} \text{ Hz}$$

and can be adjusted by varying either R or C . The recommended values of R , for a given frequency range, are shown in Figure 4. Temperature stability is optimum for $4 \text{ k}\Omega < R < 200 \text{ k}\Omega$. Recommended values of C are from 1000 pF to 100 μF .

Frequency Sweep and Modulation:

Frequency of oscillation is proportional to the total timing current, I_T , drawn from Pin 7 or 8:

$$f = \frac{320 I_T (\text{mA})}{C (\mu\text{F})} \text{ Hz}$$

Timing terminals (Pin 7 or 8) are low-impedance points, and are internally biased at +3V, with respect to Pin 12. Frequency varies linearly with I_T , over a wide range of current values, from 1 μA to 3 mA. The frequency can be controlled by applying a control voltage, V_C , to the activated timing pin as shown in Figure 9. The frequency of oscillation is related to V_C as:

$$f = \frac{1}{RC} \left(1 + \frac{R}{RC} \left(1 - \frac{V_C}{3} \right) \right) \text{ Hz}$$

where V_C is in volts. The voltage-to-frequency conversion gain, K , is given as:

$$K = \partial f / \partial V_C = - \frac{0.32}{RC} \text{ Hz/V}$$

CAUTION: For safe operation of the circuit, I_T should be limited to $\leq 3 \text{ mA}$.

Output Amplitude:

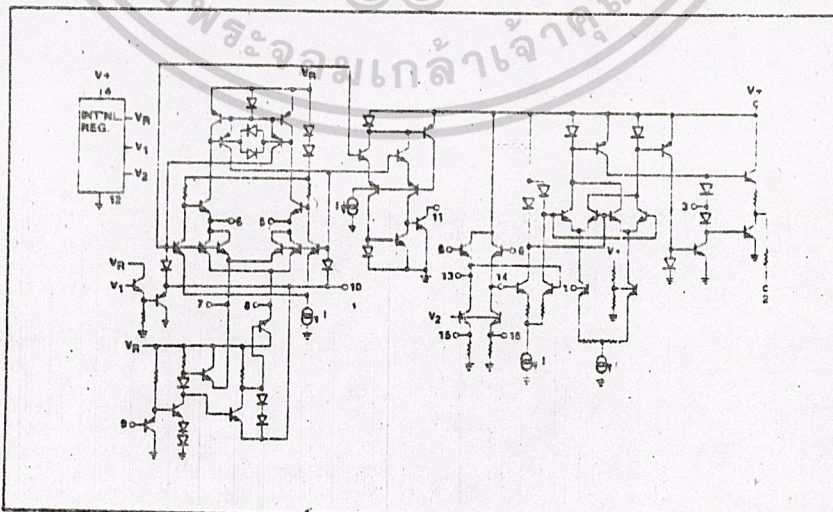
Maximum output amplitude is inversely proportional to the external resistor, R_3 , connected to Pin 3 (see Figure 2). For sine wave output, amplitude is approximately 60 mV peak per $\text{k}\Omega$ of R_3 ; for triangle, the peak amplitude is approximately 160 mV peak per $\text{k}\Omega$ of R_3 . Thus, for example, $R_3 = 50 \text{ k}\Omega$ would produce approximately $\pm 3\text{V}$ sinusoidal output amplitude.

Amplitude Modulation:

Output amplitude can be modulated by applying a dc bias and a modulating signal to Pin 1. The internal impedance at Pin 1 is approximately 100 $\text{k}\Omega$. Output amplitude varies linearly with the applied voltage at Pin 1, for values of dc bias at this pin, within ± 4 volts of $V_T/2$ as shown in Figure 5. As this bias level approaches $V_T/2$, the phase of the output signal is reversed, and the amplitude goes through zero. This property is suitable for phase-shift keying and suppressed-carrier AM generation. Total dynamic range of amplitude modulation is approximately 55 dB.

CAUTION: AM control must be used in conjunction with a well-regulated supply, since the output amplitude now becomes a function of V^+ .

EQUIVALENT SCHEMATIC DIAGRAM



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Frequency-Shift Keying:

The XR-2206 can be operated with two separate timing resistors, R_1 and R_2 , connected to the timing Pin 7 and 8, respectively, as shown in Figure 12. Depending on the polarity of the logic signal at Pin 9, either one or the other of these timing resistors is activated. If Pin 9 is open-circuited or connected to a bias voltage $\geq 2V$, only R_1 is activated. Similarly, if the voltage level at Pin 9 is $\leq 1V$, only R_2 is activated. Thus, the output frequency can be keyed between two levels, f_1 and f_2 , as:

$$f_1 = 1/R_1C \text{ and } f_2 = 1/R_2C$$

For split-supply operation, the keying voltage at Pin 9 is referenced to V^- .

Output DC Level Control:

The dc level at the output (Pin 2) is approximately the same as the dc bias at Pin 3. In Figures 10, 11 and 12, Pin 3 is biased midway between V^+ and ground, to give an output dc level of $\approx V^+/2$.

APPLICATIONS INFORMATION**Sine Wave Generation****Without External Adjustment:**

Figure 10 shows the circuit connection for generating a sinusoidal output from the XR-2206. The potentiometer, R_1 at Pin 7, provides the desired frequency tuning. The maximum output swing is greater than $V^+/2$, and the typical distortion (THD) is $< 2.5\%$. If lower sine wave distortion is desired, additional adjustments can be provided as described in the following section.

The circuit of Figure 10 can be converted to split-supply operation, simply by replacing all ground connections with V^- . For split-supply operation, R_3 can be directly connected to ground.

With External Adjustment:

The harmonic content of sinusoidal output can be reduced to $\approx 5\%$ by additional adjustments as shown in Figure 11. The potentiometer, R_A , adjusts the sine-shaping resistor, and R_B provides the fine adjustment for the waveform symmetry. The adjustment procedure is as follows:

1. Set R_B at midpoint, and adjust R_A for minimum distortion.
2. With R_A set as above, adjust R_B to further reduce distortion.

Triangle Wave Generation

The circuits of Figures 10 and 11 can be converted to triangle wave generation, by simply open-circuiting Pin 13 and 14 (i.e., S_1 open). Amplitude of the triangle is approximately twice the sine wave output.

FSK Generation

Figure 12 shows the circuit connection for sinusoidal FSK signal operation. Mark and space frequencies can be independently adjusted, by the choice of timing resistors, R_1 and R_2 ; the output is phase-continuous during transitions. The keying signal is applied to Pin 9. The circuit can be converted to split-supply operation by simply replacing ground with V^- .

Pulse and Ramp Generation

Figure 13 shows the circuit for pulse and ramp waveform generation. In this mode of operation, the FSK keying terminal (Pin 9) is shorted to the square-wave output (Pin 11), and the circuit automatically frequency-shift keys itself between two separate frequencies during the positive-going and negative-going output waveforms. The pulse width and duty cycle can be adjusted from 1% to 99%, by the choice of R_1 and R_2 . The values of R_1 and R_2 should be in the range of $1\text{ k}\Omega$ to $2\text{ M}\Omega$.

XR-2206

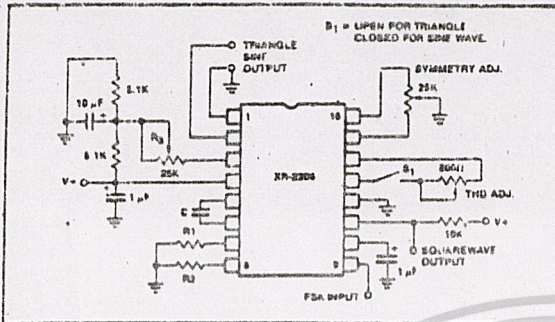


Figure 1: Basic Test Circuit.

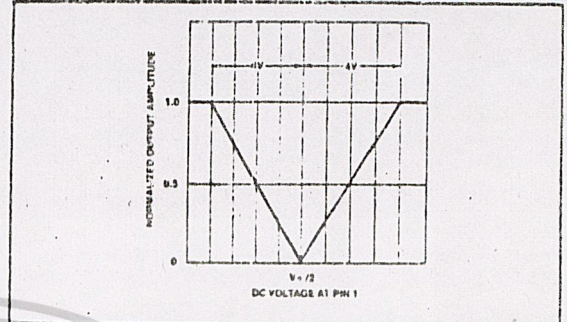


Figure 5: Normalized Output Amplitude versus DC Bias at AM Input (Pin 1).

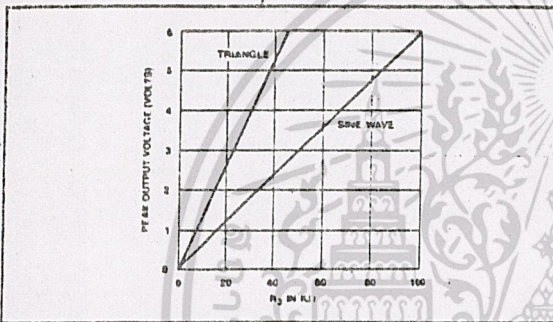


Figure 2: Output Amplitude as a Function of the Resistor, R_3 , at Pin 3.

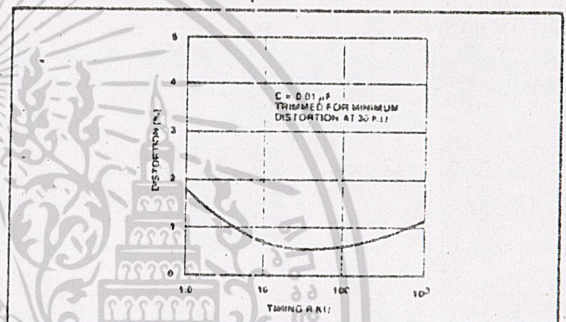


Figure 6: Trimmed Distortion versus Timing Resistor.

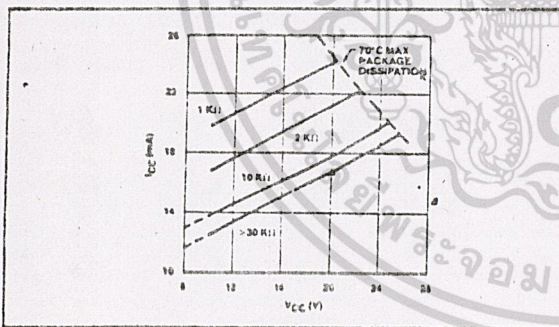


Figure 3: Supply Current versus Supply Voltage, Timing, R .

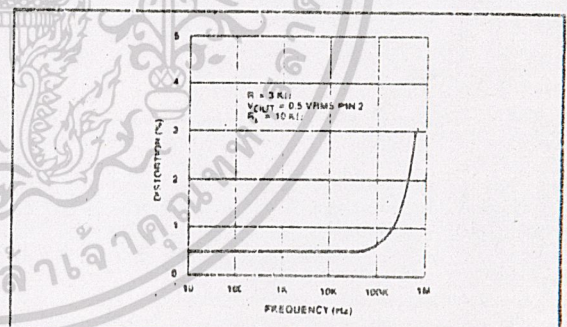


Figure 7: Sine Wave Distortion versus Operating Frequency with Timing Capacitors Varied.

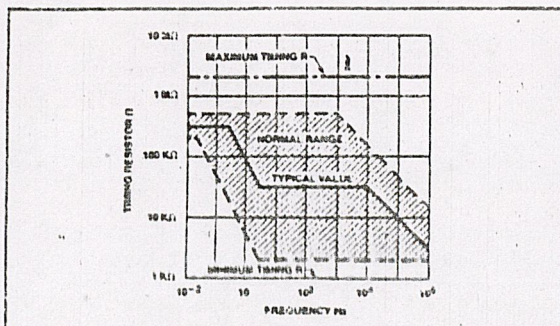


Figure 4: R versus Oscillation Frequency.

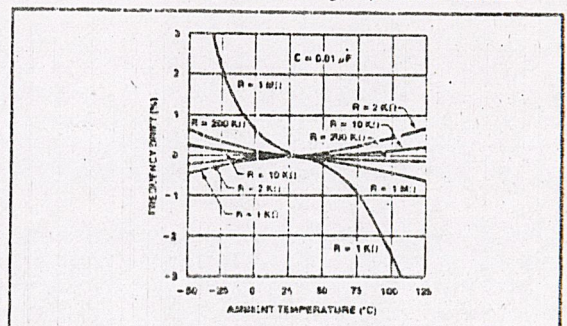


Figure 8: Frequency Drift versus Temperature.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

XR-2206

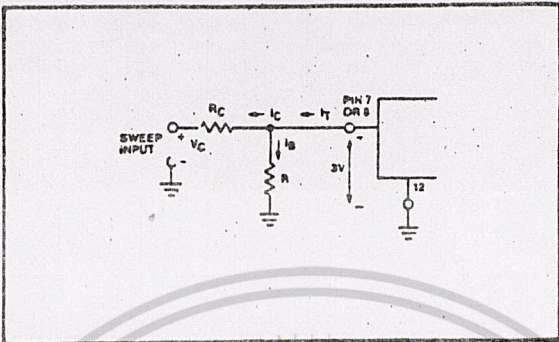


Figure 9: Circuit Connection for Frequency Sweep.

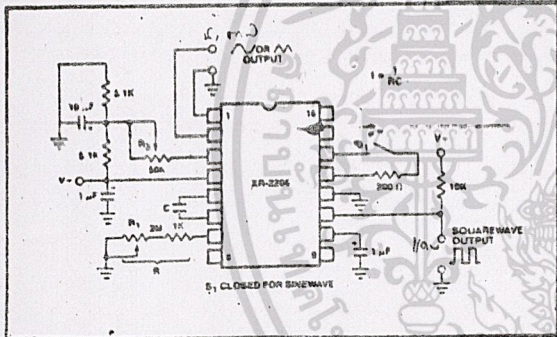


Figure 10: Circuit for Sine Wave Generation without External Adjustment. (See Figure 2 for Choice of R_3 .)

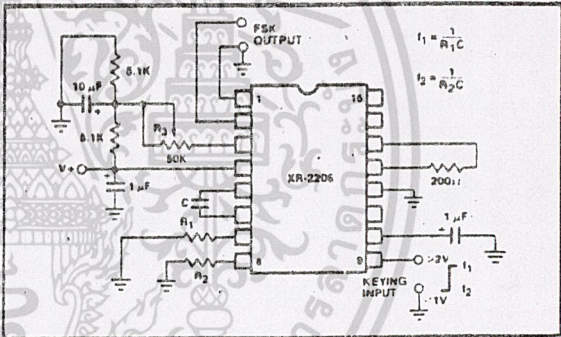


Figure 12: Sinusoidal FSK Generator.

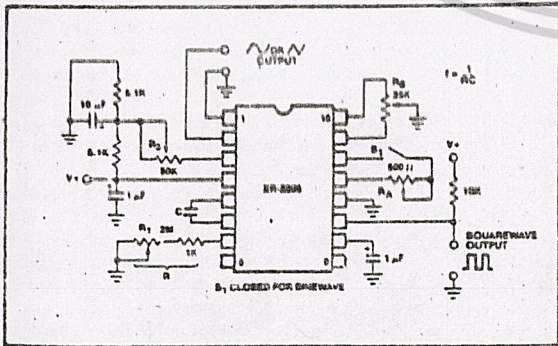


Figure 11: Circuit for Sine Wave Generation with Minimum Harmonic Distortion. (R_3 Determines Output Swing – See Figure 2.)

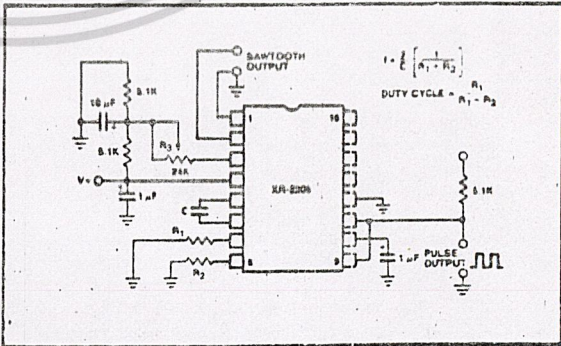


Figure 13: Circuit for Pulse and Ramp Generation.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ORDERING INFORMATION

Device	Temperature Range	Package
MC1496D	0°C to +70°C	SO-14
MC1496G		Metal Can
MC1496L		Ceramic DIP
MC1496P		Plastic DIP
MC1596G	-55°C to +125°C	Metal Can
MC1596L		Ceramic DIP

MC1496
MC1596

Specifications and Applications Information

BALANCED MODULATOR/DEMODULATOR

... designed for use where the output voltage is a product of an input voltage (signal) and a switching function (carrier). Typical applications include suppressed carrier and amplitude modulation, synchronous detection, FM detection, phase detection, and chopper applications. See Motorola Application Note AN-531 for additional design information.

- Excellent Carrier Suppression — 65 dB typ @ 0.5 MHz
— 50 dB typ @ 10 MHz
- Adjustable Gain and Signal Handling
- Balanced Inputs and Outputs
- High Common Mode Rejection — 85 dB typ

BALANCED MODULATOR/DEMODULATOR

SILICON MONOLITHIC
INTEGRATED CIRCUIT

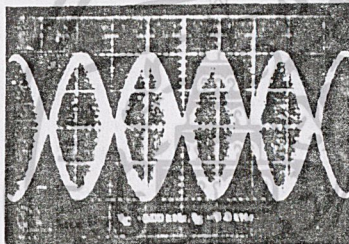


FIGURE 1 —
SUPPRESSED CARRIER
OUTPUT WAVEFORM

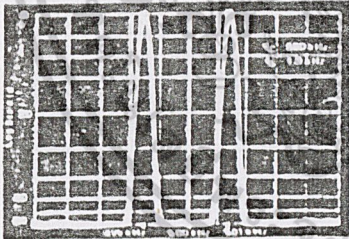


FIGURE 2 —
SUPPRESSED CARRIER
SPECTRUM

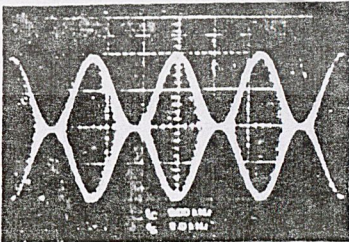


FIGURE 3 —
AMPLITUDE MODULATION
OUTPUT WAVEFORM

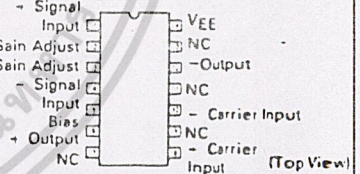
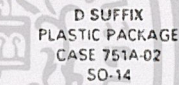
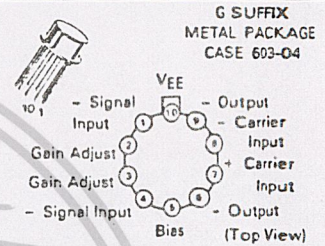
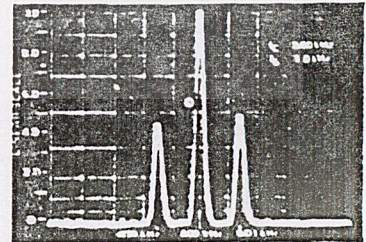


FIGURE 4 — AMPLITUDE MODULATION SPECTRUM



MOTOROLA LINEAR/INTERFACE DEVICES

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC1496, MC1596

MAXIMUM RATINGS* (T_A = +25°C unless otherwise noted)

Rating	Symbol	Value	Unit
Applied Voltage (V ₆ - V ₇ , V ₈ - V ₁ , V ₉ - V ₇ , V ₉ - V ₈ , V ₇ - V ₄ , V ₇ - V ₁ , V ₈ - V ₄ , V ₈ - V ₆ , V ₂ - V ₅ , V ₃ - V ₅)	ΔV	30	Vdc
Differential Input Signal	V ₇ - V ₈ V ₄ - V ₁	- 5.0 = (5 - I _S R _E)	Vdc
Maximum Bias Current	I _S	10	mA
Thermal Resistance, Junction to Air Ceramic Dual In-Line Package Plastic Dual In-Line Package Metal Package	R _{θJA}	100 100 160	°C/W
Operating Temperature Range	T _A	0 to +70 -55 to +125	°C
Storage Temperature Range	T _{stg}	-65 to +150	°C

ELECTRICAL CHARACTERISTICS* (V_{CC} = +12 Vdc, V_{EE} = -8.0 Vdc, I_S = 1.0 mAdc, R_L = 3.9 kΩ, R_E = 1.0 kΩ, T_A = -25°C unless otherwise noted) (All input and output characteristics are single-ended unless otherwise noted.)

Characteristic	Fig.	Note	Symbol	MC1596			MC1496			Unit
				Min	Typ	Max	Min	Typ	Max	
Carrier Feedthrough V _C = 60 mV(rms) sine wave and offset adjusted to zero V _C = 300 mVp-p square wave; offset adjusted to zero offset not adjusted	5	1	V _{CFT}	—	40	—	—	40	—	μV(rms)
				—	140	—	—	140	—	mV(rms)
Carrier Suppression f _S = 10 kHz, 300 mV(rms) f _C = 500 kHz, 60 mV(rms) sine wave f _C = 10 MHz, 60 mV(rms) sine wave	5	2	V _{CS}	—	0.04	0.2	—	0.04	0.4	dB
				—	20	100	—	20	200	
Transmittance Bandwidth (Magnitude) (R _L = 50 ohms) Carrier Input Port, V _C = 60 mV(rms) sine wave f _S = 1.0 kHz, 300 mV(rms) sine wave Signal Input Port, V _S = 300 mV(rms) sine wave V _C = 0.5 Vdc	8	8	BW _{3dB}	—	300	—	—	300	—	MHz
				—	80	—	—	80	—	
Signal Gain V _S = 100 mV(rms), f = 1.0 kHz, V _C = 0.5 Vdc	10	3	A _{VS}	2.5	3.5	—	2.5	3.5	—	V/V
Single-Ended Input Impedance, Signal Port, f = 5.0 MHz	6	—	Z _{in}	—	200	—	—	200	—	kΩ
Parallel Input Resistance				—	2.0	—	—	2.0	—	pF
Single-Ended Output Impedance, f = 10 MHz	6	—	Z _{out}	—	40	—	—	40	—	kΩ
Parallel Output Resistance				—	5.0	—	—	5.0	—	pF
Input Bias Current I _{bS} = $\frac{I_1 - I_4}{2}$, I _{bC} = $\frac{I_7 - I_8}{2}$	7	—	I _{bS} I _{bC}	—	12	25	—	12	30	μA
Input Offset Current I _{oS} = I ₁ - I ₄ ; I _{oC} = I ₇ - I ₈	7	—	I _{oS} I _{oC}	—	0.7	5.0	—	0.7	7.0	μA
Average Temperature Coefficient of Input Offset Current (T _A = -55°C to +125°C)	7	—	TC _{Io}	—	2.0	—	—	2.0	—	nA/°C
Output Offset Current (I ₆ - I ₉)	7	—	I _{oo}	—	14	50	—	14	80	μA
Average Temperature Coefficient of Output Offset Current (T _A = -55°C to +125°C)	7	—	TC _{Io}	—	90	—	—	90	—	nA/°C
Common-Mode Input Swing, Signal Port, f _S = 1.0 kHz	9	4	CMV	—	5.0	—	—	5.0	—	V _{p-p}
Common-Mode Gain, Signal Port, f _S = 1.0 kHz, V _C = 0.5 Vdc	9	—	ACM	—	-85	—	—	-85	—	dB
Common-Mode Quiescent Output Voltage (Pin 6 or Pin 9)	10	—	V _{out}	—	8.0	—	—	8.0	—	V _{p-p}
Differential Output Voltage Swing Capability	10	—	V _{out}	—	8.0	—	—	8.0	—	V _{p-p}
Power Supply Current I ₆ + I ₉ I ₁₀	7	6	I _{CC} I _{EE}	—	2.0	3.0	—	2.0	4.0	mAdc
DC Power Dissipation	7	5	P _D	—	33	—	—	33	—	mW

* Pin number references pertain to this device when packaged in a metal can. To ascertain the corresponding pin numbers for plastic or ceramic packaged devices refer to the first page of this specification sheet.

MOTOROLA LINEAR/INTERFACE DEVICES

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC1496, MC1596

GENERAL OPERATING INFORMATION*

Note 1 - Carrier Feedthrough

Carrier feedthrough is defined as the output voltage at carrier frequency with only the carrier applied (signal voltage = 0).

Carrier null is achieved by balancing the currents in the differential amplifier by means of a bias trim potentiometer (R_1 of Figure 5).

Note 2 - Carrier Suppression

Carrier suppression is defined as the ratio of each sideband output to carrier output for the carrier and signal voltage levels specified.

Carrier suppression is very dependent on carrier input level, as shown in Figure 22. A low value of the carrier does not fully switch the upper switching devices, and results in lower signal gain, hence lower carrier suppression. A higher than optimum carrier level results in unnecessary device and circuit carrier feedthrough, which again degenerates the suppression figure. The MC1596 has been characterized with a 60 mV(rms) sinewave carrier input signal. This level provides optimum carrier suppression at carrier frequencies in the vicinity of 500 kHz, and is generally recommended for balanced modulator applications.

Carrier feedthrough is independent of signal level, V_S . Thus carrier suppression can be maximized by operating with large signal levels. However, a linear operating mode must be maintained in the signal-input transistor pair - or harmonics of the modulating signal will be generated and appear in the device output as spurious sidebands of the suppressed carrier. This requirement places an upper limit on input-signal amplitude (see Note 3 and Figure 20). Note also that an optimum carrier level is recommended in Figure 22 for good carrier suppression and minimum spurious sideband generation.

At higher frequencies circuit layout is very important in order to minimize carrier feedthrough. Shielding may be necessary in order to prevent capacitive coupling between the carrier input leads and the output leads.

Note 3 - Signal Gain and Maximum Input Level

Signal gain (single-ended) at low frequencies is defined as the voltage gain.

$$A_{VS} = \frac{V_O}{V_S} = \frac{R_1}{R_E + r_e} \quad \text{where } r_e = \frac{26 \text{ mV}}{I_E \text{ (mA)}}$$

A constant dc potential is applied to the carrier input terminals to fully switch two of the upper transistors "on" and two transistors "off" ($V_C = 0.5 \text{ Vdc}$). This in effect forms a cascade differential amplifier.

Linear operation requires that the signal input be below a critical value determined by R_E and the bias current I_E .

$$V_S \leq I_E R_E \text{ (Volts peak)}$$

Note that in the test circuit of Figure 10, V_S corresponds to a maximum value of 1 volt peak.

Note 4 - Common-Mode Swing

The common-mode swing is the voltage which may be applied to both bases of the signal differential amplifier, without saturating the current sources or without saturating the differential amplifier itself by swinging it into the upper switching devices. This swing is variable depending on the particular circuit and biasing conditions chosen (see Note 6).

Note 5 - Power Dissipation

Power dissipation, P_D , within the integrated circuit package should be calculated as the summation of the voltage-current products at each port, i.e. assuming $V_G = V_6$, $I_5 = I_6 = I_9$ and ignoring

base current, $P_D = 2 I_5 (V_6 - V_{10}) + I_5 (V_5 - V_{10})$ where subscripts refer to pin numbers.

Note 6 - Design Equations

The following is a partial list of design equations needed to operate the circuit with other supply voltages and input conditions. See Note 3 for R_E equation.

A. Operating Current

The internal bias currents are set by the conditions at pin 5. Assume:

$$I_5 = I_6 = I_9$$

$$I_5 \ll I_C \text{ for all transistors}$$

then:

$$R_5 = \frac{V - \phi}{I_5} \approx 500 \Omega \quad \text{where: } R_5 \text{ is the resistor between pin 5 and ground}$$

$$\phi = 0.75 \text{ V at } T_A = +25^\circ\text{C}$$

The MC1596 has been characterized for the condition $I_5 = 1.0 \text{ mA}$ and is the generally recommended value.

B. Common-Mode Quiescent Output Voltage

$$V_6 = V_9 = V^+ - I_5 R_L$$

Note 7 - Biasing

The MC1596 requires three dc bias voltage levels which must be set externally. Guidelines for setting up these three levels include maintaining at least 2 volts collector-base bias on all transistors while not exceeding the voltages given in the absolute maximum rating table.

$$30 \text{ Vdc} \geq [(V_6, V_9) - (V_7, V_8)] \geq 2 \text{ Vdc}$$

$$30 \text{ Vdc} \geq [(V_7, V_8) - (V_1, V_4)] \geq 2.7 \text{ Vdc}$$

$$30 \text{ Vdc} \geq [(V_1, V_4) - (V_5)] \geq 2.7 \text{ Vdc}$$

The foregoing conditions are based on the following approximations:

$$V_6 = V_9, \quad V_7 = V_8, \quad V_1 = V_4$$

Bias currents flowing into pins 1, 4, 7, and 9 are transistor base currents and can normally be neglected if external bias dividers are designed to carry 10 mA or more.

Note 8 - Transadmittance Bandwidth

Carrier transadmittance bandwidth is the 3-dB bandwidth of the device forward transadmittance as defined by:

$$Y_{21C} = \left. \frac{i_o \text{ (each sideband)}}{V_s \text{ (signal)}} \right|_{V_O = 0}$$

Signal transadmittance bandwidth is the 3-dB bandwidth of the device forward transadmittance as defined by:

$$Y_{21S} = \left. \frac{i_o \text{ (signal)}}{V_s \text{ (signal)}} \right|_{V_C = 0.5 \text{ Vdc}, V_O = 0}$$

*Pin number references pertain to this device when packaged in a metal can. To ascertain the corresponding pin numbers for plastic or ceramic packaged devices refer to the first page of this specification sheet.

MOTOROLA LINEAR/INTERFACE DEVICES

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC1496, MC1596

Note 9 - Coupling and Bypass Capacitors C_1 and C_2

Capacitors C_1 and C_2 (Figure 5) should be selected for a reactance of less than 5.0 ohms at the carrier frequency.

Note 10 – Output Signal, V_o

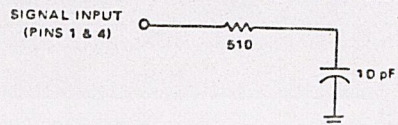
The output signal is taken from pins 6 and 9, either balanced or single-ended. Figure 12 shows the output levels of each of the two output sidebands resulting from variations in both the carrier and modulating signal inputs with a single-ended output connection.

Note 11 - Negative Supply, V_{EE}

V_{EE} should be dc only. The insertion of an RF choke in series with V_{EE} can enhance the stability of the internal current sources.

Note 12 - Signal Port Stability

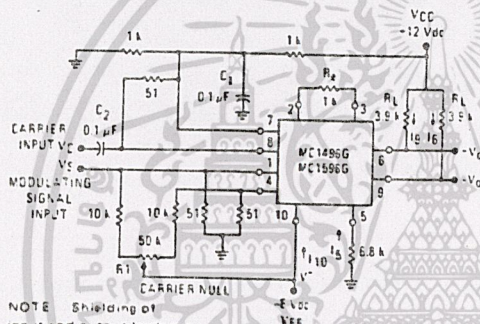
Under certain values of driving source impedance, oscillation may occur. In this event, an RC suppression network should be connected directly to each input using short leads. This will reduce the Q of the source-tuned circuits that cause the oscillation.



An alternate method for low-frequency applications is to insert a 1 k-ohm resistor in series with the inputs, pins 1 and 4. In this case input current drift may cause serious degradation of carrier suppression.

TEST CIRCUITS

FIGURE 5 - CARRIER REJECTION AND SUPPRESSION



NOTE Shielding of input and output leads may be needed to properly perform these tests.

FIGURE 6 - INPUT-OUTPUT IMPEDANCE

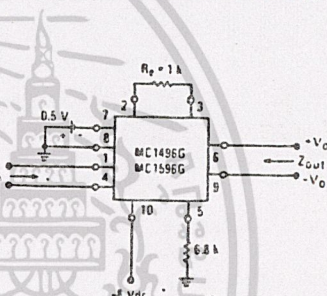


FIGURE 7 - BIAS AND OFFSET CURRENTS

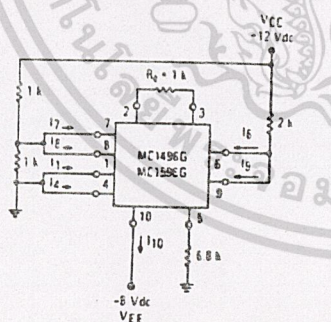
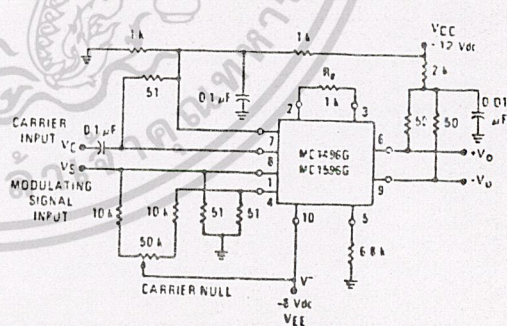


FIGURE 8 - TRANSCONDUCTANCE BANDWIDTH



NOTE: Pin number references pertain to this device when packaged in a metal can. To ascertain the corresponding pin numbers for plastic or ceramic packaged devices refer to the first page of this specification sheet.

MOTOROLA LINEAR/INTERFACE DEVICES

MC1496, MC1596

TEST CIRCUITS (continued)

FIGURE 9 - COMMON-MODE GAIN

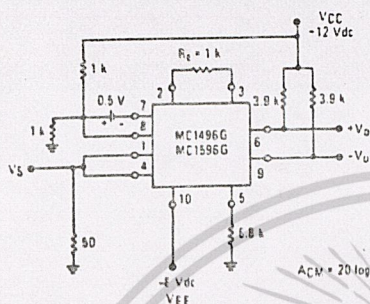
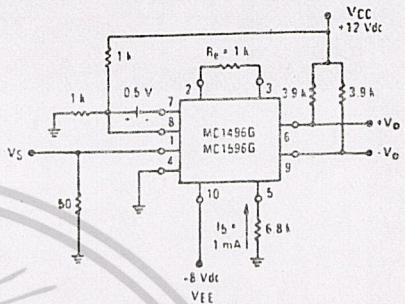


FIGURE 10 - SIGNAL GAIN AND OUTPUT SWING



NOTE: Pin number references pertain to this device when packaged in a metal can. To ascertain the corresponding pin numbers for plastic or ceramic packaged devices refer to the first page of this specification sheet.

TYPICAL CHARACTERISTICS (continued)

Typical characteristics were obtained with circuit shown in Figure 5; $f_c = 500$ kHz (sine wave), $V_C = 60$ mV(rms), $I_S = 1$ mA, $V_S = 300$ mV(rms), $T_A = -25^\circ\text{C}$ unless otherwise noted.

FIGURE 11 - SIDEBAND OUTPUT versus CARRIER LEVELS

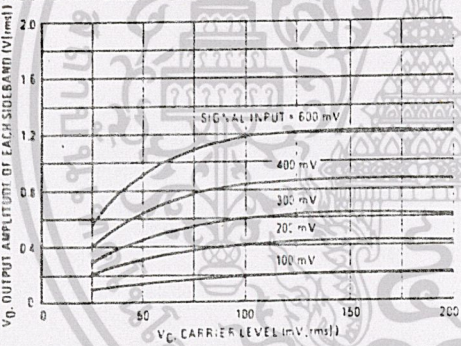


FIGURE 12 - SIGNAL-PORT PARALLEL-EQUIVALENT INPUT RESISTANCE versus FREQUENCY

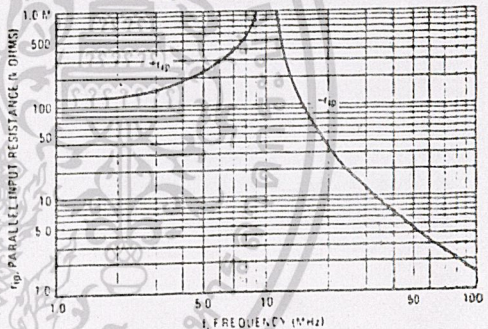


FIGURE 13 - SIGNAL-PORT PARALLEL-EQUIVALENT INPUT CAPACITANCE versus FREQUENCY

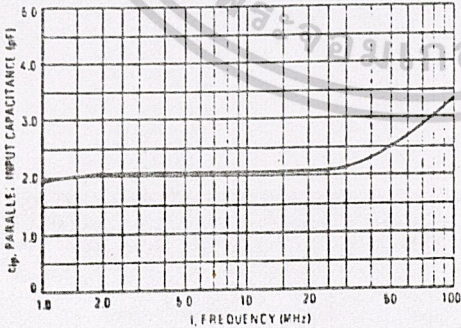
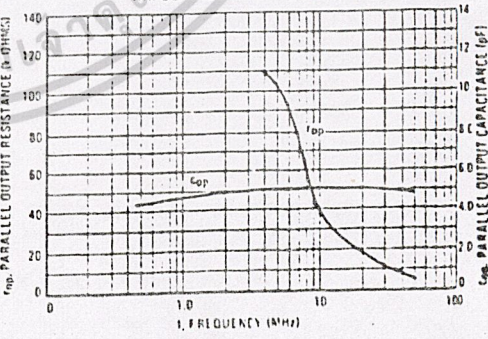


FIGURE 14 - SINGLE-ENDED OUTPUT IMPEDANCE versus FREQUENCY



MOTOROLA LINEAR/INTERFACE DEVICES

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC1496, MC1596

TYPICAL CHARACTERISTICS (continued)

Typical characteristics were obtained with circuit shown in Figure 5. $f_c = 500 \text{ kHz}$ (sine wave), $V_C = 60 \text{ mV(rms)}$, $f_s = 1 \text{ kHz}$, $V_S = 300 \text{ mV(rms)}$, $T_A = -25^\circ\text{C}$ unless otherwise noted.

FIGURE 15 - SIDE BAND AND SIGNAL PORT TRANSMITTANCES versus FREQUENCY

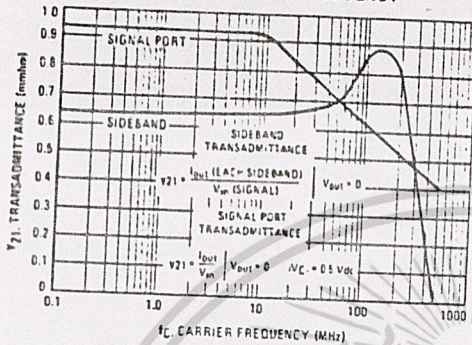


FIGURE 16 - CARRIER SUPPRESSION versus TEMPERATURE

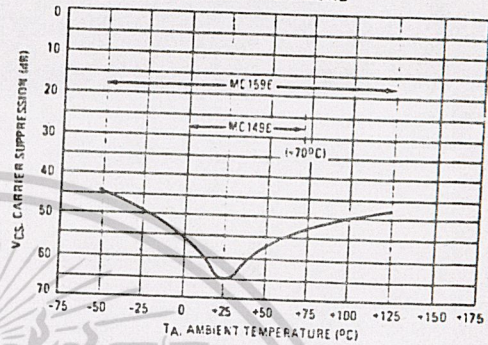


FIGURE 17 - SIGNAL-PORT FREQUENCY RESPONSE

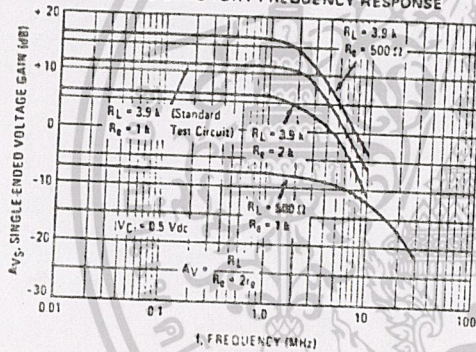


FIGURE 18 - CARRIER SUPPRESSION versus FREQUENCY

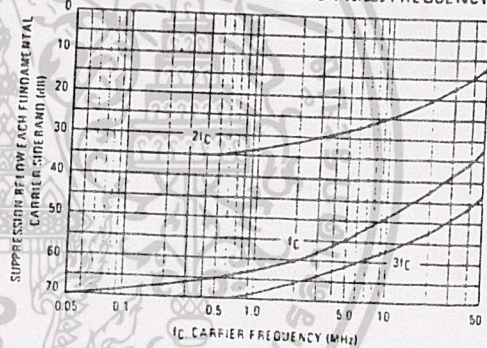


FIGURE 19 - CARRIER FEEDTHROUGH versus FREQUENCY

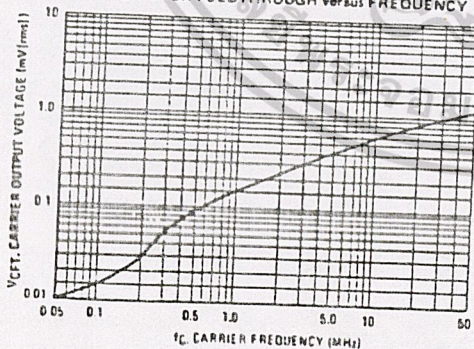
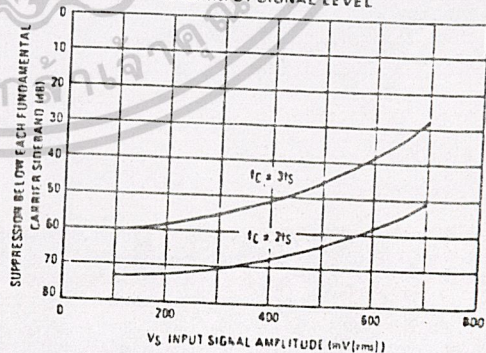


FIGURE 20 - SIDE BAND HARMONIC SUPPRESSION versus INPUT SIGNAL LEVEL



MOTOROLA LINEAR/INTERFACE DEVICES

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC1496, MC1596

TYPICAL CHARACTERISTICS (continued)

FIGURE 21 - SUPPRESSION OF CARRIER HARMONIC
SIDE BANDS versus CARRIER FREQUENCY

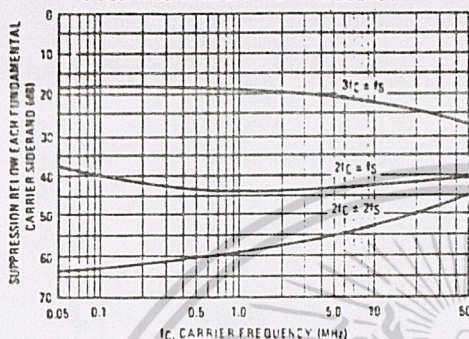
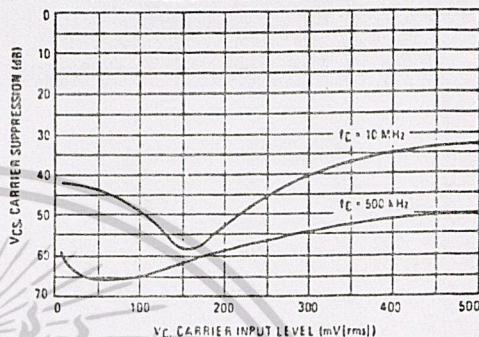


FIGURE 22 - CARRIER SUPPRESSION
VERSUS CARRIER INPUT LEVEL



OPERATIONS INFORMATION

The MC1596/MC1496, a monolithic balanced modulator circuit, is shown in Figure 23.

This circuit consists of an upper quad differential amplifier driven by a standard differential amplifier with dual current sources. The output collectors are cross-coupled so that full-wave balanced multiplication of the two input voltages occurs. That is, the output signal is a constant times the product of the two input signals.

Mathematical analysis of linear ac signal multiplication indicates that the output spectrum will consist of only the sum and difference of the two input frequencies. Thus, the device may be used as a balanced modulator, doubly balanced mixer, product detector, frequency doubler, and other applications requiring these particular output signal characteristics.

The lower differential amplifier has its emitters connected to the package pins so that an external emitter resistance may be used. Also, external load resistors are employed at the device output.

Signal Levels

The upper quad differential amplifier may be operated either in a linear or a saturated mode. The lower differential amplifier is operated in a linear mode for most applications.

For low-level operation at both input ports, the output signal will contain sum and difference frequency components and have an amplitude which is a function of the product of the input signal amplitudes.

For high-level operation at the carrier input port and linear operation at the modulating signal port, the output signal will contain sum and difference frequency components of the modulating signal frequency and the fundamental and odd harmonics of the carrier frequency. The output amplitude will be a constant times the modulating signal amplitude. Any amplitude variations in the carrier signal will not appear in the output.

FIGURE 23 – CIRCUIT SCHEMATIC

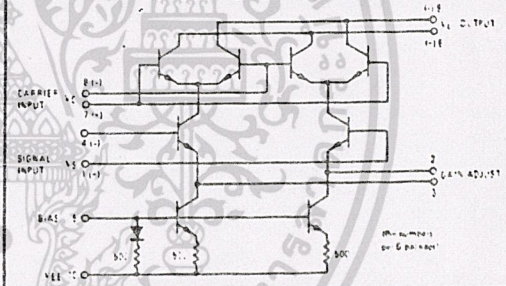
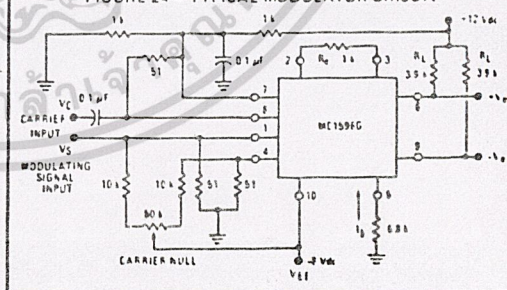


FIGURE 24 - TYPICAL MODULATOR CIRCUIT



NOTE Pin number references pertain to this device when packaged in a metal can. To ascertain the corresponding pin numbers for plastic or ceramic packaged devices refer to the first page of this specification sheet.

MOTOROLA LINEAR/INTERFACE DEVICES

MC1496, MC1596

TYPICAL CHARACTERISTICS (continued)

FIGURE 21 - SUPPRESSION OF CARRIER HARMONIC
SIDE BANDS versus CARRIER FREQUENCY

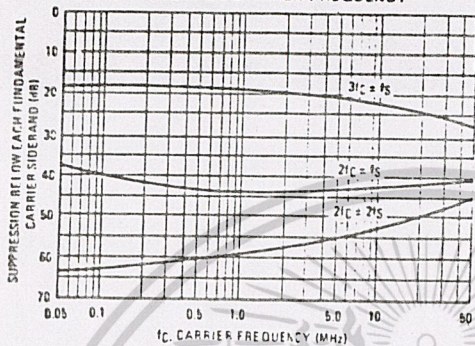
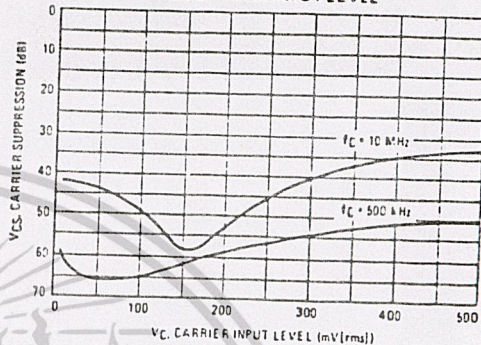


FIGURE 22 - CARRIER SUPPRESSION
versus CARRIER INPUT LEVEL



OPERATIONS INFORMATION

The MC1596/MC1496, a monolithic balanced modulator circuit, is shown in Figure 23.

This circuit consists of an upper quad differential amplifier driven by a standard differential amplifier with dual current sources. The output collectors are cross-coupled so that full-wave balanced multiplication of the two input voltages occurs. That is, the output signal is a constant times the product of the two input signals.

Mathematical analysis of linear ac signal multiplication indicates that the output spectrum will consist of only the sum and difference of the two input frequencies. Thus, the device may be used as a balanced modulator, doubly balanced mixer, product detector, frequency doubler, and other applications requiring these particular output signal characteristics.

The lower differential amplifier has its emitters connected to the package pins so that an external emitter resistance may be used. Also, external load resistors are employed at the device output.

Signal Levels

The upper quad differential amplifier may be operated either in a linear or a saturated mode. The lower differential amplifier is operated in a linear mode for most applications.

For low-level operation at both input ports, the output signal will contain sum and difference frequency components and have an amplitude which is a function of the product of the input signal amplitudes.

For high-level operation at the carrier input port and linear operation at the modulating signal port, the output signal will contain sum and difference frequency components of the modulating signal frequency and the fundamental and odd harmonics of the carrier frequency. The output amplitude will be a constant times the modulating signal amplitude. Any amplitude variations in the carrier signal will not appear in the output.

FIGURE 23 - CIRCUIT SCHEMATIC

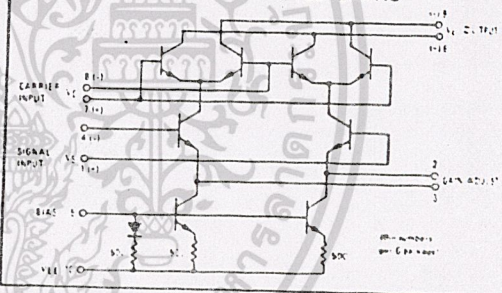
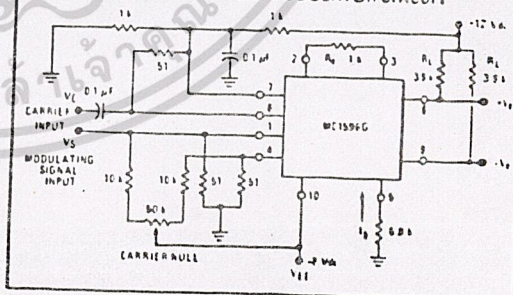


FIGURE 24 - TYPICAL MODULATOR CIRCUIT



NOTE Pin number references pertain to this device when packaged in a metal can. To ascertain the corresponding pin numbers for plastic or ceramic packaged devices refer to the first page of this specification sheet.

MOTOROLA LINEAR/INTERFACE DEVICES

MC1496, MC1596

OPERATIONS INFORMATION (continued)

The linear signal handling capabilities of a differential amplifier are well defined. With no emitter degeneration, the maximum input voltage for linear operation is approximately 25 mV peak. Since the upper differential amplifier has its emitters internally connected, this voltage applies to the carrier input port for all conditions.

Since the lower differential amplifier has provisions for an external emitter resistance, its linear signal handling range may be adjusted by the user. The maximum input voltage for linear operation may be approximated from the following expression:

$$V \approx (I_E)(R_E) \text{ volts peak.}$$

This expression may be used to compute the minimum value of R_E for a given input voltage amplitude.

FIGURE 25 - TABLE 1
VOLTAGE GAIN AND OUTPUT FREQUENCIES

Carrier Input Signal (V_C)	Approximate Voltage Gain	Output Signal Frequency(s)
Low-level dc	$\frac{R_L V_C}{2(R_E + 2r_e)(\frac{KT}{q})}$	f_M
High-level dc	$\frac{R_L}{R_E + 2r_e}$	f_M
Low-level ac	$\frac{R_L V_C(\text{rms})}{2\sqrt{2}(\frac{KT}{q})(R_E + 2r_e)}$	$f_C \pm f_M$
High-level ac	$\frac{0.637 R_L}{R_E + 2r_e}$	$f_C \pm f_M, 3f_C \pm f_M, 5f_C \pm f_M, \dots$

The gain from the modulating signal input port to the output is the MC1596/MC1496 gain parameter which is most often of interest to the designer. This gain has significance only when the lower differential amplifier is operated in a linear mode, but this includes most applications of the device.

As previously mentioned, the upper quad differential amplifier may be operated either in a linear or a saturated mode. Approximate gain expressions have been developed for the MC1596/MC1496 for a low-level modulating signal input and the following carrier input conditions:

- 1) Low-level dc
- 2) High-level dc
- 3) Low-level ac
- 4) High-level ac

These gains are summarized in Table 1, along with the frequency components contained in the output signal.

NOTES:

1. Low-level Modulating Signal, V_M , assumed in all cases V_C is Carrier Input Voltage.
2. When the output signal contains multiple frequencies, the gain expression given is for the output amplitude of each of the two desired outputs, $f_C + f_M$ and $f_C - f_M$.
3. All gain expressions are for a single-ended output. For a differential output connection, multiply each expression by two.
4. R_L = Load resistance.
5. R_E = Emitter resistance between pins 2 and 3.
6. r_e = Transistor dynamic emitter resistance, at $+25^\circ\text{C}$.

$$r_e \approx \frac{26 \text{ mV}}{I_E (\text{mA})}$$

7. K = Boltzmann's Constant, T = temperature in degrees Kelvin, q = the charge on an electron.

$$\frac{KT}{q} \approx 26 \text{ mV at room temperature}$$

APPLICATIONS INFORMATION

Double sideband suppressed carrier modulation is the basic application of the MC1596/MC1496. The suggested circuit for this application is shown on the front page of this data sheet.

In some applications, it may be necessary to operate the MC1596/MC1496 with a single dc supply voltage instead of dual supplies. Figure 26 shows a balanced modulator designed for operation with a single +12 Vdc supply. Performance of this circuit is similar to that of the dual supply modulator.

AM Modulator

The circuit shown in Figure 27 may be used as an amplitude modulator with a minor modification.

All that is required to shift from suppressed carrier to AM operation is to adjust the carrier null potentiometer for the proper amount of carrier insertion in the output signal.

However, the suppressed carrier null circuitry as shown in Figure 27 does not have sufficient adjustment range. Therefore, the modulator may be modified for AM operation by changing two resistor values in the null circuit as shown in Figure 28.

Product Detector

The MC1596/MC1496 makes an excellent SSB product detector (see Figure 29).

This product detector has a sensitivity of 3.0 microvolts and a dynamic range of 90 dB when operating at an intermediate frequency of 9 MHz.

The detector is broadband for the entire high frequency range. For operation at very low intermediate frequencies down to 50 kHz the 0.1 μF capacitors on pins 7 and 8 should be increased to 1.0 μF . Also, the output filter at pin 9 can be tailored to a specific intermediate frequency and audio amplifier input impedance.

As in all applications of the MC1596/MC1496, the emitter resistance between pins 2 and 3 may be increased or decreased to adjust circuit gain, sensitivity, and dynamic range.

This circuit may also be used as an AM detector by introducing carrier signal at the carrier input and an AM signal at the SSB input.

The carrier signal may be derived from the intermediate frequency signal or generated locally. The carrier signal may be introduced with or without modulation, provided its level is sufficiently high to saturate the upper quad differential amplifier. If the carrier signal is modulated, a 300 mV(rms) input level is recommended.

MOTOROLA LINEAR/INTERFACE DEVICES

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC1496, MC1596

APPLICATIONS INFORMATION (continued)

Doubly Balanced Mixer

The MC1596/MC1496 may be used as a doubly balanced mixer with either broadband or tuned narrow band input and output networks.

The local oscillator signal is introduced at the carrier input port with a recommended amplitude of 100 mV(rms).

Figure 30 shows a mixer with a broadband input and a tuned output.

Frequency Doubler

The MC1596/MC1496 will operate as a frequency doubler by introducing the same frequency at both input ports.

Figures 31 and 32 show a broadband frequency doubler and a tuned output very high frequency (VHF) doubler, respectively.

Phase Detection and FM Detection

The MC1596/MC1496 will function as a phase detector. High-level input signals are introduced at both inputs. When both inputs are at the same frequency the MC1596/MC1496 will deliver an output which is a function of the phase difference between the two input signals.

An FM detector may be constructed by using the phase detector principle. A tuned circuit is added at one of the inputs to cause the two input signals to vary in phase as a function of frequency. The MC1596/MC1496 will then provide an output which is a function of the input signal frequency.

NOTE Pin number references pertain to this device when packaged in a metal can. To ascertain the corresponding pin numbers for plastic or ceramic packaged devices refer to the first page of this specification sheet.

TYPICAL APPLICATIONS

FIGURE 26 — BALANCED MODULATOR
(+12 Vdc SINGLE SUPPLY)

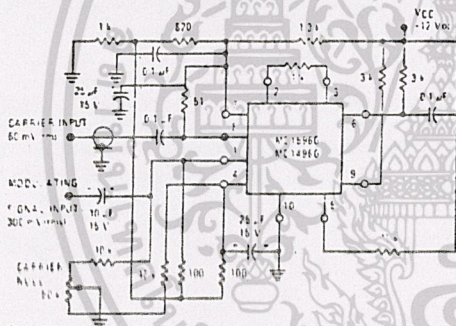


FIGURE 27 — BALANCED MODULATOR-DEMODULATOR

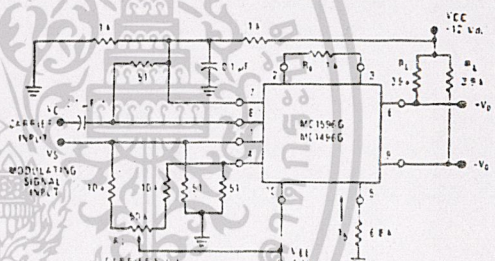


FIGURE 28 — AM MODULATOR CIRCUIT

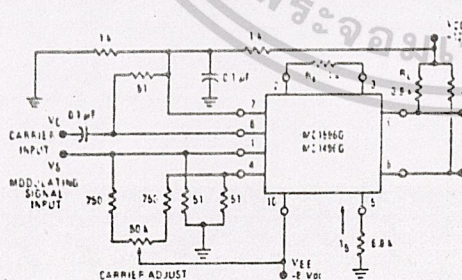
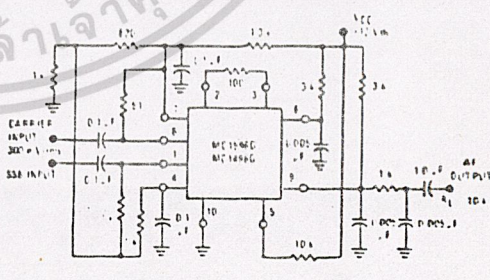


FIGURE 29 — PRODUCT DETECTOR
(+12 Vdc SINGLE SUPPLY)



MOTOROLA LINEAR/INTERFACE DEVICES

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC1496, MC1596

TYPICAL APPLICATIONS (continued)

FIGURE 30 - DOUBLY BALANCED MIXER
(BROADBAND INPUTS, 9.0 MHz TUNED OUTPUT)

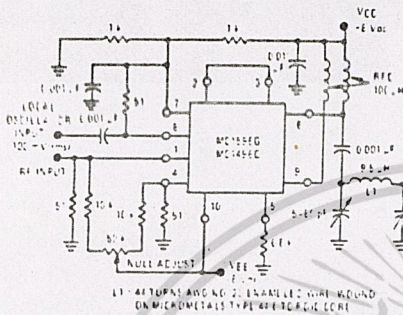


FIGURE 31 - LOW-FREQUENCY DOUBLER

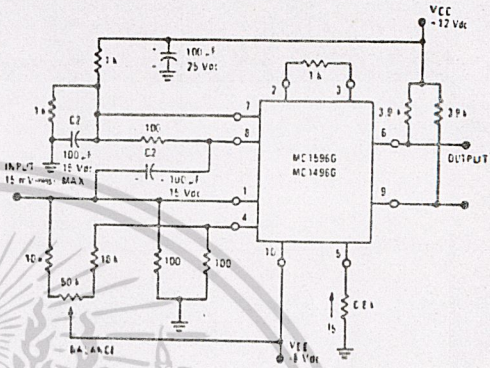
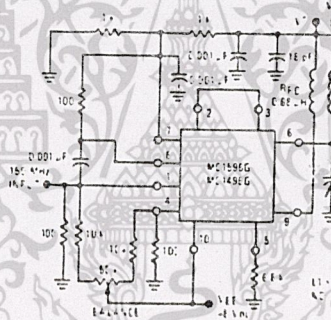
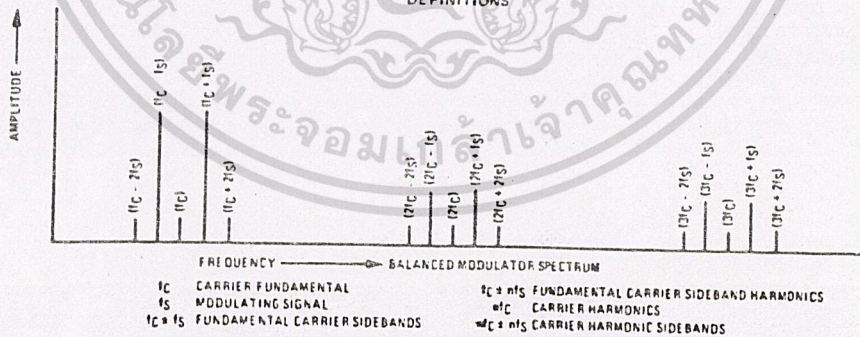


FIGURE 32 - 150 to 300 MHz DOUBLER



DEFINITIONS



NOTE Pin number references pertain to this device when packaged in a metal can. To ascertain the corresponding pin numbers for plastic or ceramic packaged devices refer to the first page of this specification sheet.



MOTOROLA

MC14046B

PHASE-LOCKED LOOP

The MC14046B phase-locked loop contains two phase comparators, a voltage-controlled oscillator (VCO), source follower, and zener diode. The comparators have two common signal inputs, PCA_{in} and PCB_{in} . Input PCA_{in} can be used directly coupled to large voltage signals, or indirectly coupled (with a series capacitor) to small voltage signals. The self-bias circuit adjusts small voltage signals in the linear region of the amplifier. Phase comparator 1 (an exclusive OR gate) provides a digital error signal $PC1_{out}$, and maintains 90° phase shift at the center frequency between PCA_{in} and PCB_{in} signals (both at 50% duty cycle). Phase comparator 2 (with leading edge sensing logic) provides digital error signals $PC2_{out}$ and PCP_{out} , and maintains a 0° phase shift between PCA_{in} and PCB_{in} signals (duty cycle is immaterial). The linear VCO produces an output signal VCO_{out} whose frequency is determined by the voltage of input VCO_{in} and the capacitor and resistors connected to pins $C1A$, $C1B$, $R1$, and $R2$. The source-follower output SF_{out} with an external resistor is used where the VCO_{in} signal is needed but no loading can be tolerated. The inhibit input Inh , when high, disables the VCO and source follower to minimize standby power consumption. The zener diode can be used to assist in power supply regulation.

Applications include FM and FSK modulation and demodulation, frequency synthesis and multiplication, frequency discrimination, tone decoding, data synchronization and conditioning, voltage-to-frequency conversion and motor speed control.

- VCO Frequency = 1.4 MHz Typical @ $V_{DD} = 10$ Vdc
- VCO Frequency Drift with Temperature = 0.04%/°C Typical @ $V_{DD} = 10$ Vdc
- VCO Linearity = 1% Typical
- Quiescent Current = 5.0 nA/package typical @ 5 Vdc
- Low Dynamic Power Dissipation = 70 μ W Typical @ $f_0 = 10$ kHz, $V_{DD} = 5.0$ Vdc, $R1 = 1.0$ M Ω , $R2 = \infty$, $R_{SF} = \infty$
- Buffered Outputs Compatible with MHTL and Low-Power TTL
- Diode Protection on All Inputs
- Supply Voltage Range = 3.0 to 18 Vdc
- Pin-for-Pin Replacement for CD4046B

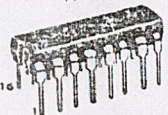
CMOS MSI

(LOW-POWER COMPLEMENTARY MOS)

PHASE-LOCKED LOOP



L SUFFIX
CERAMIC PACKAGE
CASE 620

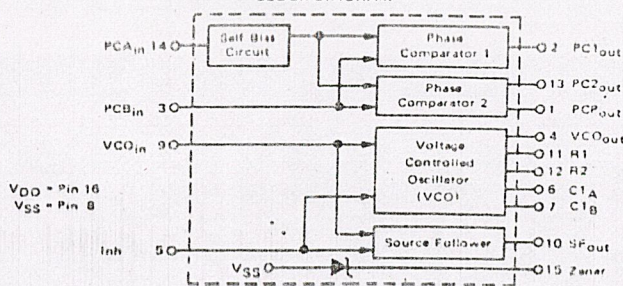


P SUFFIX
PLASTIC PACKAGE
CASE 648

ORDERING INFORMATION

MC14XXXB	Suffix	Denotes
	L	Ceramic Package
	P	Plastic Package
	A	Extended Operating Temperature Range
	C	Limited Operating Temperature Range

BLOCK DIAGRAM



This device contains circuitry to protect the inputs against damage due to high static voltages or electric fields; however, it is advised that normal precautions be taken to avoid application of any voltage higher than maximum rated voltage* to this high impedance circuit. For proper operation it is recommended that V_{in} and V_{out} be constrained to the range $V_{SS} \leq (V_{in} \text{ or } V_{out}) \leq V_{DD}$.

Unused inputs must always be tied to an appropriate logic voltage level (e.g., either V_{SS} or V_{DD}). Pins 6, 7, 10, 11, 12, and 15 if unused must be left open.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC14046B

MAXIMUM RATINGS (Voltages referenced to V_{SS})

Rating	Symbol	Value	Unit
DC Supply Voltage	V _{DD}	-0.5 to +18	Vdc
Input Voltage: All Inputs	V _{in}	-0.5 to V _{DD} + 0.5	Vdc
DC Current Drain per Pin	I	10	mA _{dc}
Operating Temperature Range - AL Device CL/CP Device	T _A	-55 to +125 -40 to +85	°C
Storage Temperature Range	T _{stg}	-65 to +150	°C

ELECTRICAL CHARACTERISTICS

Characteristic	Symbol	V _{DD} Vdc	T _{low} *		25°C			T _{high} *		Unit
			Min	Max	Min	Typ	Max	Min	Max	
Output Voltage V _{in} = V _{DD} or 0	"0" Level V _{OL}	5.0	-	0.05	-	0	0.05	-	0.05	Vdc
		10	-	0.05	-	0	0.05	-	0.05	
		15	-	0.05	-	0	0.05	-	0.05	
	"1" Level V _{OH}	5.0	4.95	-	4.95	5.0	-	4.95	-	Vdc
		10	9.95	-	9.95	10	-	9.95	-	
		15	14.95	-	14.95	15	-	14.95	-	
Input Voltage [†] (V _O = 4.5 or 0.5 Vdc) (V _O = 9.0 or 1.0 Vdc) (V _O = 13.5 or 1.5 Vdc)	"0" Level V _{IL}	5.0	-	1.5	-	2.25	1.5	-	1.5	Vdc
		10	-	3.0	-	4.50	3.0	-	3.0	
		15	-	4.0	-	6.75	4.0	-	4.0	
	"1" Level V _{IH}	5.0	3.5	-	3.5	2.75	-	3.5	-	Vdc
		10	7.0	-	7.0	5.50	-	7.0	-	
		15	11.0	-	11.0	8.25	-	11.0	-	
Output Drive Current (AL Device) (V _{OH} = 2.5 Vdc) (V _{OH} = 4.6 Vdc) (V _{OH} = 9.5 Vdc) (V _{OH} = 13.5 Vdc) (V _{OL} = 0.4 Vdc) (V _{OL} = 0.5 Vdc) (V _{OL} = 1.5 Vdc)	Source I _{OH}	5.0	-1.2	-	-1.0	-1.7	-	-0.7	-	mA _{dc}
		10	-0.25	-	-0.2	-0.36	-	-0.14	-	
		15	-0.62	-	-0.5	-0.9	-	-0.35	-	
		15	-1.8	-	-1.5	-3.5	-	-1.1	-	
	Sink I _{OL}	5.0	0.64	-	0.51	0.88	-	0.36	-	mA _{dc}
		10	1.6	-	1.3	2.25	-	0.9	-	
		15	4.2	-	3.4	8.8	-	2.4	-	
		15	4.2	-	3.4	8.8	-	2.4	-	
	Output Drive Current (CL/CP Device) (V _{OH} = 2.5 Vdc) (V _{OH} = 4.6 Vdc) (V _{OH} = 9.5 Vdc) (V _{OH} = 13.5 Vdc) (V _{OL} = 0.4 Vdc) (V _{OL} = 0.5 Vdc) (V _{OL} = 1.5 Vdc)	5.0	-1.0	-	-0.8	-1.7	-	-0.6	-	mA _{dc}
		10	-0.2	-	-0.16	-0.36	-	-0.12	-	
		15	-0.5	-	-0.4	-0.9	-	-0.3	-	
		15	-1.4	-	-1.2	-3.5	-	-1.0	-	
	Sink I _{OL}	5.0	0.52	-	0.44	0.88	-	0.36	-	mA _{dc}
		10	1.3	-	1.1	2.25	-	0.9	-	
		15	3.6	-	3.0	8.8	-	2.4	-	
		15	3.6	-	3.0	8.8	-	2.4	-	
Input Current (AL Device)	I _{in}	15	-	±0.1	-	±0.00001	±0.1	-	±1.0	μA _{dc}
Input Current (CL/CP Device)	I _{in}	15	-	±0.3	-	±0.00001	±0.3	-	±1.0	μA _{dc}
Input Capacitance (V _{in} = 0)	C _{in}	-	-	-	-	5.0	7.5	-	-	pF
Quiescent Current (AL Device) (Per Package) (I _{in} = "1" and PCA = "1")	I _{DD}	5.0	-	5.0	-	0.005	5.0	-	150	μA _{dc}
		10	-	10	-	0.010	10	-	300	
		15	-	20	-	0.015	20	-	600	
Quiescent Current (CL/CP Device) (Per Package) (I _{in} = "1" and PCA = "1")	I _{DD}	5.0	-	20	-	0.005	20	-	150	μA _{dc}
		10	-	40	-	0.010	40	-	300	
		15	-	80	-	0.015	80	-	600	
Total Supply Current I _T (I _{in} = "0", I _O = 10 kHz, C _L = 50 pF, R ₁ = 1 MΩ, R ₂ = ∞, R _{GF} = ∞, and 50% Duty Cycle)	I _T	5.0	-	-	-	I _T = (1.46 μA/kHz) f + I _{DD}	-	-	-	μA _{dc}
		10	-	-	-	I _T = (2.91 μA/kHz) f + I _{DD}	-	-	-	
		15	-	-	-	I _T = (4.37 μA/kHz) f + I _{DD}	-	-	-	

*T_{low} = -55°C for AL Device, -40°C for CL/CP Device.

T_{high} = +125°C for AL Device, +85°C for CL/CP Device.

†Noise immunity specified for worst case input combination.

Noise Margin for both "1" and "0" level: 1.0 Vdc min @ V_{DD} = 5.0 Vdc
2.0 Vdc min @ V_{DD} = 10 Vdc
2.5 Vdc min @ V_{DD} = 15 Vdc

†To Calculate Total Current in General:

$$I_T = 2.2 \times V_{DD} \left(\frac{V_{CO, in} - 1.65}{R_1} + \frac{V_{DD} - 1.35}{R_2} \right)^{3/4} + 1.6 \times \left(\frac{V_{CO, in} - 1.65}{R_{GF}} \right)^{3/4} + 1 \times 10^{-3} (C_L + 9) V_{DD} f + 1 \times 10^{-1} V_{DD}^2 \left(\frac{100 - \% \text{ Duty Cycle of PCA}_{in}}{100} \right) + I_{DD}$$

where: I_T in μA, C_L in pF, V_{CO, in}, V_{DD} in Vdc, f in KHz, and R₁, R₂, R_{GF} in MΩ; C_L on VCO_{out}.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC14046B

ELECTRICAL CHARACTERISTICS* (C_L = 50 pF, T_A = 25°C)

Characteristic	Symbol	VDD Vdc	Minimum		Typical All Types	Maximum		Units
			AL Device	CL/CP Device		AL Device	CL/CP Device	
Output Rise Time t _{TLH} = (3.0 ns/pF) C _L + 30 ns t _{TLH} = (1.5 ns/pF) C _L + 15 ns t _{TLH} = (1.1 ns/pF) C _L + 10 ns	t _{TLH}	5.0	—	—	180	350	400	ns
		10	—	—	90	150	200	
		15	—	—	65	110	160	
Output Fall Time t _{THL} = (3.0 ns/pF) C _L + 20 ns t _{THL} = (1.5 ns/pF) C _L + 12.5 ns t _{THL} = (0.55 ns/pF) C _L + 9.5 ns	t _{THL}	5.0	—	—	100	175	200	ns
		10	—	—	50	75	100	
		15	—	—	37	55	80	

PHASE COMPARATORS 1 and 2

Input Resistance - PCA _{in}	R _{in}	5.0	1.0	1.0	2.0	—	—	MΩ
		10	0.2	0.2	0.4	—	—	
		15	0.1	0.1	0.2	—	—	
Input Resistance - PCB _{in}	R _{in}	15	150	15	1500	—	—	MΩ
Minimum Input Sensitivity	V _{in}	5.0	—	—	200	300	400	mV p-p
AC Coupled - PCA _{in}		10	—	—	400	600	800	
C series = 1000 pF, f = 50 kHz		15	—	—	700	1050	1400	
DC Coupled - PCA _{in} , PCB _{in}	—	5 to 15	See Noise Immunity					

VOLTAGE CONTROLLED OSCILLATOR (VCO)

Maximum Frequency (VCO _{in} = VDD, C1 = 50 pF, R1 = 5 kΩ and R2 = ∞)	f _{max}	5.0	0.50	0.35	0.70	—	—	MHz
		10	1.0	0.7	1.4	—	—	
		15	1.4	1.0	1.9	—	—	
Temperature - Frequency Stability (R2 = ∞)		5.0	—	—	0.12	—	—	%/°C
		10	—	—	0.04	—	—	
		15	—	—	0.015	—	—	
Linearity (R2 = ∞) (VCO _{in} = 2.50 V ± 0.30 V, R1 > 10 kΩ) (VCO _{in} = 5.00 V ± 2.50 V, R1 > 400 kΩ) (VCO _{in} = 7.50 V ± 5.00 V, R1 > 1000 kΩ)		5.0	—	—	1	—	—	%
		10	—	—	1	—	—	
		15	—	—	1	—	—	
Output Duty Cycle	—	5 to 15	—	—	50	—	—	%
Input Resistance - VCO _{in}	R _{in}	15	150	15	1500	—	—	MΩ

SOURCE FOLLOWER

Offset Voltage (VCO _{in} minus SF _{out} , R _{SF} > 50 kΩ)	—	5.0	—	—	1.65	2.2	2.5	Vdc
		10	—	—	1.65	2.2	2.5	
		15	—	—	1.65	2.2	2.5	
Linearity (VCO _{in} = 2.50 V ± 0.30 V, R _{SF} > 50 kΩ) (VCO _{in} = 5.00 V ± 2.50 V, R _{SF} > 50 kΩ) (VCO _{in} = 7.50 V ± 5.00 V, R _{SF} > 50 kΩ)	—	5.0	—	—	0.1	—	—	%
		10	—	—	0.6	—	—	
		15	—	—	0.8	—	—	

ZENNER DIODE

Zener Voltage (I _Z = 50 μA)	V _Z	—	6.7	6.3	7.0	7.3	7.7	Vdc
Dynamic Resistance (I _Z = 1 mA)	R _Z	—	—	—	100	—	—	Ω

* The formula given is for the typical characteristics only.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC14046B

FIGURE 1 - PHASE COMPARATORS STATE DIAGRAMS

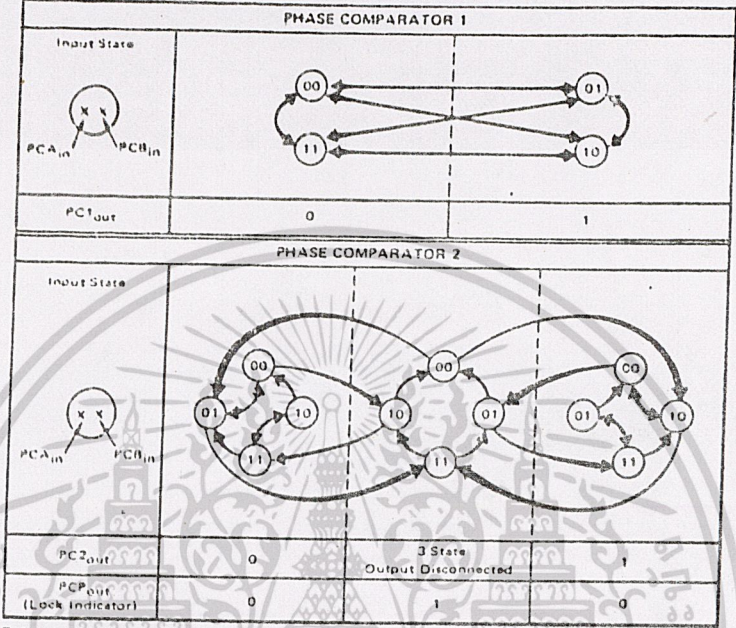


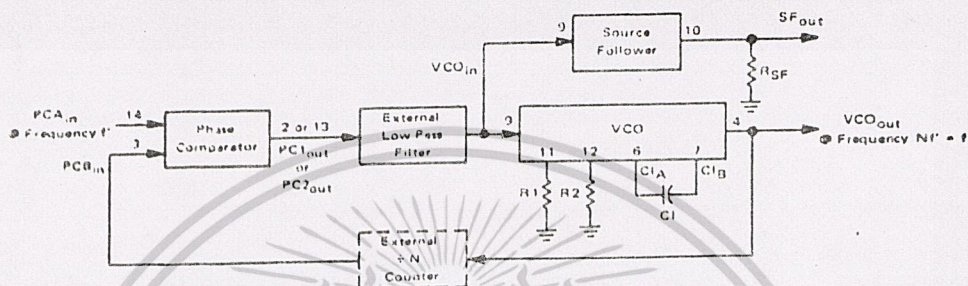
FIGURE 2 - DESIGN INFORMATION

Characteristic	Using Phase Comparator 1	Using Phase Comparator 2
No signal on input PCA _{in}	VCO in PLL system adjusts to center frequency (f ₀).	VCO in PLL system adjusts to minimum frequency (f _{min}).
Phase angle between PCA _{in} and PCB _{in}	90° at center frequency (f ₀), approaching 0° and 180° at ends of lock range (2f _L).	Always 0° in lock (positive rising edges).
Locks on harmonics of center frequency	Yes	No
Signal input noise rejection	High	Low
Lock frequency range (2f _L)	The frequency range of the input signal on which the loop will stay locked if it was initially in lock. 2f _L = full VCO frequency range = f _{max} - f _{min} .	
Capture frequency range (2f _C)	The frequency range of the input signal on which the loop will lock if it was initially out of lock.	
	Depends on low-pass filter characteristics (see Figure 3). f _C < f _L	f _C = f _L
Center frequency (f ₀)	The frequency of VCO _{out} when VCO _{in} = 1/2 V _{DD}	
VCO output frequency (f).	$f_{min} = \frac{1}{R_2(C_1 + 32 \text{ pF})} \quad (\text{VCO input} = V_{SS})$ $f_{max} = \frac{1}{R_1(C_1 + 32 \text{ pF})} + f_{min} \quad (\text{VCO input} = V_{DD})$ Where: 10K < R₁ < 1M 10K < R₂ < 1M 100pF < C₁ < .01 μF	

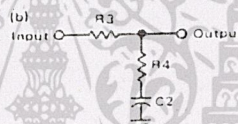
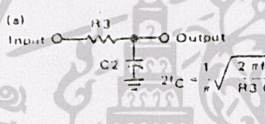
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC14046B

FIGURE 3 - GENERAL PHASE LOCKED LOOP CONNECTIONS AND WAVEFORMS



Typical Low Pass Filters



Typically:

$$R_4 C_2 = \frac{6N}{f_{\max}} - \frac{N}{2\pi \Delta f}$$

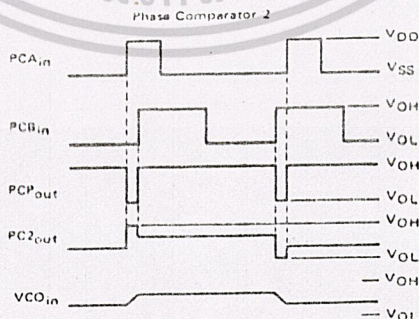
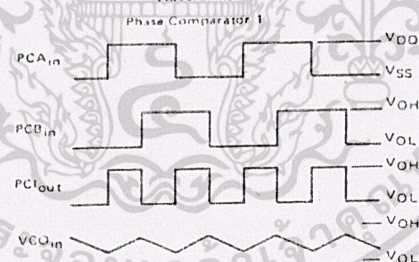
$$(R_3 + 3,000\Omega) C_2 = \frac{100N\Delta f}{f_{\max}^2} - R_4 C_2$$

$$\Delta f = f_{\max} - f_{\min}$$

Note: for further information, see:

- (1) F. Gardner, "Phase Lock Techniques", John Wiley and Son, New York, 1966.
- (2) G. S. Moschytz, "Miniature RC Filters Using Phase-Locked Loop", BSTJ, May, 1965
- (3) Garth Nash, "Phase-Lock Loop Design Fundamentals", AN-535, Motorola Inc.

Waveforms



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SCL4001B, SCL4002B SCL4025B, SCL4078B



CMOS NOR GATES

SCL4001B – Quad 2-Input NOR
SCL4002B – Dual 4-Input NOR
SCL4025B – Triple 3-Input NOR
SCL4078B – 8-Input NOR

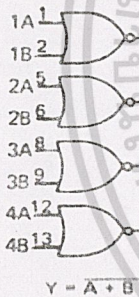
FEATURES

- ♦ Buffered Outputs
- ♦ Diode Protection on all Inputs
- ♦ Fully "B" - Series Compatible
- ♦ Balanced Output Drive Current Specifications

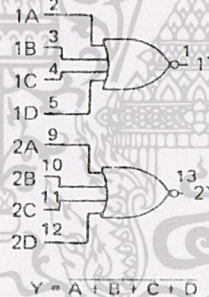
Inputs	Output
0 0 . . . 0	1
All other combinations	0

FUNCTION DIAGRAMS

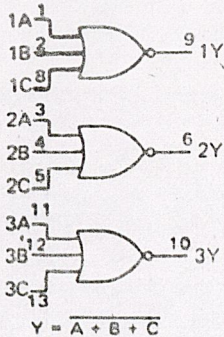
SCL4001B



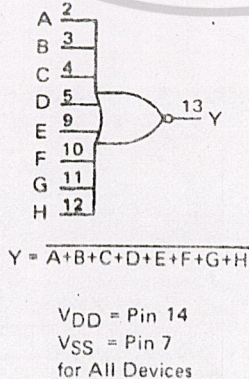
SCL4002B



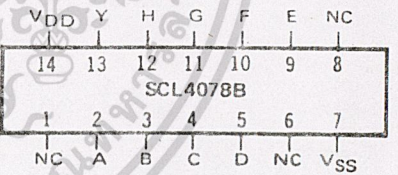
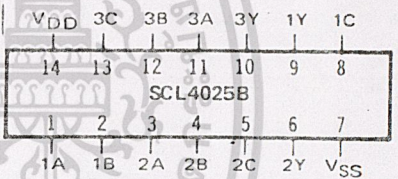
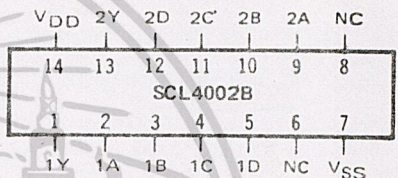
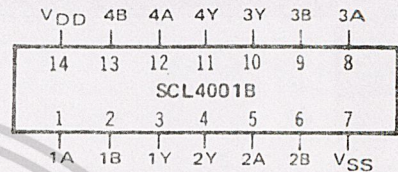
SCL4025B



SCL4078B



CONNECTION DIAGRAMS (all packages)



Add suffix for package:

- C 14-pin Cerdip
- D 14-pin Ceramic
- E 14-pin Epoxy
- F 14-pin Flat
- H Chip

RECOMMENDED OPERATING CONDITIONS

For maximum reliability:

DC Supply Voltage	V _{DD} - V _{SS}	3 to 15	V _{dc}
Operating Temperature	T _A	-55 to +125	°C
C, D, F, H Device		40 to +85	°C
E Device			

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS

STATIC CHARACTERISTICS^{1,2}

PARAMETER	V _{DD} (Vdc)	CONDITIONS	T _{LOW} ²		+25°C			T _{HIGH} ²		Units
			Min.	Max.	Min.	Typ.	Max.	Min.	Max.	
QUIESCENT DEVICE CURRENT	I _{DD}	V _{IN} =V _{SS} or V _{DD} All valid input combinations	—	0.05	—	0.0005	0.05	—	1.5	μA _{dc}
			—	0.10	—	0.001	0.10	—	3.0	
			—	0.20	—	0.002	0.20	—	6.0	

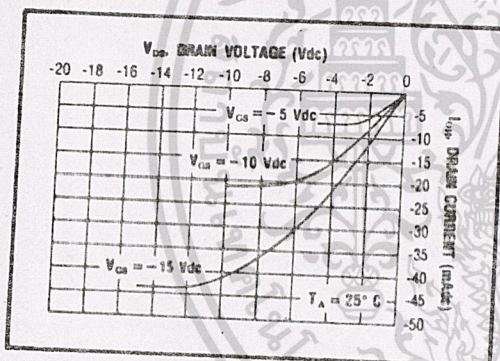
NOTES: ¹ Remaining Static Electrical Characteristics are listed under "SCL4000B Series Family Specifications".
² T_{LOW} = -55°C for C, D, F, H device.
= -40°C for E device.

T_{HIGH} = +125°C for C, D, F, H device.
= +85°C for E device.

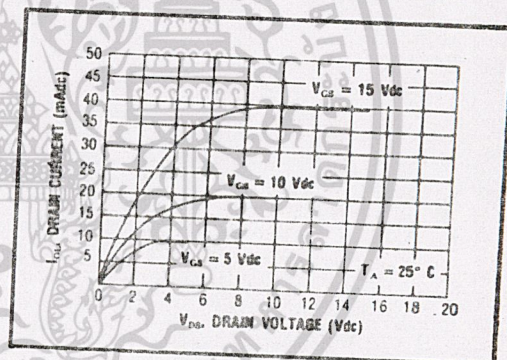
³ These devices have been designed for balanced output drive current specifications. Consult Family Specifications.

DYNAMIC CHARACTERISTICS (C_L = 50pF, T_A = 25°C)

PARAMETER	V _{DD} (Vdc)	Min.	Typ.	Max.	Units
PROPAGATION DELAY TIME	t _{PLH} , t _{PHL}	—	125	250	ns
		—	60	120	
		—	45	90	
		—	—	—	
OUTPUT TRANSITION TIME	t _{TLH} , t _{THL}	—	100	200	ns
		—	50	100	
		—	40	80	
		—	—	—	

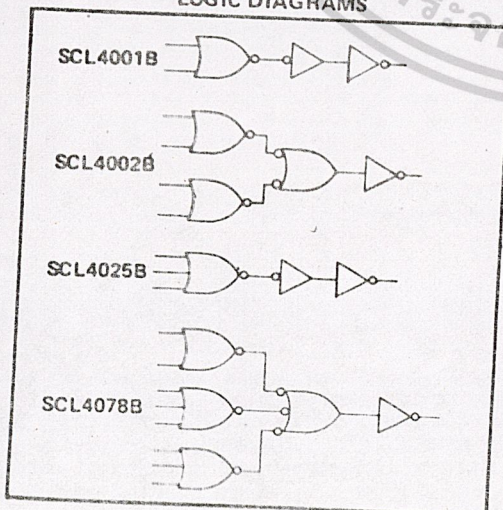


Typical P-Channel
Source Current Characteristics

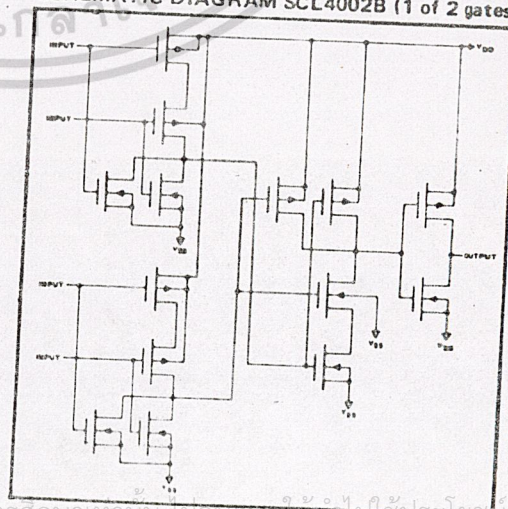


Typical N-Channel
Sink Current Characteristics

LOGIC DIAGRAMS



SCHEMATIC DIAGRAM SCL4002B (1 of 2 gates)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้拿去ใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

54164/74164 8-Parallel-Out Serial Shift Register

	Schottky TTL		High-Speed TTL		Low-Power Schottky TTL		Standard TTL		Low-Power TTL	
	Device Type	Package C P M CF	Device Type	Package C P M CF	Device Type	Package C P M CF	Device Type	Package C P M CF	Device Type	Package C P M CF
T.I.					SN54LS164	J D	74LS164	J D	SN54LS164	J D
FARCHILD					SN74LS164	J D	74LS164	J D	SN74LS164	J D
MOTOROLA					MC164LS164	MS	74LS164	J D	MC164LS164	MS
N.S.C.					SN74LS164	P D	74LS164	J D	SN74LS164	J D
PHILIPS					CM74LS164	D	74LS164	J D	CM74LS164	D
SIGNETICS					SN74LS164	P D	74LS164	J D	SN74LS164	J D
SIEMENS					6N74LS164	A D	74LS164	J D	6N74LS164	A D
FUJITSU					74LS164	B	74LS164	J D	74LS164	J D
HITACHI					74LS164	B	74LS164	J D	74LS164	J D
DAIICHI					74LS164	B	74LS164	J D	74LS164	J D
MITSUBISHI					74LS164	B	74LS164	J D	74LS164	J D
NEC					74LS164	B	74LS164	J D	74LS164	J D
TOSHIBA					74LS164	B	74LS164	J D	74LS164	J D
AMD					74LS164	B	74LS164	J D	74LS164	J D

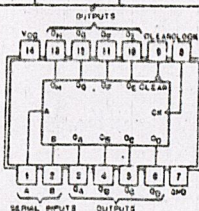
Electrical Characteristics SN54LS164 SN74LS164

absolute maximum ratings over operating free-air temperature range				
Supply voltage, V_{CC}	V	Operating free-air temperature range	SN54	-55°C to +125°C
Input voltage	V	Storage temperature range	SN54	-55°C to +125°C
recommended operating conditions				
		SN54LS164	SN74LS164	UNSY
		MIN	MAX	MAX
Supply voltage, V_{CC}	4.5	5.5	5.5	5.25
High-level output current, I_{OH}	-40	-40	-40	-40
Low-level output current, I_{OL}	4	4	4	4
Clock frequency, f_{CLK}	0	25	0	25
Setup of clock or clear input, t_{SU}	20	20	20	20
Hold time, t_{H}	15	15	15	15
Operating free-air temperature, T_A	-55	125	0	70

electrical characteristics over recommended operating free-air temperature range				
PARAMETER	TEST CONDITIONS†	MIN	TYP‡	MAX
V_{IH} High-level input voltage		2		V
V_{IL} Low-level input voltage				0.8 V
V_I Input clamp voltage	$V_{CC} = \text{MIN}$, $I_I = -18 \text{ mA}$			-1.5 V
V_{OH} High-level output voltage	$V_{CC} = \text{MIN}$, $V_{IH} = 2 \text{ V}$, $I_{OH} = -400 \mu\text{A}$	2.7	3.5	V
V_{OL} Low-level output voltage	$V_{CC} = \text{MIN}$, $V_{IL} = 0.8 \text{ V}$, $I_{OL} = 4 \text{ mA}$	0.35	0.5	V
I_I Input current maximum	$V_{CC} = \text{MAX}$, $V_I = 7 \text{ V}$		0.1	mA
I_{IH} High-level input current	$V_{CC} = \text{MAX}$, $V_I = 2.7 \text{ V}$		20	μA
I_{IL} Low-level input current	$V_{CC} = \text{MAX}$, $V_I = 0.8 \text{ V}$		0.4	mA
I_{OS} Short-circuit output current	$V_{CC} = \text{MAX}$	SN54LS -20 SN74LS -20	100	100
I_{CC} Supply current	$V_{CC} = \text{MAX}$, See Note 1		16	27
f_{max} Maximum clock frequency	$V_{CC} = 5 \text{ V}$, $T_A = 25^\circ\text{C}$, $R_L = 2 \text{ k}\Omega$	$C_L = 15 \text{ pF}$	25	35
t_{PHL} Propagation delay time, high to low level Q outputs from clear input		$C_L = 15 \text{ pF}$	24	36
t_{PLH} Propagation delay time, low to high level Q outputs from clock input		$C_L = 15 \text{ pF}$	17	27
t_{PHL} Propagation delay time, high to low level Q outputs from clock input		$C_L = 15 \text{ pF}$	21	32

Pin Assignment (Top View)

①



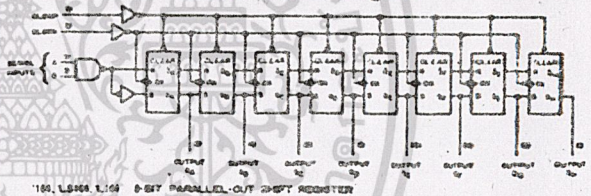
positive logic: see function table

Function Table

164, LS164, L164 (see Note 2)

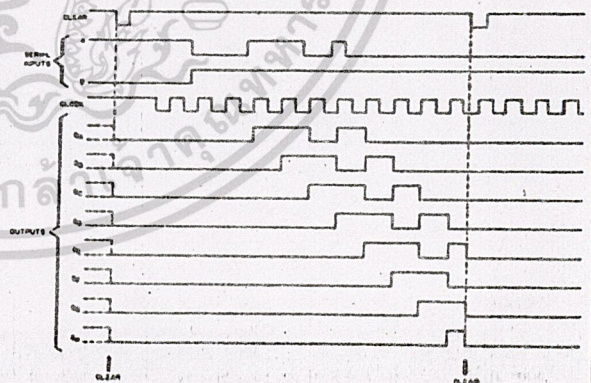
INPUTS		OUTPUTS			
CLEAR	CLOCK	A	B	Q _A	Q _B
L	X	X	X	L	L
H	L	X	X	Q _A	Q _B
H	H	X	X	Q _A	Q _B
H	L	X	L	Q _A	Q _B
H	L	X	L	Q _A	Q _B

Functional Block Diagram



164, LS164, L164 8-BIT PARALLEL-OUT SHIFT REGISTER

typical clear, shift, and clear sequences



- NOTES: 1. I_{CC} is measured with outputs open, serial inputs grounded, and a momentary ground, then 4.5V, applied to clear.
2. H = high level (steady state), L = Low-level (steady state)
X = irrelevant (any input, including transitions)
↑ = transition from low to high level
Q_A, Q_B, Q_C, Q_D = the level of Q_A, Q_B, or Q_C, respectively, before the indicated steady-state input conditions were established.
Q_A, Q_B = the level of Q_A or Q_B before the input-to-output transition of the clock; indicates a one-bit shift.

† For conditions shown at MIN or MAX, use the appropriate value specified under recommended operating conditions for the applicable device type.
‡ Typical values are at $V_{CC} = 5 \text{ V}$, $T_A = 25^\circ\text{C}$.
§ Not more than two outputs should be shorted at a time.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดลอกเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5486/7486 Quadrate 2-Input Exclusive-OR Gate

	Schottky TTL			High-Speed TTL			Low-Power Schottky TTL			Standard TTL			Low-Power TTL		
	Device Type	Package		Device Type	Package		Device Type	Package		Device Type	Package		Device Type	Package	
T.I.	SN54LS86	J (D)	W(1)				SN54LS86	J (D)	W(1)	SN54LS86	J (D)	W(1)	SN54LS86	J (D)	W(1)
FAIRCHILD	74ALS86	J (D)	W(1)				74ALS86	J (D)	W(1)	74ALS86	J (D)	W(1)	74ALS86	J (D)	W(1)
MOTOROLA	MC14586	D (S)	W(1)				MC14586	D (S)	W(1)	MC14586	D (S)	W(1)	MC14586	D (S)	W(1)
NSC	74ALS86	J (D)	W(1)				74ALS86	J (D)	W(1)	74ALS86	J (D)	W(1)	74ALS86	J (D)	W(1)
PHILIPS	74ALS86	J (D)	W(1)				74ALS86	J (D)	W(1)	74ALS86	J (D)	W(1)	74ALS86	J (D)	W(1)
SIGNETICS	74ALS86	J (D)	W(1)				74ALS86	J (D)	W(1)	74ALS86	J (D)	W(1)	74ALS86	J (D)	W(1)
SIEMENS	74ALS86	J (D)	W(1)				74ALS86	J (D)	W(1)	74ALS86	J (D)	W(1)	74ALS86	J (D)	W(1)
FUJITSU	74ALS86	J (D)	W(1)				74ALS86	J (D)	W(1)	74ALS86	J (D)	W(1)	74ALS86	J (D)	W(1)
HITACHI	74ALS86	J (D)	W(1)				74ALS86	J (D)	W(1)	74ALS86	J (D)	W(1)	74ALS86	J (D)	W(1)
MSUBISHI	74ALS86	J (D)	W(1)				74ALS86	J (D)	W(1)	74ALS86	J (D)	W(1)	74ALS86	J (D)	W(1)
NEC	74ALS86	J (D)	W(1)				74ALS86	J (D)	W(1)	74ALS86	J (D)	W(1)	74ALS86	J (D)	W(1)
TOSHIBA	74ALS86	J (D)	W(1)				74ALS86	J (D)	W(1)	74ALS86	J (D)	W(1)	74ALS86	J (D)	W(1)

Electrical Characteristics SN54LS86, SN74LS86

absolute maximum ratings over operating free-air temperature range

Supply voltage, V_{CC}	5V	Operating free-air temperature range	SN54LS	-55°C to 125°C
Input voltage	5V	Storage temperature range	SN74LS	-65°C to 175°C

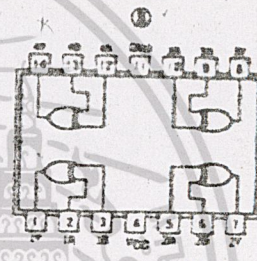
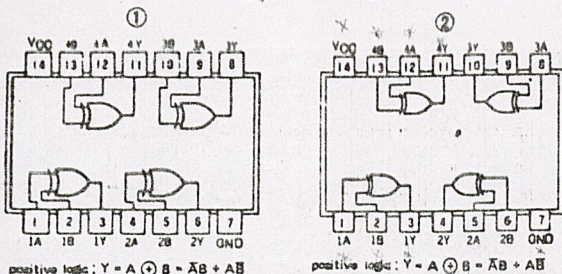
recommended operating conditions

	SN54LS86				SN74LS86				UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	MIN	MAX	
Supply voltage, V_{CC}	4.5	5	5.5	4.75	5	5.25	5	5.25	V
High-level output current, I_{OH}	-	-	-	-	-	-	-	-	mA
Low-level output current, I_{OL}	-	-	-	-	-	-	-	-	mA
Operating free-air temperature, T_A	-55	-	125	0	75	175	-	-	°C

electrical characteristics over recommended operating free-air temperature range

PARAMETER*	TEST CONDITIONS†	SN74LS86	MIN	TYP	MAX	UNIT
V_{IH} High-level input voltage			2			V
V_{IL} Low-level input voltage				0.8		V
V_I Input clamp voltage	$V_{CC} = \text{MIN}$, $I_I = -1 \text{ mA}$			-1.5		V
V_{OH} High-level output voltage	$V_{CC} = \text{MIN}$, $V_{IH} = 2 \text{ V}$, $V_{IL} = V_{IL \text{ max}}$, $I_{OH} = -400 \mu\text{A}$		2.7	3.4		V
V_{OL} Low-level output voltage	$V_{CC} = \text{MIN}$, $V_{IH} = 2 \text{ V}$, $V_{IL} = V_{IL \text{ max}}$, $I_{OL} = 4 \text{ mA}$		0.25	0.4		V
I_I Input current at maximum input voltage	$V_{IH} = V_{IH \text{ max}}$, $V_{IL} = V_{IL \text{ max}}$, $I_{OL} = 4 \text{ mA}$		0.35	0.5		mA
I_{IH} High-level input current	$V_{CC} = \text{MAX}$, $V_I = 2 \text{ V}$			0.2		mA
I_{IL} Low-level input current	$V_{CC} = \text{MAX}$, $V_I = 0.4 \text{ V}$			40		μA
I_{OS} Short-circuit output current	$V_{CC} = \text{MAX}$		-5	-42		mA
I_{CC} Supply current	$V_{CC} = \text{MAX}$, See Note 2		6.1	10		mA
t_{PLH} Propagation delay time, low-to-high	$V_{CC} = 5 \text{ V}$, $T_A = 25^\circ\text{C}$, $C_L = 15 \text{ pF}$, $R_L = 2 \text{ k}\Omega$		12	23		ns
t_{PHL} Propagation delay time, high-to-low			10	17		ns
t_{PLH} Propagation delay time, low-to-high			20	30		ns
t_{PHL} Propagation delay time, high-to-low			13	22		ns

Pin Assignments (Top View)



Function Table

INPUTS	OUTPUT
A B	Y
L L	L
L H	H
H L	H
H H	L

H = High-level L = Low-level

NOTE: I_{CC} is measured with the inputs grounded and the outputs open

* For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions for the applicable type.

† All typical values are at $V_{CC} = 5 \text{ V}$, $T_A = 25^\circ\text{C}$.

‡ Not more than one output should be shorted at a time.

§ t_{PLH} = propagation delay time, low-to-high-level output

¶ t_{PHL} = propagation delay time, high-to-low-level output

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5474/7474 Dual D-Type Positive-Edge-Triggered Flip-Flop with Preset and Clear

	Schottky TTL					High-Speed TTL					Low-Power Schottky TTL					Standard TTL					Low-Power TTL																
	Device Type	Package				Device Type	Package				Device Type	Package				Device Type	Package				Device Type	Package															
		C	P	M	CF		C	P	M	CF		C	P	M	CF		C	P	M	CF		C	P	M	CF												
T.I.	SN54S74	J	Q		W	SN54H74	J	Q		W	SN54LS74	J	Q		W	SN5474	J	Q		W	SN54L74	J	Q		W												
	SN74S74	J	Q	N		SN74H74	J	Q	N		SN74LS74	J	Q	N		SN7474	J	Q	N		SN74L74	J	Q	N													
FAIRCHILD	FM54S74/FM9374	D	Q			FM54H74/FM9H74	D	Q		F	FM54LS74/FM9LS74	D	Q		F	FM5474/FM9N74	D	Q		F																	
	FC74S74/FC9S74	D	Q			FC74H74/FC9H74	D	Q		F	FC74LS74/FC9LS74	D	Q		F	FC7474/FC9N74	D	Q		F																	
MOTOROLA											SN74LS74				P																						
N.S.C.	DM74S74			N		DM74H74	J	Q	N		DM74LS74				P					DM5474	J	Q	N		W	DM54L74	J	Q	N		W	DM74L74	J	Q	N		W
PHILIPS	N74S74			Q		GJJ131/74H74			Q		N74LS74			Q		FJJ131/7474			Q																		
SIGNETICS	S54S74					S54H74	F	Q	A		W					S5474	F	Q	A		W																
	N74S74					N74H74	F	Q	A					N74LS74		A				N7474	F	Q	A														
SIEMENS																				FLJ141			Q														
FUJITSU														74LS74		M				MB420			J		M												
HITACHI	HD74S74			Q	P									HD74LS74		P				HD7474/HD2510			Q	P													
MITSUBISHI	M74S74			P	Q									M74LS74		P				M5327/M5374			P	Q													
NEC	74S74			C	Q									74LS74		C	Q			μP8214			D	C	Q												
TOSHIBA																				TD3474A			P	Q													

Electrical Characteristics SN54LS74/SN74LS74

absolute maximum ratings over operating free-air temperature range

supply voltage V_{CC}	7V	operating power dissipation per package	SN54LS74	SN74LS74
input voltage	5.5V	storage temperature range	-55°C to 125°C	-55°C to 125°C

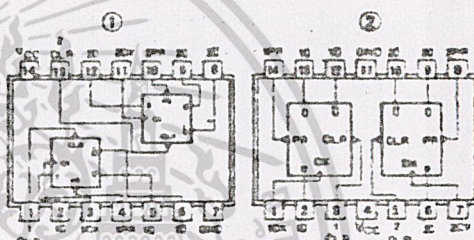
recommended operating conditions

	SN54LS74	SN74LS74	UNIT
supply voltage V_{CC}	5.0	5.0	V
high-level output current I_{OH}	-4.0	-4.0	mA
low-level output current I_{OL}	4.0	4.0	mA
data rate f	25	25	MHz
propagation delay t_{PD}	25	25	ns
setup time t_{SU}	25	25	ns
hold time t_{H}	25	25	ns
power dissipation P_D	1.0	1.0	W
operating temperature T_A	-55 to 125	-55 to 125	°C

electrical characteristics over recommended operating free-air temperature range

TEST CONDITIONS	TEST CONDITIONS	MIN	TYP	MAX	UNIT
V_{OH} high-level output voltage	$V_{CC} = 5.0V, I_{OH} = -10mA$	4.5	4.8	5.0	V
V_{OL} low-level output voltage	$V_{CC} = 5.0V, I_{OL} = 10mA$	0.1	0.2	0.4	V
V_{OH} high-level output voltage	$V_{CC} = 5.0V, I_{OH} = -10mA$	4.5	4.8	5.0	V
V_{OL} low-level output voltage	$V_{CC} = 5.0V, I_{OL} = 10mA$	0.1	0.2	0.4	V
t_{SU} setup time	$V_{CC} = 5.0V, V_I = 0.8V$	25	25	25	ns
t_{H} hold time	$V_{CC} = 5.0V, V_I = 0.8V$	25	25	25	ns
t_{PD} propagation delay	$V_{CC} = 5.0V, V_I = 0.8V$	25	25	25	ns
t_{OL} low-level output delay	$V_{CC} = 5.0V, V_I = 0.8V$	25	25	25	ns
t_{OS} output short-circuit current	$V_{CC} = 5.0V, V_I = 0.8V$	25	25	25	mA
I_{CC} supply current	$V_{CC} = 5.0V, V_I = 0.8V$	25	25	25	mA
I_{CCL} supply current (low-level output)	$V_{CC} = 5.0V, V_I = 0.8V$	25	25	25	mA
I_{CCH} supply current (high-level output)	$V_{CC} = 5.0V, V_I = 0.8V$	25	25	25	mA

Pin Assignments (Top View)

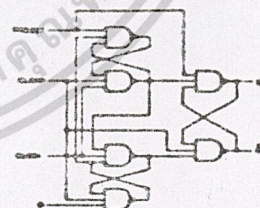


Functional Table

74 74A 1S74 574 (See Note 2)

	PRESET	CLEAR	CLOCK	D	Q	Q'
L	X	X	X	X	L	H
H	L	X	X	X	L	H
L	L	X	X	X	H	L
H	H	X	X	X	H	L
L	L	X	X	X	L	H
H	H	X	X	X	H	L
L	L	X	X	X	L	H
H	H	X	X	X	H	L

Functional Block Diagram



74 74A 1S74 574 D-TYPE POSITIVE-EDGE-TRIGGERED FLIP-FLOP WITH PRESET AND CLEAR

NOTES: 1. With all outputs open, I_{CC} is measured with the 0 and 0 outputs high in turn. At the time of measurement, the clock input is grounded.
2. H=high level (steady state), L=low level (steady state), X=irrelevant.
Q' = transition from low to high level.
Q = the level of Q before the indicated input conditions were established.
* This configuration is recommended, but it is not necessary when preset and clear inputs return to their inactive (high) level.

1. For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.
2. All typical values are at $V_{CC}=5V, T_A=25^\circ C$.
3. Not more than one output should be started at a time.
4. t_{PLH} propagation delay time, low-to-high-level output.
5. t_{PHL} propagation delay time, high-to-low-level output.
6. The arrow indicates the edge of the clock pulse used for reference; 1 for the rising edge.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



LF351 Wide Bandwidth JFET Input Operational Amplifier

General Description

The LF351 is a low cost high speed JFET input operational amplifier with an internally trimmed input offset voltage (BI-FET II™ technology). The device requires a low supply current and yet maintains a large gain bandwidth product and a fast slew rate. In addition, well matched high voltage JFET input devices provide very low input bias and offset currents. The LF351 is pin compatible with the standard LM741 and uses the same offset voltage adjustment circuitry. This feature allows designers to immediately upgrade the overall performance of existing LM741 designs.

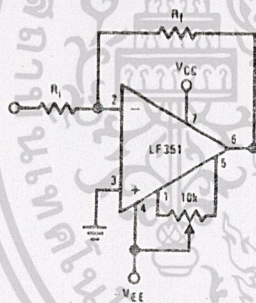
The LF351 may be used in applications such as high speed integrators, fast D/A converters, sample-and-hold circuits and many other circuits requiring low input offset voltage, low input bias current, high input impedance, high slew rate and wide bandwidth. The device has low noise and offset voltage drift, but for applications where these requirements are critical, the LF351 is recommended. If maximum supply

current is important, however, the LF351 is the better choice.

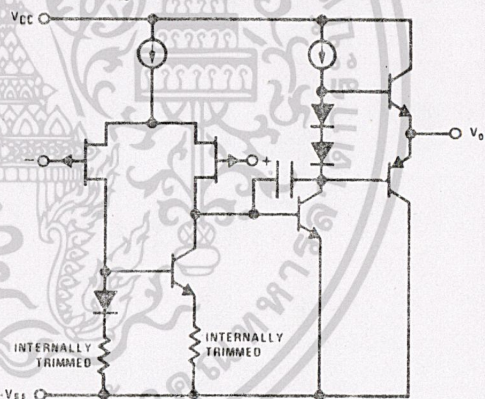
Features

■ Internally trimmed offset voltage	10 mV
■ Low input bias current	50 pA
■ Low input noise voltage	25 nV/√Hz
■ Low input noise current	0.01 pA/√Hz
■ Wide gain bandwidth	4 MHz
■ High slew rate	13 V/μs
■ Low supply current	1.8 mA
■ High input impedance	10 ¹² Ω
■ Low total harmonic distortion $A_V = 10$, $R_L = 10k$, $V_O = 20$ Vp-p, $BW = 20$ Hz-20 kHz	<0.02%
■ Low 1/f noise corner	50 Hz
■ Fast settling time to 0.01%	2 μs

Typical Connection

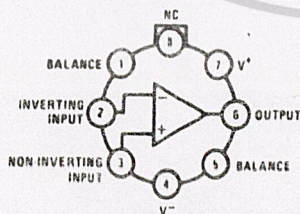


Simplified Schematic



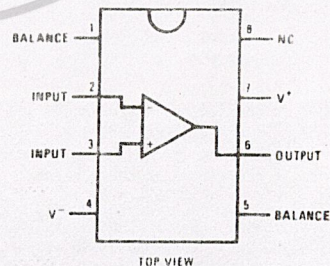
Connection Diagrams (Top Views)

Metal Can Package



Order Number LF351H
See NS Package Number H08C

Dual-In-Line Package



Order Number LF351J,
LF351M or LF351N
See NS Package Number J08A, M08A or N08E

TL/H/5648-1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings

If Military/Aerospace specified devices are required, contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Supply Voltage	± 18V
Power Dissipation (Notes 1 and 6)	670 mW
Operating Temperature Range	0°C to + 70°C
T _J (MAX)	115°C
Differential Input Voltage	± 30V
Input Voltage Range (Note 2)	± 15V
Output Short Circuit Duration	Continuous
Storage Temperature Range	-65°C to + 150°C
Lead Temp. (Soldering, 10 sec.)	
Metal Can	300°C
DIP	260°C

	H Package	N Package
θ_{JA}	225°C/W (Still Air)	120°C/W
	160°C/W	
	(400 LF/min Air Flow)	
θ_{JC}	25°C/W	
Soldering Information		
	Dual-In-Line Package	
	Soldering (10 sec.)	260°C
	Small Outline Package	
	Vapor Phase (60 sec.)	215°C
	Infrared (15 sec.)	220°C
See AN-450 "Surface Mounting Methods and Their Effect on Product Reliability" for other methods of soldering surface mount devices.		
ESD rating to be determined.		

DC Electrical Characteristics (Note 3)

Symbol	Parameter	Conditions	LF351			Units
			Min	Typ	Max	
V _{OS}	Input Offset Voltage	R _S = 10 k Ω , T _A = 25°C Over Temperature		5	10 13	mV mV
$\Delta V_{OS}/\Delta T$	Average TC of Input Offset Voltage	R _S = 10 k Ω		10		$\mu V/^{\circ}C$
I _{OS}	Input Offset Current	T _J = 25°C, (Notes 3, 4) T _J $\leq$ 70°C		25	100 4	pA nA
I _B	Input Bias Current	T _J = 25°C, (Notes 3, 4) T _J $\leq$ 70°C		50	200 8	pA nA
R _{IN}	Input Resistance	T _J = 25°C		10 ¹²		Ω
A _{VOL}	Large Signal Voltage Gain	V _S = $\pm$ 15V, T _A = 25°C V _O = $\pm$ 10V, R _L = 2 k Ω Over Temperature	25 15	100		V/mV V/mV
V _O	Output Voltage Swing	V _S = $\pm$ 15V, R _L = 10 k Ω	$\pm$ 12	$\pm$ 13.5		V
V _{CM}	Input Common-Mode Voltage Range	V _S = $\pm$ 15V	$\pm$ 11	+ 15 - 12		V V
CMRR	Common-Mode Rejection Ratio	R _S $\leq$ 10 k Ω	70	100		dB
PSRR	Supply Voltage Rejection Ratio	(Note 5)	70	100		dB
I _S	Supply Current			1.8	3.4	mA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC Electrical Characteristics (Note 3)

Symbol	Parameter	Conditions	LF351			Units
			Min	Typ	Max	
SR	Slew Rate	$V_S = \pm 15V, T_A = 25^\circ C$		13		$V/\mu s$
GBW	Gain Bandwidth Product	$V_S = \pm 15V, T_A = 25^\circ C$		4		MHz
e_n	Equivalent Input Noise Voltage	$T_A = 25^\circ C, R_S = 100\Omega, f = 1000\text{ Hz}$		25		$nV/\sqrt{Hz}$
i_n	Equivalent Input Noise Current	$T_J = 25^\circ C, f = 1000\text{ Hz}$		0.01		$pA/\sqrt{Hz}$

Note 1: For operating at elevated temperature, the device must be derated based on the thermal resistance, θ_{JA} .

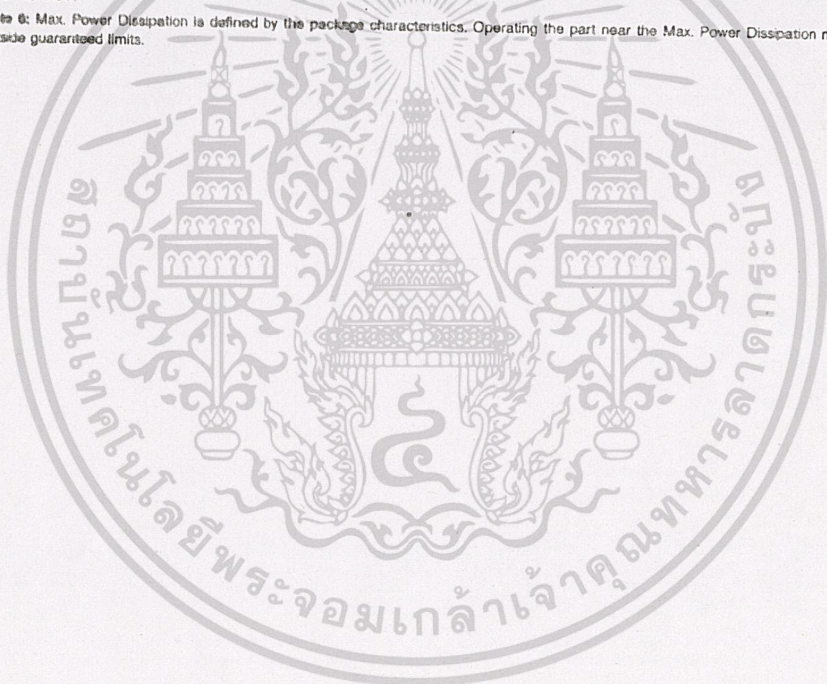
Note 2: Unless otherwise specified the absolute maximum negative input voltage is equal to the negative power supply voltage.

Note 3: These specifications apply for $V_S = \pm 15V$ and $0^\circ C \leq T_A \leq +70^\circ C$. V_{OS} , I_B and I_{OS} are measured at $V_{CM} = 0$.

Note 4: The input bias currents are junction leakage currents which approximately double for every $10^\circ C$ increase in the junction temperature, T_J . Due to the limited production test time, the input bias currents measured are correlated to junction temperature. In normal operation the junction temperature rises above the ambient temperature as a result of internal power dissipation, P_D . $T_J = T_A + \theta_{JA} P_D$ where θ_{JA} is the thermal resistance from junction to ambient. Use of a heat sink is recommended if input bias current is to be kept to a minimum.

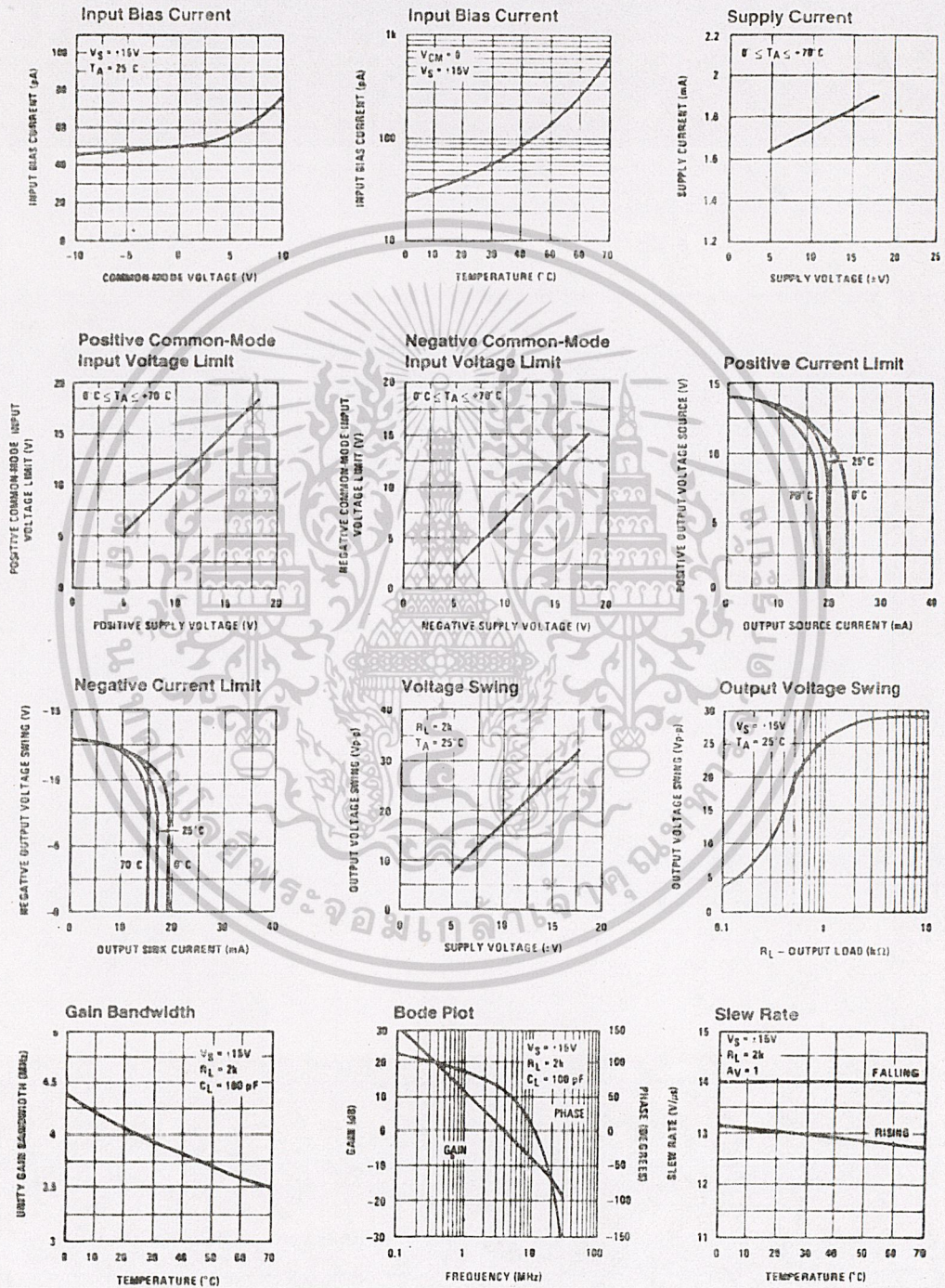
Note 5: Supply voltage rejection ratio is measured for both supply magnitudes increasing or decreasing simultaneously in accordance with common practice. From $\pm 15V$ to $\pm 5V$.

Note 6: Max. Power Dissipation is defined by the package characteristics. Operating the part near the Max. Power Dissipation may cause the part to operate outside guaranteed limits.



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

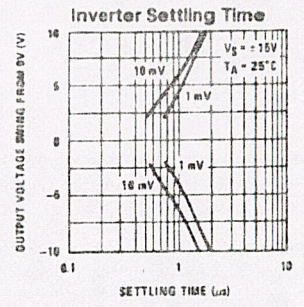
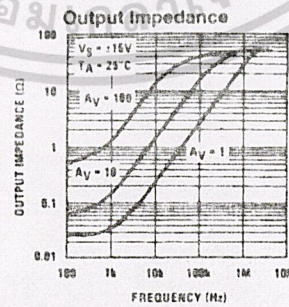
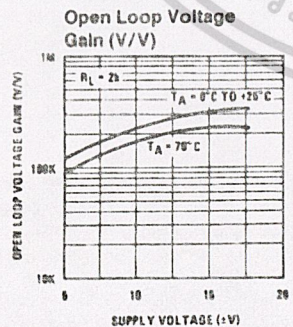
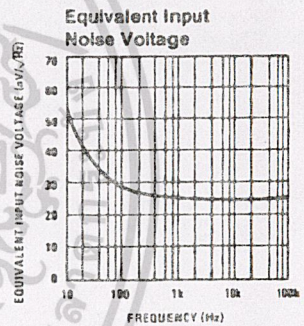
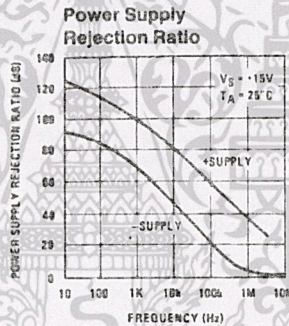
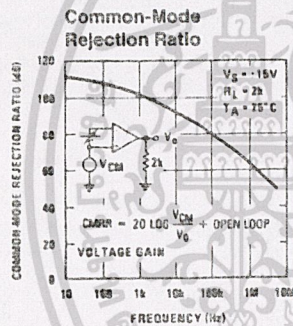
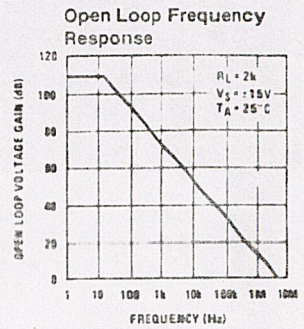
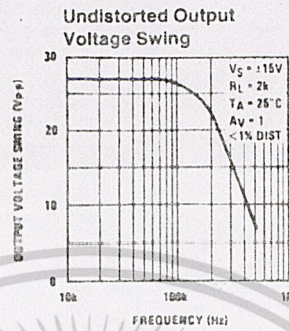
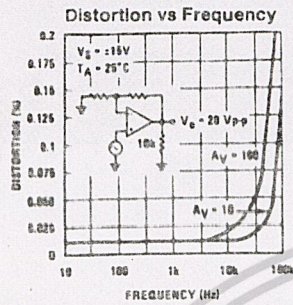
Typical Performance Characteristics



TL/H/5648-2

เอกสารนี้เป็นเอกสารสงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ทางการค้า
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Characteristics (Continued)

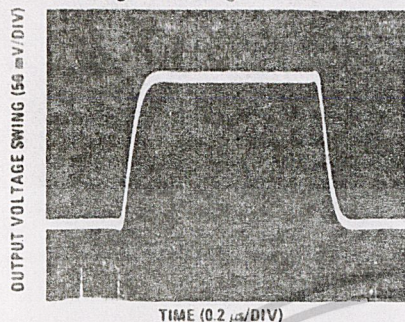


TL/H/5648-3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

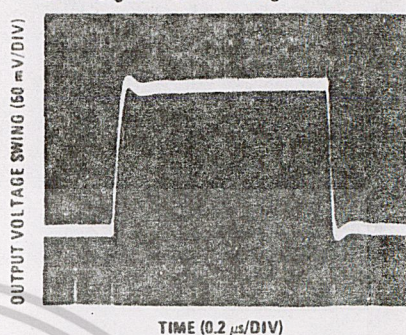
Pulse Response

Small Signal Inverting



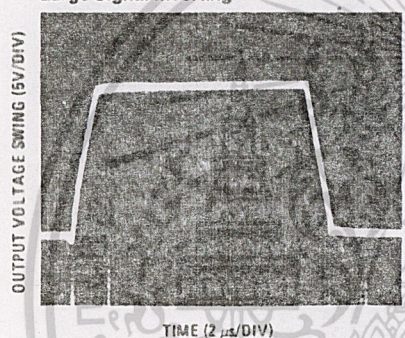
TL/H/5648-4

Small Signal Non-Inverting



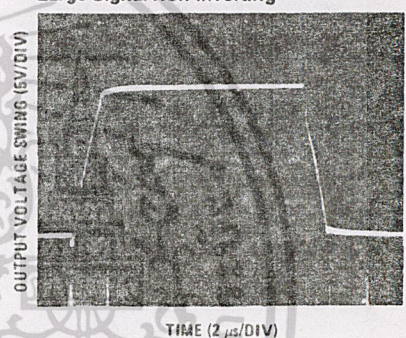
TL/H/5648-5

Large Signal Inverting

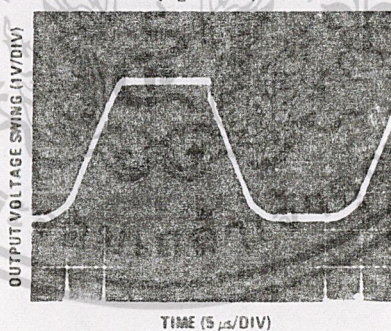


TL/H/5648-6

Large Signal Non-Inverting



TL/H/5648-7

Current Limit ($R_L = 100\Omega$)

TL/H/5648-8

Application Hints

The LF351 is an op amp with an internally trimmed input offset voltage and JFET input devices (BI-FET II™). These JFETs have large reverse breakdown voltages from gate to source and drain eliminating the need for clamps across the inputs. Therefore, large differential input voltages can easily be accommodated without a large increase in input current. The maximum differential input voltage is independent of the supply voltages. However, neither of the input voltages should be allowed to exceed the negative supply as this will

cause large currents to flow which can result in a destroyed unit.

Exceeding the negative common-mode limit on either input will force the output to a high state, potentially causing a reversal of phase to the output.

Exceeding the negative common-mode limit on both inputs will force the amplifier output to a high state. In neither case does a latch occur since raising the input back within the

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Application Hints (Continued)

common-mode range again puts the input stage and thus the amplifier in a normal operating mode.

Exceeding the positive common-mode limit on a single input will not change the phase of the output; however, if both inputs exceed the limit, the output of the amplifier will be forced to a high state.

The amplifier will operate with a common-mode input voltage equal to the positive supply; however, the gain bandwidth and slew rate may be decreased in this condition. When the negative common-mode voltage swings to within 3V of the negative supply, an increase in input offset voltage may occur.

The LF351 is biased by a zener reference which allows normal circuit operation on $\pm 4V$ power supplies. Supply voltages less than these may result in lower gain bandwidth and slow rate.

The LF351 will drive a 2 k Ω load resistance to $\pm 10V$ over the full temperature range of 0°C to +70°C. If the amplifier is forced to drive heavier load currents, however, an increase in input offset voltage may occur on the negative voltage swing and finally reach an active current limit on both positive and negative swings.

Precautions should be taken to ensure that the power supply for the integrated circuit never becomes reversed in polarity or that the unit is not inadvertently installed back-

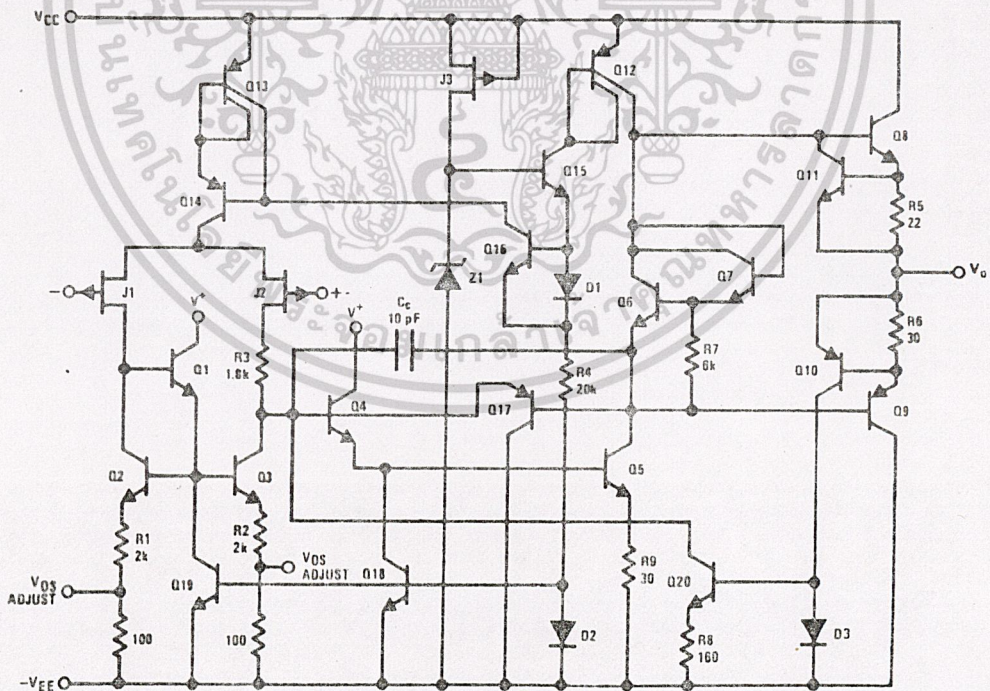
wards in a socket as an unlimited current surge through the resulting forward diode within the IC could cause fusing of the internal conductors and result in a destroyed unit.

Because these amplifiers are JFET rather than MOSFET input op amps they do not require special handling.

As with most amplifiers, care should be taken with lead dress, component placement and supply decoupling in order to ensure stability. For example, resistors from the output to an input should be placed with the body close to the input to minimize "pick-up" and maximize the frequency of the feedback pole by minimizing the capacitance from the input to ground.

A feedback pole is created when the feedback around any amplifier is resistive. The parallel resistance and capacitance from the input of the device (usually the inverting input) to AC ground set the frequency of the pole. In many instances the frequency of this pole is much greater than the expected 3 dB frequency of the closed loop gain and consequently there is negligible effect on stability margin. However, if the feedback pole is less than approximately 6 times the expected 3 dB frequency a lead capacitor should be placed from the output to the input of the op amp. The value of the added capacitor should be such that the RC time constant of this capacitor and the resistance it parallels is greater than or equal to the original feedback pole time constant.

Detailed Schematic

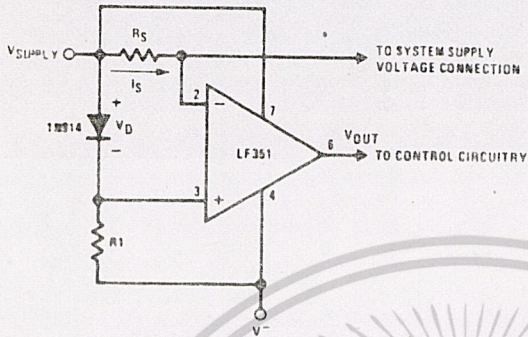


TL/H/5648-9

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

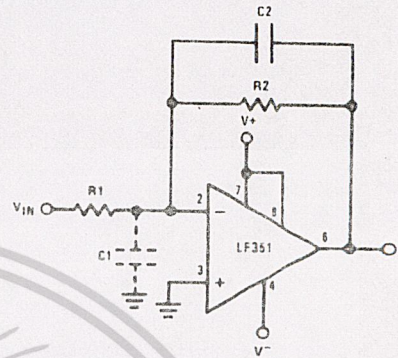
Typical Applications

Supply Current Indicator/Limiter



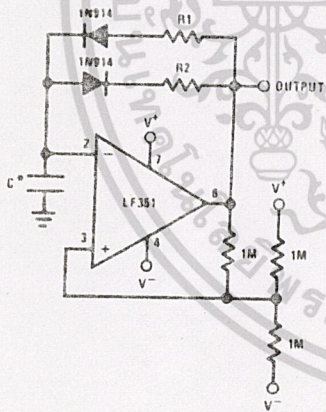
* V_{OUT} switches high when $R_S I_S > V_D$

Hi- Z_{IN} Inverting Amplifier



Parasitic input capacitance $C1 \approx (3 \text{ pF for LF351 plus any additional layout capacitance})$ interacts with feedback elements and creates undesirable high frequency pole. To compensate, add $C2$ such that: $R2C2 \approx R1C1$.

Ultra-Low (or High) Duty Cycle Pulse Generator



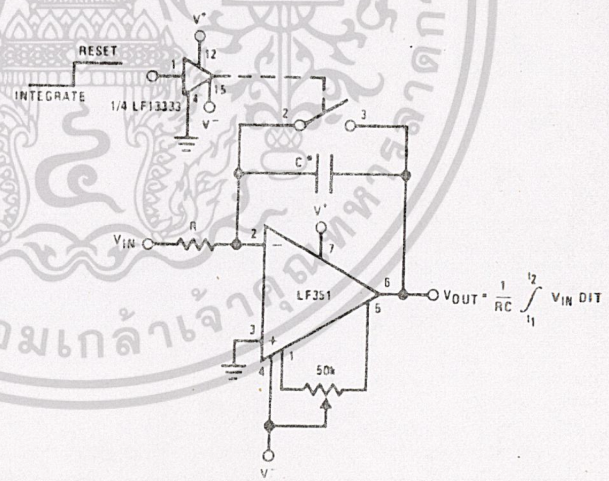
$$* I_{OUTPUT \text{ HIGH}} \approx R1C / n \frac{4.8 - 2V_S}{4.8 - V_S}$$

$$* I_{OUTPUT \text{ LOW}} \approx R2C / n \frac{2V_S - 7.8}{V_S - 7.8}$$

where $V_S = V^+ + |V^-|$

*low leakage capacitor

Long Time Integrator



*Low leakage capacitor

* 50k pot used for less sensitive V_{OS} adjust

TL/H/564B-10

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ขอขอบคุณ เพื่อนๆรอบข้างที่ให้ความช่วยเหลือจนปริญญานิพนธ์นี้สำเร็จลงได้ ขอให้
เพื่อนๆจงประสบความสำเร็จในการทำงานยิ่งๆขึ้นไป



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หนังสืออ้างอิง

1. Dr. KAMILO FEHER, Ph.D., M.A.Sc., P.eng. " DIGITAL COMMUNICATIONS SATELLITE/EARTH STATION ENGINEERING " PRENTICE-HALL Inc., Englewood Cliffs, N.J. 07632 U.S.A.
2. MARTIN S. ROPEN , " DIGITAL COMMUNICATION SYSTEMS DESIGN ", PRENTICE HALL, 511 P., 1988
3. คู่มือเทียบเบอร์ไอซีทีทีแอล , บริษัทซีเอ็ดยูเคชั่น จำกัด , 398 หน้า , 2526
4. คู่มือซีมอล , บริษัทซีเอ็ดยูเคชั่น จำกัด , 302 หน้า , 2522

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้