ปีการศึกษา 2533

เครื่องตรวจเช็คสัญญาณเสียงระบบดิจิตอล

โดย

นาย วุฒิชัย เจียมทวีวิบูลย์

นาย สุพจน์ ลิมลาโคตร

อาจารย์ที่ปรึกษา

อ.ภากร หุตะสังกาศ

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

028803

15 มี.ค. 2534

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ปีการศึกษา 2533

ภาควิชา เทคโนโลยีการวัดคุมทางอุตสาหกรรม

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้า เจ้าคุณทหารลาดกระบัง

เรื่อง เครื่องตรวจเช็คสัญญาณเสียงระบบดิจิตอล

ผู้จัดทำ

1.นาย วุฒิชัย เจียมทวีวิบูลย์ 32.6128

2.นาย สุพจน์ ลิมลาโคตร 32.6133

.....อาจารย์ที่ปรึกษา

(อ.ภากร หุตะสังกาศ)

.....อาจารย์

( )

.....อาจารย์

( )

.....อาจารย์

( )

.....อาจารย์

( )

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

028802

เครื่องตรวจเช็คสัญญานเสียงระบบดิจิตอล

1. นาย วุฒิชัย เจียมทวีวิบูลย์ 32.6128

2. นาย สุพจน์ สิมลาโคตร 32.6133

ภากร หุตะสังกาศ อาจารย์ที่ปรึกษา

บทคัดย่อ

เครื่องบันทึกเสียงสำหรับการสื่อสารนี้ เป็นอุปกรณ์ที่ใช้สำหรับเช็คสัญญานที่เข้ามาล่าสุด ของการติดต่อต่างๆ เช่น คำขานเรียกโค๊ดรหัสชื่อที่ใช้ติดต่อของวิทยุมือถือ เมื่อเครื่องทำงานโดยจะบันทึกเมื่อมีสัญญานเสียงเข้ามาจนจบ และเมื่อสิ้นสุดของสัญญานจะทำการเล่นกลับ และจะทำงานลักษณะนี้ต่อไปโดยอัตโนมัติ เราสามารถอ่านข้อความที่บันทึกไว้โดยการให้เครื่องเล่นกลับอย่างเดียว

คุณลักษณะของเครื่องมีลำโพงภายใน สามารถหน่วงเวลาของการทำงานได้ภายในเครื่อง โครงสร้างภายในประกอบด้วยไอซี T6668 เป็นไอซีที่มีความสามารถสูงในการเปลี่ยนสัญญานระหว่างอนาลอกกับดิจิตอล โดยเก็บสัญญานเสียงในรูปดิจิตอลไว้ในไดนามิกแรม ส่วนการควบคุมการทำงานใช้ไอซี 74123 Retrigger Monostable และวงจรชีเควนเชี่ยลต่างๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DIGITAL VOICE CHECKER

1.WUTTHICHAI JEAMTAWEEWIBOON

2.SUPUGN SIMRAKOTE

PAGRON HUTASUNGGARD

ABSTRACT

A DIGITAL VOICE CHECKER IS THE AUDIO EQUIPMENT FOR CHECK PRESENTLY VOICE OF TRANSMITTING ;SSB/FM CONTESTER .THEN CHECKER RECEIVED SIGNAL OF MICROPHONE AND RECORD IT.HOWEVER,THE END OF SIGNAL,THE CHEKER STOP AND PALYBACK FOR REPEATING SIGNAL.BUT YOU WANT PLAYBACK OLD DATA YOU CHANGE RECORDING MODE TO PLAYBACK MODE BY SWITCH.

THE CHECKER INCLUDE IC T6668 IS IC HIGH QUANTITY OF CONVERT OF ANALOG SIGNAL AND DIGITAL SIGNAL AND IT SAVE DATA DIGITAL IN DYNAMIIC RAM.CONTROLLING USE SEQUENTIAL CIRCUIT AND IC RETRIGGER MONOSTABLE 74123.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

1. บทนำ 1

2. ทฤษฎี 2

2.1 ทฤษฎีเดลต้ามอดูเลชั่น (delta modulation DM)

2.2 slope overload

2.4 ระบบเดลต้ามอดูเลชันแบบเปลี่ยนแปลงความชันต่อเนื่อง

continuous variable slope delta modulation (CVSD)

2.5 ไอซีที่ใช้บันทึกเสียง

2.6 การเปรียบเทียบการจัดเก็บข้อมูลแบบเป็นจุดกับแบบเดลต้ามอดูเลชัน

2.7 หน่วยความจำ

2.8 Voice operated Switch (VOX)

3. การสร้างและการประกอบอุปกรณ์ 19

3.1 แผงผังการทำงานต่างๆ

3.2 การทำงานต่างๆ

4. การทดลองและผลการทดลอง 31

5. วิจารณ์และสรุปผลการทดลอง 33

หนังสืออ้างอิง

กิตติกรรมประกาศ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

ปริญญานิพนธ์ฉบับนี้เป็นปริญญานิพนธ์ของภาคการศึกษาที่ 2 ปีการศึกษา 2533 เป็นเรื่องเครื่องตรวจเช็คสัญญานเสียงระบบดิจิตอล

เครื่องตรวจเช็คสัญญานเสียงระบบดิจิตอลนี้เป็นอุปกรณ์บันทึกเสียงที่ใช้สัญญานเสียงที่เข้ามาล่าสุดของการติดต่อสื่อสารต่างๆเช่นคำขานเรียกระหัสต่างๆของวิทยุมือถือโดยเครื่องจะทำการบันทึกข้อมูลและทำการเก็บข้อมูลที่บันทึกไว้ และเมื่อสิ้นสุดของสัญญานจะหยุดและเล่นกลับโดยอัตโนมัติ 1 รอบ เพื่อเป็นการตรวจการทำงาน และหากมีสัญญานเสียงใหม่เข้ามาก็จะทำการอัดทับข้อมูลเดิมและทำการเล่นกลับเหมือนการทำงานขั้นต้นที่กล่าวมาแล้วเวลาที่บันทึกได้ไม่เกิน 16 วินาที ซึ่งนานพอสำหรับการเก็บข้อความสั้นๆ เราอาจเพิ่มได้อีก 4 เท่า แต่หากเราต้องการฟังข้อมูลที่อัดไว้ทำได้โดยการเปลี่ยนโหมดบันทึกเป็นโหมดเล่นกลับ โดยใช้สวิทช์เป็นตัวเลือก ข้อมูลเก่าที่บันทึกไว้จะอ่านออกมา

หลักการทำงาน ใช้อุปกรณ์ไอซี T6668 เป็นการใช้การบันทึกเสียงแบบเดลต้ามอดูเลชั่น แทนวงจรสุ่มสัญญานแบบธรรมดา ซึ่งลดความถี่ ความจุ ของหน่วยความจำ และอุปกรณ์ประกอบลง และเป็นไอซีมีความสมบูรณ์ในการเปลี่นสัญญานอนาลอกกับสัญญานดิจิตอล และนำสัญญานดิจิตอลเก็บไว้ที่ไดนามิกแรม ส่วนการควบคุมใช้วงจรซีเควนเชี่ยลต่างๆและไอซี 74123 Retrigger Monostable สร้างสัญญานควบคุมให้การทำงานต่างๆถูกต้อง นอกจากนี้เรานำ VOX(voice operated switch) มาสร้างสัญญาน Push To Talk ให้แก่เครื่องส่งได้อีกด้วย

ภายในเครื่องประกอบด้วยเพาเวอร์ซัพพลาย 9 โวลท์และ 5 โวลท์ หลอดไฟแสดงสัญญานเสียง หลอดไฟแสดงการใช้หน่วยความจำ ลำโพงมอนิเตอร์ภายใน

สำหรับเนื้อหาของบทที่ 2 เป็นทฤษฎีและการสร้างเกี่ยวกับ เดลต้ามอดูเลชั่น การใช้ระบบเดลต้ามอดูเลชันแบบเปลี่ยนแปลงความชันต่อเนื่อง continuous variable

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

slope delta modulation (CVSD) และไอซีที่ใช้เทคนิค CVSD การเก็บข้อมูลด้วย SRAM บทที่ 3 เป็นบล็อกการทำงานในลูปต่างๆวงจรทั้งหมด บทที่ 4 เป็นการทดลองต่างและผลที่ได้ บทที่ 5 เป็นการสรุปผลการทดลอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2

ทฤษฎีและการสร้าง

2.1 ทฤษฎีเดลต้ามอดูเลชั่น (delta modulation DM)

การบันทึกเสียงสำหรับการนำมาใช้ใหม่โดยวิธีการทางดิจิตอลทำให้ไม่จำเป็นต้องใช้กลไกเคลื่อนไหวใดๆดังเช่นแบบเดิม แต่จะใช้อุปกรณ์หน่วยความจำเก็บข้อมูลเสียงแทนเส้นเทปหรือแผ่นเสียง เทคนิคการบันทึกเสียงระบบดิจิตอลมีอยู่หลายวิธี เราจะกล่าวถึงการใช้เทคนิคที่เรียกว่า เดลต้ามอดูเลชั่น

2.1.1 หลักการทำงานของเดลต้ามอดูเลชั่น

ในรูปแบบปรกติสัญญาณที่ได้จากเดลต้ามอดูเลชันจะให้สัญญาณเป็นรูปขั้นบันได (stair case) ซึ่งประมาณได้จากสัญญาณอินพุทหรือสัญญาณbaseband ดังแสดงในรูปที่ 2.1.1 ความแตกต่างของสัญญาณอินพุทที่ได้จากการประมาณจะเปลี่ยนเป็นสัญญาณ 2 ระดับคือ $\pm\alpha$ เท่านั้น หลักการทำการประมาณค่าสัญญาณนั้น ถ้าสัญญาณอินพุทมีค่าสูงกว่าสัญญาณที่ได้จากการค่าที่ตำแหน่งของการสุ่มครั้งก่อนก็จะทำการเพิ่มสัญญาณประมาณขั้นอีก $+\alpha$ ในทางตรงกันข้ามถ้าสัญญาณเปลี่ยนแปลงไม่เร็วเกินไป เราจะพบว่าสัญญาณขั้นบันไดที่เกิดจากการประมาณจะยังสูงหรือต่ำกว่าสัญญาณอินพุทไม่เกิน $\pm\alpha$

ในสัญญาณอินพุทเป็น $m(t)$ และสัญญาณขั้นบันไดที่เกิดจากการประมาณเป็น $m_a(t)$ แล้วหลักการเบื้องต้นของเดลต้ามอดูเลชัน สามารถเขียนเป็นสมการได้

$$b_n = sgn\,[\, m(n T_s) - m_a(n T_s - T_s) \qquad \ldots.(2.1)$$

$$m_a(n T_s) = m(n T_s - T_s) + \alpha b_n \qquad \ldots.(2.2)$$

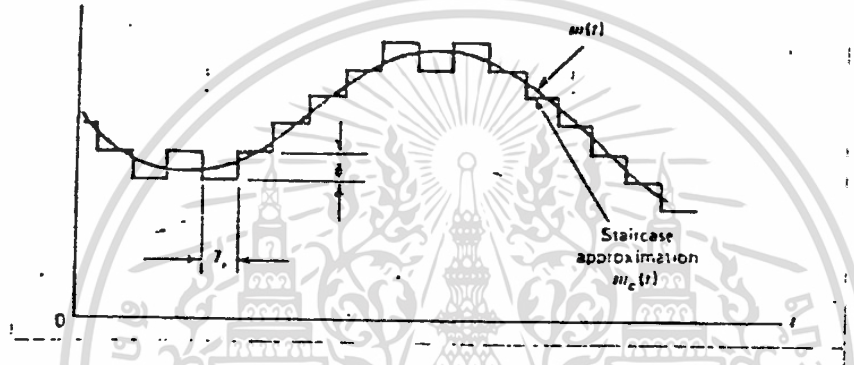
T_s เป็นเวลาของการสุ่ม และ b_n เป็นเครื่องหมายที่ได้

สำหรับแต่ละการสุ่มการส่งจะส่งข้อมูล 1 บิตคือ b_n และอัตราการส่งผ่านข้อมูลจะ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เท่ากับอัตราการสุ่ม $1/T_s$ ดังแสดงในรูป 2.2.2

ระบบเดลต้ามอดูเลชันจะเกิดความผิดพลาดหรือคลาดเคลื่อนที่เรียกว่า Quantizing eror ซึ่งมี 2 อย่างคือ ความผิดพลาดที่เกิดจาก slope overload distortion และความผิดพลาดที่เรียกว่า granular ดังแสดงในรูป 2.2



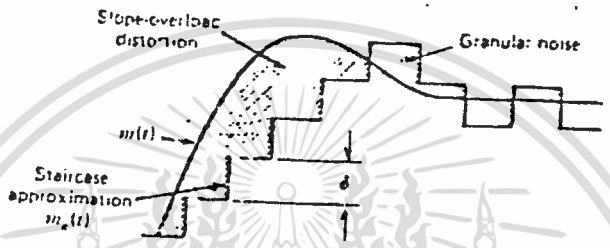
รูปที่ 2.1.1

รูปที่ 2.1.2

slope overload เกิดเมื่อขนาด stepα เล็กเกินไปที่จะทำให้สัญญานขั้นบันได ประมาณ $m_a(t)$ ตามสัญญานอินพุท$m(t)$ ได้ทันและ granular noise เกิดขึ้นเมื่อขนาดของ step α ใหญ่เกินไป สัญญานอินพุทซึ่งเป็นผลจากสัญญาน $m_a(t)$ สัญญานขั้นบันไดจะขึ้นและลงระหว่างส่วนที่ค่อนข้างราบเรียบ granular noise ของสัญญานอินพุท ในระบบเดลต้ามอดูเลชันนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เทียบเท่ากับ ในระบบ PCM ดังนั้นสัญญาณที่มีค่าความชันอันหนึ่ง ถ้าขนาดของ step เล็กจะทำให้เกิด slope overload distortion ในขณะที่ถ้าขนาดของ step ใหญ่จะทำให้เกิด granular noise



รูปที่ 2.2 แสดงการเกิด Quantizing eror ในเดลต้ามอดูเลชัน

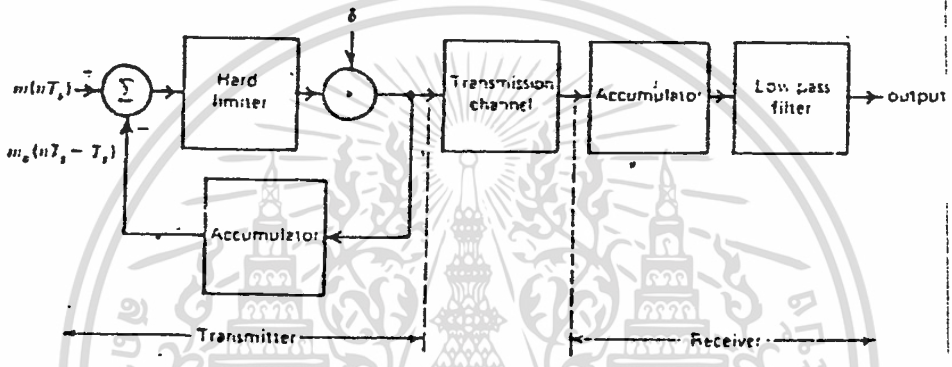
สำหรับหลักการของเดลต้ามอดูเลชันแบบธรรมดา นั้นสามารถแสดงในแผงผังรูปที่ 2.3 ซึ่งประกอบด้วย summer, hard limit และ accumulator หรืออินทีเกรเตอร์นั่นเอง โดยตัว summer จะเปรียบเทียบความแตกต่างระหว่างสัญญาณอินพุท $m(n T_s)$ และสัญญาณเอาท์พุท $m_a(nT_s - T_s)$ จาก accumulator ค่าความแตกต่างนี้จะผ่านเข้าไปใน hard limit จะถูกคูนด้วย และจะถูกส่งเข้าสู่ accumulator ซึ่งทำหน่าที่สร้าง สัญญาณประมาณ ดังสมการ

$$m_a (n T_s - T_s) = \sum_{i=1}^{n-1} \alpha b_i \quad \ldots\ldots(2.3)$$

ดังนั้นทุกๆชั่วขณะของการสุ่มสัญญาน accumulator จะเพิ่ม สัญญาณประมาณด้วยขนาด step α ตามทิศทางของ b_i ถ้าสัญญาณการสุ่ม $m(n T_s)$ มากกว่าสัญญาณประมาณ $m_a(n T_s - T_s)$ ค่า $+\alpha$ ก็จะถูกเพิ่มขึ้นให้กับสัญญาณประมาณ ถ้าสัญญาณที่สุ่ม $m(n T_s)$ มีค่าน้อยกว่าสัญญาณที่ประมาณ $m(n T_s - T_s)$ ค่า $-\alpha$ ก็จะถูกเพิ่มให้ accumulatorโดยวิธีนี้ accumulator จะทำหน้าที่สร้างสัญญาณตามสัญญาณอินพุท โดยใช้ 1 step ในแต่ละครั้งของการสุ่มสัญญาณที่ได้ ($+\alpha$ และ $-\alpha$) เหล่านี้ประกอบไปด้วย สัญญาณดิจิตอลเพื่อส่งไปทาง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น ไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ด้านรับ ในทางด้านรับก็จะสร้างสัญญานขั้นบันได ma(t) ออกมาโดยนำ pluse บวกและลบที่ได้ผ่าน accumulator ซึ่งมีการทำงานเช่นเดียวกับทางด้านส่ง ส่วน quantizing noise ที่มีอยู่ใน จะถูกกำจัดออกไปโดยผ่านวงจรกรองความถี่ต่ำผ่านซึ่งมี bandwidth เท่ากับ bandwidth ของ สัญญานขั้นต้น



รูปที่ 2.3 แผงผังของระบบเดลต้ามอดูเลชัน

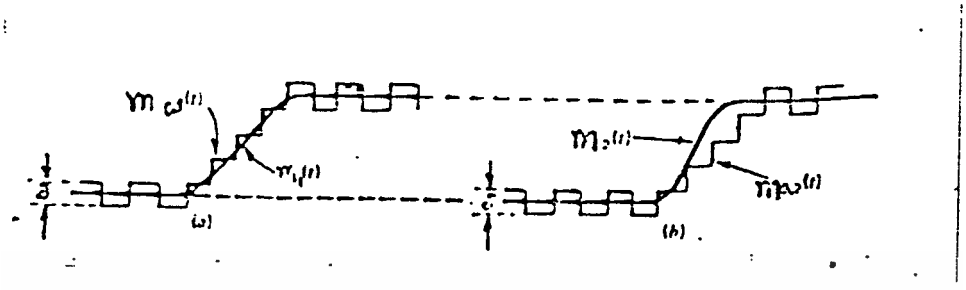
2.2 slope overload

ปัญหาในระบบเดลต้ามอดูเลชัน คือการเกิด slope overload เมื่อมีสัญญานอินพุท m(t) เปลี่ยนแปลง สัญญานประมาณ ma(t) จะstep ตามสัญญานอินพุทไปตลอดตราบเท่าที่สัญญานอินพุทที่ทำการสุ่มยังมากหรือน้อยกว่าสัญญาน ma(t)โดยมีความแตกต่างไม่มากนัก แต่เมื่อมีความแตกต่างเกินกว่า α ma(t) ซึ่ง step ตามสัญญาน m(t) ไม่ทันนั้นจะเกิดเป็น eror ที่เรียกว่า slope นี้ที่เกิดจาก slope overload ของสัญญาน เราจะเรียกว่า slope overload ดังแสดงในรูปที่ 2.4

เพื่อที่จะหาเงื่อนไขสำหรับการป้องกัน slope overload ในระบบเดลต้ามอดูเลชัน เราสมมติว่า อินพุท m(t) = A cos (2πfm t) ดังนั้นความชันสูงสุดของสัญญานคือ

[d m(t) /dt_max = A2π fm ....(2.4)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้ง ที่มีการนำไปใช้



รูปที่ 2.4 การเกิด slope overload

การเปลี่ยนแปลงมากที่สุดในช่วงระหว่างการสุ่มสัญญาณของอินพุทคือ $A2\pi f_m T_s$ เพื่อหลีกเลี่ยงการเกิด slope overload การเปลี่ยนแปลงของของสัญญาณที่ทำการสุ่มต้องน้อยกว่า α นั่นคือ

$$A\ 2\pi\ f_m\ T_s < \alpha$$

หรือขนาดที่ซึ่ง slope overload จะเกิดคือ

$$A = \alpha\ T_s\ /\ 2\pi\ f_s$$

ซึ่ง $f_s = 1/T_s$ เป็นอัตราการสุ่มของระบบเดลต้ามอดูเลชัน ได้มีการตรวจสอบโดยมีการทดลองว่า เดลต้ามอดูเลชั่นจะส่งสัญญาณเสียงโดยปราศจาก slope overload นั้นขนาดของสัญญาณต้องไม่เกินกว่าขนาดที่มากที่สุดของสัญญาณในสมการ (2.4) ซึ่งใช้กับ f_m = 800Hz

ปัญหาการเกิด slope overloadในระบบ เดลต้ามอดูเลชั่น สามารถแก้ไขได้โดยการกรองความถี่ต่ำผ่านเพื่อจำกัดอัตราสูงสุดของอัตราการเปลี่ยนแปลงของการเพิ่มของขนาดของ step หรือการเพิ่มอัตราการสุ่ม การกรองสัญญาณ และการเพิ่มขนาดของ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

step ทำให้เกิด granular noise มาก และการเพิ่มอัตราการสุ่มจะทำให้ต้องใช้ bandwidth มากขึ้น ทางที่ดีที่สุดที่จะหลีกเลี่ยง slope overloadโดยการตรวจสอบเงื่อนไขการเกิด overload และทำให้ step มีขนาดมากขึ้นเพื่อตรวจสอบได้ว่าเกิด overload ซึ่งเป็นแบบที่ใช้ขนาดของ step ไม่คงที่นี้เรียกว่า Adaptive delta modulation (ADM)

2.3 Adaptive delta modulation (ADM)

slope overload จะเกิดขึ้นเมื่อความชันของสัญญานสูงขึ้นมากๆซึ่งปัญหานี้สามารถแก้ไขโดยการปรับขนาดของ step แต่จริงๆแล้วขนาดของ step ควรให้เล็กเมื่อมีการเปลี่ยนแปลงของสัญญานเกิดขึ้นอย่างช้าๆและเพิ่มขนาดของ step เพื่อที่จะหลีกเลี่ยง slope overload เมื่อสัญญานเปลี่ยนแปลงมาก

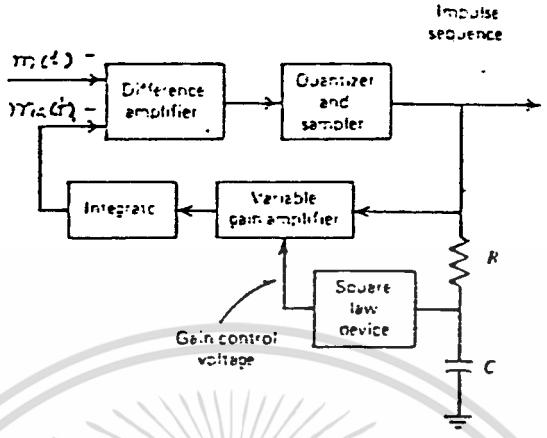
แผงผังแสดงระบบ ADM แบบหนึ่งในรูป 2.5 ปรับขนาดของ step จะเปลี่ยนแปลงได้โดย การควบคุมอัตราขยายของอินทิเกรเตอร์ ซึ่งอัตราขยายจะมีค่าต่ำเมื่อแรงดันเป็น 0 และอัตราขยายจะเพิ่มขึ้นเมื่อแรงดันเป็นควบคุมมากขึ้น

วงจรควบคุมอัตราขยายประกอบด้วยความต้านทาน คาปาซิเตอร์ และอุปกรณ์ square law เมื่อสัญญานอินพุทคงที่หรือมีการเปลี่ยนแปลงอย่างช้าๆ เดลต้ามอดูเลชั่นจะตามได้ทันและเอาท์พุทจะเป็นpluse บวกหรือลบสลับกันตลอด ตอนนี้อินทีเกรเตอร์จะอินติเกรตให้แรงดันเอาท์พุทออกมาไปเพิ่มอัตราขยายของภาคขยาย ทำให้ขนาดของ step เพิ่มขึ้นจึงทำให้ไม่เกิด slopeoverload หรือเกิดเพียงเล็กน้อยสำหรับ modulation ในระบบ ADM จะมีวงจร Adaptive gain เช่นเดียวกับทางด้าน encoder ทำให้เอาท์พุทมีลักษณะเช่นเดียวกับทางด้าน encoder ทุกประการ

เทคนิคการเดลต้ามอดูเลชั่น จะไม่ใช้การสุ่มสัญญานหนึ่งจุดแล้วแปลงเป็นสัญญานดิจิตอล 1 เวิร์ด ที่มีความละเอียดเป็นจำนวนบิทที่ต้องการแต่ใช้วิธีการเปรียบเทียบความสูงหรือการเปลี่ยนแปลงของสัญญานเสียงแทน

ข้อมูลที่ได้ก็คือทิศทางของการเปลี่ยนแปลงซึ่งก็มีเพียงขึ้นหรือลงเท่านั้น ดังนั้นความกว้างของสัญญานดิจิตอลจึงใช้เพียงบิทเดียวก็เพียงพอ ข้อดีของวิธีการ เดลต้ามอดูเลชั่นก็

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



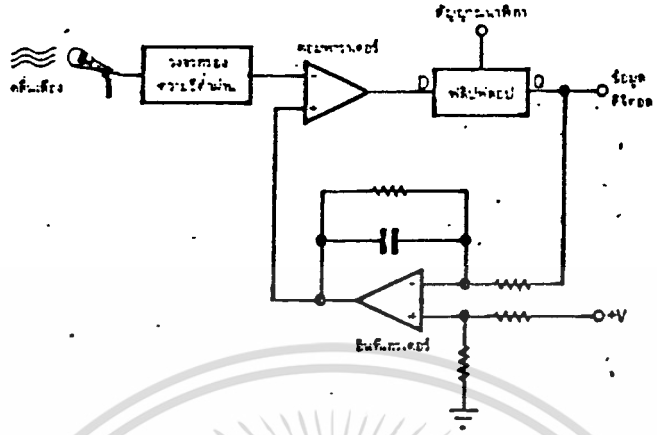
รูปที่ 2.5 แผงผังระบบ Adaptive delta modulation (ADM)

คือใช้หน่วยความจำน้อยกว่าแบบอื่นๆ

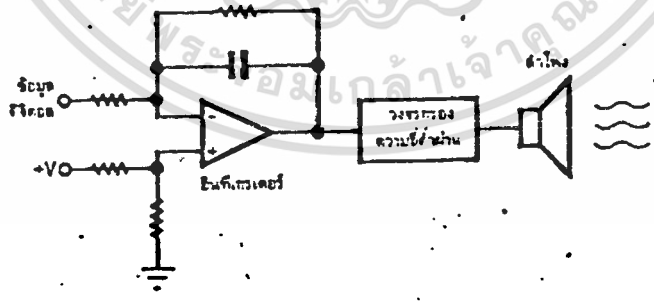
รูปที่ 2.6 วงจรเบื้องต้นของเดลต้ามอดูเลชั่นคอมพราเตอร์จะทำหน้าที่เปรียบสัญญาณอินพุทปัจจุบันกับสัญญาณอินพุทก่อนหน้านั้น ซึ่งได้จากการป้อนกลับมายังอินทีเกร์เตอร์เอาท์พุทของการเปรียบเทียบจะถูกป้อนผ่านฟลิบฟลอบที่ควบคุมด้วยสัญญาณนาฬิกาเพื่อให้ข้อมูลดิจิตอลซึ่งก็คือการกำหนดอัตราการสุ่มสัญญาณนั่นเอง

สัญญาณที่ได้จากตัวเปรียบเทียบและจากอินทีเกรเตอร์ เปรียบเทียบกับสัญญาณอินพุทแสดงในรูปที่ 2.9 ลักษณะเช่นนี้จะพบว่ายิ่งความถี่ของสัญญาณนาฬิกามีค่าสูงก็ยิ่งสามารถบันทึกการเปลี่ยนแปลงได้มากขึ้นตามไปด้วย ความถี่เท่าไรจึงจะเพียงพอคงต้องใช้การทดลองโดยการนำเอาท์พุทสุดท้ายที่เป็นข้อมูลดิจิตอลผ่านวงจรแปลงกลับในรูปที่ 2.8 แล้วฟังเสียงที่ได้หากฟังเป็นภาษาก็ใช้ได้ที่ค่านั้น สำหรับเสียงพูดที่มีคุณภาพเทียบเท่าเสียงโทรศัพท์ที่มีความกว้างประมาณ 4 kHz ก็ใช้เพียง 16 kHz แต่ที่ความถี่ต่ำถึง 9.6 kHz ก็ฟังรู้เรื่องความถี่นี้จะเป็นตัวกำหนดอัตราความเร็วของข้อมูล (bit rate) ซึ่งที่ 16 kHz ก็เท่ากับ 1600 บิทต่อวินาที

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

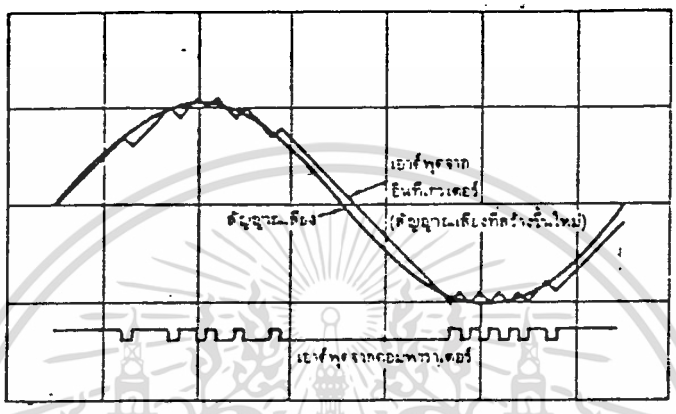


รูปที่ 2.6 วงจรเบื้องต้นของเดลต้ามอดูเลชั่นในส่วนของการแปลงสัญญาณเสียงเป็นดิจิตอล



รูปที่ 2.7 วงจรที่ใช้แปลงกับจากข้อมูลดิจิตอลเป็นสัญญาณเสียง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
028802

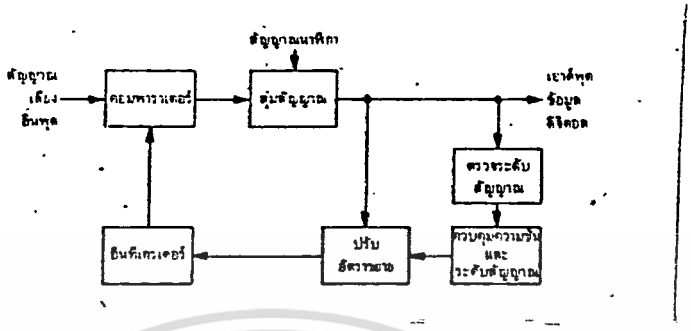


รูปที่ 2.8 เปรียบเทียบสัญญาณอินพุทกับข้อมูลที่ได้สัญญาณอนาลอกจากอินทีเกรเตอร์

2.4 ระบบเดลต้ามอดูเลชันแบบเปลี่ยนแปลงความชันต่อเนื่อง continuous variable slope delta modulation (CVSD)

ข้อจำกัดวิธีการเดลต้ามอดูเลชันก็คือแถบความกว้างความถี่ใช้งาน ซึ่งถูกจำกัดโดยความถี่สัญญาณนาฬิกาและจะสูงกว่าความถี่สูงสุดของสัญญาณมากกว่า 2 เท่าขึ้นไป และอีกอย่างความเร็วของการเปลี่ยนแปลงความสูงของสัญญาณ หรือไดนามิกส์เรนจ์ ระบบเดลต้ามอดูเลชันธรรมดามีค่าไดนามิกส์เรนจ์ ที่แคบ จำเป็นต้องมีส่วนเพิ่มเติมทำหน้าที่ขยายไดนามิกส์เรนจ์ ให้กว้าง โดยการควบคุมการขยายของอินทีเกรเตอร์ เพื่อให้ตอบสนองต่อสัญญาณที่มีความชันมากๆได้ทัน ระบบนี้มีชื่อเรียกใหม่ว่า ระบบเดลต้ามอดูเลชันแบบเปลี่ยนแปลงความชันต่อเนื่อง continuous variable slope delta modulation (CVSD)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.9 แผงผังการทำงานของระบบ CVSD ในส่วนจากการแปลงสัญญาณเสียงเป็นข้อมูลดิจิตอล

ระบบ CVSD ทั้งส่วนแปลงจากอนาลอกเป็นดิจิตอลและส่วนแปลงจากดิจิตอลเป็นอนาลอก แสดงในรูปที่ 2.9 และ 2.10 ตามลำดับ วิธีการของ CVSD ก็คือมีการตรวจระดับสัญญาณโดยอาจใช้วิธีการจัดให้มีรีจิสเตอร์สำหรับเก็บข้อมูลดิจิตอลล่าสุด จำนวน 3 หรือ 4บิต แล้วตรวจสอบว่าเป็น 1หมดหรือ 0 หมดหรือไม่ ถ้าใช่แสดงว่าขณะนี้อัตราการขยายอินทิเกรเตอร์ต่ำเกินไป ตอบสนองความชันของสัญญาณไม่ทัน ก็จะทำการเพิ่มอัตราขยายให้สูงขึ้นในเฉพาะช่วงนั้น

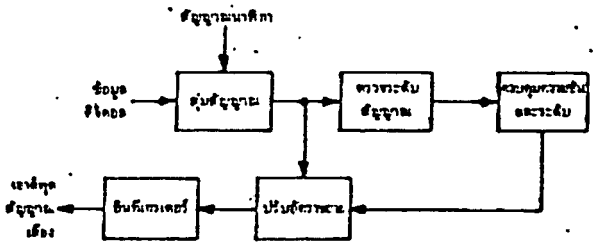
ในส่วนของการทำงานกลับกันก็ต้องมีการทำงานในลักษณะเดียวกัน คือมีรีจิสเตอร์ตรวจสอบข้อมูลว่าเป็น 1หมดหรือ 0 หมดหรือไม่ แล้วจัดการควบคุมอัตราขยายของอินทิเกรเตอร์ให้สอดคล้องกัน

2.5 ไอซีที่ใช้บันทึกเสียง

เมื่อรู้จักทฤษฎีการทำงานของไอซีโดยใช้เทคนิค CVSD แล้วมารู้ไอซีสำเร็จซึ่งออกแบบมาสำหรับการบันทึกเสียงและเล่นกลับ โดยมีวงจรจัดการเกี่ยวกับหน่วยความจำในตัว

จากที่ได้กล่าวมาแล้วบิตเรตหรืออัตราความเร็วข้อมูลสำหรับวิธีการเดลต้ามอดูเลชันมีค่าความถี่นาฬิกา เสียงพูดที่มีคุณภาพเทียบเท่าเสียงโทรศัพท์ที่มีความกว้างประมาณ 4 kHz ก็ใช้เพียง 16kHzได้ข้อมูลดิจิตอล 16 K ต่อวินาทีหรือการบันทึกเสียง 1วินาทีต้องใช้หน่วยความจำ 16บิตถ้าต้องการเวลาบันทึกนานขึ้นก็ต้องใช้หน่วยความจำมากขึ้นทวีคูณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.10 แผงผังการทำงานของระบบ CVSD ในส่วนจากการแปลงข้อมูลดิจิตอลเป็นสัญญาณเสียง

ความจำ 16บิตถ้าต้องการเวลาบันทึกนานขึ้นก็ต้องใช้หน่วยความจำมากขึ้นทวีคูณ

ไอซีสำเร็จที่ใช้กันได้แก่ UM5100 และแบบอื่นๆซึ่งจากการทดลองพบว่าUM5100 มีคุณภาพของเสียงที่บันทึกค่อนข้างดี สามารถใช้กับ ได้ขนาดถึง 256 K สำหรับรายละเอียดต่างๆ ดังนี้

2.5.1 UM5100 Voice Processor

2.5.1.1 ลักษณะทั่วไปของ UM 5100

-สามารถเก็บข้อมูลเสียงและเล่นกลับโดยต่อกับ SRAM ภายนอก

-ใช้ระบบเดลต้ามอดูเลชันแบบเปลี่ยนแปลงความชันต่อเนื่อง continuous variable slope delta modulation (CVSD)

-จำนวน address ของหน่วยความจำสูงสุด 256 K

-ใช้ R C ในการสร้าง oscillator

-ปรับ bit rate สำหรับเวลาบันทึก 10 k ถึง 28 k

2.5.1.2 รายละเอียดทั่วไป UM5100

UM5100 ไอซีของชิ้นเดียวใช้สำหรับการบันทึกเสียงและเล่นกลับออกมาใช้งานกับ Static RAM หรือใช้อ่านข้อมูลอย่างเดียว EPROM หรือ ROM ภายในส่วนประกอบภายในประกอบด้วย R C oscillator, address/data bus,ตัวเปลี่ยนข้อมูลดิจิตอลจากอนุกรมขนาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น และห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารนี้ทุกครั้งที่มีการนำไปใช้

ขณะบันทึกและเปลี่ยนข้อมูลจากขนานเป็นอนุกรมขณะการอ่าน , mode controler และ CVSD delta modulation โดยบันทึกเสียงดิจิตอลและส่งสัญญานเสียงออกมา นอกจากนี้หากสัญญานความถี่ต่ำมีตัวช่วยเอาท์พุทไม่ให้ distortion ส่วนสัญญานความถี่สูงมีอุปกรณ์ภายในลดการสูญเสียเสียง ,R C ให้ bit rate 10 k ถึง 28 k

2.5.2 T 6668

T 6668 เป็นของโตชิบามีรูปร่างภายนอกเป็นแบบติดตั้งบนผิวหรือเซอร์เฟสเมาต์ ขนาด 60 ขาต่อกับหน่วยความจำชนิดไดนามิก ขนาด 64 K x 1บิท หรือ 256 K x1 บิทได้โดยตรง 4 ตัว ใช้คริสตอลควบคุมความถี่สัญญานนาฬิกา เปลี่ยนบิทเรตโดยใช้ดิปสวิทช์เลือกหน้าของหน่วยความจำแยกบันทึกเล่นกลับได้ เมื่อใช้หน่วยความจำ 256 K x 1 บิท(41256)จำนวน 4 ตัว ที่บิทเรต 16 K จะบันทึกได้นาน 64 วินาที หรือนาทีเศษๆ

2.5.2.1 รายละเอียดการใช้งานของ T 6668

$A_0 \sim A_8$:ขาแอดเดรสต่อกับแรม

D_{in}, D_{out} :ขาดาต้าต่อกับแรม

$\overline{M1}, \overline{M2}$:ใช้กำหนดจำนวนแรมที่ใช้ ดูตารางที่ 1

$\overline{RAS}, \overline{WE}$:สัญญานควบคุมแรม

$\overline{CAS_1} \sim \overline{CAS_4}$:ขาเลือกแรมแต่ละตัว รวม 4 ตัว

256 K :เลือกขนาดแรม ต่อกราวด์ใช้ 4164 ต่อไฟบวกใช้ 41256

EOS :เอาท์พุท เป็นไฮ เมื่อจบข้อความที่บันทึก

MIC_{in}, MIC_{out} :อินพุทและเอาท์พุทของภาคขยายส่วนหน้า

AD_1, AD_0 :อินพุทสัญญานอนาลอกที่จะนำไปแปลงเพื่อบันทึกและเอาท์พุทอนาลอกที่ได้จากการอ่าน

FIL_{in}, FIL_{out} ,วงจรกรองความถี่ต่ำผ่าน

$\overline{C_1}, C_2$:ต่อกับตัวประจุภายนอก

ACL :ขารีเซ็ท แอคทีฟโลว์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

X_{in},X_{out} :คริสตอลออสซิลเลเตอร์ความถี่ 650 kHz

CPUM, CE :ขาสัญญาณควบคุมสำหรับอินเตอร์เฟสกับ CPU

WR :ขาอินพุทสัญญาณควบคุมสำหรับการเปลี่ยนไปโหมดการบันทึก

D4,D5 :เริ่มต้น (D4)และหยุด (D5) การนับของเคาท์เตอร์ภาย ใน สำหรับการบันทึกและการเล่นกลับ

D6,D7 :กำหนดบิทเรท ดูตารางที่ 2

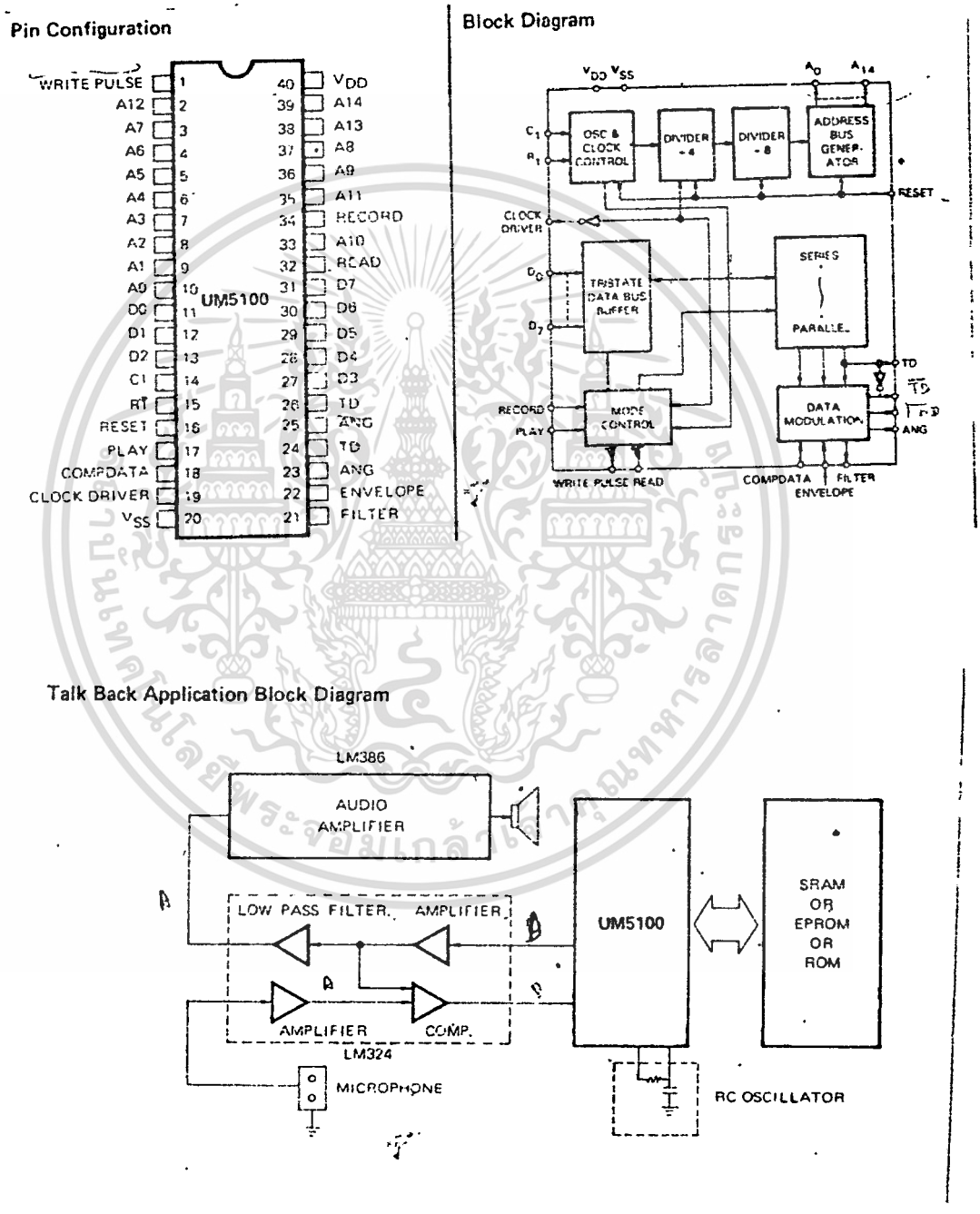
D0 ~ D3 :เลือกหน้าของหน่วยความจำสำหรับบันทึกแบ่งได้สูงสุด 16 หน้า ตามรหัสเลขฐานสองแต่ละหน้าไม่กำหนดความยาว แล้วแต่จะกด STOP(D5) เมื่อใด ก็จะมีการบันทึกเอาไว้ โดยอัตโนมัติ

V_{dd},V_{ss} :ขาไฟเลี้ยงและกราวด์

ตารางที่ 1 การกำหนดชนิดและจำนวนแรมที่ใช้

ชนิดและจำนวน	256K(ขา 45)	M2	M1
4164 x1	0	0	0
4164 x2	0	0	1
4164 x3	0	1	0
4164 x4	0	1	1
41256 x1	1	0	0
41256 x2	1	0	1
41256 x3	1	1	0
41256 x4	1	1	1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

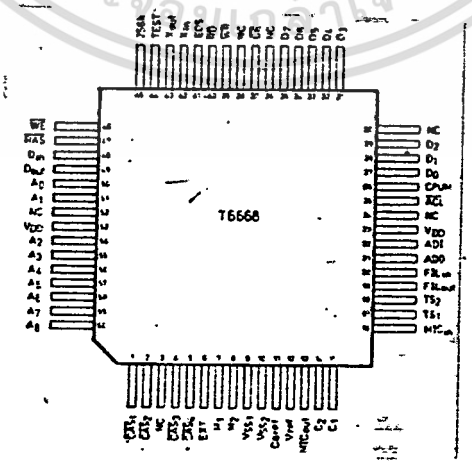


รูป 2.11 แผนผังรายละเอียดขาและแผงผังการทำงาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 2 การกำหนดอัตราเร็วข้อมูลหรือบิทเรท

บิทเรท	D7(ขา 35)	D6(ขา 34)
8K	0	0
11K	0	1
16K	1	0
32K	1	1



รูป 2.11 แผนผังรายละเอียดขา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.6 การเปรียบเทียบการจัดเก็บข้อมูลแบบเป็นจุดกับแบบเดลต้ามอดูเลชัน

การจัดเก็บข้อมูลแบบเป็นจุดเป็นการแปลงสัญญาณในแต่ละจุดโดยใช้ D/A และ A/D ในการจัดซึ่งจะทำการจัดเก็บที่ละ 8 บิตซึ่งแต่ความคมชัดของสัญญาณจะขึ้นอยู่กับจำนวนบิท ส่วนการจัดเก็บข้อมูลแบบเดลต้ามอดูเลชันจะทำการเปรียบเทียบโดยคอมพราเตอร์จะทำหน้าที่เปรียบสัญญาณอินพุทปัจจุบันกับสัญญาณอินพุทก่อนหน้านั้น ซึ่งได้จากการป้อนกลับมายังอินทีเกร์เตอร์ เอาท์พุทของการเปรียบเทียบจะถูกป้อนผ่านฟลิบฟลอบที่ควบคุมด้วยสัญญาณนาฬิกา เมื่อให้ข้อมูลดิจิตอลซึ่งก็คือการกำหนดอัตราการสุ่มสัญญาณจะเป็นตัวกำหนดความคมชัดของเสียง เมื่อให้เวลาการบันทึกนานขึ้นความคมชัดก็จะลดลง

2.7 หน่วยความจำ

หน่วยความจำแบ่งออกตามโครงสร้างอิเลคโทรนิคส์ออกเป็น 2 ประเภทคือหน่วยความจำแรม (RAM random access memory) และหน่วยความจำรอม (ROM read only memoly)

2.7.1 หน่วยความจำรอม

สามารถเก็บค่าในหน่วยความจำได้แม้เราจะหยุดจ่ายกำลังไฟฟ้า หน่วยความจำรอมแบ่งตามลักษณะการโปรแกรมค่าหรือการกำหนดค่าให้บิทต่างๆในรอมเป็นประเภทต่างๆ คือ

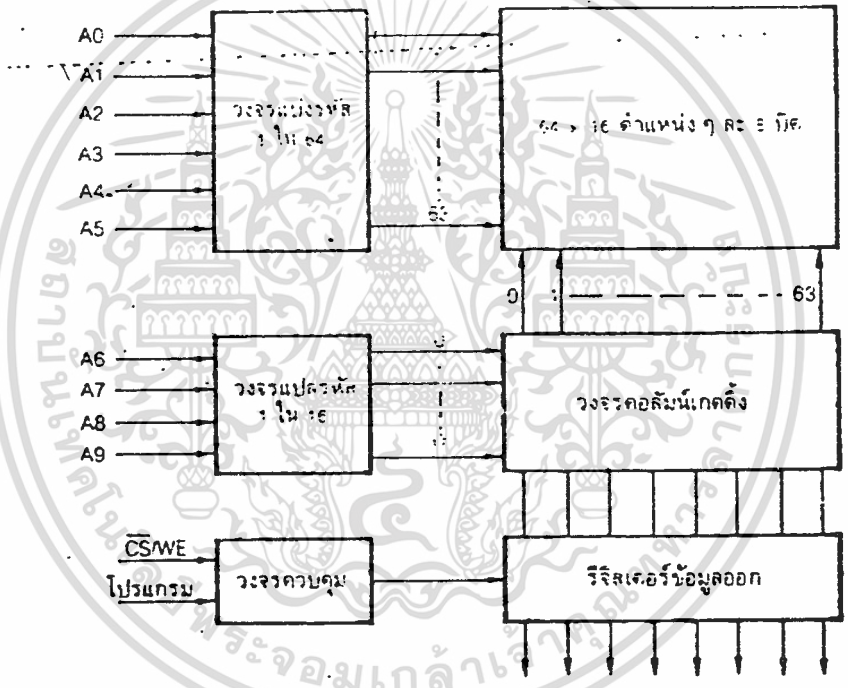
มาสค์รอม (Masked ROM) ค่าที่บิตต่างๆกำหนดมาระหว่างการผลิตไอซี

พีรอม หรือ พรอม(Prom = Programmable ROM) ค่าที่บิตต่างๆสามารถโปรแกรมภายหลังจากการซื้อ แต่ละบิตในพีรอมจะมีนิโครมหรือซิลิกอนต่อเป็นฟิวส์อยู่ ผู้ใช้สามารถเลือกตัดฟิวส์โดยจ่ายพัลส์กระแสให้ที่บิตต่างๆ บิตที่มีฟิวส์อยู่จะมีค่าเป็น 1 ขณะที่บิตที่ฟิวส์ถูกตัดขาดจะมีค่าเป็น 0 เราไม่สามารถแก้ไขกลับคืนสู่สภาพเดิมได้ พรอมทำงานด้วยอัตราเร็วสูงแต่เปลืองกำลังไฟ

อีพรอม(EPROM = Erasable Programable ROM) เป็นรอมที่ผู้ใช้สามารถโปรแกรมเองได้ และหากเกิดผิดพลาดโปรแกรมใหม่ได้ก็สามารถแก้ไขได้โดยมีอุปกรณ์โปรแกรมอีพรอม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น ไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Ultraviolet) สามารถลบทิ้งด้วยการฉายแสงอัลตร้าไวโอเลตผ่านหน้าต่างควอตซ์บนชิ้นส่วนของอีพรอมนี้ ชนิดที่สอง(EAROM = ElectricallyAlterable PROM) สามารถลบทิ้งได้โดยป้อนโวลต์เตจให้ที่ขาไอซี รมอชนิดนี้เรียกว่า อีรอม ในการทำงานของหน่วยความจำแรมสามารถบันทึกหรือเขียน(write) ข้อมูลไปที่ตำแหน่งใดๆ หรือการอ่าน(read) ข้อมูลออกมาจากตำแหน่งใดๆก็ได้



รูปที่ 2.12 แสดงโครงสร้างภายใน ROM . 1024x8 บิต

บางครั้งหน่วยความจำแรมจึงเรียกว่าหน่วยความจำอ่านและเขียน(read/write) และอีกอย่างเมื่อไม่มีพลังงานไฟฟ้าป้อนข้อมูลในหน่วยความจำจะหายหมด

สำหรับหน่วยความจำ รอม นั้นสามารถอ่านข้อมูลออกมาได้อย่างเดียวเท่านั้น และข้อมูลที่เก็บไว้จะไม่มีการเสียหายเมื่อปราศจากไฟฟ้า

2.7.2 RAM

RAM ที่จัดเก็บและอ่านข้อมูลดิจิตอลมี 2 ประเภทคือ DRAM และ SRAM เมื่อเรา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น

หยุดให้กำลังไฟฟ้าจะไม่สามารถรักษาค่าที่จำได้ในกรณีของไดนามิกแรมถึงจะมีการจ่ายกำลังไฟฟ้าก็ต้องมีการปรับ ประจุเป็นระยะๆเพื่อรักษาระดับค่าที่จำเอาไว้ นอกจากนี้แรมประเภท ต้องการกำลังไฟฟ้าน้อยมากในขณะอยู่นิ่ง จึงใช้แบตเตอรี่เป็นตัวจ่ายกำลังได้เมื่อไฟดับ

SRAM จะสร้างจากฟลิบฟลอบจำนวนมากอยู่บนไอซีชิ้นเดียว ฟลิบฟลอบแต่ละตัวสร้างจากทรานซิสเตอร์ ซึ่งอาจเป็นชนิดไบโพลาร์หรือชนิดมอลก็ได้ แต่ละตัวสามารถจำได้หนึ่งบิต วงจรภายในค่อนข้างซับซ้อน ส่วนไดนามิกแรมใช้ฟลิบฟลอบในการจำค่า แต่จะใช้ความเป็นคาปาซิสเตอร์ที่เกตของทรานซิสเตอร์ชนิดมอลเก็บประจุค่าที่ต้องการจำเนื่องจากคาปาซิสเตอร์มีการสูญเสียประจุฉะนั้นจึงต้องมีการปรับประจุเป็นระยะเพื่อชดเชยซึ่งเรียกว่าการรีเฟรช ในการรีเฟรชมีหลายวิธีแล้วแต่ชนิดแต่ที่สำคัญคือ ที่ตำแหน่งหนึ่งๆต้องมีการปรับ (refresh)อย่างน้อยทุก 2ms

ไดนามิกแรมใช้ทรานซิสเตอร์เพียงไม่กี่ตัวในการเก็บค่าหนึ่งบิตฉะนั้นราคาต่อบิตจึงถูกกว่าสแตติกแรม

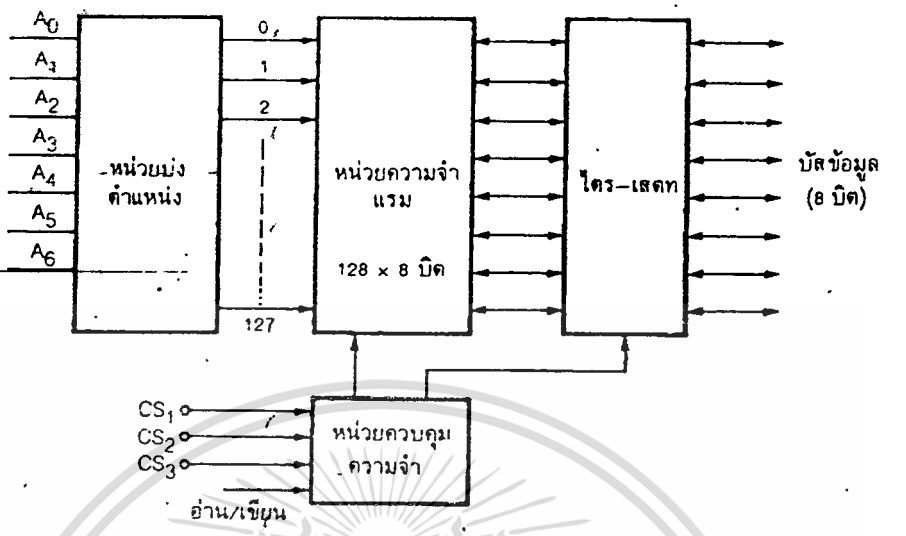
2.7.3 Static Ramdom-Acess Memory (SRAM)

SRAM เป็นหน่วยความจำที่สามารถเก็บและเรียกข้อมูลออกมา ซึ่งจะเป็นไปตามสัญญานควบคุมเมื่อเปรียบเทียบกับ DRAM พบว่า SRAM มีข้อดีกว่าคือไม่ต้องมีสัญญานรีเฟรสหน่วยความจำ SRAM ที่ใช้ในวงจรมีขนาด 256 K-bits หรือ ราคา 250 บาท

รูปที่ 2.13 แสดงลักษณะการต่อฮาร์ดแวร์ของหน่วยความจำแรม ซึ่งแต่ละชิ้นส่วนไอซีมีความ

A_0-A_6 เพราะฉนั้นจะสามารถส่งตำแหน่งในหน่วยความจำได้ทั้งหมด $2^7 = 128$ ตำแหน่ง นั่นคือตำแหน่งใดตำแหน่งหนึ่งเริ่มจาก 0 ถึง 127 สัญญานอ่าน/เขียนจะเป็นตัวบ่งว่าเป็นการอ่านข้อมูลจากหน่วยความจำหรือเขียนข้อมูลสู่หน่วยความจำเป็นต้นว่า สัญญาน CS (chip select) ทำหน้าที่ช่วยเพิ่มขนาดความจำ

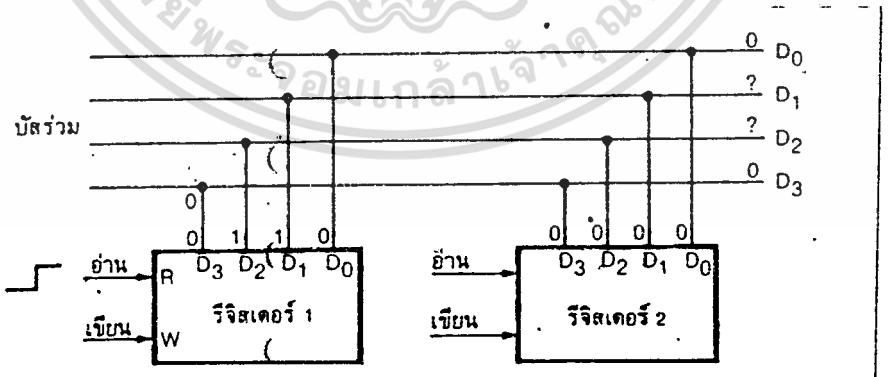
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.13 แสดงหน่วยความจำแรมเป็นไอซีชิ้นเดียวขนาด 128x8

2.7.4 การแบ่งตำแหน่งบิตใดๆเพื่อการอ่านหรือเขียนข้อมูลบิตนั้น ตัวอย่างเช่น 1024x1 บิต หมายถึงหน่วยความจำนั้นมี 1024 ตำแหน่งโดยแต่ละตำแหน่งมีหนึ่งบิตนิยมเรียก หากเป็น 1024x8 บิตหมายความว่ามี 1024 ตำแหน่งโดยแต่ละตำแหน่งเป็น 1 ไบต์

2.7.5 การแก้ปัญหาใช้บัสร่วมกัน

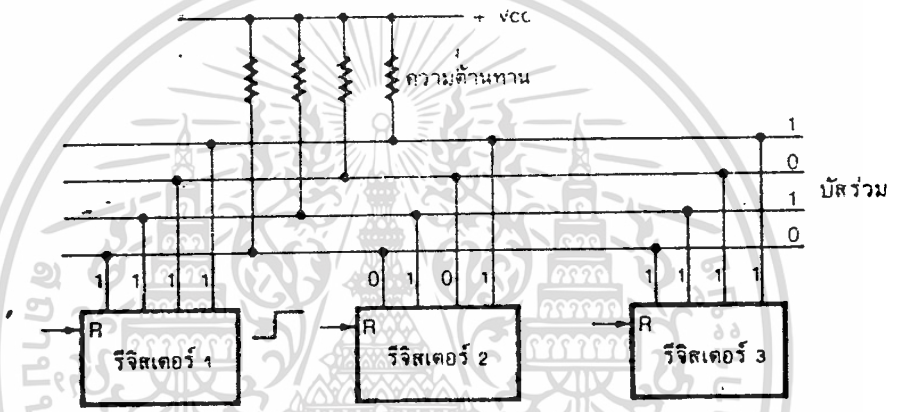


รูปที่ 2.14 แสดงปัญหาการใช้บัสร่วมกัน

วิธีไวร์-ออร์(wire-or) หากจุดสัญญาณออกของรีจิสเตอร์แต่ละตัวสร้างแบบไวร์ออร์แล้ว คุณสมบัติของไวร์ออร์คือสัญญาณระดับ 0 มีอำนาจเหนือสัญญาณระดับ 1 คือหากรีจิ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จสเตอร์ตัวใดให้ค่าสัญญาน 0 ที่จุดร่วมนั้นจะเป็น 0 ทันที ดังแสดงในรูปที่ 2.15 ซึ่งไวร์ออร์บางครั้งเราเรียกแบบคอลเล็กเตอร์เปิด (open collecter) ซึ่งจะต่อโดยมีความต้านทานขั้นแหล่งจ่ายด้วย



รูปที่ 2.15 แสดงการต่อรีจิสเตอร์แบบไวร์ออร์เข้าด้วยกัน

วิธีไตร-สเตท การที่จุดสัญญานออกของรีจิสเตอร์อยู่ในภาวะความต้านทานสูงมากเสมือนถูกตัดออกจากจุดร่วมกับรีจิสเตอร์อื่นตราบที่รีจิสเตอร์นั้นยังไม่อ่านข้อมูลออกสู่จุดร่วม แต่เมื่ออ่านสัญญานออกสู่จุดร่วมแล้วจุดร่วมก็จะเป็น 1 หรือ 0 ตามสัญญานที่อ่านออกมา การที่สัญญานออกมี 3 สถานะจึงเรียกว่าไตรสเตทนั่นเอง

วิธีมัลติเพล็กซ์ โดยใช้ไอซีเชื่อมโยงระหว่างบัสกับรีจิสเตอร์อย่างละตัว

2.7.6 อัตราเร็วในการทำงานโดยการวัดเปรียบเทียบช่วงวัฏจักรการอ่าน (read cycke time - trcyc) ช่วงวัฏจักรการเขียน(write cycke time - twcyc) ช่วงเวลาเข้าหา (access time -tacc) เพื่ออธิบายอัตราเร็วการทำงานทำงาน เราใช้หน่วยความจำในรูปที่ 2.16 ประกอบการอธิบาย กล่าวคือเป็นไอซีชิ้นเดียว มีเส้นสัญญานอ่านเขียน สัญญานข้อมูล สัญญานบ่งตำแหน่ง และ สัญญานเลือกชิพ

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ช่วงวัฏจักรการอ่าน (trcyc) การอ่านข้อมูลออกจากตำแหน่งใดตำแหน่งหนึ่งของหน่วยความจำแรมและรอม เราต้องป้อนค่าบ่งตำแหน่งให้เส้นสัญญาณตำแหน่ง ระยะเวลาน้อยที่สุดที่จะเป็นไปได้ระหว่างการบ่งตำแหน่งครั้งหนึ่งกับการบ่งตำแหน่งครั้งต่อไปผ่านเส้นสัญญาณตำแหน่งดังกล่าวแล้วนั้น เรียกว่าช่วงวัฏจักรการอ่าน หรือกล่าวอีกอย่างว่า ระยะเวลาที่น้อยที่สุดระหว่างการอ่านสองครั้งที่ต่อเนื่องกัน

ช่วงเวลาเข้าหา (tacc) หลังจากป้อนสัญญาณตำแหน่งเพื่ออ่านข้อมูลจากหน่วยความจำแล้ว เราจะต้องรออีกระยะเวลาหนึ่งก่อนที่ข้อมูลที่ตจต้องการจะมาปรากฏบนสัญญาณข้อมูลในลักษณะเสถียร ช่วงเวลาที่รอนี้เราเรียกว่า ช่วงเวลาเข้าหา กล่างคือ ช่วงเวลาตั้งแต่เริ่มต้นวัฏจักรการอ่านจนกระทั่งข้อมูลสามารถนำไปใช้ได้

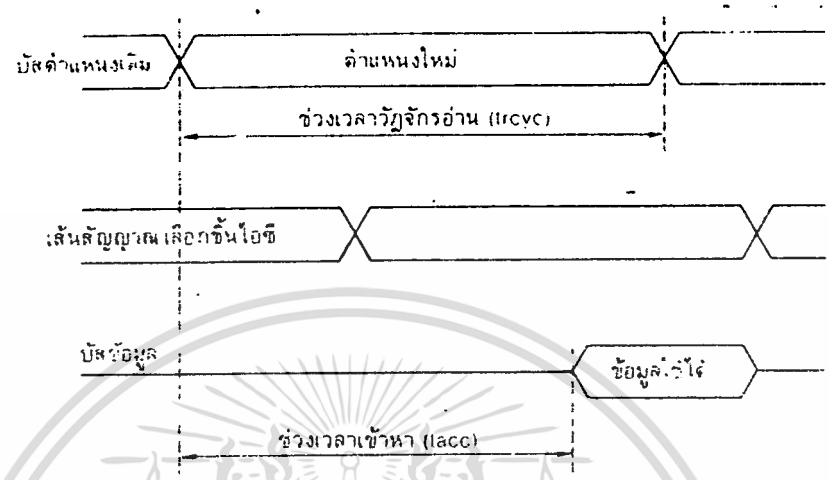
ไดอะแกรมการทำงานช่วงเวลาวัฏจักรการอ่าน รูปที่ 2.17 แสดงวัฏจักรการอ่านและช่วงเวลาเข้าหาในการอ่านหนึ่งครั้ง สัญญาณตำแหน่งและสัญญาณเลือกชิ้นไอซีจะแสดงทั้งสองระดับทั้งนี้เพราะบางเส้นจะอยู่ที่ระดับ 1 และบางเส้นอยู่ที่ระดับ 0

รูปที่ 2.16 ไดอะแกรมหน่วยความจำแรม

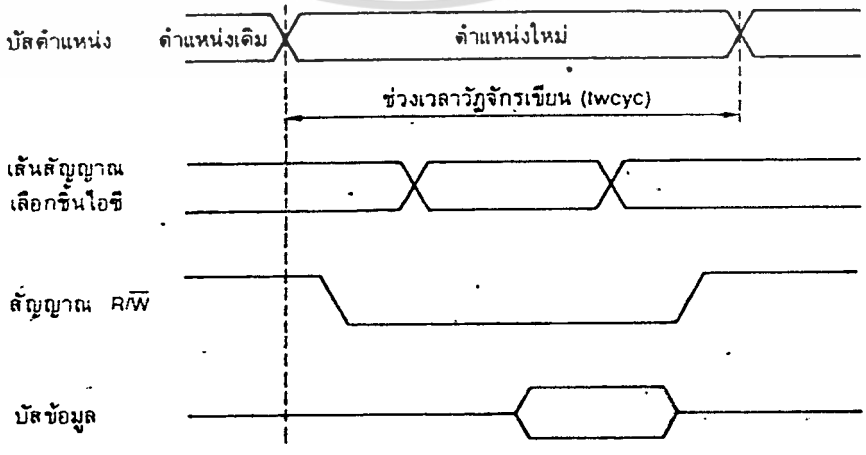
ช่วงเวลาวัฏจักรการเขียน(twcyc) หมายถึงระยะเวลาที่น้อยที่สุดในการเขียนครั้งหนึ่งกับการเขียนครั้งต่อไป ในหน่วยความจำแรมช่วงเวลาวัฏจักรการเขียน มักเท่ากับช่วงเวลาวัฏจักรการอ่าน

ไดอะแกรมช่วงเวลาวัฏจักรเขียน รูปที่ 12.3 แสดงเวลาวัฏจักรเขียน ข้อมูลที่จะเขียนลงสู่หน่วยความจำจะต้องปรากฏในสภาวะเสถียรบนบัสข้อมูลในช่วงเวลาที่กำหนดให้ การเขียนเกิดขึ้นเมื่อสัญญาน R / W อยู่ในระดับ 0

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



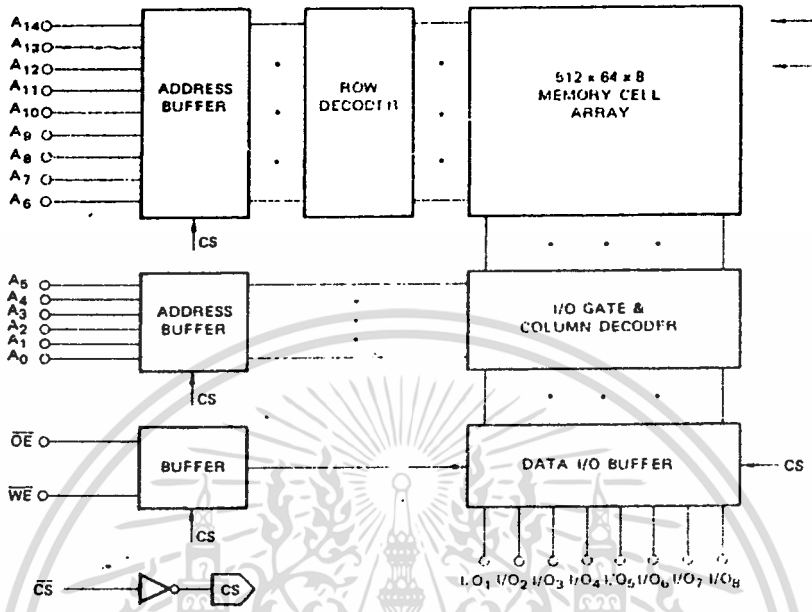
รูปที่ 2.17 ไดอะแกรมวัฏจักรการอ่าน



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 2.18 ไดอะแกรมวัฏจักรการเขียน

Fig. 1 – MB 84256 BLOCK DIAGRAM



TRUTH TABLE

$\overline{CS}$	$\overline{OE}$	$\overline{WE}$	MODE	SUPPLY CURRENT	I/O PIN
H	X	X	NOT SELECTED	I_{SB}	HIGH-Z
L	H	H	DOUT DISABLE	I_{CC}	HIGH Z
L	L	H	READ	I_{CC}	D_{OUT}
L	X	L	WRITE	I_{CC}	D_{IN}

รูป 2.19 แผงผังการทำงานของ SRAM

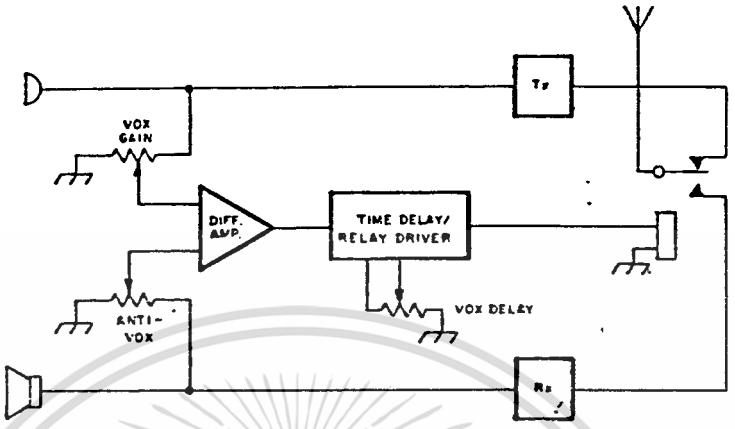
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.8 Voice operated Switch (VOX)

เครื่องรับที่มีส่วนประกอบ vox สามารถเปลี่ยนจากตัวรับเป็นตัวส่งเพียงพูดเข้าไปในไมโครโฟนจากรูปเป็นแผงผังภาพของระบบ vox ประกอบด้วย ดิฟเฟอร์เรนเชียลแอมป์ปลิไฟล์วงจรเปลี่ยนเวลาหน่วง และสวิทช์รับส่ง สัญญานเสียงจากไมโครโฟนปรับโดยความต้านทานปรับอัตราขยาย vox คือที่ขาหนึ่งในสองของขั้วดิฟเฟอร์เรนเชียลแอมป์ปลิไฟล์ซึ่งใช้ปรับระดับเสียงสัญญานอินพุทให้ตรงกับความเข้มของเสียงของผู้พูดปรกติเนื่องจ่ายให้กับสวิทช์รับส่ง ส่วนวงจรหน่วงเวลาจะรักษาให้สวิทช์รับส่งค้างอยู่ระหว่างจุดหยุดเว้นสั้นๆของคำพูด ต้องปรับเวลาหน่วงให้เหมาะสมเพื่อป้องกันสภาพดังกล่าว vox แก้ไขการทำงานที่ผิดพลาดเนื่องจากการป้อนกลับของเสียงลำโพงเองเสียงรบกวนจากภายนอกโดยแก้ไขดังนี้ใช้antivox นำสัญญานลำโพงมาหักล้างกับอินพุททำให้อินพุทหมดไปไม่เปลี่ยนสถานะการทำงาน

ปัญหาหนึ่งที่พบเมื่อเสียงจากลำโพงส่งผลถึงไมโครโฟน ถ้าเสียงจากลำโพงดังเท่าเสียงพูดจะทำให้สวิตช์ทำงานเป็นตัวส่ง การแก้ไขอย่างหนึ่งคือให้วางลำโพงกับไมโครโฟนตรงข้ามกันหรือใช้ headphone ดังนั้นจึงพัฒนา antivox โดยใช้สัญญานตัวรับหรือลำโพงจ่ายให้ขาหนึ่งของดิฟเฟอร์เรนเชียลแอมป์ปลิไฟล์ระดับสัญญานนี้ ปรับโดยความต้านทานปรับค่าได้ของ antivox เมื่อปรับความต้านทานปรับค่าได้ของ antivox เหมาะสมแล้ว สัญญานเสียงลำโพงที่เหนี่ยวนำบนไมโครโฟนจะถูกทำให้หมดไปโดยผลของสัญญาน antivox ป้องกันตัวรับสวิทช์ทำงานเป็นตัวส่ง

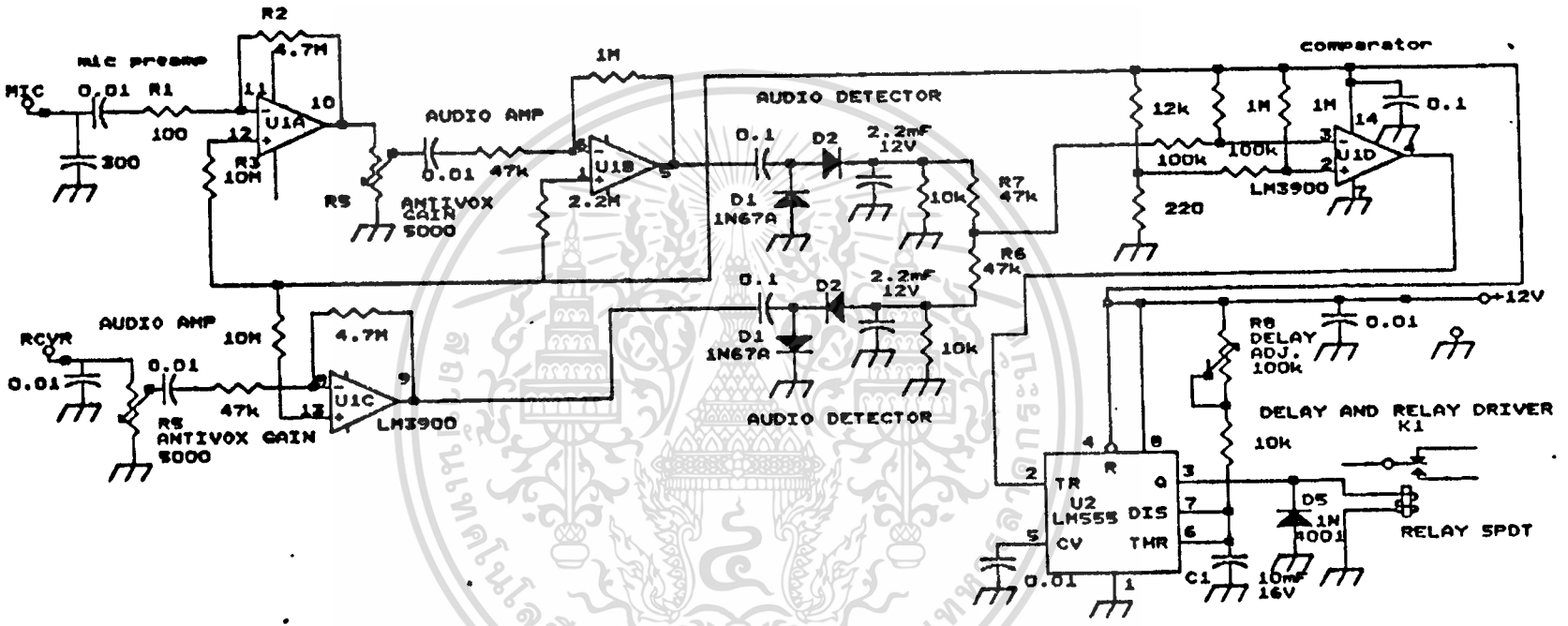
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.20 แสดงการทำงานของระบบ VOX เบื้องต้น

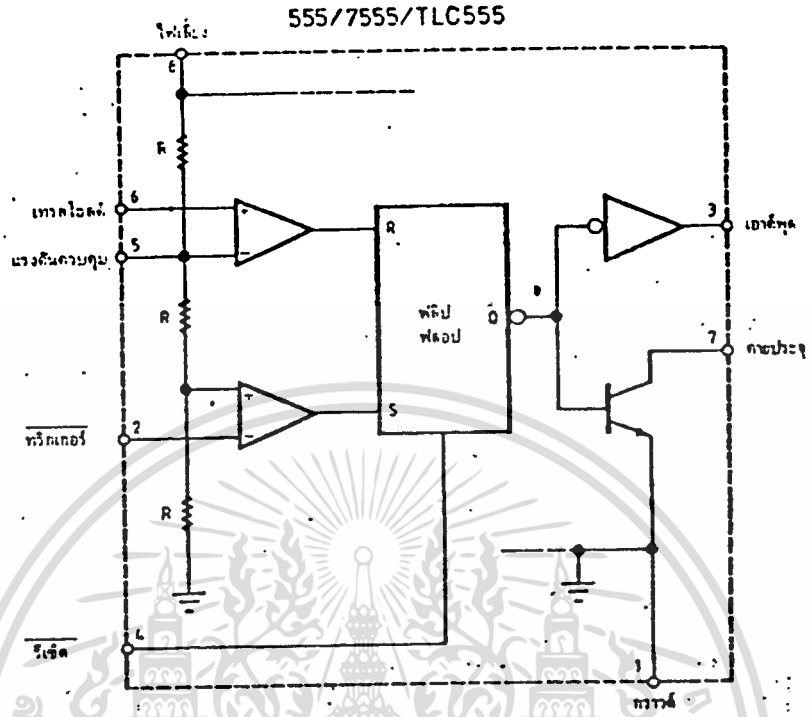
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.21 วงจร VOX

ไอซี 555ไทม์เมอร์



รูปที่ 8 แสดงถึงโครงสร้างพื้นฐานในตัวไอซี 555ไทม์เมอร์

ไอซี 555โดยปรกติจะใช้กับวงจรโมโนสเตเบิล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตามแรงดันของแรงดันแหล่งจ่ายไฟเลี้ยง โดยปรกติที่ขา 5 จะต่อตัวเก็บประจุลงการวด์เพื่อป้องกันสัญญานรบกวน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3

การสร้างและประกอบอุปกรณ์

3.1 แผงผังการทำงานต่างๆ

แผงผังการทำงานแบ่งออกเป็น 3 ส่วน คือ

1.ภาคจัดการเสียงเสียงผ่านการเดลต้ามอดูเลชันเป็นดิจิตอลนำไปเก็บและอ่านที่ DRAM และแปลงเป็นสัญญานอนาลอกจ่ายให้ลำโพง และเลือกให้สัญญานอนาลอกออก MIC OUT โดยสวิทช์อนาลอก

2.ภาคควบคุมซึ่งเป็นการจัดการควบคุมโดยการรับอินพุทคือเสียงและสร้างสัญญานออกไปควบคุม

3.ภาคแสดงสัญญานการทำงานจัดให้หลอดไฟ LED แสดงสภาวะการทำงานของสัญญานต่างๆ

3.2 รายละเอียดวงจร

- ความต้านทาน 1/ 4 วัตต์ 5% ส่วนตัวเก็บประจุมิขั้วเป็นแบบแทนทาลัม

R 1		22K
R 2		27K
R 3		330
R 4		10
R 5		13K
R 6	ปรับค่าได้	50K
R 7		330
R 8		1K
R 9,10		50K
R 11		200K
R 12		100K

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

R 13		1K
R 14 ,20		1.2K
R 15		10K
R 16		13K
R 17		47K
R 18	ปรับค่าได้	50K
R 19		10K
C 1,2,4,11,13	1uF/16V อิเล็กทรอไลต์	
C 3,10	.01uF	
C 5,6	.1uF	
C 7,8	100pF	
C 9	3.3uF/16V อิเล็กทรอไลต์	
C 12,14	220uF/16V อิเล็กทรอไลต์	
C 15		10uF
C 16,17,19		100uF
C 18		47uF
C 20		33uF
C 21		4700pF
- Q_1	2N2222A	
- S_1	สวิทช์โยกสามทาง	
- S_2	สวิทช์แหล่งจ่าย	
- U 1	T 6668	
- U 2	41256 ไดนามิกแรม	
- U 3	LM 386	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- U 4 7805T
- U 5 LM324
- U 6,7,8 74LS123
- U 9 74HC32
- MIC1 ไมค์คอนเดนเซอร์ชนิด 2 ขา
- ลำโพง 8 โอห์ม .25 วัตต์
- X-TAL 650 KHz
- หม้อแปลง 220/9-0-9 V 1A
- ไดโอดเยอรมันเนียม D1 - D6
- ไดโอดซิลิกอน D7,D8

โครงสร้างการทำงานในรูปที่ 3.1 และแผงผังวงจรดังในรูป 3.2 แสดงสัญญาณเสียงจากไมโครโฟนถูกขยายเสียงโดยออปแอมป์ ภายใน T6668 แล้วกรองโดยวงจรความถี่ต่ำผ่าน จากนั้นต่อเข้าวงจรเดลต้ามอดูเลชั่น ซึ่งจัดการเสียงโดยเปลี่ยนข้อมูลเป็นดิจิตอล 1 บิท โดยการคอมพาราเตอร์กับสัญญานประมาณที่ได้จากการป้อนกลับจากอินทิเกรเตอร์ เอาท์พุทของการเปรียบเทียบถูกป้อนกลับผ่านฟลิบฟลอบ ที่ควบคุมด้วยสัญญานนาฬิกาเพื่อให้ได้ข้อมูลดิจิตอลเอาท์พุทของเดลต้ามอดูเลชันที่เป็นข้อมูลดิจิตอลถูกส่งไปภาคควบคุม

เมื่อมีการบันทึก T 6668 จะเริ่มสร้างสัญญาน address 00000 จนถึง address 256K ช่วยในการเก็บข้อมูลที่ DRAM จะเป็นหน่วยความจำขนาด 256K เก็บข้อมูลในทางปฏิบัติการบันทึกเสียงของ T6668 ครั้งถัดไป คือจากการสิ้นสุดของครั้งแรกแล้ว การบันทึกครั้งถัดไปจะทำการบันทึกลงในตำแหน่งถัดจากการบันทึกครั้งแรก เราจะสามารถบันทึกได้น้อยลงซึ่งถ้าหากหน่วยความจำมีความจุน้อยก็จะเต็มเร็ว ซึ่งหากต้องการใช้พื้นที่ในหน่วยความจำทั้งหมดในทุกครั้งที่มีการบันทึก ซึ่งเราสามารถทำได้โดยการรีเซ็ทที่ขา ACL ทุกครั้งก่อนที่จะทำการบันทึก ส่วนการอ่านข้อมูลในหน่วยความจำก็เป็นลักษณะเช่นเดียวกัน คือ T 6668 จะเริ่มสร้างสัญญาน address 00000 จนถึง address 256K ช่วยในการเก็บข้อมูลที่ DRAMเช่นกันจะ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ส่งมาที่ภาคควบคุมของ T 6668 แล้วผ่านอินทิเกรเตอร์แปลงข้อมูลดิจิตอลผ่านการอินทิเกตเป็นอนาลอก ส่งเข้าวงจรกรองความถี่ต่ำผ่านเพื่อกรองความถี่สูงที่แทรกออก

เอาท์พุทอนาลอกของT 6668 จะส่งให้กับ ภาคขยายสัญญานลำโพงมีความต้านทานปรับค่าได้ขนาด 10 k สำหรับปรับความดัง

สำหรับภาคควบคุมมีหลักการทำงานดังนี้

1. สร้างสัญญานรีเซ็ทแก่ T6668 เพื่อให้เริ่มเก็บข้อมูลที่ตำแหน่งแรกสุดของหน่วยความจำทุกครั้ง ก่อนการบันทึก

2. หลังจากการรีเซ็ท สร้างสัญญาน PLAY และสัญญาน START คือเป็นการสร้างสัญญาน REC แก่ T6668 เพื่อทำการบันทึก

3. เมื่อสิ้นสุดการบันทึกคือไม่มีสัญญานอินพุทใดๆเข้ามา ภาคควบคุมจะสร้างสัญญาน STOP เพื่อเป็นการกำหนดตำแหน่งสุดท้ายแก่ T6668

4. หลังจากสัญญาน STOP แล้วทำการสร้างสัญญาน PLAY เพื่อเป็นการทวนข้อมูลที่ได้บันทึกไว้

5. เมื่อต้องการเช็คข้อมูลที่บันทึกไปแล้วโดยการกดสวิทช์ REC/PLAY ที่ PLAY เป็นการตรวจเช็คข้อมูลที่ได้เก็บไว้

สำหรับรายละเอียดของวงจรเป็นดังนี้

ไมโครโฟนต่อเข้ากับแหล่งจ่ายโดยผ่านR1 และไมโครโฟนยังต่อกับขา ไมโครโฟนอินพุทของT6668 โดยผ่าน C1 เพื่อกรองไฟดีซีออก T6668 มีคุณสมบัติในตัวต่างๆค่อนข้างสมบูรณ์ในตัวคือ การขยายสัญญาน การเดลต้ามอดูเลชัน การสร้างสัญญานการใช้หน่วยความจำและสัญญานการรีเฟรชหน่วยความจำแก่ DRAM ส่วนวงจรออสซิลเลเตอร์สร้างจากภายนอกคือ X'TAL 650kHz เพื่อสร้างสัญญานเวลาแก่ส่วนต่างๆภายใน สำหรับบิทเรทที่ใช้บันทึกคือ 16 K บิทต่อวินาที

สัญญานเสียงจากไมโครโฟนถูกขยายและเข้า ADI เพื่อทำการเปลี่ยนจากสัญญานอนาลอกเป็นดิจิตอล โดยการเดลต้ามอดูเลชัน ซึ่ง T6668 จะสร้างสัญญานเทียมขึ้นโดยนำไปคอมพาราเตอร์กับสัญญานที่เข้ามา สัญญานที่ได้จากคอมพาราเตอร์เป็นสัญญานดิจิตอลถูกส่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น และห้ามมิให้ดัดแปลงเนื้อหา

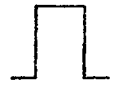
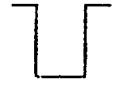
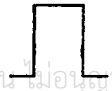
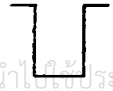
ไปเก็บในหน่วยความจำโดยมีสัญญานฟลิบฟลอบสร้างแอดเดรส และควบคุมการเก็บในหน่วยความจำครั้งละ 1 บิท สัญญานดิจิตอลจะถูกอินทีเกรตเพื่อสร้างสัญญานเทียมเพื่อนำกลับไปคอมพาราเตอร์ โดยตัวไอซีมีวงจรพิเศษเช็คสัญญานดิจิตอลถ้ามีค่า 1 หรือ 0 เหมือนกันติดต่อกันมากจะทำการลดหรือเพิ่มอัตราการขยายภายในการอินทีเกรเตอร์โดยอัตโนมัติ เพื่อให้ได้ค่าที่มีความแม่นยำสูง

ข้อมูลดิจิตอลจะถูกเก็บไว้ในไดนามิกแรม 41256 ขนาด 256K 1 ตัวซึ่งเราสามารถเก็บได้เวลา 16 วินาที ที่ 16K บิทต่อวินาทีซึ่งเราอาจขยายได้อีกสูงสุด 4 ตัว

สัญญานอนาลอกที่ได้จากการอินทีเกรเตอร์สัญญานดิจิตอล จะต่อเข้า LM 386 ทำการขยายส่งให้ลำโพงต่อไป

สำหรับภาคควบคุมนั้นเรานำสัญญานจากขา MICout ของ T6668 ซึ่งถูกขยายแล้ว ต่อเข้ากับ R13 เพื่อกรองระดับสัญญานดีซีออก จากนั้นต่อเข้ากับวงจรคอมพาราเตอร์ซึ่งมี R5 กับ R6 ต่อแบบดิไวเดอร์สร้างแรงดันอ้างอิงประมาณ 1.6 โวลต์เพื่อให้คอมพาเรเตอร์กับสัญญานอนาลอกเพื่อสร้างสัญญานดิจิตอลผ่าน R8 จ่ายให้กับส่วนอื่นๆของวงจรของภาคควบคุม คือ ไอซี 74123 U8A และ U10A ซึ่งทำหน้าที่ตรวจเช็คการมาถึงและการหยุดของสัญญานเสียงดิจิตอล

ตารางการทำงานของ 74123

CLEAR	A	B	Q	Q
L	X	X	L	H
H	L			
H		H		

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยเวลาในการสร้าง พัลส์

$$T = 0.4\ R\ C$$

โดยมีข้อกำหนดว่าความต้านทานสูงสุดไม่เกิน 250 k ส่วนไดโอดมีไว้เพื่อป้องกันอินพุท เมื่อมีสัญญานอินพุทเข้า 74123 จะทำการเช็คและสร้างพัลส์ตามทุกครั้งโดยจะเริ่มต้นสร้างพัลส์ใหม่ตามอินพุทที่เข้ามาโดยไม่มีการตกลงของพัลส์เมื่อมีอินพุทเข้ามาใหม่ จนจบพัลส์ตามเวลาที่คำนวนไว้

U8a เป็นไอซี 74123 มีการต่อเพื่อทำหน้าที่เช็คขอบขึ้นของสัญญานเสียงดิจิตอลและสร้างรีทริกเกอร์พัลส์ขนาด 1 วินาที ซึ่งจะสร้างพัลส์ใหม่เมื่อมีอินพุทลูกใหม่เข้ามาโดยพัลส์ไม่มีการตกลง จุดมุ่งหมายก็คือสร้างพัลส์ที่มีจุดเริ่มขอบขึ้นจุดเดียวจากสัญญานเสียงดิจิตอลหลายๆจุดให้แก่ U8b เป็นไอซี 74123 เพื่อสร้างสัญญานรีเซ็ทแก่ T6668

U8b ต่อแบบเช็คขอบขึ้นของสัญญานจาก U8a เพื่อสร้างพัลส์ขนาด 0.1 วินาทีเพื่อนำไปรีเซ็ทในจุดแรกสุดสัญญานเสียงดิจิตอลหรือข้อความ

U7a เป็นไอซี 74123 มีการต่อแบบเช็คขอบลงของสัญญานจาก U8b เพื่อสร้างพัลส์สำหรับการบันทึกคือ สัญญาน PLAY1 และ START ซึ่ง T6668 จะทำการเก็บข้อมูลเมื่อมีสัญญานทั้งสองอินพุทพร้อมกัน จุดมุ่งหมายคือให้มีหลังจากการรีเซ็ทให้ทำการบันทึก

นอกจากนี้สัญญานเสียงดิจิตอลยังจ่ายให้ U10a

U10a เป็นไอซี 74123 มีการต่อแบบเช็คขอบลงของสัญญานเสียงดิจิตอล เพื่อหาตำแหน่งสุดท้ายเพื่อป้อนให้ U10b เป็นริทริกเกอร์พัลสความยาว 1 วินาที U10b เป็นไอซี 74123 ทำหน้าที่เช็คขอบลงของสัญญานจาก U10a เพื่อสร้างสัญญานขนาด 0.2 วินาทีเป็นสัญญาน STOP ให้แก่ T6668

U7b เป็นไอซี 74123 ทำหน้าที่เช็คขาลงของสัญญานจาก U10a เพื่อสร้างสัญญานความยาว 0.5วินาทีเป็นสัญญาน PLAY2 เล่นกลับข้อมูลที่ได้บันทึกไว้เป็นการทบทวนข้อมูล ส่วน U9a เป็นออร์เกทของสัญญาน PLAY1 และสัญญาน PLAY2 เพื่อสร้างสัญญาน PLAY เพื่อให้ T6668

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารนี้ทุกครั้งที่มีการนำไปใช้

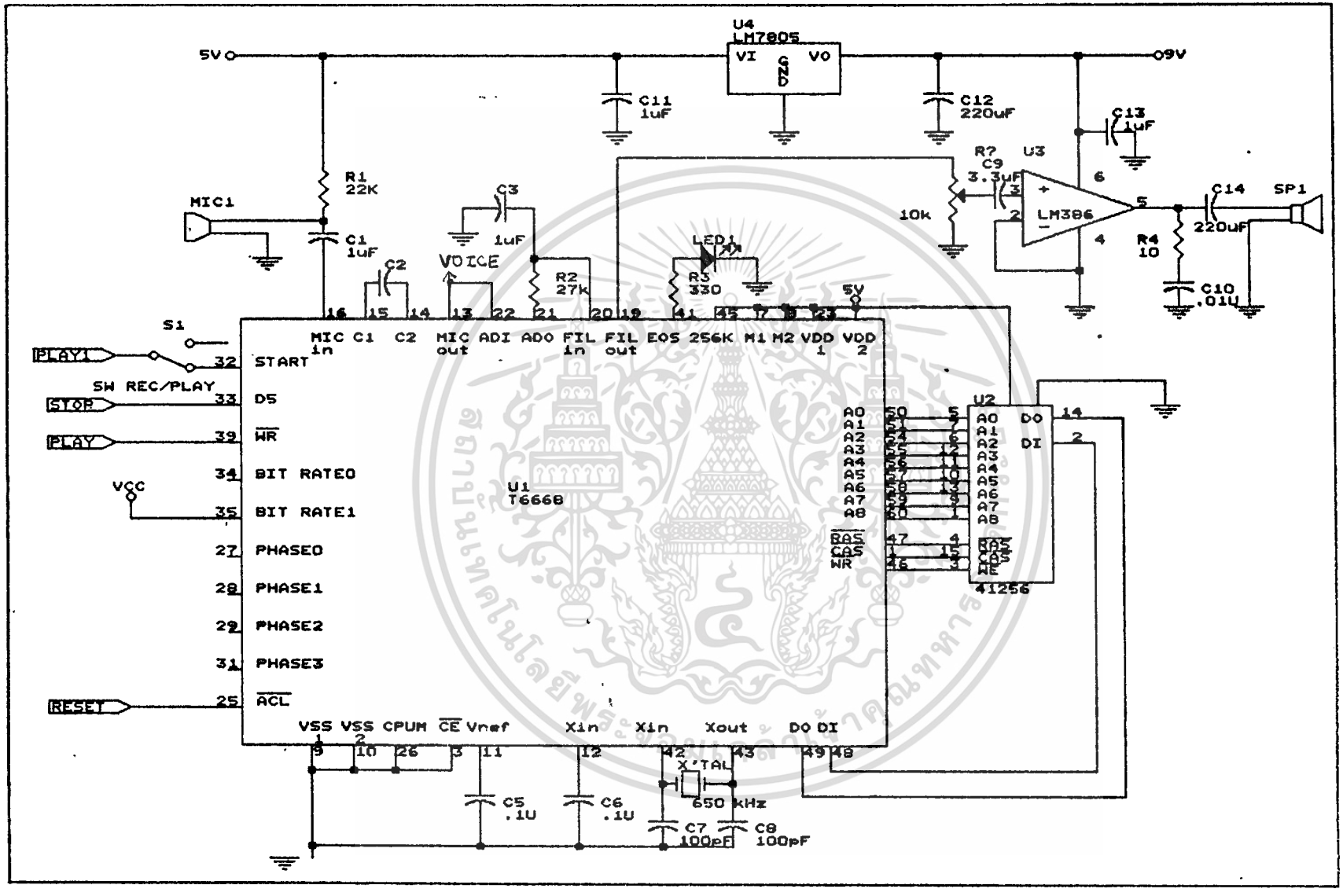
และ U5c เป็นออร์เกทของสัญญาน STOP และ PLAY2 โดยขา STOP จะมี R14

ต่อไว้กับขา STOP เพื่อทำการ pull down ซึ่ง U5c มีหน้าที่สร้างสัญญานให้ Q1 ทรานซิสเตอร์นำกระแสโดยต่อเข้าขาเบสโดยผ่าน R5 ป้องกันกระแสเกิน

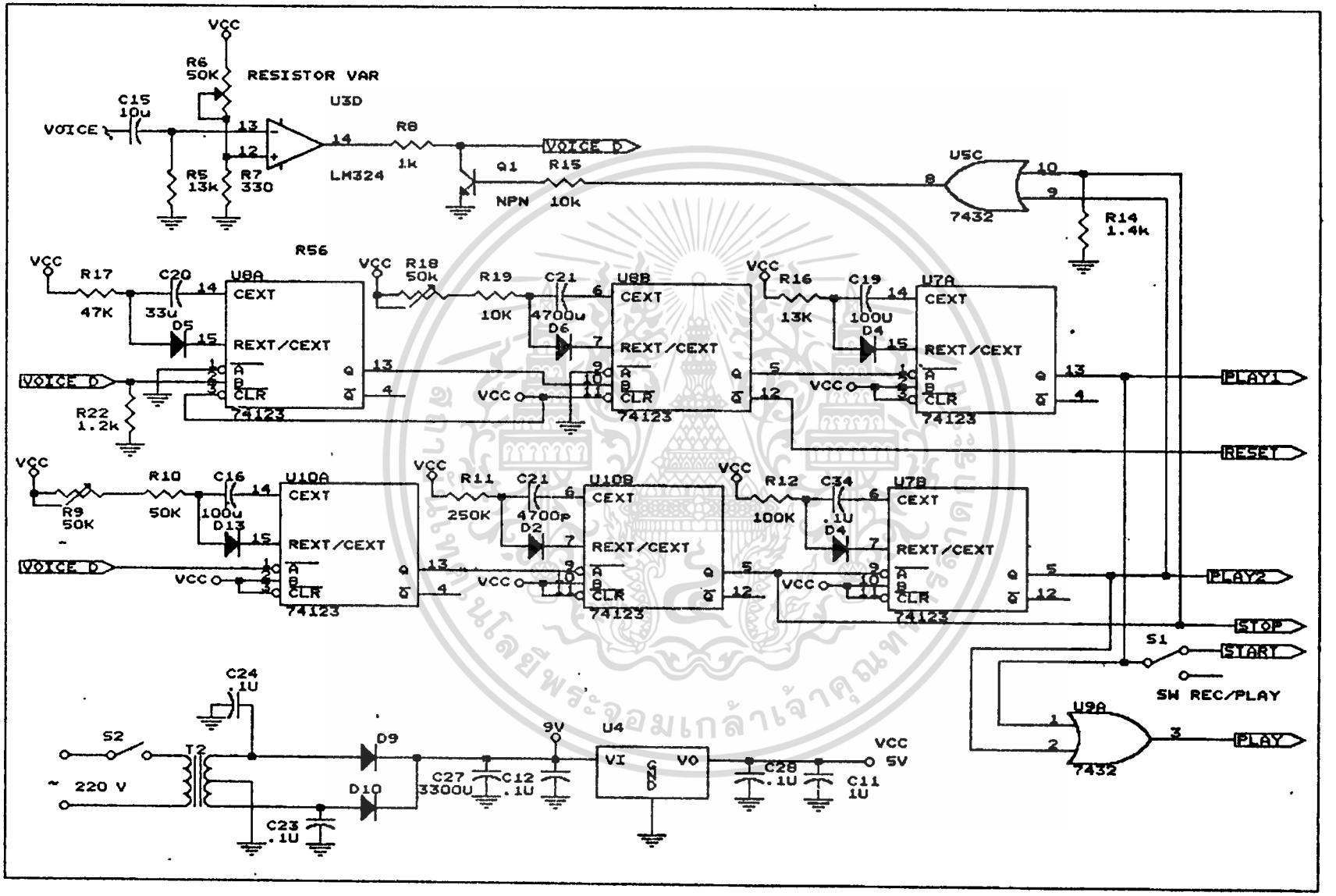
เมื่อ Q1 ได้รับสัญญานจาก U5c จะนำกระแสจนอิ่มตัวเป็นสวิทช์อนาลอก ทำการสวิทช์สัญญานเสียงดิจิตอลลง ground ประโยชน์ก็คือเมื่อภาคเช็คการหยุดของสัญญานทำงานแล้วจะทำให้เสียงดิจิตอลที่เข้าที่หลังนั้นไม่ปรากฏคือให้ช่วงเวลาหนึ่งเมื่อไม่มีสัญญานเข้ามาติดต่อกันถือว่าสัญญานพูดหยุดเสร็จสิ้นแล้ว ป้องกันการทำงานผิดพลาด หรือกล่าวอีกอย่างคือเมื่อสร้างสัญญาน PLAY2 หรือ STOP แก่ T6668 จะไม่มีการเช็คสัญญานเข้ามาอีก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 3.1 แสดงโครงสร้างของวงจรทั้งหมด



รูปที่ 3.2.1 วงจรสมบูรณ์


VCC
R6
50K
RESISTOR VAR
C15
10u
VOICE
U3D
R8
1k
VOICE D
Q1
NPN
R15
10k
LM324
R5
13k
R7
330
U5C
7432
R14
1.4k
R56
R17
47K
C20
33u
D5
U8A
CEXT
REXT/CEXT
74123
R18
50k
R19
10K
C21
4700u
D6
U8B
R16
13K
C19
100U
D4
U7A
R22
1.2k
PLAY1
RESET
R9
50K
R10
50K
C16
100u
D13
U10A
R11
250K
4700P
D2
U10B
R12
100K
C34
.1U
D4
U7B
PLAY2
STOP
START
S1
SW REC/PLAY
U9A
7432
PLAY
C24
.1U
S2
T2
~ 220 V
D9
D10
C23
.1U
C27
3300U
C12
.1U
9V
U4
VI
GND
VO
VCC
5V
C28
.1U
C11
1U

รูปที่ 3.3 แผนภาพการทำงานของวงจร

บทที่ 4

การทดลองและผลการทดลอง

เมื่อเราเปิดสวิทช์เพาเวอร์ เลือกสวิทช์ REC/PLAY ที่ตำแหน่ง REC และรอให้หลอดสัญญาน EOS ติดเพียงหลอดเดียว ซึ่งก็พร้อมที่จะบันทึกข้อมูลได้เมื่อมีสัญญานเสียงเข้าหลอดสัญญาน VOICE จะกระพริบตามและหลอดสัญญาน PLAY และ START จะสว่างและดับลงแสดงการบันทึก เราสามารถบันทึก ได้สูงสุด 16 วินาที ซึ่งนานพอสำหรับการจับเสียงเรียกขานของวิทยุมือถือ

เมื่อสิ้นสุดการบันทึกคือการหยุดพูดในระยะเวลาหนึ่ง หลอดสัญญาน STOP จะสว่างและดับลง และหลอดสัญญาน PLAY จะสว่างและดับลงข้อมูลที่บันทึกไว้จะถูกอ่านกลับมาทวนอีกครั้งหนึ่งและหากต้องการอ่านข้อมูลที่บันทึกไว้ทำได้โดยุ เลือกสวิทช์ REC/PLAY ที่ตำแหน่ง PLAY พร้อมกับป้อนสัญญานเสียงพูดในไมโครโฟนเครื่องจะทำการเล่นกลับอีกครั้งหนึ่งเป็นการอ่านค่าข้อมูลที่ได้บันทึกไว้

สำหรับการเซ็ทค่าต่างภายในเครื่อง R6 ปรับแรงดันอ้างอิงของคอมพาราเตอร์ที่ 0.6 โวลต์ไม่ควรต่ำกว่านี้เพราะจะมีสัญญานรบกวนจากภายใน สามารถปรับให้สูงกว่านี้ได้ข้างหากสัญญานอินพุทมีความดังพอ

R17 จะปรับความปรับความกว้างก่อนที่รีเซ็ท ถ้าน้อยไปเครื่องจะรีเซ็ทครั้งต่อไปเร็วเกินไป

R18 จะปรับขนาดของพลัสที่ทำการรีเซ็ท ถ้าน้อยเกินไปเครื่องจะไม่รีเซ็ท ถ้ามากเกินไปเครื่องบันทึกไม่ทันคำแรก

R9 ปรับการจับเวลาการหยุดของสัญญาน ถ้านานเกินไปจะทำให้เครื่องอ่านช้าการบันทึกครั้งถัดไปจะไม่ทัน ถ้าน้อยเกินไปเครื่องจะตัดคำเร็วเกินไป

R11 จะปรับสัญญาน STOP ถ้านานเกินไปจะทำให้เครื่องอ่านช้า การบันทึกครั้งถัดไปจะไม่ทัน R12 จะปรับสัญญาน Play2 ถ้านานเกินไปจะทำให้เครื่องอ่านช้า การบันทึกครั้งถัดไปจะไม่ทัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

<table>
<tr><td></td><td>GAIN</td><td>Vi(mV)</td><td>Vo(mV)</td><td>Vcc(V)</td><td>Icc(mA)</td></tr>
<tr><td>ANG AMP</td><td>470</td><td>21.72</td><td>10.21</td><td>5</td><td>50</td></tr>
<tr><td>SPK AMP</td><td>200</td><td>24</td><td>4.8</td><td>5</td><td>50</td></tr>
<tr><td rowspan="2">VOICE DETECT</td><td colspan="2">Rext(max)</td><td>Tdelay(s)</td><td>Vcc(V)</td><td>Icc(mA)</td></tr>
<tr><td colspan="2">260k</td><td>3 -5.7</td><td>5</td><td>4</td></tr>
<tr><td rowspan="2">DRAM</td><td colspan="2">access time (nS)
150</td><td colspan="2">Vcc(V)
5± 10%</td><td>Icc(mA)
70x2</td></tr>
<tr><td colspan="2">t_{read}min (nS)
100</td><td colspan="3">t_{write}min(nS)
100</td></tr>
</table>

ตารางที่ 4.1 ค่าพารามิเตอร์ต่างๆของวงจร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5

สรุปผลการทดลอง

การบันทึกและเล่นเสียงแบบดิจิตอลจะเป็นการใช้แทนระบบกลไกข้อดีคือสามารถใช้การเล่นได้โดยตลอดโดยไม่ต้องย้อนเทปกลับ ใช้การรีเซ็ทแทน

เราใช้ การแปลงข้อมูลจากอนาลอกเป็นดิจิตอล และแปลงข้อมูลจากดิจิตอลเป็นอนาลอกแบบเดลต้ามอดูเลชันประหยัดหน่วยความจำกว่าการสุ่มแบบจุดแทนค่าธรรมดา 8 เท่า เพราะแบบเดลต้ามอดูเลชันใช้บิตในการบันทึกเพียงบิตเดียวในขณะส่วนการสุ่มแบบจุดใช้บิตในการบันทึก 8 บิตใช้

ไอซีที่ใช้ในการบันทึกแบบเดลต้ามอดูเลชัน T6668 เมื่อเทียบกับไอซีที่ใช้กับเบอร์อื่นๆค่อนข้างมีคุณภาพความถูกต้องเสียงดีกว่า

ในการใช้งานเครื่องโต้ตอบสำหรับการสื่อสาร เราจะใช้งานโดยบันทึกคำที่สั้นๆได้ไม่เกิน 16 วินาที ซึ่งนานพอสำหรับคำพูดที่สั้นและซ้ำเช่นการพูดเรียกขานรหัสต่างๆ

เมื่อเราบันทึกข้อความเสร็จสิ้น คือเสียงหยุดไปประมาณ 1 วินาทีเครื่องจะเล่นกลับ 1 เที่ยวโดยเป็นการทำงานของวงจรเช็คสัญญาณเสียง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หนังสืออ้างอิง

1. สันติ พิ่งมาก,"เดลต้ามอดูเลชั่น", ปริญญานิพนธ์ปี 2530, เล่มที่ 30117, หน้า 11-20.

2. David Sumner,"Single Side Band",American Radio Relay League, 1989,pp 29-18 - 29-28.

3. Charles E.Spork,"Linear IC Device",The National Semiconductor Corp,1989.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ขอขอบพระคุณอาจารย์ และขอขอบคุณผู้ช่วยเหลือทุกท่าน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5432/7432 Quadruple 2-Input Positive-OR Gate

	Schottky TTL					High-Speed TTL					Low-Power Schottky TTL					Standard TTL					Low-Power TTL				
	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF
T.I.	SN54S32	J ①			W ①						SN54LS32	J ①			W ①	SN5432	J ①			W ①					
	SN74S32	J ①	N ①								SN74LS32	J ①	N ①			SN7432	J ①	N ①							
FAIRCHILD	FM54S32/FM9S32	8 ①			F ①						FM54LS32/FM9LS32	8 ①			F ①	FM5432/FM9N32	0 ②			F ①					
	FC74S32/FC9S32	8 ①	P ①		F ①						FC74LS32/FC9LS32	8 ①	P ①		F ①	FC7432/FC9N32	0 ②	P ②							
MOTOROLA											SN74LS32		P ①												
N.S.C.											DM74LS32		①			DM5432	J ①	W ①		W ①	DM54L32				
											DM54LS32		①			DM74232	J ②	N ②			DM74L32				
PHILIPS	N74S32		①								N74LS32		①			N7432		①							
SIGNETICS																5432	F ①		A ①	W ①					
											N74LS32		A ①			7432	F ①		A ②						
SIEMENS																FLH631		①							
FUJITSU											74LS32		M ①												
HITACHI											HD74LS32		P ①			HD7432		P ①							
MITSUBISHI											M53LS32		P ①												
NEC											74LS32		C ①												
TOSHIBA																									

Electrical Characteristics SN54LS32 SN74LS32

absolute maximum ratings over operating free-air temperature range

Supply voltage V_{CC}	7V	Operating free-air temperature range	SN54LS	−55°C to 125°C
Input voltage	7V		SN74LS	0°C to 70°C
		Storage temperature range		−65°C to 150°C

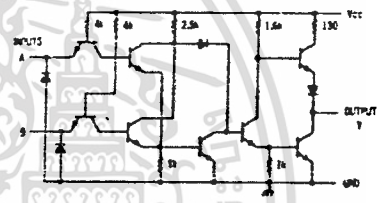
recommended operating conditions

	SN54LS32			SN74LS32			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage V_{CC}	4.5	5	5.5	4.75	5	5.25	V
High-level output current I_{OH}			−400			−400	μA
Low-level output current I_{OL}			4			8	mA
Operating free-air temperature T_A	−55		125	0		70	°C

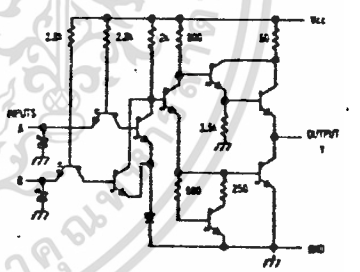
electrical characteristics over recommended operating free-air temperature range

PARAMETER		TEST CONDITIONS †		MIN	TYP ‡	MAX	UNIT
V_{IH}	High-level input voltage			2			V
V_{IL}	Low-level input voltage					0.8	V
V_I	Input clamp voltage	V_{CC} = MIN, I_I = −18mA				−1.5	V
V_{OH}	High-level output voltage	V_{CC} = MIN, V_{IH} = 2V, I_{OH} = MAX		2.7	3.4		V
V_{OL}	Low-level output voltage	V_{CC} = MIN, V_{IL} = V_{IL} max, I_{OL} = 4mA			0.25	0.4	V
I_I	Input current at maximum input voltage	V_{CC} = MAX, V_I = 7V				0.1	mA
I_{IH}	High-level input current	V_{CC} = MAX, V_{IH} = 2.7V				20	μA
I_{IL}	Low-level input current	V_{CC} = MAX, V_{IL} = 0.4V				−0.4	mA
I_{OS}	Short-circuit output current *	V_{CC} = MAX	54LS Family	−20		−100	mA
			74LS Family	−20		−100	
I_{CCH}	Supply current	V_{CC} = MAX	Total outputs high		3.1	5.2	mA
I_{CCL}	Supply current		Total outputs low		4.9	9.8	mA
I_{CC}	Supply current	V_{CC} = 5V	Average per gate (50% duty cycle)		1.0		mA
t_{PLH}	Propagation delay time, low-to-high-level output	V_{CC} = 5V, C_L = 15pF,	T_A = 25°C, R_L = 2kΩ		14	22	ns
t_{PHL}	Propagation delay time, high-to-low-level output				14	22	ns

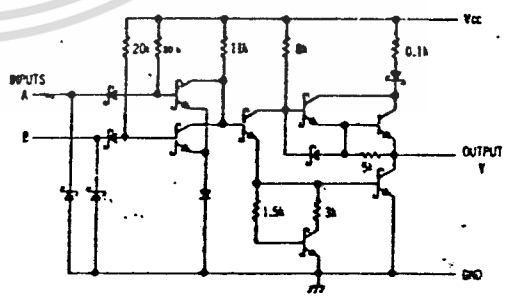
Schematics(each gate)



'32 CIRCUIT



'S32 CIRCUIT

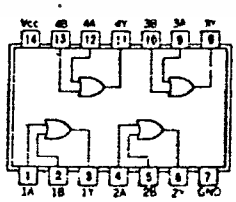


'LS32 CIRCUIT

Resistor values shown are nominal and in ohms

Pin Assignment (Top View)

①



positive logic:
Y = A + B

†For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions
‡All typical values are at V_{CC} = 5V, T_A = 25°C.
*Not more than one output should be shorted at a time

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

54123/74123 Dual Retriggerable Monostable Multivibrator with Clear

	Schottky TTL					High-Speed TTL					Low-Power Schottky TTL					Standard TTL					Low-Power TTL				
	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF
T.I.											SN54LS123	J①			W①	SN54123	J①			W①	SN54L123	J①			
											SN74LS123	J①	N①			SN74123	J①	N①			SN74L123	J①	N①		
FAIRCHILD																DM54123/DM74123	J①								
																DC74123 · DC96123	J①	P①							
MOTOROLA																MC74123		P①			DM54L123A		①		
																					DM74L123A		①		
N.S.C.											DM54LS123		①												
											DM74LS123		①			DM74123		N①							
PHILIPS											N74LS123		①			N74123		①							
SIGNETICS																SS4123	F①	B①		W①					
																N74123	F①	B①							
SIEMENS																									
																FLK121		①							
FUJITSU											74LS123		M①			MB440	①	M①							
HITACHI																									
											HD74LS123		P①			HD74123/HD2516	①	P①							
MITSUBISHI																									
											M74LS123		P①			M53323		P①							
NEC																									
																μPB2123	D①								
TOSHIBA																									

Electrical Characteristics SN54LS123 SN74LS123

absolute maximum ratings operating free-air temperature range

Supply voltage V_{CC}	7V	Operating free-air temperature range	SN54LS	−55°C to 125°C
Input voltage	7V		SN74LS	0°C to 70°C
		Storage temperature range		−65°C to 150°C

recommended operating conditions

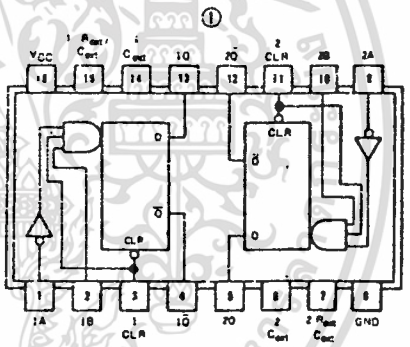
	SN54LS123 MIN	NOM	MAX	SN74LS123 MIN	NOM	MAX	UNIT
Supply voltage V_{CC}	4.5	5	5.5	4.75	5	5.25	V
High-level output current I_{OH}			−400			−400	μA
Low-level output current I_{OL}			4			8	mA
Pulse width t_w	40			40			ns
External timing resistance R_{ext}	5		180	5		260	kΩ
External timing capacitance C_{ext}	No restriction			No restriction			pF
Timing capacitance at Rext/Cext terminal			40			30	pF
Operating free-air temperature T_A	−55		125	0		70	°C

electrical characteristics over recommended operating free-air temperature range

PARAMETER		TEST CONDITIONS†		MIN	TYP‡	MAX	UNIT
V_{IH}	High-level input voltage			2			V
V_{IL}	Low-level input voltage					0.8	V
V_I	Input clamp voltage	V_{CC}=MIN, I_I=−18mA				−1.5	V
V_{OH}	High-level output voltage	V_{CC}=MIN, I_{OH}=MAX, See Note 1		2.7	3.5		V
V_{OL}	Low-level output voltage	V_{CC}=MIN, I_{OL}=8mA, See Note 1			0.35	0.5	V
I_I	Input current at maximum input voltage	V_{CC}=MAX, V_I=7V				0.1	mA
I_{IH}	High-level input current	V_{CC}=MAX, V_I=2.7V				20	μA
I_{IL}	Low-level input current	V_{CC}=MAX, V_I=0.4V				0.4	mA
I_{OS}	Short-circuit output current ●	V_{CC}=MAX, See Note 1		20		100	mA
I_{CC}	Supply current (quiescent or triggered)	V_{CC}=MAX, See Notes 2 and 3			12	20	mA
t_{PLH}	from A to output Q	V_{CC}=5V, T_A=25°C, C_L=15pF, R_L=2kΩ	C_{ext}=0, R_{ext}=5kΩ		22	33	ns
	from B to output Q				23	44	
t_{PHL}	from A to output Q				32	45	ns
	from B to output Q				34	56	
t_{PHL}	from Clear to output Q				20	27	ns
t_{PLH}	from Clear to output Q				28	45	
$t_{w(min)}$	from A or B to output Q				116	200	ns
t_{w0}	from A or B to output Q		C_{ext}=1000pF, R_{ext}=10kΩ	4	4.5	5	ms

†For conditions shown as MIN or MAX, use the value specified under recommended operating conditions.
‡All typical values are at V_{CC}=5V, T_A=25°C.
●Not more than one output should be shorted at a time.
● t_{PLH}=propagation delay time, low-to-high-level output
t_{PHL}=propagation delay time, high-to-low-level output

Pin Assignment (Top View)



FUNCTION TABLE

123 LS123, L123 (See Note 4)

INPUTS CLEAR	A	B	OUTPUTS Q	Q
L	X	X	L	H
X	H	X	L	H
X	X	L	L	H
H	L	↓	⎍	⎍
H	↓	H	⎍	⎍
↑	L	H	⎍	⎍

H = L

NOTES: 1. Ground C_{ext} to measure V_{OH} at Q, V_{OL} at $\bar{Q}$, or I_{OS} at Q.
C_{ext} is open to measure V_{OH} at $\bar{Q}$, V_{OL} at Q, or I_{OS} at $\bar{Q}$.
2. Quiescent I_{CC} is measured (after clearing) with 2.4V applied to all clear and A inputs, B inputs grounded, all outputs open, C_{ext}=0.03 μF, and R_{ext}=25kΩ.
3. I_{CC} is measured in the triggered state with 2.4V applied to all clear and B inputs. A inputs grounded, all outputs open, C_{ext}=0.02 μF, and R_{ext}=25 kΩ.
4. A: H=high level (steady state), L=low level (steady state), ↑=transition from low to high level, ↓=transition from high to low level, ⎍=one high-level pulse, ⎍=one low-level pulse, X=irrelevant (any input, including transitions).
B. An external timing capacitor may be connected between and Rext/Cext (positive)
C. For accurate repeatable pulse widths, connect an external resistor between R_{ext}/C_{ext} and V_{CC} with R_{ti} open-circuited.
D. To obtain variable pulse widths, connect external resistance between R_{ext} or R_{ext}/C_{ext} and V_{CC}.

ไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FUJITSU

CMOS 262144-BIT STATIC RANDOM ACCESS MEMORY

MB 84256-10 10L 10LL
MB 84256-12 12L 12LL
MB 84256-15 15L 15LL

August 1986
Edition 2.0

256K-BIT (32,768 x 8) CMOS STATIC RANDOM ACCESS MEMORY WITH DATA RETENTION AND LOW POWER

The Fujitsu MB 84256 is a 32,768 word by 8 bit static random access memory fabricated with a CMOS silicon gate process. The memory utilizes asynchronous circuitry and may be maintained in any state for an indefinite period of time. All pins are TTL compatible, and a single +5 volts power supply is required.

The MB 84256 is ideally suited for use in microprocessor systems and other applications where fast access time and ease of use are required. All devices offer the advantages of low power dissipation, low cost and high performance.

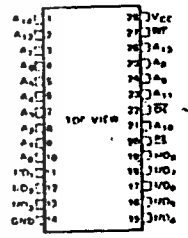
- Organization: 32,768 × 8 bits
- Fast access time: 100 ns max. (MB 84256-10/10L/10LL)
  120 ns max. (MB 84256-12/12L/12LL)
  150 ns max. (MB 84256-15/15L/15LL)
- Completely static operation: No clock required
- TTL compatible inputs/outputs
- Three-state outputs
- Single +5V power supply, ±10% tolerance
- Low power standby:
  CMOS level: 5.5 mW max. (MB 84256-10/12/15)
  0.55 mW max. (MB 84256-10L/10LL/12L/12LL/15L/15LL)
  TTL level: 16.5 mW max. (MB 84256-10/10L/10LL/12/12L/12LL/15/15L/15LL)
- Data retention: 2.0V
- Standard 28-pin DIP (600 mil) (Suffix: -P)
- Standard 28-pin Bend type Plastic Flat Package (450 mil) (Suffix: -PF)
- Standard 32-pad LCC (Suffix: -CV)

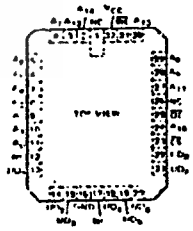
PLASTIC PACKAGE
DIP-28P-M02

PLASTIC PACKAGE
FPT-28P-M02

CERAMIC PACKAGE
LCC-32C-A02

PIN ASSIGNMENT





ABSOLUTE MAXIMUM RATINGS (see NOTE)

Rating		Symbol	Value	Unit
Supply Voltage		V_{CC}	−0.5 to +7.0	V
Input Voltage		V_{IN}	−0.5 to V_{CC} +0.5	V
Output Voltage		V_{OUT}	−0.5 to V_{CC} +0.5	V
Temperature Under Bias		T_{BIAS}	−10 to +85	°C
Storage Temperature Range	CERAMIC	T_{STG}	−65 to +150	°C
	PLASTIC		−40 to +125	

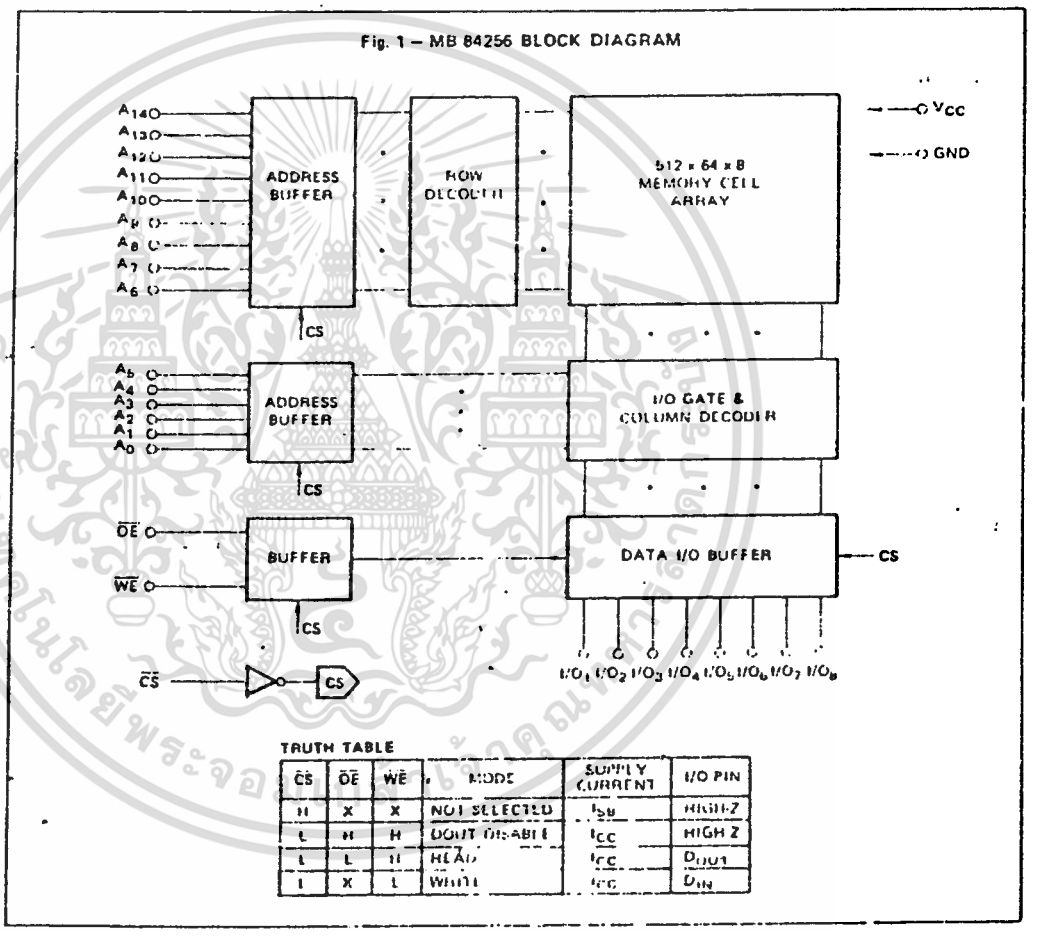
NOTE: Permanent device damage may occur if ABSOLUTE MAXIMUM RATINGS are exceeded. Functional operation should be restricted to the conditions as detailed in the operational sections of this data sheet. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

This device contains circuitry to protect the inputs against damage due to high static voltages or electric fields. However, it is advised that normal precautions be taken to avoid application of any voltage higher than maximum rated voltages to this high impedance circuit.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3

Fig. 1 — MB 84256 BLOCK DIAGRAM



TRUTH TABLE

$\overline{CS}$	$\overline{OE}$	$\overline{WE}$	MODE	SUPPLY CURRENT	I/O PIN
H	X	X	NOT SELECTED	I_{SB}	HIGH-Z
L	H	H	DOUT DISABLE	I_{CC}	HIGH Z
L	L	H	READ	I_{CC}	D_{OUT}
L	X	L	WRITE	I_{CC}	D_{IN}

CAPACITANCE (T_A = 25°C, f = 1 MHz)

Parameter	Symbol	Min	Typ	Max	Unit
I/O Capacitance ($V_{I/O}$ = 0V)	$C_{I/O}$			8	pF
Input Capacitance (V_{IN} = 0V)	C_{IN}			7	pF

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

RECOMMENDED OPERATING CONDITIONS

(Referenced to GND)

Parameter	Symbol	Min	Typ	Max	Unit
Supply Voltage	V_{CC}	4.5	5.0	5.5	V
Input Low Voltage	V_{IL}	-2.0 *		0.8	V
[illegible]	[illegible]	[illegible]		[illegible]	[illegible]
Ambient Temperature	T_A	0		70	°C

* -2.0 V Min. for pulse width less than 20 ns. (V_{IL} Min = -0.3 V at DC level)

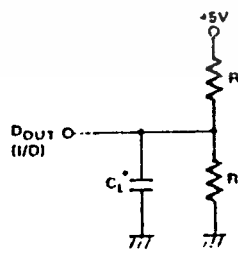
DC CHARACTERISTICS

(Recommended operating conditions otherwise noted.)

Parameter	Symbol	MB 84256-10/12/15		MB 84256-10L/10LL/12L/12LL/15L/15LL		Unit	Test Conditions
		Min	Max	Min	Max		
Standby Supply Current	I_{SB1}		1		0.1	mA	$\overline{CS} \geq V_{CC}-0.2V$
	I_{SB2}		3		3		$\overline{CS} = V_{IH}$
Active Supply Current	I_{CC1}		45		45	mA	$\overline{CS} = V_{IL}$, $V_{IN} = V_{IH}$ or V_{IL}, $I_{OUT} = 0$ mA
Operating Supply Current	I_{CC2}		70		70		Cycle = Min., Duty = 100%, $I_{OUT} = 0$ mA
Input Leakage Current	I_{LI}	-1	1	-1	1	μA	$V_{IN} = 0V$ to V_{CC}
Output Leakage Current	$I_{LI/O}$	-1	1	-1	1	μA	$V_{I/O} = 0V$ to V_{CC}, $\overline{CS} = V_{IH}$, $\overline{OE} = V_{IH}$ or $\overline{WE} = V_{IL}$
Output High Voltage	V_{OH}	2.4		2.4		V	$I_{OH} = -1.0$ mA
Output Low Voltage	V_{OL}		0.4		0.4	V	$I_{OL} = 2.1$ mA

Note: All voltages are referenced to GND

Fig. 2 – AC TEST CONDITIONS



- Input Pulse Levels: 0.6V to 2.4V
- Input Pulse Rise & Fall Times: 5ns (Transient between 0.8V and 2.2V)
- Timing Reference Levels: Input: $V_{IL} = 0.8V$, $V_{IH} = 2.2V$; Output: $V_{OL} = 0.8V$, $V_{OH} = 2.0V$
- Output Load

* Including Jig and stray capacitance

	R_1	R_2	C_L	* Parameters Measured
Load I	1.8KΩ	990Ω	100pF	except t_{CLZ}, t_{OLZ}, t_{CHZ}, t_{OHZ}, t_{WLZ} and t_{WHZ}
Load II	1.8KΩ	990Ω	5pF	t_{CLZ}, t_{OLZ}, t_{CHZ}, t_{OHZ}, t_{WLZ} and t_{WHZ}

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

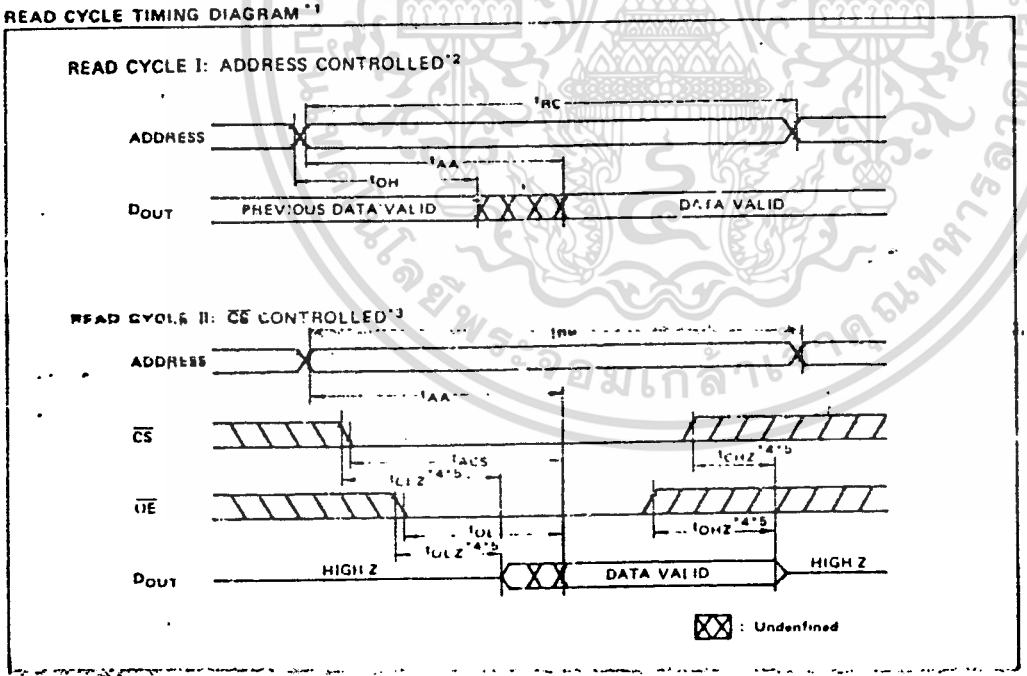
AC CHARACTERISTICS

(Recommended operating conditions unless otherwise noted.)

READ CYCLE*1

Parameter	Symbol	MB 84256 10/10L/10LL		MB 84256-12/12L/12LL		MB 84256 15/15L/15LL		Unit
		Min	Max	Min	Max	Min	Max	
Read Cycle Time	t_{RC}	100		120		150		ns
Address Access Time*2	t_{AA}		100		120		150	ns
$\overline{CS}$ Access Time*3	t_{ACS}		100		120		150	ns
Output Enable to Output Valid	t_{OE}		40		50		60	ns
Output Hold from Address Change	t_{OH}	20		20		20		ns
Chip Select to Output Low-Z*4*5	t_{CLZ}	10		10		10		ns
Output Enable to Output Low-Z*4*5	t_{OLZ}	5		5		5		ns
Chip Select to Output High-Z*4*5	t_{CHZ}		40		40		50	ns
Output Enable to Output High-Z*4*5	t_{OHZ}		40		40		50	ns

READ CYCLE TIMING DIAGRAM*1



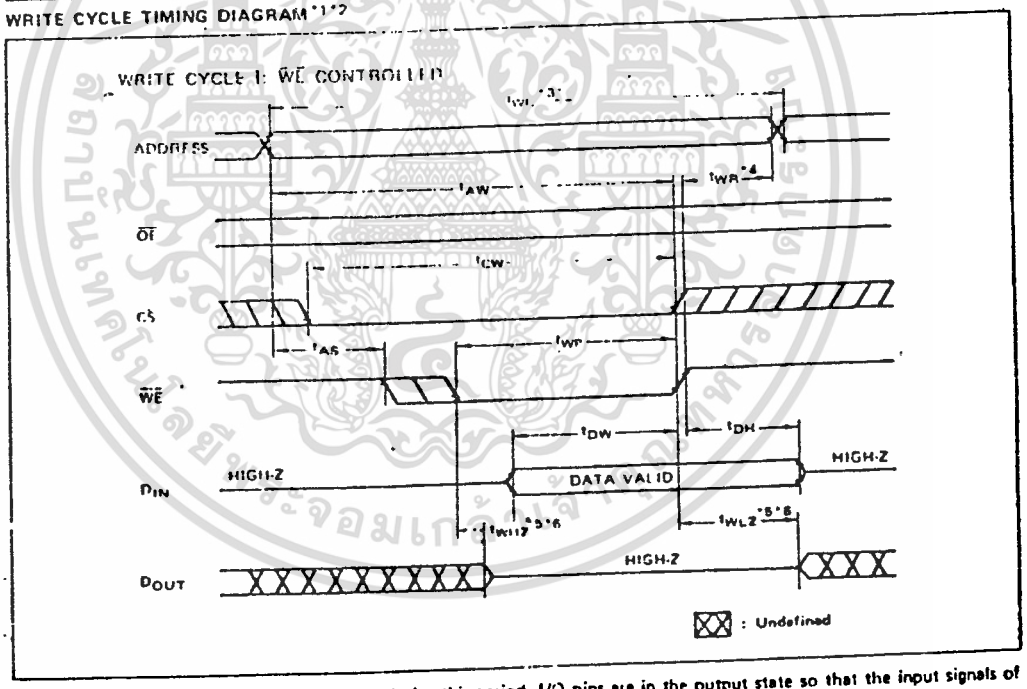
Note: *1 WE is high for Read cycle
*2 Device is continuously selected, $\overline{CS}$ = $\overline{OE}$ = V_{IL}.
*3 Address valid prior to or coincident with $\overline{CS}$ transition low
*4 Transition is measured at the point of ±500mV from steady state voltage.
*6 This parameter is specified with Load II in Fig. 2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

WRITE CYCLE*1*2

Parameter	Symbol	MB 84256-10/10L/10LL		MB 84256-12/12L/12LL		MB 84256-15/15L/15LL		Unit
		Min	Max	Min	Max	Min	Max	
Write Cycle Time*3	t_{WC}	100		120		150		ns
Address Valid to End of Write	t_{AW}	80		85		100		ns
Data Valid to End of Write	t_{DW}	40		45		60		ns
Data Hold Time	t_{DH}	0		0		0		ns
Write Pulse Width	t_{WP}	60		70		90		ns
Address Setup Time	t_{AS}	0		0		0		ns
Write Recovery Time*4	t_{WR}	5		5		5		ns
$\overline{WE}$ to Output Low Z*5*6	t_{WLZ}	5		5		5		ns
$\overline{WE}$ to Output High-Z*5*6	t_{WHZ}		40		40		50	ns

WRITE CYCLE TIMING DIAGRAM*1*2



Note: *1 If $\overline{OE}$, $\overline{CS}$ are in the READ Mode during this period, I/O pins are in the output state so that the input signals of opposite phase to the outputs must not be applied.

*2 If $\overline{CS}$ goes high simultaneously with $\overline{WE}$ high, the output remains in high impedance state.

*3 All write cycle are determined from last address transition to the first address transition of the next address.

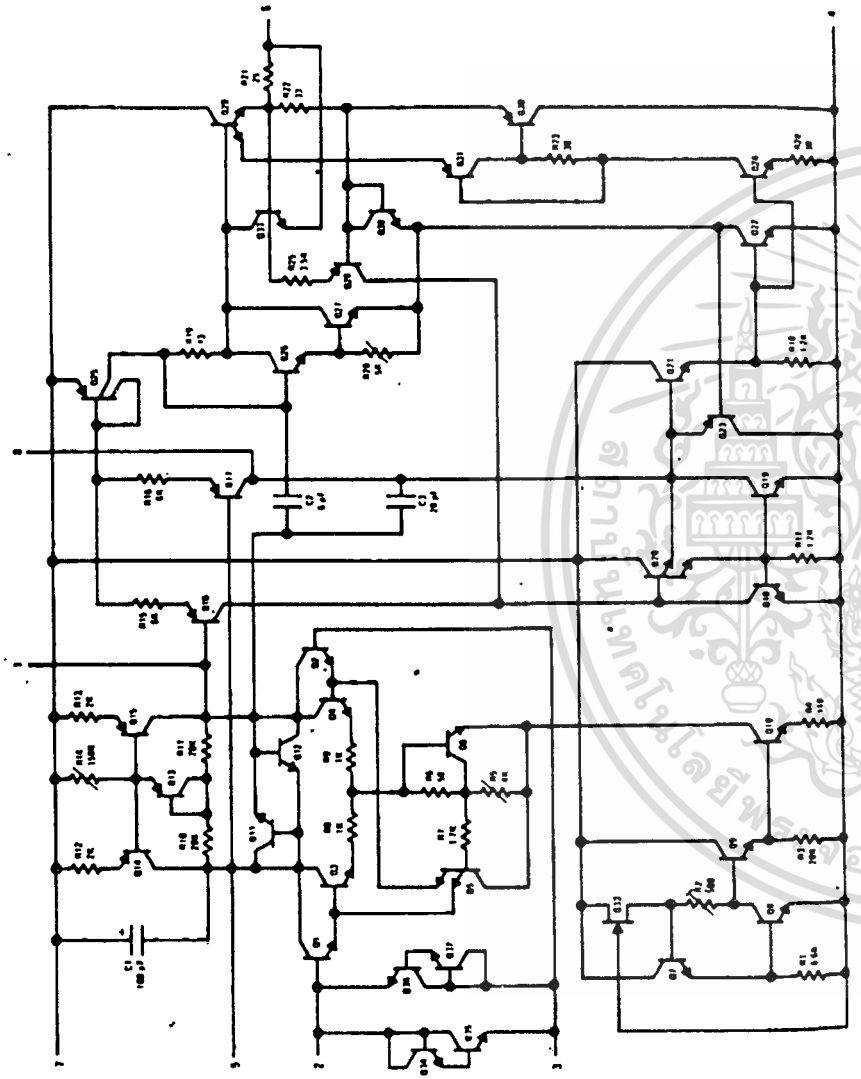
*4 t_{WR} is defined from the end point of WRITE Mode.

*5 Transition is measured at the point of ±500mV from steady state voltage.

*6 This parameter is specified with Load II in Fig. 2.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Schematic Diagram



TL/H/7788-1

National Semiconductor

LM124/LM224/LM324, LM124A/LM224A/LM324A, LM2902 Low Power Quad Operational Amplifiers

General Description

The LM124 series consists of four independent, high gain, internally frequency compensated operational amplifiers which were designed specifically to operate from a single power supply over a wide range of voltages. Operation from split power supplies is also possible and the low power supply current drain is independent of the magnitude of the power supply voltage.

Application areas include transducer amplifiers, DC gain blocks and all the conventional op amp circuits which now can be more easily implemented in single power supply systems. For example, the LM124 series can be directly operated off of the standard + 5 V_{DC} power supply voltage which is used in digital systems and will easily provide the required interface electronics without requiring the additional ± 15 V_{DC} power supplies.

Unique Characteristics

- In the linear mode the input common-mode voltage range includes ground and the output voltage can also swing to ground, even though operated from only a single power supply voltage.
- The unity gain cross frequency is temperature compensated.
- The input bias current is also temperature compensated.

Advantages

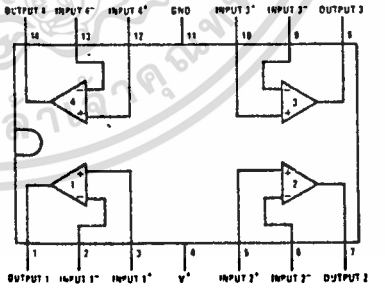
- Eliminates need for dual supplies
- Four internally compensated op amps in a single package
- Allows directly sensing near GND and V_{OUT} also goes to GND
- Compatible with all forms of logic
- Power drain suitable for battery operation

Features

- Internally frequency compensated for unity gain
- Large DC voltage gain 100 dB
- Wide bandwidth (unity gain) 1 MHz (temperature compensated)
- Wide power supply range:
  - Single supply 3 V_{DC} to 32 V_{DC}
  - or dual supplies ± 1.5 V_{DC} to ± 16 V_{DC}
- Very low supply current drain (700 μA)—essentially independent of supply voltage
- Low input biasing current 45 nA_{DC} (temperature compensated)
- Low input offset voltage 2 mV_{DC}
- and offset current 5 nA_{DC}
- Input common-mode voltage range includes ground
- Differential input voltage range equal to the power supply voltage
- Large output voltage swing 0 V_{DC} to V^+ − 1.5 V_{DC}

Connection Diagram

Dual-In-Line Package

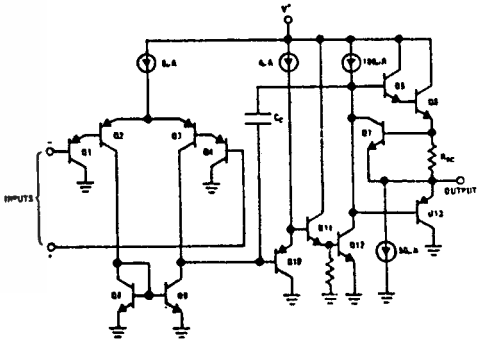


TL/H/9299-1

Top View

Order Number LM124J, LM124AJ, LM224J, LM224AJ, LM324J, LM324AJ, LM324M, LM324AM, LM2902M, LM324N, LM324AN or LM2902N
See NS Package Number J14A, M14A or N14A

Schematic Diagram (Each Amplifier)



TL/H/9299-2

Absolute Maximum Ratings

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications. (Note 9)

	LM124/LM224/LM324 LM124A/LM224A/LM324A	LM2902
Supply Voltage, V^+	32 V_{DC} or ±16 V_{DC}	26 V_{DC} or ±13 V_{DC}
Differential Input Voltage	32 V_{DC}	26 V_{DC}
Input Voltage	−0.3 V_{DC} to +32 V_{DC}	−0.3 V_{DC} to +26 V_{DC}
Input Current (V_{IN} < −0.3 V_{DC}) (Note 3)	50 mA	50 mA
Power Dissipation (Note 1)		
Molded DIP	1130 mW	1130 mW
Cavity DIP	1260 mW	1260 mW
Small Outline Package	800 mW	800 mW
Output Short-Circuit to GND (One Amplifier) (Note 2) V^+ ≤ 15 V_{DC} and T_A = 25°C	Continuous	Continuous
Operating Temperature Range		−40°C to +85°C
LM324/LM324A	0°C to +70°C	
LM224/LM224A	−25°C to +85°C	
LM124/LM124A	−55°C to +125°C	

	LM124/LM224/LM324 LM124A/LM224A/LM324A	LM2902
Storage Temperature Range	−65°C to +150°C	−65°C to +150°C
Lead Temperature (Soldering, 10 seconds)	260°C	260°C
Soldering Information		
Dual-In-Line Package		
Soldering (10 seconds)	260°C	260°C
Small Outline Package		
Vapor Phase (60 seconds)	215°C	215°C
Infrared (15 seconds)	220°C	220°C

See AN-450 "Surface Mounting Methods and Their Effect on Product Reliability" for other methods of soldering surface mount devices.

ESD Tolerance (Note 10)	250V	250V

Electrical Characteristics V^+ = +5.0 V_{DC}, (Note 4), unless otherwise stated

Parameter	Conditions	LM124A			LM224A			LM324A			LM124/LM224			LM324			LM2902			Units
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
Input Offset Voltage	(Note 5) T_A = 25°C		±1	±2		±1	±3		±2	±3		±2	±5		±2	±7		±2	±7	mV_{DC}
Input Bias Current (Note 6)	$I_{IN(+)}$ or $I_{IN(-)}$, V_{CM} = 0V, T_A = 25°C		20	50		40	80		45	100		45	150		45	250		45	250	nA_{DC}
Input Offset Current	$I_{IN(+)} - I_{IN(-)}$, V_{CM} = 0V, T_A = 25°C		±2	±10		±2	±15		±5	±30		±3	±30		±5	±50		±5	±50	nA_{DC}
Input Common-Mode Voltage Range (Note 7)	V^+ = 30 V_{DC}, (LM2902, V^+ = 26 V_{DC}), T_A = 25°C	0		V^+−1.5	0		V^+−1.5	0		V^+−1.5	0		V^+−1.5	0		V^+−1.5	0		V^+−1.5	V_{DC}
Supply Current	Over Full Temperature Range, R_L = ∞ On All Op Amps																			
	V^+ = 30V (LM2902 V^+ = 26V)		1.5	3		1.5	3		1.5	3		1.5	3		1.5	3		1.5	3	mA_{DC}
	V^+ = 5V		0.7	1.2		0.7	1.2		0.7	1.2		0.7	1.2		0.7	1.2		0.7	1.2	
Large Signal Voltage Gain	V^+ = 15 V_{DC}, R_L ≥ 2 kΩ, (V_O = 1 V_{DC} to 11 V_{DC}), T_A = 25°C	50	100		50	100		25	100		50	100		25	100		25	100		V/mV
Common-Mode Rejection Ratio	DC, V_{CM} = 0V to V^+ − 1.5 V_{DC}, T_A = 25°C	70	85		70	85		65	85		70	85		65	85		50	70		dB
Power Supply Rejection Ratio	DC, V^+ = 5 V_{DC} to 30 V_{DC} (LM2902, V^+ = 5 V_{DC} to 26 V_{DC}), T_A = 25°C	65	100		65	100		65	100		65	100		65	100		50	100		dB

Electrical Characteristics V^+ = +5.0 V_{DC} (Note 4) unless otherwise stated (Continued)

Parameter		Conditions	LM124A			LM224A			LM324A			LM124/LM224			LM324			LM2902			Units
			Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
Amplifier-to-Amplifier Coupling (Note 8)		f = 1 kHz to 20 kHz, T_A = 25°C (Input Referred)		−120			−120			−120			−120			−120			−120		dB
Output Current	Source	V_{IN}^+ = 1 V_{DC}, V_{IN}^- = 0 V_{DC}, V^+ = 15 V_{DC}, V_O = 2 V_{DC}, T_A = 25°C	20	40		20	40		20	40		20	40		20	40		20	40		mA_{DC}
	Sink	V_{IN}^- = 1 V_{DC}, V_{IN}^+ = 0 V_{DC}, V^+ = 15 V_{DC}, V_O = 2 V_{DC}, T_A = 25°C	10	20		10	20		10	20		10	20		10	20		10	20	mA_{DC}
		V_{IN}^- = 1 V_{DC}, V_{IN}^+ = 0 V_{DC}, V^+ = 15 V_{DC}, V_O = 200 mV_{DC}, T_A = 25°C	12	50		12	50		12	50		12	50		12	50		12	50	μA_{DC}
Short Circuit to Ground		(Note 2) V^+ = 15 V_{DC}, T_A = 25°C		40	60		40	60		40	60		40	60		40	60		40	60	mA_{DC}
Input Offset Voltage		(Note 5)			±4			±4			±5			±7			±9			±10	mV_{DC}
Input Offset Voltage Drift		R_S = 0Ω		±7	±20		±7	±20		±7	±30		±7			±7			±7		μV/°C
Input Offset Current		$I_{IN(+)} - I_{IN(-)}$, V_{CM} = 0V			±30			±30			±75			±100			±150		±45	±200	nA_{DC}
Input Offset Current Drift		R_S = 0Ω		±10	±200		±10	±200		±10	±200		±10			±10			±10		pA/°C
Input Bias Current		$I_{IN(+)}$ or $I_{IN(-)}$		40	100		40	100		40	200		40	300		40	500		40	500	nA_{DC}
Input Common-Mode Voltage Range (Note 7)		V^+ = +30 V_{DC} (LM2902, V^+ = 26 V_{DC})	0		V^+−2	0		V^+−2	0		V^+−2	0		V^+−2	0		V^+−2	0		V^+−2	V_{DC}
Large Signal Voltage Gain		V^+ = +15 V_{DC} (V_O Swing = 1 V_{DC} to 11 V_{DC}) R_L ≥ 2 kΩ	25			25			15			25			15			15			V/mV
Output Voltage Swing	V_{OH}	V^+ = +30 V_{DC}, R_L = 2 kΩ	26			26			26			26			26			22			V_{DC}
		R_L ≥ 10 kΩ (LM2902, V^+ = 26 V_{DC})	27	28		27	28		27	28		27	28		27	28		23	24		
	V_{OL}	V^+ = 5 V_{DC}, R_L ≥ 10 kΩ		5	20		5	20		5	20		5	20		5	20		5	100	mV_{DC}

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

LM386 Low Voltage Audio Power Amplifier

General Description

The LM386 is a power amplifier designed for use in low voltage consumer applications. The gain is internally set to 20 to keep external part count low, but the addition of an external resistor and capacitor between pins 1 and 8 will increase the gain to any value up to 200.

The inputs are ground referenced while the output is automatically biased to one half the supply voltage. The quiescent power drain is only 24 milliwatts when operating from a 6 volt supply, making the LM386 ideal for battery operation.

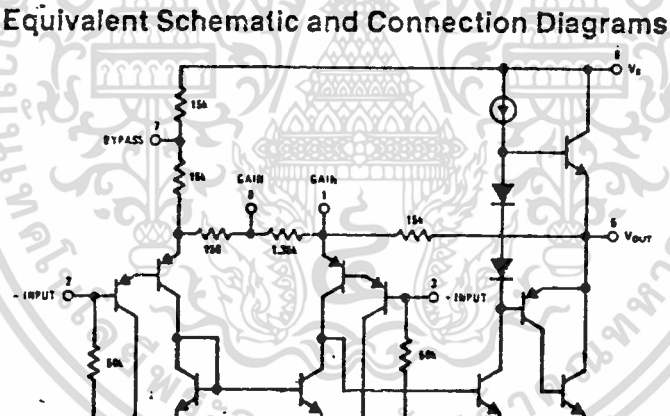
Features

- Battery operation
- Minimum external parts
- Wide supply voltage range — 4V–12V or 5V–18V
- Low quiescent current drain — 4 mA
- Voltage gains from 20 to 200
- Ground referenced input
- Self-centering output quiescent voltage
- Low distortion
- Eight pin dual-in-line package

Applications

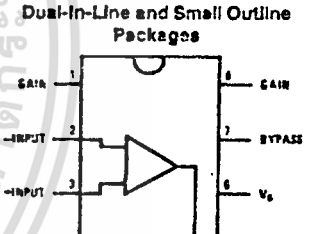
- AM-FM radio amplifiers
- Portable tape player amplifiers
- Intercoms
- TV sound systems
- Line drivers
- Ultrasonic drivers
- Small servo drivers
- Power converters

Equivalent Schematic and Connection Diagrams



TL/H/6976–1

Dual-In-Line and Small Outline Packages



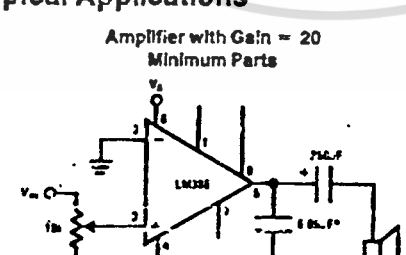
TL/H/6976–2

Top View

Order Number LM386M-1, LM386N-1, LM386N-3 or LM386N-4
See NS Package Number M08A or N08E

Typical Applications

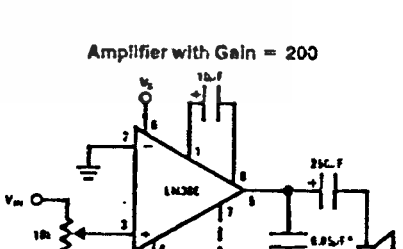
Amplifier with Gain = 20
Minimum Parts



TL/H/6976–3

*Required for LM386N-4 only.

Amplifier with Gain = 200



TL/H/6976–4

*Required for LM386N-4 only.

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Electrical Characteristics $T_A = 25°C$, $V_{CC} = +5V$ to $+15V$, (unless otherwise specified) (Continued)

Parameter	Conditions	Limits						Un
		LM555			LM555C			
		Min	Typ	Max	Min	Typ	Max	
Output Voltage Drop (Low)	$V_{CC} = 15V$							
	$I_{SINK} = 10$ mA		0.1	0.15		0.1	0.25	V
	$I_{SINK} = 50$ mA		0.4	0.5		0.4	0.75	V
	$I_{SINK} = 100$ mA		2	2.2		2	2.5	V
	$I_{SINK} = 200$ mA		2.5			2.5		V
	$V_{CC} = 5V$							
	$I_{SINK} = 8$ mA		0.1	0.25				V
	$I_{SINK} = 5$ mA					0.25	0.35	V
Output Voltage Drop (High)	$I_{SOURCE} = 200$ mA, $V_{CC} = 15V$		12.5			12.5		V
	$I_{SOURCE} = 100$ mA, $V_{CC} = 15V$	13	13.3		12.75	13.3		V
	$V_{CC} = 5V$	3	3.3		2.75	3.3		V
Rise Time of Output			100			100		n
Fall Time of Output			100			100		n

Note 1: For operating at elevated temperatures the device must be derated above 25°C based on a +150°C maximum junction temperature and a ther resistance of 164°c/w (TO-5), 106°c/w (DIP) and 170°c/w (SO-8) junction to ambient.

Note 2: Supply current when output high typically 1 mA less at $V_{CC} = 5V$.

Note 3: Tested at $V_{CC} = 5V$ and $V_{CC} = 15V$.

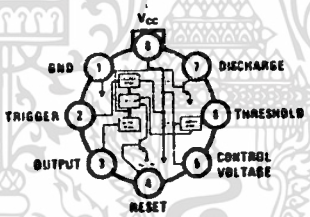
Note 4: This will determine the maximum value of $R_A + R_B$ for 15V operation. The maximum total ($R_A + R_B$) is 20 MΩ.

Note 5: No protection against excessive pin 7 current is necessary providing the package dissipation rating will not be exceeded.

Note 6: Refer to RETS555X drawing of military LM555H and LM555J versions for specifications.

Connection Diagrams

Metal Can Package

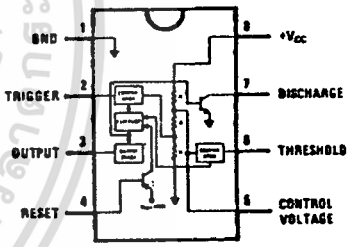


TL/H/7851–2

Top View

Order Number LM555H or LM555CH
See NS Package Number H08C

Dual-In-Line and Small Outline Packages



TL/H/7

Top View

Order Number LM555J, LM555CJ, LM555CM or LM555CN
See NS Package Number J08A, M08A or N08E

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

UMC

UM5100

Voice Processor

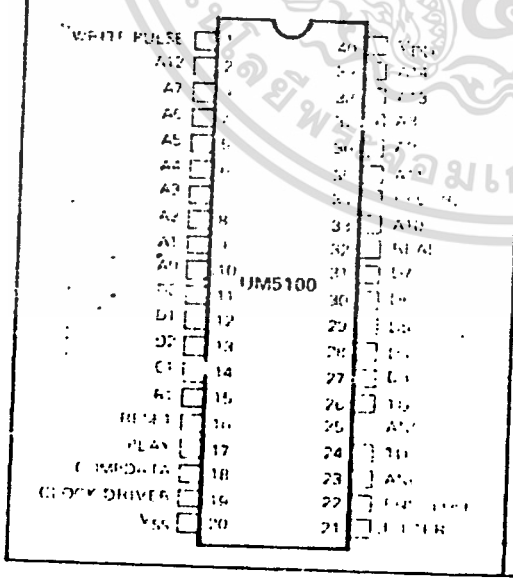
Features

- Voice recording and reproduction with external SRAM
- Voice reproduction with external EPROM or ROM
- Continuous, variable slope Delta Modulation
- Max. addressable memory 256K
- Single 3V ~ 6V power operation
- Low power consumption by CMOS structure
- Inexpensive RC oscillation
- Adjustable bit rates from 10K to 28K bps.
- High quality voice reproduction
- Application for voice storage, security systems, telecommunication and other voice fields

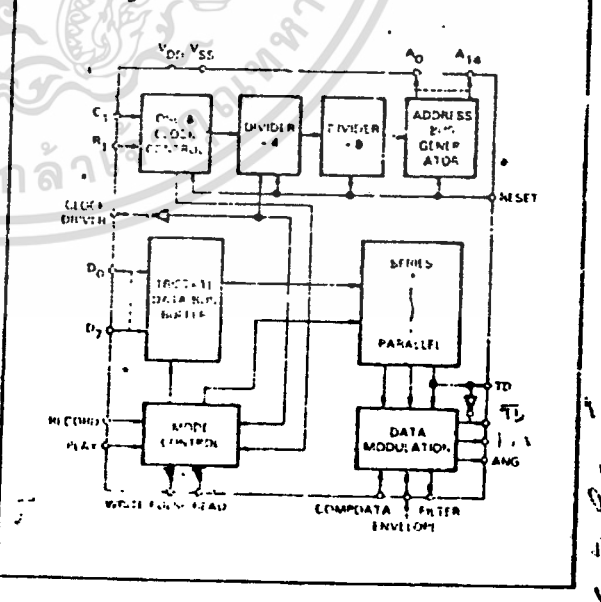
General Description

The UM5100 is a single chip CMOS LSI for voice recording and reproduction with SRAM or voice only production with EPROM or ROM. It is composed of RC oscillator, Address/data bus, series to parallel (and vice versa) converter, mode controller and delta modulation. The Delta modulation circuit is based on a continuous variable slope waveform by digital recording and reproduction of voice signals. For low frequency, there are auxiliary outputs to avoid distortion. For high frequency, there is an internal amplifier to intensify voice loudness. The RC oscillator is the best option in bit rates from 10K to 28K bps. Memory IC and Audio circuits which include a microphone, speaker, amplifier etc., are externally connected to complete the voice recording and reproducing module. All input pins are CMOS compatible. Typical applications include voice storage, voice response, telecommunication and other voice fields.

Pin Configuration



Block Diagram



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings*

Supply Voltage, $V_{DD} - V_{SS}$ ..... 0 to 7V

Input Voltage ..... V_{SS} to V_{DD}

Operating Temperature ..... −10°C to 60°C

Storage Temperature ..... −20°C to 80°C

*Comments

Stresses above those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress rating only and functional operation of the device at these or any other conditions above those indicated in the operational sections of this specification is not implied

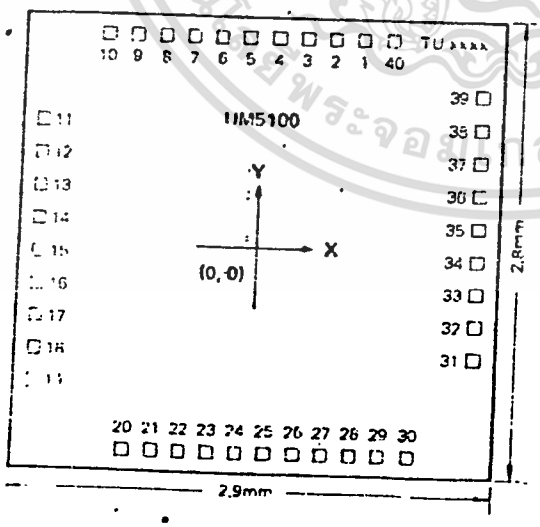
Electrical Characteristics

(T_A = 25°C, V_{DD} = 5V, F_{OSC} = 40 KHz, unless otherwise specified)

Symbol	Parameter		Limit			Unit
			Min.	Typ.	Max.	
V_{DD}	Supply Voltage		3	5	6	V
I_{DD}	Standby Current			1.0		μA
I_{drive}	Clock Drive Current		10			mA
I_{sink}	Clock Sink Current		10			mA
V_{IH}	Input Voltage	High	3.5		5	V
V_{IL}		Low	0		1.5	V
I_{drive}	*Output Current	Drive	3	4		mA
I_{sink}		Sink	3	4		mA
T_{Reset}	Reset Pulse		1			μS
T_{write}	Write Pulse Width		200 NS		10 μS	

Note: *Except A_0, D_0 pin.

Bonding Diagram



unit: μm

Pad No.	X	Y	Pad No.	X	Y
1	749	1208	21	−730	1208
2	539	1208	22	−520	1208
3	329	1208	23	−310	−1208
4	119	1208	24	−100	−1208
5	−91	1208	25	110	−1208
6	−301	1208	26	319	−1208
7	−511	1208	27	529	−1208
8	−721	1208	28	740	−1208
9	−931	1208	29	950	−1208
10	−1140	1208	30	1161	−1208
11	−1264	697	31	1264	−691
12	−1264	486	32	1264	−481
13	−1264	277	33	1264	−271
14	−1264	67	34	1264	−61
15	−1264	−143	35	1264	149
16	−1264	−354	36	1264	359
17	−1264	−564	37	1264	569
18	−1264	−774	38	1264	779
19	−1264	−984	39	1264	989
20	−956	1216	40	949	1208

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้