ปีการศึกษา 2533

CARD COLOUR DISPLAY 256 X 256 PIXEL

โดย

นาย ไพรัตน์ สังข์ชุม 323519

นาย วิชัย มานะอวยชัย 323524

นาย สุธรรม เจียวิริยบุญญา 323536

อาจารย์ที่ปรึกษา

อาจารย์ อรรถสิทธ์ หล่าสกุล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ปริญญานิพนธ์ปีการศึกษา 2533

เรื่อง Card colour display 256 x 256 pixel

ผู้จัดทำ

1. นาย ไพรัตน์ สังข์ชุม 323519

2. นาย วิชัย มานะอวยชัย 323524

3. นาย สุธรรม เจียวิริยบุญญา 323536

.....อาจารย์ที่ปรึกษา

(.....)

.....อาจารย์ที่ปรึกษา

(.....)

.....อาจารย์ที่ปรึกษา

(.....)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

028781

CARD COLOUR DISPLAY 256 x 256 PIXEL

โดย

1. นาย ไพรัตน์ สังข์ชุม 323519
2. นาย วิชัย มานะอวยชัย 323524
3. นาย สุธรรม เจียวิริยบุญญา 323536

อาจารย์ที่ปรึกษา

อาจารย์ อรรถสิทธ์ หล่าสกุล

ปีการศึกษา 2533

บทคัดย่อ

ในวิทยานิพนธ์นี้ได้เสนอการ์ดเก็บภาพที่ใช้เป็นสัญญาณ RGB มาเก็บลงบนหน่วย ความจำในเครื่องคอมพิวเตอร์ แล้วจัดให้มันแสดงผลที่จอภาพและจอภาพที่ใช้เป็นจอภาพแบบ VGA

โครงงานนี้ได้ใช้เครื่องคอมพิวเตอร์ที่มีอยู่โดยทั่วไปคือ IBM PC /XT/AT หรือเครื่องที่ใช้แทนกันได้ ซึ่งสามารถหาง่ายในปัจจุบัน และความละเอียดของที่ต้องการใช้มีความละเอียด 256x256 จุดต่อ 1 ภาพ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในวิทยานิพนธ์สาเหตุที่เลือกใช้จอภาพแสดงผลแบบ VGA ก็เพราะจอ VGA นี้สามารถแสดงสีต่าง ๆ ที่ออกมาคล้ายกับสีจริงมากกล่าวคือ สามารถที่จะแสดงสีต่าง ๆ ได้พร้อมกันทีเดียวได้หลาย ๆ สี ซึ่งตรงกับความเป็นจริงเพราะ 1 ภาพโดยทั่วไปจะประกอบด้วยหลายสี

ในการเก็บภาพสามารถเก็บได้ขนาด 256x256 จุดต่อภาพ และสามารถอ้างสีได้ 256x256x256 = 4.29×10^{7} สี ในขณะเดียวกันปัจจุบันนี้ IBM PC มีราคาถูกลงและมีหน่วยความจำที่มากขึ้น จึงเป็นผลทำให้ประสิทธิภาพสูงขึ้น สามารถนำมาใช้ในการประมวลผลภาพทางดิจิตอลได้ แต่อุปกรณ์ที่จำเป็นต้องใช้ในการเปลี่ยนสัญญาณอนาล็อก(analog) เพื่อนำเข้ามาสู่คอมพิวเตอร์ยังมีราคาแพงมาก และส่วนมากยังเป็นของต่างประเทศ ฉะนั้นจึงทำให้เกิดโครงงานนี้ขึ้นมาเพื่อให้ได้อุปกรณ์ในการประมวลผลภาพที่มีราคาถูก แต่สามารถนำมาใช้งานได้ จึงคิดว่าโครงงานนี้จะเป็นประโยชน์ต่องานทางด้าน Image Processing ต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CARD COLOUR DISPLAY 256 x 256 PIXEL

BY

Mr. PAIRAT SUNGCHOOM 323519

Mr. WICHAI MANAOUAYCHAI 323524

Mr. SUTHUM JEARVIRIYABOONYA 323536

ADVISER

Mr. ATTASIT LASAKUL

STUDY YEAR 1990

ABSTRACT

Project is submit card store image from RGB signal to the memory of computer and it is display at the monitor. This is display use type VGA.

This card is use associate the popular computer (IBM PC/XT/AT or compatible) because we have find easy present and resolution of card with it can express resolution 256x256 pixel/picture frame is posible.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Whay the project is display VGA monitor. Because the VGA monitor can express several color together same real image.

In store image can store 256x256 pixel /picture and have color 256x256x256 = $4.20x10^{\circ}$ color.

Now IBM PC has low cost and raise memory result increase efficiency with it is use image processing of digital but necessarily element of exchang analog signal into computer with it is expensive cost and this is of foreign.Since occaption project for become element image processing at low cost ,However,It is win use. We think the project is advantage on the image processing job.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

บทคัดย่อ

บทที่ 1. บทนำ 1

บทที่ 2. ทฤษฎีและหลักการ 4

2.1 VGA Hardware

2.1.1 โครงสร้างของการ์ด VGA

2.1.2 โหมดและการแสดงผล VGA

2.2 Slot IBM PC

2.3 สัญญาณภาพและการแสดงภาพ

2.3.1 การแสดงผลแบบตัวอักษร

2.3.2 การแสดงผลแบบกราฟิก

2.4 CA 3318 FASH A/D CONVERTER

บทที่ 3. แนวความคิดและการสร้าง 57

บทที่ 4. ผลการทดลอง 66

บทที่ 5. บทสรุป 68

กิตติกรรมประกาศ 69

บรรณานุกรม 70

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1 บทนำ

บทนำ

ในปัจจุบันองค์การต่าง ๆ ได้เห็นความสำคัญของการส่งข้อมูลที่เป็นภาพมากขึ้น เพราะการอธิบายในลักษณะของภาพจะให้ความเข้าใจได้มากกว่าการอธิบายด้วยตัวอักษร เราก็สามารถที่จะทำความเข้าใจกับภาพได้ง่ายและรวดเร็ว ซึ่งการส่งในสมัยก่อนใช้การส่งภาพแบบ Real time คือการส่งภาพต่อเนื่องไปเรื่อยโดยไม่มีการเก็บข้อมูลภาพเอาไว้ เมื่อต้องการนำเอาภาพกลับมาใช้ประโยชน์อีกก็ไม่สามารถนำมาใช้ได้ ด้วยเหตุนี้จึงมีการพัฒนาการเก็บข้อมูลภาพไว้ ซึ่งในปัจจุบันจะใช้การเก็บข้อมูลภาพที่เป็น digital สาเหตุที่เก็บภาพแบบ digital ก็เพราะสามารถนำไปประยุกต์เข้ากับอุปกรณ์ต่าง ๆ ที่มีอยู่ได้ง่ายและมีประสิทธิภาพ เช่น ต่อเข้ากับเครื่องคอมพิวเตอร์เพื่อนำไปประมวลผลภาพ ตามที่เราต้องการโดยใช้ software เป็นตัวควบคุม หรืออาจจะนำเอาข้อมูลภาพที่เป็น digital นี้ไปผ่านวงจร digital filter เพื่อให้คุณภาพของข้อมูลภาพที่ออกมาดีขึ้น(การ filter แบบ digital จะให้ผลดีกว่า analog)

ในขบวนการประมวลผลภาพนี้ในปัจจุบันกำลังเป็นที่นิยมกันมากในหลายสายงาน เช่น การนำไปใช้ในการวิเคราะห์ภาพถ่ายดาวเทียม (remote sening via satllites), การประมวลผลภาพที่มีผลต่อเสียง (acoustic image processing) ,การวิเคราะห์แยกแยะชนิดของสิ่งของหรือการจดจำลายมือ,การมองเห็นของหุ่นยนต์ในโรงงานอุตสาหกรรม

ในส่วนของ digital image processing โดยทั่วไปจะทำการประมวลผลภาพแบบ 2 มิติ(two-dimensional) โดยใช้คอมพิวเตอร์ช่วยในการประมวลผล ซึ่งการประมวลผลนี้ต้องใช้คณิตศาสตร์ในการคำนวณที่ยุ่งยากซับซ้อนมาก ปกติถ้าเป็นการประมวลผลภาพแบบ linear system จะใช้คณิตศาสตร์จำพวก fourier transform, เรื่องทฤษฎีของ matrix เป็น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ต้น แต่ถ้าการประมวลผลภาพเป็นแบบ random เราจะต้องใช้ probability เข้ามาช่วย

จากการประมวลผลภาพที่ต้องใช้คณิตศาสตร์ที่ยุ่งยากซับซ้อน เราจึงจำเป็นที่จะต้องใช้เครื่องมือที่มีความละเอียด ความแม่นยำสูง และความไวสูง ถ้าไม่มีเครื่องมือที่กล่าวมาข้างต้นจะทำให้ภาพที่ได้ออกมาผิดพลาดได้ ดังนั้นจึงทำให้มันมีราคาแพงมาก ในสมัยก่อนจึงยังไม่ค่อยนิยม แต่ในปัจจุบันเทคโนโลยีทางด้านโซลิทสเตทและไมโครคอมพิวเตอร์ ได้มีการพัฒนาให้สามารถทำงานด้วยความเร็วสูง และหน่วยความจำมากขึ้น ราคาถูกลง ด้วยเหตุนี้จึงเป็นเหตุให้เกิดโครงงานนี้ขึ้นมา เพื่อใช้งานประมวลผลภาพ

ในวิทยานิพนธ์ฉบับนี้เป็นเพียงส่วนหนึ่งของ Image Processing เท่านั้น ซึ่งเปรียบเสมือนกับว่าโครงงานนี้เป็นส่วนหน้า ที่จะไปทำงานทางด้าน Image Processing โดยโครงงานนี้จะเน้นในเรื่องของราคาอุปกรณ์ ที่มีราคาถูกและหาได้ง่ายในโครงงานนี้ให้ทำงานบนเครื่องคอมพิวเตอร์ IBM PC /XT/AT หรือเครื่อง compatible ซึ่งส่วนประกอบของโครงงานนี้จะประกอบไปด้วย

1.ส่วนของวงจรแปลงสัญญาณอะนาลอกเป็นดิจิตอล (A/D)

2.ส่วนของการเก็บภาพ

3.ส่วนของการติดต่อกับเครื่อง IBM PC

1.ส่วนของวงจรแปลงสัญญาณอะนาลอกเป็นดิจิตอล (A/D) ส่วนนี้จะทำหน้าที่รับสัญญาณอะนาลอกที่เป็นสัญญาณ R G B เข้ามาทำการเปลี่ยนเป็นรหัสดิจิตอลโดยต้องอาศัยการ Sampling and hold เพื่อให้ได้เป็นรหัสดิจิตอลที่เปลี่ยนแปลตามระดับสัญญาณ I/P ที่ป้อนให้จากที่กล่าวมาแล้วขั้นต้นคือจะต้องใช้อุปกรณ์ที่มีการประมวลผลได้เร็วดังนั้นเราจึงเลือก A/D แบบ FLASH เพราะ A/D ชนิดนี้มีความเร็วมากที่สุดในบรรดา A/D ทั้งหลาย

2.ส่วนของการเก็บภาพหัวใจหลักของส่วนนี้ก็คือ หน่วยความจำ ในโครงงานนี้เราเลือกหน่วยความจำชนิดสแตนติกแรม(SRAM) สาเหตุที่เลือก RAM ชนิดนี้ก็เพาะง่ายต่อการสร้าง เนื่องจากไม่ต้องคอยทำการรีเฟรช

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

(refush)หน่วยความจำ และการเข้าถึงของสัญญาณ (access time) ใน ram เราไม่จำเป็นต้องเลือก ACCESS TIME มีเวลาน้อยก็ได้เพราะ ในโครงงานนี้มีความละเอียดยังน้อยอยู่ซึ่งถ้าเราเลือก ACCESS TIME ที่มีค่ามากจะทำให้เราหาซื้ออุปกรณ์ได้ง่ายและมีราคาถูก แต่ถ้าให้ ACCESS TIME มีค่ามากเกินไปก็ไม่ดีจะทำให้ข้อมูลที่เข้าไปเก็บใน RAM เกิดการผิดพลาดได้ดังนั้นจึงต้องเลือกค่า ACCESS TIME ที่เหมาะสม

3.ส่วนของการติดต่อกับเครื่อง IBM PC/XT/AT (เครื่องคอมพิวเตอร์) ส่วนนี้จะเป็นส่วนที่ติดต่อระหว่าง card กับเครื่องคอมพิวเตอร์ ซึ่งส่วนนี้จะคอยรับคำสั่งจากเครื่องคอมพิวเตอร์เพื่อไปควบคุมการทำงานของ card หรือการเอาข้อมูลไปไว้ใน RAM ของเครื่องคอมพิวเตอร์เพื่อเอาไปประมวลผลในการประมวลผลจะใช้จอ VGA ซึ่งมีความละเอียดในการแสดงภาพสูงที่สุดเมื่อเทียมกับจอแบบอื่น ซึ่งส่วนประกอบของ card จะกล่าวอีกในบทต่อๆไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2 ทฤษฎีและหลักการ

2.1 VGA HARDWARE

เทคโนโลยีการแสดงผลบนเครื่องคอมพิวเตอร์ส่วนบุคคลนั้น นับว่ามีการพัฒนาขึ้นมามากทีเดียวจากเดิม ซึ่งเป็นการแสดงผลบนจอโมโนโครม ที่ใช้การ์ดโมโนโครมอะแดปเตอร์หรือ การ์ดเฮอคิวลิสแล้วพัฒนาต่อมาเป็นการแสดงผลบนจอสีที่เรียกว่าCOLOR GRAPHIC ADAPTER (CGA) และ ENHANCED GRAPHIC ADAPTER (EGA) ซึ่งล้วนแต่เป็นระบบที่แสดงผลเป็นแบบสัญญาณดิจิตอล นั่นก็คือสัญญาณที่ออกจากการ์ดแสดงผลที่จะไปควบคุมจอภาพนั้นเป็นสัญญาณดิจิตอล ในระบบดิจิตอลนี้ การ์ดEGAจะมีความละเอียดสูงสุด คือมีจำนวนจุด (PIXEL) เท่ากับ 640*350จุดและสามารถแสดงสีได้ 16 สีพร้อมกันจากจำนวนสีทั้งหมด 64 สี ต่อมา ไอบีเอ็มได้พัฒนาระบบแสดงผลใหม่ขึ้นมาอีกที่เรียกว่า VIDEO GRAPHIC ARRAY (VGA) ซึ่งใช้สัญญาณอะนาลอกควบคุมจอแสดงผล จะทำให้แสดงจำนวนสีได้มากขึ้นเพราะว่าคอมบิเนชั่นของสัญญาณอะนาลอกมีมากกว่าสัญญาณดิจิตอล ระบบ VGA จึงสามารถแสดงภาพสีได้ถึง 256 สีพร้อมกัน จากจำนวนสีที่เป็นไปได้ทั้งหมดถึง 256*1024 สี และยังมีความละเอียดสูงถึง 640*480 จุดทำให้สามารถแสดงได้เหมือนจริงได้ ซึ่งมีประโยชน์อย่างมากในการใช้คอมพิวเตอร์กับงานด้านต่างๆอาทิเช่น งานออกแบบทางด้านอุตสาหกรรม (CAD/CAM) งานทางการแพทย์ งานทางด้านการประมวลของรูปภาพ (IMAGE PROCESSING) ซึ่งสามารถประยุกต์กับงานต่างๆ ได้อย่างมากมายเนื่องจากข้อดีของระบบแสดงผลแบบVGA นี้เองไอบีเอ็มจึงได้รวมการ์ดแสดงผลระบบ VGA ลงบนเมนบอร์ดของเครื่อง IBM PS /2 เช่น PS/2 MODEL 50,60,70 จึงถือได้ว่าเป็นมาตรฐานการแสดงผลของเครื่อง IBM PS/2

ในปัจจุบันนี้มีผู้ผลิตรายอื่นที่ทำการ์ด VGA ให้มีความละเอียดสูงกว่า VGA ของไอบีเอ็ม โดยเรียกว่า SUPER VGA ที่มีความละเอียดถึง 800*600

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จุด หรือ 1024*768 จุด ซึ่งต้องใช้กับจอแสดงผลแบบMULTI SYNC. หรือจอ VGA ความละเอียดสูง แนวโน้มของการ์ดแสดงผลแบบ VGA นับวันจะถูกลงเรื่อยๆ ทำให้มีผู้หันมานิยมใช้มากขึ้น

2.1.1 โครงสร้างของการ์ด VGA

ระบบการแสดงผลแบบ VGA ประกอบด้วยส่วนสำคัญอยู่ 3 ประการ คือ

1. หน่วยความจำของส่วนแสดงผล (VIDEO MEMORY)
2. ชิพ VGA
3. ตัวเปลี่ยนสัญญาณ DIGITAL ให้เป็นสัญญาณ ANALOG (VIDEO DAC)

รูปที่ 1 แสดงส่วนประกอบหลักของการ์ด VGA ซึ่งมีรายละเอียดดังต่อไปนี้

หน่วยความจำแสดงผล

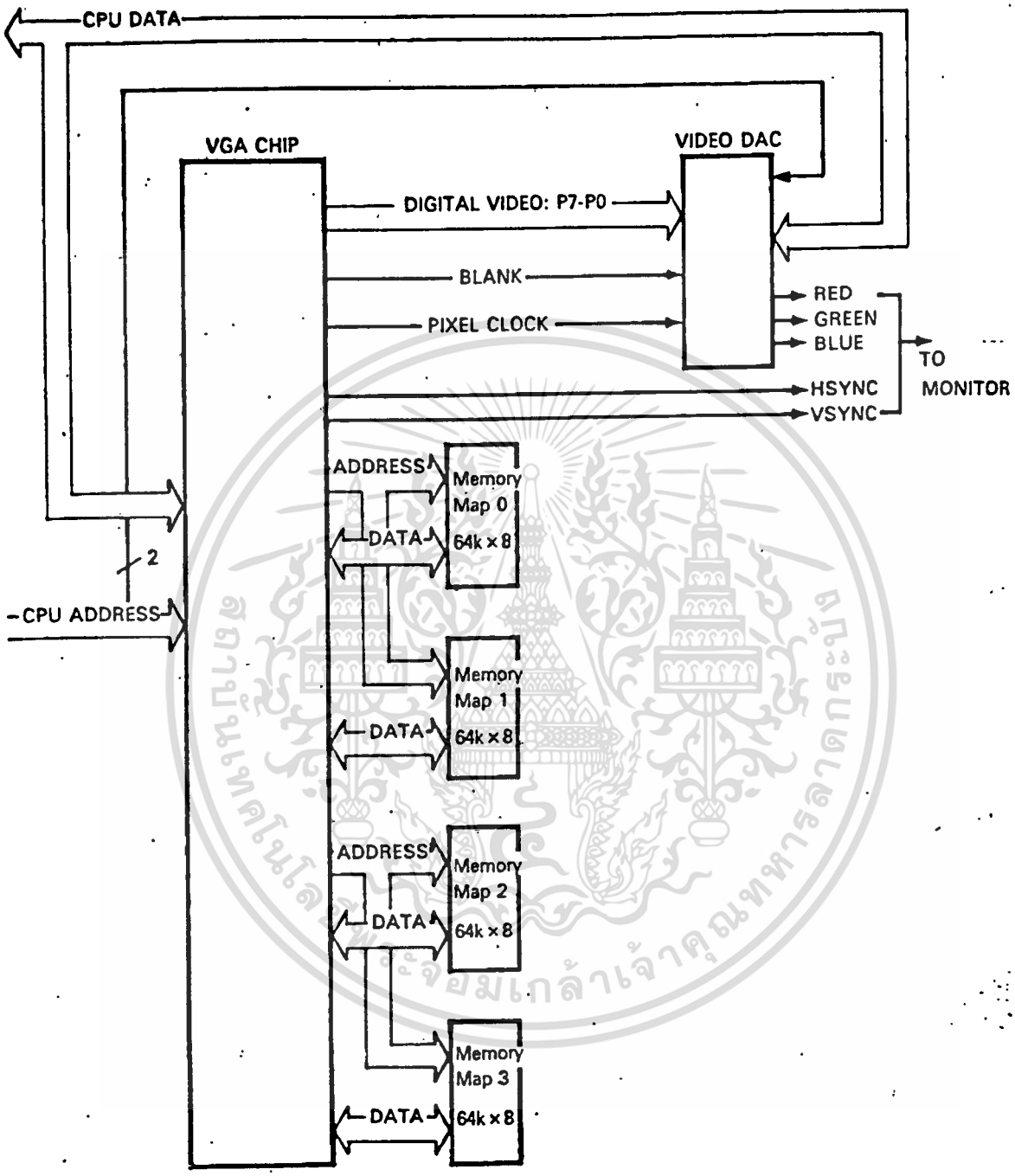
หน่วยความจำของการ์ด VGA ตามมาตรฐานของไอบีเอ็มจะมีจำนวน 256 กิโลไบต์ เป็นไดนามิกแรมที่ถูกแบ่งออกเป็น 4 PLAN ข้อมูลที่ถูกใช้แสดงผลจะถูกเก็บอยู่ในหน่วยความจำนี้ ซึ่งรูปแบบของการเก็บจะแตกต่างกันไป ขึ้นกับโหมดของการแสดงผล ดังจะได้กล่าวต่อไป

หน่วยความจำใน TEXT MODE

การแสดงผลในเท็กซ์โหมด มีความซับซ้อนน้อยกว่าการแสดงผลในกราฟิกโหมดมาก เพราะว่าเป็นการจัดการกับรหัสแอสกี มิใช่จัดการกับจุดใดจุดหนึ่งบนจอภาพ มาตรฐานของเท็กซ์โหมดแบ่งเป็น 25 บรรทัด 40 คอลัมน์ หรือ 80 คอลัมน์ต่อบรรทัด ในกรณีที่เป็น 80 คอลัมน์ต่อบรรทัด ใน 1 จอภาพสามารถแสดงตัวอักขระได้ทั้งสิ้น 2,000 ตัว แต่การแสดงของตัวอักขระ 1 ตัว ต้องใช้หน่วยความจำ 2 ไบต์ ดังนั้นใน 1 จอภาพจะต้องใช้หน่วยความจำทั้งสิ้น 4,000 ไบต์ แต่หน่วยความจำแสดงผลแบ่งออกเป็นเพจ ๆ ละ 4096 ไบต์ ซึ่งจะเหลือที่ว่าง 96 ไบต์ที่ไม่ถูกใช้

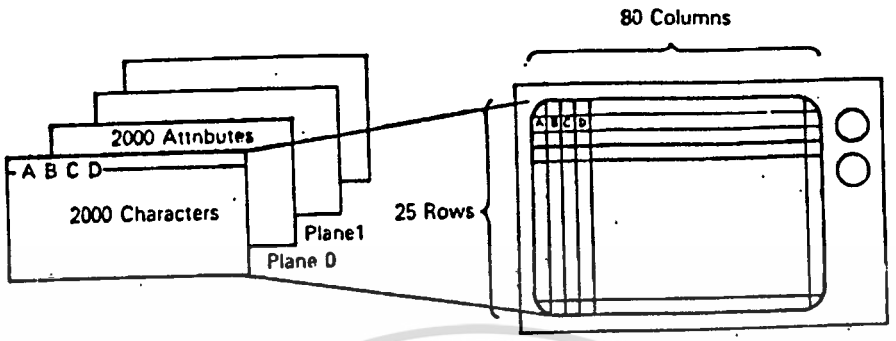
รูปที่ 2 (ก) แสดงรูปแบบของหน่วยความจำในเท็กซ์โหมด และ (ข) แสดงความสัมพันธ์ระหว่างแอดเดรสของหน่วยความจำกับการจัดหน่วยความจำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

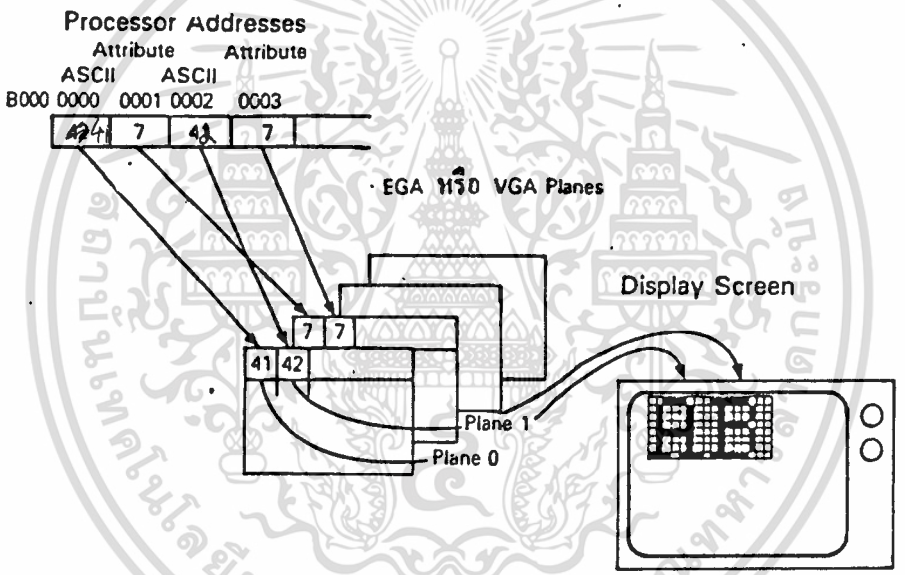


รูปที่ 1 ส่วนประกอบหลักของการ์ด VGA

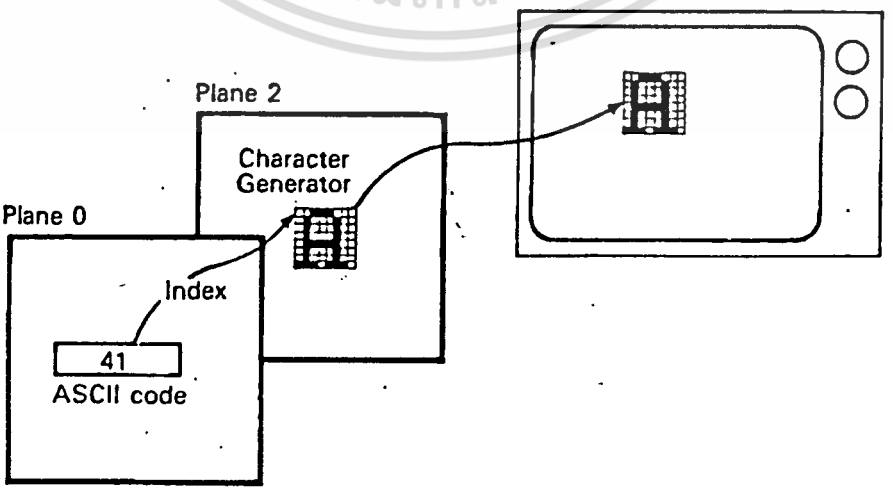
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2 (ก) รูปแบบการจัดหน่วยความจำในเท็กซ์โหมด



รูปที่ 2 (ข) ความสัมพันธ์ระหว่างแอดเดรส กับ เพลนของหน่วยความจำ

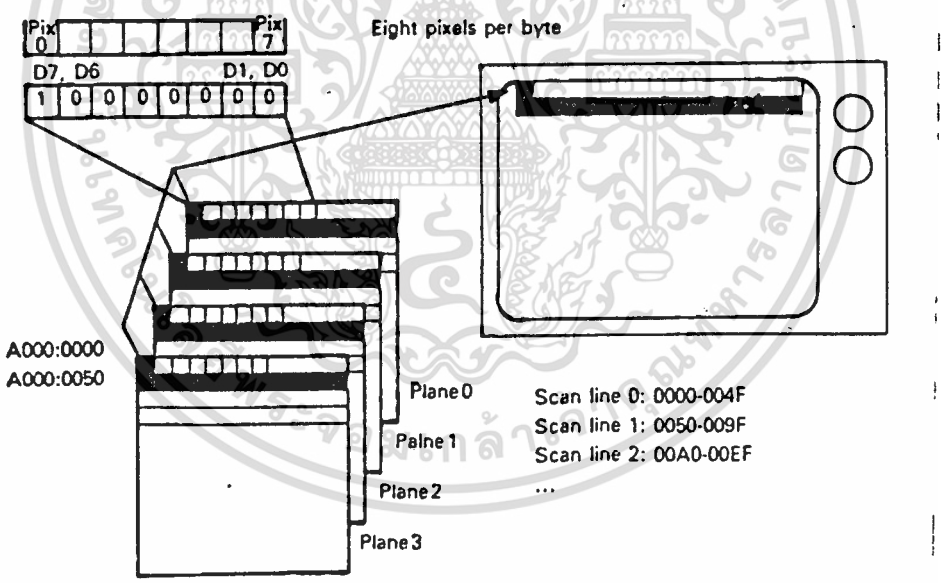


รูปที่ 3 ขั้นตอนการทำให้เกิดตัวอักขระบนจอภาพ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แบบเพลน

ในการเปลี่ยนรหัสแอสกีไปเป็นจุดที่เรียงกันเป็นตัวอักขระบนจอภาพนั้น จะต้องใช้ ตารางการแปลงที่เรียกว่า CHARACTER GENERATER ในการแสดงผลระบบเดิม เช่น การ์ดโมโนโครม ตารางการแปลงนี้จะเก็บอยู่ในหน่วยความจำที่เป็นชนิด ROM จึงไม่สามารถแก้ไขรูปแบบของอักขระได้โดยง่าย แต่ใน VGA หรือ EGA ตารางการแปลงนี้จะถูกโหลดลงในเพลนที่ 2 ของหน่วยความจำ (ซึ่งเป็นไดนามิกแรม) ทำให้สามารถแก้ไขรูปแบบตัวอักขระได้ง่าย ใน VGA จะมีตารางนี้ 8 ชุด แต่ละชุดเก็บได้ 256 ตัว รูปที่ 3 แสดงขั้นตอนการทำให้เกิดตัวอักขระบนจอภาพ



รูปที่ 4 รูปแบบการเก็บข้อมูลในหน่วยความจำสำหรับโหมดกราฟิก

หน่วยความจำใน GRAPHIC MODE

ในโหมดของกราฟิก จุด ๆ หนึ่งบนจอภาพจะแทนด้วยข้อมูลที่มีจำนวนบิทต่าง ๆ กัน ในที่นี้จะกล่าวถึงโหมด 10H และ 13H เท่านั้น

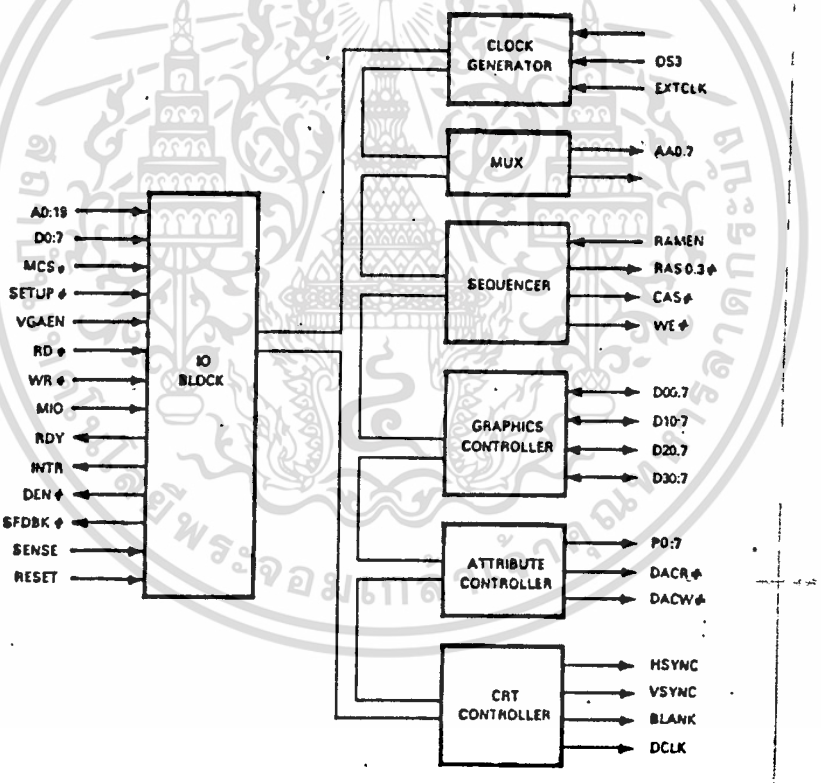
รูปที่ 4 แสดงการจัดของหน่วยความจำการแปลงจากตำแหน่งของ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จุดบนจอภาพไปเป็นตำแหน่งของบิตในหน่วยความจำ

ชิพ VGA

ระบบแสดงผลแบบ VGA มาตรฐานของไอบีเอ็มนั้นใช้ชิพ 82706 VIDEO GRAPHIC ARRAY ซึ่งคอมแพตติเบิ้ลระดับไบออสกับระบบเดิม คือ EGA CGA และ MDA บล็อกไดอะแกรมของชิพ VGA แสดงดังรูปที่ 5



รูปที่ 5 บล็อกไดอะแกรมของชิพท์ VGA

82706 VGA CONTROLLER เป็นตัวอินเตอร์เฟสระหว่าง ซีพียู ซึ่งในที่นี้จะเป็น 80X86 กับหน่วยความจำของการแสดงผล (VIDEO MEMORY)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

028781

และเป็นตัวส่งข้อมูลของภาพไปยัง VIDEO DAC ทำการแปลงข้อมูลขนาด 8 บิต ซึ่งเป็นสัญญาณดิจิตอลไปเป็นสัญญาณอะนาลอก เพื่อส่งให้จอแสดงผลต่อไป

การแอ็กเซสกับหน่วยความจำของการแสดงผลจะต้องผ่านตัว 82706 เสมอ ซึ่งมีข้อดีก็คือ ซีพียูสามารถแอ็กเซสกับหน่วยความจำขณะที่ทำการรีเฟรชหน่วยความจำ ซึ่งทำให้ซีพียูเขียนหรืออ่านจากหน่วยความจำได้โดยไม่จำเป็นต้องรอให้ถึงช่วงเวลาการรีเทรช(RETRACE) ของจอภาพ

82706 ใช้กับหน่วยความจำได้ 256 กิโลไบต์ โดยสามารถโปรแกรมแอดเดรสเริ่มต้นได้ 3 ตำแหน่ง ซึ่งโดยทั่วไปมักจะขึ้นกับโหมดการแสดงผล จากรูปที่ 5 จะเห็นได้ว่าภายในชิพ 82706 จะมีตัวควบคุมการทำงานหลักอยู่ 4 ตัว คือ

1. CRT CONTROLLER
2. GRAPHIC CONTROLLER
3. SEQUENCER
4. ATTRIBUTE CONTROLLER

CRT CONTROLLER

ทำหน้าที่กำเนิดสัญญาณที่ใช้ควบคุมการทำงานของจอภาพ เช่น สัญญาณซิงก์ตามแนวนอน สัญญาณซิงก์ตามแนวตั้ง สัญญาณแบล็งกิ้ง และแอดเดรสสำหรับการรีเฟรชหน่วยความจำควบคุม

CRT CONTROLLER มีรีจิสเตอร์ 25 ตัว ซึ่งมีบางตัวที่คอมแพตติเบิ้ลกับ 6845 CRT CONTROLLER ที่มีอยู่บนการ์ดแสดงผลแบบโมโนโครม รีจิสเตอร์ต่าง ๆ ของ CRT CONTROLLER แสดงดังตารางในรูปที่ 6

GRAPHIC CONTROLLER

เป็นตัวกลางเชื่อมทางเดินข้อมูลระหว่าง หน่วยความจำของการแสดงผล กับ โปรเซสเซอร์หลักและยังเป็นตัวเชื่อมระหว่างตัวโปรเซสเซอร์หลักกับแอตทริบิวต์คอนโทรลเลอร์ ในสภาวะปกติ ข้อมูลจากโปรเซสเซอร์จะ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Register Name	R/W	Index	Read Port	Write Port
CRT Controller Address	R/W		03?4	03?4
Horizontal Total	R/W	00	03?5	03?5
Horizontal Display Enable	R/W	01	03?5	03?5
Start Horizontal Blanking	R/W	02	03?5	03?5
End Horizontal Blanking	R/W	03	03?5	03?5
Start Horizontal Retrace Pulse	R/W	04	03?5	03?5
End Horizontal Retrace	R/W	05	03?5	03?5
Vertical Total	R/W	06	03?5	03?5
Overflow	R/W	07	03?5	03?5
Preset Row Scan	R/W	08	03?5	03?5
Maximum Scan Line	R/W	09	03?5	03?5
Cursor Start	R/W	0A	03?5	03?5
Cursor End	R/W	0B	03?5	03?5
Start Address High	R/W	0C	03?5	03?5
Start Address Low	R/W	0D	03?5	03?5
Cursor Location High	R/W	0E	03?5	03?5
Cursor Location Low	R/W	0F	03?5	03?5
Vertical Retrace Start	R/W	10	03?5	03?5
Vertical Retrace End	R/W	11	03?5	03?5
Vertical Display Enable End	R/W	12	03?5	03?5
Offset	R/W	13	03?5	03?5
Underline Location	R/W	14	03?5	03?5
Start Vertical Blank	R/W	15	03?5	03?5
End Vertical Blank	R/W	16	03?5	03?5
CRTC Mode Control	R/W	17	03?5	03?5
Line Compare	R/W	18	03?5	03?5

NOTES:
? = B in Monochrome Emulation Modes
? = D in Color Emulation Modes
All addresses are given in Hex

รูปที่ 6 ตารางแสดงรีจิสเตอร์ต่าง ๆ ใน CRT Controller

สามารถถูกส่งไปยังหน่วยความจำ โดยทะลุกราฟิกคอนโทรลเลอร์ได้โดยตรง แต่ในกรณีอื่น กราฟิกคอนโทรลเลอร์จะมีฟังก์ชันช่วยในการวาดรูปกราฟิก โดยนำข้อมูลที่ผ่านตัวมันมากระทำฟังก์ชันทางลอจิก ก่อนที่จะเขียนไปยังหน่วยความจำภายในกราฟิกคอนโทรลเลอร์ มีรีจิสเตอร์อยู่ 9 ตัว ดังแสดงในตารางรูปที่ 7 ซึ่งสามารถสรุปการทำงานได้ดังรูปที่ 8 จากรูป จะเห็น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

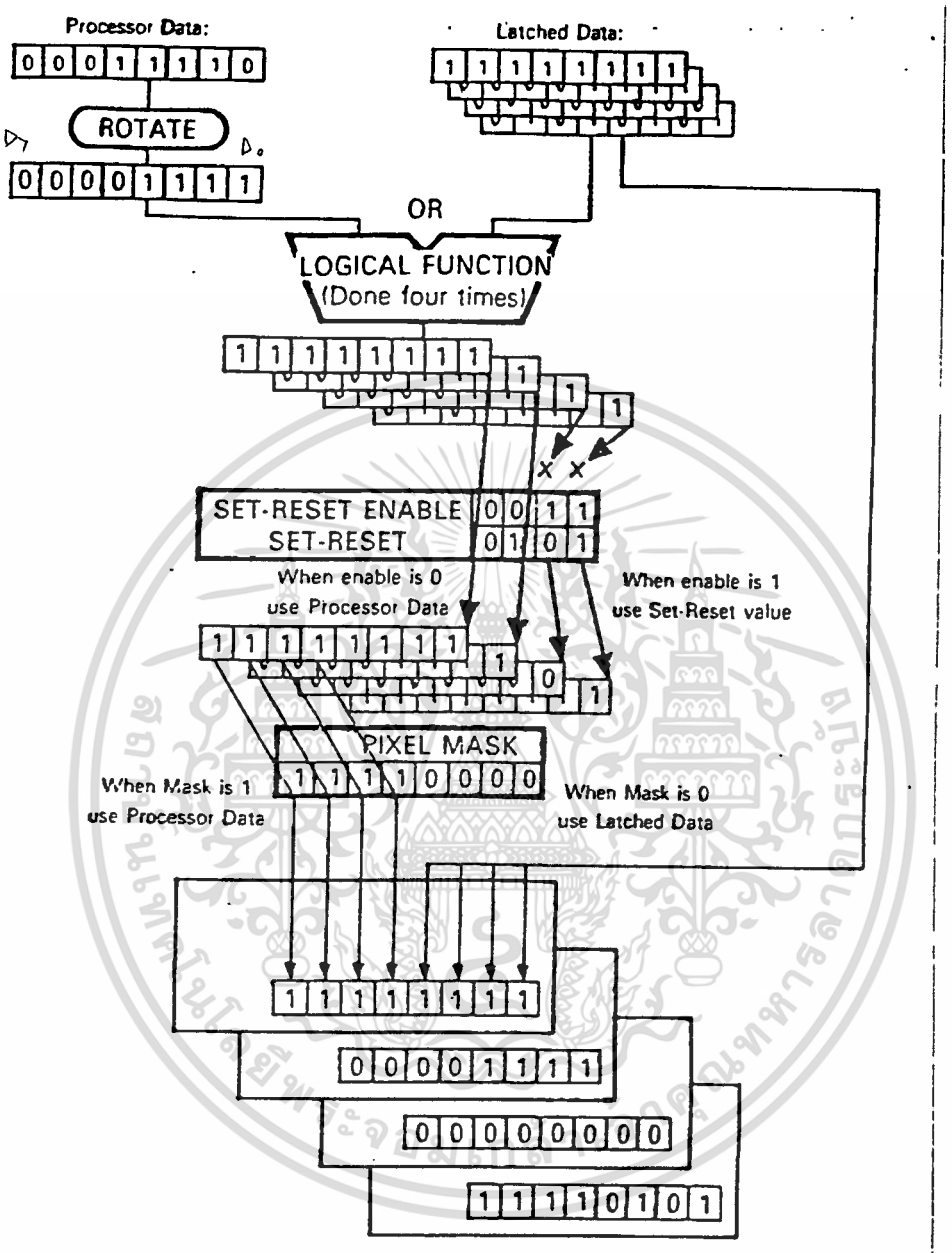
Register Name	R/W	Index	Read Port	Write Port
Graphics Address	R/W		03CE	03CE
Set/Reset	R/W	00	03CE	03CE
Enable Set/Reset	R/W	01	03CE	03CE
Color Compare	R/W	02	03CE	03CE
Data Rotate	R/W	03	03CE	03CE
Read Map Select	R/W	04	03CE	03CE
Graphics Mode	R/W	05	03CE	03CE
Miscellaneous	R/W	06	03CE	03CE
Color Don't Care	R/W	07	03CE	03CE
Bit Mask	R/W	08	03CE	03CE

รูปที่ 7 รีจิสเตอร์ในกราฟิกคอนโทรลเลอร์

ว่ามีข้อมูลที่เรียกว่า LATCHED DATA อยู่ 4 ไบต์ (แต่ละไบต์มาจากแต่ละเพลน) ข้อมูลเหล่านี้จะถูกเก็บอยู่ในที่ ๆ หนึ่ง ซึ่งจะเกิดขึ้นทุกครั้งที่มีการอ่านข้อมูลจากหน่วยความจำแสดงผล ข้อมูลจากโปรเซสเซอร์จะผ่านการ ROTATE ซึ่งอาจจะเป็นการ ROTATE ตั้งแต่ 0 บิต ถึง 7 บิต ทั้งนี้ขึ้นกับค่าในรีจิสเตอร์ DATA ROTATE (บิตที่ 0-2) จากนั้นจะถูกนำมากระทำฟังก์ชันทางลอจิก เช่น OR,AND หรือ XOR กับ LATCHED DATA การกระทำฟังชันใดนั้นขึ้นกับค่าในรีจิสเตอร์ DATA ROTATE (บิตที่ 3-4) ฟังก์ชันทางลอจิกแสดงดังตารางรูปที่ 9

จากนั้นข้อมูลจะผ่านรีจิสเตอร์ 2 ตัวคือ SET/RESET และ SET /RESET ENABLE แต่ละรีจิสเตอร์จะใช้เพียง 4 บิต แต่ละบิตแทนแต่ละเพลน จากรูป บิตที่ 2 และ ที่ 3 ของรีจิสเตอร์ SET/RESET ENABLE เป็น 0 ดังนั้น ข้อมูลเพลนที่ 2 และ 3 จะผ่านไปได้โดยตรง ส่วนบิตที่ 0 และ 1 มีค่าเป็น 1 ต้องพิจารณาในรีจิสเตอร์ SET/RESET เช่น บิตที่ 0 มีค่าเป็น 1 ดังนั้นเพลนที่ 0 จึงมีค่าเป็น 0 ทั้ง 8 บิต ส่วนบิตที่ 1 มีค่าเป็น 0 เพลนที่ 1 จึงมีค่าเป็น 0 ทั้ง 8 บิต จากนั้นข้อมูลจะผ่าน register Bit Mask ถ้าค่าใน register เป็น 1 ก็จะไม่มีการเปลี่ยนค่าของข้อมูล แต่ถ้าค่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



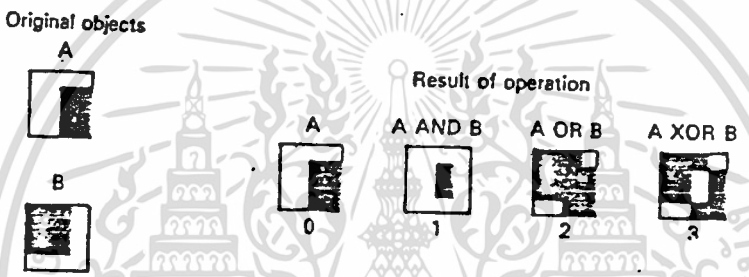
รูปที่ 8 บล็อกไดอะแกรมของกราฟิกคอนโทรลเลอร์

ใน register เป็น 0 ข้อมูลในบิตนั้น ๆ จะถูกนำมาจาก Latched Data แทนที่จะเป็นข้อมูลเดิม register BitMask เป็น register สุดท้ายของกราฟิกคอนโทรลเลอร์ที่ทำให้ข้อมูลมีการเปลี่ยนแปลงหลังจากนี้แล้ว ข้อมูลนี้ยังมิได้เขียนลงไปยังหน่วยความจำโดยตรง จะต้องผ่านตัวควบคุมอีกตัวหนึ่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

D_4 D_3	ฟังก์ชัน :
0 0	ข้อมูลจากโปรเซสเซอร์ไม่เปลี่ยนแปลง
0 1	ข้อมูลจากโปรเซสเซอร์ AND กับ Latched Data
1 0	ข้อมูลจากโปรเซสเซอร์ OR กับ Latched Data
1 1	ข้อมูลจากโปรเซสเซอร์ XOR กับ Latched Data

รูปที่ 9 ตารางแสดงฟังก์ชั่นลอจิก



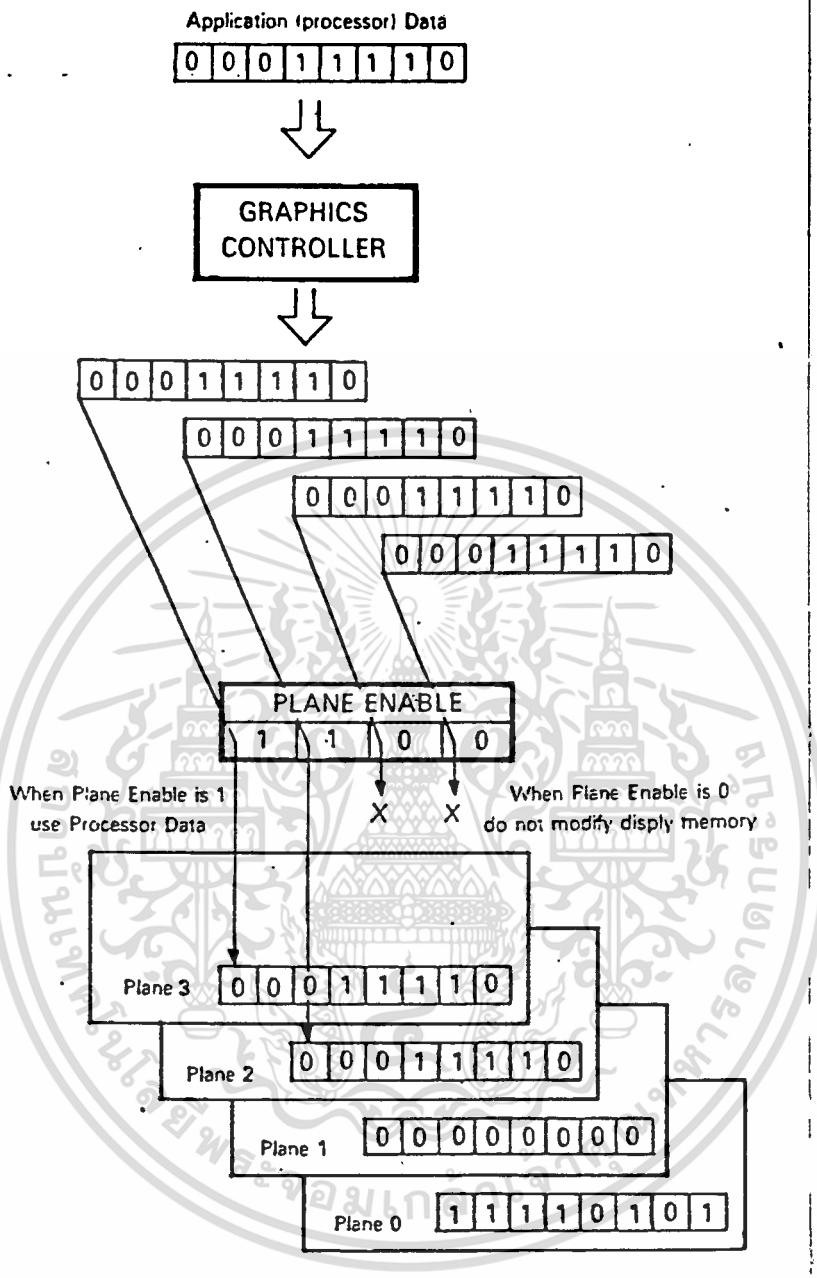
รูปที่ 10 การกระทำฟังก์ชั่นทางลอจิกระหว่างข้อมูล 2 ข้อมูล

เรียกว่า Sequencer ซึ่งจะได้กล่าวต่อไป ตัวอย่างของการกระทำฟังก์ชั่นทางลอจิกของกราฟิกคอนโทรลเลอร์แสดงดังรูปที่ 10 จากรูปจะเห็นว่าเดิมเรามีรูปร่างของ A และ B อยู่เราสามารถทำให้เกิดรูปร่างอื่น ๆ ขึ้นได้ ซึ่งมีประโยชน์ในการทำให้เกิดภาพต่าง ๆ ในโหมดกราฟิก

Sequencer

ทำหน้าที่กำเนิดสัญญาณนาฬิกาที่ ควบคุมการรีเฟรชหน่วยความจำ ควบคุมช่วงเวลาในการเขียนและอ่านกับหน่วยความจำ และยังมีวงจรลอจิกควบคุมการยอม หรือ ไม่ยอมให้โปรเซสเซอร์กระทำกับหน่วยความจำเพลนใดเพลนหนึ่ง ซึ่งแสดงดังรูปที่ 11 และตารางที่ 12 แสดง register ต่าง ๆ ของ Sequencer จากรูปจะเห็นว่าถ้าค่าใน register Map mask (plan enable) เป็น 0 (D0 แทนเพลน 0) เพลนนั้นจะไม่สามารถถูกปลี่ยนข้อมูลได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 11 การทำงานของรีจิสเตอร์ Map mask (plane enable)

Register Name	R/W	Index	Read Port	Write Port
Sequencer Address	R/W		03C4	03C4
Reset	R/W	00	03C5	03C5
Clocking Mode	R/W	01	03C5	03C5
Map Mask	R/W	02	03C5	03C5
Character Map Select	R/W	03	03C5	03C5
Memory Mode	R/W	04	03C5	03C5

รูปที่ 12 ตารางแสดงรีจิสเตอร์ใน Sequencer

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Attribute Controller

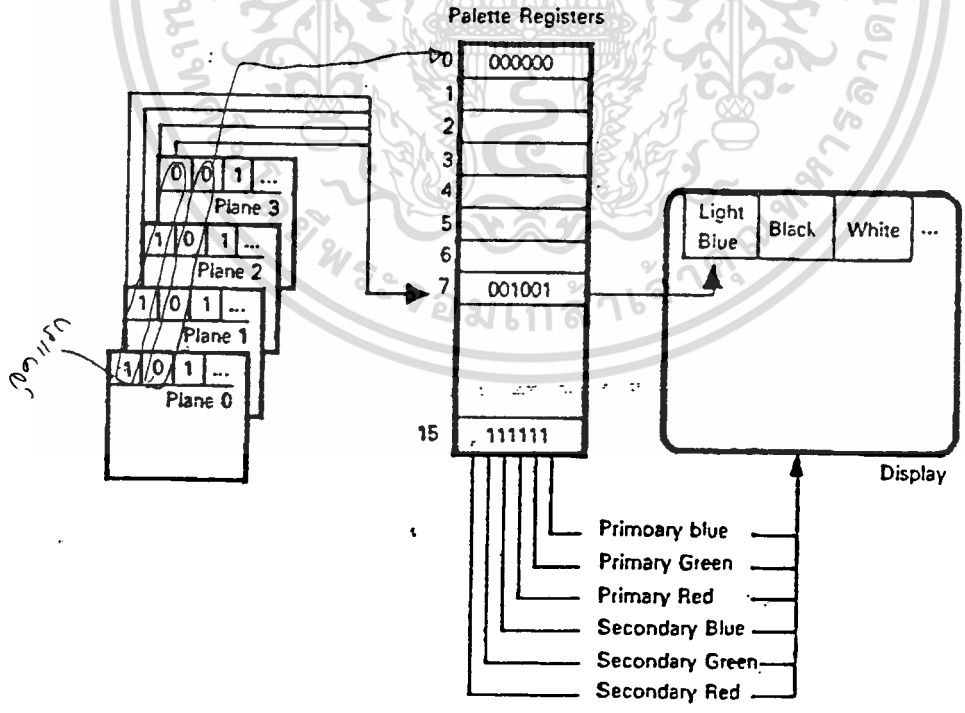
ทำหน้าที่ควบคุมแอตทริบิวต์ของการแสดงผล เช่น แอตทริบิวต์ที่เป็นสีต่าง ๆ แอตทริบิวต์ที่แสดงการกระพริบ(blinking) หรือการขีดเส้นใต้ (under line) แอตทริบิวต์คอนโทรลเลอร์ประกอบด้วย register 20 register ดังแสดงในรูปที่ 13 ในการกระทำกับ register (เขียนหรืออ่าน)ของ VGA นั้นจะใช้คำสั่งที่กระทำกับพอร์ตคือ คำสั่ง In หรือ Out แต่ละกลุ่มของ register จะมีแอดเดรสพอร์ตประจำแต่ละกลุ่ม เช่น กราฟิกคอนโทรลเลอร์จะมีแอดเดรสพอร์ตที่ 3CE เป็นอินเด็กซ์ register และ 3FC เป็นดาต้า register ตัวอย่างเช่น ถ้าต้องการ out ค่า 3EH(ฐานสิบหก)ไปที่รีจิสเตอร์ Data Rotate ก็ทำได้โดย out ค่า 03 ไปที่พอร์ต 3CE (03 เป็นอินเด็กซ์ของ Data Rotate) จากนั้นจึง out ค่า 3EH ไปที่พอร์ต 3CF สำหรับรีจิสเตอร์อื่นก็ทำนองเดียวกัน แต่สำหรับแอตทริบิวต์คอนโทรลเลอร์ซึ่งมีพอร์ตสำหรับการเขียนอยู่แอดเดรสเดียวกัน ไซเกิลของการเขียนจะทำให้มีการเปลี่ยนไปมาระหว่างอินเด็กซ์รีจิสเตอร์กับดาต้ารีจิสเตอร์ ซึ่งจะสามารถเริ่มต้นได้ด้วยคำสั่ง In ที่พอร์ต 3DA หลังจากนั้นคำสั่งแรกที่ out ไปที่พอร์ต 3C0 จะถูกส่งไปที่อินเด็กซ์รีจิสเตอร์และคำสั่ง out คำสั่งต่อไปจะถูกส่งไปที่ดาต้ารีจิสเตอร์

ส่วนสำคัญของ แอตทริบิวต์คอนโทรลเลอร์ อยู่ที่ ตารางค้นหาสี (Color look-up table)ซึ่งจะทำการแปลงข้อมูลขนาด 4 บิตที่เก็บในหน่วยความจำของการแสดงผลไปเป็นข้อมูลของสีขนาด 6 บิต ซึ่งจะรวมกับข้อมูลจากรีจิสเตอร์ Color Select อีก 2 บิต รวมเป็น 8 บิต ที่จะส่งให้กับ Video DAC ต่อไป แต่สำหรับ EGA ข้อมูลสี 6 บิตจะถูกส่งไปยังจอแสดงผลโดยตรง ซึ่งมีข้อแตกต่างระหว่างโหมดตัวอักษร(TEXT MODE) กับโหมดกราฟิก ในรูปที่ 14 แสดงตารางการค้นหาสีของแอตทริบิวต์คอนโทรลเลอร์ในรูป (ก) นั้นเป็นการแสดงในโหมดกราฟิก ค่าของสีจุดหนึ่ง (pixel) มีค่าเป็น 0111(เท่ากับ 7)ค่าของสีนี้จะถูกใช้เป็นแอดเดรสชี้ไปรีจิสเตอร์ที่ 7 ของตารางค้นหาสี ซึ่งภายในมีค่าเป็น 001001 บิตที่ 0 และบิตที่ 3 แทนสีฟ้าที่มี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

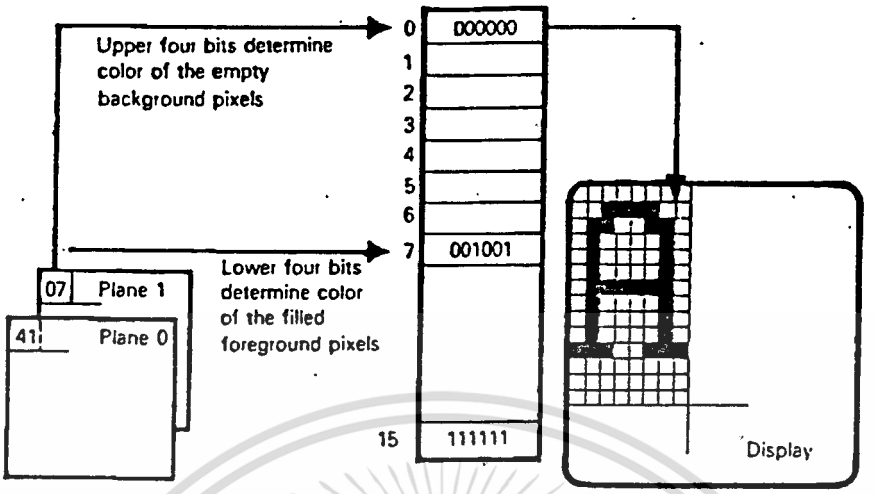
Register Name	R/W	Index	Read Port	Write Port
Address	R/W		03C0	03C0
Palette Registers	R/W	00-0F	03C1	03C0
Attribute Mode Control	R/W	10	03C1	03C0
Overscan Color	R/W	11	03C1	03C0
Color Plane Enble	R/W	12	03C1	03C0
Horizontal PEL Panning	R/W	13	03C1	03C0
Color Select	R/W	14	03C1	03C0

รูปที่ 13 ตารางแสดงรีจิสเตอร์ในแอดทริบิวต์คอนโทรลเลอร์



รูปที่ 14 (ก) แสดงการแปลงข้อมูลจากหน่วยความจำไปเป็นรูป (จุด) ในโหมดกราฟิก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



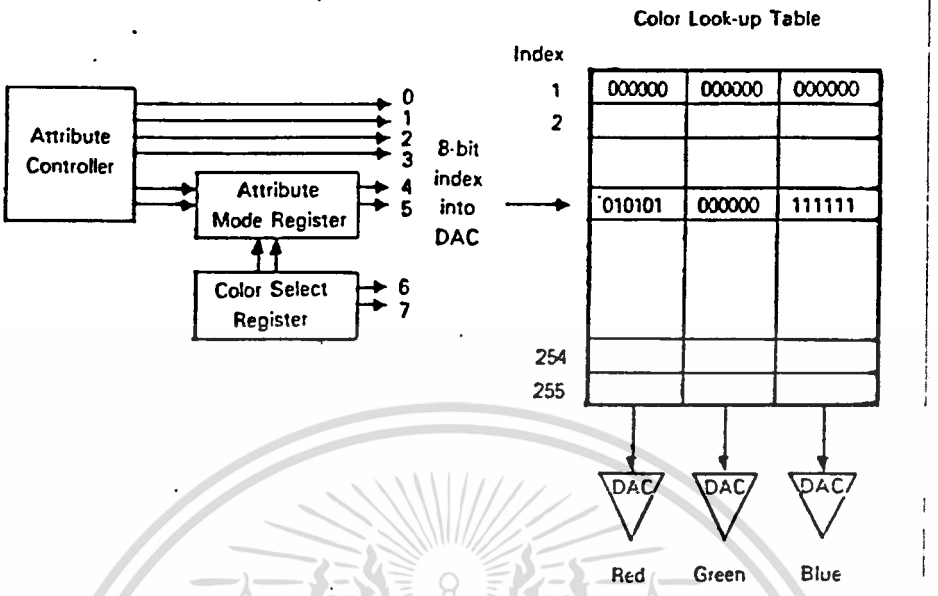
รูปที่ 14 (ข)การแปลงจากรหัสไปเป็นตัวอักขระพร้อมทั้งแอตทริบิวต์

ความเข้มแตกต่างกัน ดังนั้นจุดภาพ (pixel) จุดแรกจึงมีสีฟ้า ส่วนจุดต่อไปมีค่าเป็น 0000 ซึ่งชี้ไปที่รีจิสเตอร์ 0 และค่าภายในเป็น 0 ดังนั้นจุด(pixel)นี้จึงเป็นสีดำ ในรูปที่ 14 (ข) เป็นการแสดงในโหมดตัวอักขระ จะเห็นว่าเพลน 0 เก็บค่า 41 ซึ่งเป็นรหัสแอสกีของตัวอักษร A เพลน 1 เก็บค่า 07 ซึ่งเป็นแอตทริบิวต์ของตัวอักษร A 4บิตบนของแอตทริบิวต์เป็นตัวกำหนดสีของแบรคกราวนด์ และ 4 บิตล่างเป็นตัวกำหนดสีของโฟร์กราวนด์

VGA VIDEO DAC

ส่วนประกอบหลักตัวสุดท้ายของระบบแสดงผล VGA นี้คือ VIDEO DAC(Digital to Analog Converter)ตัวแปลงข้อมูลดิจิตอลให้เป็นสัญญาณอะนาลอกเพื่อขับจอแสดงผลไอบีเอ็มใช้ VIDEO DAC ของบริษัท Inmos เบอร์ IMSG-171 ภายในประกอบด้วยตัวแปลงสัญญาณ 3 ชุดสำหรับ 3 สี คือ แดง เขียว น้ำเงิน และตารางค้นหาสี(Color look- up table) ที่รับข้อมูลขนาด 8 บิตจากแอตทริบิวต์คอนโทรลเลอร์มาเป็นดังชี้รีจิสเตอร์ขนาด 18 บิต 1 ใน 256 รีจิสเตอร์ เพื่อเลือกข้อมูลที่จะนำไปแปลงเป็นสัญญาณอะนาลอกดังแสดงในรูปที่ 15

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 15 แสดงตารางการแปลงข้อมูลสีของ DAC

จากรีจิสเตอร์จำนวน 256 รีจิสเตอร์ ทำให้สามารถแสดงผลได้พร้อมกัน 256 สี แต่ภายใน 1 รีจิสเตอร์มีขนาด 18 บิต จะมีสีต่างกันได้ทั้งสิ้น 2^{18} = 256K สี และนี่คือ เหตุผลที่ระบบ VGA สามารถแสดงสีได้ 256 สีพร้อมกัน จากจำนวนสีทั้งสิ้น 256K สี ที่กล่าวมาทั้งหมดคือโครงสร้างทางฮาร์ดแวร์ของการ์ด VGA ต่อไปจะขออธิบายรายละเอียดของแต่ละโหมดการแสดงผลดังต่อไปนี้

2.1.2 โหมดการแสดงผลของการ์ด VGA

การแสดงผลโหมด 0 และ 1 (โหมดข้อความมีสี)

สำหรับโหมดการแสดงโหมดนี้นั้นเป็นของการ์ด CGA บนการ์ด VGA ฟังก์ชั่นการทำงานทุกอย่างเหมือนกับ CGA ทุกประการ เพียงแต่ไม่มีขั้วต่อสำหรับสัญญาณวิดีโอคอมโพสิต จอภาพที่ใช้ในโหมดนี้ใช้จอ Color Display (CD), Enhanced Color Display(ECD), จอ VGA หรือจอหลายความถี่ (multifrequency) ที่มีความละเอียด 40 ตัวอักษร 25 บรรทัด ฟอนต์ตัวอักษรในโหมดนี้มีขนาด 8 X 8 จุด โหมดนี้เป็นโหมดข้อความที่มีความละ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Mode	Type	Colors	Resolution	Compatible Displays
0, 1	Color text	16	40×25 8×8 char cell	CD, ED, VGA Multifrequency
0*, 1*	Color text	16	40×25 8×14 char cell	ED, VGA Multifrequency
0+, 1+	Color text	16	40×25 9×16 char cell	VGA Multifrequency
2, 3	Color text	16	80×25 8×8 char cell	CD, ED, VGA Multifrequency
2*, 3*	Color text	16	80×25 8×14 char cell	ED, VGA Multifrequency
2+, 3+	Color text	16	80×25 9×16 char cell	VGA Multifrequency
4, 5	Color graphics	4	320×200	CD, ED, VGA Multifrequency
6	Color graphics	2	640×200	CD, ED, VGA Multifrequency
7	Monochrome text	2	80×25 8×14 char cell	Monochrome VGA
7	Monochrome text		80×25 9×16 char cell	VGA only
8, 9, A	PC jr only			
D	Color graphics	16	320×200	CD, ED, VGA Multifrequency
E	Color graphics	16	640×200	CD, ED, VGA Multifrequency
F	Mono graphics		640×350	Monochrome VGA
10	Color graphics	16	640×350	ED, VGA Multifrequency
11	Color graphics	2	640×480	VGA Multifrequency
12	Color graphics	16	640×4890	VGA Multifrequency
13	Color graphics	256	320×200	VGA Multifrequency

Most multifrequency displays are VGA compatible.
The original NEC Multisync is not.

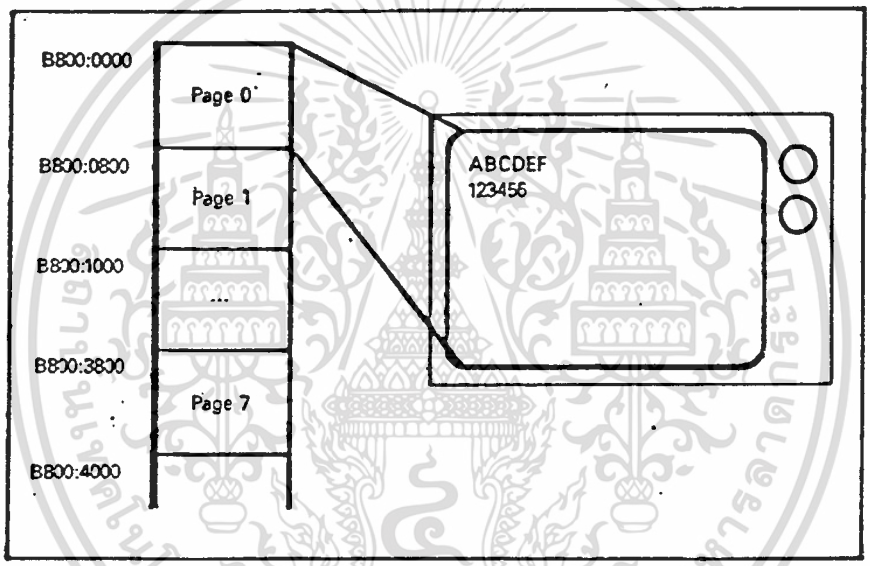
CD = Color Display.
ED = Enhanced Color Display.

รูปที่ 16 ตารางแสดงโหมดแสดงผลมาตรฐานของระบบวิดีโอไอบีเอ็ม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เพจ 0 ตำแหน่ง B800:0000	เพจ 4 ตำแหน่ง B800:2000
เพจ 1 ตำแหน่ง B800:0800	เพจ 5 ตำแหน่ง B800:2800
เพจ 2 ตำแหน่ง B800:1000	เพจ 6 ตำแหน่ง B800:3000
เพจ 3 ตำแหน่ง B800:1800	เพจ 7 ตำแหน่ง B800:3800

รูปที่ 17



รูปที่ 18 แสดงตำแหน่งหน่วยความจำแต่ละเพจในโหมด 0 และ 1

Attribute	Standard Color	Intensified Color
000	Black	Gray
001	Blue	Light Blue
010	Green	Light Green
011	Cyan	Light Cyan
100	Red	Light Red
101	Magenta	Light Magenta
110	Brown	Yellow
111	Gray	White

รูปที่ 19 ตารางแสดงสีของตัวอักษรในโหมดข้อความที่มีสี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอียดต่ำสุด

สำหรับซอร์ฟแวร์ที่ทำงานบนระบบ CGA เดิม จะสามารถทำงานบนการ์ด VGA ได้ แต่จะต้องเป็นซอร์ฟแวร์ที่ใช้ฟังก์ชั่นบริการของไบออสซอร์ฟแวร์ที่กระทำโดยตรงต่อหน่วยความจำแสดงผลหรือติดต่อโดยตรงกับรีจิสเตอร์อินพุต/เอาต์พุตของการ์ดแสดงผล อาจจะมีปัญหาเกิดขึ้นในการทำงาน

การ์ด VGA ในโหมด 0 และ 1 นี้ มี 8 เพจ การเลือกเพจสำหรับแสดงผลอาจจะควบคุมผ่านไบออสหรือผ่านทาง Start Address register ใน CRT Controller (ซึ่งอธิบายต่อในเรื่องของการโปรแกรมใช้งาน) แต่ละเพจมีตำแหน่งหน่วยความจำดังแสดงใน รูปที่ 17 และ 18

สำหรับเรื่องสีก็เป็นไปตามมาตรฐานคือ จะประกอบด้วย 8 สีตามปกติ และอีก 8 สีเมื่อเพิ่มความเข้ม(intensity) ดังตารางรูปที่ 19

สำหรับจอภาพ VGA ซึ่งมีความละเอียดสูง เมื่อแสดงผลในโหมดนี้ VGA จะใช้เทคนิคพิเศษในการจัดให้อัตราส่วนของภาพในแนวตั้งใกล้เคียงกับจอ CGA ซึ่งจอ CGA มีความละเอียดต่ำคือ 200 เส้นสแกน แต่ถ้าเป็นจอ VGA ใน 200 เส้นจะถูกสแกน 2 ครั้งเป็น 400 เส้นสแกน เรียกเทคนิคนี้ว่า "Double scanning" เทคนิคนี้จะใช้ในโหมด 0,1,2,3,4,5,6,D และ E

<u>การแสดงผลโหมด 0* และ 1*</u> (โหมดข้อความสี)

โหมด 0* และ 1* เป็นโหมดที่เหนือขึ้นมาจากโหมด 0 และ 1 การแสดงผลยังเป็นขนาด 40 ตัวอักษร 25 บรรทัด แต่ขนาดตัวอักษรซึ่งในโหมด 0 และ 1 มีขนาด 8X8 จุดก็จะเป็นขนาด 8X14 จุดแทน ดังนั้นในโหมดนี้จอภาพ CD จึงใช้ไม่ได้ โหมดนี้จะใช้จอ ECD,VGA หรือจอหลายความถี่ (multifrequency)

เนื่องจากความละเอียดของตัวอักษรที่เพิ่มขึ้น จะทำให้อ่านง่ายขึ้นในเรื่องความคอมแพคติเบิ้ลกับระบบ CGA เดิมก็จะลดลง ดดยเฉพาะในเรื่องเกี่ยวกับตัวอักษร เช่น การปรับขนาดของเคอร์เซอร์และการขีดเส้นใต้ของตัวอักษร

เช่นเดียวกับโหมด 0และ 1 โหมด 0* และ 1* ก็จะมี 8

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สีของการแสดงผลก็เช่นเดียวกับในโหมดที่ 0 และ 1 ในตารางในรูปที่ 19

<u>การแสดงผลโหมด 2* และ 3*</u> (โหมดข้อความสี)

โหมด 2* และ 3* ต่างจากโหมด 2 และ 3 คือ ขนาดของตัวอักษรที่ใช้แสดงจะเป็น 8 x 14 จุดต่อตัวอักษรซึ่งจะทำให้ไม่สามารถใช้กับจอภาพ CD ได้ แต่ใช้จอภาพแบบ ECD, VGA และจอหลายความถี่ และเนื่องจากความละเอียดของตัวอักษรมากกว่าในโหมดที่ 2 และ 3 ดังนั้นฟังก์ชั่นเกี่ยวกับการเปลี่ยนขนาดของเคอร์เซอร์จึงแตกต่างกัน

จำนวนเพจการแสดงผลก็มี 8 เพจเช่นเดียวกับโหมด 2 และ 3 ตำแหน่งของหน่วยความจำแต่ละเพจก็ตรงกับของโหมด 2 และ 3

<u>การแสดงผลโหมด 4 และ 5</u> (โหมดกราฟิก 4 สี และความละเอียด 320 x 200 จุด)

ในโหมด 4 และ 5 เป็นโหมดแสดงกราฟิกของระบบ CGA ที่นิยมมากที่สุด ดังนั้นจึงไม่ต้องสงสัยเลยว่าในระบบ EGA หรือ VGA จะมีการแสดงผลโหมดนี้ด้วย ความละเอียดของโหมดนี้คือ 320 จุดในแนวนอน และ 200 จุดในแนวตั้ง จอภาพที่ใช้กับโหมดนี้คือจอ CD,ECD,VGA และจอภาพหลายความถี่

ในโหมด 4 และ 5 สีที่ใช้แสดงมีอยู่ด้วยกัน 4 สี ซึ่งอาจจะมาจากกลุ่มสี 2 กลุ่ม ดังตารางรูปที่ 22 สำหรับซอร์ฟแวร์ของระบบ CGA เดิมที่มีการสั่งงานหนือควบคุมจอภาพผ่านทางรีจิสเตอร์อินพุต/เอาท์พุตของการ์ด CGA เมื่อนำมาใช้งานในโหมดนี้บนการ์ดแสดงผล EGA และ VGA อาจจะทำงานได้ไม่ถูกต้อง แต่เป็นซอร์ฟแวร์ที่ควบคุมภาพทางไบออสจะทำงานได้ทั้งนี้เนื่องจากการ์ดแสดงผล EGA และ VGA ไม่คอมแพตทิเบิ้ลกับจอ CGA ทั้งหมด

ในโหมดนี้จะมีเพจสำหรับการแสดงผลเพียงเพจเดียว โดยเริ่มที่ตำแหน่งหน่วยความจำ B800:0000 ข้อมูลของจุดบนจอจะเหมือนกับระบบ CGA เดิมทุกประการคือ 1 จุดจะแทนด้วย 2 บิต

การ์ด CGA รุ่นก่าซึ่งใช้ชิฟของโมโตโรล่า 6845 การสแกนในแนวตั้งจะถูกจำกัดอยู่ที่ 128 เส้นสแกน ดังนั้นเพื่อให้ได้ความละเอียดในแนวตั้งสูงถึง 200 เส้น จึงต้องโปรแกรมให้ CTR Controller ทำงานในโหมดข้อความ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยมี 100 แถว แต่จำนวนจุดในความสูงของตัวอักษรจะมีเพียง 2 จุดเท่านั้น

Standard Color	Alternate Color
Black	Black
Light Cyan	Green
Light Magenta	Red
White	Brown

รูปที่ 22

ดังนั้นสิ่งที่แสดงบนจอภาพจึงได้มาจากรูปร่างของตัวอักษร ซึ่งทำให้ตำแหน่งในหน่วยความจำไม่ต่อเนื่องกันเหมือนตำแหน่งของจุดบนจอภาพ โดยต้องใช้การคำนวณ และจะกล่าวถึงภายหลัง

<u>การแสดงผลโหมด 6</u> (โหมดกราฟิก 2 สี ความละเอียด 640 x 200 จุด)

โหมด 6 เป็นการแสดงผลที่มีความละเอียดสูงสุดในโหมดกราฟิกของระบบ CGA โดยมีความละเอียด 640 จุดในแนวนอน และ 200 จุดในแนวตั้ง จอภาพที่ใช้ในโหมดนี้คือ จอภาพ CD,ECD,VGA และจอภาพหลายความถี่

เช่นเดียวกันกับโหมดกราฟิกก่อนหน้านี้คือ ซอร์ฟแวร์ที่ใช้งานบน CGA อาจจะทำงานได้ไม่ถูกต้องถ้ามาทำงานบนการ์ด EGA หรือ VGA ในกรณีที่ซอร์ฟแวร์ตัวนั้นไม่ได้ควบคุมจอภาพผ่านทางไบออส

ดังที่อธิบายในโหมด 4 และ 5 แล้วตำแหน่งในหน่วยความจำจะไม่เรียงต่อกัน และ ในโหมดนี้จะส่งแสดงผลเพียงโหมดเดียวคือที่ตำแหน่ง B800:0000

<u>การแสดงในโหมด 7</u> (โหมดข้อความบนโมโนโครม)

ในโหมด 7 เป็นโหมดของข้อความซึ่งมีอยู่ในระบบ Monochrome Display Adapter(MDA) จอภาพที่ต้องใช้กับโหมดนี้คือจอโมโนโครม หรือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เพจ 0 ตำแหน่ง A000:0000	เพจ 4 ตำแหน่ง A000:4000
เพจ 1 ตำแหน่ง A000:1000	เพจ 5 ตำแหน่ง A000:5000
เพจ 2 ตำแหน่ง A000:2000	เพจ 6 ตำแหน่ง A000:6000
เพจ 3 ตำแหน่ง A000:3000	เพจ 7 ตำแหน่ง A000:7000

รูปที่ 23

จอ VGA มีความละเอียด ของตัวอักษร 80 ตัวอักษรต่อคอลัมน์ 25 แถว หนึ่งตัวอักษรประกอบด้วยจุด 8 x 14 จุด แต่เมื่อแสดงบนจอภาพจะถูกขยายเป็น 9 x 14 จุด (เพื่อให้ได้จุดในแนวนอนเป็น 720 จุด) โดยที่บิตที่ 8 หรือบิตสุดท้ายของข้อมูลจะถูกขยายออกไปเป็นบิตที่ 9 ซึ่งช่วยให้การเขียนตัวอักษรที่ใช้สำหรับทำกรอบสี่เหลี่ยม(ตั้งแต่รหัสแอสกี C0 hex ถึง DF hex) มีรอยต่อเชื่อมสนิท อย่างไรก็ตามการขยายบิตที่เก้าจะควบคุมได้

โหมดนี้มีเพจสำหรับการแสดงผล 8 เพจ(ยกเว้นกรณีของการ์ด EGA ของไอบีเอ็มซึ่งมีหน่วยความจำ 64 Kbyte จะมี 8 เพจ)โดยแต่ละเพจจะมีตำแหน่งหน่วยความดังรูปที่ 23

ส่วนแอตทริบิวต์ของตัวอักษรก็ยังคงเป็นเช่นเดิมในโมโนโครมซึ่งประกอบด้วย กระพริบ เข้ม ขีดเส้นใต้ และ รีเวิร์สวิดีโอ

<u>การแสดงผลโหมด D</u> (โหมดกราฟิก 16 สี 320 x 200 จุด)

ในโหมด D นี้ไม่เหมือนการแสดงผลโหมดต่าง ๆ ที่ผ่านมา เพราะว่าไม่ ใช่ทำเพื่อความคอมแพตติเบิ้ลกับระบบแสดงผลเก่า ถึงแม้ความละเอียดจะเท่ากับโหมด 4 ของ CGA แต่ในโหมด D สามารถแสดงสีได้ถึง 16 สี และ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เพจ 0 ตำแหน่ง A000:0000
เพจ 1 ตำแหน่ง A000:4000
เพจ 2 ตำแหน่ง A000:8000
เพจ 3 ตำแหน่ง A000:C000

รูปที่ 24

Plane	Full (128K+)	Partial (64 KB)
3 2 1 0	Colors	Colors
0 0 0 0	Black	Black
0 0 0 1	Blue	Blue
0 0 1 0	Green	Black
0 0 1 1	Cyan	Blue
0 1 0 0	Red	Red
0 1 0 1	Magenta	White
0 1 1 0	Brown	Red
0 1 1 1	White	White
1 0 0 0	Dark Gray	Black
1 0 0 1	Light Blue	Blue
1 0 1 0	Light Green	Black
1 0 1 1	Light Cyan	Blue
1 1 0 0	Light Red	Red
1 1 0 1	Light Magenta	White
1 1 1 0	Yellow	Red
1 1 1 1	Intens. White	White

รูปที่ 25 ตารางแสดงสีมาตรฐานในกราฟิก 16 สี

เพราะความละเอียดของจอภาพที่จำกัดไว้ที่ 320 x 200 จุด จึงทำให้มีชอร์ฟ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แวร์จำนวนน้อยมากที่ทำงานบนโหมดนี้ สำหรับจอภาพที่ใช้กับโหมดนี้คือจอCD, ECD, VGA และจอภาพหลายความถี่บางชนิด

สำหรับในการ์ด EGA ที่มีหน่วยความจำ 256 Kbyte จะมีเพจสำหรับแสดงผลได้ 8 เพจ และสำหรับการ์ด EGA ที่มีหน่วยความจำขนาด 128 Kbyte และ 64 Kbyte จะมีเพจแสดงเพียง 4 เพจและ 2 เพจตามลำดับ แต่ละเพจอยู่ที่ตำแหน่งหน่วยความจำดังรูปที่ 24

โหมดนี้นั้นตำแหน่งของจุดกับตำแหน่งหน่วยความจำจะเรียงต่อกันเรื่อยไปและมีสีใช้งาน 16 สีอยู่ในตารางรูปที่ 25

การแสดงผลโหมด E (กราฟิก 16 ขนาด 640 x 200 จุด)

โหมด E กับโหมด 6 จะเป็นกราฟิกความละเอียดเท่ากัน ต่างกันที่โหมด E สามารถแสดงสี 16สีและเช่นเดียวกับโหมด D เนื่องจากความละเอียดที่ยังไม่ดีพอ ซอร์ฟแวร์สมัยใหม่จึงไม่นิยมทำงานในโหมด E จอที่ใช้สำหรับโหมดนี้คือ CD,ECD,VGA และจอหลายความถี่

สำหรับการ์ด EGA ที่มีหน่วยความจำเต็มที่ถึง 256 กิโลไบต์ สามารถแสดงผลในโหมดนี้ได้ถึง 4 เพจ ถ้ามีหน่วยความจำ 128 กิโลไบต์จะแสดงได้ 2 เพจ และถ้ามีหน่วยความจำเพียง 64 กิโลไบต์จะแสดงผลได้เพียงเพจเดียว

ในโหมดนี้นั้นตำแหน่งของจุดหับตำแหน่งในหน่วยความจำจะเรียงต่อกันและสีที่ใช้งานจะอยู่ในตารางรูปที่ 26

เพจ 0 ตำแหน่ง A000:0000
เพจ 1 ตำแหน่ง A000:4000
เพจ 2 ตำแหน่ง A000:8000
เพจ 3 ตำแหน่ง A000:C000

รูปที่ 26

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การแสดงผลโหมด F (โหมดกราฟิก ขาวดำ 640 x 350 จุด)

เฉพาะการ์ด EGA และ VGA เท่านั้นที่สามารถแสดงผลในโหมด เพราะว่าไม่ใช่โหมดการแสดงผลที่สร้างขึ้นมาเพื่อให้คอมแพตติเบิ้ลกับโหมดใดๆ จอภาพที่ใช้กับโหมดนี้คือ จอ Monochrome VGA ซึ่งต้องมีความละเอียดในแนวนอน 640 จุด และความละเอียดใน แนวตั้ง 350 จุด (จะพบว่าความละเอียดน้อยกว่าโหมดกราฟิกของเฮอร์คิวลิสที่มีความละเอียด 720 x 380 จุด)

ในโหมด F ตำแหน่งของจุดบนจุดถึงตำแหน่งของหน่วยความจำจะเรียงต่อกัน ไม่เหมือนกับโหมดกราฟิกของเฮอร์คิวลิส การแสดงผลจะมีได้ 2 เพจ ยกเว้นการ์ด EGA ของไอบีเอ็มที่หน่วยความจำเพียง 64 กิโลไบต์ จะมีการแสดงผลได้เพียง 1 เพจ ตำแหน่งหน่วยความจำของแต่ละเพจจะเป็นดังรูปที่ 27

เพจ 0 ตำแหน่ง A000:0000
เพจ 1 ตำแหน่ง A000:8000

รูปที่ 27

ส่วนเรื่องของสีนั้นจะเกิดมาจากหน่วยความจำเพลนสี 2 เพลน ซึ่งจะทำให้จุดแต่ละจุดมีแอตติบิวต์ได้ดังรูปที่ 28

00 · ดำ
01 · ขาว
10 · กะพริบ
11 · มีความเข้ม

รูปที่ 28

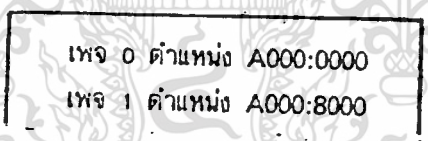
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การควบคุมเพลนสีของหน่วยความจำจะกล่าวถึงอีกครั้งหนึ่ง

การแสดงผลโหมด 10H (โหมดกราฟิกสีแบบ Enhanced ขนาด 640 x 350 จุด)

ในโหมด 10H เป็โหมดที่เพิ่มขึ้นใน EGA และ VGA โหมดนี้เป็นที่นิยมใช้กับสำหรับโปรแกรมกราฟิกทั่วไป ความละเอียดของโหมดจะมีถึง 640 จุดในแนวนอน และ 350 จุดในแนวตั้ง โหมดนี้จะใช้กับจอภาพชนิด CD ไม่ได้ ต้องใช้กับจอภาพ ECD,VGA หรือจอหลายความถี่ การควบคุมสีใช้เพลนสีถึง 4 เพลน ดังนั้นสามารถแสดงผลได้ 16 สีในเวลาเดียวกันยกเว้นการ์ด EGA ของไอบีเอ็มที่มีหน่วยความจำเพียง 64 กิโลไบต์ จะใช้เพลนสีได้เพียง 2 เพลน

ในโหมด 10H จะแสดงผลได้ 2 เพจ (สำหรับ EGA ที่มี 64 กิโลไบต์ จะมีได้ 1 เพจ)โดยหน่วยความจำแต่ละเพจเป็นดังรูปที่ 14 สีที่ใช้แสดงในโหมด 10H อยู่ในตารางรูปที่ 29 โหมดการแสดงต่อไปนี้จะเป็นโหมดการแสดงที่มีเพิ่มขึ้นเฉพาะในระบบ VGA เท่านั้น



รูปที่ 29

การแสดงผลโหมด 0+ และ 1+ (โหมดข้อความสี)

สำหรับในโหมดนี้จะเป็นโหมดที่มีเพิ่มขึ้นมาในจากการแสดลผลในโหมด 0 และ 1ของ CGA ซึ่งความละเอียดของจอจะเป็น 40 ตัวอักษรต่อคอลัมน์และ 25 บรรทัด แต่ชุดตัวอักษรที่ใช้ในโหมดของ CGA ที่เคยมีขนาด 8 x 8 จุดก็จะใช้ชุดตัวอักษรของ VGA แทนซึ่งมีขนาดความกว้าง 9 จุดสูง 16 จุด

การแสดงผลโหมด 2+ และ 3+ (โหมดข้อความสี)

โหมดนี้ก็เช่นเดียวกันเป็นโหมดการแสดงผลเพิ่มขึ้นจากโหมด 2 และ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3 ของมาตรฐานระบบ CGA คือมี 80 ตัวอักษรต่อคอลัมน์และ 25 บรรทัด แต่ชุดตัวอักษรจะเป็นชุดของ VGA ซึ่งมีตัวอักษร 1 ตัวมีขนาดกว้าง 9 จุดสูง 16 จุด

การแสดงผลโหมด 7+ (โหมดข้อความโมโนโครม)

โหมดนี้เป็นโหมดเพิ่มขึ้นมาจากโหมดข้อความของ MDA มาตรฐาน โดยชุดตัวอักษรที่ใช้เป็นชุดตัวอักษรของ VGA ขนาด 9 x 16 จุด

การแสดงผลโหมด 11H (โหมดกราฟิก 2 สี 640 x 480 จุด)

เป็นโหมดการแสดงผลกราฟิกที่มีความละเอียดสูงสุดแต่แสดงสีได้เพียง 2 สี ในโหมดนี้สามารถจะใช้แสดงข้อความได้ถึง 30 แถว แถวละ 80 คอลัมน์ หน่วยความจำแสดงผลเริ่มต้น A000:0000

การแสดงผลโหมด 12H (โหมดกราฟิก 16 สี 640 x 480 จุด)

เป็นโหมดการแสดงผลกราฟิกที่มีความละเอียดสูงสุดและแสดงสีได้ถึง 16 สีพร้อมกันดังในตารางรูปที่ 25 หน่วยความจำแสดงผลเริ่มต้น A000:0000

การแสดงผลโหมด 13H (โหมดกราฟิก 256สี 320 x 200 จุด)

ในโหมดกราฟิกโหมดนี้สามารถแสดงสีได้พร้อมกันถึง 256 สี แต่ความละเอียดจะลดลงเหลือเพียง 300 x 200 จุด หน่วยความจำแสดงผลเริ่มต้น A000:0000 การจัดเรียงหน่วยความจำอยู่ในรูปที่ 14 หนึ่งจุดบนจอภาพจะแทนด้วยข้อมูลขนาด 1 byte ซึ่งจัดเก็บอยู่บนทั้ง 4 เพลน การหาตำแหน่งของหน่วยความจำจากจุดบนจอภาพหาได้จากสูตร

ตำแหน่งไบท์ = (Y * 320) + X

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2 สัญญาณต่าง ๆ บนสล็อตของ IBM/PC

ภายใน IBM/PCได้มีการออกแบบให้สามารถที่จะเพิ่มเติมวงจรอินเตอร์เฟสเข้าไปในภายหลังได้ โดยผ่านทางสล็อตที่มีอยู่บนเมนบอร์ด (MAIN BOARD) สำหรับบนเมนบอร์ดนี้จะมีจำนวน 5 สล็อต (สำหรับใน IBM PC/XT จะมี 8 สล็อต) ซึ่งแต่ละสล็อตจะมีจำนวนขาทั้งสิ้น 62 ขา แบ่งออกเป็น 2 ข้าง ๆ ละ 31 ขาส่วนการเรียกตำแหน่งขาของสล็อตเหล่านี้ จะขึ้นอยู่กับว่าขานั้นอยู่ข้างใด (ซ้ายหรือขวา) ของสล็อตโดยขาที่อยู่ทางด้านซ้ายของสล็อตจะเรียกโดยใช้อักษร "B" นำหน้าเลขตำแหน่งของขาเช่น ขา B16 ก็คือ ขาทางด้านซ้ายของสล็อตขาที่ 16 ส่วนขาที่อยู่ทางด้านขวาของสล็อตจะเรียกโดยใช้อักษร "A" นำหน้าแต่ละขาของสล็อตเหล่านี้จะเชื่อมกับเส้นสัญญาณต่างๆ บนเมนบอร์ด ทำให้การสร้างวงจร อินเตอร์เฟส กับ IBM/PC สามารถทำได้โดยสะดวก ซึ่งเส้นสัญญาณที่เชื่อมต่อกับขาของสล็อตเหล่านี้จะประกอบไปด้วยเส้นสัญญาณของบัสแอดเดรส(ADDRESS BUS),บัสข้อมูล (DATA BUS) ,บัสควบคุมสำหรับการเขียน/อ่านข้อมูลจากหน่วยความจำหรือ พอร์ตI/O, เส้นสัญญาณสำหรับการขออินเตอร์รัพ ของวงจรอินเตอร์เฟส, เส้นสัญญาณสำหรับการขอ DMA, สัญญาณฐานเวลา (TIMING SIGNAL) ต่างๆ ที่ใช้ในระบบ เส้นสัญญาณแสดงการ รีเฟรชหน่วยความจำ และ สัญญาณสำหรับการตรวจสอบความผิดพลาด (I/O CHECK)

นอกจากสัญญาณเหล่านี้แล้วสล็อตบนเมนบอร์ดยังเชื่อมต่อกับแหล่งจ่ายไฟต่างๆ ที่ใช้ในระบบ อีกด้วย คือ +5 VDC, -5 VDC, +12 VDC และ -12 VDC

รายละเอียดของสัญญาณต่าง ๆ บนสล็อต

(I), (o) และ (I/O) หมายถึง ทิศทางของขาสัญญาณเมื่อเทียบกับเมนบอร์ด

โดยที่ (I) หมายถึง ขาสัญญาณอินพุต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

(O) หมายถึง ขาสัญญาณเอาต์พุต

(I/O) หมายถึง ขาสัญญาณที่เป็นได้ทั้งอินพุตและเอาต์พุต

(*I/O) หมายถึงในช่วงการทำงานปกติจะเป็นขาสัญญาณเอาต์พุต แต่จะเป็นอินพุตในช่วงที่เกิดขบวนการ DMA

สำหรับขาสัญญาณที่มีเครื่องหมายลบนำหน้าจะหมายถึง ขาสัญญาณที่แอคตีฟที่ลอจิก "0" และขาสัญญาณที่ไม่มี หรือมีเครื่องหมายบวกนำหน้าอยู่จะหมายถึง ขาสัญญาณที่แอคตีฟที่ลอจิก "1" สัญญาณที่ต่ออยู่บนสลอ็ตนี้สามารถขับไอซีทีทีแอลชนิดโลว์เพาเวอร์ได้สองตัว โดยไม่ทำให้เกิดการโหลด หรือการเพี้ยนของสัญญาณ ขาสัญญาณต่าง ๆ บนสลอ็ตของ XT และ AT สามารถแบ่งออกเป็นกลุ่ม ๆ ได้ดังนี้

เพาว์เวอร์ซัพพลาย

Ground	ขาสัญญาณนี้ต่ออยู่กับกราวด์ของระบบเรกูเลเตอร์
+ 5V	ขาสัญญาณนี้ต่ออยู่กับไฟ DC เรกูเลเตอร์ +5 โวลท์
- 5V	ขาสัญญาณนี้ต่ออยู่กับไฟ DC เรกูเลเตอร์ -5 โวลท์
+ 12V	ขาสัญญาณนี้ต่ออยู่กับไฟ DC เรกูเลเตอร์ +12 โวลท์
- 12V	ขาสัญญาณนี้ต่ออยู่กับไฟ DC เรกูเลเตอร์ -12 โวลท์

แอดเดรสบัส และ สัญญาณต่าง ๆ ที่เกี่ยวข้อง

SA0-SA19	เป็นแอดเดรสบิตที่ 0 ถึง 19 โดยที่ SA0 มีนัยสำคัญต่ำที่สุด ขาสัญญาณนี้จะแอคตีฟ เมื่อขาสัญญาณ BALE มีสถานะเป็น "1" และจะถูกแลตช์ไว้ตอนขอบขาลงของขาสัญญาณ BALE แอดเดรสทั้ง 20 บิตนี้ สามารถอ้างหน่วยความจำได้ถึง 1 เมกกะไบต์ XT และสำหรับ AT เมื่อใช้ร่วมกับ LA17-LA23 จะอ้างได้ถึง 16 เมกกะไบต์
LA17-LA23 (*I/O)	(เฉพาะรุ่น AT) ขาสัญญาณนี้จะแอดเดรสเมื่อขาสัญญาณ BALE มีสถานะเป็นลอจิก "1" แต่จะไม่มีการแลตช์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ไว้ ตอนขอบขาลงของขาสัญญาณ BALE ดังนั้นถ้าอุปกรณ์ I/O ไม่มีการอ้างแอดเดรสเกิน 1 เมกกะไบต์ ขาสัญญาณนี้ก็ไม่จำเป็นต้องใช้ แต่ถ้ามีการอ้างแอดเดรสเกินอุปกรณ์ I/O จะต้องมีการแลตช์สัญญาณนี้ โดยใช้ขอบขาลงของขาสัญญาณ BALE ร่วมกับขาสัญญาณ -MEMW และ -MEMR

AEN (O) (Address Enable) ขาสัญญาณนี้จะแอคตีฟเมื่อตัวควบคุม DMA ได้ทำการควบคุมบัสต่าง ๆ ของระบบแล้ว ดังนั้นการอ้างพอร์ตของสัญญาณ I/O จะต้องใช้สัญญาณนี้ ในการดีโค้ดด้วย เพื่อที่จะไม่ทำให้เกิดการติดต่อระหว่างระบบกับอุปกรณ์ I/O ตัวอื่นยกเว้นตัวที่กำลังทำขบวนการ DMA อยู่ BALE (Address Latch Enable) ขาสัญญาณนี้ใช้ในการแสดงการเริ่ม (O)ต้นของขบวนการต่าง ๆ ที่มีการติดต่อกับหน่วยความจำโดยจะแอคตีฟเมื่อค่าแอดเดรสที่ CPU ต้องการติดต่อด้วยอยู่บนแอดเดรสบัส เรียบร้อยแล้ว ตามปกติขอบขาลงของสัญญาณนี้จะทำให้เกิดการแลตช์สัญญาณ SA0-SA19 และถ้ามีการอ้างแอดเดรสเกิน 1 เมกกะไบต์ใน AT จะใช้ขอบขาลงสัญญาณนี้ในการแลตช์สัญญาณ LA17- LA23 ด้วยเช่นกัน แต่สำหรับในขบวนการ DMA สัญญาณนี้จะมีสถานะเป็น "1" ตลอด

SBHE (เฉพาะรุ่น AT) (Bus High Enable) เป็นขา
(I/O) สัญญาณที่ใช้แสดงว่ามีการรับส่งข้อมูลในบิตที่ SD8-SD15

ดาต้าบัส

SD0-SD7 สำหรับรุ่น AT จะมี SD0-SD15 เพิ่มขึ้นมาด้วยคือ ดา
(I/O) ต้าบิต 0 ถึง 7 สำหรับ XT และสำหรับรุ่น AT คือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตาต้าบิต 0 ถึง 15 โดยที่ SD0 มีนัยสำคัญต่ำสุด สำหรับ AT ถ้ามีการติดต่อกับบิตที่ SD8- SD15 สามารถตรวจสอบได้จากขาสัญญาณ SBHE

สัญญาณอินเตอร์รัพต์

IRQ2-IRQ7 (I) (Interrupt Request) (สำหรับรุ่น AT จะเป็น IRQ3-7,9-12, 14,1 5) เป็นขาสัญญาณอินเตอร์รัพต์ CPU สำหรับ AT ลำดับความสำคัญของสัญญาณ IRQ เป็นดังนี้คือ 9,10, 11, 12, 14, 15, 3, 4, 5, 6และ 7 โดย IRQ9 มีลำดับความสำคัญมากที่สุด และ IRQ7 มีลำดับความสำคัญน้อยที่สุด สำหรับ XT IRQ2 จะมีลำดับความสำคัญมากที่สุด รอง ๆ ลงไปคือ IRQ3,4,5,6,7 สำหรับรายละเอียดในการใช้งานแต่ละอินเตอร์รัพต์ให้ดูจากตารางการจัดลำดับอินเตอร์รัพต์ในหัวข้อการอินเตอร์รัพต์ โดยปกติสัญญาณนี้จะมีสถานะเป็น "0" เสมอ ถ้าต้องการอินเตอร์รัพต์ CPU ให้ส่งพัลส์ที่เป็นลอจิก "1" ให้กับมัน โดยที่ไม่จำเป็นต้องคำนึงถึงคาบเวลาของพัลส์ทั้งนี้เพราะระบบของ IBM ตัวอินเตอร์รัพต์คอนโทรลเลอร์ (8259 Interrupt Controller) จะถูกโปรแกรมให้ทำการตรวจสอบสัญญาณอินเตอร์รัพต์โดยใช้ขาขอบลงของสัญญาณนี้

I/O CH CK (I) (I/O Channel Check) เป็นขาสัญญาณที่บอกถึงความผิดพลาดในการรับส่งข้อมูลซึ่งตรวจสอบจากพาริตี้บิต ถ้าพาริตี้บิตที่อ่านจากหน่วยความจำ กับพาริตี้บิตที่สร้างขึ้นจากขบวนการรับส่งข้อมูลมีค่าไม่เท่ากัน แสดงว่าเกิดความผิดพลาดในการรับส่งข้อมูล สัญญาณนี้จะทำให้เกิดการอินเตอร์รัพต์ CPU แบบ NMI เพื่อบอกให้ CPU

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ทราบว่าเกิด Parity Error ขึ้น CPU จะแสดงข้อความบอกความผิดพลาดขึ้น และจะหยุดการทำงาน (Halt) เพื่อให้ผู้ใช้ตรวจสอบหาสาเหตุความผิดพลาด

สัญญาณที่ใช้ในขบวนการ DMA

DRQ1-DRQ3 (DMA Reques) (สำหรับรุ่น AT จะเป็น DRQ0-3,5-7) (I) เป็นขาสัญญาณใช้ในการขอทำขบวนการ DMA โดยที่ DRQ0 มีลำดับความสำคัญมากที่สุด และ DRQ3 มีลำดับความสำคัญน้อยที่สุดสำหรับรุ่น XT และสำหรับรุ่น AT ขา DRQ7 จะมีลำดับความสำคัญน้อยที่สุดบน XT DRQ0 ใช้สำหรับการรีเฟรชหน่วยความจำแบบไดนามิคจึงไม่มีขาสัญญาณ DRQ0 ต่อออกมาที่สลอ็ต แต่สำหรับ AT แล้วจะมีวงจรโดยเฉพาะสำหรับใช้ในการรีเฟรชหน่วยความจำแบบไดนามิคอยู่แล้วดังนั้นขา DRQ0 จึงว่างลงและนำมาต่อที่สลอ็ตเพื่อให้อุปกรณ์ได้ใช้งานได้ บางครั้งอาจจะเรียก DRQ0 เป็น DRQ4 ก็ได้ เพื่อป้องกันการสับสนกับส่วนที่ใช้รีเฟรชไดนามิคแรมบน XT (เช่นเดียวกัน ก็จะเรียก DACK0 เป็น DACK4)

การขอทำ DMA ทำได้โดยทำให้ขานี้มีสถานะเป็น "1" แล้วรอจนกระทั่งได้รับการตอบสนองการทำ DMA จาก CPU โดยการตรวจสอบสัญญาณ DACK ที่ส่งออกมา DACK0-3(Acknowledge)(สำหรับรุ่น AT จะเป็น DACK0-3,5-7) เป็น (O)สัญญาณตอบสนองการขอทำ DMA ของอุปกรณ์ I/O เพื่อให้อุปกรณ์ I/O ทราบว่าการขอทำขบวนการ DMA นั้นได้รับการตอบสนองแล้ว เช่นถ้ามีการขอทำ DMA ผ่านทาง DRQ2 และเมื่อ CPU รับรู้แล้ว จะทำให้สัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DACK2 แอคตีฟ

ถึงแม้ว่าบน XT จะมีการนำเอา DRQ0 ไปใช้ในการรีเฟรชไดนามิคแรมก็ตาม แต่สัญญาณ DACK0 ก็จะถูกต่อออกมาที่สลอ็ตด้วย เพื่อแสดงถึงขบวนการรีเฟรชไดนามิคแรมและอุปกรณ์ I/O สามารถนำสัญญาณนี้ไปใช้ในการรีเฟรชหน่วยความจำแบบไดนามิคที่อยู่ในตัวมันได้

Refresh (O) (เฉพาะรุ่น AT)(Memory Refresh) มีหน้าที่เหมือนกับขาสัญญาณ DACK0 ในรุ่น XT คือ ใช้แสดงขบวนการรีเฟรชหน่วยความจำเพราะว่าในรุ่น AT จะมีวงจรที่ใช้ในการรีเฟรชหน่วยความจำโดยตรงอยู่แล้ว ดังนั้นจึงไม่จำเป็นต้องใช้ขาสัญญาณ DRQ0 และ DACK0

Master (I) (เฉพาะรุ่น AT)(Master) ขาสัญญาณนี้จะใช้ร่วมกับ DMA Request ในการเข้าระบบบัสในขบวนการ DMA โดยที่ตัว DMA คอนโทรลเลอร์จะส่งสัญญาณ DMA Request แล้วรอจนกระทั่งได้รับการตอบสนองโดยสัญญาณ DACk เกิดการแอคตีฟขึ้น แล้วจึงจะส่งสัญญาณนี้ให้กับ CPU จะทำให้แอดเดรสบัส ดาต้าบัส และคอนโทรลบัส เข้าสู่สถานะไตรสเตต หรือ ไฮอิมพีแดนซ์ หลังจากนั้น DMA คอนโทรลเลอร์จะต้องรออีกหนึ่งคาบสัญญาณคลอ็ก ก่อนที่จะเข้าควบคุมบัสต่าง ๆ และจะต้องรออีก 2 ไซเคิล ก่อนที่จะทำการอ่าน หรือเขียนข้อมูล ช่วงเวลาที่สัญญาณนี้แอคตีฟไม่ควรเกิน 15 ไมโครวินาที มิฉะนั้นข้อมูลภายในหน่วยความจำจะสูญหายไปได้ เนื่องจากขาดสัญญาณรีเฟรชหน่วยความจำ

T/C (O) (Terminal Count) เป็นขาสัญญาณที่บอกอุปกรณ์ I/O ที่ทำ DMA ให้ทราบว่าจำนวนข้อมูลที่รับส่งขบวนการ DMA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

นี้ครบจำนวนแล้ว โดยจะส่งสัญญาณนี้เป็นพัลส์ให้อุปกรณ์ I/O

สัญญาณควบคุมต่าง ๆ

MEMR (*I/O) (Memory Read)(สำหรับรุ่น AT คือขาสัญญาณ SMEMR (System Memory Read)) ขาสัญญาณนี้จะเป็นตัวบอกให้หน่วยความจำส่งข้อมูลออกมาที่ตาต้าบัส แต่สำหรับ AT สัญญาณ SMEMR จะแอคตีฟ เมื่อเกิดการอ่านข้อมูลจากหน่วยความจำที่อยู่ภายใน 1 เมกกะไบต์แรกเท่านั้น MEMR(เฉพาะรุ่น AT)(Memory Read) ขาสัญญาณนี้ไม่ใช่สัญญาณเดียวกัน (O)กับสัญญาณ MEMR ใน XT มันจะแอคตีฟก็ในทุก ๆ ขบวนการอ่านข้อมูลที่เกิดขึ้น ไม่ว่าอยู่ในช่วงหน่วยความจำ 1 เมกกะไบต์แรกหรือไม่ MEMW(Memory Write)(สำหรับรุ่น AT คือ ขาสัญญาณ SMEMW (*I/O) (System Memory Write)) ขาสัญญาณนี้จะเป็นตัวบอกให้หน่วยความจำเก็บข้อมูลจากตาต้าบัสแต่สำหรับ AT สัญญาณ SMEMW จะ แอคตีฟ เมื่อเกิดการเก็บข้อมูลจากหน่วยความจำที่อยู่ภายใน 1 เมกกะไบต์แรกเท่านั้น MEMW(เฉพาะรุ่น AT)(Memory write) ขาสัญญาณนี้ไม่ใช่สัญญาณ (O)เดียวกันกับสัญญาณ MEMW ใน XT มันจะแอคตีฟก็ในทุก ๆ ขบวน การเก็บข้อมูลที่เกิดขึ้น ไม่ว่าอยู่ในช่วงหน่วยความจำ 1 เมกกะไบต์แรกหรือไม่

IOR (*I/O) (I/O Read) เป็นขาสัญญาณที่บอกให้อุปกรณ์ I/O ที่ต่ออยู่ ทำการส่งข้อมูลลงมาที่ตาต้าบัส (I/O Write) เป็นขาสัญญาณที่บอก IOW (*I/O)ให้อุปกรณ์ I/O ที่ต่ออยู่ ทำการเก็บข้อมูลจากตาต้าบัสเข้าไป RESET DRV(Reset Driver) เป็นขาสัญญาณที่แอคตีฟตอนช่วง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ที่เราเริ่มจ่าย (O)ไฟให้กับระบบเพื่อใช้ในการรีเซต CPU และ อุปกรณ์ต่าง ๆ ใน ระบบคอมพิวเตอร์ รวมทั้ง อุปกรณ์ I/O ที่ต่ออยู่ด้วย MEM CS16(เฉพาะรุ่น AT) (Memory 16 Chip Select) เป็นขาสัญญาณที่ (I) ใช้บอกระบบให้ทราบว่าต้องการรับข้อมูลกับหน่วยความจำ ทีละ 16 บิต ถ้าไม่ป้อนสัญญาณนี้ การรับส่งข้อมูลจะทำเหมือนกับ XT คือ การรับส่งข้อมูลทีละ 8 บิต สองครั้ง เพื่อให้ได้ข้อมูลขนาด 16 บิต

I/O CS16 (I) (เฉพาะรุ่น AT)(Memory 16 Chip Select) เป็นขาสัญญาณที่ใช้บอกระบบให้ทราบว่า ต้องการรับส่งข้อมูลกับอุปกรณ์ I/O ทีละ 16 บิต ถ้าไม่ป้อนสัญญาณนี้ การรับส่งข้อมูลจะทำเหมือนกับ XT คือ ทำการรับส่งข้อมูลทีละ 8 บิต สองครั้ง เพื่อให้ได้ข้อมูลขนาด 16 บิต

สัญญาณที่ใช้สร้าง WAIT STATE

I/O Ch RDY (I) (I/O Channel Ready) ขาสัญญาณนี้จะทำให้ถูกแอคตีฟโดยอุปกรณ์ I/O หรือหน่วยความจำที่ไม่สามารถทำงานได้ทันกับระบบ ดังนั้น จะต้องทำการหน่วงระบบให้ทำงานช้าลง ด้วยการเพิ่ม Wait States โดยการทำให้สัญญาณนี้แอคตีฟในช่วงเวลาที่ I/O ได้รับสัญญาณจากการดีโค้ดแอดเดรส, สัญญาณ MEMR, สัญญาณ MEMW, สัญญาณ IOR, สัญญาณ IOW

OWS (I) (เฉพาะรุ่น AT)(Zero Wait State) การแอคตีฟของขาสัญญาณนี้จะบังคับไม่ให้เกิดการสร้าง Wait State โดยอัตโนมัตินั่นคือ การที่จะเกิด Wait State ขึ้นได้จะต้องขึ้นอยู่กับสัญญาณนี้ เช่น การทำงานในขบวนการอ่านเขียนข้อมูลขนาด 16 บิต โดยไม่ใช้ Wait

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

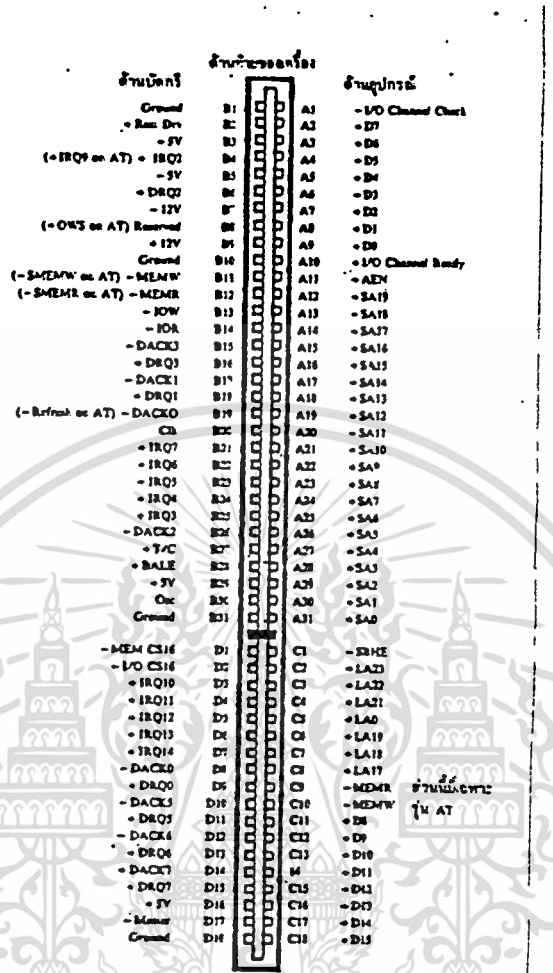
State ทำได้โดยการสร้างสัญญาณ OWS จากสัญญาณการดีโค้ดแอดเดรส และสัญญาณที่ใช้ในการอ่าน หรือเขียน หรือการลด Wait State ในขบวนการอ่านเขียนข้อมูลขนาด 8 บิต ให้เหลือเพียง 2 Wait State ทำได้โดยให้สัญญาณ OWS แอคตีฟหลังจากสัญญาณอ่าน หรือ เขียนไปแล้ว 1 คลอ็ก โดยปกติ การขับสัญญาณนี้ควรใช้เกตที่มีเอ้าท์พุตเป็นแบบ Open Collector ที่ทนกระแสได้ 20 mA(Sinking Current)

สัญญาณนาฬิกา

CLK (O) (System Clock) สัญญาณ XT ขาสัญญาณนี้จะมีความถี่ประมาณ 4.77 MHz หรืออาจจะสูงกว่านี้ก็ได้สำหรับรุ่นใหม่ ๆ และสำหรับ AT จะมีความถี่ประมาณ 6 MHz หรือ ในรุ่นใหม่ ๆ อาจจะมีความถี่สูงถึง 15 MHz โดยปกติ ขาสัญญาณ นี้มีดิวตี้ไซเคิล 50% สำหรับ CPU เบอร์ 80286 ตัวกำเนิดสัญญาณนาฬิกาที่ป้อนให้จะมีความถี่เป็น 2 เท่าของความถี่ที่ CPU ทำงาน แต่ขาของสัญญาณนี้ก็จะยังคงมีความถี่เป็น 2 เท่า ของความถี่ที่ CPU ทำงานแต่ขาสัญญาณที่ก็จะยังคงมีความถี่เท่ากับความถี่ที่ CPU ทำงานอยู่เสมอ

OSC (O) (Oscillator)เป็นขาสัญญาณที่มีความถี่สูงคือ 14.31818 MHz ความถี่ของสัญญาณนี้จะคงที่เสมอ และจะไม่ซิงโครนัสกับสัญญาณอื่น ๆในระบบ ดังนั้นจึงไม่ควรนำสัญญาณนี้ไปใช้กับสัญญาณคลอ็กของ อุปกรณ์ I/O ที่ต่ออยู่กับระบบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 30 SLOT IBM PC/XT/AT

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

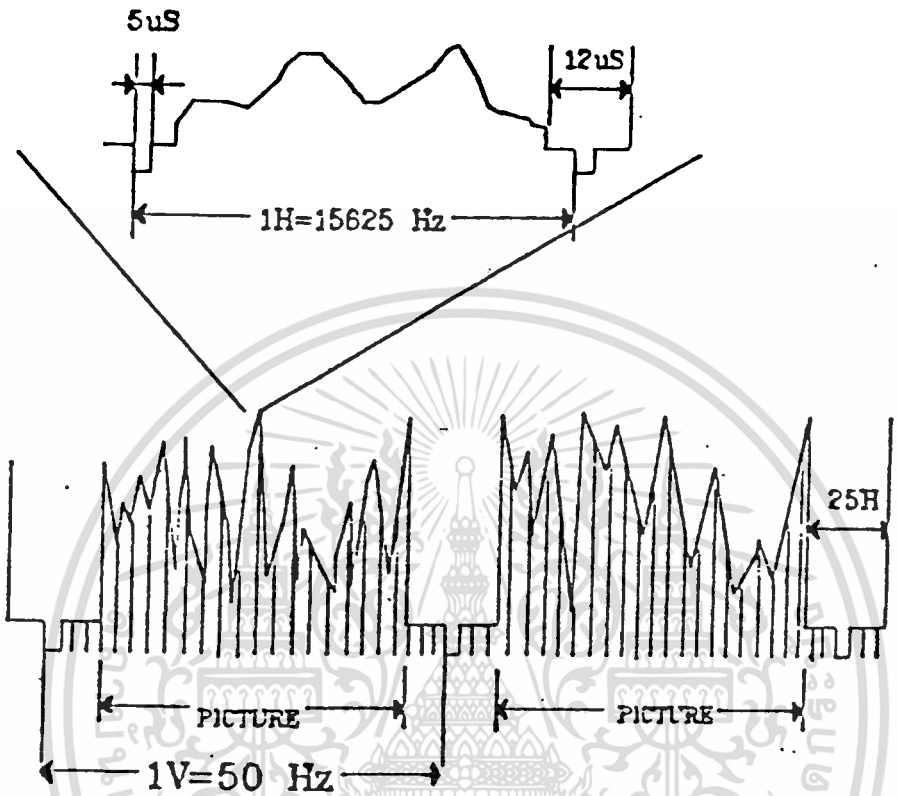
2.3 สัญญาณภาพและการแสดงภาพ

ก่อนจะกล่าวถึงการเก็บภาพซึ่งเป็นการเปลี่ยนสัญญาณอะนาลอก (analog) ให้เป็นข้อมูลทางดิจิตอล(digital) เก็บไว้ในหน่วยความจำ ของไมโครคอมพิวเตอร์นั้น จะต้องทำ ความเข้าใจเกี่ยวกับลักษณะของสัญญาณที่จำเป็นก่อน ในบทนี้ จะได้กล่าวถึงลักษณะของสัญญาณที่ใช้ในประเทศ ซึ่งจะอ้างถึงสัญญาณโทรทัศน์ระบบ PAL(Phase Alternating Line System) ถึงแม้ในโครงงานที่ทดลองจะใช้สัญญาณภาพจากกล้องวงจรปิด แต่ลักษณะทั่วไปจะเหมือนกัน

มาตรฐานของสัญญาณนั้นมีอยู่มากมาย แต่ละประเทศก็จะใช้แตกต่างกันไปตามแต่ว่า ประเทศใดได้ใช้ระบบใดมาก่อน ระบบได้มีการพัฒนาต่อกันมาเรื่อย ๆ ทำให้ประเทศที่พัฒ นาตามมาได้ใช้ในระบบที่ต่างกันไป และในบ้านเราจะเป็นระบบ PAL ซึ่งจะมีคาบเวลาใน แต่ละเส้นสแกนไลน์ (scan line) ทั้งในแนวตั้งและแนวนอนอย่างคร่าว ๆ ดังฝังแสดงใน รูปที่ 31

ตามรูปที่ 31 จะเรียกว่าสัญญาณภาพรวม (composite video) คือในแต่ละ เส้นสแกนไลน์ของทางแนวนอนก็จะประกอบด้วยสัญญาณ ชิงค์ (sync), แบลงค์กิ้ง (blanking) ของทางแนวนอนและในเส้นสแกน (scan line) ทางแนวตั้งก็จะมี ชิงค์ (sync),แบลงค์กิ้ง (blanking) ของทางแนวตั้ง (จริง ๆ แล้วในช่วงของเวอร์ติคัล แบลงค์กิ้ง (Vertical Blanking) นั้นในระบบ PAL จะมีสัญญาณอื่น ๆ อีก เช่น อีควอ ไลน์ซิ่ง พัลซ์ (equalizing pluse) เพราะจะมีการสแกนของเส้นคู่และเส้นคี่ แต่ในวิท ยานิพนธ์จะเก็บภาพเพียง 256 เส้นต่อภาพ ซึ่งในการสแกนในแต่ละครั้งจะมีจำนวนเส้น เพียงพอแก่การเก็บจึงไม่จำเป็นต้องแยกเส้นคู่กับเส้นคี่) รวมกันมาทำให้สามารถนำสัญญาณออกไปสู่มอนิเตอร์ได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

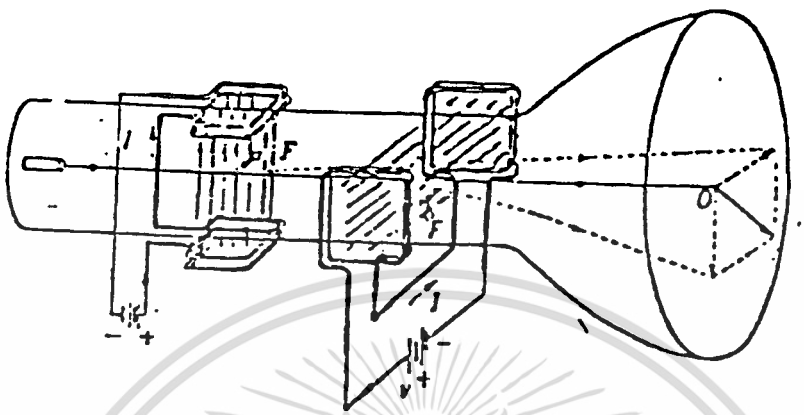


รูปที่ 31 แสดงเวลาในแต่ละเส้นสแกนไลน์ของทางแนวนอนและแนวตั้ง

สัญญาณภาพ ดังที่ได้กล่าวในข้างต้นสามารถที่จะนำมาเข้าสู่ มอนิเตอร์ (monitor) ซึ่งจะนำมาแยกซิงค์ เพื่อไปควบคุมการสแกน ของภาพบนจอภาพก็จะได้ภาพตามลักษณะของ สัญญาณนั้น ซึ่งการสแกนของมอนิเตอร์จะเป็นการกราดลำอิเลคตรอน (electron beem) ที่ถูกเบี่ยงเบนด้วยสนามแม่เหล็ก(ในมอนิเตอร์จะเป็นการเบี่ยงเบนจากขดลวดแม่เหล็กไฟฟ้า)

ลำอิเลคตรอนที่ถูกเบี่ยงเบนจะวิ่งชนผนังที่ฉาบสารเรืองแสงไว้ทำให้จุดที่อิเลคตรอนวิ่งชนนี้เกิดเรืองแสงขึ้นได้ ซึ่งความสว่างของแต่ละที่ก็ขึ้นอยู่กับความสูงของระดับภาพที่ตรงจุดนั้น ๆ เมื่อสแกนครบ 1 จอภาพก็จะเกิดเป็น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 32 การสแกนของลำอิเลคตรอนเนื่องจากขดลวดสนามแม่เหล็ก

ภาพที่สมบูรณ์และจะสแกนเช่นนี้เรื่อย ๆ ในระบบของ PAL จะมีการสแกนอยู่สองครั้งในการแสดงภาพ เรียกเป็นฟิลด์ (field) เมื่อสแกนครบ 2 ฟิลด์ ก็จะได้ภาพสมบูรณ์ 1 เฟรม ทั้งนี้เพื่อลดการกระพริบของภาพโดยการสแกนฟิลด์คี่ก่อนและต่อมาก็เป็นฟิลด์คู่ดังแสดงในรูป 33

ในระบบ PAL จะมีการสแกน 1 ภาพ 625 เส้นโดยแบ่งเป็นฟิลด์ ๆ ละ 312.5 เส้นทั้งนี้รวมส่วนแบล้งค์กิ้ง ด้วยและเป็นการแสดงภาพที่เป็นอะนาลอกเพราะภาพจะมีระดับเทา (gray) ที่ต่อเนื่องตามสัญญาณภาพที่เข้ามา

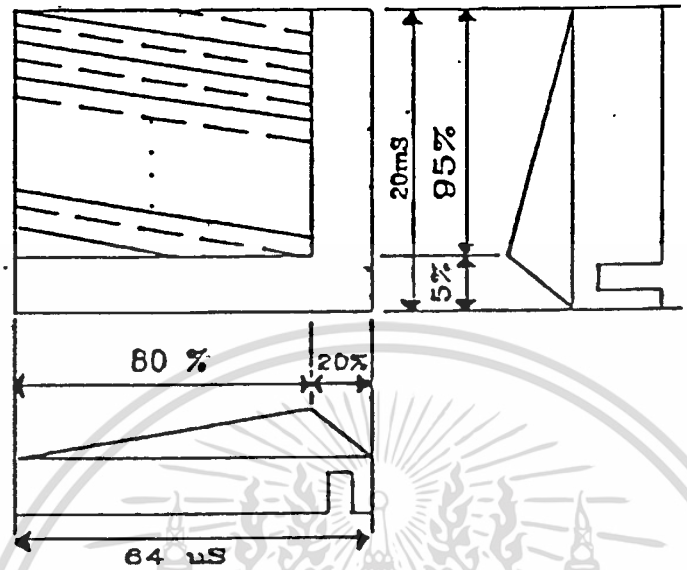
การแสดงภาพในระบบไมโครคอมพิวเตอร์นั้นจะมีอยู่ด้วยกัน 2 โหมด (mode) คือ

1. การแสดงผลแบบตัวอักษร (Text Mode)

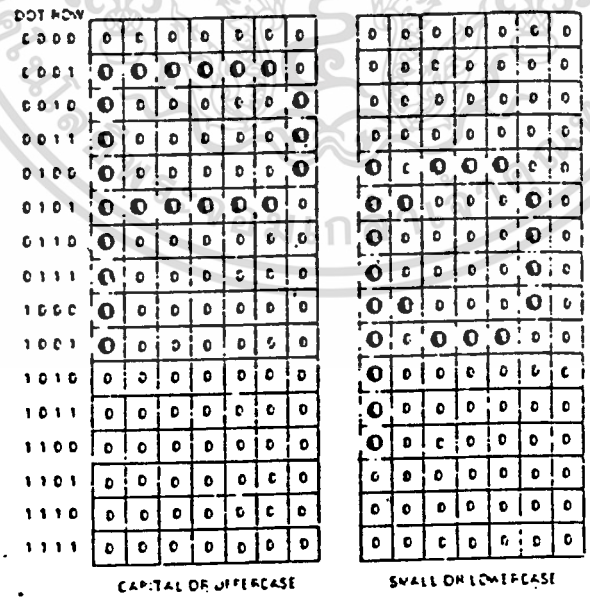
2. การแสดงผลแบบรูปภาพ (Graphic Mode)

2.3.1การแสดงผลแบบตัวอักษร (Text Mode) ภาพที่ได้จะมีลักษณะเป็นแบบเมทซ์ทริก (matrice)ของตัวอักษรที่ได้กำหนดไว้แล้วในรอม (ROM:Read Only Memory) ซึ่งจะเรียกว่าคาเรกเตอร์เยนฯ(character generator) ซึ่งมีหลายขนาด เช่น 5x7,8x8,7x9 เป็นต้นดังแสดงในรูปที่ 34

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

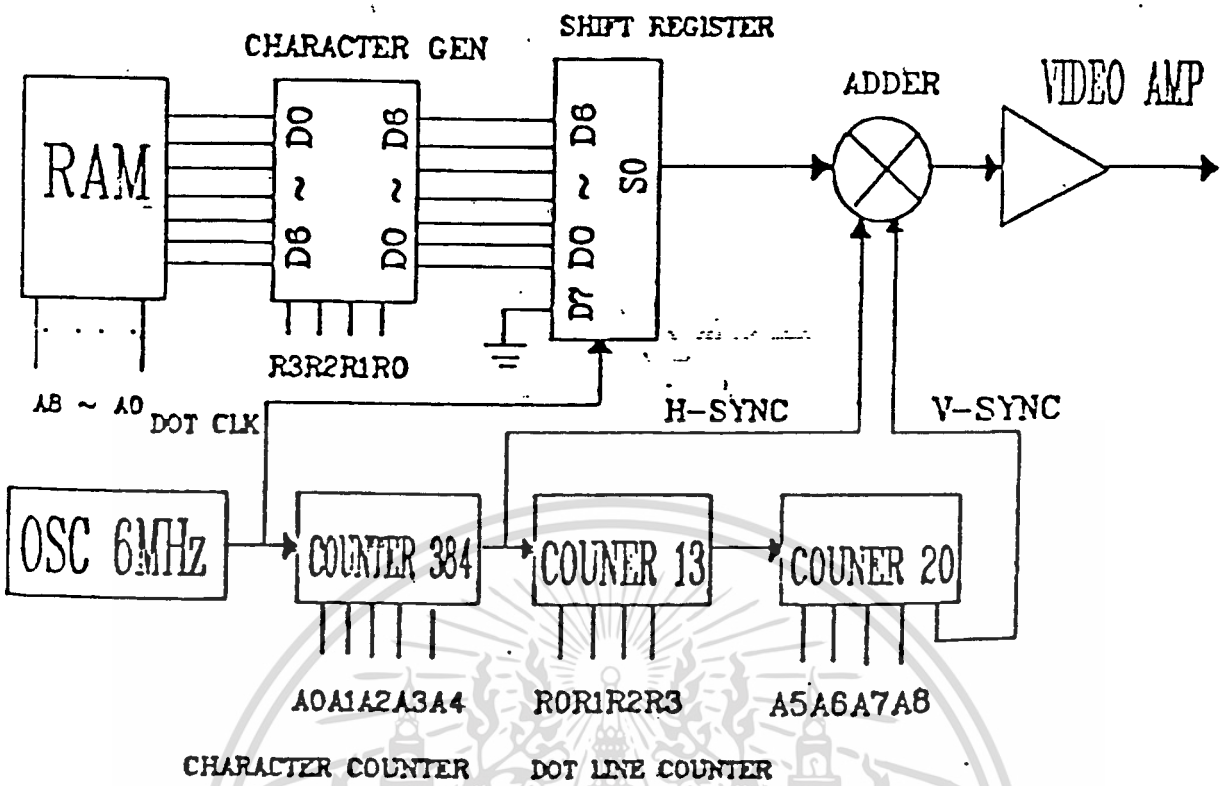


รูปที่ 33 แสดงการสแกนภาพเส้นคี่และเส้นคู่ ซึ่งประกอบเป็น 1 ภาพ



รูปที่ 34 แสดงถึงจุดของตัวอักษรที่โปรแกรมไว้ในตัวรอมเป็นรูปแบบของตัวอักษร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 35 แสดงบล็อกไดอะแกรมตัวอย่างของการแสดงผลแบบตัวอักษร

ตัวอย่างในรูปที่ 35 เป็นบล็อกไดอะแกรมของการแสดงผลแบบตัวอักษร ซึ่งคาเรกเตอร์เยนฯเป็นไอซีสำเร็จคือเบอร์ MC6571 ที่สามารถให้จุดทางแนวนอนได้สูงเป็น 7 จุดของแต่ละตัวอักษร ส่วนแนวตั้งสามารถจัดได้หลายขนาด

จากบล็อกไดอะแกรมรูปที่ 35 ความถี่จากออสซิลเลเตอร์ (oscillator) ขนาด 6 MHz ถูกนำไปเป็นสัญญาณ DOT CLOCK ให้กับไอซีชิฟท์รีจิสเตอร์ (shift register) ในการเลื่อนข้อมูลของตัวอักษรที่ได้จากคาเรกเตอร์เยนฯ ออกสู่จอภาพในแต่ละแถว ความถี่ 6 MHZ จะถูกนำมาหารด้วยบล็อกนับ 384 ได้แอดเดรสที่ A0-A4 ไปสู่วิดีโอแรม (video ram) เป็นการนับตัวอักษรทางแนวนอนแต่ละแถว จากนั้นนำมาหาร 13 ได้สัญญาณแอดเดรส R0-R3 ไปสู่คาเรกเตอร์เยนฯ เป็นการนับความสูงของตัวอักษร (ซึ่งในรูปเป็นขนาด 13 แถวรวม space ด้วย) จากนั้นนำมานับต่ออีก 20 เป็นการนับจำนวนแถวของการแสดงในแต่ละจอภาพของคอมพิวเตอร์ จะ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

20 เป็นการนับจำนวนแถวของการแสดงในแต่ละจอภาพของคอมพิวเตอร์ จะเห็นว่าตัวอักษรที่ต้องการที่อยู่ในคาเรกเตอร์เยนฯ จะถูกดึงออกมาใช้งานโดยการใส่ข้อมูลหรือ แอสกี้โค๊ต (ASCII CODE) ไว้ในวิดีโอแรม ในตำแหน่งที่ต้องการ ซึ่งจะถูกสแกนอ่านเป็นรหัสไปสู่ตัวคาเรกเตอร์เยนฯ ได้ตัวอักษรที่ถูกต้องไปสู่ตัวชิฟท์รีจิสเตอร์ และข้อมูลที่ถูกชิฟท์ (shift) จะถูกนำไปรวมกับสัญญาณซิงค์ ทั้งทางแนวนอนและแนวตั้งเพื่อให้การสแกนของมอนิเตอร์ถูกต้องดังที่กล่าวมา แล้วผ่านวงจรขยายภาพ (video amplifier) ออกสู่ตัวมอนิเตอร์ต่อไป ซึ่งจะเห็นได้ว่าหาก เราต้องการเขียนตัวอักษรอะไรก็จะต้องรู้รหัส (code) ของตัวเหล่านั้น จากนั้นก็เขียนลงสู่วิดีโอแรม ในตำแหน่งที่ต้องการ เราไม่สามารถที่จะเขียนรูปแบบอื่นได้นอกจากที่กำหนดไว้ในคาเรกเตอร์เยนฯ แล้วเท่านั้น หรือจะอ้างถึงจุดภาพจุดเดียวในจอภาพก็ไม่สามารถทำได้

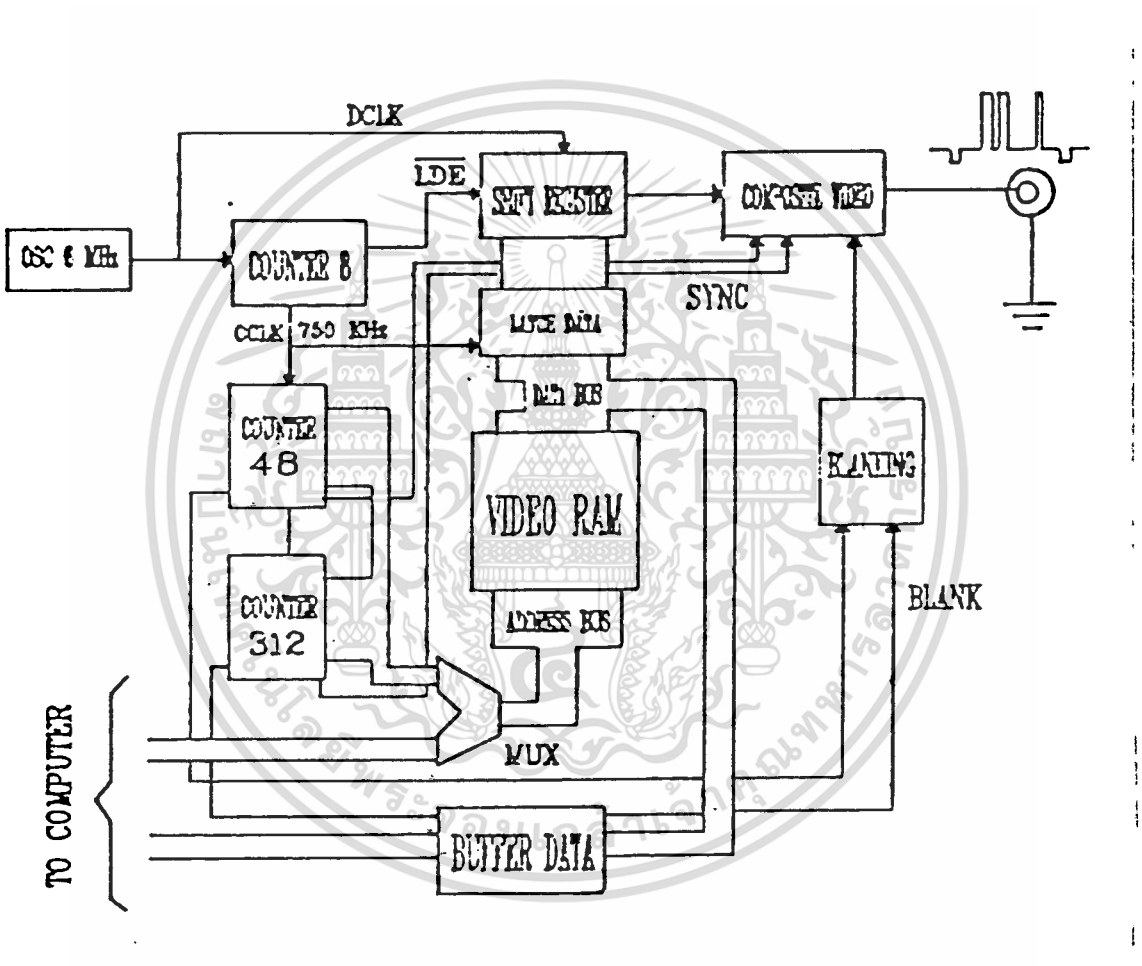
2.3.2 การแสดงผลแบบรูปภาพ (Graphic Mode) ในโหมดนี้จะจัดลักษณะของ hardware ที่สามารถทำการอ้างถึงจุดภาพได้ทุกจุด เมื่อสามารถอ้างถึงจุดภาพได้ทุกจุดก็สามารถที่จะกำหนดรูปแบบของตัวอักษรได้มากมายซึ่งก็สามารถที่จะแสดงรูปภาพได้ และหากมีจำนวนจุดภาพมากเท่าใดก็จะทำให้ได้ภาพที่ดีมากขึ้นเท่านั้น รูปลักษณะของบล็อกไดอะแกรมนั้นแสดงดัง รูปที่ 36 ซึ่งจะเห็นได้ว่าไม่มีส่วนของ คาเรกเตอร์เยนฯ อยู่เลย แต่จะมีส่วนของหน่วย ความจำวิดีโอแรมอยู่เช่นเดิม จากรูปตัวอย่างที่ 36 ความถี่ออสซิลเลเตอร์ขนาด 6 MHz ถูกนำไปหาร 8 เพื่อทำเป็นสัญญาณการแลทช์ข้อมูล (ใช้ตัวย่อเป็น CCLK), สัญญาณการ โหลดข้อมูลเข้าสู่ตัวชิฟท์รีจิสเตอร์ (ใช้ตัวย่อ LDE) เพราะตัวชิฟท์จะเลื่อนข้อมูลไป 8 ครั้ง ด้วยความถี่ของการจุดภาพ (DCLK) จากนั้นก็จะโหลดข้อมูลเข้ามาใหม่เพื่อเลื่อนต่อเนื่องกันไป ข้อมูลที่ได้ออกมาจากชิฟท์รีจิสเตอร์ จะถูกนำไปรวมกันกับสัญญาณซิงค์ และ แบลงค์ ในภาครวมสัญญาณภาพ (composite) เพื่อนำไปสู่จอภาพต่อไป ในลักษณะนี้วิดีโอแรมถูกสแกนอ่านข้อมูลออกสู่จอภาพซึ่งได้จากการนับ 48 และ 312 ผ่านตัวมัลติเพล็ก (multiplexer) เข้ามาที่ขาแอดเดรสของหน่วยความจำและพัลส์ที่ได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ระบบ PAL คือสัญญาณซิงค์ในแนวนอนประมาณ 15625 Hz และสัญญาณซิงค์ทางแนวตั้งประมาณ 50 Hz

ในส่วนของการอ้างแอดเดรสจากไมโครคอมพิวเตอร์มาที่วิดีโอแรมจะเป็นเสมือน การอ่านเขียนหน่วยความจำของตัวเครื่องคอมพิวเตอร์ โดยจะขัดจังหวะการสแกนอ่านหน่วยความจำของวงจรนับ และผ่านข้อมูลที่จะเขียนอ่านด้วยไมโครคอมพิวเตอร์เข้ามาที่หน่วยความจำวิดีโอแรม และให้แอดเดรสผ่านตัว multiplex เข้ามาแทนที่วงจรนับ เมื่อเสร็จสิ้นการอ่านเขียนด้วยไมโครคอมพิวเตอร์แล้วก็จะกลับคืนหน่วยความจำให้วงจรนับทำการสแกนอ่านข้อมูลออกสู่จอภาพต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 36 แสดงตัวอย่างของบล็อกไดอะแกรมของการแสดงภาพในกราฟิกโหมด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.4 CA3318 แฟลช A/D คอนเวอร์เตอร์

โดยทั่ว ๆ ไปเมื่อกล่าวถึง A/D คอนเวอร์เตอร์แล้วจะหมายถึง ตัวแปลงสัญญาณอะนาลอกเป็นสัญญาณดิจิตอล สัญญาณอะนาลอกก็คือสัญญาณที่มีการเปลี่ยนแปลงอย่างต่อเนื่องกันไป ที่รู้จักคุ้นเคยกันดีได้แก่ สัญญาณรูปซายน์, สัญญาณสามเหลี่ยมและสัญญาณเสียงเป็นต้น

CA3318 เป็นไอซีทำหน้าที่แปลงสัญญาณอะนาลอกเป็นดิจิตอลแบบแฟลชขนาด 8 บิต มีความเร็วในการแปลงสัญญาณสูงมาก มีขนาด 24 ขา ตัวถังเป็นแบบ DIP

สำหรับคำว่า "แฟลช" ที่อยู่หน้า A/D คอนเวอร์เตอร์ เป็นรูปแบบการแปลงสัญญาณอะนาลอกเป็นดิจิตอลอีกรูปแบบหนึ่งในอีกหลาย ๆ แบบ ซึ่งแบบ "แฟลช" นี้มีความเร็วในการแปลงสัญญาณสูงกว่าแบบอื่น ๆ

แต่หัวใจสำคัญของการแปลงสัญญาณ(ไม่ว่าจะเป็น A/D หรือ D/A ก็ตาม) ก็คือ *ค่าความถูกต้องของการแปลงสัญญาณ* ซึ่งขึ้นอยู่กับความละเอียด(resolution) ของการแปลงสัญญาณและความเร็วในการแปลงสัญญาณ (อย่าลืมว่าการแปลงสัญญาณเป็นเพียงการแปลงสัญญาณที่อยู่ในรูปแบบหนึ่งให้อยู่ในอีกรูปแบบหนึ่งโดยเนื้อหายังต้องคงเดิมอยู่ มิใช่แปลงรูปแบบไปแล้วเปลี่ยนเนื้อหาไปด้วย)

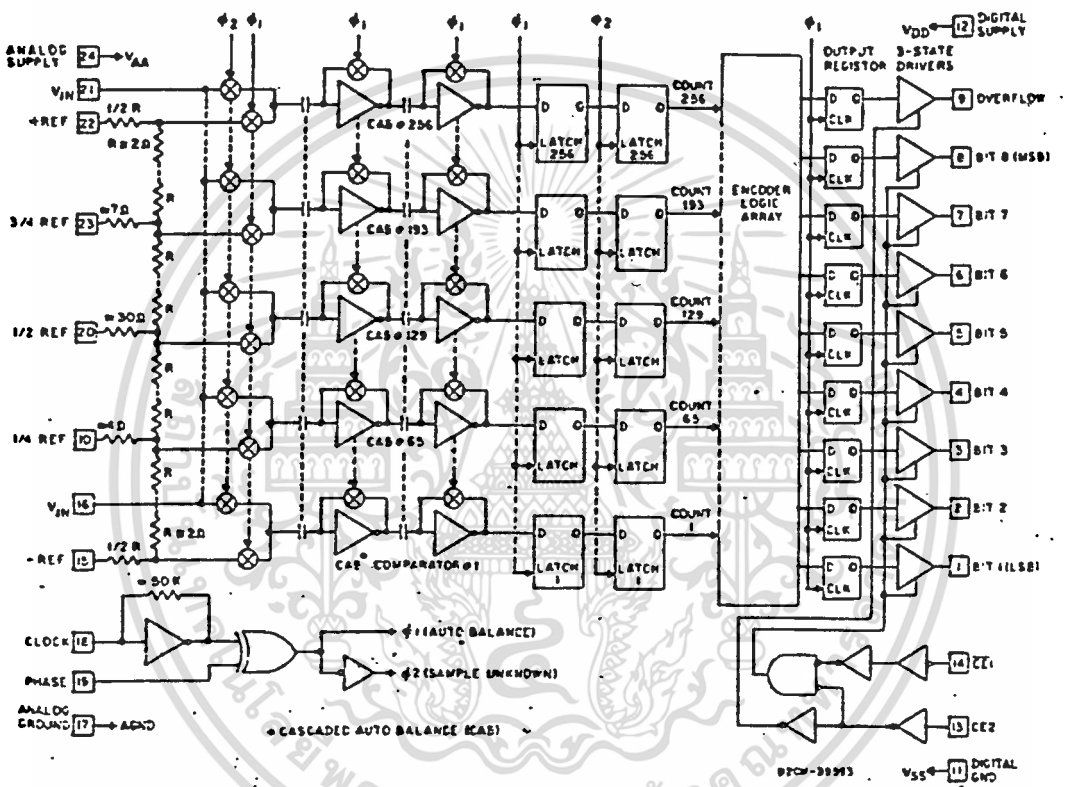
โครงสร้างและการทำงานของ CA3318

โครงสร้างภายในและการทำงานของ CA3318 แสดงดังรูปที่ เป็นดังนี้ ชุดสวิตช์อิเล็กทรอนิกส์ (ส่วนที่เห็นเป็นวงกลมมีกากบาทอยู่ภายใน) ทำการสุ่มสัญญาณเข้ามาสู่ตัวเปรียบเทียบจำนวน 256 ชุด ตัวเปรียบเทียบนี้ทำหน้าที่เปรียบเทียบสัญญาณอินพุตที่เป็นอะนาลอกกับแรงดันอ้างอิงของตัวเปรียบเทียบทั้ง 256 ชุดที่ได้กำหนดไว้แล้ว

ข้อมูลทั้งหมดจากตัวเปรียบเทียบ(เป็น "0" หรือ "1") ส่งเข้า D ฟลิปฟลอปทั้ง 256 ชุดโดยตรง เป็นไปในลักษณะตัวเปรียบเทียบชุดที่ 1 ส่งข้อ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

มูลเข้า D ฟลิปฟลอป ชุดที่ 1 คือ ส่งเข้าชุดใครชุดมัน D ฟลิปฟลอปทำหน้าที่เป็นชิฟต์รีจิสเตอร์ทำงานในโหมดสัญญาณนาฬิกา (ตอบสนองต่อสัญญาณนาฬิกาเฉพาะช่วงขอบขาขึ้นและขอบขาลงของพัลส์เท่านั้น) ทำการแลตช์ (latch)



รูปที่ 37 แสดงแผนผังการทำงานภายในของ CA3318

ข้อมูลไว้ชั่วขณะ จนกว่าจะมีข้อมูลใหม่เข้ามาจึงจะเลื่อน (shift) ข้อมูลนั้นเข้าชุดเข้ารหัส (encoder logic array) เพื่อแปลงข้อมูลทั้ง 256 ค่าออกมาเป็นข้อมูลดิจิตอลขนาด 9 บิต (รวมบิตส่วนเกินด้วย) ส่งต่อไปยังเอ้าต์พุตรีจิสเตอร์ ซึ่งใช้ D ฟลิปฟลอปทำหน้าที่นี้อีกเช่นเคย ก่อนส่งไปยังตัวขับ 3 สถานะเป็นเอาต์พุตต่อไป เอาต์พุตนี้สามารถควบคุมได้ด้วย CE_1 และ CE_2 การ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ทำงานทั้งหมดนี้เราสามารถควบคุมได้ที่ขาควบคุมเฟส (ขา 19)

คุณสมบัติของ CA3318

คุณสมบัติแบบคร่าว ๆ ของ CA3318 มีดังนี้

- ใช้เทคโนโลยี CMOS/SOS
- ใช้เทคนิคการแปลงข้อมูลแบบขนาน
- อัตราการแปลงข้อมูล 15 MSPS ที่ 5 โวลต์
- ให้เอาต์พุตขนาด 8 บิต
- ใช้แหล่งจ่ายไฟชุดเดียว 4 โวลต์ ถึง 6.5 โวลต์
- แยกระบบกราวด์ของอะนาลอกกับดิจิตอลออกจากกันโดยเด็ดขาด
- กำลังงานสูญเสีย 200 มิลลิวัตต์
- แรงดันอินพุตอยู่ในช่วง 0 - 6.4 โวลต์
- สัญญาณนาฬิกา 20 เมกกะเฮิรตซ์

สัญญาณนาฬิกากับเฟส

CA3318 ใช้เทคนิคการแปลงข้อมูลแบบขนานเป็นลำดับ (sequential parallel tachnique) โดยอาศัยการจัดระดับลอจิกของสัญญาณนาฬิกาไปควบคุมจังหวะในการทำงานของส่วนต่าง ๆ ให้สอดคล้องกัน ซึ่งจุดประสงค์จริง ๆ ก็คือ ความเร็วในการแปลงสัญญาณต้องเป็นแบบ "แฟลช" นั่นเอง

จากรูปที่ 37 แสดงโครงสร้างภายในขาป้อนสัญญาณนาฬิกา (ขา 18) และขาควบคุมเฟส (ขา 19) ต่อกับวงจรลอจิกเกตชุดหนึ่ง ซึ่งวงจรนี้ทำหน้าที่จัดสัญญาณนาฬิกาให้แบ่งเป็นเฟส 2 เฟสคือ ϕ_1 (auto balance) และ ϕ_2 (sample unknown) เฟสทั้ง 2 เฟสนี้จะถูกจัดให้อยู่ในช่วงลอจิก "0" หรือ "1" ของสัญญาณนาฬิกา(ใน 1 คาบเวลา) เราควบคุมได้ด้วยใช้ขาควบคุมเฟส

จากการจัด ϕ_1 และ ϕ_2 ให้อยู่คนละช่วงสัญญาณนาฬิกาด้วยขา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ควบคุมเฟสนี้ ทำให้เราสามารถควบคุมความเร็วในการแปลงสัญญาณ(ข้อมูล) ของ CA3318 ให้เปลี่ยนแปลงไปตามสัญญาณนาฬิกาได้

การควบคุม CA3318

เราสามารถใช้ขาควบคุมเฟส (ขา 19) ควบคุมความเร็วการแปลงสัญญาณของ CA3318 ได้ 2 วิธีคือ

วิธีแรกโดยการป้อนลอจิก "0" เข้าที่ขาควบคุมเฟส แสดงดังรูปที่ 2 (ก) ϕ_1 จะถูกจัดให้อยู่ในลอจิก "1" และ ϕ_2 ถูกจัดอยู่ในลอจิก "0" ของสัญญาณนาฬิกา ข้อมูลจากตัวเปรียบเทียบ(อะนาลอก) จะถูกแลตช์ไว้ที่ขอบขาขึ้นของพัลส์ ϕ_1 และเมื่อถึงขอบขาลงของพัลส์ ϕ_1 แล้ว ก็จะทำการเลื่อนข้อมูลนั้นส่งเข้าเอาต์พุตรีจิสเตอร์ต่อไป ซึ่งวิธีการนี้เป็นการแปลงข้อมูลเสร็จสิ้นภายในครึ่งคาบเวลาของสัญญาณนาฬิกาเท่านั้น

วิธีที่สองโดยการป้อนลอจิก "1" เข้าที่ขาควบคุมเฟสเช่นกัน แสดงดังรูปที่ (ข) ϕ_1 ถูกจัดให้อยู่ในลอจิก "0" และ ϕ_2 ถูกจัดให้อยู่ในลอจิก "1" ของสัญญาณนาฬิกา เมื่อถึงช่วงขอบขาลงของพัลส์ ϕ_2 ข้อมูลจากตัวเปรียบเทียบ(อะนาลอก) ถูกแลตช์ไว้จนกว่าจะถึงช่วงขอบขาขึ้นของพัลส์ ϕ_2 ลูกต่อมาจึงจะทำการเลื่อนข้อมูลส่งเข้าเอาต์พุตรีจิสเตอร์ วิธีนี้จะแปลงสัญญาณเสร็จสิ้นภายใน 1 คาบเวลาของสัญญาณนาฬิกา

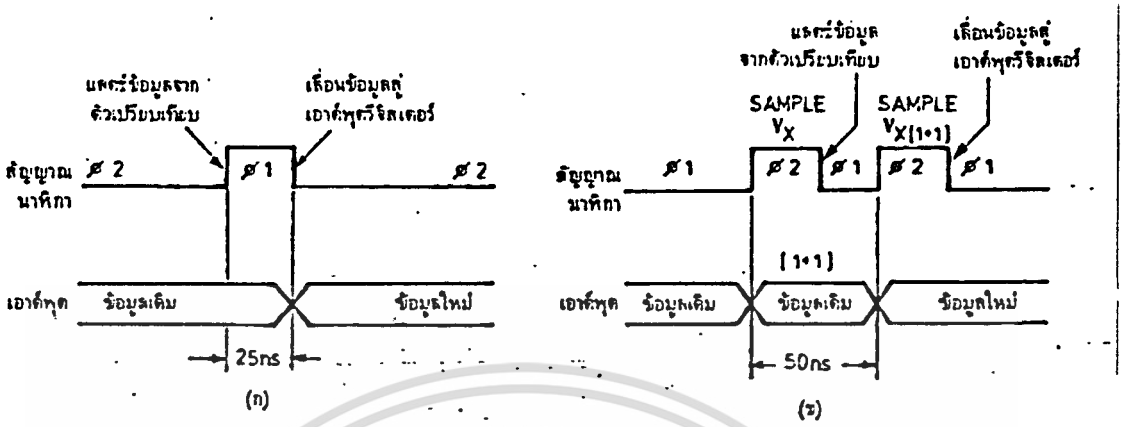
จะเห็นว่าวิธีแรกใช้เวลาในการแปลงสัญญาณน้อยกว่าวิธีที่สอง และสำหรับงานที่ ต้องการความรวดเร็วในการแปลงสัญญาณควรเลือกควบคุม CA3318 ด้วยวิธีแรกจะเหมาะสมกว่า

การประยุกต์ใช้งาน

ส่วนใหญ่แล้ว CA3318 นำไปใช้ในระบบที่ต้องการการประมวลผลด้วยความเร็วสูงมาก ๆ อย่างเช่น

- การวิเคราะห์สัญญาณเรดาร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 38 แสดงการควบคุม CA3318 ด้วยการใช้ขาควบคุมเฟสไปควบคุมระดับลอจิกของสัญญาณนาฬิกา

ก) เมื่อใช้ขาควบคุมเฟสเป็น "0"

ข) เมื่อใช้ขาควบคุมเฟสเป็น "1"

- การวิเคราะห์สัญญาณทรานเซี้ยนต์
- การวิเคราะห์อาการเคลื่อนที่ของวัตถุ
- ใช้ในอุปกรณ์แปลงสัญญาณภาพระบบดิจิตอลในเครื่องรับโทรทัศน์

CA3318 ออกแบบภาคเอาต์พุตโดยใช้ตัวขับ 3 สถานะ (3 state driver) เพื่อเชื่อมโยงกับไมโครโปรเซสเซอร์ขนาด 8 บิต โดยเฉพาะ

แต่โดยทั่ว ๆ ไปแล้ว ขั้นตอนหลักในการเชื่อมโยงตังแปลงสัญญาณอะนาลอกเป็นดิจิตอลเข้ากับไมโครโปรเซสเซอร์มี 3 ขั้นตอนใหญ่ ๆ คือ

ขั้นแรก ป้อนคำสั่ง (command) สู่ไมโครโปรเซสเซอร์ที่จะให้ตัวแปลงสัญญาณอะนาลอกเป็นดิจิตอลเริ่มต้นการแปลงสัญญาณ

ขั้นที่สอง จะต้องมีการตรวจสอบสถานะข้อมูลอินพุต (data ready) จนกระทั่งการแปลงสัญญาณเสร็จสิ้นสมบูรณ์

และขั้นที่สาม ทำการอ่านข้อมูลที่เป็นดิจิตอลเข้ามู่ตัวไมโครโปรเซสเซอร์เอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

นอกเหนือจาก CA3318 แล้วยังมีไอซีอีกตัวที่อยู่ในอนุกรมเดียวกันทำหน้าที่อย่างเดียวกันคือ เบอร์ CA3318C ปรับปรุงมาจากเบอร์ CA3318 ให้มีความเร็วในการสุ่มสัญญาณสูงขึ้นจาก 15 MSPS (Million Sampling Per Second) สัญญาณนาฬิกา 15 เมกกะเฮิรตซ์ ที่ 5 โวลต์ (CA3318) เป็น 20 MSPS สัญญาณนาฬิกา 15 เมกกะเฮิรตซ์ ที่ 5 โวลต์ แต่กำลังสูญเสียลดลงเหลือเพียง 150 มิลิวัตต์ ส่วนคุณสมบัติภายในเหมือนกับ CA3318 ทุกประการ

พื้นฐานการแปลงสัญญาณ A/D แบบขนาน (แฟลช)

หลักการอย่างง่ายที่สุด ของการแปลงสัญญาณอะนาลอกเป็นดิจิตอลแบบขนาน แสดงดัง รูปที่ 40 ใช้ตัวเปรียบเทียบ 3 ตัวต่อในลักษณะ "ขนานกัน" มีตัวต้านทานต่อแบ่งแรงดันจากแรงดันอ้างอิง ไว้กำหนดค่าแรงดันต่ำสุดที่ตัวเปรียบเทียบทั้ง 3 ตัว ยังสามารถทำงานได้ แรงดันอ้างอิงอาจจะมีค่าเท่ากับค่าแรงดันสูงสุดของสัญญาณอินพุตที่เป็นอะนาลอกก็ได้

จากตารางที่ 39 จะเห็นว่าตัวเปรียบเทียบแต่ละตัวจะให้เอาต์พุตเป็น "1" ก็ต่อเมื่อ แรงดันอินพุตมีค่าสูงกว่าแรงดันอ้างอิงของตัวเปรียบเทียบแต่ละตัว ซึ่งมีค่าแตกต่างกัน และถ้าแรงดันอินพุตมีค่าอยู่ในช่วง 3-4 โวลต์(แรงดันอ้างอิงถึง +4 โวลต์) จะทำให้ตัวเปรียบเทียบทั้ง 3 ตัวให้เอาต์พุตเป็น "1" หมด เอาต์พุตจากตัวเปรียบเทียบทั้งหมดส่งเข้าไปที่ วงจรเข้ารหัสเพื่อทำให้เป็นสัญญาณดิจิตอลในระบบฐานสองต่อไป

รูปวงจรที่ 40 นี้ตอบสนองต่อแรงดันอินพุต(อะนาลอก) 4 ระดับ และแต่ละระดับมีความแตกต่าง 1 โวลต์ ดังนั้นความละเอียด (resolution) ของวงจรนี้มีขนาด 2 บิต เราสามารถหาความละเอียดของวงจรได้จากจำนวนของตัวเปรียบเทียบนั่นคือ

จำนวนตัวเปรียบเทียบ = 2^n-1

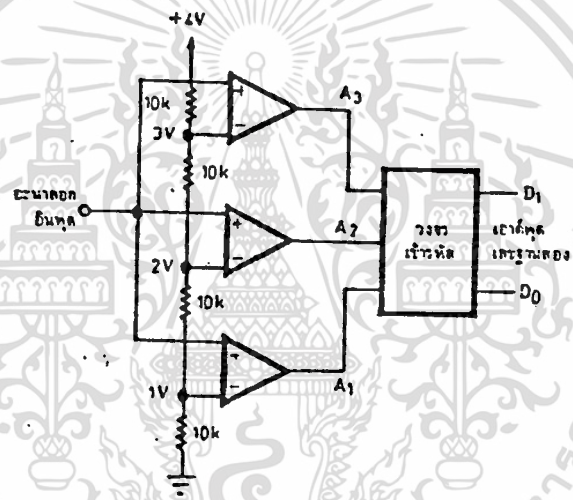
เมื่อ n = ความละเอียด

เช่น ต้องการความละเอียดขนาด 8 บิต จะต้องใช้ตัวเปรียบเทียบถึง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 39 แสดงค่าของเอาต์พุตเปลี่ยนแปลงไปตามช่วงอะนาลอกอินพุต

อะนาลอกอินพุต (โวลต์)	เอาต์พุตตัวเปรียบเทียบ			เอาต์พุตเลขฐานสอง	
	A_1	A_2	A_3	D_1	D_0
0-1	0	0	0	0	0
1-2	1	0	0	0	1
2-3	1	1	0	1	0
3-4	1	1	1	1	1



รูปที่ 40 วงจรพื้นฐานของการแปลงอะนาลอกเป็นดิจิตอลแบบขนาน(แฟลช)

256 ตัว (แทนค่า n = 8 ในสูตร)

จากลักษณะการต่อตัวเปรียบเทียบให้ขนานกันเพื่อให้รับสัญญาณอินพุตได้พร้อม ๆ กัน เราจึงเรียกวงจรนี้ว่า วงจรแปลงสัญญาณอะนาลอกเป็นดิจิตอลแบบขนาน(parallel A/D converters) และเนื่องจากมันสามารถตอบสนองต่อสัญญาณอินพุตที่เป็นอะนาลอก และ แปลงสัญญาณอะนาลอกเป็นดิจิตอลได้อย่างรวดเร็วมาก เราจึงเรียกได้อีกอย่างว่า วงจร แปลงสัญญาณอะนาลอกเป็นดิจิตอลแบบแฟลช(flash A/D converters)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3 แนวความคิดและหลักการสร้าง

เราแบ่งการทำงานออกเป็น 2 ส่วนคือ ส่วนของอนาลอกและดิจิตอล โดยส่วนของอนาลอกนี้เราจะครอบคลุมตั้งแต่สัญญาณ R G B แยกออกมา แล้วใช้ A/D เปลี่ยนเป็นสัญญาณดิจิตอล ส่วนของสัญญาณดิจิตอลเราจะครอบคลุมตั้งแต่ส่วนรับข้อมูล ส่วนส่งข้อมูลไปยังคอมพิวเตอร์ ส่วนคอนโทรล รวมไปถึงทางด้าน software ด้วย ทางด้าน display เราจะใช้ VGA colour monitor

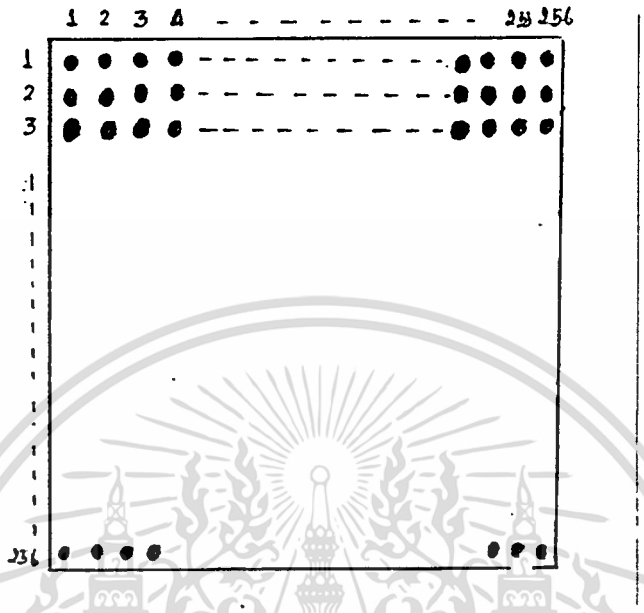
ระบบการเก็บภาพขนาด 256 * 256 จุดต่อภาพ

การเก็บภาพขนาด 256*256 จุดต่อภาพและในแต่ละจุดภาพจะมีระดับสีเทาได้ 256 ระดับ(ข้อมูลของระดับสีเทามีขนาด 8 บิท)นั้น ในการจัดวีดีโอแรม(VRAM)ที่ใช้เก็บภาพเพื่อให้ง่ายและสะดวกที่สุดต้องจัดให้มีการเก็บภาพแบบแอดเดรส (address) วีดีโอแรมต่อเนื่องกันไปดังรูปที่ 41

มีลักษณะสี่เหลี่ยมจัสตุรัส จุดแรกมุมบนซ้ายมือสุดคือแอดเดรส (address)ที่ o และนับไปทางขวามือไปจนถึงมุมบนขวามือสุดจะเป็นแอดเดรส (address)ที่ 255 ในบรรทัดต่อมาจะเป็นแอดเดรสที่ 256 แล้วนับไปทางขวาต่อเนื่องเช่นกันจนไปถึงมุมขวาล่างสุดที่เป็นแอดเดรสต่าแหน่งที่ 65535 ซึ่งจะต้องใช้วีดีโอแรมทั้งหมดเป็น 64 Kbytes

ในลักษณะเช่นนี้ เราสามารถเขียนข้อมูลภาพที่ถูกเปลี่ยนเป็นข้อมูลดิจิตอล จาก flash A/Dได้ทันเวลา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 41 การจัดหน่วยความจำวีดีโอแรมของระบบเก็บภาพ 256*256

หลักการสร้างทั้งวงจร

เราเชื่อมต่อกับคอมพิวเตอร์โดยใช้ slot เป็นตัวเชื่อมสัญญาณที่นำมาจากคอมพิวเตอร์ใช้สัญญาณ address A0-A19,data D0-D7 ,สัญญาณ AEN สัญญาณ MEMW, สัญญาณ MEMR ,สัญญาณ IOR และ IOW ส่วนสัญญาณที่สร้างขึ้นเอง มีสัญญาณแอดเดรส OAW0-15 ,สัญญาณ WE และสัญญาณ data จาก A/D

ในการออกแบบ A/D เราใช้ A/D กิง 3 ตัวสำหรับสัญญาณ R G และ B สัญญาณ Clock ใช้ 5 MHz

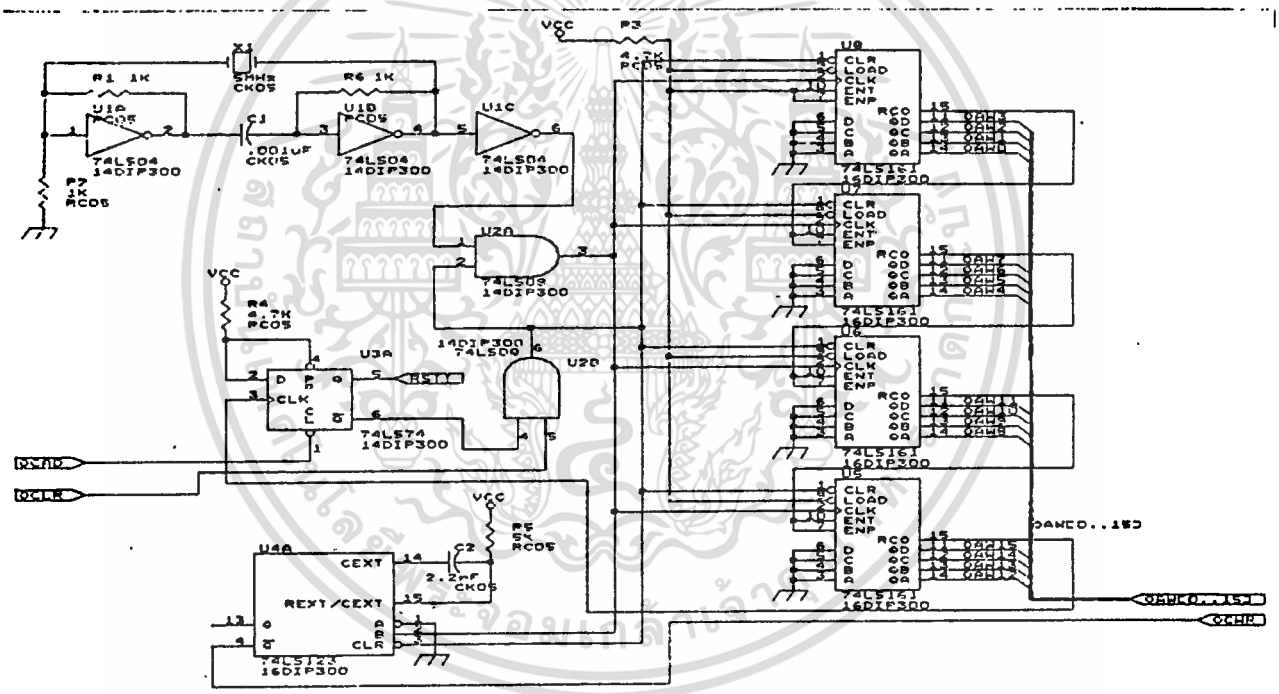
RAM ที่ใช้ในการเก็บข้อมูล ใช้เบอร์ 62256 จำนวน 6 ตัว เพื่อให้ได้พื้นที่ในการเก็บ 256 x 256 ตำแหน่งพอดี

ส่วนของการ display เราใช้ Monitor VGA โดยเซ็ตให้มีการแสดงจำนวนสี 256 สี เพื่อให้มีสีที่ใกล้เคียงความจริงมากที่สุด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อธิบายวงจรส่วนของ DIGITAL

แรกสุดเราออกแบบวงจรกำเนิดสัญญาณ CLOCK เพื่อนำไปสร้าง ADDRESS ให้แก่ RAM ผ่าน 74LS161 4 ตัว ให้สัญญาณ ADDRESS ออกมา 16 เส้น อ้างได้ 64 KByte 74LS123 เป็น MONOSTABLE ใช้ในการควบคุมเวลาในการเขียนข้อมูลเข้า RAM ในขณะที่มีการเก็บข้อมูลจาก A/D ส่วน 74LS74 ใช้ในการควบคุมการทำงานของส่วนนี้

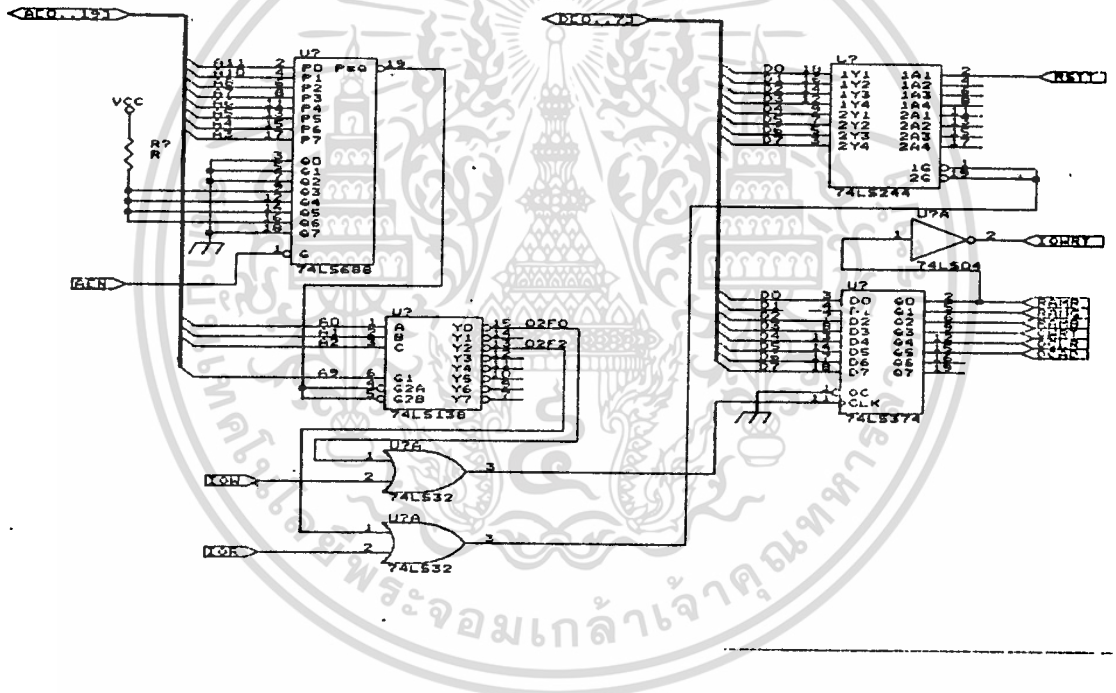


รูปที่ 42 CLOCK AND ADDRESS OF WRITING SIGNAL R, G, B TO RAM

ต่อมา เราใช้ IC เบอร์ 74688 ,74138 ,74244 ,74374 รวมทั้งสัญญาณ IOW, IOR ร่วมกันในการ decode port 2F0H - 2F2H เพื่อนำไปใช้งาน โดยสัญญาณที่สร้างออกมาก็มี RAM R G B เป็นสัญญาณที่ทำหน้าที่เลือกชุดของ RAM ในการทำงาน สัญญาณ OWRT เป็นสัญญาณควบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

คุมในการติดต่อการเขียนและอ่านข้อมูลจาก RAM สัญญาณ OCLR และ OCAD เป็นสัญญาณที่ใช้ในการควบคุมการเริ่มและการหยุด ของชุดแอดเดรสที่สร้างขึ้น สัญญาณสุดท้าย RSTT เป็นสัญญาณ I/P ที่บอกให้ทราบว่าแอดเดรสได้ส่งไปที่ RAM ครบเรียบร้อยแล้ว



รูปที่ 43 วงจร DECODE PORT 2F0H-2F2H และสัญญาณ CONTROL ต่างๆ

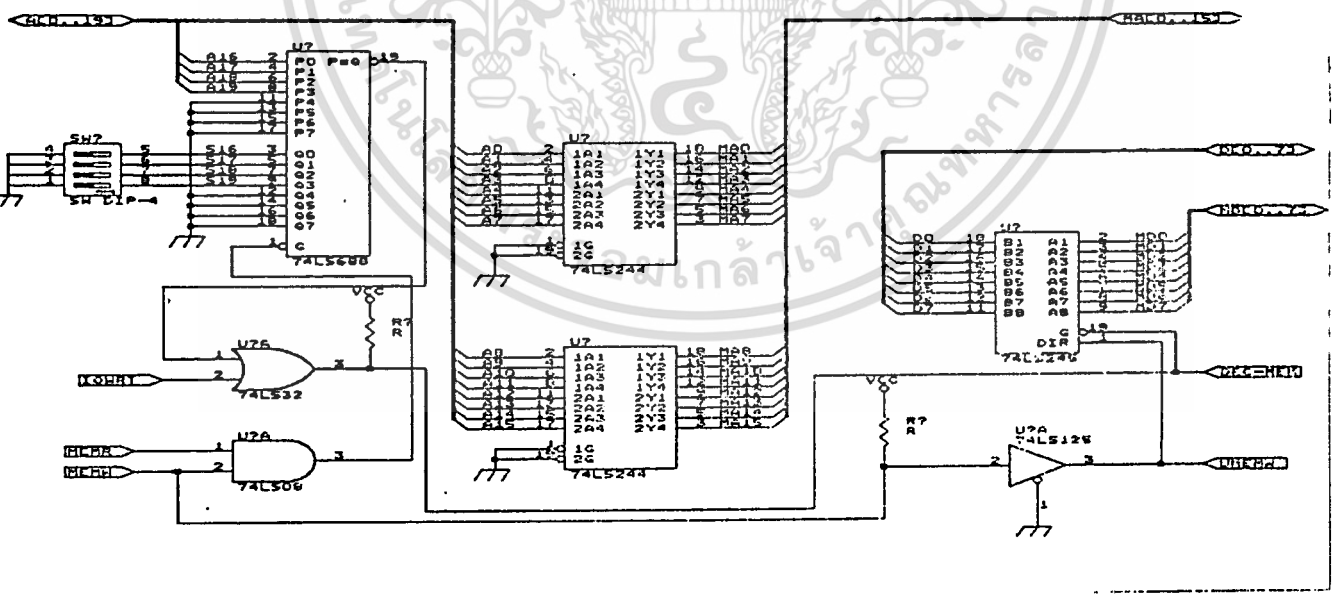
ในชุดเกี่ยวกับ Memory เราใช้ IC 74688 ,74244,74245 สัญญาณ A16-A19 ,สัญญาณ MEMR และ MEMW ในการ decode ตำแหน่ง Memory ที่เราใช้งาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในการออกแบบ decode ของ RAM เราต้องใช้ชุด decode ที่ประกอบไปด้วย 7408 ,7432 , 7404 , 74257 เพื่อทำให้ RAM สามารถติดต่อได้ทั้งกับคอมพิวเตอร์ และ hardware interface ที่เราสร้างขึ้นเอง

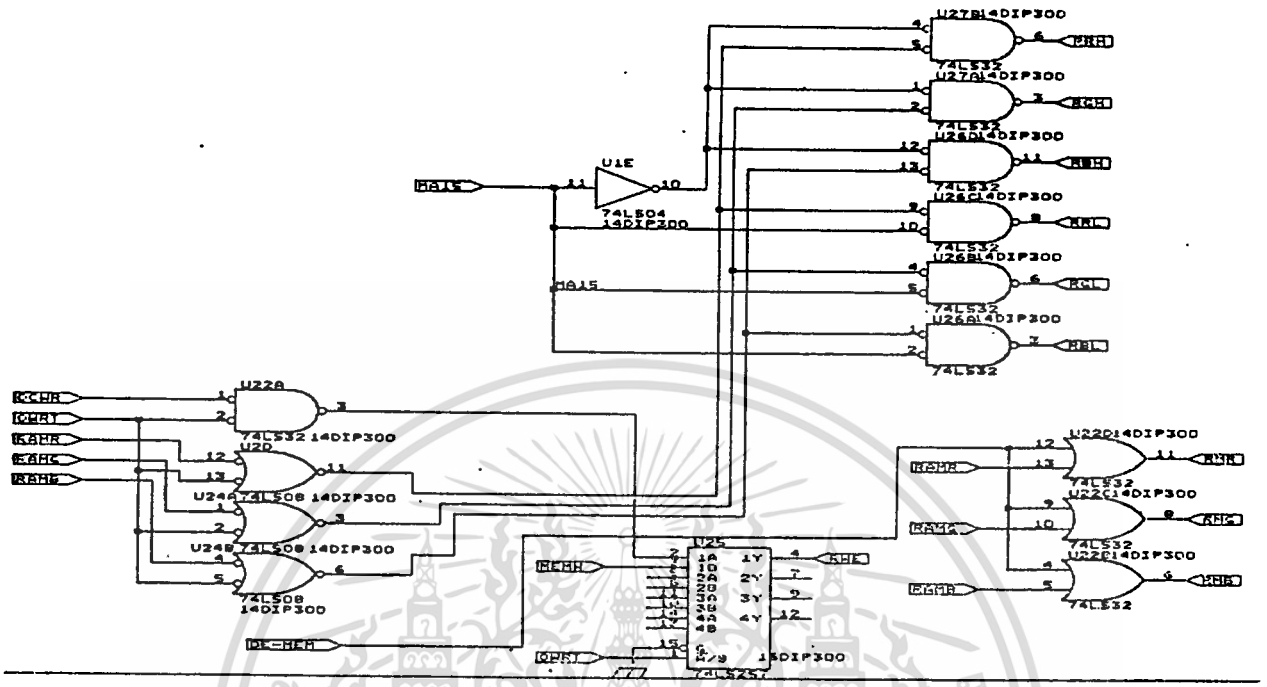
การรวม ADDRESS BUS AND DATA BUS ทั้งจากทาง COMPUTER และที่เราสร้างขึ้นเอง เราใช้ 74LS244, 74LS245 ซึ่งเป็น BUFFER ในการเลือกชุดของ ADDRESS AND DATA BUS

ส่วน RAM เราใช้ 62256 ซึ่งมีขนาดความจำ 32 KByte x 6 ตัว การแยกส่วนทำงาน 32 KByte แรก กับ หลัง ใช้ ADDRESS A15 ในการแยก ส่วน 74LS244 ใช้เป็น BUFFER รับ DATA จากทาง A/D

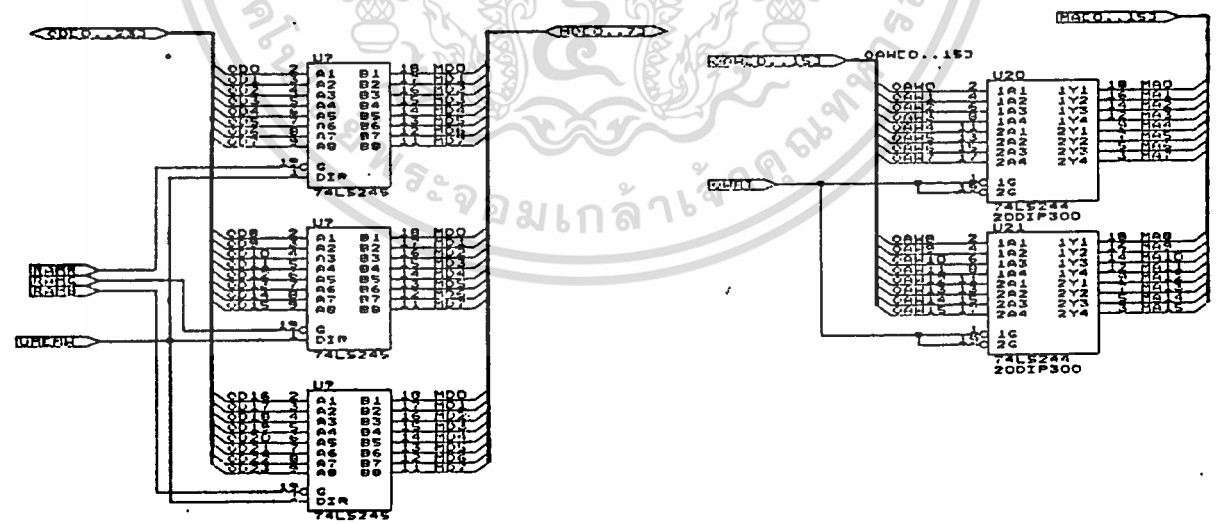


รูปที่ 44 วงจร DECODE MEMORY A000-F000

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

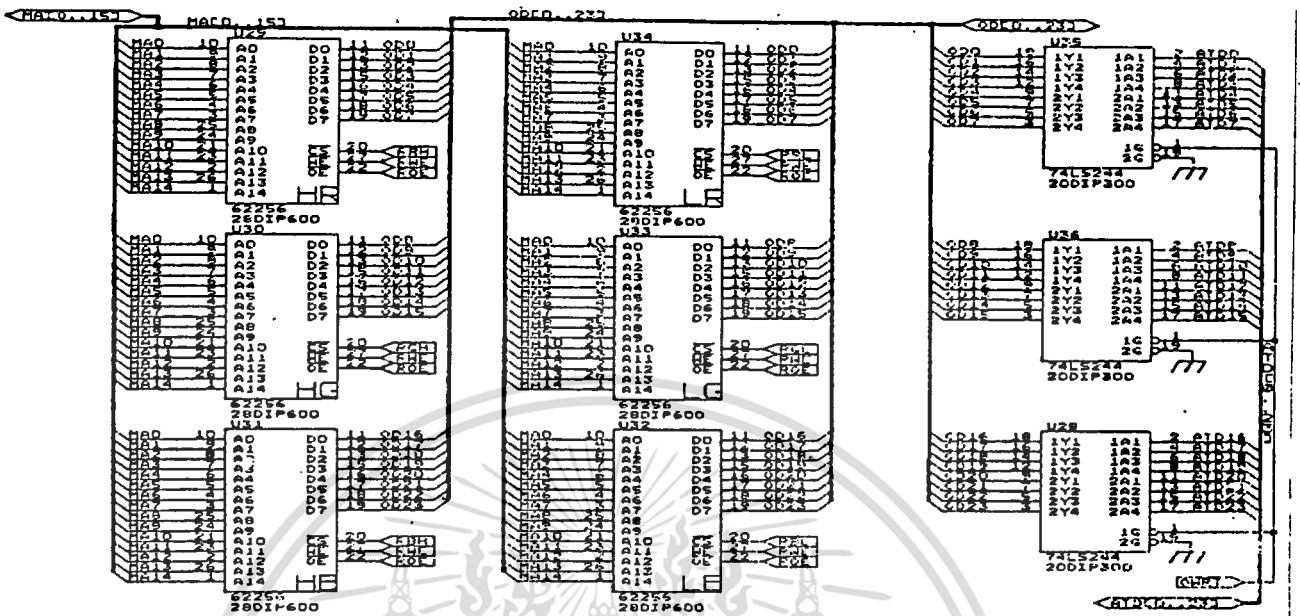


รูปที่ 45 ส่วนของการสร้างสัญญาณต่าง ๆ ไป CONTROL ระบบ



รูปที่ 46 ส่วนเชื่อม ADDRESS AND DATA IN-OUT เข้าด้วยกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 47 วงจรต่อ RAM 3 PLATE 64 KByte x 3

การทำงานส่วนของ ANALOG

ในโครงงานนี้จะใช้ A/D แบบ FLASH เนื่องมาจากเหตุผลที่กล่าวมาแล้วขั้นต้น จากโครงสร้างของ A/D เบอร์ 3318 (เป็น A/D แบบ FLASH ตัวหนึ่ง) ซึ่งเราใช้ใน การทำโครงงานนี้ จะเห็นว่าขา 22,23,20,19,15 เป็นขาแรงดันอ้างอิง ดังนั้นก็แสดงว่า R_1 R_2 R_3 R_4 R_5 จะทำหน้าที่เป็นตัวแบ่งแรงดันให้แต่ละขามีความแตกต่างของระดับแรงดันเท่ากันทุกขา (22,23,20,10,15 ตามลำดับ) ซึ่งเป็นข้อกำหนดของ A/D ชนิดนี้ และขาแรงดันอ้างอิงต่าง ๆ เหล่านี้เป็นขาที่จำเป็นในการแปลงสัญญาณอะนาลอก (analog) เป็นดิจิตอล (digital) แบบ FLASH นี้ เพราะจากทฤษฎีที่กล่าวมาแล้ว ข้างต้นเขาจะใช้ระดับแรงดันอ้าง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อิงที่ขาต่าง ๆ เอาไปเปรียบเทียบกับสัญญาณอะนาลอกที่ I/P ป้อนเข้ามาจากวงจรที่ใช้เราจะใช้แรงดันอ้างอิงมีค่า 5 V จะทำให้เมื่อเอามาเปรียบเทียบกับขา 22 (ขาแรงดันอ้างอิง) จะทำให้เกิดการผิดพลาดเพราะว่าแรงดัน I/P สูงกว่า แรงดันอ้างอิงมันจะตัดสัญญาณที่เกินระดับสัญญาณอ้างอิง จึงเป็นผลทำให้การแปลงสัญญาณเกิด การผิดพลาด ดังนั้นจึงต้องระวังไม่ให้แรงดันที่เข้ามาทาง I/P เกินแรงดันอ้างอิง

แต่ถ้ามีแรงดันที่ I/P เกินก็ปรับแรงดันอ้างอิงตาม และการปรับแรงดันอ้างอิงนี้เรา จำเป็นจะต้องดูความสามารถของอุปกรณ์ A/D ว่าจะทนแรงดันได้เท่าไร ส่วน capacitor ที่มีค่า 0.2 uF มีหน้าที่ลด noise ที่ขี่มากับระดับ DC voltage

IC เบอร์ 7406 ทำหน้าที่เป็นตัว invert สัญญาณ clock ที่เข้ามา สาเหตุที่ต้อง ใช้ not gate นี้ก็เพราะเมื่อเรามาดูที่โครงสร้างของวงจร A/D เบอร์นี้จะเห็นว่าสัญ ญาณที่เอามาควบคุมการทำงานภายในของ A/D จะประกอบด้วย ϕ_1 และ ϕ_2 ซึ่งมี เฟสต่างกัน 180 ซึ่งสัญญาณทั้ง 2 นี้จะได้มาจากสัญญาณ clock ที่ป้อนเข้าไปอย่างเดียว เพราะขา 19 ของ A/D ถูกต่อลงกราวด์จึงกลายเป็นว่า clock ที่เราป้อนเข้าไป ในวงจรจะไปควบคุมการทำงานภายในวงจร A/D และมาดูที่ขา 18 ของ A/D จะมี not gate ภายในอยู่ตัวหนึ่ง ดังนั้นเมื่อเรามาดูสัญญาณ ϕ_1 จะมีเฟสเหมือนกัน เพราะว่าเรา ต้องการที่จะให้สัญญาณ digital ที่ encode ออกมานี้ใช้ clock เป็นสัญญาณอ้างอิง ซึ่ง เป็นมาตรฐานเดียวกันกับ clock ที่ควบคุมการทำงานของ card หรือจะกล่าวได้อีกอย่างคือ clock ที่เรานำมาใช้นี้จะเป็น clock ที่ใช้ควบคุมระบบต่าง ๆ ภายใน gard เราด้วยซึ่ง เวลาเราจะเอาไปทำ D/A จะได้ข้อมูลที่ออกมาถูกต้อง แต่ถ้าเราใช้ clock ที่มีเฟสกกลับกัน180องศา เมื่อเอาไปประมวลผลใน card จะทำให้ข้อมูลที่ได้ผิดพลาดจากความ เป็นจริงไปหรือเราดูง่าย ๆ โดยการต่อวงจร D/A ไปข้อมูลที่แสดงออกมาจะไม่เหมือนที่ อินพุตของ A/D ซึ่งมันจะกลับกัน 180 องศา ด้วยเหตุนี้จึงจำเป็นต้องใช้ not gate ภายนอกต่ออีกตัวหนึ่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ส่วนของแรงดันอ้างอิงจะต่อในลักษณะที่สามารถเปลี่ยนแปลงค่าแรงดันได้ ที่ทำเช่นนี้ ก็เพราะถ้าระดับสัญญาณ I/P ที่ขา 16 กับขา 21 ของ A/D เข้ามามีระดับต่ำเช่นเข้ามามี ค่า 1 Vp-p จะทำให้เวลาแปลงเป็นสัญญาณดิจิตอลแล้วจะผิดพลาดมากกว่าในกรณีของระ ดับสัญญาณที่เข้ามามีค่ามากกว่า 1 Vp-p หรือจะพูดในเชิงทฤษฎีก็คือ จากทฤษฎีของการ sampling จะเห็นว่าถ้าเราป้อนสัญญาณ I/P เข้ามา 1 Vp-p และระดับแรงดันอ้างอิง 5 V จะได้ค่า Quantization noise ค่า ๆ หนึ่ง แต่เราลดระดับสัญญาณเป็น 1 V จะได้ค่า Quantization noise ต่ำลงกว่าเดิม

รูปดูได้จากภาคผนวกท้ายเล่ม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4 ผลการทดลอง

ผลการทดลอง

จากทฤษฎีที่กล่าวมาแล้วข้างต้นจะเห็นว่าโครงงานนี้จะประกอบด้วย 3 ส่วนคือ ส่วนของวงจรแปลงอนาลอกเป็นดิจิตอล ,ส่วนของการเก็บภาพและส่วนของการติดต่อกับเครื่องคอมพิวเตอร์ เมื่อเราเอาทั้ง 3 ส่วนมาประกอบเข้าด้วยกัน ปัญหาแรกที่เจอคือข้อมูลออกมาผิดพลาดดูไม่เป็นรูปตามที่ I/P ป้อนเข้ามา รวมทั้งมีสัญญาณรบกวนปะปนอยู่ด้วย

จากการวิเคราะห์แล้วว่าช่วงเวลาเขียนภาพไม่เหมาะสม จึงคิดวิธีแก้ไขโดยการใช้ monostable ที่สามารถปรับคาบเวลาที่ O/P ได้ เมื่อมีสัญญาณเข้ามา trigger แล้วป้อนเข้าขา RWE ของ RAM แต่ละตัว แล้วทำการปรับคาบเวลาครั้งแรกปรับคาบเวลาที่แคบแล้วทำการทดลอง ผลการทดลองที่ได้จะเหมือนกับที่กล่าวมาข้างต้น ต่อมาเราทำการปรับให้ช่วงเวลามีค่ามากที่สุด ภาพที่ปรากฏออกมาจะดูไม่เป็นภาพ เนื่องจาก noise กวนซึ่งต่างจากแบบแรก ซึ่งแบบแรกจะไม่เกิดภาพ ดังนั้นเราจึงสรุปวิธีการแก้ไข โดยใช้ผลการทดลองทั้ง 2 ครั้งที่ผ่านมา ซึ่งสรุปได้ว่า ช่วงเวลาในการเขียนภาพไม่เหมาะสมจึงไม่ทำให้เกิดภาพ ดังนั้นเราต้องหาช่วงเวลาที่เหมาะกับการเขียนภาพกล่าวคือ จะต้องกำหนด cycle ของการเขียนกับสัญญาณข้อมูลที่เข้ามาให้พอดีกันทั้งสองสัญญาณ

ในการปรับช่วงเวลาเพื่อให้ได้ภาพที่สมบูรณ์ที่สุด ทำได้โดยการคำนวณดังนี้คือ

จากทฤษฎีข้างต้น 1 pixel เราใช้ความถี่ 5 MHz ซึ่งใน 1 pixel คือข้อมูลที่เราต้องการจะเขียนเข้าไปในหน่วยความจำ 1 address การเขียนข้อมูลนี้จากที่กล่าวมาแล้วขั้นต้น เราต้องหาค่าที่เหมาะสมก็คือค่านี้(5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MHz) และถ้าเราแปลมาเป็นเวลาที่เท่ากัน 200 ms (T = 1/f) เราจะเอาค่านี้มาเป็นช่วงของการเขียนหน่วบความจำ ยังไม่ได้เพราะจะต้องคำนึงถึงช่วงเวลา access time ของ RAM

และอีกวิธีคือการปรับโดยการประมาณค่าช่วงเวลา โดยให้ภาพที่ออกมาสมบูรณ์ที่สุด สาเหตุที่ทำเช่นนี้ก็เพราะ เราต้องคำนึงถึงค่า delay ของอุปกรณ์รวมด้วย ดังนั้นเราจึงไม่สามารถใช้การคำนวนได้

เมื่อเราปรับช่วงเวลาให้เหมาะสม แล้วจะได้ภาพออกมาแต่ยังมี noise ปนมาอยู่ แต่ยังน้อยกว่าตอนแรกที่ยังไม่มีการต่อ monostable สาเหตุที่ noise เข้ามาปนมากก็อาจจะเนื่องมาจาก ในขณะที่เราทำการทดลองเรายังใช้ board ทดลองอยู่ แล้วใช้สายโทรศัพท์เชื่อมระหว่างภาคแต่ละภาคที่กล่าวมาแล้วเข้าด้วยกัน ประกอบกับสัญญาณที่มาควบคุมโครงงานนี้ที่ได้จากเครื่องคอมพิวเตอร์ ยังมี noise อยู่และที่สำคัญที่สุดที่ทำให้เกิด noise ก็คือภาควงจร A/D ซึ่งจากการทดลองเราวัดสัญญาณที่ I/P ขิง A/D เบอร์ 3318 แล้วปรากฏว่าสัญญาณข้อมูลที่เข้ามามี noise ปนมาเพิ่มมากขึ้น เพราะวงจรของ A/D เองก็มี noise อยู่แล้ว

สาเหตุของการเกิด NOISE ในภาพ

สรุปเป็นหัวข้อใหญ่ ๆได้ดังนี้

1. ระบบของการเชื่อมต่อวงจร
2. ความผิดพลาดของอุปกรณ์ที่มีค่า ACCESS TIME สูง
3. NOISE ของแหล่งจ่ายไฟ
4. ความไม่เสถียรภาพของ CLOCK ที่สร้างขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5 สรุปผลการทดลอง

สรุปผลการวิจัยและแนวทางพัฒนาต่อไป

การทดลองใช้งาน

ยังคงนำไปใช้ในงานจริงไม่ได้เพราะวงจรยังทำงานไม่สมบูรณ์ และยังขาดส่วนที่สำคัญที่สุดคือ ส่วนที่ทำหน้าที่แยกสัญญาณวิดีโอให้เป็นสัญญาณ R G B

สรุปผลการวิจัย

โดยทั่วไปจะมีการพัฒนาแต่การเก็บภาพขาวดำ แต่ porject ชิ้นนี้พัฒนาขึ้นไปโดยเก็บภาพสี ซึ่งยุ่งยากขึ้นไปอีก แต่ก็เป็นการพัฒนาเทคโนโลยีของการทดลองขึ้นไปอีกขั้นหนึ่ง เพื่อเป็นรากฐานของการพัฒนาต่อไป

แนวทางพัฒนาต่อไป

1. ต้องสร้างวงจร Demod สัญญาณภาพให้เป็นสัญญาณ R G B เพื่อป้อนให้ D/A

2. ส่วนของ RAM และวงจร Address ควรเพิ่มขนาดให้มากขึ้นเพื่อการเก็บภาพได้ละเอียดยิ่งขึ้น

3. ส่วนของการแยกสัญญาณ vert sync เพื่อนำไป lock สัญญาณภาพให้การทำงานเก็บสัญญาณภาพต้องเริ่มที่ต้นภาพเสมอ

4. Software ต้องพัฒนาให้ดียิ่งขึ้น เช่นมีการ filter ,zoom in ฯลฯ

5. ขนาดของการเก็บภาพต้องน้อยลง การนำไปประยุกต์ใช้อื่น ๆ เช่น data base ,ภาพจากดาวเทียม ฯลฯ

6. ใช้อุปกรณ์ที่มีค่า ACCESS TIME ต่ำ เพื่อลด NOISE

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

(ACKNOWLEDGMENT)

ขอกราบขอบพระคุณท่านอาจารย์ อรรถสิทธ์ หล่าสกุล ที่ได้ให้ความรู้ประสบการณ์ต่างๆ และให้คำปรึกษาแนะนำแนวทางในการทดลองปฏิบัติ รวมทั้งกรุณาให้ยืมอุปกรณ์ต่างๆ ที่มีราคาแพงทำการทดลอง ซึ่งทำให้โครงงานนี้สามารถบรรลุผลสำเร็จลงด้วยดี และขอกราบขอบพระคุณ อาจารย์ กนก เจนจิระพงศ์เวช อาจารย์ กฤดากร กล่อมการ รวมทั้งท่านอาจารย์หลายๆ ท่านในภาคเทคนิคอุตสาหกรรม ที่ให้ความช่วยเหลือให้คำปรึกษา จึงใคร่ขอกราบขอบพระคุณท่านที่ได้กล่าวนามมา ณ ที่นี้ด้วย

ผู้จัดทำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หนังสืออ้างอิง

1. อรรถสิทธ์ หล่าสกุล "การเก็บภาพขนาด 512 * 256 จุดโดยใช้หน่วยความจำที่มีความเร็วต่ำ" วิทยานิพนธ์สำหรับปริญญาวิศวกรรมศาสตร์มหาบัณฑิต สาขาวิศวกรรมไฟฟ้า คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง ปีการศึกษา 2532

2. อาจารย์ อุทัย ศรีธีระวิโรจน์ Colour T.V สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

3. Analog - to -digital กองบรรณาธิการ เรื่อง CA3318 ไอซีแปลงสัญญาณอนาลอกเป็นดิจิตอลแบบเฟลชความเร็วสูง วารสารเซมิคอนดัคเตอร์ อิเล็กทรอนิกส์ ฉบับที่ 95 หน้า 274-277 พ.ศ 2532

4. Interface IBM ร.ศ ยืน ภู่วรวรรณ เรื่องรู้จักกับ Slot IBM PC. จากวารสารเซมิคอนดัค เตอร์ อิเล็กทรอนิกส์ ฉบับที่ 104 หน้า 286 พ.ศ 2534

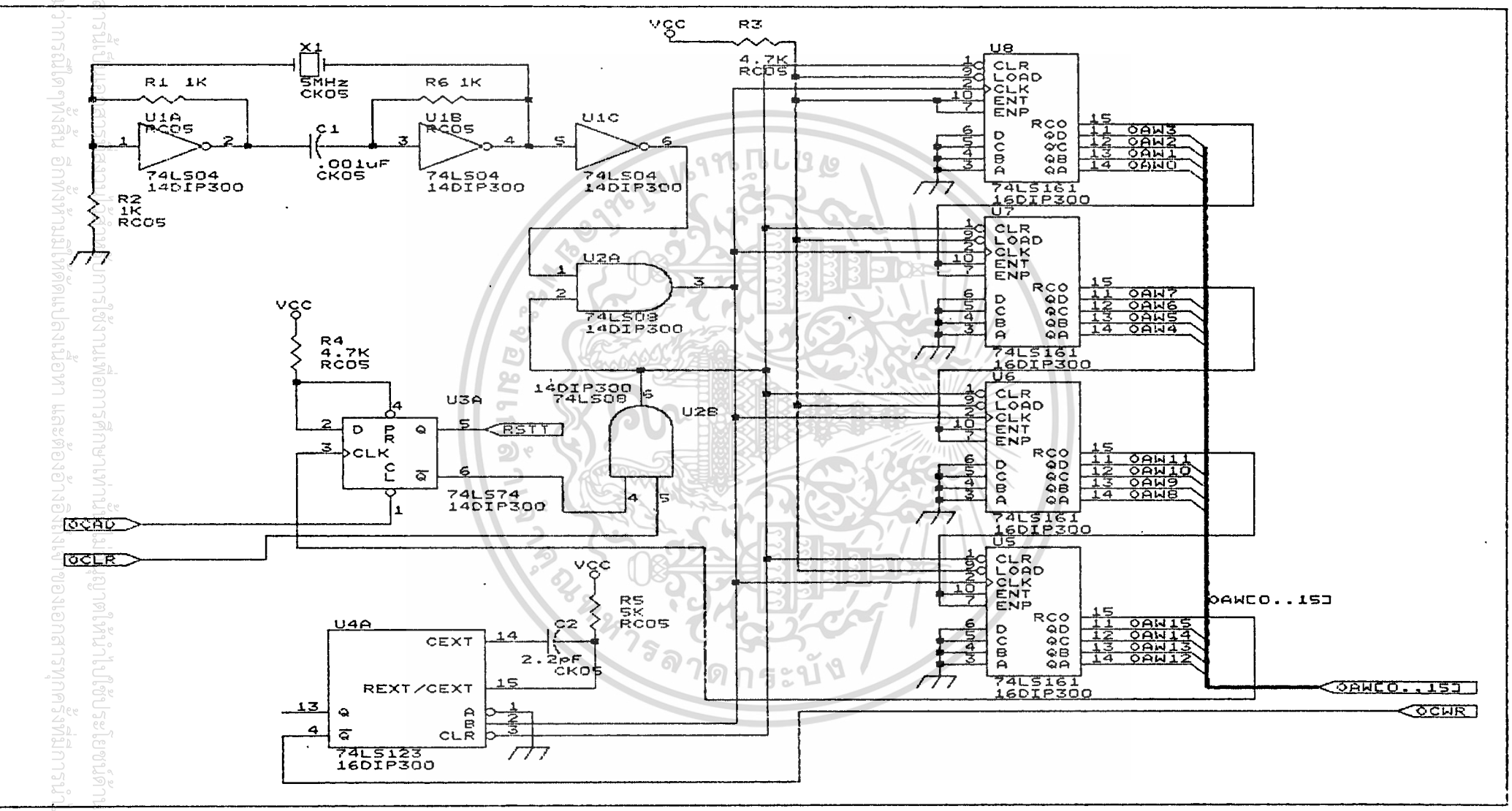
5. VGA ถวัลย์ ตั้งลิตานนท์ เรื่องเปิดโฉม VGA Hardware จากวารสารไมโครคอมพิวเตอร์ ฉบับที่ 55 หน้า 284-294 , 2533

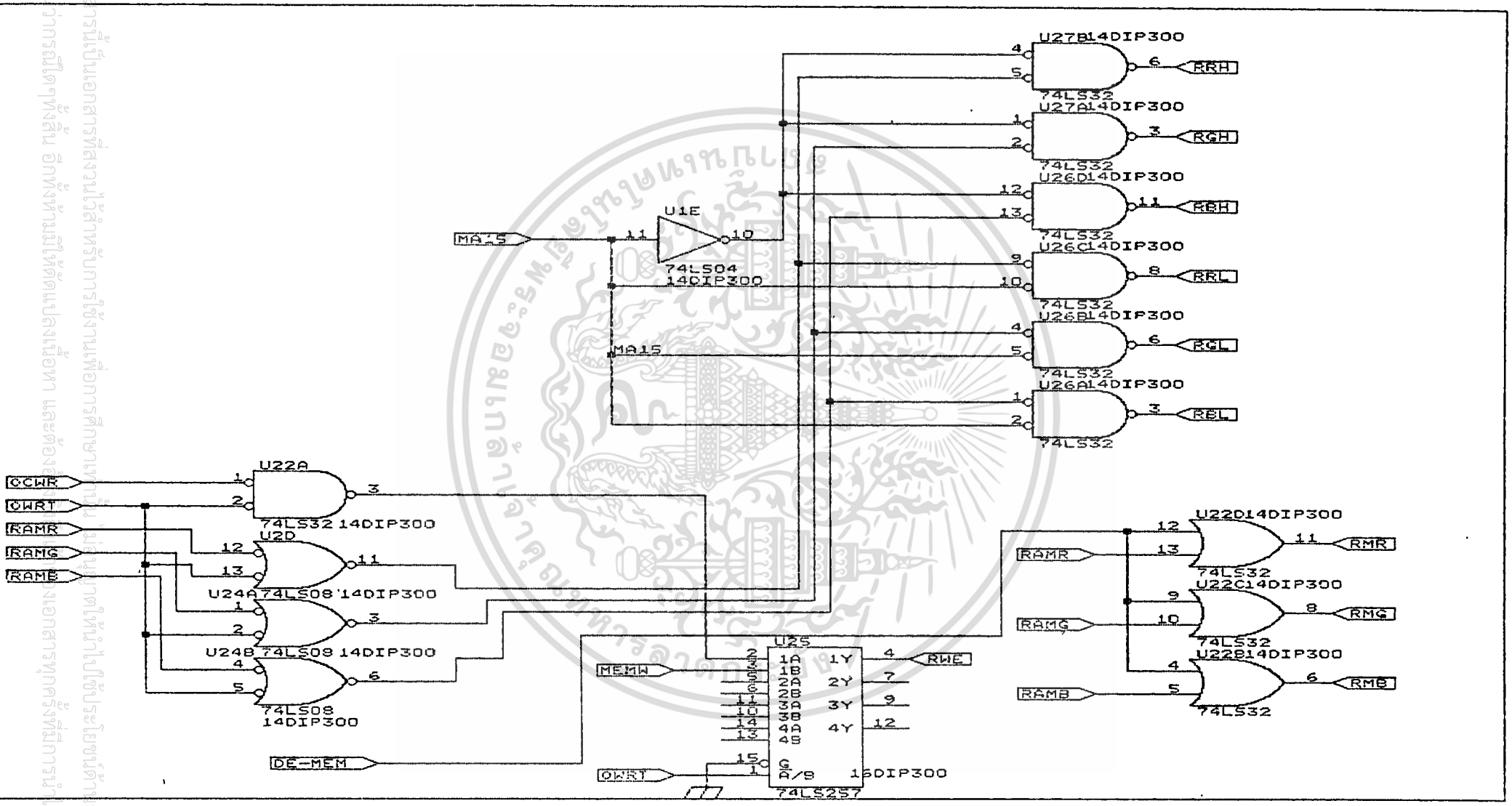
6. VGA ,จเร เลิศสุดวิชัย เรื่องการโปรแกรมใช้งานการ์ด VGA ตอน 1 จากวารสารไมโครคอมพิวเตอร์ ฉบับที่ 55 หน้า 295-305 ,2533

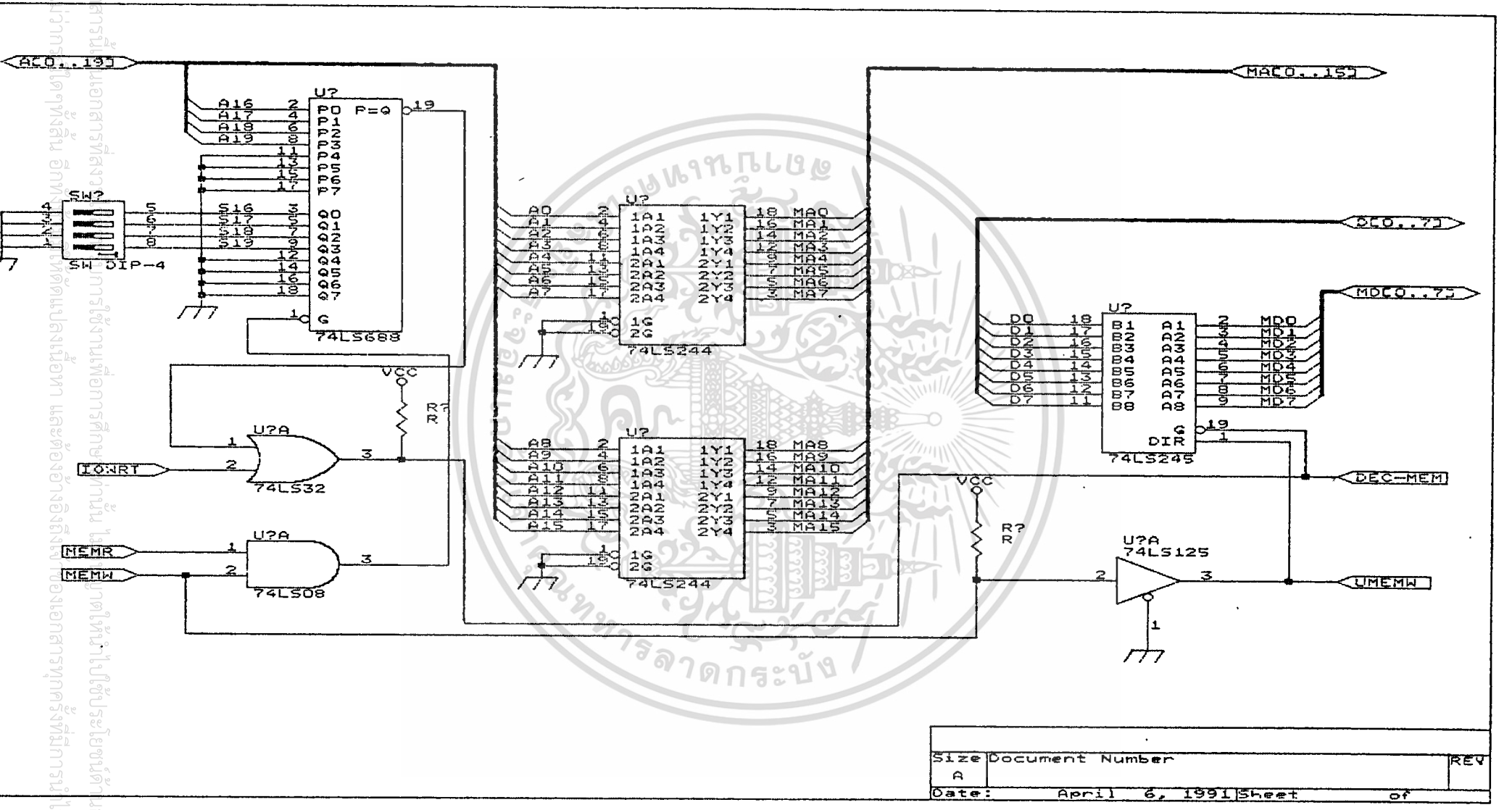
7. Microcomputer and Interface,Programming and hardware (1986),Douglas V.Hall P.406-414

8. Microprocessors Interface Techniques,Roolnay Z ulcs, Austin lesea (THIRDEDITION) P 147-154

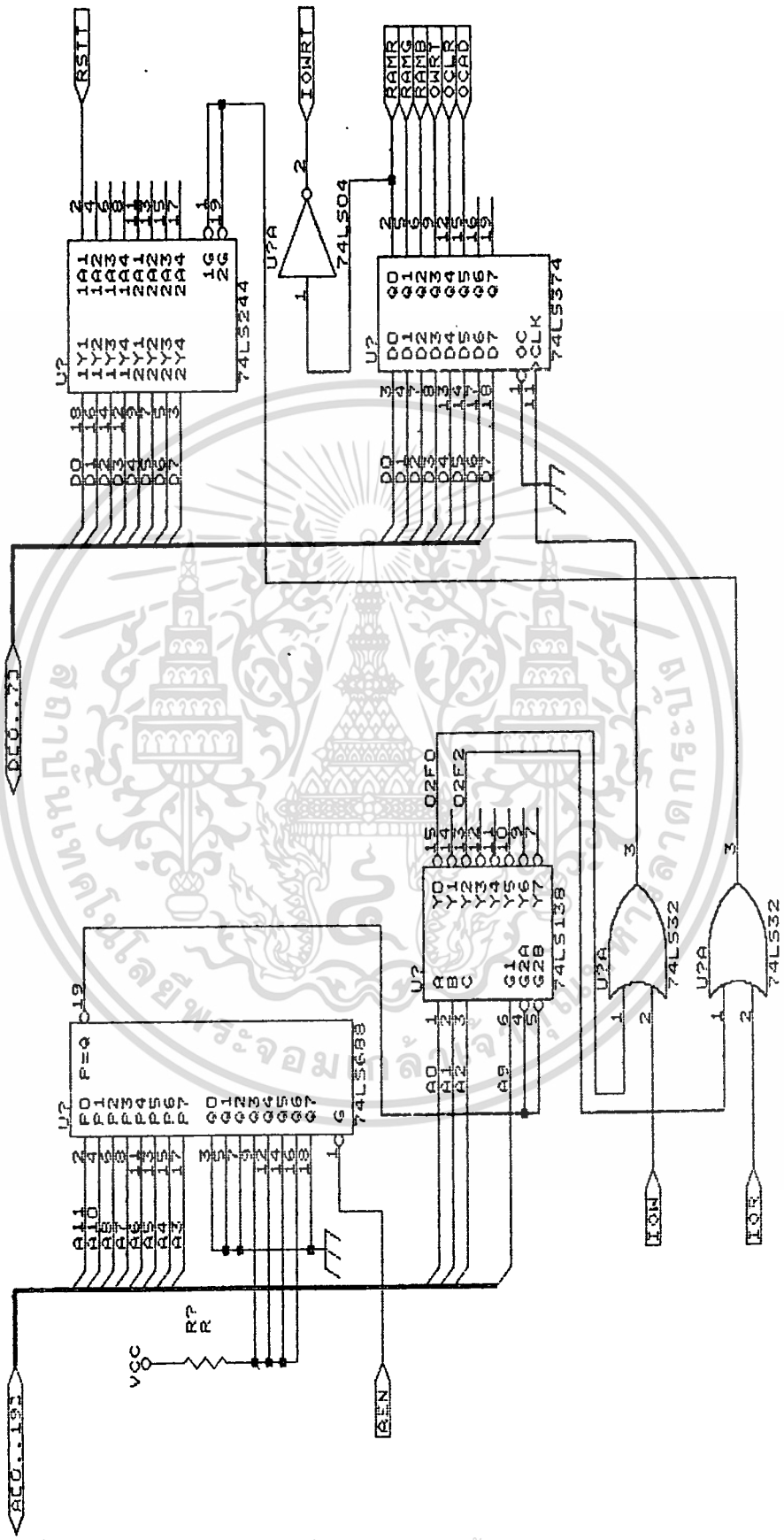
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้


X1
5MHz
CK05
R1 1K
R6 1K
U1A
RC05
U1B
RC05
U1C
C1
.001uF
CK05
74LS04
14DIP300
R2
1K
RC05
VCC
R3
4.7K
RC05
U8
U7
U6
U5
CLR
LOAD
CLK
ENT
ENP
RCO
QD
QC
QB
QA
D
C
B
A
74LS161
16DIP300
OAW3
OAW2
OAW1
OAW0
OAW7
OAW6
OAW5
OAW4
OAW11
OAW10
OAW9
OAW8
OAW15
OAW14
OAW13
OAW12
OAW[0..15]
OCWR
U2A
74LS08
14DIP300
U2B
R4
4.7K
RC05
U3A
D
CLK
PR
CL
Q
RSTT
74LS74
14DIP300
OCAD
OCLR
R5
5K
RC05
C2
2.2pF
CK05
U4A
CEXT
REXT/CEXT
CLR
74LS123
16DIP300

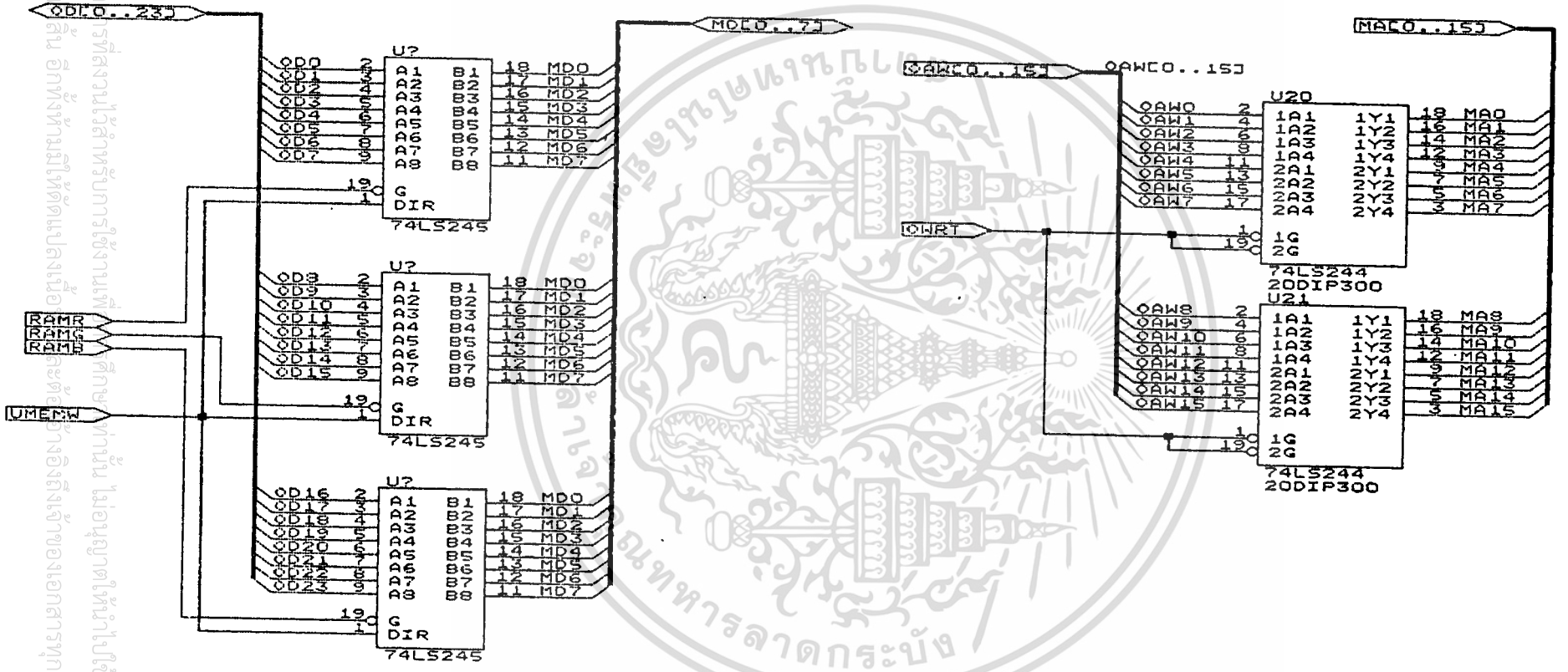

U27B14DIP300
RRH
74LS32
U27A14DIP300
RGH
74LS32
U26D14DIP300
RBH
74LS32
U26C14DIP300
RRL
74LS32
U26B14DIP300
RGL
74LS32
U26A14DIP300
RBL
74LS32
U1E
MA15
74LS04
14DIP300
MA15
U22A
CCWR
CWRT
RAMR
RAMG
RAMB
74LS32 14DIP300
U2D
U24A 74LS08 14DIP300
U24B 74LS08 14DIP300
74LS08
14DIP300
DE-MEM
U25
MEMW
OWRT
1A
1B
2A
2B
3A
3B
4A
4B
1Y
2Y
3Y
4Y
G
A/B
RWE
74LS257
U22D14DIP300
RMR
U22C14DIP300
RMG
U22B14DIP300
RMB

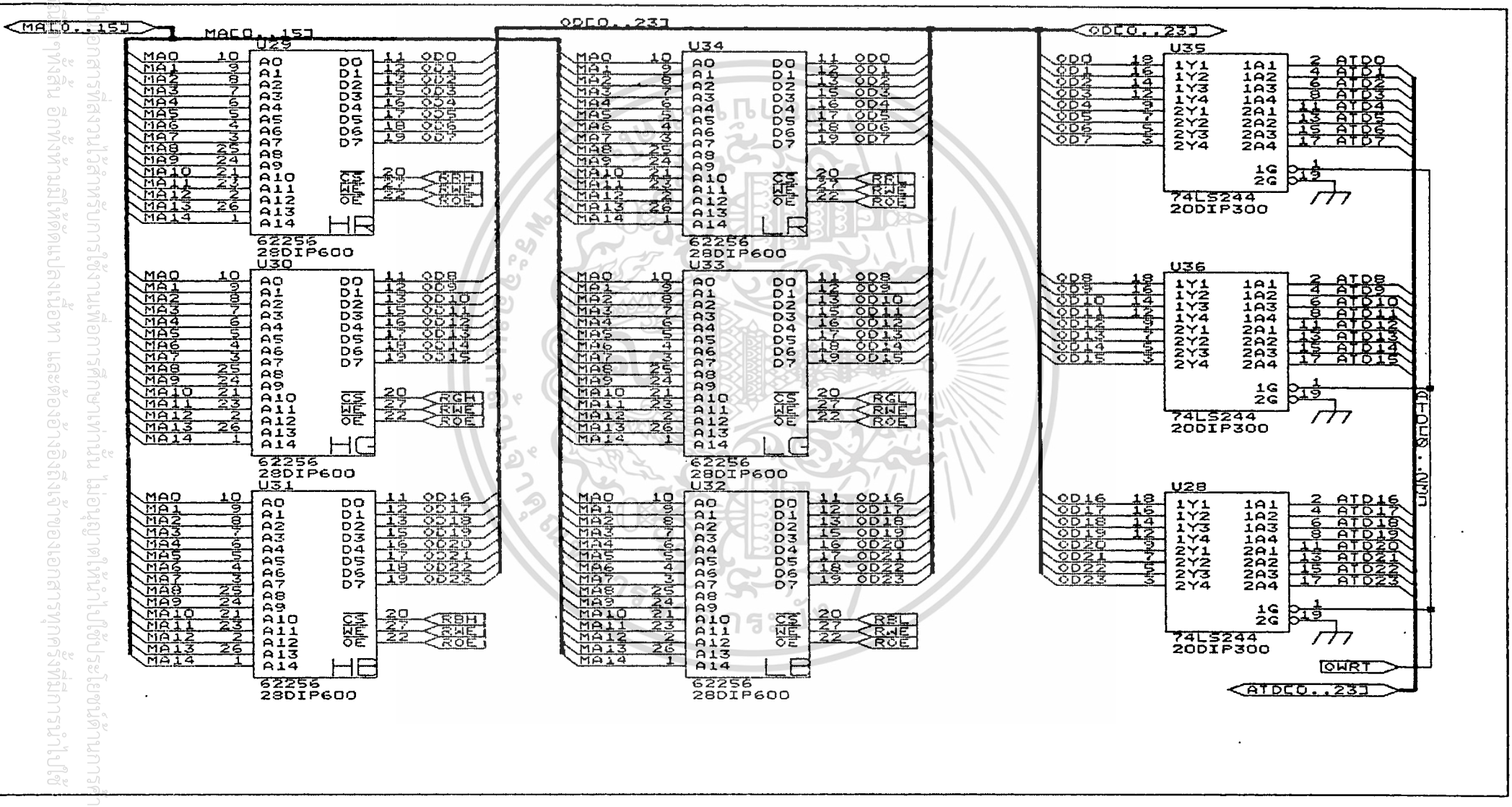


Size	Document Number	REV
A		
Date: April 6, 1991	Sheet of	



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้


ODI0..23J
MDI0..7J
OAWI0..15J
MAI0..15J
U?
74LS245
U20
U21
74LS244
20DIP300
RAMR
RAMW
UMEMW
OWRT


MA[0..15]
MA[0..15]
U29
MA0 10
MA1 9
MA2 8
MA3 7
MA4 6
MA5 5
MA6 4
MA7 3
MA8 25
MA9 24
MA10 21
MA11 23
MA12 2
MA13 26
MA14 1
A0
A1
A2
A3
A4
A5
A6
A7
A8
A9
A10
A11
A12
A13
A14
D0
D1
D2
D3
D4
D5
D6
D7
CS
WE
OE
11 OD0
12 OD1
13 OD2
15 OD3
16 OD4
17 OD5
18 OD6
19 OD7
20
27
22
RBH
RWE
ROE
62256
28DIP600
U30
MA0 10
MA1 9
MA2 8
MA3 7
MA4 6
MA5 5
MA6 4
MA7 3
MA8 25
MA9 24
MA10 21
MA11 23
MA12 2
MA13 26
MA14 1
11 OD8
12 OD9
13 OD10
15 OD11
16 OD12
17 OD13
18 OD14
19 OD15
20
27
22
RGH
RWE
ROE
62256
28DIP600
U31
MA0 10
MA1 9
MA2 8
MA3 7
MA4 6
MA5 5
MA6 4
MA7 3
MA8 25
MA9 24
MA10 21
MA11 23
MA12 2
MA13 26
MA14 1
11 OD16
12 OD17
13 OD18
15 OD19
16 OD20
17 OD21
18 OD22
19 OD23
20
27
22
RBH
RWE
ROE
62256
28DIP600
ODC0..23]
U34
MA0 10
MA1 9
MA2 8
MA3 7
MA4 6
MA5 5
MA6 4
MA7 3
MA8 25
MA9 24
MA10 21
MA11 23
MA12 2
MA13 26
MA14 1
11 OD0
12 OD1
13 OD2
15 OD3
16 OD4
17 OD5
18 OD6
19 OD7
20
27
22
RE
RWE
ROE
62256
28DIP600
U33
MA0 10
MA1 9
MA2 8
MA3 7
MA4 6
MA5 5
MA6 4
MA7 3
MA8 25
MA9 24
MA10 21
MA11 23
MA12 2
MA13 26
MA14 1
11 OD8
12 OD9
13 OD10
15 OD11
16 OD12
17 OD13
18 OD14
19 OD15
20
27
22
RG
RWE
ROE
62256
28DIP600
U32
MA0 10
MA1 9
MA2 8
MA3 7
MA4 6
MA5 5
MA6 4
MA7 3
MA8 25
MA9 24
MA10 21
MA11 23
MA12 2
MA13 26
MA14 1
11 OD16
12 OD17
13 OD18
15 OD19
16 OD20
17 OD21
18 OD22
19 OD23
20
27
22
RE
RWE
ROE
62256
28DIP600
ODC0..23]
U35
OD0 18
OD1 16
OD2 14
OD3 12
OD4 9
OD5 7
OD6 5
OD7 3
1Y1
1Y2
1Y3
1Y4
2Y1
2Y2
2Y3
2Y4
1A1
1A2
1A3
1A4
2A1
2A2
2A3
2A4
1G
2G
2 AID0
4 AID1
6 AID2
8 AID3
11 AID4
13 AID5
15 AID6
17 AID7
1
19
74LS244
20DIP300
U36
OD8 18
OD9 16
OD10 14
OD11 12
OD12 9
OD13 7
OD14 5
OD15 3
2 AID8
4 AID9
6 AID10
8 AID11
11 AID12
13 AID13
15 AID14
17 AID15
74LS244
20DIP300
U28
OD16 18
OD17 16
OD18 14
OD19 12
OD20 9
OD21 7
OD22 5
OD23 3
2 AID16
4 AID17
6 AID18
8 AID19
11 AID20
13 AID21
15 AID22
17 AID23
74LS244
20DIP300
OWRT
AIDC0..23]

```
#include "stdio.h"
#include "dos.h"
#include "conio.h"
main()
{
     long int i,seg,j;
     int a,b;
     char ch;
     clrscr();
     /************** Select Segment **************/
     printf("Select segment for work \n");
     printf("[1]A000 [2]B000 [3]C000 [4]D000 [5]E000 [6]F000 >>> ");
     a=getch();
     putch(a);
     switch(a)
     {
        case '1':seg=0xa000;break;
        case '2':seg=0xb000;break;
        case '3':seg=0xc000;break;
        case '4':seg=0xd000;break;
        case '5':seg=0xe000;break;
        case '6':seg=0xf000;break;
        default:
        printf("\nError!!! You don't right select...I'm stop run OK.\n");
        exit(0);
     }
     printf("\nselect r,g,b...");
     a = getch();
     putch(a);
     switch(a)
     {
        case 'r':
        case 'R': outport(0x2f0,0xce); break; /* 0xce = 1100 1110 */
        case 'g':
        case 'G': outport(0x2f0,0xcd); break;/* 0xcd = 1100 1101 */
        case 'b':
        case 'B': outport(0x2f0,0xcb); break;/* 0xcb = 1100 1011 */
     }
     /************** Poke Memory ***************/
     for(i=0x0;i<=0x7fff;i+=0x4)
     {
        pokeb(seg,i,'M');
        pokeb(seg,i+1,'a');
        pokeb(seg,i+2,'w');
        pokeb(seg,i+3,'.');
     }

     for(i=0x8000;i<=0xffff;i+=0x4)
     {
        pokeb(seg,i,'R');
        pokeb(seg,i+1,'a');
        pokeb(seg,i+2,'t');
        pokeb(seg,i+3,'.');
     }

     printf("\nselect (i)n  or  (o)ut ...");
     b = getch();
     putch(b);
     if(b=='o' || b=='O')
     {
        outport(0x2f0,0xe7); /* ef = 1110 0111 */
        outport(0x2f0,0xf7); /* f7 = 1111 0111 */
        b = 0;
      while(b != 0x01)
      {
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
     b=inport(0x2f2);
     printf("%X ",b);
     b = b & 0x01;
  }

    outport(0x2f0,0xcf);
    switch(a)
    {
       case 'r':
       case 'R': outport(0x2f0,0xce); break; /* 0xce = 1100 1110 */
       case 'g':
       case 'G': outport(0x2f0,0xcd); break;/* 0xcd = 1100 1101 */
       case 'b':
       case 'B': outport(0x2f0,0xcb); break;/* 0xcb = 1100 1011 */
    }
}

/************** Peek Memory **************/
for(i=0;i <= 0xffff;i++)
{
    if(i%0x180 == 0 && i > 0)
    {
       printf(" ");
       for(j=i-0x10;j<=i;j++)
       {
          ch=peekb(seg,j);
          if(ch<=0x20 || ch>= 0xff)
             ch = '.';
          printf("%c",ch);
       }
       printf("\n>>> Any key to continue 'Q' to stop <<< ");
       a=getch();
       if(a == 'Q' || a == 'q')
       {
          outport(0x2f0,0xcf);
          exit(0);
       }
    }
    if(i%0x10 == 0)
    {
       if(i > 0)
       {
       printf(" ");
       for(j=i-0x10;j<=i;j++)
       {
          ch=peekb(seg,j);
          if(ch<=0x20 || ch>= 0xff)
             ch = '.';
          printf("%c",ch);
       }
       }
       printf("\n%X:",seg);
       if(i<=0xf)
          printf("000");
       else if(i<=0xff)
          printf("00");
       else if(i<=0xfff)
          printf("0");
       printf("%X ",i);
    }
    ch=peekb(seg,i);
    if(ch <= 0xf)
       printf("0");
    printf("%X ",ch);
    if(i%0x10 == 7)
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น ไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
            printf("- ");
        }
        printf(" ");
            for(j=i-0x10;j<=i;j++)
            {
               ch=peekb(seg,j);
               if(ch<=0x20 || ch>= 0xff)
                  ch = '.';
               printf("%c",ch);
            }
}
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
#include "stdio.h"
#include "dos.h"
#include "conio.h"
#include "alloc.h"

main()
{
     long int i,seg,j,f;
     int a,b,y,z;
     char ch;
     FILE *fp;


     clrscr();
     /************** Select Segment **************/
     printf("Select segment for work \n");
     printf("[1]A000 [2]B000 [3]C000 [4]D000 [5]E000 [6]F000 >>> ");
     a=getch();
     putch(a);
     switch(a)
     {
        case '1':seg=0xa000;break;
        case '2':seg=0xb000;break;
        case '3':seg=0xc000;break;
        case '4':seg=0xd000;break;
        case '5':seg=0xe000;break;
        case '6':seg=0xf000;break;
        default:
        printf("\nError!!! You don't right select...I'm stop run OK.\n");
        exit(0);
     }

      /************ initail ram d000:0 ***********/
        outport(0x2f0,0xce); /* 0xce = 1100 1110  r */
        for(i=0x0;i<=0xffff;i+=0x01)
           pokeb(seg,i,0xaa);
        printf("\ninitail ram r\n");

        outport(0x2f0,0xcd); /* 0xcd = 1100 1101  g */
        for(i=0x0;i<=0xffff;i+=0x01)
           pokeb(seg,i,0x81);
        printf("initail ram g\n");

        outport(0x2f0,0xcb); /* 0xcb = 1100 1011  b */
        for(i=0x0;i<=0xffff;i+=0x01)
           pokeb(seg,i,0x5a);
        printf("initail ram b\n");

     /************** process take picture **************/
     printf("\nselect picture...");
     b = getch();
     b = 0;
     outport(0x2f0,0xe7);
     outport(0x2f0,0xf7);

      while(b != 0x01)
      {
         b=inport(0x2f2);
         b = b & 0x01;
      }

     outport(0x2f0,0xcf);
     /************** save data to disk *************/
     printf("\nsave data from memory to disk...\n");
     outport(0x2f0,0xcc);
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        f=0;
        fp = fopen("test.r","ab");
        for(i=0;i<=0xffff;i++)
        {
           y = peek(seg,i);
           fwrite(&y,1,1,fp);
           if(i == f)
           {
             printf(".");
             f += 0x1000;
           }
        }
        fclose(fp);
        printf("save data to test.r complete\n");

        outport(0x2f0,0xcd);
        f = 0;
        fp = fopen("test.g","ab");
        for(i=0;i<=0xffff;i++)
        {
           y = peek(seg,i);
           fwrite(&y,1,1,fp);
           if(i == f)
           {
             printf(".");
             f += 0x1000;
           }
        }
        fclose(fp);
        printf("save data to test.g complete\n");

        outport(0x2f0,0xcb);
        f = 0;
        fp = fopen("test.b","ab");
        for(i=0;i<=0xffff;i++)
        {
           y = peek(seg,i);
           fwrite(&y,1,1,fp);
           if(i == f)
           {
             printf(".");
             f += 0x1000;
           }
        }
        fclose(fp);
        printf("save data to test.b complete\n");

        outport(0x2f0,0xcf);
}
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
 #include "stdio.h"
#include "dos.h"
#include "alloc.h"
#include "stdlib.h"
#include "mem.h"
#include "bios.h"
#include "process.h"

int i,j,rc,gc,bc;
unsigned char (huge *imager)[256],(huge *imageg)[256],(huge *imageb)[25
char fnamer[30],fnameg[30],fnameb[30];

struct DAC_TAB
{
  char red;
  char green;
  char blue;
} TAB[256];

screenmode(x)
int x;
{
  _AH = 0;
  _AL = x;
  geninterrupt(0x10);
}

void init(image)
unsigned char (huge *(huge *image))[256];
{
   if ((*image=farcalloc(256,256)) == NULL)
   {
     puts("ERROR: Memory not enough ! ! !");
     exit('M');
   }
}

void getimgc(image,fname)
unsigned char (huge *image)[256];
char *fname;
{
int  i,j;
FILE  *fp;

   if ( (fp=fopen(fname,"rb")) == NULL)
        {
           puts("ERROR: Can't open file ! ! !");
           exit('F');
        }
   else
   {
      fread(image,256*128,2,fp);
      fclose(fp);
  }
}

void putimgc(image,fname)
unsigned char (huge *image)[256];
char *fname;
{
int  i,j;
FILE  *fp;

   if ( (fp=fopen(fname,"wb")) == NULL)
        {
           puts("ERROR: Can't open file ! ! !");
```

Suspicious pointer conversion in function ที่ getimgc

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
            exit('F');
        }
    else
    {
        fwrite(image,256*128,2,fp);
        fclose(fp);
    }
}


initchar()
{
  _AH=0x11;
  _AL=0x23;
  _BL=3;
  geninterrupt(0x10);
}

writeDAC(x,i)
struct DAC_TAB *x;
int i;
{
  union REGS rin,rout;
  rin.h.ah = 0x10;
  rin.h.al = 0x10;
  rin.x.bx = i;
  rin.h.dh = x->red;
  rin.h.ch = x->green;
  rin.h.cl = x->blue;
  int86(0x10,&rin,&rout);
}

writeallDAC(x)
struct DAC_TAB x[];
{
  int i;
  for (i = 0; i<256; i++)
    writeDAC(&x[i],i);
}

startupLUT(TAB)
struct DAC_TAB TAB[];
{
int i;

  for (i=0; i<64; i++)
  {
    TAB[i].red   = (i);
    TAB[i].green = 0;
    TAB[i].blue  = 0;
  }
  for (i=64; i<128; i++)
  {
    TAB[i].red   = 0;
    TAB[i].green = (i-64);
    TAB[i].blue  = 0;
  }
  for (i=128; i<192; i++)
  {
    TAB[i].red   = 0;
    TAB[i].green = 0;
    TAB[i].blue  = (i-128);
  }
  for (i=192; i<256; i++)
  {
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
    TAB[i].green = i-192;
    TAB[i].blue  = i-192;
  }
  TAB[7].red=63;
}
  }
setcolorvga(r,g,b)
int r,g,b;
{
  rc=r;gc=g;bc=b;
  if (rc>>2==7) rc=8<<2;
}

DACgray()
{
   _AX = 0x101b;
   _BX = 0;
   _CX = 256;
   geninterrupt(0x10);
}

plotvgab(x,y,c)
int x,y,c;
{
long i;

  i=((long)y*320+x);
  outportb(0x3cd,0x40|(i>>16));
  pokeb(0xa000,i&0xffff,c);
}

plotvgaw(x,y,c)
int x,y,c;
{
long i;

  i=((long)y*320+x);
  outportb(0x3cd,0x40|(i>>16));
  poke(0xa000,i&0xffff,c);
}

vgaplot(x,y)
{
  plotvgaw(x*2,y*2,((rc>>2)<<8)+((gc>>2)+64));
  plotvgaw(x*2,y*2+1,bc>>2+128);
}
/*---------------------- main() ------------------------*/

main(argc,argv)
int argc;
char **argv;
{
  if (argc==1) exit(1);

  init(&imager);
  init(&imageg);
  init(&imageb);

   strcpy(fnamer,argv[1]);
   strcat(fnamer,".r");
   strcpy(fnameg,argv[1]);
   strcat(fnameg,".g");
   strcpy(fnameb,argv[1]);
   strcat(fnameb,".b");
   getimgc(imager,fnamer);
```

เอกสารนี้สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
    getimgc(imageg,fnameg);
    getimgc(imagcb,fnameb);


   screenmode(0x13);
   initchar();
   startupLUT(TAB);
   writeallDAC(TAB);

   for (i=0;i<200;i+=2)
     for (j=0;j<256;j+=2)
     {
      setcolorvga(imager[i][j],imageg[i][j],imageb[i][j]);
       vgaplot(j/2,i/2);
     }
   getch();

   screenmode(0x3);
}
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

54257/74257 Quadruple 2-Line-to-1-Line Data Selector/Multiplexer With 3-State Output

	Schottky TTL					High-Speed TTL					Low-Power Schottky TTL					Standard TTL					Low-Power TTL				
	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF
T. I.	SN54S257	J			W						SN54LS257	J			W									
	SN74S257	J	N								SN74LS257	J	N											
FAIRCHILD	/fm93257	PC									fm54LS257/fm74LS257	PC			FC									
	fc54S257/fc74S257	PC									fc54LS257/fc74LS257	PC	PC		FC									
MOTOROLA											SN74LS257		P											
N. S. C.	DM74S257		N																					
PHILIPS	N74S257		P								N74LS257													
SIGNETICS	S54S257	PC			FC																			
	N74S257	AC	PC								N74LS257		A											
SIEMENS																								
FUJITSU											74LS257		M											
HITACHI	HD74S257		PC								HD74LS257		P											
MITSUBISHI	M5S257		PC								M74LS257		P											
NEC											74LS257		C											
AMD	Am54S257		J								Am54LS257		J											
	Am74S257		J								Am74LS257		J											

Electrical Characterics SN54LS257/SN74LS257

absolute maximum ratings over operating free-air temperature range

Supply voltage, V_{CC}	7V	Operating free-air temperature range	SN54LS	−55°C to	125°C
Input voltage	7V		SN74LS	0°C to	70°C
Off-state output voltage	5.5V	Storage temperature range		−65°C to	150°C

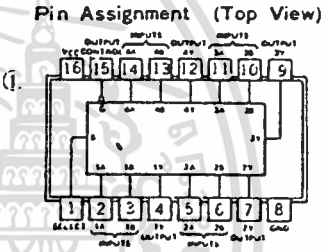
recommended operating conditions

	SN54LS257 MIN	NOM	MAX	SN74LS257 MIN	NOM	MAX	UNIT
Supply voltage, V_{CC}	4.5	5	5.5	4.75	5	5.25	V
High-level output current, I_{OH}			−1			−2.6	mA
Low-level output current, I_{OL}			12			24	mA
Operating free-air temperature, T_A	−55		125	0		70	°C

electrical characteristics over recommended operating free-air temperature range

PARAMETER		TEST CONDITIONS †		MIN	TYP ‡	MAX	UNIT
V_{IH}	High-level input voltage			2			V
V_{IL}	Low-level input voltage					0.8	V
V_I	Input clamp voltage	V_{CC} = MIN, I_I = −18mA				−1.5	V
V_{OH}	High-level output voltage	V_{CC} = MIN, V_{IH} = 2V, V_{IL} = 0.8V, I_{OH} = MAX	SN54LS	2.4	3.4		V
			SN74LS	2.4	3.1		
V_{OL}	Low-level output voltage	V_{CC} = MIN, V_{IH} = 2V, V_{IL} = 0.8V, I_{OL} = 24mA			0.35	0.5	V
I_{OZH}	Off-state output current, high-level voltage applied	V_{CC} = MAX, V_{IH} = 2V, V_O = 2.7V				20	μA
I_{OZL}	Off-state output current, low-level voltage applied	V_{CC} = MAX, V_{IH} = 2V, V_O = 0.4V				−20	μA
I_I	Input current at maximum input voltage	S input	V_{CC} = MAX, V_I = 7V			0.2	mA
		Any other				0.1	
I_{IH}	High-level input current	S input	V_{CC} = MAX, V_I = 2.7V			40	μA
		Any other				20	
I_{IL}	Low-level input current	S input	V_{CC} = MAX, V_I = 0.5V			−0.8	mA
		Any other				−0.4	
I_{OS}	Short-circuit output current ♦	V_{CC} = MAX		−30		−130	mA
I_{CC}	Supply current	All outputs high	V_{CC} = MAX, See Note 2		6.2	10	mA
		All outputs low			10	16	
		All outputs off			12	19	
t_{PLH}	from Data to Any output		V_{CC} = 5V, T_A = 25°C, C_L = 45pF, R_L = 667Ω		9	18	ns
t_{PHL}					11	18	
t_{PLH}	from Select to Any output				16	27	ns
t_{PHL}					19	25	
t_{ZH}	from Output Control to Any output				13	30	ns
t_{ZL}					17	35	
t_{HZ}	from Output Control to Any		V_{CC} = 5V, T_A = 25°C, C_L = 5PF, R_L = 667Ω		13	30	ns
t_{LZ}					15	25	

Pin Assignment (Top View)



Positive logic: see function table

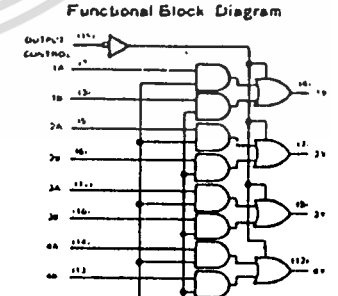
Function Table

'S257, 'LS257,

INPUTS				OUTPUT
OUTPUT CONTROL	SELECT	A	B	Y
H	X	X	X	Z
L	L	L	X	L
L	L	H	X	H
L	H	X	L	L
L	H	X	H	H

H = high level, L = low level, X = irrelevant, Z = high impedance (off)

Functional Block Diagram



'S257, 'LS257 QUADRUPLE 2-LINE-TO-1-LINE DATA SELECTOR/MULTIPLEXER

NOTE: I_{CC} is measured with all outputs open and all possible inputs grounded while achieving the stated output conditions.

♦ t_{PLH} = propagation delay time, low-to-high-level output; t_{PHL} = propagation delay time, high-to-low-level output; t_{ZH} = output enable time to high level; t_{ZL} = output enable time to low level; t_{HZ} = output disable time from high level; t_{LZ} = output disable time from low level

† For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions for the applicable device type.

♦ Not more than one output should be shorted at a time and duration of the short-circuit test should not exceed one second.

‡ All typical values are at V_{CC} = 5V, T_A = 25°C

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

54245/74245 Octal Bus Transceivers with 3-state Outputs

	Schottky TTL					High-Speed TTL					Low-Power Schottky TTL					Standard TTL					Low-Power TTL				
	Device Type	Package				Device Type	Package				Device Type	Package				Device Type	Package				Device Type	Package			
		C	P	M	CF		C	P	M	CF		C	P	M	CF		C	P	M	CF		C	P	M	CF
T. I.											SN54LS245	J‡		W‡	W‡										
											SN74LS245	J‡	N‡												
FAIRCHILD																								
MOTOROLA																								
N. S. C																								
PHILIPS																								
SIGNETICS																								
SIEMENS																								
FUJITSU																								
HITACHI																								
MITSUBISHI																								
NEC																								
TOSHIBA																								

Electrical Characteristics SN54LS245/SN74LS245

absolute maximum ratings over operating free-air temperature range

Supply voltage, V_{CC}	7 V	Operating free-air temperature range	SN54LS	55°C to 125°C
Input voltage	7 V		SN74LS	0°C to 70°C
		Storage temperature range		65°C to 150°C

recommended operating conditions

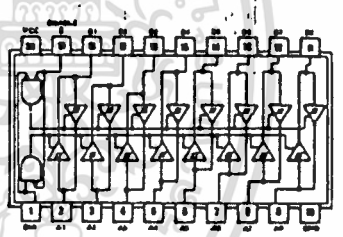
	SN54LS245			SN74LS245			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage, V_{CC}	4.5	5	5.5	4.75	5	5.25	V
High-level output current, I_{OH}			−12			−15	mA
Low-level output current, I_{OL}			12			24	mA
Operating free-air temperature, T_A	−55		125	0		70	°C

electrical characteristics over recommended operating free-air temperature range

PARAMETER		TEST CONDITIONS†		SN74LS245 MIN	TYP‡	MAX	UNIT
V_{IH}	High-level input voltage			2			V
V_{IL}	Low-level input voltage					0.8	V
V_{IK}	Input clamp voltage	V_{CC} = MIN,	I_I = −18mA			−1.5	V
	Hysteresis ($V_{T+} - V_{T-}$) A or B input	V_{CC} = MIN			0.2	0.4	V
V_{OH}	High-level output voltage	V_{CC} = MIN, V_{IH} = 2V, V_{IL} = V_{IL} max	I_{OH} = −3mA	2.4	3.4		V
			I_{OH} = MAX	2			
V_{OL}	Low-level output voltage	V_{CC} = MIN, V_{IH} = 2V, V_{IL} = V_{IL} max	I_{OL} = 12mA			0.4	V
			I_{OL} = 24mA			0.5	
I_{OZH}	Off-state output current, high-level voltage applied	V_{CC} = MAX, $\overline{G}$ at 2V	V_O = 2.7 V			20	μA
I_{OZL}	Off-state output current, low-level voltage applied		V_O = 0.4V			−200	
I_I	Input current at maximum input voltage: A or B	V_{CC} = MAX,	V_I = 5.5V			0.1	mA
	DIR or $\overline{G}$		V_I = 7V			0.1	
I_{IH}	High-level input current	V_{CC} = MAX, V_{IH} = 2.7V				20	μA
I_{IL}	Low-level input current	V_{CC} = MAX, V_{IL} = 0.4V				−0.2	mA
I_{OS}	Short-circuit output current	V_{CC} = MAX		−40		−225	mA
I_{CC}	Supply current: Total, outputs high	V_{CC} = MAX, Outputs open			48	70	mA
	Total outputs low				62	90	
	Outputs at Hi-Z				64	95	

switching characteristics, V_{CC} = 5V, T_A = 25°C

PARAMETER		TEST CONDITIONS	MIN	TYP	MAX	UNIT
t_{PLH}	Propagation delay time, low-to-high-level output	C_L = 45pF, R_L = 667Ω, See Note 2		8	12	ns
t_{PHL}	Propagation delay time, high-to-low-level output			8	12	ns
t_{PZL}	Output enable time to low level			27	40	ns
t_{PZL}	Output enable time to high level			25	40	ns
t_{PLZ}	Output disable time from low level	C_L = 5pF, R_L = 667Ω, See Note 2		15	25	ns
t_{PHZ}	Output disable time from high level			15	25	ns



SN54LS245 (J) SN74LS245 (J, N)

†For conditions shown as MIN or MAX, see the appropriate value specified under recommended operating conditions.
‡All typical values are at V_{CC} = 5V, T_A = 25°C.
§Not more than one output should be shorted at a time, and duration of the short-circuit should not not exceed one second.

ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

54244/74244 Octal Buffers/Line Drivers/Line Receivers

	Schottky TTL					High-Speed TTL					Low-Power Schottky TTL					Standard TTL					Low-Power TTL				
	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF
T. I.											SN54LS244		J												
											SN74LS244		J	N											
FAIRCHILD																									
MOTOROLA																									
N. S. C.																									
PHILIPS																									
SIGNETICS																									
SIEMENS																									
FUJITSU																									
HITACHI																									
MITSUBISHI																									
NEC																									
TOSHIBA																									

Electrical Characteristics SN54LS244/SN74LS244

absolute maximum ratings over operating free-air temperature range

Supply voltage, V_{CC}	7V	Operating free-air temperature range	SN54LS	55°C to 125°C
Input voltage	5.5V		SN74LS	0°C to 70°C
Interemitter voltage	5.5V	Storage temperature range		65°C to 150°C

recommended operating conditions

	LS54LS244			SN74LS244			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage, V_{CC}	4.5	5	5.5	4.75	5	5.25	V
High-level output current, I_{OH}			12			15	mA
Low-level output current, I_{OL}			12			24	mA
Operating free-air temperature, T_A	55		125	0		70	°C

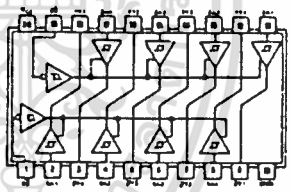
electrical characteristics over recommended operating free-air temperature range (unless otherwise noted)

PARAMETER		TEST CONDITIONS †		SN74LS MIN	SN74LS TYP‡	SN74LS MAX	UNIT
V_{IH}	High-level input voltage			2			V
V_{IL}	Low-level input voltage					0.8	V
V_{IK}	Input clamp voltage	V_{CC} = MIN,	I_I = −18mA			−1.5	V
	Hysteresis ($V_{T+} - V_{T-}$)	V_{CC} = MIN			0.2	0.4	V
V_{OH}	High-level output voltage	V_{CC} = MIN, V_{IL} = V_{IL} max,	V_{IH} = 2V, I_{OH} = −3mA	2.4	3.4		V
		V_{CC} = MIN, V_{IL} = 0.5V,	V_{IH} = 2V, I_{OH} = MAX	2			
V_{OL}	Low-level output voltage	V_{CC} = MIN, V_{IH} = 2V, V_{IL} = V_{IL} max	I_{OL} = 12mA			0.4	V
			I_{OL} = 24mA			0.5	
I_{OZH}	Off-state output current, high-level voltage applied	V_{CC} = MAX, V_{IH} = 2V, V_{IL} = V_{IL} max	V_O = 2.7V			20	μA
I_{OZL}	Off-state output current, low-level voltage applied		V_O = 0.4V			−20	
I_I	Input current at maximum input voltage	V_{CC} = MAX,	V_I = 7V			0.1	mA
I_{IH}	High-level input current, any input	V_{CC} = MAX,	V_I = 2.7V			20	μA
I_{IL}	Low-level input current	V_{CC} = MAX,	V_{IL} = 0.4V			−0.2	mA
I_{OS}	Short-circuit output current ◆	V_{CC} = MAX		−40		−225	mA
I_{CC}	Supply current, Outputs high	V_{CC} = MAX, Outputs open	All		13	23	mA
	Supply current, Outputs low		'LS244		27	46	
	Supply current, All outputs disabled		'LS244		32	54	

switching characteristics, V_{CC} = 5V, T_A = 25°C

PARAMETER		TEST CONDITIONS	MIN	TYP	MAX	UNIT
t_{PLH}	Propagation delay time, low-to-high-level output	C_L = 45pF, R_L = 667Ω, See Note 2		8	14	ns
t_{PHL}	Propagation delay time, high-to-low-level output			12	18	ns
t_{PZL}	Output enable time to low level			20	30	ns
t_{PZH}	Output enable time to high level			15	23	ns
t_{PLZ}	Output disable time from low level	C_L = 5pF, R_L = 667Ω, See Note 2		15	25	ns
t_{PHZ}	Output disable time from high level			10	18	ns

Pin Assignment (Top View)



SN54LS244 (J) SN74LS244 (J, N)

† For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.
‡ All typical values are at V_{CC} = 5V, T_A = 25°C.
◆ Not more than one output should be shorted at a time, and duration of the short-circuit should not exceed one second.
NOTE 2 : Load circuit and voltage wave forms are shown on page 3-11.

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

54161/74161 Synchronous 4-Bit Binary Counter with Direct Clear

	Schottky TTL					High-Speed TTL					Low-Power Schottky TTL					Standard TTL					Low-Power TTL				
	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package P	P	M	CF
T.I.											SN54LS161	J			W	SN54161	J			W					
											SN74LS161	J	N			SN74161	J	N							
FAIRCHILD											F93L5161/F99L5161	D			F	F96161	D								
											FC74LS161/FC93L161	D	P		F	FC74161/FC93161	D	P		F					
MOTOROLA																									
											SN74LS161		P			MC74161		P							
N.S.C.											DM54LS161		J			DM54161A									
											DM74LS161		N			DM74161A									
PHILIPS											N74LS161		N			N74161		A							
SIGNETICS																S54161	F	B		W					
											N74LS161		A			N74161	F	B							
SIEMENS																FLJ411		I							
FUJITSU											74LS161		MJ												
HITACHI											HD74LS161		P			HD74161		P							
MITSUBISHI											M74LS161		P			M53161		P							
NEC											74LS161					μPB2161									
AMD	Am54LS161		J								Am54LS161		J												
	Am74LS161		J								Am74LS161		J												

Electrical Characteristics SN54LS161/SN74LS161

absolute maximum ratings over operating free-air temperture range

Supply voltage, V_{CC}	7V	Operating free-air temperature range	SN54LS	−55°C	to 125°C
Input voltage	5.5V		SN74LS	0°C	to 70°C
		Storage temperature range		−65°C	to 150°C

recommended operating conditions

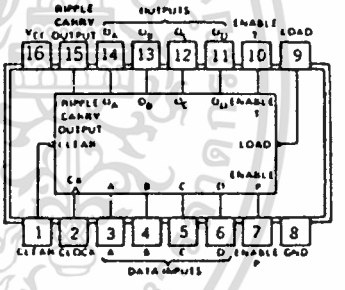
		SN54LS161 MIN	NOM	MAX	SN74LS161 MIN	NOM	MAX	UNIT
Supply voltage, V_{CC}		4.5	5	5.5	4.75	5	5.25	V
High-level output current, I_{OH}				−400			−400	μA
Low-level output current, I_{OL}				4			8	mA
Input clock frequency, f_{clock}		0		25	0		25	MHz
Width of clock pulse, t_w(clock)		25			25			ns
Width of clear pulse, t_w(clear)		20			20			ns
Setup time, t_{setup}	Data inputs A, B, C, D	20			20			ns
	Enable P or T	20			20			
	Load	20			20			
	Clear	20			20			
Hold time at any input, t_{hold}		0			0			ns
Operating free-air temperature, T_A		−55		125	0		70	°C

electrical characteristics over recommended operating free-air temperature range

PARAMETER		TEST CONDITIONS†		MIN	TYP‡	MAX	UNIT
V_{IH}	High-level input voltage			2			V
V_{IL}	Low-level input voltage					0.8	V
V_I	Input clamp voltage	V_{CC} = MIN, I_I = −18mA				−1.5	V
V_{OH}	High-level output voltage	V_{CC} = MIN, V_{IH} = 2V, V_{IL} = 0.8V, I_{OH} = −400μA		2.7	3.4		V
V_{OL}	Low-level output voltage	V_{CC} = MIN, V_{IH} = 2V, V_{IL} = 0.8V, I_{OL} = 8mA			0.35	0.5	V
I_I	Input current at maximum input voltage — Load, clock or T	V_{CC} = MAX, V_I = 7V				0.2	mA
	Input current at maximum input voltage — Other input					0.1	
I_{IH}	High-level input current — Load, clock or enable T	V_{CC} = MAX, V_I = 2.7V				60	μA
	High-level input current — Other inputs					20	
I_{IL}	Low-level input current — Load, clock or enable T	V_{CC} = MAX, V_I = 0.4V				0.6	mA
	Low-level input current — Other inputs					0.4	
I_{OS}	Short-circuit output current ◆	V_{CC} = MAX		−20		−100	mA
I_{CCH}	Supply current, all outputs high	V_{CC} = MAX, See Note 2	SN54LS		18	31	mA
			SN74LS		18	31	
I_{CCL}	Supply current, all outputs low	V_{CC} = MAX, See Note 3	SN54LS		19	32	mA
			SN74LS		19	32	
f_{max}	Maximum clock frequency			25	32		ns
t_{PLH}	from Clock to output	V_{CC} = 5V, T_A = 25°C, C_L = 15pF, R_L = 2kΩ, See Note 4			20	35	ns
t_{PHL}	Ripple carry				18	35	
t_{PLH}	from Clock (load input high)				17	24	ns
t_{PHL}	to output Any Q				18	27	
t_{PLH}	from Clock (load input low)				13	24	ns
t_{PHL}	to output Any Q				18	27	
t_{PLH}	from Enable T				9	14	ns
t_{PHL}	to output Ripple carry				9	14	
t_{PHL}	from Clear to output Any Q				20	28	ns

† For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.
‡ All typical values are at V_{CC} = 5V, T_A = 25°C.
◆ Not more than one output should be shorted at a time.
• t_{PLH} = propagation delay time, low-to-high-level output
t_{PHL} = propagation delay time, high-to-low-level output

Pin Assignments (Top View)



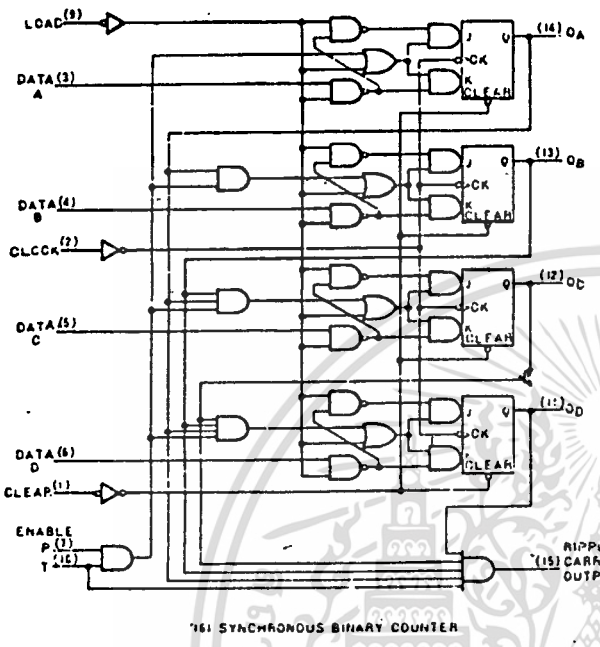
NOTES: 1. This is the voltage between two emitters of a multiple-emitter transistor. For these circuits, this rating applies between the count enable inputs P and T.
2. I_{CCH} is measured with the load input high, then again with the load input low, with all other inputs high and all outputs open.
3. I_{CCL} is measured with the clock input high, then again with the clock input low, with all other inputs low and all outputs open.
4. Propagation delay for clearing is measured from the clear input for the 161.

CONTINUED ON NEXT PAGE

สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

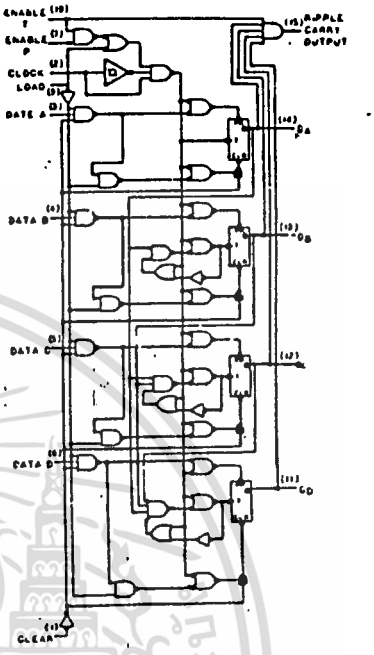
54161/74161 (CONTINUED)

Functional Block Diagram



'161 SYNCHRONOUS BINARY COUNTER

Functional Block Diagram

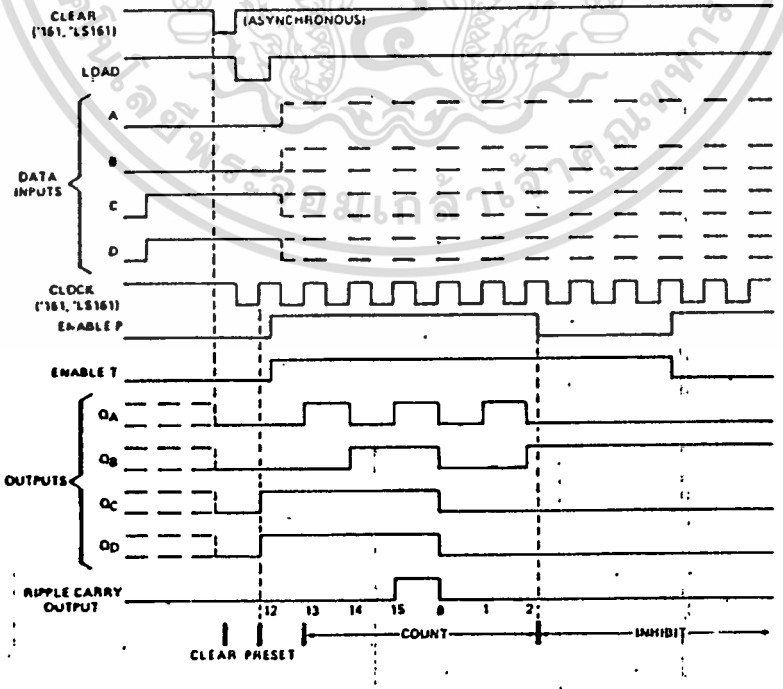


'LS161 SYNCHRONOUS BINARY COUNTER

Typical clear, preset, count, and inhibit sequences

Illustrated below is the following sequence.

1. Clear outputs to zero
2. Preset to binary twelve
3. Count to thirteen, fourteen fifteen, zero, one, and two
4. Inhibit



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

54138/74138 3-Line-to-8-Line Decoder

	Schottky TTL					High-Speed TTL					Low-Power Schottky TTL					Standard TTL					Low-Power TTL				
	Device Type	Package				Device Type	Package				Device Type	Package				Device Type	Package				Device Type	Package			
		C	P	M	CF		C	P	M	CF		C	P	M	CF		C	P	M	CF		C	P	M	CF
T.I.	SN54S138	J①			W①						SN54LS138	J①			W①										
	SN74S138	J①	N①								SN74LS138	J①	N①												
FAIRCHLD	/9S138	9①									/9LS138	9①			F①										
	74S138/9S138	9①									74LS138/9LS138	9①	P①		F①										
MOTOROLA											SN74LS138		P①												
N.S.C.											DM74LS138		①												
	DM74S138		①								DM54LS138		①												
PHILIPS	N74S138		①								N74LS138		①												
SIGNETICS	S54S138	F①	B①		W①																				
	N74S138	F①	B①								N74LS138		A①												
SIEMENS																									
FUJITSU											74LS138		M①												
HITACHI											HD74LS138		P①												
MITSUBISHI	M74S138		P①								M74LS138		P①												
NEC											74LS138		C①												
TOSHIBA																									

Electrical Characteristics SN54LS138/SN74LS138

absolute maximum ratings over operating free-air temperature range

Supply voltage, V_{CC}	7V	Operating free-air temperature range	SN54LS	−55°C to 125°C
Input voltage	7V		SN74LS	0°C to 70°C
		Storage temperature range		−65°C to 150°C

recommended operating conditions

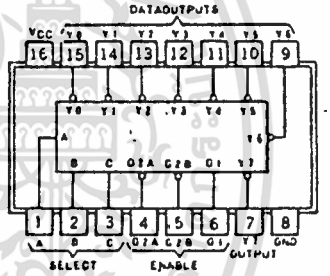
	SN54LS138			SN74LS138			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage, V_{CC}	4.5	5	5.5	4.75	5	5.25	V
High-level output current, I_{OH}			−400			−400	μA
Low-level output current, I_{OL}			4			8	mA
Operating free-air temperature, T_A	−55		125	0		70	°C

electrical characteristics over recommended operating free-air temperature range

PARAMETER		TEST CONDITIONS†			MIN	TYP‡	MAX	UNIT
V_{IH}	High-level input voltage				2			V
V_{IL}	Low-level input voltage						0.8	V
V_I	Input clamp voltage	V_{CC} = MIN, I_I = −18mA					−1.5	V
V_{OH}	High-level output voltage	V_{CC} = MIN, V_{IH} = 2V, V_{IL} = 0.8V, I_{OH} = −400 μA	SN54LS		2.5	3.4		V
			SN74LS		2.7	3.4		
V_{OL}	Low-level output voltage	V_{CC} = MIN, V_{IH} = 2V, V_{IL} = 0.8V, I_{OL} = 8mA				0.35	0.5	V
I_I	Input current at maximum input voltage	V_{CC} = MAX, V_I = 7V					0.1	mA
I_{IH}	High-level input current	V_{CC} = MAX, V_I = 2.7V					20	μA
I_{IL}	Low-level input current	V_{CC} = MAX, V_I = 0.4V					−0.4	mA
I_{OS}	Short-circuit output current*	V_{CC} = MAX			−20		−100	mA
I_{CC}	Supply current	V_{CC} = MAX, Outputs enabled and open				6.3	10	mA
t_{PLH}	from Binary select to Any output	V_{CC} = 5V, T_A = 25°C, C_L = 15pF, R_L = 2kΩ	levels of delay	2		13	20	ns
t_{PHL}						27	41	
t_{PLH}				3		18	27	ns
t_{PHL}						26	39	
t_{PLH}	from Enable to Any output			2		12	18	ns
t_{PHL}						21	32	
t_{PLH}				3		17	26	ns
t_{PHL}						25	38	

† For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions for the applicable device type.
‡ All typical values are at V_{CC} = 5V, T_A = 25°C.
* Not more than one output should be shorted at a time, and duration of the short-circuit test should not exceed one second.
t_{PLH} = propagation delay time, low-to-high-level output
t_{PHL} = propagation delay time, high-to-low-level output

Pin Assignment (Top View)



positive logic:
see function table

Function Table

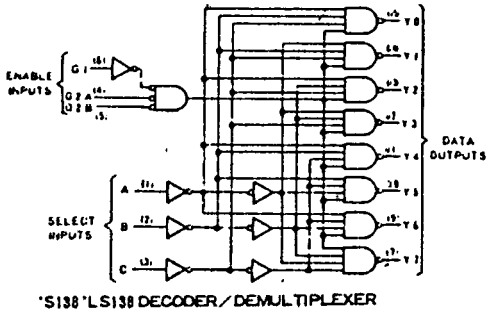
'S138 'LS138

INPUTS					OUTPUTS							
ENABLE		SELECT										
G_1	$\overline{G2}$*	C	B	A	Y0	Y1	Y2	Y3	Y4	Y5	Y6	Y7
X	H	X	X	X	H	H	H	H	H	H	H	H
L	X	X	X	X	H	H	H	H	H	H	H	H
H	L	L	L	L	L	H	H	H	H	H	H	H
H	L	L	L	H	H	L	H	H	H	H	H	H
H	L	L	H	L	H	H	L	H	H	H	H	H
H	L	L	H	H	H	H	H	L	H	H	H	H
H	L	H	L	L	H	H	H	H	L	H	H	H
H	L	H	L	H	H	H	H	H	H	L	H	H
H	L	H	H	L	H	H	H	H	H	H	L	H
H	L	H	H	H	H	H	H	H	H	H	H	L

* $\overline{G2} = \overline{G2A} + \overline{G2B}$

H = high level, L = low level, X = irrelevant

Functional Block Diagram



'S138 'LS138 DECODER/DEMULTIPLEXER

เอกสารนี้จัดทำขึ้นสำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5433/7433 Quadruple 2-Input Positive-NOR Buffer with Open-Collector Output

	Schottky TTL					High-Speed TTL					Low-Power Schottky TTL					Standard TTL					Low-Power TTL				
	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF
T. I.											SN54LS33	J-L			W-L	SN5433	J-L			W-L					
											SN74LS33	J-L	N-L			SN7433	J-L	N-L							
FAIRCHILD																								
MOTOROLA																								
N. S. C.																								
PHILIPS											SN74LS33		N			N7433		A						
SIGNETICS											...74LS33		A-L			N7433		A-L						
SIEMENS																								
FUJITSU																								
HITACHI																								
MITSUBISHI																								
NEC																								
TOSHIBA																								

Electrical Characteristics SN54LS33 SN74LS33

absolute maximum ratings over operating free-air temperature range

Supply voltage, V_{CC}	7V	Operating free-air temperature range	SN54LS33	−55°C to 125°C
Input voltage	7V		SN74LS33	0°C to 70°C
		Storage temperature range		−65°C to 150°C

recommended operating conditions

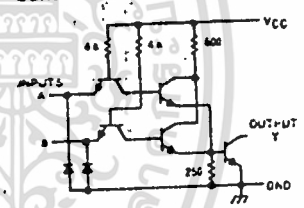
	SN54LS33 MIN	NOM	MAX	SN74LS33 MIN	NOM	MAX	UNIT
Supply voltage, V_{CC}	4.5	5	5.5	4.75	5	5.25	V
High-level output voltage V_{OH}			5.5			5.5	V
Low-level output current, I_{OL}			12			24	mA
Operating free-air temperature T_A	−55		125	0		70	°C

electrical characteristics over recommended operating free-air temperature range

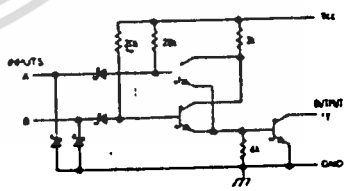
PARAMETER		TEST CONDITIONS†		MIN	TYP‡	MAX	UNIT
V_{IH}	High-level input voltage			2			V
V_{IL}	Low-level input voltage					0.8	V
V_I	Input clamp voltage	V_{CC} = MIN, I_I = −18 mA				−1.5	V
I_{OH}	High-level output current	V_{CC} = MIN, V_{IL} = V_{IL} max, V_{OH} = MAX				250	μA
V_{OL}	Low-level output voltage	V_{CC} = MIN, V_{IH} = 2 V, I_{OL} = 12 mA			0.25	0.4	V
I_I	Input current at maximum input voltage	V_{CC} = MAX, V_I = 7 V				0.1	mA
I_{IH}	High-level input current	V_{CC} = MAX, V_{IH} = 2.7 V				20	μA
I_{IL}	Low-level input current	V_{CC} = MAX, V_{IL} = 0.4 V				−0.4	mA
I_{CCH}	Supply current	V_{CC} = MAX	Total outputs high		1.8	3.6	mA
I_{CCL}	Supply current		Total outputs low		6.1	11.8	mA
I_{CC}	Supply current	V_{CC} = 5 V	Average per gate (50% duty cycle)		1.09		mA
t_{PLH}	Propagation delay time, low-to-high-level output	V_{CC} = 5 V, T_A = 25°C, C_L = 45 pF, R_L = 667 Ω			23	33	ns
t_{PHL}	Propagation delay time, high-to-low-level output				18	26	ns

† For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.
‡ All typical values are at V_{CC} = 5 V, T_A = 25°C.

schematics (each gate)



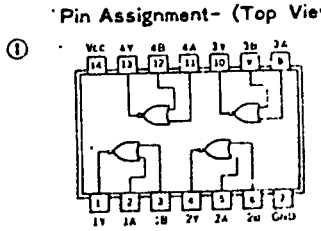
'33 CIRCUIT



'LS33 CIRCUIT

Resistor values shown are nominal and in ohms.

'Pin Assignment- (Top View)



positive logic
$Y = \overline{A + B}$

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ สำหรับใช้เพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5408/7408 Quadruple 2-Input Positive-AND Gate

	Schottky TTL					High-Speed TTL					Low-Power Schottky TTL					Standard TTL					Low-Power TTL				
	Device Type	Package				Device Type	Package				Device Type	Package				Device Type	Package				Device Type	Package			
		C	P	M	CF		C	P	M	CF		C	P	M	CF		C	P	M	CF		C	P	M	CF
T.I.	SN54S08	J			W						SN54LS08	J			W	SN5408	J			W					
	SN74S08	J	N								SN74LS08	J	N			SN7408	J	N							
FAIRCHILD	[illegible]	D			F	[illegible]	[illegible]			F	[illegible]	D			F	[illegible]	D			F					
	[illegible]	B	PJ		F	[illegible]	[illegible]			F	[illegible]	D	PJ		F	[illegible]	C	P							
MOTOROLA						MC3101																			
						MC3001		P		P	SN74LS08		P			MC7408		P							
N.S.C.						DM54H08	J	N			DM54LS08		P			DM5408	J	N		W	DM54L08				
						DM74H08	J	N			DM74LS08		P			DM7408	J	N			DM74L08				
PHILIPS																									
	N74S08					N74H08					N74LS08					N7408									
SIGNETICS						5534H08	F	A		W						5408	F	A		W					
	N74S08		A			N74H08	F	A			N74LS08		A			N7408	F	A							
SIEMENS																									
																FLH381									
FUJITSU																									
											74LS08		M												
HITACHI																									
											HD74LS08		P			HD7408/HD2510		P	J						
MITSUBISHI																									
											M74LS08		P			M53208		P							
NEC																									
											74LS08		C			μPB234		D							
TOSHIBA																									
																TD3408		P							

Electrical Characteristics SN54LS08 SN74LS08

absolute maximum ratings over operating free-air temperature range

Supply voltage, V_{CC}	7V	Operating free-air temperature range	SN54LS08	−55°C to 125°C
Input voltage	7V		SN74LS08	0°C to 70°C
Off-state output voltage	5.5V	Storage temperature range		−65°C to 150°C

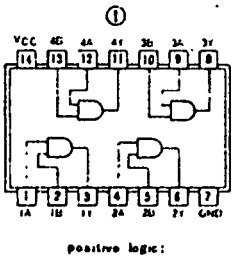
recommended operating conditions

	SN54LS08			SN74LS08			Unit
	MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage V_{CC}	4.5	5	5.5	4.75	5	5.25	V
High-level output current I_{OH}			−400			−400	μA
Low-level output current I_{OL}			4			8	mA
Operating free-air temperature T_A	55		125	0		70	°C

electrical characteristics over recommended operating free-air temperature range

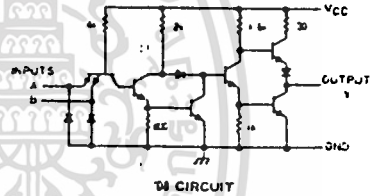
PARAMETER		TEST CONDITIONS †		MIN	TYP ‡	MAX	UNIT
V_{IH}	High-level input voltage			2			V
V_{IL}	Low-level input voltage					0.8	V
V_I	Input clamp voltage	V_{CC} = MIN, I_I = −18 mA				−1.5	V
V_{OH}	High-level output voltage	V_{CC} = MIN, V_{IH} = 2 V, I_{OH} = MAX		2.7	3.4		V
V_{OL}	Low-level output voltage	V_{CC} = MIN, V_{IH} = 2 V, I_{OL} = 4 mA			0.25	0.4	V
I_I	Input current at maximum input voltage	V_{CC} = MAX, V_I = 7 V				0.1	mA
I_{IH}	High-level input current	V_{CC} = MAX, V_{IH} = 2.7 V				20	μA
I_{IL}	Low-level input current	V_{CC} = MAX, V_{IL} = 0.4 V				−0.4	mA
I_{OS}	Short-circuit output current *	V_{CC} = MAX	54LS Family	−20		−100	mA
			74LS Family	−20		−100	
I_{CCH}	Supply current	V_{CC} = MAX	Total, outputs high		2.4	4.8	mA
I_{CCL}	Supply current		Total, outputs low		4.4	8.8	mA
I_{CC}	Supply current	V_{CC} = 5 V,	Average per gate (50% duty cycle)		0.88		mA
t_{PLH}	Propagation delay time, low-to-high-level output	V_{CC} = 5 V, C_L = 15 pF,	T_A = 25°C, R_L = 2 kΩ		8	15	ns
t_{PHL}	Propagation delay time, high-to-low-level output				10	20	ns

Pin Assignment (Top View)

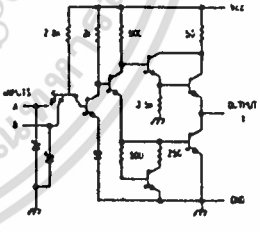


positive logic:
Y = AB

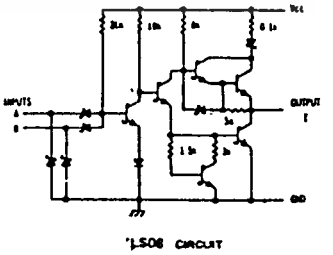
Schematics (each gate)



'08 CIRCUIT



'S08 CIRCUIT



'LS08 CIRCUIT

Resistor values shown are nominal and in ohms.

† For conditions shown as MIN or MAX, use the appropriate values specified under recommended operating conditions.
‡ All typical values are at V_{CC} = 5 V, T_A = 25°C.
* Not more than one output should be shorted at a time, and for SN54S'/SN74S', duration of output short circuit should not exceed one second.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5404/7404 Hex Inverter

	Schottky TTL					High-Speed TTL					Low-Power Schottky TTL					Standard TTL					Low-Power TTL				
	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF
T.I.	SN54S04	J 14			W 14	SN54H04	J 14			W 14	SN54LS04	J 14			W 14	SN5404	J 14			A 2	SN54_04	J 14	N 14	T 2	
	SN74S04	J 14	N 14			SN74H04	J 14	N 14			SN74LS04	J 14	N 14			SN7404	J 14	N 14			SN74_04	J 14	N 14	T 2	
FAIRCHILD	FM54S04 FM95S04	D 14				FM54H04 FM95H04	D 14			F 14	FM54LS04 FM95LS04	D 14			F 14	FM5404 FM95N04	D 14			F 2					
	FC74S04 FC95S04	D 14	P 14			FC74H04 FC95H04	D 14	P 14			FC74LS04 FC95LS04	D 14	P 14			FM7404 FC95N04	D 14	P 14							
MOTOROLA						MC3004	L 14			F 14						MC5404	L 14			F 2					
						MC3000	L 14	P 14		F 14	SN74LS04		P 14			MC7404	L 14	P 14							
N.S.C.						DM54H04	J 14	N 14			DM54LS04					DM5404	J 14	N 14		A 2	DM54L04	J 14	W 14		F 2
	DM74S04		N 14			DM74H04	J 14	N 14			DM74LS04					DM7404	J 14	N 14			DM74L04	J 14	N 14		F 2
PHILIPS																									
	N74S04					N74H04		①			N74LS04					FJH241/7404		①							
SIGNETICS	S54S04	F 14	A 14		W 14	S54H04	F 14	A 14		W 14						S5404	F 14	A 14		A 2					
	N74S04	F 14	A 14		W 14	N74H04	F 14	A 14			N74LS04		A 14			N7404	F 14	A 14							
SIEMENS																FLH211		①							
FUJITSU											74LS04		M 14			MB418		①	A 14						
HITACHI	HD74S04	J 14	P 14								HD74LS04		P 14			HD7404 HD2522		①	P 14						
MITSUBISHI	M5S004		P 14								M74LS04		P 14			M53204			P 14						
NEC	74S04		C 14								74LS04		C 14			μPB235	D 14								
TOSHIBA																TD3404A			P 14						

Electrical Characteristics SN54LS04/SN74LS04

absolute maximum ratings over operating free-air temperature range

Supply voltage V_{CC}	7 V	Operating free-air temperature range: SN54LS04	−55°C to +125°C
Input voltage	7 V	Operating free-air temperature range: SN74LS04	0°C to +70°C
		Storage temperature range	−65°C to +150°C

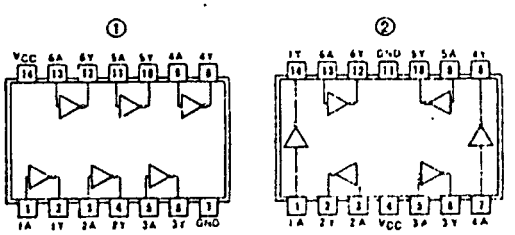
recommended operating conditions

	SN54LS04 MIN	NOM	MAX	SN74LS04 MIN	NOM	MAX	UNIT
Supply voltage V_{CC}	4.5	5	5.5	4.75	5	5.25	V
High-level output current I_{OH}			−400			−400	μA
Low-level output current I_{OL}			4			8	mA
Operating free-air temperature T_A	−55	25	125	0	25	70	°C

electrical characteristics over recommended operating free-air temperature range

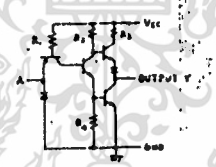
PARAMETER		TEST CONDITIONS †		MIN	TYP ‡	MAX	UNIT
V_{IH}	High-level input voltage			2			V
V_{IL}	Low-level input voltage					0.8	V
V_I	Input clamp voltage	V_{CC} = MIN, I_I = −18mA				−1.5	V
V_{OH}	High-level output voltage	V_{CC} = MIN, V_{IL} = V_{IL} max, I_{OH} = MAX		2.7	3.4		V
V_{OL}	Low-level output voltage	V_{CC} = MIN, V_{IH} = 2V, I_{OL} = 4mA				0.4	V
I_I	Input current at maximum input voltage	V_{CC} = MAX, V_I = 7V				0.1	mA
I_{IH}	High-level input current	V_{CC} = MAX, V_{IH} = 2.7V				20	μA
I_{IL}	Low-level input current	V_{CC} = MAX, V_{IL} = 0.4V				−0.4	mA
I_{OS}	Short-circuit output current *	V_{CC} = MAX	54LS Family	−20		−100	mA
			74LS Family	−20		−100	
I_{CCH}	Supply current	V_{CC} = MAX	Total, outputs high		1.2	2.4	mA
I_{CCL}	Supply current		Total, outputs low		3.6	6.6	mA
I_{CC}	Supply current	V_{CC} = 5V	Average per gate (50% duty cycle)		0.4		mA
t_{PLH}	Propagation delay time, low-to-high-level output	V_{CC} = 5V, C_L = 15PF,	T_A = 25°C, R_L = 2kΩ		9	15	ns
t_{PHL}	Propagation delay time, high-to-low-level output				10	15	ns

Pin Assignments (Top View)



positive logic: $Y = \overline{A}$

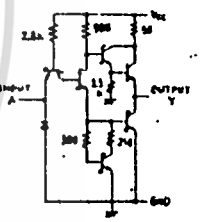
Schematics (each gate)



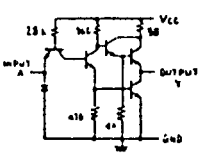
CIRCUIT	R1	R2	R3	R4
'04	4kΩ	1kΩ	130Ω	1kΩ
'LS04	12kΩ	12kΩ	50Ω	12kΩ

Input clamp diodes not on SN54LS/SN74LS circuits.

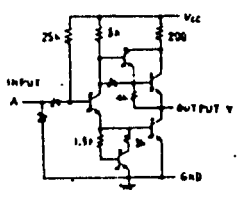
'04, 'LS04 CIRCUITS



'S04 CIRCUIT



H04 CIRCUIT



'LS04 CIRCUIT

Resistor values shown are nominal and in ohms.

† For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.
‡ All typical values are at V_{CC} = 5V, T_A = 25°C.
* Not more than one output should be shorted at a time, and for SN54H/SN74H and SN54S/SN74S, duration of short-circuit should not exceed 1 second.

เอกสารนี้สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CA3318, CA3318C

ANA-DIGIT CO., LTD.
บริษัท อนันาดิจิท จำกัด
144 ถนนอัษฎางค์ แขวงพระราชวัง กทม.10200
โทร. 2217040,2214592,2214557
FAX: 225-0232

Product Preview

CMOS High-Speed 8-Bit Flash A/D Converter

@ 2,250.-

Features:

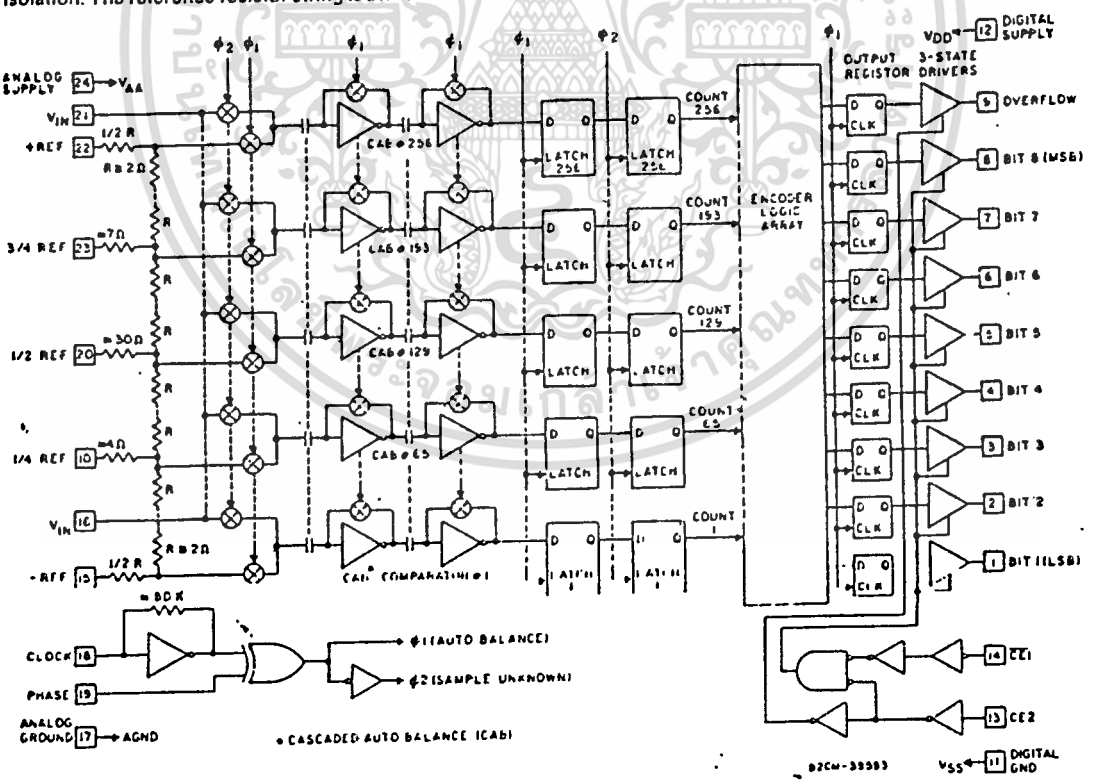
- *Pin compatible with 41051/CA3308*
- *CMOS/SOS low power*
- *Flash (Parallel) conversion technique*
- *15 MSPS conversion rate at 5 V (CA3318C)*
- *20 MSPS conversion rate at 5 V (CA3318)*
- *1 LSB differential linearity*
- *1.5 LSB integral linearity*
- *Single 4 to 6.5 V supply*
- *8 latched bit outputs plus overflow*
- *May be stacked for higher resolution*
- *May be paralleled for double speed*

Applications:

- *Especially suited for high-speed video applications where low power is also important*
- *TV video digitizing (industrial/security)*
- *Ultrasound signature analysis*
- *Transient signal analysis*
- *General-purpose hybrid ADC's*
- *Optical character recognition*
- *Radar pulse analysis*
- *Motion signature analysis*

The RCA CA3318 and CA3318C are pin compatible retrofits for the 41051/CA3308, but with the output data changing 1/2 clock cycle later. They have features similar to the CA3300 (File No. 1316), such as the control inputs and outputs necessary to allow stacking or paralleling for higher resolution or doubled speed. Separate analog and digital ground pins are available to allow analog to digital isolation. The reference resistor string is available at both + and - ends, and at the 1/4, 1/2, and 3/4 points, thus allowing the tailoring of non-linear transfer functions. In addition, the + reference (positive full scale) may be used above the analog + supply.

The CA3318 and CA3318C are available in a 24-lead dual-in-line plastic package (E suffix) and in a 24-lead dual-in-line ceramic package (D suffix).



Block diagram of the CA3318 and CA3318C.

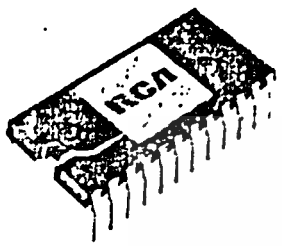
Preview Data only

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

RCA
Solid State Division

Linear Integrated Circuits
Monolithic Silicon
CA3308, CA3308A

Objective Data



(D) SUFFIX
24-Lead Dual-In-Line
Side-Brazed Ceramic Package

CMOS Video Speed 8-Bit Flash Analog-to-Digital Converter

For Use in Low-Power Consumption, High-Speed Digitization Applications

Features:

- *CMOS low power with SOS speed*
- *Parallel conversion technique*
- *15-MHz sampling rate (66-ns conversion time)*
- *8-bit latched 3-state output with overflow bit*
- *± ½ LSB accuracy (typ.)*
- *Single supply voltage (4 to 8 V)*
- *2 units in series allow 9-bit output*
- *2 units in parallel allow 30-MHz sampling rate*

The RCA CA3308* is a CMOS 200-mW parallel (FLASH) analog-to-digital converter designed for applications demanding both low-power consumption and high-speed digitization.

The CA3308 operates over a wide full-scale input-voltage range of 4 volts up to 8 volts with maximum power consumptions as low as 200 mW, depending upon the clock frequency selected. When operated from a 5-volt supply at a clock frequency of 15 MHz, the power consumption of the CA3308 is less than 150 mW.

The intrinsic high conversion rate makes the CA3308 ideally suited for digitizing high-speed signals. The overflow bit makes possible the connection of two or more CA3308s in series to increase the resolution of the conversion system. A series connection of two CA3308s may be used to produce a 9-bit high-speed converter. Operation of two CA3308s in parallel doubles the conversion speed (i.e., increases the sampling rate from 15 to 30 MHz). CA3308s may be combined with a high-speed 8-bit D/A converter, a binary adder, control logic, and an op amp to form a very high-speed 15-bit A/D converter.

256 paralleled auto-balanced voltage comparators measure the input voltage with respect to a known reference to produce the parallel-bit outputs in the CA3308.

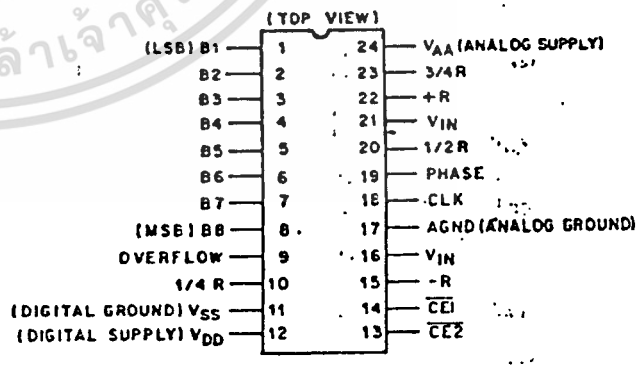
255 comparators are required to quantize all input voltage levels in this 8-bit converter, and the additional comparator is required for the overflow bit.

The voltage supply for analog circuitry is termed V_{AA} and AGND. The voltage supply for digital circuitry is termed V_{DD} and V_{SS}.

The CA3308 type is available in a 24-lead dual-in-line ceramic package (D suffix).

Applications:

- *The CA3308 is especially suited for high-speed conversion applications where low power is also important*
- *TV video digitizing (industrial/security/broadcast)*
- *High-speed A/D conversion*
- *Ultrasound signature analysis*
- *Transient signal analysis*
- *High-energy physics research*
- *High-speed oscilloscope storage/display*
- *General-purpose hybrid ADCs*
- *Optical character recognition*
- *Radar pulse analysis*
- *Motion signature analysis*
- *μP data acquisition systems*



92CS-34789

TERMINAL ASSIGNMENT

* Formerly Developmental Type No. TA11279.

ANA-DIGIT CO., LTD.
บริษัท แอนนาดิจิท จำกัด
144 ถนนอัษฎางค์ แขวงพระราชวัง กทม.10200
โทร. 2217040,2214592,2214557

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

Information on these devices is intended for engineering evaluation. The type designations and data are subject to change, unless otherwise arranged. No obligations are assumed for notice of change or future manufacture of these devices.

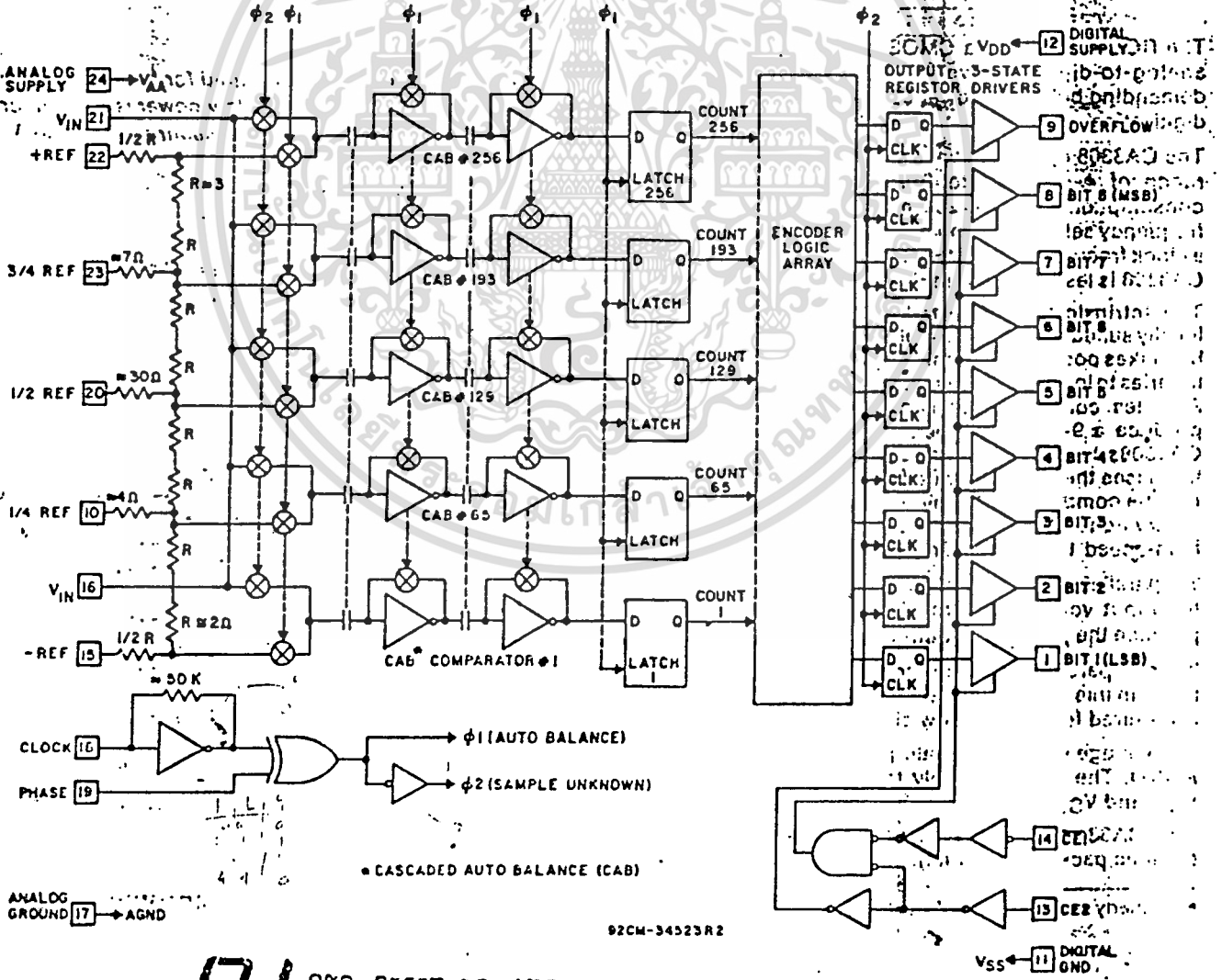
Information furnished by RCA is believed to be accurate and reliable. However, no responsibility is assumed by RCA for its use; nor for any infringements of patents or other rights of third parties which may result from its use. No license is granted by implication or otherwise under any patent or patent rights of RCA.

Trademark(s)® Registered
Marca(s) Registrada(s)

Printed in USA/6-82

AXIMUM RATINGS, *Absolute-Maximum Values:*

C SUPPLY VOLTAGE RANGE (V_{DD} AND V_{AA})
(VOLTAGE REFERENCED TO V_{SS} TERMINAL) ..... −0.5 to +8 V
PUT VOLTAGE RANGE
ALL INPUTS ..... −0.5 to V_{DD} +0.5 V
C INPUT CURRENT
CLK, PH, CE1, CE2, V_{IN} ..... ±10 mA
OWER DISSIPATION PER PACKAGE (P_D)
OR T_A=−40 to 55°C ..... 315 mW
FOR T_A=55°C to 85°C ..... Derate linearly at 3.3 mW/°C
EMPERATURE RANGE
OPERATING ..... −40 to +85°C
STORAGE ..... −65 to +150°C
EAD TEMPERATURE (DURING SOLDERING)
AT DISTANCE 1/16 ± 1/32 In. (1.59 ± 0.79 mm) FROM CASE FOR 10 s MAX. ..... +265°C



ANA-DIGIT CO., LTD.
บริษัท แอนนาดิจิท จำกัด
ไทร ถนนอินทามาตย์ แขวงพระยาวัง กทม.10200
โทร. 2217040,2214592,2214557
FAX:225-9232

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น และห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS

CHARACTERISTIC	TEST CONDITIONS $V_{AA} = V_{DD}$	LIMITS MIN.	LIMITS TYP.	LIMITS MAX.	UNITS
Resolution		—	—	8	Bits
Linearity Error	V_{DD}=5 V, V_{REF}=6.4 V CLK=15 MHz, gain adjusted	—	—	±0.5 ±1	(CA3308AD) (CA3308D)
Differential Linearity Error	V_{DD}=5 V_{REF}=6.4 V CLK=15 MHz	—	—	±0.5 ±1	(CA3308AD) (CA3308D)
Quantizing Error		−½	—	½	LSB
Analog Input:	V_{DD}=5 V				
Full Scale Range	CLK=15 MHz	4	—	8	V
Input Capacitance		—	50	—	pF
Input Current	V_{IN}= 6.4 V	—	1000	2000	μA
Maximum Conversion Speed	V_{DD}=5 V	15 M	17 M	—	SPS
Device Current (Excludes I_{REF})	V_{DD}=5 V (CLK=15 MHz)	—	50	—	mA
Ladder Impedance		300	600	900	Ω
Digital Inputs:					
Low Voltage		—	—	1.5	V
High Voltage	V_{DD}=5 V	3.5	—	—	V
Input Current (Except Pin 18)		—	±1	—	μA
Digital Outputs:					
Output Low (Sink) Current	V_{DD}=5 V, V_O=0.4 V	3.2	10	—	mA
Output High (Source) Current	V_{DD}=5 V, V_O=4.6 V	1.6	−6	—	mA
Digital Output Delay, t_d	V_{DD}=5 V	—	25	—	ns

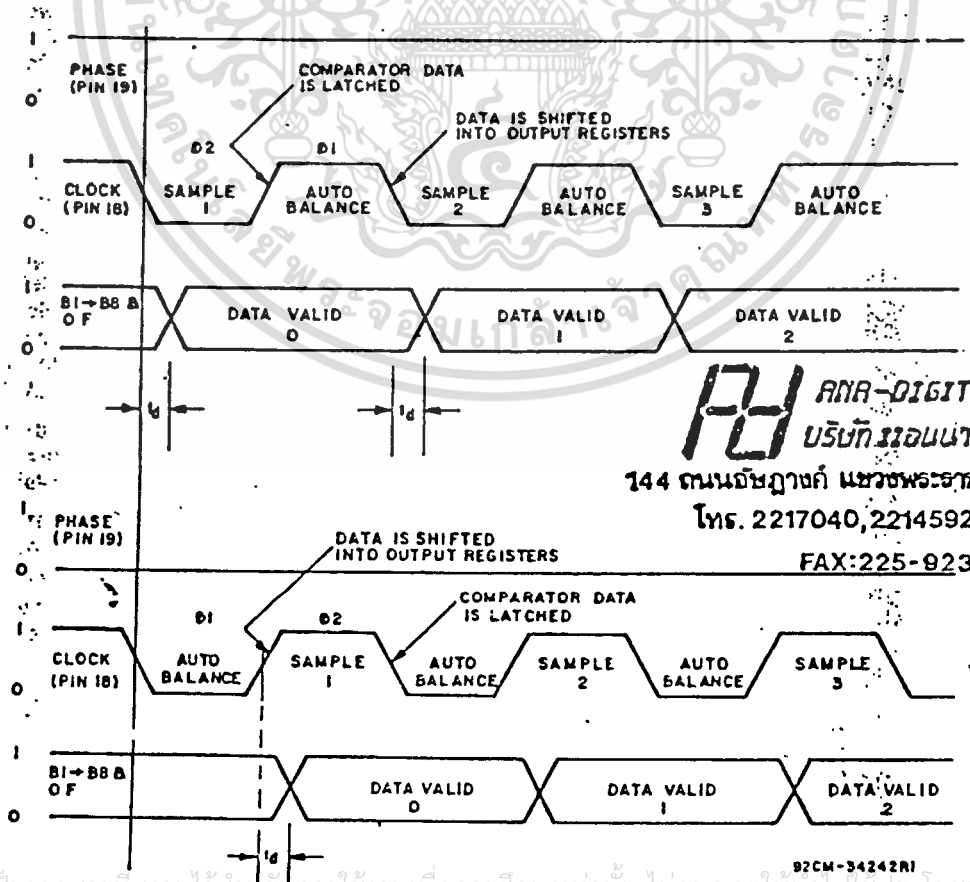


Fig. 2-Timing diagram for the CA3308.

ANA-DIGIT CO.,LTD.
บริษัท แอนนาดิจิท จำกัด
144 ถนนอัษฎางค์ แขวงพระราชวัง กทม.10200
โทร. 2217040,2214592,2214557
FAX:225-9232

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

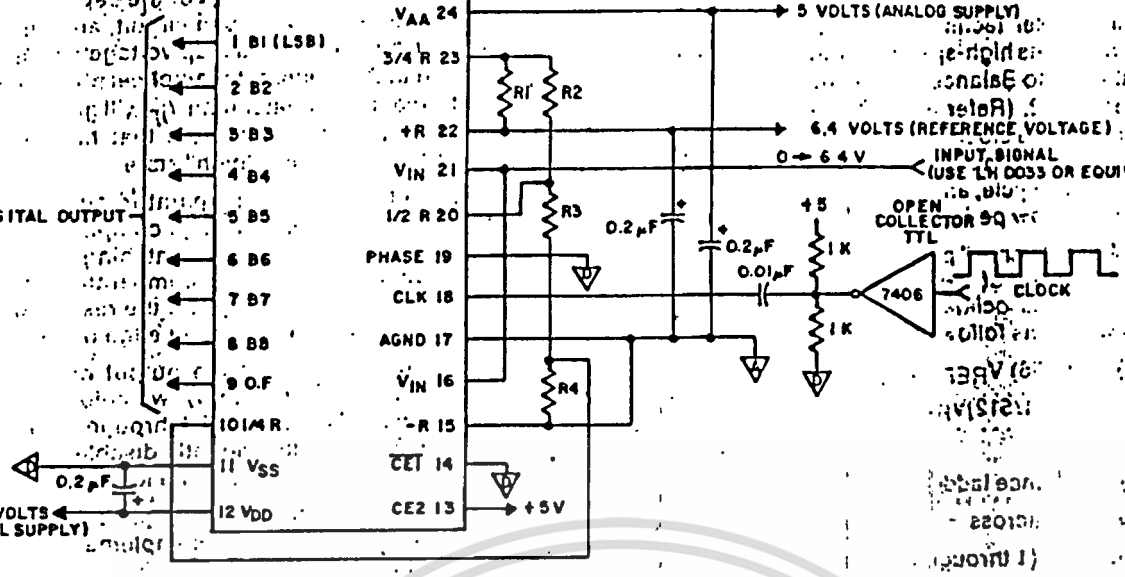
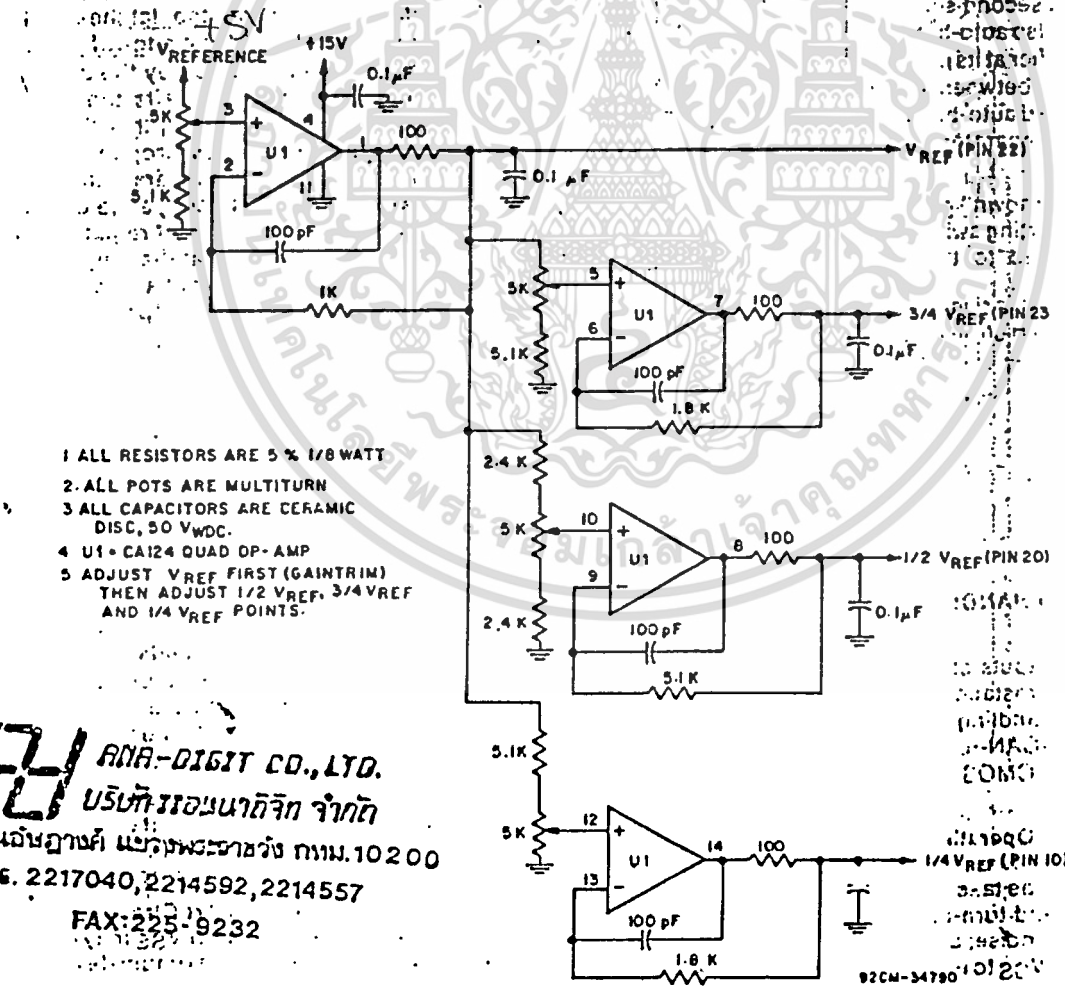


Fig. 3-Typical circuit configuration for the CA3308. (15-MHz sampling rate)



1. ALL RESISTORS ARE 5 % 1/8 WATT
2. ALL POTS ARE MULTITURN
3. ALL CAPACITORS ARE CERAMIC DISC, 50 VWDC.
4. U1 = CA124 QUAD OP-AMP
5. ADJUST VREF FIRST (GAINTRIM) THEN ADJUST 1/2 VREF, 3/4 VREF AND 1/4 VREF POINTS.

ANA-DIGIT CO., LTD.
บริษัท แอนาดิจิท จำกัด
144 ถนนอินทามระ แขวงพระยาวัง กทม. 10200
โทร. 2217040, 2214592, 2214557
FAX: 225-9232

Fig. 4-Reference driver circuit. (Use for maximum linearity)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

Device Operation

A sequential parallel technique is used by the CA3308 converter to obtain its high-speed operation. The sequence consists of the "Auto Balance" phase, Ø1, and the "Sample Unknown" phase Ø2. (Refer to the circuit diagram.) Each conversion takes one clock cycle.* With the phase control (pin 8) high, the "Auto Balance" (Ø1) occurs during the High period of the clock cycle, and the "Sample Unknown" (Ø2) occurs during the low period of the clock cycle.

During the "Auto Balance" phase, a transmission switch is used to connect each of the first set of 256 commutating capacitors to their associated ladder reference tap. Those tap voltages will be as follows:

$$V_{tap}(N) = [(N/256)\,V_{REF}] - [(1/512)\,V_{REF}]$$
$$= [(2N-1/512]V_{REF}$$

Where:

$V_{tap}(n)$ = reference ladder tap voltage at point n.

V_{REF} = voltage across −REF to +REF

N = tap number (1 through 256)

The other side of these capacitors are connected to single stage amplifiers whose outputs are shorted to their inputs by switches. This balances the amplifiers at their intrinsic trip points, which is approximately, $V_{DD}-V_{SS}/2$. The first set of capacitors now charge to their associated tap voltages.

At the same time a second set of commutating capacitors and amplifiers are also auto-balanced. The balancing of the second stage amplifier at its intrinsic trip point removes any tracking differences between the first and second amplifier stages. The cascaded auto-balance (CAB) technique, used here, increases comparator sensitivity and temperature tracking.

In the "Sample Unknown" phase, all ladder tap switches and comparator shorting switches are opened. At the same time V_{in} is switched to the first set of commutating capacitors. Since the other end of the capacitors are now looking into an effectively open circuit, any input voltage that differs from the previous tap voltage will appear as a voltage shift at the comparator amplifiers. All comparators that had tap voltages greater than V_{in} will go to a "low" state at their outputs. All comparators that had tap voltages lower than V_{in} will go to a "high" state.

The status of all these comparator amplifiers are ac coupled through the second stage comparator and stored at the end of this phase (Ø2), by a latching amplifier stage. Once latched, the status of the comparators are decoded by a 256 to 9-bit decode array and the results are clocked into a storage register at the rising edge of the next Ø2.

A 3-state buffer is used at the output of the 9 storage registers which are controlled by two chip-enable signals. CE1 will independently disable B1 through B8 when it is in a high state. CE2 will independently disable B1 through B8 and the OF buffers when it is in the low state.

To facilitate usage of this device a phase control input is provided which can effectively complement the clock as it enters the chip.

Continuous Clock Operation

One complete conversion cycle can be traced through the CA3308 via the following steps. (Refer to timing diagram No. 1.) With the phase control in a "low" state, the rising edge of the clock input will start a "sample" phase. During this entire "high" state of the clock, the comparators will track the input voltage and the latches will track the comparator outputs. At the falling edge of the clock, all 256 comparator outputs are captured by the 256 latches. This ends the "sample" phase and starts the "auto balance" phase for the comparators. During this "low" state of the clock the output of the latches propagates through the decode array and a 9-bit code appears at the D inputs of the output registers. On the next rising edge of the clock, this 9-bit code is shifted into the output registers and appears with time delay t_d as valid data at the output of the 3-state drivers. This also marks the start of a new "sample" phase, thereby repeating the conversion process for this next cycle.

*This device requires only a single phase clock. The terminology of Ø1 and Ø2 refers to the High and Low periods of the same clock.

RNA-DIGIT CO., LTD.
บริษัท อาร์นาดิจิท จำกัด
144 ถนนอัษฎางค์ แขวงพระบรมมหาราชวัง กทม.10200
โทร. 2217040, 2214592, 2214557
FAX:225-9232

OPERATING AND HANDLING CONSIDERATIONS

1. Handling

All inputs and outputs of RCA CMOS devices have a network for electrostatic protection during handling. Recommended handling practices for CMOS devices are described in ICAN-6525 "Guide to Better Handling and Operation of CMOS Integrated Circuits."

2. Operating

Operating Voltage

During operation near the maximum supply voltage limit, care should be taken to avoid or suppress power supply turn-on and turn-off transients, power supply ripple, or ground noise; any of these conditions must not cause $V_{DD}-V_{SS}$ to exceed the absolute maximum rating.

Input Signals

To prevent damage to the input protection circuit, input signals should never be greater than V_{DD} nor less than V_{SS}. Input currents must not exceed 10 mA even when the power supply is off.

Unused Inputs

A connection must be provided at every input terminal. All unused input terminals must be connected to either V_{DD} or V_{SS}, whichever is appropriate.

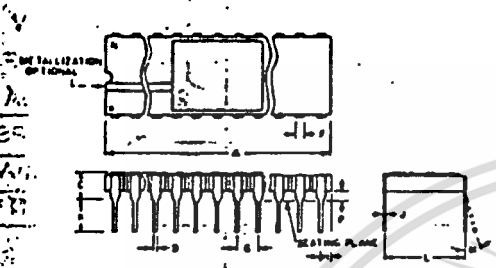
Output Short Circuits

Shorting of outputs to V_{DD} or V_{SS} may damage CMOS devices by exceeding the maximum device dissipation.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DIMENSIONAL OUTLINE

(D) SUFFIX
24-Lead Dual-In-Line
Side-Brazed Ceramic Package



SYMBOL	INCHES		NOTE	MILLIMETERS	
	MIN.	MAX.		MIN.	MAX.
A	1.180	1.220		29.98	30.96
C	0.085	0.145		2.16	3.68
D	0.015	0.023		0.39	0.58
F	0.040 REF.			1.02 REF.	
G	0.100 BSC			2.54 BSC	
H	0.030	0.070		0.77	1.77
J	0.008	0.012	3	0.21	0.30
K	0.125	0.175		3.18	4.44
L	0.580	0.620	2	14.74	15.74
M	—	7°		—	7°
P	0.025	0.050		0.64	1.27
N	24			24	

92CS-30986R1

NOTES:

1. Leads within 0.005" (0.13 mm) radius of True Position at maximum material condition.
2. Center to center of leads when formed parallel.
3. When this device is supplied solder dipped, the maximum lead thickness (narrow portion) will not exceed 0.013" (0.33 mm).

RNA-DIGIT CO., LTD.
บริษัท ธนนาดิจิท จำกัด
144 ถนนอิษฎางก์ แขวง,เขตราชวัง กทม.10200
โทร. 2217040,2214592,2214557
FAX:225-9232

When incorporating RCA Solid State Devices in equipment, it is recommended that the designer refer to "Operating Considerations for RCA Solid State Devices" Form No. 1CE-402, available on request from RCA Solid State Division, Box 3200, Somerville, N.J. 08876.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า