ปีการศึกษา 2533

วงจรเชื่อมต่อระหว่างชุมสายโทรศัพท์กับเครื่องวิทยุ

(HOT LINK INTERFACE)

นายเด่นชัย อมราดีกุล 30.3605

อาจารย์ที่ปรึกษา

อาจารย์ประดิษฐ์ วัชรพิบูลย์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

วงจรเชื่อมต่อระหว่างชุมสายโทรศัพท์กับเครื่องวิทยุ

(HOT LINK INTERFACE)

นายเด่นชัย อมราดีกุล

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาหลักสูตรปริญญาอุตสาหกรรมศาสตร์บัณฑิต

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้า เจ้าคุณทหาร ลาดกระบัง

พ.ศ. 2534

หัวข้อภาคนิพนธ์ : วงจรเชื่อมต่อระหว่างชุมสายโทรศัพท์กับเครื่องวิทยุ
(HOT LINK INTERFACE)

ผู้จัดทำ : นายเด่นชัย อมรวดีกุล
ภาควิชา : เทคนิคอุตสาหกรรม คณะวิศวกรรมศาสตร์
อ.ที่ปรึกษา : อ.ประดิษฐ์ วัชรพิบูลย์

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้า เจ้าคุณทหารลาดกระบัง อนุมัติให้นับภาคนิพนธ์ ฉบับนี้ เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาอุตสาหกรรมศาสตร์บัณฑิต

คณะกรรมการตรวจสอบ ปริญญานิพนธ์

_____ประธานกรรมการ
(.....)

_____กรรมการ
(.....)

_____กรรมการ
(.....)

_____กรรมการ
(.....)

วันที่....เดือน.....พ.ศ.....

ลิขสิทธิ์ของคณะวิศกรรมศาสตร์ สถาบันเทคนโนโลยีพระจอมเกล้า เจ้าคุณทหารลาดกระบัง
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

		หน้า
บทที่ 1	บทนำ	1
บทที่ 2	ทฤษฎี	4
	2.1 วงจร Phase Lock Loop/Tone Decoder	4
	2.2 วงจร Phase Detector	14
	2.3 วงจร Ringing	24
	2.4 วงจร Schmitt Trigger	25
	2.5 วงจร Retriggerable Monostable-Multivibrator	27
	2.6 วงจร Non-Inverting Amplifier	29
บทที่ 3	ทฤษฎีการทำงานของ HOT LINK INTERFACE	31
บทที่ 4	วิธีการใช้วงจร HOT LINK INTERFACE	34
บทที่ 5	บทสรุปและข้อเสนอแนะ	35
ภาคผนวก		36
หนังสืออ้างอิง		59

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ชื่อเรื่องปริญญานิพนธ์ : วงจรเชื่อมต่อระหว่างชุมสายโทรศัพท์กับเครื่องวิทยุ (HOT LINK INTERFACE)

ผู้จัดทำ : นายเด่นชัย อมรวดีกุล

ปริญญานิพนธ์ : อุตสาหกรรมศาสตร์บัณฑิต สถาบันเทคนิคพระจอมเกล้าเจ้าคุณทหาร ลาดกระบัง

บทคัดย่อ

ปริญญานิพนธ์ฉบับนี้เป็นผลงานที่ได้ผลิตขึ้นเป็นวงจร HOT LINK-INTERFACE ที่ใช้เชื่อมต่อระหว่างชุมสายโทรศัพท์กับเครื่องวิทยุ ซึ่งตั้งอยู่กับที่ (กำหนดให้เป็นเครื่องวิทยุแม่ข่าย) และมีเครื่องวิทยุที่อยู่ภายนอก เป็นวิทยุมือถือที่มี DTMF (Dual Tone Multi Frequency) ให้เป็นเครื่องวิทยุลูกข่าย ให้สามารถติดต่อกับเลขหมายโทรศัพท์ได้ โดยผ่านชุมสายโทรศัพท์ ในการออกแบบวงจรเมื่อไม่มีการใช้งานวิทยุแม่ข่ายจะอยู่ในสภาวะ Stand By และให้สามารถเรียกเข้า-เรียกออกได้

ในขณะที่เครื่องวิทยุแม่ข่ายใช้งานอยู่นั้น เครื่องวิทยุจะ HOT LINK ตลอดเวลา ดังนั้นความถี่ส่งและความถี่รับจะต้องเป็นคนละความถี่จึงจะสามารถติดต่อใช้งานได้

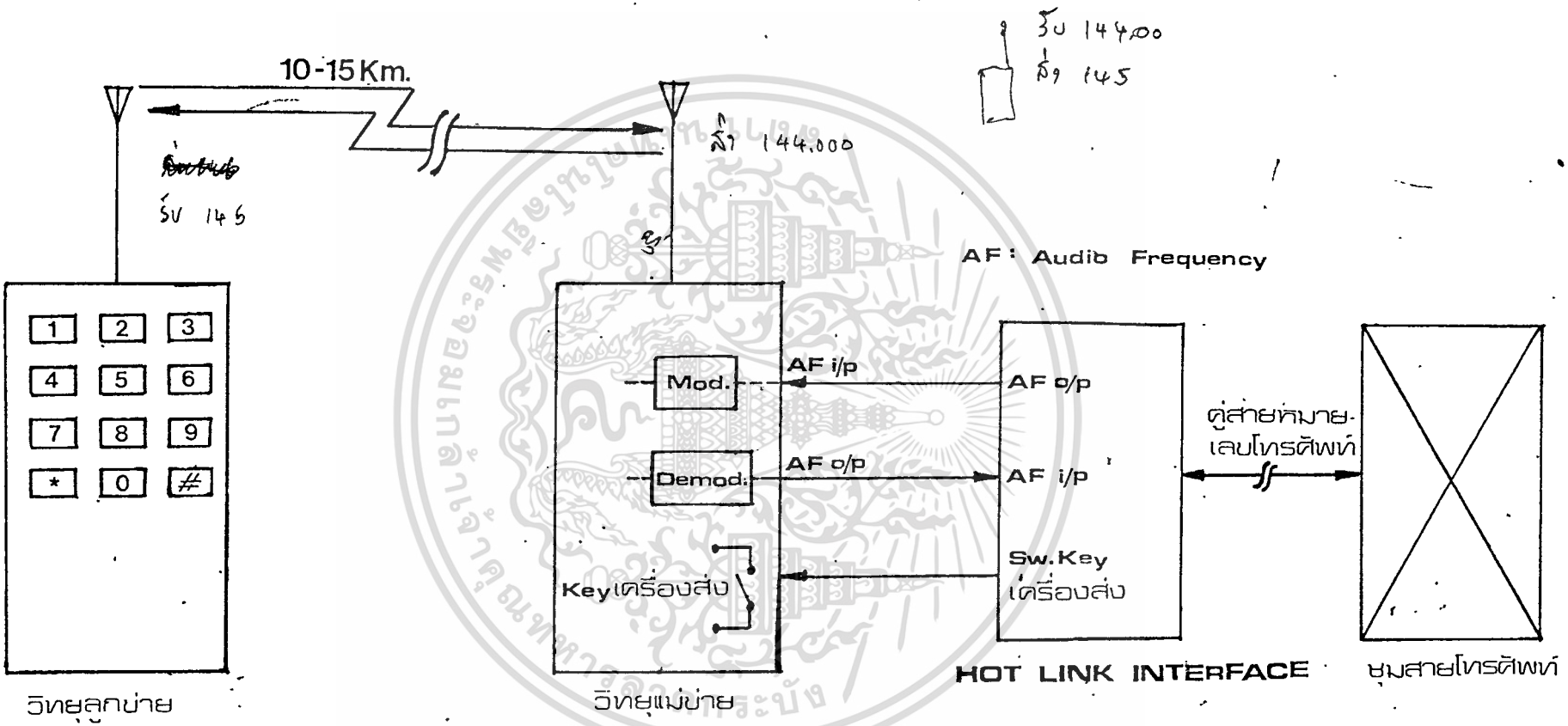
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1

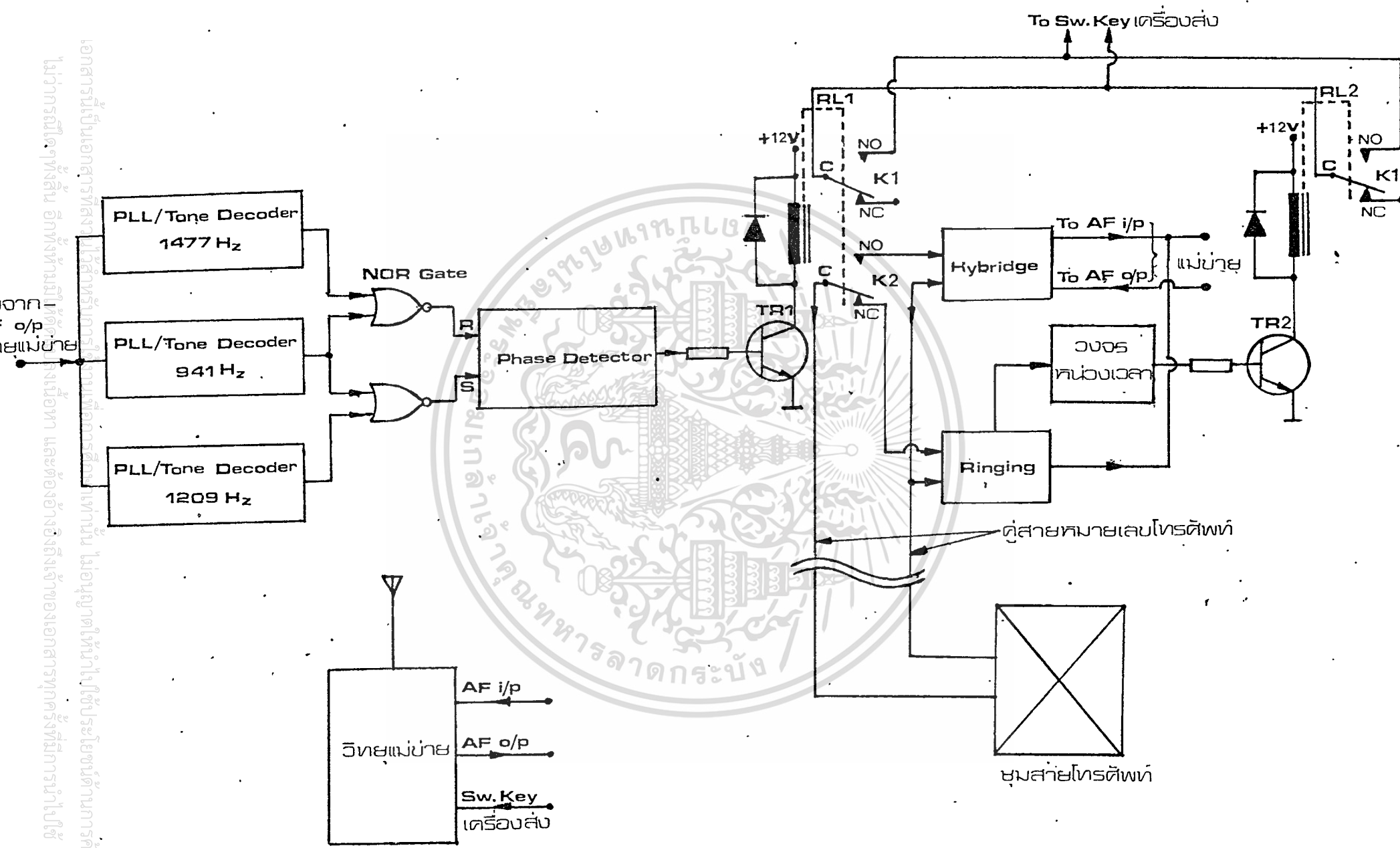
บทนำ

วงจร HOT LINK INTERFACE จะเป็นตัวเชื่อมระหว่างชุมสายโทรศัพท์กับเครื่องวิทยุแม่ข่าย ซึ่งตั้งอยู่กับที่ ดังรูปที่ 1 แล้วมีเครื่องวิทยุลูกข่ายที่มี DTMF (Dual Tone Multi Frequency) ติดต่อกับเลขหมายโทรศัพท์ต่างๆ ได้โดยผ่านชุมสายโทรศัพท์ ในรัศมี 10-15 กิโลเมตร ดังนั้น วงจร HOT LINK INTERFACE จึงเหมาะสำหรับพื้นที่ ที่อยู่ห่างไกลจากชุมสายโทรศัพท์ที่คู่สายหมายเลขโทรศัพท์ไปไม่ถึง เช่น ในชนบท หรือในป่าเขา การออกแบบวงจรสามารถให้เรียกเข้า - เรียกออกได้ วิธีใช้ก็ไม่ยุ่งยากทำให้สะดวกต่อการใช้งานเป็นอย่างมาก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 1 แสดงการต่อใช้งานของวงจร HOT LINK INTERFACE



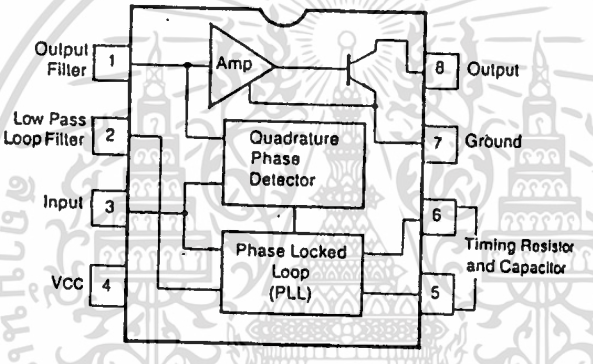
รูปที่ 2 Blockdiagram ของวงจร HOT LINK INTERFACE

บทที่ 2

ทฤษฎี

วงจร Phase Lock Loop/Tone Decoder

IC.LM 567 คือระบบ Phase Lock Loop/Tone Decoder ออกแบบให้ตอบสนองกับสัญญาณเสียงที่ให้มาของความถี่คงที่ IC.LM567 จะมี Power output stage สามารถเป็นแหล่งจ่าย 100 mA ในย่านความถี่ของมัน ซึ่งมีย่านความถี่อยู่ที่ 500 KHz



รูปที่ 3 การจัดวางขาของ IC.LM567 Phase-Lock Loop/Tone-Decoder

รูปที่ 4 แสดงการต่อวงจรพื้นฐานของ IC.LM 567 Tone Decoder

Free Running หรือ Center Frequency (fo) ของ VCO สามารถSet โดย R_1 และ C_1 ดังนี้

$$fo = \frac{1.10}{R_1 C_1} \quad \ldots\ldots\ldots\ldots (1)$$

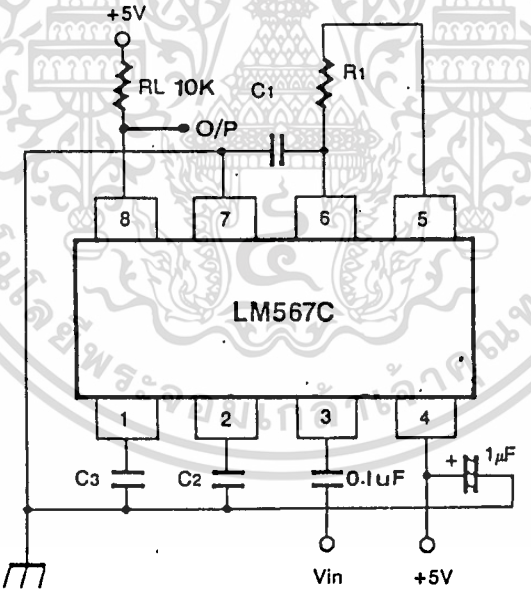
เมื่อ R จะต้องอยู่ระหว่าง 2K และ 20 k ค่าของ C_2 พบได้จากกราฟของ Bandwidth กับขนาดของสัญญาณอินพุทใน Data Sheet ค่าของ C_3 จะไม่จำกัดแต่ควรจะอย่างน้อยที่สุดสองเท่าของ C_2

สำหรับระดับของสัญญาณอินพุท (V_1) น้อยกว่า 200 mV rms, Bandwidth ของ Loop หาได้จาก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$Bw.\ (\%\ of\ fo) = 1070\sqrt{\frac{V_1}{foC2}} \quad .....(2)$$

อย่างไรก็ตามสำหรับระดับอินพุทมากกว่า 200 mV rms Bandwidth ของ IC.LM567 จะประมาณทั่ว ๆ ไป 14% ของ fo นอกจากนี้ Decoder อาจจะไวต่อความถี่อินพุทที่เป็นของฮาร์มอนิกส์ย่อยคี่ของ fo ดังนั้น Loop จึงอาจจะ Lock เข้ากับความถี่ fo/3, fo/5 ฯลฯ หรืออาจจะทำให้ Loop Lock เข้ากับสัญญาณใกล้ ๆ (2n+1) fo เมื่อ n=1,2,3., ฯลฯ ถ้าสัญญาณเหล่านี้เร่งกระทำไปเสียก่อนมันจะทำให้เกิดการลดทอนก่อนที่จะพบอินพุทของ IC. LM 567 และเมื่อ Loop ถูกล็อคเอาท์พุทที่ขา 8 จะอยู่ที่ลอจิก "0"



รูปที่ 4 วงจรพื้นฐานของ IC. LM 567 Tone Decoder

<u>ตัวอย่าง</u>

ใช้วงจรพื้นฐานของ Tone Decoder รูปที่ 4 หาค่าของ R_1 ,C_1 ,C_2 และ C_3 เพื่อ Decode สัญญาณอินพุท 100 mV, 700 Hz นอกจากนี้ % Bandwidth จะประมาณเป็น 12% ของ Center Frequency

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อันดับแรกในการหาค่า R_1 และ C_1 เราจะเลือกค่าที่เหมาะสมสำหรับ C_1 ใช้ 0.1 uF สำหรับตัวอย่าง R_1 จึงพบจากสมการที่ 1 ดังนั้น

$$R_1 = \frac{1.10}{f_o C_1}$$

$$= \frac{1.10}{(700\ Hz)(0.1\ uF)}$$

$$= 15.7\ K$$

ซึ่งเราสามารถใช้ค่าตัวต้านทาน 15K 5% หรือตัวต้านทาน 15.8K 1% , C_2 ได้จากการจัดสมการที่ 2 เสียใหม่

$$C_2 = \frac{V_1}{f_o}\left[\frac{1070}{BW}\right]^2 \quad (\text{in uF})$$

$$= \frac{0.10V}{700Hz}\left[\frac{1070}{12\%}\right]^2$$

$$= 1.14uF$$

เราสามารถใช้คาปาซิเตอร์C_2 1 uF เนื่องจาก C_3 จะต้องน้อยที่สุดเป็น 2 เท่าของ C_2 เราจึงเลือก C_3 เป็น 2.2 uF วงจรที่สมบูรณ์แสดงดังรูปที่ 5

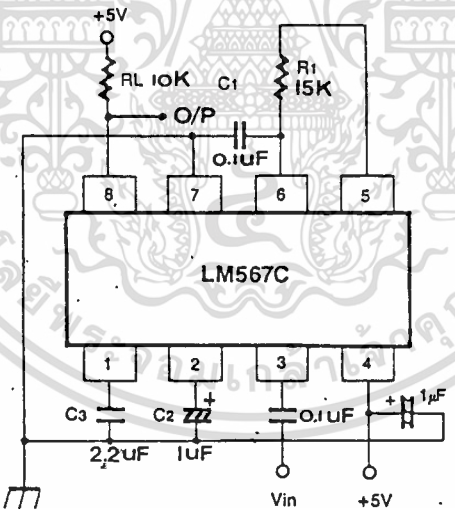
การใช้งานที่น่าสนใจของ IC.LM 567 Tone Decoder คือการ Decode สำหรับสัญญาณ "Touch Tone" ข้อมูล Touch Tone ถูกเข้ารหัสในคู่โทน ใช้สองของเจ็ดโทนที่เป็นไปได้สำหรับเลข 0 ถึง 9 และสัญลักษณ์ # (POUND) และ * (STAR) ความถี่เสียงที่ใช้แสดงในตารางที่ 1 วงจร Decoder พื้นฐานสำหรับหลักเดี่ยวหรือสัญลักษณ์ (เช่นเลข 9) แสดงในรูปที่ 6

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 1 ความถี่ Touch Tone

Low Tone Droup (Hz)	High Tone Droup		
	1209 Hz	1336Hz	1477 Hz
697	1	2	3
770	4	5	6
852	7	8	9
941	*	0	#

$f_o = \frac{1}{R_1 C_1} = \frac{1}{15 \times 10^3 \times 0.1 \times 10^{-6}} = \frac{10^3}{1.5} = \frac{10000}{15} = \frac{2000}{3} = 666.66\,Hz$



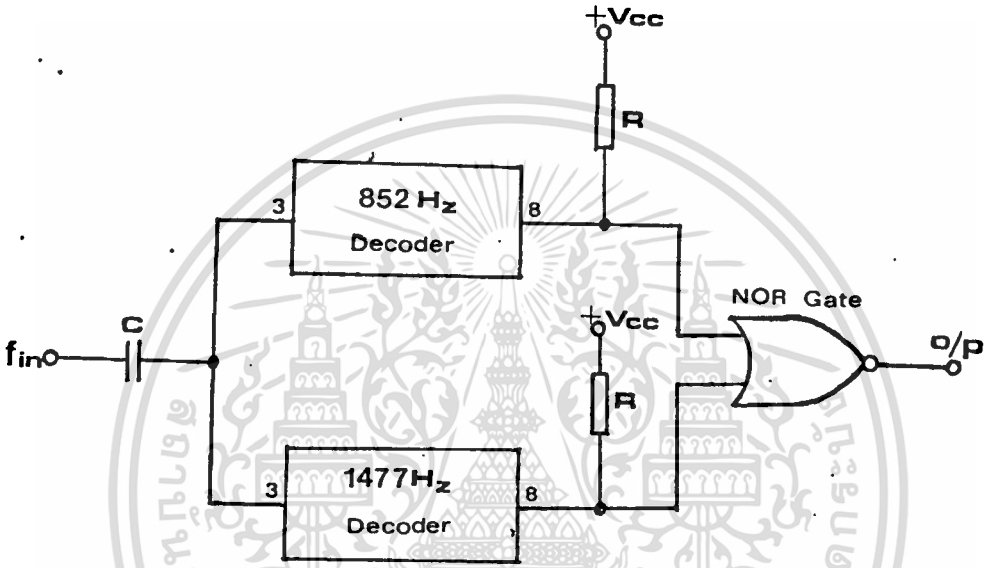
รูปที่ 5 วงจร IC.LM 567 Tone Decoder สมบูรณ์กับค่า สำหรับการ Decode สัญญาณอินพุท 100 mV, 700 Hz.

เลข 9 มีเสียงต่ำ 852 Hz และเสียงสูง 1477 Hz อย่างต่อเนื่องทันทีทันใด จำเป็นต้องใช้ IC. LM 567 Decoder สองตัว ตัวหนึ่งเซ็ทให้ fo เท่ากับ 852Hz อีกตัวเซ็ทที่ 1477Hz เมื่อสัญญาณ Touch tone สัมพันธ์กับเลข 9 เกิดขึ้นที่อินพุทของวงจร เอาท์พุทของ Decoder ทั้งคู่จะเป็นที่ลอจิก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

"0" เนื่องจาก Loop ของทั้งคู่ถูก Lock เอาท์พุทของ NOR Gate จะเป็นลอจิก "1" ถ้าเพียงแต่อันเดียวของสองโทนป้อนเข้ามา เอาท์พุทของ NOR – Gate จะไปที่ลอจิก "0"

วงจร touch Tone Decoder ที่สมบูรณ์ที่สามารถ Decode 12 คู่โทนที่เป็นไปได้แสดงในรูปที่ 7

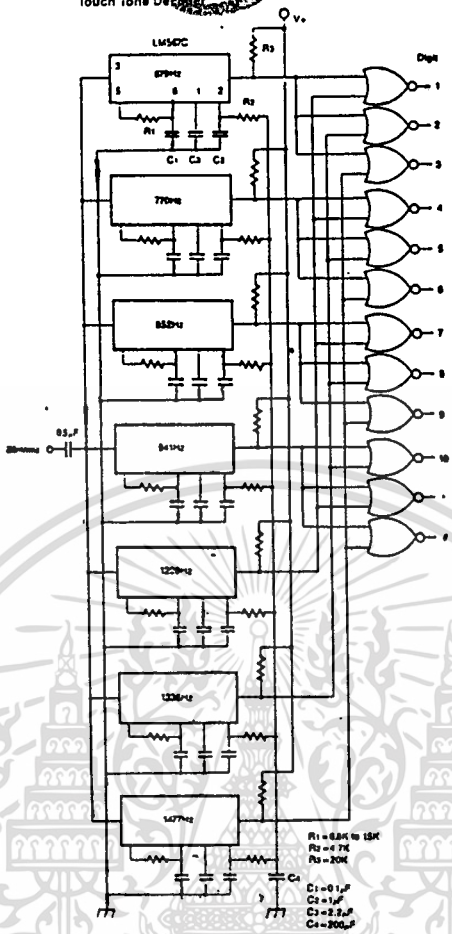


รูปที่ 6 Touch Tone Decoder สำหรับเลข 9

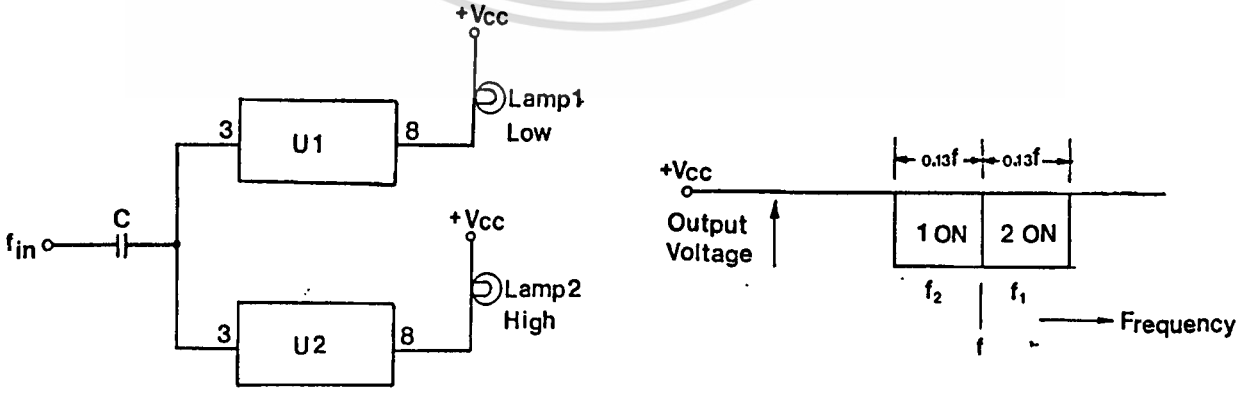
การใช้งานอีกอันหนึ่งของ IC.LM 567 Tone Decoder คือการสร้างตัวบอกความถี่ราคาถูก ใช้วงจรของรูปที่ 8 Decoder ตัวหนึ่ง (V_1) เซ็ทประมาณ 6% เหนือความถี่ที่ต้องการ ขณะที่ Decoder อีกตัวหนึ่ง (V_2) เซ็ท 6% ใต้ความถี่ที่ต้องการ ถ้าความถี่อินพุทอยู่ภายใน 13% ของความถี่ที่ต้องการ หลอด No.1 หรือ No.2 อันใดอันหนึ่งจะติด ถ้าเกิดทั้งคู่นั่นคือความถี่อินพุทอยู่ภายใน 1% ของความถี่ที่ต้องการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จุฬาลงกรณ์มหาวิทยาลัย



รูปที่ 7 12 หลัก Touch Tone Decoder



รูปที่ 8 ตัวบอกความถี่ราคาถูก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

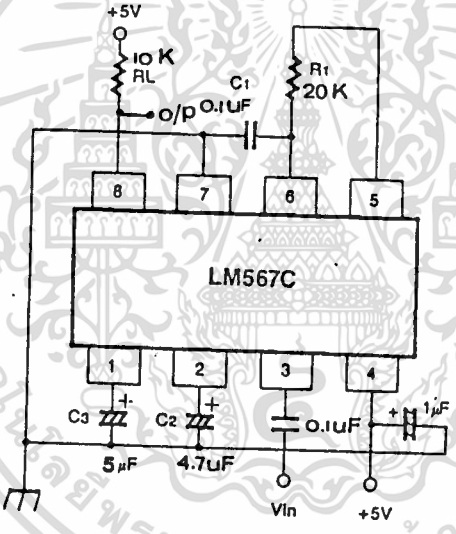
02876?

การทดลอง

วัตถุประสงค์

วัตถุประสงค์ของการทดลองนี้เพื่อแสดงการทำงานของ IC. LM 567 Phase Lock Loop/Tone Decoder

วงจรการทดลอง



รูปที่ 9

ลำดับขั้นที่ 1

เซ็ท Oscilloscope

ลำดับขั้นที่ 2

ต่อวงจรดังแสดงในรูปที่ 9 จ่าย supply ให้กับ Breadboard ปรับ fo ที่ 200 Hz ระดับสัญญาณ 2 V_{p-p} แรงดันเอาท์พุทของ Tone Decoder (Channel 2) จะเป็น + 5 V (ลอจิก "1")

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ลำดับขั้นที่ 3

เพิ่มความถี่อินพุทช้า ๆ จนเอาท์พุทของ IC.LM567 Tone Decoder เปลี่ยนแปลงไปที่ลอจิก "0" (o v) และบันทึกความถี่นี้

f_1 = 454.5 Hz

ลำดับขั้นที่ 4

เพิ่มความถี่อินพุทต่อไปช้า ๆ จนเอาท์พุทของ Tone Decoder กลับไป ที่ลอจิก "1" และบันทึกความถี่นี้

f_2 = 526.31 Hz

ลำดับขั้นที่ 5

ตั้งความถี่อินพุทประมาณ 800 Hz ลดความถี่อินพุทลงช้า ๆ จนกระทั่งเอาท์พุทเปลี่ยนแปลงไปที่ลอจิก "0" และบันทึกความถี่นี้

f_3 = 476.19 Hz

ลำดับขั้นที่ 6

ลดความถี่อินพุทลงช้า ๆ ต่อไป จนเอาท์พุทกลับไปที่ลอจิก "1" และบันทึกความถี่นี้

f_4 = 416.6 Hz

ลำดับขั้นที่ 7

ตั้งความถี่อินพุทประมาณ 500 Hz และวัดความถี่ที่ขา 5 ของ IC. LM 567 ซึ่งเป็นความถี่ VCO Free Running, f_o บันทึกผล

f_o = 500 Hz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ความถี่ Free Running ของ VCO จะได้จากตัวต้านทาน 20 k และ คาปาซิเตอร์ 0.1 uF ขึ้นกับสมการโดยประมาณ

$$f_o = \frac{1.10}{RC}$$

ซึ่งประมาณ 550 Hz ภายใน 10% นี้ควรจะใกล้เคียงกับที่ได้หาไว้

% Bandwidth หาได้จาก

$$\% \text{ Bandwidth} = \frac{f_2 - f_4}{f_o} \times 100$$

จากผลที่ได้คำนวณ % Bandwidth และบันทึกผล

$$\% \text{ Bandwidth} = \frac{21.942}{} \%$$

สำหรับ IC.LM 567 Tone Decoder, % Bandwidth ประมาณ 10% ย่านความถี่ $f_2 - f_4$ คือย่าน Lock ของ Decoder Phase Lock Loop และ บางครั้งอาจหมายถึง Bandwidth ย่านความถี่ $f_3 - f_1$ เรียกว่า ย่าน Capture และย่าน Capture จะต้องไม่มากกว่าย่าน Lock

ลำดับขั้นที่ 8

เริ่มจากความถี่อินพุท 200 Hz เพิ่มความถี่อินพุทช้า ๆ จนกระทั่งใกล้ความถี่ที่วัดในลำดับขั้นที่ 3 (f_1) จนถึงความถี่นี้ VCO, Free Running จะยังคงที่ความถี่ที่คำนวณได้จากลำดับขั้นที่ 7 เนื่องจากความถี่อินพุทอยู่ภายนอกย่าน Lock ของ Loop , Loop จึงไม่ Lock Phase และ VCO จะวิ่งที่ความถี่ Free Running

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ลำดับขั้นที่ 9

เพิ่มความถี่ที่อินพุทต่อไปผ่าน f_1 เอาท์พุทของ Tone Decoder จะติดตามความถี่อินพุท เนื่องจาก Loop ถูก Lock Phase ใช้ตัววัดความถี่เปรียบเทียบความถี่อินพุทและเอาท์พุทที่ขา 3 และขา 5 จะได้เท่ากันหรือไม่

ได้ความถี่อินพุทและเอาท์พุทเท่ากัน

ลำดับขั้นที่ 10

จากค่าที่หาไว้จากลำดับขั้นที่ 3,4,5 และ 6 คำนวณย่าน Lock (f_2-f_4) และย่าน Capture (f_3-f_1) สำหรับ IC.LM 567 Tone Decoder บันทึกผล

ย่าน Lock = 109.71 Hz

ย่าน Capture = 21.69 Hz

สรุปผลการทดลอง

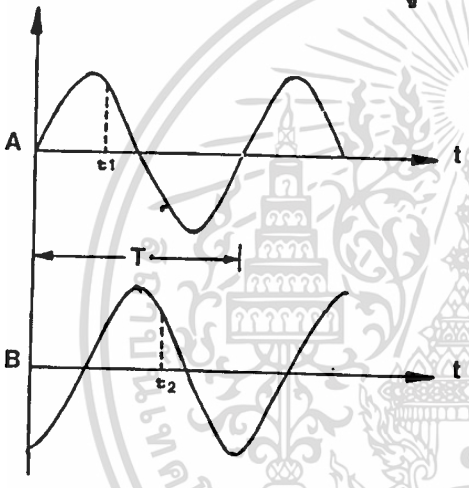
จากการทดลอง ทำให้เราทราบการทำงานของ IC.LM 567 Phase Lock Loop/Tone Decoder และได้รู้ถึงย่านการทำงานที่สำคัญของ IC. Phase Lock Loop /Tone Decoderซึ่งมีสองย่านการทำงานคือ Lock Range และ Capture Range พอจะสรุปได้ดังนี้คือ Lock Range จะเป็นย่านความถี่ของการเริ่ม Lock ระหว่าง VCO กับสัญญาณความถี่อินพุท เมื่อสัญญาณอินพุทลดความถี่จากมากไปหาน้อย กับเมื่อความถี่อินพุทเพิ่มขึ้นจากน้อยไปหามาก ในขณะที่ Capture Range คือย่านความถี่ของการเริ่มหลุดจากการ Lock เมื่อความถี่อินพุทลดจากมากไปหาน้อยกับเมื่อความถี่อินพุทเพิ่มจากน้อยไปหามาก ซึ่งปกติแล้ว Lock Range จะกว้างกว่า Capature Range เสมอ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจร PHASE DETECTOR

เฟสพื้นฐานจะอ้างอิงถึงช่วงระหว่างเวลาที่มีเหตุการณ์หนึ่งเกิดขึ้นกับเวลาที่มีอีกเหตุการณ์หนึ่งเกิดขึ้น แต่มีความสัมพันธ์กัน เหตุการณ์ที่เกิดขึ้นก่อนจะเรียกว่า Lead ขณะที่เหตุการณ์ที่เกิดขึ้นทีหลังเรียกว่า Lag ดังแสดงในรูปที่10

สัญญาณ A Lead สัญญาณ B ในทางกลับกัน จุดใด ๆ บนสัญญาณ B (ie t_2) ใช้เวลา t หน่วย ล่าช้ากว่าจุดที่เกี่ยวพันธ์กันบนสัญญาณ A (t_1) โดยถือว่าสัญญาณแบบมีคาบทั้งคู่มีความถี่เท่ากัน



รูปที่ 10 ความแตกต่างของเวลา (เฟส) ของสองสัญญาณ

ความต่างเฟส จะเป็น เวลา,แสดงในรูปของมุมทางไฟฟ้า ที่สัญญาณหนึ่ง Lead หรือ Lag อันอื่น และปกติจะน้อยกว่า 1 คาบ เหมือนเช่นที่ผ่านมา ความต่างเฟสระหว่างสองสัญญาณแสดงง่าย ๆ ในหน่วยเวลาปกติเหมือนดังในรูปที่ 10 แต่จะเหมาะสมมากกว่าในการที่จะแสดงในรูปขององศา (บางครั้งเรียกองศาทางไฟฟ้า) และแทนด้วยสัญลักษณ์ $\Delta\phi$ เนื่องจากแต่ละคาบของแต่ละสัญญาณ A หรือสัญญาณ B ใช้ผลรวมของเวลาทั้งหมดเท่ากัน จะใช้คาบหนึ่งเป็นหน่วยเวลาสร้างข้อกำหนดของความต่างเฟสซึ่งไม่ขึ้นกับความถี่ของสัญญาณ

โดยตามคำนิยามหนึ่งคาบสมบูรณ์เท่ากับ 360° ความต่างเฟสระหว่างสัญญาณ และเป็นส่วนหนึ่งของหนึ่งคาบที่แสดงในรูปของมุม (องศา) จึงได้ว่า

$$\Delta\phi = \frac{t_2 - t_1}{T} \times 360^\circ \quad \ldots\ldots\ldots\ldots (3)$$

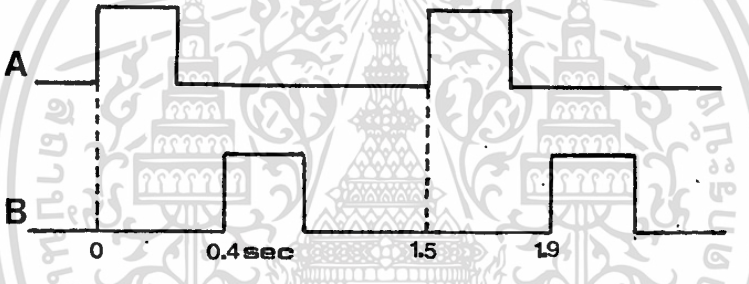
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตัวอย่าง

จงหาค่าความต่างเฟสระหว่างสองรูปคลื่นสี่เหลี่ยมแบบมีคาบที่แสดงในรูปที่ 11 ขั้นแรกควรจะสังเกตุว่า รูปคลื่น B เป็นบวก 0.4 วินาที ช้ากว่าจุดที่สัมพันธ์กันบนรูปคลื่น A เนื่องจากผลรวมเวลาของหนึ่งคาบสมบูรณ์คือ 1.5 วินาที ความต่างเฟสจึงได้เป็น

$$\Delta\phi = \frac{0.4}{1.5} \cdot (360^\circ) = 96^\circ$$

นั่นคือรูปคลื่น A Lead รูปคลื่น B เป็น 96° อย่างไรก็ตามก็เป็นการถูกต้องเช่นกันถ้าจะพูดว่า B Lag A เป็น 96°



รูปที่ 11 ตัวอย่างแสดงการหาค่าความต่างเฟสระหว่างสองสัญญาณ

ระบบ Phase Lock Loop ทั้งหมดจะใช้วงจรหนึ่งที่เรียกว่า Phase Detector หรือ Phase Comparator, Phase Detector จะสร้างค่าเฉลี่ยหรือ DC. ของแรงดันเอาท์พุท ที่เป็นสัดส่วนกับความต่างเฟสระหว่างอินพุท ของ Phase Lock Loop กับ VCO แรงดันเอ้าท์พุทนี้มักจะหมายถึง Error Voltage ตัวประกอบที่แปลงความต่างเฟสเป็นแรงดันเรียกว่า; Phase Detector Conversion Gain ดังนี้

$$V_o = K_\phi \Delta_\phi$$

เมื่อ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

V_o คือแรงดันเอาท์พุทเฉลี่ยของ Phase Detector ในหน่วยโวลท์

K_ϕ คือ Phase Detector conversion gain ในหน่วยโวลท์/เรเดียน

$\Delta\phi$ คือความต่างเฟสอินพุทในหน่วยเรเดียน

ในเทอมของมุมไฟฟ้า 1 เรเดียนจะเท่ากับ $180°/\pi$ หรือ 57.3° สำหรับตัวอย่างที่ผ่านมา ความต่างเฟส 96° จะเทียบเท่าได้กับ 96/57.3° หรือ 1.68 เรเดียนในหัวข้อที่ผ่านมาความต่างเฟสได้ถูกแสดงในรูปขององศา เมื่อใช้งาน phase Lock Loop อาจจะไม่คุ้นเคยกับการแสดงความแตกต่างนี้ในหน่วยของเรเดียน

ข้อแตกต่างพื้นฐานหนึ่งของ Phase Lock Loop ชนิด Anolog และ Digital คือ ชนิดของ Phase Detector ที่ใช้ใน Phase Lock Loop Analog ทั่ว ๆ ไปจะใช้ Mixer ชนิด Double Balanced ขณะที่ Phase Lock Loop Digital จะใช้ Phase Detector แบบ Exclusive OR หรือบางชนิดของ Edge Triggered เนื่องจาก Phase Detector ที่ใช้จะเป็น Digital เสียเป็นส่วนใหญ่ ดังนั้นเราจะพิจารณาชนิดที่เป็น Digital อย่างไรก็ตามวงจรประมวล Phase Lock Loop ชนิด Monolithic ยังใช้ Phase Detector แบบ Analog กันอยู่

The Exclusive OR Phase Detector

จะใช้ Logic Gate ชนิด Exclusive OR ดังแสดงในรูปของสัญลักษณ์ในรูปที่ 12 สำหรับ Gate ชนิด 2 อินพุทนี้จะมี Turth Table ดังตารางที่ 2

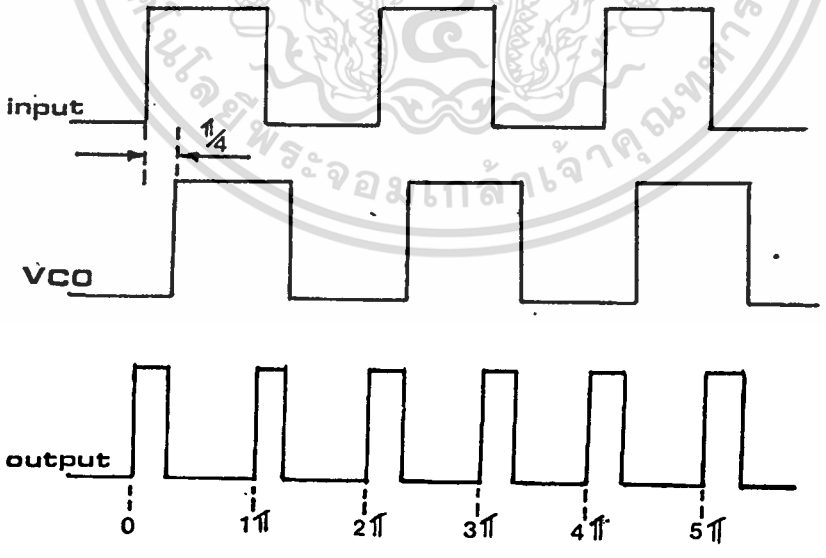
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 2 Truth Table สำหรับรูปที่ 12

input		output
A	B	Q
0	0	0
0	1	1
1	0	1
1	1	0

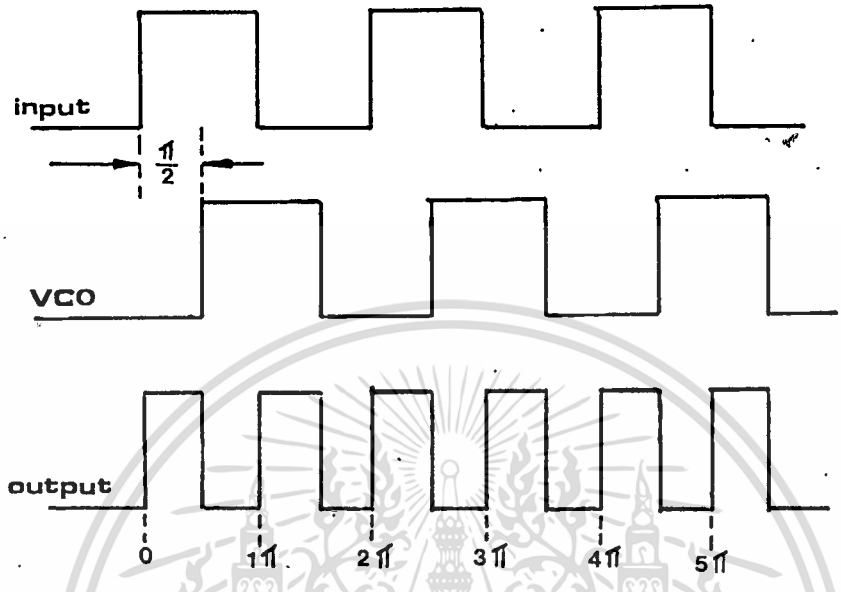
รูปที่ 12 Exclusive OR Gate

จากตารางและ Phase Detector ชนิด Exclusive OR Gate ใช้สำหรับอินพุท และ VCO ซึ่งเป็นรูปคลื่นที่มี Duty Cycle 50% นั่นคือมีการสมมาตรดังแสดงในรูปที่ 12 สัญญาณอินพุท จะ Lead สัญญาณ VCO เป็น $\pi/4$ เรเดียนหรือ 45°



รูปที่ 12 สัญญาณอินพุท Lead สัญญาณ VCO/4 หรือ 45° ในแต่ละกรณีเอาท์พุทของ Exclusive OR Gate จะเป็นขบวนพัลซ์สี่เหลี่ยมความถี่เป็น 2 เท่าของอินพุท และที่สำคัญยิ่งไปกว่านั้น ความกว้างของพัลซ์เอ้าท์พุท ขึ้นกับความต่างเฟสของสัญญาณ 2 อินพุท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 13 สัญญาณอินพุท Lead สัญญาณ VCO/2 หรือ 90°

ค่าเฉลี่ยหรือ DC. ของแรงดันเอาท์พุทจะขึ้นกับความต่างเฟสเช่นกันและสัมพันธ์กับ Duty Cycle ของเอาท์พุทของ Phase Detector นั่นคือ

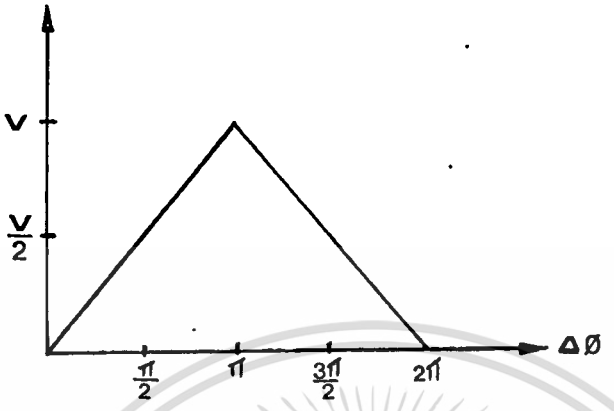
$$Vo(DC) = V_p.D \quad \ldots\ldots\ldots\ldots\ldots\ldots (4)$$

เมื่อ V_p คือแรงดันเอาท์พุทสูงสุด (Logic "1")

D คือ Duty Cycle

Duty Cycle ของขบวนพัลซ์สี่เหลี่ยมแบบมีคาบ ถูกนิยมให้เป็นอัตราส่วนของช่วงที่รูปคลื่นขณะ logic "1" กับช่วงของหนึ่งคาบสมบูรณ์ สำหรับรูปคลื่นเอาท์พุทที่แสดงในรูปที่ 11 Duty Cycle จะเป็นอัตราส่วนระหว่าง π/4 กับ π/2 เรเดียนหรือ 0.25 (25%) สำหรับเอาท์พุทที่แสดงในรูปที่ 13 จะเป็น 0.5 (50%)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 14 คุณลักษณะอินพุท/เอาท์พุท ของ Exclusive OR phase Detector

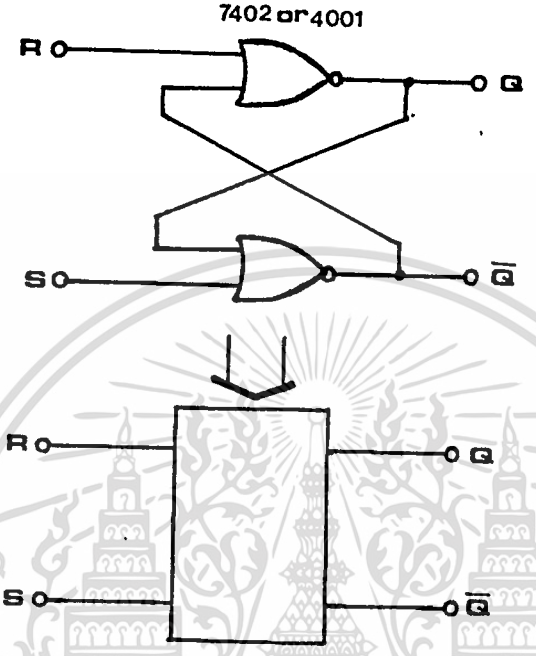
โดยการ Plot แรงดันเอาท์พุทเฉลี่ยของ Phase Detector แบบ Exclusive OR gate เป็นฟังค์ชั่นของความต่างเฟส ของสองอินพุทของมันจะได้ผลเป็นลักษณะสามเหลี่ยมดังแสดงในรูปที่ 14

เมื่อความต่างเฟสเพิ่มขึ้นจาก 0 ถึง 3.14 เรเดียนแรงดันเฉลี่ยของรูปคลื่นเอาท์พุทเข้าถึงค่าสูงสุด (มักจะน้อยกว่าแรงดัน Supply สำหรับตระกูลของลอจิกมาตรฐาน) ที่ ϕ=3.14 เรเดียนหรือ 180° ความชันของเส้นเหนือย่านนี้คือ Phase Detector Conversion Gain ($K\phi$) และแสดงในหน่วยของโวลท์ /เรเดียน

Edge Trigger Phase Detector

Edge Trigger Phase Detector เป็นชนิดง่ายที่สุด คือ R-S Flip - Flop ดังแสดงในรูปที่ 16 สามารถสร้างได้จากคู่ของ NOR Gate ที่ต่อแบบ Cross Coupled

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



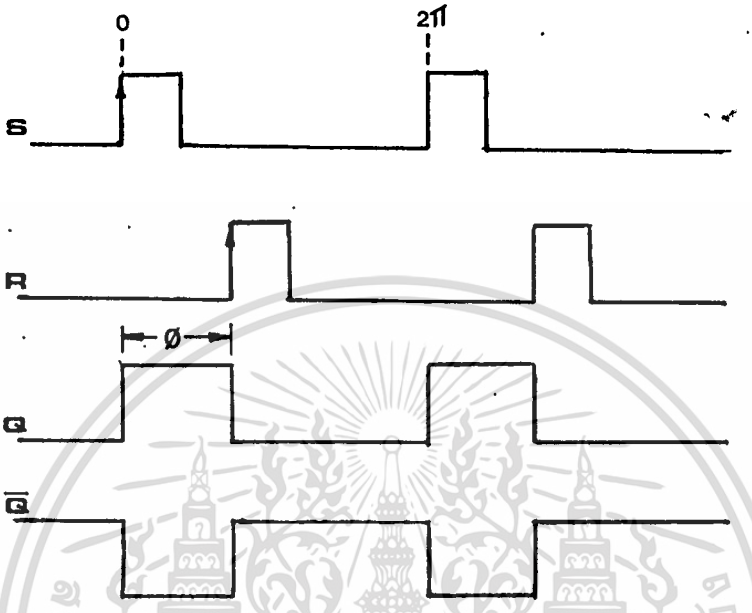
รูปที่ 16 R-S Flip - Flop เทียบเท่ากับ Edye Trigger Phase Detector

สองกฎพื้นฐานควบคุมการทำงานของ R-s flip - flop เป็น Edge Trigger Phase Detector เป็นดังต่อไปนี้

1. ถ้าอินพุท Set เป็นลอจิก "1" เอาท์พุท Q จะเป็น ลอจิก "1" ขณะที่เอาท์พุท Q จะเป็นลอจิก "0" (Ground)

2. ถ้าอินพุท Reset เป็นลอจิก "1" เอาท์พุท Q จะเป็นลอจิก "0" ขณะที่ Q จะเป็นลอจิก "1"

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

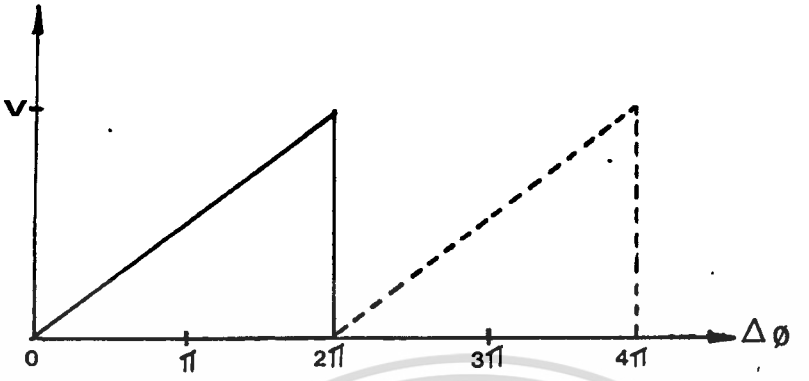


รูปที่ 17 รูปคลื่นอินพุท/เอาท์พุท ของ R-S Flip - Flop Edge Trigger phase Detector

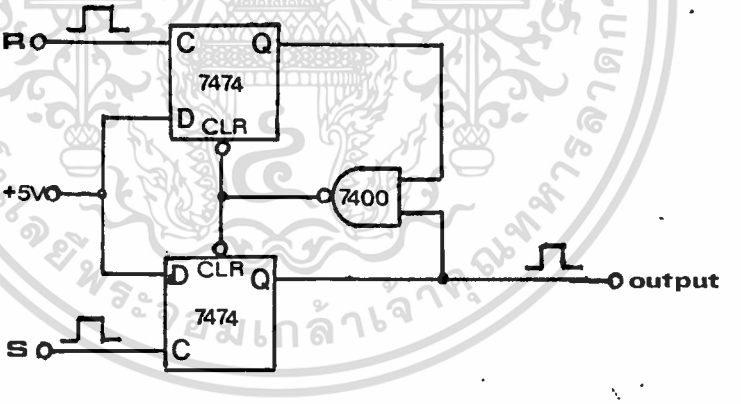
จากรูปที่ 17 R-S Flip - Flop ถูก Trig ที่ขอบหน้าด้านบวกของสองอินพุท สำหรับ R-S Flip - flop ,เช่นเดียวกันกับ Edge Trigger Phase Detector ชนิดอื่น ๆ พัลซ์อินพุทปกติมักจะเป็นช่วงสั้น ๆ

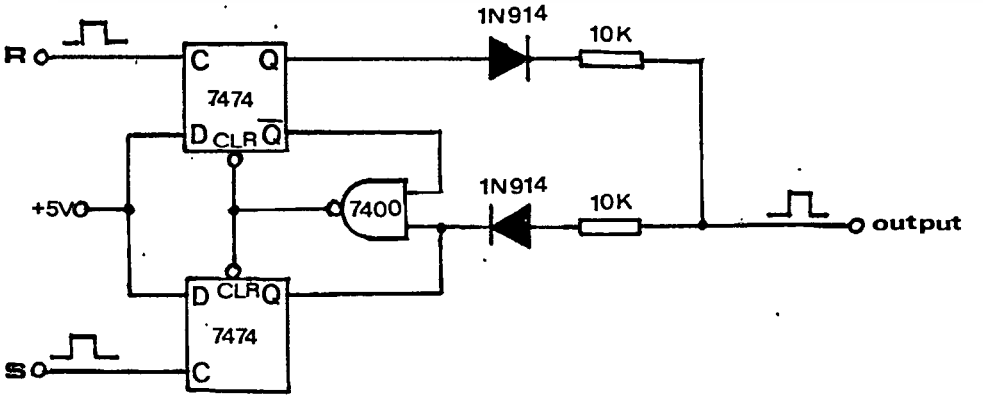
เมื่อความต่างเฟสระหว่างอินพุทกับ VCO เพิ่มแรงดันเอาท์พุทเฉลี่ยของ Edge Trigger Phase Detector จะเพิ่มขึ้นอย่างเป็นสัดส่วนกัน โดยการ Plot แรงดันเอาท์พุทเฉลี่ยเป็นฟังก์ชั่นของความต่างเฟสระหว่างอินพุท S และ R จะได้รูปร่างลักษณะเป็นแบบฟันเลื่อย เหมือนที่แสดงในรูปที่ 18 Edge Trigger Detector จะมีย่านเชิงเส้นเป็นสองเท่าของ Exclusive OR Detector ที่มี Curve รูปสามเหลี่ยมสองด้าน (รูปที่ 14) ยิ่งไปกว่านั้น Edge Trigger Detector จะมีคุณลักษณะที่ดีกว่า Exclusive OR detector ในเรื่องของ Capture, Tracking และคุณลักษณะ Locking

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

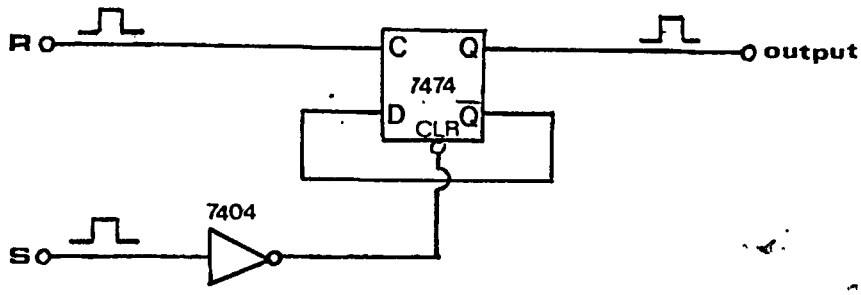


รูปที่ 18 คุณลักษณะอินพุท/เอาท์พุท ของ Edge Trigger Phase Detector





เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

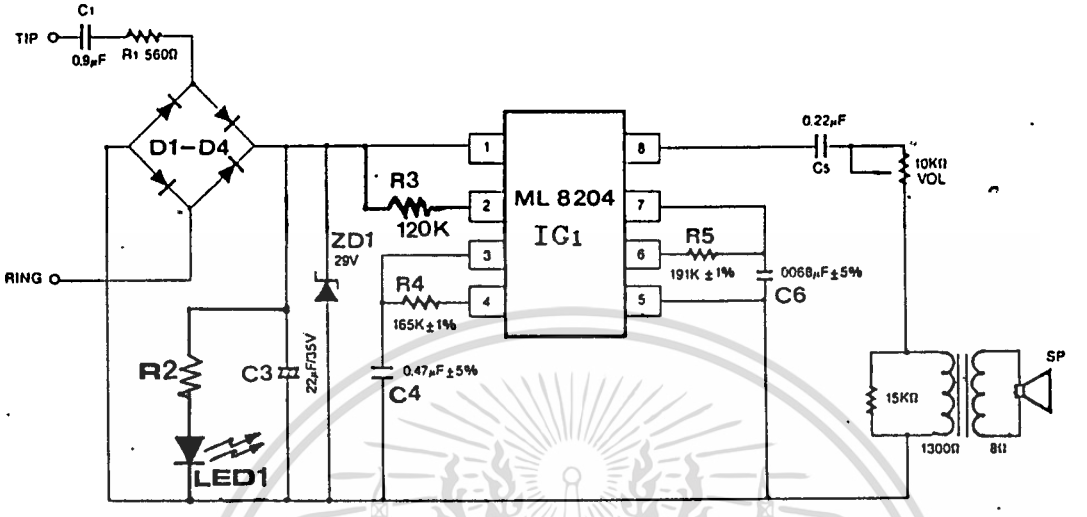


รูปที่ 19 วงจร Edge Trigger Phase Detector ใช้ D Flip-Flop

นอกจากวงจร NOR Gate R-S Flip-Flop แล้ว ยังมีวงจร Edge Trigger ที่ใช้กันอยู่ทั่วไปในขั้นต้นอาศัย D Flip - Flop ดังแสดงในรูปที่ 19 Phase Detector ชนิด Exclusive OR และ Edge Trigger จะไวต่อ Hamonics ต่าง ๆ ของสัญญาณที่เข้ามา นั่นคือ Phase Lock Loop มักจะ Lock เข้ากับ Hamomics เหล่านี้ นอกจากนี้ทั้งคู่ยังไวต่อการเปลี่ยนแปลงของ Duty Cycle ของสองอินพุทของ Phase Detector ถ้า Duty Cycle ของแต่ละอินพุทของ Exclusive OR Detector ไม่เป็น 50% จะเกิดข้อผิดพลาดที่เราไม่พึงประสงค์ สำหรับ Edge Trigger Detector ถ้า R และ S อยู่ที่ลอจิก "1" Detector จะเป็นฟังชั่นที่ไม่ถูกต้อง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจร Ringing



รูปที่ 20 แสดงวงจรผลิตสัญญาณเสียงกริ่ง

เมื่อหมายเลขโทรศัพท์ถูกเรียกเข้ามา ซึ่งเป็นสัญญาณไฟเอซี วงจร Ringing จะเป็นวงจรที่ผลิตสัญญาณเสียงกริ่งออกมา จากรูปที่ 20 มีหลักการทำงานดังนี้

การทำงานของวงจร Ringing

C_1 จะทำหน้าที่ดับปลิ้งสัญญาณเอซีที่เป็นสัญญาณเสียงกริ่ง (Ringing-Tone) ผ่าน R1 เข้าสู่วงจรบริดจ์ ทำหน้าที่เปลี่ยนสัญญาณเสียงกริ่งเป็นไฟดีซี โดยมี C_3 เป็นตัวกรองไฟดีซีให้เรียบ ZD_1 เป็นซีเนอร์ไดโอดทำหน้าที่ควบคุมแรงดันไม่ให้เกิน 29 โวลท์ LED_1 เป็นตัวแสดงคือจะติดเมื่อมีสัญญาณเรียกเข้ามา IC_1 ทำหน้าที่ผลิตเสียงกริ่งโทรศัพท์โดยภายในจะประกอบด้วยวงจรขยายและวงจรออสซิลเลเตอร์ 2 ชุดและวงจรเร็คกูเรเตอร์ R_3 เป็น R. ลิมิตเตอร์ป้อนแรงดันเข้าไปเลี้ยงไอซีที่ขา 2 และขา 1 เช่นเดียวกัน R_4 และ C_4 เป็นตัวกำหนดความถี่ของวงจรออสซิลเลเตอร์ชุดผลิตความถี่ต่ำ R_5 และ C_6 เป็นตัวกำหนดความถี่สูง โดยสัญญาณที่ได้จะเป็นเสียงสูงต่ำสลับกัน จะดับปลิ้งผ่าน C_5 แล้วส่งไปยังลำโพง

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ไว้สำหรับใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

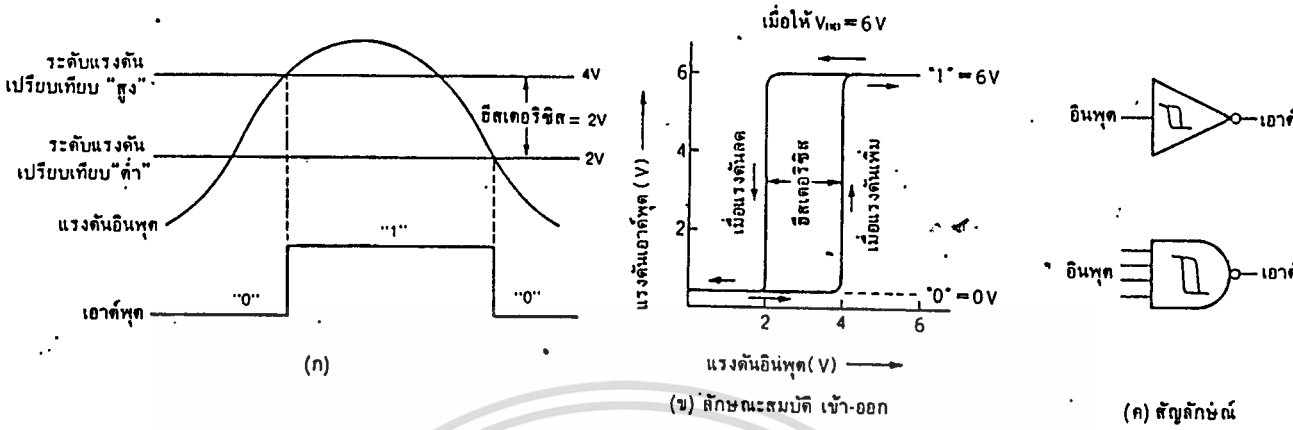
วงจร Schmitt Trigger

สัญญาณในวงจรดิจิตอลนั้นส่วนใหญ่จะเป็นสัญญาณระดับแรงดันสูงต่ำหรือเป็นสัญญาณพัลส์ แต่สัญญาณที่มีใช้งานกันค่อนข้างมากมักจะเป็นสัญญาณอะนาลอก ซึ่งมีรูปคลื่นแตกต่างจากสัญญาณดิจิตอลอย่างมาก เช่น สัญญาณซายน์ สัญญาณเสียง เป็นต้น ถ้าต้องการให้วงจรดิจิตอลอ่านสัญญาณเหล่านี้หรือป้อนสัญญาณอะนาลอกเหล่านี้เป็นอินพุต จะก่อให้เกิดปัญหากับวงจรดิจิตอล เพราะระดับสัญญาณไม่ได้มาตรฐานและการขึ้นลงของรูปคลื่นค่อนข้างช้า วงจรชมิตต์ทริกเกอร์ (Schmitt trigger) ก็เป็นวงจรชนิดหนึ่งที่จะช่วยในการแปลงสัญญาณอะนาลอกให้เป็นสัญญาณดิจิตอล 2 ระดับ เพื่อให้วงจรดิจิตอลรับอินพุตที่เป็นสัญญาณอะนาลอกได้ มีสัญญาณอะนาลอกหลายชนิดที่วงจรดิจิตอลต้องการจะตรวจเช็คระดับ เช่น สัญญาณแรงดัน กระแส อุณหภูมิ ความดัน น้ำหนัก การเคลื่อนที่ เป็นต้น สัญญาณเหล่านี้จะมาจากตัวตรวจวัดที่อยู่รอบนอกวงจร วงจรดิจิตอลต้องการรับสัญญาณเหล่านี้มาประมวลผลภายในและใช้ในการควบคุมอีกทีหนึ่ง

การทำงานของวงจรชมิตต์ทริกเกอร์

วงจรชมิตต์ทริกเกอร์เป็นวงจรที่จะรับสัญญาณอะนาลอกทางอินพุตและจะให้สัญญาณดิจิตอลทางด้านเอาต์พุต เมื่อแรงดันของสัญญาณค่อย ๆ เพิ่มจาก 0 โวลต์จนถึงระดับแรงดันหนึ่งที่กำหนดไว้ ชมิตต์ทริกเกอร์จะให้เอาต์พุตเป็น "1" ทันที ต่อมาเมื่อแรงดันค่อย ๆ ลดลงจนต่ำถึงแรงดันอีกระดับหนึ่งชมิตต์ทริกเกอร์ก็จะให้เอาต์พุตเป็น "0" ระดับแรงดันสูงกับต่ำที่ใช้เปรียบเทียบนี้จะมีค่าไม่เท่ากัน ช่วงห่างระหว่างระดับแรงดันทั้งสองนี้เรียกว่า ฮีสเตอริซิล (hyterisis)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



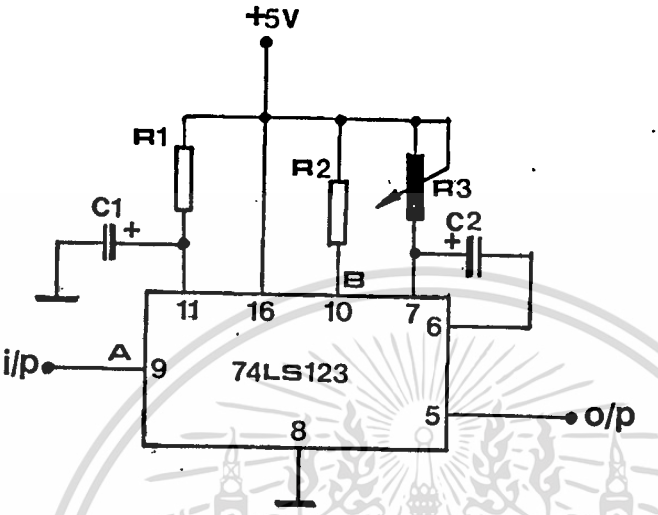
รูปที่ 21 สัญลักษณ์และคุณสมบัติของวงจรชมิตต์ทริกเกอร์

ความสัมพันธ์ของรูปคลื่นด้านอินพุตและเอาต์พุตของชมิตต์ทริกเกอร์แสดงอยู่ในรูปที่ 21 (ก) ถ้าให้แหล่งจ่ายไฟ 6 โวลต์ให้แก่ไอซี CMOS ที่เป็นชมิตต์ทริกเกอร์แล้ว ระดับแรงดันเปรียบเทียบสมมุติให้เป็น 4 โวลต์และ 2 โวลต์ตามรูป เมื่อแรงดันอินพุตเพิ่มขึ้นมาถึง 4 โวลต์จะทำให้เอาต์พุตเปลี่ยนจาก "0" เป็น "1" ในขณะที่เมื่อแรงดันลดลงถึงจุด 2 โวลต์จะทำให้เอาต์พุตเปลี่ยนกลับเป็น "0" อีกครั้ง รูปที่ 21 (ข) เป็นกราฟลักษณะสมบัติแสดงความสัมพันธ์ของแรงดันอินพุตกับเอาต์พุต จากกราฟนี้จะเห็นช่วงกว้างของแรงดันฮีสเตอริซิสอย่างชัดเจน ในกรณีนี้เป็น 2 โวลต์

การที่ชมิตต์ทริกเกอร์มีฮีสเตอร์ซิสนี้นับเป็นข้อดีมากในการรับสัญญาณอะนาลอกซึ่งเปลี่ยนค่อนข้างช้ามาเป็นอินพุต ลองคิดดูว่าถ้าใช้เกตธรรมดาหรือวงจรเปรียบเทียบ (comparator) มารับสัญญาณเหล่านี้จะมีปัญหาอะไรขึ้นบ้าง ปัญหาที่จะเกิดขึ้นก็ตรงบริเวณที่แรงดันอินพุตมีค่าเข้าใกล้แรงดันเปรียบเทียบ ถ้าแรงดันเปลี่ยนแปลงเพียงเล็กน้อยก็จะเกิดการเปลี่ยนสภาวะของเอาต์พุตทันที ถ้าแรงดันเปลี่ยนแปลงช้าหรือขึ้น ๆ ลง ๆ ซึ่งอาจจะเป็นผลของสัญญาณรบกวนจะทำให้เอาต์พุตเปลี่ยนจาก "1" เป็น "0" กลับไปกลับมามีลักษณะเป็นพัลส์เล็ก ๆ หลาย ๆ ลูก พัลส์เหล่านี้จะเป็นสาเหตุให้วงจรดิจิตอลทำงานผิดพลาด โดยเฉพาะวงจรที่มีฟลิปฟลอปหรือวงจรนับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจร Retriggerable Monostable Multivibrator



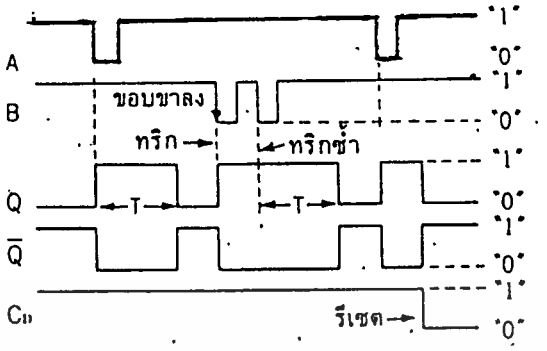
รูปที่ 23 แสดงวงจรตั้งเวลาโดยใช้ IC.74LS123

วงจร Monostable Multivibrator นี้จะไม่กำเนิดพัลส์ต่อเนื่อง แต่จะให้พัลส์ออกมาลูกเดียว เมื่อมีสัญญาณมากระตุ้น ข้อสำคัญคือช่วงเวลาของพัลส์สามารถกำหนดให้สั้นยาวได้โดยการเลือกใช้ค่า R และ C ซึ่งสามารถใช้เป็นวงจรตั้งเวลาได้

การทำงานของวงจร Monostable

การทำงานของ IC.74LS123 แสดงในรูปที่ 23 ในสภาพปกติขณะที่ไม่มีอินพุท A โดยอินพุท B ทำงานที่ High-Level-Active "1" ซึ่งต่อกับไฟ +5V ผ่าน R_2) เอาท์พุท Q = "0" และ $\overline{Q}$ = "1" อยู่ตลอดเวลา ถ้ามีสัญญาณเข้ามาทางอินพุท A (ทำงานที่ Low-Level-Active) ทำให้ Q = "1" และ $\overline{Q}$ = "0" นานช่วงเวลาหนึ่งจากนั้นจึงตกกลับเป็น "0" ตามเดิม ช่วงเวลานี้กำหนดโดยค่าของ R_3 และ C_2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 24 หน้าที่ของขาต่าง ๆ และการทำงานของ IC74LS123

จากนอกนี้ไอซีตัวนี้ยังมีขา Clear ซึ่งใช้รีเซ็ตเอาท์พุทของโมโนสเตเบิล ถ้าเอาท์พุท Q = "1" อยู่เมื่อ บ้อน "O" เข้าที่ขา Clear จะทำให้ Q เป็น Logic "O" ทันที ปกติไม่ใช้งานให้ต่ออยู่ที่ Logic "1"

สำหรับคุณสมบัติในการทริกซ้ำ (Retriggerable) นั้นเป็นดังนี้คือ เมื่อรับสัญญาณพัลส์กระตุ้นที่ขา A และ B ทำให้โมโนสเตเบิลเริ่มทำงานและจับเวลา ก่อนที่จะหมดช่วงเวลา T วินาที ถ้ามีสัญญาณพัลส์กระตุ้นเข้ามาอีก การจับเวลา T วินาทีจะเริ่มต้นใหม่ ดูรูปที่ 24 ถ้าสัญญาณพัลส์ใช้ในการกระตุ้นเข้ามาอย่างต่อเนื่องและมีคาบเวลาต่ำกว่า T วินาทีจะทำให้เอาท์พุทของโมโนสเตเบิลเป็น Logic "1" ตลอดเวลา

<u>ตัวอย่าง</u> จงคำนวณหา T (Width of pulse) จากรูปที่ 23 กำหนดให้

$R_3 = 66.5K$, $C_2 = 470$ uF

$$T = 0.32\, R_3 C_2 \left[1+\frac{0.7}{R_3}\right] \qquad \text{.....(5)}$$

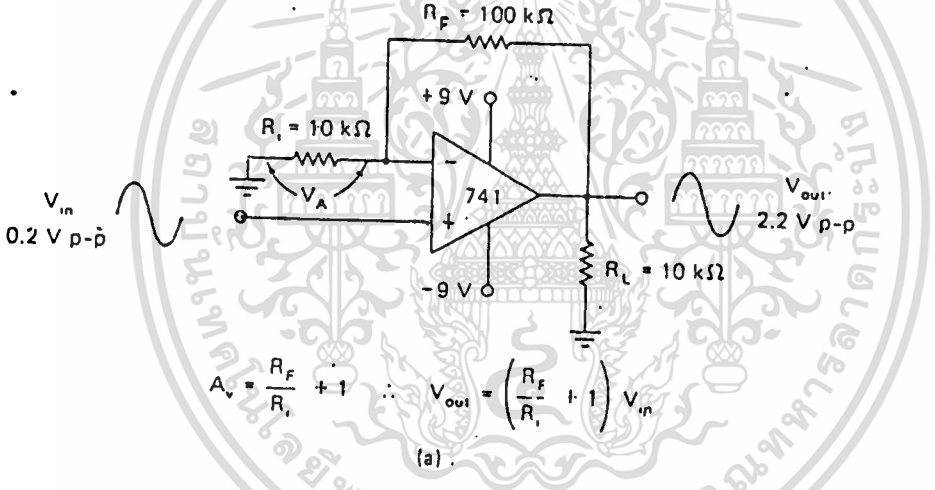
$$= 0.32\,(66.5 \times 10^3)\,(470\times10^{-6}).\left[1+\frac{0.7}{66.5\times10^3}\right]$$

$\doteq$ 10 วินาที

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจร Non-Inverting Amplifier

โดยทั่วไปวงจรขยายจะหมายถึงวงจรที่เปลี่ยนสัญญาณอินพุทน้อย ๆ มาเป็นสัญญาเอาท์พุทที่มีขนาดสูงขึ้นกว่าเดิม ซึ่งสัญญาณที่ว่าอาจเป็นได้ทั้งแรงดันหรือกระแส ในลักษณะเดียวกันวงจรขยายของออปแอมป์ก็คือวงจรที่มีอัตราขยายแรงดันสูงมาก และยังมีลักษณะของการขยายเป็นเส้นตรงนั่นคืออัตราส่วนระหว่างเอาท์พุทต่ออินพุท จะคงที่เสมอ (ในอุดมคติ) และนอกจากนี้เรายังสามารถควบคุมอัตราขยายวงออปแอมป์โดยใช้อุปกรณ์ภายนอกเพียงไม่กี่ตัว



Vin	Vout
+0.3	+3.3
-0.3	-3.3
+0.52	+5.72
-0.52	-5.72

(b)

รูปที่ 25 วงจร Non-Inverting Amplifier

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 25 แรงดันอินพุทจะถูกป้อนเข้าที่ขั้วบวก และมีแรงดัน VA ซึ่งเกิดจากการแบ่งแรงดันของเอาท์พุทตกคร่อมตัวต้านทาน Rin จากคุณสมบัติของออปแอมป์ที่ว่าศักดาที่ขั้วอินพุทลบจะถูกบังคับให้มีขนาดเข้าใกล้ที่ขั้วอินพุทบวกเสมอ จะได้ว่า

$$Vin = VA$$

ดังนั้น เราสามารถเขียนค่าขยายแรงดัน AV ได้เท่ากับ

$$AV = \frac{Vout}{VA}$$

และเนื่องจาก VA เกิดจากการแบ่งแรงดันของ Vout จะได้

$$VA = \left[\frac{Rin}{RF+Rin}\right].Vout$$

$$AV = \frac{RF}{Rin} + 1 \qquad \text{.....(6)}$$

$$\therefore Vout = \left[\frac{RF}{Rin} + 1\right] Vin \qquad \text{.....(7)}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3

การทำงานของวงจร HOT LINK INTERFACE

จากรายละเอียดแต่ละส่วนของวงจรนำมาประกอบกันเป็นวงจรที่ใช้งานจริงดังรูปที่ 26 ซึ่งมีหลักการทำงานในกรณีดังนี้

กรณีเรียกออก

เมื่อวิทยุลูกข่าย กดเครื่องหมาย * (ซึ่งมีความถี่ 941Hz และ 1209 Hz) วิทยุแม่ข่ายจะรับสัญญาณ * ส่งผ่านไปยัง i/p ขา3 ของวงจร PLL/Tone Decoder (ดูรูปที่ 26) จะประกอบด้วย IC_1-IC_3 ซึ่งมีอยู่ 3 วงจร โดยแต่ละวงจรจะ Decode ที่ความถี่ IC_1-941Hz, IC_2-1209Hz และ IC_3-1477Hz (โดยคำนวณหาค่า R_1, C_1, C_2 และ C_3 ของแต่ละความถี่ได้จากสมการที่ 1, และ 2) เมื่อวงจร PLL/Tone Decoder (IC_1, IC_2) Decode สัญญาณ * จะให้ O/P ที่ขา8เป็น Logic "0" ส่งไปยังวงจร NOR Gate ที่ O/P ของวงจร NOR Gate จะเป็น Logic "1" ส่งต่อไปยัง i/P ขา Set ของวงจร Phase Detector (ประกอบด้วย IC_5 และ IC_6) ทำให้ O/P ของวงจร Phase Detector Holdเป็น Logic "1" ตลอดเวลา แล้วส่งต่อไปยังขาเบสของ TR1 ผ่าน R_4 TR_1 จะนำกระแสจนอิ่มตัว RL_1 จะเริ่มทำงาน K_1, NO (ปกติเปิด) ซึ่งต่ออยู่กับ Sw.Key วิทยุแม่ข่าย จะทำการ Key วิทยุแม่ข่ายให้อยู่ในสภาวะส่งออก ขณะเดียวกัน K_2, NC (ปกติปิด) ซึ่งเดิมจะต่ออยู่กับวงจร Ringing และคู่สายหมายเลขโทรศัพท์ จะเปลี่ยนสภาวะไป NO ต่อกับวงจร Hybridge (ประกอบด้วย T_1 และ IC_7) ซึ่งทำหน้าที่เปลี่ยน 2w เป็น 4w โดยที่ด้าน 2w จะไปเข้าคู่สายหมายเลขโทรศัพท์มี C_{13}, C_{14} เป็นตัวกั้นไฟ DC. ไม่ให้เข้าวงจร ชุมสายโทรศัพท์จะครบวงจรเนื่องจากมี Attenuator 2dB (R5-R8) เป็นตัว Loop Current ให้ชุมสายโทรศัพท์ ชุมสายโทรศัพท์จะส่งสัญญาณ Dial Tone ผ่านวงจร Hybridge ไปยัง AFi/p ของวิทยุแม่ข่ายออกอากาศ ด้านวิทยุลูกข่ายก็จะรับส่งสัญญาณ Dial Tone ได้

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากนั้นก็กดเลขหมายที่ต้องการติดต่อชุมสายโทรศัพท์จะต่อหมายเลขให้ทำให้สามารถติดต่อสนทนากันได้

เมื่อเลิกสนทนาวิทยุลูกข่ายจะต้องกดเครื่องหมาย # (ซึ่งมีความถี่ 941Hz และ 1477Hz) วงจร PLL/Tone Decoder (IC_1,IC_3) จะ Decode ให้ O/P ที่ขา8เป็น Logic "0" ส่งเข้าวงจร NOR Gate ที่ O/P ของวงจร NOR Gate จะเป็น Logic "1" ส่งไปยัง i/p ขา Reset ของวงจร Phase Detector ทำให้ O/P ของวงจร Phase Detector เป็น Logic "0" TR_1 จะไม่นำกระแส RL_1 จะกลับมาอยู่ในสภาวะเริ่มแรกและคู่สายหมายเลขโทรศัพท์จะว่างลง

<u>กรณีเรียกเข้า</u>

ในสภาวะปกติ คู่สายโทรศัพท์จะต่ออยู่กับวงจร Ringing เมื่อมีผู้เรียกหมายเลขโทรศัพท์เข้ามาจะมีสัญญาณเสียงกริ่ง (สัญญาณไฟ AC.) เข้ามา C_{16},C_{17} จะทำหน้าที่ดับปลิ้งสัญญาณเสียงผ่าน R_{18} เข้าสู่ชุดวงจร Bridge ประกอบด้วย D_4-D_7 ทำหน้าที่เปลี่ยนสัญญาณเสียงกริ่งเป็นไฟ DC. โดยมี C_{18} เป็นตัวกรองไฟ DC. ให้เรียบ ZD_1 เป็น Zener Diode ทำหน้าที่ควบคุมแรงดันไม่ให้เกิน 30V. D_2 เป็นตัวแสดงสภาวะคือจะติดเมื่อมีสัญญาณเสียงกริ่งเข้ามา IC_8 จะทำหน้าที่สร้างเสียงกริ่งโทรศัพท์โดยภายในจะประกอบด้วย วงจรขยาย,วงจรออสซิลเลเตอร์ 2 ชุดและวงจร Regulator R_{20} เป็น R ลิมิตเตอร์ ป้อนแรงดันเข้าไปเลี้ยง IC_8 ที่ขา 2 และขา 1 R_{21},C_{19} เป็นตัวกำหนดความถี่ของวงจรออสซิลเลเตอร์ชุดผลิตความถี่ต่ำ R_{22},C_{21} เป็นตัวกำหนดความถี่สูงของออสซิลเลเตอร์ชุดผลิตความถี่สูง โดยสัญญาณที่ได้จะเป็นเสียงสูง,ต่ำสลับกันจะดับปลิ้งผ่าน C_{20} ส่งไปยัง AFi/p ของวิทยุแม่ข่าย

ขณะเดียวกันก็จะเอาสัญญาณไฟ DC. ออกที่ขาคาโถดของ ZD_1 ผ่าน R ลิมิเตอร์ให้เหลือไฟ DC. +5V ส่งไปยังวงจร NAND Gate แบบ Schmitt Trigger (ที่ต้องใช้ NAND Gate แบบ Schmitt Triggerเนื่องจากสัญญาณไฟ DC. ที่ได้จะค่อย ๆ ขึ้นจาก OV. ถึง +5V.) ได้ O/P ที่วงจร NAND Gate แบบ Schmitt Trigger เป็น Logic "0" ส่งต่อไปยัง i/p ขา 9

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

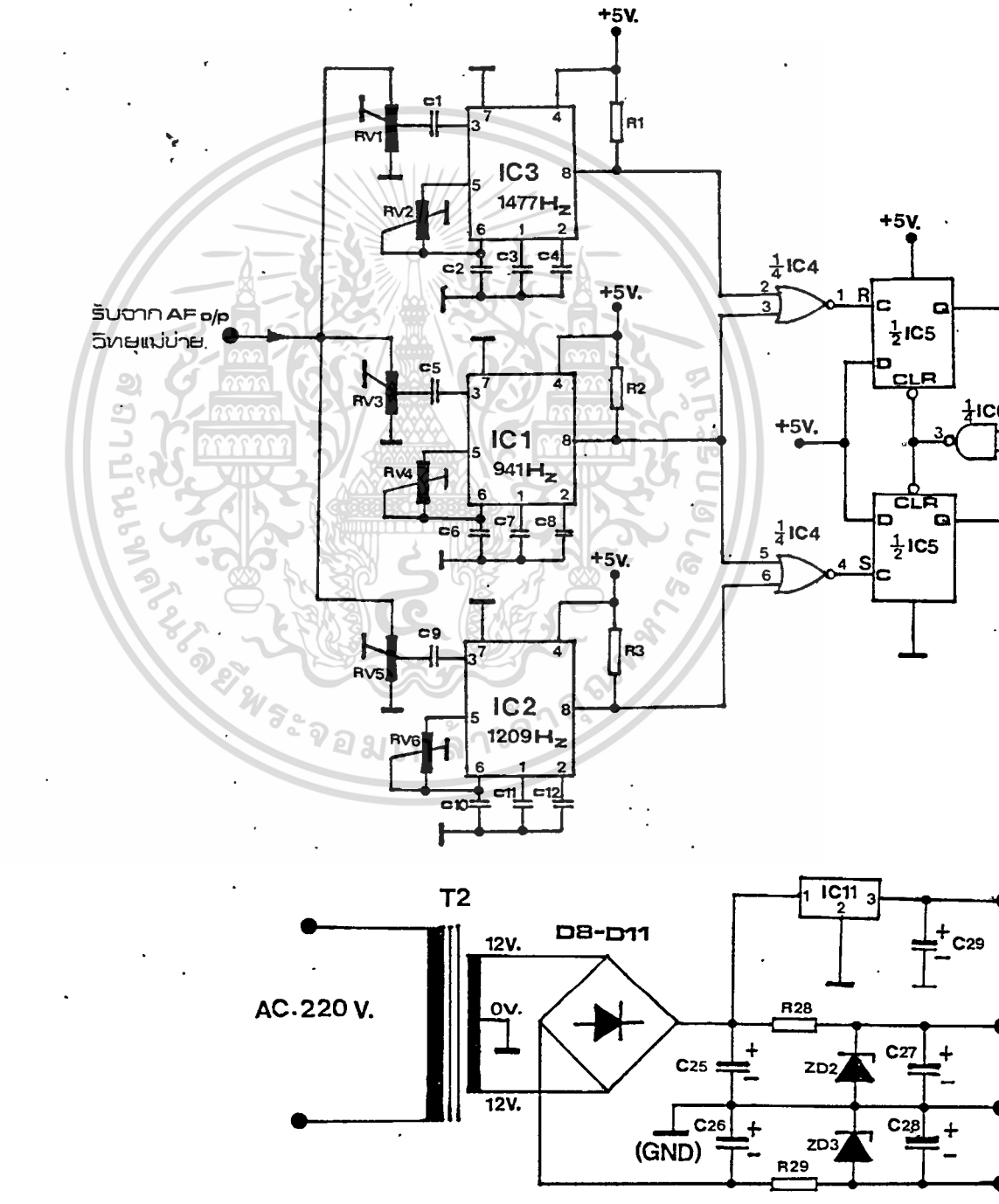
ของวงจร Retriggerable Monostable Multivibrator โดยที่ขา 9 (i/p A) จะทำงานที่ Logic "0" (Low-Level-Active) ส่วนขา 10 (i/p B) ทำงานที่ Logic "1" (High-Level-Active) ซึ่งต่ออยู่กับ +VCC ผ่าน R26 อยู่แล้ว เมื่อขา 9 ได้รับ Logic "0" IC10 จะทำงานโดยมี RV_{10} และ C_{24} เป็นตัวกำหนดคาบเวลาโดยคำนวณได้จากสมการ 5° (วงจรในรูปที่ 26 จะตั้งไว้ที่ 10 วินาที เนื่องจากสัญญาณเสียงกริ่งจะเป็นจังหวะ) จะได้ O/P ที่ขา 5 เป็น Logic "1" ส่งไปยัง TR_2 ผ่าน R_{27} TR_2 จะนำกระแสจนอิ่มตัว RL_2 จะทำงาน K1,NO ซึ่งต่ออยู่กับ Sw.Key วิทยุแม่ข่ายจะ Key วิทยุแม่ข่ายส่งสัญญาณเสียงกริ่งออกอากาศไป

ด้านวิทยุลูกข่ายจะรับสัญญาณเสียงกริ่งได้ก็จะกดเครื่องหมาย * เหมือนกรณีเรียกออก ก็จะติดต่อสนทนากันได้ และเมื่อเลิกสนทนาก็กดเครื่องหมาย # เช่นกัน

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

A



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4

วิธีใช้งานของวงจร HOT LINK INTERFACE

กรณีเรียกออก

1. กด Key เครื่องวิทยุลูกข่ายแล้วกดเครื่องหมาย *
2. เมื่อได้รับสัญญาณ Dial Tone ให้กดหมายเลขที่ต้องการติดต่อ
3. เมื่อเวลาสนทนากันไม่ต้องกด Key วิทยุตลอด จะส่งเท่านั้นจึงกด Key วิทยุ
4. เมื่อเลิกใช้งานต้องกดเครื่องหมาย #

กรณีเรียกเข้า

1. เมื่อได้ยินสัญญาณเสียงกริ่งจากเครื่องวิทยุลูกข่ายให้กด Key แล้วกดเครื่องหมาย *
2. เมื่อเวลาสนทนากันไม่ต้องกด Key เครื่องวิทยุตลอดจะส่งเท่านั้นจึงจะกด Key วิทยุ
3. เมื่อเลิกใช้งานต้องกดเครื่องหมาย #

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5

บทสรุปและข้อเสนอแนะ

จากการทดลองโครงการนี้ ส่วนที่สำคัญหลักก็คือวงจร PLL/Tone Decoder ซึ่งประกอบด้วย IC.NE 567 ทำหน้าที่ Decode สัญญาณ * และ # โดยค่า R_1 , C_1 , C_2 และ C_3 ที่คำนวณได้ไม่สามารถ decode ที่ความถี่ของสัญญาณ * และ # ได้ ต้องทำการเปลี่ยนค่า R_1 , C_1 , C_2 และ C_3 ผิดจากที่คำนวณได้จึงจะสามารถ Decode ได้

ปัญหาการดำเนินงาน

1. วงจร PLL/Tone Decoder ซึ่งประกอบด้วย IC.NE 567 จะต้องป้อนไฟทิ้งไว้ 15 นาที จึงจะทำงานได้ปกติ

2. C_{16} , C_{17} จะต้องใช้ Volts สูง ๆ ถ้าใช้ Volts ต่ำจะช๊อตบ่อยมาก

3. การคำนวณทางทฤษฎีกับทางปฏิบัติจะมีค่าแตกต่างกันมาก เช่นในวงจร PLL/Tone Decoder

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

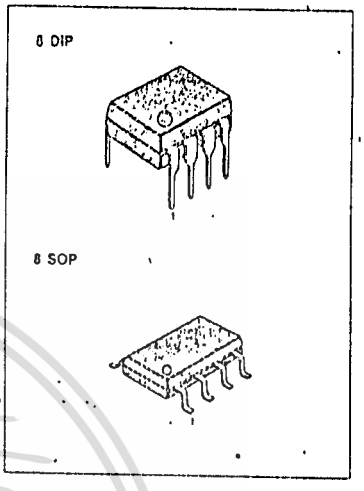
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

LM567C

LINEAR INTEGRATED CIRCUIT

TONE DECODER

The LM567C is a monolithic phase locked loop system designed to provide a saturated transistor switch to GND, when an input signal is present within the passband. External components are used to independently set center frequency bandwidth and output delay.



FEATURES

- Wide frequency range (0.01Hz — 500kHz).
- Bandwidth adjustable from 0 to 14%
- Logic compatible output with 100mA current sinking capability.
- Inherent immunity to false signals.
- High rejection of out-of-band signals and noise.
- Frequency range adjustable over 20:1 range by an external resistor.

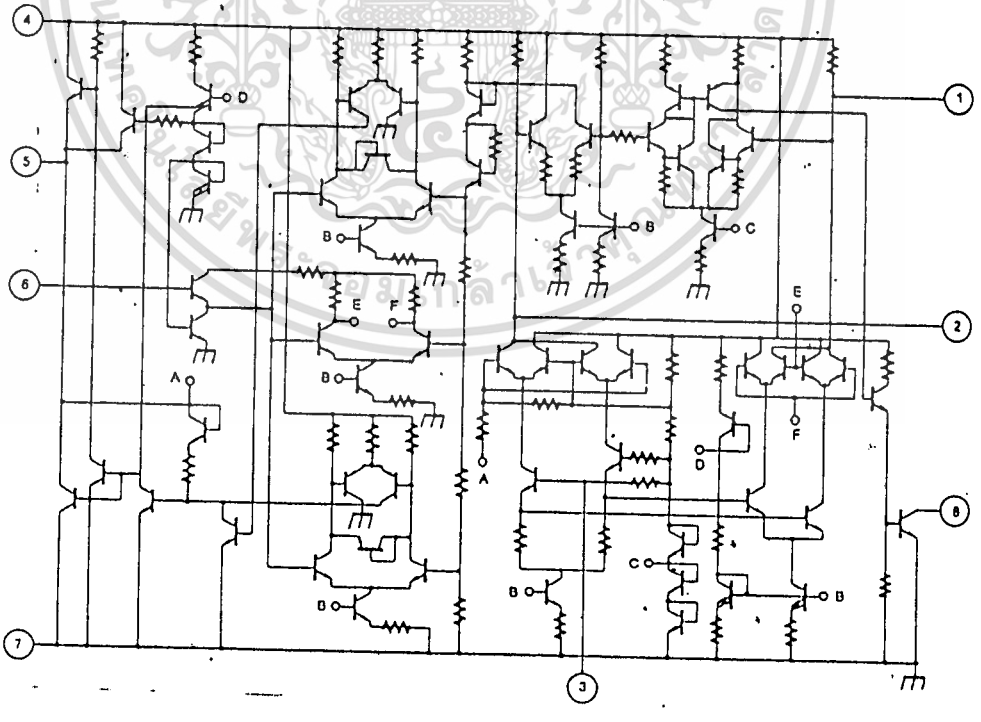
APPLICATIONS

- Touch Tone Decoder
- Wireless Intercom.
- Communications paging decoders
- Frequency monitoring and control.
- Ultrasonic controls (remote TV etc.)
- Carrier current remote controls.
- Precision oscillator.

ORDERING INFORMATION

Device	Package	Operating Temperature
LM567CN	8 DIP	0 ~ +70°C
LM567CD	8 SOP	

SCHEMATIC DIAGRAM



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ABSOLUTE MAXIMUM RATINGS (T_a = 25°C)

Characteristic	Symbol	Value	Unit
Operating Voltage	V_{CC}	10	V
Input Voltage	V_{IN}	−10 ~ V_{CC} +0.5	V
Output Voltage	V_O	15	V
Power Dissipation	Pd	300	mW
Operating Temperature	Topr	0 ~ +70	°C
Storage Temperature	Tstg	−65 ~ +150	°C

ELECTRICAL CHARACTERISTICS

(V_{CC} = 5.0V, T_a = 25°C unless otherwise specified)

Characteristic	Symbol	Test Conditions	Min	Typ	Max	Unit
Operating Voltage Range	V_{CC}		4.75	5.0	9.0	V
Supply Current Quiescent	I_{CC}-1	R_L = 20K		7	10	mA
Supply Current Activated	I_{CC}-2	R_L = 20K		12	15	mA
Quiescent Power Dissipation	P_{OD}	R_L = 20K		35		mW
Highest Center Frequency	H_{FO}	R_L = 20K	100	500		KHz
Center Frequency Stability	F_{SE}	0°C to 70°C		± 60		ppm/°C
Center Frequency Shift With Supply Voltage	F_{CS}			0.7	2	%/V
Largest Detection Bandwidth	B.W		10	14	18	% of fo
Largest Detection B.W Skew	B.Ws			2	3	% of fo
Largest Detection Bandwidth Variation With Supply Voltage	B.Wv			± 2	±5	%/V
Largest Detection Bandwidth Variation With Temperature	B.Wt			±0.1		%/°C
Input Resistance	R_{IN}			20		Kohm
Smallest Detectable Input Voltage	V_{IN}-1	I_L = 100mA, fi = fo		20	25	mVrms
Largest No Output Input Voltage	V_{IN}-2		10	15		mVrms
Greatest Simultaneous Outband Signal To Inband Signal Ratio	S1/Sd	R_L = 20k, V_{IN} = 300mV_{RMS}, fi = fo = 100KHz		+ 6		dB
Minimum Input Signal to Wideband Noise Ratio	S2/Sd	f_{i_1} = 140KHz, f_{i_2} = 60KHz		− 6		dB
Fastest On-Off Cycling Rate	F_{OUT}	R_L = 20K		fo/20		
Output Leakage Current	I_{CO}	V_{IN} = 25mV_{RMS}		0.01	25	μA
Output Saturaton Voltage	V_{SAT}-1	I_L = 30mA, V_{IN} = 25mVrms		0.2	0.4	V
	V_{SAT}-2	I_L = 100mA, V_{IN} = 25mVrms		0.6	1.0	V
Output Fall Time	T_F	R_L = 50		30		nS
Output Rise Time	T_R	R_L = 50		150		nS

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CIRCUIT DESCRIPTION

The LM567C monolithic tone decoder consists of a phase detector, low pass filter, and current controlled oscillator which comprise the basic phase-locked loop, plus an additional low pass filter and quadrature detector enabling detection on in-band signals. The device has a normally high open collector output capable of sinking 100 mA.

The input signal is applied to Pin 3 (20 kΩ nominal input resistance). Free running frequency is controlled by an RC network at Pins 5 and 6 and can typically reach 500 kHz. A capacitor on Pin 1 serves as the output filter and eliminates out-of-band triggering. PLL filtering is accomplished with a capacitor on Pin 2; bandwidth and skew are also dependant upon the circuitry here. Bandwidth is adjustable from 0% to 14% of the center frequency. Pin 4 is $+V_{CC}$ (4.75 to 9V nominal, 10V maximum); Pin 7 is ground; and Pin 8 is open collector output, pulling low when an in-band signal triggers the device.

BLOCK DIAGRAM

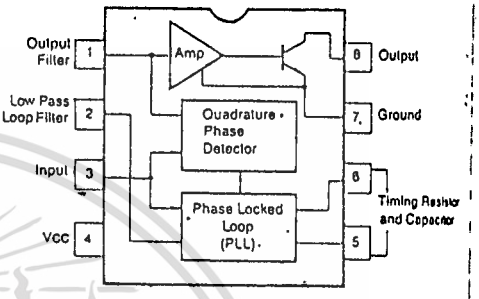


Fig. 1

DEFINITION OF LM567C PARAMETERS

CENTER FREQUENCY f_o

f_o is the free-running frequency of the C_t controlled oscillator with no input signal. It is determined by resistor R_t between pins 5 and 6, and capacitor C_t from pin 6 to ground f_o can be approximated by

$$f_o \approx \frac{1}{R_t C_t}$$

where R_t is in ohms and C_t is in farads.

LARGEST DETECTION BANDWIDTH

The largest detection bandwidth is the largest frequency range within which an input signal above the threshold voltage will cause a logical zero state at the output. The maximum detection bandwidth corresponds to the lock range of the PLL.

DETECTION BANDWIDTH (BW)

The detection bandwidth is the frequency range centered about f_o, within which an input signal larger than the threshold voltage (typically 20mVrms) will cause a logic zero state at the output. The detection bandwidth corresponds to the capture range of the PLL and is determined by the low-pass bandwidth filter. The bandwidth of the filter, as a percent of f_o, can be determined by the approximation

$$BW = 1070 \sqrt{\frac{V_i}{f_o C_2}}$$

where V_i is the input signal in volts, rms, and C_2 is the capacitance at pin 2 in μF.

DETECTION BAND SKEW

The detection band skew is a measure of how accurately the largest detection band is centered about the center frequency, f_o. It is defined as $(f_{max} + f_{min} - 2f_o)/f_o$, where f_{max} and f_{min} are the frequencies corresponding to the edges of the detection band. If necessary, the detection band skew can be reduced to zero by an optional centering adjustment.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PIN DESCRIPTION

OUTPUT FILTER — C_3 (Pin 1)

Capacitor C_3 connected from pin 1 to ground forms a simple low-pass post detection filter to eliminate spurious outputs due to out-of-band signals. The time constant of the filter can be expressed as $T_3 = R_3C_3$, where R_3 (4.7kΩ) is the internal impedance at pin 1.

The precise value of C_3 is not critical for most applications. To eliminate the possibility of false triggering by spurious signals, it is recommended that C_3 be $\geq 2\ C_2$, where C_2 is the loop filter capacitance at pin 2.

If the value of C_3 becomes too large, the turn-on or turn-off time of the output stage will be delayed until the voltage change across C_3 reaches the threshold voltage. In certain applications, the delay may be desirable as a means of suppressing spurious outputs. Conversely, if the value of C_3 is too small, the beat rate at the output of the quadrature detector may cause a false logic level change at the output. (Pin 8)

The average voltage (during lock) at pin 1 is a function of the inband input amplitude in accordance with the given transfer characteristic.

LOOP FILTER — C_2 (Pin 2)

Capacitor C_2 connected from pin 2 to ground serves as a single pole, low-pass filter for the PLL portion of the LM567C. The filter time constant is given by $T_2 = R_2C_2$, where R_2 (10 kΩ) is the impedance at pin 2.

The selection of C_2 is determined by the detection bandwidth requirements. For additional information see section one "Definition of LM567C Parameters".

The voltage at pin 2, the phase detector output, is a linear function of frequency over the range of 0.95 to 1.05 f_o, with a slope of approximately 20 mV/% frequency deviation.

INPUT (Pin 3)

The input signal is applied to pin 3 through a coupling capacitor. This terminal is internally biased at a dc level 2 volts above ground, and has an input impedance level of approximately 20 kΩ.

TIMING RESISTOR R_1 AND CAPACITOR C_1 (Pins 5 and 6)

The center frequency of the decoder is set by resistor R_1 between pins 5 and 6, and capacitor C_1 from pin 6 to ground, as shown in Figure 3.

Pin 5 is the oscillator squarewave output which has a magnitude of approximately V_{CC} — 1.4V and an average dc level of $V_{CC}/2$. A 1 kΩ load may be driven from this point. The voltage at pin 6 is an exponential triangle waveform with a peak-to-peak amplitude of 1 volt and an average dc level of $V_{CC}/2$. Only high impedance loads should be connected to pin 6 to avoid disturbing the temperature stability or duty cycle of the oscillator.

LOGIC OUTPUT (Pin 8)

Terminal 8 provides a binary logic output when an input signal is present within the pass-band of the decoder. The logic output is an uncommitted, "base-collector" power transistor capable of switching high current loads. The current level at the output is determined by an external load resistor, R_L, connected from pin 8 to the positive supply.

When an in-band signal is present, the output transistor at pin 8 saturates with a collector voltage less than 1 volt (typically 0.6V) at full rated current of 100 mA. If large output voltage swings are needed, R_L can be connected to a supply voltage, V+, higher than the V_{CC} supply. For safe operation, V+ $\leq$ 20 volts.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

OPERATING INSTRUCTIONS

SELECTION OF EXTERNAL COMPONENTS

A typical connection diagram for the LM567C is shown in Figure 3. For most applications, the following procedure will be sufficient for determination of the external components R_1, C_1, C_2, and C_3.

1. R_1 and C_1 should be selected for the desired center frequency by the expression $f_o = 1/R_1C_1$. For optimum temperature stability, R_1 should be selected such that 2kΩ, and the R_1C_1 product should have sufficient stability over the projected operating temperature range.
2. Low-pass capacitor, C_2, can be determined from the Bandwidth versus Input Signal Amplitude graph of Figure 7. One approach is to select an area of operation from the graph, and then adjust the input level and value of C_2 accordingly. Or, if the input amplitude variation is known, the required f_oC_2 product can be found to give the desired bandwidth. Constant bandwidth operation requires $V_i > 200$mV rms. Then, as noted on the graph, bandwidth will be controlled solely by the f_oC_2 product.
3. Capacitor C_3 sets the band edge of the low-pass filter which attenuates frequencies outside of the detection band and thereby eliminates spurious outputs. If C_3 is too small, frequencies adjacent to the detection band may switch the output stage off and on at the beat frequency, or the output may pulse off and on during the turn-on transient. a typical minimum value of C_3 is 2 C_2.

Conversely, if C_3 is too large, turn-on and turn-off of the output stage will be delayed until the voltage across C_3 passes the threshold value.

PRINCIPLE OF OPERATION

The LM567C is a frequency selective tone decoder system based on the phase-locked loop (PLL) principle. the system is comprised of a phase-locked loop, a quadrature AM detector, a voltage comparator, and an output logic driver. The four sections are internally interconnected as shown in Figure 1.

When an input tone is present within the pass-band of the circuit, the PLL synchronizes or "locks" on the input signal. The quadrature detector serves as a lock indicator: when the PLL is locked on an input signal, the dc voltage at the output of the detector is shifted. This dc level shift is then converted to an output logic pulse by the amplifier and logic driver. The logic driver is a "bare collector" transistor stage capable of switching 100 mA loads.

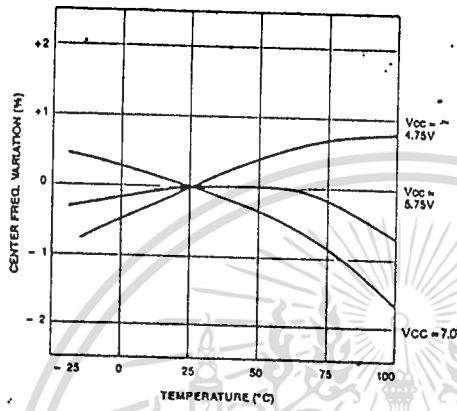
The logic output at pin 8 is normally in a "high" state, until a tone that is within the capture range of the decoder is present at the input. When the decoder is locked on an input signal, the logic output at pin 8 goes to a "low" state.

The center frequency of the detector is set by the free-running frequency of the current-controlled oscillator in the PLL. This free-running frequency, f_o, is determined by the selection of R_1 and C_1 connected to pins 5 and 6, as shown in Figure 3. The detection bandwidth is determined by the size of the PLL filter capacitor, C_2; and the output response speed is controlled by the output filter capacitor, C_3.

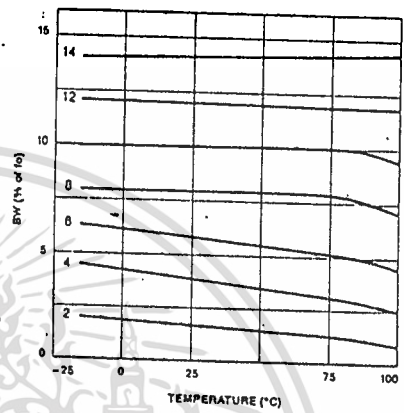
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPICAL CHARACTERISTICS

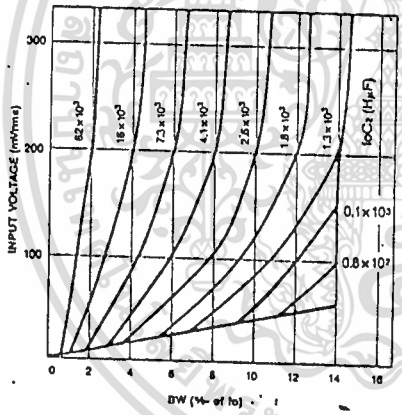
CENTER FREQ. VS TEMPERATURE



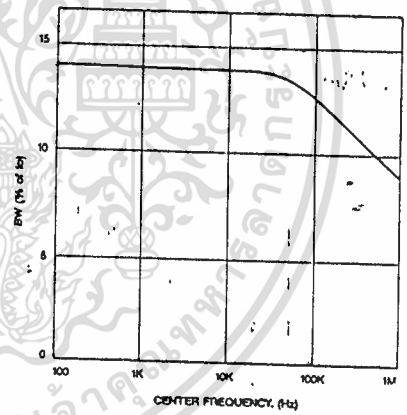
TYP. BW VS TEMPERATURE



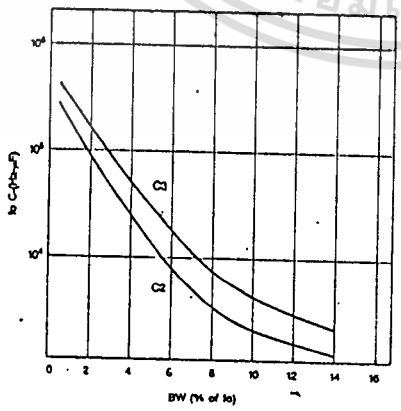
BW VS INPUT VOLTAGE.



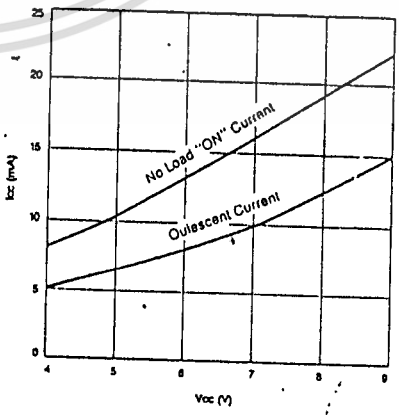
BW VS CENTER FREQUENCY



BW (C2, C3 CHARCT.)

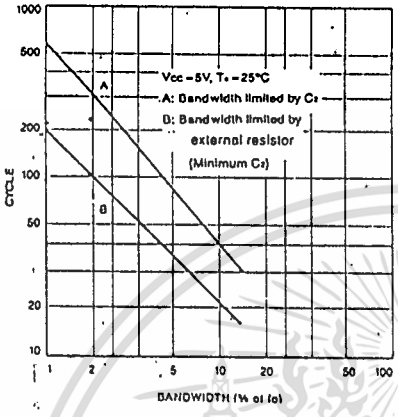


CURRENT DRAIN VS. VCC

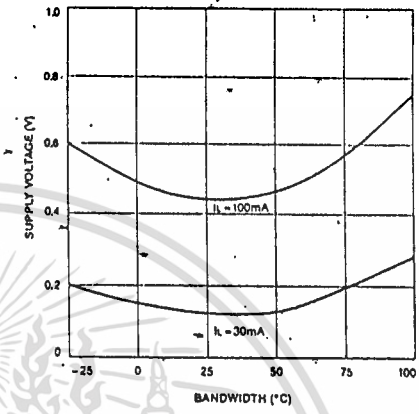


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

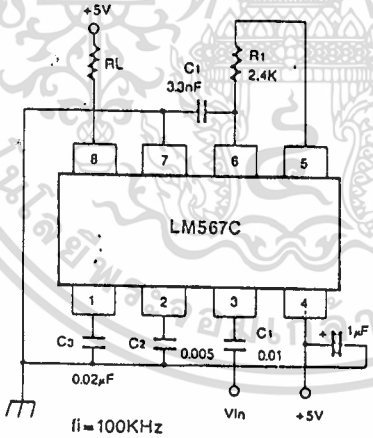
OPERATING CYCLE VS BANDWIDTH



OUTPUT SATURATION VOLTAGE VS AMBIENT TEMPERATURE



AC TEST CIRCUIT



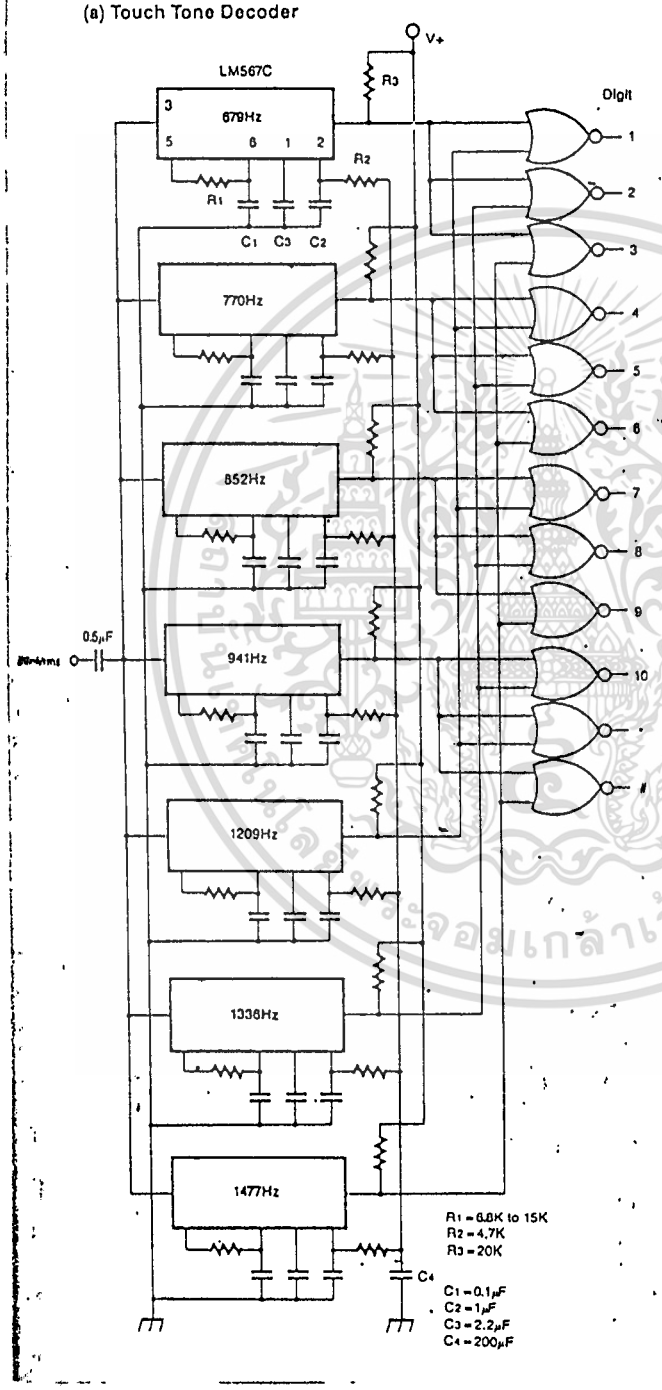
fi = 100KHz
Note: Adjust for fo = 100KHz

Fig. 2

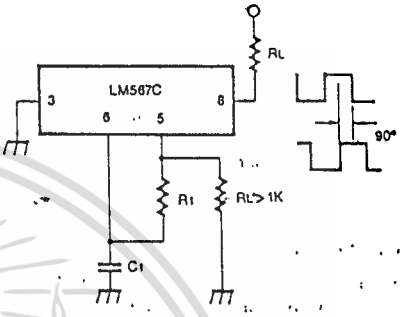
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

APPLICATION CIRCUIT

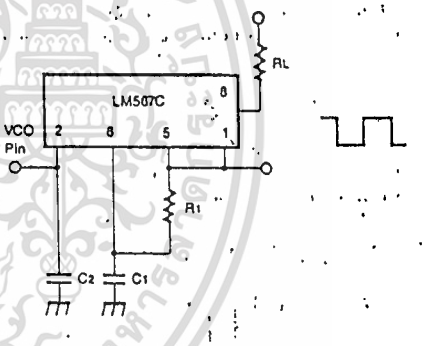
(a) Touch Tone Decoder



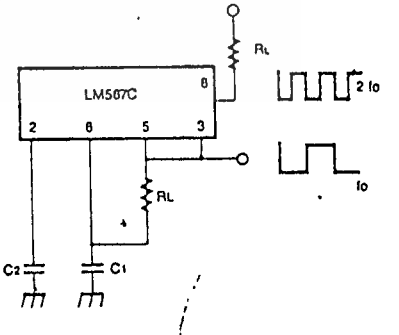
(b) 2-Phase Oscillator



(c) Variable Oscillator



(d) Frequency Doubler

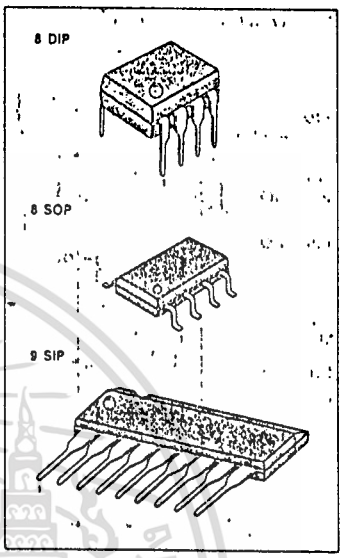


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC1458AC/MC1458C/MC1458I LINEAR INTERGRATED CIRCUIT

DUAL OPERATIONAL AMPLIFIERS

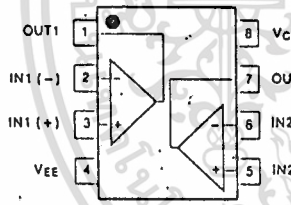
The MC1458 series is a dual general purpose operational amplifier. The MC1458 series is a short circuit protected and require no external components for frequency compensation.
High common mode voltage range and absence of "latch up" make the MC1458 ideal for use as voltage followers.
The high gain and wide range of operating voltage provides superior performance in intergrator, summing amplifier and general feedback applications.

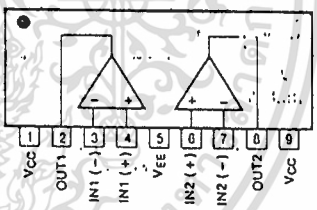


FEATURES

- Interal frequency compensation
- Short circuit protection
- Large common mode and differential voltage range
- No latch up
- Low power consumption

BLOCK DIAGRAM





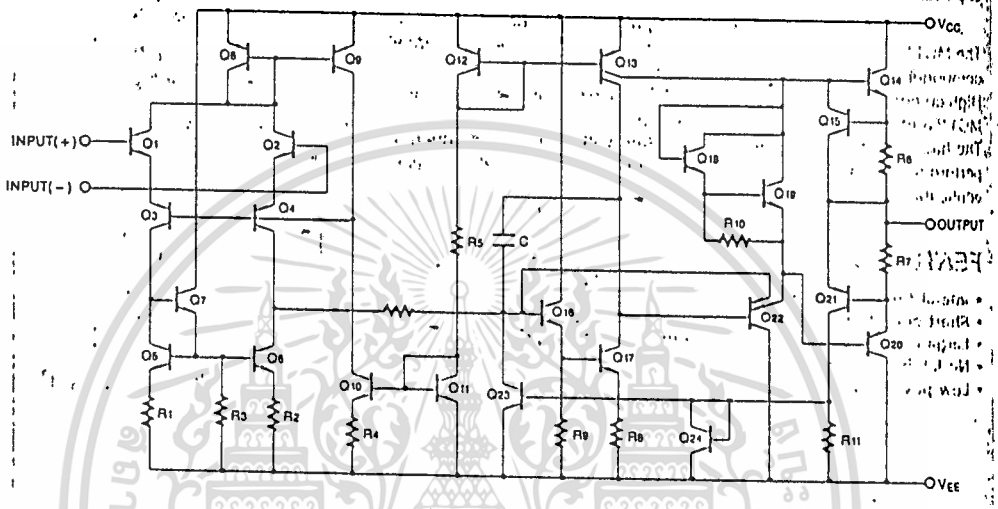
ORDERING INFORMATION

Device	Package	Operation Temperature
MC1458CN MC1458ACN	8 DIP	0 ~ +70°C
MC1458CS MC1458ACS	9 SIP	
MC1458CD MC1458ACD	8 SOP	
MC1458IN MC1458AIN	8 DIP	−25 ~ +85°C
MC1458IS MC1458AIS	9 SIP	
MC1458ID MC1458AID	8 SOP	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC1458AC/MC1458C/MC1458I LINEAR INTERGRATED CIRCUIT

SCHEMATIC DIAGRAM



ABSOLUTE MAXIMUM RATINGS

Characteristic	Symbol	Value	Unit
Power Supply Voltage	V_S	± 18	V
Input Differential Voltage	V_{ID}	± 30	V
Input Voltage	V_I	± 15	V
Operating Temperature Range MC1458I	T_{opr}	− 25 ~ + 85	°C
MC1458AC/C		0 ~ + 70	°C
Storage Temperature Range	T_{stg}	− 65 ~ + 150	°C

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS

(V_{CC} = +15V, V_{EE} = −15V, Ta = 25°C, unless otherwise specified)

Characteristic	Symbol	Test Conditions	MC1458/MC1458I			MC1458C			Unit
			Min	Typ	Max	Min	Typ	Max	
Input Offset Voltage	V_{IO}	$R_S \leq 10K\Omega$		2.0	6.0		2.0	10	mV
Input Offset Current	I_{IO}			20	200		20	300	nA
Input Bias Current	I_{IB}			80	500		80	700	nA
Large Signal Voltage Gain	A_V	$V_o = \pm 10V$, $R_L \geq 2.0K\Omega$	20	200		20	200		V/mV
Input Voltage Range	V_{ICR}		±12	±13		±11	±13		V
Input Resistance	R_I		0.3	1.0			1.0		MΩ
Common Mode Rejection Ratio	CMRR	$R_S \leq 10K\Omega$	70	90		60	90		dB
Power Supply Rejection Ratio	PSRR	$R_S \leq 10K\Omega$	77	90		77	90		dB
Supply Current (Both Amplifier)	I_S			2.3	5.6		2.3	8.0	mA
Output Voltage Swing	V_{OUT}	$R_L = 10K\Omega$	±12	±14		±11	±14		V
		$R_L = 2K\Omega$	±10	±13		±9	±13		
Output Short Circuit Current	I_{OS}			20			20		mA
Power Consumption	P_C	$V_o = 0V$		70	170		70	240	mA
Transient Response (Unity Gain)									
Rise Time	t_r	$V_I = 20mV$, $R_L \geq 2K\Omega$, $C_L \leq 100pF$		0.3			0.3		μs
Overshoot	OS	$V_I = 20mV$, $R_L \geq 2K\Omega$, $C_L \leq 100pF$		15			15		%
Slew Rate	SR	$V_I = 10V$, $R_L \geq 2K\Omega$, $C_L \leq 100pF$		0.5			0.5		V/μs

ELECTRICAL CHARACTERISTICS

(V_{CC} = +15V, V_{EE} = −15V, NOTE 1, unless otherwise specified)

Characteristic	Symbol	Test Conditions	MC1458/MC1458I			MC1458C			Unit
			Min	Typ	Max	Min	Typ	Max	
Input Offset Voltage	V_{IO}	$R_S \leq 10K\Omega$			7.5			12	mV
Input Offset Current	I_{IO}				300			400	nA
Input Bias Current	I_{IB}				800			1000	nA
Large Signal Voltage Gain	A_V	$V_o = \pm 10V$, $R_L \geq 2.0K$	15			15			V/mV
Common Mode Rejection Ratio	CMRR	$R_S \leq 10K$	70	90		70	90		dB
Power Supply Rejection Ratio	PSRR	$R_S \leq 10K$	77	90		77	90		dB
Output Voltage Swing	V_{OUT}	$R_L = 10K$	±12	±14		±11	±14		V
		$R_L = 2K$	±10	±13		±9	±13		
Input Voltage Range	V_{ICR}		±12			±12			V

NOTE 1
MC1458AC/C: $0 \leq Ta \leq 70°C$
MC1458I: $-25 \leq Ta \leq +85°C$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPICAL PERFORMANCE CHARACTERISTICS

Fig. 1 OPEN-LOOP VOLTAGE GAIN vs POWER SUPPLY VOLTAGES

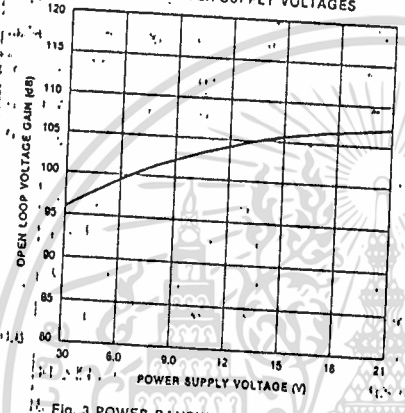


Fig. 2 OPEN-LOOP FREQUENCY RESPONSE

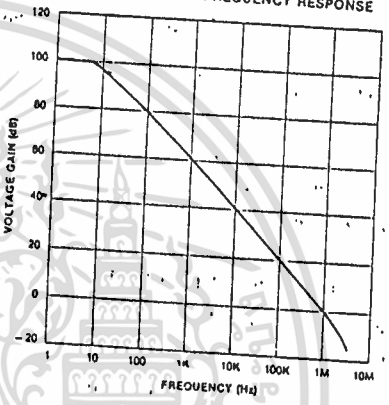


Fig. 3 POWER BANDWIDTH (LARGE SIGNAL SWING vs FREQUENCY)

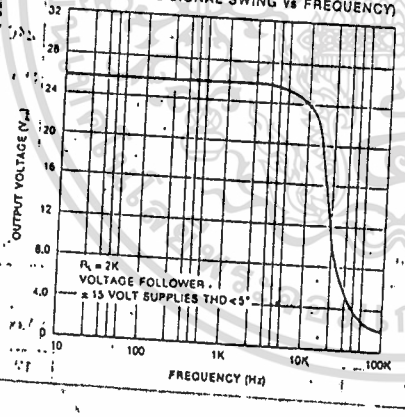
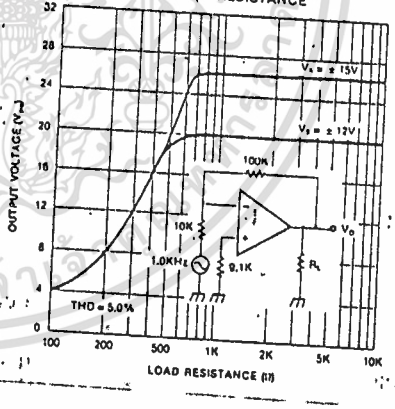


Fig. 4 OUTPUT VOLTAGE SWING vs LOAD RESISTANCE

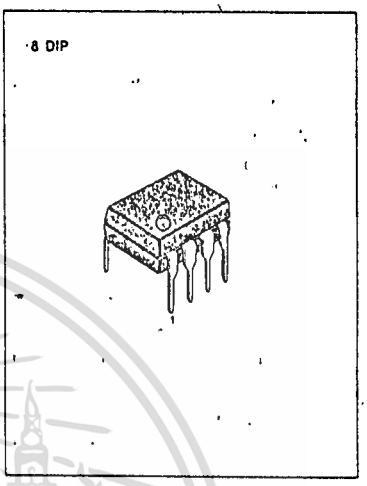


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

KA2410/KA2411 LINEAR INTEGRATED CIRCUIT

TONE RINGER

The KA2410/KA2411 is a bipolar integrated circuit designed for telephone bell replacement.



FUNCTIONS

- Two oscillators
- Output amplifier
- Power supply control circuit

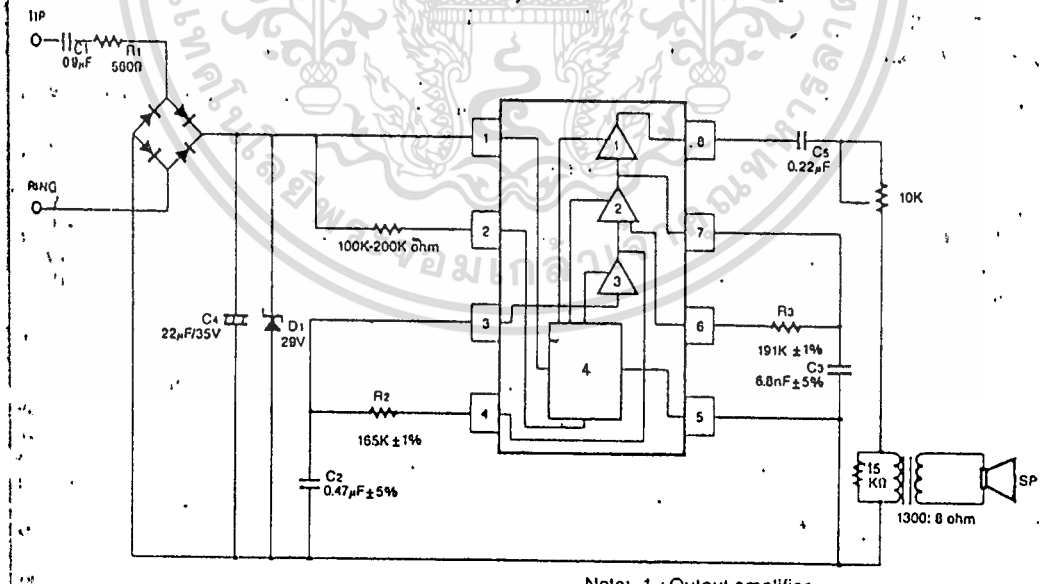
FEATURES

- Designed for telephone bell replacement
- Low current drain.
- Small size 'MINIDIP' package.
- Adjustable 2-frequency tone.
- Adjustable warbling rate.
- Built-in hysteresis prevents false triggering and rotary dial 'CHIRPS'
- Extension tone ringer modules
- Alarms or other alerting devices.
- External triggering or ringer disable (KA2410).
- Adjustable for reduced supply initiation current (KA2411)

ORDERING INFORMATION

Device	Operating Temperature.
KA2410N	−45 ~ +65°C
KA2411N	

APPLICATION CIRCUIT 1 (KA2410)



Note: 1. Output amplifier
2. High frequency oscillator
3. Low frequency oscillator
4. Hysteresis regulator

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ABSOLUTE MAXIMUM RATINGS (T_a = 25°C)

Characteristic	Symbol	Value	Unit
Supply Voltage	V_{CC}	30	V
Power Dissipation	P_D	400	mW
Operating Temperature	T_{opr}	−45 to 65	°C
Storage Temperature	T_{stg}	−65 to 150	°C

ELECTRICAL CHARACTERISTICS (T_a = 25°C)

(All voltage referenced to GND unless otherwise specified)

Characteristic	Symbol	Test Condition	Min	Typ	Max	Unit
Operating Supply Voltage	V_{CC}				29.0	V
Initiation Supply Voltage[1]	V_{SI}	See Fig. 2	17	19	21	V
Initiation Supply Current[1]	I_{SI}	KA2411-6.8K-Pin 2 to GND	1.4	2.5	4.2	mA
Sustaining Voltage[2]	V_{SUS}	See Fig. 2	9.7	11.0	12.0	V
Sustaining Current[2]	I_{SUS}	No Load $V_{CC}=V_{SUS}$, See Fig. 2	0.7	1.4	2.5	mA
Trigger Voltage[3]	V_{TR}	KA2410 Only V_{CC} = 15V	9.0	10.5	12.0	V
Trigger Current[3]	I_{TR}	KA2410 Only		20.0	1000[5]	μA
Disable Voltage[4]	V_{DIS}	KA2410 Only			0.5	V
Disable Current[4]	I_{DIS}	KA2410 Only	−40	−50		μA
Output Voltage High	V_{OH}	V_{CC} = 21V, I_o = −15mA Pin 6=6V, Pin 7=GND	17.0	19.0	21.0	V
Output Voltage Low	V_{OL}	V_{CC} = 21V, I_o = 15mA Pin 6=GND, Pin 7=6V			1.6	V
I_{IN} (Pin 3) I_{IN} (Pin 7)		Pin 3=6V, Pin 4=GND Pin 7=6V, Pin 6=GND	— —	— —	500 500	nA nA
High Frequency 1 High Frequency 2 Low Frequency	f_{H1} f_{H2} f_L	R_3 = 191K, C_3 = 6800pF R_3 = 191K, C_3 = 6800pF R_2 = 165K, C_2 = 0.47μF	461 576 9.0	512 640 10	563 704 11.0	Hz Hz Hz

• NOTE (see electrical characteristics sheet)

1. Initiation supply voltage (V_{SI}) is the supply voltage required to start the tone ringer oscillating.
2. Sustaining voltage (Vsus) is the supply voltage required to maintain oscillation.
3. V_{TR} and I_{TR} are the conditions applied to trigger in to start oscillation for $V_{SUS} \leqq V_{CC} \leqq V_{SI}$
4. V_{DIS} and I_{DIS} are the conditions applied to trigger in to inhibit oscillation for $V_{SI} \leqq V_{CC}$
5. Trigger current must be limited to this value externally.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CIRCUIT CURRENT-SUPPLY VOLTAGE (No Load)

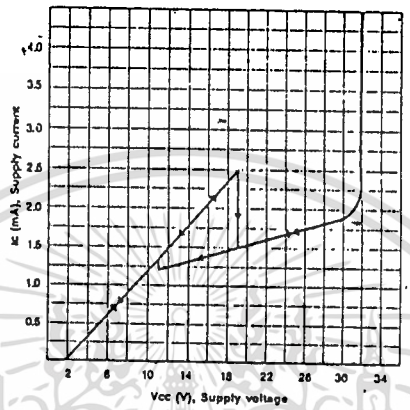


Fig. 2

APPLICATION NOTE

The application circuit illustrates the use of the KA2410/KA2411 devices in typical telephone or extension tone ringer application.

The AC ringer signal voltage appears across the TIP and RING inputs of the circuit and is attenuated by capacitor C_1 and resistor R_1.

C_1 also provides isolation from DC voltages (48V) on the exchange line.

After full wave rectification by the bridge diode, the waveform is filtered by capacitor C_4 to provide a DC supply for the tone ringer chip.

As this voltage exceeds the initiation voltage (V_{SI}),oscillation starts.

With the components shown, the output frequency chops between 512 (f_{H1}) and 640Hz (f_{H2}) at a 10Hz (f_L) rate.

The loudspeaker load is coupled through a 1300Ω to 8Ω transformer.

The output coupling capacitor C_5 is required with transformer coupled loads.

When driving a piezo-ceramic transducer type load, the coupling C_5 and transformer (1300Ω: 8Ω) are not required. However, a current limiting resistor is required.

The low frequency oscillator oscillates at a rate (f_L) controlled by an external resistor (R_2) and capacitor (C_2).

The frequency can be determined using the relation $f_L = 1/1.289\ R_2.\ C_2$. The high frequency oscillates at a f_{HI}, f_{H2} controlled by an external resistor (R_3) and capacitor (C_3). The frequency can be determined using the relation $f_{HI} = 1/1.504\ R_3.\ C_3$. $f_{H2} = 1/1.203\ R_3.\ C_3$.

Pin 2 of the KA2411 allows connection of an external resistor R_{SL}, which is used to program the slope of the supply current vs supply voltage characteristics (see Fig 4), and hence the supply current up to the initiation voltage (Vsi). This initiation voltage remains constant independent of R_{SL}.

The supply current drawn prior to triggering varies inversely with R_{SL}., decreasing for increasing value of resistance. Thus, increasing the value of R_{SL}, will decrease the amount of AC ringing current required to trigger the device. As such, longer sucribsor loops are possible since less voltage is dropped per unit length of loop wire due to the lower current level. R_{SL} can also be used to compensated for smaller AC coupling capacitors (C_5 on Fig 3) (higher impedance) to the line which can be used to alter the ringer equivalence number of a tone ringer circuit.

The graph in Fig. 4 illustrates the variation of supply current with supply voltage of the KA2411. Three curves are drawn to show the variation of initiation current with R_{SL}. Curve B (R_{SL} =6.8K) shows the I-V characteristic for the KA2411 tone ringer. Curve A is a plot with $R_{SL} < 6.8K\Omega$ and shows an increase in the current drawn up to the initiation voltage Vsi. The I-V characteristic after initiation remains unchanged. Curve C illurates the effect of increasing RSL above 6.8K initiation current decreases but again current after triggering is unchanged.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

APPLICATION CIRCUIT 2 (KA2411)

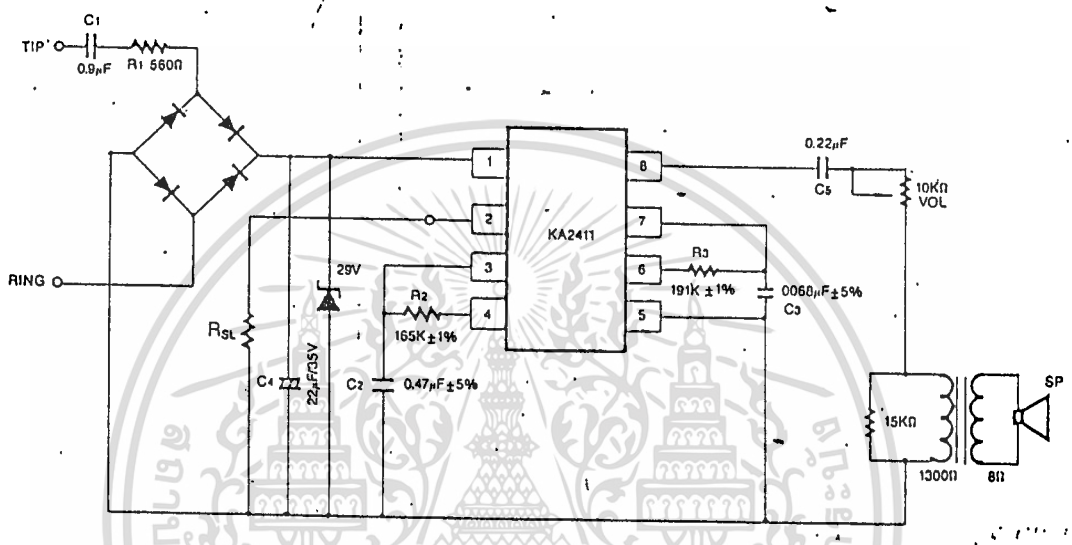
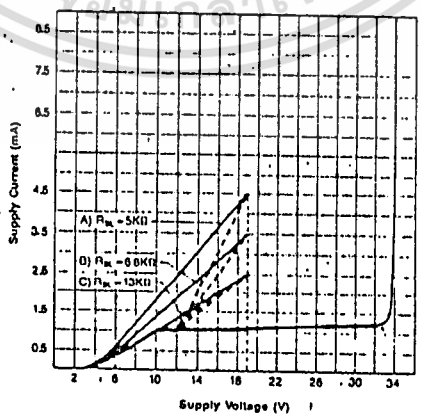


Fig. 3

LINEAR INTEGRATED CIRCUIT

KA2411 Supply Current (No Load) Vs. Supply Voltage



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

EQUIVALENT CIRCUIT
(Pin 2 Input)

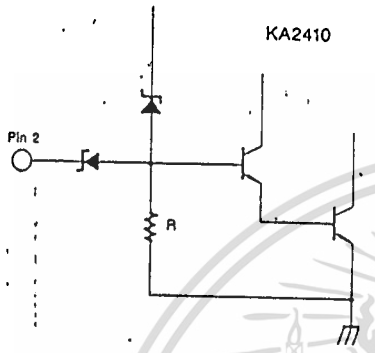


Fig. 5

INHIBITING OSCILLATION

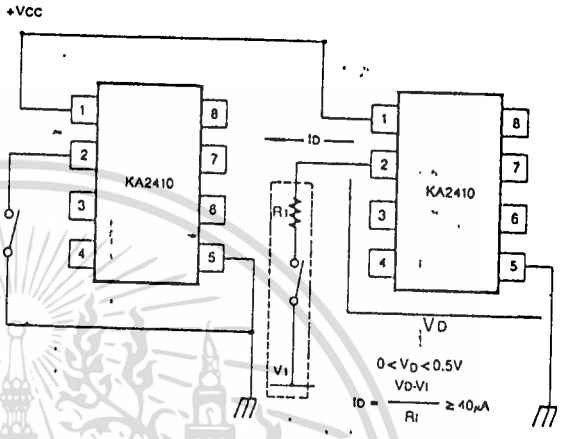


Fig. 6

PROGRAMMING THE KA2410 INITIATION SUPPLY VOLTAGE

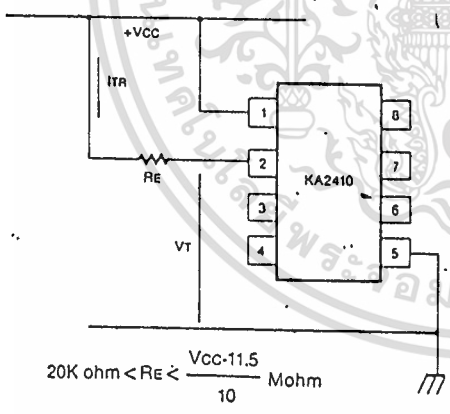


Fig. 7

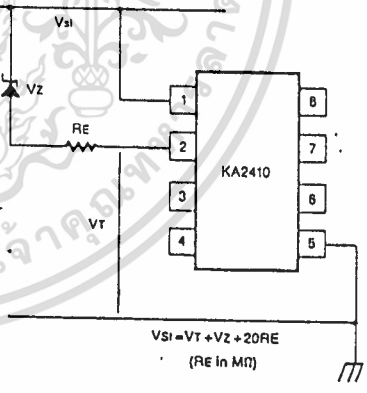


Fig. 8

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TRIGGERING KA2410 FROM CMOS OR TTL LOGIC

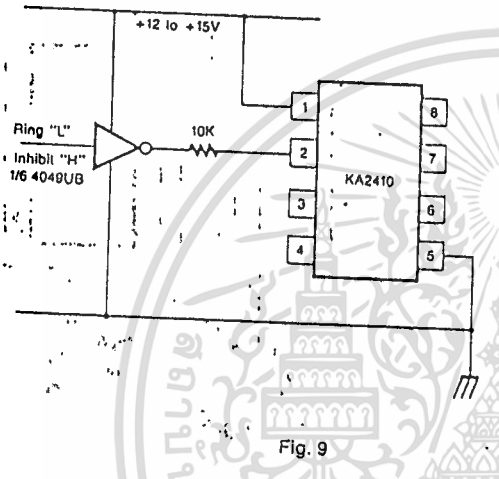


Fig. 9

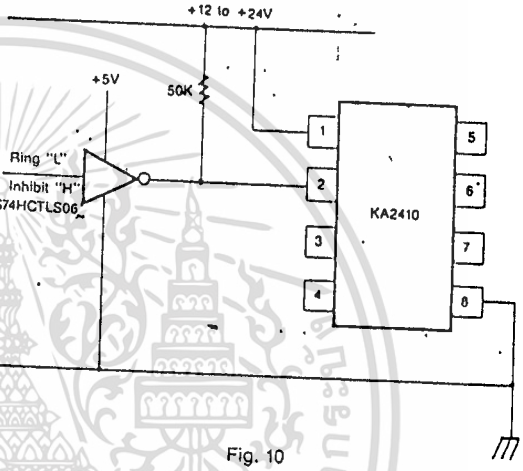


Fig. 10

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

RETRIGGERABLE MONOSTABLE MULTIVIBRATOR WITH CLEAR

54/74123
54/74123A

SPEED/PACKAGE AVAILABILITY

54 F,W 74 B,F

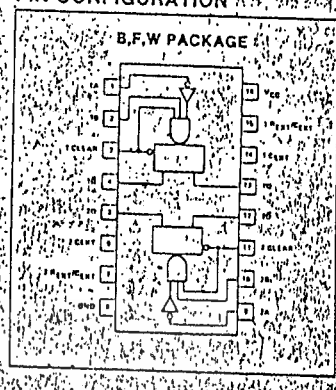
DESCRIPTION

These monolithic TTL retriggerable monostable multivibrators feature dc triggering from gated low-level-active (A) and high-level-active (B) inputs, and also provide overriding direct clear inputs. Complementary outputs are provided. A full fan-out to 10 normalized Series 54/74 loads is available from each of the outputs at the low logic level, and in the high-level state, a fan-out of 20 is available. The retrigger capability simplifies the generation of output pulses of extremely long duration. By triggering the input before the output pulse is terminated, the output pulse may be extended. The overriding clear capability permits any output pulse to be terminated at a predetermined time independently of the timing components R and C.

Figure A illustrates triggering the one-shot with the high-level-active (B) inputs.

PIN CONFIGURATION

B,F,W PACKAGE



SWITCHING CHARACTERISTICS V_{CC} = 5V, T_A = 25°C

TEST CONDITIONS			54/74 C_L = 15pF, R_L = 400Ω			
PARAMETER	FROM INPUT	TO OUTPUT	MIN	TYP	MAX	UNIT
$t_{w(min)}$						
t_w Width of pulse			C_{ext} = 1000pF, R_{ext} = 10KΩ			
			54/74123			
			3.08	3.42	3.76	μs
			54/74123A			
			2.76	3.03	3.37	
$t_{w(in)}$			40			ns
R_{ext} External timing resistance			(54) 5		25	kΩ
			(74) 5		50	
C_{ext} External timing			No restriction			μF
Wiring cap. at R_{ext}/C_{ext} terminal					50	pF
Propagation delay time			C_{ext} = 0, R_{ext} = 5kΩ			
t_{PLH} Low-to-high	Either A	Q		22	33	ns
t_{PHL} High-to-low	Either A	$\overline{Q}$		30	40	
t_{PLH} Low-to-high	Either B	Q		19	28	
t_{PHL} High-to-low	Either B	$\overline{Q}$		27	36	
t_{PLH} Low-to-high	Clear	$\overline{Q}$		30	40	
t_{PHL} High-to-low	Clear	Q		16	27	

Load circuit and typical waveforms are shown at the front of section.

54/74123: $t_w = 0.32\, R_T C_{ext} \left(1 + \frac{0.7}{R_T}\right)$

54/74123A: $t_w = 0.25\, R_T C_{ext} \left(1 + \frac{0.7}{R_T}\right)$

TRUTH TABLE

INPUTS		OUTPUTS	
A	B	Q	$\overline{Q}$
H	X	L	H
X	L	L	H
L	↑	⎍	⎍
↓	H	⎍	⎍

NOTES:
A. H = high level (steady state), L = low level (steady state), ↑ = transition from low to high level, ↓ = transition from high to low level, ⎍ = one high-level pulse, ⎎ = one low-level pulse, X = irrelevant (any input, including transitions).
B. NC = no internal connection.
C. To use the internal timing resistor of N74122 (10kΩ nominal), connect R_{INT} to V_{CC}.
D. An external timing capacitor may be connected between C_{ext} and R_{ext}/C_{ext} (positive).

TYPICAL CHARACTERISTICS

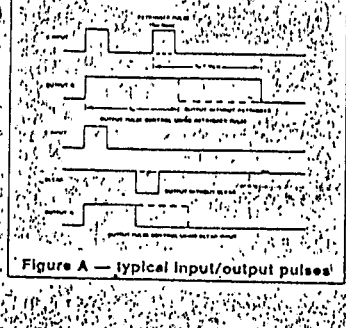


Figure A — typical input/output pulses

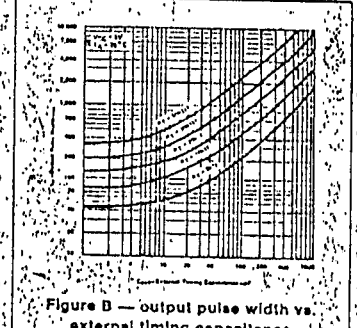


Figure B — output pulse width vs. external timing capacitance

†These values of resistance exceed the maximums recommended for use over the full temperature range of the 854122 and 854123.

NOTE:
When using electrolytic capacitor, insure that minimum rating is 20 volts so that 5% reverse voltage rating is 1.0 volt or greater.

เอกสารนี้ [illegible] ไม่ว่ากรณีใดๆ [illegible]

COMPONENT LISTS (Contd.)

Resistor

R_1 , R_2 , R_3 , R_{23}	20k
R_4 , R_{27} , R_{28} , R_{29}	1k
R_5 , R_8 , R_{19}	5k
R_6 , R_7	68
R_9 , R_{13} , R_{16} , R_{17}	600
R_{10}	4.7k
R_{11} , R_{12} , R_{15} , R_{26}	10k
R_{14}	6.8k
R_{18}	560
R_{20}	120k
R_{21}	150k
R_{22}	180k
R_{24}	100k
R_{25}	1M

Potentiometor

RV_1 , RV_3 , RV_5 , RV_8 , RV_9	50k
RV_2 , RV_4 , RV_6	20k
RV_7	10k
RV_{10}	100k

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Capacitor

C_1, C_5, C_9, C_{19}	0.47 uF 50v.
C_2, C_6, C_{10}, C_{22}	0.1 uF 50v. เขียนผิด หรือไม่ผ่า = 10 ตัว
C_3, C_7, C_{11}	1 uF 50v.
C_4, C_8, C_{12}, C_{18}	2.2 uF 50v.
C_{13}, C_{14}	3.3 uF 50v Bipolar
C_{15}	0.1 uF or 0.68 uF 50v.
C_{16}, C_{17}	1 uF 250v.
C_{20}	0.22 uF 50v.
C_{21}	0.0068 uF 50v.
C_{23}	220 uF 16v.
C_{25}, C_{26}	2200 uF 16v.
C_{27}, C_{28}	220 uF 16 v.
C_{24}, C_{29}	470 uF 16v.

Transistor

TR_1, TR_2	25C 1061

Integrators

IC_1, IC_3	NE567N
IC_4	74LS02
IC_5	74LS74
IC_6	74LS00
IC_7	MC1458
IC_8	ML8204
IC_9	4093
IC_{10}	74Ls123
IC_{11}	7805

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Diode

D_1 , D_3	IN4001
D_2	LED (Light Emitting Diode)
D_4 , D_{11}	IN4007

Zener Diode

ZD_1	29v. or 30v. 1w.
ZD_2 , ZD_3	12v. 1w.

Relay

RL_1 , RL_2	12VDC 2 Contact

Transformer

T_1	Matching Transformer
T_2	Power Transformer 12-0-12 v.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หนังสืออ้างอิง

1. อ.นรินทร์ เนาวประทีป "ออป แอมป์", 26-28

2. SAMSUNG "Linear IC Data Book Vol.2", 278-285

3. วารสารคอมพิวเตอร์ อิเล็กทรอนิกส์เวิลด์ ฉบับที่ 129, 120-122

4. รศ.กฤษดา วิศวธีรานนท์ "ไอซีดิจิตอล" 98-101

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้