ปีการศึกษา 2533

การออกแบบและการสร้างวงจรรวมซีมอส

(DESIGN AND FABRICATION OF CMOS)

โดย

นายสุภชัย ตรีวิภานนท์ 301321

อาจารย์ที่ปรึกษา

อาจารย์สุรพันธุ์ เอื้อไพบูลย์

อาจารย์วิสุทธิ์ ฐิติรุ่งเรือง

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหาร ลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

028749

ปริญญานิพนธ์ปีการศึกษา 2533

ภาควิชาอิเลคทรอนิคส์

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหาร ลาดกระบัง

เรื่องการออกแบบและการสร้างวงจรรวมซีมอส

ผู้จัดทำ

นายสุภชัย ตรีวิภานนท์

.....อาจารย์ที่ปรึกษา
(.....)

.....อาจารย์ที่ปรึกษา
(นายวิสุทธิ์ รุติรุ่งเรือง.....)

028749

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

12 มี.ค. 2534

บทคัดย่อ

เทคโนโลยีของการออกแบบและสร้างวงจรรวม เป็นเทคโนโลยีชั้นสูง ที่ก่อให้เกิดความเจริญทางด้านต่าง ๆ ขึ้นมากมาย ในปัจจุบันสามารถสร้างวงจรรวมที่มีขนาดความจุของวงจรต่าง ๆถึง 50,000 ตัว โดยใช้สิ่งประดิษฐ์สารกึ่งตัวนำประเภทผลของสนามไฟฟ้าซึ่งต้องการพลังงานในขณะใช้งานต่ำ แต่มีประสิทธิภาพในการทำงานสูง

ในปริญญานิพนธ์ฉบับนี้จะได้กล่าวถึงโครงการระดับเริ่มต้นของเทคโนโลยี การออกแบบและการสร้างวงจรรวมแบบ CMOS โดยใช้เทคนิคการแพร่สารเจือและส่วนเกทเป็นโลหะ ผลของการทดลองให้ผลเป็นที่น่าพอใจ กล่าวคือได้กระบวนการสร้างวงจรรวมแบบ CMOS ที่เหมาะสม ซึ่งใช้กระจกต้นแบบ 6 ชิ้นโดยสามารถสร้าง MOS TRANSISTOR ที่มีขนาดความยาวของแชนแนลได้เล็กสุดราว 10 ไมครอน แรงดันขีดสุดมีค่าราว 1-2 โวลท์

หลังจากที่สร้างเสร็จแล้วก็นำ CMOS ที่ได้นี้มาทำการวัดคุณสมบัติต่าง ๆทางไฟฟ้าเพื่อวิเคราะห์ผลและหาข้อบกพร่องในด้านต่าง ๆ เพื่อที่จะนำไปพัฒนาและแก้ไขให้ได้ CMOS ที่มีประสิทธิภาพดียิ่งขึ้นต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

หน้า

บทนำ.....1

บทที่ 1 ทฤษฎี.....4

1.1 มอสทรานซิสเตอร์.....4

1.2 หลักการให้ไบอัส.....7

1.3 ความสัมพันธ์ระหว่างกระแสและแรงดันของมอสทรานซิสเตอร์.....8

1.4 แรงดันขีดสุด.....13

1.5 CMOS.....14

บทที่ 2 การออกแบบ.....16

2.1 การออกแบบวงจร Inverter.....16

2.2 การออกแบบ CMOS NAND Gate.....24

2.3 การออกแบบ CMOS NOR Gate.....27

2.4 แบบลวดลายมอสทรานซิสเตอร์.....29

2.4.1 แบบลวดลายของ nMOS และ pMOS.....29

2.4.2 แบบลวดลายของ CMOS Inverter.....30

2.4.3 แบบลวดลายของ CMOS NAND Gate.....31

2.4.4 แบบลวดลายของ CMOS NOR Gate.....31

2.5 การตัดลวดลายต้นแบบและการถ่ายย่อเพื่อสร้างกระจกต้นแบบ.....32

บทที่ 3 กระบวนการสร้าง.....35

บทที่ 4 การทดลองและผลการทดลอง.....53

4.1 การวัดคุณสมบัติของ PMOS และ NMOS Transistor.....53

4.1.1 คุณสมบัติ Breakdown ของรอยต่อ pn.....53

4.1.2 การหาค่าแรงดันวิกฤต (Threshold Voltage).....54

4.1.3 การหา I-V Characteristic.....56

4.2 การวัดคุณสมบัติของ CMOS Inverter.....58

4.3 การวัดคุณสมบัติของ CMOS NAND Inverter.....62

4.4 การวัดคุณสมบัติของ CMOS NOR Inverter.....65

บทที่ 5 สรุปและวิจารณ์ผลการทดลอง.....67

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ.....69
เอกสารอ้างอิง.....70

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทนำ

การพัฒนาไอซีถูกกระทำทั้งเทคโนโลยีของ MOS และของ Bipolar ซึ่งต่างก็มีข้อดี ข้อเสียที่แตกต่างกัน เช่น เทคโนโลยีของไบโพล่าร์จะทำให้ได้วงจรรวมที่มีความเร็วสูง แต่มีขนาดใหญ่ ส่วนเทคโนโลยีของมอสเหมาะสำหรับการสร้างวงจรรวม ที่มีจำนวนชิ้นส่วนมาก ๆ เช่น พวกวงจรรวมแบบ LSI และ VLSI อย่างไรก็ดีสำหรับวงจรของ nMOS ก็สามารถให้อัตราเร็วของการทำงานที่สูงเป็นที่น่าพอใจ ดังนั้นสำหรับวงจรรวมขนาดใหญ่ (LSI) และขนาดใหญ่มาก (VLSI) เทคโนโลยีของ MOS จึงมีความเหมาะสมมากที่สุด

เทคโนโลยีของ VLSI หมายถึง เทคโนโลยีที่ใช้สำหรับกระบวนการออกแบบ และ สร้างวงจรรวมขนาดใหญ่มาก หรือ VLSI ซึ่งก็คือ เทคโนโลยีของ MOS นั่นเอง ชิ้นส่วนอิเลคทรอนิคส์หลักที่อยู่ในชิพของวงจรรวมแบบนี้ ได้แก่ ทรานซิสเตอร์แบบ MOS ซึ่งอาจจะเป็นทรานซิสเตอร์แบบ MOS ชนิด เอ็นแชนแนล (nMOS), พีแชนแนล (pMOS) หรือ มีทั้ง 2 ชนิดรวมกัน (Complementary ; CMOS) ก็ได้

ขนาดของวงจรรวม

ทรานซิสเตอร์ตัวแรกซึ่งทำมาจากสารกึ่งตัวนำ นับเป็นต้นกำเนิดของศักราชอุปกรณ์สารกึ่งตัวนำ ซึ่งเริ่มจากธาตุเยอรมันเนียม และต่อมาไม่นานนักซิลิกอนก็เข้ามาแทนที่เยอรมันเนียม ซึ่งช่วงนี้เองทำให้เกิดเทคโนโลยีของไอซีขึ้นได้ โดยที่ชิ้นส่วนอิเลคทรอนิคส์ต่าง ๆ เช่น ตัวความต้านทาน, ตัวเก็บประจุไฟฟ้า, ไดโอด และทรานซิสเตอร์ จำนวนมากมายจะถูกสร้างขึ้นบนชิ้นของผลึกซิลิกอนชิ้นเล็ก ๆ และต่อภายในร่วมกันเป็นวงจรอิเลคทรอนิคส์ ซึ่งเราเรียกชิ้นสารนี้ว่า ชิพ (Chip) หรือ ไอซี (IC) โดยย่อมาจากคำว่า Integrated Circuits หรือ ที่เราเรียกในภาษาไทยว่า "วงจรรวม" เราอาจจำแนกไอซี หรือ วงจรรวมออกเป็นกลุ่มตามขนาดความจุของจำนวนชิ้นส่วนที่รวมอยู่ในชิพได้ดังนี้ คือ

1. วงจรรวมขนาดเล็ก (Small Scale Integrations) หรือเขียนย่อ ๆ ว่า SSI ได้แก่ ไอซีที่มีจำนวนทรานซิสเตอร์ไม่เกิน 100 ตัว เช่น ไอซีประเภทเกทต่าง ๆ

2. วงจรรวมขนาดกลาง (Medium Scale Integrations) หรือเขียนย่อ ๆ ว่า MSI ได้แก่ ไอซีที่มีจำนวนทรานซิสเตอร์ ประมาณ 100-1,000 ตัว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ในเชิงพาณิชย์ ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เช่น พวกไอซีเคาน์เตอร์ , มัลติเพลกเซอร์ และ แอดเดอร์ เป็นต้น

3.วงจรรวมขนาดใหญ่ (Large Scale Integrations) หรือเขียนย่อ ๆ ว่า LSI ได้แก่ ไอซีที่มีจำนวนทรานซิสเตอร์ ประมาณ 1,000-2,0000 ตัว เช่น พวกไมโครโปรเซสเซอร์ขนาด 8 บิท รอม (ROM) และ (RAM) เป็นต้น

4.วงจรรวมขนาดใหญ่มาก (Very Large Scale Integratuons) หรือเขียนย่อๆ ว่า VLSI ได้แก่ ไอซีที่มีจำนวนทรานซิสเตอร์ ประมาณ 20,000-50,000 ตัว เช่น พวกไมโครโปรเซสเซอร์ ขนาด 16 และ 32 บิท เป็นต้น

นอกจากนี้ยังมีการคาดว่าในอีกไม่กี่ปีข้างหน้านี้ ตัวโปรเซสเซอร์ชนิดพิเศษจะประกอบด้วยทรานซิสเตอร์ซึ่งมากกว่า 500,000 และเราอาจจะเรียกไอซีนี้ว่า ไอซีขนาดใหญ่ยิ่ง (Ultra Large Scale Integratuons) หรือเขียนย่อ ๆ ว่า ULSI และไอซีที่มีจำนวนทรานซิสเตอร์มากกว่า 1 ล้านตัวขึ้นไป อาจถูกเรียกว่า ไอซีขนาดยักษ์ (Giant Scale Integrations) หรือ เขียนย่อ ๆ ว่า GSI

<u>รายละเอียดของกระบวนการผลิต</u>

ก.กระบวนการออกแบบ (Circuit Design)

เป็นกระบวนการเริ่มต้นที่สำคัญยิ่งในการผลิตวงจรรวม โดยเริ่มจากการกำหนดคุณสมบัติจำเพาะของวงจรที่จะผลิต แล้วทำการออกแบบลวดลายของวงจร นั้นเพื่อจัดทำเป็นลวดลายต้นแบบ หรือที่เรียกว่า Photo mask เมื่อได้ลวดลายของวงจรแล้วก็นำไปทำเป็นกระจกต้นแบบ โดยการถ่ายย่อลวดลายนั้นลงบนฟิล์มกระจก หรือ บางกรณีที่ใช้ระบบคอมพิวเตอร์เข้ามาช่วย (CAD : Computer Aid Design) ก็สามารถเก็บข้อมูลของลวดลายต้นแบบไว้ในเทปแม่เหล็ก แล้วจึงนำข้อมูลที่ได้นี้ไปใช้

ข. กระบวนการผลิตหน้ากาก (Mask)

โดยปกติ ลวดลายของวงจรที่ถูกจัดทำขึ้น จะถูกนำไปถ่ายย่อลงบนฟิล์มกระจก เท่าขนาดจริงของวงจรรวม จะทำให้ได้กระจกต้นแบบ หรือ หน้ากาก นอกจากนี้แล้วในปัจจุบันยังสามารถใช้เทคนิคของการฉายลำอิเลคตรอนเข้ามาช่วยได้อีกด้วย

ค. กระบวนการปลูกผลึก และ เตรียมแผ่นผลึก

ในการเตรียมการปลูกผลึก ซิลิกอนบริสุทธิ์ที่สกัดได้จะถูกนำมาหลอมละลาย แล้วทำการปลูกผลึก ด้วยกรรมวิธีการปลูกผลึกรูปเดี่ยว ในที่สุด จะทำให้ได้ผลึกรูปเดี่ยว แท่งผลึกที่ได้นี้จะถูกนำไปตัดออกเป็นแผ่นบาง ๆ มีความหนาขนาด 200 - 400 ไมครอน

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แล้วจึงทำการขัดผิวหน้าด้วยผงขัดจนกระทั่งขึ้นเงา พร้อมที่จะนำไปผ่านกระบวนการสร้างวงจรรวมต่อไป

ง. กระบวนการสร้างบนแผ่นผลึก

กระบวนการสร้างจะมีรายละเอียดต่างๆ มากมาย และแตกต่างกันไปบ้างแล้วแต่ชนิดของวงจรรวม และเทคโนโลยีที่ใช้ อย่างไรก็ดีสำหรับกระบวนการมาตรฐานทั่วไป มีเทคนิคที่สำคัญ ๆ ดังนี้ คือ

-กระบวนการออกซิเดชั่น เพื่อสร้างชั้นออกไซด์ ซึ่งจะทำหน้าที่เป็นฉนวนไฟฟ้า หรือ เป็นไดอิเลคตริกได้

-กระบวนการแพร่อะตอมสารเจือ เพื่อเป็นการแพร่อะตอมสารเจือชนิดตรงข้ามเข้าไปในแผ่นผลึกซิลิกอน

-กระบวนการโฟโตลิโทกราฟี เป็นกระบวนการที่ใช้เทคนิคของการถ่ายภาพมาช่วยในการเปิดช่องออกไซด์ เพื่อการแพร่อะตอมสารเจือเข้าไปในบริเวณที่ต้องการ

-กระบวนการเมตัลไลเซชั่น เป็นการต่อส่วนต่าง ๆ ของอุปกรณ์เข้าด้วยกัน ตามโครงสร้างที่ได้ออกแบบไว้

จ. กระบวนการประกอบไอซี

กระบวนการนี้ จะเริ่มจากการนำแผ่นผลึกที่สร้างวงจรรวมเสร็จแล้วมาทำการตัดแยกออกเป็นชิ้น ๆ แต่ละชิ้นเรียกว่า ชิพ (Chip) โดยใช้เข็มเพชร หรือเลื่อย หรือใช้แสงเลเซอร์ช่วยในการตัด ชิ้นของวงจรรวมที่ได้จะถูกนำไปติดตั้งบนตัวถังซึ่งมีหลายชนิดตามความเหมาะสม แล้วจึงถูกต่อเชื่อมด้วยลวดทองคำ หรือ อะลูมิเนียมเข้ากับขาโลหะของตัวถัง (Case) จากนั้นจะถูกปิดผลึกเพื่อป้องกันฝุ่น และ ความชื้น แล้วจึงถูกนำไปตรวจสอบคุณสมบัติทางไฟฟ้าขั้นสุดท้ายต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1 ทฤษฎี

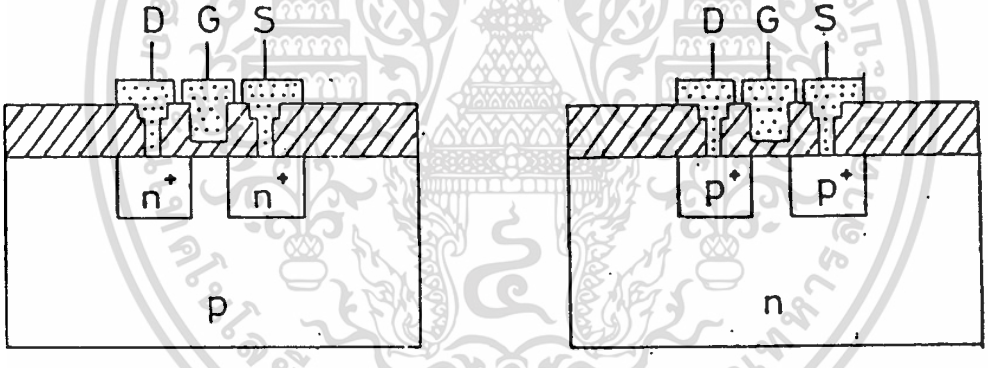
1.1 มอสทรานซิสเตอร์ (MOS Transistor)

มอสทรานซิสเตอร์ เป็นสิ่งประดิษฐ์สารกึ่งตัวนำชนิดหนึ่งในตระกูลของสิ่งประดิษฐ์สารกึ่งตัวนำประเภทผลของสนามไฟฟ้า (Field Effect devices) ซึ่งมีลักษณะเด่นคือ มีความต้องการพลังงานในขณะใช้งานต่ำ แต่มีประสิทธิภาพในการทำงานสูง เมื่อเทียบกับสิ่งประดิษฐ์สารกึ่งตัวนำประเภทอื่น ๆ ที่มีลักษณะการใช้งานเช่นเดียวกัน จึงทำให้มอสทรานซิสเตอร์เป็นที่นิยมใช้กันทั่วไป

มอสทรานซิสเตอร์ จะมีโหมดการทำงานอยู่ 2 แบบ คือ

1. Enhancement Mode เป็นมอสทรานซิสเตอร์ที่จะต้องมีการเหนี่ยวนำช่องทางนำกระแส (Channel) ขึ้นมาจากแรงดันไบอัสที่ส่วนเกท

2. Depletion Mode เป็นมอสทรานซิสเตอร์ที่มีช่องทางนำกระแสอยู่ก่อนแล้วจากกระบวนการสร้าง การไบอัสที่ส่วนเกทจะเป็นการเพิ่มหรือลดขนาดของช่องทางนำกระแส



ก. เอ็นมอสทรานซิสเตอร์ ข. พีมอสทรานซิสเตอร์

รูปที่ 1.1 แสดงโครงสร้างภาคตัดขวางของมอสทรานซิสเตอร์

ภาพตัดขวางแสดงโครงสร้างของมอสทรานซิสเตอร์ทั่วๆไป แสดงดังรูปที่ 1.1 ซึ่งประกอบด้วยส่วนสำคัญ 3 ส่วน คือ ส่วนเดรน ,ส่วนเกท และ ส่วนซอส โดยแต่ละส่วนมีหน้าที่ และคุณสมบัติแตกต่างกัน ดังนี้

1. ส่วนซอส เป็นบริเวณของสารกึ่งตัวนำที่ต่างชนิดกับฐานรอง (Substrate) ทำหน้าที่เป็นแหล่งจ่ายประจุพาหะ ที่ทำให้เกิดกระแสไฟฟ้าในมอสทรานซิสเตอร์

2. ส่วนเดรน เป็นอีกบริเวณหนึ่งที่เป็นสารกึ่งตัวนำต่างชนิดกับฐานรอง แต่เป็นสารกึ่งตัวนำชนิดเดียวกับส่วนซอส ทำหน้าที่เป็นทางออกไปสู่วงจรภายนอก ของประจุที่มาจากส่วนซอส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3. ส่วนเกท เป็นบริเวณที่เชื่อมส่วนซอส กับส่วนเดรน มีโครงสร้างทั่วๆไปประกอบด้วย ชั้นบนสุดเป็นโลหะ (Metal) ตัวนำ ชั้นรองลงมาจะเป็นพวกฉนวน ได้แก่ ออกไซด์ (Oxide)ของสารกึ่งตัวนำ และชั้นล่างสุดเป็นสารกึ่งตัวนำ (Semiconductor) ซึ่งใช้เป็นฐานรองด้วย หน้าที่ของส่วนเกทนี้ จะเป็นส่วนที่ควบคุมปริมาณการไหลของประจุพาหะที่เคลื่อนที่จาก ส่วนซอสไปยังส่วนเดรน ตามต้องการ

จะเห็นได้ว่า กระแสไหลผ่านส่วนเกทนี้ไปได้น้อยมาก เนื่องจากมีชั้นของฉนวนป้องกันอยู่ ดังนั้นในขณะใช้งานส่วนเกทจึงต้องการเพียง แหล่งจ่ายความต่างศักดาเท่านั้น ไม่ต้องการแหล่งจ่ายกระแสเลย จึงทำให้มอสทรานซิสเตอร์มีความต้องการพลังงานในขณะใช้งานต่ำ

เมื่อให้ไบอัสที่เหมาะสมกับส่วนต่างๆของมอสทรานซิสเตอร์แล้ว ประจุพาหะจากส่วนซอสจะเคลื่อนที่ผ่านช่องทางเดินกระแสในส่วนเกท (ที่ถูกเหนี่ยวนำให้เป็นสารกึ่งตัวนำชนิดเดียวกับส่วนซอส และส่วนเดรนแล้ว) ไปยังส่วนเดรน

ในโครงสร้างแบบมอสทรานซิสเตอร์ การเคลื่อนที่ของประจุพาหะจะเกิดจากสนามไฟฟ้าที่ตกคร่อมตลอดจากส่วนซอส ถึงส่วนเดรน ซึ่งเกิดมาจากความต่างศักดาไฟฟ้าของส่วนซอส และส่วนเดรน ดังนั้นกระแสนี้จึงเป็นกระแสดริฟท์ (Drift Current) ซึ่งขึ้นอยู่กับขนาดของสนามไฟฟ้าที่ตกคร่อมนั้น โดยที่ขนาดของสนามไฟฟ้านี้จะขึ้นอยู่กับขนาดของความต่างศักดา และระยะห่างระหว่างส่วนเดรนและส่วนซอส กระแสดริฟท์ที่เกิดขึ้นนี้ประมาณว่าเกิดจากการเคลื่อนที่ของประจุพาหะส่วนมากเพียงชนิดเท่านั้นซึ่งอาจจะเป็นอิเลคตรอน หรือ โฮลก็ได้

ดังนั้นจึงสามารถแบ่งมอสทรานซิสเตอร์ได้ตามชนิดของประจุพาหะที่ทำให้เกิดกระแสได้โดย พิจารณาที่ชนิดของประจุพาหะที่ช่องทางเดินกระแส ในขณะที่เกิดกระแสดริฟท์ได้เป็น 2 ชนิด คือ

1. n-channel MOS transistor หรือ NMOS

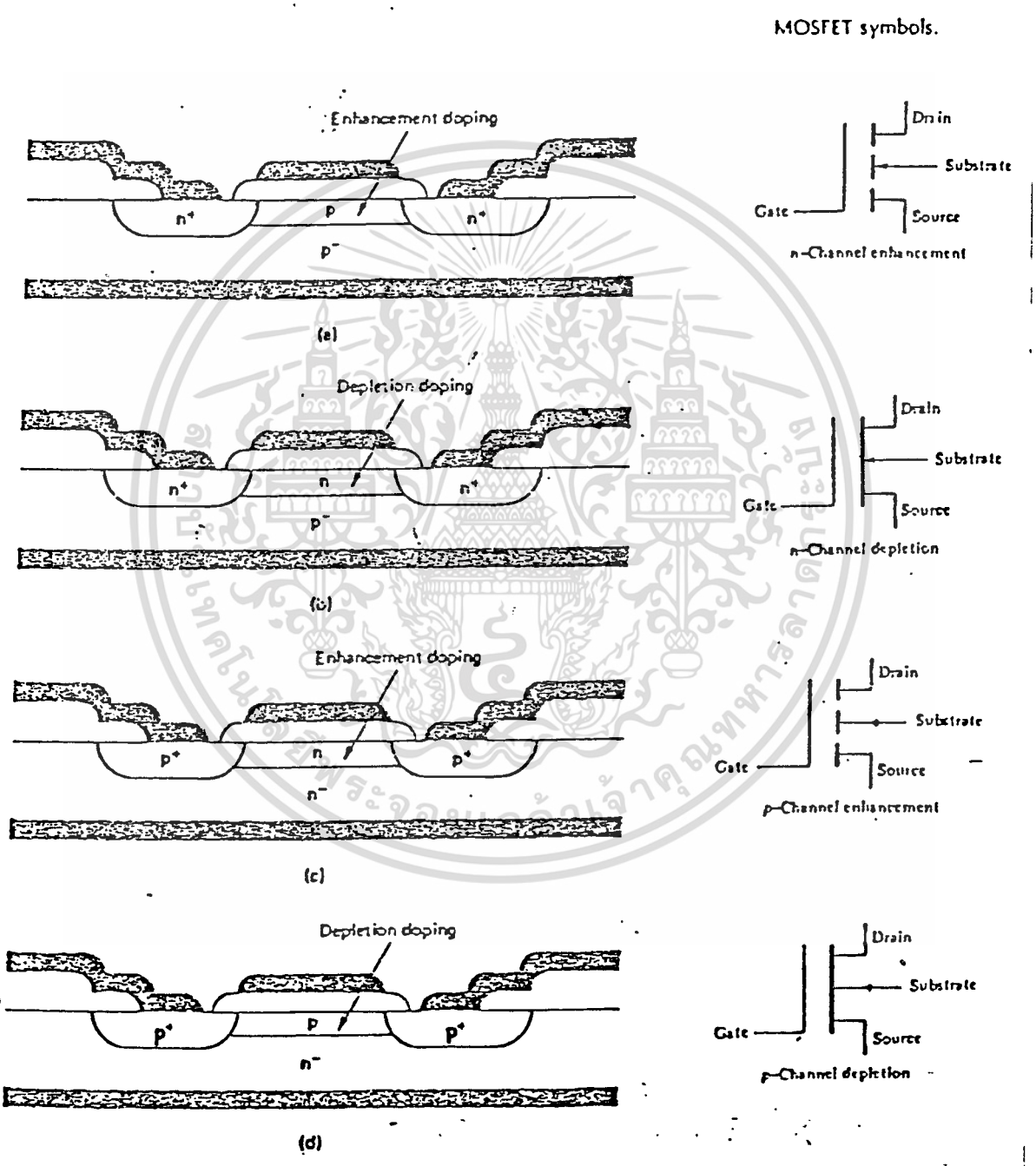
2. p-channel MOS transistor หรือ PMOS

อย่างไรก็ตาม ทั้งชนิด NMOS และ PMOS ยังสามารถแบ่งตามโหมดการทำงานได้เป็น 2 โหมด คือ

1. เอ็นฮานซ์เมนท์ โหมด (Enhancement Mode) หมายถึง MOS ที่สารกึ่งตัวนำบริเวณทางเดินกระแส มีคุณสมบัติเป็นสารกึ่งตัวนำต่างชนิดกับส่วนซอส และเดรน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2. ดีพลีชั่น โหมด (Depletion Mode) หมายถึง MOS ที่สารกึ่งตัวนำบริเวณช่องทางเดินกระแส มีคุณสมบัติเป็นสารกึ่งตัวนำชนิดเดียวกับ ส่วนซอส และส่วนเดรน

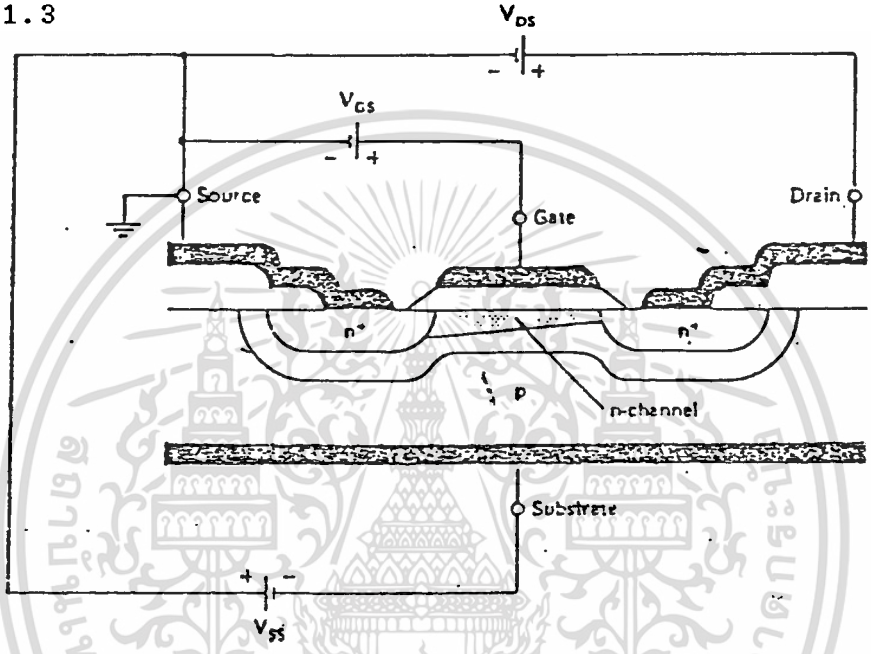


รูปที่ 1.2 แสดงลักษณะโครงสร้าง และสัญญลักษณ์ของ MOS Transistor

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.2 หลักการให้ไบอัส

การให้แรงดันที่เหมาะสม ระหว่างส่วนซอส กับส่วนเดรน คือการให้ศักดาไฟฟ้าแก่ส่วนซอส เมื่อเทียบกับส่วนเดรนแล้วส่วนซอสจะต้องเป็นแหล่งจ่ายประจุพาหะเสมอ ตัวอย่าง เช่น กรณี n-channel MOS transistor ซึ่งมีอิเลคตรอน หรือ ประจุลบเป็นประจุพาหะส่วนมากที่ทำให้เกิดกระแส ดังนั้นจะต้องให้ศักดาไฟฟ้าเป็นลบที่ส่วนซอสเมื่อเทียบกับส่วนเดรน เพื่อให้ส่วนซอสทำหน้าที่เป็นแหล่งจ่ายอิเลคตรอนนั่นเอง ดังแสดงในรูปที่ 1.3



รูปที่ 1.3 หลักการให้ไบอัส n-channel MOS Transistor

สำหรับส่วนเกท เราจะต้องให้ศักดาไฟฟ้า (เมื่อเทียบกับฐานรอง) ในลักษณะที่สามารถควบคุมการเปิด หรือ ปิดช่องทางเดินกระแสได้ โดยใช้การพิจารณาหลักการเดียวกับการให้ศักดาไฟฟ้าแก่ตัวเก็บประจุไฟฟ้า เช่น ในรูปที่ 1.3 เป็น n-channel enhancement mode MOS transistor ซึ่งโดยปกติถ้าไม่มีศักดาไฟฟ้าให้ที่ส่วนเกทก็จะยังไม่มีการเหนี่ยวนำให้เกิดช่องทางเดินกระแส ทำให้ส่วนเดรน และ ส่วนซอส แยกออกจากกันถึงแม้จะมีความต่างศักดาระหว่างส่วนเดรนกับส่วนซอส กระแส (I_{DS}) ก็ยังไม่สามารถจะไหลได้ ในกรณีนี้จะต้องให้ศักดาไฟฟ้าที่ส่วนเกทเป็นบวก เมื่อเทียบกับฐานรองเพื่อเหนี่ยวนำให้เกิดประจุลบในช่องทางเดินกระแส ซึ่งจะเป็นการควบคุมให้ช่องทางเดินกระแสมีคุณสมบัติเป็นสารกึ่งตัวนำชนิดเอ็น ได้มาก หรือ น้อยตามความต้องการ นั่นคือควบคุมการเปิด หรือ ปิด ช่องทางเดินกระแสนั่นเอง หรือในกรณีของ n-channel depletion mode MOS transistor ซึ่งโดยปกติ ขณะที่ไม่มีแรงดันไบอัสที่ส่วนเกทสารกึ่งตัวนำที่บริเวณช่องทางกระแสจะมีสภาพเป็นสารกึ่งตัวนำชนิดเอ็นอยู่ก่อนแล้ว มีการ

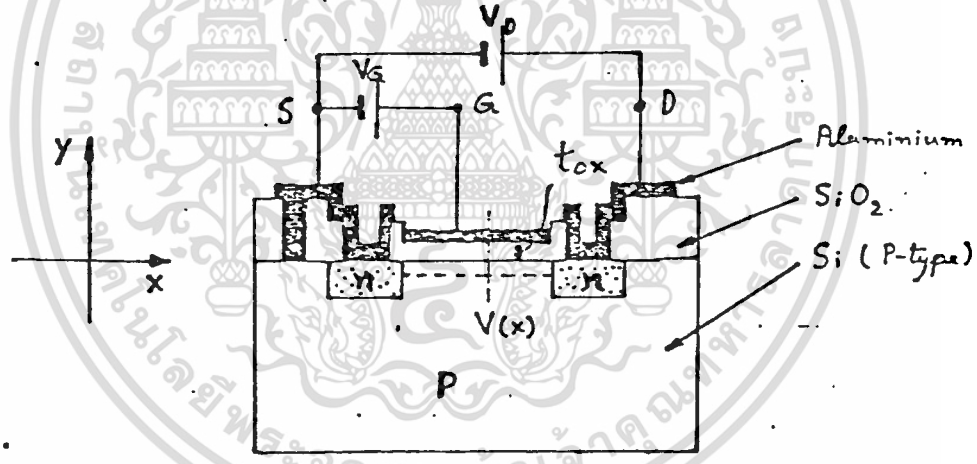
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เชื่อมต่อระหว่างส่วนเดรนกับส่วนซอสอยู่แล้ว เมื่อให้ความต่างศักดาระหว่างเดรนกับซอสเข้าไป จะทำให้กระแส I_{DS} ไหลได้ทันทีแม้จะยังไม่ให้ศักดาที่ส่วนเกท การควบคุมปริมาณการไหลของกระแส I_{DS} สามารถทำได้โดยการควบคุมการให้แรงดันไบอัสที่ส่วนเกทในลักษณะที่ทำให้เกิดการเปลี่ยนแปลงการสะสมประจุลบ หรือ อิเลคตรอน ที่ช่องทางเดินกระแส

ถ้าเป็นกรณีของ PMOS ก็พิจารณาได้ในทำนองเดียวกัน

1.3 ความสัมพันธ์ระหว่างกระแสและแรงดันของมอสทรานซิสเตอร์

การวิเคราะห์ความสัมพันธ์ระหว่างกระแส I_{DS} กับแรงดัน V_D ของมอสทรานซิสเตอร์ ในที่นี้จะขอพิจารณาในกรณีของ n-channel enhancement mode MOS transistor เป็นแนวทางให้เท่านั้น ซึ่งจะสามารถใช้หลักการเดียวกันนี้ในการพิจารณามอสทรานซิสเตอร์แบบอื่น ๆ ได้ด้วย ดังนี้



รูปที่ 1.4 การให้ไบอัสส่วนต่าง ๆ ของ MOSFET

จากรูปที่ 1.4 สมมติให้แรงดันไบอัสระหว่าง เดรนกับซอส เป็น V_D และแรงดันไบอัสที่ส่วนเกทเป็น V_G ถ้าให้แรงดันที่จุด x บนแนวของแชนแนลมีค่าเป็น V(x) ซึ่งก็คือ แรงดันที่เปลี่ยนแปลงในแนวแกน x จากส่วนซอส คือ V_S ถึงส่วนเดรน คือ V_D มีค่าแรงดันเป็น I_DR เมื่อ R คือความต้านทานของช่องทางเดินกระแส ดังนั้นแรงดันที่ตกคร่อมชั้นออกไซด์ที่จุด x นี้ก็คือ $V_G - V(x)$ และถ้าชั้นของออกไซด์นี้หนา t_{ox} ซึ่งหนามากกว่าความลึกของช่องทางเดินกระแสมาก ๆ จะได้ว่าสนามไฟฟ้าในชั้นออกไซด์ที่จุด x ก็คือ

$$\mathcal{E}(x) = [V_G - V(x)]/t_{ox} \quad \text{v/m} \qquad (1.1)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากกฎของเกาส์ จะหาความหนาแน่นของประจุที่ผิว(Surface charge; ρ_1) ซึ่งถูกเหนี่ยวนำมาช่องทางเดินกระแสที่ระยะ x ได้เป็น

$$\rho_1(x) = \varepsilon \mathcal{E}(x) \quad c/m^2$$

$$= \varepsilon_o \varepsilon_{ox} \mathcal{E}(x) \quad c/m^2$$

$$\rho_1(x) = \varepsilon_o \varepsilon_{ox} [V_G - V(x)]/t_{ox} \quad c/m^2 \qquad (1.2)$$

โดยที่ $_{ox}$ คือ Relative Permittivity ของชั้นออกไซด์ มีค่าคงที่เป็น 4

อย่างไรก็ตาม ประจุที่เกิดขึ้นนี้ จะยังไม่สามารถนำกระแสในแชนแนลได้ ทั้งนี้เนื่องจากขณะที่แรงดัน V_G มีค่าน้อย ๆ บริเวณผิวสัมผัสระหว่างออกไซด์กับสารกึ่งตัวนำฐานรอง จะเกิดเฉพาะบริเวณปลอดประจุพาหะขึ้น ยังไม่เกิดเป็นชั้นกลับ แต่ถ้าแรงดัน V_G มีค่ามากกว่า แรงดันขีดสุด V_T แล้วจะเกิดการเหนี่ยวนำให้เกิดชั้นกลับขึ้นได้ ซึ่งก็จะนำไฟฟ้าระหว่างส่วนเดรน กับส่วนซอสได้ทันที สมมติว่าความหนาแน่นของประจุพาหะที่เพิ่มขึ้นในช่องทางเดินกระแสซึ่งเป็นชั้นกลับมีค่าเป็น Δn แล้ว ดังนั้นจะได้ว่า

$$\rho_1(x) = q\Delta n \quad c/m^2 \qquad (1.3)$$

จากนิยามของ V_T จะได้ว่า

$$q\Delta n = \varepsilon_o \varepsilon_{ox} \{[V_G - V(x)] - V_T\}/t_{ox} \text{ เมื่อ } [V_G - V(x)] > V_T \qquad (1.4)$$

และ

$$q\Delta n = 0 \text{ เมื่อ } [V_G - V(x)] < V_T \qquad (1.5)$$

ถ้าให้ G(x) แทนค่าความนำไฟฟ้า ดังนั้น ค่าความนำไฟฟ้าของส่วนเล็ก ๆ ของช่องทางเดินกระแสซึ่งบางมาก ๆ ในช่วงความยาว dx และกว้าง w จะมีค่าเป็น

$$G(x) = \sigma(x) \frac{w}{dx} \qquad (1.6)$$

โดยที่ (x) คือ ความนำที่ผิวต่อหนึ่งหน่วยตารางเมตรของแชนแนล จะได้ว่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
028749

$$G(x) = q\Delta n\, \mu_n \frac{w}{dx}$$

$$= \frac{\varepsilon_o \varepsilon_{ox}}{t_{ox}} \mu_n \frac{w}{dx} \{[V_G - V(x)] - V_T\} \qquad (1.7)$$

โดยที่ μ_n คือ ความคล่องตัวของอิเลคตรอนในแชนแนล จากกฎของโอห์ม จะได้ว่า

$$I_{DS} = G(x).dV \qquad (1.8)$$

โดยที่ dV คือ แรงดันที่ตกคร่อมส่วนเล็ก ๆ ในแชนแนลซึ่งยาว dx ดังนั้น

$$I_{DS} = \frac{\varepsilon_o \varepsilon_{ox}}{t_{ox}} \mu_n \frac{w}{dx} \{[V_G - V(x)] - V_T\}dV \qquad (1.9)$$

เมื่อทำการอินทิเกรทตลอดแนวแท่งผลึกซึ่งยาว L และมีแรงดันตกคร่อมรวมทั้งหมดเป็น V_D และสมมติว่าค่าความต้านทานที่ไม่ต้องการซึ่งเกิดขึ้นที่ขั้วเดรนและซอส มีค่าน้อยมาก ๆ ดังนั้นจะได้ว่า

$$\int_o^L I_{DS} dx = \frac{\varepsilon_o \varepsilon_{ox}}{t_{ox}} \mu_n w \int_o^V \{[V_G - V(x)] - V_T\}dV$$

$$I_{DS} \cdot L = \frac{\varepsilon_o \varepsilon_{ox}}{t_{ox}} \mu_n w \{[V_G - V_T]V_D - V_D^2/2\}$$

หรือ

$$I_{DS} = \frac{\varepsilon_o \varepsilon_{ox}}{t_{ox}} \mu_n (w/L)\{[V_G - V_T]V_D - V_D^2/2\} \qquad (1.10)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สมการที่ (1.10) นี้เป็นสมการแสดงความสัมพันธ์ระหว่างกระแส I_{DS} กับแรงดัน V_D ที่ค่าแรงดัน $V_D <= (V_G - V_T)$ อย่างไรก็ตามจากสมการที่ (1.10) นี้ สามารถนำมาพิจารณาความสัมพันธ์ระหว่างกระแสและแรงดันในแต่ละกรณีของการทำงานของมอสทรานซิสเตอร์ ได้ดังนี้

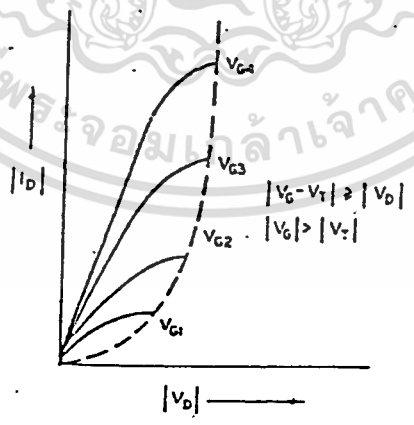
1.ในกรณีที่มอสทรานซิสเตอร์ทำงานในช่วงเชิงเส้น (Linear region) โดยพิจารณาว่า แรงดัน V_D มีค่าน้อย ๆ หรือ $(V_G - V_T) > V_D$ เพื่อให้เกิดช่องทางเดินกระแสเชื่อมต่อระหว่างส่วนซอสกับส่วนเดรน ดังนั้น

$$(V_G - V_T)V_D >> V^2_{D/2} \qquad (1.11)$$

ซึ่งจากสมการที่ (1.10) จะลดรูปได้เป็น

$$I_{DS} = \frac{\varepsilon_o \varepsilon_{ox}}{t_{OX}} \mu_n (W/L)[(V_G - V_T)V_D] \qquad (1.12)$$

จากสมการที่ (1.12) นี้จะเห็นได้ว่ากระแส I_{DS} แปรเป็นสัดส่วนโดยตรงกับแรงดัน V_D ที่ V_G คงที่ค่าหนึ่ง ๆ



รูปที่ 1.5 V-I Characteristic ในช่วง Linear

2.พิจารณาในกรณีที่มอสทรานซิสเตอร์ทำงานในช่วงอิ่มตัว (Saturation region) โดยพิจารณาว่า แรงดัน $V_D > (V_G - V_T)$ เพื่อให้แน่ใจว่าเกิดบริเวณปลอดประจุพาหะที่ช่องทางเดินกระแสตรงส่วนที่อยู่ติดกับส่วนเดรน ดังนั้นกระแส I_{DS} จะมี

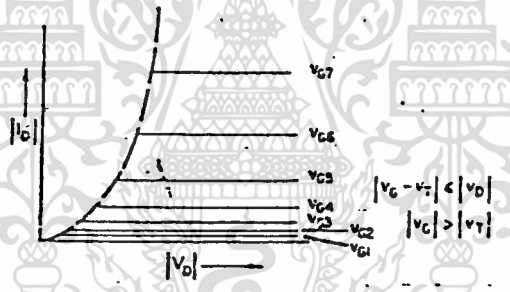
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริมาณคงที่ตลอด แม้ว่าแรงดัน V_D จะเพิ่มขึ้นอีกก็ตาม ซึ่งกระแส I_{DS} ที่คงที่นี้จะเริ่มคงที่ตั้งแต่ $V_D = (V_G - V_T)$ ดังนั้นกระแส I_{DS} ที่คงที่ในช่วงอิ่มตัวนี้จึงมีค่าเป็น

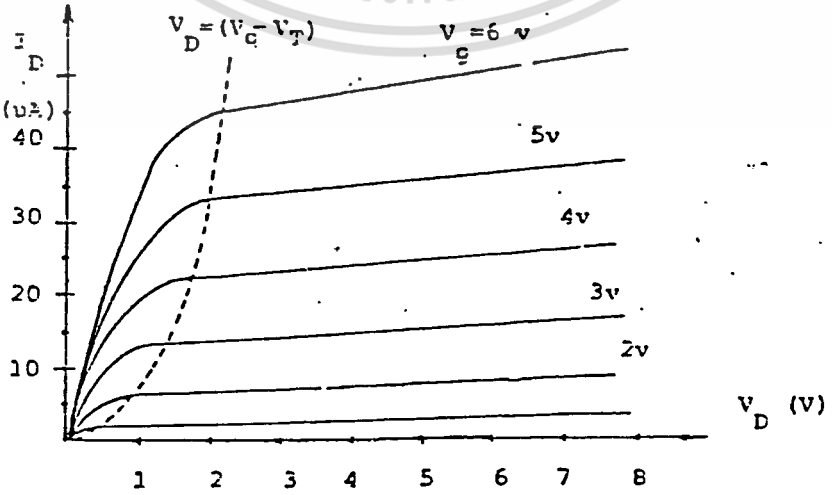
$$I_{DS(sat)} = \frac{\varepsilon_o \varepsilon_{ox} \mu_e}{t_{ox}} \frac{w}{L} \{[V_G - V_T] - \frac{(V_G - V_T)^2}{2}\}$$

$$I_{DS(sat)} = \frac{\varepsilon_o \varepsilon_{ox}}{t_{ox}} \mu_e \frac{w}{L} * \frac{(V_G - V_T)^2}{2} \qquad (1.13)$$

จากสมการที่ (1.13) นี้ จะเห็นว่ากระแส $I_{DS(sat)}$ จะมีค่าคงที่ไม่ขึ้นกับค่าแรงดัน V_D โดยจะมีค่าคงที่ที่ V_G ค่าหนึ่ง ๆ



รูปที่ 1.6 V-I Chalacteristic ในช่วงกระแสอิ่มตัว



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 1.7 V-I Chalacteristic ของ n-channel exhancement mode MOSFET

1.4 แรงดันขีดสุด (Threshold Voltage ; V_T)

จากนิยามของแรงดันขีดสุดในมอสทรานซิสเตอร์ หมายถึงแรงดันที่ให้ที่เกทแล้วพอดีทำให้ความหนาแน่นของประจุพาหะในช่องทางเดินกระแสมีค่าเป็นศูนย์พอดี ดังนั้นในกรณีของ เอ็น อานช์เมนท์ โหมด มอสทรานซิสเตอร์ จึงหมายถึง แรงดัน V_G ที่ให้ที่เกทในขณะที่ให้ไบอัสแก่ส่วนเดรนและซอสอย่างเหมาะสม แล้วเกิดกระแส I_{DS} ไหลได้พอดี แต่ในกรณีของดีพลีทชั่น โหมด มอสทรานซิสเตอร์ จะหมายถึงแรงดัน V_G ที่ให้ที่เกทในขณะที่ให้ไบอัสอย่างเหมาะสมกับส่วนเดรนและซอส แล้วทำให้กระแส I_{DS} หยุดไหลพอดี

สำหรับการคำนวณหาค่า V_T ทำได้โดยใช้สมการความสัมพันธ์ ดังนี้

$$V_T = \pm V_{si} \pm V_{ox} - V_{ss} + V_{WF} \qquad (1.14)$$

โดยที่

$$V_{si} = 2V_f = \frac{2KT}{q} \ln\left(\frac{N_{sub}}{n_i}\right)$$

$$ni = 3.9*10^{16}\, T^{3/2} \exp(-1.21/2KT)$$

$$V_{ox} = Q_B/Q_{ox} = (2\varepsilon_o \varepsilon_{si}\, qN/2V_f)^{1/2} / \left(\frac{\varepsilon_o \varepsilon_{ox}}{t_{ox}}\right)$$

$$V_{ss} = Q_{ss}/C_{ox}$$

หมายเหตุ

สำหรับ P-type silicon Substrate ค่าของ V_{si} และ V_{ox} จะมีเครื่องหมายเป็นบวก ส่วน N-type Silicon Substrate ค่าของ V_{si} และ V_{ox} จะมีเครื่องหมายเป็นลบ สำหรับ V_{ss} จะมีเครื่องหมายเป็นลบเสมอ เพราะเกิดจากอิออนบวก ส่วนค่าของ Q_{ss} มักจะถูกกำหนดให้เป็นค่าคงที่ ที่ขึ้นกับระนาบของผลึกที่ใช้ ซึ่งค่าคงที่ที่นิยมใช้กันทั่วไป มีดังนี้

-ในระนาบ <100> $Q_{ss} = 1.4*10^{-8}$ $C/_{cm^2}$

-ในระนาบ <111> $Q_{ss} = 8.0*10^{-8}$ $C/_{cm^2}$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ส่วน V_{wF} คือ ความต่างศักดาไฟฟ้าที่เกิดจากความแตกต่างของฟังก์ชั่นงาน ดังนั้น ถ้าให้ ϕ_G เป็นฟังก์ชั่นงานของวัสดุส่วนที่เป็นเกท

และ ϕ_{si} เป็นฟังก์ชั่นงานของสารกึ่งตัวนำฐานรอง

จะได้ว่า

$$V_{wF} = (\phi_G - \phi_{si})/q$$

โดยที่

$\phi_{si} = 3.25 + E_g/2 \pm qVf$ eV

$\phi_{Al} = 3.2$ eV

V_f จะมีเครื่องหมายเป็นบวก เมื่อพิจารณาใน P-type Si Sub

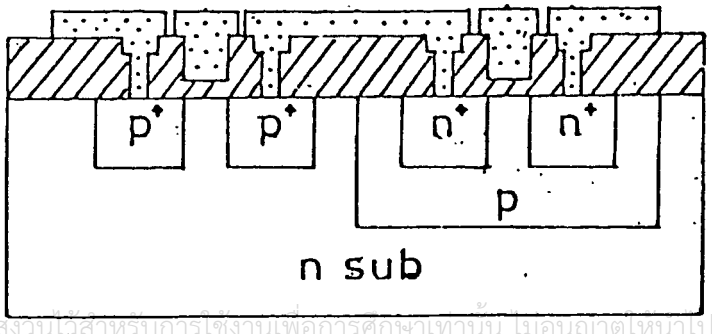
V_f จะมีเครื่องหมายเป็นลบ เมื่อพิจารณาใน N-type Si Sub

เมื่อแทนค่าต่างๆ ที่เหมาะสมลงในสมการที่ (14) ก็จะสามารถหาค่า V_T ได้

1.5 CMOS

CMOS หรือ Complementary MOS เป็นการใช้งาน MOSFET อีกรูปแบบหนึ่ง ซึ่งโครงสร้างจะประกอบด้วย pMOS กับ nMOS อยู่บนฐานรองเดียวกัน โดยปกติ nMOS จะสร้างได้บนฐานรองชนิดพี และ pMOS จะสร้างได้บนฐานรองชนิดเอ็น โครงสร้างภาคตัดขวางของ CMOS แสดงได้ดังรูปที่ 1.8

การนำเอา CMOS มาใช้งานเป็นวงจรต่าง ๆ จะกล่าวถึงต่อไป ซึ่งในที่นี้จะเป็นการสร้าง และออกแบบวงจร CMOS Inverter , NAND Gate และ NOR Gate โดยจะเปรียบเทียบผลการทดลองที่ได้กับการจำลองแบบด้วยโปรแกรม PSPICE



รูปที่ 1.8 แสดงโครงสร้างภาคตัดขวางของซีมอส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เนื่องจากอุปกรณ์ซีมอสจะต้องสร้างทั้งเอ็น และพีมอสทรานซิสเตอร์บนฐานรองเดียวกัน ในการสร้างจะต้องสร้างส่วนบ่อแยก ซึ่งเป็นสารกึ่งตัวนำต่างชนิดกับฐานรอง จากรูปที่ 1.8 แสดงโครงสร้างภาคตัดขวางของซีมอสที่สร้างอยู่บนฐานรองชนิดเอ็น และสร้างบ่อแยกที่เป็นชนิดพี โดยที่ส่วนของ nMOS จะสร้างอยู่บนบ่อแยกชนิดพี และ pMOS จะสร้างอยู่บนฐานรองชนิดเอ็น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2 การออกแบบ

ในการออกแบบ ในที่นี้จะกล่าวถึงการออกแบบและการสร้างวงจรที่ใช้ nMOS และ pMOS มาประกอบเป็นวงจรแบบ CMOS Inverter, CMOS NAND และ CMOS NOR เท่านั้น ดังมีวิธีการ ดังนี้

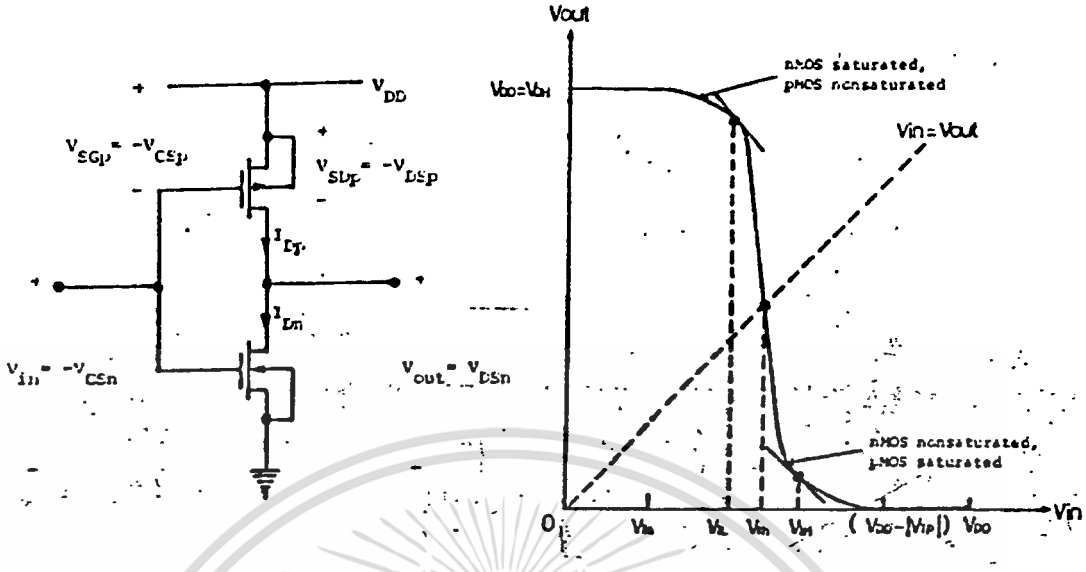
2.1 การออกแบบวงจร Inverter

ในวงจรอินเวอร์เตอร์แบบซีมอส ซึ่งเป็นวงจรพื้นฐานของวงจรลอจิกเกทแบบซีมอสทั่วไป คุณสมบัติการส่งผ่านสัญญาณแรงดันของวงจรนับว่าเป็นคุณสมบัติอันสำคัญ เนื่องจากเป็นตัวกำหนดเอ้าพุทตามที่ต้องการ ที่นักออกแบบวงจรรวมจะต้องคำนึงถึงในการออกแบบ โดยในที่นี้จะทำการทดลอง และ สร้างเปรียบเทียบผลที่ได้กับการจำลองแบบด้วยโปรแกรม PSPICE เพื่อที่จะใช้เป็นเครื่องมือในการออกแบบ ในการกำหนดคุณสมบัติการส่งผ่านสัญญาณแรงดันของวงจรซีมอส ที่มีความซับซ้อนมากขึ้นต่อไป

หลักการทำงาน และแนวทางในการออกแบบ

วงจรอินเวอร์เตอร์แบบซีมอสพื้นฐานแสดงได้ดังรูปที่ 2.1ก. ในวงจรประกอบด้วยเอ็นมอสทรานซิสเตอร์ และพีมอสทรานซิสเตอร์อย่างละหนึ่งตัว โดยที่ส่วนเกทของมอสทรานซิสเตอร์ทั้งสองถูกต่อเข้าด้วยกันเป็นขั้วอินพุท ในส่วนเดรนของทรานซิสเตอร์ทั้งสองถูกต่อเข้าด้วยกันเป็นขั้วเอ้าพุท ในวงจรจะไม่มีผลของแรงดันย้อนกลับที่ฐานรองกับส่วนซอสที่มีผลต่อค่าแรงดันขีดเริ่ม เพราะส่วนซอสกับฐานรองต่อถึงกันในแต่ละตัว ในรูปที่ 2.1 ข. แสดงกราฟการส่งผ่านสัญญาณแรงดันอินพุทกับแรงดันเอ้าพุท จากกราฟจะเห็นว่าเมื่อแรงดันอินพุทมีค่าเพิ่มจากศูนย์แต่น้อยกว่าค่าแรงดันขีดเริ่มของเอ็นมอสทรานซิสเตอร์ V_{Tn} ในขณะนี้เอ็นมอสทรานซิสเตอร์จะอยู่ในช่วงคัทออฟ เนื่องจาก $V_{Gsn} < V_{Tn}$ ดังนั้นจึงไม่มีกระแสไหลในวงจร $I_{Dn} = I_{Dp} = 0$ ส่วนพีมอสทรานซิสเตอร์จะเหนี่ยวนำให้เกิดแชนแนลระหว่างส่วนซอสและส่วนเดรน เนื่องจากค่า V_{Gsp} มีค่ามากกว่า V_{Tp} แรงดันเอ้าพุทในช่วงนี้จะมีค่าคงที่ประมาณ V_{DD} ซึ่งเป็นค่าแรงดันเอ้าพุทสถานะสูง V_{OH}

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ก) วงจรพื้นฐาน ข) คุณสมบัติการส่งผ่านสัญญาณแรงดัน

รูปที่ 2.1 แสดงวงจรพื้นฐาน และคุณสมบัติการส่งผ่านสัญญาณแรงดันของอินเวอร์เตอร์

เมื่อแรงดันอินพุทมีค่าเพิ่มขึ้นมากกว่า V_{Tn} เล็กน้อย เอ็นมอสทรานซิสเตอร์จะเข้าสู่ช่วงอิ่มตัว ส่วนพีมอสทรานซิสเตอร์จะทำงานอยู่ในช่วงเชิงเส้น แรงดันเอ้าพุทจะเริ่มลดลง และสมการการส่งผ่านสัญญาณของวงจรได้เป็น

$$(\beta_n/2)(V_{in} - V_{Tn})^2 = (\beta_p/2)[2(V_{DD} - V_{in} - |V_{Tp}|)(V_{DD} - V_{out}) - (V_{DD} - V_{out})^2] \quad (2.1)$$

โดยที่ $V_{Gsn} = V_{in}$, $V_{SGp} = V_{DD} - V_{in}$ และ $V_{SDp} = V_{DD} - V_{out}$

เมื่อแรงดันอินพุทเพิ่มขึ้นเรื่อย ๆ แรงดันเอ้าพุทจะลดลง จนถึงจุดหนึ่งคือจุด V_{th} ที่ค่าแรงดันอินพุทที่มีค่าเท่ากับแรงดันเอ้าพุท ซึ่งเรียกค่าแรงดันอินพุทนี้ว่าเป็นแรงดันขีดเริ่มของวงจรอินเวอร์เตอร์ V_{th} โดยที่ $V_{th} = V_{in} = V_{out}$ ในขณะนี้ทรานซิสเตอร์ทั้งสองจะทำงานในช่วงอิ่มตัว สมการคุณสมบัติการส่งผ่านสัญญาณจะได้เป็น

$$(\beta_n/2)(V_{in} - V_{Tn})^2 = (\beta_p/2)(V_{DD} - V_{in} - |V_{Tp}|)^2 \quad (2.2)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แรงดันเอ้าพุทจะลดลงเรื่อยๆ เมื่อแรงดันอินพุทเพิ่มขึ้น จนกระทั่ง $V_{out} < (V_{in} - V_{Tn})$ เอ็นมอสทรานซิสเตอร์จะเข้าสู่ช่วงเชิงเส้น ซึ่งพีมอสทรานซิสเตอร์ยังคงอยู่ในช่วงอิ่มตัว ทำให้สมการคุณสมบัติการส่งผ่านสัญญาณเป็น

$$(\beta_n/2)[2(V_{in} - V_{Tn})V_{out} - V_{out}^2] = (\beta_p/2)(V_{DD} - V_{in} - |V_{Tp}|)^2 \quad (2.3)$$

จากนั้นเมื่อแรงดันอินพุทเพิ่มขึ้นจนกระทั่ง $(V_{DD} - V_{in}) < V_{Tp}$ พีมอสทรานซิสเตอร์จะคัทออฟ $I_{Dn} = I_{Dp} = 0$ ส่วนเอ็นมอสทรานซิสเตอร์จะเหนี่ยวนำแชนแนลระหว่างส่วนเดรนกับส่วนซอส แรงดันเอ้าพุทตอนนี้จะมีค่าประมาณศูนย์ และมีค่าคงที่ ซึ่งเป็นค่าแรงดันเอาท์พุทสถานะต่ำของวงจร V_{oL}

จะเห็นได้ว่าวงจรอินเวอร์เตอร์แบบซีมอสจะให้ค่า $V_{oH} = V_{DD}$ และค่า $V_{oL} = 0$ สำหรับค่า V_{iL} และ V_{iH} คือค่าแรงดันอินพุทที่ทำให้สถานะเอ้าพุทเปลี่ยนจากสูงมาต่ำ และจากต่ำไปสูงตามลำดับ ซึ่งหาได้จากจุดบนเส้นกราฟที่มีค่าความชันเป็น -1 ส่วนค่า V_{th} ของวงจรสามารถหาได้จากสมการ (2.2) โดยแทนค่า $V_{th} = V_{in}$ ได้เป็น

$$V_{th} = \frac{V_{Tn} + \sqrt{\beta_p/\beta_n}\,(V_{DD} - |V_{Tp}|)}{1 + \sqrt{\beta_p/\beta_n}} \quad (2.4)$$

ซึ่งในการออกแบบอินเวอร์เตอร์แบบซีมอส การกำหนดคุณสมบัติการส่งผ่านสัญญาณแรงดันจะเป็นการกำหนดค่าแรงดันขีดเริ่มของวงจร V_{th} ว่ามีค่าเท่าใด ดังนั้นค่าตัวแปรที่อยู่ในสมการ (2.4) จะเป็นตัวแปรที่มีผลต่อคุณสมบัติการส่งผ่านสัญญาณแรงดัน ซึ่งจะเห็นว่ามีค่าขึ้นอยู่กับค่าแรงดันขีดเริ่มของมอสทรานซิสเตอร์ทั้งสอง, ค่าอัตราส่วน β_p/β_n และค่าแรงดันไฟเลี้ยง V_{DD}

ค่าตัวแปรค่าแรกที่มีผลต่อค่าแรงดันขีดเริ่มของวงจรอินเวอร์เตอร์ V_{th} คือค่าแรงดันขีดเริ่มของเอ็นมอสทรานซิสเตอร์ V_{Tn} และพีมอสทรานซิสเตอร์ V_{Tp} ค่านี้ของทั้งเอ็นมอส และพีมอสทรานซิสเตอร์ หาได้จากสมการ (2.5) ซึ่งเป็นค่าแรงดันขีดเริ่มที่ไม่คิดผลของแรงดันย้อนกลับส่วนฐานรอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$V_{TO} = \phi_{MS} - \phi_S - (Q_B/C_{ox}) - (Q_{ss}/C_{ox}) \qquad (2.5)$$

ϕMS = ค่าฟังก์ชั่นงานระหว่างเกทโลหะกับชั้นซิลิกอน volts

ϕS = ศักดาที่ผิวจะมีค่าเป็น (+) เมื่อฐานรองเป็นชนิดพี และมีค่าเป็น (-) เมื่อฐานรองเป็นชนิดเอ็น

Q_B = ความหนาแน่นของประจุบริเวณปลอดพาหะ ขณะได้รับแรงดันถึงจุดที่ทำให้เกิดชั้นกลับ มีค่าเป็น (+) เมื่อฐานรองเป็นชนิดพี และมีค่าเป็น (-) เมื่อฐานรองเป็นชนิดเอ็น coulomb/cm^2

Q_{ss} = ความหนาแน่นของประจุที่ผิวสัมผัสระหว่างซิลิกอนไดออกไซด์กับซิลิกอน coulomb/cm^2

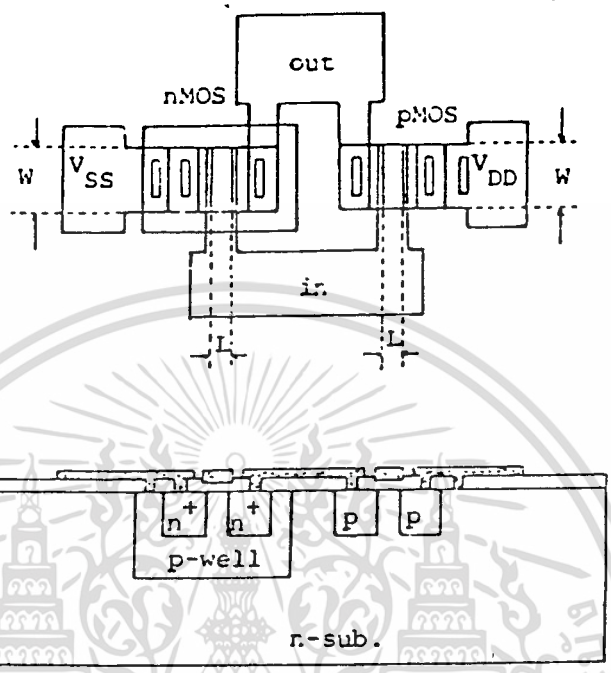
C_{ox} = ความจุไฟฟ้าของเกทออกไซด์ F/cm^2

ค่าตัวแปรตัวต่อไปที่มีผลต่อค่า V_{th} ของวงจรอินเวอร์เตอร์ คือค่า β_p/β_n ซึ่งเป็นค่าอัตราส่วนทรานส์คอนดัคแตนซ์ของกระบวนการสร้าง (process trans-conductance) ของพีมอสต่อเอ็นมอสทรานซิสเตอร์ ซึ่งค่าอัตราส่วนนี้เราแทนด้วยค่า β_r เมื่อแทนค่า β_p และ β_n เราสามารถเขียนได้ดังสมการ (2.6)

$$\beta_r = \beta_p/\beta_n = (u_p/u_n)\,((W/L)_p/(W/L)_n) \qquad (2.6)$$

ค่า u_p และ u_n คือ ค่าความคล่องตัวของโฮลและอิเลคตรอนตามลำดับ โดยปกติค่า u_p จะน้อยกว่า u_n ประมาณ 2.5 เท่า ดังนั้นในสมการ (2.6) ค่าตัวแปรที่ทำการเปลี่ยนแปลงจะเป็นค่าอัตราส่วนความกว้าง (W) และความยาว (L) ของแชนแนลในมอสทรานซิสเตอร์ทั้งสอง ในรูปที่ 2.2 แสดงลักษณะโครงสร้าง และลวดลาย (layout) ของวงจรอินเวอร์เตอร์แบบซีมอส จะแสดงให้เห็นถึงส่วนของความกว้างและความยาวของแชนแนลในวงจร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.2 แสดงลักษณะโครงสร้างและลวดลายของวงจรอินเวอร์เตอร์แบบซีมอส

สำหรับค่าตัวแปรสุดท้ายที่มีผลต่อ V_{th} คือ ค่าแรงดันไฟเลี้ยงในวงจร V_{DD} ซึ่งปกติค่านี้จะเป็นค่าคงที่ค่าหนึ่งขึ้นกับวงจรที่จะนำไปใช้งาน

เราจะทำการจำลองแบบผลของค่าตัวแปรที่มีผลต่อคุณสมบัติการส่งผ่านสัญญาณแรงดันของวงจรอินเวอร์เตอร์แบบซีมอสด้วยโปรแกรม PSPICE ซึ่งเป็นโปรแกรมที่ใช้แพร่หลายในการวิเคราะห์วงจรทางอิเลคทรอนิคส์ ซึ่งมีสมการกระแสกับแรงดันของมอสทรานซิสเตอร์ ที่ใช้ในช่วงการทำงานต่าง ๆ ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ช่วงคัทออฟ $V_{gs} - V_{to} < 0$

$$Id = 0 \qquad (2.7)$$

ช่วงอิ่มตัว $0 < V_{gs} - V_{to} < V_{ds}$

$$Id = (W/L)*(KP/2)*(1 + LAMBDA*V_{ds})*(V_{gs} - V_{to})^2 \qquad (2.8)$$

ช่วงเชิงเส้น $V_{ds} < V_{gs} - V_{to}$

$$Id = (W/L)*(KP/2)*(1 + LAMBDA*V_{ds})*V_{ds}*(2*(V_{gs} - V_{to}) - V_{ds}) \qquad (2.9)$$

โดยที่ $V_{to} = VTO + GAMMA * ((PHI - V_{bs})^{1/2} - (PHI)^{1/2})$

โดยที่ค่าตัวแปรในโปรแกรมคือ

LAMDA = ค่าความยาวแชลแนลมอดดูเลชั่น (Channel-length modulation) $volts^{-1}$

PHI = ค่าศักดาที่พื้นผิว (Surface potential) volts

GAMMA = Bulk threshold voltage $volts^{1/2}$

KP = ทรานส์คอนดัคแตนซ์ (Transconductance) $amp/volts^2$

VTO = ค่าแรงดันขีดเริ่ม เมื่อไม่มีผลแรงดันย้อนกลับที่ฐานรอง (0- bias threshold voltage) volts

V_{to} = ค่าแรงดันขีดเริ่ม (Threshold voltage) volts

Id = กระแสเดรน (Drain current) amp

V_{gs} = แรงดันไฟฟ้าระหว่างส่วนเกทกับส่วนซอส (Gate-source Voltage) volts

V_{ds} = แรงดันไฟฟ้าระหว่างส่วนเดรนกับส่วนซอส (Drain-source Voltage) volts

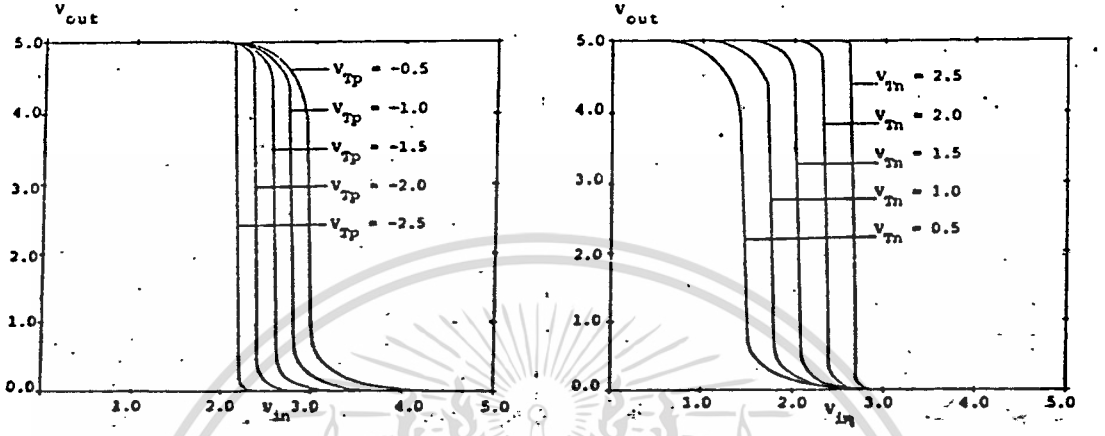
V_{bs} = แรงดันไฟฟ้าระหว่างฐานรองกับส่วนซอส (Body-source Voltage) volts

W = ความกว้างแชลแนล (Effective Channel Width) meter

L = ความยาวแชลแนล (Effective Channel Length) meter

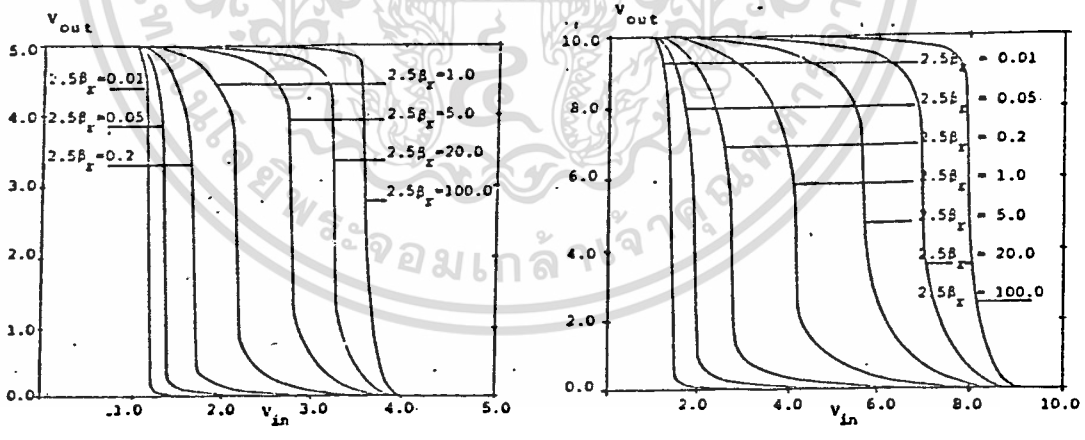
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ผลของการจำลองแบบค่าการเปลี่ยนแปลงแรงดันขีดเริ่มของเอ็นมอส V_{Tn} และของพีมอส V_{Tp} ที่มีต่อคุณสมบัติการส่งผ่านแรงดัน โดยที่ค่าอัตราส่วน $(W/L)_p/(W/L)_n$ หรือค่า $2.5\beta_r$ คงที่ แสดงได้ในรูปที่ 2.3 และผลของการเปลี่ยนแปลงอัตราส่วน $(W/L)_p/(W/L)_n$ หรือค่า $2.5\beta_r$ ที่ V_{Tp} และ V_{Tn} คงที่ แสดงได้ในรูปที่ 2.4



ก) V_{Tn}=2โวลท์ ;$(W/L)_p/(W/L)_n$=1 ข) V_{Tp}=-2โวลท์ ;$(W/L)_p/(W/L)_n$=1

รูปที่ 2.3 แสดงผลของแรงดันขีดเริ่มของมอสทรานซิสเตอร์ต่อคุณสมบัติการส่งผ่านสัญญาณแรงดันด้วยโปรแกรม PSPICE ที่ V_{DD} = 5 โวลท์



ก) V_{DD}=5 โวลท์ ข) V_{DD}=10 โวลท์

รูปที่ 2.4 แสดงผลของอัตราส่วน $(W/l)_p/(W/L)_n$ ต่อคุณสมบัติการส่งผ่านสัญญาณแรงดันด้วยโปรแกรม PSPICE ที่ V_{Tn} = 1 โวลท์ ,V_{Tp} = -1 โวลท์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การออกแบบ

จากหลักการทำงาน และผลของการจำลองแบบด้วยโปรแกรม PSPICE เราจะนำมาเปรียบเทียบผลกับการสร้างในห้องปฏิบัติการ โดยทำการออกแบบ และสร้างดังต่อไปนี้

ในการออกแบบเพื่อศึกษาผลของอัตราส่วน $(W/L)_p$ ของพีมอสต่ออัตราส่วน $(W/L)_n$ ของเอ็นมอส เราทำการออกแบบเอ็นมอส และ พีมอส ในอินเวอร์เตอร์ที่มีค่าอัตราส่วน (W/L) ต่าง ๆ กัน โดยแบ่งเป็น 3 กรณี คือ

1.กรณีที่ให้ $V_{Top} = V_{Ton} = 1, 2,$ และ 3 จะได้ค่า (W/L) ดังนี้

$(W/L)_p/(W/L)_n = 2, 2.5, 3$

จะได้ว่า เมื่อ

$(W/L)_p/(W/L)_n = 2 = (80/20)_p/(40/20)_n$

$(W/L)_p/(W/L)_n = 2.5 = (100/20)_p/(40/20)_n$

$(W/L)_p/(W/L)_n = 3 = (120/20)_p/(40/20)_n$

2.กรณีที่ให้ $V_{Top} = 1$ และ $V_{Ton} = 2$ จะได้

$(W/L)_n/(W/L)_p = 3.3, 4, 5$

จะได้ว่า เมื่อ

$(W/L)_n/(W/L)_p = 3.3 = (132/20)_n/(40/20)_p$

$(W/L)_n/(W/L)_p = 4 = (160/20)_n/(40/20)_p$

$(W/L)_n/(W/L)_p = 5 = (200/20)_n/(40/20)_p$

3.กรณีที่ให้ $V_{Top} = 1.5$ และ $V_{Ton} = 2$ จะได้

$(W/L)_n/(W/L)_p = 1.3, 1.6, 2$

จะได้ว่า เมื่อ

$(W/L)_n/(W/L)_p = 1.3 = (52/20)_n/(40/20)_p$

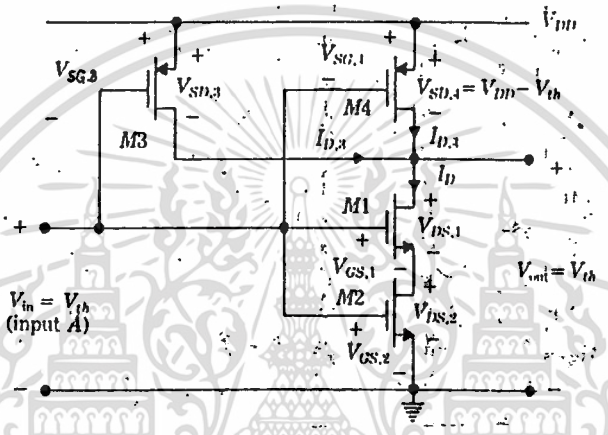
$(W/L)_n/(W/L)_p = 1.6 = (64/20)_n/(40/20)_p$

$(W/L)_n/(W/L)_p = 2 = (80/20)_n/(40/20)_p$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2 การออกแบบ CMOS NAND Gate

ในที่นี้จะเป็นการออกแบบและสร้าง CMOS NAND แบบ 2 Input ดังแสดงในรูปที่ 2.5 โดยที่ในแต่ละ Input จะป้อนเข้าทาง MOSFET แบบ n-channel และแบบ p-channel เป็นคู่ ๆ โดยป้อนเข้าทางขาเกท จากรูปจะเห็นได้ว่า $V_{in,A}$ หรือ Input ตัวที่ 1 จะป้อนเข้าทางขาเกทของ MOSFET แบบ n-channel และแบบ p-channel คือ M2 และ M3 ตามลำดับ ในทำนองเดียวกัน $V_{in,B}$ หรือ Input ตัวที่ 2 จะป้อนเข้าทางขาเกทของ M1 และ M4 ดังแสดงในรูป



รูปที่ 2.5 แสดงวงจรที่ใช้ในการคำนวณเมื่อป้อน Input แบบ Simultaneous

V_{out} ในรูปจะเริ่มต้นที่ $V_{OH} = V_{DD}$ ซึ่งค่า Output นี้จะเปลี่ยนไปตามค่าที่ป้อนให้ทาง Input ซึ่งสามารถเป็นได้ดังนี้

$$V_{in,A} = 0 \quad , \quad V_{in,B} = 0$$

$$V_{in,A} = V_{DD} \quad , \quad V_{in,B} = 0$$

$$V_{in,A} = 0 \quad , \quad V_{in,B} = V_{DD}$$

โดยเราจะสมมติให้ n-channel MOSFET ทั้งสองตัวมีค่า Transconductance เป็น β_n ในทำนองเดียวกัน p-channel MOSFET จะให้ค่าเป็น β_p

ในการออกแบบเราจะแบ่งเป็นกรณีตามแรงดัน Input ที่ป้อนเข้าไป แต่ในที่นี้เราจะพิจารณาในกรณีที่ $V_{in,A}$ และ $V_{in,B}$ มีค่าเหมือนกันทั้งคู่ (Simultaneous Switching) โดยเราจะป้อนค่า V_{th} ให้ทั้ง Input และ Output เพื่อคำนวณหาค่า β_p/β_n ต่อจากนั้นจึงจะได้ค่า $(W/L)_n/(W/L)_p$ ในการออกแบบในการสร้างต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากในรูปเราจะได้ว่า

$$V_{GS.1} = V_{th} - V_{DS.2} \text{ และ } V_{GS.2} = V_{th} \qquad (2.10)$$

ใช้ KVL จะได้ว่า

$$V_{th} = V_{DS.1} + V_{DS.2} \qquad (2.11)$$

เมื่อแทนค่า V_{th} ในสมการที่ (2.10) จะได้ว่า

$$V_{GS.1} = V_{DS.1} \qquad (2.12)$$

ดังนั้นแสดงว่า MOSFET M1 จะอยู่ในสภาวะ Saturated โดยมีสมการกระแส คือ

$$I_D = \beta_n(V_{th} - V_{TOn} - V_{DS.2})/2 \qquad (2.13)$$

พิจารณาที่ MOSFET M2 จะเห็นได้ว่าค่า $V_{GS.2} > V_{GS.1}$ โดยที่ค่า β_n ใน nMOS ทั้งสองตัวเท่ากัน ดังนั้น M2 จะอยู่ในสภาวะ Nonsaturated โดยมีสมการกระแส คือ

$$I_D = \beta_n[2(V_{th} - V_{TOn})V_{DS.2} - V^2_{DS.2}]/2 \qquad (2.14)$$

เราสามารถแสดงผลของ M1 และ M2 ให้เห็นได้ด้วยกราฟ ดังรูป ซึ่งจะเห็นได้ว่าค่า I_D จะไหลใน Transistor ทั้ง 2 ตัว ดังนั้นเมื่อ M1 Saturated , M2 จึงอยู่ในช่วง Nonsaturated

จากสมการที่ (2.13) เราจะสามารถหาได้ว่า

$$V_{DS.2} = (V_{th} - V_{TOn}) - \sqrt{2I_D/\beta_n} \qquad (2.15)$$

เมื่อแทนค่าสมการที่ (2.15) ลงในสมการที่ (2.14) เราจะได้

$$V_{th} - V_{TOn} = 2\sqrt{I_D/\beta_n} \qquad (2.16)$$

ในการพิจารณา pMOS Transistor ทั้ง M3 และ M4 จะเริ่มจาก

$$V_{SG.3} = V_{SG.4} = (V_{DD} - V_{th}) \qquad (2.17)$$

และ

$$V_{SD.3} = V_{SD.4} = (V_{DD} - V_{th}) \qquad (2.18)$$

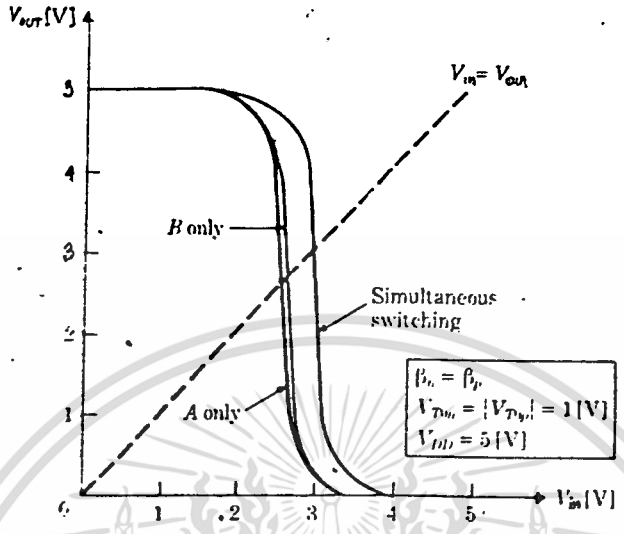
ดังนั้นทั้ง M3 และ M4 จะอยู่ในสภาวะ Saturated กระแสที่เดรนจะได้จากการรวมกระแสที่เดรนของ M3 และ M4 ซึ่งจะได้ คือ

$$I_D = I_{D.3} + I_{D.4} = \beta_p(V_{DD} - V_{th} - |V_{TOp}|)^2 \qquad (2.19)$$

เมื่อนำสมการที่ (2.19) นี้ไปแทนในสมการที่ (2.16) และจัดเทอมใหม่จะได้ว่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$V_{th} = \frac{V_{TOn} + 2\sqrt{\frac{\beta_p}{\beta_n}}(V_{DD} - |V_{TOp}|)}{1 + 2\sqrt{\frac{\beta_p}{\beta_n}}}. \qquad (2.20)$$



รูปที่ 2.6 แสดง Chalacteristic ของ 2-Input CMOS NAND Gate

<u>การออกแบบ</u>

ในการออกแบบ CMOS NAND จะใช้สมการที่ (2.20)นำมาคำนวณหาค่า W/L โดยจัดเทอมเสียใหม่ ได้ดังนี้

$$\sqrt{\frac{\beta_p}{\beta_n}} = \frac{(V_{th} - V_{TOn})}{2(V_{DD} - V_{th} - |V_{TOp}|)}, \qquad (2.21)$$

เราจะแบ่งการออกแบบเป็น 3 กรณี โดยในแต่ละกรณีใช้ V_{DD} = 5 โวล์ต และ $V_{th} = V_{DD}/2$ หรือเท่ากับ 2.5 โวล์ต ดังนี้

1.กรณีที่ให้ $V_{TOn} = V_{TOp}$ = 1,1.5 หรือ 2 จะได้

$(W/L)_n/(W/L)_p$ = 1.6

ซึ่งในการสร้างเราจะให้ขนาดของ W/L ของ pMOS มีขนาดเล็กที่สุด คือ ใช้ขนาด 40/20 ดังนั้น จะได้ว่า

$(W/L)_n/(W/L)_p$ = 1.6 = $(60/20)_n/(40/20)_p$

2.กรณีที่ให้ V_{TOn} = 2 และ V_{TOp} = 1.5 จะได้

$(W/L)_n/(W/L)_p$ = 6.4 = $(260/20)_n/(40/20)_p$

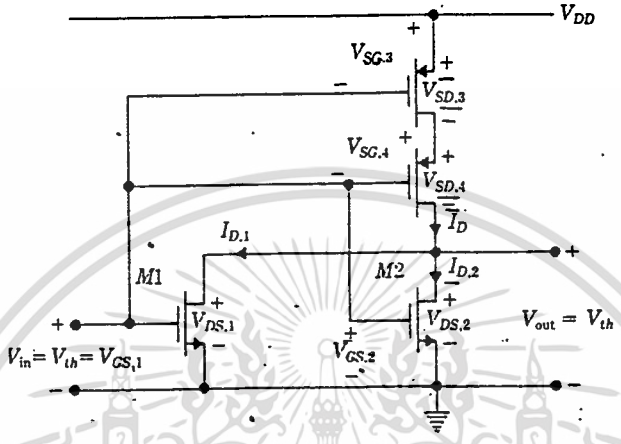
3.กรณีที่ให้ V_{TOn} = 2 และ V_{TOp} = 1 จะได้

$(W/L)_n/(W/L)_p$ = 14.4 = $(600/20)_n/(40/20)_p$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.3 การออกแบบ CMOS NOR Gate

ในการออกแบบ CMOS NOR แบบ 2-Input ก็ใช้หลักการเดียวกับการออกแบบ CMOS NAND โดยพิจารณาเฉพาะในกรณีที่ป้อน Input ทั้งสองเหมือนกัน (Simultaneous Switching) เท่านั้น โดยให้ $V_{in,A} = V_{in,B} = V_{th}$ ซึ่งจะได้ $V_{out} = V_{th}$ ด้วย ดังนี้



รูปที่ 2.7 แสดงวงจรที่ใช้ในการคำนวณเมื่อป้อน Input แบบ Simultaneous

จากรูปพิจารณาที่ nMOS Transistor ทั้งสองก่อน จะได้ว่า

$$V_{GS,1} = V_{GS,2} = V_{th} = V_{DS,1} = V_{DS,2} \qquad (2.22)$$

nMOS ทั้งสองจะอยู่ในสภาวะ Saturated ซึ่งจะได้สมการกระแสที่เดรน คือ

$$I_D = I_{D,1} + I_{D,2}$$
$$= \beta_n (V_{th} - V_{TOn})^2 \qquad (2.23)$$

โดยสมมติให้ β_n ของ nMOS ทั้งสองมีค่าเท่ากัน เราจะจัดเทอมในสมการที่ (2.23) ใหม่ได้เป็น

$$V_{th} - V_{TOn} = \sqrt{I_D/\beta_n} \qquad (2.24)$$

ต่อไปมาพิจารณาที่ pMOS จะเห็นได้ว่า

$$V_{SG,3} = V_{DD} - V_{th}$$
$$V_{SG,4} = V_{DD} - V_{th} - V_{SD,3} \qquad (2.25)$$

จะเห็นได้ว่า M3 อยู่ในสภาวะ Nonsaturated ในขณะที่ M4 อยู่ในสภาวะ Saturated ใช้ KVL จะได้

$$I_D = \beta_p [2(V_{DD} - V_{th} - |V_{TOp}|)V_{SD,3} - V^2_{SD,3}]/2$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

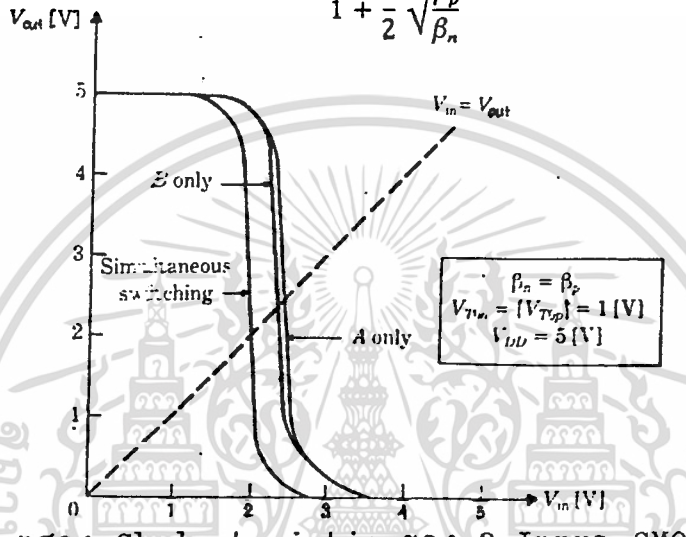
$$= \beta_p (V_{DD} - V_{th} - |V_{TOp}| - V_{SD,3})^2/2 \qquad (2.26)$$

โดยที่สมมติให้ β_p ของ pMOS ทั้งสองมีค่าเท่ากัน เมื่อตัดค่า $V_{SD.3}$ ในสมการที่ (2.26) ออก และจัดเทอมใหม่ จะได้ว่า

$$2\sqrt{I_D/\beta_p} = V_{DD} - V_{th} - |V_{TOp}| \qquad (2.27)$$

เมื่อแทนค่าสมการที่ (2.24) ลงในสมการที่ (2.27) และจัดเทอมใหม่ จะได้สมการที่ต้องการ คือ

$$V_{th} = \frac{V_{TOn} + \frac{1}{2}\sqrt{\frac{\beta_p}{\beta_n}}(V_{DD} - |V_{TOp}|)}{1 + \frac{1}{2}\sqrt{\frac{\beta_p}{\beta_n}}} \qquad (2.28)$$



รูปที่ 2.8 แสดง Chalacteristic ของ 2-Input CMOS NOR Gate

<u>การออกแบบ</u>

ในการออกแบบ 2-Input CMOS NOR เราจะแบ่งเป็น 3 กรณี เหมือนอย่าง CMOS NAND ที่ได้กล่าวมาแล้ว โดยให้ V_{DD} = 5 โวล์ต และ $V_{th} = V_{DD}/2$ = 2.5 โวล์ต โดยใช้สมการที่ (2.28) ในการคำนวณหาค่า W/L ของ nMOS และ pMOS แต่จัดเทอมใหม่ ดังนี้

$$\sqrt{\frac{\beta_p}{\beta_n}} = \frac{2(V_{th} - V_{TOn})}{(V_{DD} - V_{th} - |V_{TOp}|)} \qquad (2.29)$$

.1. กรณีที่ให้ $V_{TOn} = V_{TOp}$ = 1, 1.5 หรือ 2

$(W/L)_p/(W/L)_n$ = 10

ในการออกแบบ CMOS NOR เราจะให้ $(W/L)_n$ มีค่าน้อยที่สุด ในการสร้างครั้งนี้ เราให้มีค่า $(40/20)_n$ ซึ่งต่างกับ CMOS NAND ที่ให้ค่า $(W/L)_p$ มีค่าน้อยที่สุด จะได้ว่า

$(W/L)_p/(W/L)_n = 10 = (400/20)_p/(40/20)_n$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.กรณีที่ให้ V_{Ton} =2 และ V_{Top} = 1.5 จะได้

$(W/L)_p/(W/L)_n$ = 2.5 = $(100/20)_p/(40/20)_n$

3.กรณีที่ให้ V_{Ton} = 2 และ V_{Top} = 1 จะได้

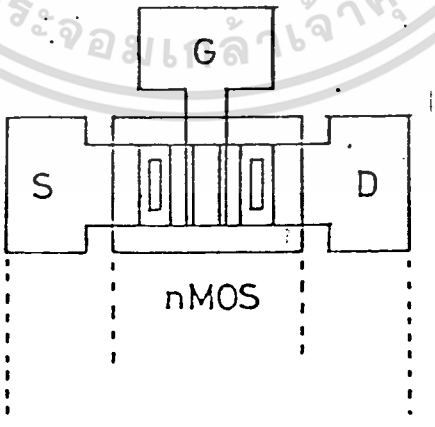
$(W/L)_p/(W/L)_n$ = 1 = $(40/20)_p/(40/20)_n$

2.4 แบบลวดลายของมอสทรานซิสเตอร์

เมื่อได้ออกแบบ และได้ค่า (W/L) ของมอสทรานซิสเตอร์ที่ต้องการแล้ว ขั้นตอนต่อไป คือ นำค่า (W/L) ที่ได้นี้ไปวาดลงในกระดาษกราฟ เพื่อสร้างเป็นมาร์คต่อไป ดังจะได้แบบลวดลายของมอสทรานซิสเตอร์ ดังนี้

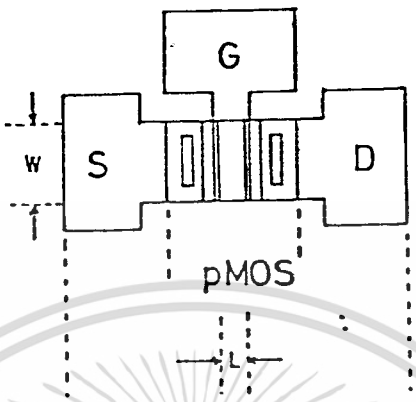
2.4.1 แบบลวดลายของ nMOS และ pMOS

เนื่องจากวงจรรวมแบบ CMOS ประกอบไปด้วยทรานซิสเตอร์ทั้งชนิดเอ็นแชนแนล และ พีแชนแนล ดังนั้นจึงทำการออกแบบลวดลายของทรานซิสเตอร์เดี่ยว ๆ ทั้งชนิดเอ็นแชนแนล และ พีแชนแนล เพื่อนำไปทดลองสร้าง และศึกษาคุณสมบัติต่าง ๆ ที่ได้ต่อไป โดยมอสทรานซิสเตอร์ที่ได้นำมาออกแบบนี้เลือกจากค่าที่ใช้จริงในการนำไปประกอบเป็นวงจร CMOS Inverter , CMOS NAND และ CMOS NOR ต่อไป



รูปที่ 2.9 แสดงลวดลายของ nMOS Transistor

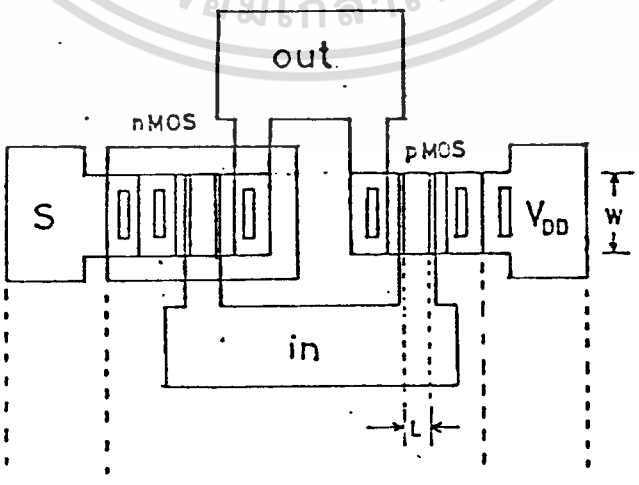
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.10 แสดงแบบลวดลายของ pMOS Tarnsistor

2.4.2 แบบลวดลายของ CMOS Inverter

ลักษณะของแบบลวดลายของวงจรอินเวอร์เตอร์แบบซีมอสที่ออกแบบไว้มีลักษณะดังแสดงในรูปที่ 2.11 ซึ่งประกอบไปด้วย nMOS และ pMOS มีค่า (W/L) ต่างๆ ดังได้กล่าวไว้แล้วในหัวข้อที่ 2.1

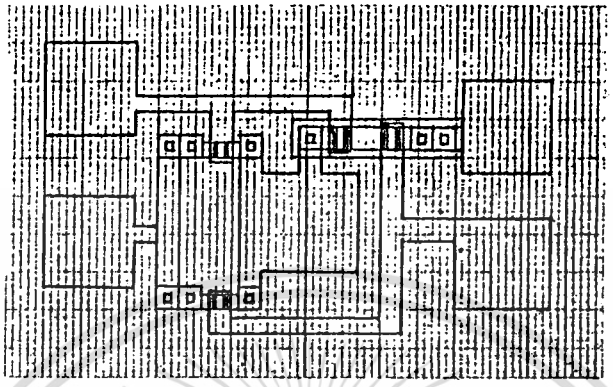


รูปที่ 2.11 แสดงแบบลวดลายของ CMOS Inverter

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น

2.4.3 แบบลวดลายของ CMOS NAND Gate

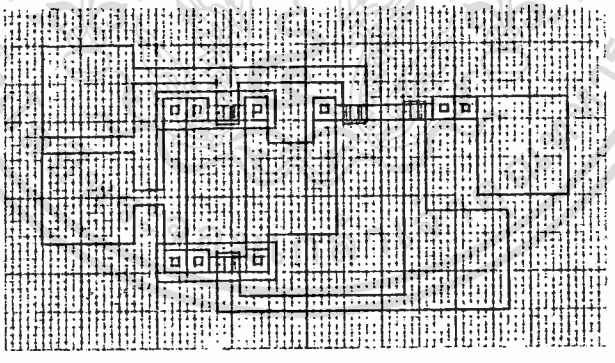
รูปที่ 2.12 แสดงลักษณะลวดลายของ CMOS NAND Gate ที่ได้ทดลองในการสร้างในครั้งนี้



รูปที่ 2.12 แสดงแบบลวดลายของ CMOS NAND Gate ที่ $(60/20)_n/(40/20)_p$

2.4.4 แบบลวดลายของ CMOS NOR Gate

แบบลวดลายของ CMOS NOR Gate แสดงได้ดังรูปที่ 2.13



รูปที่ 2.13 แสดงแบบลวดลายของ CMOS NOR Gate ที่ $(40/20)_p/(40/20)_n$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.5 การตัดลวดลายต้นแบบ และการถ่ายย่อเพื่อสร้างกระจกต้นแบบ

เมื่อกำหนดลวดลายของต้นแบบได้แล้ว จึงทำการเขียนแบบลวดลายลงบนแผ่นโปลีเอสเตอร์ สำหรับเตรียม Art Work จากนั้นใช้อุปกรณ์ตัด และลอกแบบลวดลายกระทั่งได้ Art Work เพื่อนำไปถ่ายย่อลงบนกระจกต้นแบบต่อไป ซึ่งขนาดของ Art Work จะถูกย่อส่วนลง 50 เท่า ลงบนฟิล์มกระจกขนาด 3" * 3" ในกระบวนการสร้างวงจรรวมแบบ CMOS นี้ใช้กระจกต้นแบบจำนวน 6 ชิ้น โดยที่

Mask 1 ได้แก่ P-Well mask

Mask 2 ได้แก่ P^+-Source , drain mask

Mask 3 ได้แก่ N^+-Source , drain mask

Mask 4 ได้แก่ Gate oxide mask

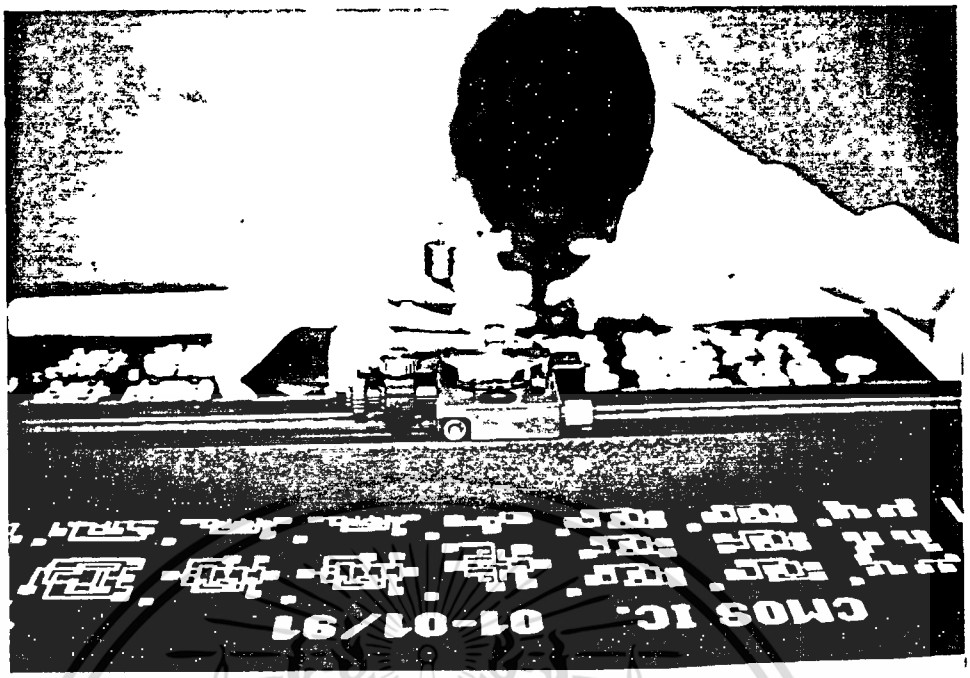
Mask 5 ได้แก่ Connection contact mask

Mask 6 ได้แก่ Metal mask

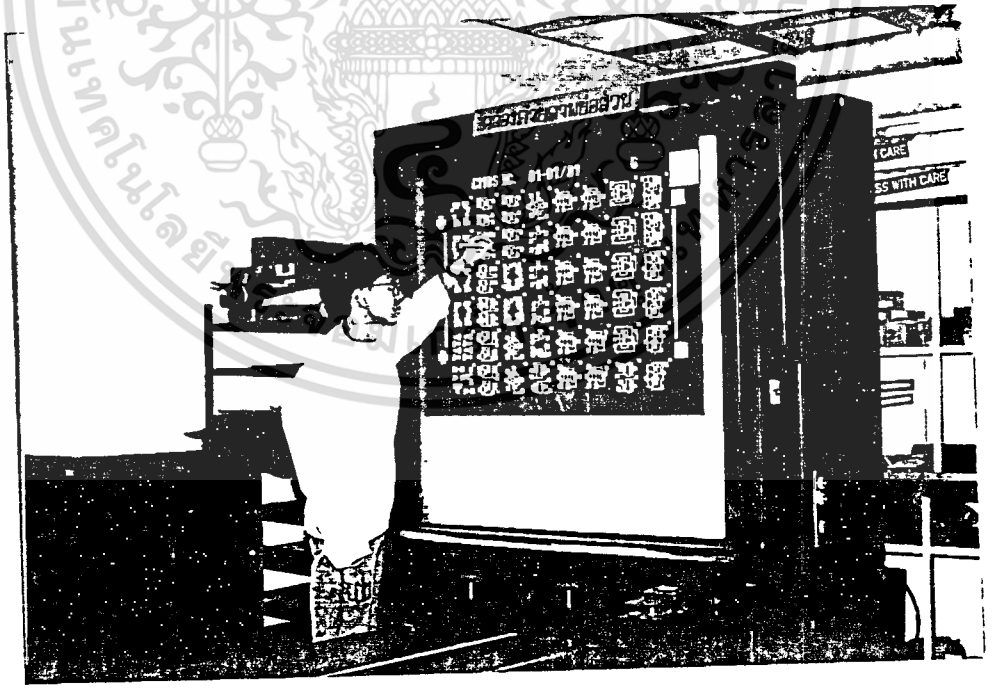
รูปที่ 2.14 ถึงรูปที่ 2.17 แสดงขั้นตอนตั้งแต่การออกแบบ ถึงกระจกต้นแบบที่ได้จากการออกแบบวงจรตามที่ต้องการ

รูปที่ 2.14 แสดงภาพถ่ายของการออกแบบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

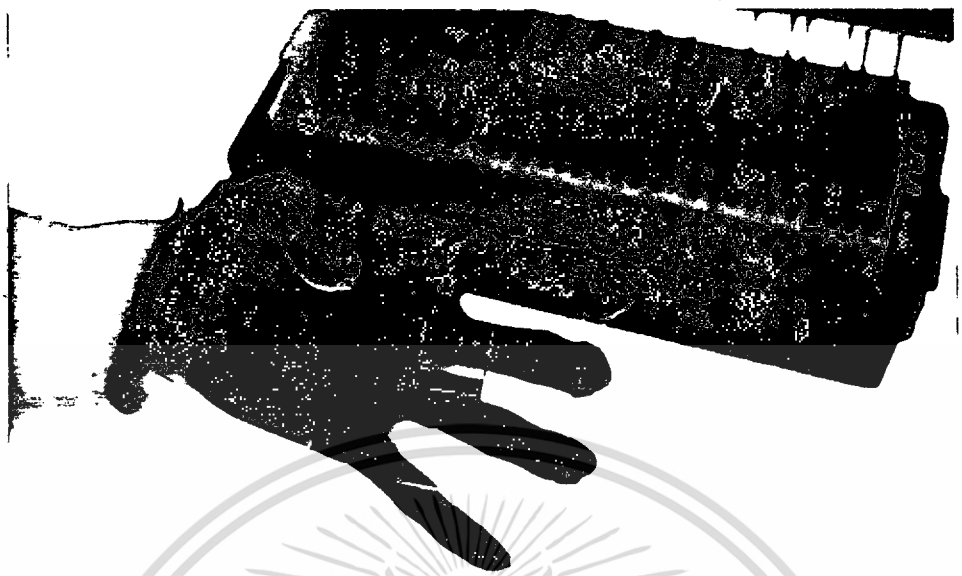


รูปที่ 2.15 แสดงภาพถ่ายของการตัดมาร์ค



รูปที่ 2.16 แสดงภาพถ่ายการถ่ายย่อส่วน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.17 แสดงภาพถ่ายของภาพที่ได้จากกระจกต้นแบบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3 กระบวนการสร้าง

กระบวนการสร้าง(Fabrication)

กระบวนการสร้างมีรายละเอียดต่างๆมากมาย และแตกต่างกันไปบ้างแล้วแต่ชนิดของวงจรรวมและเทคโนโลยีที่ใช้ อย่างไรก็ดีสำหรับกระบวนการมาตรฐานทั่วไป มีเทคนิคการสร้างที่สำคัญๆดังนี้คือ กระบวนการออกซิเดชั่น เพื่อสร้างชั้นของออกไซด์ซึ่งจะทำหน้าที่เป็นฉนวนไฟฟ้า,เป็นไดอิเลคตริคได้,กระบวนการแพร่อะตอมสารเจือ เพื่อการแพร่อะตอมสารเจือชนิดตรงกันข้ามเข้าไปในแผ่นผลึกซิลิกอน ทำให้เกิดเป็นรอยต่อ พี-เอ็น,กระบวนการโฟโตลิโทกราฟี เป็นกระบวนการที่ใช้เทคนิคของการถ่ายภาพมาช่วยในการเปิดช่องออกไซด์ออก นอกจากนี้ยังใช้สำหรับการทำลวดลายของขั้วไฟฟ้าที่จุดต่างๆบนชิ้นของวงจรรวมอีกด้วย

ลำดับขั้นตอนของกระบวนการสร้าง มีดังนี้

1. การเลือกแผ่น Wafer และวัดคุณสมบัติ

ขั้นตอนนี้เป็นการเลือกแผ่น Wafer ที่เหมาะสม ในการนำมาสร้างตัวอุปกรณ์ลงไป แล้วนำแผ่น Wafer มาวัดคุณสมบัติต่างๆ โดยในการสร้างครั้งนี้ ใช้แผ่น Wafer ชนิด Single crystal type N ระนาบ 100 เส้นผ่านศูนย์กลาง 50 mm. โดยวัดความหนาของแผ่นได้ 181 μm และค่า Resistivity ซึ่งแบ่งเป็นค่า Sheet Resistivity อยู่ในช่วง 280-310 ohm/square และค่า Slice Resistivity อยู่ในช่วง 5-6 ohm*cm

2. การทำความสะอาดผิวผลึกเริ่มต้น

-ทำความสะอาดผิวโดยเครื่อง Super sonic cleaning ในน้ำ DI	5 min
-ล้างในน้ำ DI	
-Boil in HNO_3	10 min
-ล้างในน้ำ DI	
-ต้มในน้ำ DI ครั้งที่ 1	5 min
-ต้มในน้ำ DI ครั้งที่ 2	5 min
-ล้างในน้ำ DI	
-เป่าให้แห้งด้วยก๊าซไนโตรเจน	
-Boil in Trichlo	5 min
-Super sonic cleaning with Acetone	2 min

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

-ล้างในน้ำ DI 2 ครั้ง

-เป่าให้แห้งด้วยก๊าซไนโตรเจน

-กัดด้วย HF 5% 15 sec

-ล้างในน้ำ DI 2 ครั้ง

-เป่าให้แห้งด้วยก๊าซไนโตรเจน

3. <u>กระบวนการออกซิเดชั่นครั้งแรก</u>

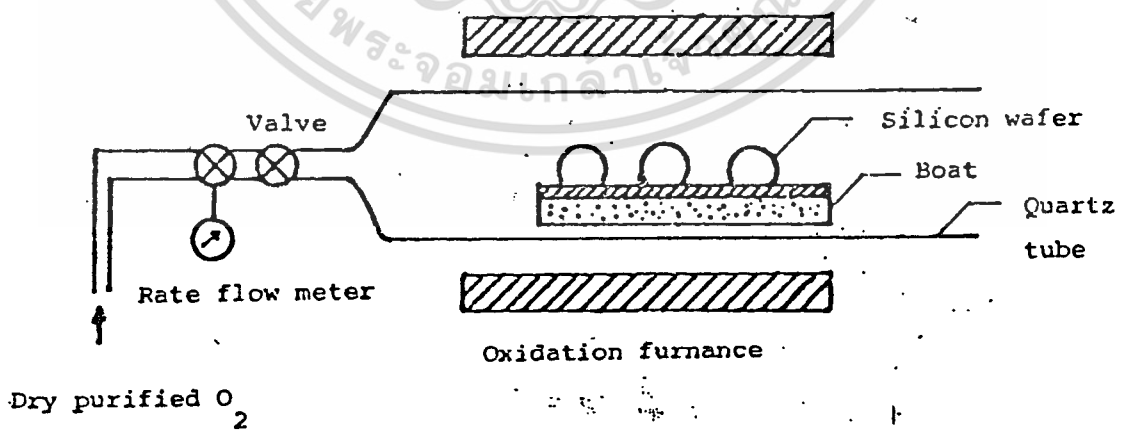
เนื่องจากซิลิกอนไดออกไซด์ มีค่าคงที่การแพร่ (Diffusion constant) ของสารเจือลงไปในตัวมันมีค่าน้อย ทำให้สารเจือแพร่ผ่านตัวมันได้ยาก จึงทำให้ซิลิกอนไดออกไซด์ เป็นที่นิยมสำหรับใช้เป็นหน้ากาก (Mask) สำหรับการแพร่สารเจือ เช่น ฟอสฟอรัส (P) และโบรอน (B)

การสร้างชั้น Oxide นั้น สามารถทำได้ 2 แบบ คือ

3.1 Dry Oxidation มีสมการทางเคมี เป็นดังนี้

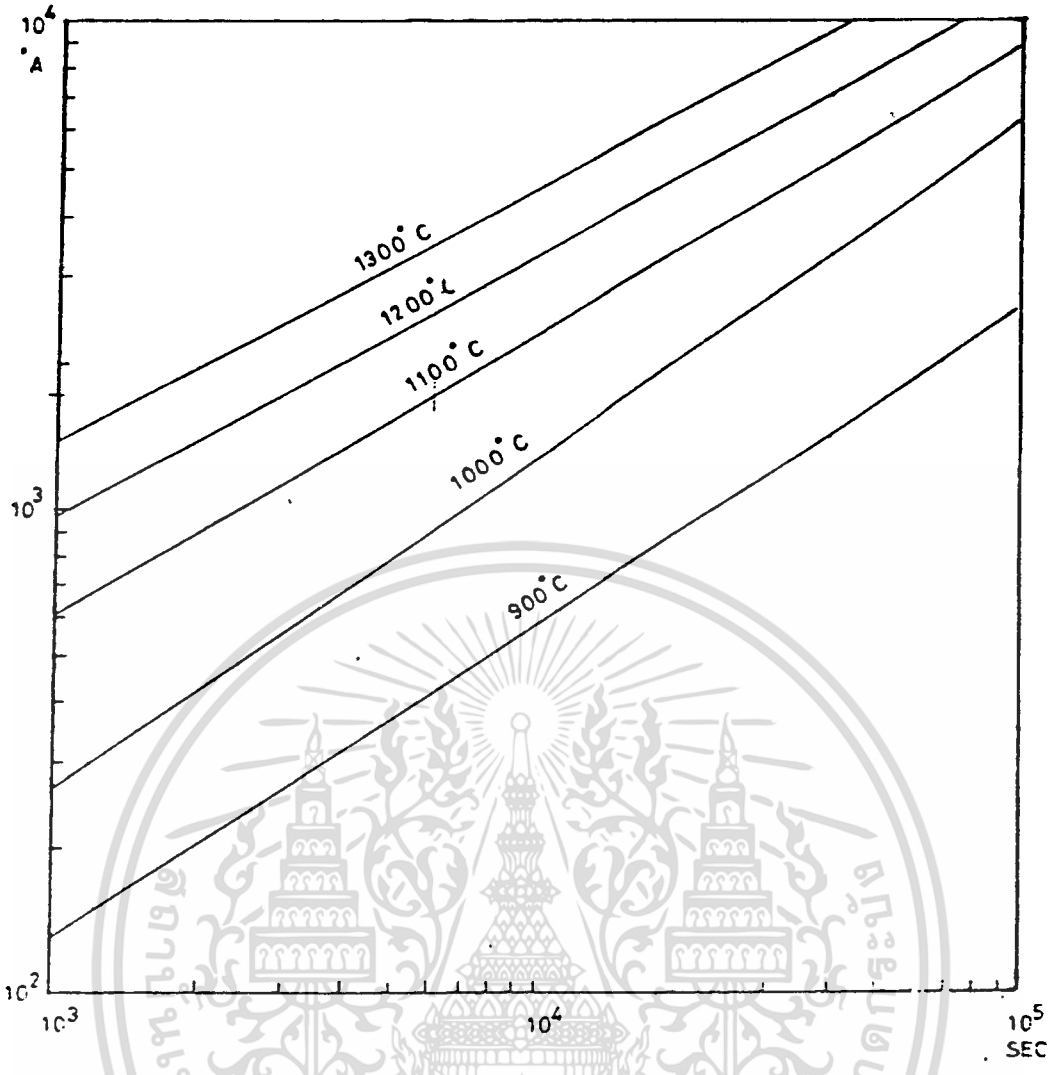
$$Si + O_2 \longrightarrow SiO_2$$

Oxide ที่ได้จากการแพร่แบบนี้ จะหนาช้ากว่าแบบ Wet Oxidation แต่จะเรียบกว่า อุปกรณ์ที่ใช้ในการสร้างแสดงได้ดังรูปที่ 3.1 และรูปที่ 3.2 เป็นกราฟแสดงถึงความหนาของชั้นออกไซด์ที่สร้างได้ ในเวลาต่าง ๆ ณ.อุณหภูมิหนึ่ง ๆ



รูปที่ 3.1 แสดงอุปกรณ์ที่ใช้ในการทำ DRY OXIDATION

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



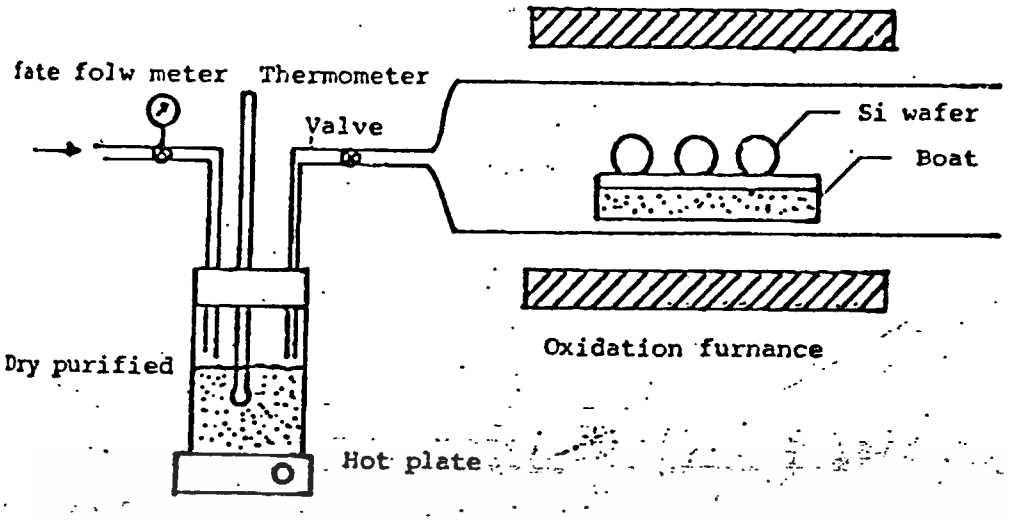
รูปที่ 3.2 กราฟแสดงความหนาของชั้นออกไซด์ ณ. เวลาหนึ่งๆ เมื่อให้อุณหภูมิคงที่ค่าต่างๆ เมื่อใช้การสร้างชั้นออกไซด์แบบ Dry Oxidation

3.2 Wet Oxidation มีสมการทางเคมี ดังนี้

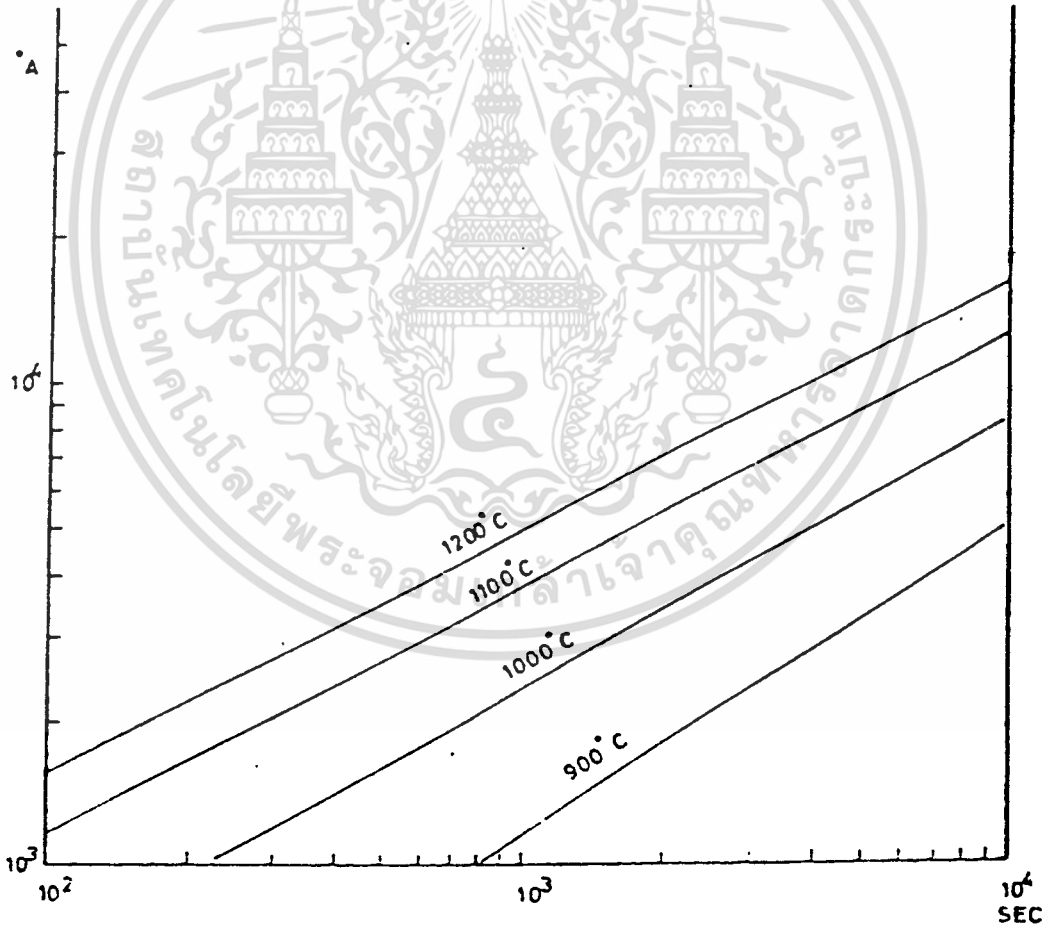
$$Si + 2H_2O \longrightarrow SiO_2 + 2H_2O$$

การสร้างชั้นออกไซด์แบบนี้ทำได้โดยผ่าน O_2 ลงในน้ำบริสุทธิ์มาก (Ultra pure water)ต้ม ก่อนจะผ่านเข้าเตาอบ ดังรูปที่ 3.3 ออกไซด์ที่ได้จะมีอัตราการเกิดเร็ว แต่ภายในออกไซด์นั้นจะมีช่องว่างมาก รูปที่ 3.4 แสดงถึงความหนาของชั้นออกไซด์ที่สร้างได้ ในเวลาต่าง ๆ ณ.อุหภูมิหนึ่ง ๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.3 แสดงอุปกรณ์ที่ใช้ในการทำ WET OXIDATION



รูปที่ 3.4 กราฟแสดงความหนาของชั้นออกไซด์ ณ.เวลาหนึ่งๆ เมื่อให้อุณหภูมิคงที่ค่าต่างๆ เมื่อใช้การสร้างชั้นออกไซด์แบบ Wet Oxidation

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เพื่อการสร้างชั้นซิลิกอนไดออกไซด์ที่มีความหนาไม่น้อยกว่า 6000° A จึงต้องทำกระบวนการออกซิเดชั่น โดยนำแผ่นผลึกซิลิกอนทิ้งไว้ในบรรยากาศของก๊าซออกซิเจนที่อุณหภูมิ 1150°C โดยมีขั้นตอนดังต่อไปนี้

-ทำการออกซิเดชั่นแบบแห้งเป็นเวลา 3 ชั่วโมง โดยอัตราการไหลผ่านของก๊าซออกซิเจน 1.2 ลิตร/นาที

-ทำการออกซิเดชั่นแบบชื้นต่อเป็นเวลา 1 ชั่วโมง โดยอัตราการไหลของก๊าซออกซิเจน 1 ลิตร/นาที

-ทำการออกซิเดชั่นแบบแห้งต่ออีก 1 ชั่วโมง โดยอัตราการไหลของก๊าซออกซิเจน 1.2 ลิตร/นาที

4. <u>กระบวนการโฟโตลิโทกราฟี มาร์คที่ 1</u>

เป็นกระบวนการที่ใช้สำหรับถ่ายภาพแบบจากโฟโตมาร์คลงบนผิวซิลิกอน เพื่อทำการเปิดช่องออกไซด์ สำหรับการแพร่สารเจือ โดยใช้น้ำยาไวแสงชนิด Negative เรียกว่าน้ำยา Waycoat มีขั้นตอนดังนี้

-ทำการเคลือบน้ำยา waycoat บนแผ่นซิลิกอนบนเครื่อง Spinner ที่มีความเร็วในการหมุน 5000 รอบ/นาที

-ทำการอบไล่ความชื้นที่อุณหภูมิ 90°C นาน 30 นาที

-นำเอามาร์คที่ 1 มาฉายแสงลงบนแผ่นซิลิกอนด้วยเครื่อง Mask Alligner โดยใช้เวลาฉายแสง 10 วินาที ใช้แสงแบบปรอทกำลัง 250 watt

-Develop Waycoat

ทำการ Develop น้ำยา waycoat ซึ่งส่วนที่ถูกแสงจะถูกกัดออกไป เปิดให้เห็นถึงชั้นออกไซด์ มีวิธีการคือ

-แช่ใน Xylene 2 ครั้ง ๆ ละ 1 นาที

-แช่ใน Isopropyl alcohol 3 ครั้ง ๆ ละ 30 วินาที

-ล้างในน้ำ DI 2 ครั้ง

-เป่าให้แห้งด้วยก๊าซไนโตรเจน

-ทำการอบไล่ความชื้น ที่อุณหภูมิ 90 °c นาน 15-20 นาที

-นำแผ่นซิลิกอนออกมาเคลือบน้ำยา waycoat ด้านหลัง เพื่อกันการแพร่สารเจือ

-อบต่อที่อุณหภูมิ 90°C นาน 30 นาที

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5. การใช้สารละลายเคมีสะกัดชั้นออกไซด์

เป็นการกัดออกไซด์เพื่อเปิดช่องสำหรับแพร่สารเจือ โดยในขั้นแรกให้ทดลองทำกับแผ่น monitor (แผ่นซิลิกอนชิ้นเล็กๆที่เหมือนแผ่นจริง ใช้ในการทดสอบ)ก่อน จากนั้นจึงค่อยใช้แผ่นจริง มีขั้นตอนดังนี้

-กัดออกไซด์ที่ monitor ด้วย Buffer นาน 5.25 นาที

-ทำการกัดแผ่นจริงด้วย Buffer นาน 5.25 นาที

-ล้างในน้ำ DI 2 ครั้ง

-เป่าให้แห้งด้วยก๊าซไนโตรเจน

6. Resist strip

-ล้าง waycoat ด้วยการต้มในกรด H_2SO_4 2 ครั้งๆละ 5 นาที

-ล้างในน้ำ DI 1 ครั้ง

-ต้มในน้ำ DI 2 ครั้ง ๆ ละ 5 นาที

-ล้างในน้ำ DI

7. Standard cleaning

-ต้มใน Trichloroethylene นาน 5 นาที เพื่อทำการล้างไขมันออก

-ล้างใน Azetone ด้วยเครื่อง Super sonic

-ล้างในน้ำ DI 2 ครั้ง

-จุ่มใน HF 5 % นาน 10 วินาที

-ล้างในน้ำ DI 2 ครั้ง

8. กระบวนการ P-well deposition

ทำการแพร่ขั้นที่ 1 หรือการ deposition ด้วยแหล่งจ่ายสารเจือ BN(A) ซึ่งมีขั้นตอนดังนี้

-วางตัวโบทส์ไว้หน้าปากเตานาน 10-15 นาที เพื่อไล่ความชื้น แล้วจึงดึงเข้ากลางเตา โดยใช้อัตราการไหลของก๊าซออกซิเจน 1 ลิตร/นาที

-Activate แหล่งจ่ายสารเจือที่อุณหภูมิ 850°C นาน 30 นาที โดยใช้อัตราการไหลของก๊าซออกซิเจน 0.7 ลิตร/นาที

-เปลี่ยนจากก๊าซออกซิเจนเป็นก๊าซไนโตรเจนที่อุณหภูมิ 850°C นาน 30 นาที โดยใช้อัตราการไหลของก๊าซไนโตรเจน 0.7 ลิตร/นาที

-เปลี่ยนจากก๊าซไนโตรเจนเป็นก๊าซออกซิเจน โดยใช้อัตราการไหลของก๊าซ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้ง

ออกซิเจน 1 ลิตร/นาที ที่อุณหภูมิ 850°C นาน 5 นาที

9. ลอกชั้น Boron glass

-จุ่มลงในกรดกัดแก้ว 5% เป็นเวลา 15 วินาที

-ล้างในน้ำ DI

-เป่าให้แห้งด้วยก๊าซไนโตรเจน

-วัดค่า Resistivity

10. Standard cleaning เหมือนในขั้นตอนที่ 7

11. กระบวนการ P-well drive in

เพื่อขับสิ่งสารที่นำมาแพร่ให้ลงไปในเนื้อสาร โดยทำที่อุณหภูมิ 1050°C มีขั้นตอนดังนี้

-นำแผ่นผลึกใส่ไว้ในเตา โดยใช้อัตราการไหลของก๊าซออกซิเจน 1 ลิตร/นาที เป็นเวลา 8 ชั่วโมง

-เปลี่ยนจากก๊าซออกซิเจนเป็นก๊าซไนโตรเจน โดยใช้อัตราการไหลของก๊าซไนโตรเจนที่ 1 ลิตร/นาที เป็นเวลา 6 ชั่วโมง

12. กระบวนการโฟโตลิโทกราฟีมาร์คที่ 2

ใช้กระจกมาร์คที่ 2 เป็นต้นแบบสำหรับการเปิดชั้นออกไซด์ เพื่อแพร่ส่วนเดรนและ ซอส ของทรานซิสเตอร์แบบ P-channel ดังมีขั้นตอน ดังนี้

-นำแผ่น Wafer มาอบไล่ความชื้นที่อุณหภูมิ 90°C นาน 20 นาที

-เคลือบน้ำยา Waycoat ด้วยเครื่อง Spinner ที่ความเร็ว 5000 รอบ/นาที

-อบในเตาที่ 90°C เป็นเวลา 30 นาที

-Allignment ด้วยมาร์คที่ 2

-Develop waycoat

13. Oxide etching เหมือนขั้นตอนในข้อที่ 5

14. Resist strip เหมือนขั้นตอนในข้อที่ 6

15. Standard cleaning เหมือนขั้นในข้อที่ 7

16. Boron deposition

-ปรับอุณหภูมิของเตาให้คงที่ที่ 970°C แล้วนำแผ่นโบรอนเข้า Activate โดย flow O_2 ที่ 0.7 ลิตร/นาที นาน 30 นาที

-ทำการ Stabilize แผ่น Boron โดย flow N_2 แทน O_2 ด้วยอัตรา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

0.7 ลิตร/นาที เป็นเวลา 20 นาที

-ทำการ Predeposite โดยอบแผ่นซิลิกอนพร้อมแผ่นโบรอน ใช้ flow N_2 ด้วยอัตรา 0.7 ลิตร/นาที เท่าเดิม นาน 30 นาที

-เปลี่ยนจาก N_2 เป็น O_2 โดย flow ด้วยอัตรา 1 ลิตร/นาที เป็นเวลา 5 นาที

17. Boron glass removal เหมือนขั้นตอนในข้อที่ 9

18. Standard cleaning เหมือนขั้นตอนในข้อที่ 7

19. Boron drive-in

ปรับอุณหภูมิเตาให้คงที่ที่ 1000°C

-นำแผ่นซิลิกอนใส่ในเตา flow ด้วย dry O_2 1 ลิตร/นาที เป็นเวลา 30 นาที

-flow ด้วย wet O_2 1 ลิตร/นาที นาน 30 นาที

-flow ด้วย dry O_2 1 ลิตร/นาที นาน 30 นาที

20. โฟโตลิโทกราฟีมาร์คที่ 3

เป็นการสร้างชั้น n เพื่อเป็นส่วนเดรน และ ซอส ลงใน P-well มีขั้นตอนเหมือนในข้อที่ 4 เพียงแต่เปลี่ยนจากมาร์คที่ 1 เป็นมาร์คที่ 3 เท่านั้น

21. Oxide etching เหมือนขั้นตอนในข้อที่ 5

22. Resist strip เหมือนขั้นตอนในข้อที่ 6

23. Standard cleaning เหมือนขั้นตอนในข้อที่ 7

24. Phosphorus deposition

-ปรับอุณหภูมิของเตาให้คงที่ที่ 1000°C

-Predeposite โดย flow N_2 0.6 ลิตร/นาที นาน 12 นาที

25. Phosphorus glass removal เหมือนขั้นตอนในข้อที่ 9

26. Standard cleaning เหมือนขั้นตอนในข้อที่ 7

27. Phosphorus drive-in

-ปรับอุณหภูมิของเตาให้คงที่ที่ 1000°C

-นำแผ่นซิลิกอนเข้าเตาโดย flow ด้วย dry O_2 1.2 ลิตร/นาทีนาน 15 นาที

-flow ด้วย wet O_2 1.2 ลิตร/นาที นาน 20 นาที

-flow ด้วย dry O_2 1.2 ลิตร/นาที นาน 15 นาที

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น รวมทั้งไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเอกสารทุกครั้งที่มีการนำไปใช้

28. โฟโตลิโทกราฟีมาร์คที่ 4

เป็นการสร้างชั้น Gate oxide โดยทำเหมือนในขั้นตอนที่ 4 เพียงแต่เปลี่ยนจากมาร์คที่ 1 เป็นมาร์คที่ 4 แต่ไม่ต้องทาน้ำยา waycoat ที่ด้านหลังแผ่น

29. Oxide etching เหมือนขั้นตอนในข้อที่ 5

30. Resist strip เหมือนขั้นตอนในข้อที่ 6

31. Standard cleaning เหมือนขั้นตอนในข้อที่ 7

32. Gate oxidation

-ปรับอุณหภูมิของเตาให้คงที่ที่ 980°C

-flow ด้วย dry O_2 1 ลิตร/นาที นาน 50 นาที

-flow ด้วย dry N_2 1 ลิตร/นาที นาน 10 นาที

33. โฟโตลิโทกราฟีมาร์คที่ 5

เป็นการสร้าง Window เพื่อเจาะช่อง ส่วนเดรน กับส่วนซอส โดยทำเหมือนในขั้นตอนข้อที่ 4 เพียงแต่เปลี่ยนจากมาร์คที่ 1 เป็นมาร์คที่ 5 เท่านั้น

34. Oxide etching เหมือนขั้นตอนในข้อที่ 5

35. Resist strip เหมือนขั้นตอนในข้อที่ 6

36. Standard cleaning เหมือนขั้นตอนในข้อที่ 7

37. Aluminium deposition

เป็นการสร้างชั้นของ Al ลงบนแผ่นซิลิกอน โดยใช้วิธีการระเหย (Evaporation) Al ให้เกาะเป็นผลึกฟิล์มบางๆ บนแผ่นซิลิกอน ในเครื่องสูญญากาศ สาเหตุที่ใช้ Al ก็เพราะ Al นั้นเป็นตัวนำที่ดี ให้รอยต่อโอห์มมิคกับสารกึ่งนำ เกาะ SiO_2 ได้สนิท มีขั้นตอนดังนี้

-นำ Aluminium filament ไปทำความสะอาดด้วย HF 5% นาน 3 นาที

-ล้างด้วย acetone ในเครื่อง super sonic

-นำ Filament มาระเหยในเครื่องสูญญากาศ โดยใช้กระแสไฟฟ้า

-วางแผ่นซิลิกอนให้รับไอของ Al

38. โฟโตลิโทกราฟีมาร์คที่ 6

เป็นการกัด Al ในขั้นตอนที่ 37 เพื่อให้เป็นไปตามวงจรที่ได้ออกแบบเอาไว้ มีขั้นตอนดังนี้

-อบไล่ความชื้นในเตาที่อุณหภูมิ 90°C นาน 20 นาที

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

-เคลือบน้ำยา AZ บนเครื่อง spinner ที่ความเร็ว 5000 รอบ/นาที

-อบในเตาที่อุณหภูมิ 90°C นาน 15 นาที

-ทำการ Allign ด้วยมาร์คที่ 6

-Develop AZ โดยใช้น้ำยา AZ developer 2 ครั้งๆละ 30 วินาที

-ล้างในน้ำ DI 2 ครั้ง

-เป่าให้แห้งด้วย N_2

39. Aluminium etching

ทำการกัดลาย Al โดยใช้กรดฟอสฟอริก (H_3PO_4) ที่อุณหภูมิ 40-50 °C เป็นเวลา 1-2 นาที

40. Resist strip

-ล้างใน Azetone 2 ครั้ง ๆ ละ 1 นาที (ห้ามทำการ Super sonic)

-ล้างใน DI 2 ครั้ง

-เป่าให้แห้งด้วย N_2

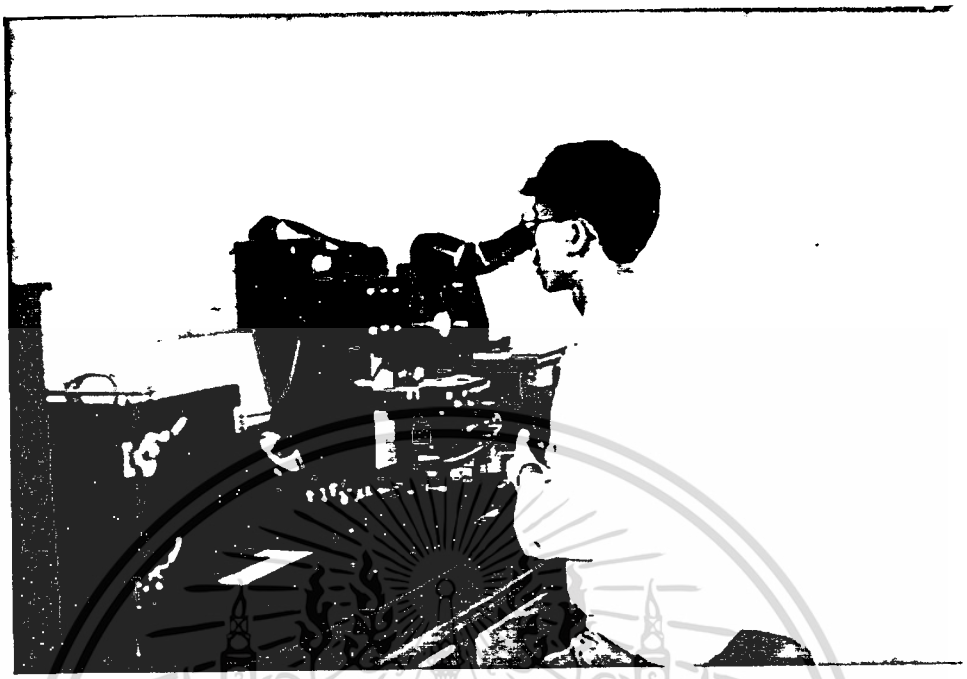
41. Sintering

เป็นการสร้าง Ohmic contact ระหว่างผิวหน้าของซิลิกอนกับชั้วโลหะ Al โดยนำแผ่นซิลิกอนอบในเตาที่มีอุณหภูมิคงที่ที่ 480°C มีขั้นตอนดังนี้

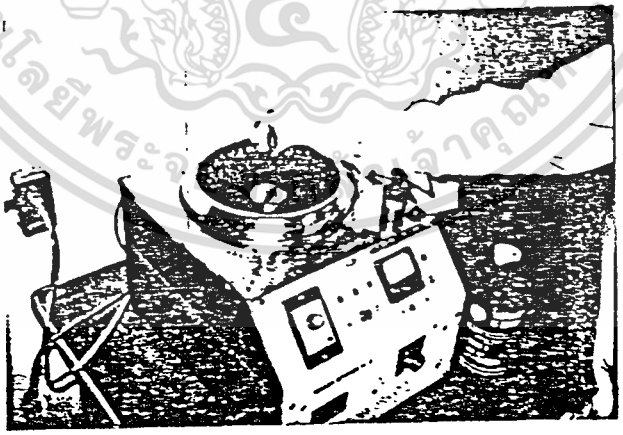
-flow ด้วย dry N_2 1 ลิตร/นาที เป็นเวลา 12 นาที

รูปที่ 3.5 ถึง รูปที่ 3.12 เป็นภาพถ่ายแสดงขั้นตอนต่าง ๆ ของกระบวนการสร้างวงจรรวมแบบ CMOS

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.5 แสดงภาพถ่ายของการ Allign mask



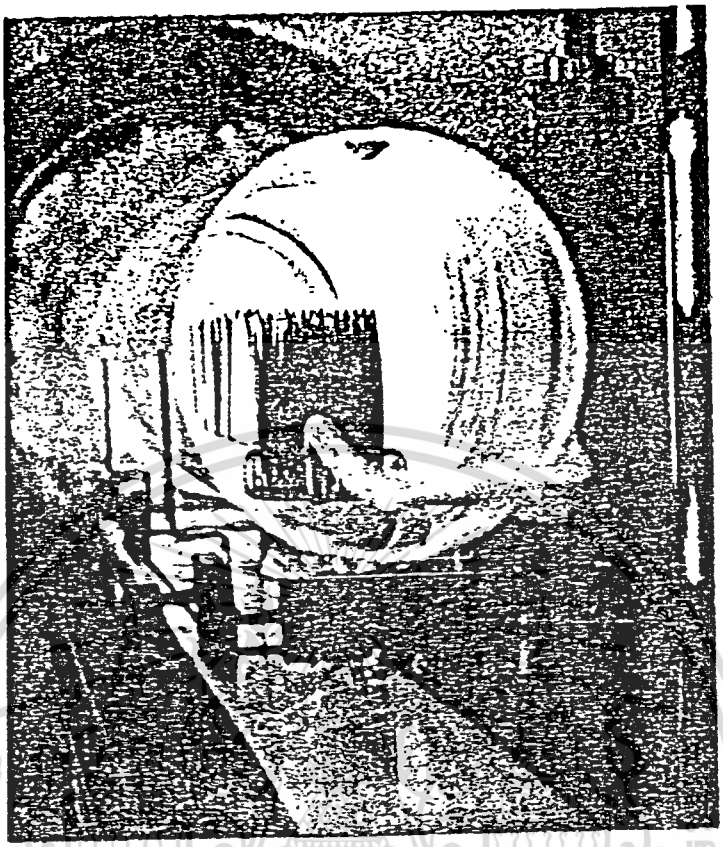
รูปที่ 3.6 แสดงภาพถ่ายของการเคลือบน้ำยาไวแสงลงบนแผ่นผลึก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

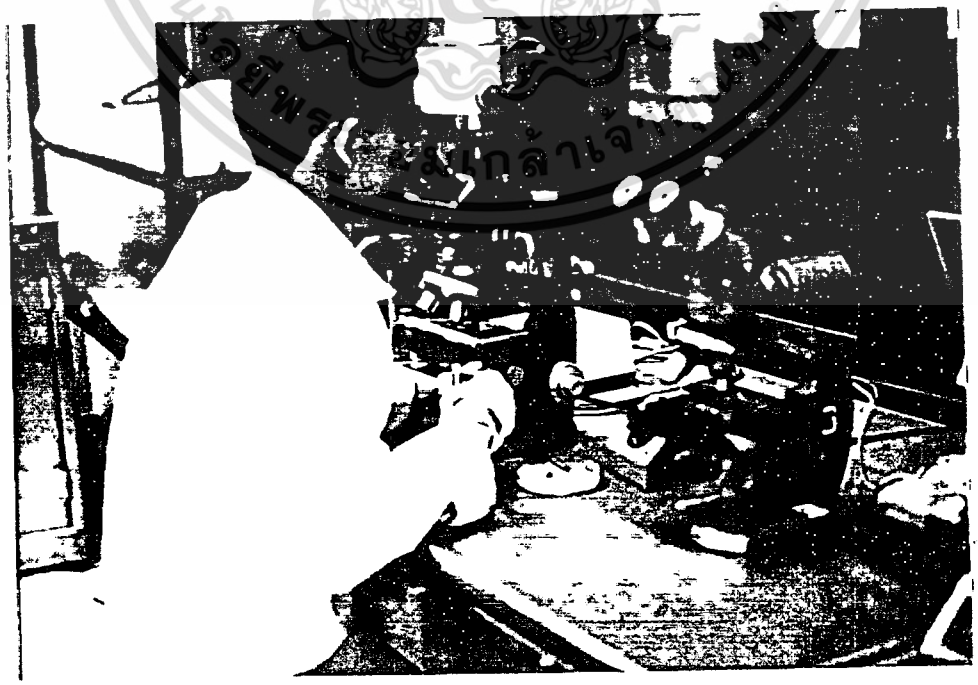
รูปที่ 3.7 แสดงภาพถ่ายน้ำยาที่ใช้ในการ Develop

รูปที่ 3.8 แสดงภาพถ่ายน้ำยาที่ใช้ในการกัด Buffer

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



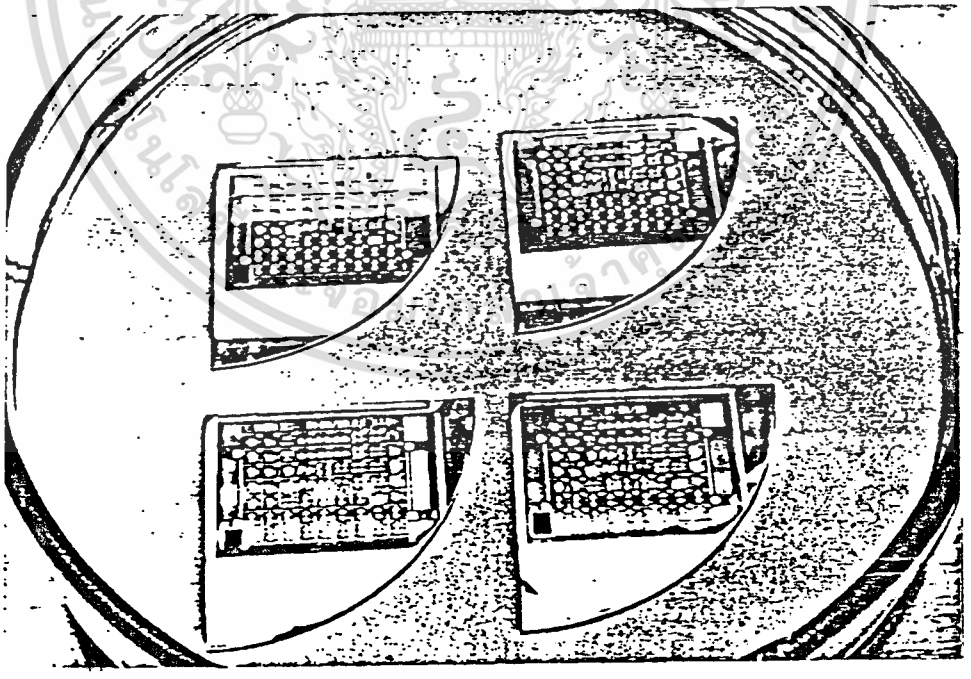
รูปที่ 3.9 แสดงภาพถ่ายของการนำแผ่นผลิกเข้าเตาเพื่อการแพร่



รูปที่ 3.10 แสดงภาพถ่ายของการตรวจดูว่ากัดน้ำยาไวแสงออกหมดหรือไม่

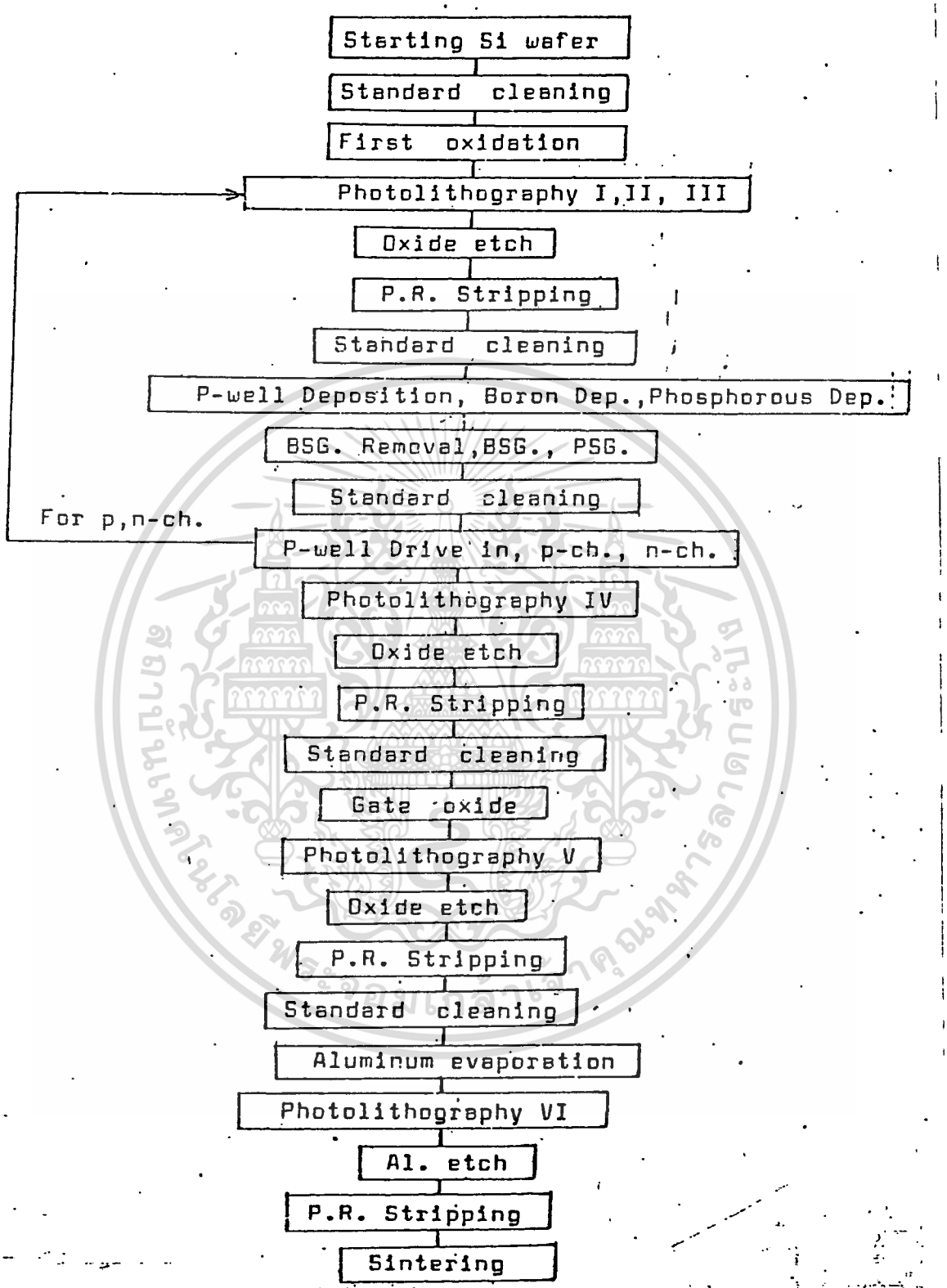
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 3.11 แสดงภาพถ่ายของการ Evaporate



รูปที่ 3.12 แสดงภาพถ่ายของลักษณะวงจรรวมที่สร้างบนแผ่นผลึก

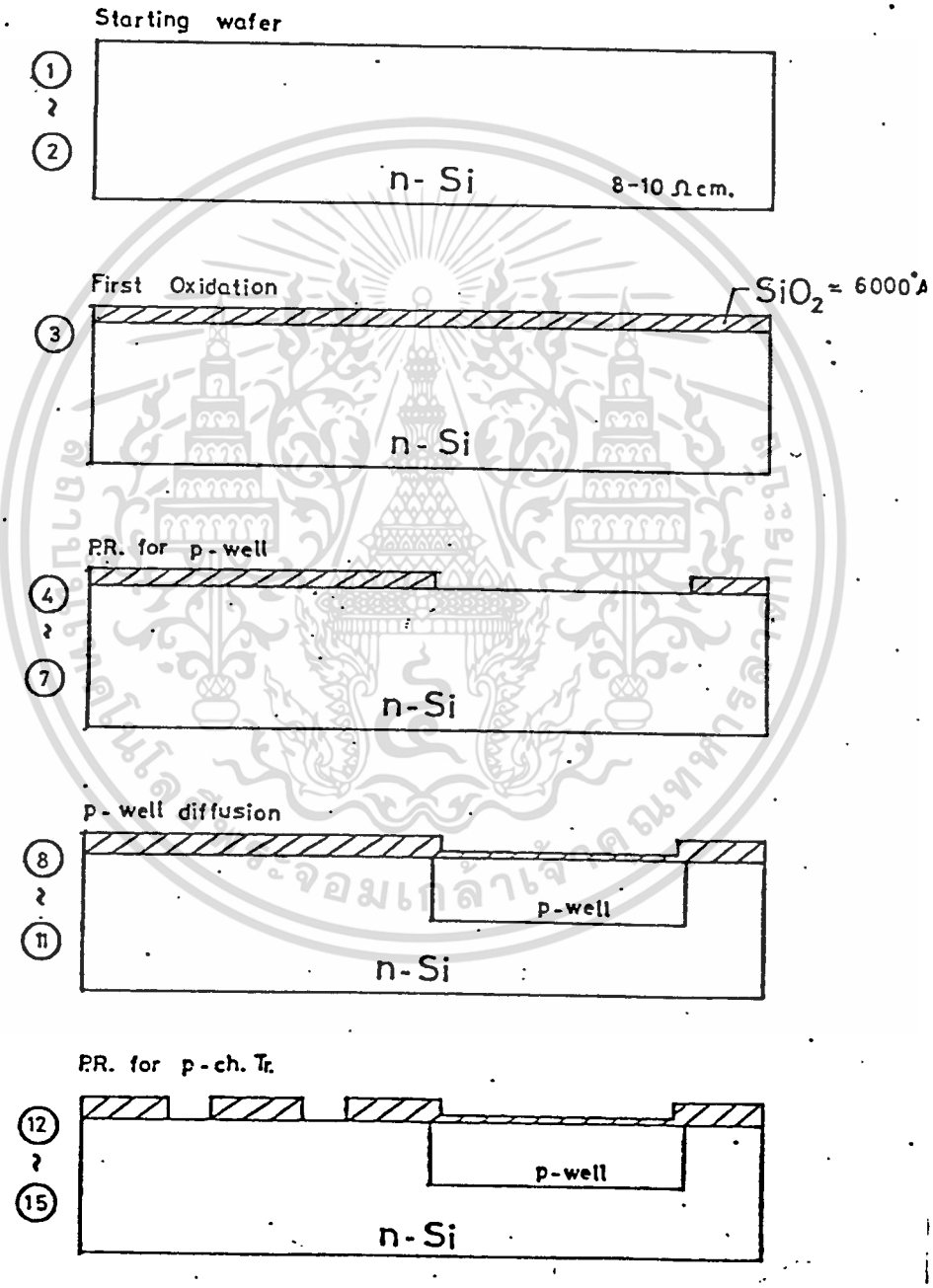
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



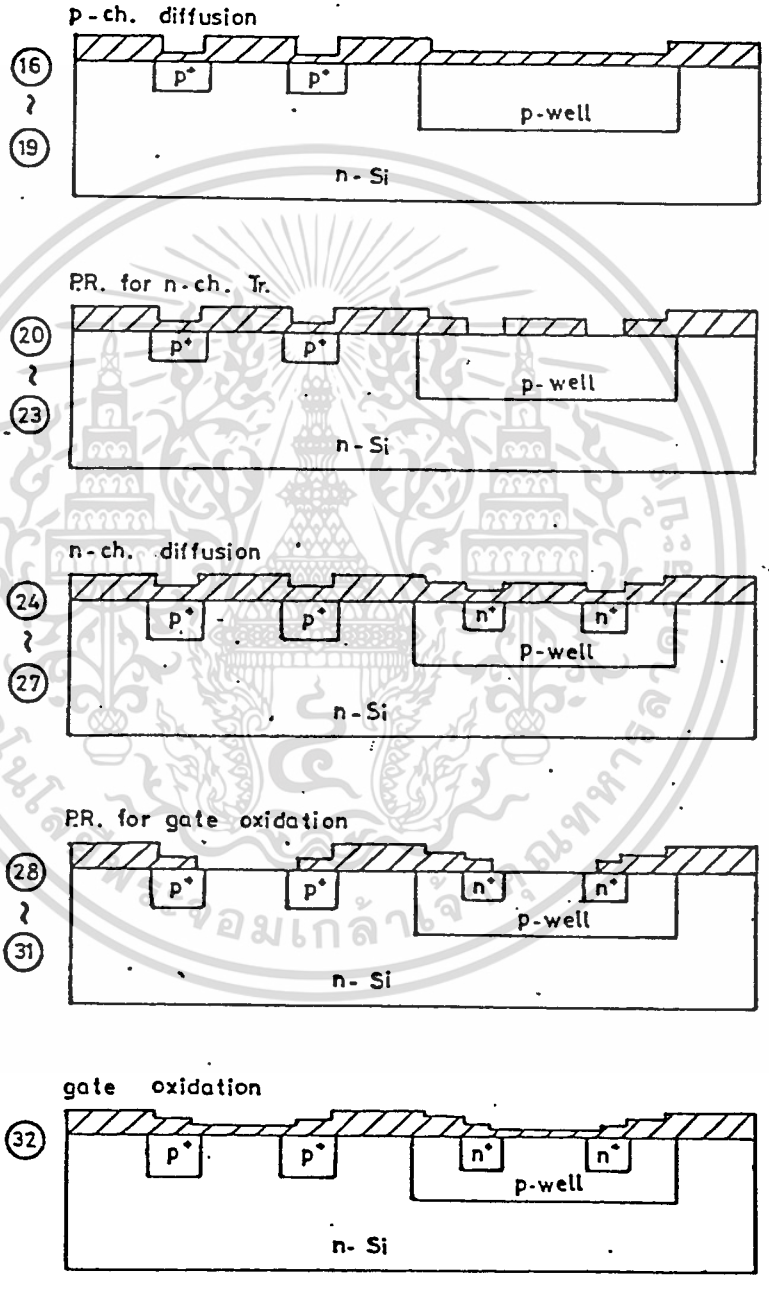
รูปที่ 3.13 แสดง Flow chart ของกระบวนการสร้างวงจรรวม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

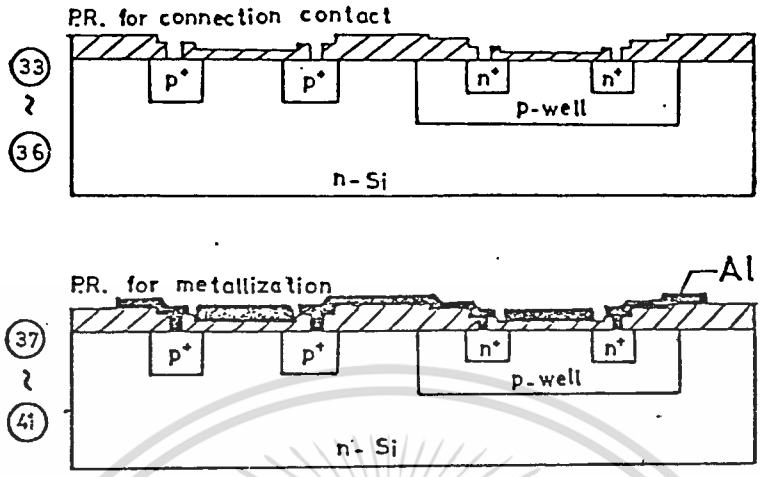
Fabrication Process of Metal Gate CMOS IC.



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.14 แสดงลักษณะโครงสร้างของวงจรรวมตามลำดับขั้นตอนต่าง ๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4 การทดลองและผลการทดลอง

4.1 วัดคุณสมบัติของ PMOS และ NMOS Transistor

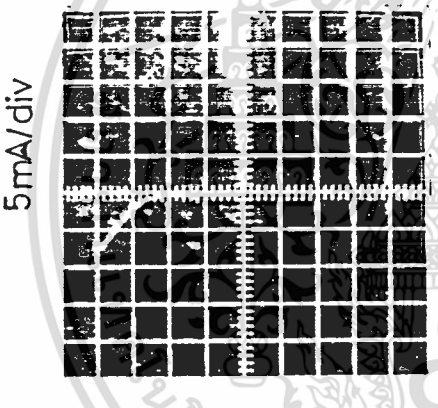
4.1.1 คุณสมบัติ Breakdown ของรอยต่อ pn

น่า MOSFET ที่สร้างขึ้น มาทำการวัดคุณสมบัติ Breakdown โดยทำการวัด device ที่อยู่ในส่วน MONITOR TEST BREAKDOWN ก่อนเพื่อความแน่ใจว่า MOS Transistor ทั้ง N และ PMOS จะทำงานได้ปกติ ซึ่งในที่นี้จะวัดรอยต่อ p-n ของ device อยู่ 2 ตัว คือ

ก.ส่วน p^+ กับ n-substate

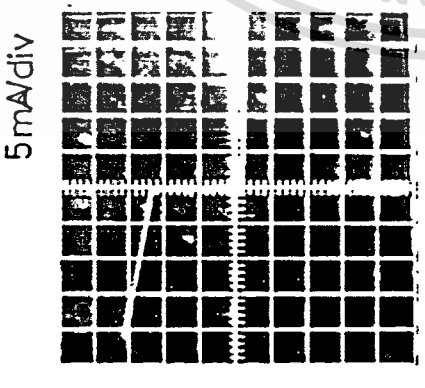
ข.ส่วน n^+ กับ P-well

จากการทดลอง สามารถหาค่าแรงดัน Vreakdown ของรอยต่อ pn แต่ละชนิดได้ดังรูป



V_b = -130 Volts

ก. รอยต่อระหว่าง p^+ กับ n-sub



V_b = -11 Volts

ข. รอยต่อระหว่าง n^+ กับ P-well

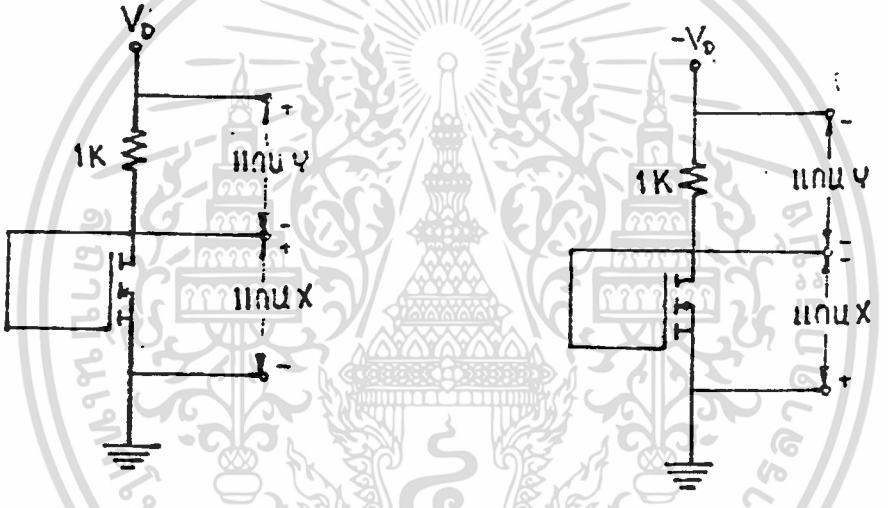
รูปที่ 4.1 กราฟแสดงรอยต่อ p-n ของ device

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.1.2 การหาค่าแรงดันวิกฤต (Threshold Voltage)

นำ MOSFET มาต่อวงจรข้างล่าง ร่วมกับเครื่องเขียนกราฟ โดยให้แกน X เป็นแกนของแรงดัน V_{DS} และแกน Y เป็นแกนของกระแส I_D ในกรณีนี้จะเห็นว่า ขาเกท (G) ต่ออยู่กับขาเดรน (D) ทำให้ $V_g = V_{DD}$ ตลอดเวลา และ $|V_D| > |V_a|$ เสมอ และเมื่อเพิ่มแรงดัน V_D จะเป็นผลให้ V_g เพิ่มขึ้นตามค่าแรงดันเกท (V_g) นี่ก็คือ แรงดันวิกฤตของ MOSFET

การหา Threshold Voltage นั้นสามารถทำได้โดยอ่านจากกราฟของ Root I_d ที่วาดได้ โดยลากเส้นตรงแนวเดียวกับความชันของกราฟ ช่วงที่กระแสเริ่มไหลมาตัดที่แกน V_g ของกราฟ จุดตัดที่ได้คือ แรงดันวิกฤต



ก. แบบ N-MOS ข. แบบ P-MOS

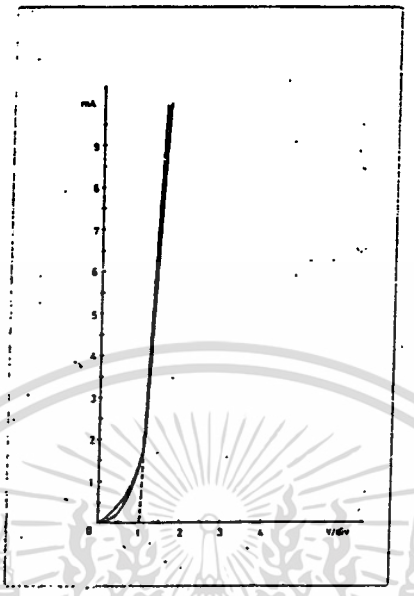
รูปที่ 4.2 แสดงวงจรวัดค่าแรงดันวิกฤต (threshold voltage)

จากการทดลอง ได้กราฟออกมาดังรูป ซึ่ง CMOS ตัวอื่น ๆ ก็ให้คุณสมบัติคล้ายคลึงกัน และสามารถสรุปผลได้ดังนี้

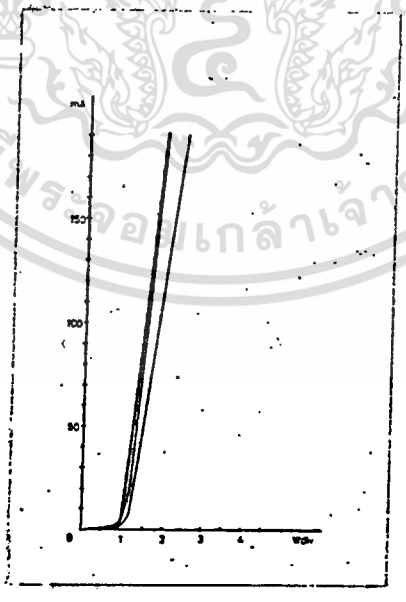
V_T ของ PMOS ประมาณ 1 Volts

V_T ของ NMOS ประมาณ 1 Volts

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ก. กราฟแสดง Threshold Voltage ของ NMOS



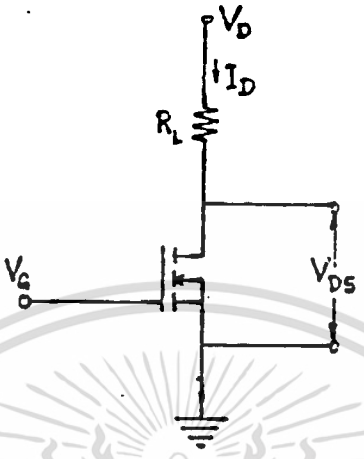
ข. กราฟแสดง Threshold Voltage ของ PMOS

รูปที่ 4.3 กราฟแสดงค่า Threshold Voltage ของ ก. NMOS ข. PMOS

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.1.3 การหา I-V characteristic

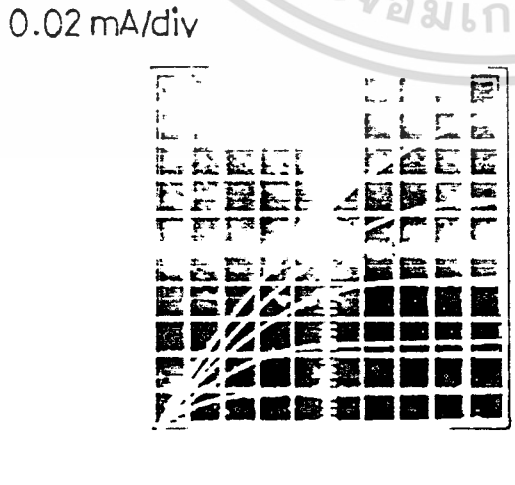
นำ MOSFET ที่สร้างได้ มาต่อเข้ากับเครื่อง Transistor curve Tracer ซึ่งเมื่อต่อแล้วจะได้วงจรออกมาดังรูป



รูปที่ 4.4 รูปแสดงวงจรหา I-V characteristic

ซึ่งเป็นการวัดเนื้อหาความสัมพันธ์ระหว่างแรงดันตกคร่อมส่วน drain และ source (V_{DS}) กับกระแสเดรน (I_D) ที่แรงดันเกท (V_D) ซึ่งจะเป็นผลให้กระแสเดรน (I_D) เปลี่ยนแปลงไป จากนั้นก็ปรับค่าแรงดันเกทใหม่ แล้วเปลี่ยนแรงดันเดรนอีก ก็จะได้กราฟดังรูป ซึ่ง CMOS ตัวอื่น ๆก็ให้คุณสมบัติคล้ายคลึงกัน

จากกราฟ I-V characteristic สามารถนำมาคำนวณค่า $g_m(sat)$ ของ MOSFET ได้โดย $g_m(sat) = \Delta I_D / \Delta V_G$



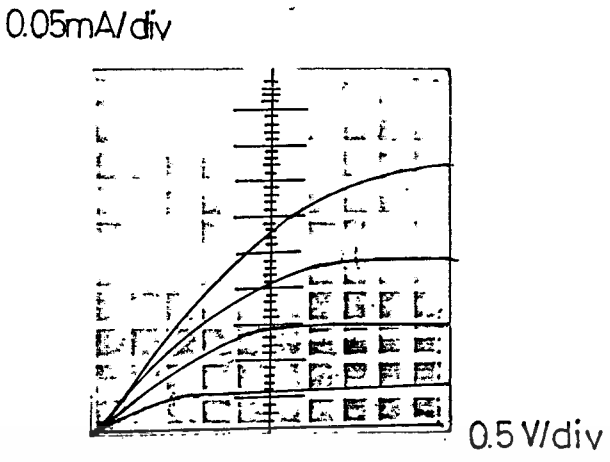
ΔI_D = 0.02 mA

ΔV_G = 0.5 V

$G_{m(SAT)}$ = 40 mho

ก. กราฟ characteristic ของ PMOS ที่ W/L = 40/20

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

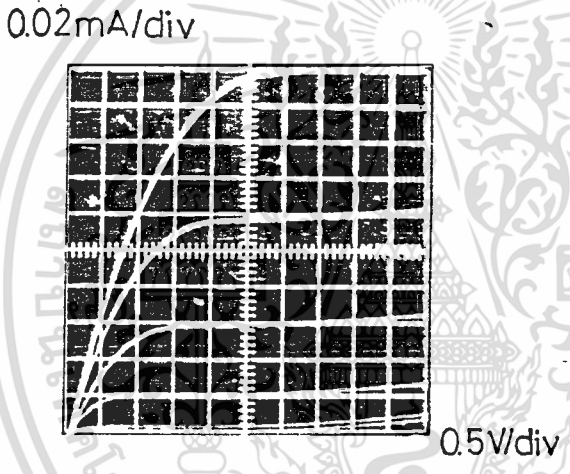


ΔI_D = 0.03 mA

ΔV_G = 0.5 V

$G_{m(SAT)}$ = 60 mho

ข. กราฟ I-V characteristic ของ PMOS ที่ W/L = 100/20

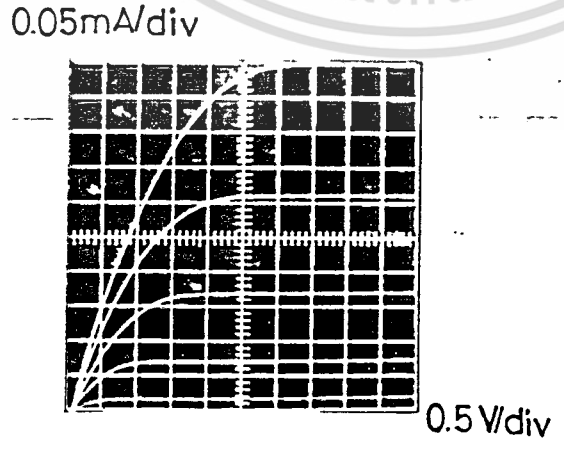


ΔI_D = 0.06 mA

ΔV_G = 0.5 V

$G_{m(SAT)}$ = 120 mho

ค. กราฟ I-V characteristic ของ NMOS ที่ W/L = 40/20



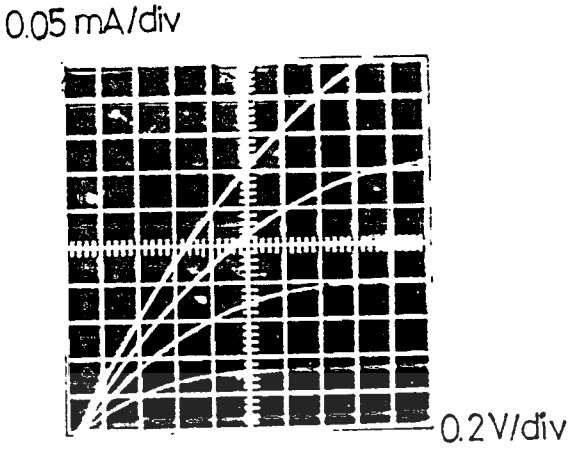
ΔI_D = 0.10 mA

ΔV_G = 0.5 V

$G_{m(SAT)}$ = 200 mho

ง. กราฟ I-V characteristic ของ NMOS ที่ W/L = 80/20

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

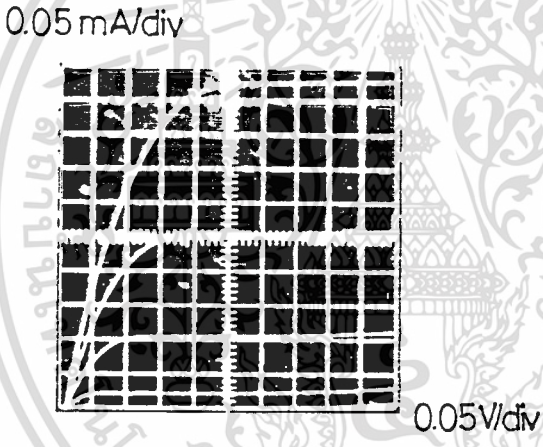


ΔI_D = 0.05 mA

ΔV_G = 0.2 V

$G_{m(SAT)}$ = 250 mho

จ. กราฟ I-V characteristic ของ NMOS ที่ W/L = 100/20



ΔI_D = 0.14 mA

ΔV_G = 0.5 V

$G_{m(SAT)}$ = 280 mho

ฉ. กราฟ I-V characteristic ของ NMOS ที่ W/L = 120/20

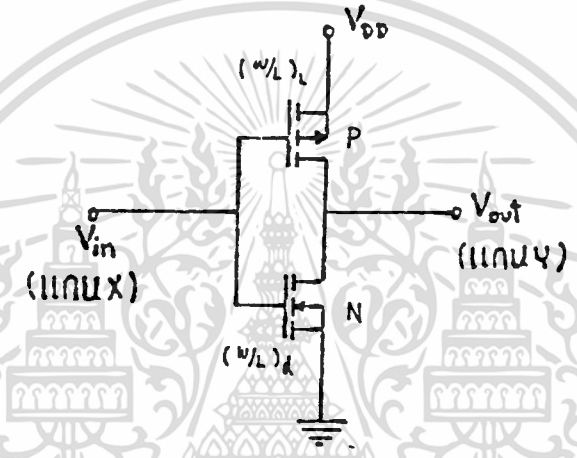
รูปที่ 4.5 ก.- ฉ. รูปกราฟ I-V Characteristic ของ NMOS และ PMOS

4.2 การวัดคุณสมบัติของ CMOS Inverter

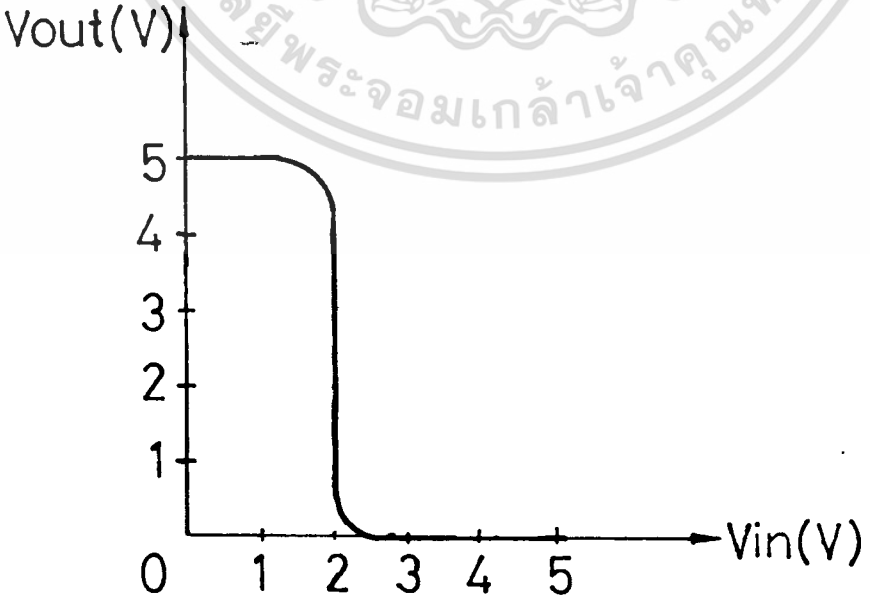
ในที่นี้จะเป็นการศึกษาคุณสมบัติของ CMOS Inverter ทางด้าน Transfer characteristic เท่านั้น สามารถวัดได้โดยนำ MOSFET มาต่อวงจรตามรูป ร่วมกับเครื่องเขียนกราฟ โดยให้แกน X เป็นแกนของแรงดันขาเข้า (V_{in}) ส่วนแกน Y เป็นแกนของแรงดันขาออก (V_{out}) ซึ่งทำการวาดกราฟโดยตั้งค่าแรงดันไฟเลี้ยง (V_{DD}) ให้มีค่าเป็น 10 V แล้วทำการปรับเปลี่ยนค่าของแรงดันอินพุทตั้งแต่ 0-10 V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากการทดลองวัด CMOS Inverter ได้กราฟของ transfer characteristic ดังรูป ซึ่งอินเวอร์เตอร์ตัวอื่น ๆ ก็ให้ค่าคล้ายคลึงกัน จากรูปกราฟ จะเห็นได้ว่า ขณะที่ให้ logic "0" แก่อินเวอร์เตอร์นั้น แรงดันที่เอาท์พุทจะมีค่าประมาณ 5 V หรือมีสถานะเป็น logic "1" และเมื่อแรงดันอินพุทมีค่าเพิ่มขึ้นจนถึงประมาณ 2 - 3 V แรงดันที่เอาท์พุทจะลดลงเข้าสู่ช่วงทรานซิชั่น (transition) และเมื่อปรับแรงดันอินพุทจนมีค่าประมาณ 4 V อินเวอร์เตอร์ก็จะเปลี่ยนสถานะเป็น logic "0"

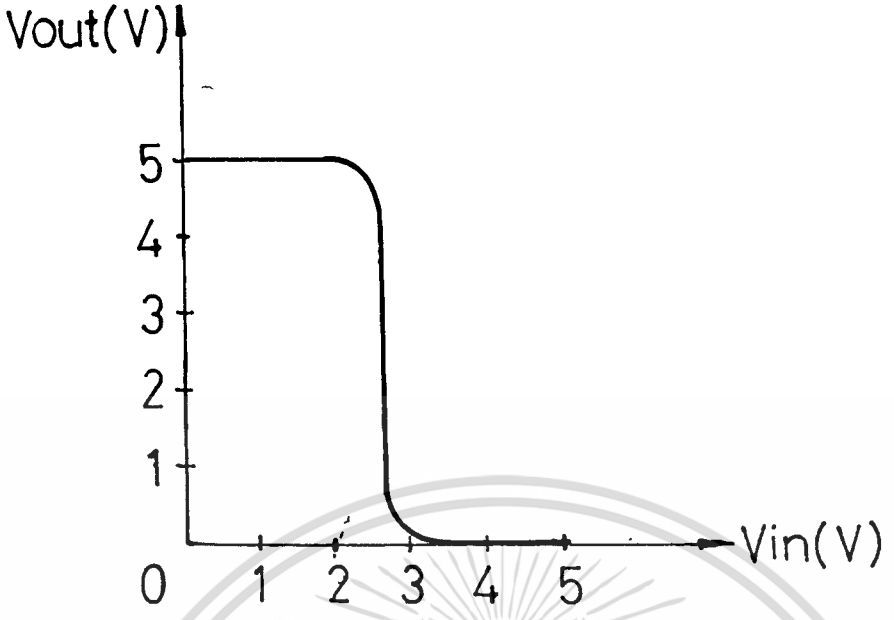


รูปที่ 4.6 รูปแสดงวงจรวัดคุณสมบัติของ CMOS INTERTER

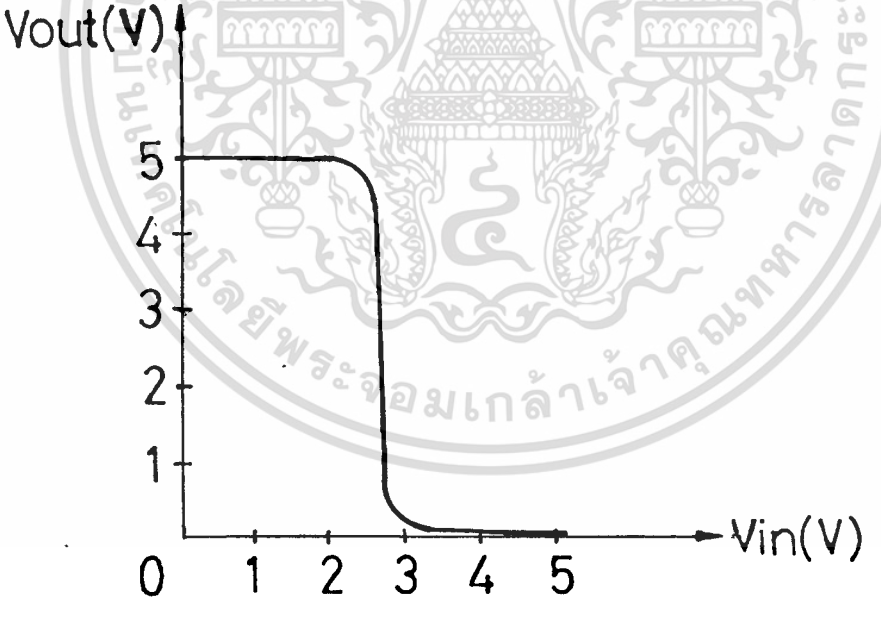


ก. ที่ $(W/L)_P/(W/L)_N = (160/20)_P/(40/20)_N$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



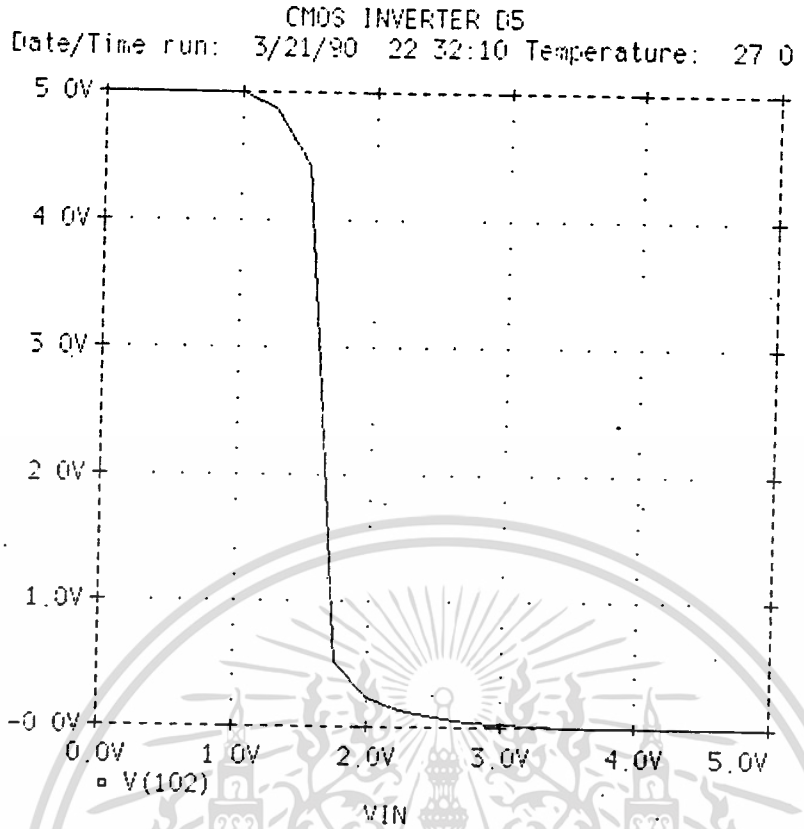
ข. ที่ $(W/L)_n/(W/L)_p = (140/20)_n/(600/20)_p$



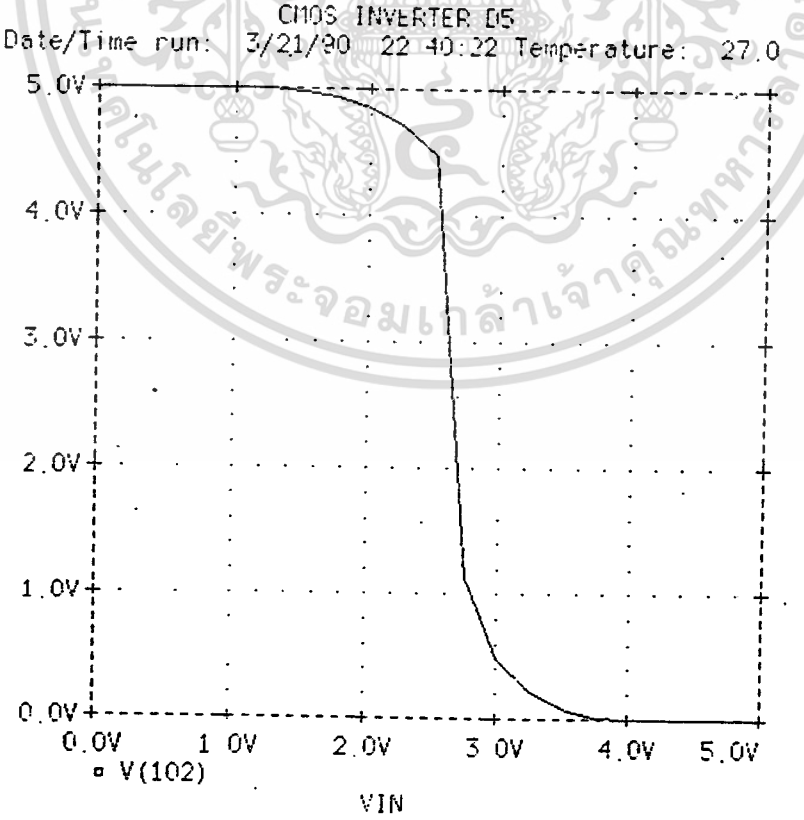
ค. ที่ $(W/L)_p/(W/L)_n = (80/20)_p/(40/20)_n$

รูปที่ 4.7 ก.- ค. เป็นกราฟ Transfer Characteristic ของ CMOS Inverter ที่ W/L ค่าต่าง ๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

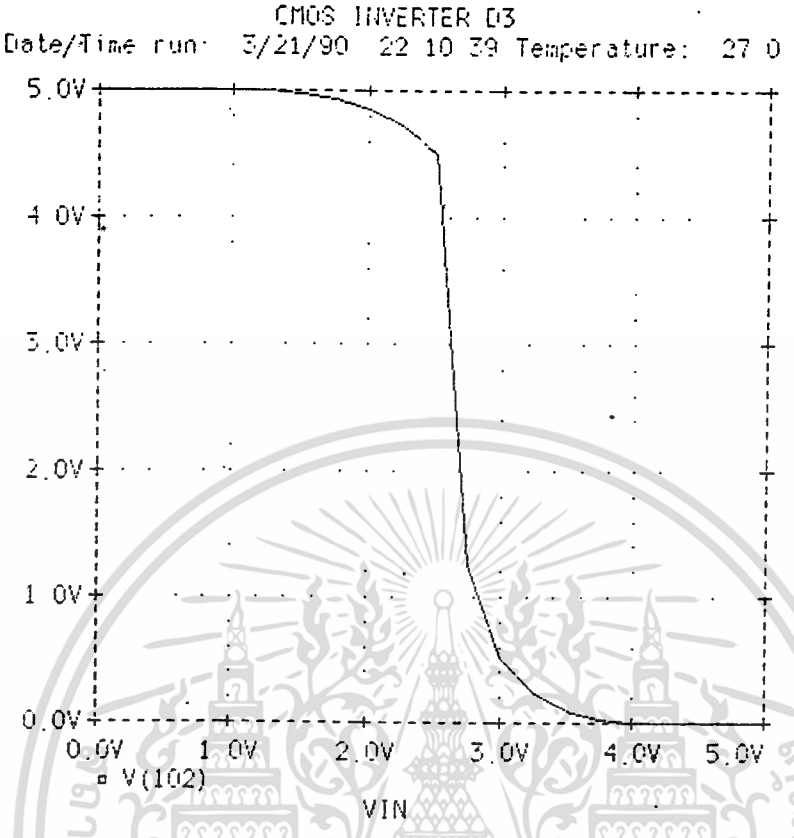


ก. ที่ $(W/L)_n/(W/L)_p = (160/20)_n/(40/20)_p$



ข. ที่ $(W/L)_n/(W/L)_p = (140/20)_n/(600/20)_p$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



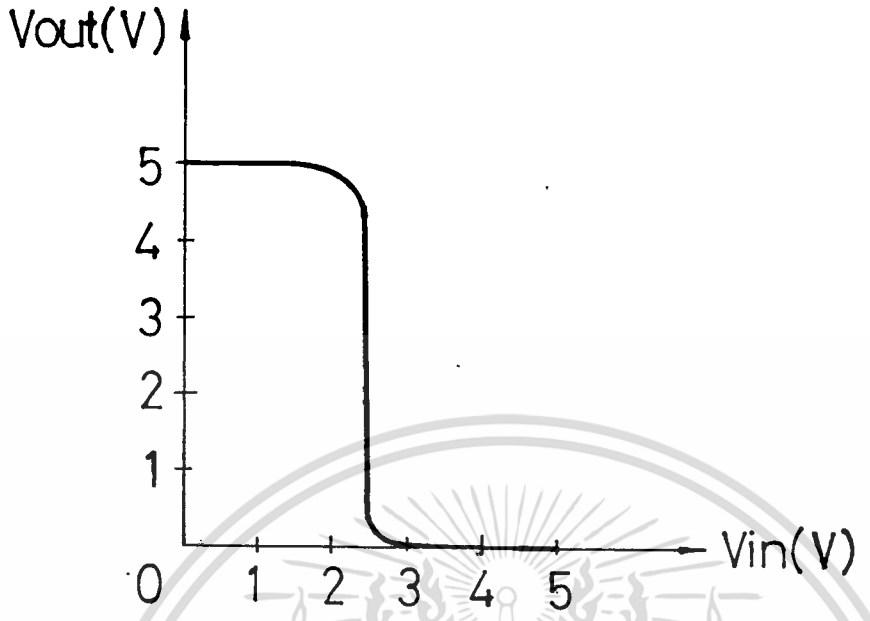
ค. ที่ $(W/L)_p/(W/L)_n = (80/20)_p/(40/20)_n$

รูปที่ 4.8 ก.- ค. เป็นรูปกราฟแสดงการจำลองแบบ Transfer Characteristic ด้วยโปรแกรม PSPICE

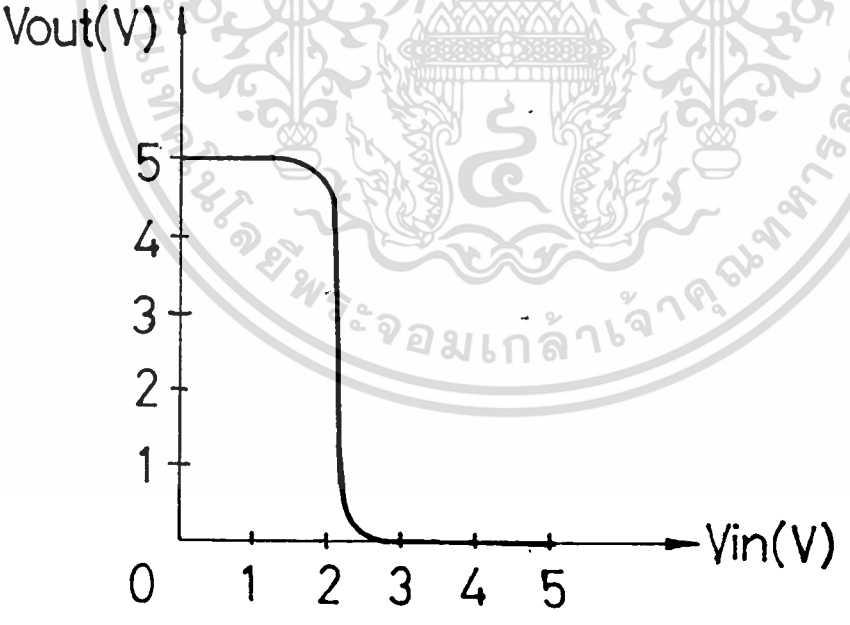
4.3 การวัดคุณสมบัติของ CMOS NAND Inverter

ในการวัดคุณสมบัติของ CMOS NAND Inverter ในที่นี้จะเป็นการวัดคุณสมบัติทางด้าน Transfer Characteristic เช่นเดียวกัน โดยใช้วงจรที่ใช้ในการออกแบบของ CMOS NAND Gate ในหัวข้อที่ 2.2 เป็นวงจรในการทดลอง ซึ่งจะได้กราฟ และการจำลองแบบด้วยโปรแกรม PSPICE ดังในรูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



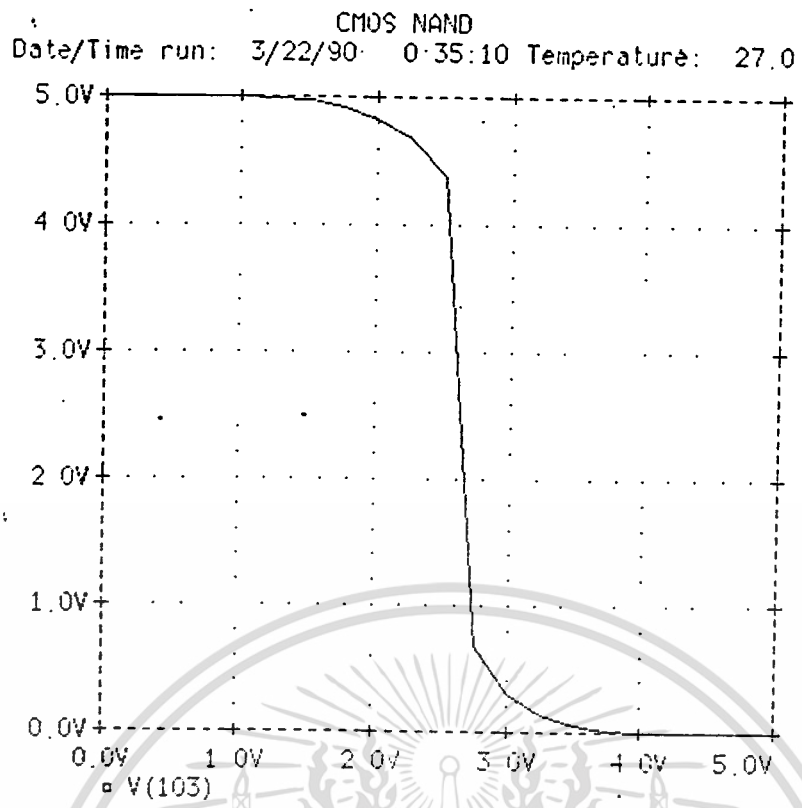
ก. ที่ $(W/L)_n/(W/L)_p = (60/20)_n/(40/20)_p$



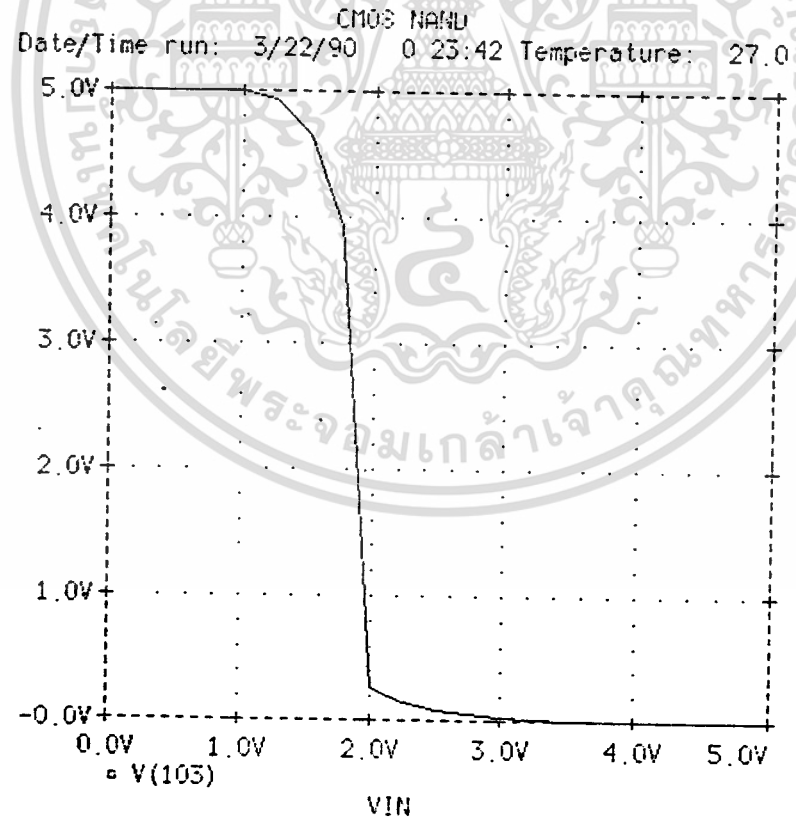
ข. ที่ $(W/L)_n/(W/L)_p = (600/20)_n/(40/20)_p$

รูปที่ 4.9 ก.-ข. เป็นรูปกราฟแสดง Transfer Characteristic ของ CMOS NAND Inverter ที่ (W/L) ค่าต่างๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ก. ที่ $(W/L)_n/(W/L)_p = (60/20)_n/(40/20)_p$



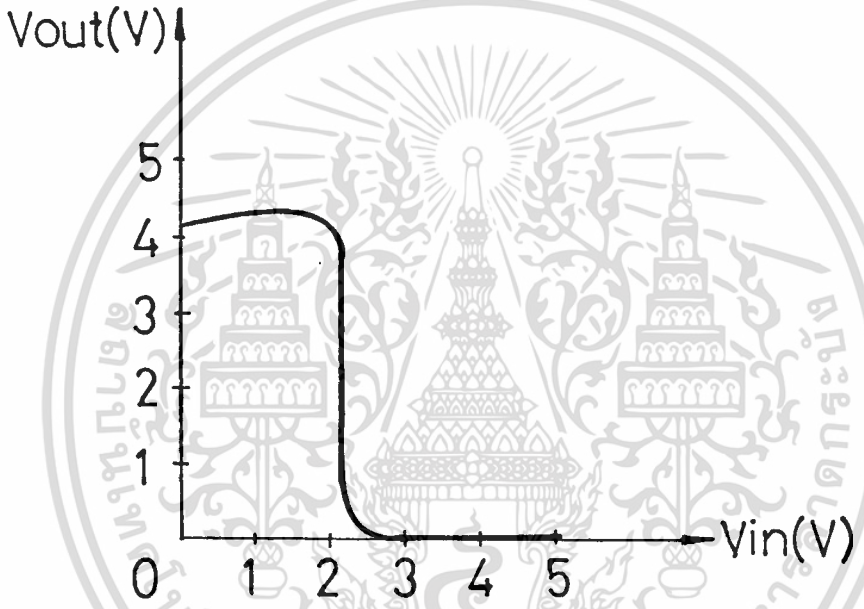
ข. ที่ $(W/L)_n/(W/L)_p = (600/20)_n/(40/20)_p$

รูปที่ 4.10 ก.-ข. เป็นรูปกราฟแสดงการจำลองแบบ Transfer Characteristic ของ CMOS NAND Inverter ด้วยโปรแกรม PSPICE

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

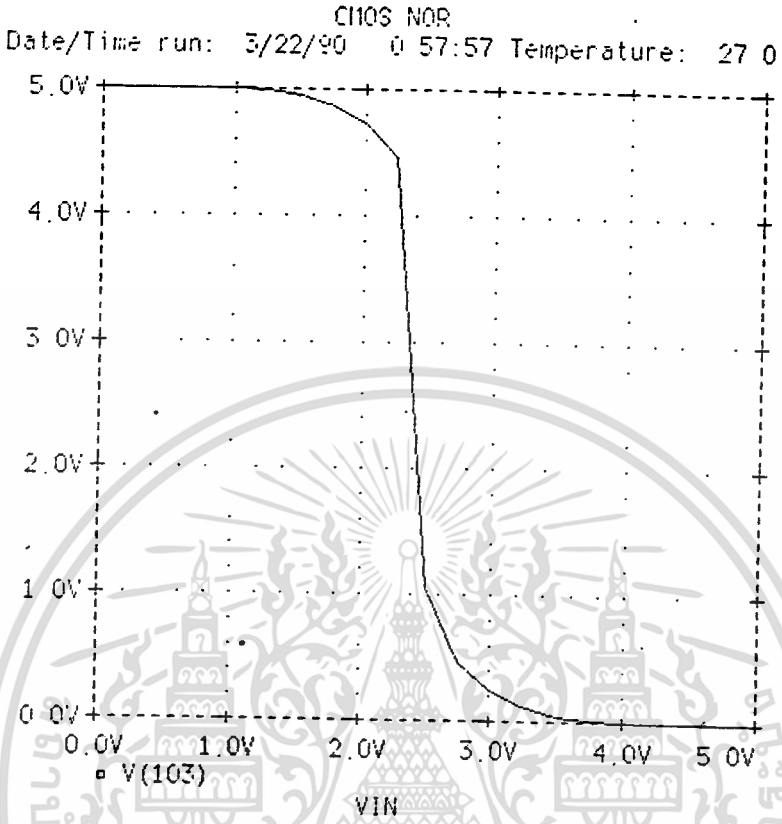
4.4 การวัดคุณสมบัติของ CMOS NOR Inverter

ในการวัดคุณสมบัติของ CMOS NOR Inverter ในที่นี้ก็จะวัดทางด้าน Transfer Characteristic เช่นกัน โดยจะใช้วงจรการวัดตามหัวข้อที่ 2.3 ดังที่ได้กล่าวมาแล้ว ซึ่งจะได้กราฟจากการทดลองวัด และกราฟที่ได้จากการจำลองด้วยโปรแกรม PSPICE ดังในรูป



รูปที่ 4.11 แสดงกราฟ Transfer Characteristic ของ CMOS NOR Inverter ที่ $(W/L)_p/(W/L)_n = (400/20)_p/(100/20)_n$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.12 กราฟแสดงการจำลองแบบ Transfer Characteristic ของ CMOS NAND Inverter ด้วยโปรแกรม PSPICE

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5 สรุป และวิจารณ์ผลการทดลอง

5.1 คุณสมบัติรอยต่อเบรคดาวน์

จากผลการวัดคุณสมบัติ ความสัมพันธ์ระหว่างกระแส และแรงดันของรอยต่อ พี-เอ็น แสดงให้เห็นว่ารอยต่อมีคุณสมบัติ เรคติไฟเออร์อย่างสมบูรณ์ คือจะนำกระแสได้ทันทีเมื่อให้ FORWARD BIAS และจะไม่นำกระแสเมื่อให้ REVERSE BIAS จนเมื่อถึงค่าหนึ่งจะเบรคดาวน์และนำกระแสได้ทันที

จากผลการทดสอบคุณสมบัติของรอยต่อเหล่านี้ ทำให้สรุปได้ว่า กระบวนการสร้างและการแพร่สารเจือเหล่านี้ ทำให้เหมาะสม และ MOS TRANSISTOR ที่ได้สร้างขึ้นนั้น มีโอกาสที่จะทำงานได้

5.2 การหาค่าแรงดันขีดเริ่ม (V_T)

จากการทดลองได้ว่า ค่า V_T ของ PMOS = 1 Volts และของ NMOS = 1 Volts ซึ่งค่าของ V_T จะมากหรือน้อยนั้นขึ้นอยู่กับความหนาของชั้นเกทออกไซด์ ถ้าชั้นออกไซด์บาง ๆค่า V_T ก็จะต่ำ ถ้าชั้นออกไซด์หนา ค่า V_T ก็จะสูง ซึ่ง V_T ยิ่งน้อยก็ยิ่งดี แต่ในการที่จะให้ชั้นออกไซด์บางมาก ๆนั้น ก็อาจทำให้เกิดการเบรคดาวน์ที่ค่าต่ำลง ดังนั้นจะต้องพิจารณาหาค่าที่เหมาะสมที่สุด

5.3 I-V CHARACTERISTIC

จากกราฟที่ได้เราจะพบว่า PMOS และ NMOS จะมีคุณสมบัติตรงตามทฤษฎีที่ได้กล่าวถึงไว้ในบทที่ 1 ทุกประการ ทั้งในช่วงกระแสอิ่มตัว และช่วงที่กระแสเป็นเส้นตรง ดังนั้นการนำ PMOS และ NMOS ไปประกอบเป็นวงจรต่างๆ ทั้ง CMOS Inverter , CMOS NAND Gate และ CMOS NOR Gate จึงมีโอกาสที่จะทำงานได้มาก

5.4 TRANSFER CHARACTERISTIC ของ CMOS INVERTER

จากกราฟที่ได้จากการทดลองเราจะเห็นได้ว่า Inverter ทุกตัวจะทำงานได้ตามทฤษฎี ยกเว้น CMOS NOR Inverter ที่ได้จากการทดลองสร้างจะมี V_{out} ไม่ถึง 5 Volts เมื่อป้อน Input เป็น 0 Volts เพราะเกิดมีกระแสรั่วไหลใน NMOS ตัวล่าง ทำให้กระแสบางส่วนไหลลงกราวด์ได้ สาเหตุเนื่องมาจาก MOS Transistor 2 ตัวล่าง OFF ไม่สนิทจึงมีกระแสไหลผ่านไปได้เล็กน้อย

กระแสรั่วไหลที่เกิดขึ้นนี้อาจจะเกิดขึ้นจากกระบวนการสร้าง และการออกแบบ ในการออกแบบนั้นมีพารามิเตอร์ที่เกี่ยวข้องหลายตัว ซึ่งไม่สามารถควบคุมให้แน่นอนได้ เพียงแต่พิจารณาให้อัตราส่วนในการออกแบบนั้นคงที่ ซึ่งถ้ากำหนดค่าให้ไม่เหมาะสมนัก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

การนำไปใช้งานก็อาจจะผิดพลาดไปบ้างเล็กน้อย พารามิเตอร์ที่สำคัญตัวหนึ่งที่ใช้ก็คือ ค่า μ_n และค่า μ_p ในการออกแบบสร้างในครั้งนี้เรากำหนดให้ค่า μ_n = 580 cm^2/VS และค่า μ_p = 230 cm^2/VS หรือมีอัตราส่วนประมาณ 2.5 จากกราฟที่ได้จาก I-V Characteristic ของ NMO และ PMOS ที่มีค่า W/L ค่าเท่ากัน คือที่ 40/20 ถ้าเรานำอัตราส่วนช่วงกระแสอิ่มตัวที่ Step เดียวกันมาเปรียบเทียบกัน เราจะเห็นว่าได้เท่ากับ 2.5 เท่า ตามที่ได้ออกแบบเอาไว้ แต่ค่าอัตราส่วนที่ได้นี้ไม่ใช่ค่าที่แท้จริง คุณสมบัติของวงจรจริงอาจผิดพลาดไปบ้างเล็กน้อย

ดังนั้นการสร้าง MOS Transistor ในครั้งนี้จึงมีคุณสมบัติที่ยอมรับได้ และเมื่อนำมาประกอบกันเป็นวงจรรวม ก็สามารถทำงานได้ตามหน้าที่ของวงจรรวมนั้นๆ ได้ เราจึงสามารถนำเอากระบวนการสร้าง และการออกแบบนี้ ไปพัฒนาในการสร้างวงจรรวมที่มีความยุ่งยาก และซับซ้อนมากขึ้นได้ต่อไป

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ปริญญานิพนธ์ฉบับนี้เสร็จลงได้ ต้องขอขอบคุณ อ.วิสุทธ์ ฐิติรุ่งเรือง และนักศึกษาปริญญาโท นายเติมพงษ์ เพ็ชรกูล รวมทั้งพี่ๆ ในศูนย์วิจัยอิเลคทรอนิคส์ทุกท่าน ที่ช่วยให้คำปรึกษา คำแนะนำ และความรู้ต่างๆ ที่มีประโยชน์มากมาโดยตลอด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอกสารอ้างอิง

1. โกศล เพ็ชร์สุวรรณ์,ดร.,มาซามอริ อีดะ, ดร., "เทคโนโลยีสารกึ่งตัวนำ", สมาคมส่งเสริมความรู้ด้านเทคนิคระหว่างประเทศ
2. สมเกียรติ ศุภเดช,ผศ., "ปฏิบัติการเทคโนโลยี สารกึ่งตัวนำ" , วารสารอิเล็คทรอนิคส์,พ.ศ. 2525
3. สมเกียรติ ศุภเดช,รศ., " สิ่งประดิษฐ์สารกึ่งตัวนำ " ศูนย์วิจัยอิเล็คทรอนิคส์ คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหาร ลาดกระบัง
4. Ong, DeWitt G., "Modern MOS Technology", McGraw-Hill Book Company, 1984.
5. Zambuto Mauro, "Simiconductor Devices", McGraw-Hill Book Company, 1989.
6. John P. Uyemura, Fundamentals of MOS Digital Integrated Circuits, Addison-Wesley Publishing Company, 1988.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้