ปีการศึกษา 2533

ไอซียู มอนิเตอร์

ICU. MONITOR

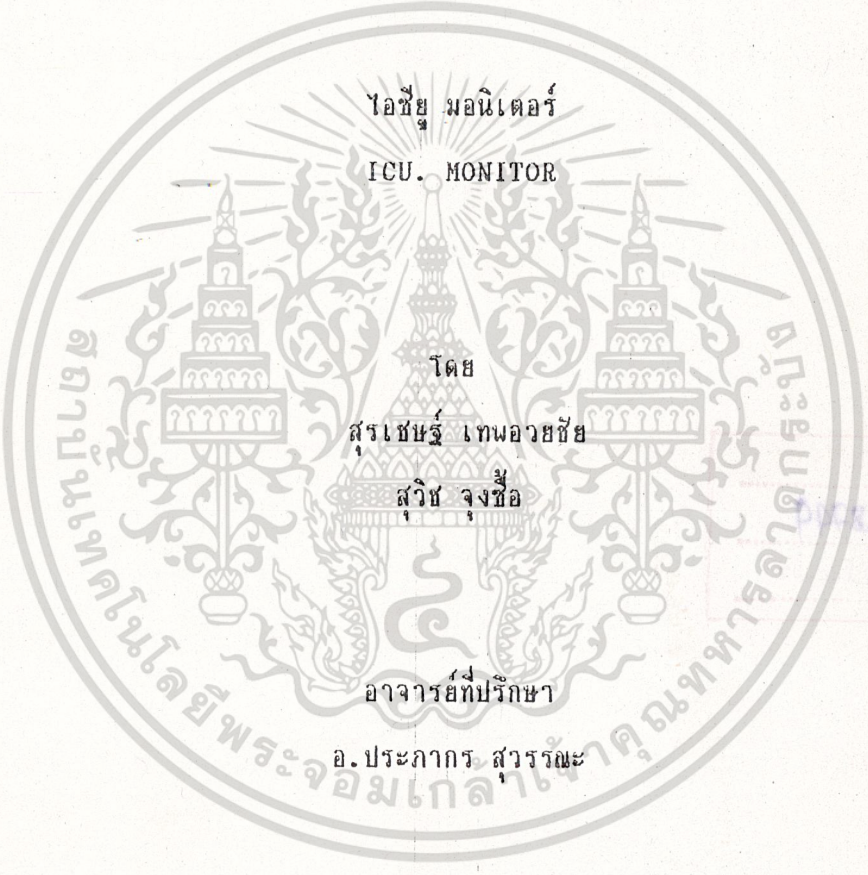
โดย

สุรเชษฐ์ เทพอวยชัย

สุวิช จุงชื่อ

อาจารย์ที่ปรึกษา

อ.ประภากร สุวรรณะ



028744

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

12 มิ.ย. 2554

ปริญญานิพนธ์ปีการศึกษา 2533

ภาควิชา อิเลคทรอนิคส์

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้า

เจ้าคุณทหารลาดกระบัง

เรื่อง ไอซียู มอนิเตอร์ (ICU. MONITOR)

จัดทำโดย

นาย สุรเชษฐ์ เทพอวยชัย 30.1330

นาย สุวิช จุงชื้อ 30.1333

(.....) อาจารย์ที่ปรึกษา

อ.ประภากร สุวรรณะ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

028741

สารบัญ

		หน้า
บทคัดย่อ		
abstract		
บทที่ 1	บทนำ	1
บทที่ 2	หลักการแสดงภาพของโทรทัศน์	2
บทที่ 3	การออกแบบและการทำงานของวงจร	12
	3.1 ส่วนแปลงสัญญาณเข้าให้เป็นสัญญาณดิจิตอล และส่วนสร้างสัญญาณแซมปลิ้ง	19
	3.1.1 A/D และวงจรสร้างสัญญาณแซมปลิ้ง	19
	3.1.2 วงจรสร้างสัญญาณ read,write	22
	3.2 ส่วนสร้างสัญญาณควบคุม	25
	3.2.1 วงจรสร้างสัญญาณควบคุม	25
	3.2.2 วงจรรีเซ็ท ram 1	28
	3.2.3 วงจรทรานสเฟอร์ดาต้าจาก ram 2 ไป ram 1	31
	3.2.4 วงจรรีเซ็ท ram 2	34
	3.3 ส่วนประมวลผลข้อมูล	37
	3.4 ส่วนแสดงผลข้อมูลและส่วนสร้างสัญญาณซิงค์	40
	3.4.1 วงจรสร้างสัญญาณซิงค์และสัญญาณแบล็งค์	40
	3.4.2 วงจรคอนโทรล ram 1	44
	3.4.3 วงจรแสดงภาพเคลื่อนไหวและหยุดภาพ (display and freeze display)	48
บทที่ 4	ผลการทดลอง	52
บทที่ 5	สรุปและวิจารณ์ผลการทดลอง	59
	ภาคผนวก	
	กิตติกรรมประกาศ	
	เอกสารอ้างอิง	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 3.19 block diagram วงจรประมวลผลข้อมูล 38
รูปที่ 3.20 วงจรประมวลผลข้อมูล 39
รูปที่ 3.21 block diagram วงจรคอนโทรล ram 1 42
รูปที่ 3.22 วงจรคอนโทรล ram 1 43
รูปที่ 3.23 แสดงช่วงเวลาต่างๆ บนจอภาพที่คำนวณได้ 44
รูปที่ 3.24 block diagram วงจรสร้างสัญญาณซิงค์และสัญญาณแบล็งค์ 46
รูปที่ 3.25 วงจรสร้างสัญญาณซิงค์และสัญญาณแบล็งค์ 47
รูปที่ 3.26 block diagram วงจรแสดงภาพเคลื่อนไหวและหยุดภาพ 50
รูปที่ 3.27 วงจรแสดงภาพเคลื่อนไหวและหยุดภาพ 51
รูปที่ 4.1 รูปแสดงผลการทดลอง 58
รูป block diagram ของวงจรทั้งหมด ภาคผนวก
รูป timing diagram ของวงจรบางส่วน ภาคผนวก
รูป วงจรทั้งหมด ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1

บทนำ

ปัจจุบันเทคโนโลยีทางด้านอิเลคทรอนิคส์ ได้เจริญก้าวหน้าไปอย่างรวดเร็ว อุปกรณ์ทางด้านอุตสาหกรรม ทางด้านการทหาร หรือทางด้านการแพทย์ก็ตามได้ก้าวหน้าไปอย่างมากโดยเฉพาะทางด้านการแพทย์นั้นอุปกรณ์ต่างๆ ยังขาดแคลนอยู่เป็นจำนวนมาก ตามชนบท อุปกรณ์เหล่านี้เมื่อสั่งซื้อจากต่างประเทศมีราคาแพง อุปกรณ์บางอย่างเราสามารถที่จะพัฒนาขึ้นมาใช้เองได้โดยไม่ต้องสั่งซื้อจากต่างประเทศ ลดการนำเข้าและการขาดแคลนเพื่อให้เกิดความเจริญก้าวหน้าทางการแพทย์และอีกทั้งยังช่วยเศรษฐกิจและสังคม

อุปกรณ์ทางการแพทย์ดังกล่าวข้างต้นอย่างหนึ่งก็คือ ICU.MONITOR ซึ่งเป็นอุปกรณ์ที่มีประโยชน์อย่างยิ่งในทางการแพทย์ อุปกรณ์นี้จะทำการรับสัญญาณหัวใจซึ่งเป็นสัญญาณไฟฟ้าจากตัวคนไข้ และแสดงผลของสัญญาณหัวใจออกมาในรูปกราฟ ทางจอภาพแสดงผลเพื่อวิเคราะห์สาเหตุของโรค หรืออาการของโรคที่เกี่ยวข้องกับการทำงานของหัวใจโดยแสดงสัญญาณ QRS. ซึ่งสามารถนำมาวิเคราะห์ในเชิงคณิตศาสตร์ จึงนับว่าเป็นอุปกรณ์ที่ช่วยอำนวยความสะดวกในการรักษาพยาบาล และยังช่วยเพิ่มขีดความปลอดภัยแก่คนไข้ด้วย

จากเหตุผลต่างๆที่ได้กล่าวมาแล้ว ปริญญานิพนธ์ฉบับนี้เราได้เสนอการนำเอาจอภาพโทรทัศน์หรือจอ MONITOR ทั่วไปมาทำเป็น OSCILLOSCOPE(หลักการโดยละเอียดได้กล่าวไว้ในเนื้อหาแล้ว) เพื่อใช้ในการแสดงผลของสัญญาณหัวใจที่มีระดับความถี่ต่ำ โดยที่มีสัญญาณรบกวนต่ำซึ่งวิธีการนี้กำลังอยู่ในขั้นทดลอง

ปัจจุบันต้องยอมรับว่าอุปกรณ์ ICU.MONITOR ของต่างประเทศมีขีดความสามารถสูงและใช้เทคโนโลยีอันทันสมัย แต่ในการที่เราสามารถสร้างและพัฒนาระบบขึ้นมาจนใช้งานได้ดีนั้น ดังที่มีการใช้งานจริงในห้อง ICU. ตามโรงพยาบาล ย่อมเป็นการยืนยันให้เห็นว่าเราสามารถสร้าง ICU.MONITOR ขึ้นได้เองอีกทั้งยังเป็นจุดเริ่มต้นในการพัฒนาระบบให้ก้าวหน้าดีขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2

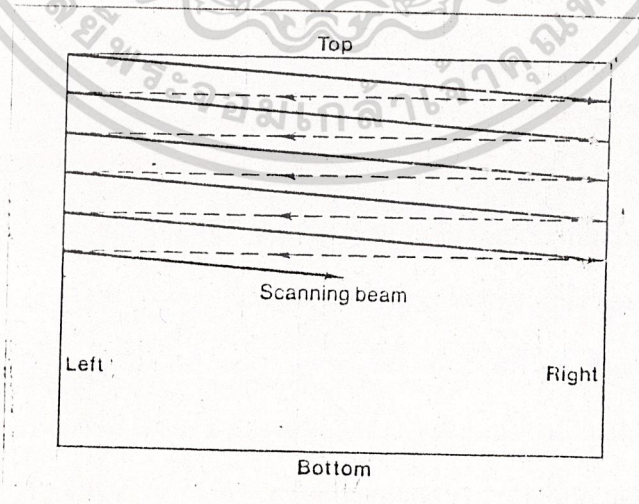
หลักการแสดงภาพของโทรทัศน์

การที่ภาพโทรทัศน์เกิดการเคลื่อนไหวได้นั้นเนื่องมาจากเป็นการแสดงภาพนิ่งหลายๆภาพด้วยความเร็วค่าหนึ่งเป็นจำนวนภาพ/เวลา(เหมือนกับการฉายภาพยนตร์)ทำให้ตามนุษย์ไม่สามารถแยกออกว่าเป็นภาพนิ่งแต่ละภาพและเห็นเป็นภาพซึ่งเคลื่อนไหว

ภาพนิ่งหนึ่งภาพจะประกอบไปด้วยกลุ่มของจุดแสงสีขาวและสีดำ ซึ่งรายละเอียดเหล่านี้จะประกอบกันขึ้นและให้ภาพออกมา ในที่นี้เราจะพิจารณาเฉพาะขาวดำหรือ monochrome เท่านั้นเพราะสามารถประยุกต์ไปอธิบายกับภาพสีได้

องค์ประกอบของภาพประกอบด้วยการจัดเรียงของจุดขาวและดำ ไม่ว่าจะเป็นรูปภาพหรือภาพจากโทรทัศน์จุดขาวดำเหล่านี้จะเรียกว่า picture detail หรือ picture element หรือนิยมเรียกว่า pixel หรือ pel

รูปที่เกิดบนจอโทรทัศน์เกิดจากการสแกนตามลำดับของเส้นสแกนตามแนวนอน (horizontal scanline) ดังรูปที่ 2.1 การสแกนนี้จะนำสัญญาณ video ซึ่งมีองค์ประกอบของภาพทั้งหมดมาแสดงตามลำดับของเวลา



รูปที่ 2.1 วิธีสแกนแบบ horizontal linear scanning

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การสแกนของโทรทัศน์จะสแกนจากบนลงล่างและจากซ้ายไปขวาดังรูปที่ 2.1 วิธีการนี้เรียกว่า horizontal linear scanning

ลำดับของการสแกนมีดังนี้

1.ลำอิเลคตรอนจะกวาดไปตามแนวนอน ลำอิเลคตรอนนี้จะประกอบไปด้วย picture element ของเส้นสแกนเส้นนั้น

2.ที่ขวาสุดของเส้นสแกน ลำอิเลคตรอนจะกลับมาทางซ้ายด้วยความเร็วสูงมากเพื่อมาเป็นเส้นสแกนเส้นใหม่ต่อไป ช่วงเวลาในการสบัดกลับมาเรียกว่า retrace หรือ flyblack จะไม่มีการแสดงภาพเมื่อเกิดการสบัดกลับ

3.เมื่อลำอิเลคตรอน สบัดมายังด้านซ้าย ตำแหน่งทางแนวตั้งก็จะต่ำลงเรื่อยๆ เรียกว่าเกิดการสแกนทางแนวตั้งและเมื่อลำอิเลคตรอนถึงด้านล่างสุดก็จะเกิดการสบัดกลับทางแนวตั้ง (vertical retrace)

ดังนั้นการแสดงภาพจะประกอบไปด้วยการสแกนทางแนวตั้ง (horizontal scanning) และการสแกนทางแนวนอน (vertical scanning)

จำนวนเส้นสแกนสำหรับภาพนิ่งสมบูรณ์ 1 ภาพควรจะมีค่ามากเพื่อให้ได้ความละเอียดของภาพสูง อย่างไรก็ตาม จะมีปัจจัยอื่นๆ ที่เป็นตัวจำกัดจำนวนเส้นสแกน แต่ตามมาตรฐานจะมี 525 เส้นหรือ 625 เส้นสแกน สำหรับภาพนิ่งสมบูรณ์ 1 ภาพ หรือ 1 frame

เวลาที่ใช้ในการแสดงภาพ 1 frame ของ 625 เส้นสแกนคือ 1/25 s. ดังนั้นจำนวนภาพใน 1 วินาที หรือความถี่ของ frame คือ 25 frame/s. หรือ 25 Hz.

เมื่อตามองเห็นภาพ ซึ่งเกิดจากแสงที่มาตกกระทบภาพแล้วสะท้อนเข้าตานั้น เมื่อภาพนั้นถูกนำออกไปแล้วแต่ความคงอยู่ของภาพจะยังปรากฏอยู่ในตา เป็นเวลาเศษส่วนของวินาที ซึ่งเป็นคุณสมบัติที่เรียกว่า persistence of vision ถ้าเราแสดงภาพนิ่งหลายๆ ภาพติดต่อกันไปในช่วงเวลาของ persistence of vision ของตานี้ก็จะทำให้เห็นเป็นภาพเคลื่อนไหวได้ ซึ่งโดยอาศัยหลักการนี้โทรทัศน์ก็จะสแกนภาพด้วยความเร็วสูงพอที่ตาจะเห็นเป็นภาพเคลื่อนไหวได้จำนวนภาพนิ่งอย่างต่ำต้องมากกว่า 16 ภาพ/วินาที

ถ้าสมมติว่าใช้ความเร็วของภาพนิ่งเป็น 24 frame/s. ความเร็วนี้พอ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เพียงสำหรับตามนุษย์ในการทำให้เห็นภาพเคลื่อนไหวได้ แต่ความสว่างหรือ brightness ของภาพจะไม่สม่ำเสมอกัน คือเมื่อเส้นสแกน สแกนมาถึงด้านล่างของจอภาพและอยู่ในระหว่างเริ่ม frame ใหม่จะทำให้ด้านบนมืดแต่ด้านล่างสว่าง ปรากฏการณ์นี้เรียกว่า fligker ของแสงจะทำให้จอสว่างและมืดสลับกันไป

วิธีการแก้ไขก็คือแสดงภาพนิ่ง 24 ภาพ/วินาที แต่ว่าในแต่ละ frame จะแสดง 2 ครั้ง นั่นหมายความว่าแสดงภาพนิ่ง 48 ภาพ/วินาที ในแต่ละภาพนิ่งจะแสดง 2 ครั้ง แต่ยังคงเป็น 24 ภาพ/วินาทีเช่นเดิม

ในการสร้างภาพให้เห็นการเคลื่อนไหวนั้น ความถี่ของภาพนิ่งจะต้องมีความถี่เพียงพอในทางปฏิบัติจะใช้ 25 ภาพ/วินาที แต่ยังไม่เพียงพอที่จะทำให้ flicker ของภาพหายไปได้ วิธีแก้ไขคือแบ่งภาพใน 1 frame ให้ออกเป็น 2 ส่วน คือจะเป็น 50 ภาพ/วินาที แล้วแบ่งการสแกนของเส้นสแกนเป็น 2 ชุดคือ ชุดแรกเป็นการสแกนเส้นคี่และชุดหลังเป็นการสแกนเส้นคู่ แต่ละชุดของเส้นสแกนจะเรียกว่า field คือ field คี่และ field คู่ เพราะฉะนั้น 1 frame จะมี 2 field เรียกวิธีการสแกนนี้ว่า วิธีการสแกนแบบ interlacing scanning

ความถี่ของ field คือ 50 Hz.นั่นคือเป็นความถี่ของการสแกนทางด้าน vertical ด้วย ดังนั้นจำนวนเส้นสแกนทางแนวนอนในหนึ่ง field จะเป็นครึ่งหนึ่งของ 625 เส้น ซึ่งเป็นจำนวนเส้นสแกนทั้งหมดใน 1 frame นั่นคือ 312.5 เส้น

เวลาใน 1 field คือ 1/50 s.และจำนวนเส้นสแกนใน 1 field เป็น 312.5 เส้น ดังนั้น จำนวนเส้นสแกนทั้งหมดต่อวินาทีคือ

$$312.5 * 50 = 15,625 \text{ เส้น}$$

หรือพิจารณาจาก 625 เส้นใน 1 frame เวลาในการแสดง 1 frame คือ 1/25 s

$$625 * 25 = 15,625 \text{ เส้น}$$

ความถี่ 15,625 Hz. คือการที่ลำอิเลคตรอนเสร็จสิ้นการสแกนทางด้าน horizontal จากซ้ายไปขวาและกลับมาทางซ้ายอีกครั้ง

เวลาของการสแกนทางด้าน hor คือ $1/15,625 = 64\ \mu s. = 1\ H$

การ blank หมายถึงการไม่ให้มีการแสดงภาพในช่วงที่เส้นสแกนสบัดกลับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

(retrace) และสัญญาณ blank จะเป็นส่วนหนึ่งของสัญญาณ video ที่มีระดับเป็นมืดหรือ black level สัญญาณ blank ทางด้าน hor จะมีความถี่ 15,625 Hz.เท่ากับความถี่ของสัญญาณ hor synch และจะ blank สัญญาณ retrace จากขวาไปซ้าย และสัญญาณ blank ทางด้าน ver จะมีความถี่ 50 Hz.เท่ากับความถี่ของสัญญาณ ver sych และจะ blank สัญญาณจากด้านล่างของ monitor ไปถึงด้านบน

เวลาที่ใช้ในการ blank ทางด้าน hor จะมีค่าประมาณ 16% ของ H (horizontal line time) เวลาของ H คือ 64 μs. นี้รวมทั้งการ trace และ retrace คือการสบัดไปจากซ้ายไปขวาและจากขวามาซ้าย เพราะฉะนั้นเวลาในการ blank สำหรับแต่ละเส้นสแกนคือ 64 * 0.16 = 10.24 μs.หมายความว่า การ retrace จากขวากลับมาทางด้านซ้ายจะต้องเสร็จภายในเวลา 10.2 μs.ก่อนที่จะเริ่มต้นเส้นสแกนใหม่จากซ้ายมาขวา

เวลาที่ใช้ในการ blank ทางด้าน ver จะมีค่าประมาณ 8% ของ V (vertical line time) เวลาของ V คือ 1/50 s. รวมตั้งแต่การ trace จากทางด้านบนลงด้านล่างของจอ จนกระทั่ง retrace จากด้านล่างขึ้นข้างบนของจอ เพราะฉะนั้นเวลาในการ blank สำหรับแต่ละ field คือ 1/50 * 0.08 = 1.6 ms. vertical blanking time เป็น 1.6 ms. หมายความว่าเวลาที่ใช้ในการ retrace จากด้านล่างของจอภาพไปจนถึงด้านบนจะต้องเสร็จภายใน 1.3 ms.

การ retrace จะเกิดในช่วงเวลาของการ blank เท่านั้นและสัญญาณ synch จะเป็นตัวกำหนดการเริ่มต้นของการ retrace ทั้งทางด้าน hor และ ver

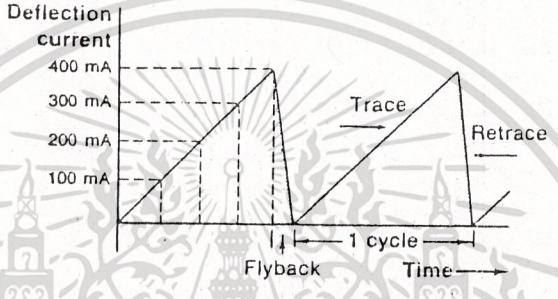
ตำแหน่งของ hor synch ใน video signal จะอยู่ภายใน hor blank และตำแหน่งของ ver synch ก็จะอยู่ภายใน ver blank ด้วย

พิจารณาจากรูปที่ 2.2 เป็นสัญญาณ sawtooth ที่ทำให้เกิดการสแกนของลำอิเลคตรอนทั้งทางด้าน hor และ ver สมมติว่ากระแส 100 mA. จะทำให้เกิดการเบี่ยงเบนของลำอิเลคตรอนไป 5 นิ้ว ดังนั้นถ้ากระแส 400 mA. จะทำให้ลำอิเลคตรอนเบี่ยงเบนไป 4 * 5 = 20 นิ้ว

การเพิ่มขึ้นอย่างต่อเนื่องของกระแสของhorizontal deflection coil

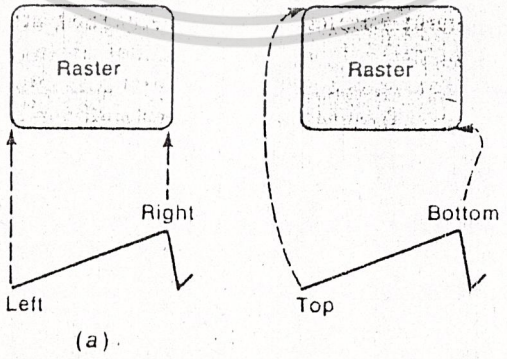
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หรือขอลวดเบี่ยงเบนทางแนวนอน จะทำให้เกิดการเคลื่อนที่ของลำอิเลคตรอนจากซ้ายไปขวาและเมื่อพิจารณาจากรูปที่ 2.2 เมื่อกระแสเพิ่มขึ้นถึง 400 mA.แล้วจะลดลงอย่างรวดเร็วการลดลงนี้จะอยู่ในช่วงของการสบัดกลับ (retrace) หรือว่า flyblack



รูปที่ 2.2 แสดง sawtooth scanning waveform สำหรับการเบี่ยงเบนแนว H และ V

การ trace ทางด้าน hor จะเริ่มต้นตั้งแต่ทางด้านขอบซ้ายของ raster ไปจนกระทั่งถึงขอบขวาของ raster ในขณะที่ช่วง flyblack จะทำให้ลำอิเลคตรอนกลับมาทางขอบซ้ายของ raster อีกครั้งดังรูป 2.3



รูปที่ 2.3 การ trace และ retrace เทียบกับ sawtooth scanning waveform

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การเพิ่มขึ้นอย่างต่อเนื่องของกระแสของ vertical deflection coil จะทำให้ลำอิเลคตรอนเคลื่อนที่จากทางด้านบนของ raster มายังทางด้านล่างในขณะที่ลำอิเลคตรอนเบี่ยงเบนในช่วง hor นั้น กระแส sawtooth ทางด้าน ver จะทำให้ลำอิเลคตรอนเคลื่อนที่ลงมาทางด้านล่างด้วยความเร็วที่คงที่

ทั้งการ trace และ retrace จะรวมกันเป็น 1 คาบของ sawtooth wave เนื่องจากจำนวนของเส้นสแกนในแนวhorใน 1 s.จะมีจำนวน 15,625 เส้น ดังนั้นการเบี่ยงเบนในแนว hor (horizontal deflection) หรือความถี่ sawtooth จะเป็น 15,625 Hz.ด้วย สำหรับ vertical deflection ความถี่ของ sawtooth จะเท่ากับ 50 Hz.(field scanning rate)

ในการสแกนทางด้าน ver ความถี่ 50 Hz.จะต่ำกว่าการสแกนทางด้าน hor มากคือ 15,625 Hz. ผลก็คือจะมีจำนวนเส้นสแกนทางด้าน hor เป็นจำนวนมากในระหว่างการสแกนทางด้าน ver เราจึงกล่าวได้ว่าการสแกนทางด้าน ver จะทำให้จำนวนเส้นสแกนทางด้าน hor เต็ม raster จากบนถึงล่างของจอมอนิเตอร์

ในช่วงเวลา flyblack ทั้ง hor และ ver จะถูก blank ดังนั้นช่วง retrace ของ sawtooth จะต้องใช้เวลาสั้นที่สุดเท่าที่จะทำได้

สำหรับทางด้าน hor เวลาของการ retrace ของ sawtooth จะประมาณ 10% ของเวลาใน 1 คาบของ sawtooth จาก 64 μs.คือ 6.4 μs. เป็นเวลาของการ retrace ทางด้าน hor หรือเรียกว่า flyblack time เป็นเวลาที่เร็วที่สุดในทางปฏิบัติ แต่ในทางทฤษฎีควรจะให้มีค่าน้อยที่สุดเท่าที่จะทำได้

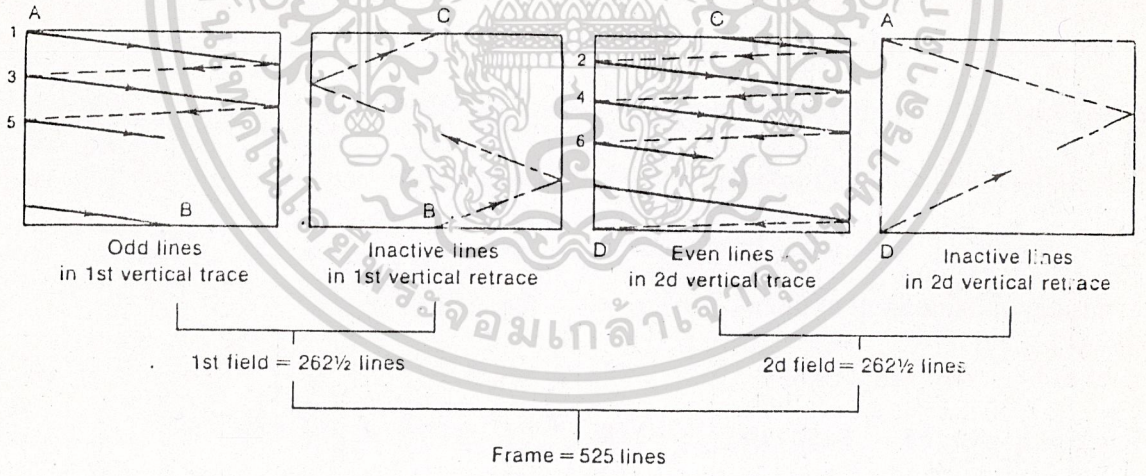
สำหรับด้าน ver flyblack time จะต้องน้อยกว่า 5% ของคาบเวลาของ sawtooth ทางด้าน ver สมมติว่า vertical retrace เป็น 3% จะได้ว่า flyblack time เท่ากับ 600 μs. ถึงแม้ว่า vertical retrace จะมีค่าน้อยกว่า vertical trace ก็ตามแต่ยังมีค่ามากกว่าเวลาของการสแกนทางด้าน hor คือ 64 μs. ดังนั้นในเวลาการ retrace ทางด้าน ver 600 μs. จะมีเส้นสแกนทางด้าน hor ประมาณ 600 μs./64 μs. = 9.375 เส้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การสแกนแบบ interlace

เป็นการแสดงภาพนิ่งหนึ่งภาพ โดยแบ่งเป็น 2 field โดยที่ครั้งแรกจะสแกนด้วยเส้นสแกนที่เป็นเลขคี่จากบนสุดมาล่างของจอภาพ แต่เส้นสแกนที่เป็นเส้นคู่จะถูกข้ามไปก่อน เรียกว่าการสแกน field คี่ หลังจากการสแกนทางด้าน ver เสร็จแล้ว ลำอิเลคตรอนจะ retrace กลับขึ้นไปทางด้านบนของ raster จากนั้นการสแกนเส้นสแกนที่เป็นเลขคู่จะเริ่มขึ้นหลังจากที่โดนข้ามไปเมื่อเกิดการสแกน field คี่ เริ่มจากบนลงล่างอีกครั้งเรียกการสแกนนี้ว่าการสแกน field คู่

ดังนั้นแต่ละ frame จะถูกแบ่งออกเป็น 2 field คือ field คี่ จะสแกนเฉพาะเส้นคี่ของ frame และ field คู่จะแสดงเฉพาะเส้นสแกนที่เป็นเส้นคู่ของ frame เพราะฉะนั้นความถี่ของ field คือ 50 ภาพต่อวินาทีและความถี่ของ vertical scanning จะเป็น 50 Hz.



รูปที่ 2.4 รูปแบบการสแกนแบบ interlace ประกอบด้วย 2 field ใน 1 frame

รูปแบบของการสแกนเส้นคี่ ดังแสดงในรูปที่ 2.4 โดยเริ่มตั้งแต่มุมบนซ้ายของจอที่จุด A และเป็นจุดเริ่มต้นของ frame จากรูปเส้นสแกนที่ 1 ลำอิเลคตรอนจะกวาดข้าม frame จากซ้ายมายังขวาด้วยความเร็วคงที่และประกอบไปด้วยสัญญาณภาพใน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1 เส้นสแกนด้าน hor และที่จุดปลายของการ trace ลำอิเลคตรอนจะเริ่ม retrace ด้วยความเร็วสูงจากขวาไปซ้ายของ frame ดังแสดงโดยเส้นประตามรูปที่ 2.4 เพื่อที่จะเริ่มแสดงเส้นสแกนที่ 3

สังเกตว่าเส้นสแกนทางด้าน hor จะมี slope เอียงลงเป็นเพราะว่ามีการสแกนทางด้าน ver พร้อมกันไปด้วยแต่ช้ากว่าการสแกนทางด้าน hor และ slope ของการสแกนจากซ้ายมาขวาจะมีมากกว่าการสแกนจากขวามาซ้าย (retrace) เหตุผลก็คือ การ retrace มีความเร็วมากกว่าการ trace

หลังจากเส้นสแกนแรกถูกสแกนไปแล้ว ลำอิเลคตรอนจะมาอยู่ทางด้านซ้ายของ frame และพร้อมที่จะสแกนเส้นสแกน 3 โดยละเส้นสแกน 2 ไว้ก่อน การข้ามนี้จะทำโดยการเพิ่มความถี่ทางด้าน ver จาก 25 Hz. เป็น 50 Hz. ดังนั้นเมื่อสแกนจากบนสุดลงมาล่างสุดจะได้เส้นสแกน field คี่ทั้งหมด 312.5 เส้น ลำอิเลคตรอนจะแสดงเส้นสแกนคี่จนในที่สุดจะมาถึงตำแหน่ง B ตามรูปที่ 4 เป็นจุดต่ำสุดของ frame และที่นี้จะได้เส้นสแกน 312.5 เส้นพอดี ณ เวลาที่จุด B การ retrace ทางด้าน ver จะเริ่มขึ้นเพราะถึงช่วง flyblack ของ sawtooth ทางด้าน ver ดังนั้นลำอิเลคตรอนจะกลับไปยังด้านบนของ frame เพื่อที่จะแสดง field ที่ 2 หรือ field คู่ ดังแสดงในรูปที่ 4 ลำอิเลคตรอนจะเคลื่อนที่จากจุด B มายังจุด C

การ retrace ทางด้าน ver นี้จะมีความยาวนานพอที่จะมีการสแกนทางด้าน hor เกิดขึ้นหลายเส้นเราเรียกว่า vertical retrace lines หมายความว่ามีการสแกนทางด้าน hor ในช่วง vertical flyblack และ vertical retrace lines จะมี slope เอียงขึ้นเพราะว่าลำอิเลคตรอนกำลังเคลื่อนที่ขึ้นขณะที่กำลังมีการสแกนทางด้าน hor slope ของ vertical retrace lines นี้จะมีค่ามากกว่า slope ขณะที่อยู่ในช่วง vertical trace เพราะว่าเวลาในการ flyblack จะมีค่าน้อยกว่า vertical retrace และเส้นสแกนทุกเส้นที่อยู่ในช่วง vertical retrace จะมองไม่เห็นเพราะจะอยู่ในช่วง ver blank

การสแกนทางด้าน hor ของ field ที่ 2 จะเริ่มขึ้นจากจุด C ดังรูปที่

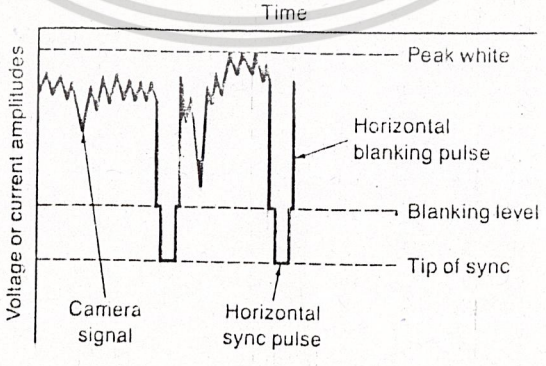
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

028744

2.4 จุดนี้จะอยู่ตรงกลางของเส้นสแกนทางด้าน hor เพราะ field แรกได้แสดงไปแล้ว 312.5 เส้น จากจุด C นี้จะเริ่มสแกนเส้นสแกนทางด้าน hor ที่เป็นเส้นคู่ ดังนั้นลำอิเลคตรอนจะสแกนอยู่ระหว่างเส้นสแกนทางด้าน hor ที่เป็นเส้นคี่ การสแกนจะสแกนเส้นสแกนทางด้าน hor ที่เป็นเส้นคู่ที่ถูกละไว้ตอนแสดง field คี่ ส่วนการสแกนทางด้าน ver จะยังคงเหมือนกับการสแกนของ ver ทางด้าน field คี่ หมายความว่าเส้นสแกนทางด้าน hor จะมี slope ต่ำลงมาทางด้าน ver เท่ากับเมื่อแสดง field คี่ ผลก็คือเส้นสแกนของ field จะต่ำลงมาเรื่อยๆ จนถึงจุด D

การ retrace ทางด้าน ver ของ field ที่ 2 นี้จะเริ่มตั้งแต่จุด D ดังรูปที่ 2.4 vertical flyblack จะทำให้ลำอิเลคตรอนกลับมาสู่ด้านบนของจออีกครั้ง และลำอิเลคตรอนจะสิ้นสุดการ retrace ทางด้าน vertical ที่จุด A และที่จุด A การสแกนจะสิ้นสุดลงทั้ง 2 field หรือ 1 frame และพร้อมที่จะสแกน field ที่ 3

การสแกนของ field คี่จะเริ่มต้นที่จุด A ส่วนการสแกน field คู่จะเริ่มต้นที่จุด C และจะอยู่ในระดับแนวนอนเดียวกัน มี slope เท่ากัน แต่ว่าจะต่างกันอยู่ครึ่งเส้นสแกน ดูจากรูปที่ 2.4 การต่างกันอยู่ครึ่งเส้นสแกนนี้จะทำให้เส้นสแกนที่เป็นเส้นคี่ของ field คี่อยู่ระหว่างเส้นสแกนที่เป็นเส้นคู่ของ field คู่ เรียกหลักการสแกนแบบนี้ว่า interlaced scanning



รูปที่ 2.5 แสดง video signal

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 2.5 เป็นรูป video signal ทางด้านซ้ายสุดคือ information ของภาพหรือเรียกว่า camera signal ซึ่งขนาดของ amplitude จะเป็นตัวบอกระดับความสว่างของภาพ ขาว เทา ดำ เมื่อสิ้นสุด information ของภาพจะเป็นสัญญาณ hor blank pulse ซึ่งมี amplitude อยู่ในระดับดำ ถัดมาจะเป็น hor synch pulse ซึ่งอยู่ต่ำกว่าระดับดำ จะเรียกระดับ amplitude ของ synch pulse ว่า blacker than black และ ที่กล่าวมาแล้วข้างต้นเรียกว่า composite video signal

ขนาดมาตรฐานของสัญญาณ video คือ 1 V_{p-p} กับ synch pulse

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

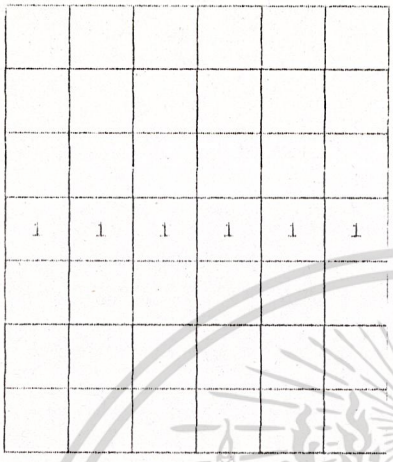
บทที่ 3

การออกแบบและการทำงานของวงจร

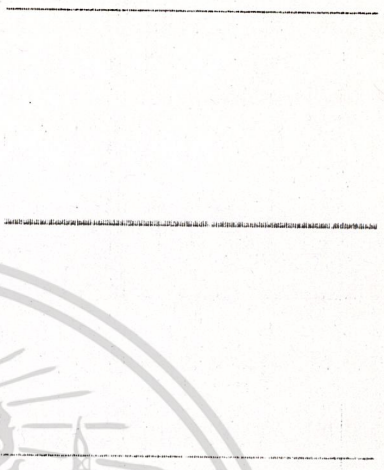
การทำงานของวงจรคือทำการแสดงภาพคลื่นไฟฟ้าของหัวใจ(สัญญาณ ECG.) จากผู้ป่วย ซึ่งผ่านภาค preamp มาแล้ว มาแสดงบน monitor สัญญาณ ECG.จะเคลื่อนที่จากทางด้านขวามือของจอ monitor มาทางซ้ายสุด หลักการนำภาพออกมาแสดง จะต้องนำสัญญาณ input ซึ่งเป็นสัญญาณ analog มาทำการแปลงเป็นสัญญาณ digital ก่อนที่จะเข้าสู่ภาคประมวลผล ทำได้โดยการใช้ A/D เบอร์ 0809 ซึ่งจะรับ input มาได้ถึง 8 แชนแนล แล้วจะนำแต่ละ input มาแปลงเป็นสัญญาณ digital โดยการ multiplex แต่ในที่นี้จะใช้เพียง 4 แชนแนลเท่านั้น เพราะว่าเครื่อง ECG.monitor ที่ทำนี้จะแสดงผลสูงสุด 4 แชนแนล โดยมีสัญญาณควบคุมในการ multiplex ซึ่งสร้างจากวงจรในภาค control เมื่อได้สัญญาณ digital มาแล้ว สัญญาณเหล่านี้จะเป็นตัวบอก address ของ ram เบอร์ 6116 เพื่อเป็นตัวบอกตำแหน่งในแนว row ของ ram นั้น ให้ส่วน control ส่วนตำแหน่งในแนว column นั้น ส่วน control จะทำการสร้าง address ขึ้นเอง เพื่อบอกให้ ram ทราบ เมื่อทราบพิกัดทาง column และ row เรียบร้อย วงจรก็จะสามารถทำการกำหนดตำแหน่ง address ของ ram ในการเก็บรูปได้ เพื่อให้รูปที่ได้เหมือนกับ input ในการสร้างรูปให้เหมือนกับ input ก็โดยการ write "1" เข้าไปยังตำแหน่งที่กำหนดโดยภาค control ดังที่กล่าวข้างต้น

จากรูปที่ 3.1 จะเห็นได้ว่า เมื่อ write "1" เข้าไปใน ram แล้ว ถ้าลากจุดต่อจะได้รูปตามสัญญาณ input ที่เข้ามา bit ที่เหลือนั้นจะเป็น "0" หมด นี้คือหลักการในการเก็บรูปเอาไว้ใน ram โดยการ write "1" เข้าไป เลข 1 ก็จะเรียงกันอยู่ใน ram ตามรูปที่ป้อนเข้ามาและโดยการทำงานสัมพันธ์กันระหว่างส่วน control กับ A/D ก็จะได้ตำแหน่งของ address ในการเก็บรูป ยิ่งถ้าความถี่ในการ write "1" ลงไปมีค่ามากขึ้น นั่นหมายถึงว่าความถี่ของ clock ในการ sampling มากขึ้น ความถี่ของการ entry มากขึ้น หน่วยความจำมากขึ้น(วงจรที่ใช้นี้ใช้ความถี่ในการ entry 25 MHz.ซึ่งสูงกว่าวงจรที่เคยทำมาในรุ่นก่อนซึ่งใช้ 6MHz.) จำนวนจุดก็จะยิ่งละเอียดขึ้นทำให้ภาพที่ได้มีความละเอียดที่สูงขึ้นตามไปด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.1 แสดงการแทนที่รูปจริงใน ram ด้วย bit ที่เป็น 1



รูปที่ 3.2 รูปที่ปรากฏเมื่อนำ data จาก memory รวมกับสัญญาณ sync

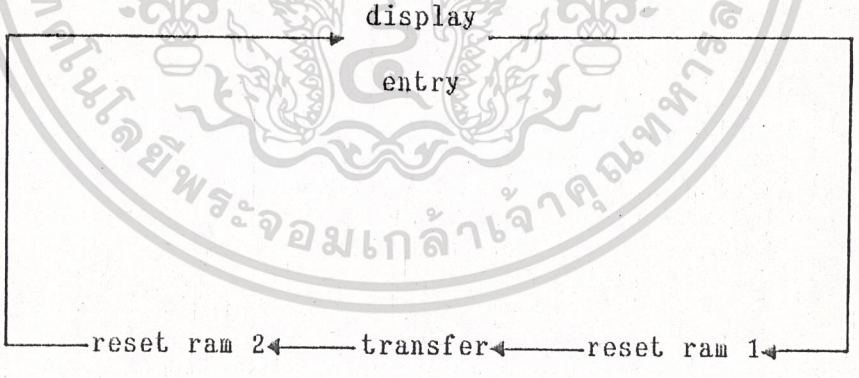
ถ้าเราทำการ read ข้อมูลจาก ram มาทีละ bit โดยดูตามรูปที่ 3.1 จาก byte บนสุดจากซ้ายมาขวา (อ่านมาจาก ram 1 byte แล้วผ่าน PISO ก็จะได้ bit เรียงกันจากซ้ายมาขวา) ให้สัมพันธ์กับการ scan ของจอภาพ เราก็จะได้รูปปรากฏที่จอภาพดังรูปที่ 3.2

ในการเก็บรูปของวงจรนี้เรียกว่าการ entry data จะทำการเก็บครั้งละ 4 แชนแนล แต่ละแชนแนลจะเก็บ 8 bit สัญญาณจากภาค control ซึ่งเรียกว่าสัญญาณ sampling ซึ่งสร้างจาก 4040 จะถูกส่งมาที่ขา start และ ALE ของ A/D 0809 เมื่อเก็บครบ 4 แชนแนลแล้ว ก็จะมี ram เบอร์ 6264 อีก 4 ตัว ซึ่งแต่ละตัวจะเป็นของแต่ละแชนแนล มารับ data จาก ram 6116 ไปเพื่อนำไปแสดงผล โดย read แล้วนำ data มารวมกับ sync ดังอธิบายมาแล้ว เนื่องจากว่า ram 6116 นี้จะต้องถูกนำไปใช้ในช่วง entry data ต่อไป ถ้าไม่ทำการ transfer จาก 6116 มา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6264 แล้วใช้ 6116 มารับ data ในช่วง entry data นั้น จะทำให้ในขณะที่ ram 6264 แสดงภาพคือถูก read อยู่นั้น data ที่เข้ามาใหม่จะไม่มีที่เก็บเพราะว่า ram 6264 ถูกใช้งานอยู่ และเพื่อสะดวกในการออกแบบวงจร จึงใช้ ram 6116 รับ data มาให้ 6264 ขณะที่ 6264 แสดงผลอยู่ และเมื่อ 6116 รับ data ในแต่ละแชนแนลครบ 8 bit ก็จะ transfer data (เรียกช่วงที่ 6116 transfer data มาให้ 6264 ว่าช่วง transfer) มาให้ 6264 ในช่วงเวลาที่อยู่ระหว่างสัญญาณ sampling จะมา sampling ข้อมูลและอยู่ในช่วงที่ scan line สบัดกลับในแนว ver พอดี จึงทำให้ไม่ไปรบกวนว่า data ที่เข้ามาและการแสดงภาพจะสูญหายไป และก่อนที่จะมีการเก็บข้อมูลลงใน ram 6116 หรือว่า transfer ไป ram 6264 ก็จะมีการ reset ram ทั้ง 2 ก่อนเสมอ (reset ram 6116 ทั้งหมด,reset ram 6264 8 bit ในแนว column เพื่อ transfer 8 bit ที่เก็บใน 6116 ลงใน 6264 ที่ตำแหน่งที่ถูก reset นี้ ของแต่ละแชนแนล)

ดังนั้น loop การทำงานของวงจรจะเป็นดังนี้



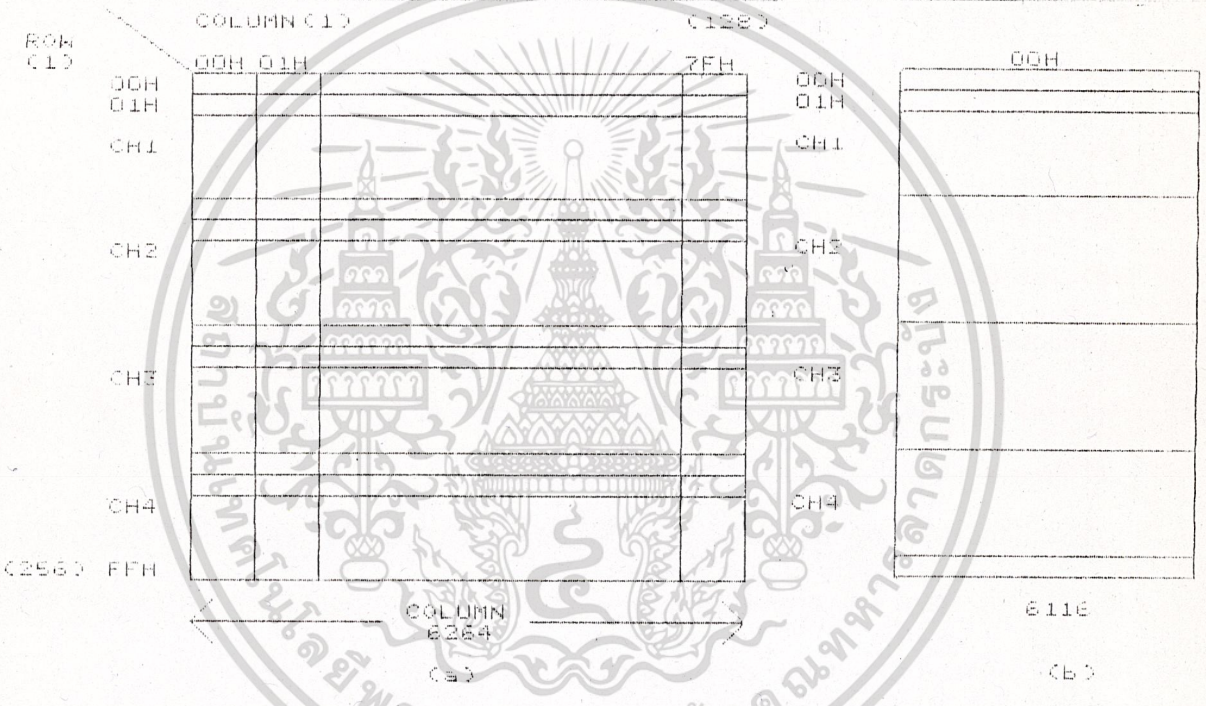
รูปที่ 3.3 แสดง loop การทำงานของวงจร

ในขณะที่ display คือ read ram 6264 (ram 1) อยู่นั้น ram 2 หรือ 6116 จะถูก write ในช่วง entry data อยู่ด้วย เมื่อ entry data ครบ 8 bit แล้ว ก็พร้อมที่จะทำการ transfer ให้ ram 1 (6264) ram 1 จะถูก reset

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ไป แล้ว ram 2 จะ transfer data มาที่ ram 1 ณ column ที่ถูก reset ไปของแต่ละแชนแนล เมื่อ ram 2 transfer data หมดแล้วก็จะถูก reset เช่นกัน เพื่อเตรียมรับ data จากการ sampling ของแต่ละแชนแนลอีก จากนั้นก็จะกลับเข้าสู่สภาวะ display และ entry data อีกครั้ง เป็นเช่นนี้เรื่อยไป

เมื่อพิจารณา memory map ของ ram 1 และ ram 2 ดังรูปที่ 2.4



รูปที่ 2.4 แสดง memory map ของ ram

(a) memory map ของ ram 1 ใช้ 6264 4 ตัว

(b) memory map ของ ram 2 ใช้ 6116 1 ตัว

การ transfer จาก ram 2 ไป ram 1 นั้น สมมติให้เริ่ม reset 1 (reset ram 1) ที่ตำแหน่ง column ที่ 00H ของ ram 1 จนหมดทุก row เริ่มตั้งแต่ row ที่ 00H จนกระทั่งถึง FFH เมื่อ reset เสร็จเรียบร้อยโดยวงจรส่วน

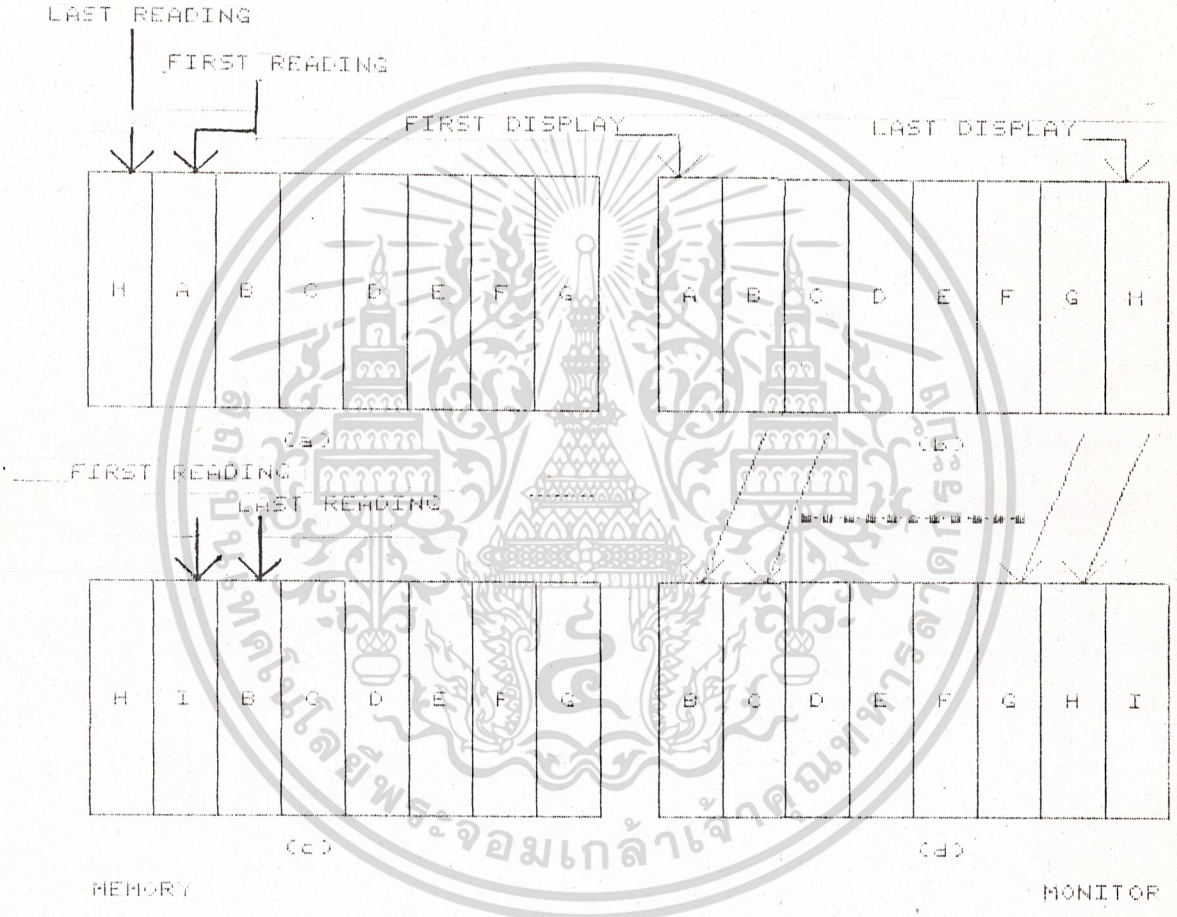
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

transfer จากการควบคุมของวงจรส่วนภาค control จะทำการ transfer data จาก ram 2 มา ram 1 เมื่อ ram 2 transfer data มาหมดตั้งแต่ byte 00H จนถึง FFH เป็นจำนวน 1 column แล้ว ram 2 จะถูก reset โดยอยู่ในช่วง reset 2 เพื่อเตรียมตัวรับข้อมูลใหม่ ช่วงเวลาตั้งแต่ reset 1 จนถึง reset 2 จะอยู่ในช่วง vblank หรือช่วงที่เส้น scan retrace เพราะฉะนั้นจะไม่มีการแสดงภาพออกทาง monitor จากนั้นก็ถึงช่วงเวลา display และ entry ณ ช่วงเวลานี้สัญญาณ sampling จากส่วน control ก็จะมาทำการ entry data ผ่าน A/D เพื่อบอกตำแหน่ง row ของ ram 2 ดังที่ได้กล่าวมาข้างต้น ในขณะเดียวกัน ram 1 จะถูก read data เพื่อทำการ display และนำ data มาผ่าน IC. 74LS166 เพื่อนำข้อมูลมาออกทีละ bit (แล้วนำมารวมกับสัญญาณ sync ต่างๆ ที่ส่วนรวมสัญญาณ (mix) ซึ่งสัญญาณที่ได้ในตอนนี้จะเป็นสัญญาณ video) การ read ram 1 พิจารณารูป 3.4 (a) จะเริ่ม read จาก column ซ้ายไป column ทางขวาและจาก row ที่ 00H ก่อนจนไปสุดที่ row FFH ซึ่งเป็น row สุดท้าย แต่ว่า column ที่เริ่มต้นการ read จะต้องอยู่ถัดจาก column ที่เพิ่ง transfer เข้ามาครั้งสุดท้ายทุกครั้งที่มีการ display เพื่อทำให้เกิดการเคลื่อนที่ของภาพจากขวาไปซ้าย พิจารณารูปที่ 3.5 ประกอบ data transfer เข้ามาที่ ram 1 column 00H column ที่จะเริ่ม read คือ 01H ไปจนถึง FFH และมาสิ้นสุดที่ 00H ของแต่ละแชนแนล เพราะว่า column ล่าสุดที่มี data จาก ram 2 มา transfer ลงก็คือ column 00H ดังนั้น column 00H จึงต้องถูก read เป็นครั้งสุดท้ายเพื่อที่จะได้ภาพที่อยู่ทางขวาสุดของจอ monitor เป็นภาพของสัญญาณที่เพิ่งเข้ามาใหม่ (เมื่อเริ่ม read จาก column ใด column นั้นจะปรากฏอยู่ทางซ้ายสุดของจอภาพและ column ที่ถูก read ครั้งสุดท้ายจะปรากฏอยู่ทางขวาสุดของจอภาพพอดีเช่นกัน)

จากรูปที่ 3.5 จะเป็นการแสดงตัวอักษร A-Z โดยตัวอักษรจะวิ่งจากขวาไปซ้าย ดังนั้น จากรูปที่ 3.5 (a) ถ้าต้องการให้ H ต่อกับ G (H เป็นข้อมูลที่ถูก transfer เข้ามาล่าสุด)จะต้อง read data จาก ram 1 ตั้งแต่ column address ที่ 01H ก่อนแล้วไปสิ้นสุดเอาที่ address 00H ก็จะได้รูปตาม 3.5 (b) และ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อถึง loop การทำงานของ reset 1 ในรอบถัดมาจะต้องไป reset address ตำแหน่ง column ที่ 01H แล้ว transfer ตัว I มาที่ column 01H และเมื่อถึง loop display อีกครั้งก็จะเริ่ม read data จาก column address ที่ 02H ดังรูปที่ 3.5 (c)ไปสิ้นสุดที่ column ที่ 01H ก็จะได้ตามรูปที่ 5 (d) เป็นเช่นนี้เรื่อยๆ ไป



รูปที่ 3.5

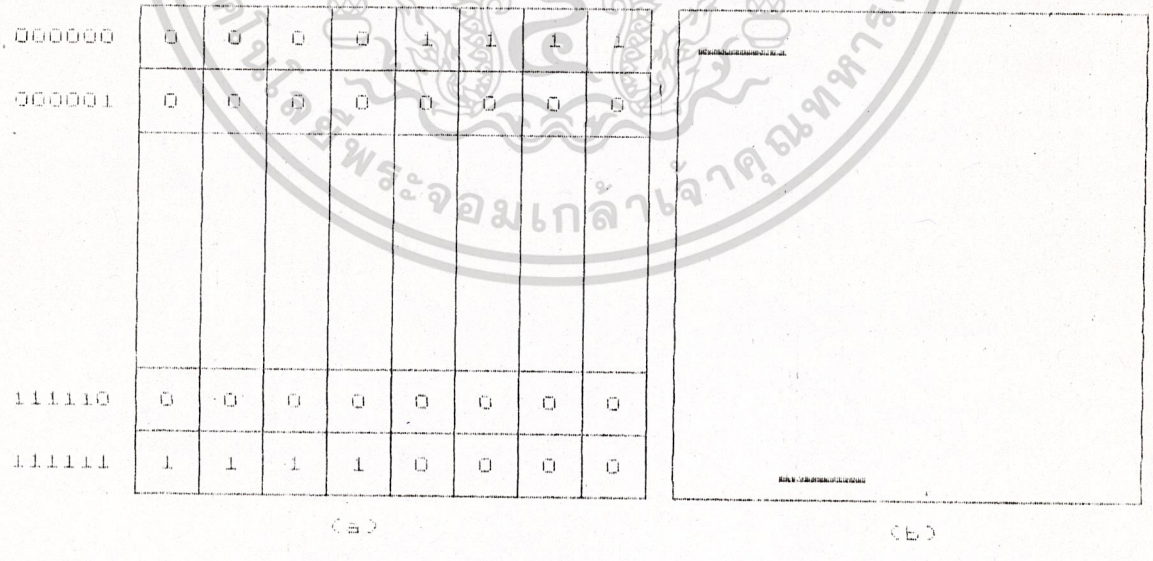
การ shift column ทุกครั้งของการ display ครั้งใหม่

สรุปการทำงานของวงจรก็คือ สัญญาณ analog ที่มีแรงดันแปรค่าในช่วงไม่เกิน 0-5 V. จะถูกนำมาผ่านเข้า A/D เพื่อแปลงเป็นสัญญาณ digital (โดยจะมีสัญญาณ sampling เป็นตัวควบคุมขา start ของ A/D) แล้วถูกนำมาอ้าง address

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในตำแหน่ง row ของ ram 2 เช่นถ้าสัญญาณ analog เป็น 5 V. แล้วถูก sampling output ที่ออกมาจาก A/D จะเป็น 111 111 และจะอ้าง address ตำแหน่ง 111 111 และวงจรส่วน control ก็จะทำการ write "1" ลงไป ณ ตำแหน่ง bit ที่ 1

เมื่อสัญญาณ sampling ลูกที่ 2 มา สัญญาณ analog ยังคงเป็น 5 V. ฉะนั้น output ที่ออกมายังคงเป็น 111 111 อีก วงจรส่วน control ก็จะทำการ write "1" ลงไป ณ ตำแหน่ง bit ที่ 2 เป็นเช่นนี้เรื่อยไปจนกระทั่งก่อนที่จะถึง sampling ลูกที่ 5 สัญญาณ analog จะเปลี่ยนไปเป็น 0 V. ทันที ฉะนั้นเมื่อ sampling ลูกที่ 5 มาแล้ว output ที่ออกมาจาก A/D จะเป็น 000 000 วงจรส่วน control ก็จะไป write "1" ณ bit ที่ 5 ของ address 000 000 และเป็นเช่นนี้จนกระทั่งครบ 8 bit เมื่อ transfer ผ่านไปยัง ram 1 และ ram 1 ถูก read ออกไป วิธีการอ้าง address ขณะ read เอา data ออกไปรวมกับสัญญาณ sync เพื่อเป็นสัญญาณ video นั้น จะอ้างจาก address row ล่างสุดขึ้นมาจนถึงบนสุดดังนั้นจะได้ภาพดังรูป 3.6 (b) ซึ่งจะเป็นรูปที่เหมือนกับ input ที่เข้ามา



รูปที่ 3.6

แสดงภาพจากหน่วยความจำเทียบกับการแสดงผลที่จอแสดงผล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การทำงานของวงจรในแต่ละภาคและ block diagram มีดังต่อไปนี้

3.1 ส่วนแปลงสัญญาณเข้าให้เป็นสัญญาณดิจิตอลและส่วนสร้างสัญญาณแซมปลิ้ง

3.1.1 A/D และวงจรสร้างสัญญาณแซมปลิ้ง

3.1.2 วงจรสร้างสัญญาณ read,write

3.2 ส่วนสร้างสัญญาณควบคุม

3.2.1 วงจรสร้างสัญญาณควบคุม

3.2.2 วงจรรีเซ็ท ram 1

3.2.3 วงจรทรานสเฟอร์ดาต้าจาก ram 2 ไป ram 1

3.2.4 วงจรรีเซ็ท ram 2

3.3 ส่วนประมวลผลข้อมูล

3.4 ส่วนแสดงผลข้อมูลและส่วนสร้างสัญญาณซิงค์

3.4.1 วงจรสร้างสัญญาณซิงค์และสัญญาณแบล็งค์

3.4.2 วงจรคอนโทรล ram 1

3.4.3 วงจรแสดงภาพเคลื่อนไหวและหยุดภาพ

(display and freeze display)

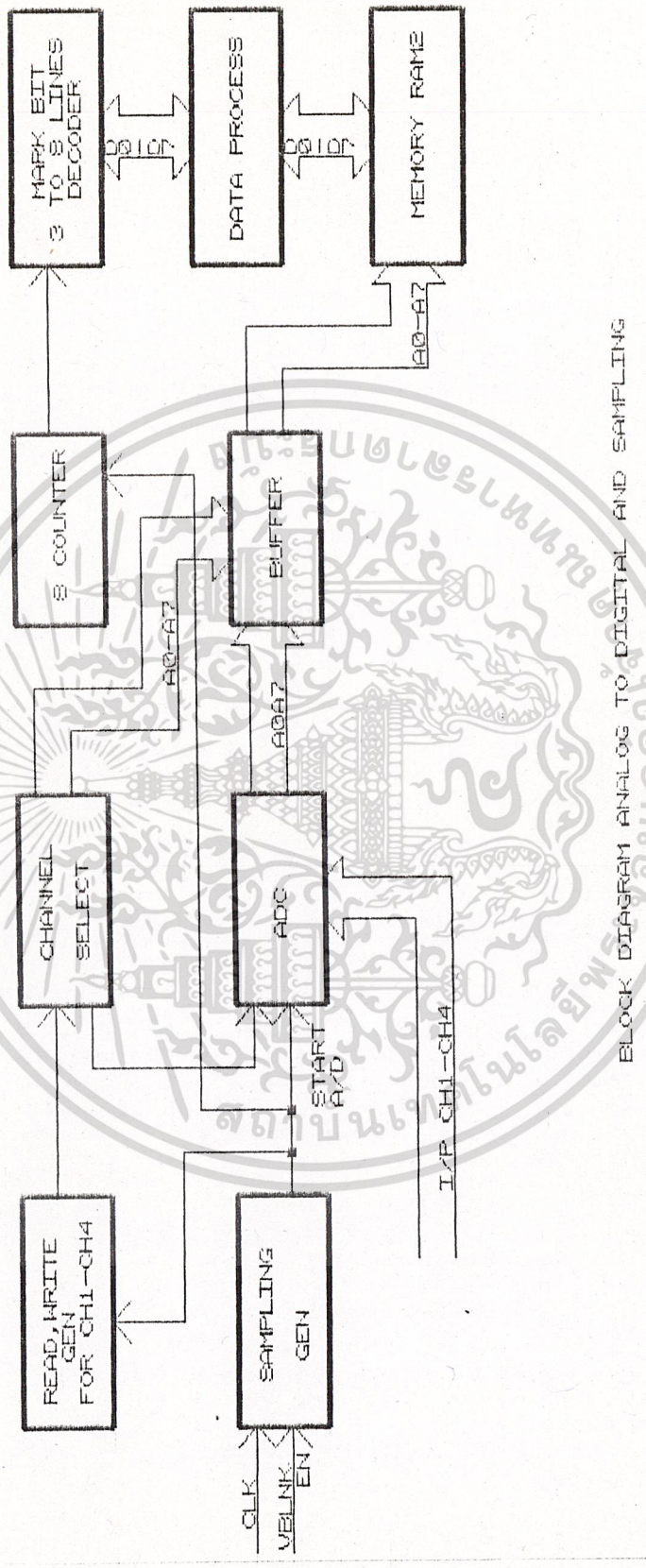
3.1 ส่วนแปลงสัญญาณเข้าให้เป็นสัญญาณดิจิตอลและส่วนสร้างสัญญาณแซมปลิ้ง

วงจรส่วนนี้จะทำหน้าที่ในการแปลงสัญญาณอนาลอกของคลื่นไฟฟ้าจากหัวใจที่ได้ขยายสัญญาณมาแล้วให้เป็นสัญญาณดิจิตอลเพื่อนำเข้าไปประมวลผล แบ่งเป็น

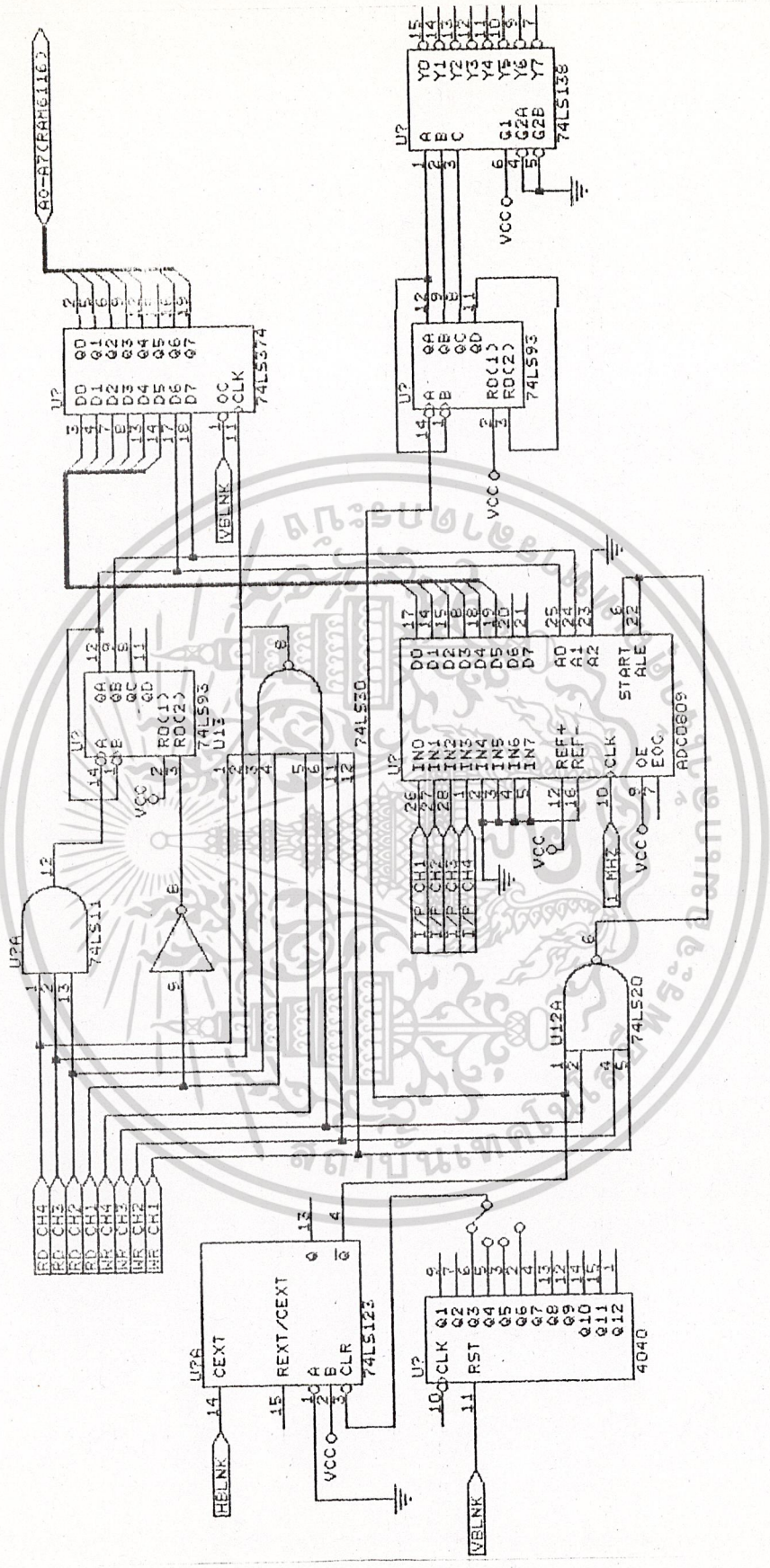
3.1.1 A/D และวงจรสร้างสัญญาณแซมปลิ้ง

จากรูปที่ 3.8 ขา 10 ของ IC.4040 จะถูกป้อนด้วย CLK ซึ่งมีความถี่เท่ากับ 12,800 Hz.(256 ลูกใน 1/50 วินาที เพราะว่าการ display หนึ่ง field ในที่นี้ใช้ 256 เส้นสแกนในแนวนอนในเวลา 1/50 วินาที) แล้วถูกหาร 32 เพื่อให้ได้ CLK ที่ output ของ IC.4040 8 ลูก ในขณะที่ input เข้ามา 256 ลูก (256/32=8) เพราะในขณะที่มีการ display โดยนำดาต้าออกจาก ram 1 อยู่นั้นจะต้อง entry data ลงสู่ ram 2 ไปด้วยดังที่กล่าวมาแล้วในตอนต้น จึงต้องให้แซมปลิ้ง ram 2 ครบ 8 ลูกภายในการสแกน 256 เส้น เพื่อ write "1" เข้าไปเป็นจำนวน 8 ครั้ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.7 block diagram ส่วน A/D และวงจรสร้างสัญญาณแซมปลิ้ง



รูปที่ 3.8 A/D และวงจรสร้างสัญญาณแซมปลิ้ง

พิจารณารูปที่ 3.6 ประกอบ

ดังนั้นขา Q_5 ของ IC.4040 จึงถูกต่อออกมาเพื่อเป็นสัญญาณแซมปลิ้ง จากนั้นจะนำไป ทริก โมโนสเตเบิ้ล เพื่อให้ขนาดความกว้างของพัลส์เล็กลงแล้วนำไปเป็นสัญญาณ start ของ A/D โดยผ่านแนนเกต เนื่องจากว่าการแซมปลิ้ง 8 ครั้ง ในแต่ละครั้งจะต้องมีการแซมปลิ้งย่อย 4 ครั้ง สำหรับ CH1-CH4 และสัญญาณแซมปลิ้งย่อยจะต้องมาจากส่วน read,write จึงนำสัญญาณแซมปลิ้งและสัญญาณ WRCH1-WRCH3 มาแอนกัน แต่ขา start ทำขาขึ้นจะต้องใช้แนนเกต

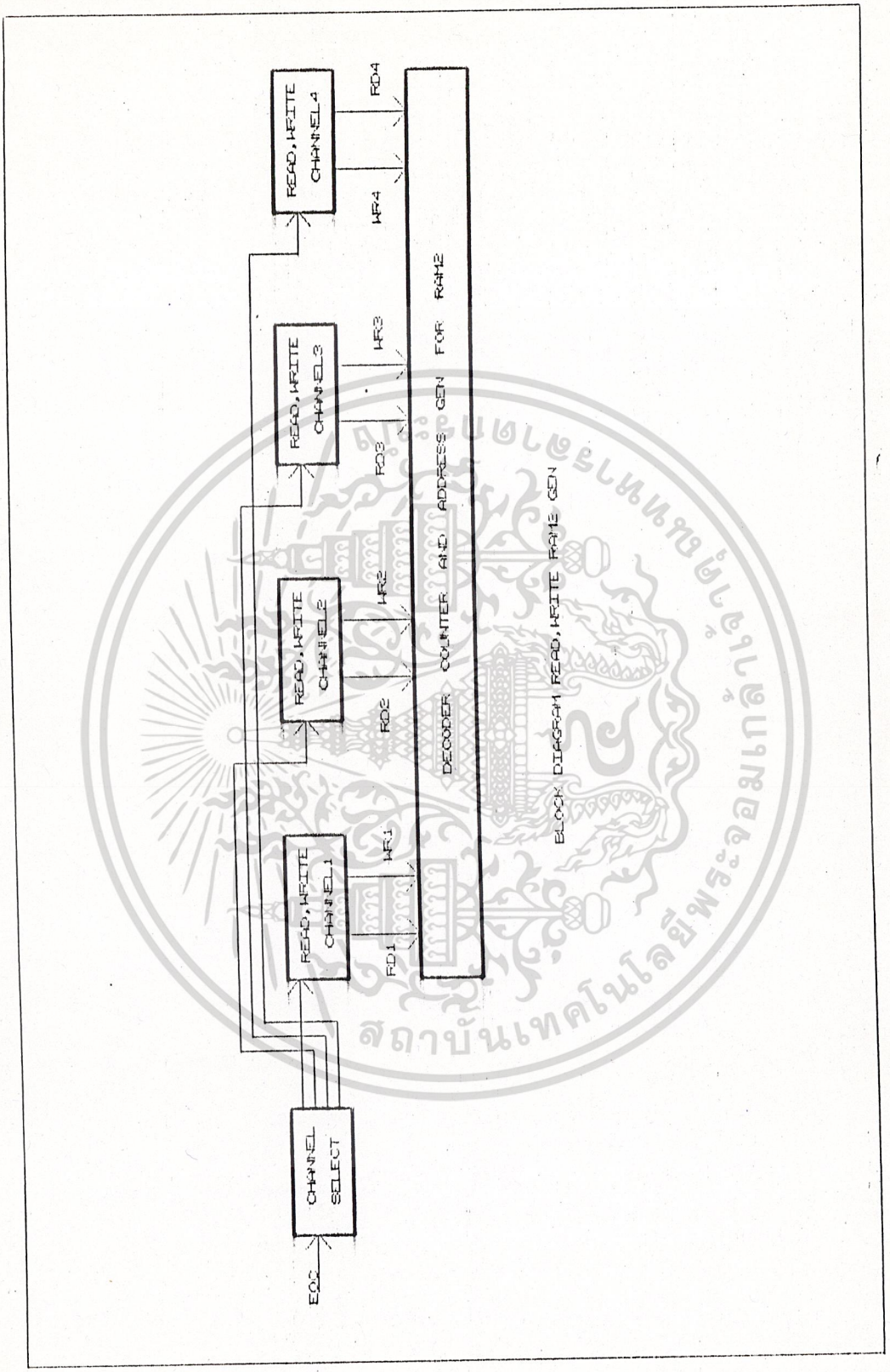
ในขณะที่ขา start ของ A/D มีสัญญาณจากแนนเกตมาทริกให้เกิดการ conversion นั้น สัญญาณ RDCH1-RDCH4 จะเป็นตัวบอกแชนแนลให้กับ A/D ทางขา A_0,A_1 โดยผ่าน 74LS93 ตัวบน ขณะเดียวกันก็จะเป็นตัวบอกแชนแนลให้กับ ram 2 ด้วย โดยผ่าน 74LS374 เพื่อให้รับ input ไปเก็บไว้ใน ram 2 ได้ตรงตามแชนแนลที่กำหนด และ 74LS93 ตัวล่างจะเป็นตัวนับจำนวนของสัญญาณแซมปลิ้งเพื่อให้ IC.74LS138 กำหนดตำแหน่งของ bit ที่จะ write "1" ลงไป

3.1.2 วงจรสร้างสัญญาณ read,write

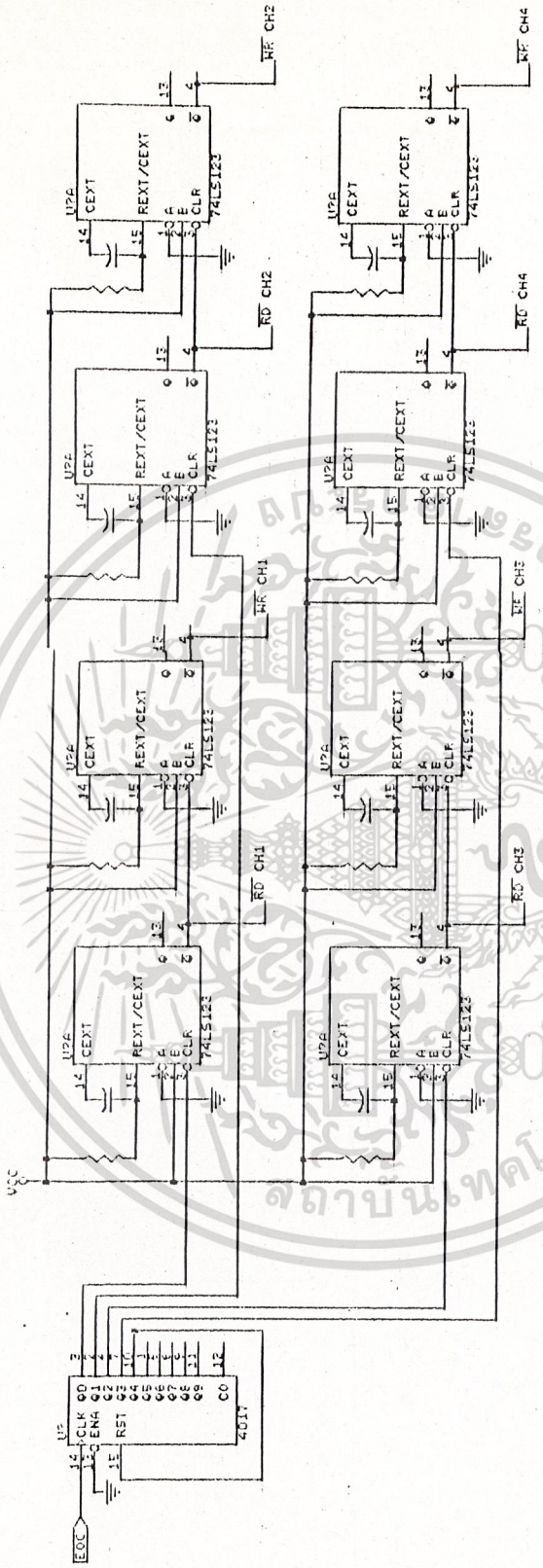
เมื่อ A/D ได้รับสัญญาณ start จาก แซมปลิ้งลูกที่ 1 จาก IC.4040 ก็เริ่มทำการ conversion ข้อมูล CH1 ทันทีและเมื่อ conversion เสร็จแล้ว ขา EOC ของ A/D ก็จะเปลี่ยนจาก "0" เป็น "1" และขา EOC นี้จะไปเป็นสัญญาณทริกให้กับ IC.4017 ตามรูปที่ 3.10 เพื่อให้ 4017 ไปเลือกทริก IC.74LS123 ซึ่งเป็นโมโนสเตเบิ้ล เพื่อกำเนิดสัญญาณ RDCH?,WRCH? ในที่นี้เมื่อ 4017 ได้รับ EOC ครั้งแรกขา Q_0 ของ 4017 จะเป็น "1" นอกนั้นจะเป็น "0" แล้วไปทริกโมโนสเตเบิ้ลตัวแรกให้เกิดสัญญาณ RDCH1 แล้วสัญญาณ RDCH1 ก็จะไปทริกโมโนสเตเบิ้ลตัวที่สองให้เกิดสัญญาณ WRCH1

สัญญาณ RDCH1 จะไปเป็นตัวบอกแชนแนลในการรับอินพุทของ A/D ครั้งถัดไปคือแชนแนล 2 และบอกแชนแนลที่ 1 ของ ram 2 ให้ทำการรับ อินพุท และสัญญาณ WRCH1 จะไปเป็นสัญญาณ start ให้กับ A/D เพื่อให้ทำการ conversion สำหรับแชนแนลที่ 2 และเป็นสัญญาณ write ให้กับ ram 2 เพื่อทำการ write "1" ลงไปใน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.9 block diagram วงจรสร้างสัญญาณ read,write



รูปที่ 3.10 วงจรสร้างสัญญาณ read,write

บิทที่ 1 (เพราะแซมปลิ้งครั้งที่ 1) ของแชนแนลที่ 1 (พิจารณารูปที่ 3.8 ประกอบ)

สัญญาณ EOC ครั้งที่ 2 ซึ่งเกิดจาก WRCH1 จะไปทริก 4017 ให้ Q_1 เป็น "1" และขา Q อื่นๆ จะเป็น "0" โมโนสเตเบิ้ลตัวที่ 3 และ 4 จะถูกทริกโดย Q_1 ให้เกิดสัญญาณ RDCH2 และ WRCH2 ตามลำดับ โดยสัญญาณ RDCH1 จะไปเป็นตัวบอกให้ A/D เปลี่ยนไปรับอินพุทของ CH3 และบอกให้แชนแนลที่ 2 ของ ram 2 ให้ทำการรับอินพุท WRCH2 จะเป็นสัญญาณ write ให้กับ ram 2 เพื่อ write "1" ลงไปในบิทที่ 1 ของแชนแนลที่ 2 (เพราะว่าเป็นแซมปลิ้ง ครั้งที่ 1 และแซมปลิ้งย่อยครั้งที่ 2)

จะเป็นเช่นนี้จนครบถึง RDCH4,WRCH4 และจะเริ่มแซมปลิ้งครั้งที่ 2 ใหม่อีกโดยการแซมปลิ้งครั้งที่ 2 นี้ จะทำการ write "1" ลงไปตามบิทที่ 2 ของแต่ละแชนแนล

จาก 3.1.1 และ 3.1.2 จะเกิดในช่วง display และ entry data

3.2 ส่วนสร้างสัญญาณควบคุม

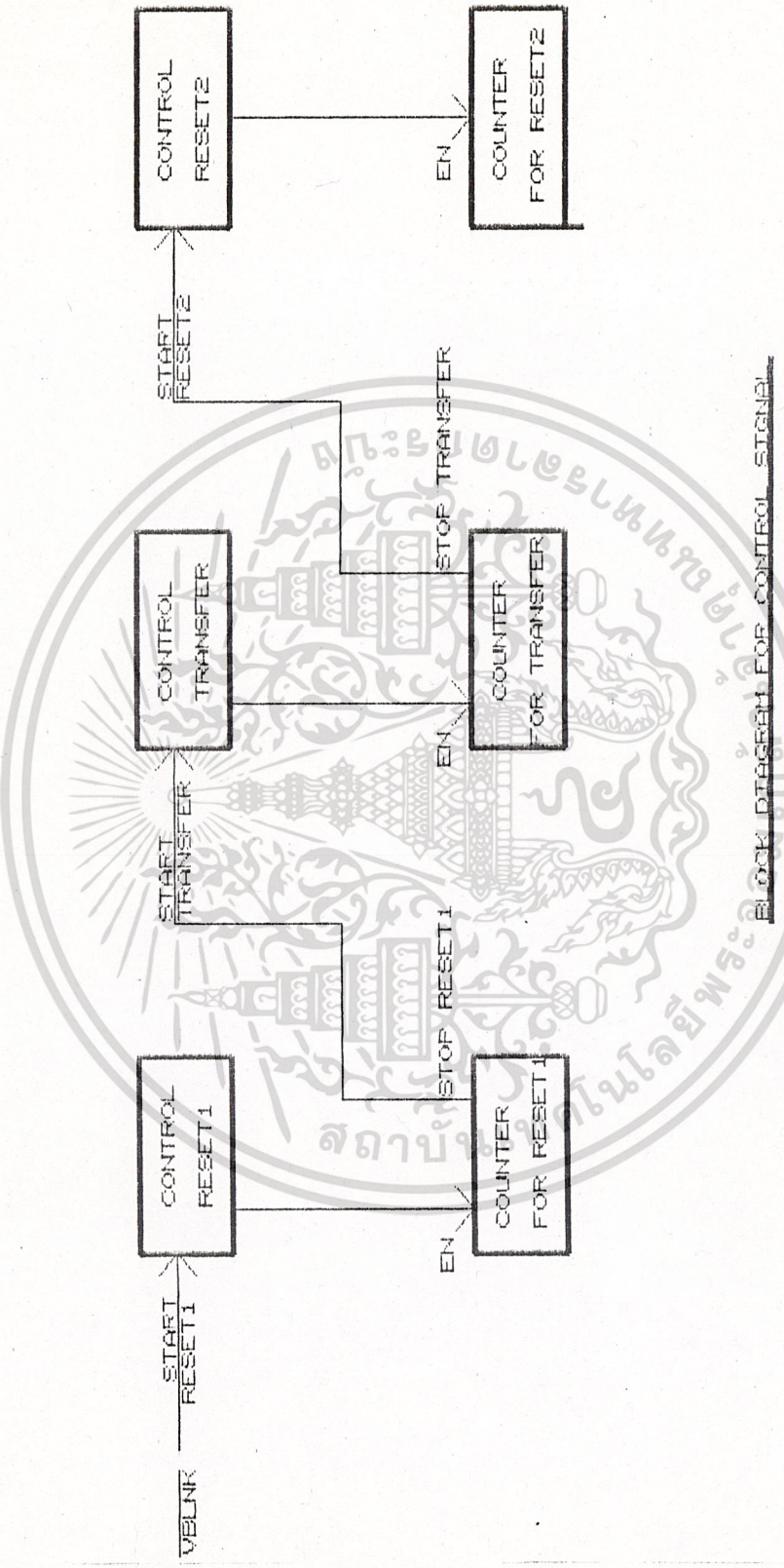
วงจรส่วนนี้จะเป็นวงจรสำหรับควบคุมช่วงที่ถัดจากช่วง display และ entry data คือช่วง reset 1,transfer,reset 2

3.2.1 วงจรสร้างสัญญาณควบคุม

จากรูปที่ 3.12 สัญญาณ vblnk จะเป็นตัวทริกให้ 74LS73 ซ้ายสุดเริ่มทำงาน โดย ขา 12 ของ 74LS73 จะเปลี่ยนจาก "0" ไปเป็น "1" ก่อให้เกิดสัญญาณ reset 1 เพื่อไป enable counter ในการ รีเซ็ท ram 1 ที่ต้องใช้สัญญาณ vblnk ก็เพราะว่าในช่วงที่ถัดจากช่วง display มาแล้วและขั้นตอนที่กล่าวข้างต้นนี้เกิดในช่วงหลัง display ไปแล้วจึงต้องใช้ vblnk เป็นตัวควบคุมการเริ่มต้นของวงจรส่วนสร้างสัญญาณควบคุม

สัญญาณ vblnk จะเป็นตัวทริกให้ 74LS73 ตัวซ้ายสุดเริ่มทำงานโดยขอบขาลงของ vblnk จะเป็นตัวทริกและ 74LS73 ทำงานที่ขอบขาลง โดยผ่านทางออร์เกตขา 1 ทำให้ขา 12 ของ 74LS73 ตัวซ้ายสุดเปลี่ยนสถานะจาก "0" เป็น "1" เมื่อ counter reset 1 ทำการรีเซ็ท ram 1 เสร็จ 1 column ก็จะส่งสัญญาณขอบขาลงผ่านแอนเกตขา 9 มา แล้วผ่านออร์เกตไปทริกขา 1 ของ 74LS73 ตัว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.11 block diagram วงจรสร้างสัญญาณควบคุม

รูปที่ 3.12 วงจรสร้างสัญญาณเวลา

ซ้ายสุด ทำให้ขา 12 เปลี่ยนสถานะจาก "1" กลับมาเป็น "0" เป็นอันว่าจบขั้นตอนการ reset 1

สัญญาณขอบขาลงของ reset 1 ก็จะไปทำการทริก 74LS73 ตัวกลางโดยผ่านออร์เกตขา 4 ให้ขา 12 ของ 74LS73 ตัวกลางเปลี่ยนสถานะจาก "0" ไปเป็น "1" และในลักษณะเช่นเดียวกับข้างต้น เมื่อ counter transfer 1 ทำการบอกแอดเดรสให้กับ ram 2 และ ram 1 ในการทรานสเฟอร์ข้อมูลเสร็จแล้วก็จะมาทริกให้ขา 12 ของ 74LS73 ตัวกลางเปลี่ยนสถานะจาก "1" กลับเป็น "0"

74LS73 ตัวขวาสุดก็จะทำงานในลักษณะเดียวกันและเมื่อรีเซ็ท ram 2 เสร็จแล้วก็จะกลับไปสู่ช่วง display และ entry data อีกครั้ง

3.2.2 วงจรรีเซ็ท ram 1

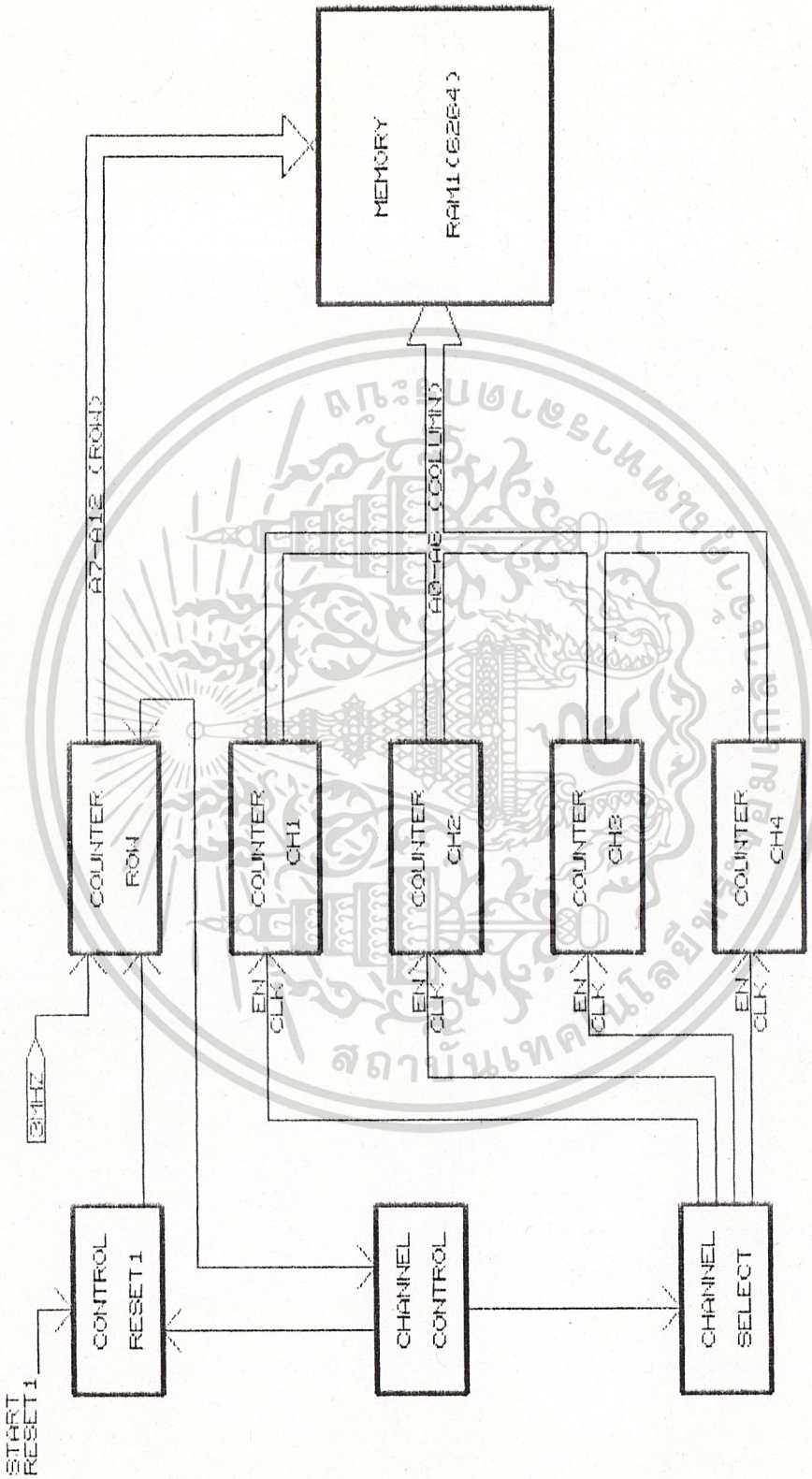
พิจารณารูปที่ 3.14 และจากหัวข้อ 2.1 สัญญาณ reset 1 จากขา 12 ของ 74LS73 จะมาทำการ enable แอนเกตให้ CLK 3MHz.ผ่านเข้ามาที่ขา CLK ของ 4040 ตัวบนสุดเพื่อสร้างสัญญาณแอดเดรสในการรีเซ็ท ram 1 โดยแอดเดรสตั้งแต่ A_7-A_{12} จะเป็นตัวอ้าง memory map ในส่วนของ row ตั้งแต่ row ที่ 1-64 แต่ไม่ระบุแชนแนล ในขณะเดียวกันขา 2 ของ 4040 ตัวบนสุด จะกลับมาเป็นอินพุทให้กับ 74LS93 ซึ่งเป็น binary counter ให้นับ 4 แล้วผ่าน decoder เพื่อทำการ enable 4040 ตัวถัดๆ ลงมาซึ่งเป็น counter สำหรับ CH1-CH4 ในแนว column (A_0-A_6) 1-128

เมื่อเปิดเครื่อง counter ทางด้าน row จะเริ่มต้นจาก 00H-3FH ในขณะที่ counter ทางด้าน column สำหรับ CH1 กำลังชี้ไปที่ column 00H รูปที่ 4(a)

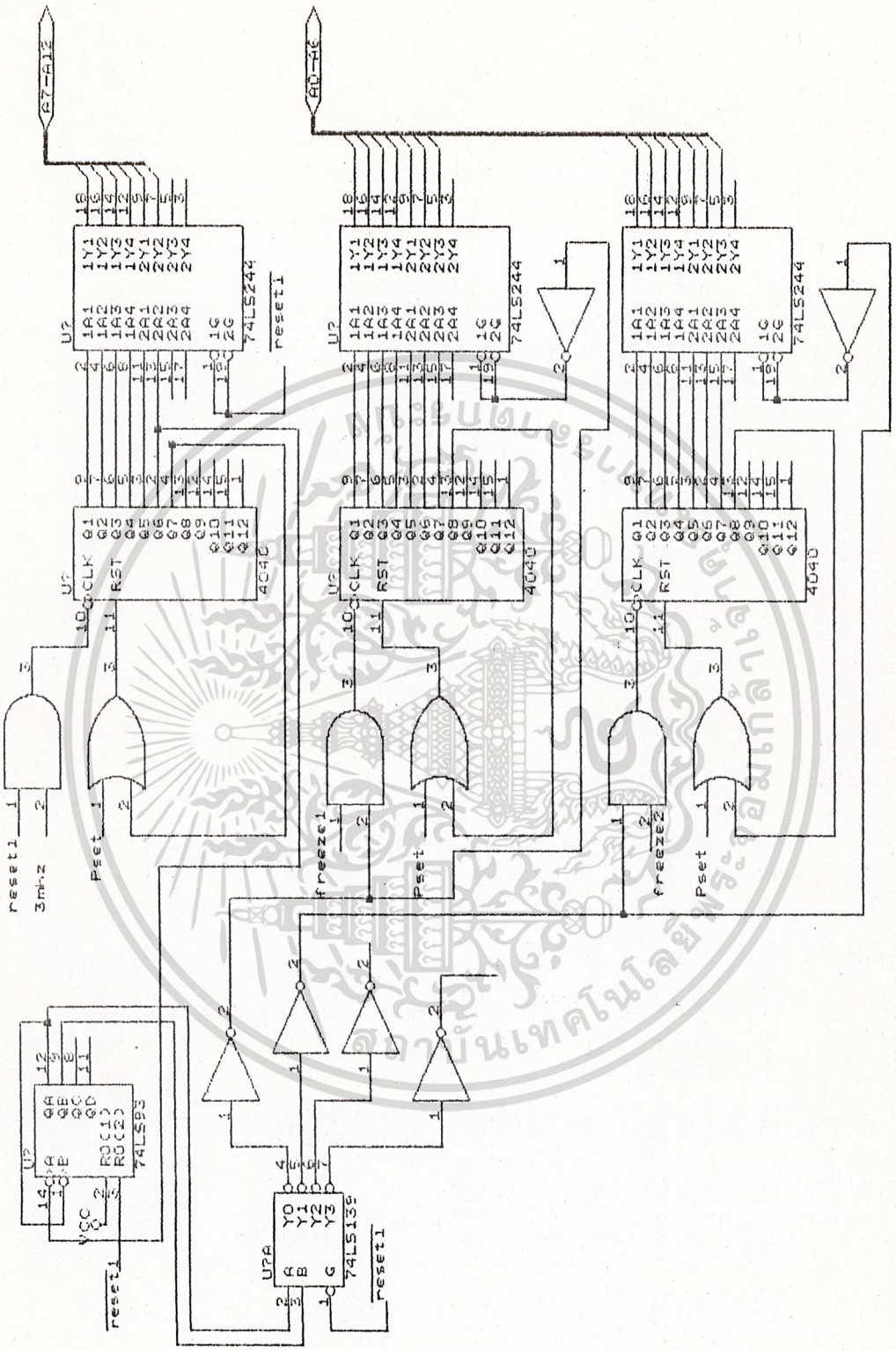
เมื่อ counter ทางด้าน row นับครบ 64 byte คือถึง 3FH แล้วขา 2 ของ counter ทางด้าน row ก็จะไปทริกให้ decoder เปลี่ยนแชนแนลเป็น CH2 แต่ชี้ไปที่ column 00H เช่นกัน

และจะเปลี่ยนแชนแนลไปจนครบ 4 แชนแนล (แต่ยังเป็นการรีเซ็ท column 00H อยู่) จากนั้นขา Y_3 ของ 74LS139 ก็จะไปทริกขา 1 ของ 74LS73 ตัวซ้ายสุดตามรูปที่ 3.12 ให้สัญญาณ reset 1 กลับมาเป็น "0" คือเลิก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.13 block diagram วงจรรีเซ็ท ram 1



รูปที่ 3.14 วงจรรีเซ็ท ram 1

reset 1 และเริ่มช่วงทรานสเฟอร์ต่อไป

และเมื่อวนลูปกลับมาที่ reset 1 อีกครั้ง column ที่จะถูกรีเซ็ทจะกลายเป็น column 01H แล้ว สำหรับทุกๆ แชนแนลเพราะว่า counter ทางด้าน column คือ A_0-A_6 จะเป็น 1000 000 และเมื่อวนลูปกลับมาที่ reset 1 อีก counter ทางด้าน column ก็จะเพิ่มเป็น 0100 000 คือเปลี่ยน column เป็น 10H เป็นเช่นนี้เรื่อยไป

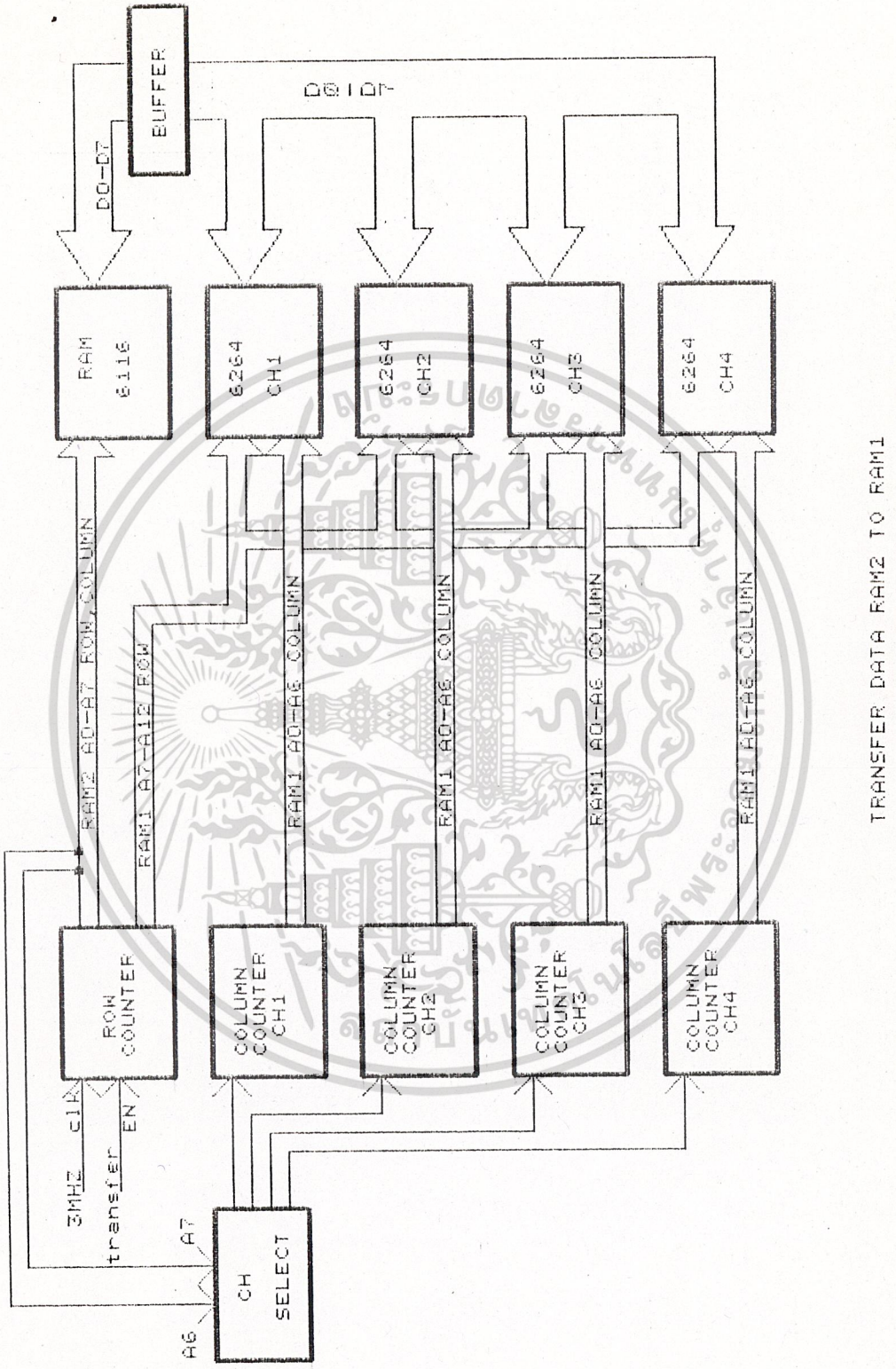
freeze ถ้าต่อลง "0" จะทำให้ไป disable 4040 ทำให้แอดเดรสทางด้าน column หยุด

3.2.3 วงจรทรานสเฟอร์ดาต้าจาก ram 2 มา ram 1

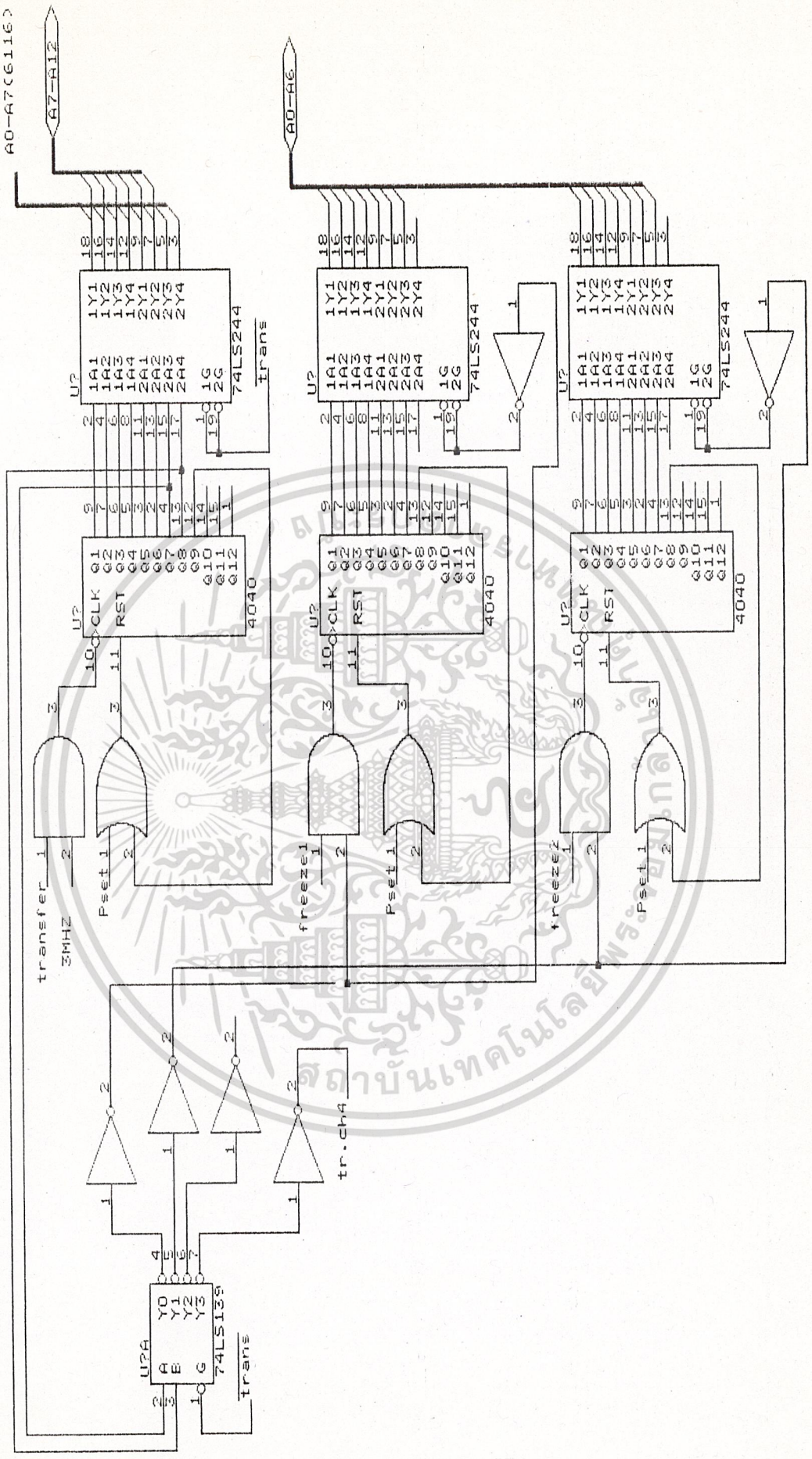
จากรูปที่ 3.16 เมื่อมีสัญญาณ ทรานสเฟอร์ จากส่วนสร้างสัญญาณควบคุม (ขา 12 ของ 74LS73) จะทำให้ไป enable CLK 3MHz.ให้ผ่านไปที่ IC.4040 ด้วยบนซึ่งเป็น counter ทางด้าน row,column ของ ram 2 และเป็น counter ทางด้าน row ของ ram 1 ไปพร้อมกัน เมื่อเริ่มเข้าลูปของการทรานสเฟอร์ดาต้า ram 2 จะได้รับสัญญาณ read ส่วน ram 1 จะได้รับสัญญาณ write ดาต้าบัสของ ram ทั้งสองจะเชื่อมถึงกันโดย enable บัฟเฟอร์ 74LS244 แต่ ram 1 นั้นมี 4 ตัวด้วยกัน วงจรจะทราบว่าจะต้องทรานสเฟอร์ดาต้าจาก ram 2 ไปสู่ ram 1 ตัวไหน โดยการ decode สัญญาณจากขา Q_7 และ Q_8 ของ 4040 ตัวบนแล้วผ่าน 74LS139 ซึ่งเป็นตัว decoder ให้ไปทำการ enable ให้ IC.4040 ที่เป็นตัวบอกแอดเดรสด้าน column และในขณะเดียวกันก็จะมีวงจรในภาคคอนโทรล ram 1 ซึ่งจะกล่าวต่อไปเป็นตัว enable ram 1 แต่ละตัวให้ทำการรับข้อมูลที่มาในช่วงทรานสเฟอร์ดาต้าไม่พร้อมกันทำให้กำหนดได้ว่า ram 1 แชนแนลใดจะเป็นตัวที่ถูกทรานสเฟอร์ดาต้าลงมา

การทำงานของวงจรในช่วงทรานสเฟอร์นี้ จะมีลักษณะเหมือนกับวงจรในช่วง reset 1 โดยที่ 4040 ตัวบนสุดจะเป็นตัวบอกแอดเดรสในแนว row ตั้งแต่ 00H-3FH (1-64) ส่วน IC.4040 ตัวถัดลงมาจะเป็นตัวบอกตำแหน่งทางด้าน column 00H-7FH (1-128) และแชนแนลของการทรานสเฟอร์ เมื่อเริ่มลูปการทรานสเฟอร์ครั้งแรก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.15 block diagram วงจรทรานสเฟอร์ดาต้าจาก ram 2 ไป ram 1



รูปที่ 3.16 วงจรทรานสเฟอร์ดาต้าจาก ram 2 ไป ram 1

4040 ตัวบนสุดจะเริ่มนับตั้งแต่ 1-64 (A_7-A_{12}) ในขณะที่ 4040 ตัวที่สองบอกแอดเดรสเป็น 0000 000 (A_0-A_6) คือหมายถึง column ที่ 00H แชนแนลที่ 1 เป็นตัวรับข้อมูล เมื่อ 4040 ตัวบนสุดนับถึง 64 แล้วก็จะเริ่มนับใหม่ 4040 ตัวที่สามก็จะบอกแอดเดรสเป็น 0000 000 (A_0-A_6) คือหมายถึง column ที่ 00H แชนแนลที่ 2 เป็นเช่นนี้ไปเรื่อยถึง 4040 ตัวที่ 5 ซึ่งจะแทน column ที่ 00H แชนแนลที่ 4

เมื่อวนลูปกลับมาที่การทรานสเฟอร์ดาต้าอีกครั้ง 4040 ตัวสบนสุดก็เริ่มนับ 1-64 อีกครั้ง ในขณะที่ 4040 ตัวที่สองถึงตัวที่ห้าจะบอกแอดเดรสเป็น 01H หรือ 1000 000 ซึ่งเป็นการบอก column ว่าขณะที่ทรานสเฟอร์ดาต้าจาก ram 2 มาที่ ram 1 column ที่สองแล้ว 4040 ตัวที่สองถึงห้าจะบอกแอดเดรสทาง column เป็น 01H พร้อมกันทุกตัว แต่ว่าแชนแนลใดจะทำการรับดาต้าลง column ที่ 01H นั้นก็จะต้องเป็นวงจรส่วนควบคุม ram 1 จะเป็นตัวควบคุม

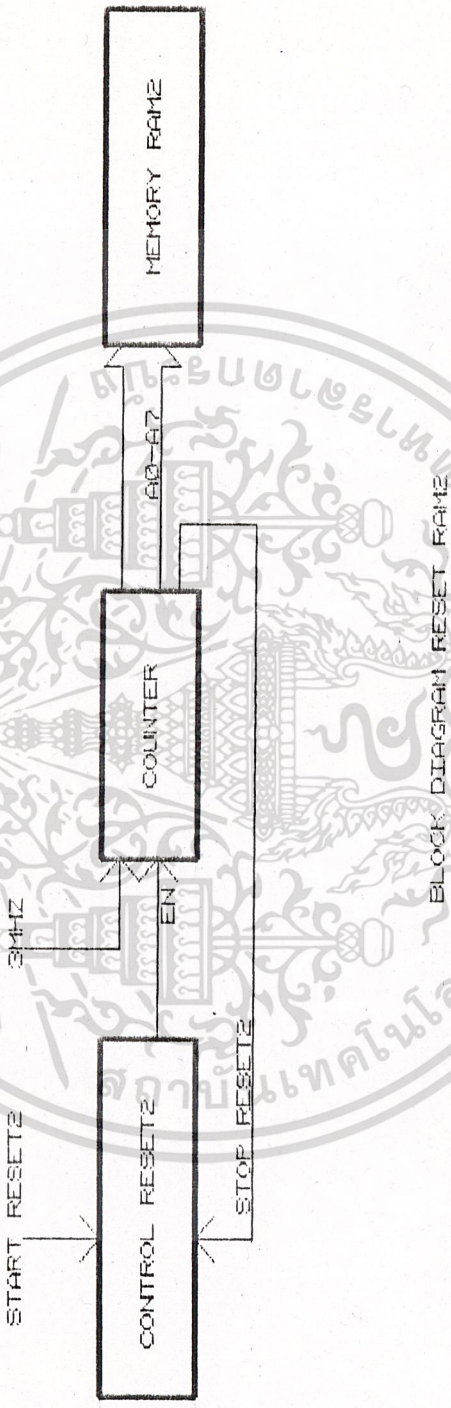
ส่วนสัญญาณ freeze แต่ละแชนแนลนั้น ก็จะเป็นการ fix แอดเดรสทางด้าน column ไม่ให้เคลื่อนเพื่อว่าในขณะที่อยู่ในช่วง display นั้นจะยังมีข้อมูลเก่าอยู่ เพื่อการแสดงรูปเดิมหรือภาพนิ่งในแต่ละแชนแนล

3.2.4 วงจรรีเซ็ท ram 2

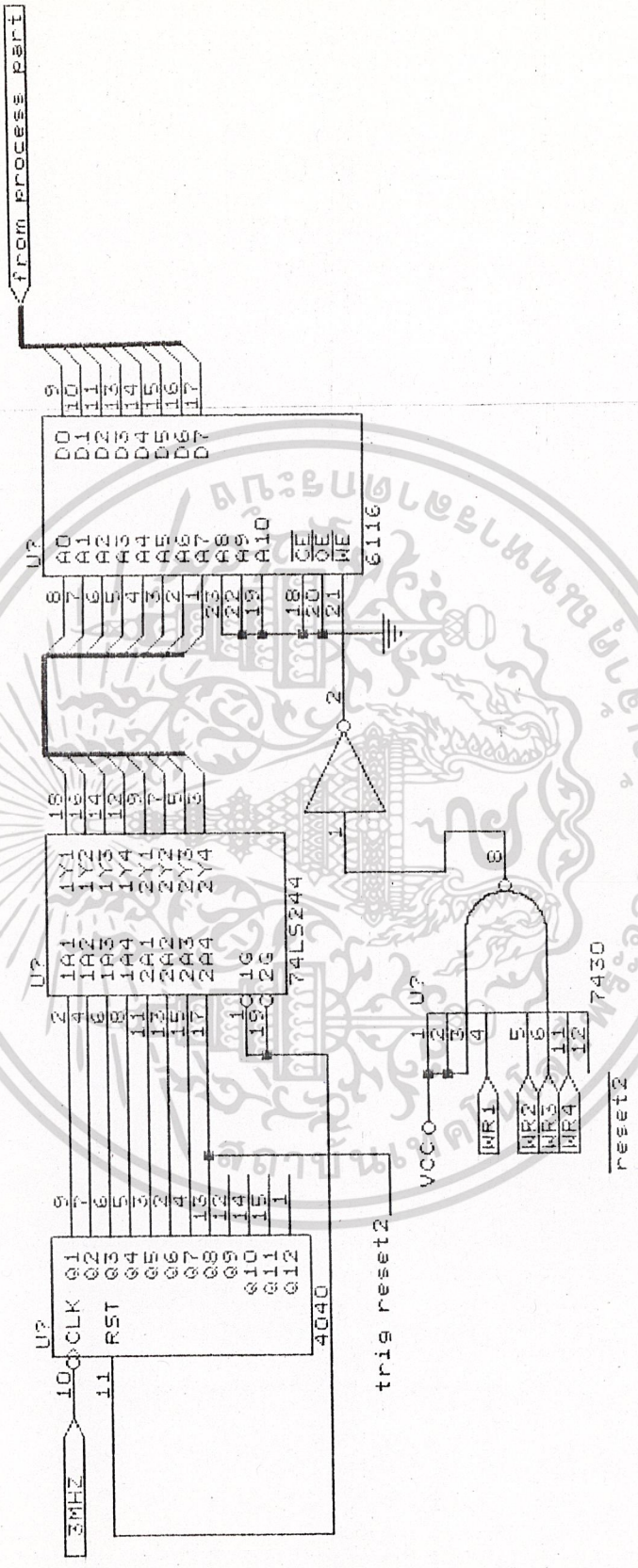
ในหัวข้อที่ 3.2.2 และ 3.2.3 วงจรรีเซ็ท ram 1 และวงจรทรานสเฟอร์ดาต้า จะเห็นว่านอกจากจะต้องมีการคอนโทรลแอดเดรสทางด้าน row แล้ว ยังต้องมีการคอนโทรลแอดเดรสทางด้าน column ของแต่ละแชนแนลอีกด้วย เนื่องจากวงจรเหล่านี้จะต้องทำงานร่วมกับ ram 1 ซึ่งมีอยู่ทั้งหมด 4 ตัว สำหรับ 4 แชนแนล ดังนั้นวงจรจึงมีการ decode สัญญาณจากขาของ IC ต่างๆ มาเป็นสัญญาณคอนโทรลสำหรับแต่ละแชนแนล ซึ่งทำให้วงจรยุ่งยากขึ้น

แต่สำหรับวงจรรีเซ็ท ram 2 ดังรูปที่ 3.18 นี้ ใช้ในการรีเซ็ท ram 2 ซึ่งมีเพียงตัวเดียว วงจรจึงไม่ยุ่งยาก ลูปของการรีเซ็ท ram 2 เริ่มขึ้นเมื่อขา 11 ของ IC.4040 ได้รับการ enable จาก 74LS73 ขา 13 ตัวขวาสุดรูปที่ 3.12 ก็จะเริ่มทำการนับ โดยสัญญาณจะผ่านบัฟเฟอร์ 74LS244 ไปยังขาแอดเดรสของ ram 2 คือ 6116 และขา write ของ 6116 ขา 21 ก็จะเป็น "0" ส่วนขา D_0-D_7 ก็จะ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.17 block diagram วงจรรีเซ็ท ram 2



รูปที่ 3.18 วงจรรีเซ็ท ram 2

ได้รับสัญญาณ "0" จาก IC.74LS157 จากวงจรส่วนประมวลผล

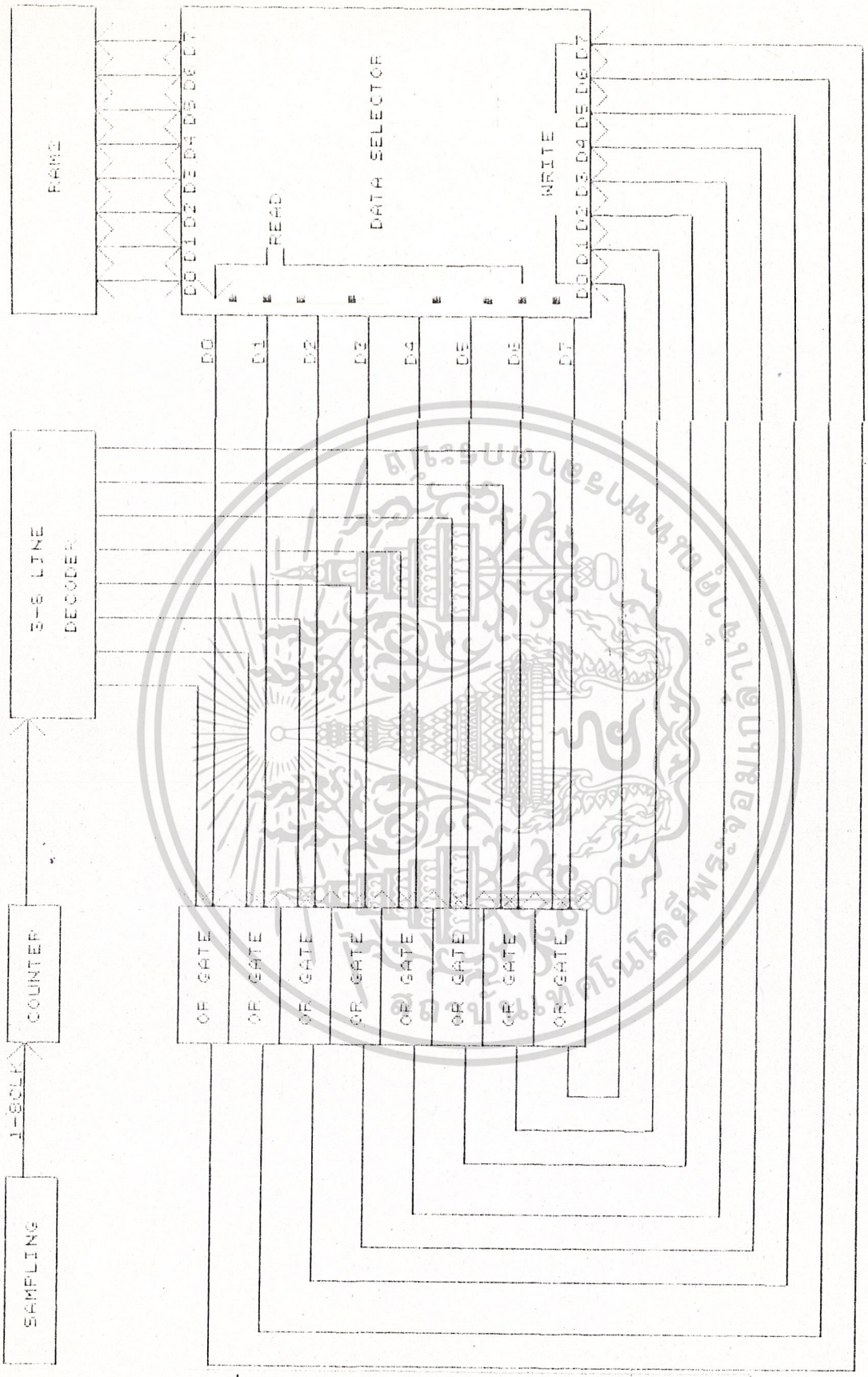
เมื่อทำการนับจนครบทั้ง 256 ไบท์แล้ว ขา 13 ของ IC.4040 ก็จะกลับไปทริกวงจรส่วนควบคุมให้หยุดส่งสัญญาณรีเซ็ท ram 2 มาเป็นอันจบขบวนการรีเซ็ท ram 2 และขณะนี้ทุกไบท์ตั้งแต่ 00H-FFH จะเป็น "0" อยู่ทุกๆ บิท (รูปที่ 3.4)

3.3 ส่วนประมวลผลข้อมูล

โดยการนำข้อมูลที่ได้จากหน่วยความจำ ram 2 มา ออร์กับข้อมูลที่ได้จากการถอดรหัสจาก IC.74LS138 ผ่าน not เกต ซึ่งมีลักษณะการทำงานดังต่อไปนี้

สมมติว่ามีสัญญาณเข้ามาเป็นสัญญาณ dc. ดังนั้นการอ้างตำแหน่งแอดเดรสของแถวในหน่วยความจำภาพจะมีค่าเดิมตลอดเวลา (จากส่วนแปลงสัญญาณเข้าให้เป็นสัญญาณดิจิตอล)ในการอ่านข้อมูลออกมาครั้งแรก(แซมปลิ้งครั้งที่หนึ่ง)จากหน่วยความจำจะเป็น 00000000 ในขณะที่ส่วนถอดรหัสจะได้ 10000000 เมื่อนำมาออร์กันแล้วได้ 10000000 ซึ่งถูกนำกลับไปเขียนลงในหน่วยความจำอีก ต่อมาในการอ่านข้อมูลครั้งที่สอง(แซมปลิ้งครั้งที่สอง)ค่าในการอ้างตำแหน่งแอดเดรสของทั้งแถวและคอลัมภ์ยังเหมือนเดิม เพราะฉะนั้นค่าของข้อมูลคือ 10000000 ในขณะที่ข้อมูลจากส่วนถอดรหัสจะเป็น 01000000 เมื่อมาออร์กันจะได้ 11000000 ซึ่งถ้าทำไปเรื่อยๆ จนครบทั้งหน่วยความจำแล้ว เราจะได้ข้อมูลในแต่ละไบต์ในแถวนั้นคือ 11111111 ซึ่งเมื่อนำมาแสดงทางจอภาพแล้วจะได้ภาพของสัญญาณเส้นตรงเหมือนกับอินพุทที่ป้อนเข้ามาทั้งนี้เนื่องจากการเขียนข้อมูลลงในหน่วยความจำมี 2 ลักษณะคือ เขียนข้อมูลของภาพที่จะแสดงกับข้อมูลที่ใช้ในการเคลียร์หน่วยความจำ ดังนั้นก่อนจะเข้าบัฟเฟอร์จะมีการเลือกข้อมูลโดยการใช้ชิพ 74LS157 เป็นตัวเลือกโดยใช้สัญญาณ reset เป็นสัญญาณควบคุม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.19 block diagram วงจรประมวลผลข้อมูล

รูปที่ 3.20 วงจรถอดรหัสแอดเดรส

3.4 ส่วนแสดงผลข้อมูลและส่วนสร้างสัญญาณซิงค์

3.4.1 วงจรคอนโทรล ram 1 (6264)

จากวงรอบการทำงาน (loop) ของวงจรทั้งหมด คือ 1.entry data (ซึ่งขณะนี้ก็จะ display ด้วย) 2.reset ram 1 เพื่อเตรียมตำแหน่งที่จะนำข้อมูล (data) มาใส่ 3.transfer เป็นการถ่ายเทข้อมูลจาก ram 2 (6116) มาสู่ ram 1 และ 4.reset ram 2 เพื่อให้ ram พร้อมที่จะทำการ entry data อีกครั้งหนึ่ง ซึ่งจากลูปการทำงานทั้งหมด เราต้องทำการ control ram หลักทั้ง 4 แชนแนลให้ทำงานสัมพันธ์กันกับช่วงต่างๆ ที่กล่าวมา โดยอาศัยหลักที่ว่า ต้องทำให้ ram 1 มีสัญญาณเขียน (write) ได้เฉพาะในช่วง reset และช่วง transfer เพื่อให้ ram ถูกเขียน "0"(reset) และเขียนข้อมูล (transfer) นอกนั้นให้ ram ไม่มีสัญญาณ write คือให้ ram ถูก read นั่นเอง

ซึ่งสามารถทำได้โดยการดึงสัญญาณ reset CH1-4,transfer CH1-4 และ display CH1-4 มาผ่านวงจรเพื่อควบคุม (control) ที่ขา WE และ CS2 (chip select) ซึ่งจะได้วงจรควบคุม (control) ตามรูปที่ 3.22 อธิบายได้ดังนี้

1.ช่วง display จะมีสัญญาณ DISPCH1-4 เป็น "1" เข้าที่ขาของออร์เกต ส่วนอีกขาหนึ่งจะเป็น "0" เนื่องจากขณะ display สัญญาณ reset CH1-4 เป็น "0" ดังนั้นจะทำให้ได้ระดับ "1" ที่ขา CS_2 ของ ram ก็คือเป็นการเลือก ram 1 (โดยจะเป็น ram ตัวไหนก็แล้วแต่ว่าช่วงนั้นสัญญาณ display เป็นของแชนแนลใด)และขณะเดียวกันก็จะเห็นว่า ออร์เกตที่ต่อเข้ากับขา WR ของ ram 1 นั้นก็จะมีระดับ "1" คือ ram 1 กำลังถูกอ่าน data ถ้ารวมแล้วก็จะเห็นว่าขณะ display ram 1 จะถูก enable และถูกอ่าน data ออกมา โดยแอดเดรสที่จะไปอ่าน data มานั้นจะถูกกำเนิดโดยวงจรส่วนเลื่อนการแสดงภาพ (shift display)

2.ช่วง transfer, และ reset ram 1

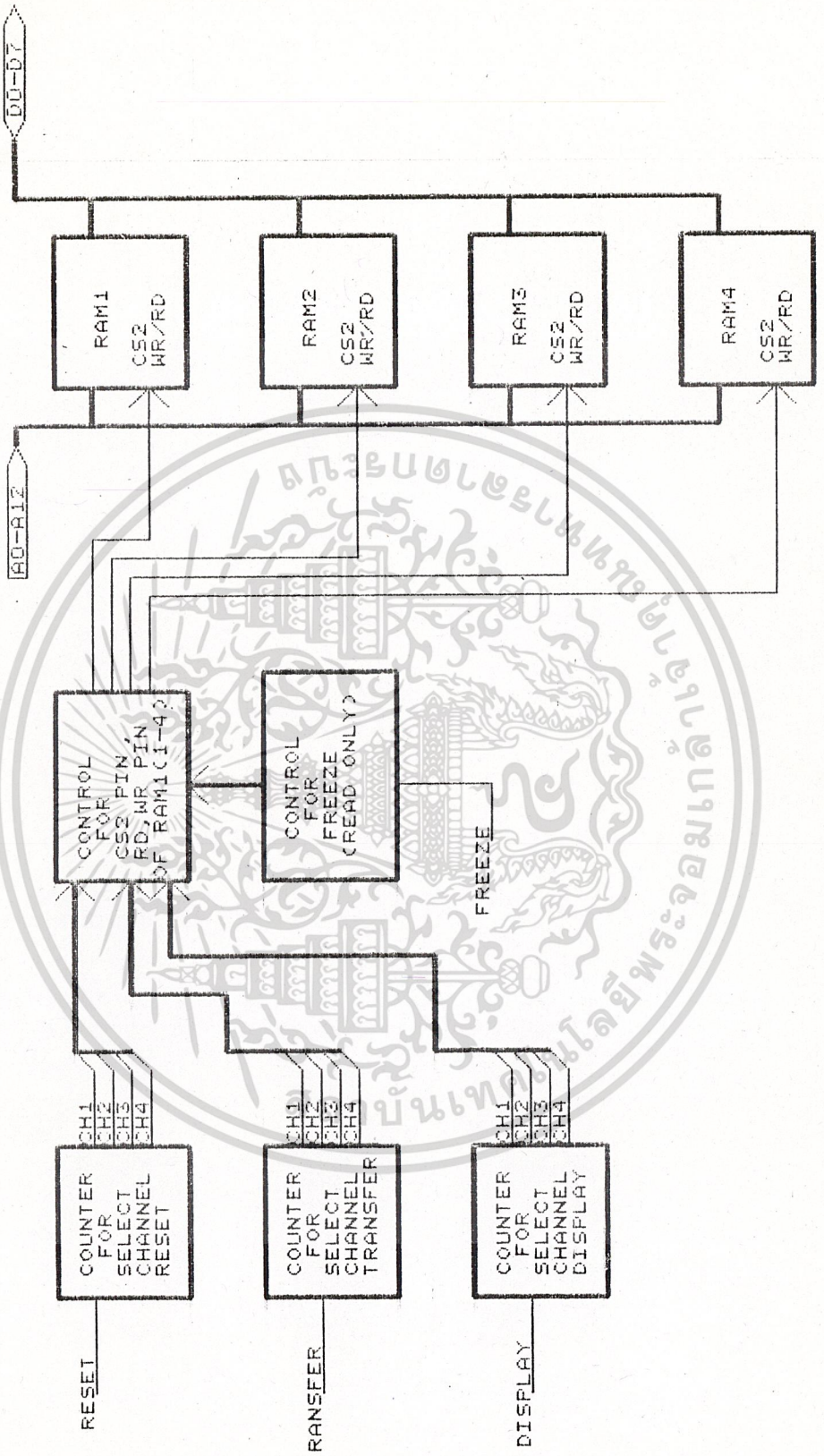
ในช่วงนี้จะมีสัญญาณ transfer CH1-4 หรือ reset CH1-4 เป็น "1" เข้าที่ ออร์เกต ส่วน display (CH1-4) นั้นเป็น "0" เพราะฉะนั้น output ของออร์เกต ก็จะเป็น "1" เข้าที่ขา CS_2 ของ ram 1 และ output ของออร์เกตที่มี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

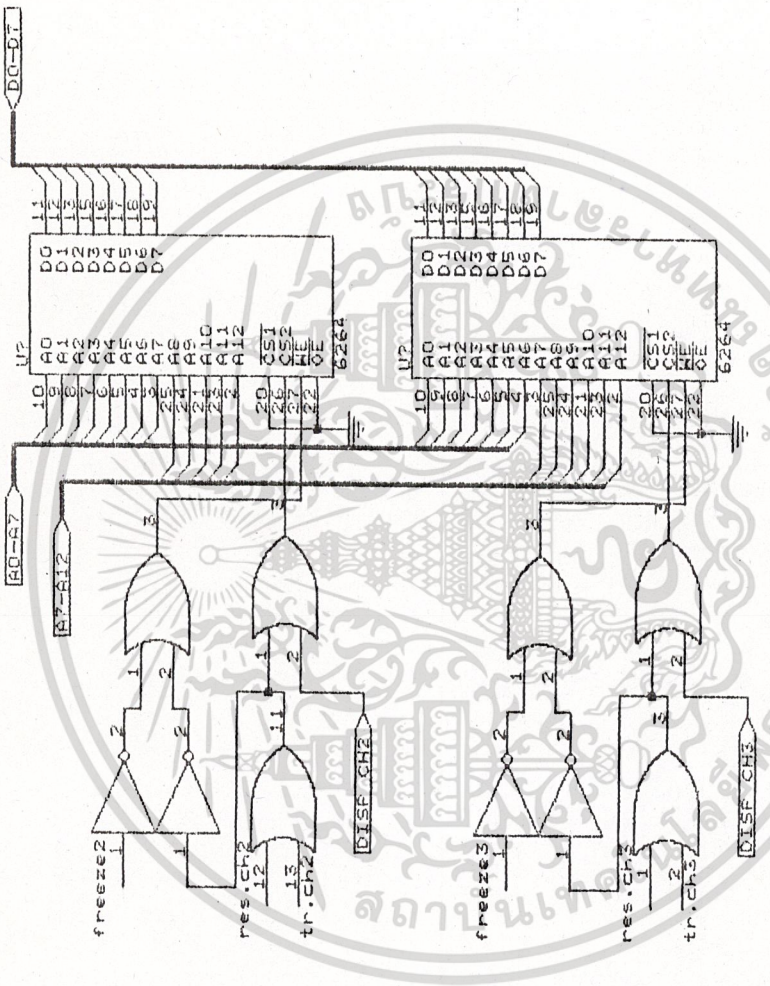
input เป็น transfer CH1-4,reset CH1-4 จะเป็น "1" ไปผ่าน inverter กลับเป็น "0" ซึ่งถ้าขณะนั้นเราไม่ได้กดปุ่ม freeze ก็จะทำให้ output ของ ออร์เกตนี้เป็น "0" ป้อนเข้าขา WE คือ ram 1 จะถูก write โดยจะเป็นข้อมูลหรือการเขียน "0" ก็แล้วแต่ว่าเป็นช่วง transfer หรือ reset ram 1 โดยแอดเดรสจะถูกกำเนิดโดยส่วนที่ control ตำแหน่งที่จะ transfer และตำแหน่งที่จะ reset นั่นเอง

3.ช่วง reset 2,ram 1 จะถูกเลือก คือ ที่ขา CS_2 จะเป็น "0"

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.21 block diagram วงจรคอนโทรล ram 1



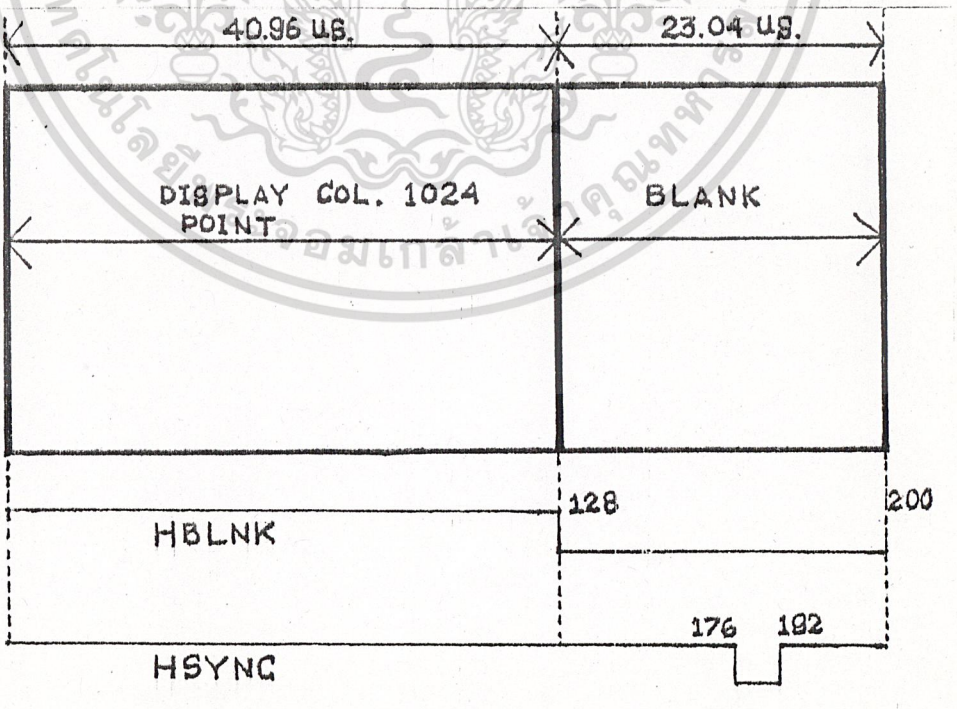
รูปที่ 3.22 วงจรคอนโทรล ram 1

3.4.2 วงจรสร้างสัญญาณซิงค์และสัญญาณแบล็งค์

เราต้องสร้างสัญญาณซิงค์ให้เท่ากับมาตรฐานที่ใช้อยู่ในโทรทัศน์ โดยในโครงงานนี้เลือกใช้มาตรฐานยุโรป คือ 625 เส้นต่อ 1เฟรม คือ ความถี่ฮอร์ซิงค์ เท่ากับ 15,625 Hz.และความถี่เวอร์ซิงค์ เท่ากับ 50 Hz.รวมถึงสัญญาณแบล็งค์ของด้านฮอร์และเวอร์อีกด้วย

จากทฤษฎีที่กล่าวมาในบทที่ 1 เราต้องทำการสร้างสัญญาณฮอร์ซิงค์ที่มีความถี่ 15,625 Hz. หรือทุกๆ 64 μs. และมีช่วงเวลาของสัญญาณประมาณ 5μs. ดังนั้นจากความถี่ที่ได้จากออสซิลเลเตอร์ 25 MHz. เรานำมาผ่านวงจรหาร 8 เป็นสัญญาณความถี่ 3.125 MHz. และเพื่อให้ได้ความถี่ที่ต้องการ เราจะนำไปผ่านวงจรหาร 200 ซึ่งจะได้ 15,625 Hz. (3.125 MHz./200 = 15,625Hz.)

ในที่นี้เราต้องการ decode เพื่อแสดงสัญญาณภาพเพียงอย่างเดียวก่อน และสามารถแก้ไขช่วงเวลาของการเกิด hblnk ได้ในภายหลังเมื่อต้องการเอาตัวอักษรเข้ามารวมในสัญญาณภาพด้วย รูปที่ 3.23 แสดงภาพการหารที่ต้องการและช่วงเวลาต่างๆ ที่คำนวณได้



รูปที่ 3.23 แสดงช่วงเวลาต่างๆ บนจอภาพที่คำนวณได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ซึ่งจากแผนภาพเราต้องออกแบบวงจรหาร 128 และวงจรหาร 200 ให้ทำงานสัมพันธ์กันจึงจะได้สัญญาณ hblnk โดยวงจรหาร 200 ทำได้โดยดึงเอาท์พุทจากขา 4,5 และ 13 ของ IC.4040 ไปต่อกับ 74LS11 แล้วเอาเอาท์พุทของ 74LS11 ไป reset ตัวมันเอง (IC 4040) ดึงเอาท์พุทจากขา 13 ของ IC.4040 ผ่าน inverter ก็จะได้ hblnk ที่มีช่วงเวลาการแบล็งค์ดังรูป 3.23 ส่วนสัญญาณ hsync ได้จากการหาร 3.125 MHz. ด้วย 176 และ 192 โดยการต่อเกตดังรูป 25 แล้วนำเอาท์พุททั้ง 2 ตัวนี้มาแอนกันเพื่อป้อนเป็นสัญญาณ clock ให้กับ JK-FF ที่ถูกต่อแบบท็อกเกิล (toggle) ที่ขา Q ของ JK-FF นี่เองเราจะได้สัญญาณ hsync ที่มีช่วงเวลา 5 μs. ตามต้องการ

สัญญาณ vsync มีความถี่ 50 Hz. คาบเวลาเท่ากับ 20 ms. และนานประมาณ 1 ms. จากความถี่ 15,625 Hz. เมื่อหารด้วย 312 จะได้ประมาณ 50.17 Hz. ซึ่งเป็นค่าที่ใช้ได้ เราได้ใช้ IC.4040 และนำเอาท์พุทจากขา 2,3,5,12 มาแอนกันก่อนนำไป reset 4040 และนำเอาสัญญาณจากขา 12 ไปเป็นช่วงเวลาแบล็งค์

นอกจากนี้สัญญาณแบล็งค์ของทั้ง ver และ hor จะนำไปรวมกันด้วยการแอนกันแล้วนำไปรวมกับสัญญาณข้อมูลที่ถูกชิฟออกมาด้วยความถี่ 25 MHz.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

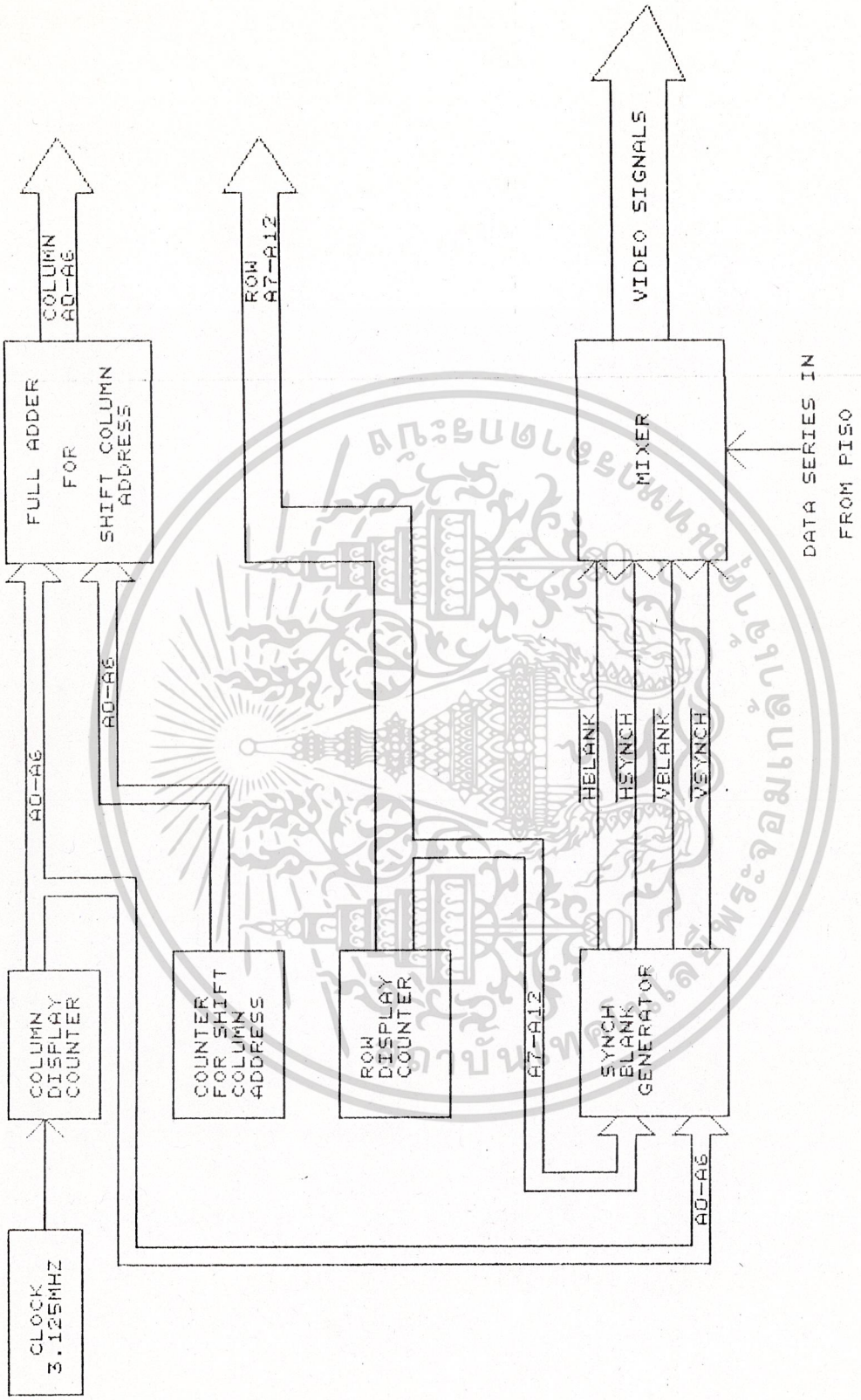


DIAGRAM FOR SYNCH GEN AND DISPLAY

รูปที่ 3.24 block diagram วงจรสร้างสัญญาณซิงค์และสัญญาณแบล็งค์

รูปที่ 3.25 วงจรกำเนิดสัญญาณข้อมูลวิดีโอ

3.4.3 วงจรแสดงภาพเคลื่อนไหวและหยุดภาพ

หลักการของวงจรส่วนนี้ก็คือ การบวกค่าๆ หนึ่งเข้ากับ แอดเดรส ทาง column โดยใช้วงจร full adder โดยค่าที่บวกเข้ากับ แอดเดรส ทาง column นี้จะเป็นค่า 1-128 (A_6 A_5 A_4 A_3 A_2 A_1 A_0) เพื่อจะได้เกิดการเลื่อน (shift) ขึ้นทำให้ column ที่เพิ่งจะถูก entry data เข้ามาใหม่ถูกนำออกแสดงทางจอภาพในตำแหน่งขวาสุดตลอด จึงทำให้เหมือนกับสัญญาณภาพวิ่งจากขวาไปซ้ายตลอดเวลา

โดยในรูปที่ 3.27 นี้จะอธิบายเพียงแชนแนลเดียวแชนแนลที่เหลือก็ทำงานในลักษณะเดียวกัน แต่ทุกแชนแนล จะอิสระจากกัน การทำงานเป็นดังนี้

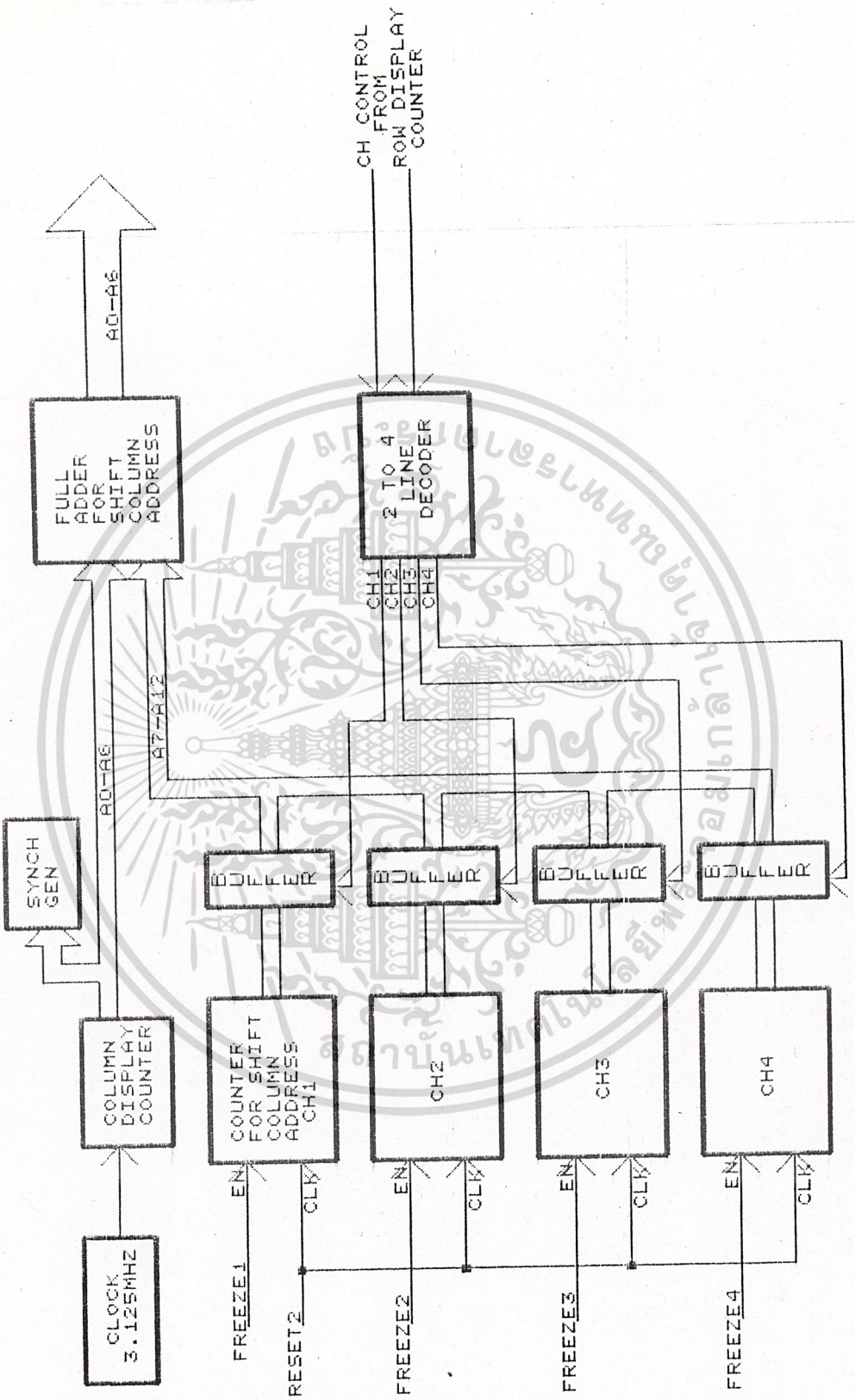
เมื่อเปิดสวิทช์ power ก็จะเป็นการเริ่มทำงานในช่วงการ entry data เข้าสู่ ram 2 และเริ่มแสดงผล (display) ตั้งแต่เส้นสแกนเส้นแรกจนถึงเส้นสุดท้าย ขณะนี้ยังไม่มีสัญญาณ reset 2 เพราะฉะนั้นค่าที่บวกเข้ากับแอดเดรสทาง column ก็จะเป็น 0000 000 เพราะฉะนั้นแอดเดรสนี้ก็จะไปอ้างที่ ram 1 ที่ตำแหน่งปกติ (ซึ่งขณะนี้ ram 1 ยังไม่มี data เลย) คือเริ่มจาก column 1 ไปยัง column 128 เมื่อเลิก display และกำลังอยู่ในช่วง vblnk ก็จะมีการ reset 1 ที่ตำแหน่งที่ 1 ทาง column(มี 1-128 column) และ transfer ลงไปยังตำแหน่งที่เพิ่งจะถูก reset ก็คือ column ที่ 1 นั้นเอง เมื่อ transfer เสร็จก็จะมีสัญญาณ reset 2 เพื่อล้าง (clear) ram 2 เตรียมรับ ข้อมูล จาก A/D ใหม่ สัญญาณ reset 2 นี้เองจะไปเป็น clock ให้กับ 4040 ทำให้เมื่อถึงช่วง display แอดเดรสทาง column ที่ถูกก้าเนิดออกมาจะถูกบวกด้วย 0000 001 ซึ่งหมายถึงว่าจะมีการเลื่อนแอดเดรสทาง column ไป 1 column ผลก็คือ การแสดงผลจะนำเอา column ที่ 2 มาแสดงก่อนและ column 1 (ที่เพิ่งถูก transfer data) จะถูกนำมาแสดงเป็น column สุดท้ายทางขวามือ จะเป็นลักษณะนี้ไปตลอดเพียงแต่ในรอบต่อไปค่าที่บวกก็จะเพิ่มขึ้นทีละ 1 เพื่อให้ column ที่เพิ่งจะถูก tranfer ถูกนำออกมาแสดงหลังสุด

และถ้ามีการกดปุ่ม freeze (เป็น "0") เพราะฉะนั้นสัญญาณ reset 2 ที่มีเข้ามาเมื่อแอนกับ "0" ที่ขา freeze ก็จะทำให้ output เป็น "0" เข้าที่ขา

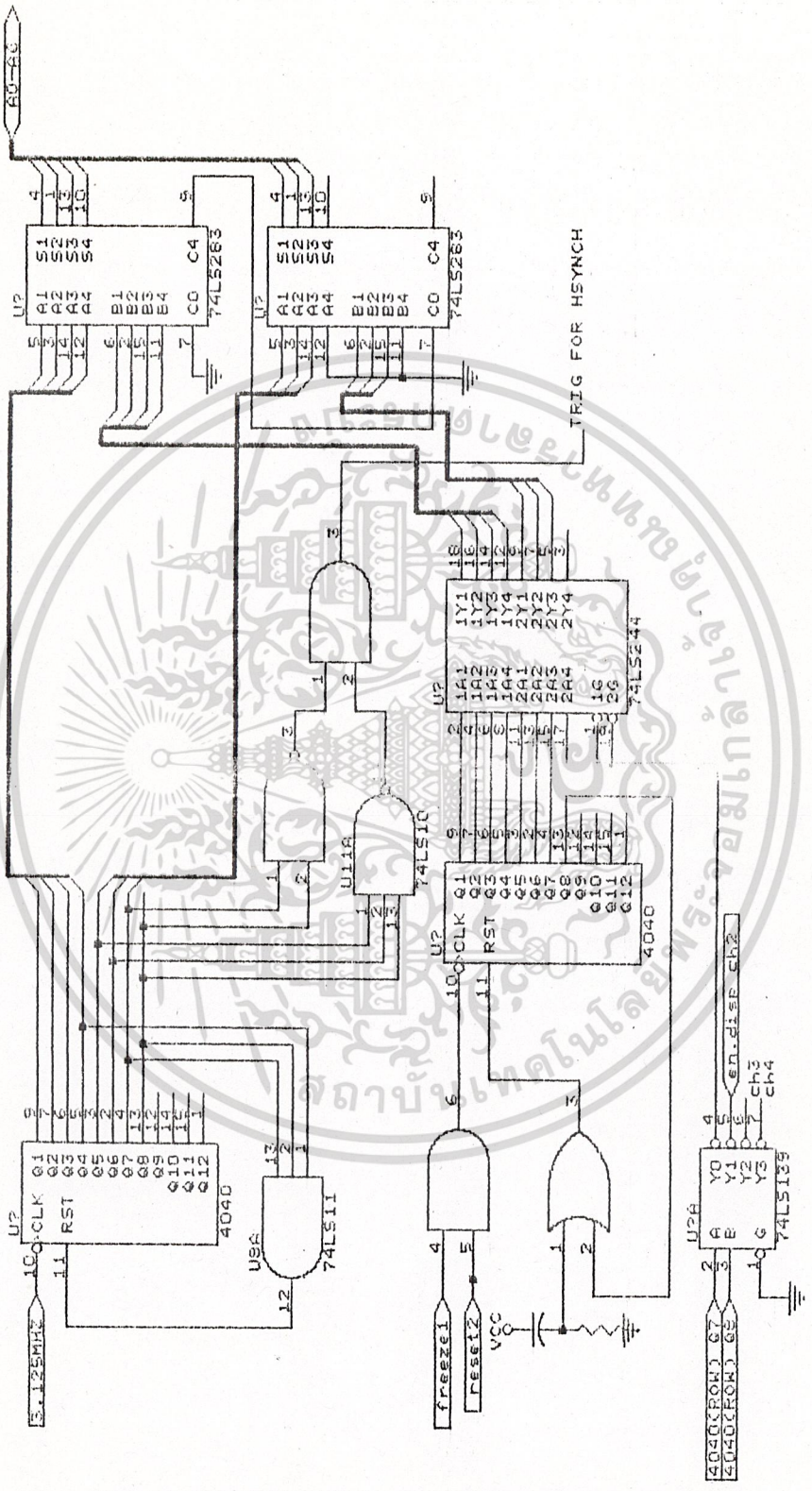
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

clock ของ 4040 เพราะฉะนั้นค่าที่จะนำไปบวกก็จะยังคงเดิม ทำให้ภาพที่ถูกแสดงออกมาหยุดนิ่ง เนื่องจากมีการเริ่ม display ที่ตำแหน่ง column เดิมตลอด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.26 block diagram วงจรแสดงภาพเคลื่อนไหวและหยุดภาพ



รูปที่ 3.27 วงจรแสดงภาพเคลื่อนไหวและหยุดภาพ

บทที่ 4

ผลการทดลอง

เพื่อให้ความละเอียดของภาพที่ปรากฏ มีรายละเอียดเพิ่มขึ้น ดังนั้นจึงต้องเพิ่มหน่วยความจำภาพ (memory map) ให้มีค่าสูงขึ้นและจำนวนจุดภาพในหนึ่งเส้นสแกนทางแนวนอนจะสูงขึ้นไปด้วย จะต้องใช้ความถี่ คริสตอล เพิ่มไปด้วย โดยในที่นี้จะใช้หน่วยความจำภาพ 8 kbyte/ch ดังนั้นหน่วยความจำภาพทั้งหมดจะมี 32 kbyte ใน 4 แชนแนล โดยแบ่งเป็นหน่วยความจำในแนว column 128 byte หน่วยความจำในแนว row 256 byte ซึ่งในวงจรเดิมนั้นใช้หน่วยความจำในแนว column 32 byte และหน่วยความจำในแนว row 256 byte ทำให้ความละเอียดของจุดมีเพิ่มขึ้นจากเดิมคือ 32*8*256 = 65,536 จุด เป็น 128*8*256 = 262,144 จุด

จำนวนจุดตามเส้นสแกนในแนวนอนจะมี 128*8 = 1024 จุด(bit) ตามจำนวน bit ของหน่วยความจำในแนว column และเพื่อใช้ความถี่ในการแสดงจุดภาพในแนวนอน 25 MHz. (เพื่อให้เกิดความสะดวกในการจัดหาคริสตอล อีกทั้งการแสดงภาพในทางดิจิตอลของเรานั้น ไม่จำเป็นต้องให้ภาพเต็มจอ ฉะนั้นจึงกำหนดให้เป็น 25 MHz.) ในขณะที่หนึ่งเส้นสแกนใช้เวลา 64 μs. และหนึ่งจุดภาพใช้เวลา 1/25 MHz. = $40*10^{-9}$ วินาที ดังนั้นจำนวนจุดภาพใน 64 μs. คือ 64 μs./$40*10^{-9}$ = 1600 จุด แต่จำนวนจุดที่แสดงคือ 1024 จุดเท่านั้นจำนวนจุดที่เหลือคือ 1600 - 1024 = 576 จุด จะเป็นจำนวนจุดที่ถูกแบล็งค์และรีเทรช

ผลจากการกำหนดหน่วยความจำในแนว column 128 byte และหน่วยความจำในแนว row 256 byte ทำให้ขณะแสดงผลเส้นสแกนในแนวนอน (horizotal scanline) มีจำนวนจุด 1024 จุด (128 byte * 8 bit) อีก 576 จุดเป็นช่วงแบล็งค์และรีเทรช และมีจำนวน 256 เส้นแบบไม่มี interlace คือ 1 เฟรม = 1 ฟิลด์ และมี 50 ฟิลด์/วินาที (vertical blank)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ผลการทำงานของวงจรมี 4 ขั้นตอน

1.display and entry

2.reset ram 1

3.transfer data

4.reset ram 2

ในช่วง display 1 ฟิลด์จะใช้เวลา 64 μs.* 256 = 0.016384 วินาที (16.384 ms.)ในขณะช่วง verblnk จะใช้เวลา 1/50 - 0.016384 = 0.003616 วินาที (3.616 ms.)

การสแกนของเส้นสแกนทางแนวนอน (horizontal scanline) จะมี 256 เส้นสแกนในขณะที่เส้นสแกนที่เหลืออยู่จะอยู่ในช่องแบล็งค์ และนำเอาข้อมูลจาก ram มาแสดง ตามลำดับการนับของ counter ความถี่ของการสแกนทางแนวนอนที่มีค่าประมาณ 15,625 Hz. เนื่องจากความไม่แน่นอนของ counter ในช่วง delay กับการ decode เพื่อกลับมา reset counter จะมีค่าพอที่ทำให้ภาพไม่ลัมหรือเลื่อนและมีจำนวน 50 ภาพ/วินาที ดังนั้นการสแกนของลำอิเลคตรอนจะไม่เป็นแบบ interlace แต่จะสแกนทับเส้นสแกนเดิมทุกครั้ง และมูลที่นำออกมาแสดงจะแตกต่างกันออกไป ดังนั้น 1 เฟรมจะประกอบด้วย 1 ฟิลด์ เป็นจำนวน 50 ฟิลด์/วินาทีและแต่ละฟิลด์มี 256 เส้นสแกน (64*4=256) สำหรับแสดง 4 แชนแนล

ในช่วง display จะมีการ entry data พร้อมกันไปด้วย การ entry data อินพุท จะถูก แซมปลิ้งด้วยความเร็วเท่ากับอัตราการ ป้อนของ clock ทางด้าน row หารด้วย 8 สามารถกำหนดได้ว่า แซมปลิ้งเป็นเท่าไรขึ้นอยู่กับความถี่ของสัญญาณอินพุทที่เข้ามา ระยะเวลาในการ entry สามารถคำนวณได้โดย

จำนวน bit ในหน่วยความจำ/ความถี่ในการแซมปลิ้ง

ในที่นี้จำนวน bit ที่จะทำการ entry ข้อมูลเข้ามี 8 bit และเวลาในการ entry คือระยะเวลาในการ display คือ 16.384 ms. ดังนั้นผลที่ได้จะได้ความถี่ในการ แซมปลิ้ง 8/16.384 ms. = 488.28125 Hz. จะมีการ แซมปลิ้งเป็นจำนวน 8 ครั้ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในช่วง reset ram 1 ช่วงเวลาในการ reset จะเป็นดังนี้ คือ ความถี่ในการ reset ใช้ 3.125 MHz. (25MHz./8 = 3.125 MHz.) จำนวน byte ในการ reset คือ 256 byte 1 column ของ 4 แชนแนล

เพราะฉะนั้นเวลาในการ reset ram 1 = 256/3.125 MHz. = $8.192*10^{-5}$ s. ในช่วง reset ram 2 ช่วงเวลาในการ reset จะเท่ากับการ reset ram1 เนื่องจากว่าใช้ความถี่ในการ reset เท่ากัน และจำนวน byte ในการ reset คือ 256 byte เช่นกัน

ในช่วงทรานสเฟอร์ดาต้า ก็จะใช้ความเร็วของ clock เท่ากับ 3.125 MHz. เช่นกัน ดังนั้นเวลาของการ reset ram 1 reset ram 2 และทรานสเฟอร์ดาต้าของ ram 2 ไป ram 1 จะใช้เวลาทั้งหมด $3*8.192*10^{-5}$ = $2.4576*10^{-4}$s.

ระยะเวลาในการแซมปลิ้งแต่ละลูกจะเป็นดังนี้ คือในการแสดงภาพ 1 ครั้ง จะนาน 256*64 µs. = 16.384 ms. และในแต่ละช่วงเวลาการ display จะมีการแซมปลิ้งทั้งหมด 8 ครั้ง ดังนั้น ระยะห่างของการแซมปลิ้งแต่ละครั้งจะเป็น 16.384 ms./8 = $2.048*10^{-3}$ s. หรือความถี่ในการแซมปลิ้งเท่ากับ 488.28125 Hz. ซึ่งเมื่อเทียบกับช่วงระยะเวลาในการ reset ram 1 reset ram 2 และทรานสเฟอร์ดาต้าแล้วจะเห็นว่าใน 3 ช่วงดังกล่าว สามารถกระทำเสร็จก่อนแซมปลิ้งลูกที่ 1 จะเริ่มต้นและเหลือช่วงเวลาอีก $2.048*10^{-3}$ - $2.4576*10^{-4}$ s. = $1.80224*10^{-3}$ s.

ในการทดลองครั้งก่อนในขณะที่ทำการ display สัญญาณอยู่นั้นข้อมูลที่เข้ามาจะไม่ได้รับการ แซมปลิ้งเนื่องจากอยู่ในช่วง reset จึงทำให้เกิดการสูญหายของข้อมูล เพราะว่าวงจรในรุ่นเดิมนั้นได้ออกแบบมาเป็น 3 ขั้นตอนคือ

1.การ reset memory

2.การ entry data โดยรับข้อมูลจาก A/D

3.การ display

ถ้าหากวงจรทำงานอยู่ในช่วงใดช่วงหนึ่งใน 3 ช่วงนี้จะกระทำช่วงอื่นไม่ได้ดังนั้นขณะแสดงรูปอยู่จะไม่มีการเก็บข้อมูลและ reset ก็จะไม่มีการเก็บข้อมูล ทำให้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เกิดการสูญหายของข้อมูลขึ้น เพราะว่าช่วง reset นั้นกระทำทั้ง memory และไม่มี memory สำรองในการเก็บข้อมูล และในช่วง display memory จะถูก read ดังนั้นจึงไม่สามารถ write ข้อมูลลง ram ในขณะเดียวกันได้ และภาพที่ได้ในการทดลองจะเป็นภาพนิ่งแล้วหายไปโดยช่วงที่หายไปนี้คือการนำดาต้าเข้าไปเก็บกับการ reset หน่วยความจำ และเป็น 4 แชนแนล โดยแต่ละแชนแนลนั้นคือข้อมูลในหน่วยความจำอันเดียวกัน เนื่องจากว่า A/D ไม่ได้มีการ multiplex สัญญาณ และการอ่านข้อมูลในหน่วยความจำจะต้องอาศัยการนับของ counter ซึ่งจะนำไป decode เป็นสัญญาณชิงค์ ซึ่งขาแอดเดรสของ couter มีจำนวน 8 เส้น ในขณะที่แต่ละแชนแนลประกอบด้วย 64 byte ดังนั้นจึงมีการนับซ้ำแอดเดรสเดิมเป็นจำนวน 4 ครั้ง จึงนำภาพออกมาแสดงซ้ำ 4 แชนแนลใน 1 หน้าจอ (1 เฟรม)

ในส่วนของ A/D จะใช้แอดเดรส จำนวน 6 เส้น 2^6 = 64 เป็นตัวอ้างแอดเดรสในแนว row เพื่อให้ได้ 64 row/แชนแนล ในการแสดงสัญญาณ 4 แชนแนล จะได้ 64*4 = 256 row เท่ากับจำนวนเส้นสแกนทางแนวนอน ถ้าหากจำนวน row/แชนแนล มากกว่า 64 แล้วจะทำให้เกินช่วงเส้นสแกนใน 1 เฟรม ซึ่งมีไม่เกิน 256

การแสดงรูปคลื่นสัญญาณหัวใจจะแสดงได้แยกจากกันเป็น 4 แชนแนล แต่ละแชนแนลจะเป็นข้อมูลเดียวกัน คือภาพจะออกมาเหมือนกัน 4 ภาพ เพื่อทำการหยุดภาพ (freeze) ก็เพียงแต่ให้ทำการ อ่านข้อมูล จากหน่วยความจำมารวมกับสัญญาณชิงค์

ในวงจรที่พัฒนาขึ้นมานี้จะสามารถแยกช่วงเวลาในขณะที่ display ออกเป็นช่วงย่อยๆ ได้โดยในขณะที่ทำการ display จะเก็บข้อมูลพร้อมกันไปด้วย เนื่องจากใช้ ram 2 ตัว ดังนั้นข้อมูลที่ได้จึงไม่มีการสูญหายไป

ในขณะที่ display อยู่จะไม่มีการการพริบเนื่องจากว่าไม่ต้องไปทำการ reset ram ตลอดทั้งหมดเพียงแต่ reset column ที่กำหนดเท่านั้น เพียง 256 byte และการ reset ram จะกระทำในช่วงเวลาของการ blank ทางด้าน ver ทำให้ไม่ไปรบกวนการแสดงผลทางจอภาพ

ในวงจรที่พัฒนาขึ้นมาใหม่จากเทอมที่แล้ว จะแบ่งช่วงเวลาในขณะที่ display ออกมาเป็นช่วงย่อย ๆ ทั้งหมด 8 ช่วงเพื่อจะทำการเขียนข้อมูลลง ram

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6116 คือรับอินพุท ในขณะที่ display (read) 6264 อยู่ ทำให้ไม่เกิดการสูญหายของข้อมูล (ในวงจรเดิมจะใช้ ram ในการ entry data และ display ตัวเดียวกัน) ดังนั้นในขณะที่ display สัญญาณอินพุท ภาพที่แสดงออกมาที่จอภาพจะไม่กระพริบและเก็บข้อมูลใหม่ไปพร้อมๆ กันด้วยได้และสามารถเลื่อนจากขวามาซ้ายได้ เป็นการแสดงภาพเคลื่อนไหวซึ่งเกิดจากวิธีการแสดงผลโดยการ shift แอดเดรสในการ display ไป 1 byte ทุกๆ ครั้งในการ display โดยใช้วงจรบวก (adder) ในขณะนี้ สามารถป้อนอินพุทที่เป็นระดับ dc. เข้าไปได้แต่เมื่อป้อนสัญญาณที่มีการเปลี่ยนแปลงของแอมปลิจูดเข้ามาการแสดงผลจะผิดพลาดไปคือ ดูไม่เหมือนว่าคลื่นได้เคลื่อนที่ไปแต่ยังคงมีการเลื่อนตำแหน่งคือภาพจะยังคงเคลื่อนจากขวาไปซ้ายอยู่ ภาพที่แสดงจะแยกออกเป็นแชนแนลได้โดยแต่ละแชนแนลเป็นสัญญาณคนละสัญญาณกัน สามารถหยุดภาพ (freeze) ในแต่ละแชนแนลได้อิสระ โดยในการทดลองจะหยุดภาพในแชนแนล 3 เท่านั้น ส่วนแชนแนลอื่นๆ จะป้อนเป็น high impedance เอาไว้

ดังนั้นภาพที่แสดงสามารถแสดงสัญญาณที่เป็น dc. ได้แยกแชนแนลออกเป็น 4 แชนแนลและหยุดภาพ (freeze) ในแต่ละแชนแนลได้อิสระ

สำหรับผลการทดลองในเทอมที่แล้วจะแสดงสัญญาณที่เป็น dc. และ ac.คือคลื่นไฟฟ้าหัวใจที่ได้จากเครื่องจำลอง (simulate) สัญญาณไฟฟ้าหัวใจได้ ภาพที่ได้มีความละเอียดพอที่จะใช้งานได้และไม่มีสัญญาณรบกวน (noise) แต่เนื่องจากว่าไม่สามารถแสดงภาพเคลื่อนไหวได้เนื่องจากส่วนวงจร counter จะ read แอดเดรสของ ram ตั้งแต่ column แรกจนถึง column สุดท้ายทุกครั้งในการแสดงผล สำหรับในวงจรที่ปรับปรุงใหม่ จะมีการเพิ่มวงจรในการแลทช์ (latch) แอดเดรสเดิมเอาไว้แล้วบวกหนึ่งเพื่อให้ column address เพิ่มขึ้นทีละ 1 ดังนั้น แอดเดรสบัส ที่ไปต่อกับหน่วยความจำทุกครั้งที่มีการ display จะเพิ่มขึ้นเรื่อยๆ ดังนั้นภาพที่ได้บนจอก็จะเปลี่ยนแปลงทุกครั้งด้วยเช่นกันทำให้เกิดภาพเคลื่อนไหว

เนื่องจากว่าในแต่ละแชนแนลจะมี ram อยู่ 1 ตัว ดังนั้นในการ display (read) ข้อมูลจะต้องมีวงจรเลือกว่าจะ display ram ตัวใดทำให้เกิดความยุ่งยากของวงจรในส่วน decode

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

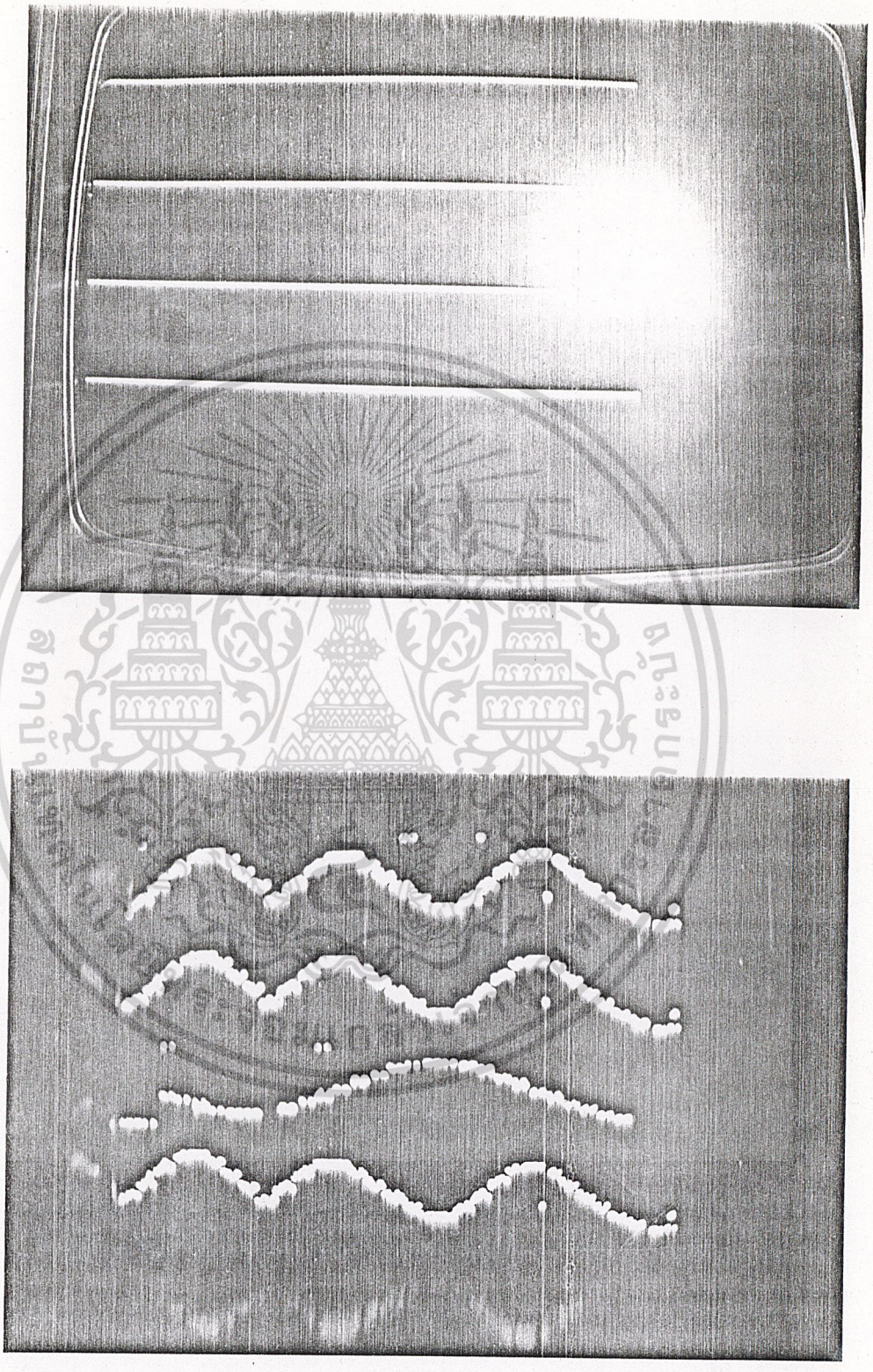
และในการ display ram แต่ละตัวจะมี IC.4040 4 ตัวคอยกำหนดว่า ram แต่ละตัวแอดเดรสในการ display จะเริ่มต้นที่ตำแหน่งแอดเดรสเป็นเท่าใดเพื่อในขณะหยุดภาพแชนแนลใดจะทำการหยุดการป้อน clock ให้ 4040 แชนแนลนั้น ทำให้ 4040 บอกแอดเดรสคงที่ ดังนั้นแชนแนลนั้น การ shift ของแอดเดรสจะไม่เกิดขึ้น memory ของแชนแนลนั้นก็จะนำข้อมูลออกมาซ้ำกันและต้องมีการป้องกันไม่ให้มีการทรานสเฟอร์ ข้อมูลใหม่และ reset ของแชนแนลที่หยุดนั้นด้วย เพื่อข้อมูลจะยังอยู่เหมือนเดิม

ดังนั้นในขณะที่หยุดภาพนั้นจะไม่มีการ shift address ของแชนแนลนั้นด้วยและเป็นเหตุผลในการที่ต้องเลือกใช้ ram 4 ตัวต่อ 4 แชนแนล เพื่อสามารถแยกการ display ให้เป็นอิสระจากกันแต่จะยุ่งยากที่วงจรคอนโทรลในการเขียนและอ่าน ram แต่ละตัว

ในขั้นตอนการรับข้อมูลเข้ามาไม่มีการ multiplex ของสัญญาณแต่ในที่นี้เราจะต้องรับสัญญาณอินพุทถึง 4 สัญญาณพร้อมกันโดยออกแบบวงจรนับให้สัมพันธ์กับสัญญาณแซมปลิ้งและไปควบคุมแอดเดรสของ A/D ในการ multiplex ซึ่งผลก็คือสามารถรับอินพุทได้พร้อมกัน 4 แชนแนล สัญญาณแต่ละสัญญาณและแซมปลิ้งจะทำให้เกิดการเขียนเข้าไปตาม bit ที่ต้องการ

จะเห็นได้ว่าวงจรจะประกอบด้วย วงจรคอนโทรลและบัฟเฟอร์ของหน่วยความจำเป็นส่วนใหญ่เพื่อที่จะคอนโทรล ram แต่ละตัวให้ทำงานถูกต้อง ทำให้วงจรมีขนาดใหญ่ timing diagram ของวงจรส่วนที่สำคัญซึ่งส่วนใหญ่อยู่ในภาคคอนโทรล ได้วัดและแสดงไว้ด้วย เพื่อง่ายต่อการวิเคราะห์หาข้อผิดพลาดในการปรับปรุงในรุ่นต่อๆ ไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.1 รูปแสดงผลการทดลอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5

สรุปและวิจารณ์ผลการทดลอง

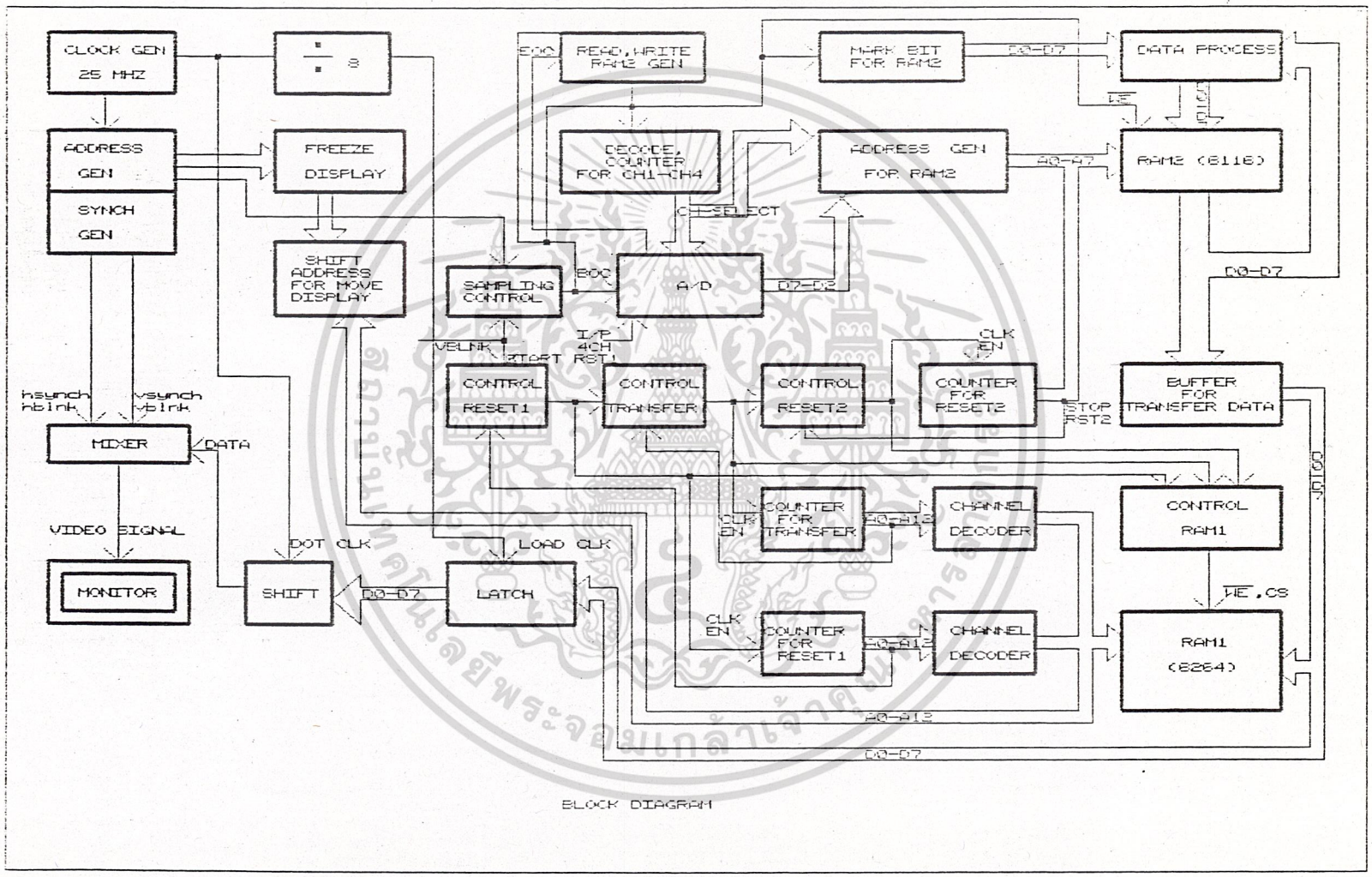
จากผลการทดลองจะเห็นว่าภาพที่ปรากฏบนจอ monitor นั้นมีลักษณะคล้ายกับสัญญาณที่ป้อนแต่มีลักษณะเป็นจุดๆ ในกรณีที่ป้อนสัญญาณที่มีการเปลี่ยนแปลงระดับของโวลเตจเข้ามา ไม่เป็นเส้นต่อเนื่องทั้งนี้เป็นเพราะเราได้ใช้การสแกนตามแบบมาตรฐานของโทรทัศน์ ทำให้จุดภาพตามแนวดิ่งมีลักษณะที่ไม่ต่อเนื่อง ส่วนในกรณีที่ป้อนสัญญาณที่มีระดับโวลเตจคงที่เข้ามา ภาพที่ได้จะมีความละเอียดของจุดภาพมาก คือ 1024 จุด ดังนั้นถ้าระดับสัญญาณมีความแตกต่างกันมาก จุดภาพจะมีลักษณะห่างกันมากไม่ต่อเนื่อง เพื่อให้ได้ภาพที่ต่อเนื่องจำเป็นจะต้องทำการต่อจุดภาพ โดยการอ่าน memory แล้วประมวลผลโดยใช้ cpu. เพื่อให้ได้ภาพที่สมบูรณ์ เพราะในขณะนี้การสแกนในแนวนอนความละเอียดของจุดมีค่าเพียงพอแล้ว

IC.ที่ใช้ในการควบคุมหน่วยความจำประกอบด้วย บัฟเฟอร์จำนวนมากและวงจรส่วนควบคุมเพื่อสร้างสัญญาณควบคุมจะใช้ IC. ในการ decode มากพอสมควรถ้าหากสามารถลด IC. ลงได้โดยการใช้ cpu. สร้างสัญญาณคอนโทรลจะทำให้ลดอุปกรณ์ในการควบคุมลงไปมากและจะทำให้เกิดความแน่นอนในการทำงานของวงจรมากขึ้น

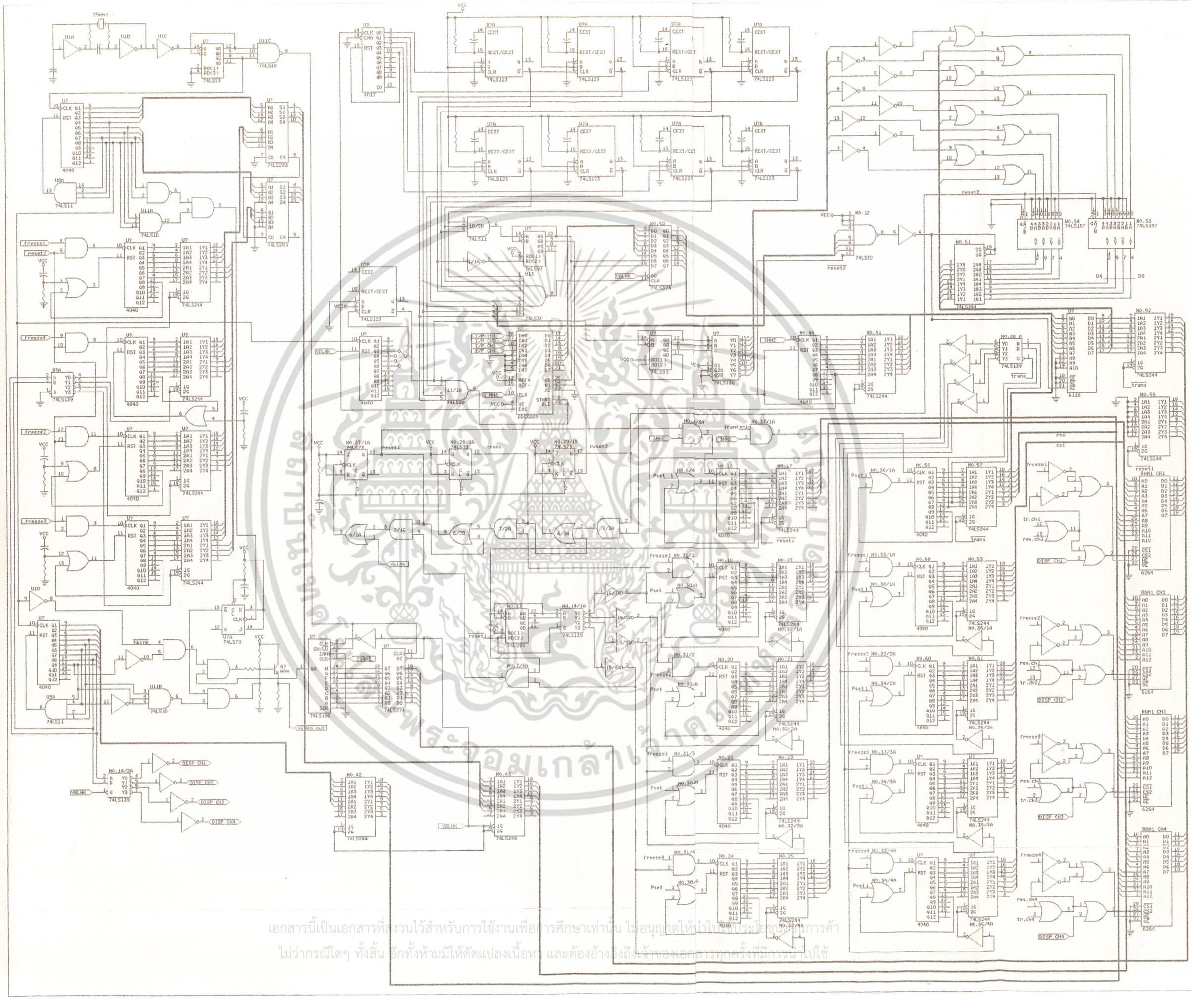
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

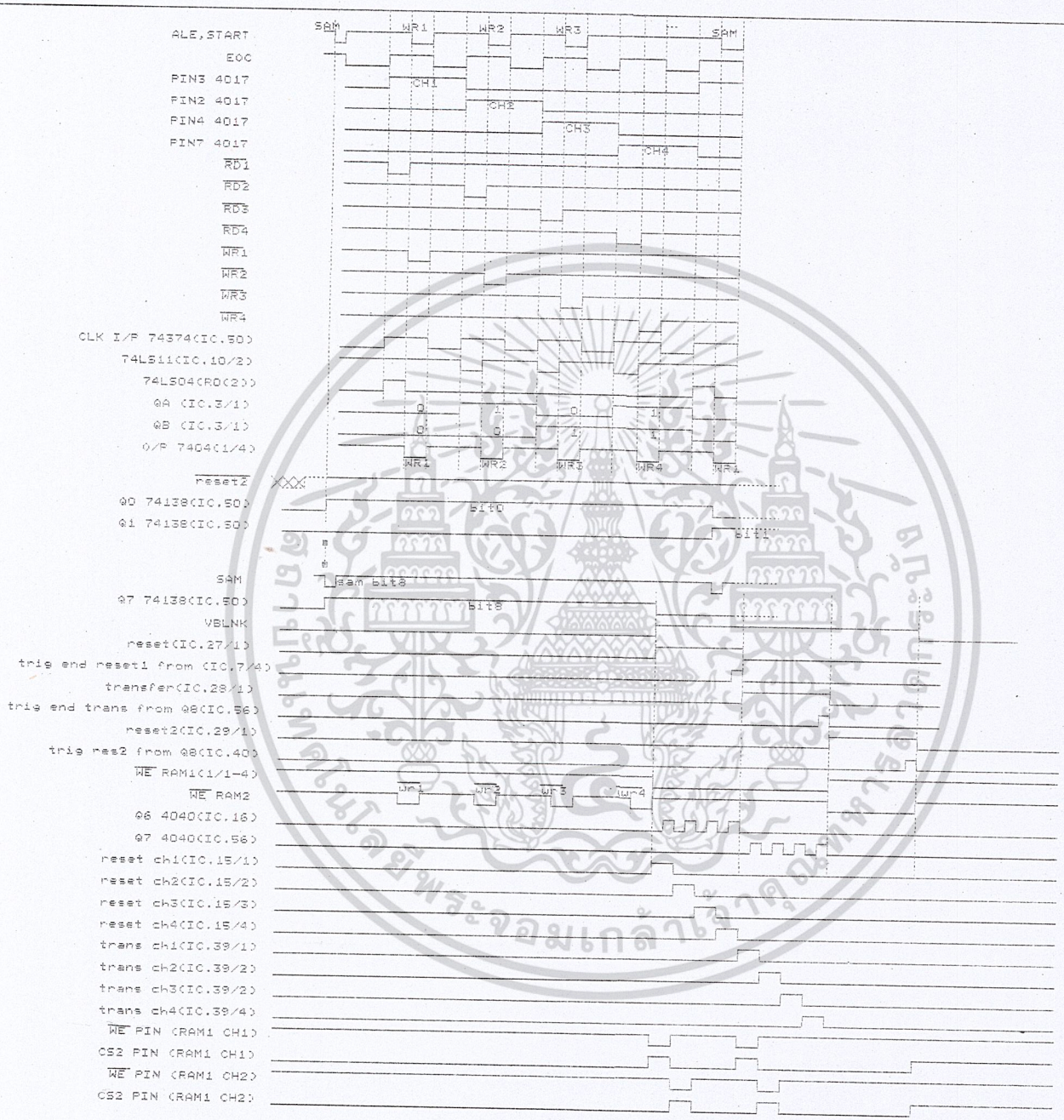
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



BLOCK DIAGRAM



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้


ALE,START
EOC
PIN3 4017
PIN2 4017
PIN4 4017
PIN7 4017
RD1
RD2
RD3
RD4
WR1
WR2
WR3
WR4
CLK I/P 74374(IC.50)
74LS11(IC.10/2)
74LS04(RO(2))
QA (IC.3/1)
QB (IC.3/1)
O/P 7404(1/4)
reset2
Q0 74138(IC.50)
Q1 74138(IC.50)
SAM
Q7 74138(IC.50)
VBLNK
reset(IC.27/1)
trig end reset1 from (IC.7/4)
transfer(IC.28/1)
trig end trans from Q8(IC.56)
reset2(IC.29/1)
trig res2 from Q8(IC.40)
WE RAM1(1/1-4)
WE RAM2
Q6 4040(IC.16)
Q7 4040(IC.56)
reset ch1(IC.15/1)
reset ch2(IC.15/2)
reset ch3(IC.15/3)
reset ch4(IC.15/4)
trans ch1(IC.39/1)
trans ch2(IC.39/2)
trans ch3(IC.39/2)
trans ch4(IC.39/4)
WE PIN (RAM1 CH1)
CS2 PIN (RAM1 CH1)
WE PIN (RAM1 CH2)
CS2 PIN (RAM1 CH2)
SAM
WR1
WR2
WR3
SAM
CH1
CH2
CH3
CH4
WR1
WR2
WR3
WR4
WR1
bit0
bit1
bit8
wr1
WR2
WR3
WR4

กิตติกรรมประกาศ

โครงงานนี้สามารถสำเร็จไปได้ด้วยดีส่วนหนึ่ง คณะผู้จัดทำขอขอบคุณอาจารย์ที่ปรึกษาคือ อาจารย์ ประภากร สุวรรณะ ที่ได้ให้คำปรึกษาและแก้ไขปัญหา

ขอขอบคุณเพื่อนๆ และคณะวิศวกรรมศาสตร์ ลาดกระบัง ที่เอื้อเฟื้อสถานที่ทำโครงงาน ซึ่งทางคณะผู้จัดทำต้องขอขอบคุณทุกท่านมา ณ.ที่นี้ด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอกสารอ้างอิง

ดร.ธวัช เมฆสวรรค์,นายโยชิคะซึ ซาวามูระ *เทคนิคการซ่อมเครื่องรับโทรทัศน์สี* พิมพ์ครั้งที่ 5 กรุงเทพมหานคร บริษัท สำนักพิมพ์ดวงกมล จำกัด สยามสแควร์ ปทุมวัน

สานนท์ แก้วอบเชย *ET.ออกจอ* วารสารเซมิคอนดัคเตอร์อิเลคทรอนิคส์ ฉบับที่ 80 กรุงเทพมหานคร บริษัท ซีเอ็ดยูเคชั่น จำกัด

Harold S.Stone. *Microcomputer interfacing.* USA:Addison-Wesley Publishing Company,Inc,1983

Wiatrowksi,C.A.,and C.H.House. *Logic Circuit and Microcomputer Systems.* NewYork:McGraw-Hill,1980

Intel Corporation. *Memory Design Handbook.* Santa Clara,CA: Intel Corp.,1977

Fletcher,W.I. *An Engineering Approach to Digital Design.* Englewood Cliffs,FJ:Prentice-Hall,1980

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้