ปีการศึกษา 2533

ACADEMIC YEAR 1990

เครื่องควบคุมอุปกรณ์ไฟฟ้าโดยโทรศัพท์ DTMF

(DTMF CONTROL ELECTRICAL DEVICES)

โดย

นาย กิตติศักดิ์ ผู้พัฒน์

น.ส. เปรมจิต วิสุทธิคิริ

อาจารย์ที่ปรึกษา

อ. ภากร พุดตะฉังกาศ

027973

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ปีการศึกษา 2533

คณะวิศวกรรมศาสตร์

ภาควิชาการวัดคุมทางอุตสาหกรรม

สาขาคอมพิวเตอร์อุตสาหกรรม

เรื่อง ควบคุมอุปกรณ์ไฟฟ้าโดยโทรศัพท์ DTMF

ผู้จัดทำ

1. นายกิติศักดิ์ ผู้พัฒน์

2. น.ส. เปรมจิต วิสุทธิศิริ

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

.....(แทน) อาจารย์ที่ปรึกษา

(อ.ภากร หุตะสังกาศ)

เลขหมู่ T 33146 ก3

เลขทะเบียน 027979

วัน, เดือน, ปี 1 ส.ค. 2534

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

เรื่อง	หน้า
1. บทคัดย่อ	1
2. ABSTRACT	2
3. บทนำ แนะนำโครงงาน	3
3.1 จุดประสงค์	3
3.2 การวางแผนดำเนินงาน	3
3.3 FEATURE	4
3.4 ลักษณะภายนอก	4
3.5 ส่วนประกอบทางด้าน HARDWARE	5
3.6 การใช้งาน	6
3.7 การตอบสนองของเครื่อง	7
3.8 เงื่อนไขการทำงานของระบบ	8
3.9 สัญญาณต่างๆขององค์การโทรศัพท์	9
3.10 ระบบการต่อของเครื่องชุมสาย	10
3.11 โทรศัพท์ระบบ DTMF	12
3.12 การทำงานของระบบ	13
4. บทที่ 1 ภาคสั่งการควบคุม	14
4.1 การใช้งาน M80	16
4.2 คุณสมบัติโดยทั่วไปของ M80	18
4.3 การใช้งาน REMOTE MONITOR	20
4.4 MEMORY MAP	29
5. บทที่ 2 วงจรอินเตอร์เฟสสายโทรศัพท์	30
5.1 หลักการทำงาน	30
6. บทที่ 3 ภาคถอดรหัสสัญญาณ DTMF	33
6.1 FILTER SECTION	34
6.2 DECODER SECTION	35
6.3 STEERING CIRCUIT	37
6.4 GUARD TIME ADJUSTMENT	37

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6.5 DIFFERENTIAL INPUT CONFIGURATION 40
6.6 CRYSTAL OSCILLATOR 40
7. บทที่ 4 วงจรสังเคราะห์เสียงพูด 41
7.1 การทำงาน 41
7.2 การอัดเสียง 41
7.3 การอัดเสียงของเครื่องควบคุมฯ 43
8. บทที่ 5 วงจรควบคุมอุปกรณ์เอาท์พุต 44
9. บทที่ 6 รีเลย์ 46
10. บทที่ 7 8255 PIA 48
10.1 รายละเอียดเกี่ยวกับ 8255 48
10.2 การจัดเรียงขาของ 8255 50
10.3 การต่อ 8255 เข้ากับ Z80 51
10.4 8255 READ/WRITE Register 53
10.5 โหมด 0 55
10.6 ตัวอย่างการใช้งาน 8255 ในโหมด 0 58
10.7 โหมด 1 61
10.8 โหมด 2 66
11. กิตติกรรมประกาศ 68
12. บรรณานุกรม 69
13. ภาคผนวก 1 (CIRCUITS) 70
14. ภาคผนวก 2 (DATA SHEET) 85
15. ภาคผนวก 3 (SOFTWARE) 106

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อปริญญานิพนธ์	เครื่องควบคุมอุปกรณ์ไฟฟ้าโดยใช้โทรศัพท์ DTMF
นักศึกษา	นาย กิติศักดิ์ ผู้พัฒน์ 32.6301
	น.ส. เปรมจิต วิสุทธิศิริ 32.6314
อาจารย์ที่ปรึกษา	อาจารย์ ภากร หุตะสังกาศ
ระดับการศึกษา	อุตสาหกรรมศาสตร์บัณฑิต
ปีการศึกษา	พ.ศ.2533

บทคัดย่อ

เครื่องควบคุมอุปกรณ์ไฟฟ้าโดยใช้โทรศัพท์ระบบ DTMF เป็นการประยุกต์ใช้ไมโครโปรเซสเซอร์เพื่อการควบคุมแบบหนึ่ง จากโครงงานนี้ใช้ไมโครโปรเซสเซอร์ Z80 สั่งงานวงจรส่วนย่อยต่างๆ ได้แก่ภาคถอดรหัสสัญญาณ DTMF (DTMF Decoder) วงจรเก็บเสียงพูด (Speech Syntesizer) วงจรอินเตอร์เฟสสายโทรศัพท์ (Telephone Line Interface Circuit) และภาคควบคุมเอาท์พุต (Control Output Circuit)

ประโยชน์ใช้สอยของเครื่องควบคุมอุปกรณ์ไฟฟ้าโดยโทรศัพท์ระบบ DTMF คือสามารถควบคุมอุปกรณ์ไฟฟ้าได้ 8 ช่อง โดยอาศัยการกดรหัสสั่งงานผ่านทางโทรศัพท์ระบบ DTMF เครื่องจะเข้าสู่การทำงานโดยอัตโนมัติหากมีสัญญาณเรียกเข้า (Ringing Tone) ครบตามจำนวนที่ตั้งไว้ และผู้เรียกจะต้องป้อนรหัสผ่านให้ถูกต้อง เครื่องจึงจะยอมให้มีการควบคุมเอาท์พุตได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Thesis Title	DTMF Control Electrical Devices		
Name	KITISAK	PUPAT	32.6301
	PREAMJIT	WISUTISIRI	32.6314
Thesis Advisor	PAKORN	HUTASANGKAS	
Level of Study	Bachelor's Degree in Computer Technology		
Academic Year	1990		

ABSTRACT

" DTMF CONTROL DEVICES " is the one of microprocessor application for controlling . In this project uses Z-80 micro processorcontrols small circuits. These small circuits are 'DTMF Decoder ','Speech Syntesizer','Telephone Line Interface Circuit' and 'Control Output Circuit'

The advantage of this project is 8-channel electrical controlling by pressing control code via DTMF telephone system. Project will work automatic if it receive the right ringing pulse compare with rotary switch setup. The man who is calling needs to know password to control output of the project.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทนำ

แนะนำโครงงาน

จุดประสงค์

1. เพื่อควบคุมอุปกรณ์ไฟฟ้าได้ในระยะไกล โดยอาศัยสายโทรศัพท์
2. เพื่อศึกษาโทรศัพท์ระบบ DTMF (Dual Tone MultiFrequency)
3. เพื่อประยุกต์ใช้งานไมโครโปรเซสเซอร์กับงาน control

การวางแผนดำเนินงาน

1. ศึกษาโทรศัพท์ระบบ DTMF
2. ศึกษาภาคถอดรหัส DTMF โดยใช้ Integrated DTMF Receiver เบอร์ MT 8870
3. ศึกษาวงจร speech synthesizer โดยใช้ MT 6668
4. กำหนดเงื่อนไขการทำงานของวงจรควบคุม
5. ออกแบบวงจรควบคุม
6. ร่าง software ที่ต้องเขียนบนไมโครโปรเซสเซอร์ ที่จะทำการสั่งงานทุกวงจรในระบบให้เป็นไปตามเงื่อนไขที่ตั้งไว้
7. ทดลองวงจรทีละภาค
8. ปรับปรุงแก้ไข

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FEATURE

สามารถสั่งงานควบคุมอุปกรณ์ไฟฟ้าได้ 8 ช่อง โดยแต่ละช่องจ่ายกระแสได้ไม่เกิน 3 แอมแปร์ (ทั้งนี้ขึ้นอยู่กับ Relay ที่ใช้ในภาค control อาจเปลี่ยนแปลงได้ตามความเหมาะสมในการนำไปใช้งาน)

ลักษณะภายนอก

ที่ตัวเครื่องประกอบด้วย

1. 7 segment LED แสดงการตั้งจำนวน ringing โดยมีช่องให้ใช้ไขควงหมุนปรับค่านี้ได้จาก rotary SW. ในตัวเครื่อง
2. LED 8 ตัว บอกสภาวะของแต่ละช่อง
3. ขั้วเสียบอุปกรณ์ 8 ช่อง เป็น output ของระบบ
4. หลอดไฟแสดงสภาวะของเครื่อง
5. Switch on/off เครื่อง
6. DIP Switch ตั้งรหัสผ่าน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ส่วนประกอบทางด้าน Hardware

1. CONTROL BOARD เป็นส่วนสำคัญที่สุดของระบบ ที่ทำการสั่งงานทุกวงจรให้เป็นไปตามเงื่อนไขต่างๆ ในที่นี้ได้ใช้ M-80 Control Board ซึ่งมีไมโครโปรเซสเซอร์ Z-80 เป็น CPU

2. DTMF DECODER ส่วนนี้ทำหน้าที่ถอดรหัสจากสัญญาณ DTMF ให้เป็น 4 bit code โดยใช้ MT 8870 DTMF Decoder จากนั้นจึงส่งไปยัง Control Board

3. SPEECH SYNTHESIZER เป็นวงจรที่ใช้จำเสียงพูด โดยมี T 6668 ส่วนสำคัญสามารถแบ่งได้เป็นช่อง แต่ละช่องเก็บเสียงถูกเรียกใช้โดย CPU

4. TELEPHONE LINE INTERFACE CIRCUITS เป็นวงจรผ่านสัญญาณควบคุมสภาวะต่างๆจาก CPU ไปยังสายโทรศัพท์

5. OUTPUT CONTROL CIRCUIT เป็นวงจรที่รับสัญญาณควบคุมจาก CPU ไปยังอุปกรณ์ output ทั้ง 8 ช่อง

6. 8255 PIA เป็นพอร์ต in/out ติดต่อระหว่าง CPU กับสัญญาณภายนอก

7. RELAYS เป็นส่วนที่รอรับคำสั่งจาก CPU ให้ on/off

8. POWER SUPPLY 500 mA +12 v. ,+5 v.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การใช้งาน

เครื่องควบคุมอุปกรณ์ไฟฟ้าอัตโนมัติ สามารถใช้ควบคุมอุปกรณ์ไฟฟ้าได้พร้อมกัน 8 ช่อง โดยการต่ออุปกรณ์ไฟฟ้านั้นๆเข้ากับเอาท์พุตของเครื่อง

เครื่องจะถูกต่อเข้ากับสายโทรศัพท์ โดยจะรับการสั่งงานที่ผู้เรียกหมุนเลขหมายเข้ามาที่เครื่อง(เครื่องโทรศัพท์และเครื่องควบคุมอุปกรณ์ไฟฟ้าอัตโนมัติที่ต่อร่วงอยู่)

การจะเข้าสู่โหมดการทำงานของเครื่องควบคุมหรือไม่ ขึ้นอยู่กับการตั้งจำนวน ringing ที่ตัวเครื่อง สมมติหากตั้งไว้ที่ 7 ครั้ง เครื่องจะทำงานก็ต่อเมื่อนับ ringing ครบ 7 แล้วเท่านั้น หากมีผู้รับสายก่อน ringing ครบ 7 ครั้ง ก็จะเป็นการใช้โทรศัพท์ธรรมดา

สิ่งที่ผู้เรียกใช้เครื่องต้องทราบคือ

1. รหัสผ่าน โดยตั้งได้ที่ Dip SW. ที่ตัวเครื่อง
2. รหัสเลือกการทำงาน

รหัสเลือกการทำงานแบ่งเป็น 2 แบบคือ

2.1 รหัสขอดูสภาวะอุปกรณ์ เป็นรหัสที่นำหน้าด้วย # แล้วตามด้วยเลข 2 ตัว คือ 01-08 ตามหมายเลขอุปกรณ์ที่ต่อไว้ที่เอาท์พุต

อยู่ในรูป #xx

2.2 รหัสตั้งสถานะของอุปกรณ์ เป็นรหัสที่นำหน้าด้วย * แล้วตามด้วยเลข 3 ตัว มีรูปแบบดังนี้

*xxz

โดยที่ xx เป็นหมายเลขอุปกรณ์ (01-08) z เป็นการสั่งให้อุปกรณ์นั้นๆ เปิดหรือปิด (1= เปิด , 0 = ปิด)

เช่น 011 เป็นการสั่งให้อุปกรณ์ที่เอาท์พุตหมายเลข 1 เปิด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การตอบสนองของเครื่อง

การตอบสนองของเครื่องที่โต้ตอบกับผู้รับได้รับทราบมีอยู่ 5 สถานะคือ

1. การเริ่มทำงานของเครื่อง โดยจะบอกผู้เรียกว่า "ขณะนี้เข้าสู่การทำงานของเครื่องควบคุมอุปกรณ์ไฟฟ้าอัตโนมัติ โปรดกดรหัสผ่าน"

2. ในกรณีที่ผู้เรียกกดรหัสผ่านไม่ถูกต้อง เครื่องจะบอกว่า "รหัสผ่านไม่ถูกต้อง" และจะเลิกการติดต่อ(วางหู)ทันที

3. ถ้ากดรหัสผ่านถูกต้อง เครื่องจะบอกว่า "รหัสผ่านถูกต้อง โปรดเลือกการทำงาน"

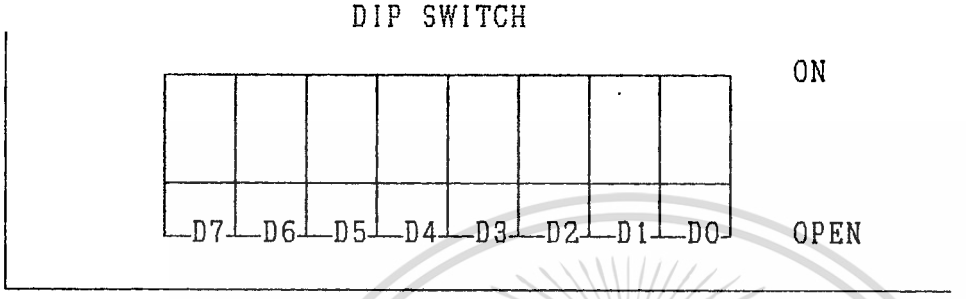
4. ในโหมดการทำงานขอดูสภาวะอุปกรณ์ เครื่องจะตอบสนอง 2 แบบ ตามสภาวะอุปกรณ์นั้นๆ คือ "อุปกรณ์เปิด" และ "อุปกรณ์ปิด"

5. ถ้าผู้เรียกวางสายระหว่างการทำงานของเครื่อง เครื่องก็จะเลิกติดต่อเช่นกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วิธีการกำหนดค่า PASSWORD ของระบบ

ในการกำหนดค่า PASSWORD ของระบบนั้น เราสามารถกำหนดได้จากการปรับตำแหน่งของ DIP SW. ที่บริเวณด้านล่างของบอร์ด ซึ่งมีรายละเอียดดังนี้



ขอบล่างของบอร์ด

1. ถ้ากำหนดให้ DIP SW. ตัวใดอยู่ในตำแหน่ง ON ก็จะหมายความว่า กำหนดให้ data บิทนั้นเป็น 0 และถ้ากำหนดให้ DIP SW. อยู่ในตำแหน่ง OPEN ก็จะหมายความว่า กำหนดให้ data บิทนั้นเป็น 1 ตัวอย่างเช่น

เราต้องการกำหนดให้ระบบมีค่า PASSWORD เป็น 77 จะต้องปรับตำแหน่งของ DIP SW. ให้อยู่ในลักษณะดังต่อไปนี้ คือ

บิทที่	D7	D6	D5	D4	D3	D2	D1	D0
ตำแหน่ง	ON	OPEN	OPEN	OPEN	ON	OPEN	OPEN	OPEN

การกำหนดจำนวน RINGING

ในการกำหนดจำนวนครั้งของสัญญาณ RINGING ของระบบนั้น เราสามารถกำหนดได้โดยการปรับตำแหน่งของ ROTARY SWITCH ซึ่งอยู่ติดกับ DIP SWITCH สำหรับกำหนดค่าของ PASSWORD โดยเราสามารถกำหนดจำนวนการนับสัญญาณ RINGING ของระบบได้สูงสุดคือ 15 ครั้ง (ปรับไปที่ตำแหน่ง F ของ ROTARY SWITCH)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เงื่อนไขการทำงานของระบบ

1. เมื่อผู้ต้องการสั่งงานยกหูโทรศัพท์ กดเบอร์โทรศัพท์ของระบบ ระบบจะรอให้ ringing ดังเป็นจำนวนครั้งเท่ากับค่าที่ตั้งไว้ (ในส่วนนี้ทำการเปลี่ยนแปลงได้โดยมีสวิตช์เลือก) ในเบื้องต้นระบบจะตั้งไว้ 7 ครั้ง
2. เมื่อ ringing ดังครบ 7 ครั้งโดยไม่มีการยกหูรับสาย ระบบจะต่อตัวเองเข้ากับสายโทรศัพท์พร้อมกันนั้นจะมีเสียงพูดบอกว่า ขณะนี้ได้เข้าสู่การควบคุมอัตโนมัติให้ผู้สั่งงานกดรหัสผ่านได้
3. ถ้ากดรหัสผ่านถูกต้องจะมีเสียงบอกให้กดเลือกการทำงาน
4. ถ้ารหัสผ่านไม่ถูกต้อง ระบบจะบอกว่ารหัสผ่านไม่ถูกต้อง และเลิกการติดต่อ หากผู้เรียกยังคงเจตนาเดิม ต้องหมุนเลขหมายเข้ามาใหม่
5. ในโหมดขอดูสภาวะอุปกรณ์ (#xx) หลังจากที่ผู้เรียกกดรหัสสั่งงานแล้ว หากอุปกรณ์หมายเลขนั้นๆเปิดอยู่ เครื่องก็จะตอบว่า "อุปกรณ์เปิด"และถ้าอุปกรณ์ปิดอยู่ เครื่องก็จะตอบว่า "อุปกรณ์ปิด" แล้วจึงเลิกการติดต่อ
6. ในโหมดตั้งค่าอุปกรณ์ (*xxz) หลังจากผู้เรียกกดรหัสสั่งงานแล้ว เครื่องจะทำตามคำสั่งแล้วจึงเลิกการติดต่อ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ศูนย์วิทยทรัพยากร จุฬาลงกรณ์มหาวิทยาลัย

สัญญาณต่างๆภายในระบบของเครื่องชุมสายโทรศัพท์ขององค์การโทรศัพท์แห่งประเทศไทย

ระบบสัญญาณต่างๆของเครื่องชุมสายโทรศัพท์ถือว่าเป็นสิ่งสำคัญในการบอกสภาวะและแจ้งให้ผู้เรียกผู้รับทราบว่าจะทำอย่างไรเมื่อได้ยินสัญญาณแต่ละชนิด

ระบบเครื่องชุมสายโทรศัพท์ในระบบเก่าแบบหมุน(DIAL) เมื่อผู้เรียกทำการเรียกไปยังผู้รับ และได้รับการตอบการเรียกจากผู้รับจะทำให้ขั้วที่คู่สายโทรศัพท์กลับขั้วตลอดการสนทนา เมื่อเสร็จการสนทนาแล้วผู้เรียกและผู้รับวางหูจะทำให้ขั้วที่คู่สายโทรศัพท์กลับสู่สภาพปกติ จึงสามารถใช้สภาพการกลับขั้วของคู่สายโทรศัพท์ในการคิดค่าโทรศัพท์ได้ แต่ในระบบโทรศัพท์ปัจจุบัน ทั้งแบบหมุน(DIAL) และแบบกดปุ่ม(DTMF) เมื่อผู้เรียกทำการเรียกไปยังผู้รับและได้รับการตอบการเรียกจากผู้รับ ขั้วที่คู่สายโทรศัพท์จะคงเดิมไม่มีการกลับขั้ว ตลอดช่วงการสนทนา

สัญญาณพื้นฐานขององค์การโทรศัพท์แห่งประเทศไทย

สัญญาณสมาชิก (SUBSCRIBER SIGNAL)

สัญญาณสมาชิกคือ สัญญาณที่เครื่องชุมสายโทรศัพท์จะแจ้งสภาวะต่างๆ ว่าควรจะทำอย่างไร สัญญาณนั้นประกอบไปด้วย

1.สัญญาณให้หมุน (DT:DialTone) ใช้เพื่อแสดงให้สมาชิกรู้ว่าให้กดปุ่มหมายเลขผู้รับได้ เป็นสัญญาณต่อเนื่อง 400 Hz modulated ด้วยความถี่ประมาณ 50 Hz แบบ AM

2.สัญญาณไม่ว่าง (BT:Busy Tone) ใช้เพื่อเตือนผู้เรียกว่าผู้รับไม่ว่างควรวางหูก่อนสักระยะหนึ่งแล้วจึงเริ่มเรียกใหม่ เป็นสัญญาณ 400 Hz ช่วงเวลาของการส่งประมาณ 0.5 วินาที เงียบประมาณ 0.5 วินาที

3.สัญญาณเรียกกลับ (RBT:Ring Back Tone) ใช้เมื่อการต่อทุกขั้นตอนสำเร็จตามความประสงค์ของผู้เรียก เป็นสัญญาณแจ้งผู้เรียกว่าต่อสำเร็จความถี่ 400 Hz ช่วงเวลาการส่งประมาณ 1 วินาที เงียบประมาณ 4 วินาที

4.สัญญาณกริ่งเรียก (RGT:Ringing Tone) ใช้เมื่อการต่อสำเร็จตามความประสงค์ ผู้รับจะได้สัญญาณแจ้งเป็นสัญญาณ 25 Hz ช่วงเวลาการส่ง 1 วินาที เงียบ 4 วินาที

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
027979

ระบบการต่อของเครื่องชุมสายโทรศัพท์และสัญญาณที่คู่สายโทรศัพท์

ระบบการต่อด้านผู้เรียก

เมื่อผู้เรียกยกหูขึ้นเพื่อจะทำการเรียกจะทำให้ DC voltage ที่คู่สายโทรศัพท์เปลี่ยนจาก 48 v. เป็น 10 v. เครื่องชุมสายโทรศัพท์จะรู้ว่าเป็นการเริ่มต้นการเรียก ก็จะส่งสัญญาณให้หมุน:DT ไปยังผู้เรียก (กรณีของ OGT: OutGoingTrunk ไม่ว่างก็จะส่งสัญญาณไม่ว่าง:BTไปยังผู้เรียกทำให้ผู้เรียกวางหู และเริ่มทำการเรียกใหม่) เมื่อผู้เรียกได้ยินสัญญาณให้หมุน:DT ก็จะทำการกดหมายเลขของผู้รับปลายทางเป็น DTMF: Dual Tone Multifrequency วงจรคู่สายของเครื่องชุมสายโทรศัพท์จะตัดสัญญาณให้หมุน:DT ทันทีที่รับสัญญาณ DTMF ที่กดหมายเลขตัวแรก

เครื่องชุมสายโทรศัพท์รับหมายเลขผู้รับ จะทำการแปลตัวเลขระบุปลายทางจากรหัสชุมสายที่กดหมายเลขมา เมื่อรู้ตำแหน่งของผู้รับแล้ว เครื่องชุมสายโทรศัพท์จะจองทางผ่านระหว่างผู้เรียก(OGT) และผู้รับ(ICT:InComing Trunk) แล้วส่งสัญญาณกริ่งเรียกกลับ :RBT ไปยังผู้เรียก และในขณะเดียวกันวงจรคู่สายส่งสัญญาณเรียก:RGT ไปยังผู้รับ (กรณีผู้รับกำลังใช้โทรศัพท์หรือ ICT ไม่ว่าง เครื่องชุมสายโทรศัพท์ก็จะส่งสัญญาณไม่ว่าง :BT ไปยังผู้เรียกให้วางหู และเริ่มทำการเรียกใหม่) เมื่อผู้รับตอบการเรียกสัญญาณตอบรับจะถูกส่งไปยังเครื่องชุมสายโทรศัพท์ จะตัดสัญญาณกริ่งเรียก RGT ด้านผู้รับหรือ ICT และยกเลิกสัญญาณเรียกกลับ RBT ด้านผู้เรียก (OGT) และทำให้ทางผ่านระหว่าง RBT และผู้เรียกว่าง ขณะเดียวกันก็จะสร้างทางผ่านด้านผู้รับหรือ ICT การสนทนาจึงจะสามารถเริ่มต้นได้ สถานะวางหูของผู้เรียกสื่อทางเสียงและผู้รับวางหูตาม จุดตรวจสอบของวงจรคู่สายจะรู้ว่าเป็นการเลิกสนทนาและติดต่อ

ระบบการเรียกด้านผู้รับ

เมื่อผู้รับถูกเรียกจากผู้เรียก เครื่องชุมสายโทรศัพท์จะส่งสัญญาณกริ่งเรียก:RGT ขนาด 100 V_{AC} ไปยังผู้รับเพื่อทำการเรียกผู้รับถ้าผู้รับไม่ตอบการเรียก สัญญาณกริ่งเรียก RGT ยังคงดำเนินอยู่จนกว่าวงจรคู่สายจะตัดสัญญาณเองเมื่อไม่มีการตอบเรียก และส่งสัญญาณไม่ว่าง BT ไปยังผู้เรียกเพื่อให้ทำการเรียกใหม่ เมื่อผู้รับตอบการเรียกจะทำให้ DC voltage เปลี่ยนจาก 48 v. เป็น 10 v. ทำให้วงจรคู่สายตัดสัญญาณกริ่งเรียก RGT ด้านผู้รับหรือ ICT และสัญญาณเรียกกลับ RBT ด้านผู้เรียก (OGT) พร้อมทั้งสร้างทางผ่านระหว่างผู้รับหรือ ICT และผู้เรียก OGT การสนทนาจึงสามารถเริ่มต้นได้ สถานะวางหูของผู้เรียกจะสื่อทางเสียงและทำให้ผู้รับวางหูตาม วงจรคู่สายจะตรวจรู้ว่าเป็นการ

ลิขสิทธิ์ของจุฬาลงกรณ์มหาวิทยาลัย ห้ามนำไปใช้เพื่อการค้า

เลิกการติดต่อ

Dual Tone MultiFrequency (DTMF)

สัญญาณ DTMF มีข้อดีกว่าหลายประการ เช่น มีความเร็วกว่า เมื่อเรียกสัญญาณ และความสามารถในการใช้สัญญาณซึ่งอยู่ในย่านความถี่เสียงที่แตกต่างกัน 16 สัญญาณ แต่ละสัญญาณประกอบด้วยสัญญาณรูปซายน์ 2 สัญญาณรวมกัน ระหว่างสัญญาณกลุ่มความถี่ต่ำ และกลุ่มความถี่สูง

สัญญาณ DTMF ต้องมีคุณสมบัติดังต่อไปนี้เมื่อต่อกับ 600 Ohms :

1. ระดับสัญญาณ จะต้องมีระดับ -6 ถึง -4 dBm per Frequency ซึ่งระดับต่ำสุดสำหรับกลุ่มความถี่ต่ำที่อนุญาตให้คือ -10 dBm และสำหรับกลุ่มความถี่สูง คือ -8 dBm คู่ความถี่จะต้องมีระดับสัญญาณไม่เกิน +2 dBm ระดับสัญญาณของกลุ่มความถี่สูงจะต้องมีระดับสัญญาณเท่ากันหรือมากกว่าระดับสัญญาณของกลุ่มความถี่ต่ำเมื่อนำมารวมกัน เราเรียกคุณสมบัตินี้ว่า "preemphasis" หรือ "twist" แต่อย่างไรก็ตาม ความต่างกันของระดับสัญญาณระหว่าง 2 ความถี่ ต้องไม่เกินกว่า 4 dB

2. ความเบี่ยงเบนของความถี่ ความถี่ในแต่ละสัญญาณของ 16 สัญญาณ จะต้องมีค่าอยู่ภายใน +_ 1.2 % ของค่าความถี่จริง หรือในกรณีที่หลีกเลี่ยงไม่ได้อาจมีค่าภายใน +_1.5 %

3. Rise Time ต้องไม่เกิน 5 ms (3 ms สำหรับ automatic dialer) สำหรับแต่ละสัญญาณความถี่ จากน้อยที่สุด ถึง 90% ของ magnitude สุดท้ายของคู่สัญญาณความถี่

4. Tone Distortion ความบิดเบือนของสัญญาณเสียงประมาณ 500 Hz จะต้องไม่เกิน 10% ในกรณีนี้จะวัดในรูปของพลังงานทั้งหมดของสัญญาณ DTMF สัมพันธ์กับผลบวกของพลังงานของคู่ความถี่

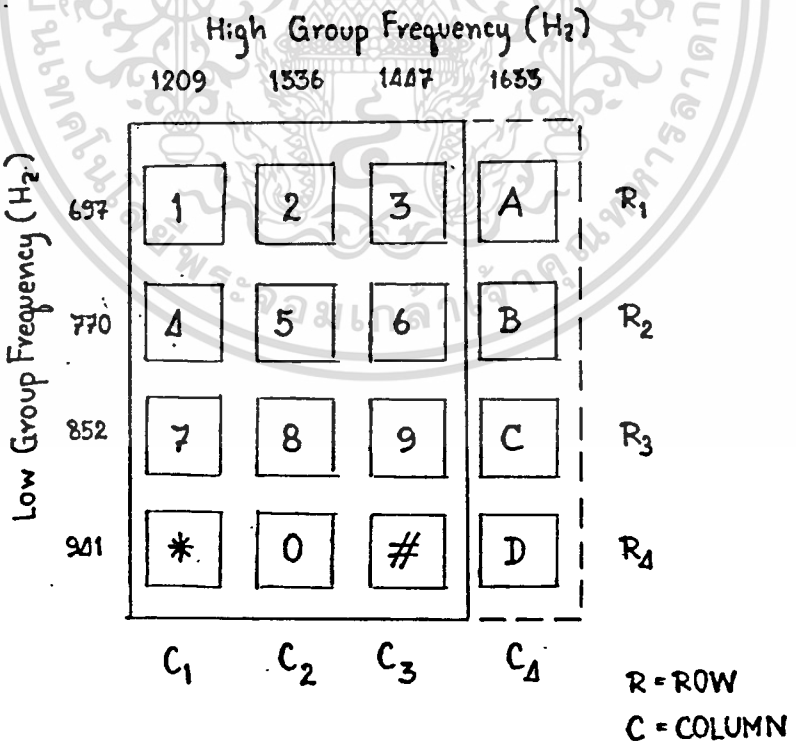
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โทรศัพท์ระบบ DTMF

เครื่องโทรศัพท์ที่มีหน้าปัดเป็นแบบกดปุ่ม และใช้กรรมวิธีของ Dual Tone Multifrequency(DTMF) ในการส่งเลขหมายโทรศัพท์นั้น โดยทั่วไปหน้าปัดจะมี 12 ปุ่ม แบ่งเป็น 4 Rows และ 3 Columns และในเครื่องโทรศัพท์บางแบบอาจมีถึง 16 ปุ่ม โดยเพิ่ม Column ที่ 4 ขึ้นมาอีก

ความถี่ที่ใช้ในแต่ละ Row และ Column จะมีความถี่ต่างกัน ความถี่ของทั้ง 4 Rows เรียกว่าเป็นกลุ่มความถี่ต่ำ (Low Group Frequency) และความถี่ของทั้ง 3 หรือ 4 Columns เรียกว่าเป็นกลุ่มความถี่สูง (High Group Frequency) การกดปุ่มที่เลขหมายใดๆ จะทำให้วงจรอิเลคทรอนิคส์ภายในเครื่องโทรศัพท์ผลิตความถี่ออกมา 2 ความถี่ เช่น เมื่อกดเลข 5 ความถี่ที่ผลิตออกมา คือ 770 Hz และ 1336 Hz เป็นต้น

มาตรฐานของความถี่ที่ใช้และตำแหน่งของหมายเลขต่างๆ จะถูกจัดให้มีลักษณะดังแสดงตามรูปที่ 0.1 สำหรับความผิดพลาดที่ยอมให้เกิดขึ้นได้จะเป็น 1.5 % สำหรับการผลิตความถี่ และ 2 % สำหรับการรับเลขหมาย



หน้าปัดเครื่องโทรศัพท์แบบกดปุ่มและความถี่ที่ใช้

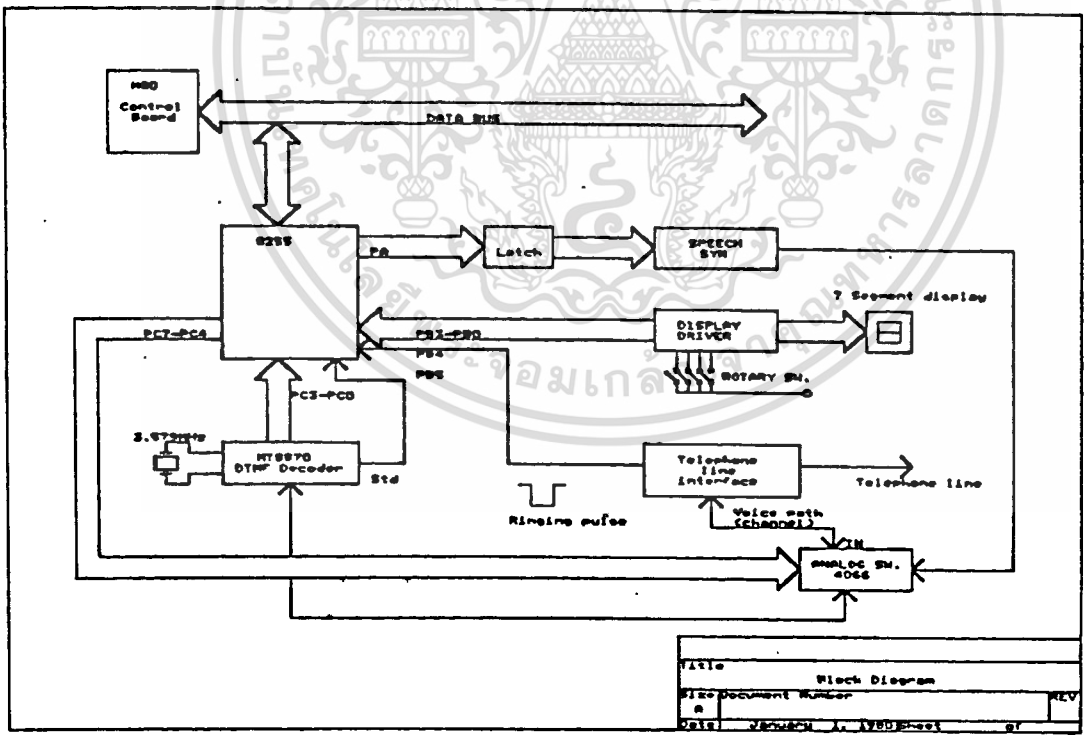
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ข้อดีของโทรศัพท์ระบบ DTMF คือ

- สามารถลดเวลาในการหมุนเลขหมายลงได้ ทำให้ชุมสายรับ traffic ได้มากขึ้น
- สามารถใช้วงจรทาง Solid-State Electronics แทนอุปกรณ์ทางด้าน Mechanic จึงทำให้มีความรวดเร็วและแม่นยำในการส่งเลขหมาย
- สามารถเพิ่มปุ่มกดได้อีก 4 ปุ่ม เพื่อใช้ในการส่งสัญญาณบริการประเภทอื่นๆ
- มีความเหมาะสมที่จะใช้กับชุมสายระบบ SPC

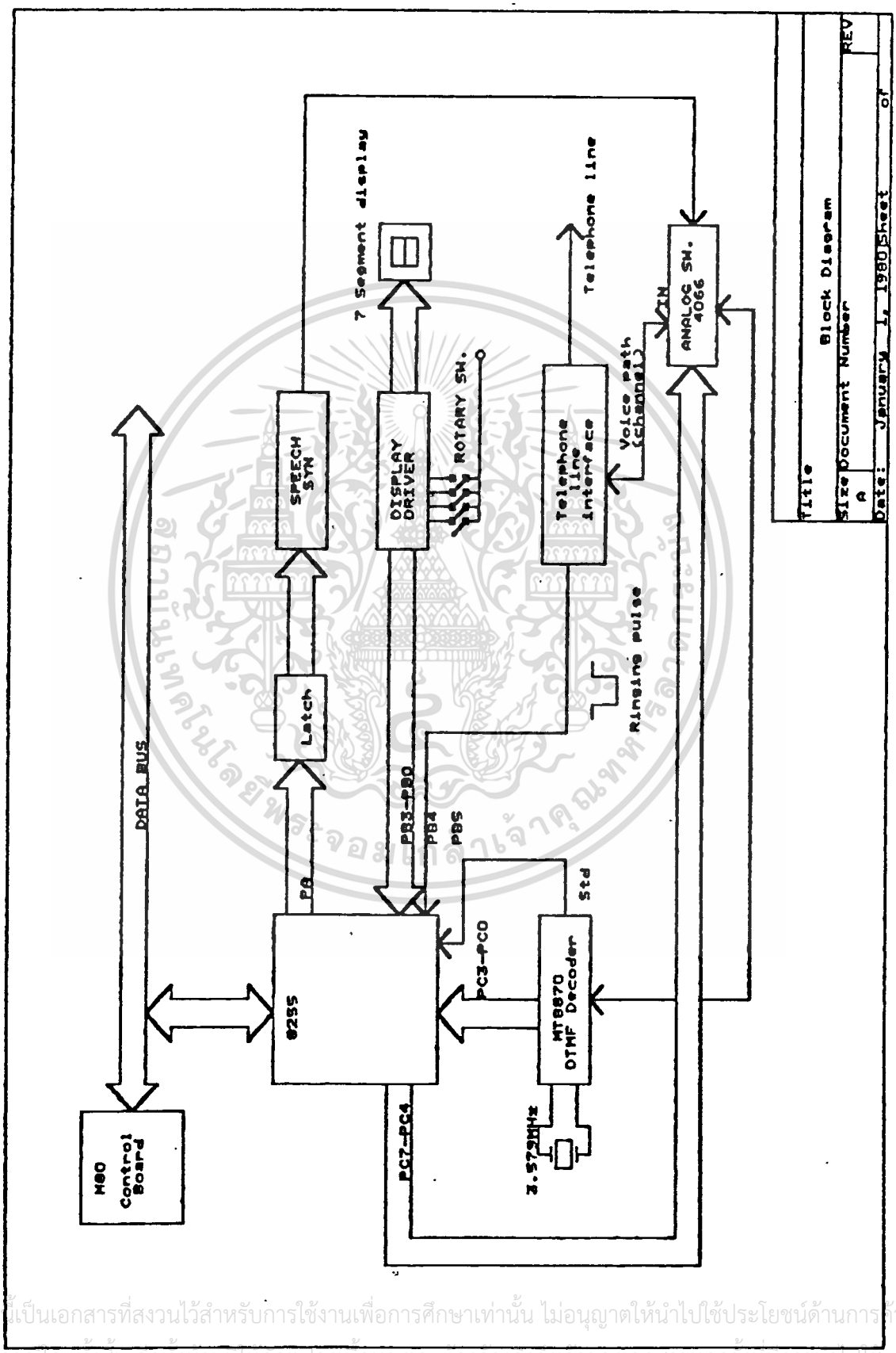
การทำงานของระบบ

การทำงานของเครื่องควบคุมอุปกรณ์ไฟฟ้าโดยโทรศัพท์ (DTMF) เขียนเป็น block diagram ได้ดังรูปที่ 0.2



รูป ๐.2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 0.2เป็น block diagram ของระบบ โดยมีจุดศูนย์กลางการควบคุมที่ MBO control board ที่มี Z80 เป็น CPU ในวงจรใช้งานจริงจะติดต่อผ่าน 8255 2 ตัว

จากรูปจะเห็นได้ว่ามี analog SW. เป็นตัวเลือกว่าขณะนี้ CPU ต้องการใช้วงจรส่วนไหน

เมื่อมีสัญญาณ ringing ผ่านเข้ามายังระบบ วงจร line interface circuitจะทำการตรวจจับพัลส์ แล้วส่งไปให้CPU นับจนกว่าจะครบตามจำนวนที่ตั้งไว้ CPU จึงจะส่งสัญญาณเลือกให้มีการพร้อมรับสัญญาณ DTMF โดยสั่งให้ MT 8870 DTMF Decoder ทำงาน

สัญญาณDTMF ที่ผ่านการ Decode เป็นรหัส 4 bit จะถูกส่งกลับไปยัง CPU ในขั้นตอนนี้ CPU จะทำการประมวลผลว่ารหัสนั้นๆ เป็นการสั่งให้ทำอะไรบ้าง

จำนวน ringing ที่เป็นเงื่อนไขการทำงานของระบบ ตั้งได้จาก rotary SW. โดยมี 7 segment display แสดงค่าที่ตั้งไว้ให้ทราบที่ตัวเครื่อง

ส่วนรหัสผ่าน ก็จะมีการตั้งที่ DIP SW. ที่ตัวเครื่องเช่นกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1

ภาคสั่งการควบคุม

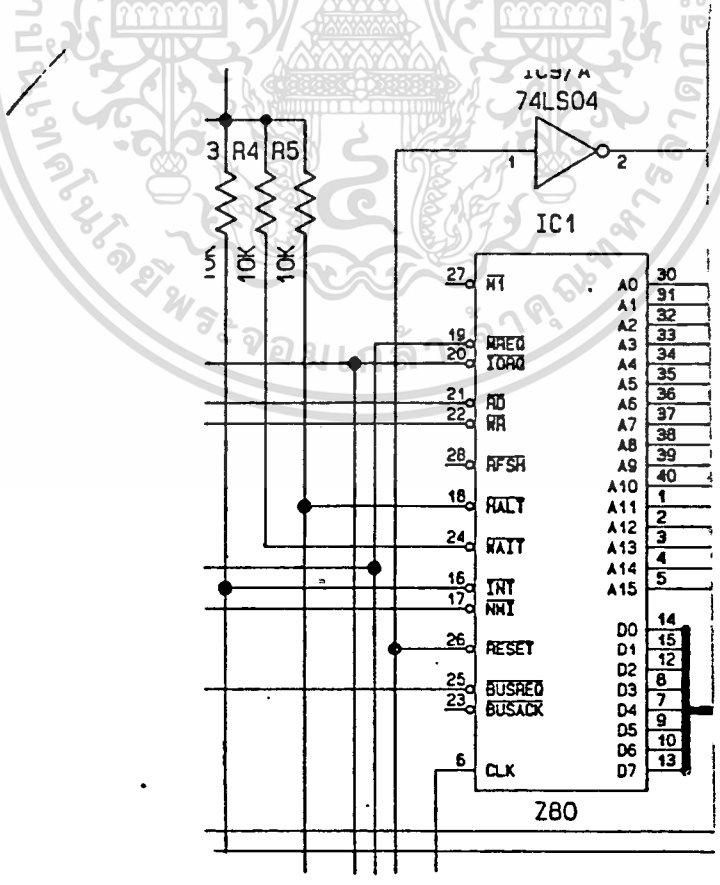
(CONTROL BOARD)

1.1 การใช้งาน M80

ในโครงงานนี้ได้ใช้ไมโครคอนโทรลเลอร์ M80 ที่มี Z80 เป็น CPU มาประยุกต์ใช้งานเนื่องจาก M80 มีข้อดี คือสามารถโปรแกรมบนเครื่อง IBM PC ได้

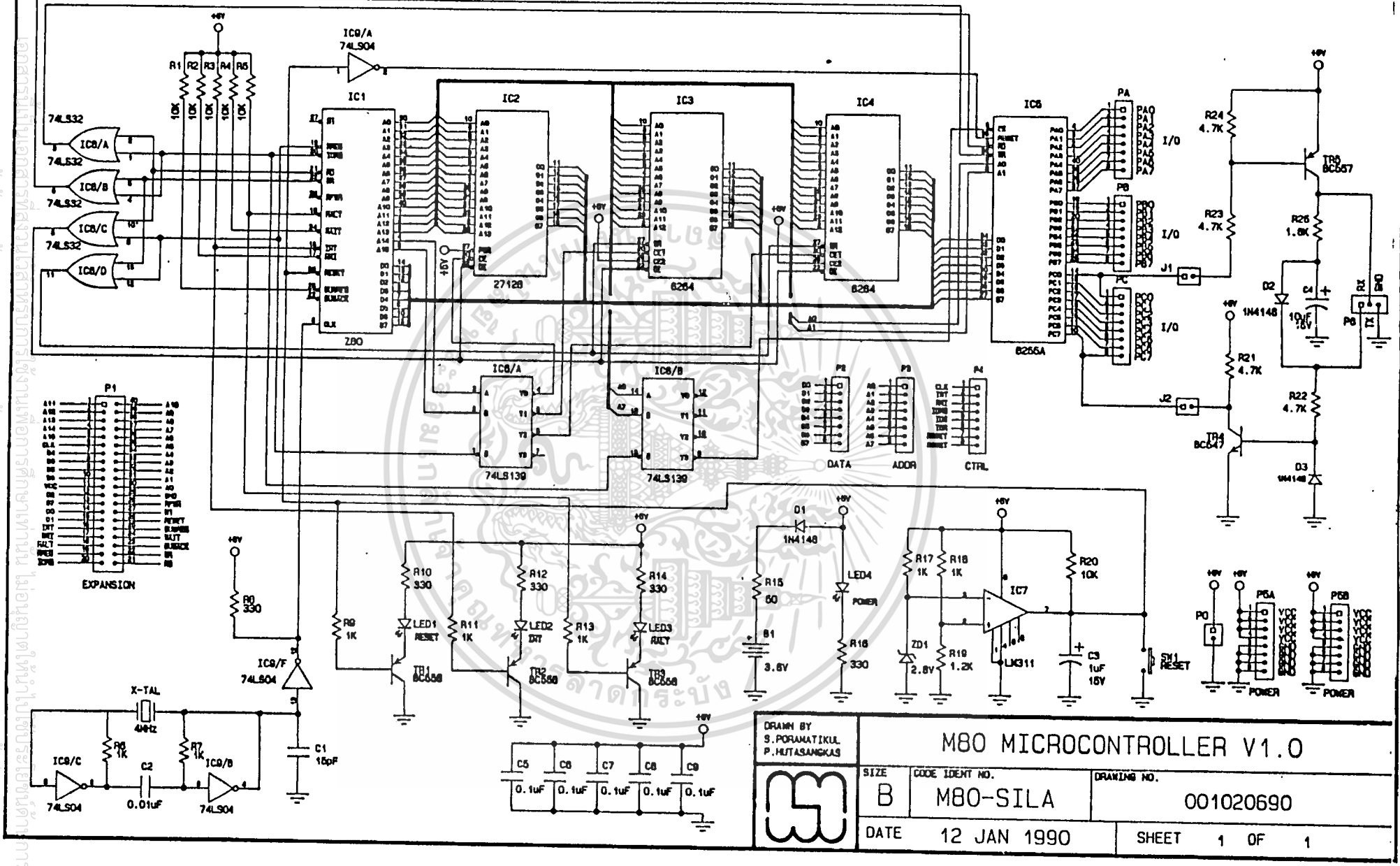
ไมโครโปรเซสเซอร์ Z-80 เป็นไมโครโปรเซสเซอร์ขนาด 8 bit ที่มีชุดคำสั่งถึง 158 คำสั่ง ทำงานที่ความถี่ 3.579 MHz

วงจรส่วนไมโครโปรเซสเซอร์ของ M80 แสดงได้ดังรูป 1.1



Z 80 : M 80 CPU

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



DRAWN BY S.PORAMATIKUL P.HUTASANGKAS	M80 MICROCONTROLLER V1.0	
	SIZE B	CODE IDENT NO. M80-SILA
		DRAWING NO. 001020690
	DATE 12 JAN 1990	SHEET 1 OF 1

1.2 คุณสมบัติโดยทั่วไปของ M80

HARDWARE

CPU

- Z80 CPU ทำงานที่ความถี่ 3.5795 MHz (IC1)

ROM

- ROM 16K เบอร์ 27128 ADDRESS 0000H-03FFH (IC2)

RAM

- RAM 8K เบอร์ 6264 ADDRESS 4000H-5FFFH (IC3)

-RAM 8K OPTION เบอร์ 6264 ADDRESS 6000H-7FFFH มี BATTERY BACKUP (IC4)

I/O

- 24 BIT PROGRAMMABLE I/O ADDRESS 0C0H-0C3H เบอร์ 8255 (IC5)

RS-232C

-BUILT-IN RS-232C มีฟังก์ชั่น AUTO-BAUDRATE ซึ่งจะตรวจสอบ BAUDRATE โดยอัตโนมัติ โดยปกติจะทำงานที่ความเร็วสูงสุดคือ 9600 (P6)

POWER SUPPLY

- +5V 200mA (P0)

WIRE-WRAPPING AREA

- 1.1"X6" พร้อมจุดต่อสำหรับ ADDRESS BUS, DATA BUS, CONTROL BUS, I/O, และ VCC รวมทั้งจุดต่อสำหรับอุปกรณ์จากภายนอก

DISPLAY

- 5mm.LED สำหรับ RESET(RED), INTERRUPT(YELLOW), HALT(GREEN), POWER(RED)

CONNECTOR

- POWER SUPPLY CONNECTOR 2 PIN (P0)
- EXPANSION CONNECTOR Z80CPU PIN 40 PIN (P1)
- DATA BUS TERMINAL D_0-D_7 8 PIN (P2)
- ADDRESS BUS TERMINAL A_0-A_7 8 PIN (P3)
- CONTROL BUS TERMINAL 8 PIN (P4)
- I/O TERMINAL 8PIN X 3 (PA,PB,PC)
- POWER TERMINAL 8 PIN (P5A,P5B)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

JUMPER

- เนื่องจาก RS-232C ในระบบใช้ PORT C_0 และ C_7 ดังนั้น JUMPER J1 และ J2 จึงใช้สำหรับการต่อ PORT C_0 และ C_7 เข้ากับวงจร RS-232C DRIVER หากต้องการใช้ PORT ดังกล่าวให้ถอด J1 และ J2 ออก

DIMENSION

- 5"X7"

SOFTWARE

- โปรแกรมสำหรับการพัฒนาระบบ และการติดต่อ RS-232C
- สามารถพัฒนาโปรแกรมผ่านทางเครื่อง IBM PC ด้วยภาษา ASSEMBLY
- สามารถตรวจสอบการทำงานของ CPU และระบบได้โดยสะดวก เนื่องจากมีฟังค์ชั่นต่างๆ เช่น LINE ASSEMBLER, MEMORY DUMP & EDIT, REGISTER DUMP & EDIT, BRAKE POINT เป็นต้น

OPTION

- อุปกรณ์สนับสนุนต่างๆ เช่น
  - REGULATED POWER SUPPLY 5V 1A-3A
  - VARIABLE REGULATED POWER SUPPLY 0-30V 1A-3A
  - PRINTER INTERFACE
  - CRT INTERFACE
  - KEYBOARD & DISPLAY INTERFACE
  - EPROM WRITER MODULE
  - SWITCHING POWER SUPPLY

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การใช้งาน REMOTE MONITOR

M80 มีโปรแกรมสำหรับช่วยในการพัฒนาระบบคือ REMOTE MONITOR ซึ่งออกแบบและพัฒนาโดย บริษัท ศิลารีเสิร์ช จำกัด คำสั่งต่างๆที่มีอยู่ใน REMOTE MONITOR มีดังนี้

A (Assembler)

FORMAT : A [addr]

เป็น Line Assembler เพื่อให้ผู้ใช้เขียนโปรแกรมเป็นภาษา Assembly ได้ทันที แต่จะไม่สามารถกำหนดตัวแปรต่างๆ หรือ Label ได้ ในกรณีที่เป็นค่า Relative สามารถใส่เป็นค่า Address ได้ โปรแกรมจะทำการคำนวณเป็นค่า Relative ให้ [addr] จะเป็นค่า Address เริ่มต้นของโปรแกรม

ตัวอย่าง

```
-A 4000
4000:LD A,33
4002:DEC A
4003:JR NZ,4002
4005:HALT
4006:                <- กด Enter
-
```

B (Brakepoint)

FORMAT : B [addr]

เป็นการกำหนด Brakepoint ให้โปรแกรมหยุดทำงาน ซึ่งมีความจำเป็นมากใน M80 เนื่องจาก M80 ไม่สามารถทำ Single step ได้จึงต้องใช้คำสั่งนี้มาช่วยในการ debug แทน [addr] คือ Address ที่ต้องการให้โปรแกรมหยุด ถ้าไม่ใส่ค่า [addr] จะเป็นการอ่านค่า Brakepoint ที่ตั้งไว้

ตัวอย่าง

```
-B 4003              <- ตั้งค่า Brakepoint ที่ 4003
-B                   <- ตรวจสอบ Brakepoint
4003
-
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

C (Compare)

FORMAT : C [addr1] [addr2] [addr3]

หรือ : C [addr1] [addr2] H [dd]

เป็นคำสั่งใช้ในการเปรียบเทียบข้อมูลระหว่าง Address 2 ตำแหน่ง คือข้อมูลใน Memory ตั้งแต่ [addr1] จนถึง [addr2] กับ [addr3] ที่มีความยาวเท่ากัน หรือข้อมูลใน Memory ตั้งแต่ [addr1] ถึง [addr2] กับค่า [dd] ข้อมูลที่แสดงออกมาบนจอภาพคือข้อมูลที่ต่างกันในทั้งสองกรณี

ตัวอย่าง

```
-C 4000 40FF 5000   <- ในกรณี [addr1] ถึง [addr2] กับ [addr3]
4023:23   5023:34
4039:33   5039:44
-C 4000 40FF H 00   <- ในกรณี [addr1] ถึง [addr2] กับค่า [dd]
4040:
4041:
40FE:
```

D(Display)

FORMAT : D [addr1] [addr2]

เป็นการแสดงข้อมูลใน Memory ตั้งแต่ [addr1] ถึง [addr2] ถ้าไม่ใส่ [addr2] เครื่องจะใช้ค่า default คือ [addr2] เท่ากับ [addr1] + 127 และถ้าไม่ใส่ [addr1] เครื่องก็จะใช้ค่าที่เก็บไว้ล่าสุด

ตัวอย่าง

```
-D 4000
4000: 00 00 00 00 00 00 00 00 - 00 00 00 00 00 00 00 00 ................
4010: 00 00 00 00 00 00 00 00 - 00 00 00 00 00 00 00 00 ................
4020: 00 00 00 00 00 00 00 00 - 00 00 00 00 00 00 00 00 ................
4030: 00 00 00 00 00 00 00 00 - 00 00 00 00 00 00 00 00 ................
4040: 00 00 00 00 00 00 00 00 - 00 00 00 00 00 00 00 00 ................
4050: 00 00 00 00 00 00 00 00 - 00 00 00 00 00 00 00 00 ................
4060: 00 00 00 00 00 00 00 00 - 00 00 00 00 00 00 00 00 ................
4070: 00 00 00 00 00 00 00 00 - 00 00 00 00 00 00 00 00 ................
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

E(Enter)

FORMAT : E [addr]

เป็นการใส่ค่าลงใน Memory เป็น Hex หรือแก้ไขค่าใน Memory ที่ตำแหน่ง [addr]

ตัวอย่าง

```
-E 4000
4000:00 3E
4001:00 33
4002:00          <- กด Enter เพื่อกลับสู่ระบบ
-
```

F(Fill)

FORMAT : F [addr1] [addr2] [dd]

เป็นค่า set ค่าใน Memory ตั้งแต่ตำแหน่ง [addr1] ถึง [addr2] ให้เป็นค่า [dd] ทั้งหมด

ตัวอย่าง

```
-F 4000 40FF FF
-
```

G(Go)

FORMAT : G [addr]

เป็นการสั่งให้ CPU ทำงานตาม Address ที่กำหนดคือ [addr]

ตัวอย่าง

```
-G 4000
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

H(Help)

FORMAT : H

เป็นการแสดงชุดคำสั่งทั้งหมดใน Remote Monitor พร้อมคำอธิบายและวิธีใช้โดยย่อ

ตัวอย่าง

```
-H
A addr                  Assembles
B [addr]                    Brakepoint
C range addr                Compare block
C range H byte              Compare byte
D [addr1] [addr2]           Display memory
E addr                      Enter data
F range byte                Fill memory
G [addr]                    Go(Run)
H                           Help
I port                      Input
L [addr]                    downLoad from terminal
M range addr                Move
N                           New (Clear register)
O port                      Output
P range                     uPload to terminal
R [reg value]               Register
S range byte ...(8)         Search
T                           Terminate (Power off)
U [N] [addr1] [addr2]       Unassembler
V [var value]               Variable [RSTn]
-
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

I(Input)

FORMAT : I port

ใช้ในการรับค่าข้อมูลจาก Input port ตาม port ที่กำหนด

ตัวอย่าง

```
-I C0
FF
-
```

L(Load)

FORMAT : L [addr]

เป็นการ Download ข้อมูลจากเครื่อง PC มายัง M80 ซึ่งข้อมูลจะเป็นไฟล์ใน Intel Format ค่า addr จะเป็นค่า offset เนื่องจากในไฟล์ที่เป็น Intel Format นั้นจะมีตำแหน่ง Address ส่งมาด้วยอยู่แล้ว

ตัวอย่าง

```
-L
wait for send file
```

(จากนั้น M80 จะทำการรอรับไฟล์จากเครื่อง PC ซึ่งผู้ใช้จะต้องทำการส่งไฟล์จาก XTALK ดังนี้

- กด CTRL-A
- พิมพ์ SE [SPACE] filename [Enter]
- จอภาพของจะแสดงข้อความว่ากำลังส่งไฟล์อยู่
- เมื่อสิ้นสุดกระบวนการการส่งไฟล์แล้วจอภาพจะแสดงผลดังนี้

```
4000            <- Address ที่กำหนดมาในไฟล์
-
```

M(Move)

FORMAT : M [addr1] [addr2] [addr3]

เป็นการ copy ข้อมูลจาก addr1 ถึง addr2 ไปไว้ที่ addr3

ตัวอย่าง

```
-M 0000 00FF 4000
-
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

N(New)

FORMAT : N

เป็นการ Clear ค่า Register ทั้งหมดให้เป็น 0 โดยเครื่องจะแสดงค่า Register ให้ดูบนจอภาพโดยอัตโนมัติ

ตัวอย่าง

```
-N
PC =4000 SP =5F20 IF =0004 IX =0000 IY =0000
AF =0000 BC =0000 DE =0000 HL =0000
AF'=0000 BC'=0000 DE'=0000 HL'=0000
S=0 Z=0 H=0 PV=0 N=0 C=0
```

O(Output)

FORMAT : O port dd

เป็นการส่งข้อมูล dd ออกไปยัง port ที่ต้องการ

ตัวอย่าง

```
-O C1 AA
-
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

P(uPload)

FORMAT : P [addr1] [addr2]

เป็นการ Upload ข้อมูลจาก M80 ไปเก็บไว้ในไฟล์ของเครื่อง PC ใน Intel Format

ตัวอย่าง

-P 4000 40FF

Delay 10 second for receive file

(M80 จะทำการรอ 10 วินาที เพื่อให้ผู้ใช้เตรียมการทางด้านเครื่อง PC ให้พร้อมที่จะรับไฟล์)

(โดยผู้ใช้จะต้องทำการรับไฟล์ด้วย XTALK ดังนี้

- กด CTRL-A
- พิมพ์ CA [Space] filename [Enter]
- เมื่อครบ 10 วินาที M80 จะส่งข้อมูลเป็น Intel Format มายัง PC และข้อมูลเหล่านี้จะถูกเก็บลงในไฟล์
- เมื่อเรียบร้อยแล้วกด CTRL-A และพิมพ์ CA OFF
- กดปุ่ม [Enter] M80 จะกลับมาแสดง prompt อย่างเดิม

R(Register)

FORMAT : R [reg] [ss]

เป็นการเรียกดูหรือแก้ไขค่าใน Register ใดๆ ในกรณีที่ไม่กำหนด reg M80 จะทำการแสดงค่าของRegister ทุกตัวออกมา ถ้ากำหนด reg ก็จะแสดงผลเฉพาะตัวนั้นๆ ถ้าใส่ค่า ss (ss หมายถึงข้อมูลขนาด 8 หรือ 16 bit) ก็จะเป็นการกำหนดค่าลงใน reg นั้นๆ

ตัวอย่าง

-R BC 1234 (กำหนดให้ Register BC มีค่าเป็น 1234H)

-R ZF 1 (กำหนดให้ Zero Flag เป็น 1)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

S(Search)

FORMAT : S [addr1] [addr2] [dd1] [dd2]..[dd8]

เป็นการ Search ข้อมูลในช่วง Address ตั้งแต่ addr1 ถึง addr2 ว่าตรงกับข้อมูล dd1.. dd8 ที่กำหนดให้หรือไม่

ตัวอย่าง

```
-S 4000 40FF 11 22 33 44
4020
4050
-
```

(แสดงว่าพบข้อมูลดังกล่าวอยู่ที่ Address 4020 และ 4050)

T(Terminate)

FORMAT : T

ใช้ในการสิ้นสุดการทำงาน แล้วกด CTRL-A และพิมพ์ QU [Enter] ก็จะกลับเข้าสู่ DOS

U(Unassembler)

FORMAT : U [N] [addr1] [addr2]

ใช้ในการทำ Disassemble ข้อมูลที่อยู่ใน Memory ของ M80 ตั้งแต่ addr1 จนถึง addr2 ส่วน OPTION N นั้นใช้สำหรับ off display ในส่วน address และ machine code เพื่อใช้ในการเก็บเป็นภาษา assembly ลงไฟล์

ตัวอย่าง

```
-U 4000 4004
4000: 3E 33         LD   A,33H
4002: 06 22         LD   B,22H
4004: 76            HALT
-
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

V(Variable)

FORMAT : V [no] [addr]

ใช้ในการกำหนดค่า interrupt vector สำหรับคำสั่ง RSTn โดย [no] เป็น Restart number และ [addr] เป็น vector ถ้าเฉพาะคำสั่ง V ตัวเดียวไม่มี option จะหมายถึงให้ disply ค่าของ interrupt vector ที่มีอยู่ออกมา

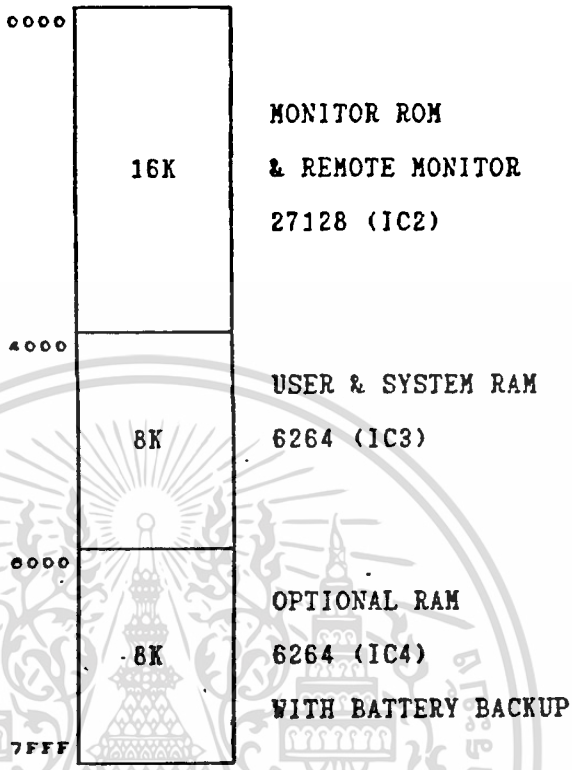
ตัวอย่าง

-V 38 4100 (หมายถึงกำหนดให้ RST 38H JUMP ไปที่ 4100H)

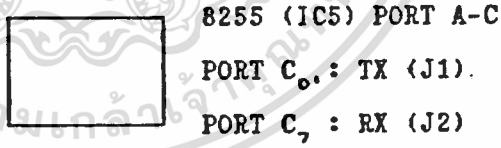
-

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MEMORY MAP



I/O MAP



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่2

วงจรอินเตอร์เฟสสายโทรศัพท์

(LINE INTERFACE CIRCUIT)

จากรูปที่ 2.1เป็นส่วนของ Telephone Line Interface Circuit หน้าที่หลักคือ รับสัญญาณ ringing จากสายโทรศัพท์ detect ออกมาเป็น pulses ตามจำนวนสัญญาณ ringing ที่ดังขึ้น ส่งไปยัง CPU เพื่อทำการเปรียบเทียบกับจำนวนที่ตั้งไว้ หาก CPU พบว่าครบตามที่ต้องการก็จะส่งสัญญาณมาขับภาครับ DTMF ให้ทำงานส่งผ่านสัญญาณที่ได้ไปยัง DTMF decoder

นอกจากนี้ยังทำการตรวจสอบการเลิกติดต่อของผู้เรียกป้องกันการ on ค้างของเครื่องด้วย

2.1 หลักการทำงาน

จากรูป bridge rectifier จะรับแรงดันจากสายโทรศัพท์ผ่านเข้ามาจ่ายให้ชุด ringing detector โดยมี IC1 4N32A เป็นตัวเชื่อมโยงทางแสงป้องกันการรบกวนของสัญญาณ ที่ขา 5 ของ IC1 จะได้รูปสัญญาณเป็นพัลส์ลบ (negative going pulses) ตามจังหวะของ ringing tone (duty cycle 0.25) ตามรูปที่ 2.2 หลังจากนั้นก็ผ่านการขยายโดย IC7-a ก่อนส่งให้ ringing counter นับจำนวนพัลส์

หาก CPU พบว่า สัญญาณ ringing ครบตามจำนวนที่ตั้งไว้ก็จะส่งแรงดันมาขับ Q1 ส่งผลให้ รีเลย์ RY1 ต่อวงจรส่วนที่เหลือเข้ากับชุด bridge rectifter มีแรงดันไปจ่ายให้ทั้งวงจร

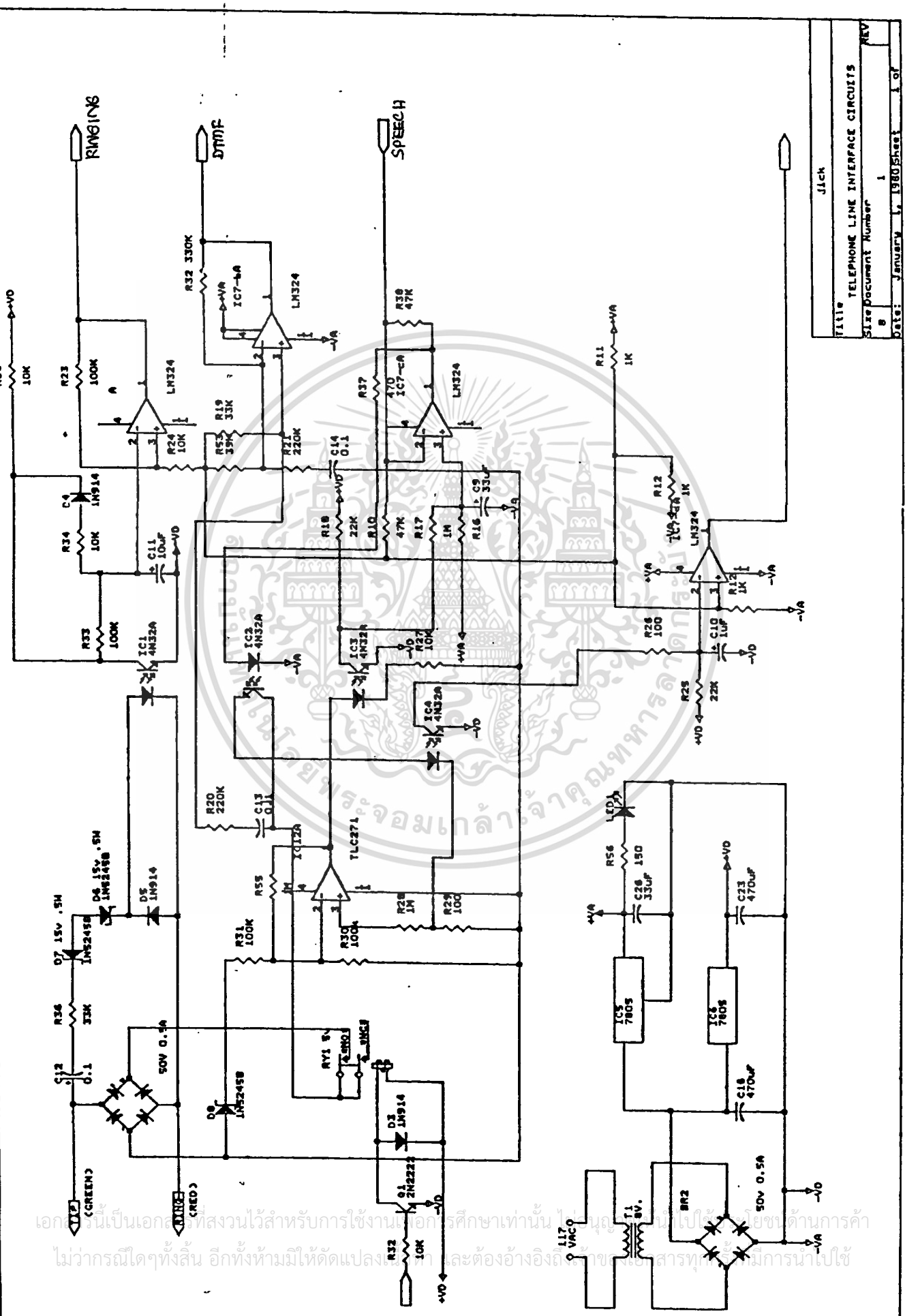
ขณะเดียวกันนั้น CPU ก็จะเลือกช่องการทำงานของ SPEECH SYNTESIZER โดยผ่าน 4066 CMOS SW. ส่งสัญญาณเสียงเข้ามายัง IC7-c เข้าสู่สายโทรศัพท์

Speech syntesizer ทำการอัดข้อความไว้ 5 ช่อง ขั้นตอนนี้ CPU จะเลือกช่องแรก โดยมีข้อความย้อนกลับสู่ผู้เรียกว่า " ขณะนี้ท่านได้เข้าสู่การทำงานของเครื่องควบคุมอุปกรณ์ไฟฟ้าอัตโนมัติ โปรดกดรหัสผ่าน"

เมื่อผู้เรียกตอบสนองโดยการกดรหัสผ่าน IC7-bจะทำหน้าที่ขยายสัญญาณ DTMF ที่ได้ป้อนเข้าสู่วงจร DTMF Decoder

หาก CPU พบว่ารหัสผ่านตรงกับที่ได้ตั้งไว้ (โดย DIP SW.) ก็จะเลือกเสียงช่องที่2 ของ Speech Syntesizer มีข้อความว่า "รหัสผ่านถูกต้อง โปรดเลือกฟังก์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



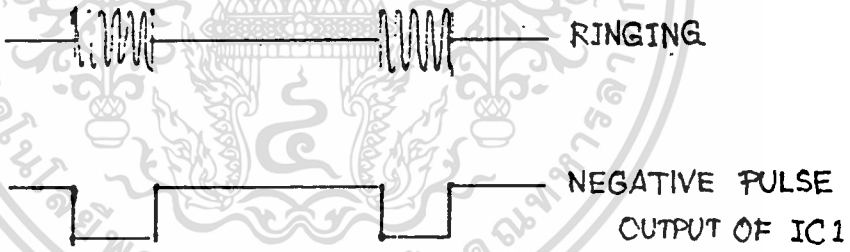
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ชั่นการทำงาน"

ผู้เรียกอาจเลือกฟังก์ชั่นการทำงานได้ 2 อย่าง ดังที่ได้กล่าวมาแล้ว CPU จะทำงานตามที่ถูกเลือก ขั้นตอนนี้ ข้อความจะถูกเลือกอีก 2 ช่อง คือ "อุปกรณ์เปิด" และ " อุปกรณ์ปิด"แสดงสภาวะของอุปกรณ์แต่ละช่อง

จุดประสงค์หลักของ IC4 คือตรวจสอบสัญญาณเลิกติดต่อจากผู้เรียก จะส่งพัลส์ไป interrupt CPU เพื่อสั่งวงจรให้ยุติการทำงาน หากไม่มีวงจรส่วนนี้หากผู้เรียกยุติการโต้ตอบ(วางสาย)กับเครื่องควบคุมอุปกรณ์ไฟฟ้าอัตโนมัติระหว่าง CPU รอการสั่งการ CPU ก็จะรออยู่เช่นนั้น ผู้อื่นก็จะโทรเข้ามาไม่ได้ วงจรส่วนนี้จึงจำเป็น

LINE INTERFACE CIRCUIT เป็นเสมือนทางผ่านของสัญญาณจากสายโทรศัพท์เข้าสู่ระบบควบคุมนั่นเอง



รูป 2.2 NEGATIVE PULSE

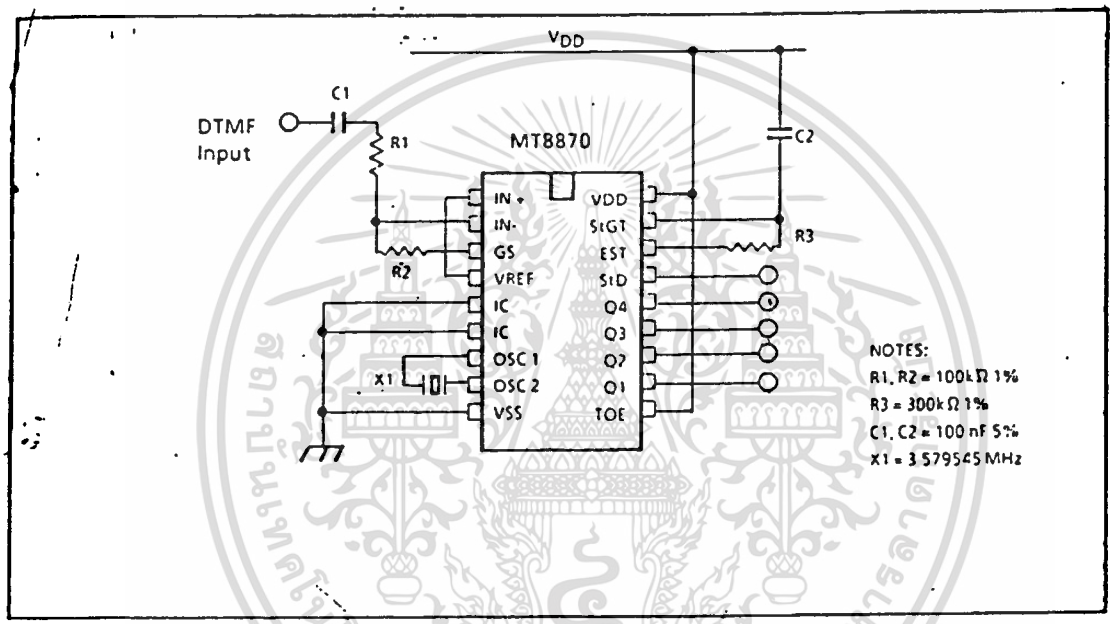
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3

ภาคถอดรหัสสัญญาณ DTMF

(DTMF DECODER)

การทำงานของวงจรในส่วนนี้ขึ้นอยู่กับ MT 8870 Integrated DTMF Receiver ซึ่งมีการต่อใช้งานดังรูป 3.1

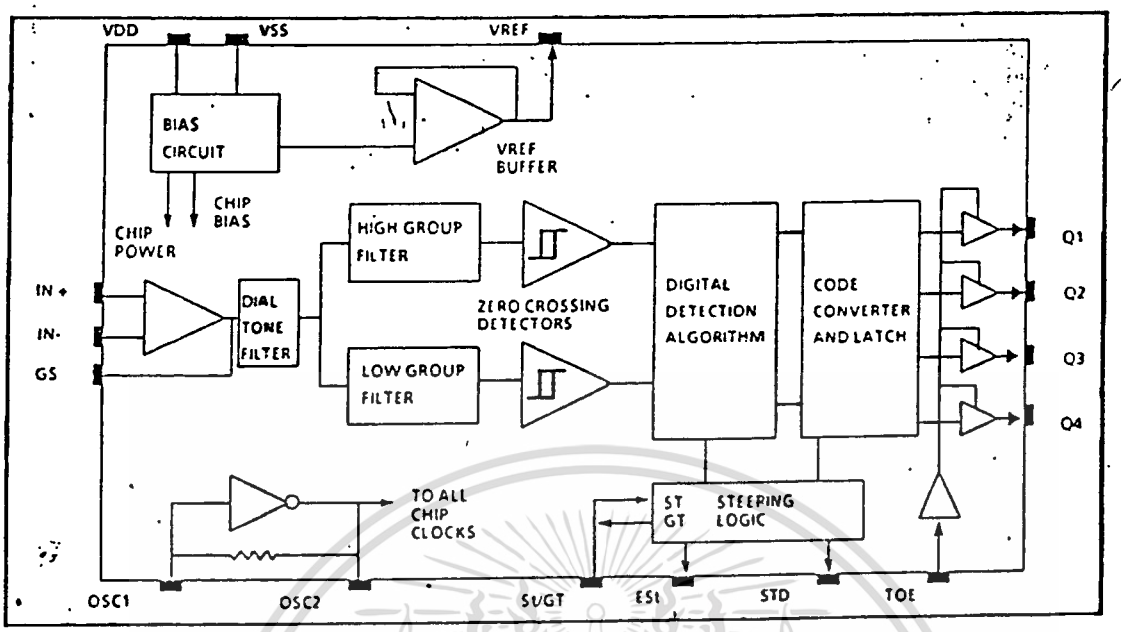


รูป 3.1

MT 8870 เป็น DTMF receiver ที่สมบูรณ์ประกอบด้วยส่วน band split filter และ digital decoder functions ส่วนของวงจรฟิลเตอร์ใช้เทคนิคการสวิชต์ตัวเก็บประจุ (switched capacitor techniques) ทั้งกลุ่มของความถี่สูงและความถี่ต่ำ ส่วนของวงจร decoder ใช้เทคนิคที่เรียกว่า digital counting ทำการถอดรหัสคู่สัญญาณ DTMF ทั้ง 16 สัญญาณเป็น 4-bit code

โครงสร้างภายในของ MT 8870 แสดงได้ดังรูป 3.2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 3.2

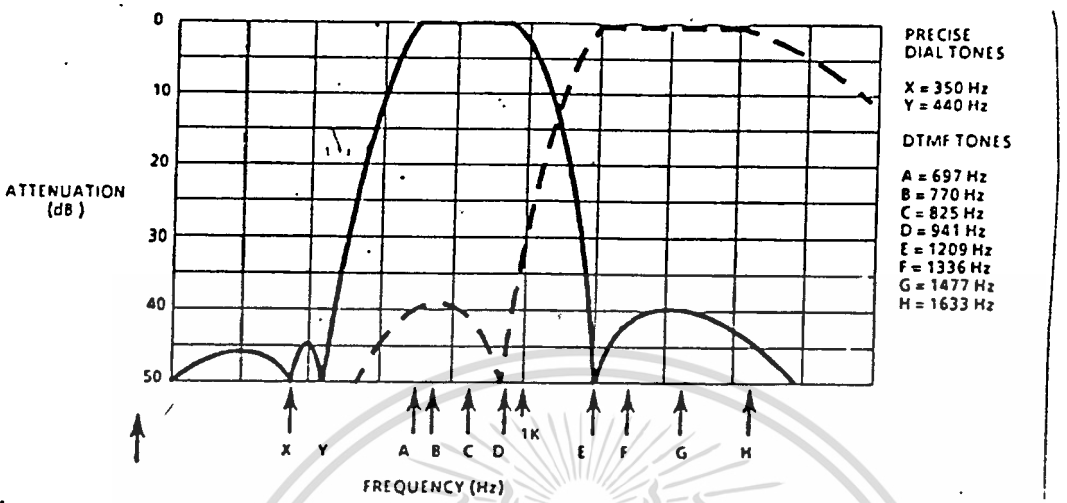
3.1 Filter Section

การแยกกลุ่มความถี่สูงและความถี่ต่ำทำได้โดยการป้อนสัญญาณ DTMF ไปยังอินพุต
อง sixth-order switched capacitor band pass filter 2 ชุด แบนด์วิธ
bandwidth) กำหนดโดยความถี่สูงและความถี่ต่ำที่ใช้งาน

วงจรฟิลเตอร์เหล่านี้ทำการกรองสัญญาณให้เรียกขึ้นก่อนจะนำไปยังวงจรเปรียบ
ทียบที่มีอัตราขยายสูงทำการกำหนดขนาดของสัญญาณ ป้องกันการตอบสนองสัญญาณระดับต่ำที่ไม่
องการ เอาท์พุตของวงจรเปรียบเทียบจะให้สัญญาณ logic ตามความถี่ของสัญญาณ DTMF
เข้ามา

รูปที่ 3.3 แสดงการแบ่งช่วงการขยายความถี่ของวงจรฟิลเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 3.3

3.2 **Decoder Section**

ต่อจากส่วนของวงจรฟิลเตอร์คือวงจรถอดรหัสที่ใช้เทคนิคแบบ digital counting เพื่อเปรียบเทียบสัญญาณที่ผ่านเข้ามากับความถี่มาตรฐาน DTMF

นอกจากนี้ยังประกอบด้วย avevaging algorithm เพื่อกำจัด noise และถ้าเมื่อใดที่พบว่าเป็นสัญญาณที่ถูกต้องตามมาตรฐาน เอาท์พุต "Early Steering" (ESt) จะมีสภาวะ active ทันที ดังนั้นหากสัญญาณไม่ถูกต้องขา ESt นี้ก็จะยังไม่ active

รูป 3.4 แสดงตารางของรหัส 4 bit ที่ได้จากการถอดรหัสสัญญาณ DTMF

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

F_{LOW}	F_{HIGH}	NO	TOE	Q_4	Q_3	Q_2	Q_1
697	1209	1	H	0	0	0	1
697	1336	2	H	0	0	1	0
697	1477	3	H	0	0	1	1
770	1209	4	H	0	1	0	0
770	1336	5	H	0	1	0	1
770	1477	6	H	0	1	1	0
852	1209	7	H	0	1	1	1
852	1336	8	H	1	0	0	0
852	1477	9	H	1	0	0	1
941	1336	0	H	1	0	1	0
941	1209	*	H	1	0	1	1
941	1477	#	H	1	1	0	0
697	1633	A	H	1	1	0	1
770	1633	B	H	1	1	1	0
852	1633	C	H	1	1	1	1
941	1633	D	H	0	0	0	0
-	-	ANY	L	Z	Z	Z	Z

รูป 3.4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3 Steering Circuit

วงจรนี้จะตรวจสอบสัญญาณที่เข้ามาโดยเปรียบเทียบ signal duration นั้นกับข้อมูลที่มีอยู่ การตรวจสอบนี้ทำได้โดยต่อ RC time constant ที่ภายนอก (ดูรูป) logic "1" ที่ ESt ทำให้ V_c เพิ่มขึ้น

หาก Signal condition หรือสัญญาณที่เข้ามาถูกต้อง (ESt = "1") ณ. ที่คาบเวลา t_{STP} V_c จะมีค่าเท่ากับค่าเทอเรสโฮล (V_{Tst}) ของ steering logic ของคู่ความถี่นั้นๆ แล้วแลตช์เอาท์พุต 4 bit code ดังรูปที่ ไปยัง output latch ณ. ที่จุดนี้ GT จะแอคทีฟและขับ V_c ถึงค่า VDD,GT จะมีค่า "1" ตราบเท่าที่ DSt มีค่า "1"

หลังจาก Output latch รหัส 4 bit ที่สอดคล้องกับคู่ความถี่ของ DTMF ที่เข้ามาแล้ว delayed steering output flag(StD) ก็จะเป็น "1" เป็นการยืนยันว่าคู่ความถี่ที่ได้รับมานั้นเป็นสัญญาณ DTMF ที่ถูกต้อง

หากต้องการให้ตัดสัญญาณที่สั้นเกิดไปก็อาจแปรเปลี่ยนค่า streering time constanes จากภายนอกได้

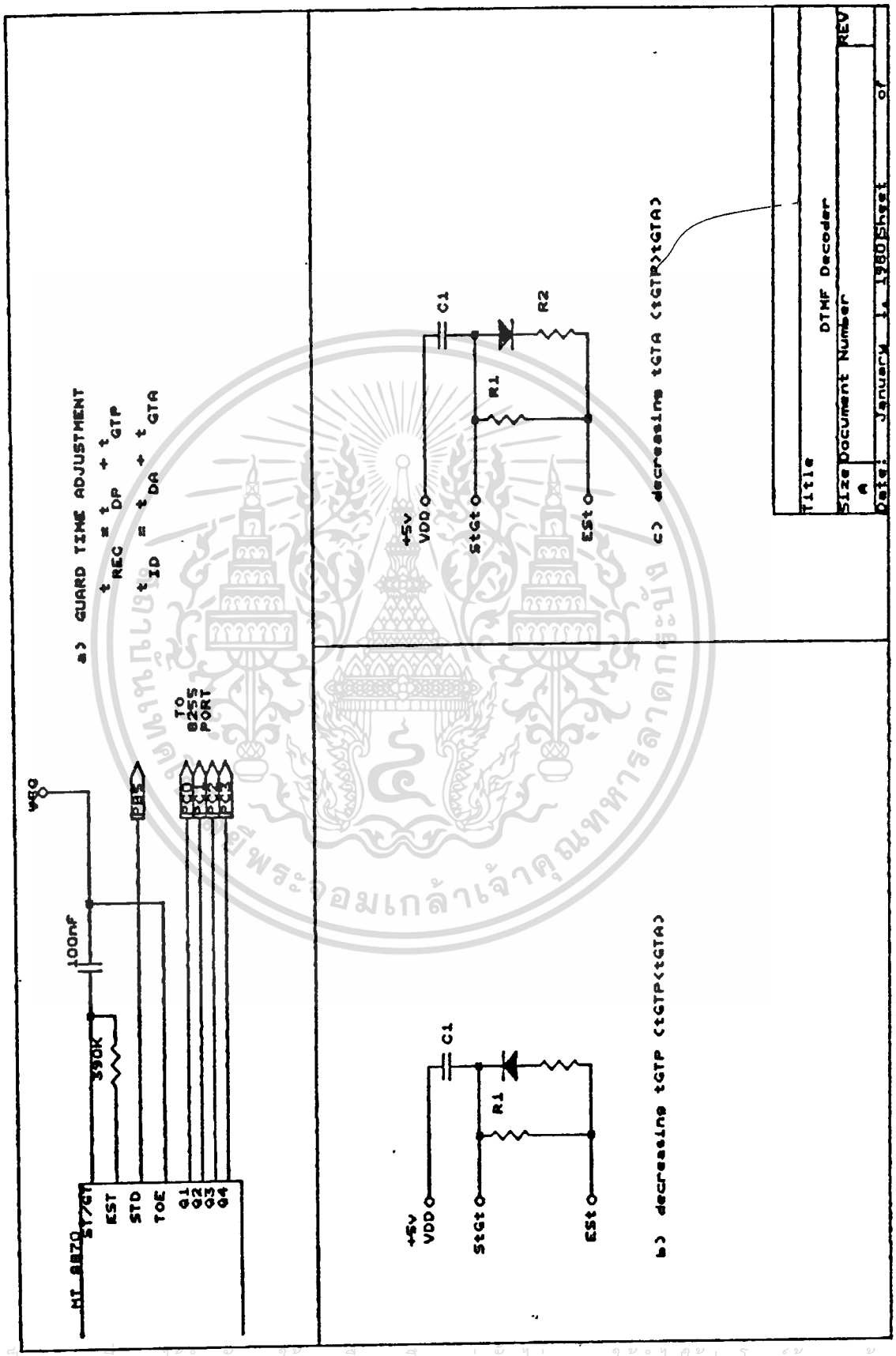
3.4 Guard Time Adjustment

ค่าของอุปกรณ์ในรูปที่ 3.5 a ถูกเลือกให้สอดคล้องกับสูตร

$$t_{REC} = t_{DP} + t_{STP}$$

$$t_{ID} = t_{DA} + t_{STA}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 3.5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ค่าของ t_{DP} คือ device parameter (ดูตาราง) และ t_{REC} เป็น signal duration ที่ต่ำที่สุดที่ตัวรับจะยอมรับได้ ค่าของ C มักใช้ 0.1uF โดยแปรเปลี่ยนที่ค่า R การเปลี่ยนค่าตรงนี้เป็นการเปลี่ยน guard times ของ tone present (t_{GTP} และ tone absent (t_{GTA} ซึ่งเป็นการตั้งระบบให้ยอมรับหรือเพิกเฉยต่อสัญญาณ

การเพิ่ม T_{REC} เป็นการปรับปรุง talk-off performance การลด T_{REC} โดยมีค่า t_{DC} มากๆ ทำให้การกำจัดสัญญาณรบกวนดีขึ้น การออกแบบ guard time adjustment แสดงไว้ดังรูปที่ 3.5

จากวงจร มีค่า VDD = 5 v.

VTst = 2.5 v.

R = 390K

C = 0.1 uF

จากสูตร $tGTA = (RC) \ln (VDD/VTst)$

$tGTA = (390*10^{3} * 0.1*10^{-6}) \ln (5/2.5)$

$= 0.27$

และ $tGTP = (RC) \ln |VDD/(VDD-VTst)|$

$tGTP = (390*10^{3} * 0.1*10^{-6}) \ln |5/(5-2.5)|$

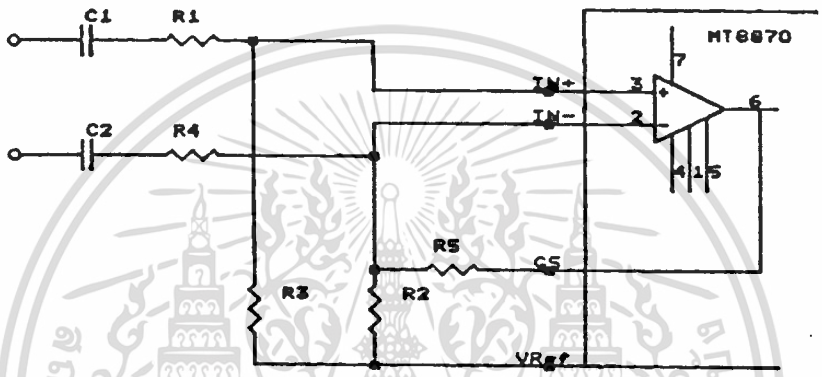
$= 0.27$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.5 Differential Input Configuretion

MT 8870 มีอินพุตเป็นวงจรขยายความแตกต่าง มีค่าไปแอส = V_{Ref} โดยมีการต่อป้อนกลับจากเอาท์พุต GS โดยค่า R_s ทำให้สามารถปรับอัตราการขยายได้

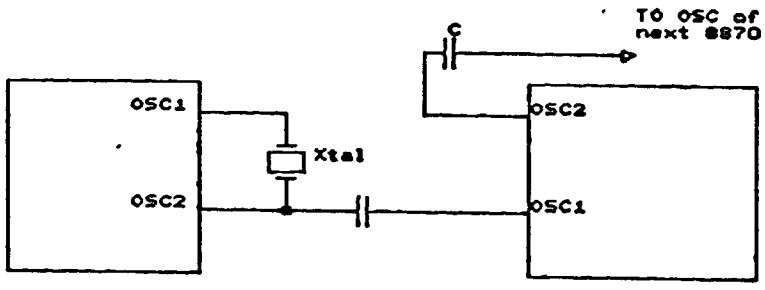
ภาคขยายความแตกต่างของ MT8870 แสดงไว้ดังรูป 3.6



รูป 3.6

3.6 Crystal OscillatorPSPB

สัญญาณ clock ภายในได้มาจาก crystal 3.58 MHz ที่ต่อจากภายนอกและต่อดังในรูปที่ 3.7 (Single Ended Input Configuretion) MT 8870 ถูกออกแบบมาให้ใช้ crystal oscillator เพียงตัวเดียว โดยเอาท์พุตของ oscillator ตัวแรกถูกคัปปลิ้งผ่าน capacitor 30 pF ไปยัง OSC_1 ของอุปกรณ์ตัวถัดไปดังรูปที่ 3.7



Oscillator Connection

รูป 3.7

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4

วงจรสังเคราะห์เสียงพูด

(SPEECH SYNTESIZER)

4.1 การทำงาน

จากวงจรในรูปที่ 4.1 แสดงการต่ออุปกรณ์ต่างๆ ของชุดสังเคราะห์เสียงพูด

ชุดสังเคราะห์เสียงพูด T6668 จะสามารถอัดเสียงต่างๆ ได้โดยผ่านทางไมค์ แล้วเข้าไปเก็บไว้ใน RAM โดยอัดได้สูงสุด 16 ช่อง และนานสุด 128 วินาทีโดยการที่ T6668 สามารถเลือกช่องที่จะเล่นหรืออัดได้โดยอิสระ เราจึงใช้ไปมารี่โค๊ดสวิทช์เป็นตัวแปลงเลือกช่องต่างๆ กัน ตามปกติเครื่องจะเริ่มที่ช่อง 0 ทุก ๆ ครั้งเนื่องจากช่องนี้สามารถเริ่มต้นได้โดยที่ไม่จำเป็นต้องมีไฟจากทางอินพุทเข้ามา ดังนั้นถ้าเราอัดเข้าในช่องนี้

เครื่องจะพูดที่ช่องนี้ติดต่อกันตลอดไปไม่มีการหยุด และทำให้ไม่สามารถรับอินพุทอื่นๆ ได้ถ้าข้อความในช่องนี้ยาวพอ

4.2 การอัดเสียง

4.2.1. ตั้งสวิทช์ SW3 ไปที่ตำแหน่ง on

4.2.2. เลือกความเร็วในการอัด ที่สวิตช์ SW4,SW5 การอัดที่ความเร็วสูงสุดจะให้เสียงได้ชัดเจนที่สุด

4.2.3. เลือกช่องที่ทำการอัดโดย SW6-SW8

4.2.4. กด SW1(start) แล้วพูดเสียงอัด

4.2.5. เมื่อพูดจนพอแล้วให้กด SW_2(stop) เพื่อหยุดทำการอัด

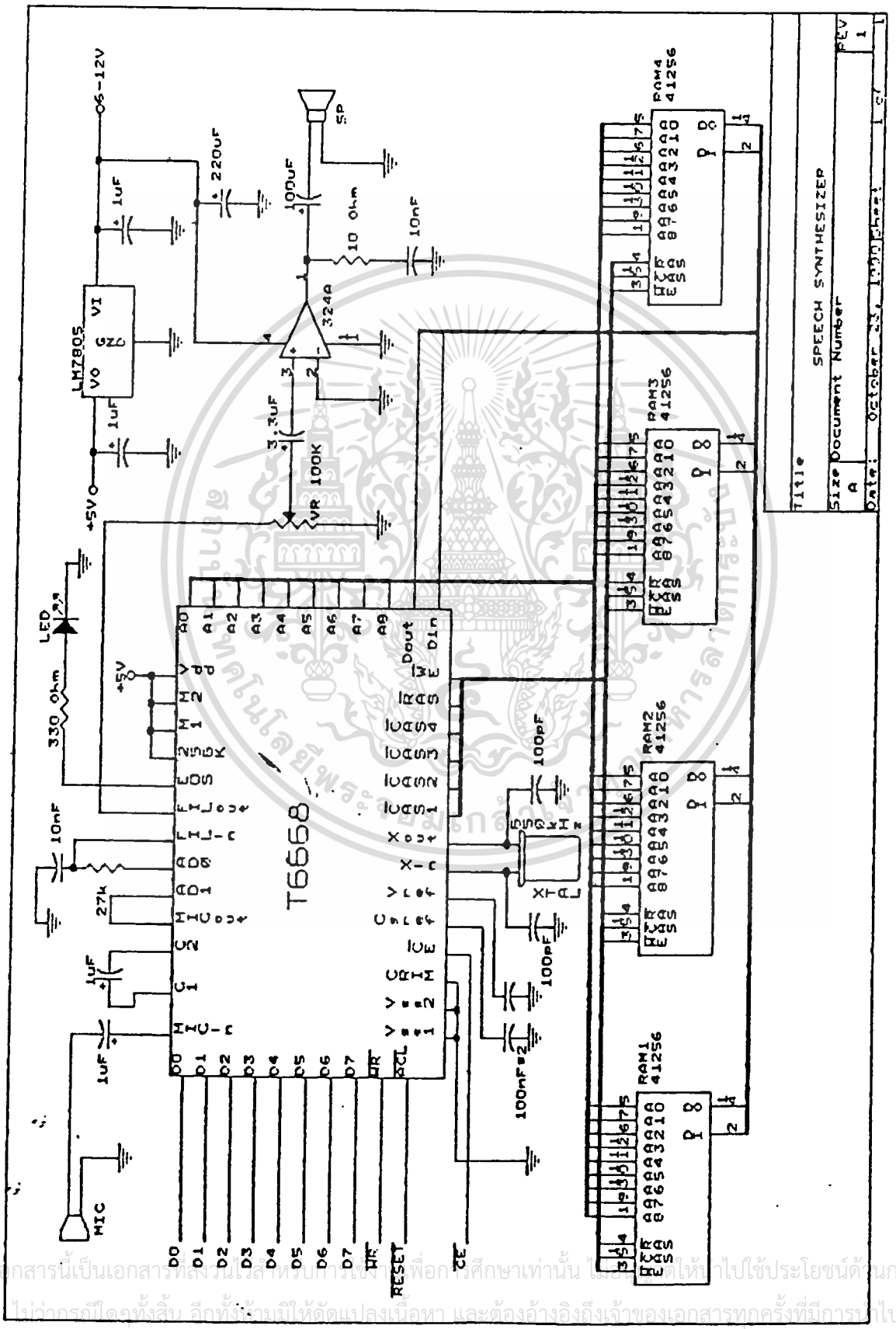
4.2.6. มาถึงตรงนี้แล้วควรทำการตรวจสอบดูว่า การอัดเข้าไปนั้นใช้ไม่ได้โดยทำดังนี้

4.2.6.1 เปลี่ยนสวิทช์อัด(SW3)ไปตำแหน่ง OFF และต่อลำโพง

4.2.6.2 กด SW1 เพื่อ start อีกครั้ง และ LED ที่ชุด T6668 จะต้องดับและมีเสียงพูดของเราที่อัดเข้าไปดังออกมา

4.2.6.3 ถ้าหาก LED ของ T6668 ดับแต่ไม่มีเสียงพูดออกมาแสดงว่าอาจมีข้อผิดพลาดในการใช้สวิทช์ต่างๆ ขอให้เปิดไปเลี้ยงเพื่อลบข้อมูลออกแล้วกลับไปเริ่มต้นข้อ 1 ใหม่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 4.1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้เพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.3 การอัดเสียงของเครื่องควบคุมอุปกรณ์ไฟฟ้าอัตโนมัติ

ทำการอัดด้วยความเร็วสูงสุด มีขั้นตอนดังนี้

1. อัดข้อความการแจ้งผู้เรียกว่ากำลังติดต่อกับเครื่องควบคุมอุปกรณ์ไฟฟ้าอัตโนมัติ ความว่า " ขณะนี้ท่านกำลังเข้าสู่การทำงานของเครื่องควบคุมโทรศัพท์อัตโนมัติ โปรดกดรหัสผ่าน " ที่ช่อง 1
2. อัดข้อความ "รหัสผ่านถูกต้อง โปรดเลือกการทำงาน" ที่ช่อง 2
3. อัดข้อความ "รหัสผ่านไม่ถูกต้อง" ที่ช่อง 3
4. อัดข้อความ "อุปกรณ์เปิด" ที่ช่อง 4
5. อัดข้อความ "อุปกรณ์ปิด" ที่ช่อง 5

ซึ่ง CPU จะเป็นผู้เรียกใช้ข้อความเหล่านี้ตามความเหมาะสม

ตาราง 4.1 แสดงการตั้งสวิตช์เลือกช่อง

และ ตาราง 4.2 แสดงการตั้งค่าเลือกความเร็วในการอัด

D_0	D_1	D_2	D_3	ช่องที่
0	0	0	0	1
0	0	0	1	2
0	0	1	0	3
0	0	1	1	4
0	1	0	0	5
0	1	0	1	6
0	1	1	0	7
0	1	1	1	8
1	0	0	0	9
1	0	0	1	10
1	0	1	0	11
1	0	1	1	12
1	1	0	0	13
1	1	0	1	14
1	1	1	0	15
1	1	1	1	16

ตาราง 4.1

KBPS	D_7	D_6
8	0	0
11	0	1
16	1	0
32	1	1

ตาราง 4.2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5

วงจรควบคุมอุปกรณ์เอาท์พุต

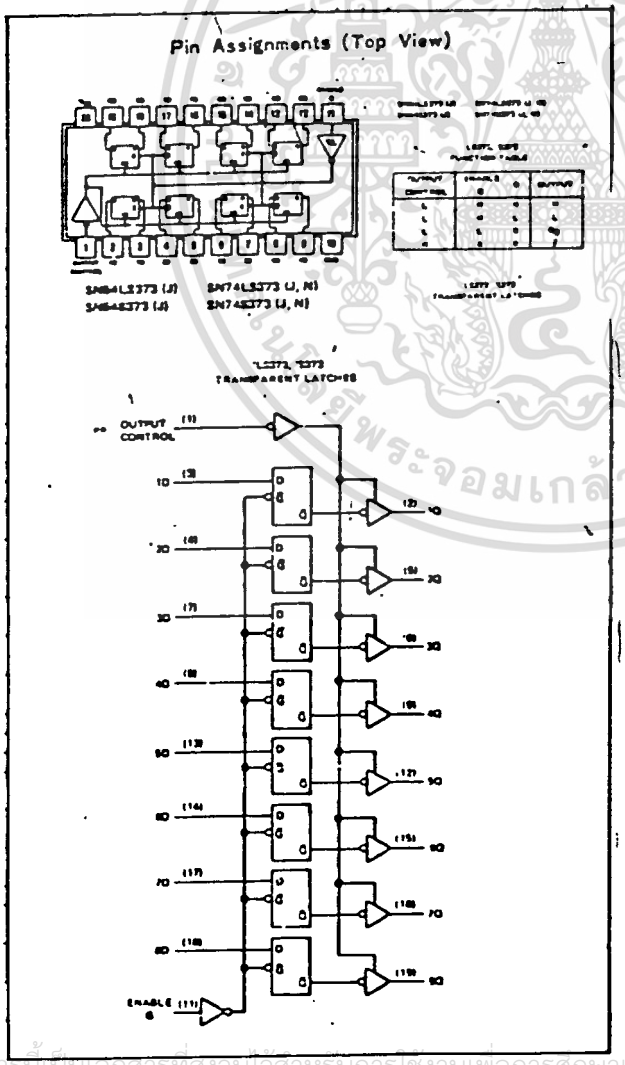
(OUTPUT CONTROL CIRCUIT)

จากรูป 5.1

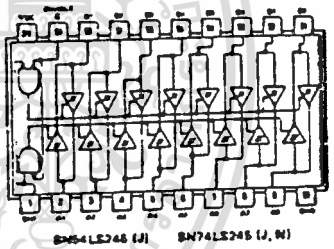
วงจรในส่วนนี้คือการรับสัญญาณจาก CPU มาขับเอาท์พุตของระบบ (Relays) ส่วนประกอบที่สำคัญคือ 74LS245 OCTAL BUS TRANSCEIVER 3-STATE รับข้อมูล D0-D7 จาก CPU จากนั้นจึงส่งให้กับภาคขับ LED display แสดงสภาวะของเอาท์พุตทั้ง 8 โดยมี 74LS273 OCTAL D-TYPE FLIP-FLOP WITH CLEAR ทำหน้าที่นี้

หลังจากนั้น ก็ส่งผ่านไปยัง ULN2003 ขับแรงดันที่ได้ให้เป็น 12v. drive ไปยัง relays ทั้ง 8 ชุด

LS373 และ LS245 มีฟังก์ชั่นการทำงานดังรูป 5.2 และ 5.3

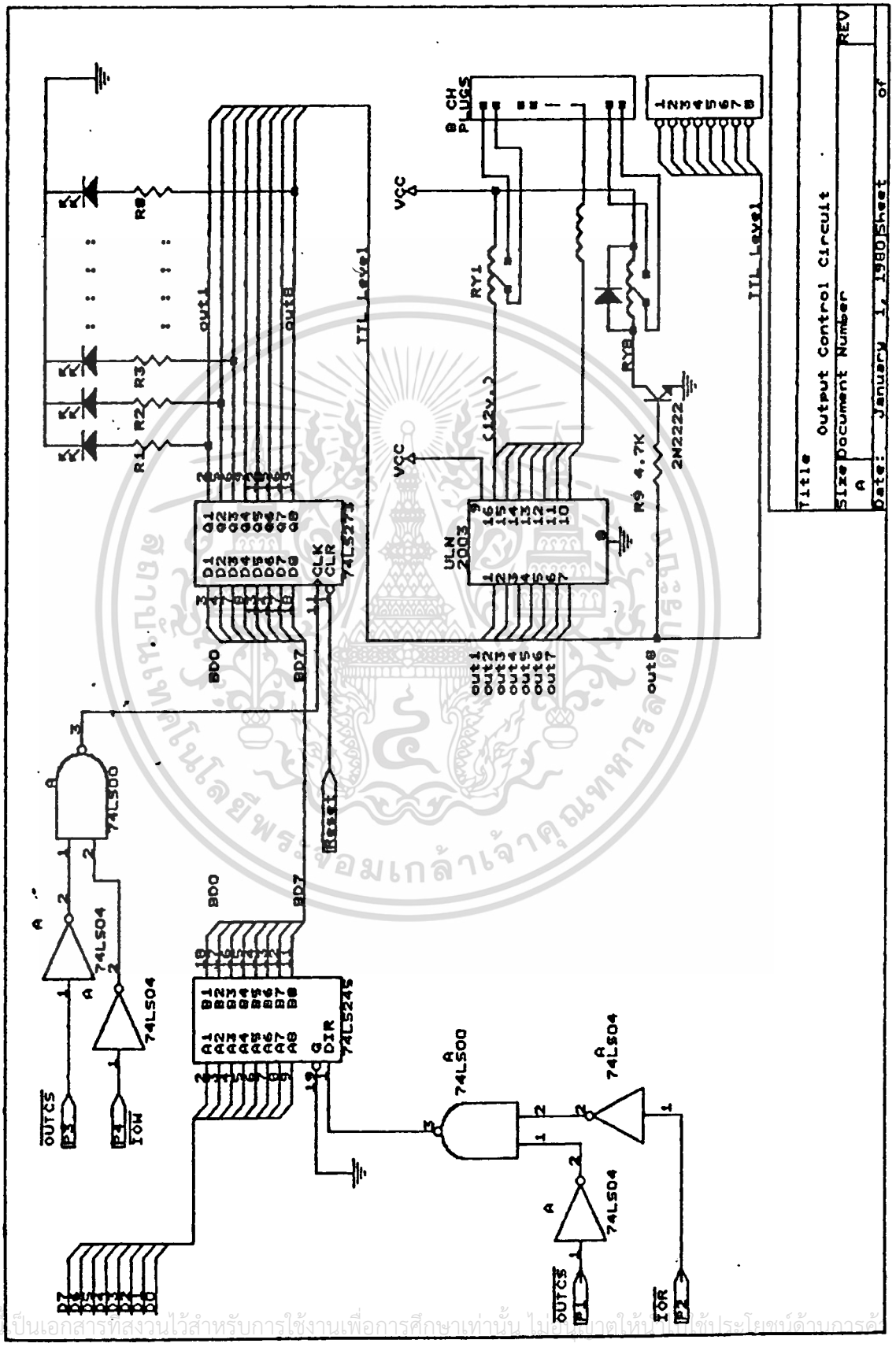


รูป 5.2



รูป 5.3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 5.1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

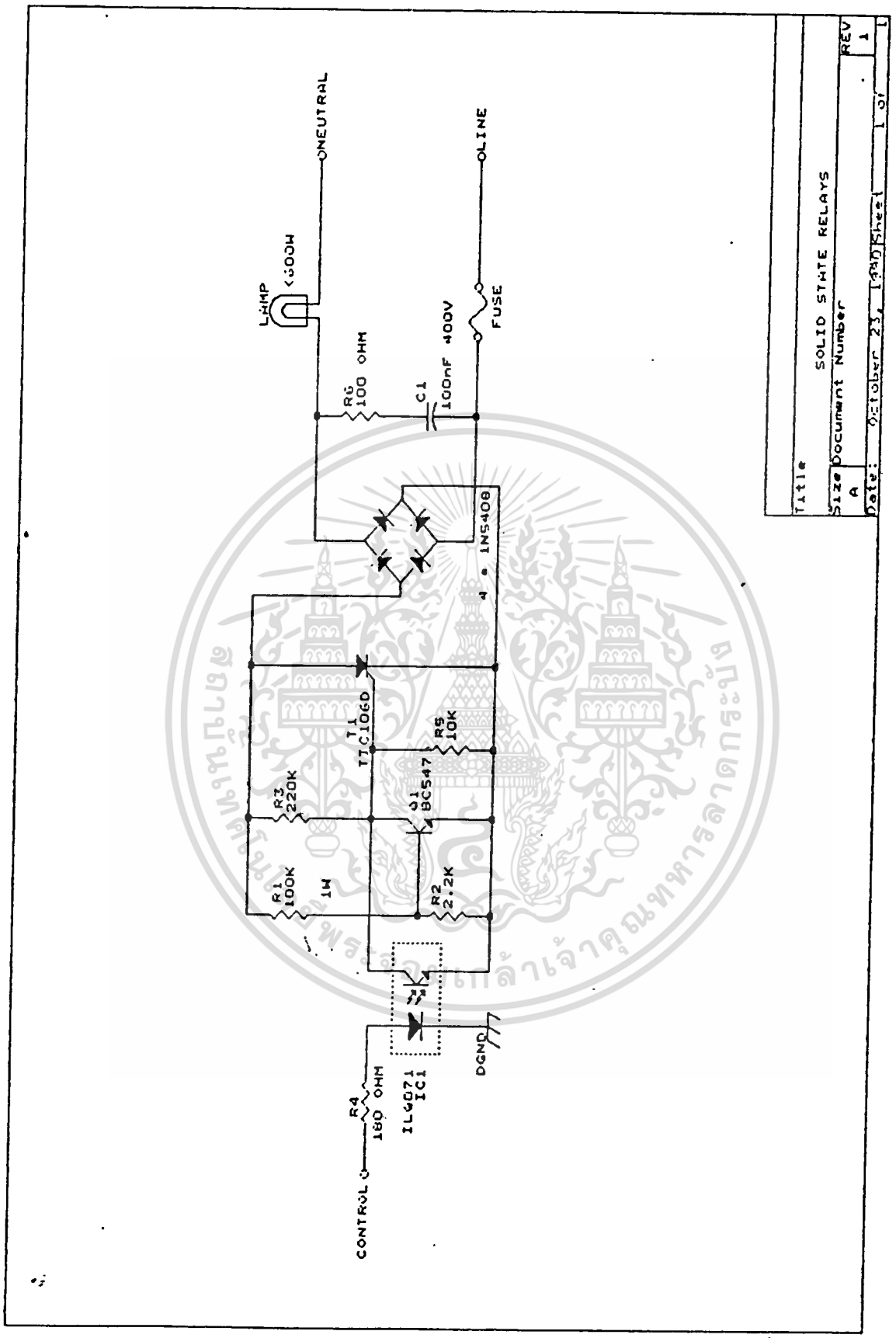
บทที่ 6
รีเลย์
RELAYS

Relays ในเครื่องควบคุมอุปกรณ์ไฟฟ้าเครื่องนี้ ใช้Relays 12v. 3A. 7 ช่อง อีกช่องหนึ่งเป็น Solid State Relays เนื่องจากการใช้งานทั่วไปของอุปกรณ์ไฟฟ้าภายในบ้าน อันเป็นจุดประสงค์ของเครื่อง โดยทั่วไปแล้วไม่เกิน 3 A.

อย่างไรก็ตาม อาจมีการเปลี่ยนแปลงได้โดยเปลี่ยน Relays ตัวใหม่ได้สะดวกจากตัวเครื่องที่ทำไว้ให้ง่ายต่อการ Replace

วงจร Solid State Relay แสดงได้ดังรูปที่ 6.1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 6.1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 7

8255 PIA

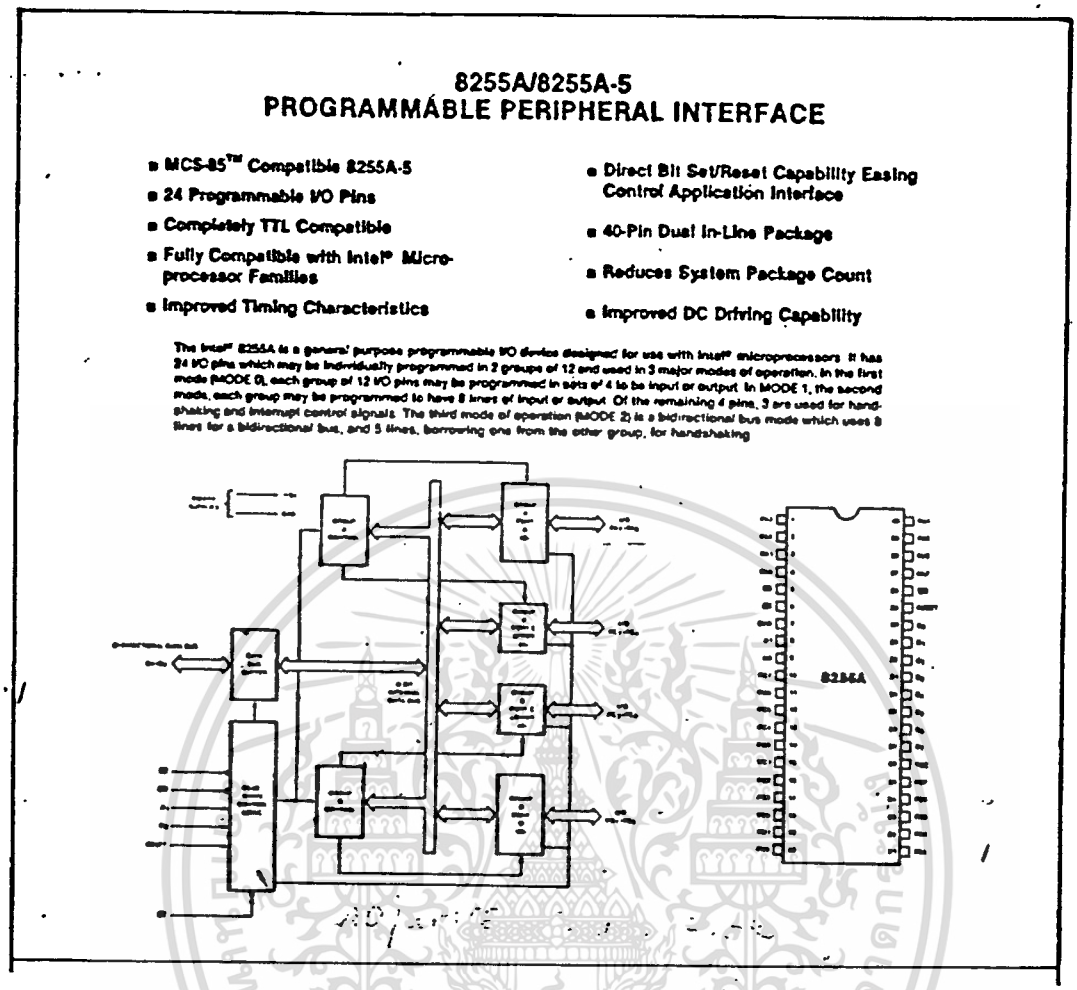
(Programmable Interface Adapter)

7.1 รายละเอียดเกี่ยวกับ 8255

8255 เป็นอุปกรณ์ LSI(Large Scale Integrated Circuit) บรรจุอยู่ใน Package 40 ขาแบบ DIP(Dual In Line Package) ผลิตโดยบริษัท INTEL สามารถประยุกต์ใช้งานได้กับไมโครโปรเซสเซอร์เบอร์ต่างๆ รวมทั้ง Z80 CPU ของโครงงานนี้ด้วย

รูป 7.1 แสดงบล็อกไดอะแกรม 8255 ซึ่งหน้าที่ของแต่ละบล็อกมีดังต่อไปนี้คือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



8255A/8255A-5
PROGRAMMABLE PERIPHERAL INTERFACE

- MCS-85™ Compatible 8255A-5
- 24 Programmable I/O Pins
- Completely TTL Compatible
- Fully Compatible with Intel® Microprocessor Families
- Improved Timing Characteristics
- Direct Bit Set/Reset Capability Easing Control Application Interface
- 40-Pin Dual In-Line Package
- Reduces System Package Count
- Improved DC Driving Capability

The Intel® 8255A is a general purpose programmable I/O device designed for use with Intel® microprocessors. It has 24 I/O pins which may be individually programmed in 2 groups of 12 and used in 3 major modes of operation. In the first mode (MODE 0), each group of 12 I/O pins may be programmed in sets of 4 to be input or output. In MODE 1, the second mode, each group may be programmed to have 8 lines of input or output. Of the remaining 4 pins, 3 are used for handshaking and interrupt control signals. The third mode of operation (MODE 2) is a bidirectional bus mode which uses 8 lines for a bidirectional bus, and 5 lines, borrowing one from the other group, for handshaking.

รูปที่ 7.1 แสดงบล็อกไดอะแกรมและการวางตำแหน่งขาของ 8255.

บล็อกกลุ่มแรกที่เราจะพูดถึงนี้ได้แก่ บล็อกจำนวน 4 บล็อก ที่อยู่ทางด้านขวาของรูป ซึ่งจะเป็นส่วนที่เชื่อมต่อกับอุปกรณ์ภายนอกอื่นๆ โดยมีสาย PA0-PA7, PB0-PB7 เป็นทางผ่านของข้อมูลระหว่างอุปกรณ์ภายนอกกับ 8255 สายสัญญาณเหล่านี้จะถูกแบ่งออกเป็น 3I/O พอร์ทได้แก่พอร์ท A(PA), พอร์ท B (PB) และพอร์ท C (PC) พอร์ทเหล่านี้แต่ละพอร์ทสามารถเป็นได้ทั้งพอร์ทอินพุทและเอาท์พุท และแต่ละบล็อกจะมีสายสัญญาณเชื่อมเข้ากับบัสข้อมูลภายในของ 8255.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บล็อกกลุ่มถัดมาได้แก่ GROUP A CONTROL และ GROUP B CONTROL ซึ่งจะเป็นตัวกำหนดลักษณะการทำงานของทั้ง 3I/O พอร์ท (8255 มีลักษณะการทำงานที่แตกต่างกันอยู่ 3 โหมด สามารถกำหนดได้โดยการโปรแกรมส่ง CONTROL WORD ให้กับ 8255 ซึ่งจะกล่าวถึงในภายหลัง) จากรูป 7.1 จะเห็นว่า พอร์ท C นี้จะประกอบด้วยพอร์ทขนาด 4 บิท 2 พอร์ท กลุ่มหนึ่งจะถูกควบคุมโดย GROUP A CONTROL และอีกกลุ่มหนึ่งจะถูกควบคุมโดย GROUP B CONTROL สำหรับเหตุผลนั้นจะกล่าวถึงในภายหลัง

บล็อกกลุ่มสุดท้ายที่จะกล่าวถึงได้แก่ DATA BUS BUFFER และ READ/WRITE CONTROL LOGIC ซึ่งบล็อกเหล่านี้จะเป็นส่วนที่ติดต่อกับ CPU, DATA BUS BUFFER นี้จะเป็นบัฟเฟอร์ให้กับบัสข้อมูลของ CPU ส่วน READ/WRITE CONTROL LOGIC จะเป็นส่วนที่ควบคุมให้ข้อมูลเข้าหรือออกจากรีจิสเตอร์ภายใน ตัวที่ถูกต้อง และในเวลาที่เหมาะสม

7.2 รายละเอียดการจัดเรียงขาของ 8255.

ในส่วนนี้เราจะพิจารณาหน้าที่ของขาแต่ละขาของ 8255 ซึ่งข้อมูลเหล่านี้จะมีประโยชน์ในการเชื่อมต่อเข้ากับระบบบัสของ CPU สำหรับการจัดขาแสดงไว้ในรูปที่ 7.1 รายละเอียดของแต่ละขามีดังนี้คือ

D0-D7 : เป็นสายข้อมูลอินพุท/เอาท์พุทแบบสองทิศทาง (BI-DIRECTIONAL BUS) จะเป็นทางผ่านข้อมูลระหว่างพอร์ทต่างๆ ของ 8255 กับบัสข้อมูลของ Z80

CS (CHIP SELECT INPUT) : เมื่อขานี้มีสถานะลอจิกเป็น "0" CPU จะสามารถที่จะอ่านหรือเขียนข้อมูลกับ 8255 ได้

RD (READ INPUT : เมื่อขานี้มีสถานะลอจิกเป็น "0" และสัญญาณ CS มีลอจิกเป็น "0" ข้อมูลจาก 8255 จะปรากฏสู่ระบบบัสข้อมูล CPU ก็จะสามารถอ่านข้อมูลออกไปได้ (ในการตั้งชื่อของขาสัญญาณนี้จะถือเอา CPU เป็นหลัก)

WR (WRITE INPUT) : เมื่อขานี้มีสถานะลอจิกเป็น "0" และขาสัญญาณ CS มีลอจิกเป็น "0" ข้อมูลจากระบบบัสข้อมูลจะถูกเขียนไปยัง 8255 ได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

WR (WRITE INPUT) : เมื่อขานี้มีสถานะลอจิกเป็น "0" และขาสัญญาณ CS มีลอจิกเป็น "0" ข้อมูลจากระบบบัสข้อมูลจะถูกเขียนเข้าไปยัง 8255 ได้

AO-AI (ADDRESS INPUT) : จะเป็นตัวกำหนดการเลือกใช้รีจีสเตอร์ภายในของ 8255 ซึ่งจะกล่าวรายละเอียดในภายหลัง

RESET : เมื่อขานี้มีสถานะเป็น "1" 8255 จะอยู่ในสภาวะรีเซ็ททุกๆพอร์ทของ 8255 จะถูกเซ็ทให้อยู่ในโหมดอินพุท

PAO-PA7-,PBO-PB7 : ขาสัญญาณเหล่านี้จะถูกใช้เป็นพอร์ท I/O ขนาด 8 บิท ใช้ต่อเข้ากับอุปกรณ์ภายนอกอื่นๆ

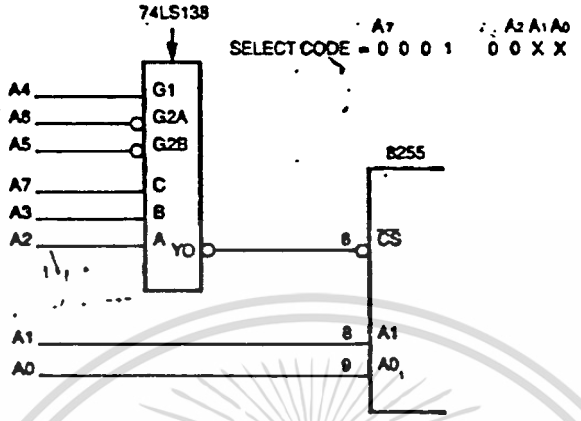
PCO-PC7 : ขาสัญญาณนี้ถูกใช้เป็นพอร์ท I/O ขนาด 8 บิท เช่นเดียวกับ PAO-PA7 และ PBO-PB7 แต่กลุ่มของขาสัญญาณเหล่านี้สามารถแบ่งออกเป็น 2 กลุ่ม โดยแต่ละกลุ่มมีขนาด 4 บิทได้ กลุ่มแรกจะใช้ควบคุม PBO-PB7 และกลุ่มที่ 2 ใช้ควบคุม PAO-PA7 (ซึ่งจะกล่าวถึงรายละเอียดในภายหลัง)

7.3 การต่อ 8255 เข้ากับ Z80.

ในการต่อ 8255 เข้ากับระบบของ Z80 นั้น สัญญาณต่างๆ ที่เกิดขึ้นจะเหมือนกับขบวนการติดต่อกับ I/O ดังที่เคยกล่าวมาแล้วในบทที่ 3 โดยจะต้องเอาสัญญาณ AO-A7 จาก Z80 มาถอดรหัสเพื่อสร้างสัญญาณเลือกพอร์ท ใช้ 8b:f ล่าง แต่เนื่องจาก 8255 มีขา ADDRESS INPUT อยู่แล้ว 2 ขา (AO,A1) ซึ่งโดยปกติแล้วขา AO,A1 นี้จะต่อเข้าโดยตรงกับ AO,A1 จากบัสแอดเดรส นั่นคือ 8255 หนึ่งตัวจะใช้ค่าพอร์ทแอดเดรสถึง 4 ค่า (2^2) ส่วนสัญญาณอีก 6 เส้น (A2-A7) จะนำไปถอดรหัสเพื่อทำสัญญาณเลือกชิพ (CHIP SELECT) ให้แก่ 8255.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในที่นี้เราจะสมมติให้ 8255 มีพอร์ทแอดเดรสอยู่ที่ 10H, 11H, 12H และ 13H ซึ่งวิธีหนึ่งที่สามารถจะถอดรหัสพอร์ทเหล่านี้ได้ แสดงไว้ในรูป 7.2

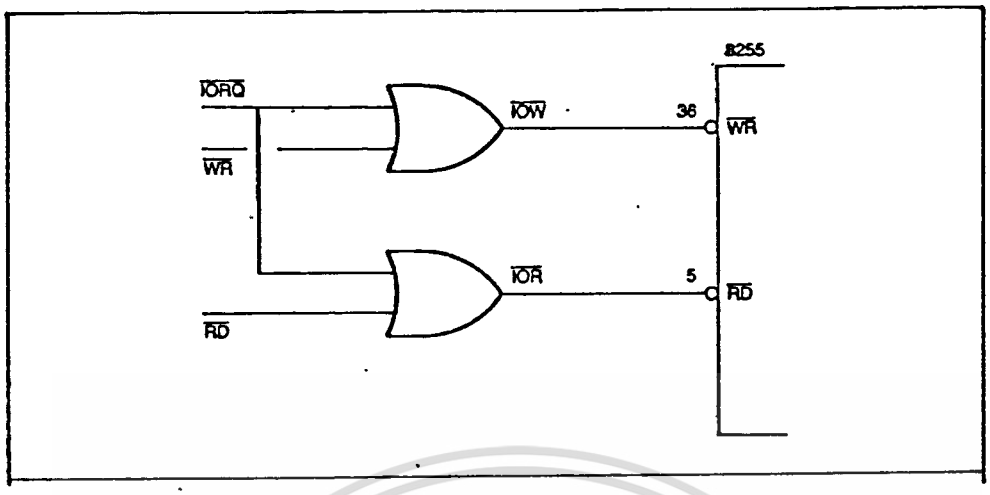


จากรูปที่ 7.2 แสดงผังวงจรการถอดรหัสการเลือกพอร์ทที่ติดต่อกับ 8255.

จากรูปที่ 7.2 นี้ จะเห็นว่าขาอินพุท CS จะแอคทีฟก็ต่อเมื่อ A7-A2 มีเท่ากับ 000100xxB (2 บิทล่างจะใช้เมื่อเลือกใช้รีจิสเตอร์ภายใน 4 ตัว)

ขั้นต่อไปที่เราจะต้องทำคือ การต่อขา RD และ WR ของ 8255 เข้ากับสัญญาณควบคุม IOR และ IOW ของระบบ การที่เราไม่ต่อขา RD และ WR เข้าโดยตรง เพราะในตัวอย่างวิธีการถอดรหัสของเรานี้ อาจจะเกิดกรณีที่ A7-A0 มีค่าตรงกับ 000100XXB ซึ่งจะทำให้เกิดการอ่านหรือเขียนข้อมูลกับ 8255 โดยไม่ต้องการได้ ในการแก้ปัญหานี้เราจึงใช้สัญญาณ IORQ จาก CPU มาทำเป็นสัญญาณ IOR และ IOW เพื่อแยกว่าเป็นการติดต่อกับ I/O ไม่ใช่หน่วยความจำ ดังแสดงในรูป 7.3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 7.3

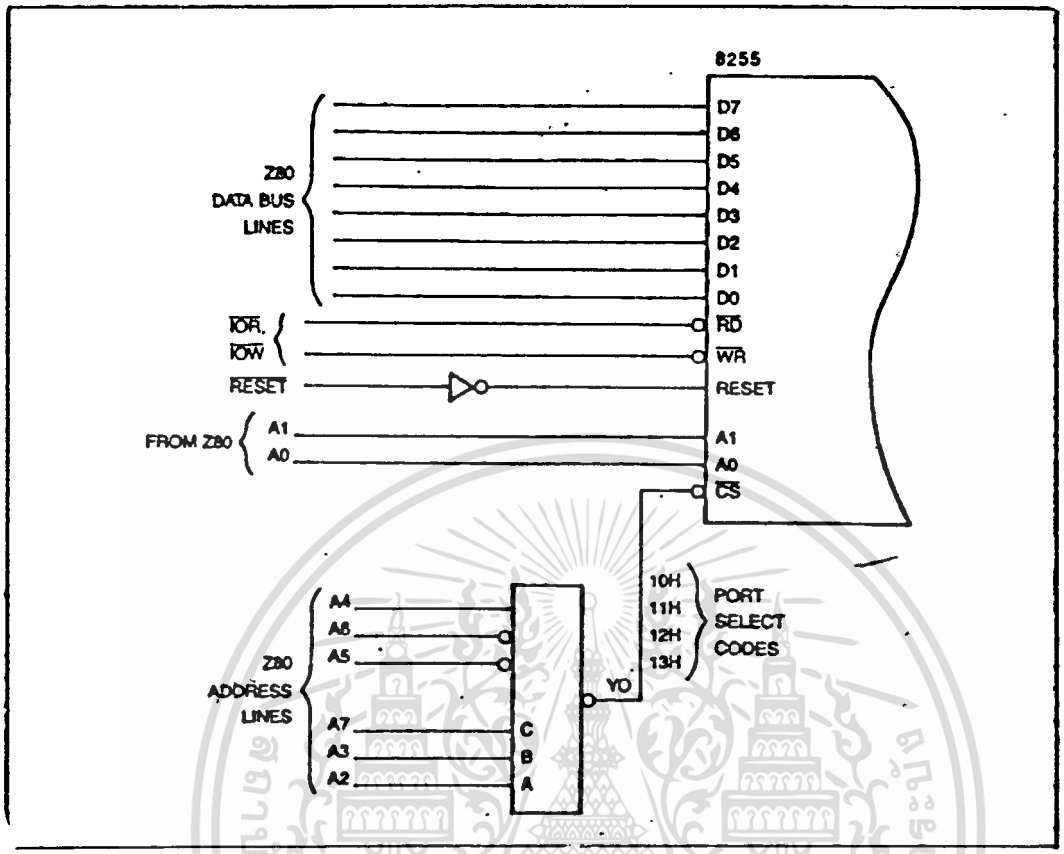
ในการต่อขา RESET ของ 8255 ซึ่งจะแอคทีฟที่ลอจิก "1" เข้ากับขา RESET ของ Z80 ซึ่งแอคทีฟที่ลอจิก "0" นั่นจะต้อง INVERTER คั่นกลางเสียก่อน

ในการต่อสายข้อมูล D0-D7 ของ 8255 เข้ากับระบบบัสข้อมูลของระบบเรา จะสมมติว่าไม่มีการโหลดบนบัสข้อมูล ดังนั้นเราจึงสามารถต่อสายสัญญาณเหล่านี้เข้าโดยตรงกับระบบบัสข้อมูล ดังแสดงวงจรสมบูรณ์ของการเชื่อมต่อ 8255 เข้ากับระบบของ Z80 ในรูป 7.4

7.4 8255 READ และ WRITE REGISTER

ขณะนี้เราได้ทำการต่อ 8255 เข้ากับระบบของ Z80 แล้ว ต่อไปเราจะศึกษาการโปรแกรมใช้งาน 8255 เพื่อที่จะให้ทำงานตามที่เราต้องการได้ จะเริ่มต้นพิจารณาที่รีจิสเตอร์ภายใน 4 ตัว ของ 8255 สำหรับในตัวอย่างการถอดรหัสของเรานี้ ตำแหน่งของรีจิสเตอร์จะอยู่ที่แอดเดรส 10H, 11H, 12H และ 13H ซึ่งรายละเอียดของรีจิสเตอร์เหล่านี้มีดังนี้คือ

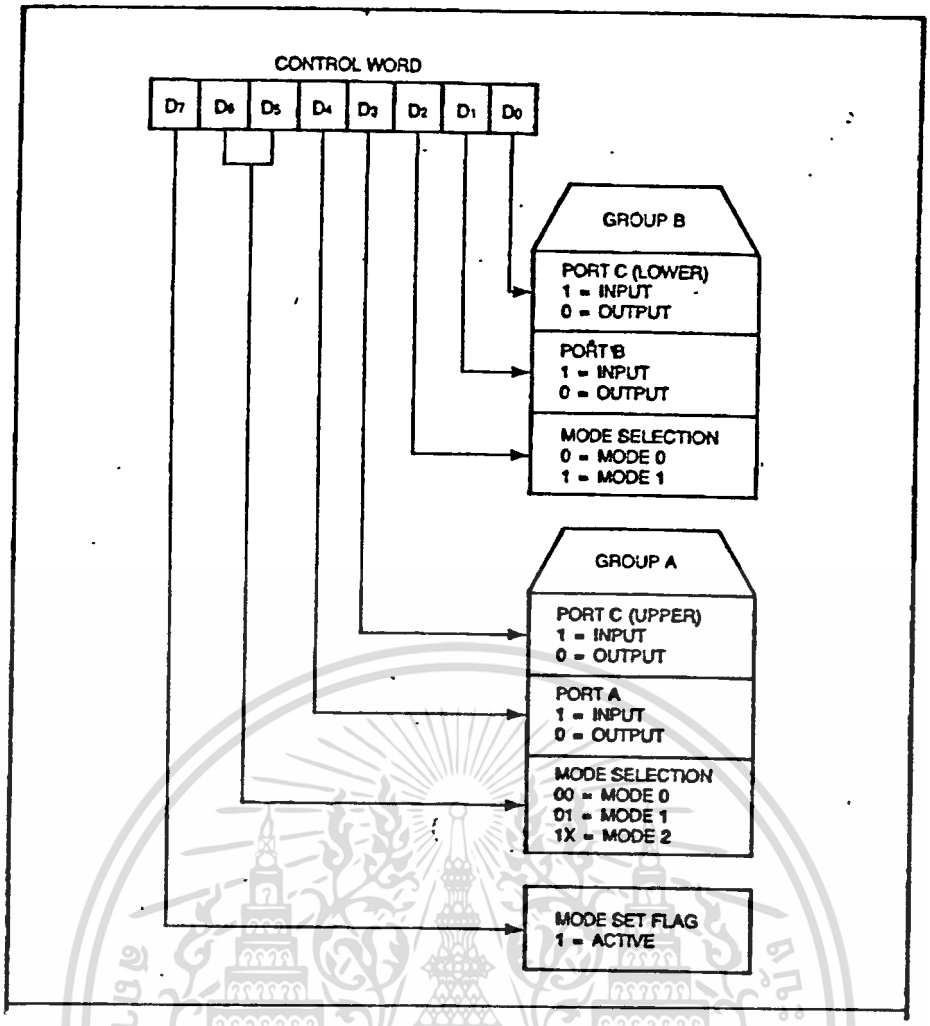
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 7.4

หน้าที่ของรีจิสเตอร์หมายเลข 0-2 จะถูกกำหนดลักษณะการทำงานจากรีจิสเตอร์หมายเลข 3 (รีจิสเตอร์ควบคุม) รูปที่ 7.5 จะแสดงรายละเอียดของแต่ละบิทของรีจิสเตอร์ควบคุมนี้ต่อไปเราจะกล่าวถึงลักษณะการทำงานของ 8255 ทั้ง 3 โหมด และการโปรแกรมให้อยู่ในโหมดต่างๆ ได้ดังต่อไปนี้คือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 7.5 แสดงรายละเอียดแต่ละบิทของรีจิสเตอร์ควบคุมของ 8255

7.5 โหมด 0 : BASIC REGISTER I/O

ในการเซ็ท 8255 ให้อยู่ในโหมด 0 นั้นเราจะต้องส่งคำสั่งควบคุม (CONTROL WORD) ให้แก่รีจิสเตอร์ควบคุมก่อน คำสั่งควบคุมนี้จะกำหนดลักษณะการทำงานให้แก่แต่ละพอร์ทของ 8255 ตัวอย่างหนึ่งของคำสั่งควบคุมที่จะสั่งให้ 8255 ทำงานอยู่ในโหมด 0 นี้ได้แก่

D7	D6	D5	D4	D3	D2	D1	DO
1	0	0	0	0	0	0	0

จากรูปที่ 7.5 เราจะเห็นว่า

บิท D7 เป็นตัวกำหนดว่าเป็นคำสั่งควบคุม (CONTROL WORD)

บิท D6 และ D5 กำหนดโหมดการทำงานของ พอร์ท A D6, D5 มีค่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เป็น "0" แสดงว่าอยู่ในโหมด 0

บิท D4 = "0" กำหนดให้ พอร์ท A เป็นพอร์ทเอาท์พุท

บิท D3 = "0" เซ็ทพอร์ท C4 บิทบนเป็นพอร์ทเอาท์พุท

บิท D2 = "0" เซ็ทโหมดของพอร์ท B ให้พอร์ท B อยู่ในโหมด 0

บิท D1 = "0" เซ็ทพอร์ท B เป็นพอร์ทเอาท์พุท

บิท D0 = "0" เซ็ทพอร์ท C ให้ 4 บิทล่างเป็นพอร์ทเอาท์พุท

คำสั่งควบคุมนี้จะกำหนดให้พอร์ททั้ง 3 ของ 8255 ทำงานอยู่ในโหมด 0 และเป็นพอร์ทเอาท์พุทซึ่งได้สายสัญญาณซึ่งสามารถติดต่อกับอุปกรณ์ภายนอกได้ถึง 24 สาย คำสั่งของ Z80 ที่จะเซ็ทให้ 8255 อยู่ในลักษณะดังกล่าวได้แก่

```
LD A, 80H     :  เซ็ทคำสั่งควบคุม
OUT (13),A    :  ส่งคำสั่งควบคุมให้ 8255
```

เมื่อ Z80 ทำการ EXECUTE คำสั่งข้างต้นแล้ว 8255 จะถูกเซ็ทให้พอร์ททุกพอร์ท เป็นพอร์ทเอาท์พุท และอยู่ในโหมด 0 เราจะสามารถส่งข้อมูลออกไปยังพอร์ทต่างๆ ได้ด้วยคำสั่ง out ของ Z80 ตัวอย่างเช่น เราต้องการส่ง 23H ไปยังพอร์ท A,41H ไปยังพอร์ท B และ 73H ไปยังพอร์ท C เราจะต้องให้ Z80 ทำตามโปรแกรมลักษณะดังนี้

```
LD A, 32H          : เซ็ทข้อมูลให้พอร์ท A
OUT (10H),A        : ส่งข้อมูลให้พอร์ท A
LD A, 41H          : เซ็ทข้อมูลให้พอร์ท B
OUT (11H), A       : ส่งข้อมูลให้พอร์ท B
LD A, 73H          : เซ็ทข้อมูลให้พอร์ท C
OUT (12H), A       : ส่งข้อมูลให้พอร์ท C
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

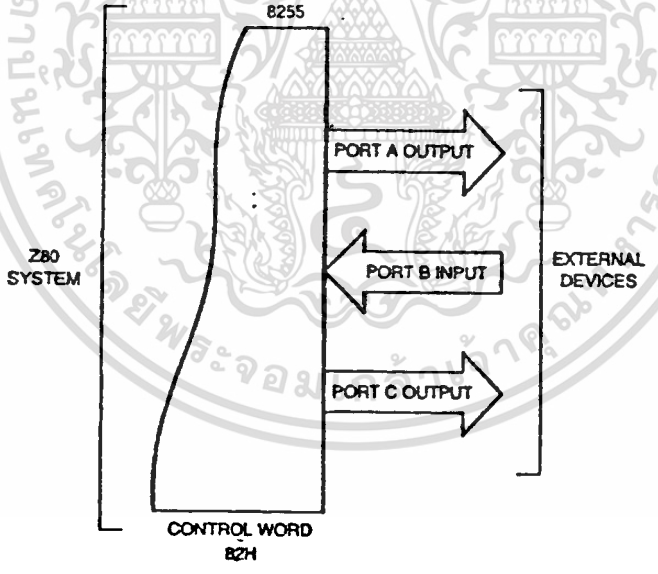
หลังจากที่คำสั่งเหล่านี้ถูก EXECUTE แล้วพอร์ท A,B และ C ของ 8255 จะมีข้อมูลต่างๆ ที่ส่งไปให้ปรากฏอยู่

ในการทำงานโหมด 0 ของ 8255 นี้อาจจะสั่งให้พอร์ทของ 8255 เป็นอินพุทก็ได้อย่างเช่นให้พอร์ท A และพอร์ท C เป็นพอร์ทเอาท์พุทและพอร์ท B เป็นพอร์ท B เป็นพอร์ทอินพุท เราจะต้องส่งคำสั่งควบคุมให้แก่รีจิสเตอร์ควบคุมในลักษณะดังนี้คือ

D7	D6	D5	D4	D3	D2	D1	DO
1	0	0	0	0	0	1	0

หลังจากที่ส่งคำสั่งควบคุมให้แก่รีจิสเตอร์ควบคุมแล้ว 8255 จะถูกเซ็ทให้มีลักษณะการทำงานดังรูป 7.6 เราจะใช้คำสั่ง IN อ่านข้อมูลมาจากพอร์ท B ได้

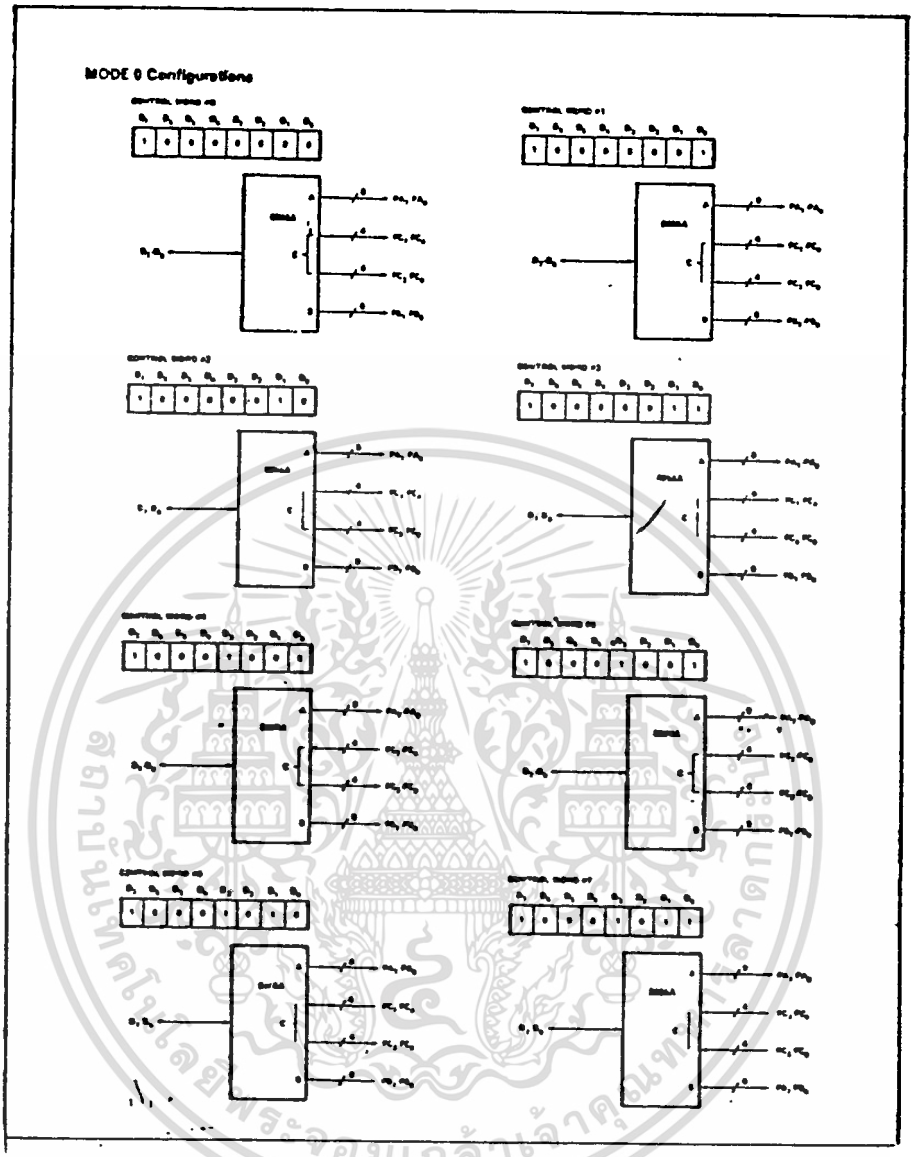
IN A, (11H) : อ่านข้อมูลจากพอร์ท B



รูปที่ 7.6 : บล็อกไดอะแกรมแสดงลักษณะการทำงานของ 8255 ในโหมด 0 หลังจากส่งคำสั่งควบคุมให้ 8255 แล้ว

ลักษณะการทำงานของพอร์ทต่างๆ ที่สารถกำหนดได้ในโหมด 0 แสดงไว้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



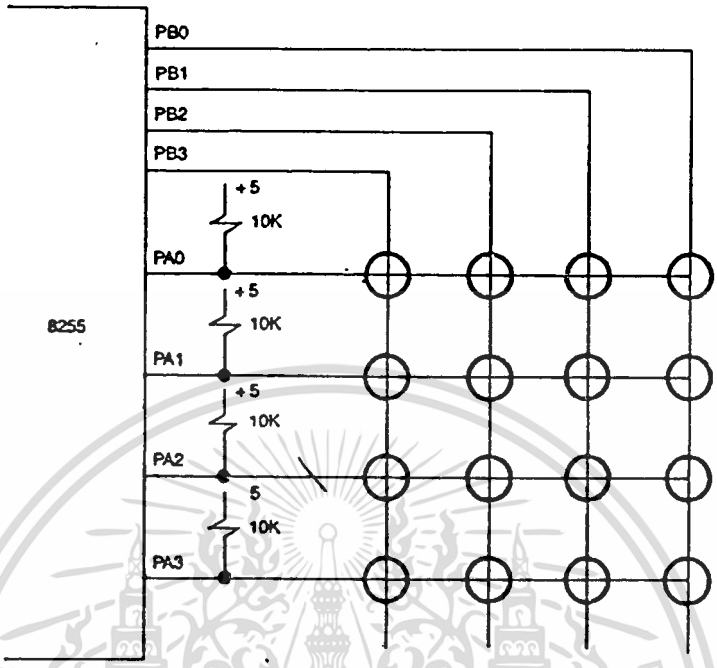
รูป 7.7

7.6 ตัวอย่างการใช้งาน 8255 ในโหมด 0

ตัวอย่างที่จะกล่าวถึงนี้เป็นการเชื่อมต่อ (INTERFACE) คีย์บอร์ดเข้ากับระบบของ Z80 ไมโครโปรเซสเซอร์ คีย์บอร์ดที่เราจะพิจารณาถึงนี้ประกอบด้วยสวิทช์แบบกดติดปล่อยดับ SPST (SINGLE POLE, SINGLE THROW) จัดอยู่ในลักษณะของแมททริกซ์

เอกสารนี้ใช้เพื่อการศึกษาเท่านั้น ไม่อนุญาตให้ทำซ้ำ ดัดแปลง เผยแพร่ หรือใช้เพื่อการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

(MATRIX) ขนาด 4x4 ดังแสดงในรูป 7.8 เราจะมาพิจารณารายละเอียดของการทำงานดังต่อไปนี้



รูป 7.8

โดยนำเอา PB0-PB3 ของพอร์ท B ซึ่งเป็นพอร์ทเอาท์พุท ไปต่อเข้ากับแนวคอลัมน์ (COLUMN) ของคีย์บอร์ด และนำเอา PA0-PA3 ของพอร์ท A ซึ่งเป็นพอร์ทอินพุทต่อเข้ากับแนวโรว (ROW) ของคีย์บอร์ด และทุกๆ บิทของพอร์ท A ที่ต่อเข้ากับแนวโรวจะต้องต่อความต้านทานขนาด 10K กับไฟบวกไว้ (PULL UP) ในการตรวจสอบการกดคีย์บอร์ดของเรานี้จะให้พอร์ท B สแกนลอจิก "0" ทีละบิทดังนี้

XXXX1110 -> XXXX1101 -> XXXX1011 -> XXXX0111 ->

XXXX1110 -> .....

ก่อนที่จะมีการเปลี่ยนค่าข้อมูลเอาท์พุทของพอร์ท B พอร์ท A ก็จะทำการอ่านข้อมูลเข้ามาถ้าไม่มีการกดคีย์บอร์ดแล้วค่าที่ได้จากการอ่านจากพอร์ท A จะมี 4 บิทล่าง (PA0-PA3) เป็นลอจิก "1" หมด ทั้งนี้เพราะมีความต้านทานดึงขึ้นไฟบวกอยู่แต่ถ้ามีการกดคีย์บอร์ดคีย์หนึ่งแล้วข้อมูลที่อ่านได้จะไม่มีค่าเป็น "1" หมดจะต้องมีบิทใดบิทหนึ่งมีลอจิกเป็น "0" ทั้งนี้เพราะสวิทช์ที่ถูกกดจะทำให้โรว (ROW) กับคอลัมน์ (COLUMN) แต่ละกัน ในขณะที่พอร์ท B

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้ทำซ้ำ ดัดแปลง เผยแพร่ หรือแสวงหาผลประโยชน์ทางการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สแกนลอจิก "0" มาถึง คอลัมน์ของสวิชท์ที่ถูกกดจะทำให้โรวที่ถูกกดมีลอจิกเป็น "0" ด้วย เราจะทราบว่าคีย์ใดถูกกดโดยการตรวจสอบว่าบิทใดของพอร์ท B และของพอร์ท A มีลอจิกเป็น "0",

รูปที่ 7.9 แสดงโปรแกรมการอ่านข้อมูลจากคีย์บอร์ดตามที่ได้อธิบายไว้แล้วในข้างต้น อย่างไรก็ตามโปรแกรมนี้ยังไม่สามารถนำไปใช้งานได้จริง ต้องเพิ่มโปรแกรมการตรวจสอบการกดคีย์บอร์ดค้าง การหน่วงเวลาเพื่อไม่ให้เกิดการผิดพลาดในการอ่านข้อมูลเข้ามาอีกเป็นต้น

```
;
;*************************************************************
;
;    PROGRAM FOR DETECTING A KEY PRESS ON THE HARDWARE
;    SHOWN IN FIGURE 6.8
;
;*************************************************************
;
;  PORT B IS THE OUTPUT PORT
;  PORT A AND C ARE THE INPUT PORTS
;
;*************************************************************
;
0010            PORTA   EQU  10H
0011            PORTB   EQU  11H
0012            PORTC   EQU  12H
0013            CONP    EQU  13H
0099            CONWD   EQU  99H
;
1800                    CODE 1800H
;
1800   3E99             LD A,CONWD
1802   D313             OUT ((CONP),A    ;SET UP THE 8255
;
1804   0E11             LD C,PORTB       ;CREG = PORTB ADD
;
1806   06FE     COL     LD B,0FEH        ;COLUMN 0 ACTIVE
1808   ED41     COL1    OUT (C),B        ;ASSERT ACTIVE COLUMN
180A   DB10             IN A,(PORTA)     ;READ THE ROWS
180C   2F               CPL              ;COMPLIMENT INPUT WORD
180D   E60F             AND 0FH          ;MASK OFF UNUSED BITS
180F   FE00             CP 00H           ;ANY BITS = 1?
1811   C21F18           JP NZ,KEYIN      ;IF YES THEN KEY PUSHED
1814   CB00             RLC B            ;SHIFT B LEFT, NEXT COL ACTIVE
1816   78               LD A,B
1817   FEEF             CP 0EFH          ;CHECK FOR LAST COLUMN ACTIVE
1819   C20E18           JP NZ,COL1       ;NOT LAST, ASSERT NEXT COLUMN
181C   C30618           JP COL           ;LAST, ASSERT FIRST COLUMN
;
;  HANDLE A KEY PRESSED, NEED COLUMN AND ROW
;
181F   4F       KEYIN   LD C,A           ;ROW POS = 1 IN C REG
1820   78               LD A,B           ;COLUMN POS IN A REG
1821   2F               CPL              ;INVERT POS BYTE
1822   E60F             AND 0FH          ;UNUSED BITS = 0
1824   C9               RET
;
;  RETURN FROM ROUTINE WITH
;  A REG = COLUMN POS, 1 IN ACTIVE COLUMN BIT
;  C REG = ROW POS, 1 IN ACTIVE ROW BIT
;
;
                        END
```

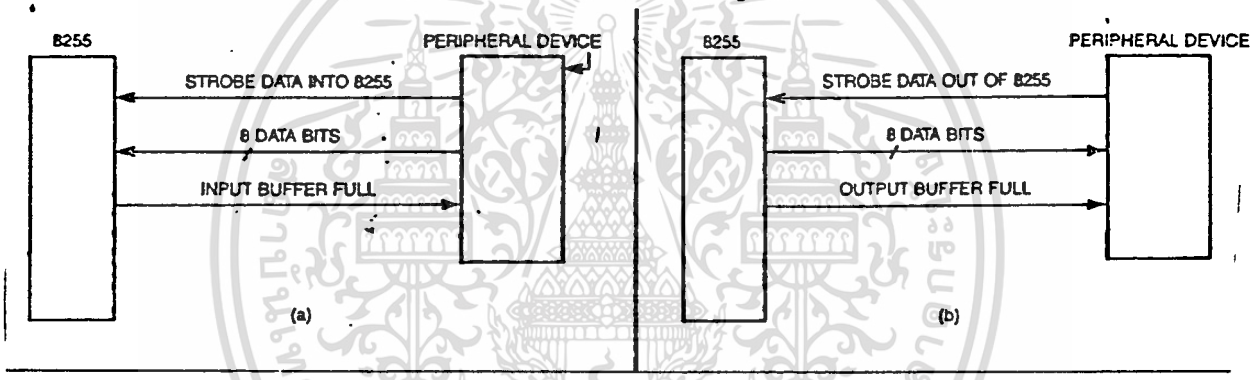
รูปที่ 7.9 : แสดงโปรแกรมการตรวจสอบการกดคีย์บอร์ดตามวงจรในรูป 7.8.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

7.7 การใช้งาน 8255 ในโหมด 1.

การทำงานของ 8255 ในโหมด 1 นี้เป็นการทำงานในลักษณะของการ HANDSHAKE, พอร์ท A และพอร์ท B จะเป็นพอร์ทข้อมูล ส่วนพอร์ท C นี้จะถูกใช้เป็นสัญญาณ HANDSHAKE , พอร์ท A และพอร์ท B จะเป็นพอร์ทข้อมูลส่วนพอร์ท C นี้จะถูกใช้เป็นสัญญาณ HANDSHAKE โดย 4 บิท บนจะเป็นสัญญาณ HANDSHAKE ให้กับพอร์ท A และ 4 บิทล่างจะเป็นสัญญาณ HANDSHAKE ให้กับพอร์ท A และ 4 บิทล่างจะเป็นสัญญาณ HANDSHAKE ให้กับพอร์ท B

หลักการรับส่งข้อมูลในวิธีการของ HANDSHAKE นี้ คือการให้อุปกรณ์ภายนอกส่งสัญญาณแสดงสภาวะความพร้อมให้กับ 8255 ดังแสดงในรูป 7.10



รูปที่ 7.10 : บล็อกไดอะแกรมแสดงลักษณะการทำงานของการติดต่อระหว่าง 8255 กับอุปกรณ์ภายนอกในลักษณะ HANDSHAKE.

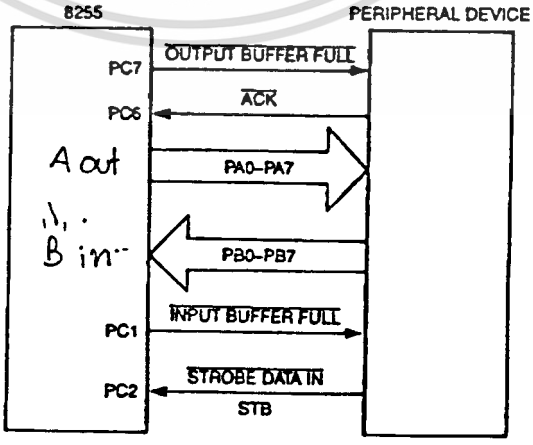
ในรูป 7.10A นี้ข้อมูลจะถูกส่งออกจากอุปกรณ์ภายนอกเข้าสู่ 8255 ก่อนที่อุปกรณ์ภายนอกจะเขียนข้อมูลให้แก่ 8255 จะต้องมีการตรวจสอบ INPUT BUFFER FULL FLAG เสียก่อน ถ้า FLAG นี้เป็นจริงแสดงว่าข้อมูลในบัฟเฟอร์ 8255 นี้ยังไม่ถูกอ่านโดย Z80 คือข้อมูลจากอุปกรณ์ภายนอกส่งข้อมูลให้กับ 8255 แล้ว Z80 ยังไม่ได้อ่านเอาข้อมูลเข้าไป แต่ถ้า FLAG นี้เป็นเท็จแสดงว่า Z80 อ่านข้อมูลออกไปแล้ว อุปกรณ์ภายนอกก็จะเขียนข้อมูลใหม่ให้ 8255 ได้ และเมื่ออุปกรณ์ภายนอกเขียนข้อมูลให้ 8255 แล้ว INPUT BUFFER FULL ก็จะกลับมาเป็นจริงอีกครั้งหนึ่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในรูป 7.10B 8255 จะทำหน้าที่เป็นตัวส่งข้อมูลให้กับอุปกรณ์ภายนอกก่อนที่ 8255 จะส่งข้อมูลให้กับอุปกรณ์ภายนอกนั้นจะต้องเซ็ท OUTPUT BUFFER FULL FLAG เสียก่อนเพื่อบ่งบอกให้อุปกรณ์ภายนอกทราบว่าขณะนี้ 8255 มีข้อมูลพร้อมที่จะส่งออกไปให้แล้ว เมื่ออุปกรณ์ภายนอกส่งสัญญาณ STROBE รับเอาข้อมูลเข้าไปแล้ว INPUT BUFFER FULL FLAG จะเปลี่ยนเป็นเท็จ เพื่อบ่งบอกให้อุปกรณ์ภายนอกรู้ว่าขณะนี้ไม่มีข้อมูลอยู่ใน 8255, Z80 สามารถส่งข้อมูลใหม่ออกไปให้ 8255 ได้

วิธีการทำ HANDSHAKE นี้มีประโยชน์มากในกรณีที่อุปกรณ์ภายนอกทำงานช้ากว่าระบบไมโครโปรเซสเซอร์ด้วยวิธีการนี้ไมโครโปรเซสเซอร์สามารถที่จะส่งข้อมูลให้กับ 8255 แล้วไปทำงานอื่นได้ จนกว่าข้อมูลภายใน 8255 ถูกส่งออกไปแล้ว Z80 ไมโครโปรเซสเซอร์จึงจะส่งข้อมูลใหม่ออกไปให้ต่อไปนี้เราจะพิจารณารายละเอียดของการทำงาน HANDSHAKE ของ 8255 เพิ่มขึ้น

บล็อกไดอะแกรมที่แสดงในรูป 7.11 นี้ กำหนดให้พอร์ท A เป็นพอร์ทเอาท์พุท และพอร์ท B เป็นพอร์ทอินพุท (ซึ่งอาจจะอยู่ในลักษณะอื่นๆก็ได้) เพื่อให้ 8255 ดังนี้ 10100110B หรือ OA3H.



รูปที่ 7.11 : แสดงบล็อกไดอะแกรมของ 8255 ที่ให้พอร์ท A เป็นพอร์ทเอาท์พุทและพอร์ทอินพุทในลักษณะ HANDSHAKE.

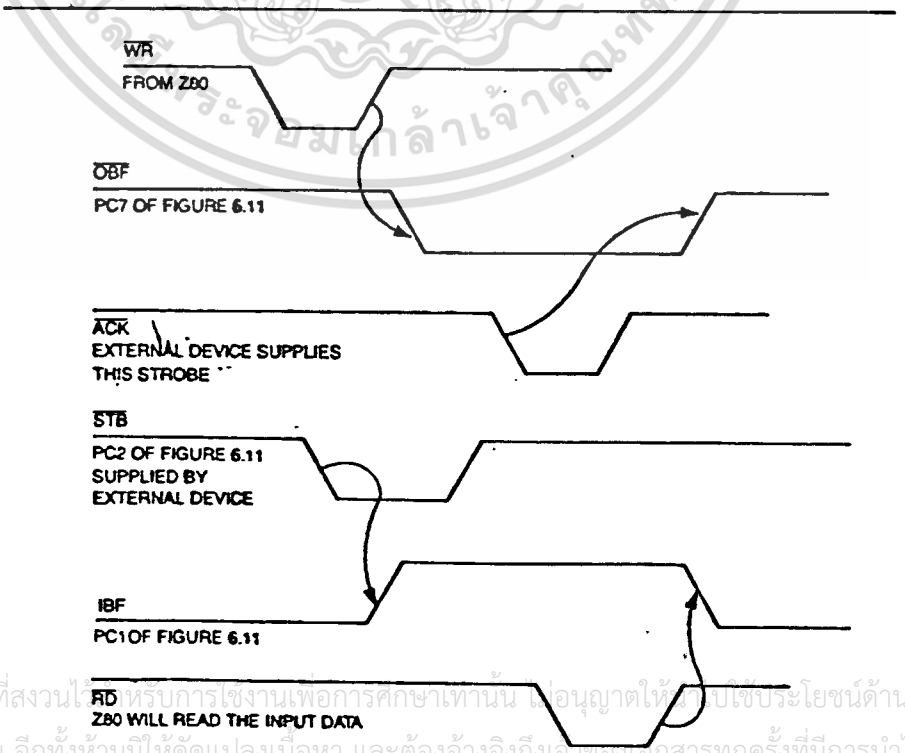
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในรูปนี้ข้อมูลเอาท์พุทจะอยู่บนขา PA0-PA7 ของ 8255, OUTPUT BUFFER FULL อยู่ที่ PC7, สัญญาณ ACKNOWLEDGE จากอุปกรณ์ภายนอกจะอยู่ภายนอกจะอยู่ที่ PC6, ข้อมูลอินพุทอยู่ที่ PB0-PB7, INPUT BUFFER FULL อยู่ที่ PC1 และสัญญาณ STROBE เพื่อให้ 8255 รับเอาข้อมูลเข้าไปอยู่ที่ PC2 รูปที่ 7.12 แสดงรายละเอียดของแต่ละบิทของพอร์ท C ในขณะที่ 8255 ทำงานในโหมด 1

	OUT	IN
PC0	INTRB	INTRB
PC1	IBFB	$\overline{OBF}_B$
PC2	$\overline{STB}_B$	$\overline{ACK}_B$
PC3	INTRA	INTRA
PC4	$\overline{STB}_A$	I/O
PC5	IBFA	I/O
PC6	I/O	$\overline{ACK}_A$
PC7	I/O	$\overline{OBF}_A$

รูปที่ 7.12 : แสดงรายละเอียดและหน้าที่ของแต่ละขาของพอร์ท C ในโหมด 1.

ต่อไปเราจะพิจารณาซอฟท์แวร์ที่ทำให้ 8255 ทำงานในลักษณะดังกล่าวในวิธีการของเรานี้จะไม่ใช้การอินเทอร์รัพท์แต่จะให้ 8255 มาคอยตรวจสอบสถานะของพอร์ท C แทน รูป 7.13 A และรูป 7.13B นี้แสดงไดอะแกรมเวลาที่เกิดขึ้นขณะการรับส่งในขบวนการ HANDSHAKE.



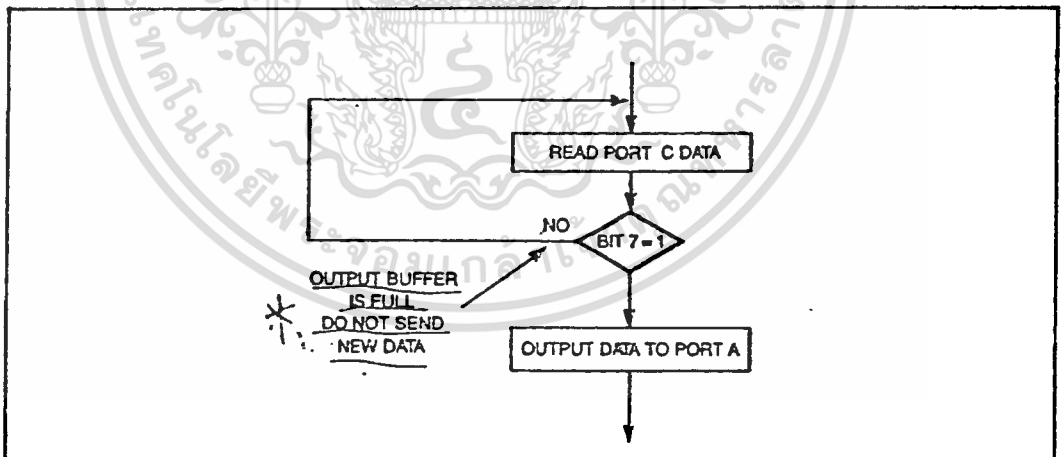
รูป 7.13 A

รูป 7.13 B

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในการส่งข้อมูลออกไปยังอุปกรณ์ภายนอก 8255 จะต้องตรวจสอบ OUTPUT BUFFER FULL (PC7) ว่ามีค่าลอจิกเป็น "1" หรือไม่ ซึ่งทำได้โดยการอ่านข้อมูลเข้ามาทางพอร์ท C โดยใช้คำสั่ง INPUT ถ้าบิท D7 ของพอร์ท C มีลอจิกเป็น "1" ก็แสดงว่าอุปกรณ์ภายนอกได้รับเอาข้อมูลจาก 8255 ไปแล้วและ Z80 จะสามารถส่งข้อมูลใหม่ให้ 8255 ได้ แต่ถ้าบิท D7 ของพอร์ท C มีลอจิกเป็น "0" จะแสดงว่าข้อมูลที่อยู่ใน 8255 ยังไม่ถูกอุปกรณ์ภายนอกอ่านออกไป, Z80 จะไม่ส่งข้อมูลใหม่ออกไปจนกว่าบิท D7 ของพอร์ท C เปลี่ยนจากลอจิก "0" เป็น "1"

ในขณะที่บิท D7 ของพอร์ท C มีลอจิกเป็น "0" อุปกรณ์ภายนอกจะรับเอาข้อมูลจาก 8255 โดยการส่งสัญญาณ STROBE ACK ให้กับบิท D6 ของพอร์ท C และเมื่อมีการรับเอาข้อมูลออกไปแล้วบิท D7 ของพอร์ท C นี้จะเปลี่ยนระดับลอจิกจาก "0" เป็น "1" ดังรูปที่ 7.14 แสดงโฟลว์ชาร์ตของกการทำงานดังกล่าว และรูป 7.15 แสดงโปรแกรมการทำงานดังกล่าว



รูปที่ 7.14 : โฟลว์ชาร์ตแสดงขบวนการการส่งข้อมูลออกไปยังพอร์ท A และใช้ 4 บิทบนของพอร์ท C เป็นสัญญาณ HANDSHAKE.

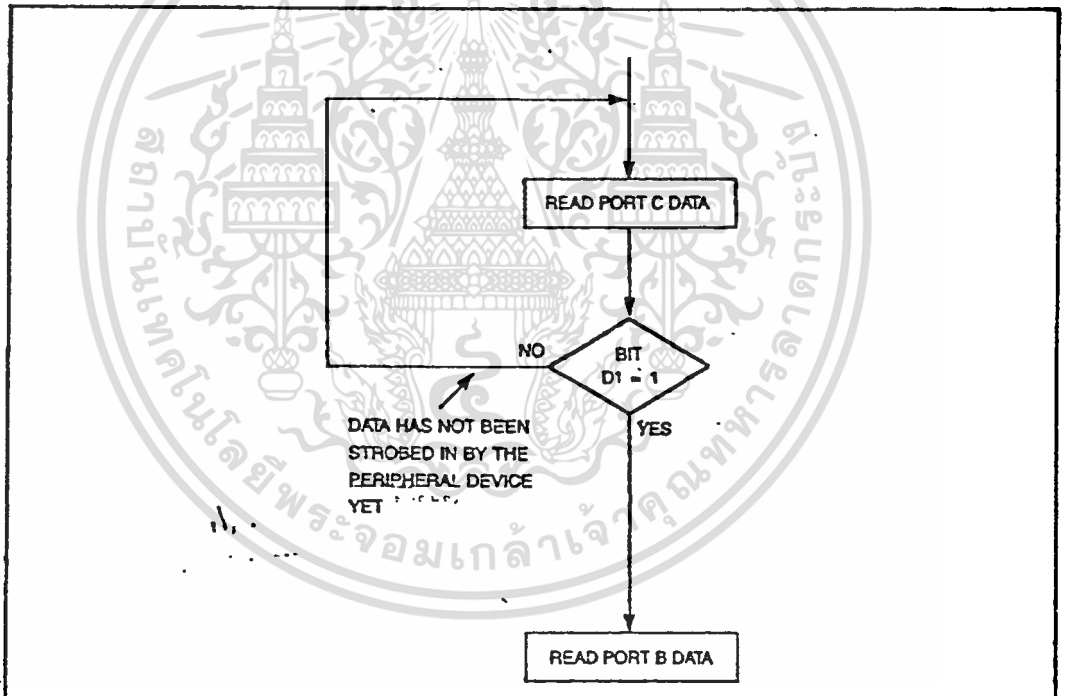
```
24E8            ODATA   EQU  24E8H      ;ADDRESS OF OUTPUT DATA
;
;
1800                    CODE 1800H

1800 DB12       BACK    IN A,(12H)      ;READ PORT C DATA
1802 CB7F               BIT 7,A         ;TEST BIT 7 = 1
1804 CA0018             JP Z,BACK       ;NOT =1, KEEP READING PORT C
1807 3AE824             LD A,(ODATA)    ;GET OUTPUT DATA IN A REG
180A D310               OUT (10H),A     ;OUTPUT DATA TO PORT A
180C C9                 RET
                        END
```

รูปที่ 7.15 : แสดงโปรแกรมที่สอดคล้องกับโฟลว์ชาร์ตในรูป 7.14.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ต่อไปเราจะศึกษาว่า Z80 จะอ่านข้อมูลจากอุปกรณ์ภายนอกโดยขบวนการ HANDSHAKE ร่วมกับ 8255 ได้อย่างไร ก่อนที่ Z80 จะรับเอาข้อมูลจากพอร์ทอินพุทเข้ามาได้นั้นจะต้องไปอ่านข้อมูลจากพอร์ท C เพื่อตรวจสอบดูว่าบิท D1 มีลอจิกเป็นอะไร ถ้ามีลอจิกเป็น "1" แสดงว่าอุปกรณ์ภายนอกได้ส่งสัญญาณ STROBE ให้ 8255 รับเอาข้อมูลไปแล้ว โดยผ่านสายสัญญาณ STB (บิท D2 ของพอร์ท C),Z80 ก็จะสามารถอ่านข้อมูลจากพอร์ทอินพุทโดยใช้คำสั่ง IN เวลานี้ INPUT BUFFER FULL (บิท D1 ของพอร์ท C) จะเปลี่ยนลอจิกเป็น "0" เพื่อบอกให้อุปกรณ์ภายนอกรู้ว่า 8255 พร้อมที่จะรับเอาข้อมูลใหม่แล้วเพราะข้อมูลเก่า Z80 Road ไปแล้วกำลัง (Read) รูปที่ 7.16 แสดงโฟลว์ชาร์ตของขบวนการต่างๆดังกล่าว และสามารถเขียนเป็นโปรแกรมได้ดังรูป 7.17



รูปที่ 7.16 : โฟลว์ชาร์ตแสดงขบวนการการอ่านข้อมูลจากอุปกรณ์ภายนอกเข้ามายังพอร์ท B โดยใช้ 4 บิทล่างของพอร์ท C เป็น HANDSHAKE.

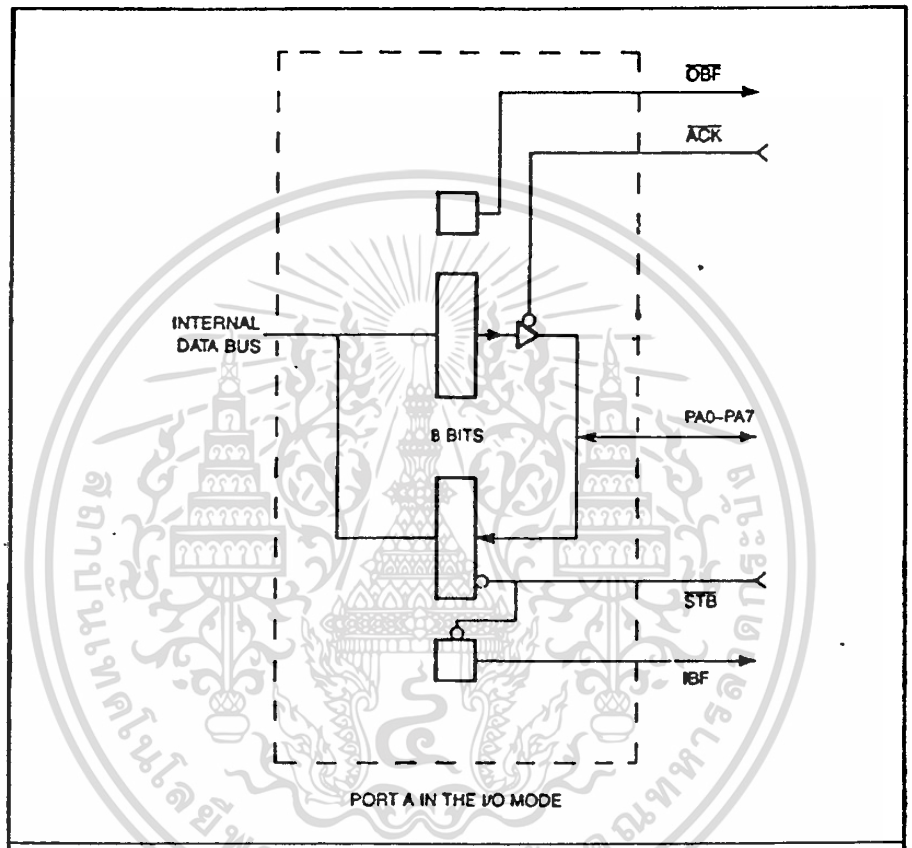
```
;
;
1800  DB12     BACK   IN A,(12H)      ;READ PORT C
1802  CB4F            BIT 1,A         ;TEST BIT 1= 1
1804  CA0018          JP Z,BACK       ;DATA NOT STROBED IN YET
1807  DB11            IN A,(11H)      ;DATA READY READ IT
1809  C9              RET
                      END
```

รูปที่ 7.17 : แสดงโปรแกรมที่สอดคล้องกับโฟลว์ชาร์ตในรูป 7.16.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

7.8 การใช้งาน 8255 ในโหมด 2.

การทำงานของ 8255 ในโหมด 2 นี้จะเป็นการใช้งานในลักษณะที่ให้พอร์ท A เป็นพอร์ทข้อมูลแบบสองทิศทาง เมื่อ 8255 ถูกโปรแกรมให้พอร์ท A อยู่ในโหมด 2 นี้แล้วพอร์ท A จะมีลักษณะการทำงานตามบล็อกไดอะแกรมรูปที่ 7.18



รูปที่ 7.18 : บล็อกไดอะแกรมแสดงการทำงานของพอร์ท A ในโหมด 2.

การทำงานในโหมดนี้คือ การใช้พอร์ท A เป็นอินพุทและเอาท์พุทแลทช์ เอาท์พุทแลทช์ (OUTPUT LATCH) หมายถึงการเก็บเอาข้อมูลไว้เพื่อรออุปกรณ์ภายนอกรับเอาข้อมูลออกไป ส่วนอินพุทแลทช์ (INPUT LATCH) หมายถึงการเก็บข้อมูลที่อุปกรณ์ภายนอกส่งเข้ามาเพื่อรอให้ CPU อ่านเข้าไป ต่อไปเราจะพิจารณาการทำงานของบล็อคไดอะแกรมดังรูป 7.18 และศึกษาว่าจะมีการรับหรือส่งข้อมูลกับอุปกรณ์ภายนอกได้อย่างไร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในการส่งข้อมูลให้อุปกรณ์ภายนอกนั้น ขั้นตอนแรกที่เกิดขึ้นก็คือ CPU จะต้องส่งข้อมูลไปแลทช์ไว้ในพอร์ท A ซึ่งจะทำให้ OUTPUT BUFFER FULL (OBF) ถูกเซ็ทให้เป็นจริง สัญญาณนี้จะบอกให้อุปกรณ์ภายนอกรู้ว่าขณะนี้พอร์ท A มีข้อมูลอยู่และบอกให้ CPU รู้ว่าข้อมูลของพอร์ท A ที่ส่งไปให้นั้นยังไม่ถูกอุปกรณ์ภายนอกอ่านออกไป อุปกรณ์ภายนอกจะต้องส่งสัญญาณ ACK (ACKNOWLEDGE) ให้กับ 8255 สัญญาณนี้จะเป็นการ ENABLE ให้ข้อมูลที่อยู่ในพอร์ท A ส่งออกไปยัง PA0-PA7 และเป็นการรีเซ็ท OBF เพื่อเป็นการบ่งบอกให้ CPU รู้ว่าข้อมูลที่อยู่ภายในพอร์ท A ถูกอุปกรณ์ภายนอกอ่านออกไปแล้ว และสามารถส่งข้อมูลใหม่ไปให้พอร์ท A ได้อีก

ในการรับข้อมูลจากอุปกรณ์ภายนอกนั้น อุปกรณ์ภายนอกต้องตรวจสอบสถานะของ INPUT BUFFER FULL (IBF) เสียก่อนถ้า IBF มีลอจิกเป็น "1" แสดงว่าขณะนี้พอร์ท A มีข้อมูลอยู่ CPU ยังไม่ได้อ่านข้อมูลเข้าไป แต่ถ้ามีลอจิกเป็น "0" แสดงว่าไม่มีข้อมูลอยู่ในพอร์ท A อุปกรณ์ภายนอกจะส่งข้อมูลและสัญญาณ STROBE (STB) ให้ 8255 สัญญาณนี้จะสั่งให้มีการนำข้อมูลไปแลทช์ไว้ในพอร์ท A และเซ็ทให้ IBF เป็นมีสถานะเป็นจริง และ CPU จะตรวจสอบสถานะของ IBF ได้โดยการอ่านข้อมูลจากพอร์ท C เมื่อ IBF มีสถานะเป็นจริง แสดงว่ามีข้อมูลที่พร้อมที่จะให้ CPU อ่านออกไป เมื่อ CPU อ่านข้อมูลออกไปแล้ว IBF จะมีสถานะลอจิกเป็น "0" และอุปกรณ์ภายนอกสามารถส่งข้อมูลใหม่เข้ามาได้

ในการใช้งานในโหมด 2 นี้พอร์ท C จะเป็นตัวแสดงสภาวะของสัญญาณดังกล่าว และรายละเอียดของแต่ละบิทจะแสดงดังรูป 7.19

PORT C LINE	DEFINITION
PC0	I/O
PC1	I/O
PC2	I/O
PC3	$INTR_A$
PC4	$\overline{STB}_A$
PC5	IBF_A
PC6	$\overline{ACK}_A$
PC7	$\overline{OBF}_A$

รูปที่ 7.19 : แสดงรายละเอียดของแต่ละขาของพอร์ท C ในการใช้งานในโหมด 2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ขอขอบคุณอาจารย์ทุกท่านในภาควิชาการวัดคุมทางอุตสาหกรรม ที่ได้กรุณาให้คำแนะนำ ข้อทักท้วง ตลอดจนข้อมูลของอุปกรณ์ต่างๆ อย่างเต็มใจ

ขอขอบคุณเพื่อนๆที่ช่วยเหลือจนมิปริญญานิพนธ์ฉบับนี้ขึ้นมาได้ ขอบคุณน้องๆที่คอยถามไถ่ให้กำลังใจ

ขอบคุณที่สุดสำหรับคุณพ่อคุณแม่ ที่ได้ให้ทุกอย่างแก่ลูก รวมทั้งการศึกษาในสถาบันแห่งนี้ด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บรรณานุกรม

1. JANET McNABB, GENE ROGER, "PHONLINK", Radio Electronics 1988

2. HENRY WURZBURG,"VOLTAGE REGULATOR HANDBOOK",Motorola Semiconductor Products Inc,Third Printing,1976

3. ชูชัย ธนสารตั้งเจริญ, ดนัย แสงสุริยศิลป์, "การใช้งาน Z80", นิสิกส์เซนเตอร์การพิมพ์

4. สมชาย วิศิษฎ์ภาดา, "ชุดวิเคราะห์เสียงพูด",คอมพิวเตอร์ อิเลคทรอนิคส์เวิลด์ 112 , หน้า 21-26

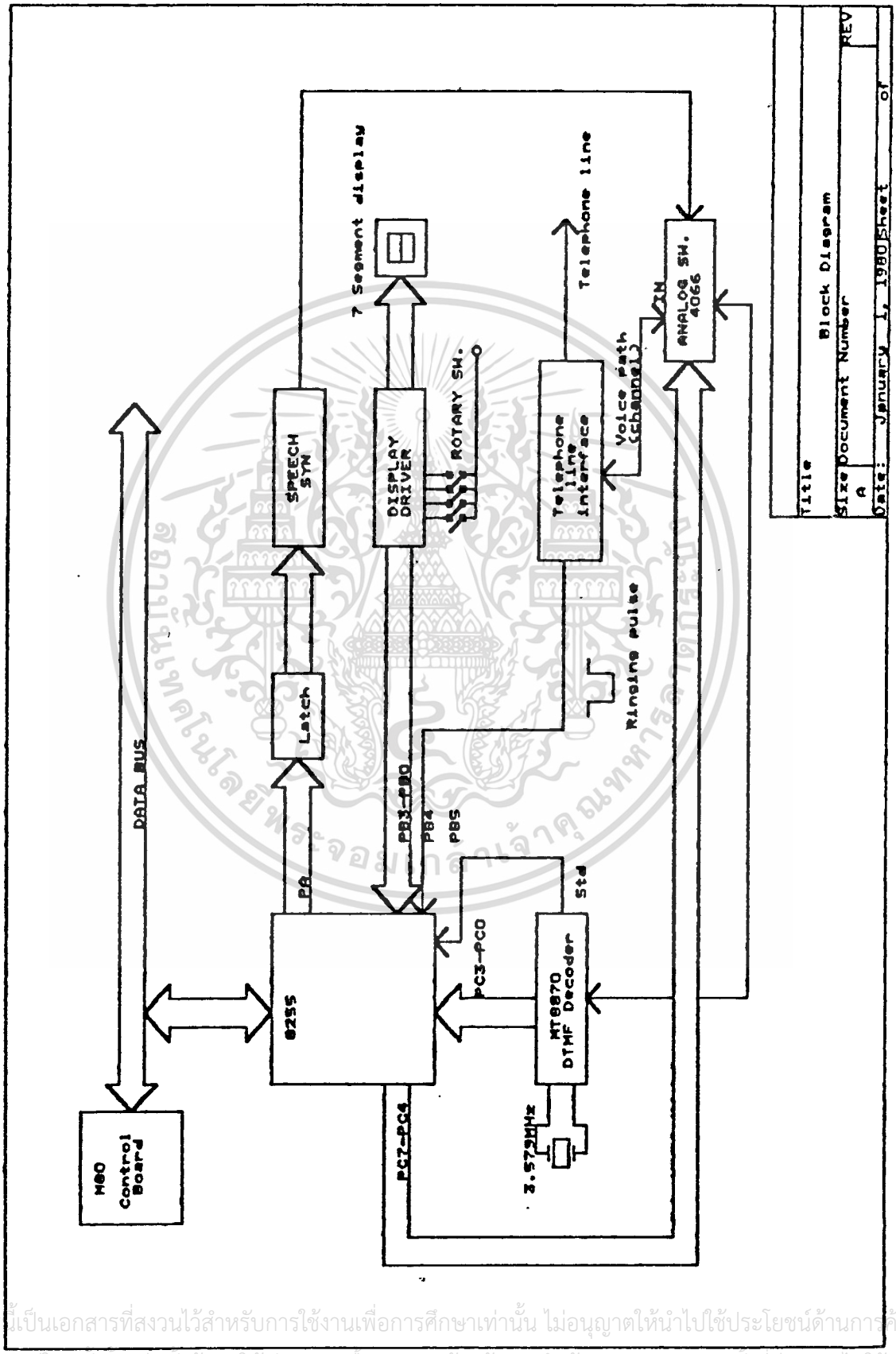
5. ซีเอ็ดยูเคชั่น , "คู่มือ เทียบเบอร์ ไอซีTTL ", ซีเอ็ดยูเคชั่น,พิมพ์ครั้งที่ 4, 2521

6. น.ต.อวัชชัย เลื่อนฉวี , "เทคโนโลยีโทรศัพท์", ห.จ.ก.ภาพพิมพ์, ครั้งที่ 2 ,2531

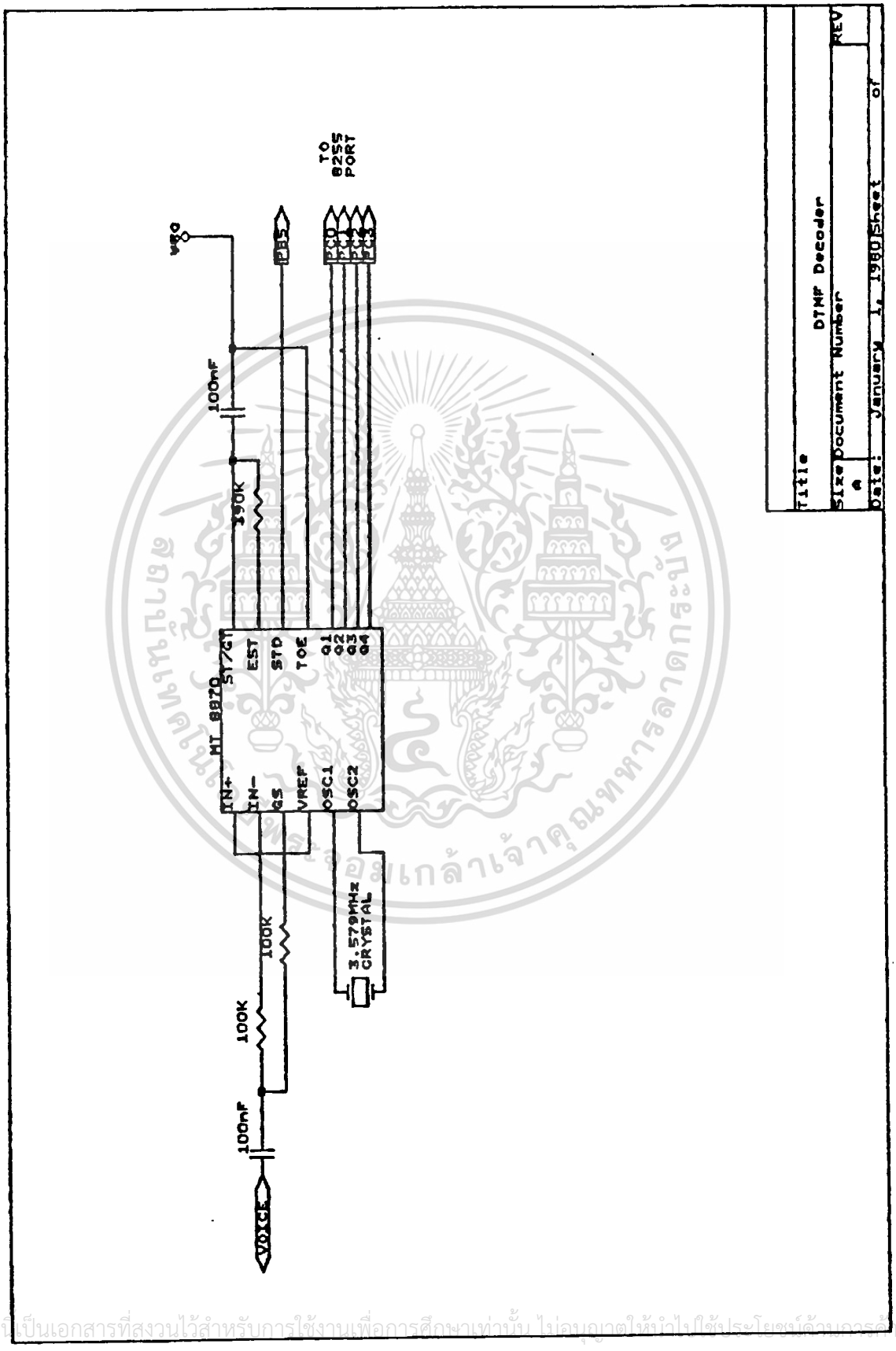
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก 1
(CIRCUITS)

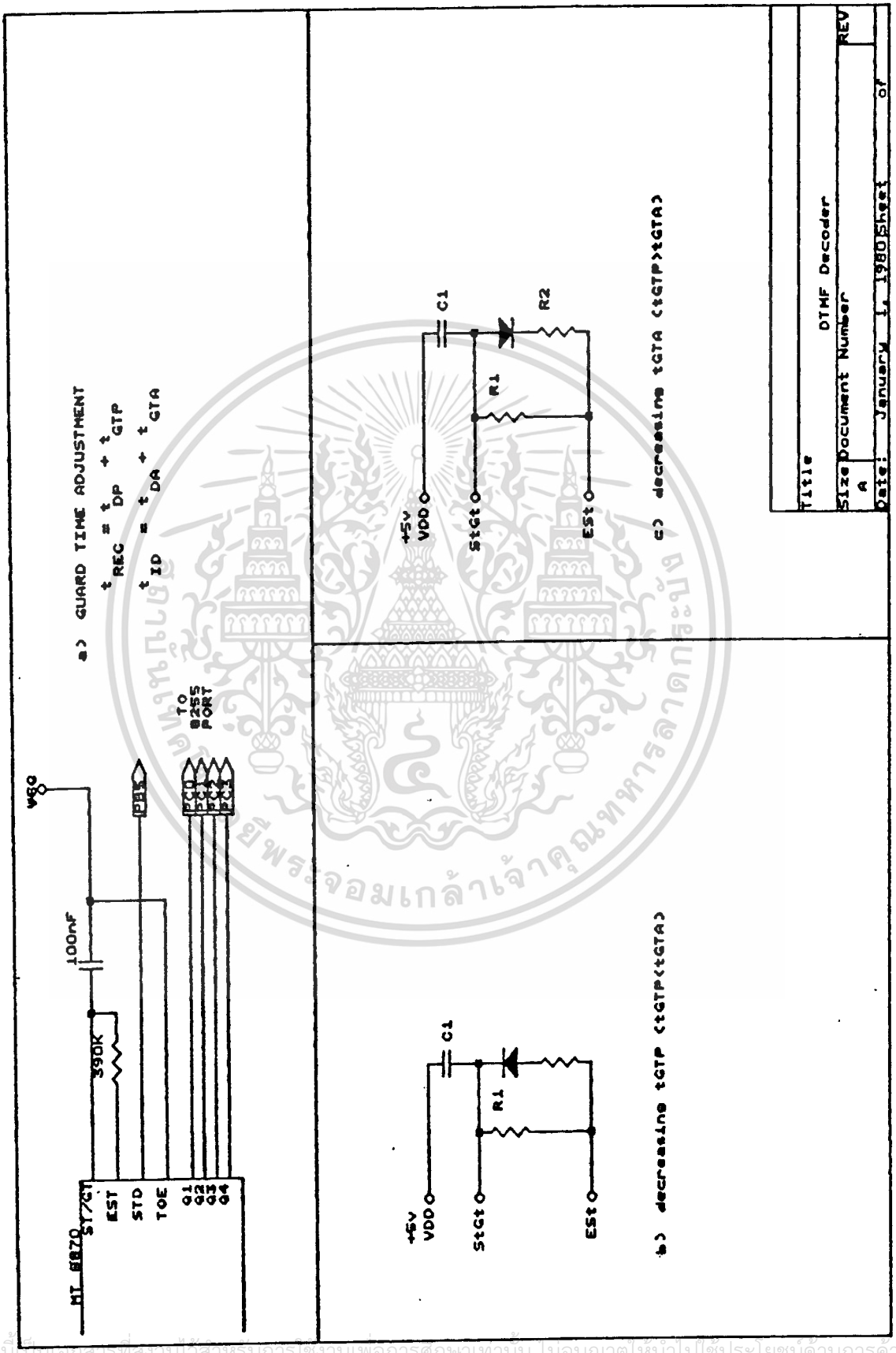
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



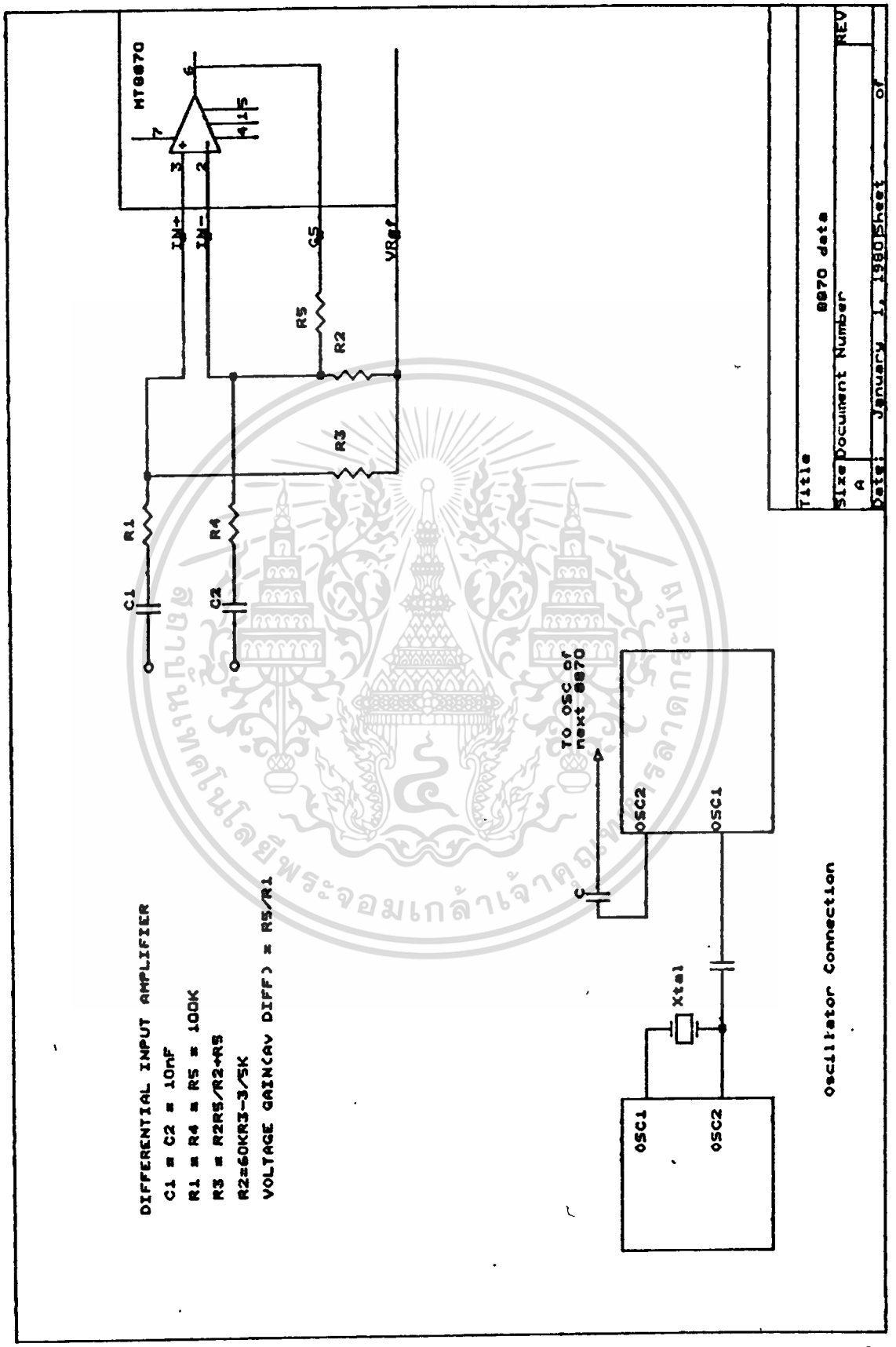
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



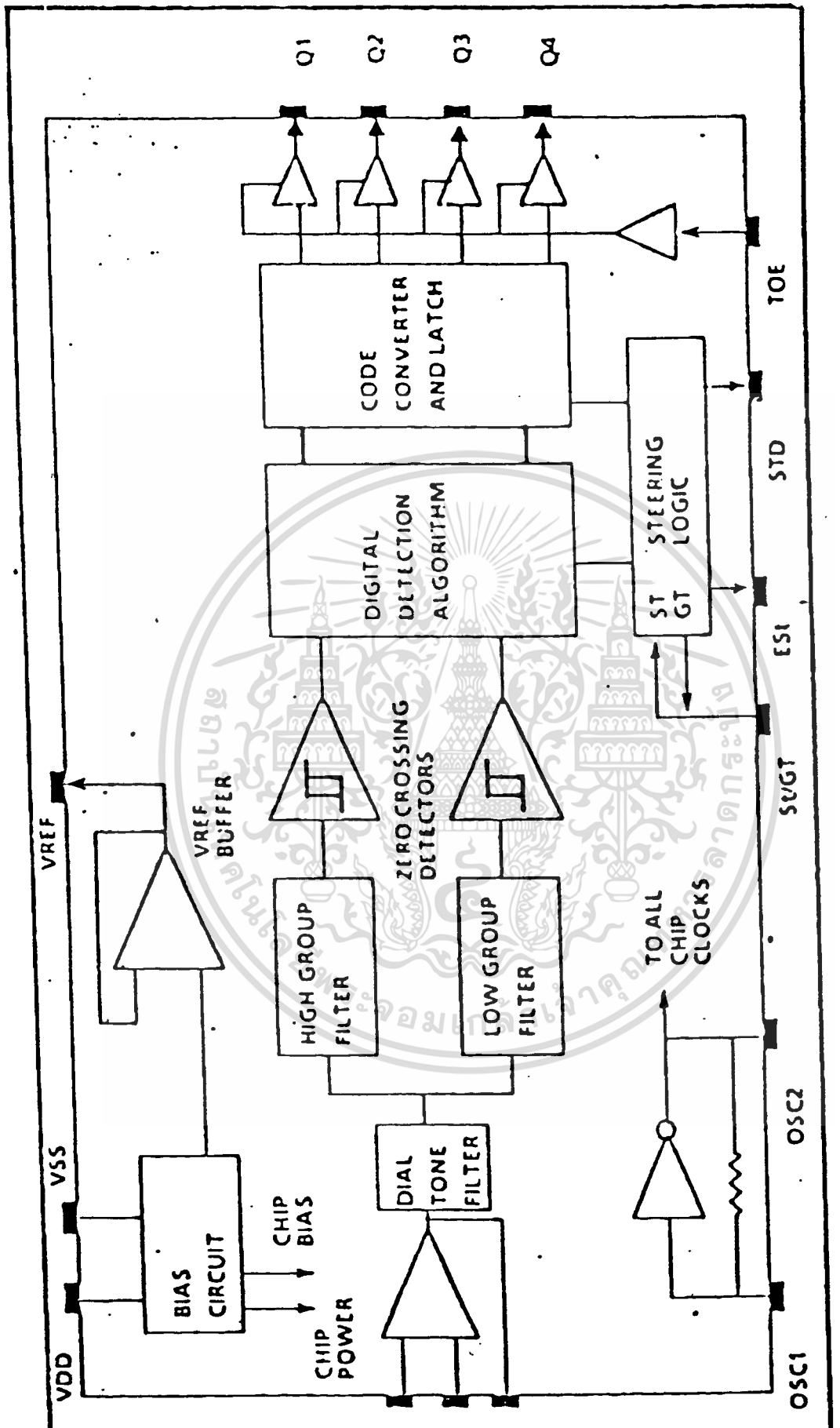
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



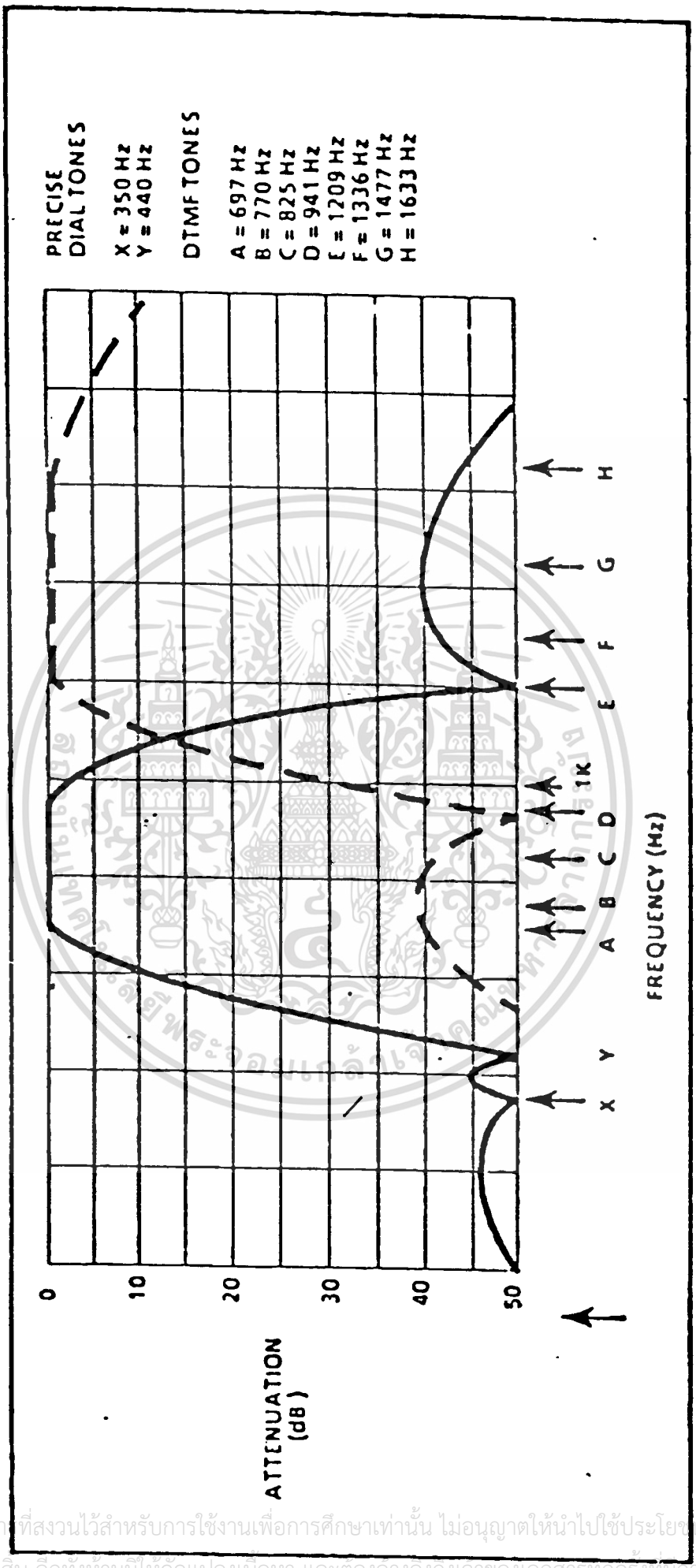
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



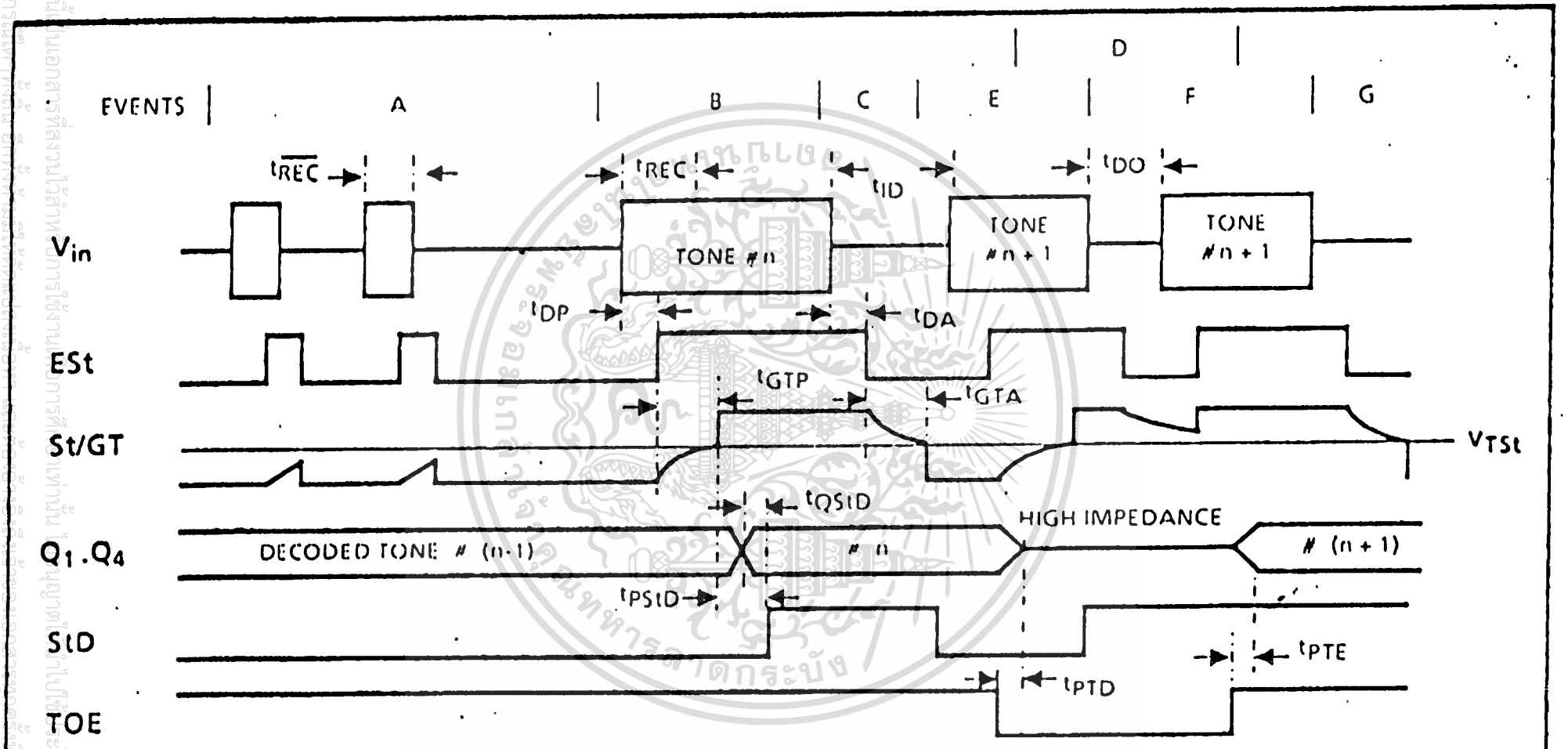
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

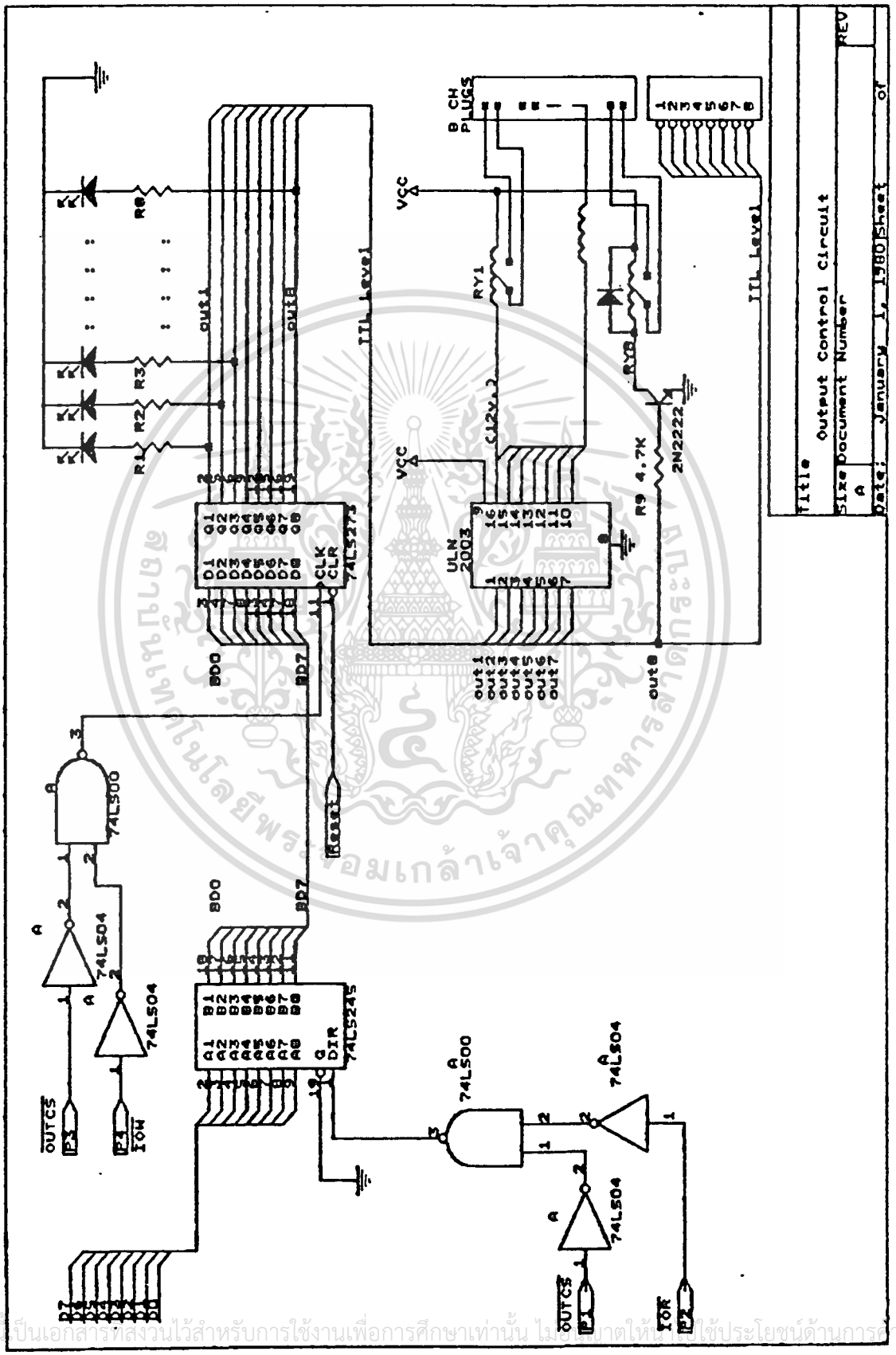


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

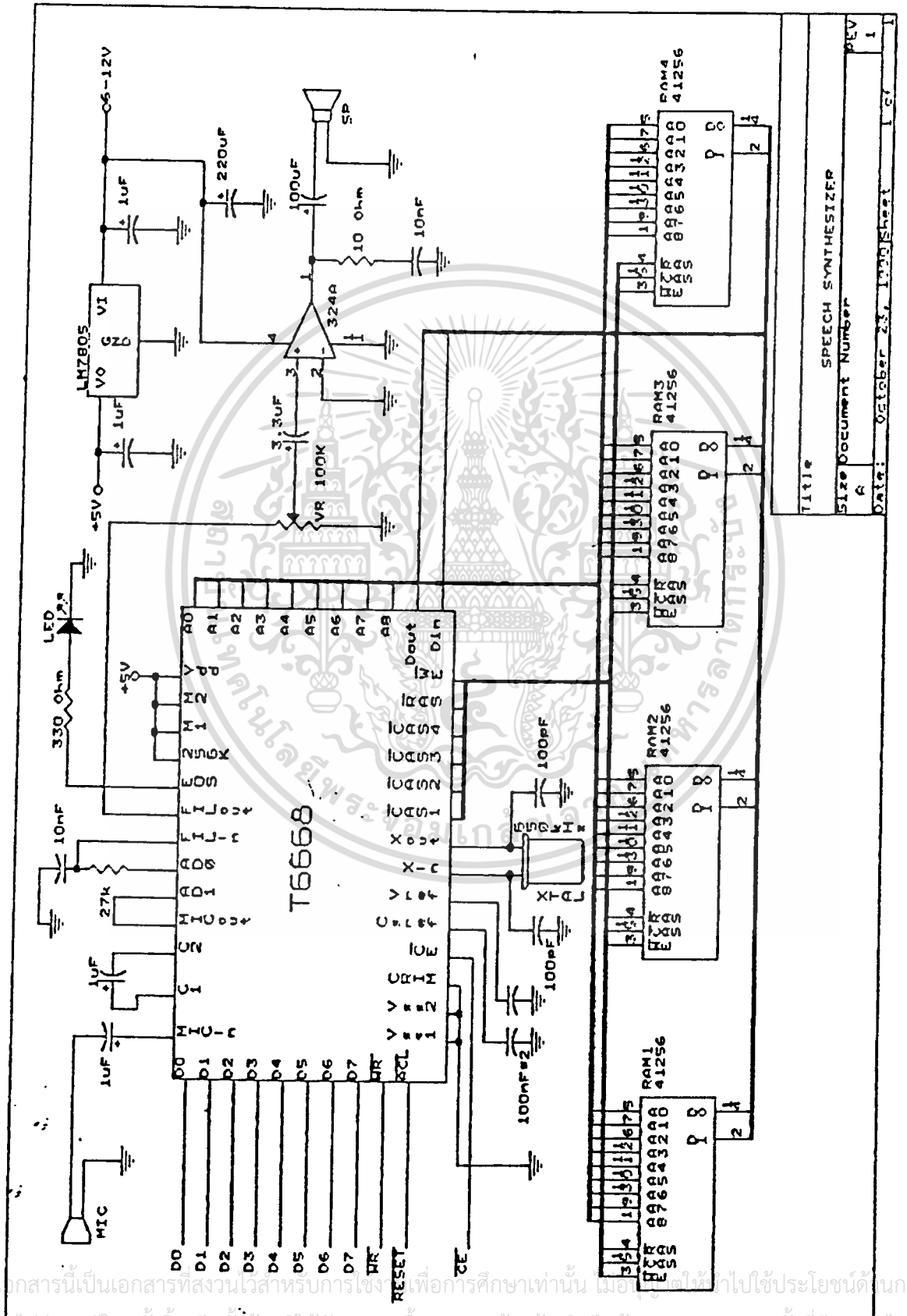


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

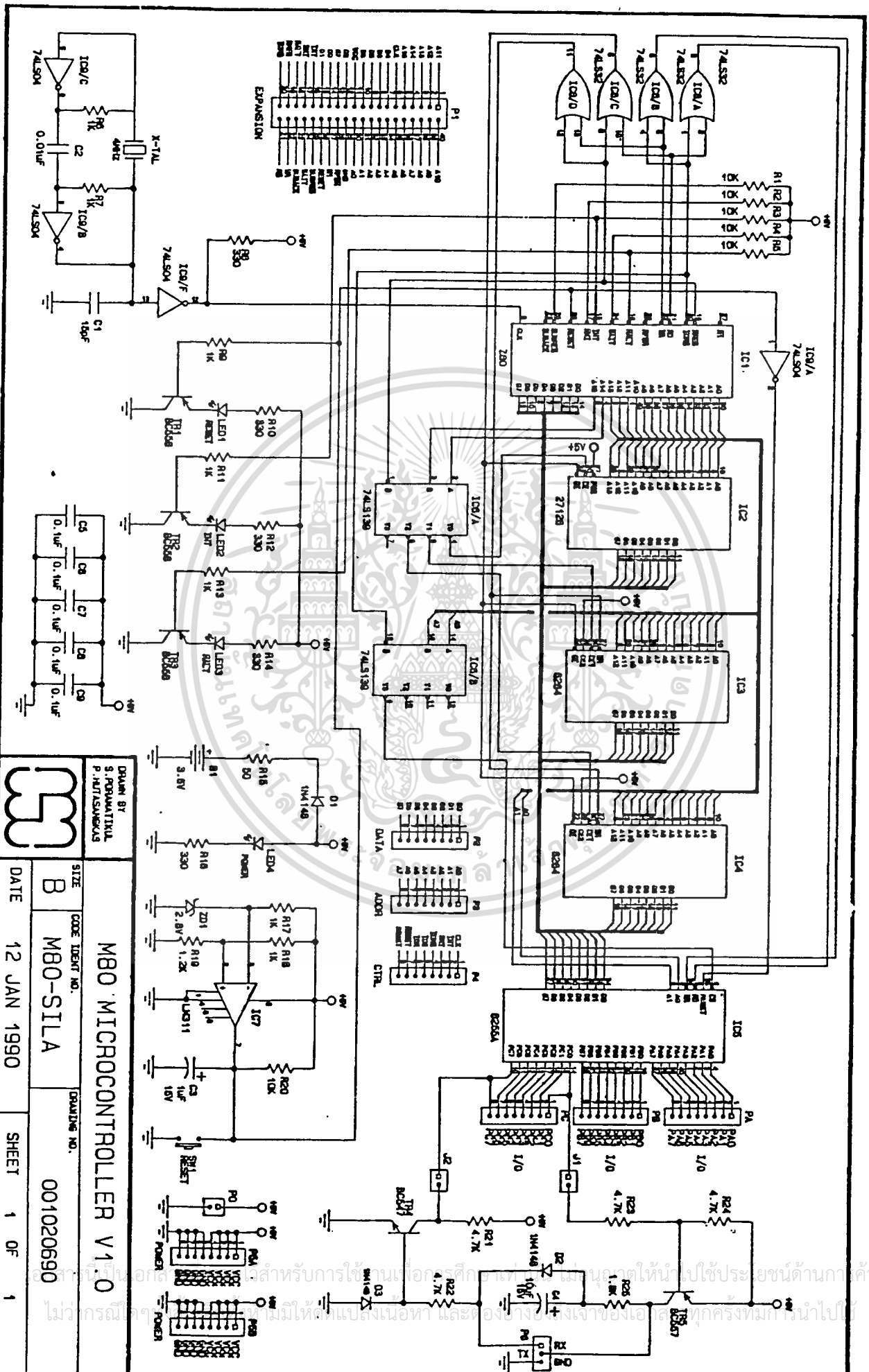

EVENTS
A
B
C
D
E
F
G
$t_{\overline{REC}}$
t_{REC}
t_{ID}
t_{DO}
V_{in}
TONE # n
TONE # n + 1
TONE # n + 1
t_{DP}
t_{DA}
ESt
t_{GTP}
t_{GTA}
St/GT
V_{TSt}
t_{QStD}
HIGH IMPEDANCE
$Q_1 . Q_4$
DECODED TONE # (n-1)
n
(n + 1)
t_{PStD}
StD
t_{PTE}
t_{PTD}
TOE



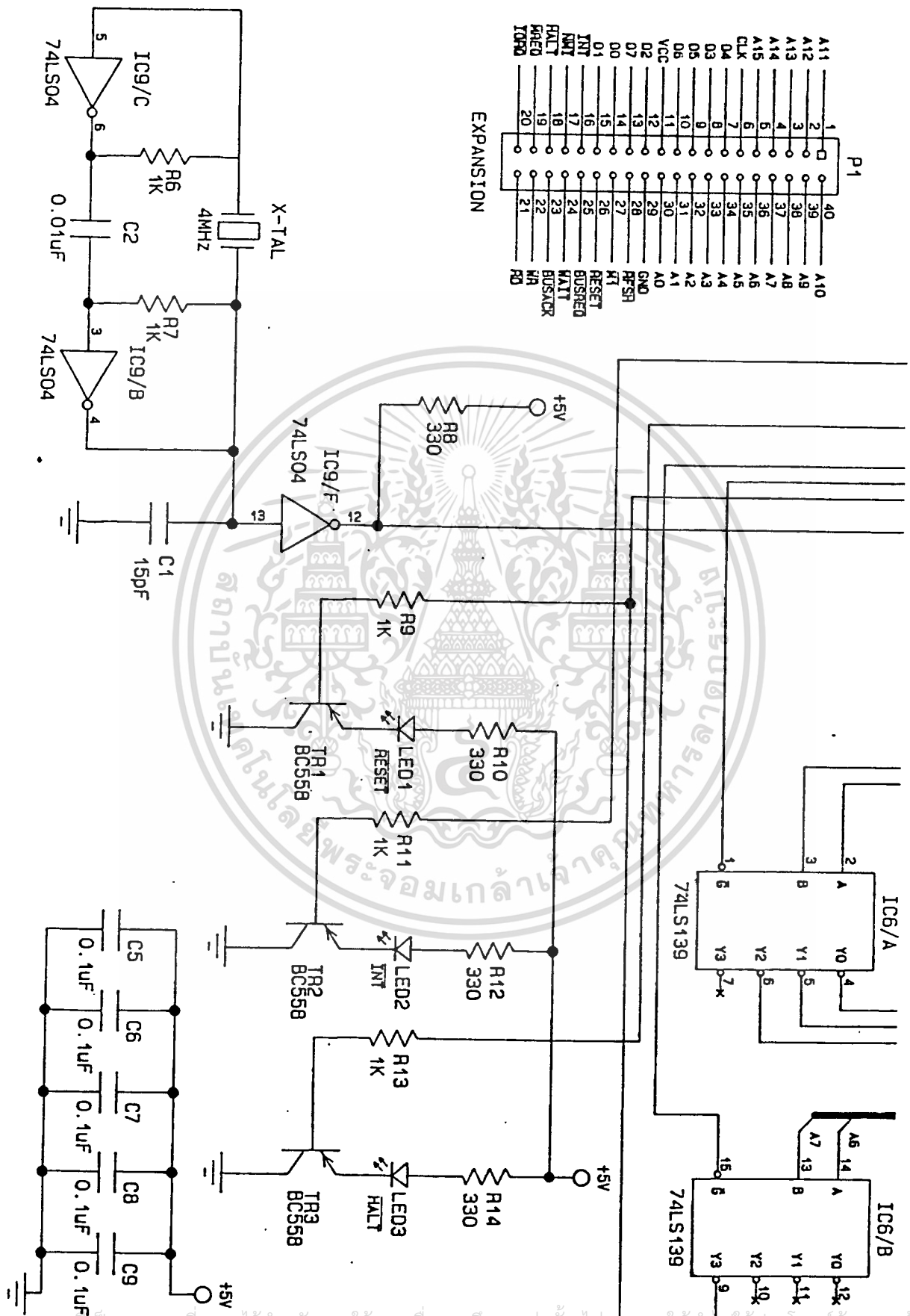
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



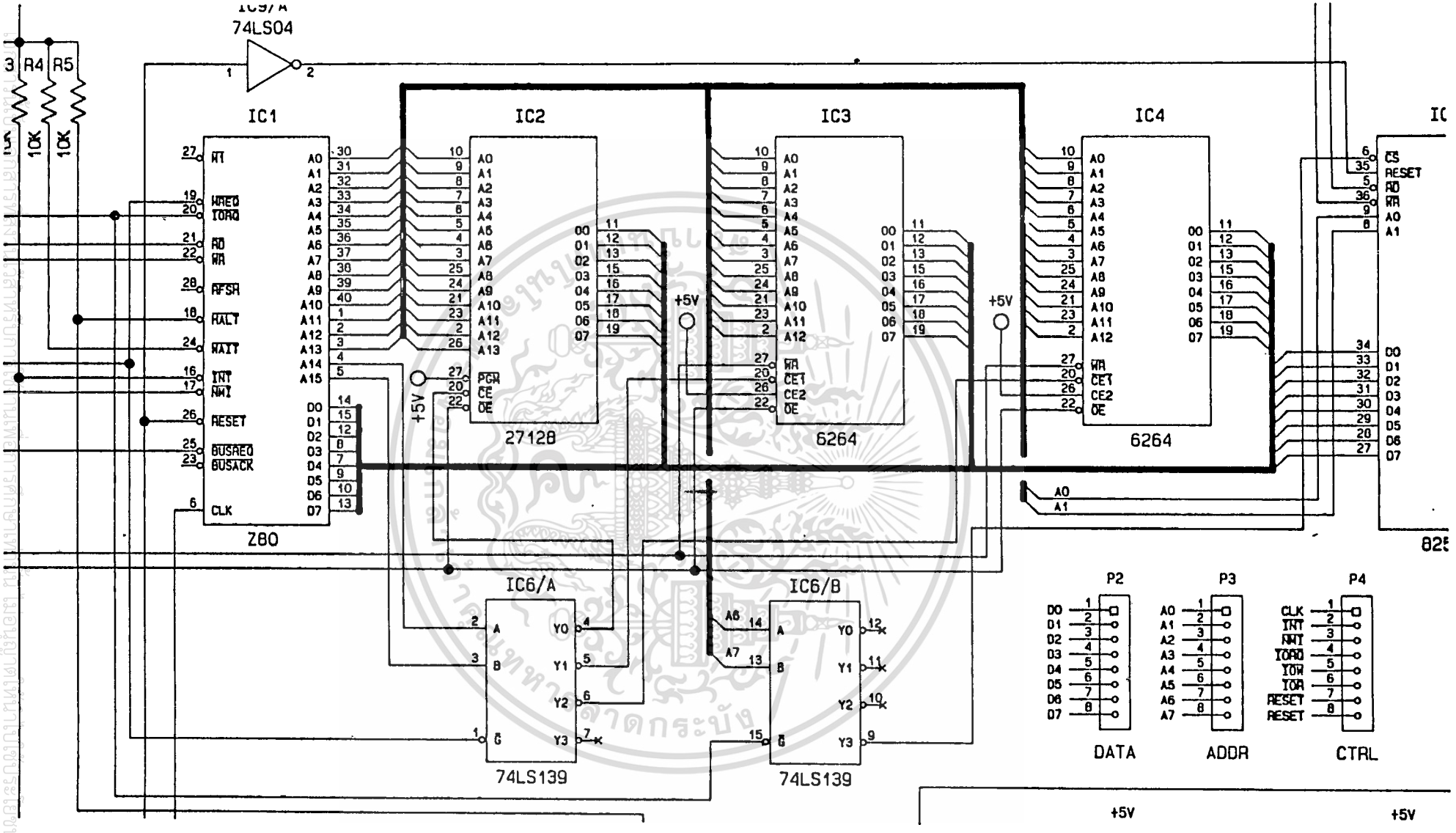
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

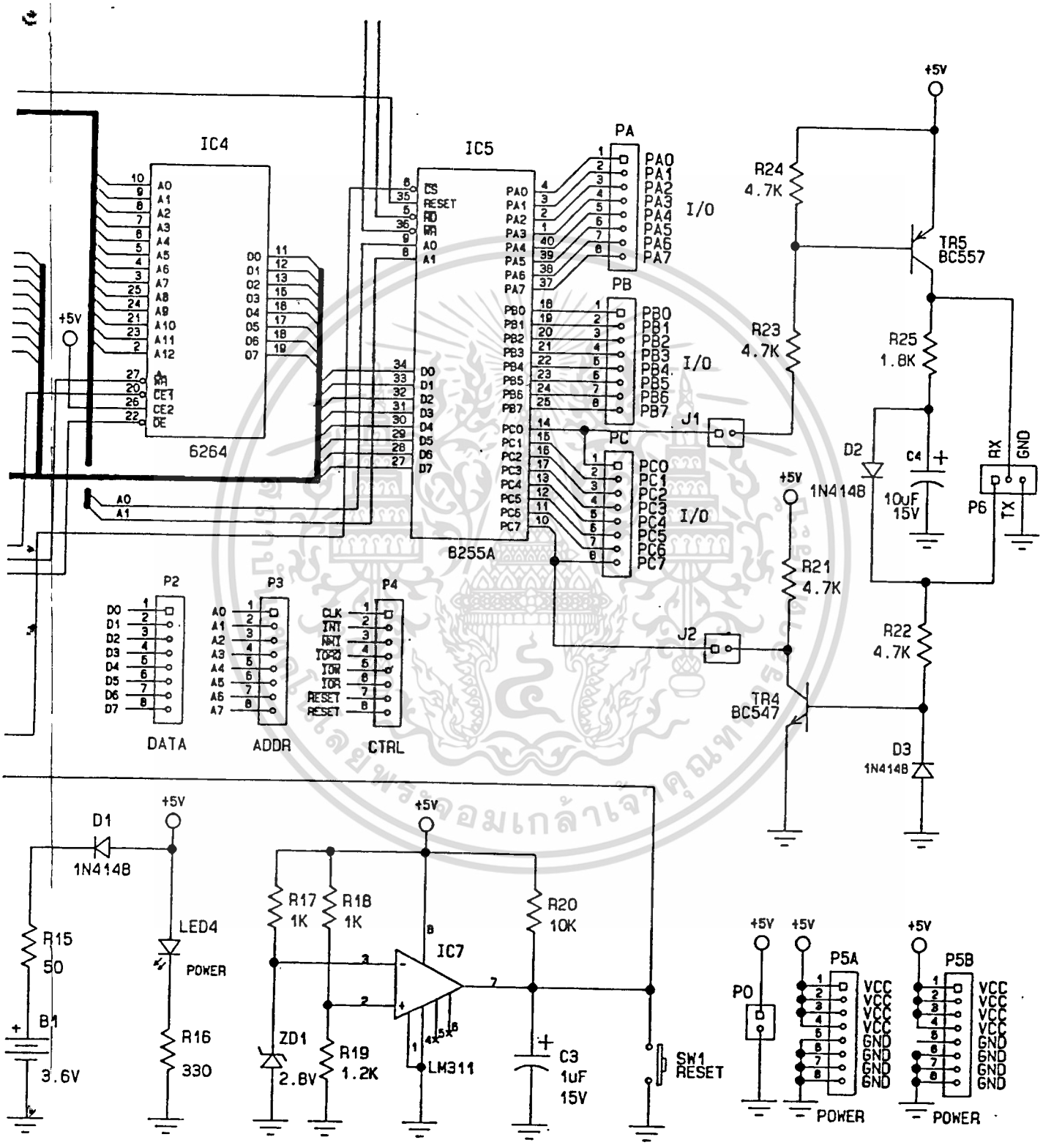


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น ไม่อนุญาตให้ทำซ้ำดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

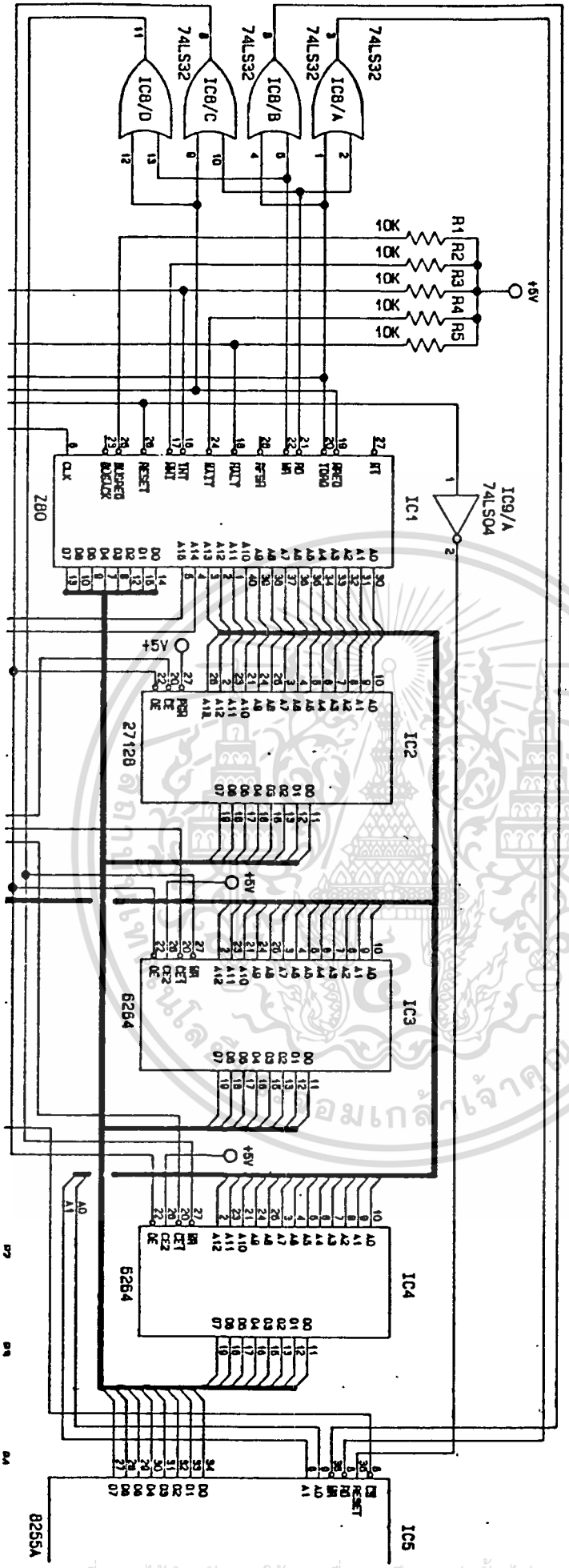


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

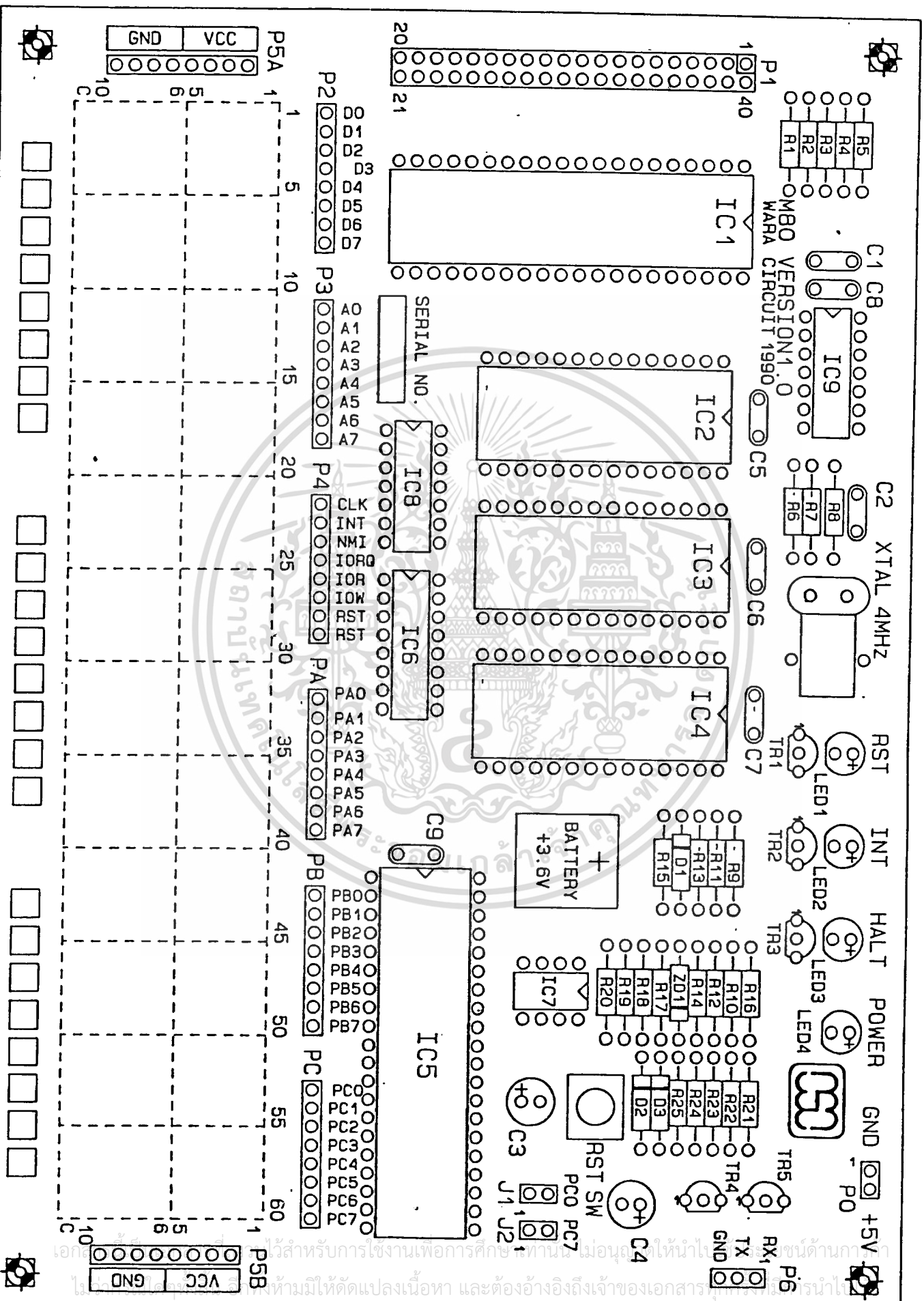

74LS04
R3
R4
R5
10K
10K
IC1
IC2
IC3
IC4
Z80
27128
6264
6264
+5V
+5V
+5V
IC6/A
IC6/B
74LS139
74LS139
P2
P3
P4
DATA
ADDR
CTRL
+5V
+5V



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้จัดทำขึ้นเพื่อใช้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก 2
(DATA SHEET)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MITEL

ISO²-CMOS MT8870 Integrated DTMF Receiver

9°61:002-031-NA ISSUE 2 ...uary 1985

Features

- Complete DTMF receiver
- Low power consumption
- Internal gain setting amplifer
- Adjustable guard time
- Central Office Quality

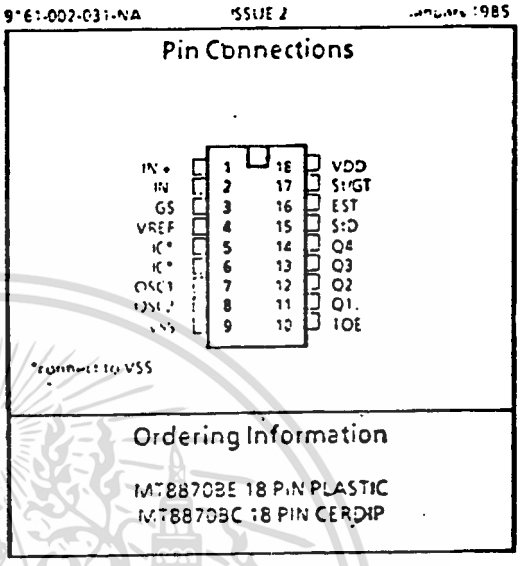
Applications

- Paging systems
- Repeater systems/mobile radio
- Credit card systems
- Remote Control
- Personal Computers

Description

The MT8870 is a complete DTMF receiver integrating both the bandsplit filter and digital decoder functions, fabricated in Mitel's double poly ISO²-CMOS technology. The filter section uses switched capacitor techniques for high and low group filters; the decoder uses digital counting techniques to detect and decode all 16 DTMF tone-pairs into a 4-bit code. External component count is minimized by on chip provision of a differential input amplifier, clock oscillator and latched 3-state bus interface.

Pin Connections



Ordering Information

MT8870E 18 PIN PLASTIC
MT8870C 18 PIN CERDIP

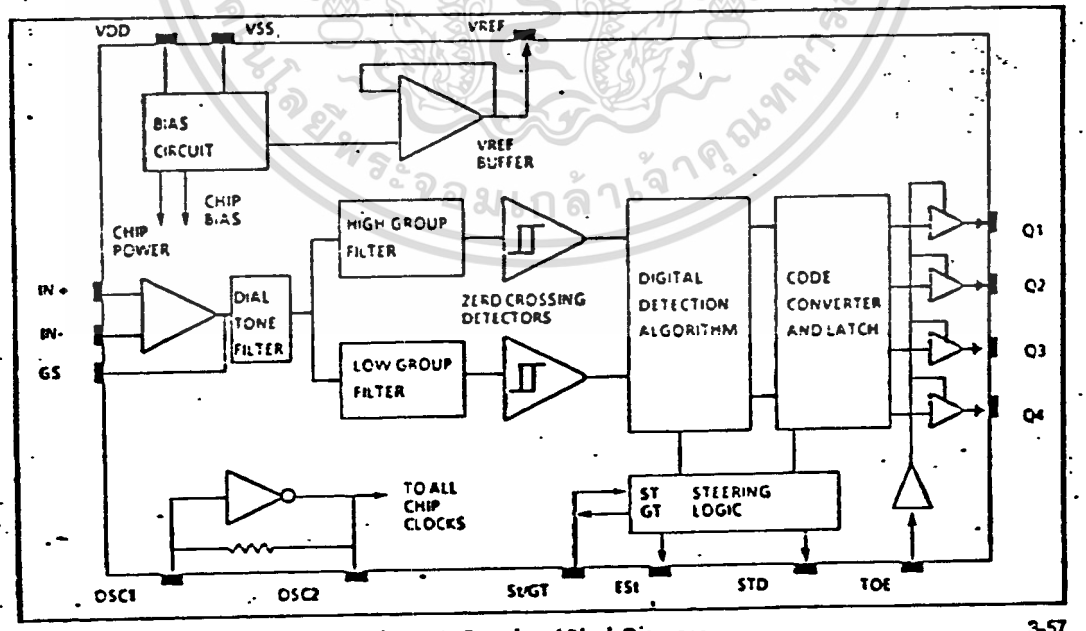


Figure 1. Functional Block Diagram

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings†

	Parameter	Symbol	Min	Max	Units
1	Power supply voltage V_{DD}-V_{SS}			6	V
2	Voltage on any pin		V_{SS}-0.3	V_{DD} + 0.3	V
3	Current at any pin			10	mA
4	Operating temperature		-40	+ 85	°C
5	Storage temperature		-65	+ 150	°C
6	Package power dissipation			1000	mW

†Exceeding these values may cause permanent damage. Functional operation under these conditions is not implied.
Derate above 75 °C at 16 mW / °C. All leads soldered to board.

DC Electrical Characteristics

		Characteristics	Sym	Min	Typ‡	Max	Units	Test Conditions†
1	SUPPLY	Operating supply voltage		4.75	5.0	5.25	V	
2		Operating supply current	I_{DD}		3.0	9.0	mA	
3		Power consumption	P_D		15	45	mW	f = 3.58MHz; V_{DD} = 5V
4	INPUTS	High level input	V_{IH}	3.5			V	
5		Low level input voltage	V_{IL}			1.5	V	
6		Input leakage current	I_{IH}/I_{IL}		0.1		μA	V_{IN} = V_{SS} or V_{DD}
7		Pull up (source) current	I_{SO}		7.5	15	μA	TOE (pin 10) = 0V
8		Input impedance (IN+, IN-)	R_{IN}		10		MΩ	@ 1 kHz
9		Steering threshold voltage	V_{TSt}	2.2		2.5	V	
10	OUTPUTS	Low level output voltage	V_{OL}			0.03	V	No load
11		High level output voltage	V_{OH}	4.97			V	No load
12		Output low (sink) current	I_{OL}	1	2.5		mA	V_{OUT} = 0.4V
13		Output high (source) current	I_{OH}	0.4	0.8		mA	V_{OUT} = 4.6V
14		V_{Ref} output voltage	V_{Ref}	2.4		2.8	V	No load
15		V_{Ref} output resistance	R_{OR}		10		KΩ	

‡ Typical figures are at 25°C and are for design aid only: not guaranteed and not subject to production testing.
V_{DD} = 5V ± 5%, V_{SS} = 0V. Voltages are with respect to ground (V_{SS}) unless otherwise stated.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Operating Characteristics[1] - Voltages are with respect to ground (V_{SS}) unless otherwise stated

Gain Setting Amplifier

	Characteristics	Sym	Min	Typ[2]	Max	Units	Test Conditions
1	Input leakage current	I_{IN}		100		nA	$V_{SS} \le V_{IN} \le V_{DD}$
2	Input resistance	R_{IN}		10		MΩ	
3	Input offset voltage	V_{OS}		25		mV	
4	Power suply rejection	PSRR		60		dB	1 KHz
5	Common mode rejection	CMRR		60		dB	-3.0V ≤ V_{IN} ≤ 3.0V
6	DC open loop voltage gain	A_{VOL}		65		dB	
7	Open loop unity gain bandwidth	f_C		1.5		MHz	
8	Output voltage swing	V_O		4.5		V_{pp}	$R_L \ge 100K\Omega$ to V_{SS}
9	Maximum capacitive load (GS)	C_L		100		pF	
10	Maximum resistive load (GS)	R_L		50		KΩ	
11	Common mode range	V_{CM}		3.0		V_{pp}	No Load

[1] V_{DD} = 5 V, V_{SS} = 0 V, T_A = 25° C

Typical figures are at 25°C and are for design aid only: not guaranteed and not subject to production testing

AC Electrical Characteristics[1] - Voltages are with respect to ground (V_{SS}) unless otherwise stated

		Characteristics	Sym	Min	Typ[1]	Max	Units	Notes
1	SIGNAL CONDITIONS	Valid input signal levels (each tone of composite signal)		-29			dBm	1,2,3,5,6,9
				27.5			mV_{RMS}	1,2,3,5,6,9
						+1	dBm	1,2,3,5,6,9
						883	mV_{RMS}	1,2,3,5,6,9
2		Positive twist accept			10		dB	2,3,6,9
3		Negative twist accept			10		dB	2,3,6,9
4		Freq. deviation accept		± 1.5% ± 2Hz			Nom	2,3,5,9
5		Freq. deviation reject		± 3.5%			Nom.	2,3,5,9
6		Third tone tolerance			-16		dB	2,3,4,5,9,10
7		Noise tolerance			-12		dB	2,3,4,5,7,9,10
8		Dial tone tolerance			+22		dB	2,3,4,5,8,9,11

[1] V_{DD} = 5 V, V_{SS} = 0, T_A = 25° C and f_C = 3.579545 MHz using test circuit shown in Figure 2

NOTES

1. dBm = decibels above or below a reference power of 1 mW into a 600 ohm load.
2. Digit sequence consists of all DTMF tones
3. Tone duration = 40 ms, tone pause = 40 ms.
4. Signal condition consists of nominal DTMF frequencies
5. Both tones in composite signal have an equal amplitude
6. Tone pair is deviated by ± 1.5% ± 2Hz.
7. Bandwidth limited (3KHz) Gaussian noise.
8. The precise dial tone frequencies are (350 Hz and 440 Hz) ± 2 %
9. For an error rate of better than 1 in 10,000
10. Referenced to lowest level frequency component in DTMF signal
11. Referenced to the minimum valid accept level

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC Electrical Characteristics[†] - Voltages are with respect to ground (V_{SS}) unless otherwise stated

		Characteristics	Sym	Min	Typ‡	Max	Units	Test Conditions
1	TIMING	Tone present detect time	t_{DP}	5	11	14	ms	see Figure 3
2		Tone absent detect time	t_{DA}	0.5	4	8.5	ms	see Figure 3
3		Tone duration accept	t_{REC}			40	ms	User adjustable
4		Tone duration reject	$\overline{t_{REC}}$	20			ms	User adjustable
5		Interdigit pause accept	t_{ID}			40	ms	User adjustable
6		Interdigit pause reject	t_{DO}	20			ms	User adjustable
7	OUTPUTS	Propagation delay (St to Q)	t_{PQ}		8	11	µs	TOE = V_{DD}
8		Propagation delay (St to StD)	t_{PStD}		12		µs	TOE = V_{DD}
9		Output data set up (Q to StD)	t_{QStD}		3.4		µs	TOE = V_{DD}
10		Propagation delay (TOE to Q ENABLE)	t_{PTE}		50		ns	RL = 10KΩ CL = 50 pF
11		Propagation delay (TOE to Q DISABLE)	t_{PTD}		300		ns	RL = 10KΩ CL = 50 pF
26	CLOCK	Crystal /clock frequency	f_C	3.5759	3.5795	3.5831	MHz	
27		Clock input rise time	t_{rCL}			110	ns	Ext. clock
28		Clock input fall time	t_{fCL}			110	ns	Ext. clock
29		Clock input duty cycle	DC_{CL}	40	50	60	%	Ext. clock
30		Capacitive load (OSC2)	C_{LO}			30	pF	

[†] V_{DD} = 5V, V_{SS} = 0V, T_A = 25°C and f_C = 3.579545 MHz, using test circuit in Figure 2.
‡ Typical figures are at 25°C and are for design aid only: not guaranteed and not subject to production testing.

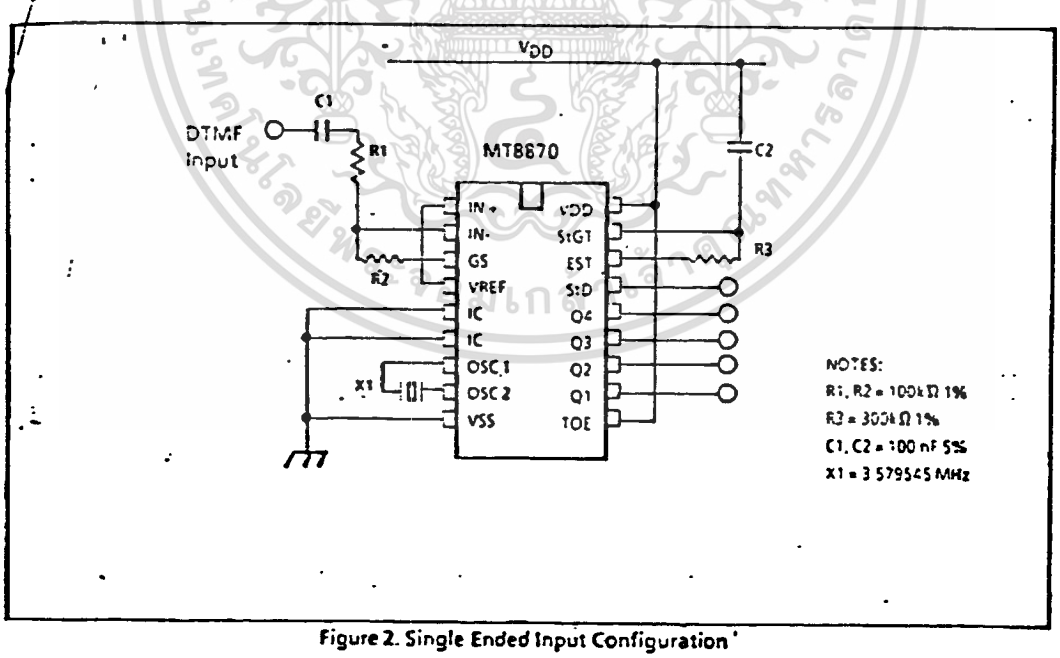


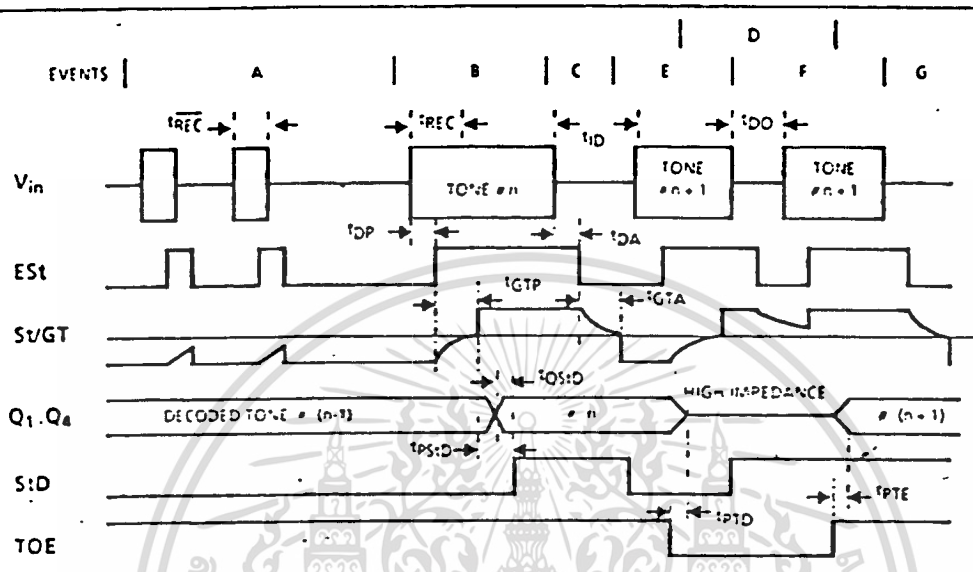
Figure 2. Single Ended Input Configuration

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Pin Description

Pin #	Name	Description
1	IN +	Non-inverting op-amp input.
2	IN-	Inverting op-amp input
3	GS	Gain select. Gives access to output of front end differential amplifier for connection of feedback resistor.
4	V_{REF}	Reference voltage output, nominally $V_{DD}/2$ is used to bias inputs at mid-rail (see Fig 2).
5	IC	Internal connection. Must be tied to V_{SS}.
6	IC	Internal connection. Must be tied to V_{SS}.
7	OSC1	Clock input.
8	OSC2	Clock output. A 3.5795 MHz crystal connected between OSC1 and OSC2 completes the internal oscillator circuit.
9	V_{SS}	Negative power supply input.
10	TOE	3- state output enable (input). Logic high enables the outputs Q1-Q4. Internal pull up.
11-14	Q1-Q4	3-state data outputs. When enabled by TOE, provide the code corresponding to the last valid tone-pair received (see Fig. 5)
15	StD	Delayed steering output. Presents a logic high when a received tone-pair has been registered and the output latch updated; returns to logic low when the voltage on St/GT falls below V_{TSt}.
16	ESt	Early steering output. Presents a logic high once the digital algorithm has detected a valid tone pair (signal condition). Any momentary loss of signal condition will cause ESt to return to a logic low.
19	St/GT	Steering input/guard time output (bi-directional). A voltage greater than V_{TSt} detected at St causes the device to register the detected tone pair and update the output latch. A voltage less than V_{TSt} frees the device to accept a new tone pair. The GT output acts to reset the external steering time-constant; its state is a function of ESt and the voltage on St.
18	V_{DD}	Positive power supply input.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



EXPLANATION OF EVENTS

A) TONE BURSTS DETECTED, TONE DURATION INVALID, OUTPUTS NOT UPDATED
B) TONE #n DETECTED, TONE DURATION VALID, TONE DECODED AND LATCHED IN OUTPUTS
C) END OF TONE #n DETECTED, TONE ABSENT DURATION VALID, OUTPUTS REMAIN LATCHED UNTIL NEXT VALID TONE
D) OUTPUTS SWITCHED TO HIGH IMPEDANCE STATE
E) TONE #n + 1 DETECTED, TONE DURATION VALID, TONE DECODED AND LATCHED IN OUTPUTS (CURRENTLY HIGH IMPEDANCE)
F) ACCEPTABLE DROPOUT OF TONE #n + 1, TONE ABSENT DURATION INVALID, OUTPUTS REMAIN LATCHED
G) END OF TONE #n + 1 DETECTED, TONE ABSENT DURATION VALID, OUTPUTS REMAIN LATCHED UNTIL NEXT VALID TONE

EXPLANATION OF SYMBOLS

V_{in}	DTMF COMPOSITE INPUT SIGNAL.
ESt	EARLY STEERING OUTPUT. INDICATES DECTECTION OF VALID TONE FREQUENCIES
St/GT	STEERING INPUT/GUARD TIME OUTPUT. DRIVES EXTERNAL RC TIMING CIRCUIT
Q_1-Q_4	4-BIT DECODED TONE OUTPUT
StD	DELAYED STEERING OUTPUT. INDICTES THAT VALID FREQUENCIES HAVE BEEN PRESENT/ABSENT FOR THE REQUIRED GUARD TIME THUS CONSISTUTING A VALID SIGNAL.
TOE	TONE OUTPUT ENABLE (INPUT). A LOW LEVEL SHIFTS Q_1-Q_4 TO ITS HIGH IMPEDANCE STATE.
$t_{\overline{REC}}$	MAXIMUM DTMF SIGNAL DURATION NOT DETECTED AS VALID
t_{REC}	MINIMUM DTMF SIGNAL DURATION REQUIRED FOR VALID RECOGNITION.
t_{ID}	MINIMUM TIME BETWEEN VALID DTMF SIGNALS.
t_{DO}	MAXIMUM ALLOWABLE DROP OUT DURING VALID DTMF SIGNAL
t_{DP}	TIME TO DETECT THE PRESENCE OF VALID DTMF SIGNALS
t_{DA}	TIME TO DETECT THE ABSENCE OF VALID DTMF SIGNALS
t_{GTP}	GUARD TIME, TONE PRESENT
t_{GTA}	GUARD TIME, TONE ABSENT

Figure 3. Timing Diagram

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

Functional Description

The MT8870 monolithic DTMF receiver offers small size, low power consumption and high performance. Its architecture consists of a bandsplit filter section, which seperates the high and low group tones, followed by a digital counting section which verifies the frequency and duration of the received tones before passing the corresponding code to the output bus.

Filter Section

Seperation of the low-group and high group tones is achieved by applying the DTMF signal to the inputs of two sixth-order switched capacitor band pass filters, the band-widths of which correspond to the low and high group frequencies. The filter section also incorporates notches at 350 and 440 Hz for exceptional dial tone rejection (see Fig 4). Each filter output is followed by a single order switched capacitor filter section which smooths the signals prior to limiting. Limiting is performed by high-gain comparators which are provided with hysteresis to prevent detection of unwanted low-level signals. The outputs of the comparators provide full rail logic swings at the frequencies of the incoming DTMF signals.

Decoder Section

Following the filter section is a decoder employing digital counting techniques to determine the frequencies of the incoming tones and to verify that they correspond to standard DTMF frequencies. A complex averaging algorithm protects against tone simulation by extraneous signals such as voice while providing tolerance to small frequency deviations and variations. This averaging algorithm has been developed to ensure an optimum combination of immunity to talk-off and tolerance to the presence of interfering frequencies (third tones) and noise. When the detector recognizes the presence of two valid tones (this is referred to as the "signal condition" in some industry specifications) the "Early Steering" (ESt) output will go to an active state. Any subsequent loss of signal condition will cause ESt to assume an inactive state (see "Steering Circuit").

Steering Circuit

Before registration of a decoded tone pair, the receiver checks for a valid signal duration (referred to as character recognition condition) This check is performed by an external RC time constant driven by ESt. A logic high on ESt causes v_c (see Fig. 6) to rise as the capacitor discharges.

Provided signal condition is maintained (ESt remains high) for the validation period (t_{GTP}), v_c reaches the threshold (V_{TSt}) of the steering logic to register the tone pair, latching its corresponing 4-bit code (see Fig. 5) into the output latch. At this point the GT output is activated and drives v_c to VDD. GT continues to drive high as long as ESt remains high. Finally, after a short delay to allow the output latch to settle, the delayed steering output flag (StD) goes high, signalling that a received tone pair has been registered. The contents of the output latch are made available on the 4-bit output bus by raising the three state control input (TOE) to a logic high. The steering circuit works in reverse to

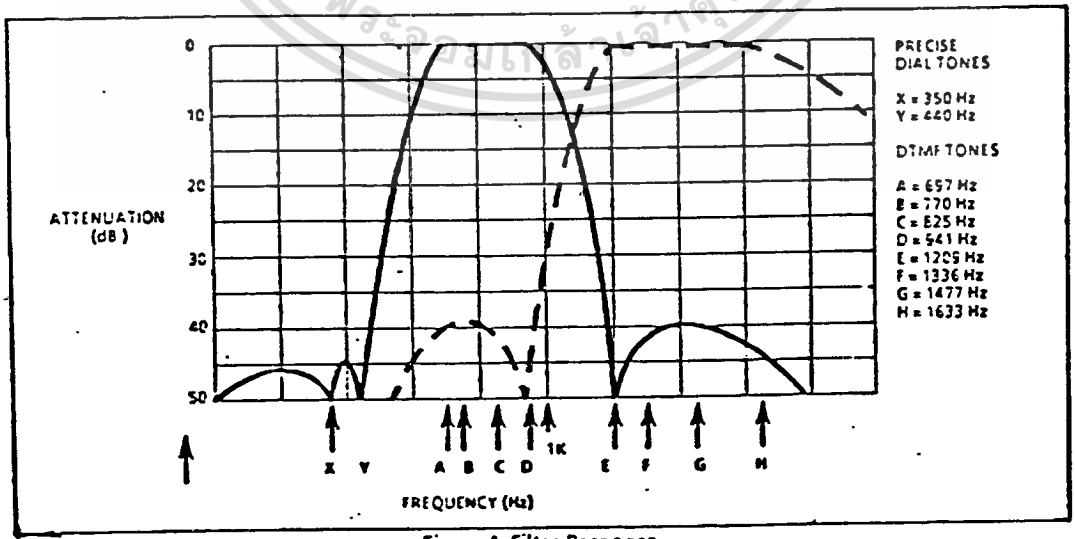


Figure 4. Filter Response

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

f_{LOW}	f_{HIGH}	NO	TOE	Q_4	Q_3	Q_2	Q_1
697	1209	1	H	0	0	0	1
697	1336	2	H	0	0	1	0
697	1477	3	H	0	0	1	1
770	1209	4	H	0	1	0	0
770	1336	5	H	0	1	0	1
770	1477	6	H	0	1	1	0
852	1209	7	H	0	1	1	1
852	1336	8	H	1	0	0	0
852	1477	9	H	1	0	0	1
941	1336	0	H	1	0	1	0
941	1209	*	H	1	0	1	1
941	1477	#	H	1	1	0	0
697	1633	A	H	1	1	0	1
770	1633	B	H	1	1	1	0
852	1633	C	H	1	1	1	1
941	1633	D	H	0	0	0	0
-	-	ANY	L	Z	Z	Z	Z

L = LOGIC LOW, H = LOGIC HIGH, Z = HIGH IMPEDANCE

Figure 5. Functional Decode Table

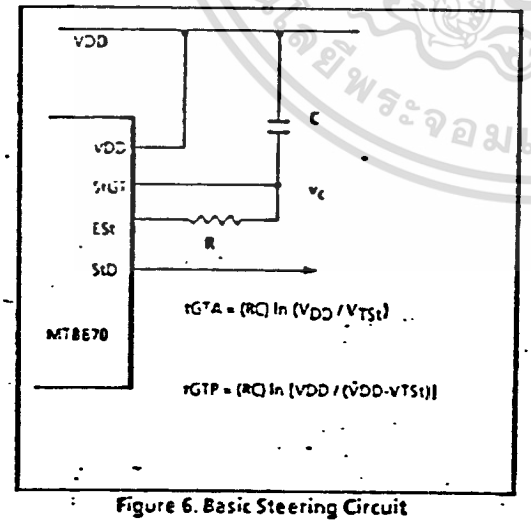


Figure 6. Basic Steering Circuit

validate the interdigit pause between signals. Thus, as well as rejecting signals too short too be considered valid, the receiver will tolerate signal interruptions (drop out) too short to be considered a valid pause. This facility, together with the capability of selecting the steering time constants externally, allows the designer to tailor performance to meet a wide variety of system requirements.

Guard Time Adjustment

In many situations not requiring selection of tone duration and interdigital pause, the simple steering circuit shown in Fig. 6 is applicable. Component values are chosen according to the formula:

$$t_{REC} = t_{DP} + t_{GTP}$$
$$t_{ID} = t_{DA} + t_{GTA}$$

The value of t_{DP} is a device parameter (see table) and t_{REC} is the minimum signal duration to be recognized by the receiver. A value for C of 0.1 μF is recommended for most applications, leaving R to be selected by the designer.

Different steering arrangements may be used to select independantly the guard times for tone present (t_{GTP}) and tone absent (t_{GTA}). This may be necessary to meet system specifications which place both accept and reject limits on both tone duration and interdigital pause. Guard time adjustment also allows the designer to tailor system parameters such as talk off and noise immunity. Increasing t_{REC} improves talk-off performance since it reduces the probability that tones simulated by speech will maintain signal condition long enough to be registered. Alternatively, a relatively short t_{REC} with a long t_{DO} would be appropriate for extremely noisy environments where fast aquisition time and immunity to tone drop-outs are required. Design information for guard time adjustment is shown in Figure 7

Differential Input Configuration

The input arrangement of the MT8870 provides a differential-input operational amplifier as well as a bias source(V_{Ref}) which is used to bias the inputs at mid-rail. Provision is made for connection of a feedback resistor to the op-amp output (GS) for adjustment of gain. In a single-ended configuration, the input pins are connected as shown in Fig. 2 with the op-amp connected for unity gain and V_{Ref} biasing the input at $\frac{1}{2}V_{DD}$. Fig. 8 shows the differential configuration, which permits the

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

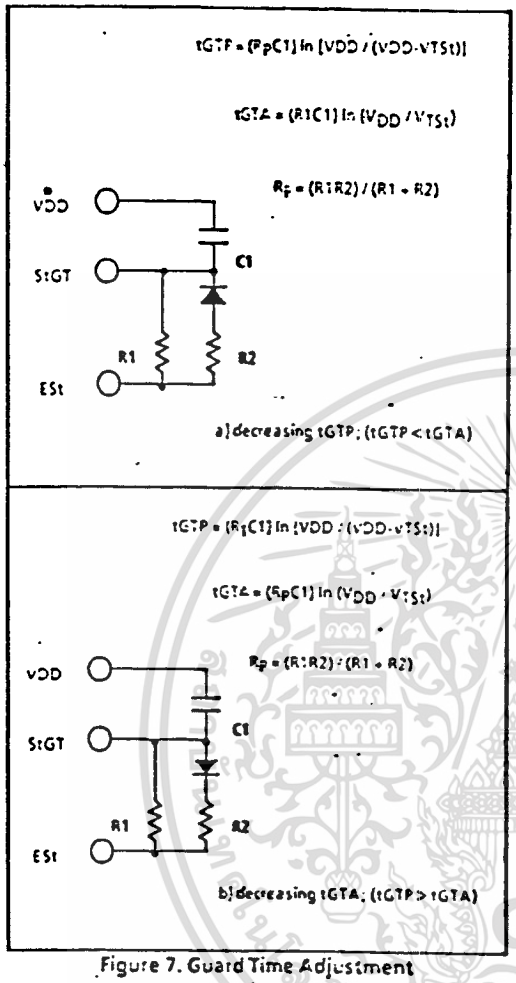


Figure 7. Guard Time Adjustment

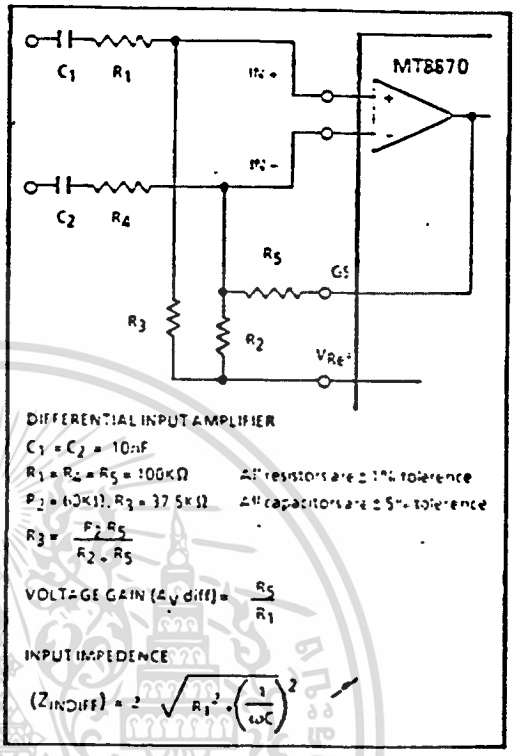


Figure 8. Differential Input Configuration

adjustment of gain with the feedback resistor R_5.

Crystal Oscillator

The internal clock circuit is completed with the addition of an external 3.58 MHz crystal and is normally connected as shown in Figure 2 (Single Ended Input Configuration). However, it is possible to configure several MT8870 devices employing only a single oscillator crystal. The oscillator output of the first device in the chain is coupled through a 30 pF capacitor to the oscillator input (OSC1) of the next device. Subsequent devices are connected in a similar fashion. Refer to Fig. 9 for details. The problems associated with unbalanced loading are not a concern with the arrangement shown, ie; precision balancing capacitors are not required.

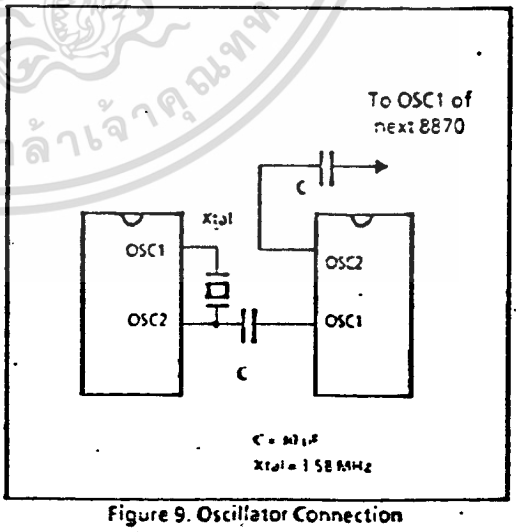


Figure 9. Oscillator Connection

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TMS4256, TMS4257
262,144-BIT DYNAMIC RANDOM-ACCESS MEMORIES

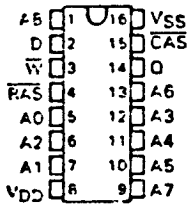
MAY 1983 - REVISED NOVEMBER 1985

- 262,144 X 1 Organization
- Single 5-V Supply (10% Tolerance)
- JEDEC Standardized Pinout
- Upward Pin Compatible with TMS4164 (64K Dynamic RAM)
- Performance Ranges:

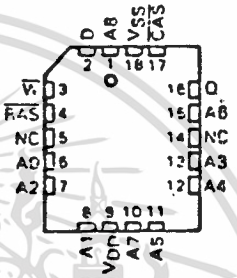
DEVICE	ACCESS TIME ROW ADDRESS (MAX)	ACCESS TIME COLUMN ADDRESS (MAX)	READ OR WRITE CYCLE (MIN)
TMS4256-12 TMS4257-12	120 ns	60 ns	230 ns
TMS4256-15 TMS4257-15	150 ns	75 ns	260 ns
TMS4256-20 TMS4257-20	200 ns	100 ns	330 ns

- Long Refresh Period . . . 4 ms (Max)
- Low Refresh Overhead Time . . . As Low As 1.3% of Total Refresh Period
- On-Chip Substrate Bias Generator
- Operations of the TMS4256/TMS4257 Can Be Controlled by TI's THCT4502 Dynamic RAM Controller
- All Inputs, Outputs, and Clocks Fully TTL Compatible
- 3-State Unlatched Output
- Common I/O Capability with "Early Write" Feature
- Page ('4256) or Nibble-Mode ('4257) Options for Faster Access Operation
- Power Dissipation As Low As
  - Operating . . . 275 mW (Typ)
  - Standby . . . 12.5 mW (Typ)
- $\overline{RAS}$-Only Refresh Mode
- Hidden Refresh Mode
- $\overline{CAS}$-Before-$\overline{RAS}$ Refresh Mode
- Available with MIL-STD-883B Processing and L(0°C to 70°C), E(−40°C to 85°C), or S(−55°C to 100°C) Temperature Ranges

N PACKAGE
(TOP VIEW)



FM PACKAGE
(TOP VIEW)



PIN NOMENCLATURE	
A0–A8	Address Inputs
$\overline{CAS}$	Column-Address Strobe
D	Data In
NC	No Connection
Q	Data Out
$\overline{RAS}$	Row-Address Strobe
V_{DD}	5-V Supply
V_{SS}	Ground
$\overline{W}$	Write Enable

description

The '4256 and '4257 are high-speed, 262,144-bit dynamic random-access memories, organized as 262,144 words of one bit each. They employ state-of-the-art SMOS (scaled MOS) N-channel double-level polysilicon/polycide gate technology for very high performance combined with low cost and improved reliability.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

These devices feature maximum $\overline{RAS}$ access times of 120 ns, 150 ns, or 200 ns. Typical power dissipation is as low as 275 mW operating and 12.5 mW standby.

New SMOS technology permits operation from a single 5-V supply, reducing system power supply and decoupling requirements, and easing board layout. I_{DD} peaks are 125 mA typical, and a −1-V input voltage undershoot can be tolerated, minimizing system noise considerations.

All inputs and outputs, including clocks, are compatible with Series 74 TTL. All address and data-in lines are latched on chip to simplify system design. Data out is unlatched to allow greater system flexibility.

The '4256 and '4257 are offered in 16-pin plastic dual-in-line and 18-lead plastic chip carrier packages. They are guaranteed for operation from 0°C to 70°C. The dual-in-line package is designed for insertion in mounting-hole rows on 7.62-mm (300-mil) centers.

operation

address (A0 through A8)

Eighteen address bits are required to decode 1 of 262,144 storage cell locations. Nine row-address bits are set up on pins A0 through A8 and latched onto the chip by the row-address strobe ($\overline{RAS}$). Then the nine column-address bits are set up on pins A0 through A8 and latched onto the chip by the column-address strobe ($\overline{CAS}$). All addresses must be stable on or before the falling edges of $\overline{RAS}$ and $\overline{CAS}$. $\overline{RAS}$ is similar to a chip enable in that it activates the sense amplifiers as well as the row decoder. $\overline{CAS}$ is used as a chip select activating the column decoder and the input and output buffers.

write enable ($\overline{W}$)

The read or write mode is selected through the write-enable ($\overline{W}$) input. A logic high on the $\overline{W}$ input selects the read mode and a logic low selects the write mode. The write-enable terminal can be driven from standard TTL circuits without a pull-up resistor. The data input is disabled when the read mode is selected. When $\overline{W}$ goes low prior to $\overline{CAS}$, data out will remain in the high-impedance state for the entire cycle permitting common I/O operation.

data in (D)

Data is written during a write or read-modify-write cycle. Depending on the mode of operation, the falling edge of $\overline{CAS}$ or $\overline{W}$ strobes data into the on-chip data latch. This latch can be driven from standard TTL circuits without a pull-up resistor. In an early write cycle, $\overline{W}$ is brought low prior to $\overline{CAS}$ and the data is strobed in by $\overline{CAS}$ with setup and hold times referenced to this signal. In a delayed-write or read-modify-write cycle, $\overline{CAS}$ will already be low, thus the data will be strobed in by $\overline{W}$ with setup and hold times referenced to this signal.

data out (Q)

The three-state output buffer provides direct TTL compatibility (no pull-up resistor required) with a fan out of two Series 74 TTL loads. Data out is the same polarity as data in. The output is in the high-impedance (floating) state until $\overline{CAS}$ is brought low. In a read cycle the output goes active after the access time interval $t_{a(C)}$ that begins with the negative transition of $\overline{CAS}$ as long as $t_{a(R)}$ is satisfied. The output becomes valid after the access time has elapsed and remains valid while $\overline{CAS}$ is low; $\overline{CAS}$ going high returns it to a high-impedance state. In a read-modify-write cycle, the output will follow the sequence for the read cycle.

refresh

A refresh operation must be performed at least once every four milliseconds to retain data. This can be achieved by strobing each of the 256 rows (A0-A7). A normal read or write cycle will refresh all bits in each row that is selected. A $\overline{RAS}$-only operation can be used by holding $\overline{CAS}$ at the high (inactive) level thus conserving power as the output buffer remains in the high-impedance state.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$\overline{CAS}$-before-$\overline{RAS}$ refresh

The $\overline{CAS}$-before-$\overline{RAS}$ refresh is utilized by bringing $\overline{CAS}$ low earlier than $\overline{RAS}$ (see parameter t_{CLRL}) and holding it low after $\overline{RAS}$ falls (see parameter t_{RLCHR}). For successive $\overline{CAS}$-before-$\overline{RAS}$ refresh cycles, $\overline{CAS}$ can remain low while cycling $\overline{RAS}$. The external address is ignored and the refresh address is generated internally.

hidden refresh

Hidden refresh may be performed while maintaining valid data at the output pin. This is accomplished by holding $\overline{CAS}$ at V_{IL} after a read operation and cycling $\overline{RAS}$ after a specified precharge period, similar to a "$\overline{RAS}$-only" refresh cycle. The external address is also ignored during the hidden refresh cycles.

page mode (TMS4256)

Page-mode operation allows effectively faster memory access by keeping the same row address and strobing random column addresses onto the chip. Thus, the time required to setup and strobe sequential row addresses for the same page is eliminated. The maximum number of columns that can be addressed is determined by $t_{w(RL)}$, the maximum $\overline{RAS}$ low pulse duration.

nibble mode (TMS4257)

Nibble-mode operation allows high-speed serial read, write, or read-modify-write access of 1 to 4 bits of data. The first bit is accessed in the normal manner with read data coming out at $t_{a(C)}$ time. The next sequential nibble bits can be read or written by cycling $\overline{CAS}$ while $\overline{RAS}$ remains low. The first bit is determined by the row and column addresses, which need to be supplied only for the first access. Column A8 and row A8 (CA8, RA8) provide the two binary bits for initial selection of the nibble addresses. Thereafter, the falling edge of $\overline{CAS}$ will access the next bit of the circular 4-bit nibble in the following sequence:

In nibble-mode, all normal memory operations (read, write, or ready-modify-write) may be performed in any desired combination.

power-up

To achieve proper device operation, an initial pause of 200 μs is required after power up followed by a minimum of eight initialization cycles.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Z8400
Z80® CPU Central Processing Unit

Zilog

Product Specification

April 1985

FEATURES

- The instruction set contains 158 instructions. The 78 instructions of the 8080A are included as a subset; 8080A software compatibility is maintained.
- Eight MHz, 6 MHz, 4 MHz, and 2.5 MHz clocks for the Z80H, Z80B, Z80A, and Z80 CPU result in rapid instruction execution with consequent high data throughput.
- The extensive instruction set includes string, bit, byte, and word operations. Block searches and block transfers, together with indexed and relative addressing, result in the most powerful data handling capabilities in the microcomputer industry.
- The Z80 microprocessors and associated family of peripheral controllers are linked by a vectored interrupt system. This system may be daisy-chained to allow implementation of a priority interrupt scheme. Little, if any, additional logic is required for daisy-chaining.
- Duplicate sets of both general-purpose and flag registers are provided, easing the design and operation of system software through single-context switching, background-foreground programming, and single-level interrupt processing. In addition, two 16-bit index registers facilitate program processing of tables and arrays.
- There are three modes of high speed interrupt processing: 8080 similar, non-Z80 peripheral device, and Z80 Family peripheral with or without daisy chain.
- On-chip dynamic memory refresh counter.

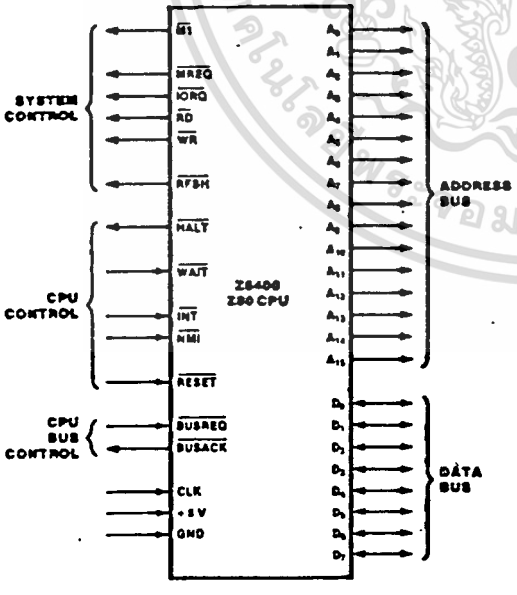


Figure 1. Pin Functions

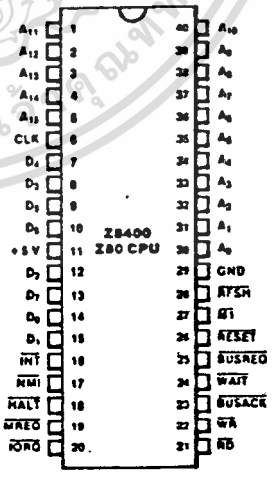


Figure 2a. 40-Pin Dual-In-Line Package (DIP) Pin Assignments

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

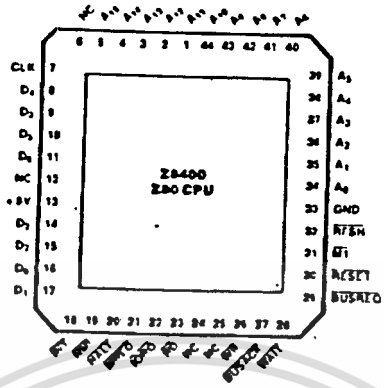


Figure 2b. 44-Pin Chip Carrier Pin Assignments

GENERAL DESCRIPTION

The Z80, Z80A, Z80B, and Z80H CPUs are third-generation single-chip microprocessors with exceptional computational power They offer higher system throughput and more efficient memory utilization than comparable second- and third-generation microprocessors. The internal registers contain 208 bits of read/write memory that are accessible to the programmer. These registers include two sets of six general-purpose registers which may be used individually as either 8-bit registers or as 16-bit register pairs. In addition, there are two sets of accumulator and flag registers. A group of "Exchange" instructions makes either set of main or alternate registers accessible to the programmer. The alternate set allows operation in foreground-background mode or it may be reserved for very fast interrupt response.

The Z80 also contains a Stack Pointer, Program Counter, two index registers, a Refresh register (counter), and an Interrupt register. The CPU is easy to incorporate into a system since it requires only a single + 5V power source. All output signals are fully decoded and timed to control standard memory or peripheral circuits; the CPU is supported by an extensive family of peripheral controllers. The internal block diagram (Figure 3) shows the primary functions of the Z80 processors. Subsequent text provides more detail on the Z80 I/O controller family, registers, instruction set, interrupts and daisy chaining, and CPU timing.

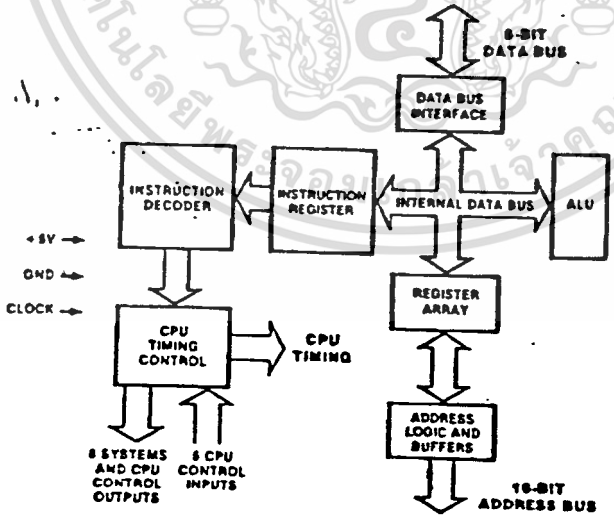


Figure 3. Z80 CPU Block Diagram

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

54245 '74245 Octal Bus Transceivers with 3-state Outputs

	Schottky TTL					High-Speed TTL					Low-Power Schottky TTL					Standard TTL					Low-Power TTL				
	Device Type	Package				Device Type	Package				Device Type	Package				Device Type	Package				Device Type	Package			
		C	P	M	CF		C	P	M	CF		C	P	M	CF		C	P	M	CF		C	P	M	CF
T I											SN54, S245 SN74, S245			W N	A										
FAIRCHILD																									
MOTOROLA																									
N S C																									
PHILIPS																									
SIGNETICS																									
SIEMENS																									
FUJITSU																									
HITACHI																									
MITSUBISHI																									
NEC																									
TOSHIBA																									

Electrical Characteristics SN54LS245 SN74LS245

absolute maximum ratings over operating free-air temperature range

Supply voltage, V_{CC}	7 V	Operating free-air temperature range	SN54LS245	55°C to 125°C	
Input voltage	7 V		SN74LS245	0°C to 70°C	
		Storage temperature range		65°C to 150°C	

recommended operating conditions

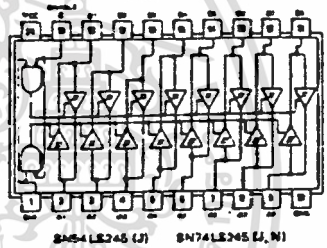
	SN54LS245			SN74LS245			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage, V_{CC}	4.5	5	5.5	4.75	5	5.25	V
High-level output current, I_{OH}			−12			−15	mA
Low-level output current, I_{OL}			12			24	mA
Operating free-air temperature, T_A	−55		125	0		70	°C

electrical characteristics over recommended operating free-air temperature range

PARAMETER		TEST CONDITIONS†		SN74LS245 MIN	TYP‡	MAX	UNIT
V_{IH}	High-level input voltage			2			V
V_{IL}	Low-level input voltage					0.8	V
V_{IK}	Input clamp voltage	V_{CC} = MIN, I_I = −18 mA				−1.5	V
	Hysteresis ($V_{T+} - V_{T-}$) A or B input	V_{CC} = MIN			0.2	0.4	V
V_{OH}	High-level output voltage	V_{CC} = MIN, V_{IH} = 2 V, V_{IL} = V_{IL} max	I_{OH} = −3 mA	2.4	3.4		V
			I_{OH} = MAX	2			
V_{OL}	Low-level output voltage	V_{CC} = MIN, V_{IH} = 2 V, V_{IL} = V_{IL} max	I_{OL} = 12 mA			0.4	V
			I_{OL} = 24 mA			0.5	
I_{OZH}	Off-state output current, high-level voltage applied	V_{CC} = MAX, G at 2 V	V_O = 2.7 V			20	μA
I_{OZL}	Off-state output current, low-level voltage applied		V_O = 0.4 V			−200	
I_I	Input current at maximum input voltage	A or B	V_I = 5.5 V			0.1	mA
		DIR or $\overline{G}$	V_I = 7 V			0.1	
I_{IH}	High-level input current	V_{CC} = MAX, V_{IH} = 2.7 V				20	μA
I_{IL}	Low-level input current	V_{CC} = MAX, V_{IL} = 0.4 V				−0.2	mA
I_{OS}	Short-circuit output current	V_{CC} = MAX		−40		−225	mA
I_{CC}	Supply current	Total, outputs high	V_{CC} = MAX, Outputs open		48	70	mA
		Total, outputs low			62	90	
		Outputs at Hi-Z			64	95	

switching characteristics, V_{CC} = 5 V, T_A = 25°C

PARAMETER		TEST CONDITIONS	MIN	TYP	MAX	UNIT
t_{PLH}	Propagation delay time, low-to-high-level output	C_L = 45 pF, R_L = 667 Ω, See Note 2		8	12	ns
t_{PHL}	Propagation delay time, high-to-low-level output			8	12	ns
t_{PZL}	Output enable time to low level			27	40	ns
t_{PZL}	Output enable time to high level			25	40	ns
t_{PLZ}	Output disable time from low level	C_L = 5 pF, R_L = 667 Ω, See Note 2		15	25	ns
t_{PHZ}	Output disable time from high level			15	25	ns



SN54LS245 (J) SN74LS245 (J, N)

† For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.
‡ All typical values are at V_{CC} = 5 V, T_A = 25°C.
§ Not more than one output should be shorted at a time, and duration of the short-circuit should not not exceed one second.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

54373/74373 Octal D-Type Transparent Latches and Edge-Triggered Flip-Flops

	Schottky TTL					High-Speed TTL					Low-Power Schottky TTL					Standard TTL					Low-Power TTL				
	Device Type	Package				Device Type	Package				Device Type	Package				Device Type	Package				Device Type	Package			
		C	P	M	CF		C	P	M	CF		C	P	M	CF		C	P	M	CF		C	P	M	CF
T.I.	SN54LS373	J①									SN54LS373	J													
	SN74LS373	J	N①								SN74LS373	J	[illegible]												
FAIRCHILD																									
MOTOROLA																									
N.S.C.																									
PHILIPS																									
SIGNETICS																									
SIEMENS																									
FUJITSU																									
HITACHI																									
MITSUBISHI																									
NEC																									
TOSHIBA																									

Electrical Characteristics SN54LS373/SN74LS373

† absolute maximum ratings over operating free-air temperature range

Supply voltage, V_{CC}	7V	Operating free-air temperature range	SN54LS	−55°C to 125°C
Input voltage	7V		SN74LS	0°C to 70°C
		Storage temperature range		−65°C to 150°C

recommend operating conditions

		SN54LS373			SN74LS373			UNIT
		MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage, V_{CC}		4.5	5	5.5	4.75	5	5.25	V
High-level output current, I_{OH}				−1			−2.6	mA
High-level output voltage, V_{OH}				5.5			5.5	V
Pulse width, t_w	Clock enable high	15			15			ns
	Clock enable high	15			15			
Setup time, t_{SU} ↓		0 ↓			0 ↓			ns
Hold time, t_{hold}		10 ↓			10 ↓			ns
Operating free-air temperature, T_A		−55		125	0		70	°C

electrical characteristics over recommended operating free-air temperature range (unless otherwise noted)

	PARAMETER	TEST CONDITIONS‡		MIN	TYP‡	MAX	UNIT
V_{IH}	High-level input voltage			2			V
V_{IL}	Low-level input voltage					0.8	V
V_{IK}	Input clamp voltage	V_{CC} = MIN, I_I = −18mA				−1.5	V
V_{OH}	High-level output voltage	V_{CC} = MIN, V_{IH} = 2V, V_{IL} = V_{IL} max, I_{OH} = MAX		2.4	3.1		V
V_{OL}	Low-level output voltage	V_{CC} = MIN, V_{IH} = 2V, V_{IL} = V_{IL} max	I_{OL} = 24mA		0.35	0.5	V
I_{OZH}	Off-state output current, high-level voltage applied	V_{CC} = MAX, V_{IH} = 2V, V_O = 2.7V				20	μA
I_{OZL}	Off-state output current, low-level voltage applied	V_{CC} = MAX, V_{IH} = 2V, V_O = 0.4V				−20	μA
I_I	Input current at maximum input voltage	V_{CC} = MAX, V_I = 7V				0.1	mA
I_{IH}	High-level input current	V_{CC} = MAX, V_I = 2.7V				20	μA
I_{IL}	Low-level input current	V_{CC} = MAX, V_I = 0.4V				−0.4	mA
I_{OS}	Short-circuit output current§	V_{CC} = MAX		−30		−130	mA
I_{CC}	Supply current	V_{CC} = MAX, Output control at 4.5V	'LS373		24	48	mA

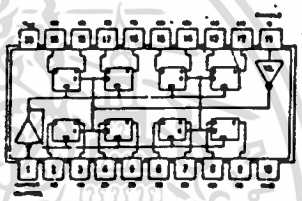
switching characteristics, V_{CC} = 5V, T_A = 25°C

PARAMETER	FROM (INPUT)	TO (OUTPUT)	TEST CONDITIONS	MIN	TYP	MAX	UNIT
f_{max}			C_L = 45pF, R_L = 667Ω, See Notes 2 and 3				MHz
t_{PLH}	Data	Any Q			12	18	ns
t_{PHL}					12	18	
t_{PLH}	Clock or enable	Any Q			20	30	ns
t_{PHL}					18	30	
t_{PZH}	Output Control	Any Q			15	25	ns
t_{PZL}					25	35	
t_{PHZ}	Output Control	Any Q	C_L = 5pF, R_L = 667Ω, See Note 3		12	20	ns
t_{PLZ}					15	25	

† For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.
‡ All typical values are at V_{CC} = 5V, T_A = 25°C.
§ Not more than one output should be shorted at a time and duration of the short circuit should not exceed one second.

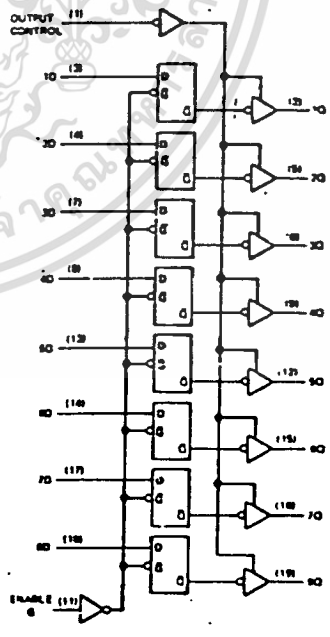
NOTES 2. Maximum clock frequency is tested with all outputs loaded
3. See test circuits and waveforms on page 3-11
f_{max} = maximum clock frequency
t_{PLH} = propagation delay time, low-to-high-level output
t_{PHL} = propagation delay time, high-to-low-level output
t_{PZH} = output enable time to high level
t_{PZL} = output enable time to low level
t_{PHZ} = output disable time from high level
t_{PLZ} = output disable time from low level

Pin Assignments (Top View)



SN54LS373 (J)　SN74LS373 (J, N)
SN54S373 (J)　SN74S373 (J, N)

'LS373, 'S373
TRANSPARENT LATCHES

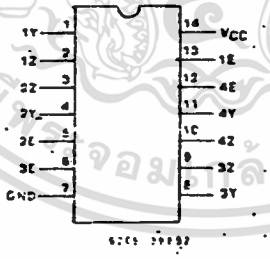


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

...XIMUM RATINGS, *Absolute-Maximum Values:*

...SUPPLY-VOLTAGE, (V_{CC}):
...oltages referenced to ground)
...CT Types ..... -0.5 to +7 V
...C Types ..... -0.5 to +10.5 V
...INPUT DIODE CURRENT, I_{IK} (FOR $V_I < -0.5$ V OR $V_I > V_{CC} + 0.5$ V) ..... ±20 mA
...SWITCH DIODE CURRENT, I_{SK} (FOR $V_S < -0.5$ V OR $V_S > V_{CC} + 0.5$ V) ..... ±20 mA
...SWITCH CURRENT, I_S, (FOR $V_I > -0.5$ V OR $V_I < V_{CC} + 0.5$ V) ..... ±25 mA
...V_{CC} OR GROUND CURRENT (I_{CC}) ..... ±50 mA
...WER DISSIPATION PER PACKAGE (P_D):
...For T_A = -40 to +60° C (PACKAGE TYPE E) ..... 500 mW
...For T_A = +60 to +85° C (PACKAGE TYPE E) ..... Derate Linearly at 8 mW/° C to 300 mW
...For T_A = -55 to +100° C (PACKAGE TYPE F, H) ..... 500 mW
...For T_A = +100 to +125° C (PACKAGE TYPE F, H) ..... Derate Linearly at 8 mW/° C to 300 mW
...For T_A = -40 to +70° C (PACKAGE TYPE M) ..... 400 mW
...For T_A = +70 to +125° C (PACKAGE TYPE M) ..... Derate Linearly at 6 mW/° C to 70 mW
...PERATING-TEMPERATURE RANGE (T_A):
...PACKAGE TYPE F, H ..... -55 to +125° C
...PACKAGE TYPE E, M ..... -40 to +85° C
...ORAGE TEMPERATURE (T_{stg}) ..... -65 to +150° C
...AD TEMPERATURE (DURING SOLDERING):
...t distance 1/16 ± 1/32 in. (1.59 ± 0.79 mm) from case for 10 s max ..... +265° C
...ckage inserted into a PC Board (min. thickness 1/16 in., 1.59 mm)
...with solder contacting lead tips only ..... +300° C

...stem applications, the external load-resistor current may include both V_{CC} and signal-line components. To avoid drawing V_{CC} current ...n switch current flows into the transmission gate inputs, (terminals 1, 4, 8 and 11) the voltage drop across the bidirectional switch must ...exceed 0.6 volt (calculated from R_{on} values shown in the Electrical Characteristics Chart). No V_{CC} current will flow through R_L if the switch ...rrent flows into terminals 2, 3, 9 and 10.



TERMINAL ASSIGNMENT

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CD54/74HC4066, CD54/74HCT4066 — File No. 1777

RECOMMENDED OPERATING CONDITIONS: For maximum reliability, nominal operating conditions should be selected so that operation is always within the following ranges:

CHARACTERISTIC	LIMITS MIN.	LIMITS MAX.	UNITS
Supply-Voltage Range (For T_A = Full Package-Temperature Range) V_{CC}:*			
CD54/74HC Types	2	10	V
CD54/74HCT Types	4.5	5.5	V
DC Input Voltage, V_I, and Analog Switch Voltage, V_{IO}	0	V_{CC}	V
Operating Temperature T_A:			
CD74 Types	-40	+85	°C
CD54 Types	-55	+125	°C
Input Rise and Fall Times t_r, t_f (Control Inputs)			
at 2 V	0	1000	ns
at 4.5 V	0	500	ns
at 6 V	0	250	ns

*Unless otherwise specified, all voltages are referenced to Ground.

STATIC ELECTRICAL CHARACTERISTICS

CHARACTERISTIC	CD74HC4066, CD54HC4066 — TEST CONDITIONS: CONTROL V_I (V)	SWITCH V_{IS} (V)	V_{CC} (V)	74HC/54HC TYPES: -25°C Min	Typ	Max	74HC TYPES: -40/+85°C Min	Max	54HC TYPES: -55/+125°C Min	Max	CD74HCT4066, CD74HCT4066 — TEST CONDITIONS: CONTROL V_I (V)	SWITCH V_{IS} (V)	V_{CC} (V)	74HCT/54HCT TYPES: +25°C Min	Typ	Max	74HCT TYPES: -40/+85°C Min	Max	54HCT TYPES: -55/+125°C Min	Max	UNITS
High-Level Input Voltage V_{IH}	—	—	2	1.5	—	—	1.5	—	1.5	—	—	—	4.5 to 5.5	2	—	—	2	—	2	—	V
			4.5	3.15	—	—	3.15	—	3.15	—											
			6	4.2	—	—	4.2	—	4.2	—											
Low-Level Input Voltage V_{IL}	—	—	2	—	—	0.5	—	0.5	—	0.5	—	—	4.5 to 5.5	—	—	0.8	—	0.8	—	0.8	V
			4.5	—	—	1.35	—	1.35	—	1.35											
			6	—	—	1.8	—	1.8	—	1.8											
Input Leakage Current (Any Control) I_{IN}	V_{CC} or Gnd	—	10	—	—	±0.1	—	±1	—	±1	Any Voltage Between V_{CC} & Gnd	—	5.5	—	—	±0.1	—	±1	—	±1	μA
Off-Switch Leakage Current I_{IZ}	V_{IL}	V_{CC} or Gnd	10	—	—	±0.1	—	±1	—	±1	V_{IL}	V_{CC} or Gnd	5.5	—	—	±0.1	—	±1	—	±1	μA
"On" Resistance I_S = 1 mA (Fig. 2) R_{on}	V_{CC}	V_{CC} or Gnd	4.5	—	25	80	—	105	—	125	V_{CC}	V_{CC} or Gnd	4.5	—	25	80	—	105	—	125	Ω
			6	—	20	75	—	94	—	113			—	—	—	—	—	—	—	—	
			9	—	15	60	—	78	—	95			—	—	—	—	—	—	—	—	
	V_{CC}	V_{CC} to Gnd	4.5	—	35	95	—	118	—	142	V_{CC}	V_{CC} to Gnd	4.5	—	35	95	—	118	—	142	
			6	—	24	84	—	105	—	126			—	—	—	—	—	—	—	—	
			9	—	16	70	—	88	—	105			—	—	—	—	—	—	—	—	
"On" Resistance Between Any Two Switches ΔR_{on}	V_{CC}	—	4.5	—	1	—	—	—	—	—	V_{CC}	—	4.5	—	1	—	—	—	—	—	
			6	—	0.75	—	—	—	—	—			—	—	—	—	—	—	—	—	
			9	—	0.5								—	—	—	—	—	—	—	—	
Quiescent Device Current I_{CC}	V_{CC} or Gnd	—	6	—	—	2	—	20	—	40	V_{CC} or Gnd	—	5.5	—	—	2	—	20	—	40	μA
			10	—	—	16	—	160	—	320											
Additional Quiescent Device Current per Input Pin 1 Unit Load ΔI_{CC}*	—	—	—	—	—	—	—	—	—	—	V_{CC}-2.1	—	4.5 to 5.5	—	100	360	—	450	—	490	μA

* For dual-supply systems theoretical worst case (V_I = 2.4 V, V_{CC} = 5.5 V) specification is 1.8 mA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

HCT Input Loading Table

Input	Unit Loads *
All	1

* Unit load is ΔI_{CC} limit specified in Static Characteristic Chart, e.g., 360 μA max. @ 25°C.

SWITCHING CHARACTERISTICS (V_{CC} = 5 V, T_A = 25°C, Input t_r, t_f = 6 ns)

CHARACTERISTIC		C_L pF	TYPICAL HC	TYPICAL HCT	UNITS
Propagation Delay Time: Switch In to Out	t_{PHL}, t_{PLH}	15	4	4	ns
Switch Turn Off	t_{PHZ}, t_{PLZ}	15	12	14	ns
Switch Turn On	t_{PZH}, t_{PZL}	15	8	9	ns
Power Dissipation Capacitance*	C_{PD}	—	25	38	pF

*C_{PD} is used to determine the dynamic power consumption, per package.

$P_D = C_{PD} V_{CC}^2 f_i + \Sigma (C_L + C_S) V_{CC}^2 f_o$ where: f_i = input frequency, f_o = output frequency, C_L = load capacitance, C_S = switch capacitance, V_{CC} = supply voltage

SWITCHING CHAARACTERISTICS (C_L = 50 pF, Input t_r, t_f = 6 ns)

CHARACTERISTIC		V_{CC}	25°C HC Min.	25°C HC Max.	25°C HCT Min.	25°C HCT Max.	-40°C to +85°C 74HC Min.	-40°C to +85°C 74HC Max.	-40°C to +85°C 74HCT Min.	-40°C to +85°C 74HCT Max.	-55°C to +125°C 54HC Min.	-55°C to +125°C 54HC Max.	-55°C to +125°C 54HCT Min.	-55°C to +125°C 54HCT Max.	UNITS
Propagation Delay Time Switch In to Out	t_{PLH}	2	—	60	—	—	—	75	—	—	—	90	—	—	ns
	t_{PHL}	4.5	—	12	—	12	—	15	—	15	—	18	—	18	ns
		9	—	8	—	—	—	11	—	—	—	13	—	—	ns
Switch Turn On Delay	t_{PZH}	2	—	100	—	—	—	125	—	—	—	150	—	—	ns
	t_{PZL}	4.5	—	20	—	24	—	25	—	30	—	30	—	36	ns
		9	—	12	—	—	—	15	—	—	—	18	—	—	ns
Switch Turn Off Delay		2	—	150	—	—	—	190	—	—	—	225	—	—	ns
	t_{PHZ}, t_{PLZ}	4.5	—	30	—	35	—	38	—	44	—	45	—	53	ns
		9	—	24	—	—	—	30	—	—	—	36	—	—	ns
Input (Control) Capacitance	C_I	—	—	10	—	10	—	10	—	10	—	10	—	10	pF

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ANALOG CHANNEL CHARACTERISTICS - Typical Values at T_C = 25°C

CHARACTERISTIC	TEST CONDITIONS		V_{CC} V	HC	HCT	UNITS
Switch Frequency Response Bandwidth at -3 dB (Fig 12)	Fig. 3 Notes 1 & 2		4.5	200	200	MHz
Cross Talk Between Any Two Switches (Fig 13)	Fig. 4 Notes 2 & 3		4.5	-72	-72	dB
Total Harmonic Distortion	1 KHz, Fig. 5	V_{IS} = 4 Vpp	4.5	0.022	0.023	%
		V_{IS} = 8 Vpp	9	0.008	N/A	
Control to Switch Feedthrough Noise	Fig 6		4.5	TBE	TBE	mV
			9	TBE	TBE	
Switch "OFF" Signal Feedthrough (Fig. 13)	Fig. 7 Notes 2 & 3		4.5	-72	-72	dB
Switch Input Capacitance C_S	—		—	5	5	pF

Notes: 1. Adjust input level for 0 dBm at output, f = 1 MHz. 2. V_{IS} is centered at $V_{CC}/2$. 3. Adjust input for 0 dBm at V_{IS}

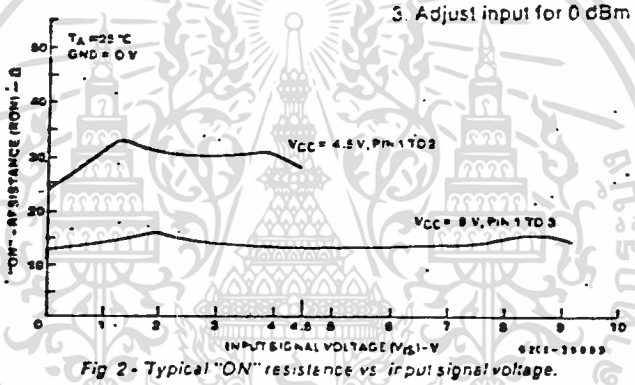


Fig 2 - Typical "ON" resistance vs input signal voltage.

ANALOG TEST CIRCUITS

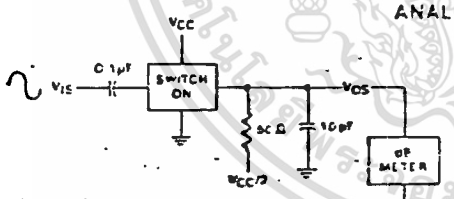


Fig 3 - Frequency response test circuit.

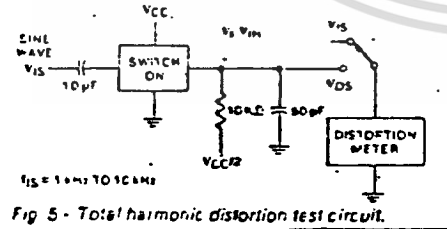


Fig 5 - Total harmonic distortion test circuit.

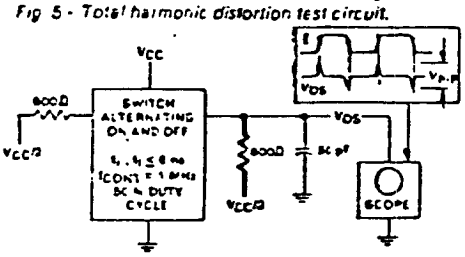


Fig 6 - Control-to-switch feedthrough noise test circuit.

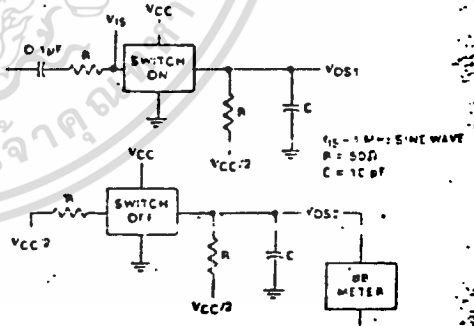


Fig. 4 - Crosstalk between two switches test circuit.

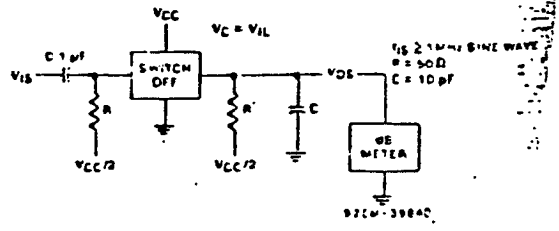


Fig. 7 - Switch off signal feedthrough.

8-204
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

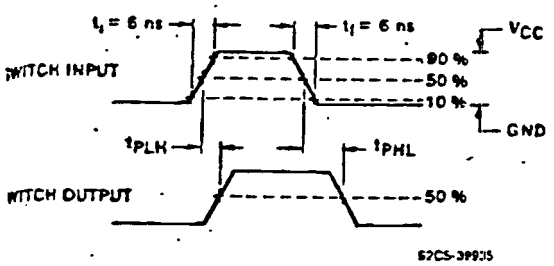


Fig. 8 - Switch propagation - delay times waveforms.

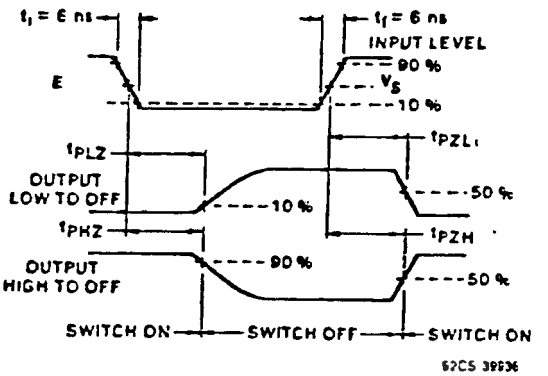


Fig. 9 - Switch turn-on and turn-off propagation delay times waveforms.

	54/74HC	54/74HCT
Input Level	V_{CC}	3 V
Switching Voltage, V_s	50% V_{CC}	1.3 V

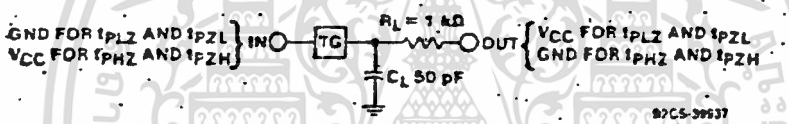


Fig. 10 - Switch on/off propagation delay time test circuit.

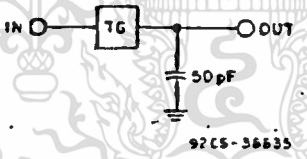


Fig. 11 - Switch-in to switch-out propagation delay time test circuit.

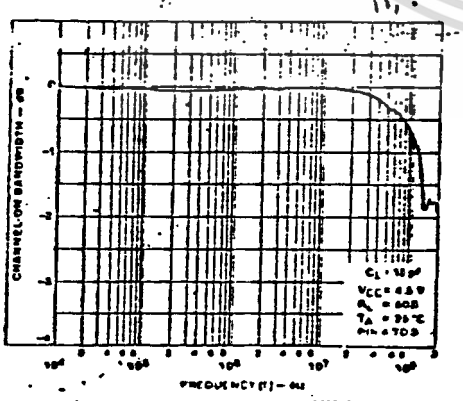


Fig. 12 - Switch frequency response, V_{CC} = 4.5 V.

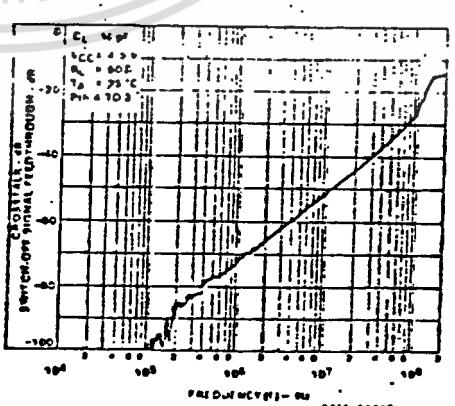


Fig. 13 - Switch-off signal feedthrough and crosstalk vs. frequency, V_{CC} = 4.5 V.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้