ห้องสมุดคณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2533

ชุดตั้งเวลาส่งข่าวสารทางโทรศัพท์

โดย

นายอนันต์ แซ่จวง

นายเอนก สอดแจ่ม

อาจารย์ที่ปรึกษา

ผู้ช่วยศาสตราจารย์ นิกร สุขุตมตันติ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

0327973

18 ก.ค. 2534

ปริญญานิพนธ์ ปีการศึกษา 2533

ภาควิชาเทคนิคอุตสาหการรม

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้า ลาดกระบัง

เรื่อง ชุดตั้งเวลาส่งข่าวสารทางโทรศัพท์

ผู้จัดทำ

1. นายอนันต์ แซ่จวง
2. นายเอนก สอดแจ่ม

..... อาจารย์ที่ปรึกษา

(ผศ. นิกร สุขุตมตันติ)

..... กรรมการ

( )

..... กรรมการ

( )

เลขหมู่ T 33140 ส3

เลขทะเบียน 027973

วัน, เดือน, ปี 1 ส.ค. 34

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

027973

ปริญญานิพนธ์เรื่องชุดตั้งเวลาส่งข่าวสารทางโทรศัพท์

โดย นายอนันต์ แซ่จาง
นายเอนก สอดแจ่ม

อาจารย์ที่ปรึกษา ผศ. วิโรจ ชุณหศิริ

บทคัดย่อ

ในบรรดาระบบการสื่อสารทั้งหลาย โทรศัพท์นับว่ามีประโยชน์มาก ให้ทั้งความสะดวกรวดเร็ว เข้าใกล้ชิดกับคนทุกระดับ ในปัจจุบันคู่สายขององค์การโทรศัพท์ ถูกนำมาใช้ในการส่งข้อมูลหรือข่าวสารต่าง ๆ ทางผู้จัดทำจึงคิดจะใช้คู่สายโทรศัพท์ในการส่งข่าวสารบ้าง โดยนำเอาวงจรต่าง ๆ เช่น ชุดนาฬิกาตั้งเวลาปลุกได้ ชุดบันทึกเสียงพูด และชุดเก็บหมายเลขโทรศัพท์มาประกอบกัน เพื่อใช้ในการเตือนความจำทางโทรศัพท์ โดยตั้งเวลาให้ส่งข้อมูลออกไปบอกกล่าว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

		หน้า
บทคัดย่อ		
บทที่ 1	บทนำ	1-1
บทที่ 2	ทฤษฎีและหลักการ	2-1
	2.1 สัญญาณโทรศัพท์	2-1
	2.2 นาฬิการะบบดิจิตอล	2-5
	2.3 หน่วยความจำชนิดต่าง ๆ	2-13
	2.4 เดลต้ามอดูเลชั่น	2-24
บทที่ 3	การคำนวณการสร้าง	3-1
	3.1 โทรศัพท์เก็บหมายเลข	3-1
	3.2 นาฬิกาโปรแกรมเวลา	3-1
	3.3 ชุดบันทึกเสียงพูด	3-2
	3.4 การทำงานของระบบ	3-12
บทที่ 4	การทดลองและผลของการทดลอง	4-1
บทที่ 5	บทสรุป	5-1
ภาคผนวก		
กิตติกรรมประกาศ		
เอกสารอ้างอิง		

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

เครื่องตั้งเวลาส่งข่าวสารทางโทรศัพท์นี้ มีส่วนประกอบด้วยกัน 3 ส่วน คือ

1. ชุดเก็บหมายเลขโทรศัพท์และหมุนหมายเลขโดยอัตโนมัติ
2. ชุดนาฬิกาตั้งเวลาปลุกได้ภายใน 14 วัน
3. ชุดเก็บบันทึกเสียงพูด

ในแต่ละส่วนจะทำงานแยกจากกัน หรือกล่าวได้ว่าสามารถทำงานได้อย่างอิสระ เมื่อนำมาต่อใช้งานร่วมกัน จำเป็นต้องใช้วงจรพื้นฐานต่าง ๆ ที่มีอยู่ มาเป็นวงจรต่อเชื่อมทั้ง 3 ชุดเข้าด้วยกัน ให้ทำงานได้อย่างเหมาะสม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
ทฤษฎีและหลักการ

2.1 ความรู้เบื้องต้นเกี่ยวกับสัญญาณโทรศัพท์

เมื่อก่อนเราจะคุ้นเคยกับโทรศัพท์ที่มีไดอัล (จาน) หมุนหมายเลข ซึ่งใช้วิธีการตัดไฟให้ออกมาเป็นห้วง หรือที่เรียกว่า ระบบส่งสัญญาณพัลส์ (PULSE) จะไม่มีการขยายคู่สายเพิ่มอีกแล้ว แต่จะเพิ่มคู่สายระบบใหม่ที่มีการส่งออกไปเป็นความถี่ (TOUCH TONE) และในปัจจุบันโทรศัพท์แบบกดปุ่ม ได้เป็นที่นิยมใช้กันอย่างกว้างขวาง แม้แต่เครื่องระบบเก่าที่ต้องหันมาใช้กดปุ่มแทนจานหมุน ซึ่งเรารู้จักกันในนามโทรศัพท์แบบทัชพัลส์ (TOUCH PULSE) โดยระบบนี้จะใช้ความเร็วในการติดต่อมากกว่าแบบไดอัลหมุนถึง 3 เท่า เป็นอย่างน้อย

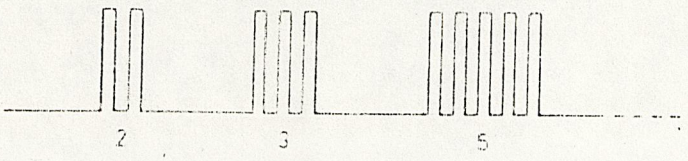
ทัชพัลส์ แม้รูปร่างหน้าตามันจะเหมือนกับระบบใหม่ที่เราเรียกว่า "ทัชโทน" (TOUCH TONE) แต่ทั้งสองอย่างนี้จะนำมาใช้แทนกันไม่ได้ เพราะแบบทัชพัลส์ทำงานด้วยหลักการสร้างพัลส์ตามหมายเลขเหมือนอย่างการทำงานของระบบหมุนเมื่อก่อน แต่ระบบทัชโทนทำงานด้วยการผลิตความถี่

หลักการของโทรศัพท์แบบทัชพัลส์คือ ใช้วิธีเข้ารหัสหมายเลข (ENCODER) โดยรับข้อมูลมาจากแป้นกดหรือคีย์บอร์ด วงจรภายในไอซีที่ทำหน้าที่เข้ารหัสหมายเลขจะทำหน้าที่จำหน่ายเลขข้อมูลแต่ละครั้งที่เรากดแล้วส่งไปให้วงจรออสซิลเลเตอร์สร้างพัลส์ส่งออกไป อย่างเช่น เรากดหมายเลข 235... เมื่อผ่านการเข้ารหัสและออสซิลเลเตอร์ส่งออกมาทางเอาท์พุตแล้วก็จะได้สัญญาณดังรูปที่ 2-1

เครื่องรับโทรศัพท์ระบบทัชโทน ซึ่งระบบนี้จะส่งรหัสออกไปเป็นความถี่หรือที่คำเต็มตามภาษาวิชาการเขาเรียกว่า DUAL TONE MULTI FREQUENCY DIALING หรือ DTMF โดยการส่งหมายเลขหนึ่งหมายเลขใด จะประกอบไปด้วยโทนเสียง 2 ความถี่ด้วยกัน คือ ความถี่สูงและความถี่ต่ำ ถ้าเราสังเกตแผงกดปุ่ม (คีย์บอร์ด) เราจะพบว่าหมายเลข 1,4,7 และ * อยู่ในคอลัมน์ที่ 1 โดยมีหมายเลข 1,2 และ 3 เป็นโรว์ที่ 1 ดังแสดงคอลัมน์และโรว์ต่าง ๆ ไว้ในรูปที่ 2-2 ตัวเลขแต่ละตัวเป็นการพบกันของความถี่ทางโรว์ (ความถี่ต่ำ) กับความถี่ทางคอลัมน์ (ความถี่สูง) ตามตารางที่ 2-1

จากตารางที่ 2-1 กลุ่มความถี่ที่มีความถี่ 4 โรว์ และ 4 คอลัมน์ ทำให้พบว่าจริง ๆ แล้วหน้าปัดหรือปุ่มกดสามารถมีได้ถึง 16 ปุ่ม ไม่ใช่มีแค่ 12 ปุ่ม อย่างที่เราใช้ ๆ กัน เพียงแต่ความถี่ในคอลัมน์ที่ 4 นั้น เรายังสำรองไว้เพื่อการขยายไปใช้อย่างอื่นในโอกาสต่อไป (ปัจจุบันหลายประเทศเริ่มใช้กันแล้ว) อย่างเช่นหมายเลข 1 ประกอบไปด้วยความถี่ 697 Hz กับ 1209 Hz หรือหมายเลข 0 ประกอบด้วยความถี่ 941 Hz กับความถี่ 1336 Hz เป็นต้น ความถี่ที่ว่านี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2-1 แสดงรูปตัวอย่างสัญญาณพัลส์เมื่อกดหมายเลข 235....

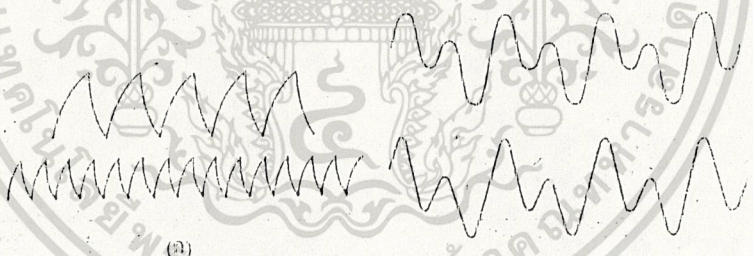
ความถี่กลุ่ม / ความถี่แถว	คอลัมน์ 1 1209 Hz	คอลัมน์ 2 1336 Hz	คอลัมน์ 3 1477 Hz	คอลัมน์ 4 1633 Hz
แถว 1 (697 Hz)	1	2	3	A
แถว 2 (770 Hz)	4	5	6	B
แถว 3 (852 Hz)	7	8	9	C
แถว 4 (941 Hz)	*	0	#	D

ตารางที่ 2-1 แสดงการแบ่งกลุ่มความถี่ของเครื่องโทรศัพท์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

	คอลัมน์ 1	คอลัมน์ 2	คอลัมน์ 3
โรว์ 1	1	2	3
โรว์ 2	4	5	6
โรว์ 3	7	8	9
โรว์ 4	*	0	#

รูปที่ 2-2 แสดงตำแหน่งของสัญลักษณ์บน แผงกดปุ่ม (keyboard)



รูปที่ 2-3 ก. แสดงรูปคลื่นสัญญาณโรว์และคอลัมน์และรูป ข. แสดงความถี่ที่ผสมออกไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จะถูกส่งไปกับคู่สายทั้งสองเส้นขององค์การโทรศัพท์ ซึ่งถ้าใช้ออสซิลโลสโคปจับรูปร่างของสัญญาณโทนเสียงที่ออกไป เราจะได้รูปคลื่นทางจอภาพดังรูปที่ 2-2

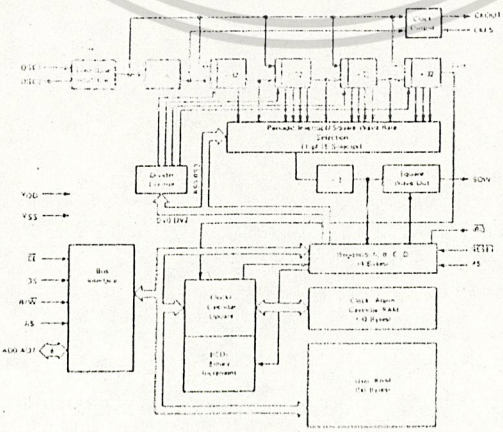
2.2 RTC นาฬิกาบอกเวลาให้ไมโครโปรเซสเซอร์

RTC คือ Real Time Clock หรือนาฬิกาบอกเวลาที่แท้จริงให้กับไมโครโปรเซสเซอร์ โดยการเชื่อมต่อเข้ากับ CPU ก็สามารถทำให้ CPU สามารถรู้เวลาได้ทุกขณะ โดยที่ CPU สามารถที่จะอ่านเวลาจากตัว RTC ได้ทุกครั้งที่ CPU ต้องการ

ในการประยุกต์ใช้งานไมโครโปรเซสเซอร์ที่ต้องการเกี่ยวข้องกับเวลาด้วยแล้ว RTC นับว่ามีประโยชน์มากเพราะสามารถบอกเวลาได้ตั้งแต่วินาที, นาที, ชั่วโมง, วันในรอบสัปดาห์, วันที่, เดือน, ปี ให้แก่ไมโครโปรเซสเซอร์ได้อย่างเที่ยงตรง โดยที่ CPU เพียงแต่ติดต่อกับ RTC เหมือนกับติดต่อกับหน่วยความจำหรือพอร์ตเท่านั้น

เนื่องจากโครงสร้างของ RTC เป็นไอซีชนิด CMOS จึงสามารถสำรองแรงดันด้วยแบตเตอรี่ขนาดเล็ก ถึงแม้ว่าแรงดันที่ป้อนให้กับระบบไมโครโปรเซสเซอร์จะสูญหายไปเนื่องจากไฟดับหรือการปิดเครื่อง แต่เวลาใน RTC จะยังไม่สูญหายไปด้วย และยังคงเดินต่อไปตามปกติด้วยเวลาที่ถูกต้อง ที่สำคัญในเดือนที่ลงท้ายด้วย "ยน" (เดือน 4, 6, 9, 11) วันที่จะมีเพียง 30 วัน และเดือนที่ลงท้ายด้วย "คม" วันที่จะมี 31 วัน และสำหรับเดือนกุมภาพันธ์จะมีเพียง 28 วัน และในรอบ 4 ปี คือในปีอธิกสุรทินเดือนกุมภาพันธ์จะมี 29 วัน สรุปว่า RTC มีการปรับวันที่ให้ถูกต้องกับเดือนทุก ๆ เดือน ซึ่งเป็นที่มาของคำว่า Real Time Clock

ความสามารถพิเศษของ RTC ที่จัดไว้ให้อีกก็มีความสามารถในการตั้งเวลาปลุก (alarm) เมื่อถึงเวลาที่ตั้งไว้ RTC ก็จะไปอินเตอร์รัพท์ CPU และยังมีความสามารถในการอินเตอร์รัพท์ CPU เป็นจังหวะด้วยความถี่ที่กำหนดได้อีกด้วย



รูปที่ 2-3 แสดงโครงสร้างภายใน RTC

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

RTC จึงเป็นชิพสนับสนุนตัวหนึ่งและมีอยู่หลายบริษัทที่ผลิตชิพนี้ออกมา เช่น เบอร์ MM 58167, MM58174, MM58274 ของ NS

คุณสมบัติสำคัญของ RTC

โครงสร้างแสดงแผนผังภายในของ RTC แสดงไว้ในรูปที่ 2-3 ซึ่งมีคุณสมบัติที่น่าสนใจดังนี้

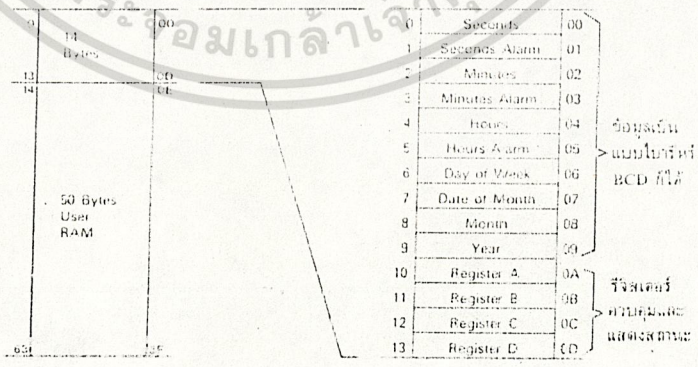
(1) กินกระแสน้อยมากเนื่องจากเป็นไอซีชนิด CMOS โดยวัดกระแสได้ประมาณ 250 ไมโครแอมป์ เมื่อใช้คริสตอลความถี่ 32.768 kHz และเมื่อใช้กับคริสตอลความถี่ 4.194304 MHz วัดกระแสได้ประมาณ 750 ไมโครแอมป์ จึงสามารถใช้กับแบตเตอรี่ขนาดเล็กสำรองการทำงานเมื่อไฟดับได้เป็นเวลาหลายวัน

(2) ใช้กับคริสตอลได้ 3 ความถี่คือ 32.768 kHz, 1.048576 MHz, 4.194304 MHz โดยเลือกด้วยซอฟต์แวร์

(3) มีหน่วยความจำ RAM รวม 64 ไบต์ โดยแบ่งเป็น 10 ไบต์ สำหรับเก็บเวลาและเวลาปลุก, 4 ไบต์ เป็นรีจิสเตอร์ควบคุมและบอกสถานะ (รีจิสเตอร์ A,B,C,D) ส่วนอีก 50 ไบต์ เป็นหน่วยความจำที่ไม่ใช้งานได้ตามความประสงค์ดังแสดงการจัดตำแหน่งของหน่วยความจำทั้ง 64 ไบต์ นี้ ในรูปที่ 2-4

(4) นับเวลาแบบ 12 ชั่วโมง หรือ 24 ชั่วโมงก็ได้ และยังแสดงเวลาด้วยฐานสิบไบนารี หรือ BCD ก็ได้

(5) กำหนดการอินเตอร์รัพท์ได้ 3 ลักษณะ คืออินเตอร์รัพท์ตามเวลาปลุก อินเตอร์รัพท์ตามความถี่ที่ตั้งไว้และ อินเตอร์รัพท์ทุก ๆ วินาที หลักจากผ่านการปรับเวลาในตัว RTC



รูปที่ 2-4 การจัดแอดเดรสของหน่วยความจำในตัว RTC โดยแบ่งเป็น 7 ไบต์ สำหรับแสดงเวลา, 3 ไบต์ สำหรับแสดงเวลาปลุก, 4 ไบต์ สำหรับรีจิสเตอร์ควบคุม/บอกสถานะ และ 50 ไบต์ สำหรับ RAM ใช้งานทั่วไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การจัดขาและความหมาย

OSC_1, OSC_2 ต่อเข้ากับตัวคริสตอลได้โดยตรง หรือถ้าต้องการป้อนความถี่จากภายนอกทำได้โดยป้อนเข้าที่ขา OSC_1

AD_0-AD_7 (address/data bus) เป็นบัสแอดเดรส และบัสข้อมูลรวมกัน โดยทำงานในแบบมัลติเพล็กซ์ ซึ่งจะทำงานเป็นบัสแอดเดรสก่อน เมื่อขา AS แอคตีฟ (เป็นขอบขาลง) แล้วจึงทำงานเป็นบัสข้อมูลเมื่อขา DS หรือ R/W แอคตีฟ (เป็นลอจิก "0")

CE (chip enable) เป็นขาควบคุมการทำงานของบัสและขาสัญญาณต่าง ๆ เมื่อขา CE เป็น "1" ขา AD_0-AD_7, DS และ R/W จะเป็นอิมพีแดนซ์สูงและขา CE จะต้องเป็นลอจิก "0" คงที่ขณะที่ขา AS, DS และ R/W กำลังแอคตีฟ แต่ในการใช้งานทั่วไปมักจะต่อขานี้ลงกราวด์

AS (address strobe) หรือทำงานเป็นขา ALE (Address Latch Enable) ทำหน้าที่แลตช์ขา AD_0-AD_7 เอาไว้เพื่อให้แสดงเป็นขาแอดเดรสขณะที่ขา AS นี้เปลี่ยนจากลอจิก "1" ไปเป็นลอจิก "0"

R/W หรือขา WR ทำหน้าที่กำหนดการเขียนข้อมูลลงในหน่วยความจำ (RAM) ทั้ง 64 ไบต์ ซึ่งหมายถึงการตั้งเวลานาฬิกา, การตั้งเวลาปลุก, การสั่งงานรีจิสเตอร์ควบคุมและการเขียนข้อมูลลงใน RAM ใช้งานทั่วไป 50 ไบต์โดยขา R/W นี้ จะแอคตีฟที่ลอจิก "0"

DS (data strobe) หรือ ขา RD ทำหน้าที่กำหนดการอ่านข้อมูลในหน่วยความจำ (RAM) ทั้ง 64 ไบต์ ซึ่งหมายถึง การอ่านเวลา, การอ่านเวลาปลุก, การอ่านสถานะของรีจิสเตอร์ควบคุมและการอ่านข้อมูลจาก RAM ใช้งานทั่วไป 50 ไบต์ โดยขา DS จะแอคตีฟที่ลอจิก "0" เช่นกัน

RESET เป็นขาสัญญาณอินพุต สำหรับการรีเซตระบบเมื่อขานี้เป็น "0" โดยที่ไม่มีผลต่อการเดินของนาฬิกาแต่อย่างใด แต่จะทำให้เกิดผลดังนี้ คือ

1 แฟลกสำหรับอินเตอร์รัพท์ทั้งสาม (PIE, UIE, AIE) ถูกเคลียร์ให้เป็น "0"

2 แฟลกแสดงการขออินเตอร์รัพท์ทั้งสาม (PF, UF, AF) ถูกเคลียร์ ให้เป็น "0"

3 ไม่สามารถอ่านเขียนและอ่านเวลาได้

4 ขาสัญญาณขออินเตอร์รัพท์ (IRQ) เป็นอิมพีแดนซ์สูง

5 แฟลกอีนาเบิ้ลสัญญาณคลื่นสี่เหลี่ยม (SQWE) ถูกเคลียร์ให้เป็น "0"

IRQ (interrupt request) เป็นขาสัญญาณเอาต์พุตสำหรับการขออินเตอร์รัพท์กับ CPU โดยจะแอคตีฟที่ลอจิก "0" ซึ่งการขออินเตอร์รัพท์ของ RTC นี้ สามารถขอได้ 3 ลักษณะคือ

1 อินเตอร์รัพท์เป็นจังหวะตามค่าความถี่ที่ขา SQW

2 อินเตอร์รัพท์ทุก ๆ วินาที หลังจากผ่านการปรับเวลา

3 อินเตอร์รัพท์เมื่อถึงเวลาปลุก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CKFS (clock out frequency select.) เป็นขาสัญญาณอินพุตสำหรับการหาความถี่ที่ตัวคริสตอล แล้วส่งออกทางขา CKOUT ถ้าขานี้เป็น "0" หมายถึงทำการหารด้วย 4 แต่ถ้าเป็น "1" หมายถึงไม่มีการหาร คือขา CKOUT มีความถี่เท่ากับคริสตอล

CKOUT (clock out) คือสัญญาณเอาต์พุตความถี่ของระบบเพื่อนำความถี่ของระบบเพื่อนำความถี่ของระบบไปใช้งานอย่างอื่น โดยจะสามารถกำหนดให้มีการหาความถี่ของระบบด้วย 4 หรือไม่ก็ได้ด้วยขา CKFS โดยความถี่ของระบบขึ้นอยู่กับฐานความถี่หรือตัวคริสตอลที่ป้อนเข้าที่ขา OSC_1 และ OSC_2

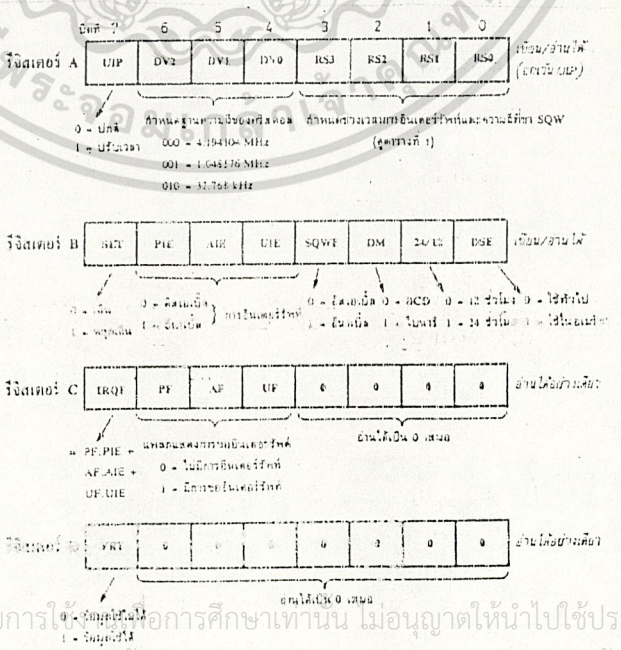
PS (power sense) เป็นขาสัญญาณอินพุต สำหรับควบคุมการแสดงสถานะของหน่วยความจำทั้ง 64 ไบต์ว่าเนื้อหาถูกต้องหรือไม่ ซึ่งสัญญาณจากขานี้จะใช้แสดงสภาวะของการป้อนแรงดันเข้าตัว RTC ขณะเริ่มต้นโดยการไปแสดงผลอยู่ที่แฟลก VRT ในรีจิสเตอร์ D เมื่อขานี้ยังคงเป็นลอจิก "0" อยู่ แฟลก VRT จะถูกเคลียร์ให้เป็น "0" อยู่

SQW เป็นขาสัญญาณคลื่นสี่เหลี่ยมเอาต์พุต (square wave output.) ที่สามารถโปรแกรมความถี่ได้โดยกำหนดจากรีจิสเตอร์ควบคุม

รีจิสเตอร์ควบคุมและแสดงสถานะ

ระบบเวลาของ RTC สามารถ อ่าน, เขียน และโปรแกรมลักษณะการใช้งานได้ง่ายมาก โดยเพียงแต่กำหนดค่าต่าง ๆ ที่อยู่ในหน่วยความจำ 14 ไบต์แรก (แอดเดรส 00H--0DH) เท่านั้น ในจำนวนนี้อยู่ 4 ไบต์ที่เป็นการกำหนดลักษณะการใช้งานเรียกว่ารีจิสเตอร์ A,B,C,D ซึ่งตรงกับแอดเดรส 0AH--0DH พอดี

รูปที่ 2-5 แสดงรายละเอียดและความหมายในแต่ละบิตของรีจิสเตอร์ทั้ง 4 ตัว



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 2-5 รายละเอียดและความหมายในแต่ละบิตของรีจิสเตอร์ควบคุม/บอกสถานะทั้ง 4 ตัว

ห้องสมุดคณะวิศวกรรมศาสตร์ จุฬาลงกรณ์มหาวิทยาลัย สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

รีจิสเตอร์ A (เขียน/อ่านได้ ยกเว้น UIP)

เป็นรีจิสเตอร์ที่สามารถอ่านก็ได้หรือเขียนก็ได้ยกเว้นบิต UIP ที่อ่านได้อย่างเดียว รายละเอียดของแต่ละบิตมีดังนี้

UIP (update in progress) เมื่อบิตนี้เป็น "1" แสดงว่ากำลังใกล้หรืออยู่ในระหว่างการปรับเวลาหรือเปลี่ยนเวลา แต่ถ้าเป็น "0" แสดงว่าอยู่ในการทำงานปกติซึ่งเป็นการแสดงว่ายังมีเวลาน้อยที่สุด 244 S ที่จะถึงการปรับเวลา บิตนี้จะอ่านได้เพียงอย่างเดียว และไม่มีผลจากการรีเซต

DV2, DV1, DV0 (divider selection) ทั้ง 3 บิตนี้เป็นตัวกำหนดการเลือกคริสตอลหรือฐานความถี่โดยมีการเลือกดังนี้ (เรียงจาก DV_2-DV_0)

- 000 เลือกฐานของความถี่ 4.194304 MHz
- 001 เลือกฐานของความถี่ 1.048576 MHz
- 010 เลือกฐานของความถี่ 32.768 kHz

นอกเหนือจากนี้ไม่สามารถทำงานได้

RS3, RS2, RS1, RS0 (rate selection) ทั้ง 4 บิตนี้เป็นตัวกำหนดความถี่ที่กำเนิดออกทางขา SQW และกำหนดจังหวะการอินเตอร์รัพท์ดังตารางที่ 2-2

ตารางที่ 2-2 แสดงช่วงเวลาการอินเตอร์รัพท์เป็นจังหวะและความถี่เอาต์พุตทางขา SQW โดยขึ้นอยู่กับบิต RS0-RS3 ในรีจิสเตอร์ A และความถี่ของตัวคริสตอลที่ใช้

บิตต่าง ๆ ในรีจิสเตอร์ A				คริสตอลความถี่ 4.194304 MHz หรือ 1.048576 MHz		คริสตอลความถี่ 32.768 kHz	
RS3	RS2	RS1	RS0	ช่วงเวลาการอินเตอร์รัพท์	ความถี่เอาต์พุตจากขา SQW	ช่วงเวลาการอินเตอร์รัพท์	ความถี่เอาต์พุตจากขา SQW
0	0	0	0	None	None	None	None
0	0	0	1	30.517 µs	32.768 kHz	3.90625 ms	256 Hz
0	0	1	0	61.035 µs	16.384 kHz	7.8125 ms	128 Hz
0	0	1	1	122.070 µs	8.192 kHz	122.070 µs	8.192 kHz
0	1	0	0	244.141 µs	4.096 kHz	244.141 µs	4.096 kHz
0	1	0	1	488.281 µs	2.048 kHz	488.281 µs	2.048 kHz
0	1	1	0	976.562 µs	1.024 kHz	976.562 µs	1.024 kHz
0	1	1	1	1.953125 ms	512 Hz	1.953125 ms	512 Hz
1	0	0	0	3.90625 ms	256 Hz	3.90625 ms	256 Hz
1	0	0	1	7.8125 ms	128 Hz	7.8125 ms	128 Hz
1	0	1	0	15.625 ms	64 Hz	15.625 ms	64 Hz
1	0	1	1	31.25 ms	32 Hz	31.25 ms	32 Hz
1	1	0	0	62.5 ms	16 Hz	62.5 ms	16 Hz
1	1	0	1	125 ms	8 Hz	125 ms	8 Hz
1	1	1	0	250 ms	4 Hz	250 ms	4 Hz
1	1	1	1	500 ms	2 Hz	500 ms	2 Hz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

027973

รีจิสเตอร์ B (เขียน/อ่านได้)

ทุก ๆ บิตในรีจิสเตอร์สามารถเขียนได้และอ่านได้ ถ้าต้องการกำหนดสภาวะการทำงานก็คือการเขียน แต่ถ้าต้องการตรวจดูสถานะการทำงานก็คือการอ่าน รายละเอียดของแต่ละบิตมีดังนี้

SET ทำหน้าที่ในการตั้งเวลาเมื่อเขียนให้บิตนี้เป็น "0" จะควบคุมให้นาฬิกาเดินตามปกติ คือมีการปรับเวลาทุก ๆ 1 วินาที เมื่อเขียนให้บิตนี้เป็น "1" นาฬิกาจะหยุดเดินเพื่อให้ทำการตั้งเวลาได้ บิตนี้จะไม่มีผลจากการรีเซต

PIE (piriodic interrupt enable) ทำหน้าที่อนุญาตเบิ้ลการอินเตอร์รัพท์แบบเป็นจังหวะ (ตามช่วงเวลาในตารางที่ ---) เมื่อเขียนให้บิตนี้เป็น "1" จะทำให้แฟลกที่แสดงการอินเตอร์รัพท์แบบเป็นจังหวะ (PF) ถูกเซต ซึ่งมีผลให้ขา IRQ เป็นลอจิก "0" ได้เมื่อเกิดการอินเตอร์รัพท์ในโหมดนี้ แต่ถ้าเขียนให้บิตนี้เป็น "0" ขา IRQ จะไม่เกิดการอินเตอร์รัพท์ในโหมดนี้ แต่ยังทำให้แฟลก PF เปลี่ยนแปลงเมื่อถึงเวลาอินเตอร์รัพท์บิต PIE นี้ จะถูกเคลียร์เมื่อเกิดการรีเซต

AIE (alarm interrupt enable) ทำหน้าที่อนุญาตเบิ้ลการอินเตอร์รัพท์ เมื่อถึงเวลาปลุก เมื่อเขียนให้บิตนี้เป็น "1" จะทำให้แฟลกแสดงการอินเตอร์รัพท์ในโหมดเวลาปลุก (AF) ซึ่งอยู่ในรีจิสเตอร์ C มีผลต่อขา IRQ แต่ถ้าเขียนให้บิตนี้เป็น "0" จะไม่มีผลต่อขา IRQ ขา AIE นี้จะถูกเคลียร์เมื่อเกิดการรีเซต

UIE (update-ended interrupt enable) ทำหน้าที่อนุญาตเบิ้ลการอินเตอร์รัพท์ทุก ๆ ครั้งที่มีการปรับเวลาหรือทุก ๆ 1 วินาที โดยจะยอมให้มีการอินเตอร์รัพท์ได้เมื่อเขียนให้บิตนี้เป็น "1" และมีแฟลก UF ในรีจิสเตอร์ C แสดงสภาวะของการอินเตอร์รัพท์ในโหมดนี้ เมื่อเกิดการรีเซต หรือมีการเขียนบิต SET ให้เป็น "1" จะทำให้บิต UIE นี้ถูกเคลียร์

SQWE (square wave enable) ทำหน้าที่อนุญาตเบิ้ลความถี่ของสัญญาณคลื่นสี่เหลี่ยมที่ออกมาทางขา SQW ตามค่าของบิต RS3-RS0 ซึ่งแสดงไว้ในตารางที่-- ถ้าเขียนให้บิตนี้เป็น "1" จึงยอมให้มีความถี่ที่ขา SQW แต่ถ้าเขียนให้บิตนี้เป็น "0" ขา SQW จะเป็นลอจิก "0"ตลอด บิต SQWE จะถูกเคลียร์เมื่อเกิดการรีเซต

DM (data mode) ทำหน้าที่กำหนดการเขียนหรืออ่านข้อมูลในหน่วยความจำแสดงเวลา (แอดเดรส 00H-09H) ว่าจะให้อยู่ในลักษณะเลขไบนารี (DM=1) หรือเลข BCD (DM = 0) ดังแสดงตัวอย่างไว้ในตารางที่--- บิต DM นี้ไม่มีผลจากการรีเซต

24/12 ทำหน้าที่เลือกการแสดงเวลาในลักษณะ 24 ชั่วโมง (บิตนี้เป็น "1") หรือ 12 ชั่วโมง (เป็น "0") ซึ่งถ้าเป็นลักษณะ 12 ชั่วโมง จะมีการแสดงด้วยรหัส AM และ PM ด้วยบิตที่ 7 ของหน่วยความจำเก็บชั่วโมง(แอดเดรส 04H และ 05H) บิตนี้ไม่มีผลจากการรีเซต

DSE บิตนี้ใช้สำหรับการแสดงเวลาในประเทศอเมริกาเท่านั้น ซึ่งจะมีการปรับเวลาให้เร็วขึ้น 1 ชั่วโมงในปลายเดือนเมษายน และปรับเวลาให้ช้ากลับมา 1 ชั่วโมงในปลายเดือน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตุลาคม แต่สำหรับในบ้านเราไม่มีการปรับเวลาแบบนี้ จึงต้องให้บิตนี้เป็น "0" และบิตนี้ไม่มีผลจากการรีเซต

ตารางที่ 2-3 แสดงช่วงของข้อมูลที่อ่าน/เขียนได้จากหน่วยความจำที่แสดงเวลา, วัน, วันที่, เดือน และปี ในโหมดของเลขไบนารีและ BCD พร้อมด้วยตัวอย่าง

ตำแหน่งแอดเดรส	แสดงถึง	ช่วงค่าเปลี่ยนแปลง (ฐานสิบ)	ช่วงค่าเปลี่ยนแปลง		ตัวอย่าง*	
			โหมดไบนารี	โหมด BCD	โหมดไบนารี	โหมด BCD
0	Seconds	0-59	$00-$3B	$00-$59	15	21
1	Seconds Alarm	0-59	$00-$3B	$00-$59	15	21
2	Minutes	0-59	$00-$3B	$00-$59	3A	58
3	Minutes Alarm	0-59	$00-$3B	$00-$59	3A	58
4	Hours (12 Hour Mode)	1-12	$01-$0C (AM) and $81-$8C (PM)	$01-$12 (AM) and $81-$92 (PM)	05	05
	Hours (24 Hour Mode)	0-23	$00-$17	$00-$23	05	05
5	Hours Alarm (12 Hour Mode)	1-12	$01-$0C (AM) and $81-$8C (PM)	$01-$12 (AM) and $81-$92 (PM)	05	05
	Hours Alarm (24 Hour Mode)	0-23	$00-$17	$00-23	05	05
6	Day of the Week Sunday = 1	1-7	$01-$07	$01-$07	05	05
7	Date of the Month	1-31	$01-$1F	$01-$31	0F	15
8	Month	1-12	$01-$0C	$01-$12	02	02
9	Year	0-99	$00-$63	$00-$99	4F	79

* ตัวอย่างนี้คือเวลา 5 : 58 : 21 วันอังคารที่ 15 กุมภาพันธ์ ปี 1979(เป็นเวลาในช่วงเช้า : AM)

รีจิสเตอร์ C (อ่านได้อย่างเดียว)

ในรีจิสเตอร์ตัวนี้จะมีบิตที่ใช้งานเพียง 4 บิตเท่านั้น คือบิตที่ 7-4 และทั้ง 4 บิตทำหน้าที่เป็นแฟลกแสดงการอินเตอร์รัพท์ที่อ่านได้เพียงอย่างเดียวเท่านั้น จะเขียนลงไปไม่ได้ คือทำหน้าที่แสดงสถานะของตัว RTC เพียงอย่างเดียว

IRQF (interrupt request flag) เป็นแฟลกแสดงการเกิดอินเตอร์รัพท์ขึ้นแล้วจากโหมดใดโหมดหนึ่งใน 3 โหมด ซึ่งบิตนี้จะถูกเซตให้เป็น "1" เมื่อ

1 PF และ PIE เป็น "1" ทั้งคู่ หรือ

2 AF และ AIE เป็น "1" ทั้งคู่ หรือ

3 UF และ UIE เป็น "1" ทั้งคู่

เมื่อแฟลก IRQF นี้เป็น "1" จะทำให้ขา IRQ เป็น "0" เพื่อขอการอินเตอร์รัพท์ และแฟลกทั้ง 4 ตัวนี้ จะถูกเคลียร์ให้เป็น "0" เมื่อ CPU มาอ่านข้อมูลในรีจิสเตอร์ C นี้ไป หรือเมื่อเกิดการรีเซต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PF (periodic interrupt flag) เป็นแฟลกแสดงการอินเตอร์รัพท์เมื่อถึงจังหวะการอินเตอร์รัพท์ที่ตั้งไว้โดยไม่ขึ้นอยู่กับบิต PIE เมื่อแฟลกนี้เป็น "1" จะทำให้ขา IRQ เป็น "0" และแฟลก IRQF เป็น "1" ด้วย ถ้าบิต PIE เป็น "1" เวย แฟลก PF นี้จะถูกเคลียร์ให้เป็น "0" โดยอัตโนมัติเมื่อ CPU มาอ่านรีจิสเตอร์ C หรือมีการรีเซต

AF (alarm interrupt flag) เป็นแฟลกแสดงการอินเตอร์รัพท์เมื่อนาฬิกาเดินมาถึงเวลาปลุกที่ตั้งไว้ (ไม่รวมถึงวัน, วันที่, เดือนและปี) จะทำให้แฟลก AF เป็น "1" และถ้าบิต AIE เป็น "1" อยู่แล้ว ก็จะทำให้แฟลก IRQF เป็น "1" ไปด้วยและยังทำให้ขา IRQ เป็น "0" เพื่อขออินเตอร์รัพท์ แฟลก AF นี้จะถูกเคลียร์โดยอัตโนมัติเมื่อ CPU มาอ่านรีจิสเตอร์ C หรือเมื่อเกิดการรีเซต

UF (updated-ended interrupt flag) เป็นแฟลกแสดงการอินเตอร์รัพท์เมื่อถึงช่วงการเปลี่ยนเวลาทุก ๆ 1 วินาที โดยจะเป็น "1" และทำให้เกิดการอินเตอร์รัพท์เมื่อบิต UIE เป็น "1" บิต UF นี้ จะถูกเคลียร์ด้วยการอ่านรีจิสเตอร์ C หรือการรีเซต

รีจิสเตอร์ D (อ่านได้อย่างเดียว)

รีจิสเตอร์นี้มีบิตที่ใช้เพียงบิตเดียว คือบิตที่ 7 ส่วนที่เหลืออีก 7 บิตไม่มีการใช้งานอะไรและจะอ่านออกมาได้เป็น "0" เสมอ

VRT (valid RAM and time) เป็นตัวแสดงสถานะของข้อมูลใน RAM ทั้ง 64 ไบต์ว่ายังใช้ได้อยู่หรือไม่ซึ่งอาจจะใช้ไม่ได้ถ้าหากแรงดันที่ป้อนให้ตัวมันมีค่าต่ำลงจน RTC ไม่สามารถทำงานได้และข้อมูลใน RAM นั้นสูญหายไปแล้ว ด้วยเหตุนี้จึงมีการใช้ขา PS แสดงสถานะของข้อมูลใน RAM โดยต่อขา PS เข้ากับแรงดันไฟเลี้ยง เมื่อขา PS มีแรงดันต่ำมากหรือเมื่อเริ่มป้อนแรงดันไฟเลี้ยงบิต VRT นี้จะมีค่าเป็น "0" เป็นการบอกว่าข้อมูลใน RAM ไม่ถูกต้องแล้ว

ดังนั้นในการใช้งาน หลังจากที่ CPU ตั้งเวลาเรียบร้อยแล้วจะต้องทำให้บิต VRT เป็น "1" ด้วยการอ่านรีจิสเตอร์ D นี้ ซึ่งจะเป็น "1" ได้ก็ต่อเมื่อขา PS มีแรงดันสูงแล้ว และถ้าขา PS มีแรงดันต่ำลงอีก บิต VRT ก็จะเป็น "0" ทำให้ CPU สามารถตรวจสอบสถานะของ RAM ได้ และบิต VRT จะไม่มีผลจากการรีเซต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.3 DIGITAL MEMORY

หน่วยความจำแบ่งได้ 3 ชนิดใหญ่ ๆ

1 Serial memory

2 Read only memory (ROM)

3 Random Access memory (RAM)

1 Serial memory หน่วยความจำชนิดนี้ได้แก่ shift rigister

2 หน่วยความจำชนิด ROM (read only memory)
จะกล่าวถึงชนิดของหน่วยความ จำ ROM และการใช้งาน

ROM

ระบบของไมโครโปรเซสเซอร์ จะมีหน่วยความจำแบบหนึ่ง ที่ใช้เก็บข้อมูลให้คงอยู่ โดยจะไม่มีการสูญหายไปเมื่อไม่มีแหล่งจ่ายไฟเลี้ยงแก่ระบบ หน่วยความจำชนิดนี้เรียกว่า ROM (read only memory) นั่นเอง ข้อมูลที่ถูกโปรแกรมไว้ใน ROM ตั้งแต่ครั้งก่อนจะสามารถอ่านออกได้ แต่จะไม่สามารถถูกเขียนซ้ำลงไปอีก (แต่ปัจจุบันมี ROM บางชนิดที่สามารถเขียนซ้ำลงไปได้) ROM จะเป็นประโยชน์มากในการที่จะใช้เก็บโปรแกรมควบคุมที่ดังได้กล่าวมา คือ MONITOR PROGRAM ไว้ เพื่อให้ไมโครโปรเซสเซอร์สามารถเริ่มต้นทำงานเมื่อถูกจ่ายไฟแก่ระบบ โดยกำหนดสภาวะต่าง ๆ ของระบบนั้นให้พร้อมที่จะทำงานได้

มีหน่วยความจำประเภท ROM อยู่หลายประเภทที่ถูกใช้ในระบบไมโครโปรเซสเซอร์ ซึ่งแต่ละประเภทก็ได้จากการพัฒนาต่อกันมาให้มีความสามารถเพิ่มขึ้น ตามลำดับ ดังนี้

ROM (read only memory) ข้อมูลภายในตัวของมันจะถูกโปรแกรมมาแล้วจากผู้ผลิต (จากโรงงานเลย) เราในฐานะของผู้ใช้จะไม่สามารถที่จะแก้ไขข้อมูลเดิมได้เลย ข้อมูลจะคงอยู่ตลอด

PROM (programmable read - only memory) แบบนี้ข้อมูลที่ต้องการโปรแกรมจะสามารถถูกโปรแกรมโดยผู้ใช้เองและเมื่อ PROM ถูกโปรแกรมแล้วข้อมูลภายในก็จะไม่สามารถที่จะเปลี่ยนแปลงแก้ไขอีก (โปรแกรมได้ครั้งเดียว) แต่ PROM มีข้อดีอยู่อย่างคือ ในงานที่ต้องการความเร็วในการทำงานเมื่อใช้ PROM จะดีกว่าชนิดอื่น ๆ

EPROM (erasable programmable rom) ข้อมูลภายในจะถูกโปรแกรมได้โดยผู้ใช้ โดยการให้แรงดันสูงเข้าไปในตัว EPROM นั้น ซึ่งเป็นลักษณะเหมือนกันกับ PROM หากแต่ EPROM นี้สามารถที่จะลบข้อมูลเดิมออกแล้วโปรแกรมใหม่ลงไปได้หลายครั้ง ในการลบข้อมูลนั้นต้องใช้แสงอุลตร้าไวโอเลตให้ผ่านกระจกใสที่ตัว EPROM ด้วยเวลาเท่าใดก็ขึ้นอยู่กับข้อมูลของแต่ละเบอร์ ชนิดนี้จะเป็นที่นิยมมาก

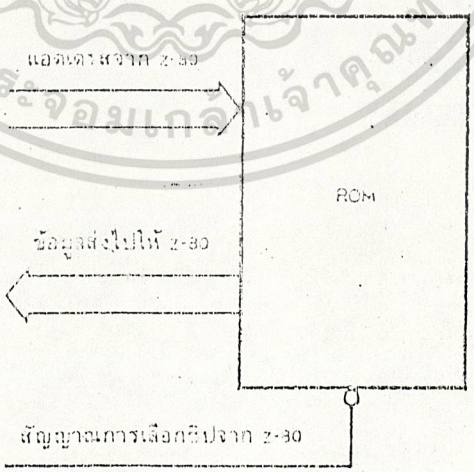
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น และห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

EAROM (electrically alterable rom) ข้อมูลสามารถถูกโปรแกรมได้โดยผู้ใช้เช่นกัน แต่สิ่งที่แตกต่างกันก็คือ การลบข้อมูลในตัว EAROM นั้น สามารถใช้ไฟฟ้าลบข้อมูลได้

ความจุของ ROM นั้น ในแต่ละเบอร์นั้นสามารถดูได้จาก DATA SHEET ของแต่ละเบอร์ ซึ่งปกติจะบอกมาเป็นลักษณะ เช่น 1024 x 8, 2048 x 8 เป็นต้น ซึ่งเป็นการบอกลักษณะของโครงสร้างของหน่วยความจำนั้น โดยความหมายเป็นดังนี้ 1024 x 8 หมายถึง ขนาดของความจำแอดเดรสที่สามารถเก็บข้อมูลได้ในหน่วยความจำนั้น มีขนาด 1024 แอดเดรส ส่วนเลขตัวหลัง 8 หมายถึงว่าในแอดเดรสแต่ละที่นั้นสามารถเก็บข้อมูลได้กี่บิท ซึ่งตัวอย่างนี้ก็คือ 8 ก็คือ 8 บิต ต่อแอดเดรส จาก 1024 หน่วยจะเท่ากับ 1 กิโลหน่วย, 8 บิต จะเท่ากับ 1 ไบต์ ฉะนั้นหน่วยความจำจะมีขนาดเป็น 1 Kbytes ส่วนหน่วยความจำที่เขียนว่า 2048x8 ก็คือ 2 Kbytes นั่นเอง

หรืออีกวิธีที่จะสามารถทราบว่าตัวหน่วยความจำนั้น มีความจุจำนวนแอดเดรสเท่าใด สามารถรู้ได้โดยการนับจำนวนขาแอดเดรสของมัน จากนั้นนำมายกกำลังสองตัวอย่าง เช่น หน่วยความจำเบอร์ 2716 มีขาแอดเดรสเป็น 11 ขา ดังนั้นค่าความจุจึงเท่ากับ 2^{11} = 2048 ซึ่งก็คือ 2 K, และอีกวิธีหนึ่งคือให้ดูที่เบอร์ของหน่วยความจำนั้นแล้วเอาเลขสองหลักสุดท้ายมาหารด้วย 8 ดังตัวอย่างเช่นหน่วยความจำเบอร์ 2716 จะทราบความจุเป็น 15/8 = 2 มีหน่วยเป็นกิโลไบต์ (ใช้ได้ในกรณีเราทราบว่าหน่วยความจำนั้นเป็นขนาด 8 บิตแน่นอน)

โดยปกติ ROM จะมีขาที่ใช้ในการควบคุมการอ่านง่าย ๆ ดังแสดงในรูปที่ 2-6



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 2-6 แสดงถึงบล็อคสัญญาณของหน่วยความจำ ROM ทั่วไป

จะเห็นว่ามีอินพุตเส้นหนึ่งเรียกว่า CHIP SELECT INPUT โดยลักษณะการทำงานของเส้นสัญญาณนี้ก็คือ จะเป็นตัวกำหนดให้หน่วยความจำนั้นทำงานหรือไม่ เช่น กรณีสัญญาณนี้แอคตีฟที่ลอจิก "0" หากเราให้ลอจิก "1" ให้มันจะเป็นการไม่ให้หน่วยความจำนี้ทำงานเป็นผลให้ค่าของข้อมูลเอาต์พุตของหน่วยความจำนี้เป็นสถานะเป็น ไตรสเตท (ปล่อยลอย) และเมื่อเราให้ลอจิก "0" แก่สัญญาณนี้ก็เป็นการเลือกให้หน่วยความจำนี้ทำงาน ก็จะสามารถอ่านข้อมูลของมันได้

3 หน่วยความจำ RAM (rando access memory)

หน่วยความจำที่สำคัญมากอีกส่วนหนึ่ง ก็คือ RAM จะเป็นเหมือนกับพื้นที่เก็บข้อมูลชั่วคราว ซึ่งสามารถเปลี่ยนแปลงแก้ไขได้ง่ายเพราะผู้ใช้สามารถอ่านเขียนข้อมูลได้ทันทีโดยใช้ไม - โครโปรเซสเซอร์ แต่ RAM มีข้อเสียอยู่ที่ว่าข้อมูลจะสูญหายทันทีเมื่อขาดแหล่งจ่ายไฟให้กับ หน่วยความจำชนิดนี้

หน่วยความจำชนิด RAM นี้จะแบ่งย่อยออกเป็นสองชนิดคือ

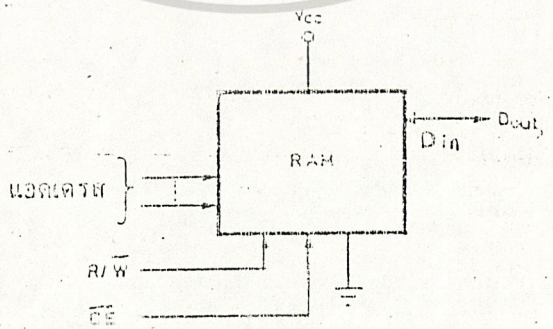
3.1 หน่วยความจำแบบ สแตติกแรม (SRAM)

3.2 หน่วยความจำแบบ ไดนามิกแรม (DRAM)

ทั้งสองแบบสามารถหาได้ตามท้องตลาดทั่วไป โดยคุณสมบัติของ SRAM นั้น ที่เด่นก็คือเรื่องของการต่อใช้งานที่ง่าย มีขนาดความจุให้เลือกจำนวนมากและปัจจุบันราคาก็ค่อนข้างจะเริ่มถูกลง ส่วนคุณสมบัติเด่นของ DRAM นั่นคือ ค่าความจุแต่ละตัวจะมีค่าสูงมากและมีราคาที่ถูกมาก เช่นกันแต่ว่าการต่อใช้งานจะมีความยุ่งยากบ้างซึ่งควรศึกษาการใช้งานต่อไป

3.1 หน่วยความจำแบบ สแตติกแรม (SRAM)

บล็อกพื้นฐานง่าย ๆ ของหน่วยความจำ SRAM ก่อน ซึ่งสามารถเข้าได้ดัง รูปที่ 2-7



รูปที่ 2-7 บล็อคพื้นฐานของ SRAM

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากบล็อคข้างต้นนั้น มีสัญญาณที่สำคัญ ดังนี้

1 D_{in} , D_{out} เป็นสายสัญญาณที่นำข้อมูลเข้าออกจากตัว SRAM ปกติจะเป็นลักษณะของ บัสแบบสองทิศทาง

2 Address input line เป็นกลุ่มของสายสัญญาณที่ใช้กำหนดแอดเดรสของหน่วยความจำซึ่งจำนวนขาของสายสัญญาณนี้ จะมากหรือน้อยเท่าใดก็ขึ้นอยู่กับความจุของหน่วยความจำนั้นซึ่งสามารถนำไปคิดค่าความจุได้ดังที่ได้กล่าวมาแล้วในเรื่องของ ROM

3 R/W เป็นสายสัญญาณที่ทำหน้าที่กำหนดการอ่าน/เขียนข้อมูลบนตัว SRAM

4 CE เป็นสายสัญญาณเพื่อกำหนดเลือกชิพในกรณีที่มีการต่อหลายตัวในระบบเพื่อที่จะทราบได้ว่าชิพตัวใดได้รับการเลือก

5 VCC, GND เป็นสายรับแหล่งจ่ายไฟเลี้ยงระบบและกราวด์ของระบบตามลำดับ

ในการใช้งานเราจะต้องใช้สัญญาณเหล่านี้ร่วมกัน เพื่อให้การเขียนข้อมูลได้ถูกต้อง ในการอ่านค่าความจุของหน่วยความจำ SRAM ที่สามารถดูที่จำนวนขาแอดเดรสและรหัส เช่น เบอร์ 62256 ก็จะมีความจุเป็น 32 K เป็นต้น

<u>ในการอ่านข้อมูลจาก SRAM สามารถกระทำได้ดังนี้</u>

1 กำหนดแอดเดรสที่ต้องการอ่านจากแรม และสร้างสัญญาณเลือกชิพ CE ที่ต้องการอ่าน

2 กำหนดสัญญาณ R/W สู่ SRAM โดยต้องให้ลอจิกที่ถูกต้อง ตามคู่มือของ SRAM ในแต่ละตัว

<u>การเขียนข้อมูลสู่ตัว SRAM</u>

ในการเขียนข้อมูลเข้าสู่ตัว SRAM ก็มีลักษณะการทำงานคล้ายกับการอ่านข้อมูลดังที่ได้กล่าวมา โดยมีลำดับการดังนี้

1 กำหนดค่าของแอดเดรสหน่วยความจำที่จะต้องการอ่าน และสัญญาณการเลือกชิพ CE ปรากฏขึ้น

2 ให้สัญญาณการเขียน R/W เข้าสู่ SRAM ให้เป็นลอจิก พัลส์ในช่วงเวลาที่กำหนดในคู่มือของ SRAM นั้น ๆ

3.2 หน่วยความจำแบบ ไดนามิกแรม (DRAM)

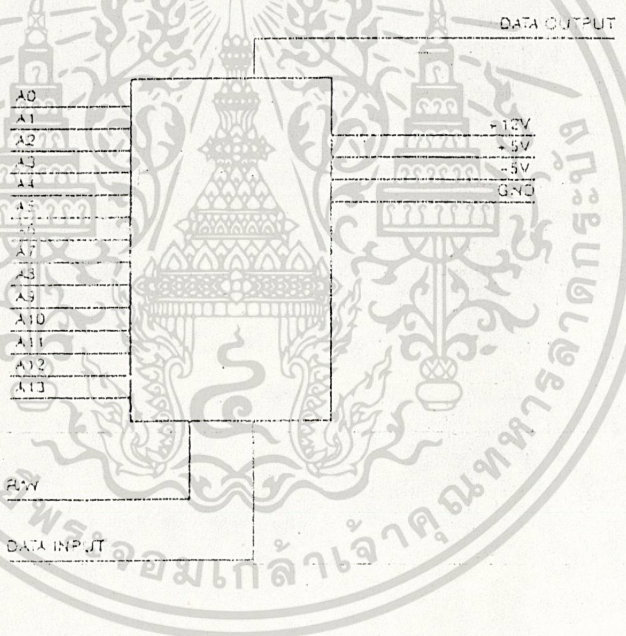
ในหัวข้อก่อนนั้นเราได้ทราบเกี่ยวกับ SRAM มาแล้ว ซึ่งยังหน่วยความจำชนิดอื่นอีก ที่น่าสนใจคือ หน่วยความจำแบบไดนามิกที่สามารถให้ความจุที่สูงมากต่อตัวชิพ ซึ่งตัวมันยังมีราคาถูกมากด้วย ในกรณีที่ระบบไมโครโปรเซสเซอร์ของเราต้องการความจุของหน่วยความจำที่มาก ๆ แล้ว หน่วยความจำที่น่าจะนำมาใช้งาน คือ ไดนามิกแรม (DRAM) ในลักษณะของการต่อใช้งาน ถึงอาจมีข้อยุ่งยากบ้าง เมื่อเทียบกับการต่อหน่วยความจำแบบ สแตติกแรมที่กล่าวมา ฉะนั้นจึงขอ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ยกตัวอย่างของ DRAM ที่ใช้เป็นพื้นฐานการศึกษาคือ เบอร์ 4116 ซึ่งเป็นเบอร์ที่มีใช้กันมานาน สามารถหาซื้อได้ง่าย มีราคาถูก โครงสร้างของ 4116 จะมีความจุขนาด 16 KB x 1 และหากจะพิจารณาจากขนาดของหน่วยความจำโดยวิธีการนับจำนวนขาแอดเดรสของหน่วยความจำดังที่ได้กล่าวมาในเรื่องของ SRAM นั้น 4116 ก็ควรจะมีขาสัญญาณ ดังต่อไปนี้

- สัญญาณแอดเดรสจำนวน 14 ขา
- สัญญาณข้อมูลออก 1 ขา
- สัญญาณข้อมูลเข้า 1 ขา
- สัญญาณการออกอ่านเขียน 1 ขา

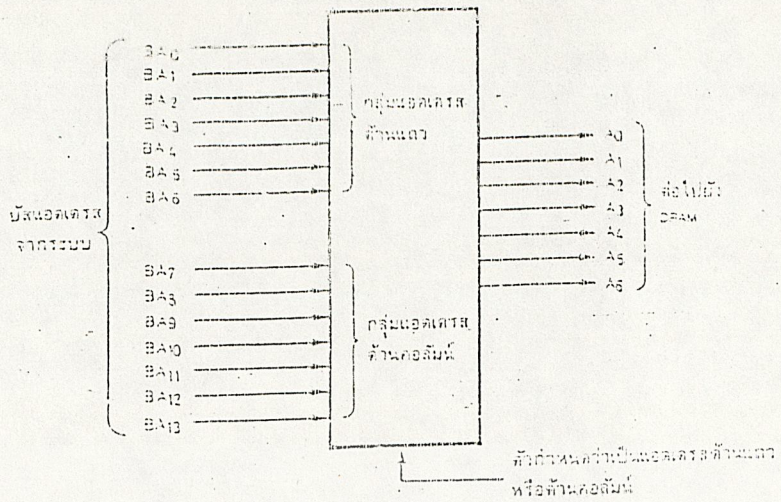
จึงสามารถเขียนเป็นบล็อคได้ดังรูปที่ 2-8



รูปที่ 2-8 แสดงถึงขาสัญญาณต่างของไดนามิกแรม 4116 ที่ควรจะเป็น

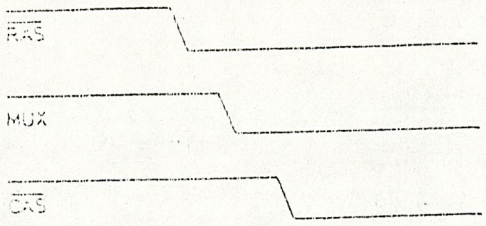
เพราะการกำหนดแอดเดรสของหน่วยความจำเป็นแบบ มัลติเพลกซ์ (multiplex) โดยจะแบ่งสัญญาณแอดเดรสนี้ออกเป็น 2 กลุ่ม ๆ ละ 7 เส้น กลุ่มแรกเป็น A0 A6 เราเรียกแอดเดรสกลุ่มนี้ว่า แอดเดรสทางแนวนอน (ROW ADDRESS) และกลุ่มที่สอง (A7 A13) คือแอดเดรสทางแนวตั้ง (COLUMN ADDRESS) ในการต่อสายแอดเดรสสู่ตัวหน่วยความจำไดนามิก-แรม เราจะต้องสร้างส่วนของการมัลติเพล็กซ์สัญญาณการอ้างแอดเดรสจาก CPU ดังแสดงในรูปที่ 2-9 เพื่อส่งสัญญาณแอดเดรสให้หน่วยความจำทีละกลุ่มโดยการส่งกลุ่มของแอดเดรสทางแนวนอนไปก่อนและตามด้วยแอดเดรสทางแนวตั้ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



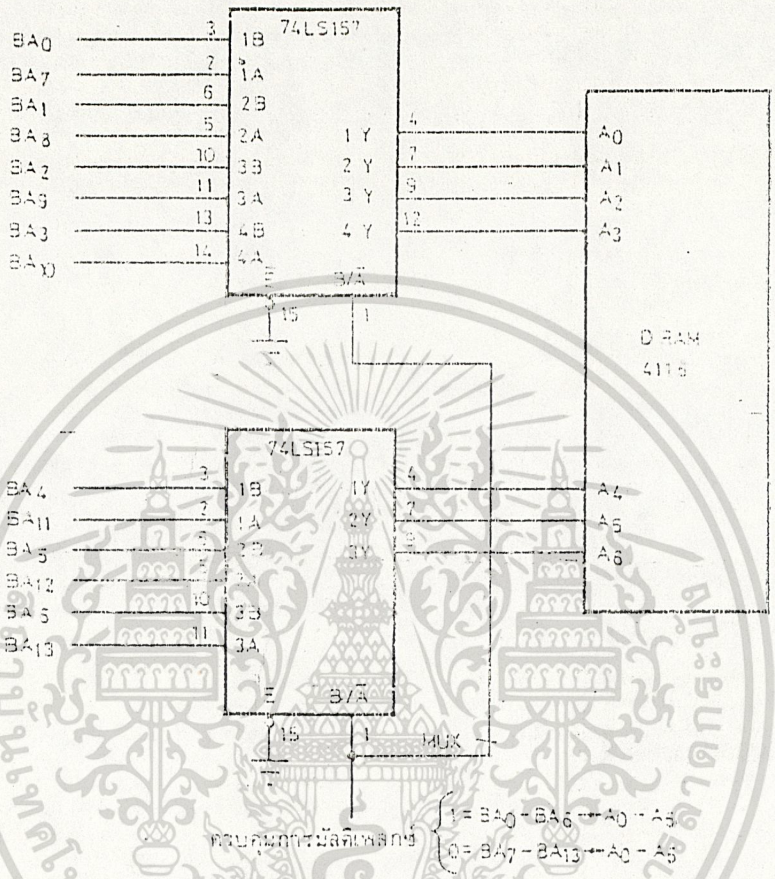
รูปที่ 2-9 แสดงถึงส่วนของการมัลติเพล็กซ์สัญญาณการอ้างแอดเดรสเพื่อสัญญาณการอ้างแอดเดรสเข้าสู่ขาแอดเดรสของ DRAM ที่ละกลุ่มซึ่งส่วนนี้สามารถสร้างได้ง่ายมากโดยใช้อุปกรณ์ลอจิกพวก TTL ซึ่งฟังก์ชั่นของการมัลติเพล็กซ์อยู่แล้ว เช่น เบอร์ 74LS257 เป็นต้น

ในการส่งแอดเดรสไปสู่หน่วยความจำในแต่ละแถวนั้นเราจะต้องส่งสัญญาณอันหนึ่งเพื่อบอกให้ตัวหน่วยความจำได้ทราบว่าขณะนี้เราส่งแอดเดรสทางแถวใดไปให้เพื่อมันจะได้แลทช์ (Latch) ค่าแอดเดรสไว้ได้อย่างถูกต้อง ฉะนั้นขาอินพุตของ DRAM จึงต้องมีขา RAS (Row Address Strobe), CAS (Column Address Strobe) เพิ่มเข้ามาเพื่อใช้ในการรับสัญญาณที่บอกให้แลทช์แอดเดรสในแนวคอลัมและแนวตั้งตามลำดับ เมื่อ DRAM ได้แอดเดรสครบ A0 A6, A7 A13) แล้วก็สามารถทำการอ่านเขียนได้เหมือนหน่วยความจำทั่วไปโดยการใส่สัญญาณ WE เข้าที่ขา Write (ขา 3 ของ 4116) ดังนั้นไดอะแกรมเวลาของสัญญาณการอ้างแอดเดรสจะเป็นดังรูปที่ 2-10 ส่วนในรูปที่ 2-11 เป็นรูปที่แสดงถึงวงจรที่ใช้งานการมัลติเพล็กซ์แอดเดรสเข้าสู่ DRAM โดยสัญญาณที่ใช้ในการกำหนดตัว มัลติเพล็กซ์นั้นเราเรียกว่า MUX ซึ่งจากรูปจะเห็นเมื่อ MUX มีค่าเป็น "1" ตัวเลือกข้อมูล



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

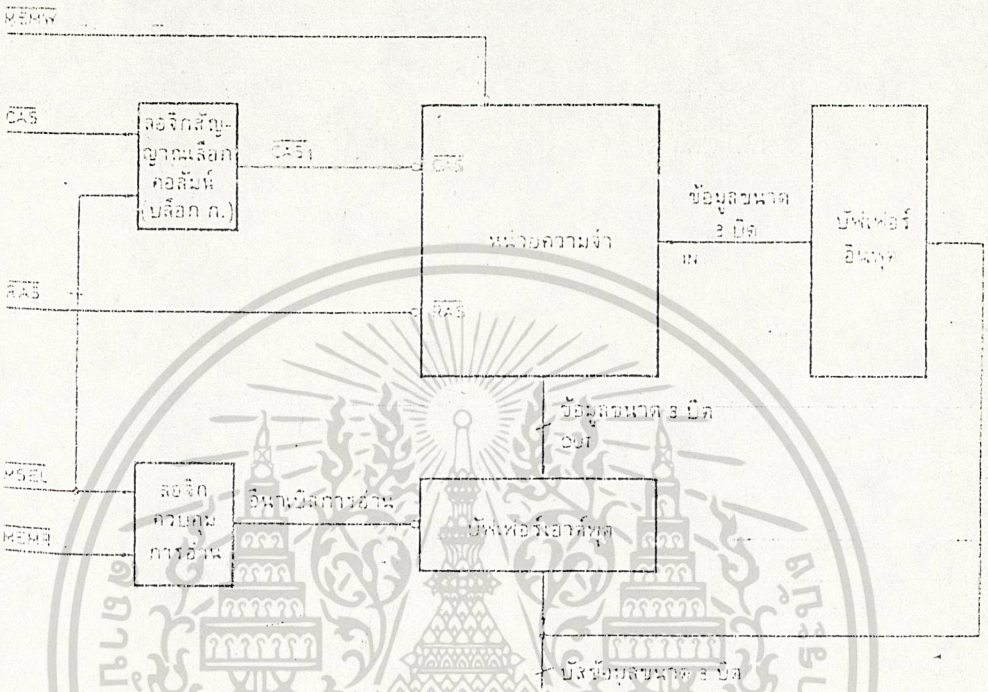
รูปที่ 2-10 แสดงถึงผังเวลาสำหรับการกำหนดแอดเดรสในหน่วยความจำ



รูปที่ 2-11 แสดงถึงวงจรใช้งานและลำดับสัญญาณ RAS, MUX, CAS

การอ้างแอดเดรส 74LS157 ก็จะเลือกข้อมูลทางแนวนอนที่แอดเดรส A0 A6 เข้าสู่ DRAM ก่อนสัญญาณ RAS ก็จะแอคตีฟ "0" เป็นการเลือกแอดเดรสทางแนวนอนไว้ในตัว DRAM ก่อน จากนั้น MUX ก็จะเป็น "0" เป็นการเลือกให้แอดเดรสทางแนวตั้ง A7 A13 เข้าสู่ขาแอดเดรสขาเดิมของ DRAM และสัญญาณ CAS ก็จะแอคตีฟ "0" เป็นการแลทช์เอาข้อมูลทางแนวตั้งเข้าไปไว้ในตัว DRAM (ต่อไป DRAM ก็จะถอดรหัสแอดเดรสนั้นต่อไป) ซึ่งสัญญาณต่าง ๆ ที่กล่าวมา RAS, CAS, MUX เราจะต้องสร้างเองซึ่งจะได้กล่าวต่อไป ตอนเรามาดูถึงบล็อคไดอะแกรมของการต่อ DRAM โดยทั่วไปเป็นดังรูปที่ 2-12

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2-12 แสดงถึงบล็อคไดอะแกรมของการต่อ DRAM โดยทั่วไป

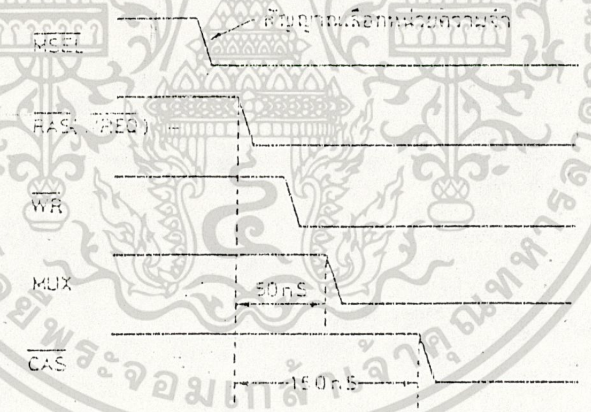
จากรูปพอจะกล่าวคร่าว ๆ ก่อนดังนี้ เราจะต้องสร้างสัญญาณ MRMW, MEMR, MSEL ส่วนสัญญาณที่เพิ่มเข้ามาคือ RAS, CAS โดยสัญญาณของ RAS จะถูกต่อเข้าสู่ DRAM โดยตรง แต่สัญญาณ CAS นั้นต้องมารวมกับสัญญาณ MSEL ก่อนจึงได้สัญญาณ CAS1 (ซึ่งก็คือสัญญาณ CASเดิม) เข้าสู่ตัว DRAM เหตุเป็นเช่นนี้เพราะว่าสัญญาณ MSEL คือสัญญาณที่เลือกตำแหน่งการวางนั้นที่หน่วยความจำเราจะนำมากำหนดให้สัญญาณ CAS เข้าสู่ DRAM ได้ก็ต่อเมื่อมีการอ้างแอดเดรสของ DRAM นี้ในแอดเดรสที่ถูกต้องที่เราทำการดีโค้ด (decode) ไว้เท่านั้นหากการอ้างแอดเดรสไม่ตรงกับค่าที่เราดีโค้ดไว้ เราก็จะไม่ให้มีสัญญาณ CAS1 เข้าสู่ DRAM ตัว DRAM ก็จะไม่สามารถทำงานได้นั่นเอง และเนื่องจากว่าขาข้อมูลอินพุตและเอาต์พุตส่วนหนึ่งใช้กับ DRAM โดยได้รับสัญญาณอื่นเป็นอย่างถูกต้องตามสภาวะของการเขียนอ่านข้อมูลจากส่วนบล็อคควบคุมลอจิกการอ่าน ในส่วนของบัฟเฟอร์นี้หากเป็นบัฟเฟอร์ด้านอินพุตข้อมูลเข้าสู่ DRAM เราสามารถใช้ TTL

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

(74LS244) ต่ออีนาเบิ้ลบัฟเฟอร์นี้ตลอดได้ เนื่องจากว่า DRAM จะสนใจข้อมูลอินพุตเมื่อที่เขียนข้อมูลทางอินพุตจะไม่มีผลใด ๆ ต่อ DRAM ในด้านบัฟเฟอร์เอาต์พุตข้อมูลออกจาก DRAM เราจะต้องมีสัญญาณการอีนาเบิ้ลที่มาจาก บล็อคลอจิกควบคุมการอ่าน (ในรูปที่ 2-12) เพราะข้อมูลที่ออกจาก DRAM ต้องถูกเปิดให้ผ่านบัฟเฟอร์ออกมาในเวลาที่ถูกต้องเพราะอาจไปกวนต่ออุปกรณ์ตัวอื่นที่ใช้ระบบบัสอันเดียวกันได้

<u>การเขียนข้อมูลเข้าสู่ DRAM</u>

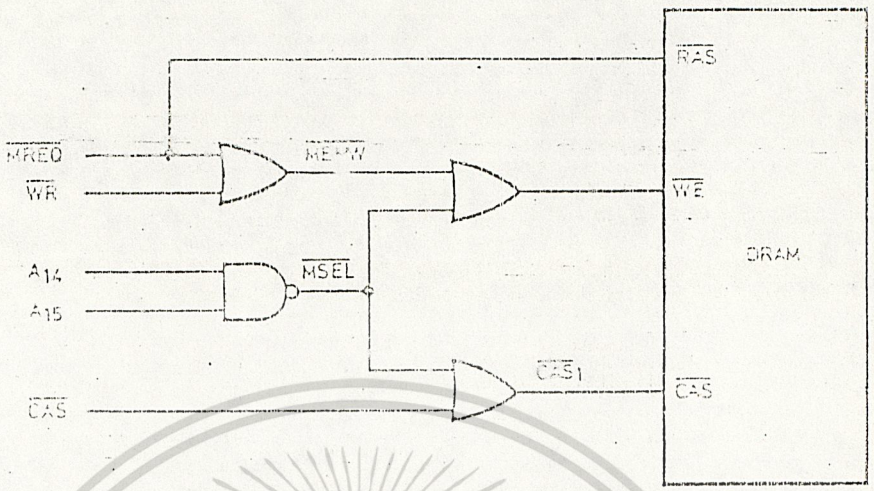
ฝังเวลาของการเขียนข้อมูลเข้าสู่หน่วยความจำไดนามิกแรมนั้นปกติไดอะแกรมเวลาจะเป็นไปตามรูปที่ 2-13 ไดอะแกรมของการอ่านเขียนตัว DRAM ที่จะใช้งานนั้นได้จากคู่มือซึ่งทั่วไปจะมีลักษณะคล้าย ๆ กันทุกเบอร์



รูปที่ 2-13 แสดงถึงไดอะแกรมเวลาทั่วไปในการเขียนข้อมูลเข้าสู่ DRAM

ตามบล็อคที่ผ่านมารูปที่ 2-12 เราจะต้องสร้างบล็อคของ ลอจิกสัญญาณเลือกคอลัมน์ ให้ได้สัญญาณเข้าสู่ DRAM ตามไดอะแกรมเวลาดังรูปข้างบนเมื่อเขียนข้อมูลเข้า DRAM โดยการประกอบวงจรง่าย ๆ ด้วย OR GATE ดังแสดงในรูปที่ 2-14

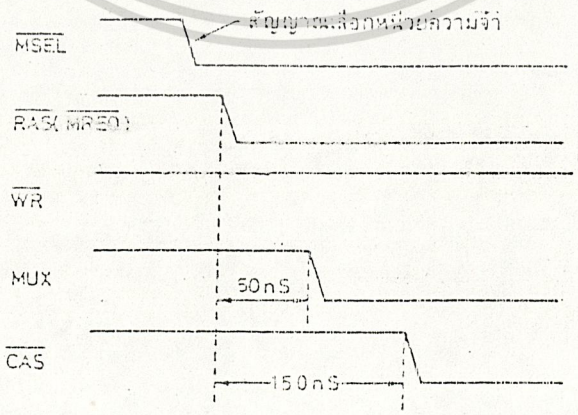
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2-14 แสดงถึงวงจรง่าย ๆ ของแอ็ดเดรสลอจิกสัญญาณเลือกคอลัมน์

การอ่านข้อมูลจากหน่วยความจำ DRAM

ในการอ่านข้อมูลจากตัว DRAM จะต้องมีสัญญาณไปอีนาเบิ้ลให้บัฟเฟอร์ที่เอาต์พุตบัสข้อมูลของ DAM ให้ปล่อยข้อมูลออกมา ซึ่งได้แสดงว่าวงจรส่วนนี้ไปแล้วในรูปที่ 2-15 ส่วนสัญญาณควบคุมที่เข้าสู่ DRAM ก็จะมีลักษณะที่คล้ายกับการเขียนข้อมูลเข้าสู่ DRAM นั่นเอง คือสัญญาณ RAS, MUX, CAS จะเหมือนกับกรณีของการเขียนข้อมูล หากแต่สัญญาณ WE จะไม่แอคติฟ เป็นผลทำให้ข้อมูลออกจากตัว DRAM ผ่านบัฟเฟอร์ออกสู่บัสข้อมูล



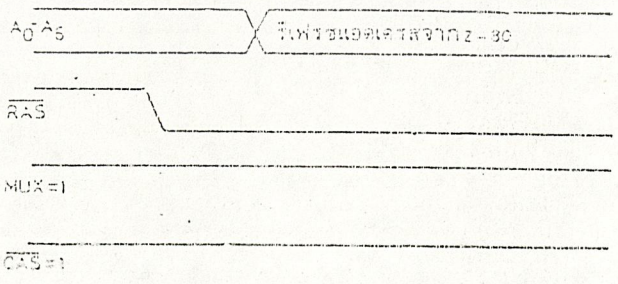
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 2-15 แสดงไดอะแกรม เมื่อทำการอ่านข้อมูลจาก DRAM

การรีเฟรชหน่วยความจำ

ตัวของไดนามิกแรมแม้จะมีข้อดีอยู่หลายอย่าง คือความจุสูงและราคาที่ต่ำมาก แต่ก็มีข้อเสียที่สำคัญมากคือ มันไม่สามารถที่จะเก็บข้อมูลอยู่ได้นาน แม้จะมีไฟเลี้ยงระบบอยู่ก็ตาม หากไม่ได้รับการรีเฟรชข้อมูลให้คงอยู่ เนื่องจากไดนามิกนั้นมีโครงสร้างเป็นลักษณะของตัวเก็บประจุ ดังนั้นเพื่อจะไม่ให้ประจุในตัวของไดนามิกแรมนั้นรั่วไหลออกไป จนทำให้สถานะโลจิกเปลี่ยนไป จึงต้องมีการซ้ำข้อมูลเป็นระยะ ๆ และขบวนของการซ้ำข้อมูลนี้ก็คือ การรีเฟรชนั่นเอง และในแต่ละ CELL ประจุจะต้องถูกรีเฟรชซ้ำทุก ๆ 2-3 mS (แล้วแต่ข้อมูลของ DRAM แต่ละตัว) เพื่อไม่ให้ข้อมูลเสียไป

วิธีการรีเฟรชมีอยู่หลายวิธี ในตัวอย่างที่เราใช้ DRAM เบอร์ 4116 นี้ ในแผ่นข้อมูลบอกว่าระยะเวลารีเฟรช 2 mS และในการรีเฟรชนั้นเราสามารถรีเฟรชแต่ละครั้งเป็นแถวทั้งแถวได้เลย ฉะนั้นเบอร์ 4116 มี 128 แถว (สังเกตได้จาก แอดเดรสทางแนวนอนมี A0 - A6) เพราะฉะนั้นในแต่ละแถวเราก็ต้องใช้เวลารีเฟรช 2/128 mS จะได้เวลาประมาณ 16 uS และการใช้รีเฟรชแอดเดรสนั้นทำได้ จะมีช่างการให้แอดเดรสรีเฟรชของหน่วยความจำ DRAM ออกมาเสมอและจะเพิ่มค่าเองโดยอัตโนมัติในช่วงนี้สัญญาณ RFSH จะแอคติฟโลจิก "0" ด้วย และในการรีเฟรชนั้น ตัว DRAM จะต้องการเพียงสัญญาณ RAS ก็เพียงพอแล้วโดยจะต้องไม่ให้สัญญาณ MUX, CAS เกิดขึ้น เพราะจะเป็นการอ่านข้อมูลทำให้ข้อมูลออกมาสู่ระบบบัสได้ ดังนั้นเราจึงใช้สัญญาณ RFSH มาควบคุมสัญญาณ MUX, CAS ไม่ให้เข้าสู่ DRAM ในช่วงรีเฟรช

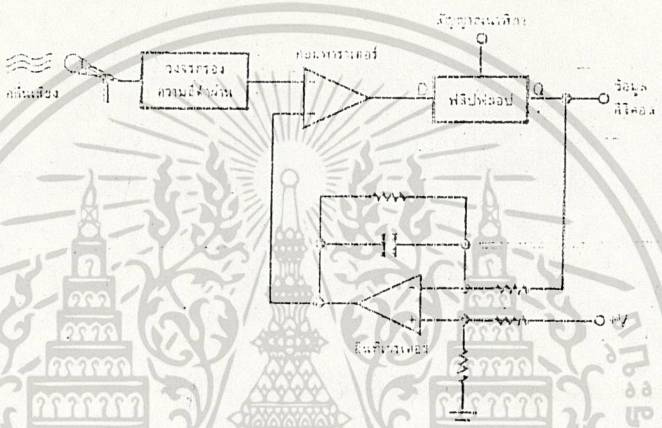


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

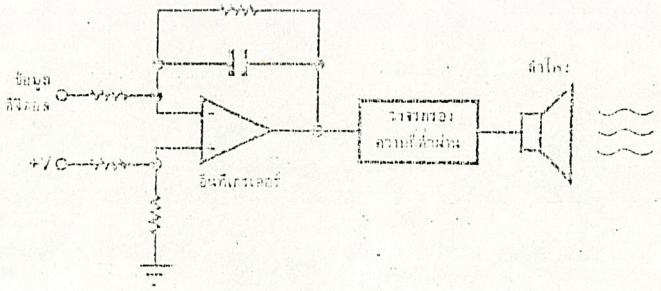
รูปที่ 2-16 แสดงสัญญาณที่เข้าสู่ DRAM ในช่วงของการรีเฟรช

2.4 เดลต้ามอดูเลชั่น

เทคนิคของเดลต้ามอดูเลชั่นจะไม่ใช้การสุ่มสัญญาณหนึ่งจุด แล้วแปลงเป็นข้อมูลดิจิตอลหนึ่งเวิร์ด ที่มีความละเอียดเป็นจำนวนบิตที่ต้องการ แต่จะใช้วิธีเปรียบเทียบความสูงหรือเปลี่ยนแปลงของสัญญาณเสียงแทน



รูปที่ 2-17 วงจรเบื้องต้นของเดลต้ามอดูเลชั่น ในส่วนของการแปลงสัญญาณเสียงเป็นดิจิตอล



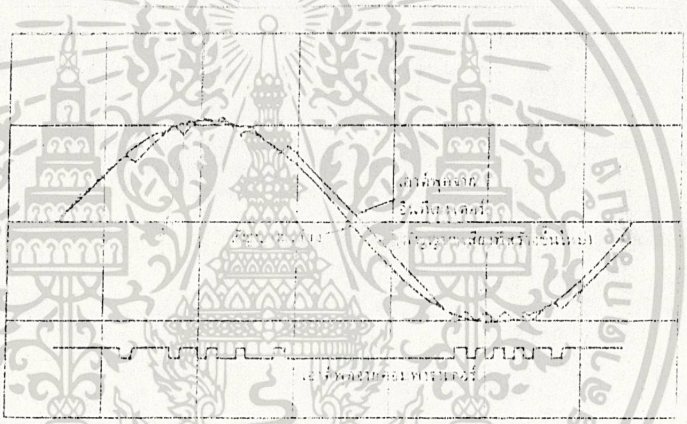
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 2-18 วงจรที่ใช้แปลงกลับจากข้อมูลดิจิตอลเป็นสัญญาณเสียง

ข้อมูลที่ได้คือทิศทางของการเปลี่ยนแปลง ซึ่งก็มีเพียงขึ้นหรือลงเท่านั้น ดังนั้นความกว้างของข้อมูลดิจิตอลจึงใช้เพียงบิตเดียวก็เพียงพอ ข้อดีของวิธีการเดลต้ามอดูเลชั่นก็คือใช้หน่วยความจำน้อยกว่าวิธีการแบบอื่น ๆ

รูปที่ 2-17 เป็นวงจรเบื้องต้นของเดลต้ามอดูเลชั่น คอมพาเรเตอร์จะทำหน้าที่เปรียบเทียบสัญญาณอินพุตปัจจุบันกับสัญญาณอินพุตก่อนหน้า ซึ่งได้จากการป้อนกลับมายังอินทิเกรเตอร์เอาต์พุต จากการเปรียบเทียบถูกป้อนผ่านฟลิปฟลอปที่ควบคุมด้วยสัญญาณนาฬิกาเพื่อให้ได้เป็นข้อมูลดิจิตอล ซึ่งก็คือการกำหนดอัตราการสุ่มสัญญาณนั่นเอง

สัญญาณที่ได้จากตัวเปรียบเทียบและจากอินทิเกรเตอร์ เปรียบเทียบกับสัญญาณอินพุต แสดงในรูปที่



รูปที่ 2-19 เปรียบเทียบสัญญาณอินพุตกับข้อมูลที่ได้สัญญาณอะนาลอกจากอินทิเกรเตอร์

CVSD

ข้อจำกัดของวิธีการเดลต้ามอดูเลชั่นก็คือ แถบกว้างความถี่ใช้งาน ซึ่งถูกจำกัดโดยความถี่สัญญาณนาฬิกา และจะสูงกว่าความถี่สูงสุดของสัญญาณอินพุตมากกว่า 2 เท่าขึ้นไป อีกอันหนึ่งคือความเร็วของการเปลี่ยนแปลงความสูงของสัญญาณหรือไดนามิกเรนจ์ ระบบเดลต้ามอดูเลชั่นธรรมดามีค่าไดนามิกเรนจ์ที่แคบ จำเป็นต้องมีส่วนเพิ่มเติมทำหน้าที่ขยายไดนามิกเรนจ์ให้กว้างโดยการควบคุมอัตราขยายอินทิเกรเตอร์ เพื่อให้ตอบสนองต่อสัญญาณที่มีความชันมาก ๆ ได้ทัน ระบบนี้มีชื่อเรียกใหม่ว่า ระบบเดลต้ามอดูเลชั่นแบบเปลี่ยนแปลงความชันต่อเนื่องหรือ CVSD (continuous variable slope delta modulation)

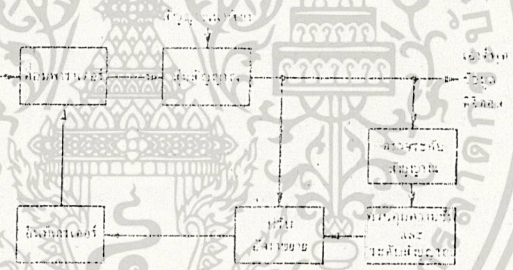
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ระบบ CVSD ทั้งส่วนแปลงจากอะนาลอกเป็นดิจิตอลและส่วนแปลงกลับจากดิจิตอลเป็นอะนาลอก แสดงในรูปที่ และ ตามลำดับ วิธีการของ CVSD คือ มีการตรวจระดับสัญญาณโดยอาจใช้ให้มีวิธีการจัดให้มีรีจิสเตอร์สำหรับเก็บข้อมูลดิจิตอลล่าสุดจำนวน 3 ถึง 4 บิต แล้วตรวจดูว่าเป็น "0" หมด หรือ "1" หมดหรือไม่ ถ้าใช่แสดงว่าขณะนี้อัตราการขยายของอินทิเกรเตอร์ต่ำเกินไป ตอบสนองความชันของสัญญาณไม่ทัน ก็จะทำการเพิ่มอัตราการขยายให้สูงขึ้นเฉพาะในช่วงนั้น

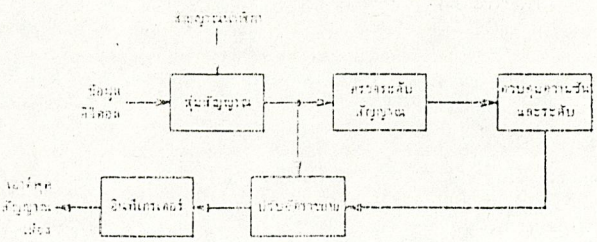
ในส่วนของการเปลี่ยนแปลงกลับก็จะต้องมีการทำงานในลักษณะเดียวกันคือมีรีจิสเตอร์ตรวจข้อมูลว่าเป็น "0" หมด หรือ "1" หมดหรือไม่ แล้วจัดการควบคุมอัตราการขยายของอินทิเกรเตอร์ให้สอดคล้องกัน

ไอซีบันทึกเสียงสำเร็จรูป

เมื่อรู้จักทฤษฎีการทำงานของการบันทึกเสียงโดยใช้เทคนิค CVSD แล้วก็มารู้จักกับไอซีสำเร็จที่ทำหน้าที่ดังกล่าวกันสัก 2 เบอร์



รูปที่ 2-20 แผนผังการทำงานของระบบ CVSD ในส่วนของการแปลงจากสัญญาณเสียงเป็นข้อมูลดิจิตอล



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

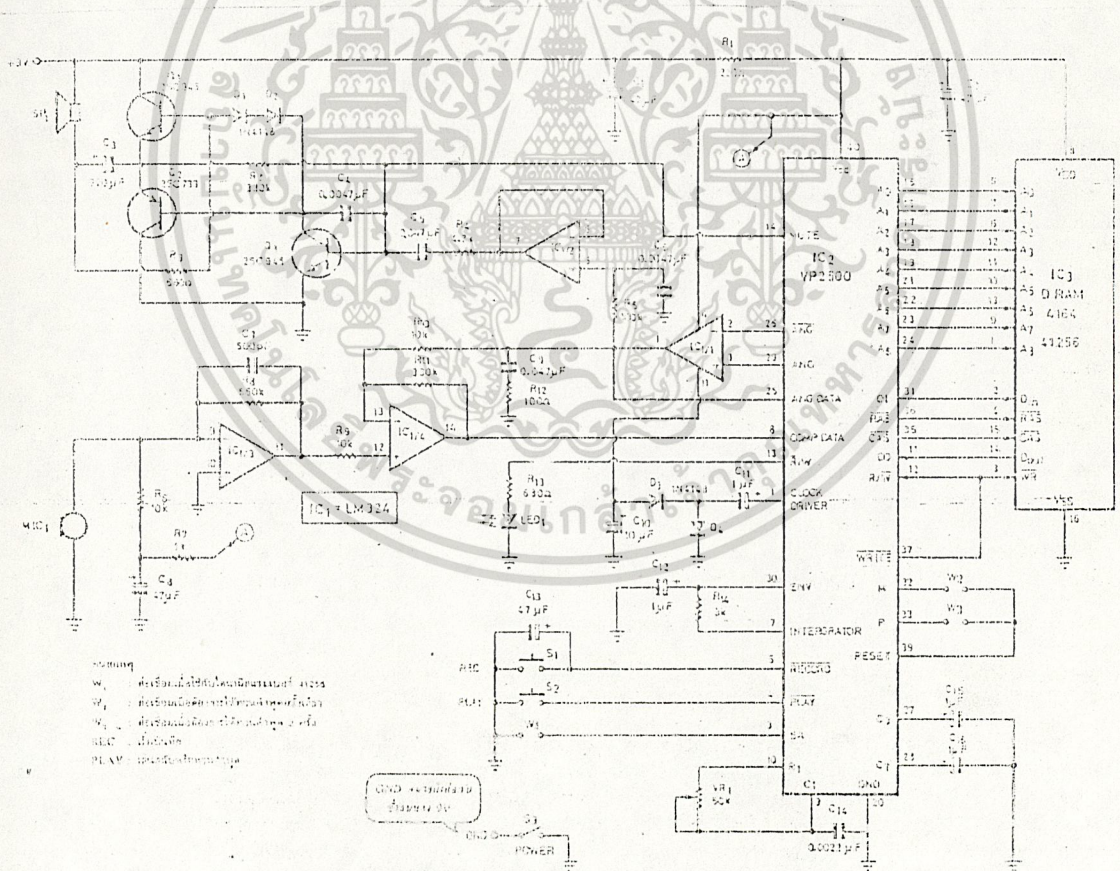
รูปที่ 2-21 แผนผังการทำงานของระบบ CVSD ในส่วนแปลงกับดิจิตอลเป็นสัญญาณเสียง

VP2500

เบอร์แรกคือ VP2500 เป็นของไต้หวัน ต่อกับไดนามิกแรมขนาด 64 K x 1 บิต หรือ 256 K x 1 บิต ได้ 1 ตัว โดยตรง ให้คุณภาพเสียงที่ดีในช่วงบิตเรต 24 K ถึง 28 K แต่ก็สามารถใช้ได้ต่ำถึง 9.6 K โดยที่คุณภาพเสียงยังคงยอมรับได้ ใช้แรงดันซัพพลาย 3-6 โวลต์ ภาคออสซิลเลเตอร์ใช้ RC ธรรมดารูปร่างภายนอกเป็น DIP ขนาด 40 ขา

VP2500 ยังไม่สมบูรณ์ในตัว ส่วนของคอมพาราเตอร์ อินทิเกรเตอร์ และภาคขยายไม่มีอยู่ในตัว ต้องเพิ่มเติมจากภายนอก วงจรบันทึกเสียงที่สมบูรณ์แสดงในรูปที่ โดยมี $IC_{1/4}$ เป็นคอมพาราเตอร์ $IC_{1/4}$ ควบคุมอัตราขยายของอินทิเกรเตอร์ ส่วน $IC_{1/2}$ และ Q_1, Q_2, Q_3 ทำหน้าที่ขยายเสียงในขณะเล่นกับที่ VR_1 เป็นตัวปรับบิตเรต

วงจรนี้ที่บิตเรต 16 K ถ้าใช้ไดนามิกแรม ขนาด 64 K x 1 บิต (4164) บันทึกได้ 4 วินาที ถ้าใช้ขนาด 256 K x 1 บิต (41256) บันทึกได้นาน 16 วินาที



รูปที่ 2-22 วงจรที่สมบูรณ์ของเครื่องบันทึกเสียงพูดระบบดิจิตอลที่ใช้ VP2500 บันทึกได้นาน 16 วินาที

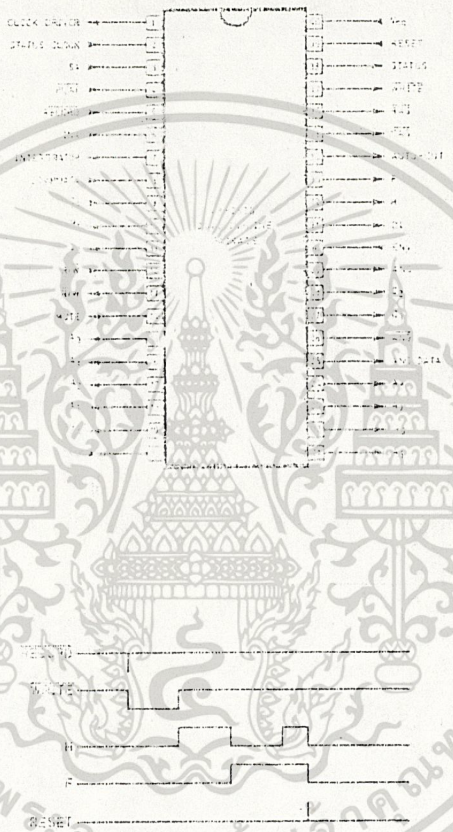
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

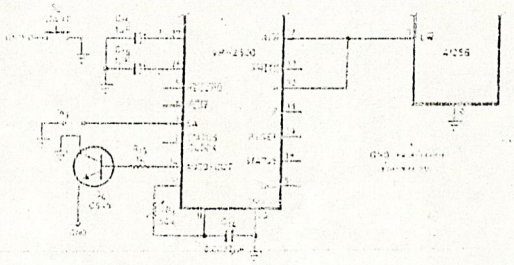
รายละเอียดการใช้งานของ VP2500

A_0 – A_9	:	ขาแอดเดรสต่อไปยังแรม
D_1 /D_0	:	ขาดาต้าอินพุตเอาต์พุต ต่อกับแรม
CAS, RAS	:	เอาต์พุตต่อกับแรม สำหรับแลนต์แอดเดรส
WRITE	:	เอาต์พุต แอคทิฟโลว์ ทำงานหรือแอคทิฟ เมื่ออยู่ในโหลดบันทึก ใช้ควบคุมวงจรภายนอกอื่น ๆ
RECORD	:	อินพุต แอคทิฟโลว์ เมื่อมีการทริกที่อินพุตนี้ เป็นการเข้าสู่โหมดการบันทึก
PLAY	:	อินพุต แอคทิฟโลว์ เมื่อทริกที่อินพุตนี้ เป็นการเปลี่ยนไปโหมดอ่านหรือเล่นกลับ
ANG และ ANG	:	เป็นขาเอาต์พุตของสัญญาณอะนาลอกที่มีเฟสตรงกันข้าม
ANG DATA	:	เป็นอินพุตป้อนกลับสำหรับคุมอัตราขยายของอินทีเกรเตอร์
INTEGRATOR	:	เอาต์พุตที่จะต้องต่อไปยังอินทีเกรเตอร์ภายนอก
ENVELOP	:	อินพุตสำหรับต่อกับเอาต์พุตจากอินทีเกรเตอร์
COMPDATA	:	อินพุตที่เป็นสัญญาณเปรียบเทียบจากคอมพาราเตอร์
R_1 , C_1	:	ขาออสซิลเลเตอร์ ถ้าต่อกับสัญญาณนาฬิกา จากภายนอกให้ต่อเข้าขา C_1
CLOCK DRIVE	:	ขาเอาต์พุตใช้แรงกำเนิดแรงดันลบ
SA	:	เลือกขนาดหน่วยความจำ ถ้าเปิดวงจรใช้กับแรมขนาด 64 K ต่อลงกราวด์ ใช้กับแรมขนาด 256 K
RESET	:	อินพุต แอคทิฟไฮ เมื่อรีเซตเป็นการทำให้ไอซีอยู่ในโหมดสแตนด์บาย
C_2 และ C_3	:	ขาเพิ่มเติมพิเศษ สำหรับมองดูเลตสัญญาณ
H และ F	:	เอาต์พุตจากเคาน์เตอร์ชุดท้ายสุดภายใน
R/W	:	ขาอินพุตสำหรับเลือกโหมดทำงาน เมื่อเป็นโลดเป็นโหมดบันทึก และไอเป็นโหมดเล่นกลับ
R/W	:	ขาเอาต์พุต สำหรับแสดงโหมดการทำงานในขณะนั้น รองรับกระแสได้ 10 mA
MUTE	:	สำหรับตัดเสียงวงจรขยายเสียงภายนอก เป็นเอาต์พุตแบบโอเพ่นคอลเลกเตอร์
AUTO-OUT	:	เมื่อจัดวงจรให้เป็นเอคโค่ โดยต่อขา R/W ให้เป็นไฮ ซึ่งจะเป็นไฮในขณะทำงาน และเปลี่ยนเป็นไฮอิมพีแดนซ์ หลังจากเล่นกลับทวนซ้ำครบ 8 ครั้ง

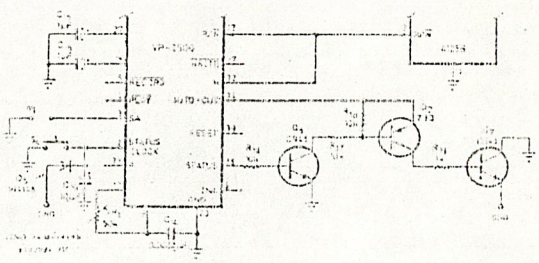
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารนี้เมื่อมีการนำไปใช้

INA	:	ขานี้เมื่อต่อกับกราวด์จะทำเสียงเป็นหุ่นยนต์แบบไมเกาพยนต์
STATUS และ	:	เป็นขาสัญญาณสถานะเคาน์เตอร์ภายในขา STATUS
STATUS CLOCK		เป็นเอาต์พุตจะเปลี่ยนสภาวะเป็นไฮที่ขอบขาลงของสัญญาณที่ขา STATUS CLOCK
V_{CC} และ GND	:	ขาไฟเลี้ยง





(ก) ทวนสัญญาณ 8 ครั้งแล้วหยุดเอง



(ข) ทวนสัญญาณ 8 ครั้ง โดยกดสวิตช์หยุดและต่อไปอีกหลายครั้งจนกว่าจะหยุดเอง

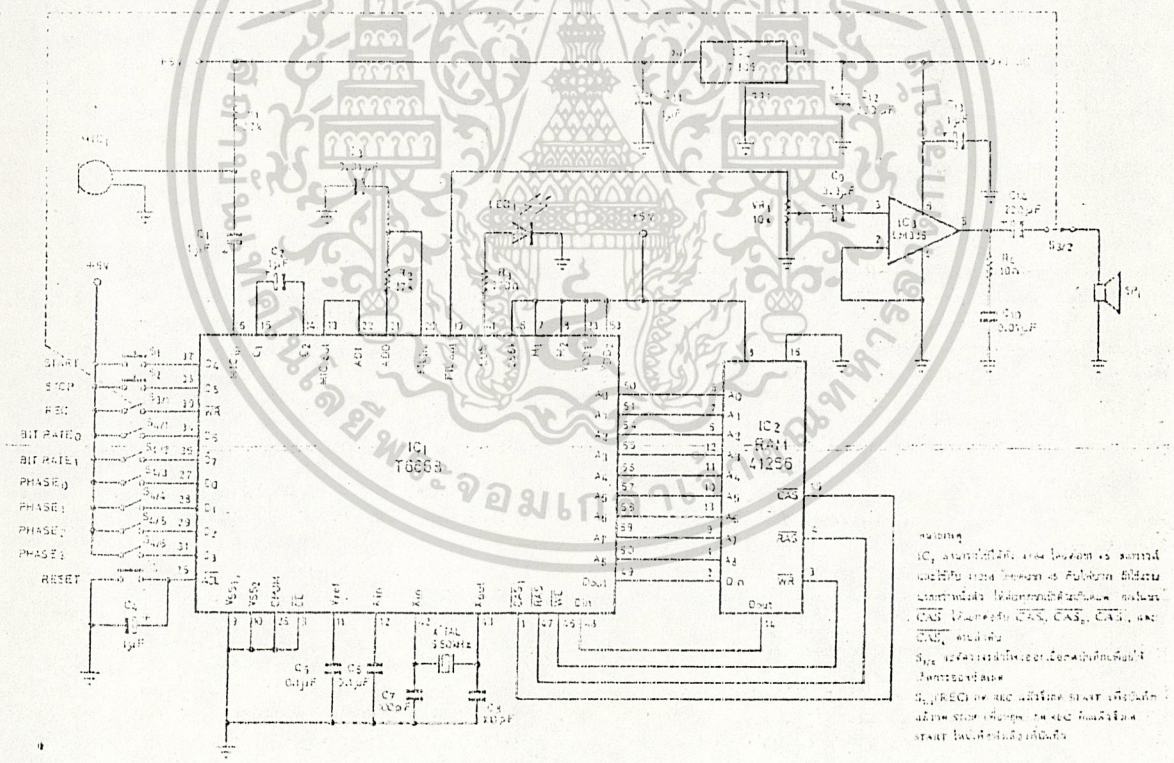
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น รวมทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเอกสารนี้ทุกครั้งที่มีการนำไปใช้

รูปที่ 2-23 การต่อแอลอีดี VP-2500 ให้ทำงานในลักษณะทวนสัญญาณ 8 ครั้ง (หรือเอดโค)

T6668

เบอร์ที่ 2 นี้คือ T6668 เป็นของโตชิบา มีฟังก์ชั่นใช้งานค่อนข้างสมบูรณ์ ประยุกต์ใช้งานได้กว้างและสะดวกกว่า มีรูปร่างภายนอกเป็นแบบติดตั้งบนผิวหรือเซอร์เฟสเมาต์ขนาด 60 ขา ต่อกับหน่วยความจำชนิดไดนามิกขนาด 64 K x 1 บิต หรือ 256 K x 1 บิต ได้โดยตรง 4 ตัว ใช้คริสตอลควบคุมความถี่สัญญาณนาฬิกา เปลี่ยนบิตเรตโดยใช้ดิปสวิตช์เลือกหน้าที่ของหน่วยความจำแยกบันทึกเล่นกลับได้ เมื่อใช้หน่วยความจำ 256 K x 1 บิต (41256) จำนวน 4 ตัว ที่บิตเรต 16 K จะบันทึกได้นาน 64 วินาที หรือนาทีเศษ ๆ

T6668 นี้สมบูรณ์ในตัว ทางด้านอินพุตสามารถต่อไมโครโฟนเข้ากับไอซีได้เลย ด้านเอาต์พุตก็เพิ่มภาคขยายอีกส่วนเดียว วงจรที่สมบูรณ์ของเครื่องบันทึกเสียง แสดงในรูปที่ 2-24



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 2-24 วงจรสมบูรณ์ของเครื่องบันทึกเสียงพกพาที่ใช้ T6668 บันทึกได้นาน 16 วินาทีต่อแรม 1 ตัว (สูงสุด 4 ตัว) แบ่งหน้าบันทึกได้

รายละเอียดการใช้งานของ T6668

$A_0 - A_8$: ขาแอดเดรสต่อกับแรม

D_{IN} , D_{OUT} : ขาดาต้าต่อกับแรม

RAS , WE : สัญญาณควบคุมแรม

CAS , CAS : ขาเลือกแรมแต่ละตัว รวม 4 ตัว

M_1 , M_2 : ใช้กำหนดจำนวนแรมที่ใช้ ดูตารางที่ 1

256 K : เลือกขนาดแรม ต่อกราวด์ใช้ 4164 ต่อไปบวกใช้ 41256

EOS : เอาต์พุต เป็นไฮเมื่อจบข้อความที่บันทึก

MIC_{IN} , MIC_{OUT} : อินพุตและเอาต์พุตของภาคขยายส่วนหน้า

AD_1 , AD_0 : อินพุตสัญญาณอะนาลอกที่จะนำไปแปลงเพื่อบันทึก และเอาต์พุตอะนาลอกที่ได้จากการอ่าน

FIL_{IN} , FIL_{OUT} : วงจรกรองความถี่ต่ำผ่าน

ชนิดและจำนวน	256 K (ขา 45)	M_2	M_1
4164 x 1	0	0	0
4164 x 2	0	0	1
4164 x 3	0	1	0
4164 x 3	0	1	1
41256 x 1	1	0	0
41256 x 2	1	0	1
41256 x 3	1	1	1
41256 x 4	1	1	1

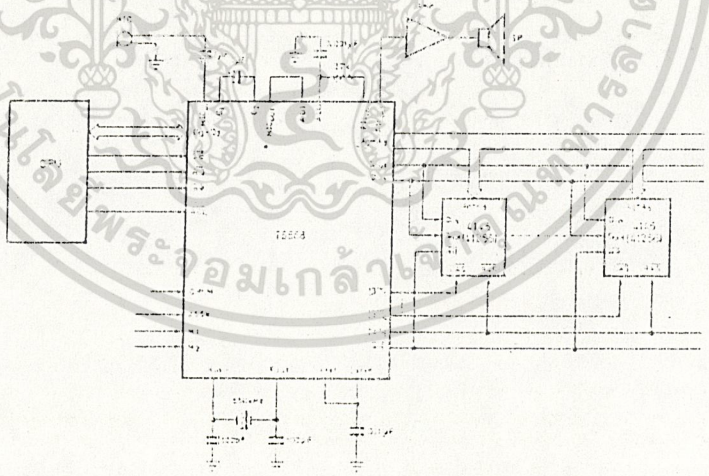
ตารางที่ 2-4 การกำหนดชนิดและจำนวนแรมที่ใช้

บิตเรต	D (ขา 35)	D (ขา 34)
8 K	0	0
11 K	0	1
16 K	1	0
32 K	1	1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 2-5 การกำหนดอัตราเร็วข้อมูลหรือบิตเรต

C_1 , C_2	:	ต่อตัวเร็บประจุภายนอก
ACL	:	ขารีเซต แอคทีฟโลว์
X_{IN} , X_{OUT}	:	คริสตอลออสซิลเลเตอร์ ความถี่ kHz
CPUM , CE	:	ขาสัญญาณควบคุมสำหรับอินเตอร์เฟสกับ CPU
WR	:	ขาอินพุตสัญญาณควบคุมสำหรับเปลี่ยนไปโหมดการบันทึก
D_4 , D_5	:	เริ่มต้น (D_4) และหยุด (D_5) การนับของเคาน์เตอร์ภายใน สำหรับการบันทึกและการเล่นกลับ
D_6 , D_7	:	กำหนดบิตเรต ดูตารางที่ 2
D_0 , D_3	:	เลือกหน้าของหน่วยความจำสำหรับบันทึก แบ่งได้สูงสุด 16 หน้า ตามรหัสเลขมาตรฐานสอง STOP (D_5) เมื่อใด ก็จะมีการบันทึกเอาไว้โดยอัตโนมัติ
V_{DD} , V_{SS}	:	ขาไฟเลี้ยงและกราวด์



รูปที่ 2-25 การต่ออินเตอร์เฟส T6668 เข้ากับ CPU เพื่อควบคุมการทำงาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3
การดำเนินการสร้าง

3.1 การทำงานของโทรศัพท์เก็บหมายเลข

จากรูป Diode D_2 - D_5 ทำหน้าที่ปรับชั้วของแรงดันจากคู่สายโทรศัพท์ ให้มีชั้วที่แน่นอน ปรากฏที่มอสเฟต Q_7 และ Q_8 มอสเฟต 2 ตัวนี้ ทำหน้าที่พมุนหมายเลขตามที่โปรแกรมไว้ การทำงานจะเป็นดังนี้ เมื่อมีสัญญาณมาปีกาเข้ามาจะทำให้ 211 ทำงาน จะเกิดกระแสไหลผ่านไดโอดและมอสเฟต ทำให้แรงดันที่คู่สายลดลง เปรียบเสมือนการยกหูโทรศัพท์พร้อมโทรออก จากนั้น Q_7 จะถูกบังคับให้หยุดนำกระแส เกิดเป็นพัลส์ที่คู่สายโทรศัพท์ สัญญาณที่ Q_7 ได้รับ ได้มาจาก IC_2 โดยจะส่งเอาท์พุตเป็นพัลส์ตามหมายเลขที่โปรแกรมไว้ ขา 14 และขา 15 ต่อไว้ที่ "1" เพื่อกำหนดให้ IC_2 ทำงานตามมาตรฐาน มีอัตราส่วนของพัลส์ "1" ต่อ "0" เป็น 33% และมีระยะห่างระหว่างแต่ละเลขเป็น 800 MS ความถี่หลักถูกกำหนดไว้ที่ 16 KH_Z โดย L_1, C_6 และ C_7 ส่วนการเก็บหมายเลขโทรศัพท์จะทำงานดังนี้ เมื่อปุ่มตัวเลขถูกกด IC_1 จะถอดรหัสจากแป้นตัวเลข พร้อมให้เลขฐานสองที่ขา 10, 11, 12 และ 13 จำนวน 4 บิท แก่ IC_2 แล้ว IC_2 ก็จะผลิตพัลส์ออกไปตามหมายเลข

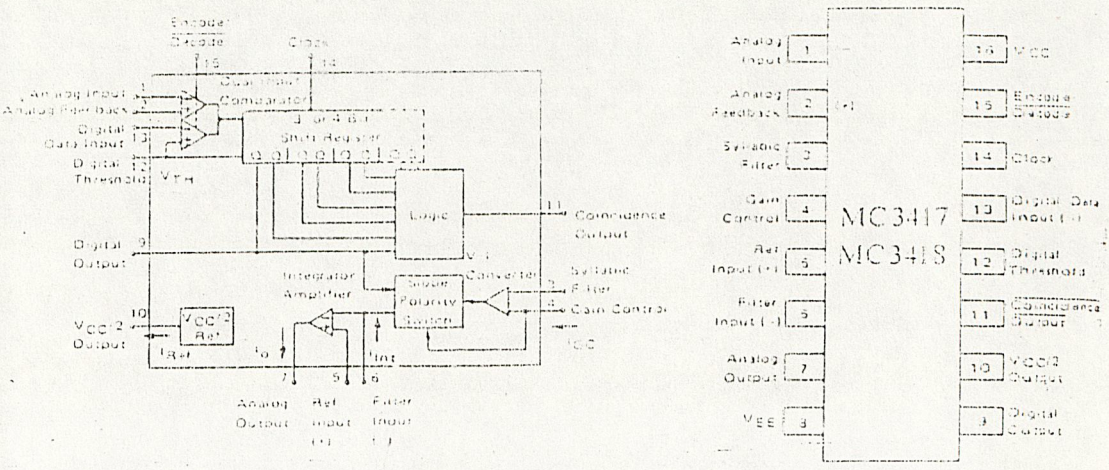
3.3 IC ที่เลือกใช้ในการบันทึกเสียงพูด

MC 3417

MC 3417 และ MC3418 มีชื่อเรียกเต็ม ๆ ว่า continuous variable slop delta modulator / demodulator เป็นไอซีที่ทำหน้าที่แปลงสัญญาณอะนาลอก เป็นข้อมูลดิจิตอลขนาดกว้าง 1 บิต และแปลงจากข้อมูลดิจิตอล 1 บิตนี้ กลับเป็นสัญญาณอะนาลอกตามเดิม ข้อมูลดิจิตอลขนาด 1 บิต สามารถส่งไปได้แบบอนุกรม โดยใช้แชลเนลของระบบสื่อสารทั่วไปได้ เช่น ระบบวิทยุและโทรศัพท์ โดยมีข้อดีคือ ประสิทธิภาพและความชัดเจนของสัญญาณดีกว่า ทั้งยังป้องกันข่าวสารได้ด้วย

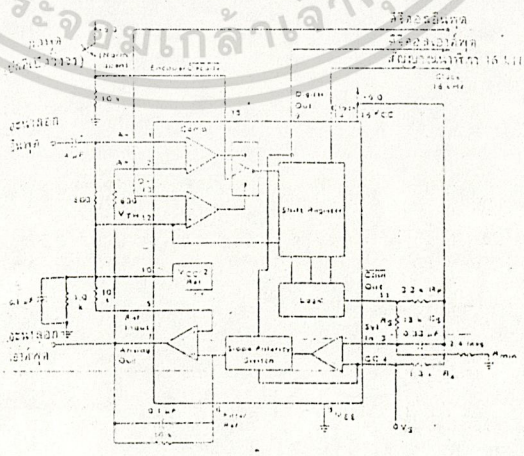
การทำงานของ MC3417 ที่ใช้หลักการของ CVSD ดังได้อธิบายไปในฉบับก่อน โครงสร้างภายในมีชิฟต์รีจิสเตอร์อยู่ 1 ชุด สำหรับตรวจระดับ สัญญาณและควบคุมอัตราขยายเพื่อเพิ่มไดนามิกเรนจ์ โดย MC3417 ใช้รีจิสเตอร์ขนาด 3 บิต ส่วน MC3418 ใช้รีจิสเตอร์ขนาด 4 บิต ซึ่งให้คุณภาพสัญญาณที่ดีกว่า โครงสร้างวงจรภายในและลักษณะการจัดขาภายนอกแสดงในรูปที่ และหน้าที่การทำงานของขาสัญญาณต่าง ๆ แสดงในตารางที่ 1 สำหรับวงจรเบื้องต้นแสดงในรูปที่ 3-1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3-1 แสดงโครงสร้างวงจรภายในของ CVSD มอดูเลเตอร์/ดีมอดูเลเตอร์ เบอร์ MC3417, MC3418 และแสดงการจัดพาภายนอก

วงจรที่ต้องเพิ่มเติมนอกเหนือจาก CVSD มอดูเลเตอร์/ดีมอดูเลเตอร์ ก็คือภาคขยายส่วนหน้า วงจรกรองความถี่ต่ำผ่าน และภาคขยายส่วนหลังสำหรับขยายเสียงออกลำโพง ในการนำมาทำเครื่องบันทึกเสียงนั้น ข้อมูลดิจิตอลที่ได้แทนที่จะส่งออกไปยังคู่ติดต่อก็จัดการนำไปเขียนลงหน่วยความจำแทน ดังแผนผังวงจรในรูปที่ 3-2 การแปลงกลับก็อ่านข้อมูลดิจิตอลจากหน่วยความจำออกมา เนื่องจากเราเลือกใช้หน่วยความจำชนิดไดนามิกเบอร์ 41256 เพราะมีความจุสูงสุดเท่าที่หาได้ขณะนี้ เพราะราคาต่อความจุถูกกว่าหน่วยความจำชนิดอื่น ต้องมีวงจรจัดการเกี่ยวกับหน่วยความจำ ทั้งการรีเฟรช มัลติเพล็กซ์แอดเดรส และกำเนิดแอดเดรสเข้ามาอีกด้วย



รูปที่ 3-2 แสดงวงจรใช้งานเบื้องต้นของ MC3417 วงจรนี้เป็นตัวรับส่งเสียงพูดโดยการส่งสัญญาณไปในรูปดิจิตอล คู่ติดต่อก็เป็นวงจรที่เหมือนกันทุกประการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รายละเอียดและหน้าที่ขาใช้งานของ MC3417, MC3418

ขา 1 Analog Input

เป็นขาอินพุตของคอมพาราเตอร์สำหรับสัญญาณอะนาลอก เชื่อมต่อได้ทั้งแบบเอซี และดีซี ถ้าต้องการเลื่อนระดับดีซีของสัญญาณให้เท่ากับแรงดันอ้างอิงภายใน ต้องมีตัวต้านทานไบแอสต่อระหว่างขา 1 กับขา 10

ขา 2 Analog Feedback

เป็นขาอินพุตไม่กลับเฟสของคอมพาราเตอร์ตัวเดียวกัน สำหรับป้อนกลับสัญญาณอะนาลอกที่สร้างขึ้นเพื่อเปรียบเทียบกับสัญญาณอะนาลอกที่เข้ามาใหม่ ซึ่งจะใช้เฉพาะในตอนแปลงจากอะนาลอกมาเป็นดิจิตอลโดยต่อขา 2 นี้เข้ากับขา 7 แต่ในการแปลงกลับจากดิจิตอลเป็นอะนาลอก ขา 2 นี้ไม่ใช้

ขา 3 Syllable Filter

เป็นขาสำหรับต่อแรงดันที่ได้จากการตรวจระดับสัญญาณแล้ว ที่ผ่านวงจรกรองป้องกันเข้าไอซีเพื่อควบคุมอัตราขยายของอินทิเกรเตอร์ ให้ตอบสนองสัญญาณได้ทัน โดยจะมีวงจร RC ต่อระหว่างขา 11 และขา 3 ซึ่งมีค่าไทม์คอนสแตนท์ 6 ms ถึง 50 ms

ขา 4 Gain Control Input

ให้กำหนดอัตราการขยายคงที่ของอินทิเกรเตอร์โดยใช้งานร่วมกับขา 3 ซึ่งเป็นขาปรับอัตราขยายตามระดับสัญญาณ ค่าความต้านทานที่ใช้กำหนดอัตราขยายนี้แปรไปตามอัตราขยายลูปของระบบ แต่จะมีค่าได้ไม่เกิน 5 K เนื่องจากเสถียรภาพของวงจร

ขา 5 Reference Input.

ขาอินพุตไม่กลับเฟสของอินทิเกรเตอร์ ใช้เลื่อนระดับดีซีของเอาท์พุต ในโหมดการแปลงจากอะนาลอกเป็นดิจิตอลจะจัดให้เท่ากับขา 1 โดยต่อเข้ากับขา 10

ขา 6 Filter Input

ขาอินพุตกลับเฟสของอินทิเกรเตอร์สำหรับต่อกับอุปกรณ์ภายนอก คือ ตัวเก็บประจุอินทิเกรเตอร์ และตัวต้านทานต่างระหว่าง 8K - 13K

ขา 7 Analog Output

เป็นเอาท์พุทของอินทิเกรเตอร์ สามารถจ่ายกระแสได้สูงสุด 30 mA ทั้ง 2 ทิศทาง ออปแอมป์ที่เป็นอินทิเกรเตอร์ตัวนี้มีสลูว์เรต 0.5/s

ขา 8 V_{EE}

MC3417, MC3418 สามารถออกแบบใช้งานได้ทั้งกับไฟเลี้ยงเดี่ยว (single supply) และไฟคู่บวกลบ (dual supply) ซึ่งขา 8 นี้ จะต้องต่อกับไฟขั้วลบเสมอ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ขา 8 Digital Output

ขาเอาต์พุตสัญญาณดิจิตอลที่ได้จากการแปลง มีค่าสวิงอยู่ระหว่าง V_{cc} กับ V_{EE} คอมเพตกับทั้ง CMOS และ TTL ท้อมูลเลื่อนที่ขอบขาลงของส

ขา 10 V_{cc} /2 Output

ขาแรงดันอ้างอิงครึ่งหนึ่งของแรงดันไฟเลี้ยง เมื่อใช้งานไฟเลี้ยงเดี่ยวจ่ายกระแสได้สูงสุด 10 mA มีตัวเก็บประจุบายพาสค่า 0.1 F ต่อจากขา 10 กับ V_{EE}

ขา 11 Coincidence Output

ให้เอาท์พุตมีค่าดิวตี้ไซเคิลแปรตามสัญญาณดิจิตอลที่ได้จากการแปลง ซึ่งจะเป็นศูนย์เมื่อชิฟต์จิสเตอร์ภายในเป็น "1" หมดหรือ "0" หมด เป็นสัญญาณตรวจวัดระดับอินพุตเพื่อควบคุมอัตราขยายของอินทิเกรเตอร์

ขา 12 Digital Threshold

ใช้กำหนดระดับเทรชโฮลด์ของขา 13, 14 และ 15 เพื่อให้สอดคล้องกับการใช้งานกับดิจิตอลตระกูลต่าง ๆ ถ้าเป็น CMOS จะต่อกับ V_{cc}/2 หรือไบแอสด้วยไดโอต 2 ตัวเหนือ V_{EE} เมื่อใช้กับ TTL

ขา 13 Digital Data Input

ขาอินพุตของสัญญาณดิจิตอลในโหมดของการแปลงกลับจากดิจิตอลเป็นอะนาลอก ข้อมูลอินพุตต้องคงที่เป็นเวลาอย่างน้อย 0.5 s ก่อนและหลังการทริกของสัญญาณนาฬิกา(ขอบขาลง)

ขา 14 Clock Input

สำหรับกำหนดบิตเรตของข้อมูล ซึ่งก็คืออัตราเร็วของการแปลงสัญญาณ บิตเรต 32K ก็เท่ากับความถี่สัญญาณนาฬิกา 32 kHz ระดับเทรชโฮลด์ของขานี้กำหนดโดยขา 12 ความกว้างพัลส์ซิกบวกต่ำสุด 300 ซิกลบต่ำสุด 900 ns

ขา 15 Encode/Decode

ขานี้เป็นตัวควบคุมว่าจะเลือกคอมพาราเตอร์ที่จะต่อไปยังชิฟต์รีจิสเตอร์ ถ้าเป็น "1" เลือกคอมพาราเตอร์ด้านอะนาลอกที่รับอินพุตเข้ามา ถ้าเป็น "0" ก็เลือกคอมพาราเตอร์ด้านดิจิตอลสำหรับการแปลงกลับเป็นการกำหนดโหมดการทำงาน นอกจากนี้ยังสามารถรับสัญญาณอินพุตที่เป็นดิจิตอลได้โดยป้อนเข้าทางขาที่ 13

ขา 16 V_{cc}

ขาแรงดันไฟเลี้ยง มีค่าระหว่าง 4.75 ถึง 16.5 โวลต์ เทียบกับ V_{EE}

<u>หน่วยความจำ</u>

หน่วยความจำที่ใช้เป็นไดนามิกแรมขนาด 256K x 1 บิต เบอร์ 41256 จัดขาแอดเดรสโดยวิธีมัลติเพล็กซ์ทางโรว์และคอลัมน์ ต้องการอัตราการรีเฟรชตลอด 256 โรว์ภายในเวลา 4ms หรือหนึ่งโรว์ทุก ๆ 15.625 s เป็นอย่างช้า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การจัดลำดับเวลาของสัญญาณควบคุมไดนามิกแรมค่อนข้างยุ่งยาก ขอให้ดูรูปแผนภูมิของเวลาการอ่านการเขียนและการรีเฟรช ในรูปที่ 3-2 ซึ่งสามารถอธิบายได้ดังนี้

ในรูปที่ 3-3 เป็นรอบการอ่านเนื่องจากจำนวนขาแอดเดรสที่ต้องการใช้สำหรับเข้าถึงหน่วยความจำขนาด 256K ต้องใช้ถึง 18 เส้น ในขณะที่ตัว 41256 จัดขาแอดเดรสไว้เพียง 9 ขา จึงต้องทำการมัลติเพล็กซ์แอดเดรสเข้าไป 2 ครั้ง โดยแบ่งเป็นโรว์แอดเดรส 9 เส้น และคอลัมน์แอดเดรสอีก 9 เส้น มีขาสโตรบ RAS และ CAS เป็นขาควบคุม มีขั้นตอนดังนี้

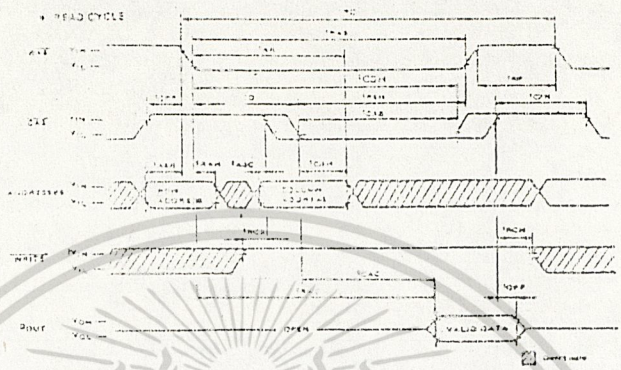
อันดับแรกจะต้องแลตช์เอาแอดเดรส 9 เส้นแรก ไว้ภายในแรมก่อนโดยการจ่ายโรว์แอดเดรสให้กับขาแอดเดรสของแรมแล้วแอกทิฟ RAS ซึ่งจะเกิดการสโตรบแอดเดรสเข้าไปที่ขอบขาลงของ RAS จากนั้นเปลี่ยนจ่ายคอลัมน์แอดเดรสอีก 9 เส้นแทนแล้วแอคทิฟ CAS ในขณะที่ RAS ยังเป็น "0" อยู่ จังหวะนี้จะต้องได้แอดเดรสครบทั้ง 18 เส้น เป็นการเข้าถึงหน่วยความจำที่สมบูรณ์ ถ้าเป็นการอ่านที่ขา WE จะต้องเป็น "1" อยู่ ข้อมูลจากแรมจะถูกอ่านออกมาที่ขา D_{out} หลังจากช่วงเวลาแอดเซสไทม์ (ประมาณ 150 ns) และจะคงอยู่จนกว่าทั้ง RAS และ CAS จะคืนเป็น "1"

สำหรับการเขียนก็เป็นขั้นตอนเหมือนกัน เมื่องแต่ในช่วงขอบขาลงของ CAS จะต้องจัดให้ WE เป็น "0" และมีข้อมูลที่ขา D_{in} คงที่รอไว้แล้ว ดังในรูปที่ 3-3

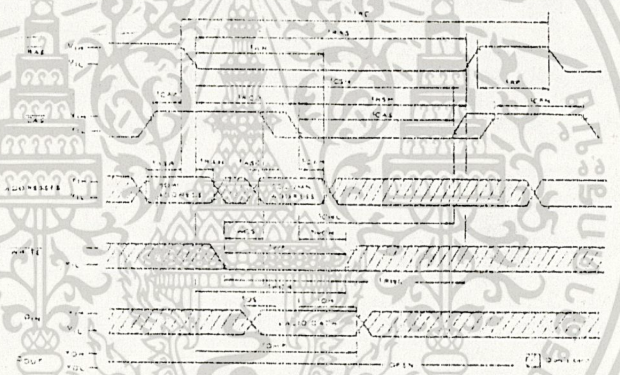
การรีเฟรชนั้นสามารถทำได้หลายวิธีในรูปที่ เป็นวิธีที่ตรงไปตรงมาเรียกวิธีนี้ว่า "RAS only" โครงสร้างของเซลล์ภายในหน่วยความจำจัดเป็นแมตริกซ์ ขนาด 256 โรว์ x 1024 คอลัมน์ การรีเฟรชจะทำทีละโรว์ทุก ๆ 15.625 ns เป็นอย่างช้าโดยการกำหนดตำแหน่งโรว์ที่จะรีเฟรชที่ขาแอดเดรสแล้วทำการสโตรบด้วย RAS หน่วยความจำทุกเซลล์ (ทุกบิต) ในโรว์นั้นจะถูกอ่านและเขียนกลับลงไปใหม่โดยอัตโนมัติ

จะเห็นว่าจำนวนโรว์มีเพียง 256 โรว์ เท่านั้น การกำหนดโรว์ที่จะรีเฟรชจึงใช้ขาแอดเดรสเพียง 8 เส้น ($2^8 = 256$) คือ $A_0 - A_7$ ก็เพียงพอ ในการรีเฟรชจะต้องกระทำอยู่ต่อเนื่องโดยตลอด ไม่เกี่ยวกับการอ่านเขียนแรมโดยปกติ

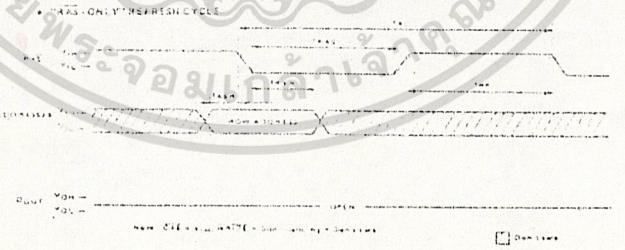
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ก) รอบการอ่าน



(ข) รอบการเขียน



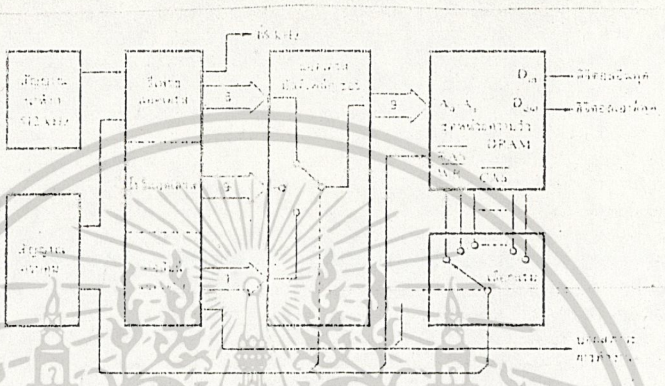
(ค) รอบการรีเฟรช

รูปที่ 3-3 แผนภูมิเวลาของสัญญาณควบคุมไดนามิกแรม รูป ก. เป็นรอบการอ่าน รูป ข. เป็นรอบการเขียน ส่วนการรีเฟรชแสดงในรูป ค

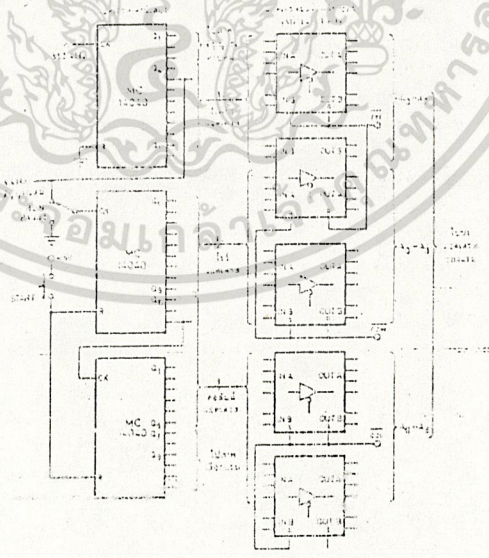
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรจัดการหน่วยความจำ

รูปที่ 3-4เป็นแผนผังวงจรจัดการหน่วยความจำและควบคุมอื่น ๆ ในส่วนดิจิตอล ภาคกำเนิดแอดเดรสมีอยู่ 3 ชุด คือ รีเฟรชแอดเดรส โรว์แอดเดรส และคอลัมน์แอดเดรส ซึ่งได้จากการโมดูลัสสัญญาณนาฬิกา 512 kHz แอดเดรสทั้ง 3 ชุด ถูกส่งไปยังแอดเดรสที่สอดคล้องกับแต่ละขั้นตอน ดังที่ได้กล่าวไป ส่งให้กับเขาแอดเดรสของแรมอีกที

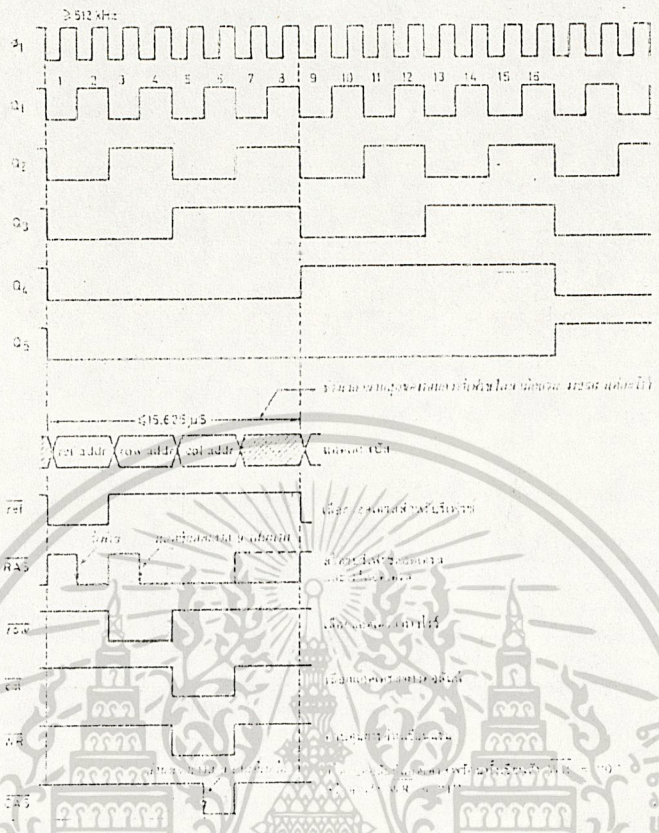


รูปที่ 3-4 แผนผังแสดงการทำงานของวงจรบันทึกเสียงพูดในส่วนดิจิตอล

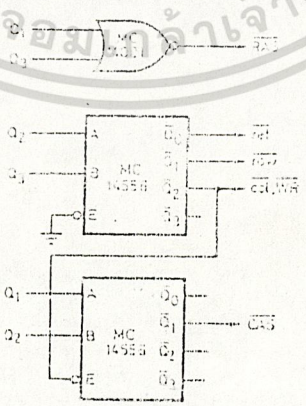


รูปที่ 3-5 รายละเอียดวงจรกำเนิดสัญญาณแอดเดรส โดยใช้ไบนารีเคาเตอร์ขนาด 12 สเตจ 3 ตัว เป็นแอดเดรสเคาเตอร์และไดรสเตตบัฟเฟอร์ทำหน้าที่มัลติเพล็กซ์แอดเดรสให้แก่ไดนามิกแรม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3-6 แผนภูมิเวลาของสัญญาณควบคุมสำหรับแอดเดรสมัลติเพลกซ์เซอร์และไดนามิกแรม



รูปที่ 3-7 วงจรสร้างสัญญาณควบคุม โดยนำสัญญาณ Q_1, Q_2 และ Q_3 จากแอดเดรสเคาน์เตอร์ชุดแรกมาทำการดีโค้ด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ส่วนเพิ่มเติมอีกส่วนคือตัวเลือกแรม เนื่องจากเราใช้แรมจำนวนหลายตัว โดยมีความกว้างของข้อมูลเพียงบิตเดียว จึงจำเป็นต้องมีการเลือกใช้แรมทีละตัวต่อเนื่องกันไป ไดนามิกแรมไม่มีขาชิพซีเล็กต์หรือชิพอินาเบิ้ลให้ควบคุมโดยตรง แต่สามารถทำการเลือกใช้โดยการจ่ายสัญญาณ CAS ให้เฉพาะตัวที่ใช้งาน ซึ่งตัวอื่น ๆ หากไม่ได้รับ CAS ก็จะไม่มีการอ่านเขียน (ยกเว้นการรีเฟรชเพราะไม่ได้ใช้ CAS อยู่แล้ว)

วงจรที่ใช้งานเราเลือก MC14040 ซึ่งเป็นตัวนับเลขฐานสองขนาด 12 สเตจจำนวน 3 ตัว มาทำเป็นแอดเดรสเคาน์เตอร์ และใช้ MC14503 บัฟเฟอร์ 3 สถานะ จำนวน 5 ตัว เป็นแอดเดรสมัลติเพล็กซ์เซอร์ ดังวงจรรูปที่ 6

ความถี่ที่จะส่งไปยังแอดเดรสเคาน์เตอร์ทางไวร์และคอลัมน์ใช้ที่ค่า 16 kHz เท่ากับบิตเรตของข้อมูลดิจิตอลจาก CVSD มอดูเลเตอร์ การบันทึกหรือการอ่านการกระทำอย่างต่อเนื่องโดยการเลื่อนแอดเดรสไปเรื่อย ๆ หากต้องการหยุดเพียงแต่หยุดจ่าย 16 kHz หรือหากต้องการเริ่มต้นใหม่ก็รีเซตตัวนับเสียงเท่านั้นเอง

เอาต์พุตของ MC 14503 ที่มาจากแอดเดรสแต่ละชุด ถูกต่อร่วมกันเข้ากับขาแอดเดรสของแรมแล้วทำการเลือกอินาเบิ้ลเฉพาะชุดที่ต้องการ สัญญาณที่จะเอามาควบคุมส่วนนี้ได้จากวงจรควบคุม ซึ่งจะต้องกำเนิดสัญญาณควบคุมส่วนอื่น ๆ ด้วยให้สอดคล้องกัน โดยการนำสัญญาณจากเคาน์เตอร์สเตจแรก ๆ มาทำการดีโค้ด

สัญญาณควบคุมที่ต้องการแสดงในรูปที่ ได้จากการดีโค้ดของวงจรควบคุมในรูปที่ โดยใช้ NOR เกตเบอร์ MC 14001 และดีโค้ดเตอร์เบอร์ MC 14556

รูปที่ - เป็นวงจรสมบูรณ์ในส่วนอะนาลอกและภาคจ่ายไฟ

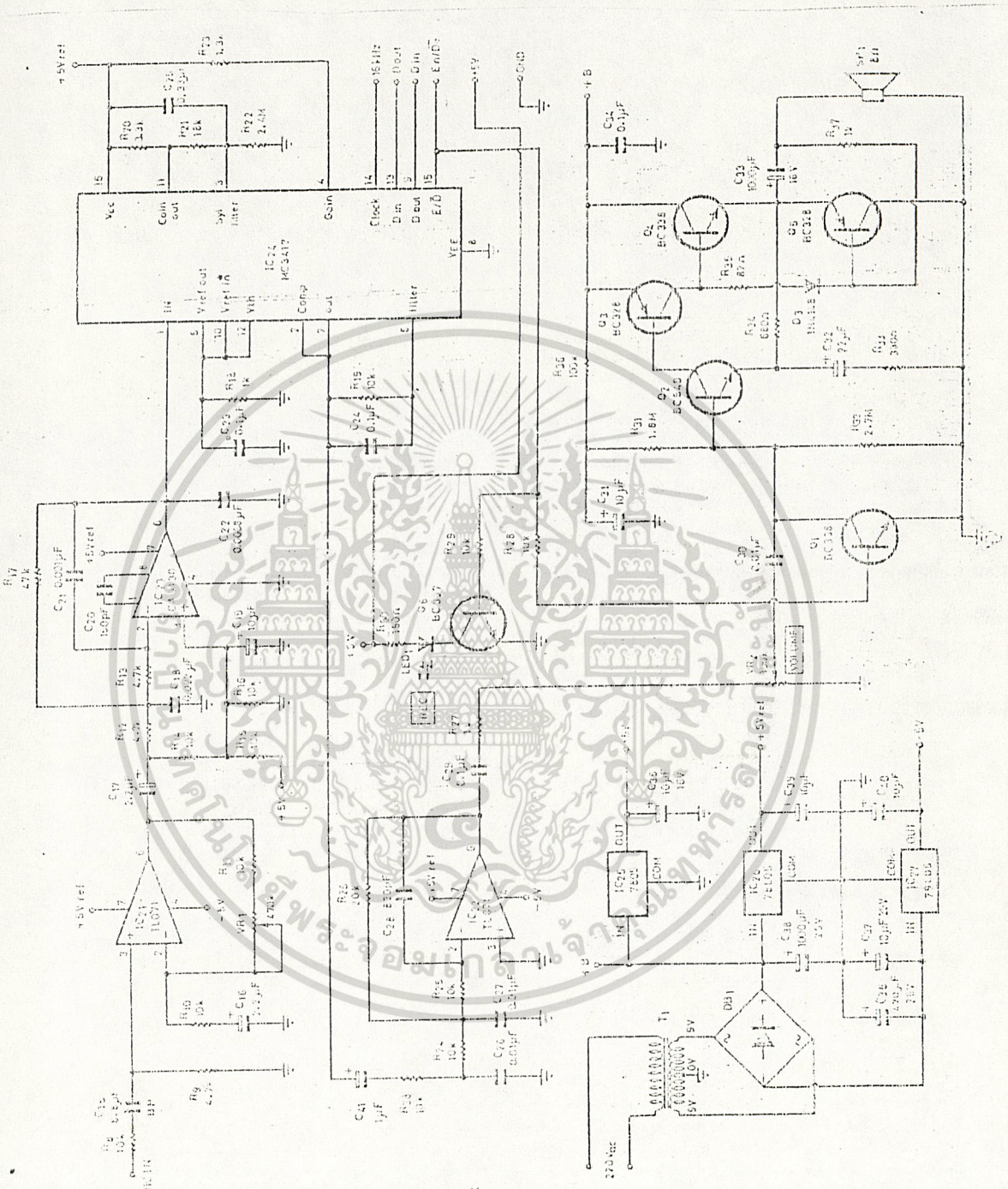
รูปที่ - เป็นส่วนดิจิตอลและหน่วยความจำ

วงจรในรูปที่ - สามารถต่อกับไมโครโพรเซสเซอร์ไดนามิกได้โดยตรง มี VR_1 เป็นตัวปรับอัตราขยายของวงจรขยายส่วนหน้า LED_1 ใช้แสดงสภาวะการทำงานคือติดสว่างในขณะทำการบันทึก ส่วน Q_1 ทำหน้าที่ลัดวงจรสัญญาณเสียงลงกราวด์ในขณะบันทึก เพื่อไม่ให้เกิดการออสซิลเลต แรงดันไฟเลี้ยงที่จ่ายให้วงจรส่วนหน้าใช้แยกจากวงจรส่วนดิจิตอล เพื่อไม่ให้เกิดการรบกวนกัน

วงจรส่วนดิจิตอลตามรูป นั้น เราใช้หน่วยความจำไดนามิกแรมจำนวน 8 ตัว โดยการนำเอาท์พุตจากแอดเดรสเคาน์เตอร์สเตจที่ต่อจากคอลัมน์แอดเดรส มาทำการดีโค้ดเพื่อเลือกแรม ในที่นี้ใช้ 3 สเตจ ดีโค้ดได้ 8 ตัว พอดี ($2^3 = 8$) ซึ่งเราสามารถดีโค้ดได้สูงสุดจากเอาต์พุตที่มีอยู่ 6 สเตจได้ถึง 64 ตัว หรือต้องการมากกว่านี้ก็เพิ่มได้โดยต่อวงจรนับเพิ่มเข้าไปอีก แล้วทำการดีโค้ดอีกที

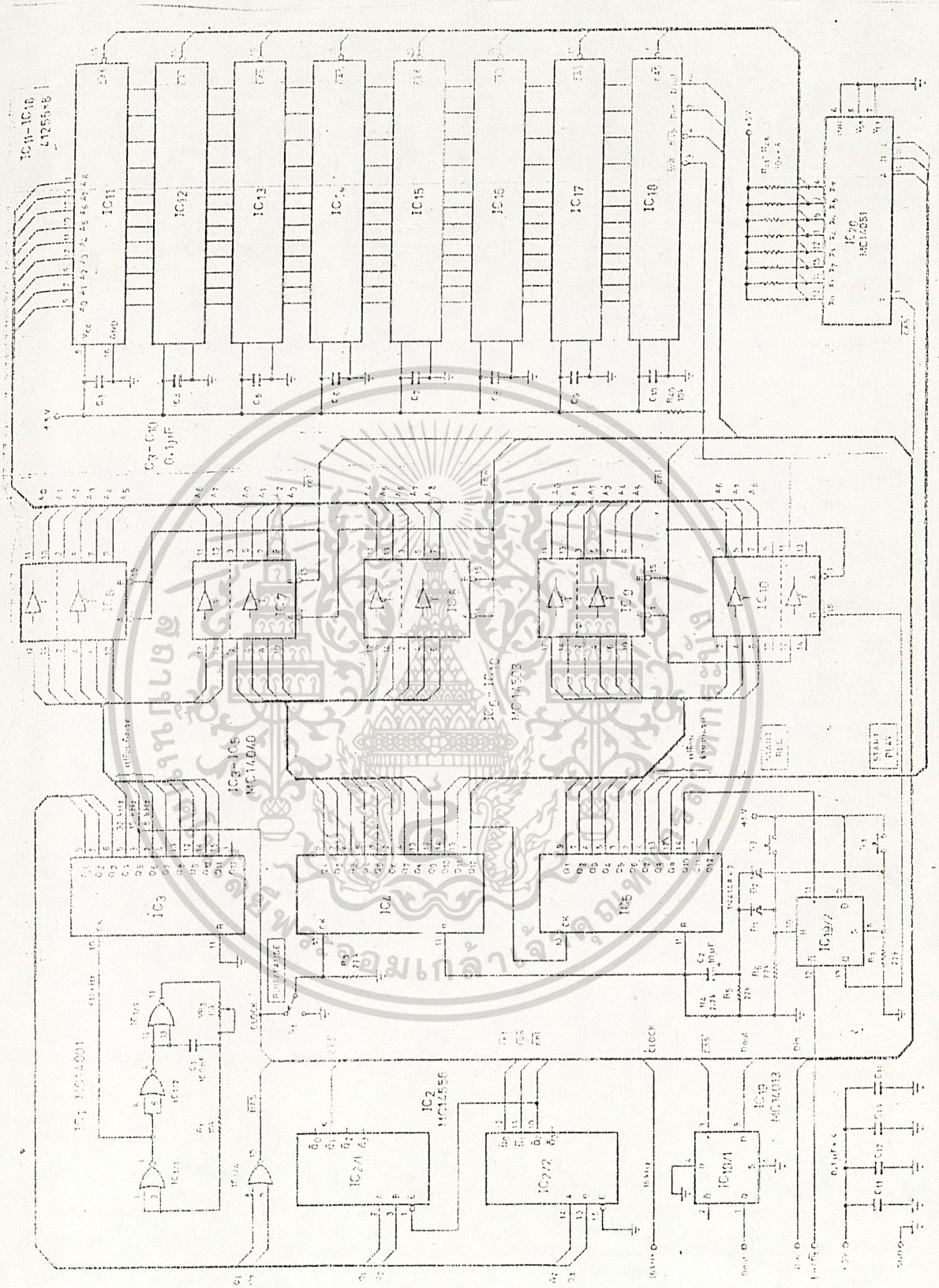
ตัวดีโค้ดเลือกแรมคือ IC_{20} นี้ใช้อะนาลอกมัลติเพล็กซ์/ดีมัลติเพล็กซ์เบอร์ MC14051 ทำการเลือกสัญญาณ CAS ให้แก่ไดนามิกแรมทีละตัว บิตเรตสูงขึ้นเป็น 32K เพื่อให้คุณภาพเสียงดีขึ้นก็ย้ายไปต่อที่ Q_4 (ขา 5)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3-8 วงจรเครื่องบันทึกเสียงชนิดระบบดิจิตอลในส่วนของอะนาลอก ข้อมูลดิจิตอลที่ได้จะถูกส่งไปยังหน่วยความจำที่วงจรส่วนดิจิตอล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3-9 วงจรสมบรณ์ของส่วนดิจิตอลซึ่งทำหน้าที่จัดหน่วยความจำผลิตสัญญาณภาพกา
16 kHz และควบคุมการทำงานของส่วนอะนาลอก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำหรับ $IC_{19/1}$ ทำหน้าที่แลตช์ข้อมูลที่อ่านได้จาก $IC_{19/2}$ ใช้รีเซตแอดเดรสเคาน์เตอร์เพื่อเป็นการเริ่มต้นใหม่ พร้อมทั้งทำหน้าที่กำหนดสภาวะการทำงานของวงจรด้วย โดย S_2 เป็นการบันทึก ส่วน S_3 เป็นการเล่นกลับ ซึ่งปกติแล้วในการบันทึกเมื่อควบแรมทั้ง 8 ตัว ก็จะเป็นการเล่นกลับโดยอัตโนมัติ แต่ก็สามารถหยุดการบันทึกแล้วเล่นกลับเมื่อใดก็ได้โดยกดสวิตช์ S_3

3.4 การทำงานของระบบ

เครื่องตั้งเวลาส่งข่าวสารทางโทรศัพท์

เครื่องตั้งเวลาส่งข่าวสารทางโทรศัพท์เป็นโครงงานที่จะสร้างขึ้น เพื่อใช้เตือนนัดหมายในวันและเวลาต่าง ๆ มีหลักการทำงานแบ่งได้ 2 ส่วนคือ การบันทึกข้อมูลลงบนหน่วยความจำและการอ่านข้อมูลจากหน่วยความจำ

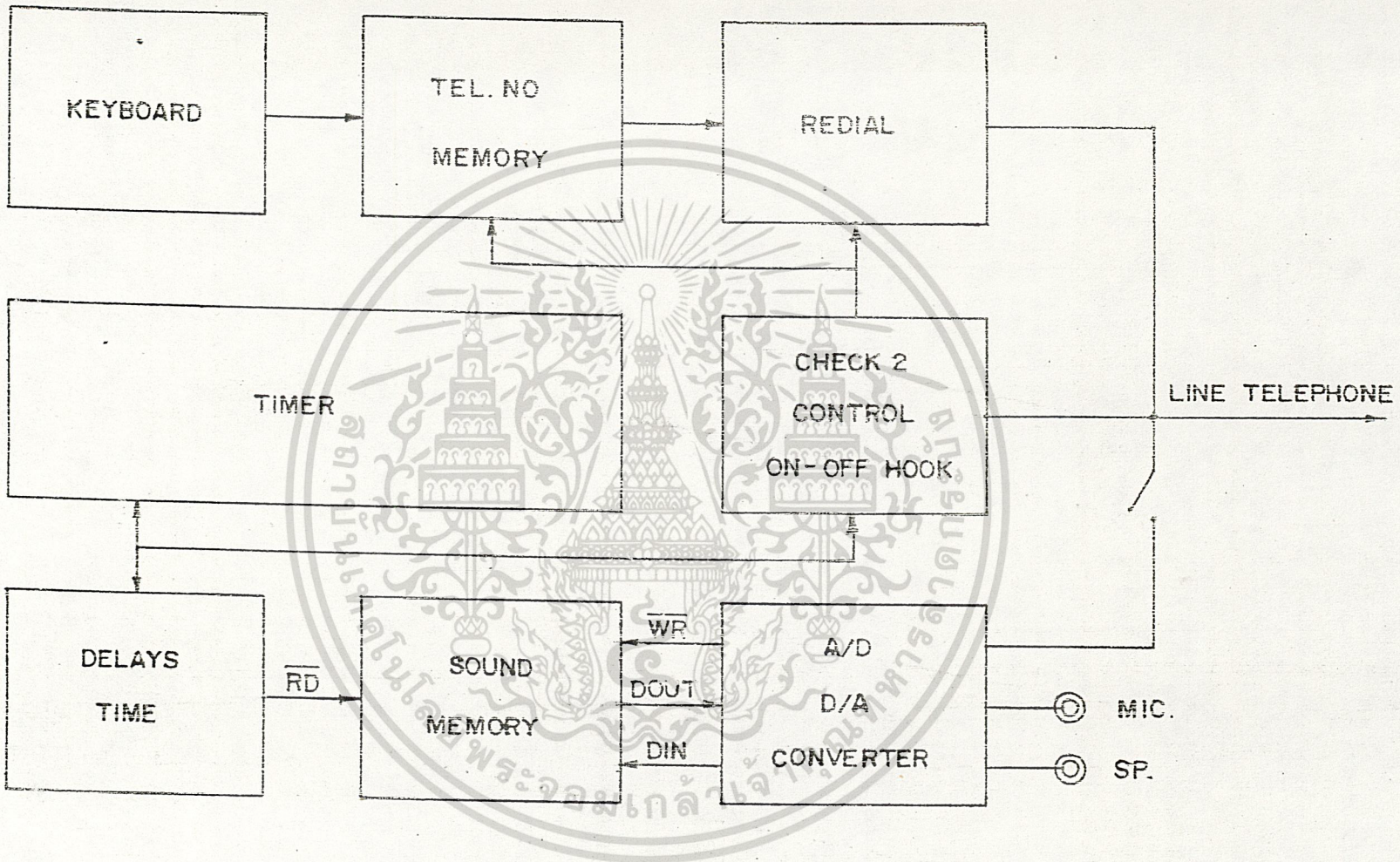
การบันทึกข้อมูลลงหน่วยความจำ

การบันทึกข้อมูลจะมีด้วยกัน 2 ส่วน คือ การเก็บเบอร์โทรศัพท์จะมีขั้นตอนการทำงานดังนี้ กด SET ที่ชุด MEMORY เพื่อเตรียมรับข้อมูลจาก KEYBOARD จากนั้นกดแป้นหมายเลขเพื่อส่งข้อมูลเข้าไปในชุด MEMORY เมื่อครบจำนวนที่ต้องการก็กด SWITCH MEMORY เพื่อเก็บเบอร์โทรศัพท์ไว้ ในส่วนที่ 2 จะเก็บสัญญาณเสียงลงใน DIGITAL MEMORY ทำได้โดยกด SWITCH WR จากนั้นพูดเข้าที่ MIC สัญญาณเสียงจะถูกเปลี่ยนเป็นสัญญาณดิจิตอล โดยวงจร ANALOG CONVERTER ในระบบ CVSD สัญญาณดิจิตอลถูกส่งผ่าน DIN เข้าในชุด MEMORY โดย MEMORY เป็นหน่วยความจำแบบ DRAM

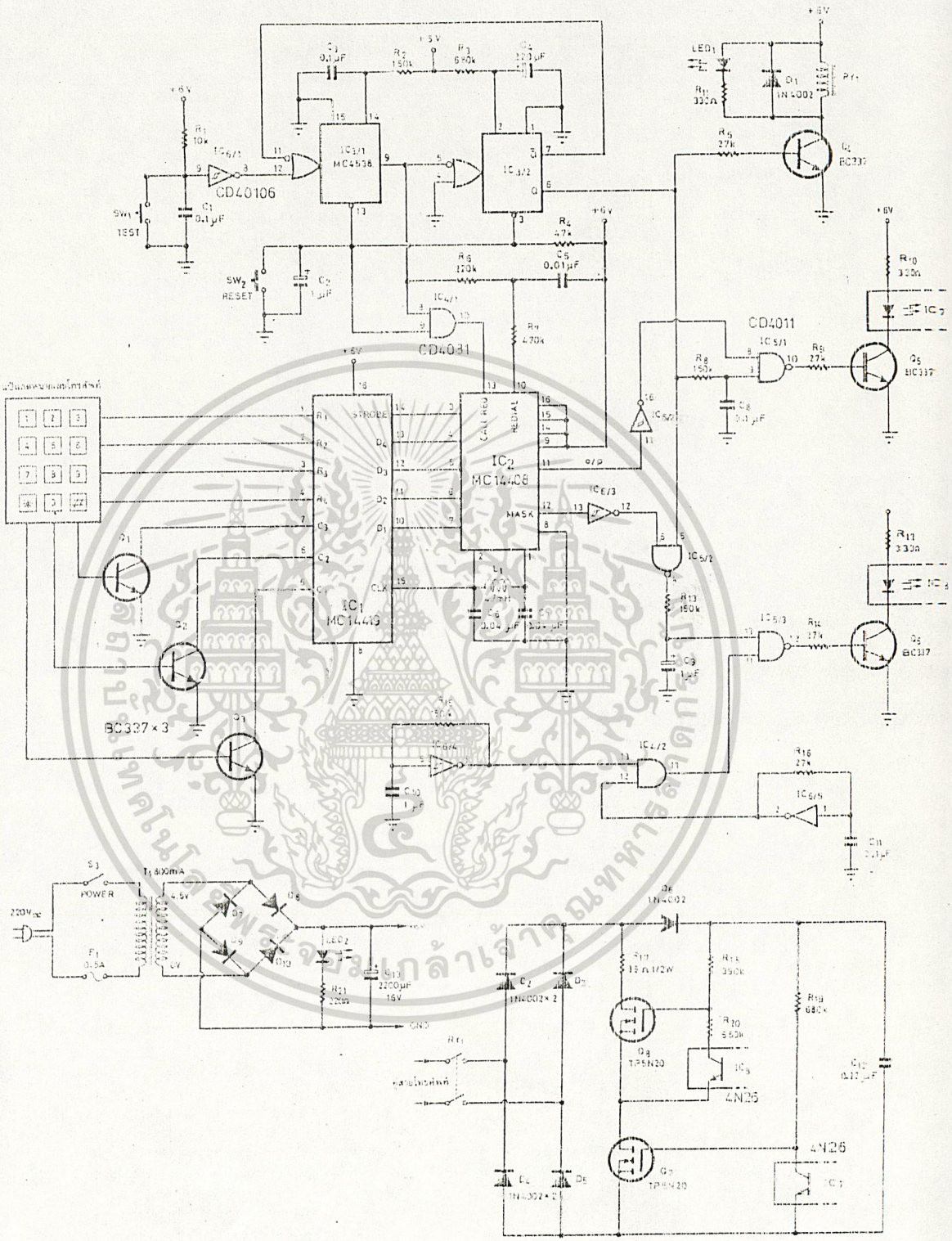
การอ่านข้อมูลส่งผ่านไปในสายโทรศัพท์

เริ่มต้นที่วงจร TIMER วงจร TIMER จะถูกตั้งวันและเวลาไว้ เมื่อถึงวันและเวลาที่ตั้งไว้ก็จะส่งสัญญาณไปหน่วงเวลาไว้ที่ DELAY TIME และพร้อมกับส่งไปที่ MEMORY - TELEPHONE MONITER เพื่อส่งเบอร์โทรศัพท์ออกไปผ่านวงจร REDIAL เข้าสายโทรศัพท์ เมื่อผู้รับที่ปลายทางยกหูโทรศัพท์ วงจร CHECK AND CONTROL ON-OFF HOOK จะทำงาน เนื่องจากไม่มีสัญญาณ RINGBACK TONE ส่งมาบอก วงจร CHECK AND CONTROL ON-OFF HOOK จะส่งสัญญาณไปที่ REDIAL เพื่อให้คงสภาวะการ ON HOOK ไว้ตลอดเวลา และพร้อมกันนั้นจะส่งสัญญาณไปที่ DELAY TIME ให้ส่งสัญญาณ RD ไปที่ SOUND MEMORY สัญญาณดิจิตอลจะส่งออก DOUT ผ่านวงจร DIGITAL TO ANALOG CONVERTER ไปที่ลำโพงหรือออกสายโทรศัพท์ไปที่ปลายทาง เมื่อข้อมูลถูกส่งหมดแล้ว วงจร CHECK AND CONTROL ON-OFF HOOK จะตัดวงจรออกไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

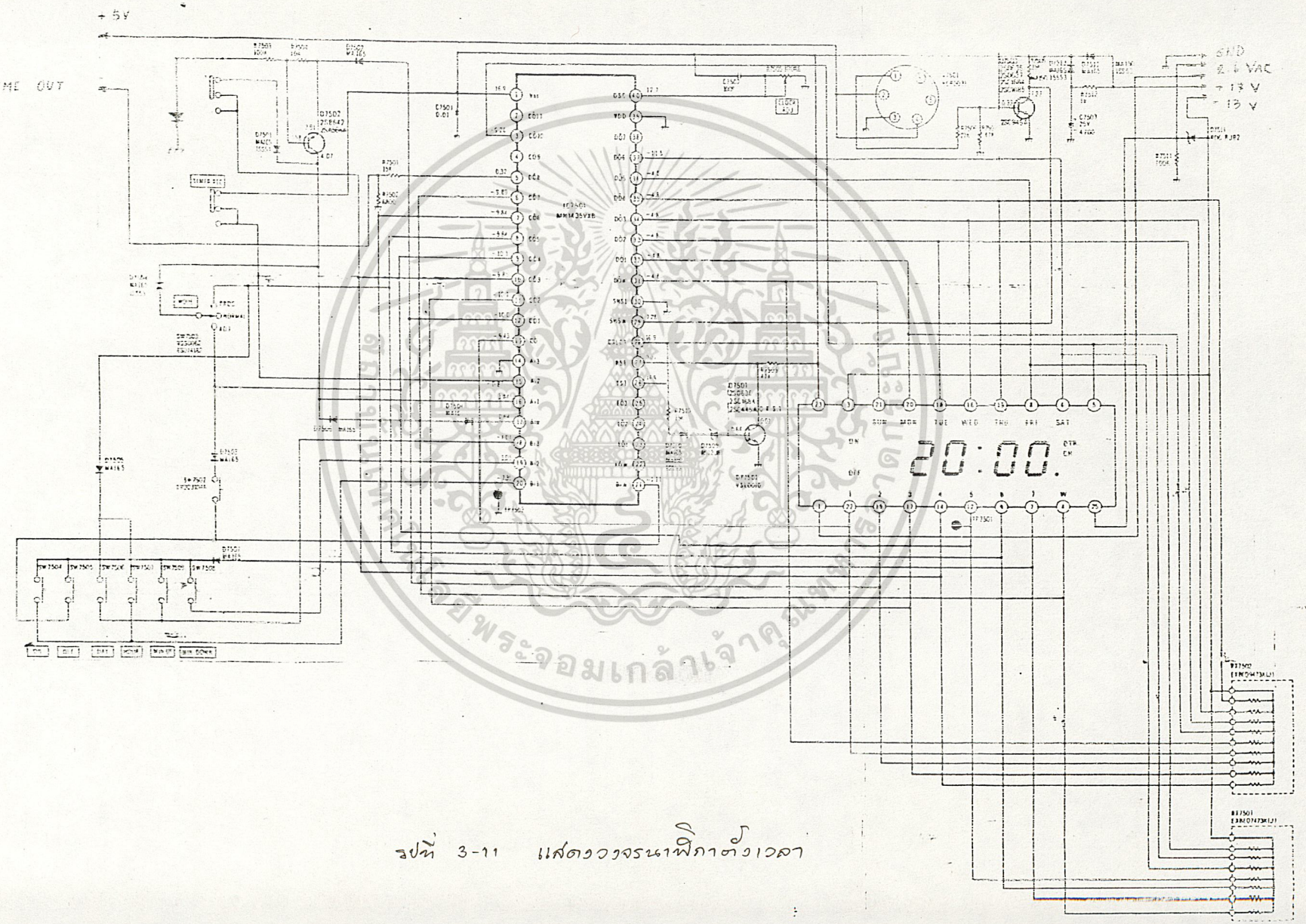


BLOCK DIAGRAM



รูปที่ 3-10 แสดงวงจรเก็บหมายเลขโทรศัพท์และหมุนอัตโนมัติ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3-11 แสดงวงจรนาฬิกาตั้งเวลา

วิธีการใช้เครื่องตั้งเวลาส่งข่าวสารทางโทรศัพท์

1 การตั้งเวลาปลุก

1.1 ปรับสวิทช์ TIME RECORD ให้อยู่ในตำแหน่ง OFF

1.2 ปรับสวิทช์ PROGRAM ไปทางด้านซ้ายเพื่อเป็นการตั้งเวลาปกติ และกดปุ่ม DAY, HOUR, MIN. +

1.3 ปรับสวิทช์ PROGRAM ไปทางด้านขวา และกดปุ่ม ON หน้าปัทม์จะปรากฏเวลาปกติ จากนั้นกด DAY, HOUR, MIN. +

1.4 เมื่อเลือกเวลาแล้วก็กดปุ่ม OFF และกดเวลาของการหยุดทำงาน

1.5 ปรับสวิทช์ PROGRAM ให้อยู่ตำแหน่งกลาง และกดปุ่ม TIME RECORD

2 การบันทึกเสียงพูด

2.1 ปรับสวิทช์ RUN/PAUSE ไปที่ RUN

2.2 กดปุ่ม REC จะปรากฏว่าไฟสีเขียวที่หน้าปัทม์จะติด แสดงว่าทำการบันทึกได้ พูดผ่าน MIC

2.3 เมื่อพูดจบ กดปุ่ม PLAY เพื่อเป็นการเช็คว่าที่เราบันทึกไว้ถูกต้องหรือไม่

3 การบันทึกหมายเลขโทรศัพท์

3.1 กด HOOK SWITCH ให้อยู่ตำแหน่ง OFF

3.2 กด H-FREE จนมีเสียงดังออกลำโพง

3.3 กด STORE

3.4 กดหมายเลขโทรศัพท์ที่ต้องการ

3.5 กด MEM.

3.6 ทำการลองเช็คว่าสามารถบันทึกเลขหมายโทรศัพท์และหมุนเองได้ดังนี้ กดให้ HOOK SWITCH ให้ OFF กด H-FREE จนมีเสียงดัง กด MEM. ถ้าใช้ได้โทรศัพท์อีกเครื่องจะต้องดังขึ้น

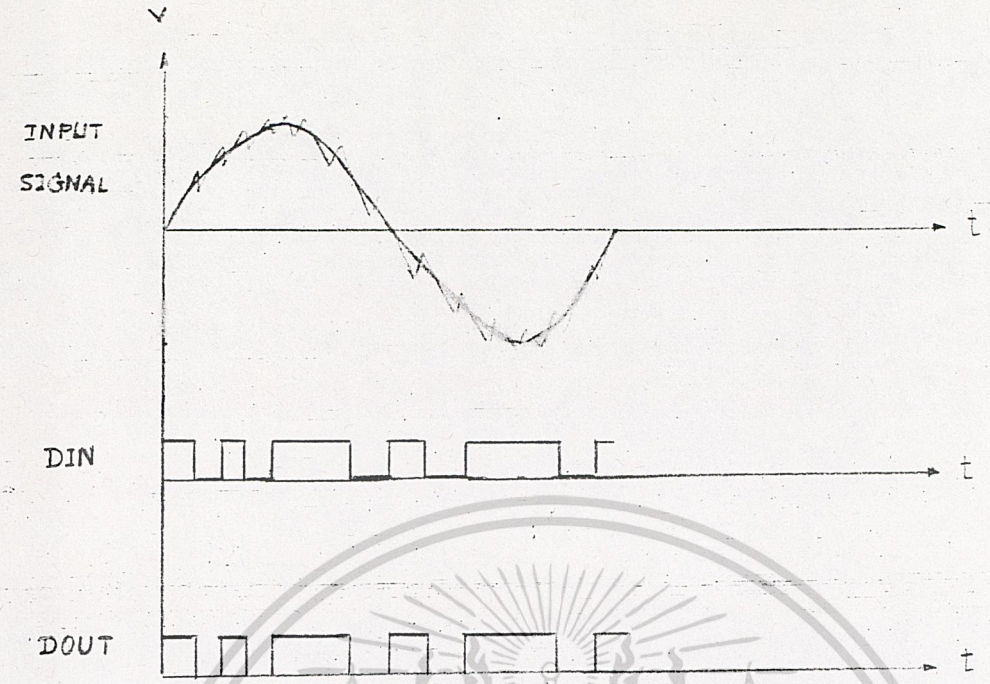
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4
การทดลองและผลการทดลอง

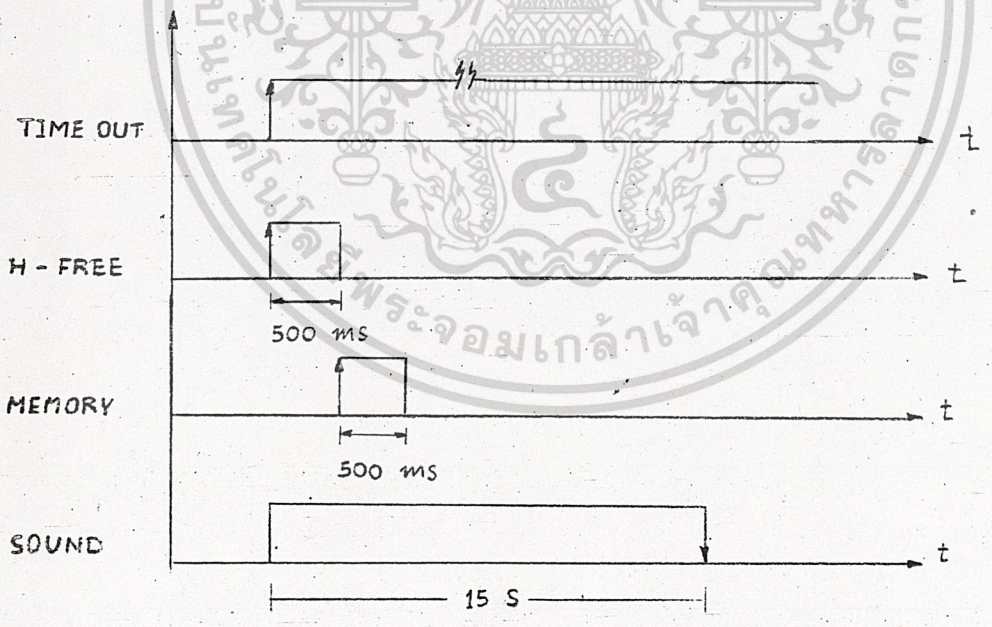
การตรวจสอบการทำงานของเครื่องบันทึกเสียง ทำโดยป้อนสัญญาณความถี่ 1 kHz เข้าที่ MIC นำออสซิโลสโคป วัดที่ Din ของ IC เบอร์ 41256 จากนั้นกดสวิทช์บันทึก จะเห็นสัญญาณรูป SQUAR WAVE ที่ Din เมื่อทำการเปลี่ยนแปลงความถี่ที่ป้อนเข้า โดยค่อย ๆ ลดลงจาก 1 kHz จะเห็นสัญญาณ SQUAR WAVE มีความถี่ลดลงด้วย ถ้าเพิ่มความถี่จาก 1 kHz จะเห็นความถี่ของ SQUAR WAVE เพิ่มขึ้น และเป็นที่น่าสังเกตว่าสัญญาณที่เข้าและออกจาก DRAM จะไม่เกิดการผิดเพี้ยนของสัญญาณเลย ในรูปที่ 4-1 แสดงถึงรูปสัญญาณต่าง ๆ

การทดลองต่อใช้งานจริง จะต้องทำการบันทึกเสียงพูดลงในชุดบันทึกเสียงพูดลงในชุดบันทึกเสียงพูด และบันทึกหมายเลขโทรศัพท์ที่ต้องการไว้ ตั้งเวลาของนาฬิกาให้ทำการปลุกในเวลาที่ต้องการ ทำการบันทึกลำดับการทำงานของเครื่องได้ในรูปที่ 4-2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4-1 แสดงสัญญาณอะนาลอกและดิจิตอล



รูปที่ 4-2 แสดงลำดับการทำงานของสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5
บทสรุป

จากการที่ได้จัดทำและทดลองเกี่ยวกับโครงงานนี้ ทำให้ได้รับความรู้จากการนำเอาวงจรต่าง ๆ มาประกอบใช้งานร่วมกัน และได้เรียนรู้การทำงานของวงจรต่าง ๆ คุณสมบัติที่ลูกกำหนดทางทฤษฎีก็สามารถเห็นได้จริงในทางปฏิบัติ เช่น ชุดบันทึกเสียงพูด เมื่อเราพูดผ่านไมโครโฟนเข้าไปในวงจร IC MC3417 จะทำหน้าที่เปลี่ยนสัญญาณเสียงเป็นข้อมูลทางดิจิตอล หรือเปลี่ยนข้อมูลทางดิจิตอลเป็นสัญญาณเสียง ถ้าเราเพิ่มความถี่ของการแซมปลิ้งให้มากขึ้น จะทำให้ได้เสียงที่ชัดเจนมากขึ้น แต่เวลาในการบันทึกสั้นลง ในการเชื่อมต่อวงจรต่าง ๆ เข้าด้วยกันก็นับว่ามีความสำคัญมาก เพราะว่าจะต้องไม่เป็นภาระแก่วงจรอื่น ๆ ด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MOTOROLA

MC3417, MC3517
MC3418, MC3518

Specifications and Applications Information

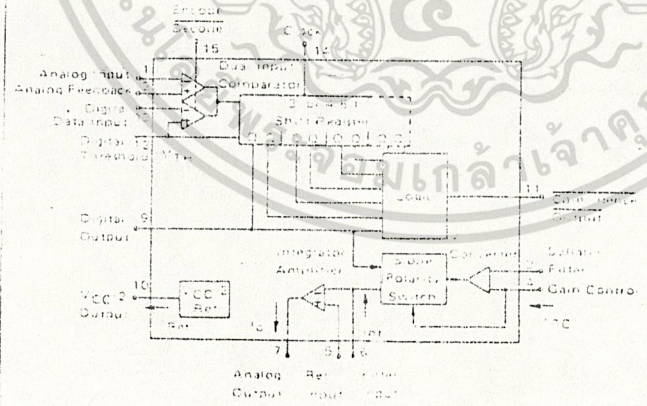
2

CONTINUOUSLY VARIABLE SLOPE DELTA MODULATOR/DEMODULATOR

Providing a simplified approach to digital speech encoding/decoding, the MC3517/18 series of CVSDs is designed for military secure communication and commercial telephone applications. A single IC provides both encoding and decoding functions.

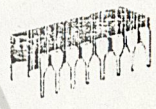
- Encode and Decode Functions on the Same Chip with a Digital Input for Selection
- Utilization of Compatible I^2L – Linear Bipolar Technology
- CMOS Compatible Digital Output
- Digital Input Threshold Selectable ($V_{CC}/2$ reference provided on chip)
- MC3417/MC3517 has a 3-Bit Algorithm (General Communications)
- MC3418/MC3518 has a 4-Bit Algorithm (Commercial Telephone)

CVSD BLOCK DIAGRAM



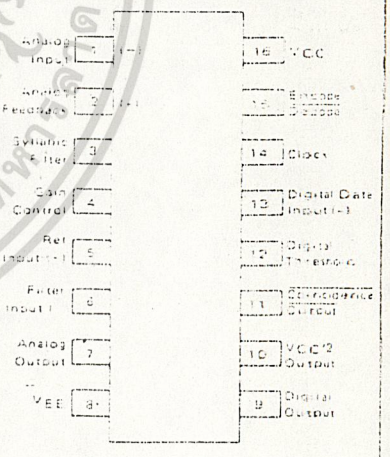
CONTINUOUSLY VARIABLE SLOPE DELTA MODULATOR/DEMODULATOR

LASER-TRIMMED INTEGRATED CIRCUIT



L SUFFIX
CERAMIC PACKAGE
CASE 620

PIN CONNECTIONS



ORDERING INFORMATION

Device	Package	Temperature Range
MC3417L	Ceramic DIP	0°C to +70°C
MC3418L	Ceramic DIP	0°C to +70°C
MC3517L	Ceramic DIP	−55°C to +125°C
MC3518L	Ceramic DIP	−55°C to +125°C

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้ง

MAXIMUM RATINGS

(All voltages referenced to V_{EE}, T_A = 25°C unless otherwise noted.)

Rating	Symbol	Value	Unit
Power Supply Voltage	V_{CC}	−0.4 to +18	Vdc
Differential Analog Input Voltage	V_{ID}	±5.0	Vdc
Digital Threshold Voltage	V_{TH}	−0.4 to V_{CC}	Vdc
Logic Input Voltage (Clock, Digital Data, Encode/$\overline{\text{Decode}}$)	V_{Logic}	−0.4 to +18	Vdc
Coincidence Output Voltage	$V_{O(Con)}$	−0.4 to +18	Vdc
Syllabic Filter Input Voltage	$V_{I(Svl)}$	−0.4 to V_{CC}	Vdc
Gain Control Input Voltage	$V_{I(GC)}$	−0.4 to V_{CC}	Vdc
Reference Input Voltage	$V_{I(Ref)}$	$V_{CC}/2$ − 1.0 to V_{CC}	Vdc
$V_{CC}/2$ Output Current	I_{Ref}	−25	mA

ELECTRICAL CHARACTERISTICS

(V_{CC} = 12 V, V_{EE} = Gnd, T_A = 0°C to +70°C for MC3417/18, T_A = −55°C to +125°C for MC3517/18 unless otherwise noted.)

Characteristic	Symbol	MC3417/MC3517			MC3418/MC3518			Unit
		Min	Typ	Max	Min	Typ	Max	
Power Supply Voltage Range (Figure 1)	V_{CCR}	4.75	12	16.5	4.75	12	16.5	Vdc
Power Supply Current (Figure 1) (Idle Channel)	I_{CC}							mA
(V_{CC} = 5.0 V)		–	3.7	5.1	–	3.7	5.0	
(V_{CC} = 15 V)		–	6.0	10	–	6.0	10	
Clock Rate	SR	–	16 k	–	–	16 k	–	Samples/s
Gain Control Current Range (Figure 2)	I_{GCR}	0.001	–	3.0	0.001	–	3.0	mA
Analog Comparator Input Range (Pins 1 and 2) (4.75 V ≤ V_{CC} ≤ 16.5 V)	V_I	1.3	–	V_{CC} − 1.3	1.3	–	V_{CC} − 1.3	Vdc
Analog Output Range (Pin 7) (4.75 V ≤ V_{CC} ≤ 16.5 V, I_O = ± 5.0 mA)	V_O	1.3	–	V_{CC} − 1.3	1.3	–	V_{CC} − 1.3	Vdc
Input Bias Currents (Figure 3) (Comparator in Active Region)	I_{IB}							µA
Analog Input (I1)		–	0.5	1.5	–	0.25	1.0	
Analog Feedback (I2)		–	0.5	1.5	–	0.25	1.0	
Syllabic Filter Input (I3)		–	0.06	0.5	–	0.06	0.3	
Reference Input (I5)		–	−0.06	−0.5	–	−0.06	−0.3	
Input Offset Current (Comparator in Active Region)	I_{IO}							µA
Analog Input/Analog Feedback |I1 − I2| — Figure 3		–	0.15	0.6	–	0.05	0.4	
Integrator Amplifier |I5 − I6| — Figure 4		–	0.02	0.2	–	0.01	0.1	
Input Offset Voltage V/I Converter (Pins 3 and 4) — Figure 5	V_{IO}	–	2.0	6.0	–	2.0	6.0	mV
Transconductance	gm							mA/mV
V/I Converter, 0 to 3.0 mA		0.1	0.3	–	0.1	0.3	–	
Integrator Amplifier, 0 to ± 5.0 mA Load		1.0	10	–	1.0	10	–	
Propagation Delay Times (Note 1)								µs
Clock Trigger to Digital Output	t_{PLH}	–	1.0	2.5	–	1.0	2.5	
(C_L = 25 pF to Gnd)	t_{PHL}	–	0.8	2.5	–	0.8	2.5	
Clock Trigger to Coincidence Output	t_{PLH}	–	1.0	3.0	–	1.0	3.0	
(C_L = 25 pF to Gnd) (R_L = 4 kΩ to V_{CC})	t_{PHL}	–	0.8	2.0	–	0.8	2.0	
Coincidence Output Voltage — Low Logic State ($I_{OL(Con)}$ = 3.0 mA)	$V_{OL(Con)}$	–	0.12	0.25	–	0.12	0.25	Vdc
Coincidence Output Leakage Current — High Logic State (V_{OH} = 15.0 V, 0°C ≤ T_A ≤ 70°C)	$I_{OH(Con)}$	–	0.01	0.5	–	0.01	0.5	µA

NOTE 1. All propagation delay times measured 50% to 50% from the negative going (from V_{CC} to +0.4 V) edge of the clock.

ELECTRICAL CHARACTERISTICS (continued)

*Characteristic	Symbol	MC3417/MC3517 Min	Typ	Max	MC3418/MC3518 Min	Typ	Max	Unit
Applied Digital Threshold Voltage Range (Pin 12)	V_{TH}	+1.2	--	V_{CC} - 2.0	+1.2	--	V_{CC} - 2.0	Vdc
Digital Threshold Input Current (1.2 V ≤ V_{th} ≤ V_{CC} - 2.0 V)	$I_{I(th)}$							µA
(V_{IL} applied to Pins 13, 14 and 15)		–	–	5.0	–	–	5.0	
(V_{IH} applied to Pins 13, 14 and 15)		–	-10	-50	–	-10	-50	
Maximum Integrator Amplifier Output Current	I_O	±5.0	–	–	±5.0	–	–	mA
V_{CC}/2 Generator Maximum Output Current (Source only)	I_{Ref}	+10	–	–	+10	–	–	mA
V_{CC}/2 Generator Output Impedance (0 to +10 mA)	Z_{Ref}	–	3.0	6.0	–	3.0	6.0	Ω
V_{CC}/2 Generator Tolerance (4.75 V ≤ V_{CC} ≤ 16.5 V)	e_r	–	–	±3.5	–	–	±3.5	%
Logic Input Voltage (Pins 13, 14 and 15)								Vdc
Low Logic State	V_{IL}	Gnd	–	V_{th} - 0.4	Gnd	–	V_{th} - 0.4	
High Logic State	V_{IH}	V_{th} + 0.4	–	18.0	V_{th} + 0.4	–	18.0	
Dynamic Total Loop Offset Voltage (Note 2) — Figures 3, 4 and 5	ΣV_{offset}							mV
I_{GC} = 12.0 µA, V_{CC} = 12 V								
T_A = 25°C		–	–	–	–	±0.5	±1.5	
0°C ≤ T_A ≤ +70°C MC3417/18		–	–	–	–	±0.75	±2.3	
-55°C ≤ T_A ≤ +125°C MC3517/18		–	–	–	–	±1.5	±4.0	
I_{GC} = 33.0 µA, V_{CC} = 12 V								
T_A = 25°C		–	±2.5	±5.0	–	–	–	
0°C ≤ T_A ≤ +70°C MC3417/18		–	±3.0	±7.5	–	–	–	
-55°C ≤ T_A ≤ +125°C MC3517/18		–	±4.5	±10	–	–	–	
I_{GC} = 12.0 µA, V_{CC} = 5.0 V								
T_A = 25°C		–	–	–	–	±1.0	±2.0	
0°C ≤ T_A ≤ +70°C MC3417/18		–	–	–	–	±1.3	±2.8	
-55°C ≤ T_A ≤ +125°C MC3517/18		–	–	–	–	±2.5	±5.0	
I_{GC} = 33.0 µA, V_{CC} = 5.0 V								
T_A = 25°C		–	±4.0	±6.0	–	–	–	
0°C ≤ T_A ≤ +70°C MC3417/18		–	±4.5	±8.0	–	–	–	
-55°C ≤ T_A ≤ +125°C MC3517/18		–	±5.5	±10	–	–	–	
Digital Output Voltage								Vdc
(I_{OL} = 3.6 mA)	V_{OL}	–	0.1	0.4	–	0.1	0.4	
(I_{OH} = -0.35 mA)	V_{OH}	V_{CC} - 1.0	V_{CC} - 0.2	–	V_{CC} - 1.0	V_{CC} - 0.2	–	
Syllabic Filter Applied Voltage (Pin 3) (Figure 2)	$V_{(FS_1)}$	+3.2	–	V_{CC}	+3.2	–	V_{CC}	Vdc
Integrating Current (Figure 2)	I_{Int}							µA
(I_{GC} = 12.0 µA)		8.0	10	12	8.0	10	12	mA
(I_{GC} = 1.5 mA)		1.45	1.50	1.55	1.45	1.50	1.55	mA
(I_{GC} = 3.0 mA)		2.75	3.0	3.25	2.75	3.0	3.25	mV
Dynamic Integrating Current Match (I_{GC} = 1.5 mA) Figure 6	$V_{O(Ave)}$	–	±100	±250	–	±100	±250	µA
Input Current — High Logic State (V_{IH} = 18 V)	I_{IH}							
Digital Data Input		–	–	+5.0	–	–	+5.0	
Clock Input		–	–	+5.0	–	–	+5.0	
Encode/Decode Input		–	–	+5.0	–	–	+5.0	
Input Current — Low Logic State (V_{IL} = 0 V)	I_{IL}							µA
Digital Data Input		–	–	-10	–	–	-10	
Clock Input		–	–	-360	–	–	-360	
Encode/Decode Input		–	–	-36	–	–	-36	
Clock Input, V_{IL} = 0.4 V		–	–	-72	–	–	-72	

NOTE 2: Dynamic total loop offset (ΣV_{offset}) equals V_{IO} (comparator) (Figure 3) minus V_{IOX} (Figure 5). The input offset voltages of the analog comparator and of the integrator amplifier include the effects of input offset current through the input resistors. The slope polarity switch current mismatch appears as an average voltage across the 10 k integrator resistor. For the MC3417/MC3517, the clock frequency is 16.0 kHz. For the MC3418/MC3518, the clock frequency is 32.0 kHz. Idle channel performance is guaranteed if this dynamic total loop offset is less than one-half of the change in integrator output voltage during one clock cycle (ramp step size). Laser trimming is used to insure good idle channel performance.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารนี้

DEFINITIONS AND FUNCTION OF PINS

Pin 1 – Analog Input

This is the analog comparator inverting input where the voice signal is applied. It may be ac or dc coupled depending on the application. If the voice signal is to be level shifted to the internal reference voltage, then a bias resistor between pins 1 and 10 is used. The resistor is used to establish the reference as the new dc average of the ac coupled signal. The analog comparator was designed for low hysteresis (typically less than 0.1 mV) and high gain (typically 70 dB).

Pin 2 – Analog Feedback

This is the non-inverting input to the analog signal comparator within the IC. In an encoder application it should be connected to the analog output of the encoder circuit. This may be pin 7 or a low pass filter output connected to pin 7. In a decode circuit pin 2 is not used and may be tied to $V_{CC}/2$ on pin 10, ground or left open.

The analog input comparator has bias currents of 1.5 μA max, thus the driving impedances of pins 1 and 2 should be equal to avoid disturbing the idle channel characteristics of the encoder.

Pin 3 – Syllabic Filter

This is the point at which the syllabic filter voltage is returned to the IC in order to control the integrator step size. It is an NPN input to an op amp. The syllabic filter consists of an RC network between pins 11 and 3. Typical time constant values of 6 ms to 50 ms are used in voice codecs.

Pin 4 – Gain Control Input

The syllabic filter voltage appears across C_S of the syllabic filter and is the voltage between V_{CC} and pin 3. The active voltage to current (V-I) converter drives pin 4 to the same voltage at a slew rate of typically 0.5 V/μs. Thus the current injected into pin 4 (I_{GC}) is the syllabic filter voltage divided by the R_x resistance. Figure 6 shows the relationship between I_{GC} (x-axis) and the integrating current, I_{Int} (y-axis). The discrepancy, which is most significant at very low currents, is due to circuitry within the slope polarity switch which enables trimming to a low total loop offset. The R_X resistor is then varied to adjust the loop gain of the codec, but should be no larger than 5.0 kΩ to maintain stability.

Pin 5 – Reference Input

This pin is the non-inverting input of the integrator amplifier. It is used to reference the dc level of the output signal. In an encoder circuit it must reference the same voltage as pin 1 and is tied to pin 10.

Pin 6 – Filter Input

This inverting op amp input is used to connect the integrator external components. The integrating current (I_{Int}) flows into pin 6 when the analog input (pin 1) is high with respect to the analog feedback (pin 2) in the encode mode or when the digital data input (pin 13) is high in the decode mode. For the opposite states, I_{Int} flows out of Pin 6. Single integration systems require a capacitor and resistor between pins 6 and 7. Multipole configurations will have different circuitry. The resistance between pins 6 and 7 should always be between 8 kΩ and 13 kΩ to maintain good idle channel characteristics.

Pin 7 – Analog Output

This is the integrator op amp output. It is capable of driving a 600-ohm load referenced to $V_{CC}/2$ to +6 dBm and can otherwise be treated as an op amp output. Pins 5, 6, and 7 provide full access to the integrator op amp for designing integration filter networks. The slew rate of the internally compensated integrator op amp is typically 0.5 V/μs. Pin 7 output is current limited for both polarities of current flow at typically 30 mA.

Pin 8 – V_{EE}

The circuit is designed to work in either single or dual power supply applications. Pin 8 is always connected to the most negative supply.

Pin 9 – Digital Output

The digital output provides the results of the delta modulator's conversion. It swings between V_{CC} and V_{EE} and is CMOS or TTL compatible. Pin 9 is inverting with respect to pin 1 and non-inverting with respect to pin 2. It is clocked on the falling edge of pin 14. The typical 10% to 90% rise and fall times are 250 ns and 50 ns respectively for V_{CC} = 12 V and C_L = 25 pF to ground.

Pin 10 – $V_{CC}/2$ Output

An internal low impedance mid-supply reference is provided for use of the MC3417/18 in single supply applications. The internal regulator is a current source and must be loaded with a resistor to insure its sinking capability. If a +6 dBmo signal is expected across a 600 ohm input bias resistor, then pin 10 must sink 2.2 V/600 Ω = 3.66 mA. This is only possible if pin 10 sources 3.66 mA into a resistor normally and will source only the difference under peak load. The reference load resistor is chosen accordingly. A 0.1 μF bypass capacitor from pin 10 to V_{EE} is also recommended. The $V_{CC}/2$ reference is capable of sourcing 10 mA and can be used as a reference elsewhere in the system circuitry.

Pin 11 – Coincidence Output

The duty cycle of this pin is proportional to the voltage across C_S. The coincidence output will be low whenever the content of the internal shift register is all 1s or all 0s. In the MC3417 the register is 3 bits long

DEFINITIONS AND FUNCTIONS OF PINS (continued)

while the MC3418 contains a 4 bit register. Pin 11 is an open collector of an NPN device and requires a pull-up resistor. If the syllabic filter is to have equal charge and discharge time constants, the value of Rp should be much less than R_S. In systems requiring different charge and discharge constants, the charging constant is $R_S C_S$ while the decaying constant is $(R_S + R_P)C_S$. Thus longer decays are easily achievable. The NPN device should not be required to sink more than 3 mA in any configuration. The typical 10% to 90% rise and fall times are 200 ns and 100 ns respectively for R_L = 4 kΩ to +12 V and C_L = 25 pF to ground.

Pin 12 – Digital Threshold

This input sets the switching threshold for pins 13, 14, and 15. It is intended to aid in interfacing different logic families without external parts. Often it is connected to the $V_{CC}/2$ reference for CMOS interface or can be biased two diode drops above V_{EE} for TTL interface.

Pin 13 – Digital Data Input

In a decode application, the digital data stream is applied to pin 13. In an encoder it may be unused or may be used to transmit signaling message under the control of pin 15. It is an inverting input with respect to pin 9. When pins 9 and 13 are connected, a toggle flip-flop is formed and a forced idle channel pattern can be transmitted. The digital data input level should be maintained for 0.5 μs before and after the clock trigger for proper clocking.

Pin 14 – Clock Input

The clock input determines the data rate of the codec circuit. A 32K bit rate requires a 32 kHz clock. The switching threshold of the clock input is set by pin 12. The shift register circuit toggles on the falling edge of the clock input. The minimum width for a positive-going pulse on the clock input is 300 ns, whereas for a negative-going pulse, it is 900 ns.

Pin 15 – Encode/Decode

This pin controls the connection of the analog input comparator and the digital input to the internal shift register. If high, the result of the analog comparison will be clocked into the register on the falling edge at pin 14. If low, the digital input state will be entered. This allows use of the IC as an encoder/decoder or simplex codec without external parts. Furthermore, it allows non-voice patterns to be forced onto the transmission line through pin 13 in an encoder.

Pin 16 – V_{CC}

The power supply range is from 4.75 to 16.5 volts between pin V_{CC} and V_{EE}.

FIGURE 1 – POWER SUPPLY CURRENT

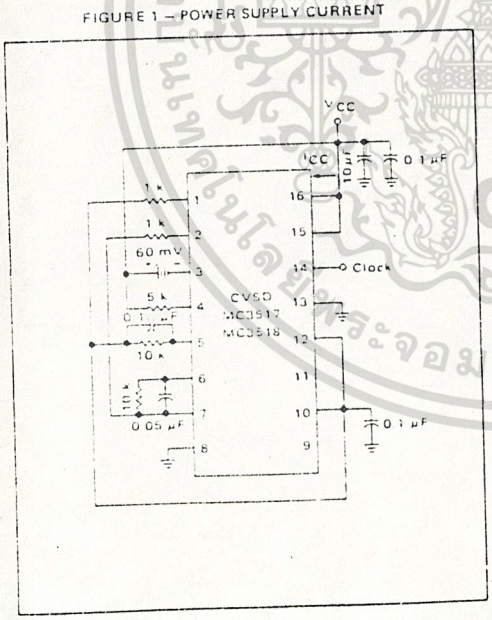
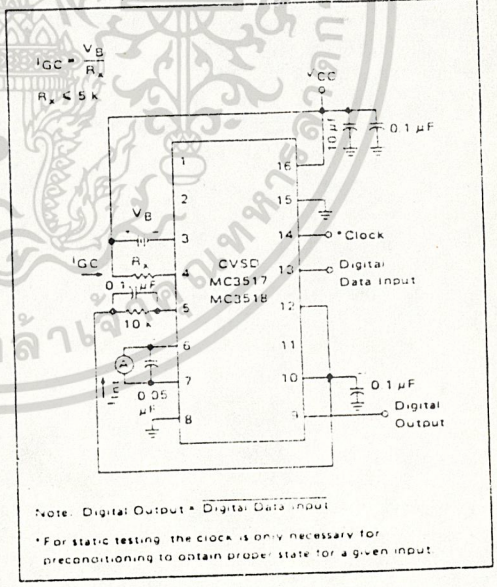


FIGURE 2 – I_{GCR}, GAIN CONTROL RANGE and I_{Int} – INTEGRATING CURRENT



Note: Digital Output = Digital Data Input

*For static testing, the clock is only necessary for preconditioning to obtain proper state for a given input.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารนี้

FIGURE 12 – CVSD WAVEFORMS

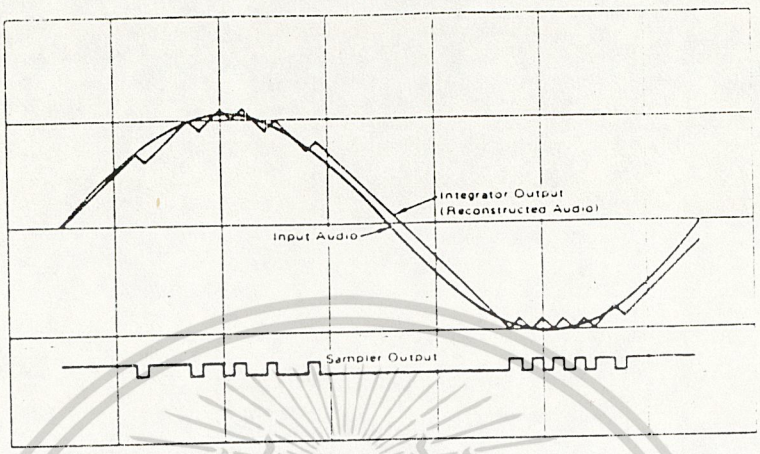


FIGURE 13 – BLOCK DIAGRAM OF THE CVSD DECODER

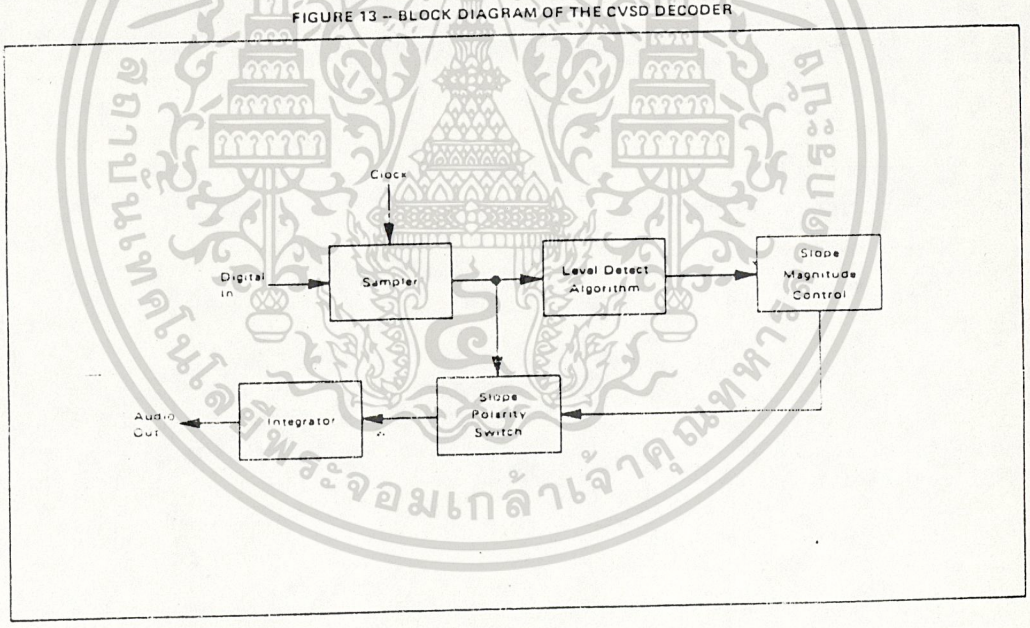
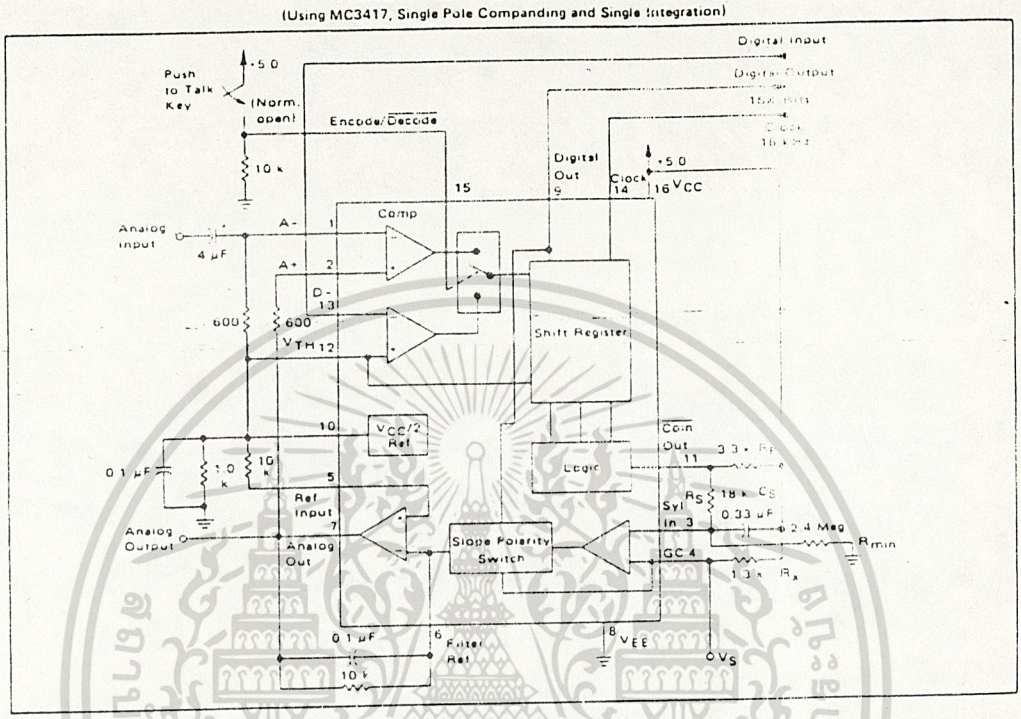


FIGURE 14 – 16 kHz SIMPLEX VOICE CODEC
(Using MC3417, Single Pole Companding and Single Integration)



CIRCUIT DESCRIPTION

The continuously variable slope delta modulator (CVSD) is a simple alternative to more complex conventional conversion techniques in systems requiring digital communication of analog signals. The human voice is analog, but digital transmission of any signal over great distance is attractive. Signal/noise ratios do not vary with distance in digital transmission, and multiplexing, switching and repeating hardware is more economical and easier to design. However, instrumentation A to D converters do not meet the communications requirements. The CVSD A to D is well suited to the requirements of digital communications and is an economically efficient means of digitizing analog inputs for transmission.

The Delta Modulator

The innermost control loop of a CVSD converter is a simple delta modulator. A block diagram CVSD Encoder is shown in Figure 13. A delta modulator consists of a comparator in the forward path and an integrator in the feedback path of a simple control loop. The inputs to the comparator are the input analog signal and the integrator output. The comparator output reflects the sign of the difference between the input voltage and the integrator output. That sign bit is the digital output and also controls the direction of ramp in the integrator. The comparator is normally clocked so as to produce a synchronous and band limited digital bit stream.

If the clocked serial bit stream is transmitted, received, and delivered to a similar integrator at a remote point, the remote integrator output is a copy of the transmitting control loop integrator output. To the extent that the integrator of the transmitting locations tracks the input signal, the remote receiver retroduces the input signal. Low pass filtering at the receiver output will eliminate most of the quantizing noise, if the clock rate of the bit stream is an octave or more above the bandwidth of the input signal. Voice bandwidth is 4 kHz and clock rates from 8 to 64 kHz are possible. Thus the delta modulator digitizes [illegible] the analog input to a remote receiver. The [illegible] the data is ideal for communications [illegible] input at the transmitter, a continuous one-zero sequence is transmitted. If the two integrators are made leaky, then during any loss of contact the receiver output decays to

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้ง

CIRCUIT DESCRIPTION (continued)

zero and receive restart begins without framing when the receiver reacquires. Similarly a delta modulator is tolerant of sporadic bit errors. Figure 12 shows the delta modulator waveforms while Figure 13 shows the corresponding CVSD decoder block diagram.

The Companding Algorithm

The fundamental advantages of the delta modulator are its simplicity and the serial format of its output. Its limitations are its ability to accurately convert the input within a limited digital bit rate. The analog input must be band limited and amplitude limited. The frequency limitations are governed by the nyquist rate while the amplitude capabilities are set by the gain of the integratpr.

The frequency limits are bounded on the upper end; that is, for any input bandwidth there exists a clock frequency larger than that bandwidth which will transmit the signal with a specific noise level. However, the amplitude limits are bounded on both upper and lower ends. For a signal level, one specific gain will achieve an optimum noise level. Unfortunately, the basic delta modulator has a small dynamic range over which the noise level is constant.

The continuously variable slope circuitry provides increased dynamic range by adjusting the gain of the integrator. For a given clock frequency and input bandwidth the additional circuitry increases the delta modulator's dynamic range. External to the basic delta modulator is an algorithm which monitors the past few outputs of the delta modulator in a simple shift register. The register is 3 or 4 bits long depending on the application. The accepted CVSD algorithm simply monitors the contents of the shift register and indicates if it contains all 1s or 0s. This condition is called coincidence. When it occurs, it indicates that the gain of the integrator is too small. The coincidence output charges a single pole low pass filter. The voltage output of this syllabic filter controls the integrator gain through a pulse amplitude modulator whose other input is the sign bit or up/down control.

The simplicity of the all ones, all zeros algorithm should not be taken lightly. Many other control algorithms using the shift register have been tried. The key to the accepted algorithm is that it provides a measure of the average power or level of the input signal. Other techniques provide more instantaneous information about the shape of the input curve. The purpose of the algorithm is to control the gain of the integrator and to increase the dynamic range. Thus a measure of the average input level is [illegible] needed.

The algorithm is repeated in the receiver and thus the level data is recovered in the receiver. Because the algorithm only operates on the past serial data, it changes the nature of the bit stream without changing the channel bit rate.

The effect of the algorithm is to compand the input signal. If a CVSD encoded signal is played into a basic delta modulator, the output of the delta modulator will reflect the shape of the [illegible] it will be of an equal level. [illegible] restored to restore the [illegible] in the channel is as if it had been from a standard delta modulator with a constant level input.

The delta modulator [illegible] with the CVSD algorithm provides an efficient method for digitizing a voice input in a manner which is especially convenient for digital communciations requirements.

APPLICATIONS INFORMATION

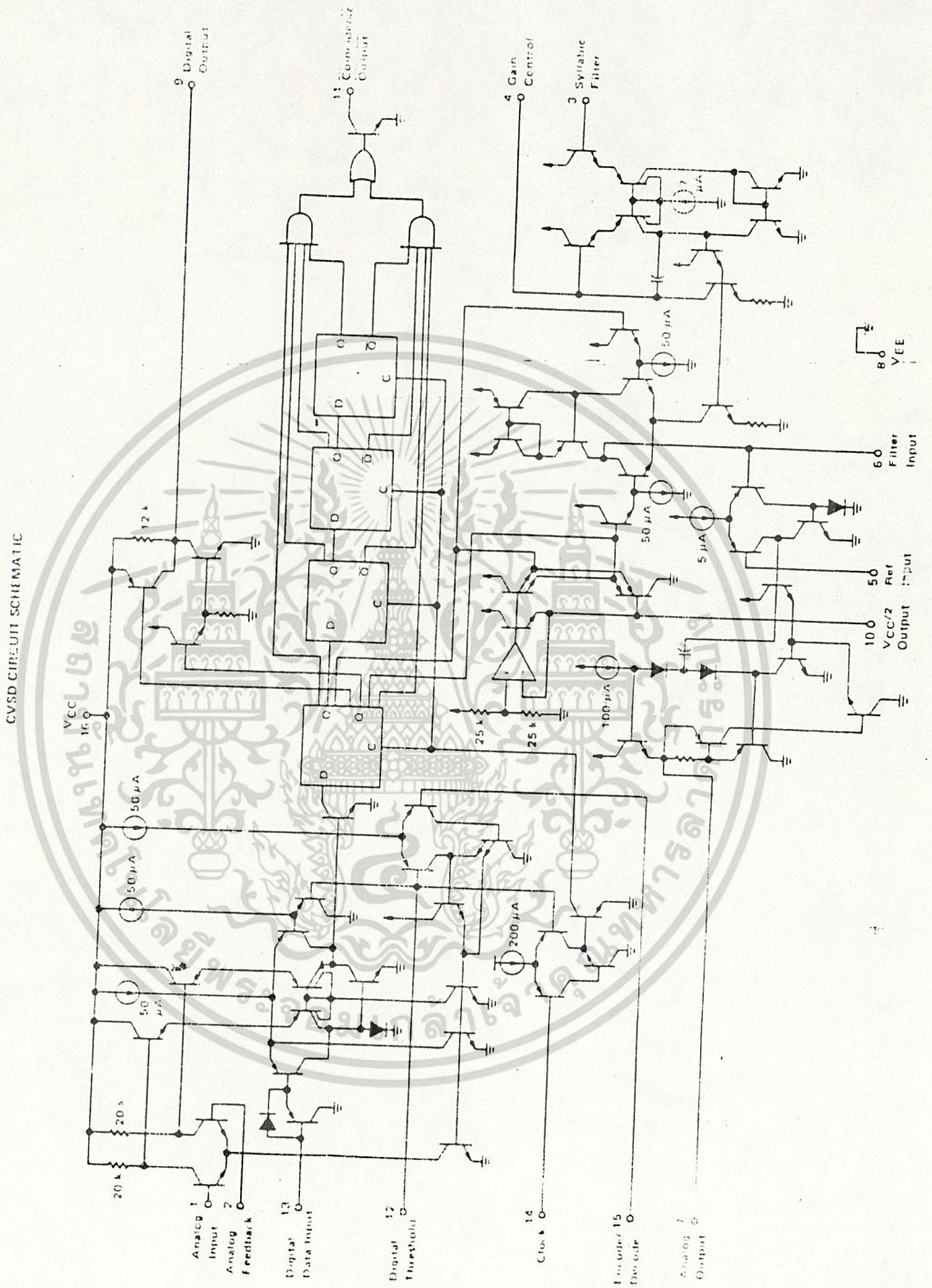
CVSD DESIGN CONSIDERATIONS

A simple CVSD encoder using the MC3417 or MC3418 is shown in Figure 14. These ICs are general purpose CVSD building blocks which allow the system designer to tailor the encoder's transmission characteristics to the application. Thus, the achievable transmission capabilities are constrained by the fundamental limitations of delta modulation and the design of encoder parameters. The performance is not dictated by the internal configuration of the MC3417 and MC3418. There are seven design considerations involved in designing these basic CVSD building blocks into a specific codec application.

These are listed below:

1. Selection of clock rate
2. Required number of shift register bits
3. Selection of loop gain
4. Selection of minimum step size
5. Design of integration filter transfer function
6. Design of syllabic filter transfer function
7. Design of low pass filter at the receiver

The circuit in Figure 14 is the most basic CVSD circuit possible. For many applications in secure radio or other intelligible voice channel requirements, it is entirely sufficient. In this circuit, items 5 and 6 are reduced to their simplest form. The syllabic and integration filters are both single pole networks. The selection of items 1 through 4 govern the codec performance.



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสาร

CVSD DESIGN CONSIDERATIONS (continued)

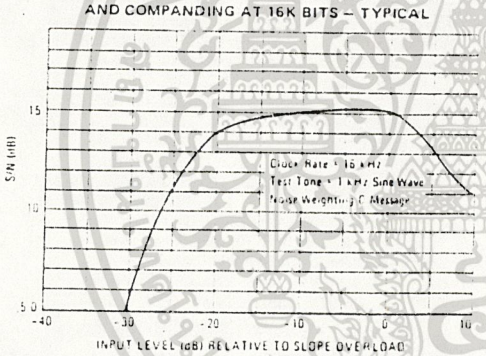
Layout Considerations

Care should be exercised to isolate all digital signal paths (pins 9, 11, 13, and 14) from analog signal paths (pins 1-7 and 10) in order to achieve proper idle channel performance.

Clock Rate

With minor modifications the circuit in Figure 14 may be operated anywhere from 9.6 kHz to 64 kHz clock rates. Obviously the higher the clock rate the higher the S/N performance. The circuit in Figure 14 typically produces the S/N performance shown in Figure 15. The selection of clock rate is usually dictated by the bandwidth of the transmission medium. Voice bandwidth systems will require no higher than 9600 Hz. Some radio systems will allow 12 kHz. Private 4-wire telephone systems are often operated at 16 kHz and commercial telephone performance can be achieved at 32K bits and above. Other codecs may use bit rates up to 200K bits/sec.

FIGURE 15 – SIGNAL-TO-NOISE PERFORMANCE OF MC3417 WITH SINGLE INTEGRATION, SINGLE-POLE AND COMPANDING AT 16K BITS – TYPICAL



Shift Register Length (Algorithm)

The MC3417 has a three-bit algorithm and the MC3418 has a four-bit algorithm. For clock rates of 16 kHz and below, the 3-bit algorithm is well suited. For 32 kHz and higher clock rates, the 4-bit system is preferred. Since the algorithm records a fixed past history of the input signal, a longer shift register is required to obtain the same internal history. At 16 bits and below, the 4-bit algorithm will produce a slightly wider dynamic range at the expense of level change response. Basically the MC3417 is designed for low bit rate systems and the MC3418 is intended for high performance, high bit rate system. At bit rates above 64K bits either part will work well.

Selection of Loop Gain

The gain of the circuit in Figure 14 is set by resistor R_X. R_X must be selected to provide the proper integrator step size for high level signals such that the companding ratio does not exceed about 25%. The companding ratio is the active low duty cycle of the coincidence output on pin 11 of the codec circuit. Thus the system gain is dependent on:

1. The maximum level and frequency of the input signal.
2. The transfer function of the integration filter.

For voice codecs the typical input signal is taken to be a sine wave at 1 kHz of 0 dBmo level. In practice, the useful dynamic range extends about 6 dB above the design level. In any system the companding ratio should not exceed 30%.

To calculate the integrator step size current, we must describe the transfer characteristics of the integration filter. In the basic circuit of Figure 14 a single pole of 160 Hz is used.

$$R = 10\ k\Omega,\ C = 0.1\ \mu F$$

$$\frac{V_O}{I_I} = \frac{1}{C(S + 1/RC)} = \frac{K}{S + \omega_O}$$

$$\omega_O = 2\pi f$$

$$10^3 = \omega_O = 2\pi f$$

$$f = 159.2\ Hz$$

Note that the integration filter produces a single-pole response from 300 to 3 kHz. The current required to move the integrator output a specific voltage from zero is simply:

$$I_I = \frac{V}{R} = \frac{C_I V_O}{dt}$$

Now a 0 dBmo sine wave has a peak value of 1.0954 volts. In 1/8 of a cycle of a sine wave centered around the zero crossing, the sine wave changes by approximately its peak value. The CVSD step should trace that change. The required current for a 0 dBm 1 kHz sine wave is:

$$I_I = \frac{1.1\ V}{^*2(10\ k\Omega)} + \frac{0.1\ \mu F(1.1)}{0.125\ ms} = 0.935\ mA$$

*The maximum voltage across RI when maximum slew is required is:

$$\frac{1.1\ V}{2}$$

Now the voltage range of the syllabic filter is the power supply voltage, thus:

$$R_X = 0.25(V_{CC}) \frac{1}{0.935\ mA}$$

A similar procedure can be followed to establish the proper gain for any input level and integration filter type.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

CVSD DESIGN CONSIDERATIONS (continued)

Minimum Step Size

The final parameter to be selected for the simple codec in Figure 14 is idle channel step size. With no input signal, the digital output becomes a one-zero alternating pattern and the analog output becomes a small triangle wave. Mismatches of internal currents and offsets limit the minimum step size which will produce a perfect idle channel pattern. The MC3417 is tested to ensure that a 20 mVp-p minimum step size at 16 kHz will attain a proper idle channel. The idle channel step size must be twice the specified total loop offset if a one-zero idle pattern is desired. In some applications a much smaller minimum step size (e.g., 0.1 mV) can produce quiet performance without providing a 1-0 pattern.

To set the idle channel step size, the value of R_{min} must be selected. With no input signal, the slope control algorithm is inactive. A long series of ones or zeros never occurs. Thus, the voltage across the syllabic filter capacitor (C_S) would decay to zero. However, the voltage divider of R_S and R_{min} (see Figure 14) sets the minimum allowed voltage across the syllabic filter capacitor. That voltage must produce the desired ramps at the analog output. Again we write the filter input current equation:

$$I_i = \frac{V_O}{R} + C\frac{dV_O}{dt}$$

For values of V_O near $V_{CC}/2$ the V_O/R term is negligible; thus

$$I_i = C_S\frac{\Delta V_O}{\Delta T}$$

where ΔT is the clock period and ΔV_O is the desired peak-to-peak value of the idle output. For a 16K-bit system using the circuit in Figure 14

$$I_i = \frac{0.1\ \mu F \cdot 20\ mV}{62.5\ \mu s} = 33\ \mu A$$

The voltage on C_S which produces a 33 μA current is determined by the value of R_x.

$I_i R_x = V_S min$; for 33 μA, $V_S min = 41.6$ mV

In Figure 14 R_S is 18 kΩ. That selection is discussed with the syllabic filter considerations. The voltage divider of R_S and R_{min} must produce an output of 41.6 mV.

$$V_{CC}\frac{R_S}{R_S + R_{min}} = V_S min \qquad R_{min} = 2.4\ M\Omega$$

Having established these four parameters – clock rate, number of shift register bits, loop gain and minimum step size – the encoder circuit in Figure 14 will function at near optimum performance for input levels around 0 dBm.

INCREASING CVSD PERFORMANCE

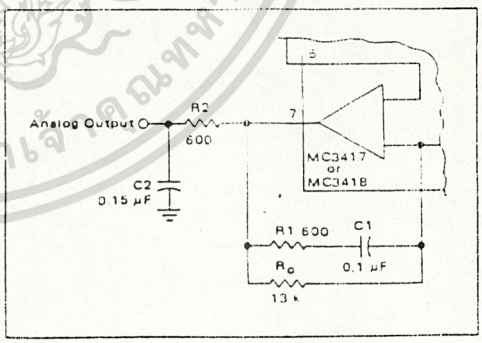
Integration Filter Design

The circuit in Figure 14 uses a single-pole integration network formed with a 0.1 µF capacitor and a 10 kΩ resistor. It is possible to improve the performance of the circuit in Figure 14 by 1 or 2 dB by using a two-pole integration network. The improved circuit is shown.

The first pole is still placed below 300 Hz to provide the 1/S voice content curve and a second pole is placed somewhere above the 1 kHz frequency. For telephony circuits, the second pole can be placed above 1.8 kHz to exceed the 1633 touchtone frequency. In other communication systems, values as low as 1 kHz may be selected. In general, the lower in frequency the second pole is placed, the greater the noise improvement. Then, to ensure the encoder loop stability, a zero is added to keep the phase shift less than 180°. This zero should be placed slightly above the low-pass output filter break frequency so as not to reduce the effectiveness of the second pole. A network of 235 Hz, 2 kHz and 5.2 kHz is typical for telephone applications while 160 Hz, 1.2 kHz and 2.8 kHz might be used in voice only channels. (Voice only channels can use an output low-pass filter which breaks at about 2.5 kHz.) The two-pole network in Figure 16 has a transfer function of:

$$\frac{V_O}{I_i} = \frac{R_0 R_1 C_1\left(S + \frac{1}{R_1 C_1}\right)}{R_2 C_2 (R_0 + R_1)\left(S + \frac{1}{(R_0 + R_1)C_1}\right)\left(S + \frac{1}{R_2 C_2}\right)}$$

FIGURE 16 – IMPROVED FILTER CONFIGURATION



These component values are for the telephone channel circuit poles described in the text. The R2, C2 product can be provided with different values of R and C. R2 should be chosen to be equal to the termination resistor on pin 1.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้ง

INCREASING CVSD PERFORMANCE (continued)

Thus the two poles and the zero can be selected arbitrarily as long as the zero is at a higher frequency than the first pole. The values in Figure 16 represent one implementation of the telephony filter requirement.

The selection of the two-pole filter network effects the selection of the loop gain value and the minimum step size resistor. The required integrator current for a given change in voltage now becomes:

$$I_1 = \frac{V_O}{R_0} + \left(\frac{R_2C_2}{R_0} + \frac{R_1C_1}{R_0} + C_1\right)\frac{\Delta V_O}{\Delta T} + \left(R_2C_2C_1 + \frac{R_1C_1R_2C_2}{R_0}\right)\frac{\Delta V_O^2}{\Delta T^2}$$

The calculation of desired gain resistor R_1 then proceeds exactly as previously described.

Syllabic Filter Design

The syllabic filter in Figure 14 is a simple single-pole network of 18 kΩ and 0.33 µF. This produces a 6.0 ms time constant for the averaging of the coincidence output signal. The voltage across the capacitor determines the integrator current which in turn establishes the step size. The integrator current and the resulting step size determine the companding ratio and the S/N performance. The companding ratio is defined as the voltage across C_S/V_{CC}.

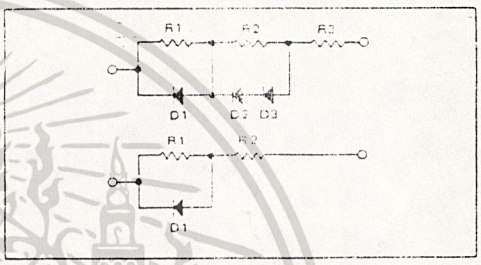
The S/N performance may be improved by modifying the voltage to current transformation produced by R_X. If different portions of the total R_X are shunted by diodes, the integrator current can be other than $(V_{CC} - V_S)/R_X$. These breakpoint curves must be designed experimentally for the particular system application. In general, one would wish that the current would double with input level. To design the desired curve, supply current to pin 4 of the codec from an external source. Input a signal level and adjust the current until the S/N performance is optimum. Then record the voltage level versus and the current. Repeat this for all desired signal levels. Then derive the resistor diode network which produces that curve on a curve tracer.

Once the network is designed with the curve tracer, it is then inserted in place of R_X in the circuit and the forced optimum noise performance will be achieved from the active syllabic and filter.

Diode breakpoint networks may be very simple or moderately complex depending upon the dynamic range of the codec. In most of the cases two diodes in high performance telephone applications.

Typical resistor-diode networks are shown in Figure 17.

FIGURE 17 – RESISTOR-DIODE NETWORKS



If the performance of more complex diode networks is desired, the circuit in Figure 18 should be used. It simulates the companding characteristics of nonlinear R_X elements in a different manner.

Output Low Pass Filter

A low pass filter is required at the receiving circuit output to eliminate quantizing noise. In general, the lower the bit rate, the better the filter must be. The filter in Figure 20 provides excellent performance for 12 kHz to 40 kHz systems.

TELEPHONE CARRIER QUALITY CODEC USING MC3418

Two specifications of the integrated circuit are specifically intended to meet the performance requirements of commercial telephone systems. First, slope polarity switch current matching is laser trimmed to guarantee proper idle channel performance with 5 mV minimum step size and a typical 1% current match from 15 µA to 3 mA. Thus a 300 to 1 range of step size variation is possible. Second, the MC3418 provides the four-bit algorithm currently used in subscriber loop telephone systems. With these specifications and the circuit of Figure 18, a telephone quality codec can be mass produced.

The circuit in Figure 18 provides a 30 dB S/Nc ratio over 50 dB of dynamic range for a 1 kHz test tone at a 37.7K bit rate. At 37.7K bits, 40 voice channels may be multiplexed on a standard 1.544 megabit T1 facility. This codec has also been tested for 10^{-7} error rates with asynchronous and synchronous data up to 2400 baud and for reliable performance with DTMF signaling. Thus, the design is applicable in telephone quality subscriber loop carrier systems, subscriber loop concentrators and small PABX installations.

TELEPHONE CARRIER QUALITY CODEC USING MC3418 (continued)

The Active Companding Network

The unique feature of the codec in Figure 18 is the step size control circuit which uses a companding ratio reference, the present step size, and the present syllabic filter output to establish the optimum companding ratios and step sizes for any given input level. The companding ratio of a CVSD codec is defined as the duty cycle of the coincidence output. It is the parameter measured by the syllabic filter and is the voltage across C_S divided by the voltage swing of the coincidence output. In Figure 18, the voltage swing of pin 11 is 6 volts. The operating companding ratio is analoged by the voltage between pins 10 and 4 by means of the virtual short across pins 3 and 4 of the V to I op amp within the integrated circuit. Thus, the instantaneous companding ratio of the codec is always available at the negative input of A1.

The diode D1 and the gain of A1 and A2 provide a companding ratio reference for any input level. If the output of A2 is more than 0.7 volts below $V_{CC}/2$, then the positive input of A1 is $(V_{CC}/2 - 0.7)$. The on diode drop at the input of A1 represents a 12% companding ratio (12% = 0.7 V/6 V).

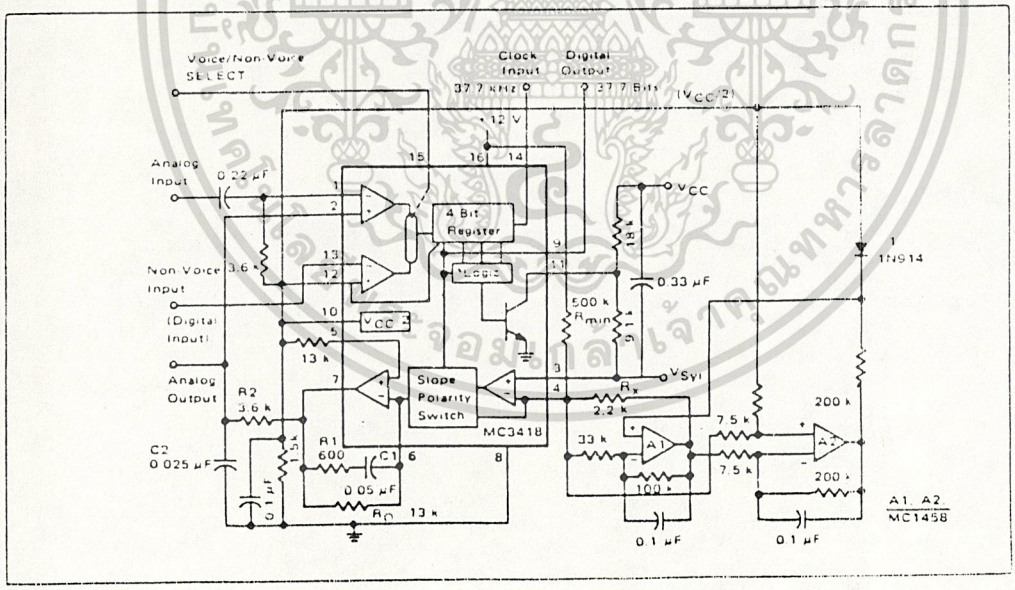
The present step size of the operating codec is directly related to the voltage across R_X, which established the integrator current. In Figure 18, the voltage across R_X is amplified by the differential amplifier A2 whose output is single ended with respect to pin 10 of the IC.

For large signal inputs, the step size is large and the output of A2 is lower than 0.7 volts. Thus D1 is fully on. The present step size is not a factor in the step size control. However, the difference between 12% companding ratio and the instantaneous companding ratio at pin 4 is amplified by A1. The output of A1 changes the voltage across R_X in a direction which reduces the difference between the companding reference and the operating ratio by changing the step size. The ratio of R4 and R3 determines how closely the voltage at pin 4 will be forced to 12%. The selection of R3 and R4 is initially experimental. However, the resulting companding control is dependent on R_X, R3, R4 and the full diode drop D1. These values are easy to reproduce from codec to codec.

For small input levels, the companding ratio reference becomes the output of A2 rather than the diode drop. The operating companding ratio on pin 4 is then compared to a companding ratio smaller than 12% which is determined by the voltage drop across R_X and the gain of A2

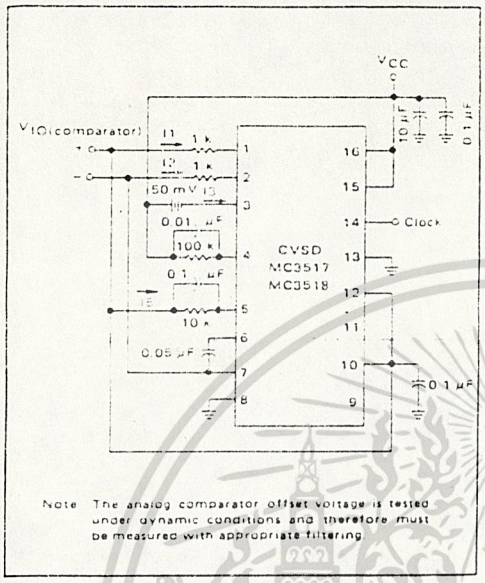
FIGURE 18 – TELEPHONE QUALITY DELTAMOD CODER

(Both double integration and active companding control are used to obtain improved CVSD performance. Laser trimming of the integrated circuit provides reliable idle channel and step size range characteristics.)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสาร

FIGURE 3 – INPUT BIAS CURRENTS, ANALOG COMPARATOR OFFSET VOLTAGE AND CURRENT



Note: The analog comparator offset voltage is tested under dynamic conditions and therefore must be measured with appropriate filtering.

FIGURE 4 – INTEGRATOR AMPLIFIER OFFSET VOLTAGE AND CURRENT

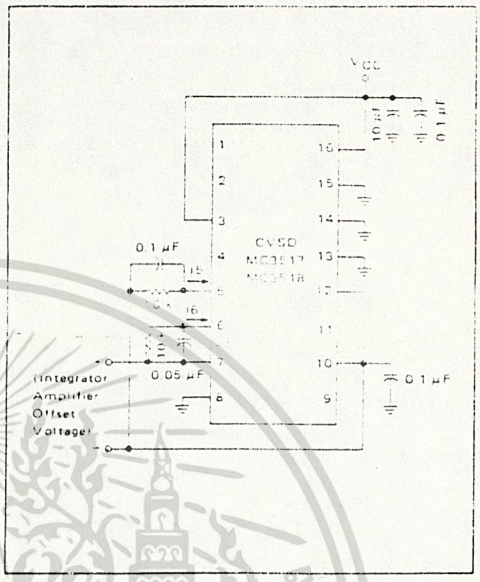
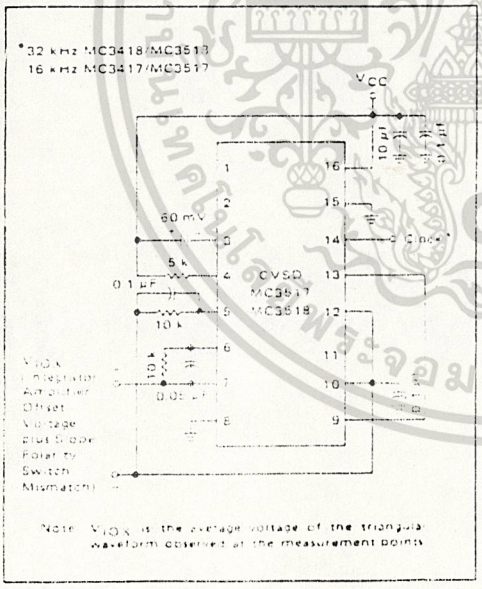
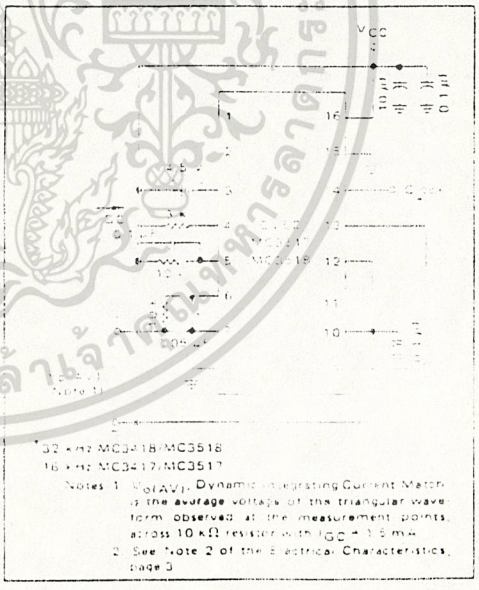


FIGURE 5 – V/I CONVERTER OFFSET VOLTAGE, V_{IO} and V_{IOX}



Note: V_{IOX} is the average voltage of the triangular waveform observed at the measurement points.

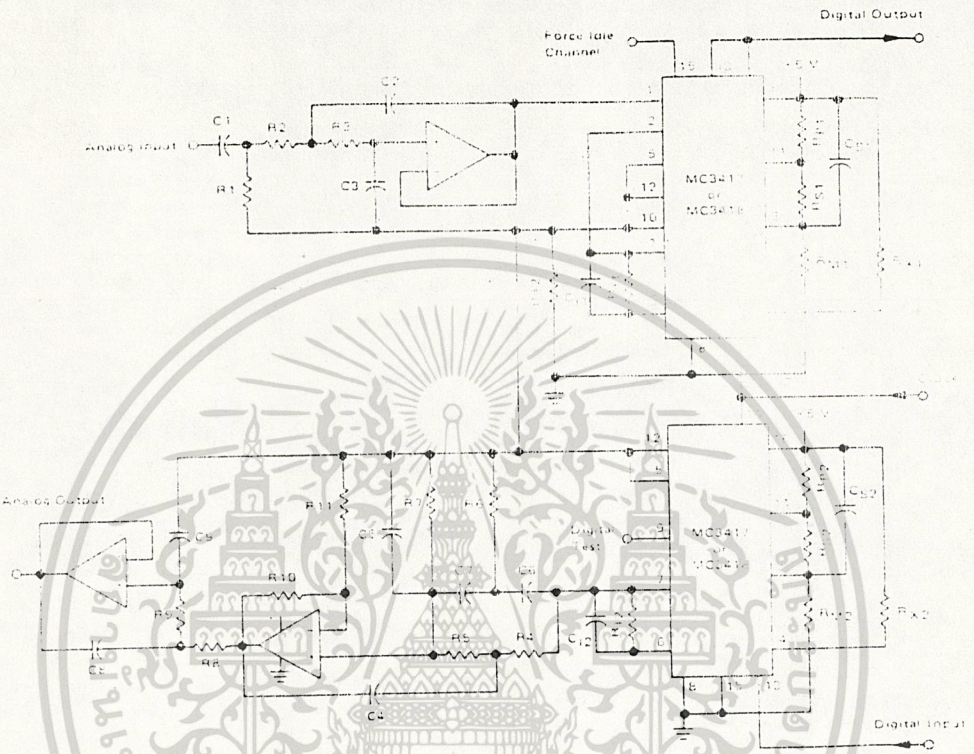
FIGURE 6 – DYNAMIC INTEGRATING CURRENT MATCH



Notes: 1. $V_{I(AV)}$, Dynamic Integrating Current Match is the average voltage of the triangular waveform observed at the measurement points across 10 kΩ resistor in the I_{IOC} = 1.5 mA.
2. See Note 2 of the Electrical Characteristics, page 3.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

FIGURE 21 – FULL DUPLEX/32K BIT CVSD VOICE CODEC USING MC3517/18 AND MC3403/6 OP AMP



Codec Components

R_{X1}, R_{X2} = 2.3 kΩ
R_{S1}, R_{S2} = 100 kΩ
R_{11}, R_{12} = 20 kΩ
R_{10} = 1 kΩ
R_{X1}, R_{X2} = 5 MΩ (MC3417)
Minimum step size = 20 mV
R_{X1}, R_{X2} = 15 MΩ (MC3418)
Minimum step size = 6 mV

C_{S1}, C_{S2} = 0.05 μF
C_{11}, C_{12} = 0.05 μF

2 MC3417 (or MC3418)
1 MC3403 (or MC3486)

Note: All Res 5%
All Cap 5%

Input Filter Specifications

+2 dB Octave Rolloff above 3.3 kHz
6 dB Octave Rolloff below 50 Hz

Output Filter Specifications

Break Frequency = 3.3 kHz
Stop Band = 9 kHz
Stop Band Atten = 50 dB
Rolloff = 40 dB Octave

Filter Components

R1	969 Ω	C1	0.3 μF
R2	72 kΩ	C2	837 pF
R3	72 kΩ	C3	836 pF
R4	63.46 kΩ	C4	1000 pF
R5	137 kΩ	C5	222 pF
R6	36.5 kΩ	C6	77 pF
R7	1.645 MΩ	C7	36 pF
R8	72 kΩ	C8	837 pF
R9	72 kΩ	C9	536 pF
R10	29.5 kΩ		
R11	72 kΩ		

Note: All Res 0.1 + to 1 %
All Cap 1.0%

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้ง

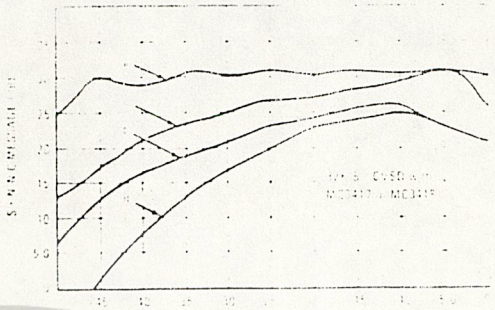
COMPARATIVE CODEC PERFORMANCE

The salient feature of CVSD codecs using the MC3517 and MC3518 family is versatility. The range of codec complexity, tradeoffs and bit rate is so wide that one cannot grasp the interdependency of parameters for voice applications in a few pages.

Design of a specific codec must be tailored to the digital channel bandwidth, the analog bandwidth, the quality of signal transmission required and the cost objectives. To illustrate the choices available, the data in Figure 22 compares the signal-to-noise ratios and dynamic range of various codec design options at 32K bits. Generally, the relative merits of each design feature will remain intact in any application. Lowering the bit rate will reduce the dynamic range and noise performance of all techniques. As the bit rate is increased, the overall performance of each technique will improve and the need for more complex designs diminishes.

Non-voice applications of the MC3517 and MC3518 are also possible. In those cases, the signal bandwidth and amplitude characteristics must be defined before the specification of codec parameters can begin. However, in general, the design can proceed along the lines of the voice applications shown here, taking into account the different signal bandwidth requirements.

FIGURE 22 – COMPARATIVE CODEC PERFORMANCE – SIGNAL TO NOISE RATIO FOR 1 kHz TEST TONE



These curves demonstrate the improved performance obtained with several codec designs of varying complexity.

Curve a – Complex companding and double integration (Figure 18 – MC3418)

Curve b – Double integration (Figure 21 with Figure 6 – MC3418

Curve c – Single integration (Figure 21 – MC3418) with 6 mV step size

Curve d – Single integration (Figure 21 – MC3417) with 25 mV step size

THERMAL INFORMATION

The maximum power consumption an integrated circuit can tolerate at a given operating ambient temperature, can be found from the equation

$$P_{D(T_A)} = \frac{T_{J(max)} - T_A}{R_{\theta JA(Typ)}}$$

Where: $P_{D(T_A)}$ = Power Dissipation allowable at a given operating ambient temperature. This must be greater than the sum of the products of the supply voltages and supply currents at the worst-case operating condition.

$T_{J(max)}$ = Maximum Operating Junction Temperature as specified in the Maximum Ratings Section

T_A = Maximum Desired Operating Ambient Temperature

$R_{\theta JA(Typ)}$ = Typical Thermal Resistance Junction to Ambient

กิตติกรรมประกาศ

ปริญญานิพนธ์เล่มนี้ สำเร็จลงได้ ต้องขอขอบคุณ ผศ. นิกร สุขุตมตันติ อาจารย์ภาควิชาเทคนิคอุตสาหกรรมทุกท่าน และเพื่อน ๆ ที่ให้คำชี้แนะในการสร้างและแก้ไขปัญหาต่าง ๆ ให้สำเร็จลุล่วงไปได้

ผู้จัดทำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอกสารอ้างอิง

1 MOTOROLA TELECOMMUNICATIONS DEVICE DATA, 1985

2 วารสารเซมิคอนดักเตอร์ อิเลคทรอนิกส์ เล่มที่ 78, 81, 83, 84 และ 85, 1990

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้