ปริญญานิพนธ์ปีการศึกษา 2533

เรื่อง

# เครื่องตอบรับโทรศัพท์และเตือนภัยอัตโนมัติ


ผู้จัดทำ

1.นาย เชิดชัย งามบุญจิตต์ 323313
2.นาย วิโรจน์ ศรีบุศราคัม 323329



คณะวิศวกรรมศาสตร์
ภาควิชา เทคนิคอุตสาหกรรม
พระจอมเกล้าเจ้าคุณทหารลาดกระบัง



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ปีการศึกษา 2533

เรื่อง เครื่องตอบรับโทรศัพท์และเตือนภัยอัตโนมัติ

ผู้จัดทำ

1. นาย เชิดชัย งามบุญจิตต์ รหัส 323313

2. นาย วิโรจน์ ศรีบุศราคัม รหัส 323329

_____ อาจารย์ที่ปรึกษา

(_____)

เลขหมู่ T 33130 ค3
เลขทะเบียน 027963
วัน, เดือน, ปี 18 ก.ค. 54

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

027963

# เครื่องตอบรับโทรศัพท์และเตือนภัยอัตโนมัติ

เชิดชัย งามบุญจิตต์ รหัส 323313
วิโรจน์ ศรีบุศราคัม รหัส 323329
อ.ผศ. นิกร สุขุตมตันติ อาจารย์ที่ปรึกษา
ปีการศึกษา 2533

**บทคัดย่อ**

ปริญญานิพนธ์ฉบับนี้เป็นการออกแบบ และการสร้างเครื่องรับโทรศัพท์ที่มีหน้าที่การทำงานได้หลายหน้าที่ ช่วยเพิ่มประสิทธิภาพการทำงานการใช้โทรศัพท์ให้มากยิ่งขึ้น เพื่อช่วยอำนวยความสะดวกให้แก่ผู้ใช้โทรศัพท์ ดังนั้นปริญญานิพนธ์นี้เป็นการพัฒนาเครื่องตอบรับโทรศัพท์อัตโนมัติที่มีคุณสมบัติพิเศษกว่าเครื่องตอบรับโทรศัพท์ทั่วไป คือ นอกจากผู้ใช้สามารถที่จะบันทึกเสียงในการตอบกลับได้ด้วยตัวเองแล้ว ยังสามารถตั้งเวลาสำหรับการบันทึกข้อความจากผู้โทรเข้าให้ได้ระยะเวลาตามต้องการ ทั้งยังมี DISPLAY แสดงการโทรเข้าอีกด้วย และที่พิเศษขึ้นไปอีกคือ ยังมีระบบการเตือนภัยทางโทรศัพท์โดยอัตโนมัติในกรณีไม่มีใครอยู่ โดยสามารถบันทึกหมายเลขปลายทางที่จะแจ้งภัยได้ตามต้องการ ดังนั้นจากผลของการออกแบบวงจร ได้นำมาทดลองทำให้ได้เครื่องต้นแบบที่สร้างง่าย ทั้งยังสามารถเผยแพร่ให้ผู้สนใจนำไปสร้างเองได้ในราคาถูก และสามารถใช้วัสดุอุปกรณ์ได้ภายในประเทศ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# AUTOMATIC TELEPHONE ANSWER - WARNING UNIT


| | | |
|---|---|---|
| CHERDCHAI | NGAMBOONJIT | 323313 |
| VIROJ | SRIBUSARAKHAM | 323329 |
| NIKORN | SUKUTAMATANTI | ADVISOR |



ABSTRACT

This thesis is the design and how to make the "Telephone Answer Unit",which can function in many purpose and increases the efficiency of the working and using of the telephone so as to make Facility for the Telephone User.Therefore,this thesis is the development of the "Telephone Answer Unit", which its charactor and Quality is different to other ordinary one. Besides , the Telephone User can record voice for answering by himself. He still can set the time in order to record the voice or message of someone , calling to him , for any period of time he wants to set. And this Telephone Answer Unit also has 7-Segment Display , showing Call in-Signal. For more special working function is that it has Alarm System of automatic Telephone. And when nobody isn't at home and somebody , whom the owner of the house , owning this Telephone Answer Unit , doesn't allow to enter or to be in the house. This device will automatically call to the destination , which the owner of this device has recorded. Therefore , this original Telephone Answer Unit can be easily made through the result of circuit design , having already perfectly experimented. Moreover , it can be spread in low price among someone , being interested in making by himself and it can use the domestic material to make it.



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# สารบัญ


บทที่ 1

บทนำ 1

บทที่ 2

ขั้นตอนการทำงานโทรศัพท์ 3

บทที่ 3

หลักการทำงานของเครื่องตอบรับโทรศัพท์ 8

อธิบายการทำงานของ BLOCK DIAGRAM 9

การบันทึกเสียง

การฟังเสียงที่บันทึก

บทที่ 4

รายละเอียดการทำงานของวงจรเบื้องต้น 11

ส่วนจดจำ และ กำเนิดเสียงพูด 12

MEMORY 13

DELTA MODULATION 17

อธิบายการทำงานของวงจรในโครงงานนี้ 23

บทที่ 5

หลักการทำงานของเครื่องโทรศัพท์เตือนภัยอัตโนมัติ 28

บทที่ 6

การทำงานของวงจร 30

รายละเอียดการทำงานรวมของวงจรทั้งหมด 36

วิจารณ์และสรุปผลการทดลอง 39

ภาคผนวก

ข้อมูล และ รายละเอียดของอุปกรณ์ 41

บรรณานุกรม 99

กิตติกรรมประกาศ 100



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# บทที่ 1

## บทนำ

ในปัจจุบัน การสื่อสารมีความสำคัญในชีวิตประจำวันของบุคคลทั่วไปมากขึ้น โทรศัพท์ก็เป็นการสื่อสารวิธีหนึ่งที่ได้รับความนิยมอย่างกว้างขวาง เพราะสะดวกรวดเร็ว และง่ายต่อการใช้งานตลอดจนเสียค่าใช้จ่ายน้อยกว่า เมื่อเทียบกับการสื่อสารระบบอื่น ๆ เช่น Telext หรือ Facsimile โทรศัพท์มีความสำคัญและมีใช้กันอย่างแพร่หลายทั้งในสำนักงานและในครัวเรือน จึงทำให้มีการสร้างอุปกรณ์สนับสนุนเพื่อช่วยเพิ่มประสิทธิภาพในการใช้งานหรือสร้างอรรถประโยชน์อื่น ๆ จากการใช้งานโทรศัพท์มากขึ้น

ในโครงงานนี้ก็เป็นส่วนหนึ่งในการเพิ่มประสิทธิภาพ และ สร้างอรรถประโยชน์จากการใช้งานโทรศัพท์ โดยมันสามารถทำการตอบรับโทรศัพท์ได้เองในขณะที่ไม่มีคนอยู่ในช่วงเวลานั้น โดยที่เสียงตอบกลับไปนั้นจะมาจาก DRAM ที่ทำการบันทึกไว้ก่อนแล้ว (เสียงบันทึกนี้สามารถทำการบันทึกได้โดยผู้ใช้เอง) และในส่วนที่เสียงตอบกลับมาทางเราจะใช้เทปเป็นตัวบันทึก จะได้เป็นเวลานานเท่าไหร่ก็ขึ้นอยู่กับทางเราเป็นผู้กำหนด โดยก่อนหมดเวลาบันทึกจะมีเสียงเตือน 1 ครั้ง และอีกส่วนหนึ่ง คือ จะเป็นระบบเตือนภัยทางโทรศัพท์ หรือ โทรศัพท์เตือนภัยอัตโนมัติ กล่าวคือระบบนี้จะมีสวิชท์ที่ใช้ในการตรวจจับอยู่ ถ้าสวิชท์นี้ทำงานจะมีสัญญานเตือนภัย ส่งไปตามเลขหมายที่ได้บันทึกไว้ก่อนก่อนหน้านั้นแล้ว (ผู้ใช้สามารถบันทึกเลขหมายได้ด้วยตนเอง) จะส่งเป็นเวลานานเท่าไรก็อยู่กับผู้สร้างเป็นผู้กำหนดและยังมีระบบป้องกันสายไม่ว่างอีกด้วย

การนำไอซีมาใช้เป็นตัวพูดแทนนั้น เป็นชิพที่เป็น CVSD มีออกมาจำหน่ายหลายแบบด้วยกัน เช่น เบอร์ VP 2500 ของประเทศไต้หวัน

HC 55516/55532 ของบริษัท แฮริส

T 6668 ของบริษัท โตชิบา

FX 209 ของ CMA (อเมริกา)

ในโครงงานนี้ทางเราเลือกใช้ เบอร์ T6668 ของบริษัท โตชิบา เพราะเราสามารถที่จะประยุกต์ใช้ได้หลายรูปแบบ และเป็นเบอร์ที่ยังใหม่อยู่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วัตถุประสงค์ที่ทำเครื่องตอบรับและเตือนภัยอัตโนมัติ

1. เพื่อเป็นการนำ ไอซีเบอร์ T6668 ไปประยุกต์ใช้งาน
2. เพื่อสร้างเครื่องตอบรับโทรศัพท์และเตือนภัยอัตโนมัติขึ้นมาใช้เอง
3. เพื่อเพิ่มประสิทธิภาพการใช้งานเครื่องรับโทรศัพท์
4. เพื่อเน้นถึงความสะดวกและง่ายต่อการใช้งาน
5. ผลงานที่ได้ เพื่อเป็นแนวทางในการพัฒนา หรือ ปรับปรุงให้ดีขึ้น สำหรับผู้ที่สนใจ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

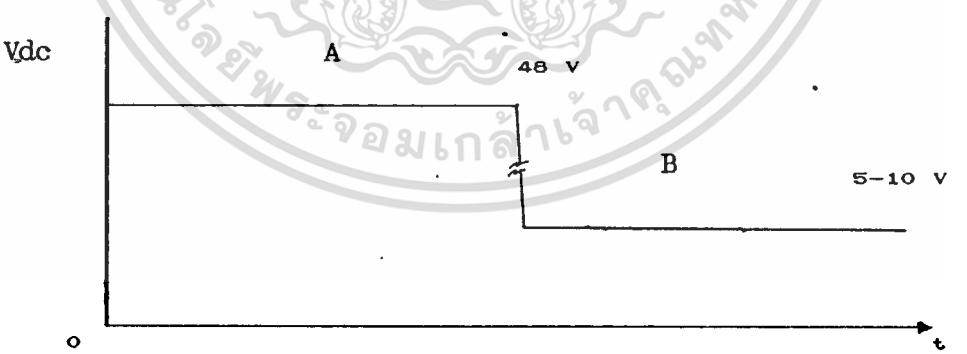
# บทที่ 2

## ขั้นตอนการทำงานโทรศัพท์

ขั้นตอนการทำงานของโทรศัพท์ แบ่งได้เป็น 2 กรณี คือ ผู้เรียก ( CALLING ) กับผู้ถูกเรียก ( CALLED ) สรุปพอสังเขปดังนี้

กรณีผู้เรียก ( CALLING SUBSCRIBER ) ขณะที่หูโทรศัพท์วางอยู่นั้นจะมีไฟกระแสตรงตกคร่อมคู่สายโทรศัพท์อยู่ +48 โวลท์ และเมื่อหูโทาศัพท์ถูกยกขึ้นไฟกระแสตรงที่ตกคร่อมคู่สายโทรศัพท์ +48 โวลท์ จะตกลงมาเหลือ 5-10 โวลท์ ทั้งนี้ขึ้นอยู่กับระบบชุมสายย่อย ขณะเดียวกันก็จะมีสัญญาณส่งมาจากชุมสาย เสียงที่ได้ยินคือ เสียงแมวกน ( DIAL TONE ) แสดงว่าพร้อมที่จะหมุนเลขหมายได้ หรือพร้อมที่จะกดเลขหมายได้ ถ้าเลขหมายที่ถูกเรียกไม่ว่าง ผู้เรียกจะได้ยินเสียง BUSY TONE ( เสียงจะสลับเป็นจังหวะ ดัง 0.5 วินาที และเงียบ 0.5 วินาที ) ในกรณีที่คู่สายเลขหมายที่ถูกเรียกว่างคือชุมสายจะต่อกับเลขหมายที่เรียกให้ จะได้ยินเสียง สัญญาณเรียก ดัง 1 วินาที แล้วเงียบ 4 วินาที สัญญาณนี้เรียกว่า RING TONE หรือ CALLING TONE แสดงว่าเลขหมายที่เรียกไปว่างพร้อมที่จะพูดได้ ให้คอยจนกว่าฝ่ายถูกเรียกจะยกหูรับ

กรณีผู้ถูกเรียก ( CALLED SUBSCRIBER ) ขณะที่คู่สายว่างจะมีไฟกระแสตรงตกคร่อมคู่สาย +48 โวลท์ และเมื่อมีการเรียกมายังเลขหมาย ทางชุมสายจะมีการต่อให้ จะส่งสัญญาณเรียก RINGING เป็นแรงดันไฟสลับประมาณ 110-150 โวลท์ เป็นจังหวะให้กระดิ่งดัง 2 วินาที และเงียบ 4 วินาทีสลับกันไป และเมื่อมีการยกหูโทรศัพท์ทำให้วงจรภายในของเครื่องรับโทรศัพท์ซึ่งมีอิมพีแดนซ์ประมาณ 600 โอห์ม ต่อเข้ากับชุมสายและขณะเดียวกัน ชุมสายจะหยุดส่งสัญญาณ RINGING และทำการต่อคู่สายโทรศัพท์ให้

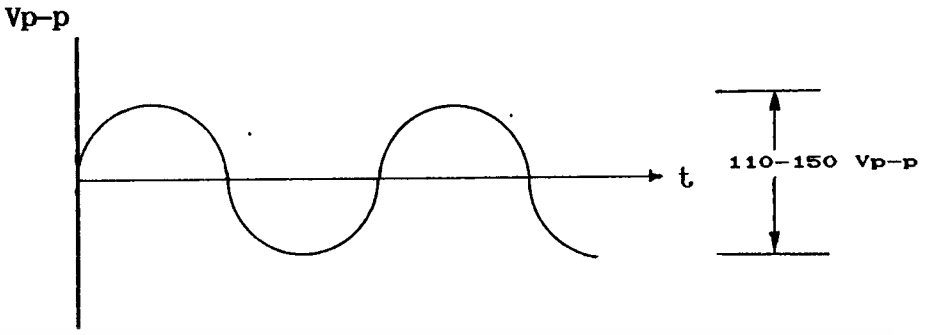



: รูปแสดงไฟกระแสตรงเลี้ยงคู่สาย

A: ขณะที่วางโทรศัพท์อยู่ มีไฟกระแสตรงตกคร่อม 48 โวลท์

B: ขณะที่หูโทรศัพท์ถูกยกขึ้นมีไฟกระแสตรงตกคร่อม 5-10 โวลท์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




: รูปแสดงสัญญาณ RINGING TONE เป็นสัญญาณ SINE มีความถี่ 20 $H_z$

**ความถี่ที่เป็นมาตราฐานขององค์การโทรศัพท์** ซึ่งประกอบด้วยสัญญาณต่างๆ ดังนี้

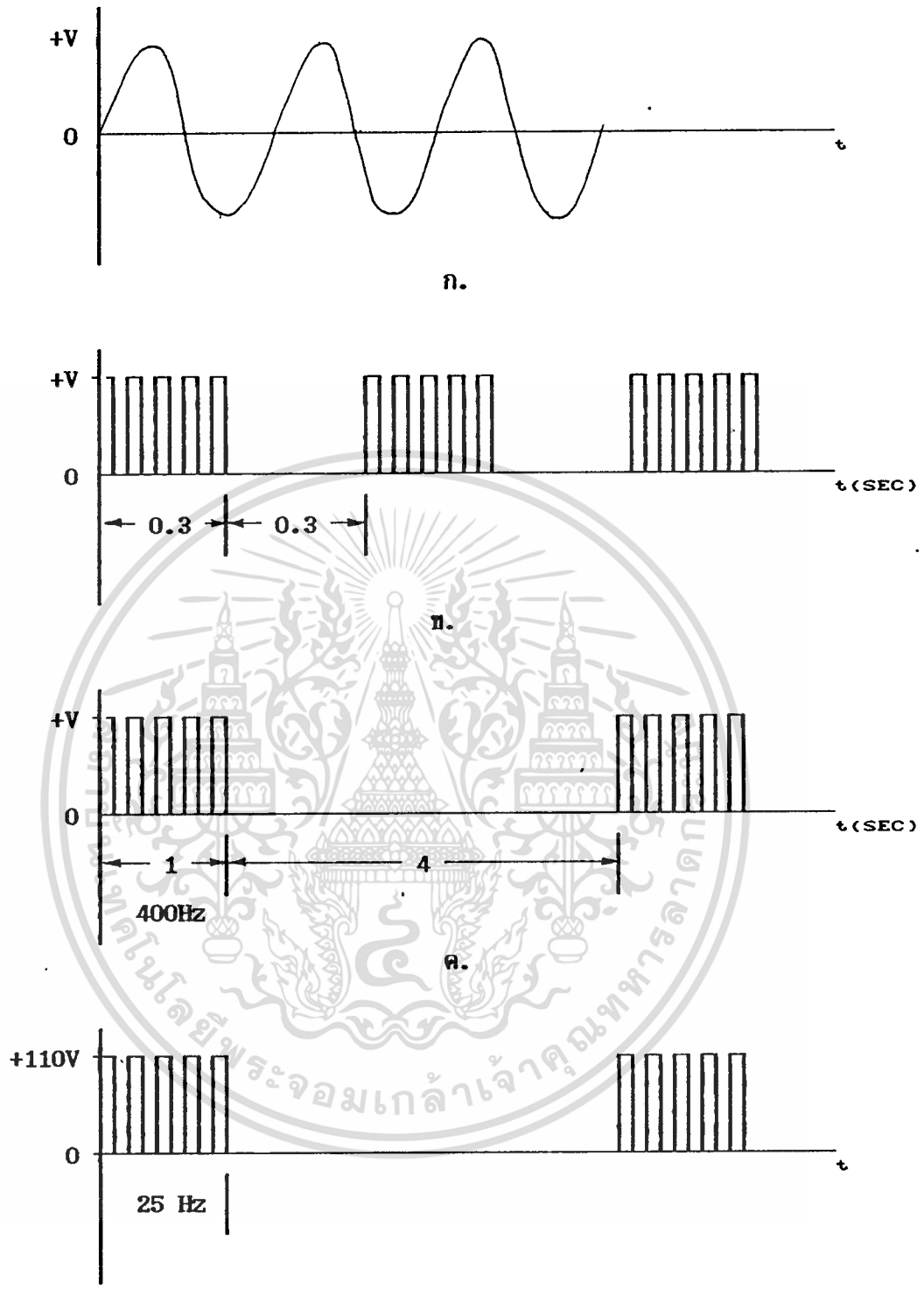
ก. สัญญาณเสียงแมวกรน ( DIAL TONE ) ใช้เพื่อแสดงให้ผู้เช่า ( subscriber ) ทราบว่า ขณะนี้ ผู้เช่าสามารถที่จะเรียกไปยังสมาชิกผู้อื่นได้ ลักษณะของสัญญาณเป็นสัญญาณเสียงต่อเนื่องความถี่ 400 Hz

ข. สัญญาณไม่ว่าง ( BUSY TONE ) เพื่อให้สมาชิกผู้เรียกทราบว่า เครื่องโทรศัพท์หมายเลขที่ต้องการจะติดต่อด้วย ขณะนี้ยังไม่ว่างควรจะวางหูสักระยะหนึ่งก่อนแล้วจึงมีการเรียกใหม่ ขนาดของสัญญาณเป็นสัญญาณความถี่ 400 Hz เป็นช่วงๆ คือ ดัง 0.3 วินาที หยุด 0.3 วินาที

ค. สัญญาณตอบกลับ ( RINGING BLACK TONE ) ใช้แสดงให้ผู้เรียกทราบว่าสามารถที่จะติดต่อกับ ผู้ที่ต้องการจะติดต่อสนทนาด้วยได้แล้ว แต่อยู่ระหว่างการรอผู้รับยกหู โดยลักษณะของสัญญาณจะดังเป็นช่วงๆ คือ ดัง 1 วินาที และหยุด 4 วินาที โดยความถี่มีค่า 400 Hz

ง. สัญญาณเรียก ( RINGING TONE ) ใช้พร้อมกับสัญญาณเรียกกลับ เมื่อสัญญาณเรียกดังก็จะมีสัญญาณเรียกกลับดังพร้อมๆ กัน แต่สัญญาณเรียกนี้จะมีแรงดันมาก เพื่อไปทำให้กระดิ่งในเครื่องโทรศัพท์ดังขึ้น โดยความถี่ที่ใช้นี้จะใช้เพียง 25 Hz แต่แรงดันจะถึง 110-150 โวลท์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 1.1 รูปลักษณะของสัญญาณต่างๆ

สัญญาณเหล่านี้จะได้จากภาคกำหนดสัญญาณซึ่งจะถูกควบคุมโดยวงจรตรวจสภาวะการยกหูและวงจรถอดรหัสดังตารางที่ 1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

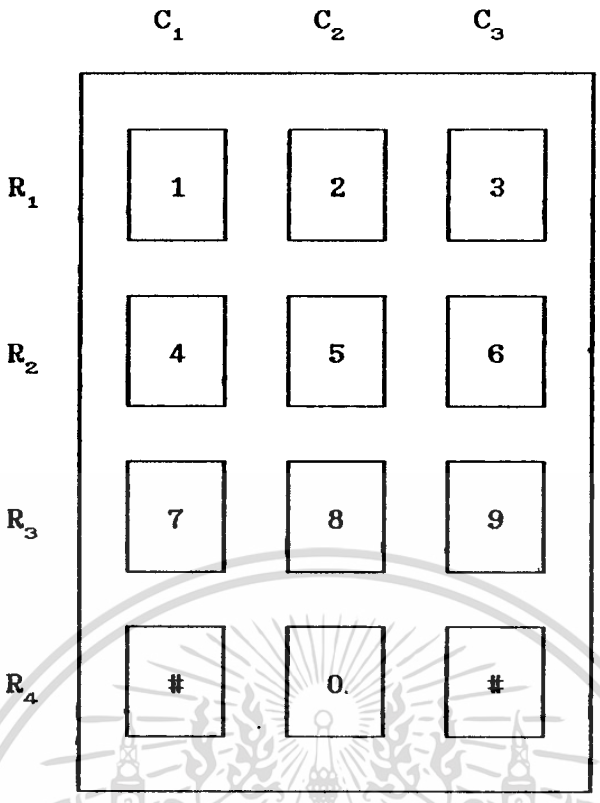
| สภาวะการยกหู | มีการเรียกเข้า | สัญญาณที่ออก |
|---|---|---|
| ไม่มี | ไม่มี | ไม่มี |
| ไม่มี | มี | RINGING |
| มี | ไม่มี | DIAL |
| มี | มี | BUSY |

ตารางที่ 1

| อินพุท | ความถี่ ( Hz ) | % ผิดพลาด |
|---|---|---|
| $R_1$ | 697 | +0.31 |
| $R_2$ | 770 | -0.49 |
| $R_3$ | 852 | -0.54 |
| $R_4$ | 941 | +0.74 |
| $C_1$ | 1209 | +0.57 |
| $C_2$ | 1336 | -0.32 |
| $C_3$ | 1447 | -0.35 |

ตารางที่ 2 แสดงความถี่ประจำหมายเลขบนแผงกดปุ่ม
ถึง % ความผิดพลาด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



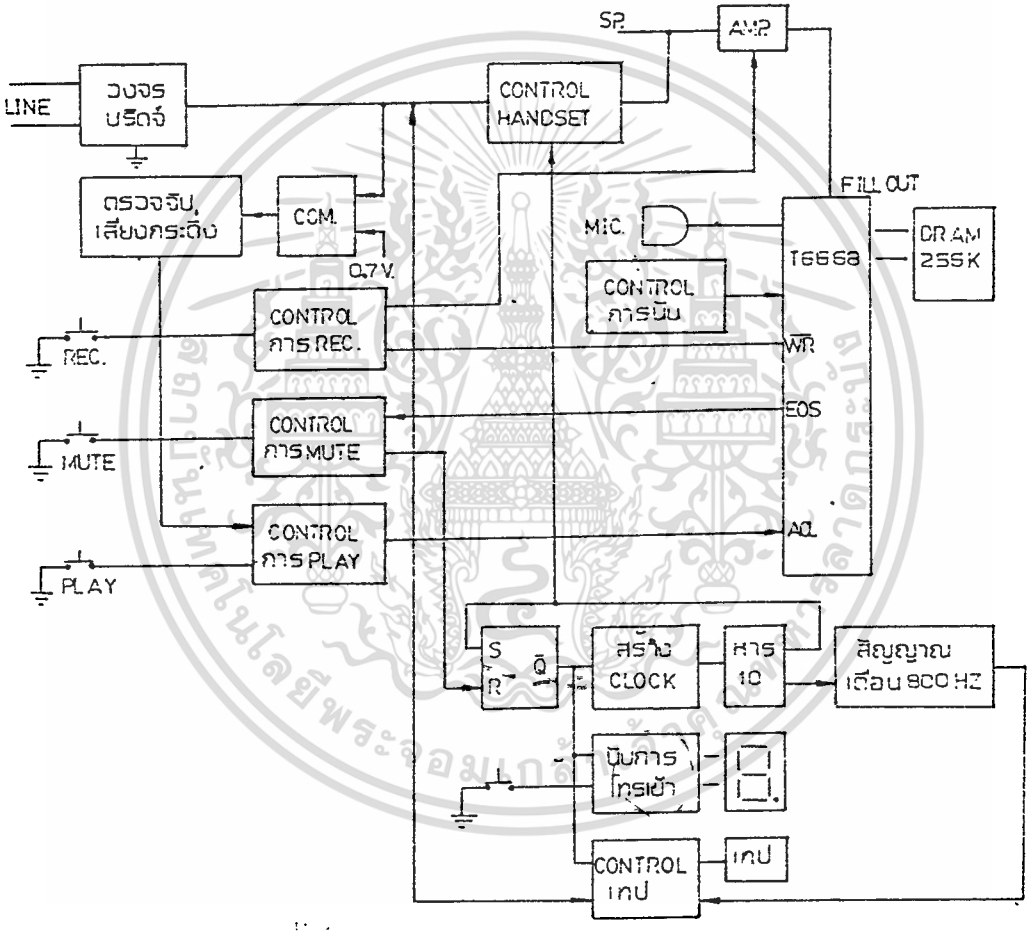

รูปที่ 1.2 แสดงตำแหน่งหมายเลขบนแผงกดปุ่ม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# บทที่ 3

## หลักการทำงานของเครื่องตอบรับโทรศัพท์

เครื่องตอบรับโทรศัพท์ที่สร้างขึ้นมา ประกอบด้วยภาคต่างๆ หลายภาค แต่ละภาคจะทำงานสัมพันธ์กัน ซึ่งเขียนเป็นบล๊อกไดอะแกรม (BLOCK DIAGRAM) แสดงการทำงานได้ดังนี้




BLOCK DIAGRAM ของเครื่องตอบรับโทรศัพท์ อัตโนมัติ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จาก block diagram สามารถอธิบายการทำงานได้ดังนี้

เริ่มด้วยเมื่อมีสัญญาณกระดิ่งเข้ามาที่ line tel. ผ่านวงจรบริดจ์ วงจรบริดจ์เป็นการกำหนดทิ้งของ line tel. ที่จะให้สัญญาณกระดิ่งเข้าในวงจรจากนั้นส่วนของการตรวจจับเสียงกระดิ่งจะเริ่มทำงานเมื่อมีสัญญาณ trig มาจาก comparator, comparator นี้จะเปรียบเทียบ voltage ระหว่าง voltage reference กับ voltage ที่มาจากเสียงกระดิ่ง ดังนั้นเมื่อมีเสียงกระดิ่งเข้ามาทำให้ voltage ที่จุดนี้สูงกว่า voltage reference จึงทำให้มีสัญญาณ trig ออกที่ out put เมื่อตรวจจับเสียงกระดิ่งทำงาน ก็จะส่งสัญญาณไปให้กับส่วนของ control การ play จากนั้นก็จะส่งสัญญาณต่อไปยัง ACL ของ T6668 ก็จะนำเสียงที่ทำการบันทึกไว้แล้วใน DRAM ออกทาง Fill Out ของ T6668 เสียงนี้จะถูกขยายออกลำโพงและอีกส่วนหนึ่งจะส่งไปยัง Line - Tel. เมื่อมีการยกหูไว้ก่อนแล้วจึงทำให้ผู้ที่โทรเข้ามานี้ ได้ยินเสียงตอบกลับมา แต่เสียงนี้จะเป็นเสียงจาก DRAM นั่นเอง

เมื่อเสียงที่ออก ไปนี้หยุดหรือหมดเวลาแล้ว ที่ EOS ของ T6668 จะเป็น High เมื่อขานี้เป็น High จะทำให้ Flip - Flop ต่ออยู่นั้น RESET $\bar{Q}$ จะเป็น High และส่งไปยังส่วนของการสร้าง clock ความถี่ต่ำ ส่งไปยังวงจรควบคุมการบันทึกเทป เพื่อให้ทำงานหรือทำการบันทึกได้เลย และส่งไปยังการ Display ของผู้โทรเข้าหรือแสดงจำนวนครั้งของการโทรเข้า เทปนี้จะหยุดการบันทึกเมื่อ มีสัญญาณเตือน 800 HZ ออกไป และเมื่อนับ 10 จะสั่งให้วงจรทั้งหมดหยุดทำงานทันที โดยดูจากวงจรหาร 10 ที่ out put ของวงจรนี้เมื่อนับ 9 จะสั่งให้สัญญาณเตือนออกไป และ เมื่อนับ 10 จะสั่งให้วงจรทั้งหมดหยุดทำงาน โดยจะไป SET Flip - Flop ให้ $\bar{Q}$ เป็น LOW และอีกส่วนหนึ่งส่งไปยัง วงจร Control การยก - การวางหูโทรศัพท์ให้ทำการวางหู ก็เป็นอันว่าสิ้นสุดการทำงานของ Block diagram นี้

ในส่วนของการบันทึกเสียงเข้า DRAM.

โดยดูจาก Block diagram เมื่อเรากด SW "REC" จะมีสัญญาณส่งไปให้วงจรการ control การ REC เมื่อวงจรนี้ได้รับสัญญาณ ก็จะส่งสัญญาณออกเป็น 2สาย สายหนึ่งจะส่งไปยัง WR ของ T6668 เพื่อให้ทำการบันทึกได้เลย และอีกสายหนึ่งจะส่งไปยังวงจร Amp. เพื่อไม่ให้ Amp. ขยายเสียงออกทางลำโพง ดังนั้นขณะทำการบันทึกเสียงอยู่นั้นจะไม่มีเสียงออกทางลำโพงเลย ซึ่งในขณะนี้ก็ทำการบันทึกเสียงได้ โดยพูด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ทาง mic และเสียงที่บันทึกนี้จะถูก Sampling แล้วเก็บไว้ใน DRAM ดังนั้นถ้าต้องการให้บันทึกเสียงนานเท่าไรก็เพิ่ม DRAM ในส่วนนี้เข้าไป แต่ในโครงงานนี้จะใช้DRAM 256K เพียงตัวเดียว สามารถบันทึกได้นาน 16 วินาที เพราะเวลาเพียงแค่นี้ก็เพียงพอสำหรับการตอบกลับแล้ว เมื่อการบันทึกเสร็จสิ้นลงที่ EOS ของ T6668 จะเป็น High ในขณะที่ทำการบันทึกเสียงอยู่นั้นจะมี LED แสดงการ REC อยู่ด้วยแต่เมื่อบันทึกเสียงเสร็จ LED แสดงการ REC นี้ จะดับแต่ LED แสดงการ MUTE จะติด โดยได้สัญญาณมาจาก ขา EOS ของ T6668

<u>ต้องการฟังเสียงที่บันทึกไว้แล้ว</u>

เมื่อต้องการฟังเสียงที่บันทึกไว้แล้วนั้นให้กด SW "PLAY" ก็จะมีสัญญาณส่งไปให้กับวงจรการ Control การ Play เมื่อวงจรนี้ได้รับสัญญาณก็จะส่งสัญญาณไปให้กับ ACL ของ T6668 เพื่อเป็นการเล่นกลับ จากนั้น T6668 ก็จัดการนำเสียงที่ทำการบันทึกไว้แล้ว ใน DRAM ออกทาง Fill out แล้วส่งให้ Amp ขยายเสียงออกทางลำโพง เราก็สามารถฟังเสียงที่ทำการบันทึกแล้วนั้นได้.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

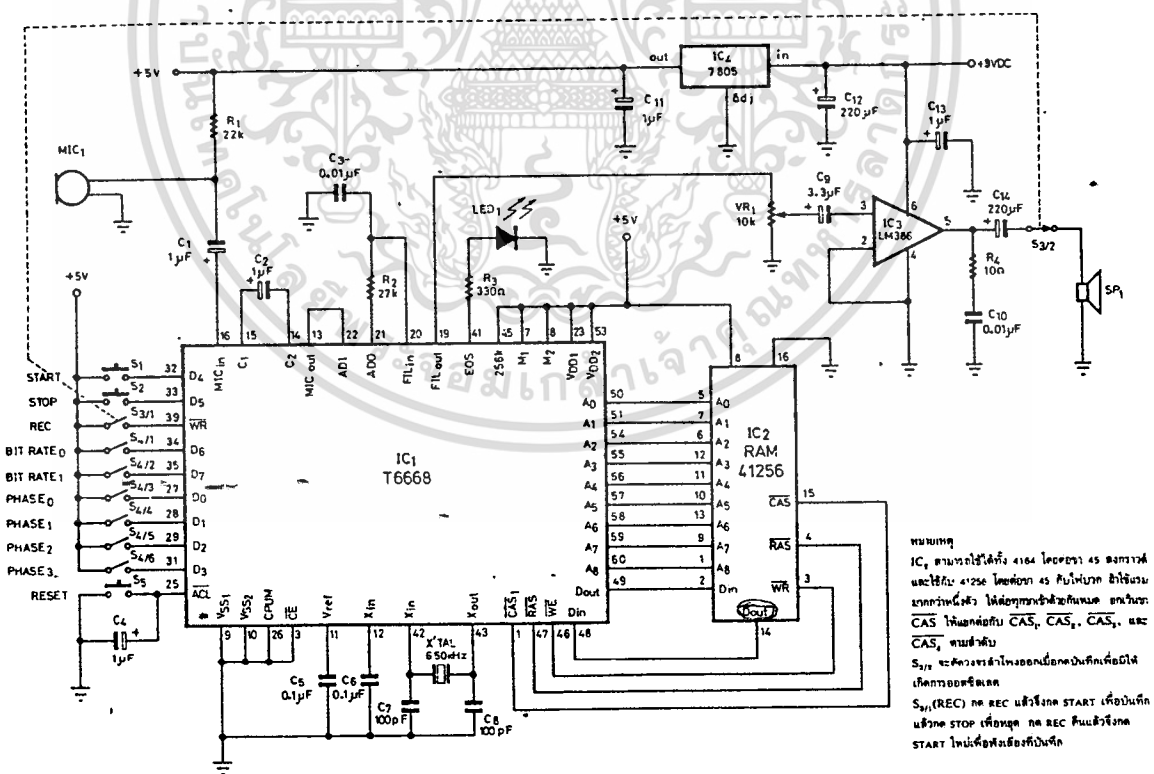
# บทที่ 4

## รายละเอียดการทำงานของวงจรเบื้องต้น

วงจรแบ่งเป็น 2 วงจรใหญ่ ๆ คือ 1. วงจรตอบรับโทรศัพท์

2. วงจรควบคุมการบันทึกเทป

ส่วนบันทึกเสียงพูดด้วยไอซีดิจิตอล ประกอบ ด้วยไอซี 1 และไอซี 2 โดยไอซี 1ทำหน้าที่บันทึกเสียงโดยใช้เทคนิค CVSD (CONTINUOUS VARIABLE SLOPE DELTAMODULATION ) หรือแปลเป็นภาษาไทยได้ว่า ระบบเดลต้ามอดูเลชั่น แบบเปลี่ยนแปลงความชันต่อเนื่อง ซึ่งภายในตัวไอซี 1 จะประกอบด้วยวงจรเปลี่ยนอนาล็อกเป็นดิจิตอล และส่วนของวงจรเปลี่ยนดิจิตอลเป็นอนาล็อค ต่ออยู่กับไดนามิคแรม เบอร์41256 ขนาด 256 K ใช้คริสตอล x1 ควบคุมความถี่ภาคออสซิเลเตอร์ดังนั้นขณะเราบันทึกเสียงเพื่อบอกข้อความไปยังผู้โทรมา จะบันทึกได้นาน 16 วินาที รูปร่างของไอซี 1 เป็น ไอซี 60 ขา แบบเซอร์เฟสเมาต์ เบอร์ T6668




รูปที่ 3.1 วงจรสมบูรณ์ของเครื่องบันทึกเสียงพูดที่ใช้ T6668 บันทึกได้นาน 16 วินาที

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ส่วนจดจำและทำกำเนิดเสียงพูด

ในที่นี้จะใช้ IC T6668 ของโตชิบาเป็น IC ADM หรือ ADAPTIVE DELTA MODULATION เป็น CHIP ประเภท CMOS LSI มีรูปร่างภายนอกเป็นแบบติดตั้งบนผิวหรือ เซอร์เฟสเมาต์ขนาด 60 ขา ต่อกับหน่วยความจำชนิดไดนามิกส์ขนาด 64 K * 1 บิต ได้โดยตรง 4 ตัว ใช้คริสตอบควบคุมความถี่สัญญาณนาฬิกา เปลี่ยนบิตเรตโดยใช้ DIP sw. เลือกหน้า (PHARSE) ของหน่วยความจำ แยกบันทึก / เล่นกลับได้ เมื่อใช้หน่วยความจำ 256 K * 1 บิต (41256) จำนวน 4 ตัว ที่บิตเรต 16 K จะบันทึกได้นาน 64 วินาที T6668 นี้มีความสมบูรณ์ในตัวค่อนข้างมาก ทางด้าน IN PUT สามารถต่อไมโครโฟนเข้ากับไอซีได้เลย ด้าน OUT PUT ต้องเพิ่มภาคขยายอีกส่วนหนึ่ง โดย T6668 จะรับสัญญาณ IN PUT เสียงพูดเข้ามาจากนั้นทำการขยายแล้วเปลี่ยนจากสัญญาณอนาล็อค เป็นสัญญาณดิจิตอล แล้วนำข้อมูลที่ได้นี้ไปเก็บไว้ที่ ไดนามิคแรม (DRAM) โดย T6668 จะทำการเลื่อนแอดเดรสที่จะนำเข้าไปเก็บเองโดยอัตโนมัติ เมื่อทำการแปลงข้อมูลจาก D/A จะใช้อัตรา 10 BIT D/A เพื่อเปลี่ยนกลับมาเป็นเสียงเช่นเดิม การอัดเข้าไปเราจะสามารถเลือกบิตเรตได้ 4 บิตเรต โดยเลือกที่ขาสัญญาณ $D_6$ , $D_7$ (ขา 34,35)

| K BPS | $D_7$ | $D_6$ |
|---|---|---|
| 8 | 0 | 0 |
| 11 | 0 | 1 |
| 16 | 1 | 0 |
| 32 | 1 | 1 |

ตารางที่ 1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากตารางที่ 1

1. ถ้าเราเลื่อนสวิทช์ $D_7$ - $D_6$ ไปที่0,0 จะทำให้อัตราความเร็วของการแปลงข้อมูลเป็น 8K บิตต่อวินาที ทำให้อัดหรือเล่นเสียงได้นาน 128 วินาที

2. $D_7$ - $D_6$ เป็น 0.1 จะทำให้อัตราการแปลงข้อมูลเป็น 11k บิตต่อวินาที ทำให้อัดหรือเล่นได้นาน 93 วินาที

3. $D_7$ - $D_6$ เป็น 1.0 ทำให้อัตราการแปลงข้อมูลเป็น 16 K บิตต่อวินาทีทำให้อัดหรือเล่นได้นาน 64 วินาที

4. $D_7$ - $D_6$ เป็น1.1 ทำให้อัตราการแปลงข้อมูลเป็น 32K บิตต่อวินาที ทำให้อัดหรือเล่นได้นาน 32 วินาที

การทดลองใช้ X-TAL 650 KHz เป็นฐานความถี่และต่อกับ RAM 256k จำนวน 4 ตัว ทำให้ความจุของ memory เพิ่มขึ้นเป็น 1M bit ดังวงจรรูปที่ 3 การอัดเมื่อเราอัดสปีดใดสปีดหนึ่งเสร็จแล้ว เราสามารถที่จะนำกลับมาเล่นในสปีดอื่นได้ ทำให้เราสามารถเร่งหรือลดสปีดของเสียงได้ตามต้องการ ถ้าเราต้องการอัดเสียงสูง. ๆ ให้ได้ผลดีควรจะใช้สปีดสูง ๆ ในการอัดด้วย จึงจะทำให้เสียงที่อัดออกมามีคุณภาพเสียงที่ดี

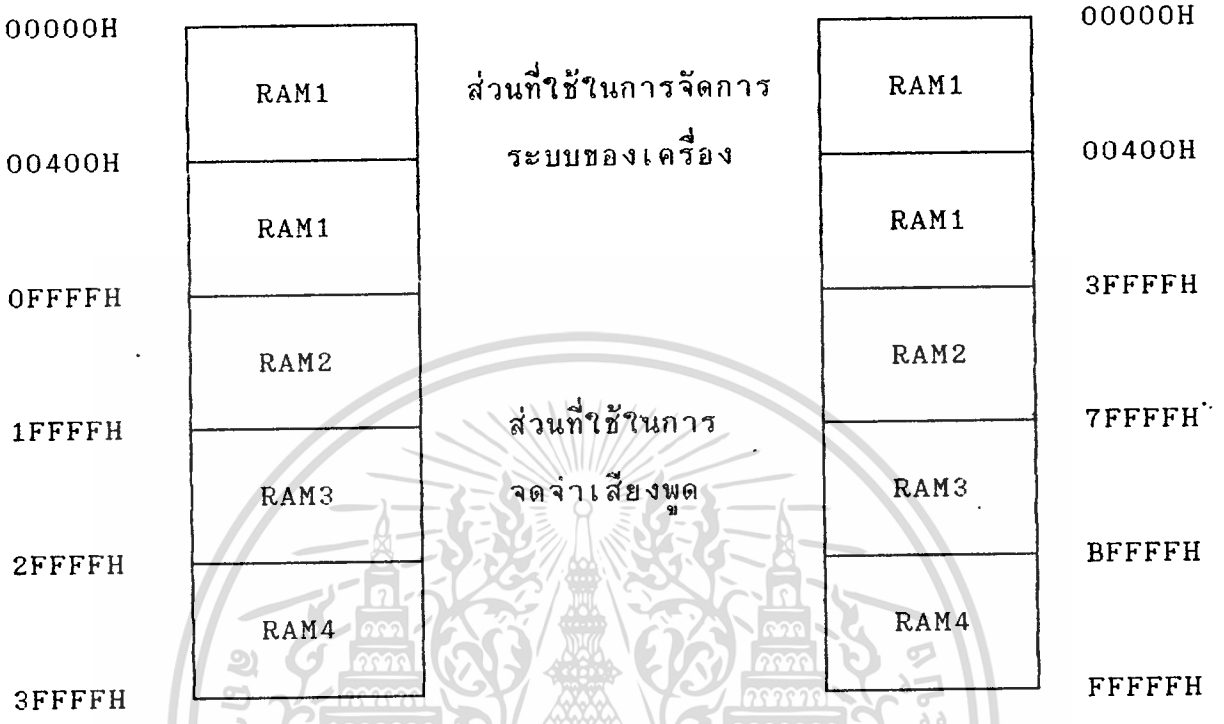
MEMORY

T6668 สามารถเลือกใช้ memory ได้ 2 ขนาดคือ 64k DRAM กับ 256k DRAM โดยการเลือกที่ขา 45 ของ IC (ที่เขียนไว้ว่า 256k) คือเมื่อเราจะต่อ DRAM 256k ให้กับ IC เราจะต้องเลือกต่อขา 45 กับไฟบวกและเมื่อเราต้องการต่อ DRAM 64k ให้กับ IC เราต้องต่อขา 45 กับกราวด์ T6668 ก็จะรู้ว่าเราใช้ memory ขนาดเท่าใดกับมัน

การเพิ่ม memory ให้กับ IC T6668 สามารถกำหนดได้โดยการต่อขา $M_2$ (ขา 8),$M_2$ (ขา 7) ตามตารางที่ คือ ถ้าเราต่อ $M_2$,$M_1$ ลงกราวด์ T6668 จะทำการเขียนหรืออ่านข้อมูลจาก 00000H ไปจนถึง 0FFFFH แล้วตัวมันเองก็จะเลิกการอ่านหรือการเขียนมารอการเริ่มต้นใหม่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดังนั้นเราจึงกำหนดขนาดของ memory ได้ตามต้องการเพื่อการประหยัดในการนำไปใช้งานที่ต้องการขนาด memory ต่างกันได้




รูปที่ 3.2 แผนภูมิของ memory ที่ใช้ในการทำงานทั้ง 2 แบบ

| ระยะเวลา / ช่อง | $D_7$ | $D_6$ |
|---|---|---|
| 128 วินาที | 0 | 0 |
| 93 วินาที | 0 | 1 |
| 64 วินาที | 1 | 0 |
| 32 วินาที | 1 | 1 |

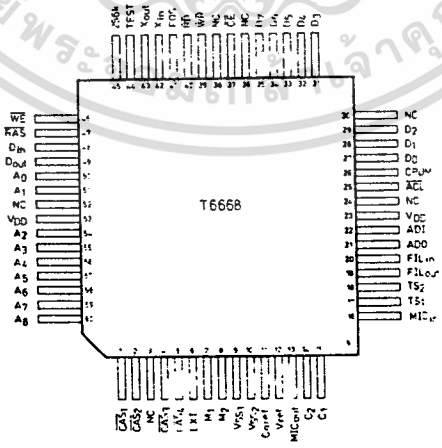
ตารางที่ 2 รูปที่ 3.3 วิธีการต่อ RAM เพิ่มเติม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

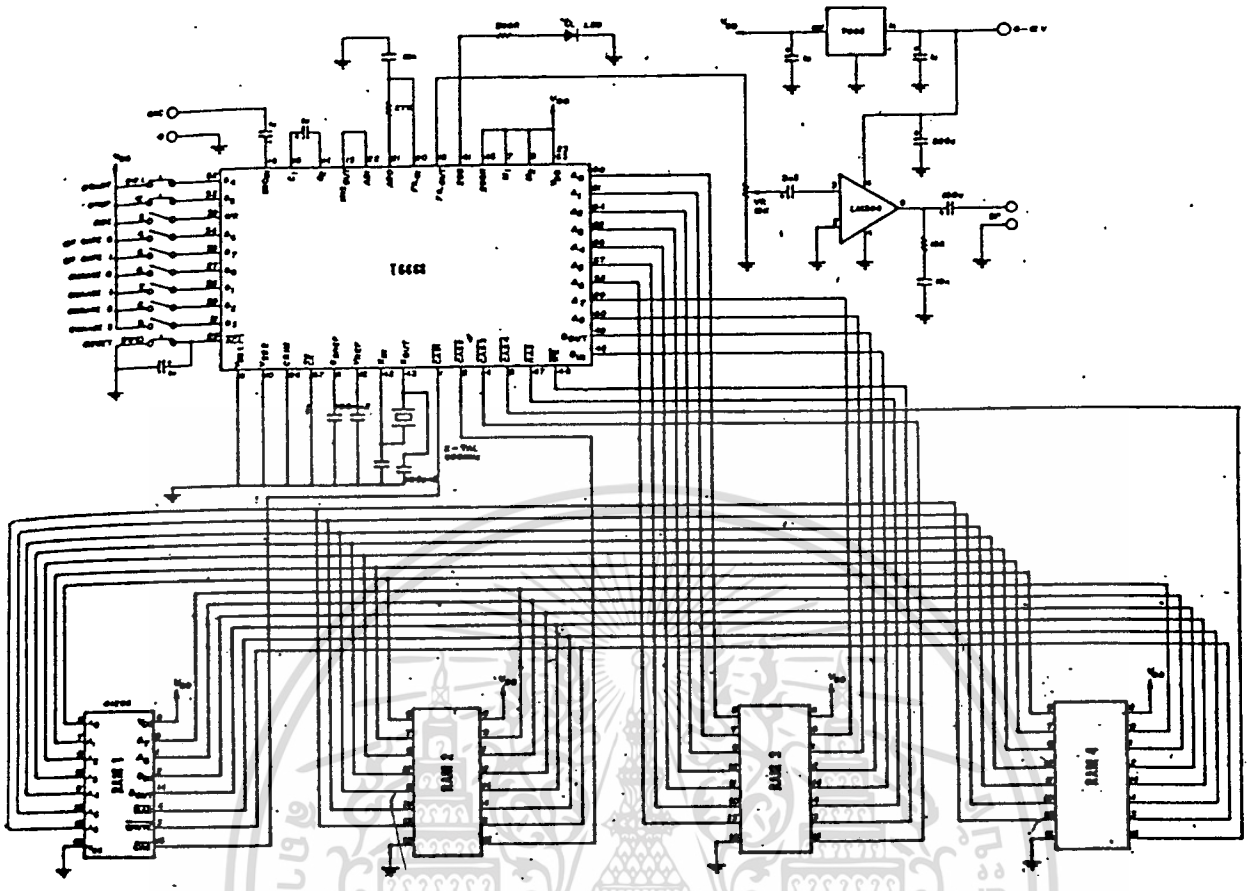
แผนภูมิของ memory ที่ใช้ในกจรทำงานทั้งสองแบบ ตามรูปที่ 3.2 การต่อ memory เพิ่มเติมทำโดยการง้างขา CAS (ขา 15 ของ 41256) ออกมาแล้วซ้อนทับไป IC เข้าไป จากนั้นก็ต่อขา CAS ไปยัง CAS2,CAS3,CAS4 ของ IC T6668

| ชนิดของ RAM | 256K | $M_2$ | $M_1$ | ADDRESS ที่หยุด |
|---|---|---|---|---|
| 64K DRAM ตัวที่ 1 | 0 | 0 | 0 | 0FFFFH |
| 64K DRAM ตัวที่ 2 | 0 | 0 | 1 | 1FFFFH |
| 64K DRAM ตัวที่ 3 | 0 | 1 | 0 | 2FFFFH |
| 64K DRAM ตัวที่ 4 | 0 | 1 | 1 | 3FFFFH |
| 256K DRAM ตัวที่ 1 | 1 | 0 | 0 | 3FFFFH |
| 256K DRAM ตัวที่ 2 | 1 | 0 | 1 | 7FFFFH |
| 256K DRAM ตัวที่ 3 | 1 | 1 | 0 | BFFFFH |
| 256K DRAM ตัวที่ 4 | 1 | 1 | 1 | FFFFFH |

ตารางที่ 3




เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.4 ตัวอย่างวงจรเมื่อต่อ RAM 4 ตัว

การใช้งานในแบบธรรมดา

1. เปิดเครื่องจะเห็น LED ติดอยู่

2. กดสวิทช์ไปที่อัดค้างไว้ (CE จะต้องต่อกับกราวด์ด้วย)

3. เลือกช่องที่จะอัดเข้าไป โดยช่องที่จะอัดมี 4 ช่อง สวิทช์นี้เป็นไบนารี่โค๊ต

4. เลือกสปีดโดยตั้ง $D_7$ - $D_8$ ได้ตามต้องการ (เวลาที่แสดงนี้ใช้ memory 1 M บิท

5. กดปุ่มสวิทช์ START แล้วไฟที่ LED จะดับ แสดงว่าเครื่องกำลังอัดคำพูดเข้าไปเก็บ เมื่อพูดจนพอใจแล้วจึงกดสวิทช์ STOP อีกครั้งหนึ่งไฟที่ LED จะสว่าง ในกรณีที่เราพูดนานเกินกว่าเวลาที่กำหนดเครื่องจะหยุดการอัดโดยอัตโนมัติ ไฟที่ LED จะสว่างขึ้นมาเพื่อบอกให้เรารู้ว่าเป็นการสิ้นสุดขั้นตอนการอัดใน 1 ช่อง

6. ถ้าเราต้องการอัดในช่องอื่น ๆ อีกก็ทำเช่นเดียวกัน ตั้งแต่ต้นจนถึงข้อ 5 (เวลารวมของแต่ละช่องต้องไม่เกินเวลาที่ได้กำหนดไว้)

7. การอ่านทำโดยการยก สวิทช์ WR ขึ้น (CE ต่อกราวด์เหมือนเดิม)

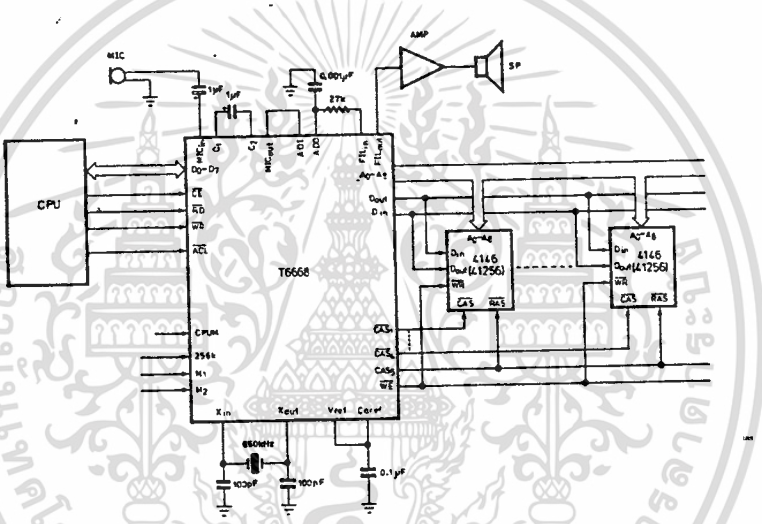
8. เลือกช่องที่จะอ่านและสปีด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

9. กดสวิทช์ START เครื่องจะพูดตามที่อัดไว้ ถ้าเรากดสวิทช์ซ้ำกันหลายครั้งในระหว่างพูด เครื่องจะจำได้ว่ามีการกดสวิทช์ START ขึ้นเพียงครั้งเดียวและจะพูดซ้ำอีกเมื่อพูดจบ

10. เมื่อต้องการให้เครื่องพูดติดต่อกัน ทำโดยเลือกช่องแรก กด START เสร็จแล้วแปลี่ยนช่องแล้วกดสวิทช์ซ้ำอีกทีหนึ่งเครื่องจะพูดซ้ำอีกตามต้องการได้

จากที่กล่าวมาข้างต้นจึงทำให้เครื่องนี้สามารถตัดต่อคำพูดได้ พูดซ้ำได้เร่งหรือลดสปีดคำพูดได้ เครื่องนี้สามารถควบคุมได้จาก CPU โดยตรง ซึ่งทำให้สามารถไปประยุกต์ใช้งานต่าง ๆ ได้ตามต้องการ

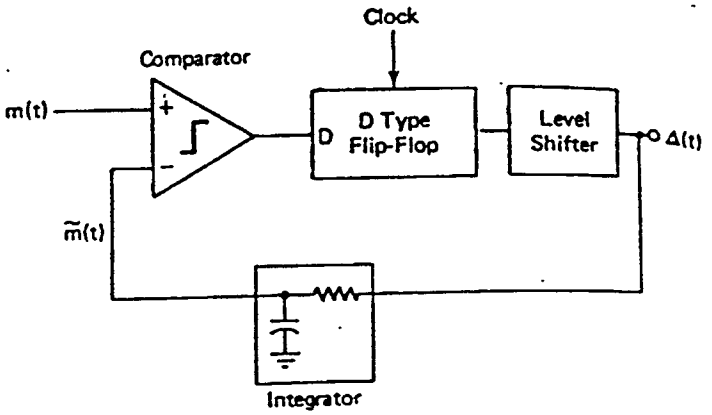


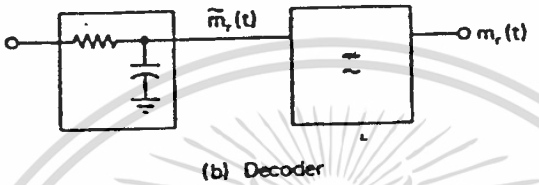

รูปที่ การต่ออินเตอร์เฟส T6668 เข้ากับ CPU เพื่อควบคุมการทำงาน

เดลต้า มอดดูเลชั่น (Delta Modulation)

เดลต้ามอดดูเลชั่น (DM) เป็นวิธีการหนึ่งของดิจิตอลมอดดูเลชั่น (Digital Modulation) ถูกนำไปใช้งานในด้านการสื่อสารดาวเทียม การส่งโทรทัศน์และระบบโทรศัพท์ เดลต้ามอดดูเลชั่น เป็นวิธีการที่ยุ่งยากน้อยกว่า และค่าใช้จ่ายถูกกว่าระบบ พีซีเอ็ม (PCM) นอกจากนี้มันยังให้การผิดพลาดในการส่งข้อมูลน้อยกว่า และไม่ต้องการการซิงโครไนซ์ (Synchronization) ของข้อมูลเหมือนกับระบบพีซีเอ็ม แต่มันมีข้อเสียคือ มันมีความไวต่อการเปลี่ยนแปลงความชันเกินขนาด (slope overload) ของวงจรอินทิเกรเตอร์ (integgrator) และใช้กับระบบเวลาร่วม (time sharing) ไม่ได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



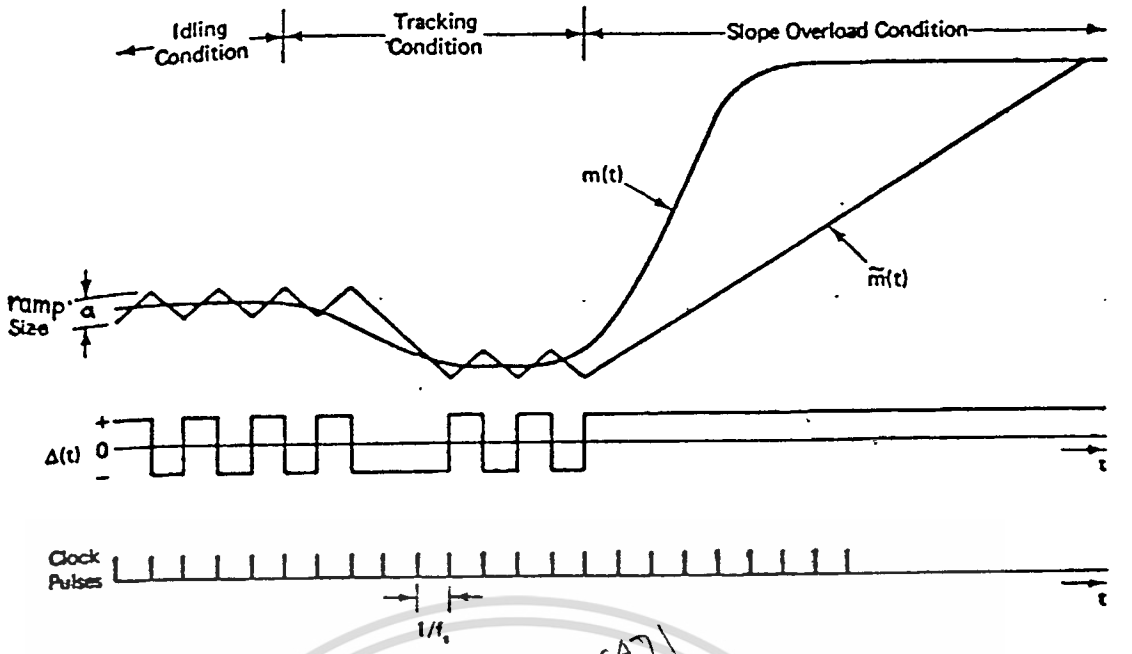




รูปที่ 3.5 Delta Modulator

เทคนิคของเดลต้ามอดดูเลชั่นจะใช้การสุ่มสัญญาณหนึ่งจุดแล้วเปรียบเทียบความสูงหรือการเปลี่ยนแปลงของสัญญาณอินพุทนั้น ข้อมูลที่ได้ก็คือทิศทางของการเปลี่ยนแปลงซึ่งก็มีเพียงขึ้นหรือลงเท่านั้น ดังนั้นความกว้างของข้อมูลดิจิตอลจึงใช้เพียงบิทเดียวก็เพียงพอ ข้อดีของวิธีการเดลต้ามอดดูเลชั่นก็คือ ใช้หน่วยความจำน้อยกว่าวิธีการอื่น ๆ

เดลต้ามอดดูเลเตอร์จะส่งกลุ่มข้อมูลไบนารี่ออกมาโดยที่ขั้วของมันหรือระดับลอจิกจะขึ้นอยู่กับสัญญาณอินพุทปัจจุบัน และสัญญาณอินพุทซึ่งผ่านวงจรฟิตแบคอินทิเกรเตอร์ ในรูปที่ 3.5 สัญญาณส่วนฟีดแบค $\tilde{m}(t)$ จะถูกเปรียบเทียบกับสัญญาณอินพุท $m(t)$ ถ้าสัญญาณ $M(t)$ มากกว่า $\tilde{m}(t)$ มันจะให้สัญญาณดิจิตอลที่มีระดับลอจิกสูงที่มีคาบเวลา $(t)$ และถ้า $m(t)$ น้อยกว่า $\tilde{m}(t)$ พัลส์ลบจะถูกสร้างออกไป เอาท์พุท จากการเปรียบเทียบนี้ จะถูกป้อนผ่านฟลิบฟลอบที่ควมคุมด้วยสัญญาณนาฬิกาความถี่ fs ในรูป 3.6 เพื่อให้ได้เป็นข้อมูลดิจิตอล ซึ่งก็คือ การกำหนดอัตราการสุ่มสัญญาณนั้นเอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



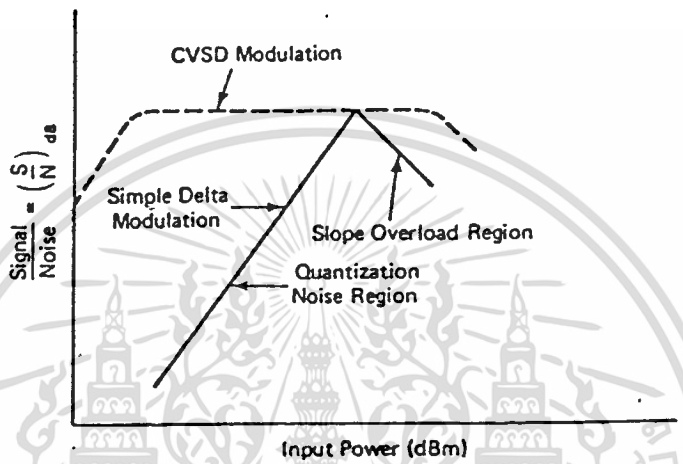

-206471

รูปที่ 3.6 Delta Modulation Waveforms lllustrating ldling, Tracking, and Slope Overload

รูปกราฟที่ได้แสดงในรูปที่ 3.6 แสดงถึงการทำงานของเดลต้ามอดดูเลเตอร์ รูปทางด้านซ้ายมือจะเป็นชุดของสัญญาณสามเหลี่ยม (trangular waveforms) ซึ่งสร้างมาจากวงจรอินทิเกรเตอร์ คือสัญญาณ m(t) เมื่อไม่มีสัญญาณอินพุทที่จะป้อนเข้าเดลต้ามอดดูเลเตอร์ เนื่องจากวงจรอินทิเกรเตอร์จะให้สัญญาณลาด _(ramp) ที่มีค่าความชันคงที่ ดังนั้นในสภาพคงที่ (ldlingcondition) สัญญาณที่ถูกส่งออกไปจะประกอบด้วยพับซ์บวกและพัลซ์ลบต่อเนื่องกันไป ความแตกต่างระหว่างสัญญาณอินพุทเดิม m(t) และสัญญาณที่สร้างขึ้นใหม่ m̃(t) จะก่อให้เกิดผลของความผิดพลาดได้ ซึ่งเรียกว่า กรานูล่าร์ หรือ ควอนไทเซชั่นนอยส์ (quantization noise) ซึ่งสามารถลดลงได้โดยการลดขนาดของช่วง a หรือโดยการเพิ่มความถี่ของการสุ่ม (sampling frequency) ถ้าสัญญาณอินพุท m(t) มีขนาดพอ ๆกันกับสัญญาณฟีดแบค m̃(t) พัลซ์ที่ได้ทางเอาท์พุทยังคงเป็นบวกอยู่ แต่ถ้าสัญญาณอินพุทเกิดการเปลี่ยนแปลงเร็วกว่าวงจรเข้ารหัส (Encoder) จะตามทัน จะเกิดการเปลี่ยนแปลงความชันเกินขนาดขึ้น ซึ่งแสดงให้เห็นทางด้านขวามือของรูปที่ 3.6 ก่อให้เกิดการผิดพลาดขึ้นในขบวนการเดลต้ามอดดูเลชั่น เนื่องจากวงจรอินทิเกรเตอร์ไม่สามารถตามการเปลี่ยนแปลงของระดับของสัญญาณขนาดใหญ่หรือสัญญาณที่มีความถี่สูงได้ ซึ่งสิ่งเหล่านี้เป็นข้อจำกัดของเดลต้ามอดดูเลชั่น เพราะถ้าเราต้องการคุณภาพของสัญญาณที่ดี ความถี่ของสัญญาณนาฬิกาก็จะต้องยิ่งมีค่าสูงมากขึ้นเท่านั้นซึ่งก็สิ้นเปลืองหน่วยความจำตามไปด้วย ความถี่ที่เพียงพอใน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ทำซ้ำดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การใช้งานจะต้องลองนำสัญญาณเอาท์พุทที่ได้ผ่านวงจรดีมอดดูเลเตอร์ในรูป 3.6 แล้วดูคุณภาพของสัญญาณที่ได้ โดยทั่วไปแล้วสำหรับคุณภาพเสียงพูดจากโทรศัพท์ซึ่งมีแถบกว้างประมาณ 4 KHz จะใช้ความถี่สุ่มประมาณ 16 KHz ความถี่นี้เป็นตัวกำหนดอัตราเร็วของข้อมูล (bit rate) ซึ่งเท่ากับ 16000 บิทต่อวินาที (bps)




รูปที่ 3.7 Signal-to Noise for Simple and Adaptive Delta Modulation

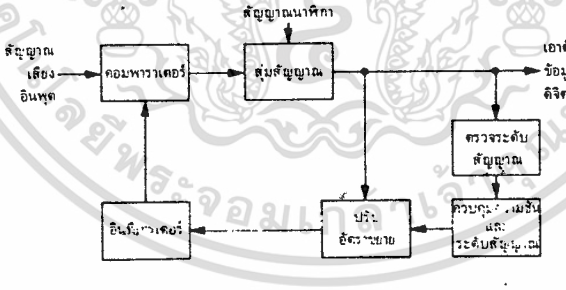
จากรูป 3.7 แสดงให้เห็นความสัมพันธ์ระหว่างอัตราของสัญญาณต่อสัญญาณรบกวน (S/N Ratio) กับขนาดของสัญญาณอินพุท โดยจะเห็นได้ว่าอัตราส่วนของสัญญาณรบกวนของเดลต้ามอดดูเลชั่นแบบธรรมดา (Simple delta modulation) นั้น จะมีค่าไม่คงที่เมื่อเทียบกับขนาดของสัญญาณอินพุท กล่าวคือ ถ้าสัญญาณอินพุทมีระดับต่ำ จะมีเสียงรบกวนมาก เนื่องจากควอนไดเซชั่นนอยส์ แล้ถ้าระดับของสัญญาณอินพุทสูงเกินไปก็จะเกิดสัญญาณรบกวนจากการเปลี่ยนแปลงความชันเกินขนาด ซึ่งสิ่งเหล่านี้จำกัดขีดความสามารถของเดลต้ามอดดูเลชั่น นอกเหนือไปจากข้อเสียอื่น ๆ อีกคือ แถบกว้างของความถี่ใช้งานซึ่งถูกจำกัดโดยความถี่สัญญาณนาฬิกา ซึ่งจะต้องสูงกว่าความถี่สูงสุดของสัญญาณอินพุทมากกว่าสองเท่าขึ้นไป อีกอันหนึ่งก็คือ ความเร็วของการเปลี่ยนแปลงความสูงของสัญญาณ ระบบเดลต้ามอดดูเลชั่นแบบธรรมดามีช่วงไดนามิคที่แคบ จำเป็นต้องมีส่วนเพิ่ม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

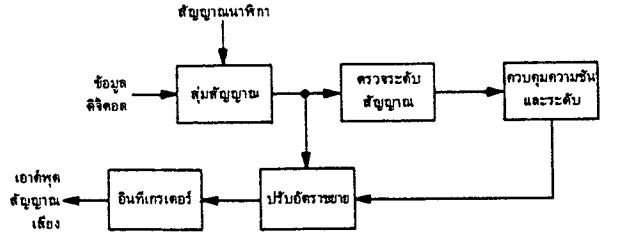
เติมทำหน้าที่ขยายย่านไดนามิคให้กว้าง โดยการควบคุมอัตราการขยายของอินทิเกรเตอร์ เพื่อให้ตอบสนองต่อสัญญาณที่มีความชันมาก ๆ ได้ทัน และยังต้องสามารถลดสัญญาณรบกวนลงได้ในย่านของการเปลี่ยนแปลงของสัญญาณอินพุทที่กว้างเพียงพอ ระบบนี้มีชื่อใหม่ว่า ระบบเดลต้ามอดดูเลชั่นแบบเปลี่ยนแปลงความชันต่อเนื่อง หรือ CVSD (Continuous Variable Slope Delta MOdulation) หรือบางทีเรียกว่า อแดปตีฟ เดลต้ามอดดูเลชั่น (Adaptive Delta Modulation)

ด้วยวิธีการของ CVSD นี้ มันจะสามารถให้ ซิกแนลทูนอยส์เรโชที่คงที่ได้มากกว่า ดังแสดงในรูป 3.7 เนื่องจากความสามารถของตัวมันในการที่จะปรับตัวเองให้เหมาะสมกับขนาดของสัญญาณอินพุท โดยการเปลี่ยนแปลงขนาดของช่วง a ในรูป3.8 ให้เหมาะสมกับสัญญาณอินพุท ถ้าสัญญาณอินพุทมีขนาดเล็กช่วง a นี้จะแคบเข้า และจะกว้างออกเมื่อสัญญาณอินพุทมีขนาดใหญ่ ข้อดีนี้ทำให้มันมีอัตราส่วนของสัญญาณต่อสัญญาณรบกวนสูงและคงที่ และย่านไดนามิคของมันยังกว้างเพิ่มขึ้นกว่าเดิมด้วย

การทำงานของ CVSD นี้ แสดงเป็นบล็อคไดอะแกรมให้เห็นในรูปที่ 3.8 จะเห็นว่า การทำงานของวงจรจะขึ้นอยู่กับอัตราการขยายของวงจรในส่วนป้อนกลับ โดยจะมีอัตราขยายเพิ่มขึ้นถ้าขนาดของสัญญาณใหญ่ขึ้น และน้อยลงเมื่อขนาดของสัญญาณเล็กลง

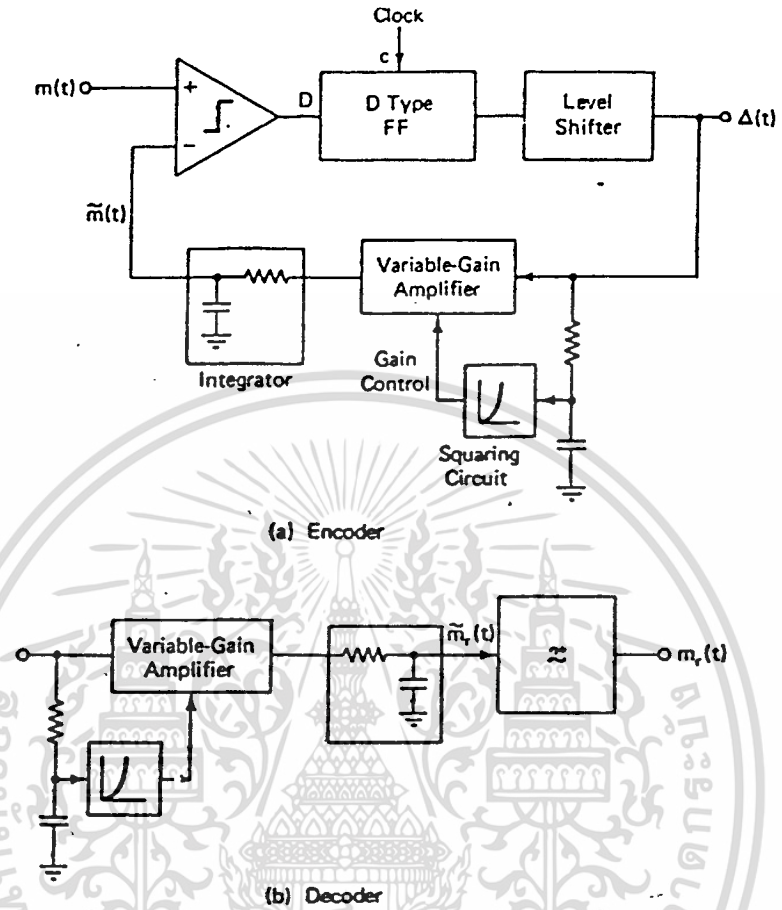



แผนผังการทำงานของระบบ CVSD ในส่วนของการแปลงจากสัญญาณเสียงเป็นข้อมูลดิจิตอล




แผนผังการทำงานของระบบ CVSD ในส่วนแปลงกลับจากดิจิตอลเป็นสัญญาณเสียง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 3.8 Variable Slope Delta Modulator

ข้อดีอีกประการหนึ่งของ CVSD เมื่อเทียบกับระบบ PCM แล้ว ระบบ CVSD จะใช้อัตราเร็วของข้อมูลต่ำกว่าครึ่งหนึ่ง สำหรับคุณภาพของสัญญาณที่ใกล้เคียงกัน เช่นระบบ PCM ต้องการ 64 kbps ในขณะที่ CVSD ต้องการเพียง 32 kbps เท่านั้น

แต่ข้อเสียของ CVSD ก็คือ มันไม่สามารถจะใช้กับระบบเวลาร่วมในการส่งสัญญาณหลาย ๆ ช่องได้ และไม่สามารถเข้ารหัสแบบเฟสสำหรับส่งสัญญาณผ่านโมเด็มในระยะทางไหล ๆ ได้เช่นกัน

ในปัจจุบันมีชิพที่เป็น CVSD ออกมาจำหน่ายหลายแบบด้วยกัน เช่น เบอร์ VP2500 ของประเทศไต้หวัน เบอร์ HC55516/55532 ของบริษัท แฮริส และ เบอร์ T6668 ของบริษัทโตชิบา เบอร์ FX209 ของ CMA (อเมริกา) และในโครงการนี้จะใช้ไดชี CVSD เบอร์ T6668 ของอเมริกา

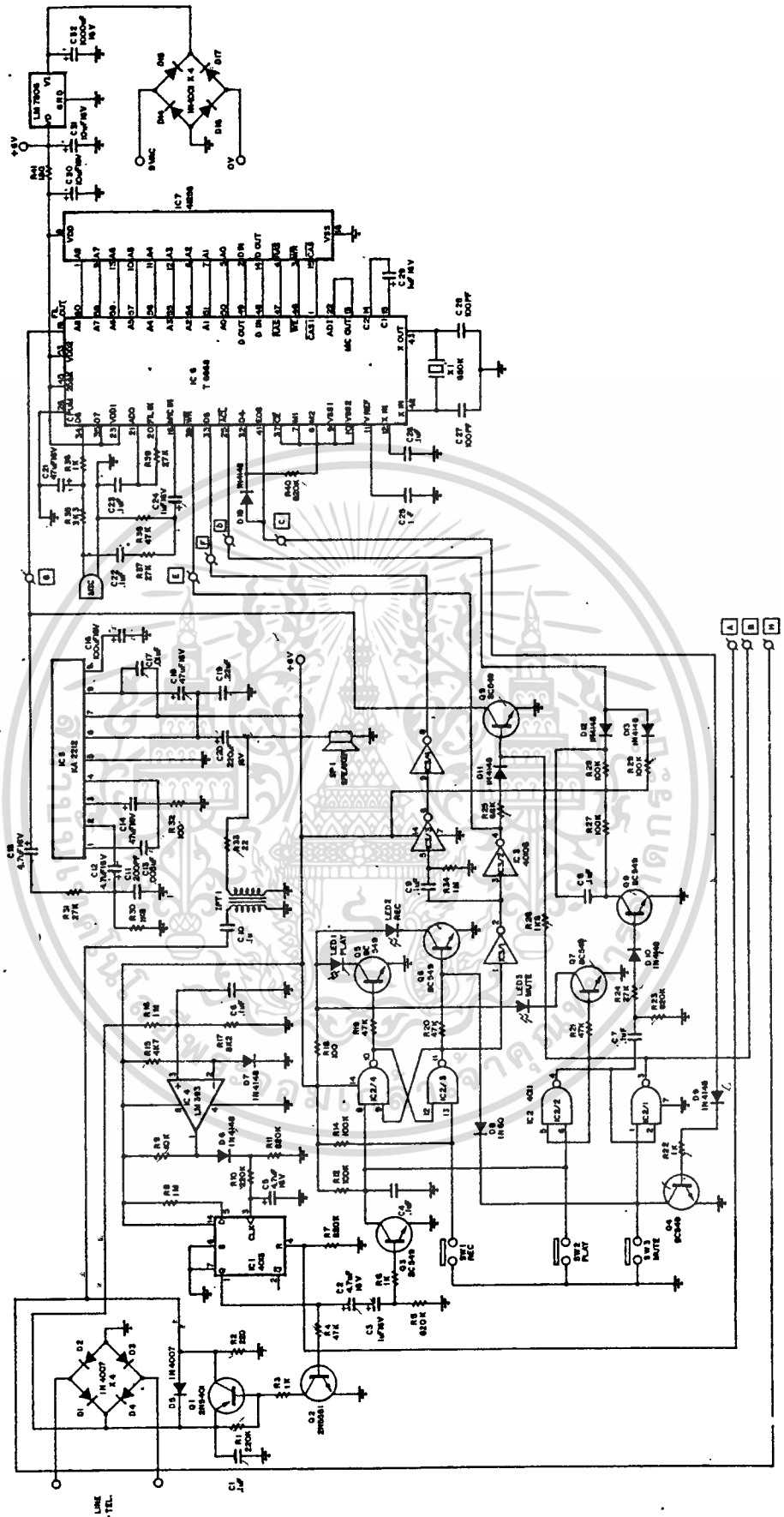
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อธิบายการทำงานของวงจรที่ใช้ในโครงงานนี้

เมื่อเปรียบเทียบวงจรในรูปที่ 3.1 กับรูป 3.9.1 แล้วจะเห็นได้ว่ามีส่วนเพิ่มเติมเข้ามาอีกเป็นจำนวนมาก เพื่อที่จะนำไปใช้กับงานจริงได้ และอีกส่วนหนึ่งเป็นส่วนที่ใช้ในการควบคุมเทป ที่จะใช้ในการบันทึก โดยที่ทั้ง 2 วงจรนี้จะทำงานร่วมกัน เราสามารถอธิบายการทำงานของวงจรนี้ได้ดังนี้

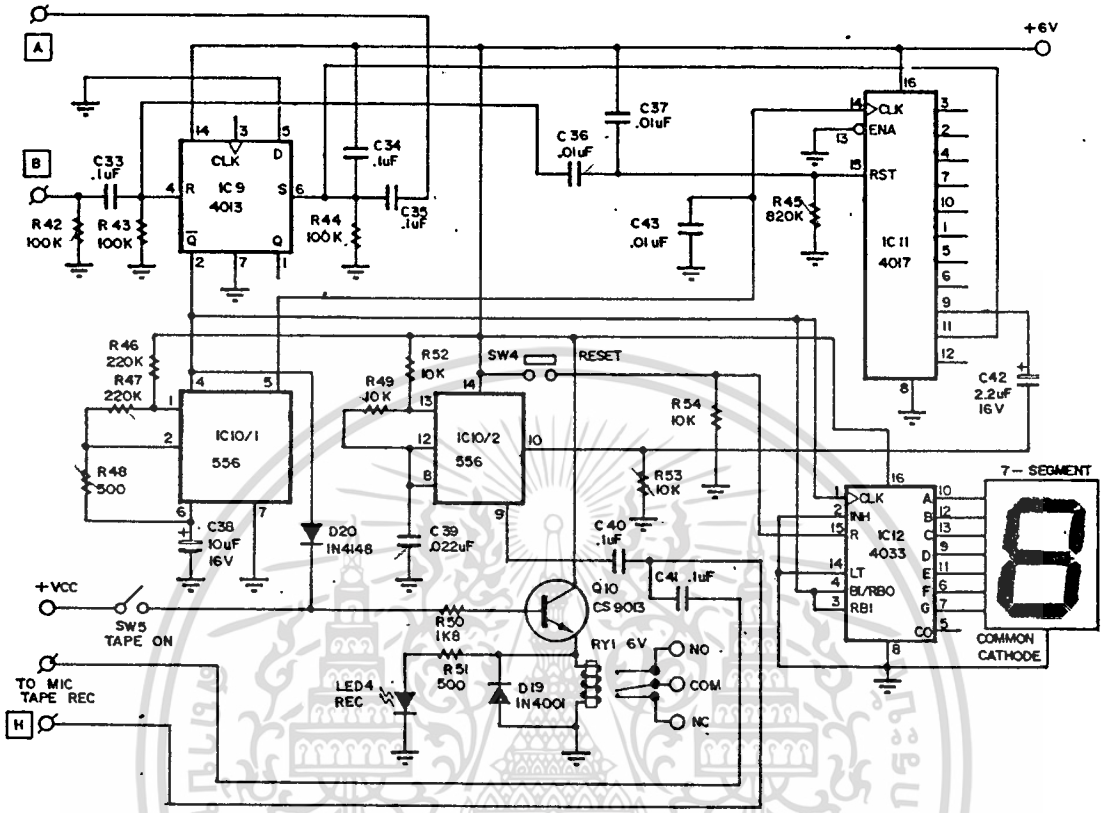
เมื่อพิจารณาตามรายละเอียดของแต่ละขาแล้ว สามารถอธิบายการทำงานเป็นดังนี้คือ ที่ขา19 (FIL out) จะถูกต่อมายังวงจรขยายเสียงเข้าทางอินพุท ที่ขา 2 โดยผ่าน C 15,R 31 และ C 12 เข้าที่ขา 2 เพื่อทำการขยายเสียงออกลำโพงขา 39 (WR) ขานี้จะถูกควบคุมโดยไอซี 2/3 และไอซี 3/1 และ 3/2 เมื่อทำการบันทึก ขานี้จะมีระดับลอจิกโลว์ ขา 33 (D5) ขานี้จะถูกควบคุมด้วยไอซี 3/3 และ 3/4 เพื่อหยุดการนับของเค้าท์เตอร์สำหรับการเล่นกลับขา 25 ACL จะถูกควบคุมด้วย Q8 ร่วมกับ D12, D13 และ R28,R29 เพื่อทำรีเซ็ทการเล่นกลับด้วยแอคทีฟโลว์ ขา41 (EOS) ขาเอ้าท์พุทไฮเมื่อจบการบันทึก จะถูกส่งไปควบคุม Q4 โดยผ่าน D9 และ R22 ไอซี 2/4 และไอซี2/3 เป็น วงจรฟลิบฟลอป เอ้าท์พุทที่ขา 10 และขา 11 ไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.9.1 วงจรส่วนตอบรับโทรศัพท์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 3.9.2 วงจรควบคุมการบันทึกเทป

ควบคุมทรานซิสเตอร์ $Q_5$ และ $Q_6$ แสดงภาวะการทำงานการเล่นกลับ (PLAY)และการบันทึก (REC)ไอซี 2/1 และไอซี 2/2 ต่อเป็นวงจรฟลิปฟลอปเช่นเดียวกัน ถ้าเราจะทำการบันทึกขณะเปิดเครื่องครั้งแรกเมื่อกดสวิตช์ $SW_1$ จะทำให้เอ้าท์พุทของฟลิปฟลอปที่ขา 11 เป็นไฮ $Q_6$ จะทำงานทำให้ $LED_2$ ติดจะเห็นว่าเอ้าท์พุทที่ขา 11 ถ้าถูกต่ออยู่กับขา 1 ของไอซี 3 ผ่านไอซี 3/1 และไอซี 3/2 ส่งไปควบคุม WR ให้ไอซี 6 ทำการบันทึก$Q_5$ จะทำงานเป็นการชื้อตอินพุทของวงจรขยายเสียง ขณะทำการบันทึกจึงไม่มีเสียงออกทางลำโพง เมื่อการบันทึกจบลงที่ขา ESO จะส่งเอ้าท์พุทไฮออกมา เป็นผลให้ $Q_4$ ทำงาน mute เช่นเดียวกัน เมื่อ $Q_4$ ทำงาน $Q_4$ จะชื้อตระดับลอจิกไฮที่ขา 11 ผ่าน $D_8$ ทำให้ $Q_6$ หยุดการทำงาน LED $_2$ ที่แสดงสภาวะ REC ดับลงเมื่อการบันทึกเสร็จสิ้นลง เมื่อเรากดปุ่ม play ที่อินพุทฟลิปฟลอปไอซี 2/2 ขา 6 จะเป็นโลว์ฟลิปฟลอป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น ไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเอกสารทุกครั้งที่มีการนำไปใช้

จะเปลี่ยนสเตท โดยที่ขา 3 ของไอซี 2/1 จะเป็นโลว์ LED $_3$ แสดง mute จะดับ และเอ้าท์พุท IC 2/4 ที่ขา 10 จะเป็นไฮ LED $_1$ จะติดแสดง play ที่ขา 4 ของไฮซี 2/2 เป็นไฮซี จะมีผลทำให้ Q $_8$ ทำงานเป็นช่วงสั้นๆเพราะ $C_7$ จะทำการชาร์ทระดับลอจิกไฮเข้ามาจน C $_7$ เก็บประจุเต็ม เมื่อ Q $_8$ ทำงานมีผลทำให้ที่ขา ACL เป็นโลว์ เป็นการรีเซ็ทไอซี 6 ให้เริ่มทำการเล่นกับ ดังนั้นเมื่อใดที่ต้องการบันทึกก็ทำการกด SW $_1$ (REC) และเมื่อใดต้องการเล่นกลับก็กด SW $_2$ (play) จากนั้นเรามาดูวงจรตรวจจับเสียงกระดิ่ง คือวงจรนี้จะทำงานเมื่อมีเสียงกระดิ่งของสัญญานเรียกเข้ามายังเครื่องโทรศัพท์ ส่วนประกอบหลักของวงจรอยู่ที่ไอซี 4 และไอซี 1 โดยไอซี 4 ต่อเป็นวงจรเปรียบเทียบ (comparator) แรงดันอ้างอิงอยู่ที่ขา 2 โดยมี $R_{15}$ และ $D_{17}$ เป็นตัวแบ่งแรงดัน แรงดันตกคร่อม $D_7$ ประมาณ 0.6 V จะป้อนเข้าเป็นแรงดันอ้างอิงเข้าที่ขา 2 ที่ขา 3 ต่อผ่าน $R_{16}$ไปเข้าชุดวงจรบริดจ์ $D_1$- $D_4$ เมื่อใดที่แรงดันที่ขา 3 สูงขึ้น ไอซี 4 จะทำงานส่งแรงดันเอ้าท์พุทออกมาทางขา 1 เมื่อใดที่มีสัญญานกระดิ่งแรงดันที่ขา3 จะสูงขึ้นทำให้เอ้าท์พุทที่ขา 1 มีแรงดันส่งออกมาประมาณเท่ากับแรงดัน +Vcc คือ 6V ส่งผ่าน $D_6$ และ $R_{10}$ เข้าทางขา 3. เป็นขาคล๊อกของวงจร RS ฟลิปฟลอปทำให้ขา Q มีระดับลอจิกเป็นไฮ $C_2$ และ $C_3$ จะทำการชาร์จผ่าน $R_6$ ทำให้ Q $_3$ ทำงาน เมื่อ Q $_3$ ทำงานก็เปรียบเสมือนการกดปุ่ม play วงจรจะทำงานในสภาวะเล่นกลับ ส่งสัญญานเสียงที่ทำการบันทึกไว้ออกมาทางลำโพง สัญญานเสียงที่ถูกขยายแล้วส่วนหนึ่งจะต่อผ่าน $R_{33}$ ผ่าน IPT $_1$ ผ่าน $C_{10}$ เข้าที่ขา C ของ $Q_1$ ออกที่ขา E ของ $Q_1$ไปยังคู่สายโทรศัพท์ $Q_1$ และ $Q_2$ ต่อเป็นโหลดของวงจรโทรศัพท์ คือ เมื่อ $Q_2$ ทำงานได้รับระดับลอจิกไฮจากขา Q ของไฮซี 1 จะมีผลทำให้ $Q_1$ ทำงานด้วย โดยปกติถ้าวงจรยังไม่ทำงานที่ขา C ของ $Q_1$ จะมีแรงดันเท่ากับแรงดันจากคู่สายโทรศัพท์ คือ 48 โวลต์ เหมือนปกติที่เราวางหูโทรศัพท์ เมื่อใดก็ตามที่ $Q_1$ ทำงานจะทำให้แรงดันจากคู่สายตกลงเหลือประมาณ 6 ถึง 8 โวลต์ เปรียบเสมือนการยกหูโทรศัพท์ที่กล่าวมาเป็นส่วนของวงจรตอบรับ ซึ่งยังไม่ได้กล่าวถึงวงจรควบคุมการบันทึกเทป ขณะผู้โทรเข้าต้องการพูดฝากข้อความเข้าไว้ในเทป

จากวงจรในรูปที่ 1 ที่อธิบายกันมาแล้ว จะเห็นว่า $Q_1$ และ $Q_2$ ถ้ายังคงทำงานอยู่ แรงดันที่คู่สายจะตกลงเหลือ 6 ถึง 8 โวลต์ ตลอดเวลาก็หมายถึงการยกหูไว้ตลอด ดังนั้น จึงต้องมีการรีเซ็ทวงจรให้วางหูลงการรีเซ็ททำได้โดยป้อนแรงดันระ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ดับไฮเข้าที่ขา 4 ของไอซี 1 (ที่จุด A) ถ้าเราต่อขา 3 (ที่จุด B ) ของไอซี 2/1 เข้าไอซี 1 เมื่อไอซีบันทึกเสียงเล่นกลับจนหมดขา EOS จะป้อนแรงดันระดับไฮเข้ามาทำให้ขา 3 มีระดับไฮด้วย ก็เท่ากับเป็นการวางหู แต่เรายังไม่ต้องการวางหู เพราะต้องการบันทึกเสียงจากผู้โทรเข้ามาบันทึกเข้าเทปก่อนที่จุด B ของวงจรที่ 1 จะถูกต่อเข้าที่จุด B เช่นเดียวกับที่ขา 4 ของไอซี 9 ในวงจรรูปที่ 2 ทำการรีเซ็ทให้ไอซี 9 ทำงาน วงจรในรูปที่ 2 ประกอบด้วยไอซี 10/1 ทำหน้าที่สร้างสัญญาณนาฬิกาความถี่ต่ำเพื่อเป็นวงจรตั้งเวลาการบันทึกเทป เอ้าท์พุทของวงจรจะถูกส่งไปหาร 10 ด้วยไอซี 11 ไอซี 10/1 จะทางานเมื่อขา 4 มีแรงดันเป็นระดับไฮ ก็คือ เมื่อไอซี 9 ทำงานนั่นเอง ส่วนไอซี 10/2 เป็นวงจรออสซิลเลเตอร์สร้างความถี่ประมาณ 800 Hz เพื่อเป็นสัญญาณเตือนเมื่อเวลาบันทึกใกล้หมดลง เอ้าท์พุทอยู่ที่ขา 9 ผ่าน $C_{40}$ คัปปลิ้งออกไปยังคู่สายโทรศัพท์ทางจุด H เมื่อไอซี 11 นับคล็อกจากไอซี 10/1 จาก 0 มาถึง 9 ไอซี 10/2 จะทำงานทันที และเมื่อนับถึง 10 เอ้าท์พุทที่ขา 11 จะเป็นไฮถูกต่อเข้าขา 6 ของไอซี 9 ที่ขา set ทำให้เอ้าท์พุทที่ขา 2 เป็นโลว์ ไอซี 10/1 และ 10/2 จะหยุดทำงาน และระดับไฮจากขา 11 ของไอซี 11 จะถูกส่งไปกระตุ้นโดยผ่าน $C_{35}$ เข้าที่ขา 4 ที่จุด A ของไอซี 1 ทำให้ $Q_1$ และ $Q_2$ หยุดทำงานเป็นการวางหู

ส่วนไอซี 12 เป็นวงจรนับจำนวนครั้งการโทรเข้า เมื่อมีการโทรเข้าจะมีคล็อกเข้ามาที่ขา 1 ด้วย ไอซีจะทำการนับทันที และ $Q_{10}$ จะทำงานทุกครั้งที่มีการโทรเข้า ทำให้รีเลย์ $RY_1$ ทำงานด้วยทุกครั้ง รีเลย์ $RY_1$ จะควบคุมการทำงานของเครื่องเล่นเทปให้ปิดเปิดการบันทึกด้วยการป้อนไฟเลี้ยงเทปผ่านหน้าคอนแทค NO กับ COM แล้วกด REC ค้างไว้ เมื่อวงจรทำงานเครื่องเล่นเทปก็จะทำงานตามไปด้วย สัญญาณจากผู้พูดจะถูกต่อผ่านจากคู่สายที่จุด H ผ่าน $C_{41}$ เข้าไปทางอินพุทไมค์ของเครื่องเล่นเทป การต่อไปเลี้ยงเทปผ่านรีเลย์ $_{RY1}$ อาจต่อจาก 220 V โดยตรง หรือเครื่องเล่นเทปบางรุ่นที่ใช้อะแดปเตอร์ภายนอกอาจต่อวงจรให้รีเลย์ตัดต่อไฟ DC ก่อนเข้าเทปก็ย่อมได้ แต่เครื่องเล่นเทปที่ใช้มีข้อจำกัดอยู่ 2 ข้อ คือ ต้องมีอินพุทไมค์ คือมีรูเสียบไมค์นั่นเอง และต้องเป็นแบบกดค้างขณะทำการบันทึกจะใช้แบบสัมผัสไม่ได้

$SW_4$ มีไว้สำหรับทำการรีเซ็ทดีสเพลย์ของการนับจำนวนการโทรเข้าให้เป็น 0 และ $SW_5$ เมื่อ ON จะทำให้ $Q_{10}$ ทำงานตลอดเวลา มีไว้สำหรับต้องการเปิดเทปฟังไม่ต้องถอดสายออกจากเครื่องตอบรับให้ON สวิตว์ $SW_5$ มาที่ ON ก็สามารถเปิดฟังได้ เมื่อฟังหมดแล้วต้องโยกกลับมาที่ OFF เสมอ

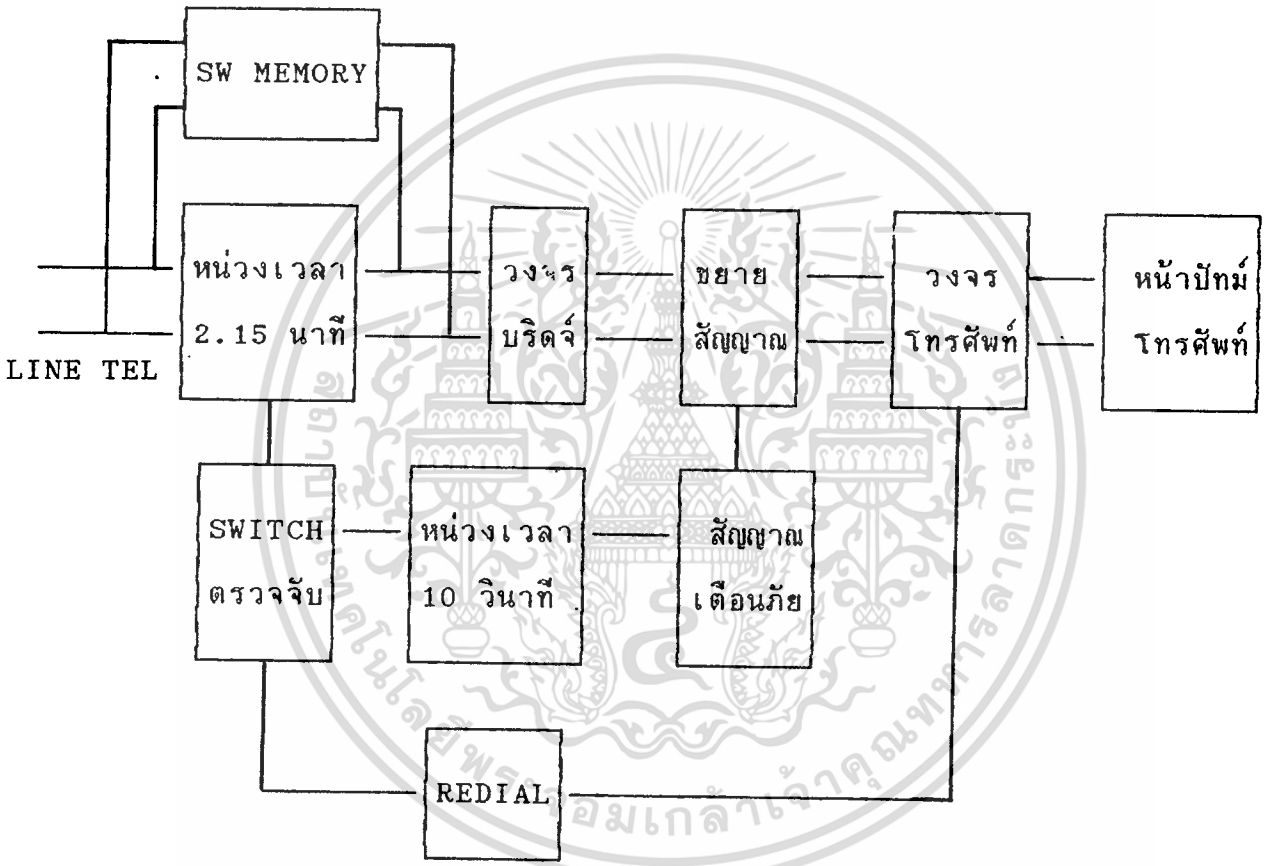
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# บทที่ 5

## หลักการทำงานของเครื่องโทรศัพท์เตือนภัยอัตโนมัติ

หลักการทำงานของเครื่องโทรศัพท์เตือนภัยอัตโนมัติ มีหลักการทำงานคล้ายกับวงจรกันโขมย โดยแทนที่จะใช้สัญญาณเตือนแบบ ALARM เราจะใช้โทรศัพท์เป็นสัญญาณเตือนแทน โดยจะส่งสัญญาณเตือนไปตามเลขหมายที่ได้บันทึกไว้ และยังมีระบบป้องกันในกรณีสายไม่ว่างอีกด้วย

BLOCK DIAGRAM




รูปที่ 5.1 Block Diagram การทำงานของโทรศัพท์เตือนภัย

จาก Block Diagram ถ้า SW1 (เป็น SWITCH ที่ใช้ตรวจจับ) ยังไม่ทำงานในสภาวะนี้จะเป็นสภาวะปกติ แต่ถ้า SW1 ทำงานจะส่งสัญญาณออกเป็น 3 ทาง ทั้ง 3 ทางนี้จะทำงานพร้อมกัน ทางแรก จะส่งสัญญาณให้ RELAY ต่อ CONTACT ระหว่าง LINE TEL เข้ากับวงจรโทรศัพท์ แล้วจะทำการหน่วงเวลาไปประมาณ 2.15 นาที ดังนั้นในวงจรโทรศัพท์นี้จะมีไฟเลี้ยง 6-7 VOLT. วงจรก็พร้อมที่จะทำงาน.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ทางที่ 2 จะส่งสัญญาณไปให้กับ REDIAL เพื่อทำการหมุนหมายเลขที่ได้บันทึกไว้ก่อนแล้ว สามารถใช้ได้ทั้ง PULSE และ TONE

ทางที่ 3 ส่งสัญญาณไปให้กับวงจรหน่วงเวลา เพื่อรอให้วงจรโทรศัพท์หมุนหมายที่อยู่ใน MEMORY (เป็นเลขหมายปลายทาง) เสร็จเสียก่อน จึงจะส่งเสียงเตือนที่ได้จากวงจรกำเนิดเสียง (เป็นเสียงเตือนภัย) ไปยังเลขหมายนั้น เพื่อแสดงถึงเหตุการณ์ผิดปกติทางต้นทาง

วงจร BRIDGE เป็นการทำให้ขั้วไฟถูกต้อง โดยไม่ต้องคำนึงถึงขั้วไฟที่ LINE TELEPHONE

วงจรขยายสัญญาณ เป็นวงจรขยายสัญญาณ PULSE/TONE ที่ได้มาจากวงจรโทรศัพท์ให้มีขนาดสูงขึ้น

วงจรโทรศัพท์ DIAL TONE/PULSE เราจะใช้ IC เบอร์ 91210C/D เป็นวงจรกำเนิด TONE และ PULSE โดยมี MEMORY ในตัว ในส่วนของ MEMORY นี้เราจะบันทึกเลขหมายปลายทางที่จะส่งสัญญาณเตือนไว้

SW2 (SWITCH MEMORY) มีไว้เพื่อบันทึกเลขหมาย โดยนำวงจรโทรศัพท์ต่อเข้ากับ LINE TELEPHONE โดยตรง โดยไม่ต้องผ่านวงจร RELAY RY1 การบันทึกเลขหมายหรือการ MEMORY เลขหมายโทรศัพท์นั้น สามารถบันทึกเลขหมายโทรศัพท์ได้ทั้งหมด 32 ตัวเลข

KEY PHONE เป็นหน้าปัทม์โทรศัพท์ หน้าปัทม์โทรศัพท์ที่ใช้ได้จะต้องเป็นแบบกดปุ่มเท่านั้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# บทที่ 6

## การทำงานของวงจร

วงจรโทรศัพท์เตือนภัยอัตโนมัติที่ใช้ใน PROJECT นี้ เป็นวงจรที่ได้รับการออกแบบที่ยุ่งยากซับซ้อนยากที่จะเข้าใจ ดังนั้นทางผู้สร้างจึงได้แยกการอธิบายเป็นส่วน ๆ เพื่อให้เกิดความเข้าใจที่ง่ายขึ้น

จากรูปที่ 6.1 เป็นวงจรหน่วงเวลา(DELAY) 2.15 นาที, วงจร RELAY RY1 ตัดต่อ LINE TELEPHONE กับ วงจรโทรศัพท์ และ วงจร RELAY RY2 จะเป็นตัว REDIAL ทั้ง 3 ส่วนที่กล่าวมานี้จะทำงานพร้อมกันและสามารถอธิบายการทำงานได้ดังนี้ IC 555/1 ขา 2 ถูกต่อกับ SW1 เป็น SWITCH ตรวจจับ(หรือเป็น SWITCH ที่ใช้ตรวจจับกันโขมย)โดยตรง ถ้า SW1 ทำงานจะเป็นการ TRIG ให้กับ IC 555/1 ทำให้IC 555/1 ทำงานได้สัญญาณ OUT PUT ที่ขา 3 เป็น HIGH และ IC 555/1 ก็จะทำการหน่วงเวลาไปประมาณ 2.03 นาที โดยหาได้จากสูตรดังนี้.

จากสูตร

$$T = 1.1*C_1*R_1$$

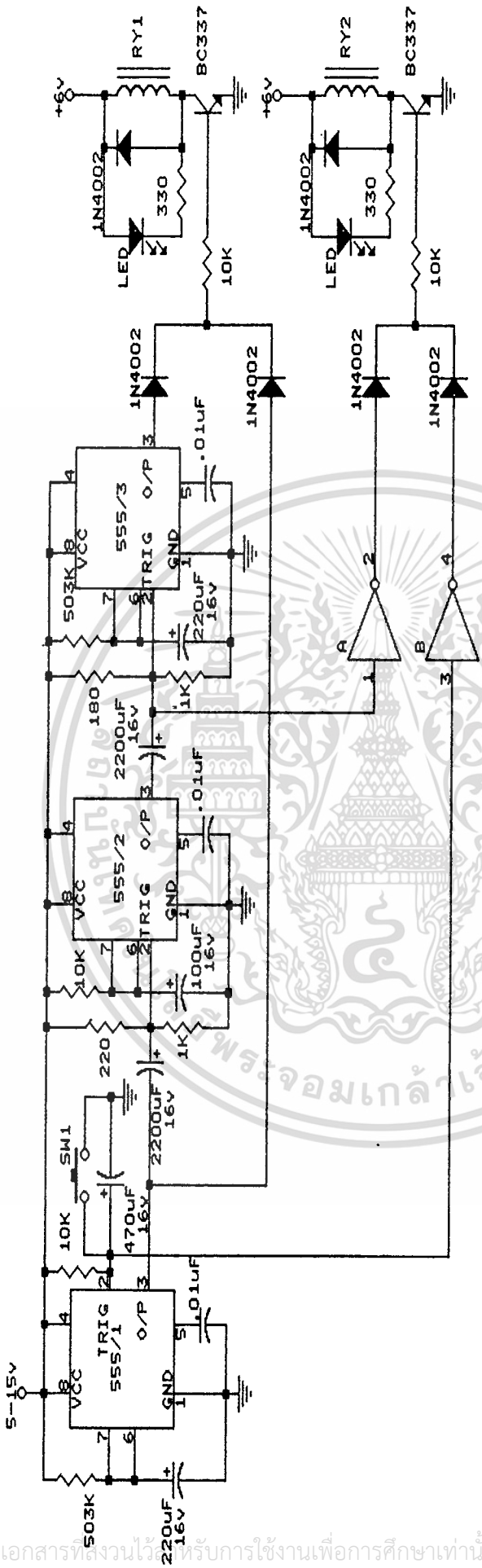
$$= 1.1*220uF*503k$$

$$= 121.72 \text{ วินาที หรือ } 2.03 \text{ นาที}$$

แต่ในทางปฏิบัติแล้ว การหน่วงเวลาจะได้ประมาณ 2.15 นาที ซึ่งจะไม่ตรงกับทางทฤษฎี ที่ได้จากการคำนวณ สาเหตุอาจจะเนื่องมาจากความผิดพลาดของตัวอุปกรณ์เอง สัญญาณ OUT PUT ที่ได้จะส่งให้กับ DIODE 1N4002 (เป็นตัวป้องกันการรบกวนของสัญญาณที่มาจากอุปกรณ์ตัวอื่น)ผ่าน $R_{10K}$ ดังนั้น TR 337 จะทำงาน เป็นผลให้ RELAY $RY_1$ ทำงานด้วย LED ก็จะติด เมื่อ RELAY ทำงาน CONTACT ของ RELAY จะต่อกันโดย CONTACT ของ RELAY จะต่ออยู่ระหว่าง LINE TEL.กับวงจรโทรศัพท์

เมื่อ IC 555/1 หน่วงเวลาไปประมาณ 2.15 นาทีแล้วก็จะหยุดทำงาน ปกติ OUT PUT ที่ขา 3 เป็น HIGH เมื่อหยุดทำงานแล้ว จะเป็น LOW จึงทำให้ $C_{2200uF}$ คลายประจุ เป็น PULSE , TRIG ให้กับ IC 555/2 ที่ขา 2 IC 555/2 ก็จะหน่วงเวลาไปประมาณ 1 วินาที ในขณะที่ IC 555/1 หยุดทำงาน TR 337 จะหยุดนำกระแส จึงทำให้ $RY_1$ ตัดวงจรโทรศัพท์ออกจาก LINE TEL (IC 555/2 หน่วงเวลาเพียง 1 วินาที ก็เพื่อต้องการตัดวงจรโทรศัพท์ออกจาก LINE TEL ชั่วขณะ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 6.1 วงจรหน่วงเวลา LINE TELEPHONE และ REDIAL

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อ IC 555/2 หยุดทำงานก็คือ OUT PUT ที่ขา 3 เป็น LOW , $C_{220uF}$ ก็จะคลายประจุไป TRIG ให้กับขา 2 ของ IC 555/3 เพื่อทำการหน่วงเวลาไปอีกประมาณ 2.15 วินาที โดยให้ $RY_1$ ต่อวงจรโทรศัพท์เข้ากับ LINE TEL.

อีกส่วนหนึ่งคือ วงจรที่ใช้ในการ REDIAL ก็คือการให้หมุนหมายเลขปลายทางโดยวงจรจะต่อกับขา 2 ของ IC 555/1 และขา 2 ของ IC 555/3 ผ่าน DIODE 1N4002 ผ่าน $R_{10K}$ และ TR BC337 เพื่อให้ $RY_2$ ทำงาน CONTACT ของ $RY_2$ จะต่อกันระหว่างขา 4 และขา 18 ของ IC UM91210C/D(เป็นไอซีโทรศัพท์)การทำงานของวงจรจะทำงานพร้อมกัน IC 555/1 และ IC 555/3 เพื่อนำ OUT PUT ขา 3 มาให้ TR BC337เพื่อให้ RELAY $RY_2$ทำงานจึงทำให้ขา 4 และขา 18 ของ IC UM91210C/D ต่อถึงกัน นั่นก็คือเป็นการ REDIAL นั่นเอง จึงทำให้มีสัญญาณ PULSE หรือ TONE ที่ได้บันทึกเลขหมายไว้ก่อนแล้ว ออกไปตาม LINE TEL

รูปที่ 6.2 เป็นวงจรหน่วงเวลาและเสียงเตือนภัย จากวงจรจะเห็นว่า ขา 2 ของ IC 555/4 จะถูกต่อกับขา 2 ของ IC 555/1 กล่าวคือถ้า IC 555/1 ทำงานก็จะทำให้ IC 555/4 ทำงานด้วย ดังนั้น IC 555/4 จะทำการหน่วงเวลาไปประมาณ 7.986 วินาที หรือ 0.13 นาที โดยหาได้จากสูตร

จากสูตร

$$T = 1.1*R_1*C_1$$

$$= 1.1*220uF*33K$$

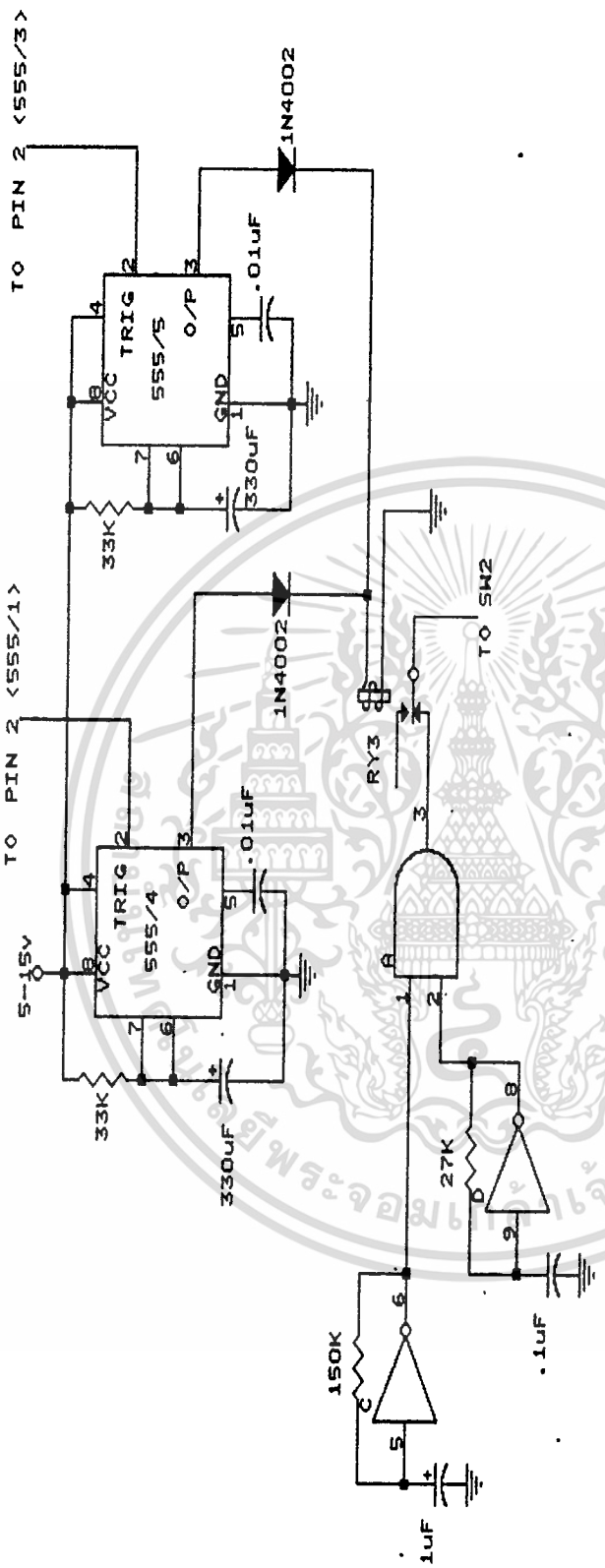
$$= 7.986 \text{ วินาที}$$

หรือ $= 7.986/60 = 0.133$ นาที

แต่ในทางปฏิบัติ เวลาที่วัดได้จริงคือประมาณ 10-12 วินาที ที่ได้มากกว่าทางทฤษฎีนั้นก็อาจเนื่องมาจากความผิดพลาดของตัวอุปกรณ์เอง

ในขณะที่ IC 555/4 ทำงาน OUTPUT ที่ขา 3 จะเป็น HIGH แล้วส่งสัญญาณไปให้กับ DIODE 1N4002 ผ่าน $R_{10K}$ ผ่าน TR BC337 ขับ RELAY RY3 ให้ RELAY ทำงาน ต่อ CONTACT ที่อยู่ระหว่างสัญญาณเตือนภัยกับ LINE OUT PUT ดังนั้นก็จะมีสัญญาณเตือนภัยออกทาง OUT PUT เมื่อ IC 555/4 หยุดทำงาน OUT PUT ที่ขา 3 จะเป็น LOW จึงมีผลทำให้ RELAY RY3 หยุดทำงาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 6.2 วงจรหน่วงเวลาและเสียงเตือนภัย

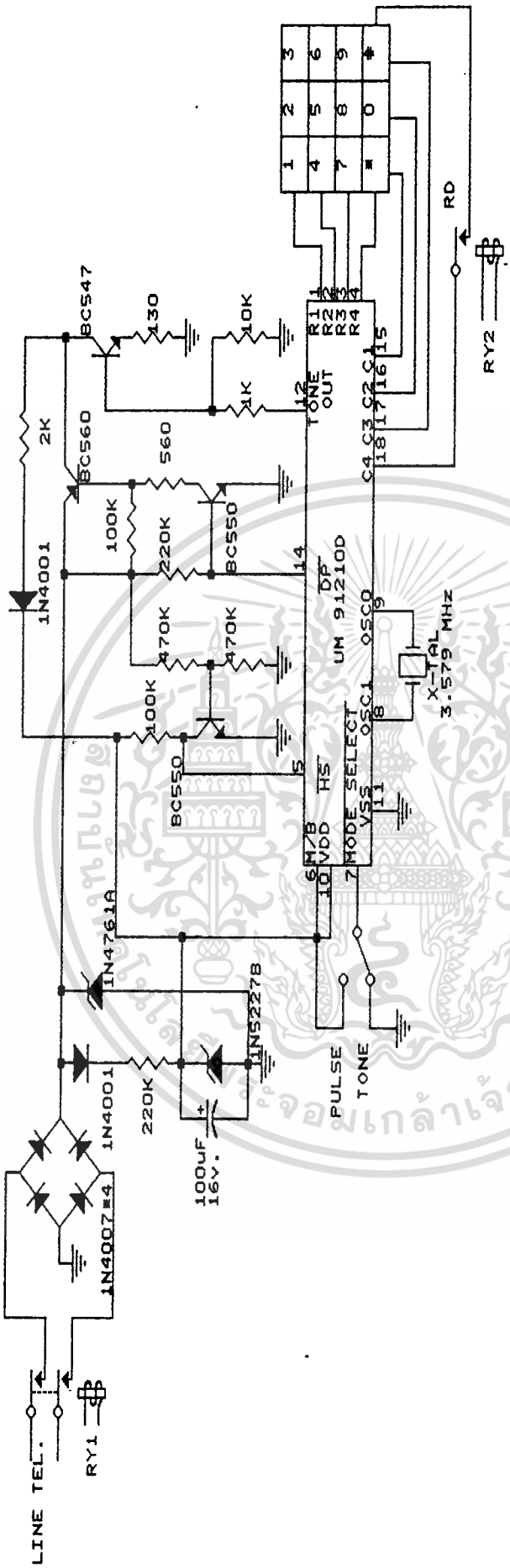
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ส่วน IC 555/5 ขา 2(TRIG) จะต่ออยู่กับขา 2(TRIG) ของ IC 555/3 IC 2 ตัวนี้จะทำงานพร้อมกัน เหมือนกับ IC 555/1 กับ IC 555/4 และลักษณะการทำงานก็จะเหมือนกันด้วย กล่าวคือ OUT PUT ที่ขา 3 จะไปขับ RELAY RY3 ให้ทำงานนั่นก็คือเป็นการต่อสัญญาณเตือนภัยออกไปยังปลายทาง

สัญญาณเตือนภัยนี้จะส่งออกไปตามปลายทางก็ต่อเมื่อวงจรโทรศัพท์ได้หมุนหมายเลขปลายทางได้เสร็จเรียบร้อยแล้ว ส่วนสัญญาณเสียงที่ใช้ในการเตือนภัย เป็นสัญญาณ SQUARE WAVE ธรรมดาและการทำงานของวงจรเตือนภัยในส่วนนี้จะอาศัยการ CHARGE และการ DISCHARGE ของ CAPACITOR ร่วมกับ RESISTER และ NOT GATE โดยจะแบ่งการทำงานออกเป็น 2 ส่วน คือ ความถี่ต่ำ และความถี่สูง จากนั้นนำ 2 ความถี่นี้มา AND กันก็จะได้สัญญาณ OUT PUT ออกมา 1 ความถี่

รูปที่ 6.3 เป็นวงจรโทรศัพท์ (DIAL PULSE/TONE) วงจรนี้เป็นวงจรที่ใช้ในโทรศัพท์ทั่วไป โดยมี IC UM91210C/D เป็นหลักในการทำงาน (การใช้งานของไอซีเบอร์นี้สามารถดูได้จาก DATA SHEET) เป็นวงจรกำเนิดสัญญาณ PULSE และ TONE และยังมี MEMORY สำหรับการบันทึกเลขหมายที่ใช้ครั้งสุดท้ายอีกด้วย นั่นก็คือเราสามารถนำส่วนนี้มาใช้กับ REDIAL ได้ ในส่วนนี้เป็นส่วนสำคัญมากที่เราจะนำมาใช้ใน PROJECT นี้ นั่นก็คือเป็นส่วนที่ใช้ในการ MEMORY เลขหมายที่จะส่งสัญญาณเตือนภัยไปยังปลายทาง ไฟที่นำมาจ่ายให้กับวงจรไม่ได้มาจากหม้อแปลงแต่จะมาจาก LINE TEL. มีค่าประมาณ 6-7 VOLT. เพียงพอที่จะให้วงจรทำงานได้ วงจรในส่วนแรกจะเป็นวงจรบริดจ์ทำหน้าที่เป็นตัวกำหนดขั้วไฟที่จะจ่ายให้กับวงจรได้ถูกต้อง ผ่าน DIODE 1N4001 ผ่าน $R_{220K}$ ผ่าน ZENER DIODE 3.6 VOLT โดยที่ ZENER DIODE 3.6 VOLT นี้จะเป็นตัวควบคุมไฟที่จะจ่ายให้กับ IC UM91210C/D , X-TAL เป็นตัวกำเนิดความถี่ 3.579 MHz ต่ออยู่ที่ขา 8 กับขา 9 ส่วนขา 7 จะเป็นตัวเลือกว่าจะส่งสัญญาณแบบ PULSE หรือแบบ TONE โดยเลือกระหว่าง VDD กับ GND ส่วนขา 1,2,3,4 และขา 15,16,17,18 ถูกต่ออยู่กับ KEY PHONE หรือหน้าปัทม์โทรศัพท์ที่จะกดเลขหมาย, ขา 12 เป็นสัญญาณ TONE OUT PUT โดยมี TR BC547 เป็นตัวขยายสัญญาณให้แรงพอที่จะส่งไปยังจุดหมายปลายทาง ส่วนขา 14 เป็น PULSE OUT PUT (PULSE ที่ได้จะกลับเฟส) จะถูกขยายสัญญาณให้แรงขึ้นโดย TR BC550 และมี TR BC560 ทำการกลับเฟสสัญญาณของขา 14 นี้ให้ถูกต้อง ส่วน RD (REDIAL) นี้จะใช้ขา 4 และขา 18 ร่วมกัน โดย 2 ขานี้จะถูกต่อกับ RELAY RY2

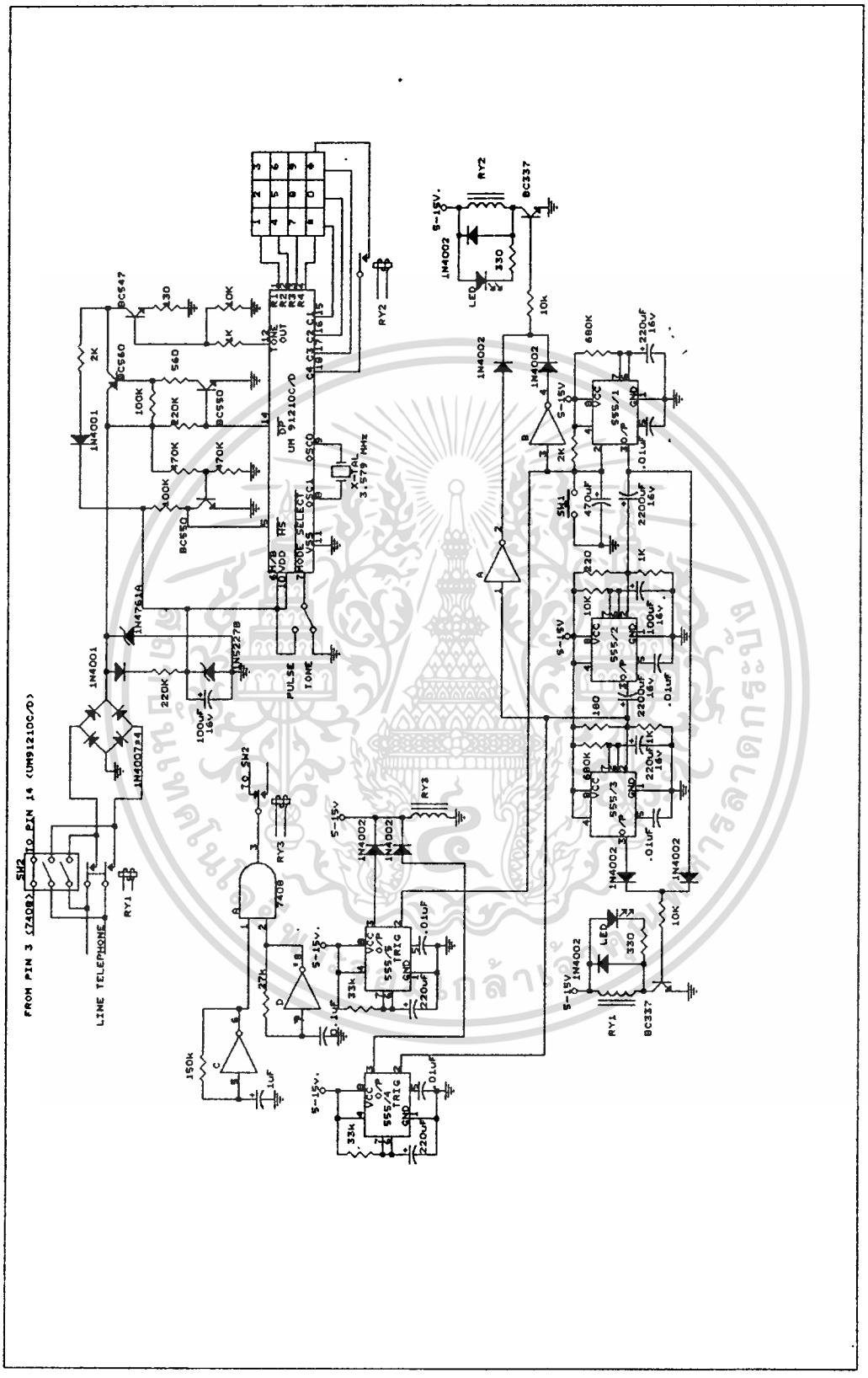
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 6.3 วงจรโทรศัพท์(DIAL PULSE/TONE)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**รายละเอียดการทำงานรวมของวงจรโทรศัพท์เตือนภัยทั้งหมด**



**รูปที่ 6.4 วงจรโทรศัพท์เตือนภัยอัตโนมัติ**

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรการทำงานทั้งหมดขึ้นอยู่กับ SW1 เพียงตัวเดียวถ้าในขณะที่ SW1 ยังไม่ทำงานวงจรทั้งหมดก็ยังไม่ทำงานแต่ถ้า SW1 (เป็น SWITCH ตรวจจับ) ทำงานเมื่อไรวงจรทั้งหมดก็จะทำงานพร้อมกัน เริ่มด้วยการ TRIG ให้ IC 555/1 ทำงานได้ OUT PUT ที่ขา 3 เป็น HIGH ส่วนหนึ่งจะป้อนให้กับ DIODE 1N4002 ผ่าน $R_{10K}$ ผ่าน TR BC337 ขับ RELAY RY1 ให้ทำงาน , CONTACT ของ RELAY ก็จะต่อ LINE TEL เข้ากับวงจรโทรศัพท์ วงจรโทรศัพท์ก็พร้อมที่จะทำงาน อีกส่วนหนึ่งจะป้อนให้กับ DIODE 1N4002 ผ่านผ่าน $R_{10K}$ ผ่าน TR BC337 ขับ RELAY RY2 ต่อ CONTACT ระหว่างขา 4 กับขา 18 เพื่อทำการ REDIAL ของวงจรโทรศัพท์ นั่นก็คือเป็นการหมุนหมายเลขโทรศัพท์ที่ได้บันทึกใน MEMORY ไว้ในตอนแรกไปยังปลายทาง เมื่อหมุนหมายเลขหมดแล้วก็จะส่งสัญญาณเตือนภัยออกไปตามปลายทาง , IC 555/1 ก็จะหน่วงเวลาไปประมาณ 2.15 นาทีเมื่อ IC 555/1 หยุดทำงานวงจรทุกส่วนก็จะหยุดทำงานด้วย จากนั้น IC 555/2 จะทำงานต่อในส่วนนี้ IC 555/2 จะหน่วงเวลาเพียงชั่วขณะเท่านั้น เป็นเพราะว่าต้องการให้ RELAY RY1 หยุดทำงานชั่วขณะ , เมื่อ IC 555/2 หยุดทำงานก็จะมา TRIG ให้กับ IC 555/3 ทำงานต่อ RELAY RY1 ก็จะทำงานเหมือนเดิมคือ ต่อ CONTACT ระหว่าง LINE TEL เข้ากับวงจรโทรศัพท์ และ RELAY RY2 ก็จะทำงานด้วย นั่นก็คือเป็นการหมุนหมายเลขที่อยู่ใน MEMORY อีกครั้งหนึ่ง เหตุที่ต้องทำอย่างนี้เพราะว่าเป็นการป้องกันในกรณีสายไม่ว่างในตอนแรก

ส่วนวงจรเตือนภัยจะส่งสัญญาณออกไปก็ต่อเมื่อ วงจรโทรศัพท์ได้หมุนเลขหมายที่อยู่ใน MEMORY เรียบร้อยแล้ว ทั้งหมดนี้จะทำงานพร้อมกันหมดโดยอัตโนมัติโดยรายละเอียดได้กล่าวไว้แล้วในข้างต้น

ส่วนการ MEMORY นั้นเราจะมี SW2 เป็นตัวที่ใช้ในการตัดต่อวงจรโดยตรงไม่ต้องผ่าน RELAY แล้วกดเลขหมายปลายทางที่ KEY PHONE เสร็จแล้วกด SW2 ไว้ที่เดิม นั่นคือเป็นการตัดวงจรโทรศัพท์ออกจาก LINE TEL

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**การใช้โทรศัพท์เตือนภัยอัตโนมัติ**

นำเครื่องโทรศัพท์เตือนภัยอัตโนมัติ มาต่อเข้ากับ LINE TEL จากนั้นเปิดเครื่อง(กด SWITCH POWER) แล้วรอให้เครื่อง SET ตัวเองประมาณ 4.30 นาที ต่อจากนั้นก็กดปุ่ม MEMORY เพื่อ MEMORY หมายเลขปลายทางที่ต้องการเสร็จแล้วกดกลับที่เดิม จากนั้นก็ทดลองเครื่องโดยการกดปุ่ม TEST ขณะนี้เครื่องกำลังหมุนหมายเลขปลายทาง เมื่อปลายทางรับก็จะได้ยินเสียงเตือนภัย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**วิจารณ์และสรุปผลการทดลอง**

การทดลอง การทำงานยังประสบปัญหาอยู่มาก (ก่อนที่จะได้รับการแก้ไข) ในเรื่องของสเปคค่าพารามิเตอร์ต่าง ๆ ขององค์การโทรศัพท์กับวงจรที่ออกแบบนั้น คือ จะเกิดการลดทอนของสัญญาณและค่าอุปกรณ์ต่าง ๆ ที่ต้องการแต่ไม่มีค่าตรงกับที่เราต้องการจึงใช้ค่าที่ใกล้เคียงแทน การออกแบบวงจรจะต้องคำนึงถึงการใช้กระแสของอุปกรณ์แต่ละตัว ที่จะทำให้การใช้งานเป็นไปตามปกติไม่ให้ไปโหลดกับชุมสายมากนัก

สำหรับวงจรโทรศัพท์ ได้ทดลองนำเอาวงจรที่เคยมีผู้ทำไว้แล้วมาทดลอง ผลปรากฏว่าไม่สามารถทำงานได้อย่างมีประสิทธิภาพ ดังนั้นทางผู้สร้างจึงได้ออกแบบวงจรขึ้นมาใหม่ อุปกรณ์ที่ใช้มีขาย , หาง่ายในท้องตลาดและใช้คู่มือที่มีข้อมูลของต่างประเทศ การทดลองการทำงานของวงจรนับได้ว่าเป็นที่น่าพอใจ

โครงงานนี้นับว่าค่อนข้างจะเป็นประโยชน์ในการใช้สอยอยู่มากเพราะเป็นการเพิ่มประสิทธิภาพของโทรศัพท์ที่มีใช้กันอยู่แล้ว ดังนั้นจึงเพิ่มความสะดวกสบายให้กับผู้ใช้แต่การสร้างกับการประกอบนับว่าไม่ง่ายเหมือนกับการนำไปใช้งาน ต้องอาศัยการทดลองที่มีระยะเวลาที่นานพอสมควร และศึกษาทดลองซ้ำแล้วซ้ำอีกกว่าจะได้เป็นชิ้นงานออกมา ดังนั้นเราจะยกปัญหาที่เกิดขึ้นจากการทดลองนี้อย่างคร่าว ๆ ดังนี้

<u>ปัญหาในการสร้างเครื่องตอบรับโทรศัพท์</u>

ปัญหาแรกก็คือเรื่องการบัดกรีขาไอซี T6668 เนื่องจากไอซีตัวนี้มีขาทั้งหมด 60 ขา และมีขาที่เรียงชิดติดกันมาก การบัดกรีจึงต้องใช้ปลายหัวแร้งที่แหลมมากรวมทั้งต้องใช้ฝีมือบวกกับความใจเย็นด้วย ทางเราเคยไปถามผู้เชี่ยวชาญ ๆ ได้แนะนำว่าให้บัดกรีทีเดียวหลาย ๆ ขาจากนั้นก็ให้สบัดปริ้นแรง ๆ ตะกั่วในส่วนที่เราไม่ต้องการจะหลุดออกก็จะเหลือส่วนที่ติดกับลายทองแดง

ปัญหาที่ 2 ก็คือการอัดหรือบันทึกเสียงพูดไม่ได้เลย เมื่อทำการตรวจเช็คอย่างละเอียดก็พบว่า NAND GATE ไอซี 2/3 เสียทำให้เอาท์พุทขา 11 เป็น LOW ตลอดเวลา

ปัญหาที่ 3 คือไฟ MUTE สว่างตลอดเวลา เมื่อทำการตรวจเช็คอย่างละเอียดก็พบว่า ทรานซิสเตอร์ $Q_4$ ช๊อตระหว่างขา C-E

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปัญหาที่ 4 เมื่อทำการ PLAY BACK เพื่อฟังเสียงที่บันทึก ปรากฏว่าเสียงบี้ เมื่อตรวจเช็คดูก็พบว่า $C_{10}$ ค่า 100uF 16 V. เกิดรั่ว(LEAK)ขึ้น เมื่อเปลี่ยน C ตัวใหม่เสียงก็ชัดขึ้น ดีขึ้น นอกเหนือจากนี้ก็เป็นปัญหาเรื่องการบัดกรีสายไม่แน่นหรือหลวม ทำให้บางครั้งเครื่องทำงานบางครั้งเครื่องก็ไม่ทำงาน เป็นต้น

<u>ปัญหาในการสร้างเครื่องโทรศัพท์เตือนภัย</u>

ปัญหาแรกที่จะกล่าวถึง ก็คือ ปัญหาการหาค่าของอุปกรณ์ที่จะนำมาใช้ในการหน่วงเวลา ไม่มีค่าตามที่เราต้องการ ดังนั้นจึงต้องใช้ค่าประมาณ

ปัญหาที่ 2 ก็คือ สัญญาณเตือนภัยที่ได้จากวงจรกำเนิดสัญญาณเตือนมีความแรงของสัญญาณอ่อนมาก ดังนั้นการแก้เราจะก็ใช้เอาท์พุทของสัญญาณนี้ให้ ทรานซิสเตอร์ที่วงจรโทรศัพท์ทำการขยายสัญญาณให้แรงขึ้น

ปัญหาที่ 3 ก็คือ การผิดเพี้ยนของสัญญาณ TONE/PULSE ของวงจรโทรศัพท์อันเนื่องมาจากการรบกวนของสัญญาณเตือนภัย การแก้เราใช้ตัว RELAY มาใช้ในการตัดต่อสัญญาณเตือนภัยเข้ากับ LINE TEL

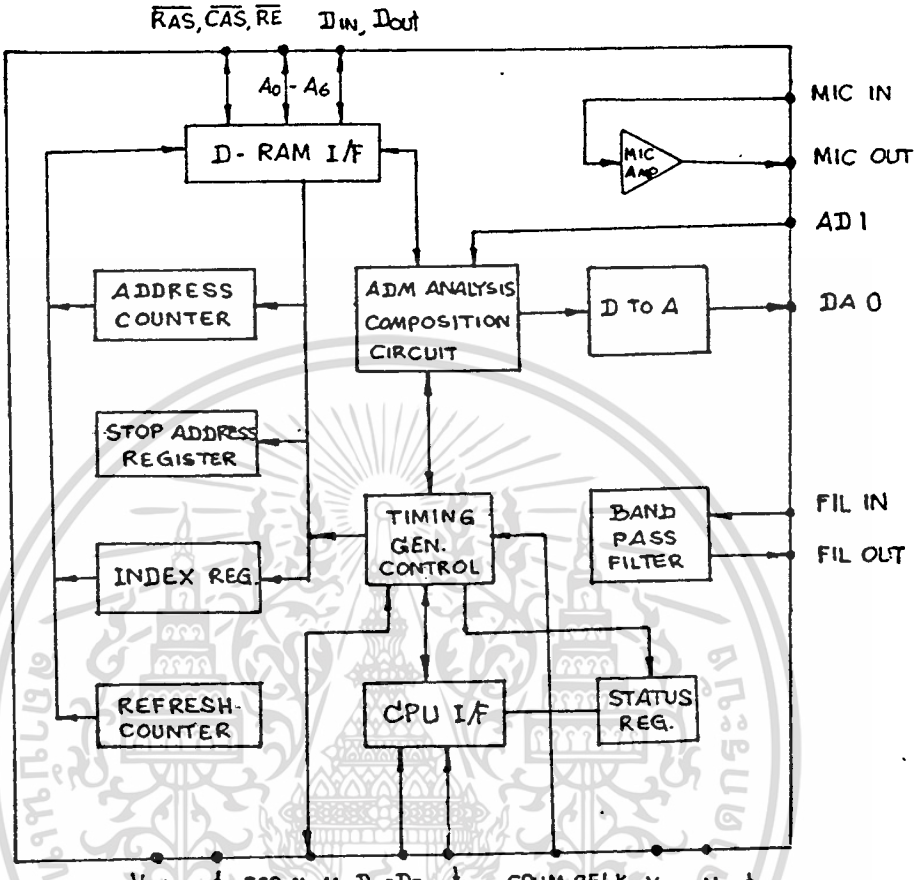
ปัญหาที่ 4 ก็เรื่องการบัดกรีสายไม่แน่นหรือหลวม ซึ่งทำให้บางครั้งเครื่องทำงานบางครั้งก็ไม่ทำงาน

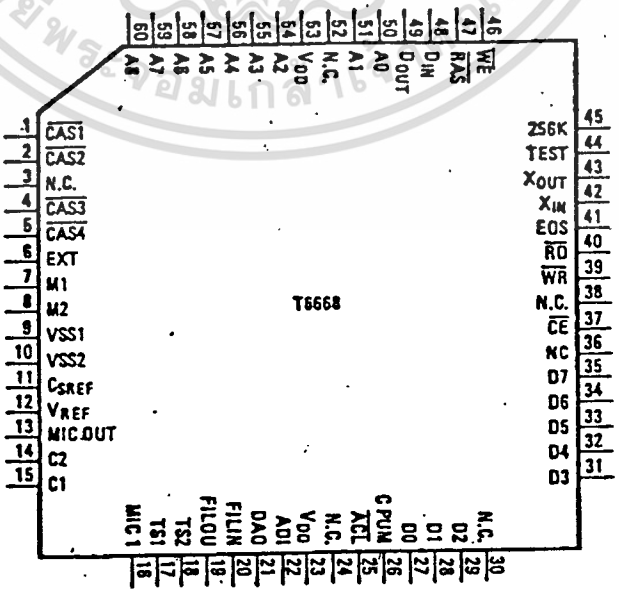
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ก.

ข้อมูลและรายละเอียดของอุปกรณ์

โครงสร้างภายในของ T 6668




รูปแสดงตำแหน่งขาต่าง ๆ ของไอซี T 6668

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รายละเอียดขาใช้งานของ T6668

$A_0$ $A_8$ : ขาแอดเดรสต่อกับหน่วยความจำ DRAM

Din , Dout : ขาดาต้าต่อกับหน่วยความจำ DRAM

RAS , WE : สัญญาณควบคุม DRAM

$CAS_1$ $CAS_4$ : ขาเลือกใช้งาน DRAM แต่ละตัวรวม 4 ตัว

$M_1$ , $M_2$ : ใช้กำหนดจำนวนแรมที่ใช้งาน (ดูตารางที่ 2)

256K : เลือกความจุของหน่วยความจำที่ใช้งาน

EOS : เอาท์พุทเป็นไฮเมื่อจบข้อความที่บันทึก

MICin ,MICout : อินพุท์และเอาท์พุทของภาคขยายส่วนหน้า

$AD_1$ , $AD_0$ : อินพุทสัญญาณอนาล็อกที่จะนำไปแปลงเพื่อบันทึก และ เอาท์อนาล็อกที่ได้จากการอ่าน

FILin , FILout: วงจรกรองความถี่ต่ำผ่าน

$C_1$ , $C_2$ : ต่อตัวเก็บประจุภายนอก

ACL : ขาRESETแอคทีฟโลว์

Xin , Xout : คริสตอลออสซิลเลเตอร์ความถี่ 650 KHz

Cpum , CE : ขาสัญญาณควบคุม สำหรับอินเตอร์เฟสกับ

WR : ขาอินพุทสำหรับควบคุมการบันทึกเสียง

$D_4$ , $D_5$ : ขาอินพุทควบคุมการเริ่มต้น ($D_4$) และการหยุด ($D_5$) ขณะบันทึกและเล่นกลับ

$D_6$ , $D_7$ : กำหนดบิทเรต (ดูตารางที่ 1)

$D_0$ , $D_3$ : เลือกหน้าของหน่วยความจำ (phase) แบ่งได้สูงสุด 16 หน้า

$V_{DD}$ , $V_{SS}$ : ไฟเลี้ยงและกราวด์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**คุณสมบัติของขา**

**คีย์บอร์ด (R1,R2,R3,R4,C1,C2,C3,C4)**

อินพุทเหล่านี้เหมาะที่จะเป็นการอินเตอร์เฟสแบบ XY เมตริกคีย์บอร์ด $C_1$ ถึง $C_4$ และ $R_1$ ถึง $R_4$ จะถูกตั้ง(SET)ที่โลว์(LOW)ในขณะวางหู[ON HOOK](HS = HIGH) $C_1$ ถึง $C_4$ คีย์อินพุทจะถูกตั้งไว้ที่โลว์(LOW)และ $R_1$ ถึง $R_4$ จะถูกตั้งที่ไฮ(HIGH)ในขณะยกหู[OFF HOOK](HS = LOW) ซึ่งจะทำให้คีย์อินพุทสามารถทำงานได้

ออสซิเลเตอร์จะผลิตความถี่ เมื่อการกดคีย์ถูกดีเทค สัญญาณสแกนจะปรากฏทั้งทางคอลัมน์และทางโรว์(แบบ : 455 Hz) จนกระทั่งปล่อยคีย์อินพุท คีย์อินพุทใช้ต่อเข้ากันกับมาตราฐาน 2-OF-8 FORM หรือคีย์บอร์ดแบบคอนแทคเดียว (SINGLE CONTACT) สัญญาณดีเบาส์จะถูกจัดให้หลีกเลี่ยงการเข้ามารบกวน (แบบ : 23 ms)

**HOOK SWITCH ($\overline{HS}$)**

อินพุทนี้จะดีเทคสภาวะของคอนแทคฮุคสวิตช์ สถาวะการยกหู (OFF HOOK)ก็จะตรงกับสภาวะ Vss ส่วนสภาวะการวางหู (ON HOOK) ก็จะตรงกับสภาวะ Vdd

**อัตราส่วนการ MAKE/BAKE (M/B)**

อินพุทนี้จะกำหนดการเลือกของอัตราการสร้าง/หยุดสร้าง (33.3 : 66.7 / 40 : 60) เมื่อ M/B ถูกต่อเข้ากับ Vdd/Vss

**ความถี่เสียง**

| อินพุท | ค่าเฉพาะ | ค่าที่วัดได้จริง | เปอร์เซนต์คลาดเคลื่อน |
|---|---|---|---|
| $R_1$ | 690 | 699.1 | +0.31 |
| $R_2$ | 770 | 766.2 | -0.49 |
| $R_3$ | 852 | 847.4 | -0.54 |
| $R_4$ | 941 | 948.0 | +0.74 |
| $C_1$ | 1209 | 1215.7 | +0.57 |
| $C_2$ | 1336 | 1331.7 | -0.32 |
| $C_3$ | 1477 | 1471.9 | -0.35 |

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**อินพุท/เอ้าท์พุท ออสซิเลเตอร์ (OSC IN,OSC OUT)**

ขาต่าง ๆ เหล่านี้ถูกกำหนดใช้ต่อกับคริสตัลภายนอก 3.579 MHz การออสซิเลทเริ่มต้น(ในขณะยกหู) และจะถูกรักษาสภาพออสซิเลท จนกระทั่งพัลซ์หรือสัญญาณ DTMF จบสิ้นลง

**สัญญาณเอ้าท์พุทแบบไดอัลพัลซ์ ($\overline{DP}$)**

เอ๊าท์พุทธรรมดาจะ "ON" ในระหว่างการหยุด(BREAK) และจะ "OFF" ในระหว่างการสร้าง (MAKE) ในขณะยกหูโทรศัพท์ (HS = Vss) เอ๊าท์พุทจะ "OFF" ในขณะวางหูโทรศัพท์ ( N ชันแนล เปิดขาเดรน)

**สัญญาณเอ้าท์พุทแบบ DTMF (TONE OUT)**

เมื่อสัญญาณการกดคีย์ ถูกดีเทคในกลุ่มความถี่ต่ำ และกลุ่มความถี่สูงในโหมด DTMF จะถูกผลิตเป็นสัญญาณผสม เป็นสัญญาณเสียงแบบเอ๊าท์พุทคู่ สัญญาณเสียงเอ๊าท์พุทจะอยู่ในสภาวะ "OFF" ในโหมดพัลซ์

**POWER (Vdd,Vss)**

ขาเหล่านี้เป็นแหล่งจ่ายเพาเวอร์อินพุท อุปกรณ์ชนิดนี้ถูกออกแบบไว้ให้ทำงานบนช่วงตั้งแต่ 2 VOLT ถึง 5.5 VOLT

**ระยะเวลาของสัญญาณเสียงและการหยุดรีไดอัล**

| พารามิเตอร์ | สัญญลักษณ์ | แบบ | หน่วย |
|---|---|---|---|
| ระยะเวลาของสัญญาณเสียง | TD | 74 | ms |
| เวลาหยุดพักที่น้อยที่สุด | ITP | 110 | ms |
| รอบเวลา | TC | 184 | ms |

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**X'mit Mute Output ($\overline{\text{X'MIT MUTE}}$)**

| HS | X'mit Mute Output |
|---|---|
| Vdd | OFF |
| Vss | ปกติ "OFF"<br>"ON" ระหว่างพัลซ์และ DTMF |

**การเลือกโหมดอินพุท $\overline{\text{MODE SELECT}}$**

โหมดพัลซ์และ DTMF จะถูกเลือกดังปรากฏในตารางต่อไปนี้ โหมดแรกหมายถึง สภาวะหลังจากเปลี่ยนมาเป็นการยกหูโทรศัพท์ (HS -> Vss)

| MODE SELECT | Initial Mode | Switching Entry Mode |
|---|---|---|
| Vdd | Pulse | Mode Select<br>Input = Vss |
| Vss | Tone | N/A |

**การทำงานแบบซิงเกิ้ลโทนในโหมด DTMF (Test Mode)**

ใช้คีย์ * และคีย์ # สำหรับทริกตัวไอซีให้เข้าเป็นโหมดทดสอบ โดยกดคีย์ทั้ง 2 พร้อม ๆ กันในขณะยกหูโทรศัพท์ สัญญาณเสียง SINGLE TONE ได้แสดงไว้ในตารางเพื่อให้เห็นความแตกต่างกับโหมดธรรมดา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โหมดธรรมดา

| | | | |
|---|---|---|---|
| R1 | 1 | 2 | 3 |
| R2 | 4 | 5 | 6 |
| R3 | 7 | 8 | 9 |
| R4 | * | 0 | # |
| | C1 | C2 | C3 |

โหมดชิงเกิ้ลโทน

| | | | |
|---|---|---|---|
| R1 | R1 | C2 | C3 |
| R2 | C1 | C2 | R2 |
| R3 | R3 | C2 | C3 |
| R4 | C1 | R4 | C3 |
| | C1 | C2 | C3 |

**การทำงานของคีย์บอร์ด**

การทำงานในชิงเกิ้ลโหมด

**การทำงานในพัลซ์โหมด**

ขณะยกหู D1.....Dn

พัลซ์โหมดจะถูกกำหนดโดยโหมดเริ่มต้น (INITIAL MODE) หลังจากเข้าสู่สภาวะการยกหู และจะถูกค้างไว้ (LATCHED) ที่การป้อนคีย์ D1 นี้เป็นสภาวะภายใต้การเลือก $\overline{\text{MODE SELECT}}$ = Vdd

**การทำงานในโทนโหมด**

1). ขณะยกหู D1.....Dn

โทนโหมดจะถูกกำหนดโดยโหมดเริ่มต้น หลังจากเข้าสู่สภาวะการยกหูและจะถูกค้าง (LATCHED) ที่การป้อน D1 นี้เป็นสภาวะภายใต้การเลือก $\overline{\text{MODE SELECT}}$ = Vss

2). ขณะยกหู T D1.....Dn

ถ้าโหมดเริ่มต้นอยู่ที่พัลซ์โหมด หลังจากเข้าสู่สภาวะการยกหู และ การเลือกโหมด $\overline{\text{MODE SELECT}}$ = Vdd โหมดสวิตช์จากพัลซ์เป็นโทนสามารถทำได้โดยการป้อนคีย์ T และจะถูกค้าง (LATCHED) ที่การป้อนคีย์ D1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**การหมุนหน้าปัทม์โทรศัพท์แบบ MANUAL พร้อมกับระยะเวลาการหยุดพัก(ACCESS PAUSE) อัตโนมัติ**

ขณะยกหู O P D1.....Dn

การป้อนคีย์พัก (PAUSE) แบบทวีคูณ จะถูกยอมรับและเก็บไว้ได้ใน REDIAL MEMORY ตามแต่ละหลัก (DIGIT) คีย์ P แต่ละคีย์จะถูกกำหนดเวลาพัก (PAUSE TIME) นาน 3.5 วินาที แต่การป้อนคีย์ P ของหลักแรก (FIRST DIGIT) หลังจากเข้าสู่สภาวะการยกหูจะไม่เป็นผล (IGNORED)

คีย์ * สามารถถูกใช้เป็นคีย์พัก (PAUSE KEY) ในพัลซ์โหมดได้ด้วย การพักรอสามารถถูกระงับยับยั้ง (CANCELLED) ด้วยคีย์ P , คีย์ T หรือ คีย์ RD ในระหว่างการพักใน REDIALING

**รีไดอัล (REDIAL)**

ขณะยกหู RD

ในจำนวนหลักใด ๆ ระหว่าง 0 ถึง 32 หลัก คีย์ RD จะไม่สามารถส่งสัญญาณได้ในขณะที่สัญญาณพัลซ์หรือสัญญาณ DTMF ถูกส่ง เมื่อมีจำนวนหลักมากกว่า 32 หลัก ที่จะถูกเก็บไว้ใน REDIAL MEMORY จะไม่สามารถเก็บได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

UMC

# UM91210C/D

## Tone/Pulse Dialer



### Features

- Tone/Pulse switchable (slide switch)
- 32 digit capacity for redialing
- Automatic mix redialing (last number redial) of pulse → DTMF with multiple automatic access pause
- PABX auto-pause for 3.6-sec
- Low power CMOS process (2.0 to 5.5V)
- Numbers dialed manually after redial are cascadeable and stored as additional numbers for next redialing
- Power-on reset circuit builtin
- Uses inexpensive TV crystal (3.58 MHz)
- Make/Break ratio (33⅓ : 66⅔ / 40:60) pin selectable
- Touch key hooking (580 ms)
- 4 x 4 or (2 of 8) keyboard available
- Low standby current

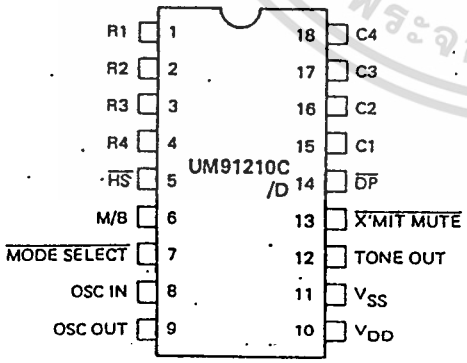
### General Description

The UM91210C/D is a TONE/PULSE switchable dialer with a 32-digit redial memory. Through pin selection, switching from PULSE to DTMF mode can be done using slide switch.

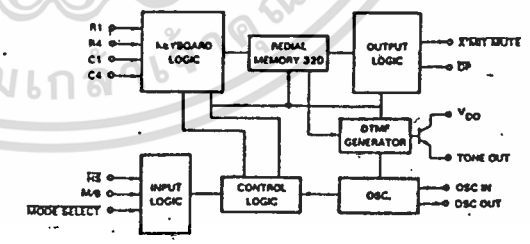
All necessary dual-tone frequencies are derived from a 3.58 MHz TV crystal, providing high accuracy and stability. The required sinusoidal wave form for each individual tone is digitally snythesized on the chip. The waveform so generated has low total harmonic distortion (7% max). A voltage reference is generated on the chip which is stable over the operating voltage and temperature range, and regulates the signal levels of the dual tones to meet telephone industry specifications.

CMOS technology is used to produce this device, resulting in low power requirements; high noise immunity, and serves as an easy interface to a variety of telephones requiring few external components.

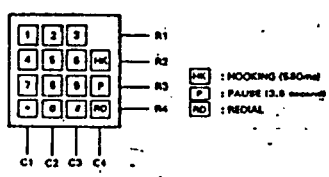
### Pin Configuration




### Block Diagram




### Arrangement of Keyboard




เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## Absolute Maximum Ratings*

Supply Voltage ($V_{DD}$) . . . . . ≤ 6.0V
Input Voltage ($V_{IN}$) . . . . . $V_{SS}$ –0.3V to $V_{DD}$ +0.3V
Output Voltage ($V_{OUT}$) . . . . . $V_{SS}$ –0.3V to $V_{DD}$ +0.3V
Output Voltage ($V_{OUT}$) ($\overline{DP}$, $\overline{XMIT\ MUTE}$.) . . . ≤ $V_{DD}$
Tone Output Current ($I_{TONE}$) . . . . . ≤ 50mA
Power Dissipation ($P_D$) . . . . . ≤ 500mW
Operating Temperature ($T_{OP}$) . . . . . –20°C to +70°C
Storage Temperature ($T_{STG}$) . . . . . –40°C to +125°C

## *Comments

Stresses above those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress rating only and functional operation of the device at these or any other conditions above those indicated in the operational sections of this specification is not implied.

## Electrical Characteristics

($V_{SS}$ = 0V, $V_{DD}$ = 3.5V, $F_{x'tal}$ = 3.58 MHz, $T_{op}$ = 25°C unless otherwise secified)

| Parameter | Symbol | Min. | Typ. | Max. | Units | Conditions | | |
|---|---|---|---|---|---|---|---|---|
| Operating Voltage Range | $V_{DD}$ P | 2.0 | | 5.5 | V | Pulse mode | All inputs connected to $V_{DD}$ or $V_{SS}$ | |
| | $V_{DD}$ T | 2.0 | | 5.5 | | Tone mode | | |
| Memory Retention Voltage | $V_{DR}$ | 1.0 | | | V | $\overline{HS}$=$V_{DD}$ | | |
| Operating Supply Current | $I_{DD}$ P | | 0.4 | 1.0 | mA | One key selected, $\overline{HS}$ = $V_{SS}$, All outputs unloaded | | $\overline{MODE}$ = $V_{DD}$ |
| | $I_{DD}$ T | | 1.0 | 2.0 | mA | | | $\overline{MODE}$ = $V_{SS}$ |
| Standby Current | $I_{SD1}$ | | 0.03 | 0.05 | μA | No key selected, All outputs unloaded. | | $\overline{HS}$=$V_{DD}$=1.5V |
| | $I_{SD2}$ | | 70 | 140 | | | | $\overline{HS}$ = $V_{SS}$ |
| Output Current | $I_{OL\,1}$ | 1.7 | 5.0 | | mA | $\overline{DP}$ | VOL=0.4V | $V_{DD}$ = 3.5V |
| | $I_{OL\,2}$ | 0.5 | 1.5 | | | $\overline{XMIT\ MUTE}$ | | $V_{DD}$ = 2.5V |
| Input Voltage | $V_{IH}$ | 0.8 $V_{DD}$ | | $V_{DD}$ | V | R1-R4, C1-C3, $\overline{HS}$, M/B, $\overline{MODE\ SELECT}$ | | |
| | $V_{IL}$ | $V_{SS}$ | | 0.2 $V_{DD}$ | | | | |
| Input Current | | | 116 | | μA | R1-R4 | $V_{DD}$ = 3.5V, $V_{IN}$ = 0V | |
| | | | 50 | | | | $V_{DD}$ = 2.5V, $V_{IN}$ = 0V | |
| Valid Key Entry Time | Tkd | 23 | | 25.3 | ms | | | |
| Column and Row Scanning Frequency | Fcr | | 445 | | Hz | | | |
| Auto Access Pause Time | Tap | | 3.6 | | sec | | | |
| Tone Output | Vor | –16.0 | | –12.0 | dBV | Row tone only | $V_{DD}$ = 2.5V, RL = 5K | |
| | | –14.0 | | –11.0 | dBV | | $V_{DD}$ = 3.5V, RL = 5K | |
| Ratio of Column to Row Tone | dBcr | | 2.0 | | dB | $V_{DD}$ = 3.5V | | |
| Distortion | %DIS | | | 10 | % | $V_{DD}$ = 3.5V | | |
| Tone Output Delay Time | T psd | | 1.5 | | ms | | | |

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## Pin Description

**Keyboard ($R_1$, $R_2$, $R_3$, $R_4$, $C_1$, $C_2$, $C_3$, $C_4$)**

These inputs can serve as an interface to an XY matrix keyboard. $C_1 \sim C_4$ & $R_1 \sim R_4$ are set to low at On Hook ($\overline{HS}$ = high). $C_1 \sim C_4$ key Inputs are set to low and $R_1 \sim R_4$ are set to high at Off HOOK ($\overline{HS}$ = low) which enables the key-input operation.

Oscillator starts running when a keypress is detected. Scanning signals are presented at both column and row inputs (Typ.: 445 Hz) until the input key is released. Key inputs are compatible with standard 2-of-8 form or single-contact keyboard. Debouncing is provided to avoid false entry (Typ.: 23 ms)

**Hook Switch ($\overline{HS}$)**

This input detects the state of the hook switch contact. "Off Hook" corresponds to $V_{SS}$ condition. "On Hook" corresponds to $V_{DD}$ condition.

**Make/Break Ratio (M/B)**

This input provides the selection of the Make/Break ratio (33.3:66.7/40:60) when M/B is connected to $V_{DD}/V_{SS}$.

**Oscillator Input/Output (OSC IN, OSC OUT)**

These pins are provided to connect an external 3.58 MHz crystal. Oscillation starts (at Off Hook) and is sustained until pulse or DTMF signals are finished.

## Tone Frequencies

| Input | Specified | Actual | % Error |
|---|---|---|---|
| R1 | 697 | 699.1 | +0.31 |
| R2 | 770 | 766.2 | –0.49 |
| R3 | 852 | 847.4 | –0.54 |
| R4 | 941 | 948.0 | +0.74 |
| C1 | 1,209 | 1,215.7 | +0.57 |
| C2 | 1,336 | 1,331.7 | –0.32 |
| C3 | 1,477 | 1,471.9 | –0.35 |

**Dial Pulse Out ($\overline{DP}$)**

The normal output will be "ON" during Break and "OFF" during make at "Off Hook" ($\overline{HS}$ = $V_{SS}$). The Output will be "OFF" at "ON HOOK". (N channel open drain).

**DTMF Signal Output (TONE OUT)**

When a valid keypress is detected in DTMF mode Appropriate low group and high group frequencies are generated which hybridize the Dual Tone Output. Tone out is "OFF" state in pulse mode.

**Power ($V_{DD}$, $V_{SS}$)**

These are the power supply inputs. This device is designed to operate on 2.0V to 5.5V.

## Tone Duration & Pause in Redial

| Parameter | Symbol | Typ. | Unit |
|---|---|---|---|
| Tone Duration | TD | 74 | ms |
| Minimum Pause | ITP | 110 | ms |
| Cycle Time | TC | 184 | ms |

**X'mit Mute Output ($\overline{X'MIT\ MUTE}$)**

| $\overline{HS}$ | $\overline{X'mit\ Mute\ Output}$ |
|---|---|
| $V_{DD}$ | OFF |
| $V_{SS}$ | Normally "OFF"<br>"ON" during Pulse and DTMF Dialing |

(N channel open drain)

**Mode Select Input ($\overline{MODE\ SELECT}$)**

Pulse/DTMF mode is selected as shown in the following table. Initial Mode means the state after going Off Hook ($\overline{HS} \rightarrow V_{SS}$).

| $\overline{MODE\ SELECT}$ | Initial Mode | Switching Entry Mode |
|---|---|---|
| $V_{DD}$ | Pulse | Mode Select Input = $V_{SS}$ |
| $V_{SS}$ | Tone | N/A |

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**Single Tone Operation In DTMF Mode (Test Mode)**

The [•] and [#] keys are used to trigger the chip into test mode by depressing them simultainously at "Off Hook" The single tone is shown in the following table in contrast with normal mode.

**Normal mode**

| | $C_1$ | $C_2$ | $C_3$ |
|---|---|---|---|
| $R_1$ | 1 | 2 | 3 |
| $R_2$ | 4 | 5 | 6 |
| $R_3$ | 7 | 8 | 9 |
| $R_4$ | • | 0 | # |

**Single tone mode**

| | $C_1$ | $C_2$ | $C_3$ |
|---|---|---|---|
| $R_1$ | $R_1$ | $C_2$ | $C_3$ |
| $R_2$ | $C_1$ | $C_2$ | $R_2$ |
| $R_3$ | $R_3$ | $C_2$ | $C_3$ |
| $R_4$ | $C_1$ | $R_4$ | $C_3$ |

## Keyboard Operation

SINGLE MODE OPERATION

**Pulse Mode Operation**

[Off Hook] [$D_1$] ..... [$D_n$]

Pulse mode is defined by the initial mode after going Off Hook and latched at [$D_1$] key-entry. This is the condition under $\overline{\text{MODE SELECT}} = V_{DD}$.

**Tone Mode Operation**

1) [Off Hook] [$D_1$] ..... [$D_n$]

Tone mode is defined by the initial mode after going Off Hook and latched at [$D_1$] key entry. This condition is under $\overline{\text{MODE SELECT}} = V_{SS}$.

2) [Off Hook] [T] [$D_1$] ..... [$D_n$]

If initial mode is at pulse mode after going Off Hook and $\overline{\text{MODE SELECT}} = V_{DD}$. Switching mode from pulse to Tone can be done by [T] key entry and latched at [$D_1$] key entry.

**Manual Dialing with Automatic Access Pause**

[Off Hook] [0] [P] [$D_1$] ..... [$D_n$]

Multiple Pause key entries can be accepted and stored in the redial memory, each as on digit. Each [P] key provides 3.5 seconds pause time, but [P] key entry as first digit after going Off Hook is ignored.

[•] key can also be used as pause key in pulse mode. Pause(s) can be cancelled with [P], [T] or [RD] key during pause time in redialing.

**Redial**

[Off Hook] [RD]

Up to 32 digits can be dialed with [RD] key. [RD] key is disabled while pulse or DTMF signals are transmitting. When more than 32 digits are stored in redial memory, Redial is also inhibited.

[#] key can be used as [RD] key in pulse mode.

**Inhibiting Redial**

[Off Hook] [$D_1$] ..... [$D_n$] [RD] [RD]

Redial can be inhibited by depressing [RD] [RD] key after DTMF or pulse signals are transmitted.

PULSE/TONE SWITCHABLE OPERATION

**Mode Switching by $\overline{\text{MODE SELECT}}$ Input**

[Off Hook] [$D_1$] ..... [$D_n$] [P] [Switching $\overline{\text{MODE}}$]

|— Pulse mode —|

[$\overline{\text{SELECT}}$ to $V_{SS}$] [$D_{n+1}$] ..... [$D_{n+m}$] Pulse mode

|— DTMF Mode —|

is initially defined with $\overline{\text{MODE SELECT}} = V_{DD}$. Mode switching to DTMF can be accepted by $\overline{\text{MODE SELECT}} = V_{SS}$. DTMF Mode will be set up after pulse mode is finished. In this mode, digits [$D_{n+1}$] ..... [$D_{n+m}$] are transmitted from Tone Out as DTMF signals by depressing corresponded keys.

If no [P] key is contained serially before or after mode switching.

[Off Hook] [$D_1$] ..... [$D_n$] [Switching $\overline{\text{MODE}}$]

|— Pulse Mode —|

[$\overline{\text{SELECT}}$ to $V_{SS}$] [$D_{n+1}$] ..... [$D_{n+m}$] ($D_n, D_{n+1} \neq$ Pause)

|— DTMF Mode —|

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

It results the next condition:

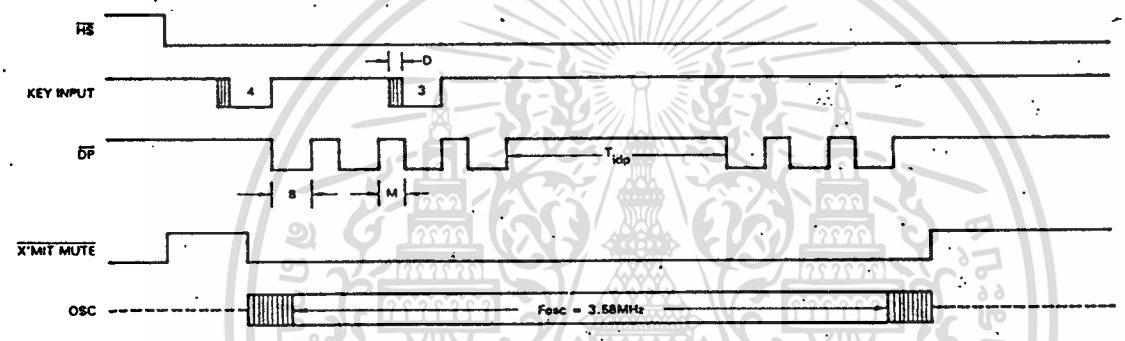
(1) If digit $\boxed{D_{n+1}}$ is depressed after pulse mode is finished, DTMF mode will be set up after last pulse signal ( $\boxed{D_n}$ ) is output. In this mode, digits $\boxed{D_{n+1}}$ ..... $\boxed{D_{n+m}}$ are transmitted from Tone Out as DTMF signals by depressing corresponded keys.

(2) If digit $\boxed{D_{n+1}}$ is depressed during dialing pulse signals, DTMF mode but in Hold state will be set up after last pulse signal $\boxed{D_n}$ is finished. $\boxed{D_{n+1}}$ ..... $\boxed{D_{n+m}}$ are stored in redial memory as DTMF data and not transmitted from Tone Out. When it is ready to transmit DTMF data in redial memory, $\boxed{T}$ , $\boxed{RD}$ or $\boxed{P}$ keys is depresed to reset this Hold state and $\boxed{D_{n+1}}$ ..... $\boxed{D_{n+m}}$ data are serially transmitted.

Tone/Pulse Dialer

Timing Diagram

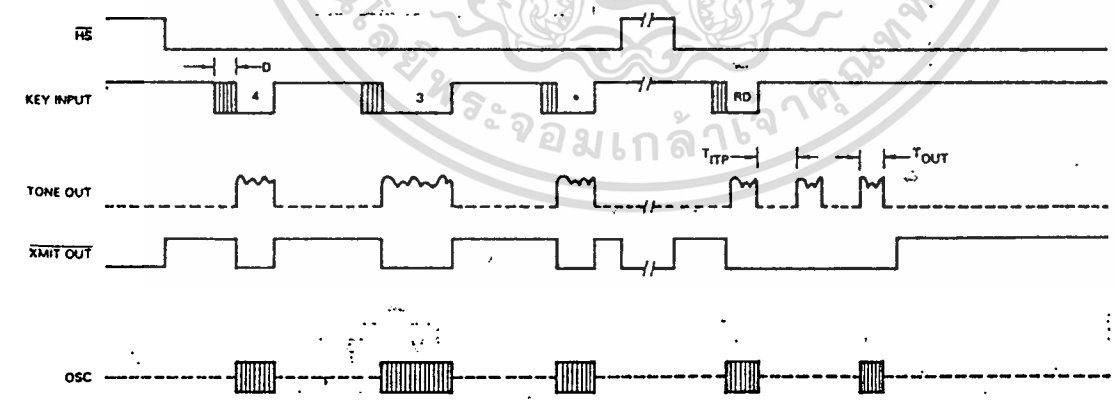
1) TIMING DIAGRAM IN PULSE MODE:




D: Debouncing time: 23ms

$T_{idp}$: Inter-digit pause: 805ms

2) TIMING DIAGRAM IN TONE MODE: ($\overline{\text{MODE SELECT}}$ = $V_{SS}$)

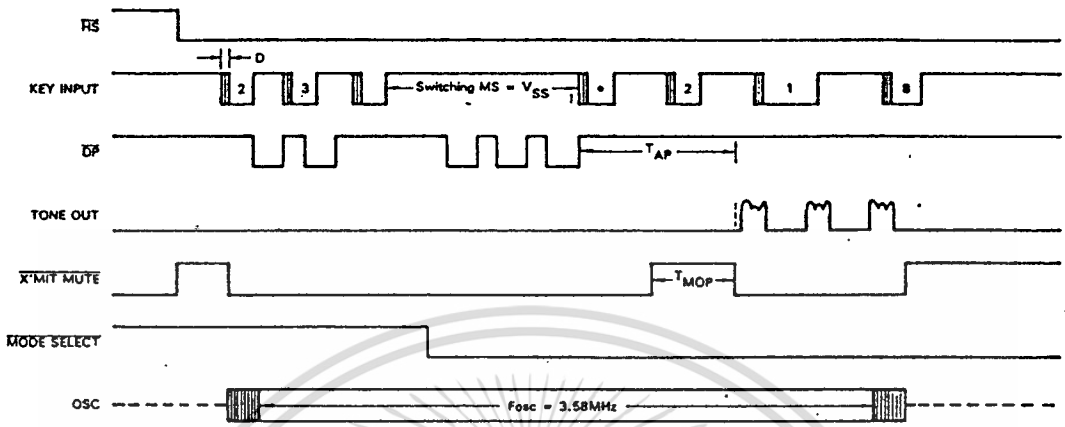



D: Debouncing time: 23ms Tout: 74ms

$T_{ITP}$: 110ms

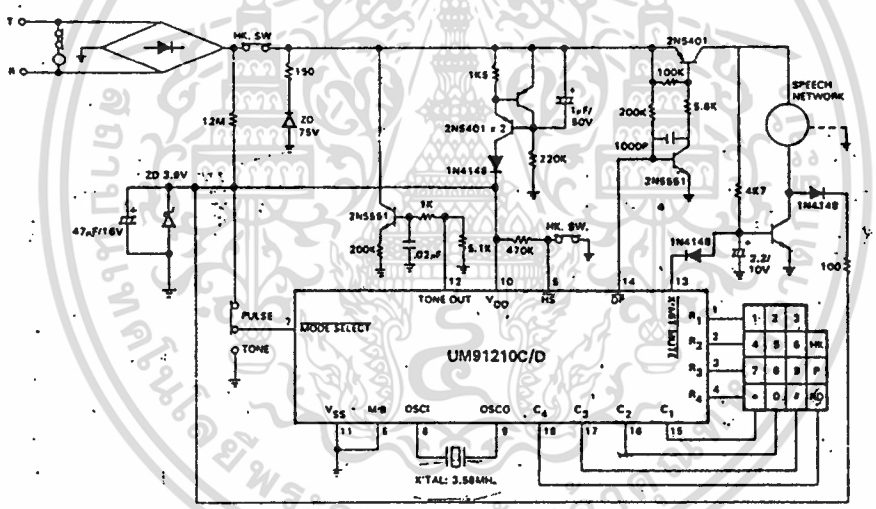
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3) TIMING DIAGRAM FOR SWITCHING MODE OPERATION BY $\overline{\text{MODE SELECT}}$ INPUT (OPERATION SELECT = $V_{SS}$)




**Typical Application**

SWITCHING MODE BY $\overline{\text{MODE SELECT}}$




**Ordering Information**

| Part Number | Dial Pulse | Dial Pulse Rate (PPS) | Tidp | Make/Break Ratio |
|---|---|---|---|---|
| UM91210C | $\overline{\text{DP}}$ | 10 PPS | 805 ms | $V_{DD}$: 33⅓:66⅔ |
| | | | | $V_{SS}$ : 40:60 |
| UM91210D | $\overline{\text{DP}}$ | 20 PPS | 805 ms | $V_{DD}$: 33⅓:66⅔ |
| | | | | $V_{SS}$ : 40:60 |

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MITEL

# ISO²-CMOS™ MT8870A
# Integrated DTMF Receiver
## Preliminary Information

APRIL 1983

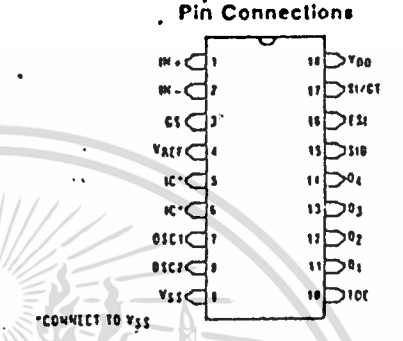
### Features

- Full receiver in single 18-pin package
- Central Office quality
- Low power consumption
- Adjustable acquisition and release times

### Applications

- PABX
- Central Office
- Key Systems
- Mobile Radio
- Remote Control
- Remote Data Entry

**Pin Connections**




**Ordering Information**

MT8870AC 18-PIN CERDIP

### Description

The MT8870 is a complete DTMF receiver integrating both the bandsplit filter and digital decoder functions, fabricated in Mitel's double-poly ISO²-CMOS™ technology. The filter section uses switched capacitor techniques for high- and low-group filters and dial-tone rejection; the decoder uses digital counting techniques to detect and decode all 16 DTMF tone-pairs into a 4-bit code. External component count is minimized by on-chip provision of a differential input amplifier, clock oscillator and latched 3-state bus interface.

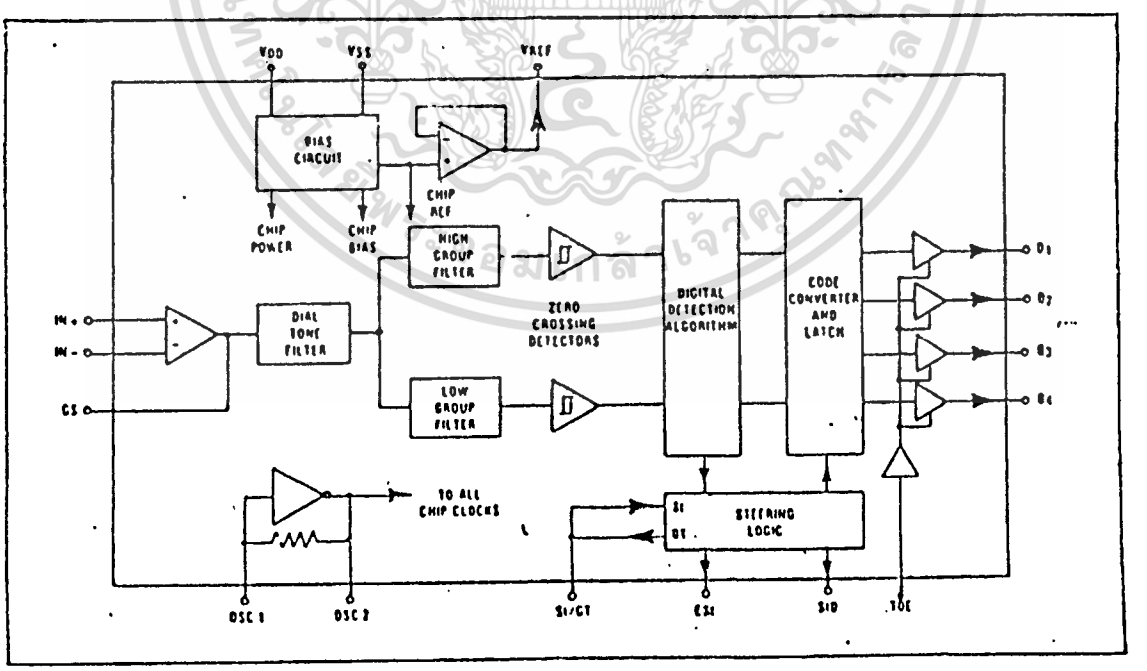



**Fig. 1 Functional Block Diagram**

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## Absolute Maximum Ratings[1]

| Parameters | Min. | Max. | Units |
|---|---|---|---|
| Power Supply Voltage $V_{DD} - V_{SS}$ | | 6 | V |
| Voltage on any pin | $V_{SS}$ -0.3 | $V_{DD}$ +0.3 | V |
| Current at any pin | | 10 | mA |
| Operating temperature | -40 | +85 | °C |
| Storage temperature | -65 | +150 | °C |
| Package power dissipation[2] | | 1000 | mW |

[1] Exceeding these ratings may cause permanent damage. Functional operation under these conditions is not implied.
[2] Derate above 75°C at 16 mW/°C. All leads soldered to board.

## DC Electrical Characteristics

| | | Characteristics | | Symbol | Min. | Typ. | Max. | Units | Test Conditions† |
|---|---|---|---|---|---|---|---|---|---|
| 1 | SUPPLY | Operating Supply Voltage | | $V_{DD}$ | 4.75 | | 5.25 | V | |
| 2 | | Operating Supply Current | | $I_{DD}$ | | 3.0 | 7 | mA | |
| 3 | | Power Consumption | | $P_c$ | | 15 | 35 | mW | f = 3.579 MHz; $V_{DD}$ = 5V |
| 4 | INPUTS | Low Level Input Voltage | | $V_{IL}$ | | | 1.5 | V | |
| 5 | | High Level Input Voltage | | $V_{IH}$ | 3.5 | | | V | |
| 6 | | Input Leakage Current | | $I_{IH}/I_{IL}$ | | 0.1 | | uA | $V_{IN}$ = $V_{SS}$ or $V_{DD}$ |
| 7 | | Pull Up (Source) Current | | $I_{SO}$ | | | | | TOE (Pin 10) = 0 V |
| 8 | | Input Impedance | Signal Inputs 1,2 | $R_{IN}$ | | 10 | | Meg Ω | @ 1 kHz |
| 9 | | Steering Threshold Voltage | | $V_{TSt}$ | | 2.45 | | V | |
| 10 | OUTPUTS | Low Level Output Voltage | | $V_{OL}$ | | 0.03 | | V | No Load |
| 11 | | High Level Output Voltage | | $V_{OH}$ | | 4.97 | | V | No Load |
| 12 | | Output Low (Sink) Current | | $I_{OL}$ | 1.0 | 2.5 | | mA | $V_{OUT}$ = 0.4 V |
| 13 | | Output High (Source) Current | | $I_{OH}$ | 0.4 | 0.8 | | mA | $V_{OUT}$ = 4.6 V |
| 14 | | Output Voltage | $V_{REF}$ | $V_{REF}$ | 2.4 | | 2.7 | V | No Load |
| 15 | | Output Resistance | | $R_{OR}$ | | 10 | | KΩ | |

† $V_{DD}$ = 5 V, $V_{SS}$ = 0 V, $T_A$ = 25°C

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## AC Characteristics

| | Characteristics | | Symbol | Min. | Typ. | Max. | Units | Notes |
|---|---|---|---|---|---|---|---|---|
| | Third Tone Tolerance | | | | −16 | | dB | 2,3,4,5,8,9 |
| | Noise Tolerance | | | | −12 | | dB | 2,3,4,5,6,8,9 |
| | Dial Tone Tolerance | | | | +18 | | dB | 2,3,4,5,7,8,9 |
| TIMING | Tone Present Detection Time | | $t_{DP}$ | 6 | 11 | 14 | mS | Refer to Fig. 4 |
| | Tone Absent Detection Time | | $t_{DA}$ | 1 | 4 | 8 | mS | |
| | Tone Duration Accept | | $t_{REC}$ | | | 40 | mS | (User Adjustable) Times shown are obtained with circuit in Fig. 2 |
| | | | | | | | | |
| | Interdigit Pause Accept | | $t_{ID}$ | | | 40 | mS | |
| | | | | | | | | |
| OUTPUTS | Propagation Delay (St to Q) | | $t_{PQ}$ | | 8 | 11 | µS | TOE = $V_{DD}$ |
| | Propagation Delay (St to StD) | | $t_{PStD}$ | | 12 | | µS | |
| | Output Data Set Up (Q to StD) | | $t_{QStD}$ | | 3.4 | | µS | |
| | Propagation Delay (TOE to Q) | ENABLE | $t_{PTE}$ | | 50 | | nS | $R_L$ = 10 kΩ $C_L$ = 50pf |
| | | DISABLE | $t_{PTD}$ | | 300 | | nS | |
| CLOCK | Crystal/Clock Frequency | | $f_{CLK}$ | 3.5759 | 3.5795 | 3.581 | MHz | |
| | Clock Output (OSC2) | Capacitive Load | $C_{LO}$ | | | 30 | pf | |

† Unless noted $V_{DD}$ = 5V, $T_A$ = 25°C, $f_{CLK}$ = 3.579545 MHz, using test circuit of Fig. 2.

NOTES
1. dBm = decibels above or below a reference power of 1 mW into a 600 ohm load.
2. Digit sequence consists of all 16 DTMF tones.
3. Tone duration = 40 mS. Tone pause = 40 mS.
4. Nominal DTMF frequencies are used.
5. Both tones in the composite signal have an equal amplitude.
6. Bandwidth limited (0 to 3 kHz) Gaussian Noise.
7. The precise dial tone frequencies are (350 Hz and 440 Hz) ±2%.
8. For an error rate of better than 1 in 10,000.
9. Referenced to lowest level frequency component in DTMF signal.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

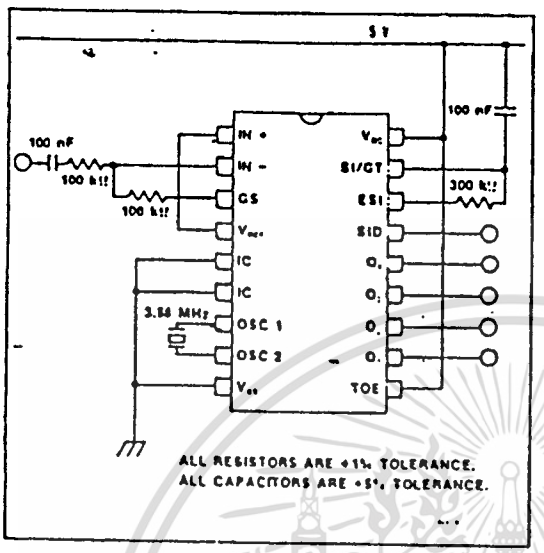



Fig. 2 Single Ended Input Configuration

| $F_{low}$ | $F_{high}$ | KEY | TOE | $Q_4$ | $Q_3$ | $Q_2$ | $Q_1$ |
|---|---|---|---|---|---|---|---|
| 697 | 1209 | 1 | H | 0 | 0 | 0 | 1 |
| 697 | 1336 | 2 | H | 0 | 0 | 1 | 0 |
| 697 | 1477 | 3 | H | 0 | 0 | 1 | 1 |
| 770 | 1209 | 4 | H | 0 | 1 | 0 | 0 |
| 770 | 1336 | 5 | H | 0 | 1 | 0 | 1 |
| 770 | 1477 | 6 | H | 0 | 1 | 1 | 0 |
| 852 | 1209 | 7 | H | 0 | 1 | 1 | 1 |
| 852 | 1336 | 8 | H | 1 | 0 | 0 | 0 |
| 852 | 1477 | 9 | H | 1 | 0 | 0 | 1 |
| 941 | 1336 | 0 | H | 1 | 0 | 1 | 0 |
| 941 | 1209 | * | H | 1 | 0 | 1 | 1 |
| 941 | 1477 | # | H | 1 | 1 | 0 | 0 |
| 697 | 1633 | A | H | 1 | 1 | 0 | 1 |
| 770 | 1633 | B | H | 1 | 1 | 1 | 0 |
| 852 | 1633 | C | H | 1 | 1 | 1 | 1 |
| 941 | 1633 | D | H | 0 | 0 | 0 | 0 |
| – | – | ANY | L | Z | Z | Z | Z |

L = LOGIC LOW, H = LOGIC HIGH, Z = HIGH IMPEDANCE

Fig. 3 Functional Decode Table

## Functional Description

The MT8870 monolithic DTMF receiver offers small size, low power consumption and high performance. Its architecture consists of a bandsplit filter section, which separates the high and low tones of a receiver pair, followed by a digital counting section which verifies the frequency and duration of the received tones before passing the corresponding code to the output bus.

## Filter Section

Separation of the low-group and high-group tones is achieved by applying the dual-tone signal to the inputs of two ninth-order switched-capacitor bandpass filters, the bandwidths of which correspond to the bands enclosing the low-group and high-group tones (see Fig. 5). The filter section also incorporates notches at 350 Hz and 440 Hz for exceptional dial-tone rejection. Each filter output is followed by a single-order switched-capacitor section which smooths the signals prior to limiting. Limiting is performed by high-gain comparators which are provided with hysteresis to prevent detection of unwanted low-level signals and noise; the outputs of the comparators provide full-rail logic swings at the frequencies of the incoming tones.

## Decoder Section

The decoder uses digital counting techniques to determine the frequencies of the limited tones and to verify that they correspond to standard DTMF frequencies. A complex averaging algorithm protects against tone simulation by extraneous signals, such as voice, while providing tolerance to small frequency deviations and variations. This averaging algorithm has been developed to ensure an optimum combination of immunity to "talk-off" and tolerance to the presence of interfering signals ("third tones") and noise. When the detector recognizes the simultaneous presence of two valid tones (referred to as "signal condition" in some industry specifications), it raises the "early steering" flag (ESt). Any subsequent loss of signal-condition will cause ESt to fall.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## Steering Circuit

Before registration of a decoded tone-pair, the receiver checks for a valid signal duration (referred to as "character-recognition-condition"). This check is performed by an external RC time-constant driven by ESt. A logic high on ESt causes $v_c$ (see Fig. 6) to rise as the capacitor discharges. Provided signal-condition is maintained (ESt remains high) for the validation period ($t_{GTP}$), $v_c$ reaches the threshold ($V_{TSt}$) of the steering logic to register the tone-pair, latching its corresponding 4-bit code (see Fig. 3) into the output latch. At this point, the GT output is activated and drives $v_c$ to $V_{DD}$. GT continues to drive high as long as ESt remains high. Finally after a short delay to allow the output latch to settle, the "delayed-steering" output flag, StD, goes high, signaling that a received tone-pair has been registered. The contents of the output latch are made available on the 4-bit output bus by raising the 3-state control input (TOE) to a logic high. The steering circuit works in reverse to validate the interdigit pause between signals. Thus, as well as rejecting signals too short to be considered valid, the receiver will tolerate signal interruptions ("drop-out") too short to be considered a valid pause. The facility, together with the capability of selecting the steering time-constants externally, allows the designer to tailor performance to meet a wide variety of system requirements.

## Guard Time Adjustment

In many situations not requiring independent selection of receive and pause, the simple steering circuit of Fig. 6 is applicable. Component values are chosen according to the following formulae:

$$t_{REC} \approx t_{DP} + t_{GTP}$$
$$t_{GTP} \sim 0.67\ RC$$

The value of $t_{DP}$ is a parameter of the device (see table) and $t_{REC}$ is the minimum signal duration to be recognized by the receiver. A value for C of 0.1 $\mu$F is recommended for most applications, leaving R to be selected by the designer. For example, a suitable value of R for a $t_{REC}$ of 40 ms would be 300 k.

A typical circuit using this steering configuration is shown in Fig. 2. The timing requirements for most telecommunication applications are satisfied with this circuit. Different steering arrangements may be used to select independently the guard-times for tone-present ($t_{GTP}$) and tone-absent ($t_{GTA}$). This may be necessary to meet system specifications which place both accept and reject limits on both tone-duration and interdigit pause.

Guard-time adjustment also allows the designer to tailor system parameters such as talk-off and noise immunity. Increasing $t_{REC}$ improves talk-off performance, since it reduces the probability that tones simulated by speech will maintain signal condition for long enough to be registered. On the other hand, a relatively short $t_{REC}$ with a long $t_{DO}$ would be appropriate for extremely noisy environments where fast acquisition time and immunity to drop-outs would be requirements. Design information for guard-time adjustment is shown in Fig. 7.

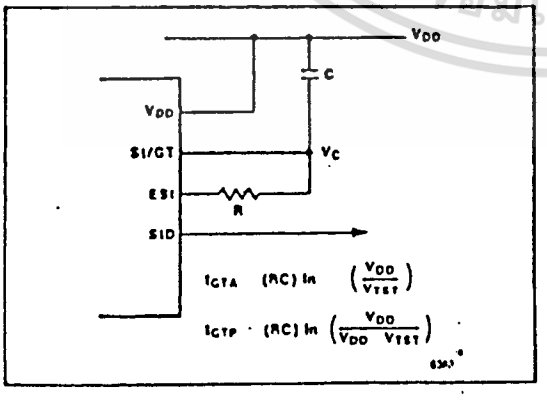
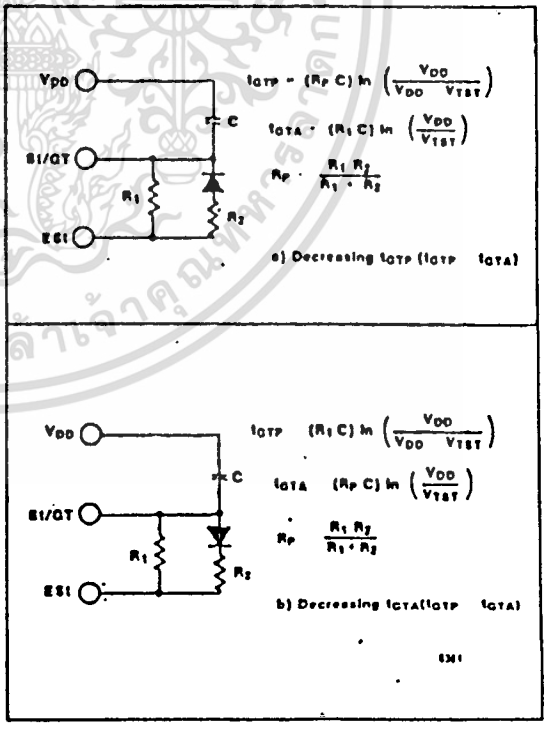



Fig. 6 Basic Steering Circuit




เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## Steering Circuit

Before registration of a decoded tone-pair, the receiver checks for a valid signal duration (referred to as "character-recognition-condition"). This check is performed by an external RC time-constant driven by ESt. A logic high on ESt causes $v_c$ (see Fig. 6) to rise as the capacitor discharges. Provided signal-condition is maintained (ESt remains high) for the validation period ($t_{GTP}$), $v_c$ reaches the threshold ($V_{TST}$) of the steering logic to register the tone-pair, latching its corresponding 4-bit code (see Fig. 3) into the output latch. At this point, the GT output is activated and drives $v_c$ to $V_{DD}$. GT continues to drive high as long as ESt remains high. Finally after a short delay to allow the output latch to settle, the "delayed-steering" output flag, StD, goes high, signaling that a received tone-pair has been registered. The contents of the output latch are made available on the 4-bit output bus by raising the 3-state control input (TOE) to a logic high. The steering circuit works in reverse to validate the interdigit pause between signals. Thus, as well as rejecting signals too short to be considered valid, the receiver will tolerate signal interruptions ("drop-out") too short to be considered a valid pause. The facility, together with the capability of selecting the steering time-constants externally, allows the designer to tailor performance to meet a wide variety of system requirements.

## Guard Time Adjustment

In many situations not requiring independent selection of receive and pause, the simple steering circuit of Fig. 6 is applicable. Component values are chosen according to the following formulae:

$$t_{REC} = t_{DP} + t_{GTP}$$
$$t_{GTP} \sim 0.67\ RC$$

The value of $t_{DP}$ is a parameter of the device (see table) and $t_{REC}$ is the minimum signal duration to be recognized by the receiver. A value for C of 0.1 $\mu$F is recommended for most applications, leaving R to be selected by the designer. For example, a suitable value of R for a $t_{REC}$ of 40 ms would be 300 k.

A typical circuit using this steering configuration is shown in Fig. 2. The timing requirements for most telecommunication applications are satisfied with this circuit. Different steering arrangements may be used to select independently the guard-times for tone-present ($t_{GTP}$) and tone-absent ($t_{GTA}$). This may be necessary to meet system specifications which place both accept and reject limits on both tone-duration and interdigit pause.

Guard-time adjustment also allows the designer to tailor system parameters such as talk-off and noise immunity. Increasing $t_{REC}$ improves talk-off performance, since it reduces the probability that tones simulated by speech will maintain signal condition for long enough to be registered. On the other hand, a relatively short $t_{REC}$ with a long $t_{DO}$ would be appropriate for extremely noisy environments where fast acquisition time and immunity to drop-outs would be requirements. Design information for guard-time adjustment is shown in Fig. 7.

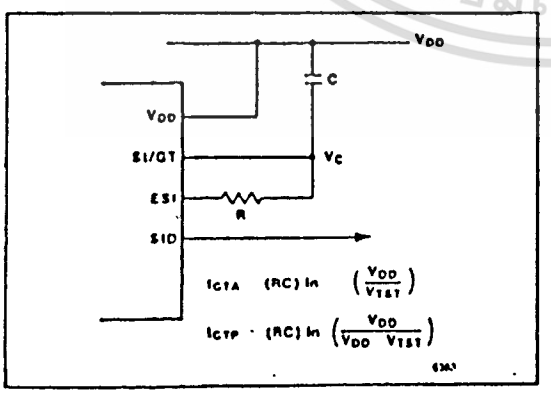
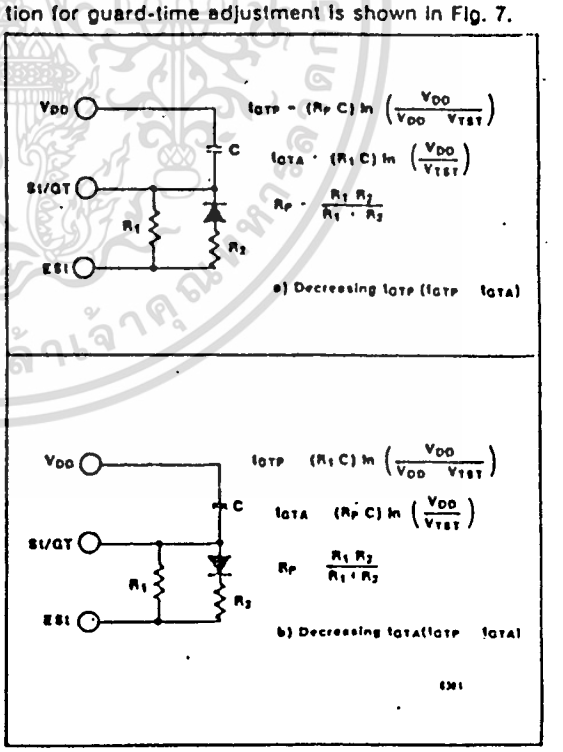



Fig. 6 Basic Steering Circuit




เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## Input Configuration

The input arrangement of the MT8870 provides a differential-input operational amplifier as well as a bias source ($V_{REF}$) which is used to bias the inputs at mid-rail.

Provision is made for connection of a feedback resistor to the op-amp output (GS) for adjustment of gain.

In a single-ended configuration, the input pins are connected as shown in Fig. 2 with the op-amp connected for unity gain and $V_{REF}$ biasing the input at 1/2 $V_{DD}$. Fig. 8 shows the differential configuration, which permits the adjustment of gain with the feedback resistor $R_6$.

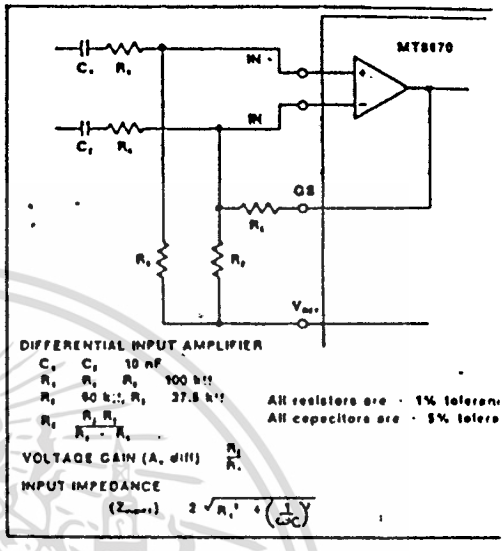
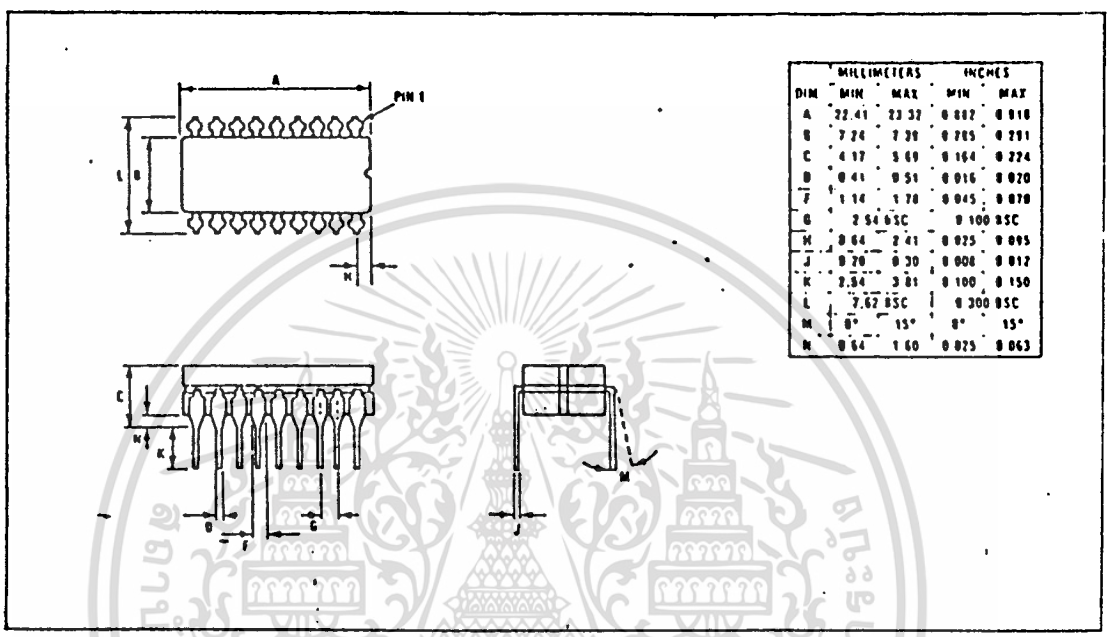



Fig. 8 Differential Input Configuration

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




| DIM | MILLIMETERS MIN | MAX | INCHES MIN | MAX |
|---|---|---|---|---|
| A | 22.41 | 23.32 | 0.882 | 0.918 |
| B | 7.24 | 7.39 | 0.285 | 0.291 |
| C | 4.17 | 5.69 | 0.164 | 0.224 |
| D | 0.41 | 0.51 | 0.016 | 0.020 |
| F | 1.14 | 1.78 | 0.045 | 0.070 |
| G | 2.54 BSC | | 0.100 BSC | |
| H | 0.64 | 2.41 | 0.025 | 0.095 |
| J | 0.20 | 0.30 | 0.008 | 0.012 |
| K | 2.54 | 3.81 | 0.100 | 0.150 |
| L | 7.62 BSC | | 0.300 BSC | |
| M | 0° | 15° | 0° | 15° |
| N | 0.64 | 1.60 | 0.025 | 0.063 |

Information furnished by MITEL Semiconductor is believed to be accurate and reliable. However, no responsibility is assumed by MITEL Semiconductor for its use; nor for any infringements of patents or other rights of third parties which may result from its use. No license is granted by implication or otherwise under any patent rights of MITEL Semiconductor. Specifications are subject to change without notice.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# LOW POWER DUAL VOLTAGE COMPARATOR LM193/A/293/A/393/A/2903

## DESCRIPTION

The LM193 series consists of two independent precision voltage comparators with an offset voltage specification as low as 2.0mV max for two comparators which were designed specifically to operate from a single power supply over a wide range of voltages. Operation from split power supplies is also possible and the low power supply current drain is independent of the magnitude of the power supply voltage. These comparators also have a unique characteristic in that the input common mode voltage range includes ground, even though operated from a single power supply voltage.

The LM193 series was designed to directly interface with TTL and CMOS. When operated from both plus and minus power supplies, the LM193 series will directly interface with MOS logic where their low power drain is a distinct advantage over standard comparators.

## FEATURES

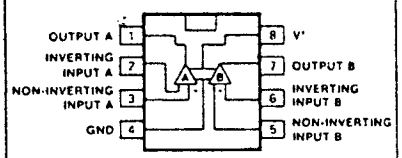
- Wide single supply voltage range 2.0Vdc to 36Vdc or dual supplies ±1.0Vdc to ±18Vdc
- Very low supply current drain (0.8mA) independent of supply voltage (2.0mW/-comparator at 5.0Vdc)
- Low input biasing current 25nA
- Low input offset current ±5nA and offset voltage ±2mV
- Input common-mode voltage range includes ground
- Differential input voltage range equal to the power supply voltage.
- Low output 250mV at 4mA saturation voltage
- Output voltage compatible with TTL, DTL, ECL, MOS and CMOS logic systems.

## APPLICATIONS

- A/D converters
- Wide range VCO
- MOS clock generator
- High voltage logic gate
- Multivibrators

## PIN CONFIGURATIONS

D,N,FE PACKAGE




TOP VIEW

ORDER NUMBERS

| | |
|---|---|
| LM193FE | LM393FE |
| LM293FE | LM393AFE |
| LM293AFE | LM393N |
| LM293N | LN393AN |
| LM293AN | LM2903N |
| LM393D | |

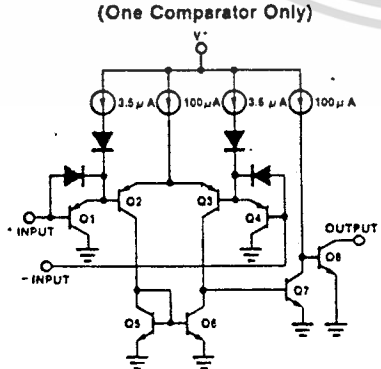
4

## ABSOLUTE MAXIMUM RATINGS

| PARAMETER | RATING | UNIT |
|---|---|---|
| $V_{CC}$ supply voltage | 36 or ±18 | Vdc |
| Differential input voltage | 36 | Vdc |
| Input voltage | -0.3 to +36 | Vdc |
| Power dissipation[1] | | |
| N | 570 | mW |
| FE | 900 | mW |
| Output short circuit to ground[2] | Continuous | |
| Input current ($V_{IN}$ < -0.3Vdc)[3] | 50 | mA |
| Operating temperature range | | |
| LM193/193A | -55 to +125 | °C |
| LM293/293A | -25 to +85 | °C |
| LM393/393A | 0 to +70 | °C |
| LM2903 | -40 to +85 | °C |
| Storage temperature range | -65 to +150 | °C |
| Lead temperature (soldering 10 sec.) | 300 | °C |

## EQUIVALENT CIRCUIT

(One Comparator Only)






เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**DC ELECTRICAL CHARACTERISTICS** (Cont'd) V+ = 5Vdc, LM193/193A: $-55°C \le T_A \le +125°C$ unless otherwise specified.
LM293/293A: $-25°C \le T_A \le +85°C$ unless otherwise specified.
LM393/393A: $0°C \le T_A \le +70°C$ unless otherwise specified.
LM2903: $-40°C \le T_A \le +85°C$ unless otherwise specified.[7]

| PARAMETER | | TEST CONDITIONS | LM193 | | | LM293/393 | | | UNIT |
|---|---|---|---|---|---|---|---|---|---|
| | | | Min | Typ | Max | Min | Typ | Max | |
| $V_{OS}$ | Input offset voltage[5] | $T_A = 25°C$<br>Over temp. | | ±2.0 | ±5.0<br>±9.0 | | ±2.0 | ±5.0<br>±9.0 | mV |
| $V_{CM}$ | Input common mode voltage range[6,10] | $T_A = 25°C$<br>Over temp. | 0<br>0 | | V+-1.5<br>V+-2.0 | 0<br>0 | | V+-1.5<br>V+-2.0 | V |
| $V_{IDR}$ | Differential input voltage[4] | Keep all $V_{IN}$'s ≥ 0Vdc (or V- if need) | | | V+ | | | V+ | V |
| $I_B$ | Input bias current[8] | $I_{IN(+)}$ or $I_{IN(-)}$ with output in linear range<br>$T_A = 25°C$<br>Over temp. | | 25 | 100<br>300 | | 25 | 250<br>400 | nA |
| $I_{OS}$ | Input offset current | $I_{IN(+)} - I_{IN(-)}$<br>$T_A = 25°C$<br>Over temp. | | ±3.0 | ±25<br>±100 | | ±5.0 | ±50<br>±150 | nA<br>nA |
| $I_{OL}$ | Output sink current | $V_{IN(-)} \ge 1Vdc$, $V_{IN(+)} = 0$,<br>$V_O \le 1.5Vdc$,<br>$T_A = 25°C$ | 6.0 | 16 | | 6.0 | 16 | | mA |
| $I_{OH}$ | Output leakage current | $V_{IN(+)} \ge 1Vdc$, $V_{IN(-)} = 0$<br>$V_O = 5Vdc$,<br>$T_A = 25°C$<br>$V_O = 30Vdc$, over temp. | | 0.1 | <br><br>1.0 | | 0.1 | <br><br>1.0 | nA<br><br>μA |
| $I_{CC}$ | Supply current | $R_L = \infty$ on both comparators<br>$T_A = 25°C$<br>V+ = 30V, over temp. | | 0.8 | 1<br>2.5 | | 0.8 | 1<br>2.5 | mA |
| $A_V$ | Voltage gain | $R_L \ge 15K\Omega$, V+ = 15Vdc | 50 | 200 | | 50 | 200 | | V/mV |
| $V_{OL}$ | Saturation voltage | $V_{IN(-)} \ge 1Vdc$, $V_{IN(+)} = 0$,<br>$I_{SINK} \le 4mA$<br>$T_A = 25°C$<br>Over temp. | | 250 | 400<br>700 | | 250 | 400<br>700 | mV |
| $T_{LSR}$ | Large signal response time | $V_{IN}$ = TTL logic swing,<br>$V_{REF} = 1.4Vdc$, $V_{RL} = 5Vdc$,<br>$R_L = 5.1k\Omega$,<br>$T_A = 25°C$ | | 300 | | | 300 | | ns |
| $T_R$ | Response time[9] | $V_{RL} = 5Vdc$,<br>$R_L = 5.1k\Omega$,<br>$T_A = 25°C$ | | 1.3 | | | 1.3 | | μs |

NOTES

1. For operating at high temperatures, the LM393/393A and LM2903 must be derated based on a 125°C maximum junction temperature and a thermal resistance of 175°C/W which applies for the device soldered in a printed circuit board, operating in a still air ambient. The LM193/193A/293/293A must be derated based on a 150°C maximum junction temperature. The low bias dissipation and the "On-Off" characteristics of the outputs keeps the chip dissipation very small ($P_D \le 100mW$), provided the output transistors are allowed to saturate.
2. Short circuits from the output to V+ can cause excessive heating and eventual destruction. The maximum output current is approximately 20mA independent of the magnitude of V+.
3. This input current will only exist when the voltage at any of the input leads is driven negative. It is due to the collector-base junction of the input PNP transistors becoming forward biased and thereby acting as input diode clamps. In addition to this diode action, there is also lateral NPN parasitic transistor action on the IC chip. This transistor action can cause the output voltages of the comparators to go to the V+ voltage level (or to ground for a large overdrive) for the time duration that an input is driven negative. This is not destructive and normal output states will re-establish when the input voltage, which was negative, again returns to a value greater than -0.3Vdc.
4. Positive excursions of input voltage may exceed the power supply level by 17 Volts. As long as the other voltage remains within the common-mode range, the comparator will provide a proper output state. The low input voltage state must not be less than -0.3Vdc (Vdc below the magnitude of the negative power supply, if used).
5. At output switch point, $V_O \approx 1.4Vdc$, $R_S = 0\Omega$ with V+ from 5Vdc to 30Vdc, and over the full input common-mode range (0Vdc to V+ -1.5Vdc).
6. The input common-mode voltage or either input signal voltage should not be allowed to go negative by more than 0.3V. The upper end of the common-mode voltage range is V+ -1.5V, but either or both inputs can go to 30Vdc without damage.
7. With the LM293/293A, all temperature specifications are limited to $-25°C \le T_A \le +85°C$ and the LM393/393A, all temperature specifications are limited to $0°C \le T_A \le +70°C$. The LM2903 is limited to $-40°C \le T_A \le 85°C$.
8. The direction of the input current is out of the IC due to the PNP input stage. This current is essentially constant, independent of the state of the output so no loading change exists on the reference or input lines.
9. The response time specified is for a 100mV input step with a 5mV overdrive.
10. For input signals that exceed $V_{CC}$, only the overdriven comparator is affected. With a 5V supply, $V_{IN}$ should be limited to 25V max., and a limiting resistor should be used on all inputs that might exceed the positive supply.



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# LOW POWER DUAL VOLTAGE COMPARATOR LM193/A/293/A/393/A/2903

**DC ELECTRICAL CHARACTERISTICS** V+ = 5Vdc, LM193/193A: $-55°C \le T_A \le +125°C$ unless otherwise specified.
LM293/293A: $-25°C \le T_A \le +85°C$ unless otherwise specified
LM393/393A: $0°C \le T_A \le +70°C$ unless otherwise specified.
LM2903: $-40°C \le T_A \le +85°C$ unless otherwise specified.[7]

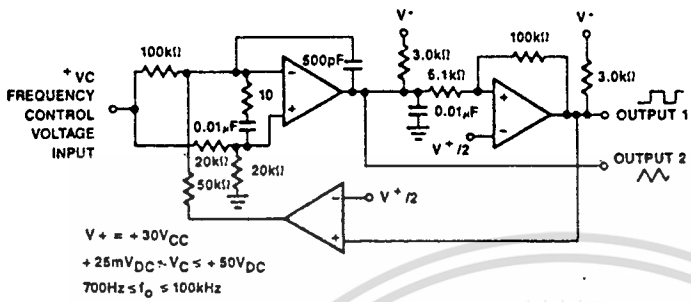
| PARAMETER | | TEST CONDITIONS | LM193A | | | LM293A/393A | | | LM2903 | | | UNIT |
|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | | | Min | Typ | Max | Min | Typ | Max | Min | Typ | Max | |
| $V_{OS}$ | Input offset voltage[5] | $T_A$ = 25°C<br>Over temp. | | ±1.0 | ±2.0<br>±4.0 | | ±1.0 | ±2.0<br>±4.0 | | ±2.0<br>±9 | ±7.0<br>±15 | mV |
| $V_{CM}$ | Input common mode voltage range[6,10] | $T_A$ = 25°C<br>Over temp. | 0<br>0 | | V+-1.5<br>V+-2.0 | 0<br>0 | | V+-1.5<br>V+-2.0 | 0<br>0 | | V+-1.5<br>V+-2.0 | V |
| $V_{IDR}$ | Differential input voltage[4] | Keep all $V_{IN}$s ≥ 0Vdc (or V-if need) | | | V+ | | | V+ | | | V+ | V |
| $I_B$ | Input bias current[8] | $I_{IN(+)}$ or $I_{IN(-)}$ with output in linear range<br>$T_A$ = 25°C<br>Over temp. | | 25 | 100<br>300 | | 25 | 250<br>400 | | 25<br>200 | 250<br>500 | nA |
| $I_{OS}$ | Input offset current | $I_{IN(+)} - I_{IN(-)}$<br>$T_A$ = 25°C<br>Over temp. | | ±3.0 | ±25<br>±100 | | ±5.0 | ±50<br>±150 | | ±5<br>±50 | ±50<br>±200 | nA<br>nA |
| $I_{OL}$ | Output sink current | $V_{IN(-)} \ge 1Vdc$, $V_{IN(+)} = 0$,<br>$V_O \le 1.5Vdc$,<br>$T_A$ = 25°C | 6.0 | 16 | | 6.0 | 16 | | 6.0 | 16 | | mA |
| $I_{OH}$ | Output leakage current | $V_{IN(+)} \ge 1Vdc$, $V_{IN(-)} = 0$<br>$V_O$ = 30Vdc<br>Over temp.<br>$V_O$ = 5Vdc, $T_A$ = 25°C | | 0.1 | 1.0 | | 0.1 | 1.0 | | 0.1 | 1.0 | μA<br>na |
| $I_{CC}$ | Supply current | $R_L = \infty$ on both comparators.<br>$T_A$ = 25°C<br>V+ = 30V, over temp. | | 0.8<br>1 | 1<br>2.5 | | 0.8<br>1 | 1<br>2.5 | | 0.8<br>1 | 1<br>2.5 | mA |
| $A_V$ | Voltage gain | $R_L \ge 15k\Omega$, V+ = 15Vdc, $T_A$ = 25°C | 50 | 200 | | 50 | 200 | | 25 | 100 | | V/mV |
| $V_{OL}$ | Saturation voltage | $V_{IN(-)} \ge 1Vdc$, $V_{IN(+)} = 0$,<br>$I_{SINK} \le 4mA$<br>$T_A$ = 25°C<br>Over temp. | | 250 | 400<br>700 | | 250 | 400<br>700 | | 400 | 400<br>700 | mV |
| $T_{LSR}$ | Large signal response time | $V_{IN}$ = TTL logic swing,<br>$V_{REF}$ = 1.4Vdc,<br>$V_{RL}$ = 5Vdc, $R_L$ = 5.1kΩ,<br>$T_A$ = 25°C | | 300 | | | 300 | | | 300 | | ns |
| $T_R$ | Response time[9] | $V_{RL}$ = 5Vdc, $R_L$ = 5.1kΩ,<br>$T_A$ = 25°C | | 1.3 | | | 1.3 | | | 1.3 | | μs |

4

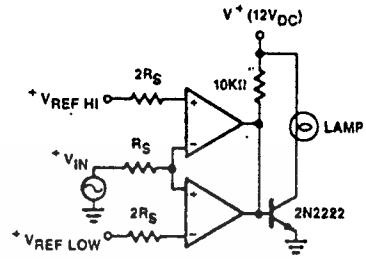
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## TYPICAL APPLICATIONS

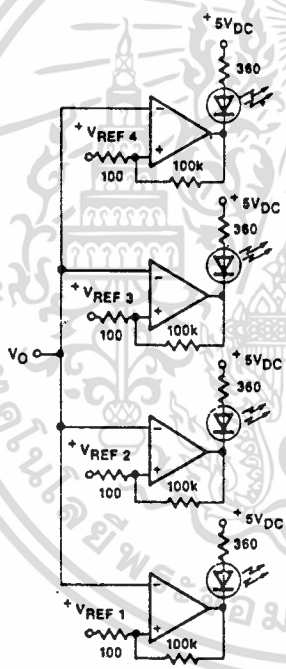
### TWO-DECADE HIGH-FREQUENCY VCO



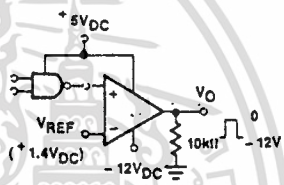

### LIMIT COMPARATOR



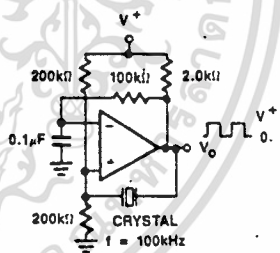

### VISIBLE VOLTAGE INDICATOR




### TTL TO MOS LOGIC CONVERTER




### CRYSTAL CONTROLLED OSCILLATOR

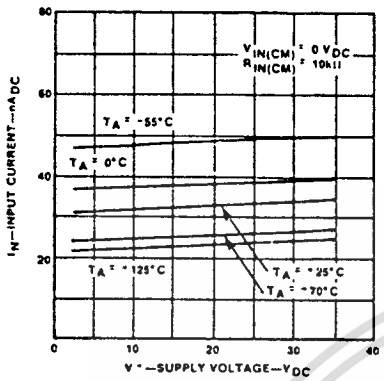



All pins of any unused comparators should be grounded.

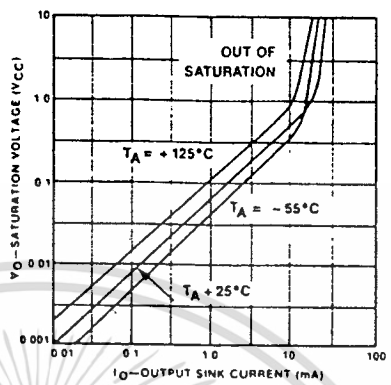
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## PICAL PERFORMANCE CHARACTERISTICS

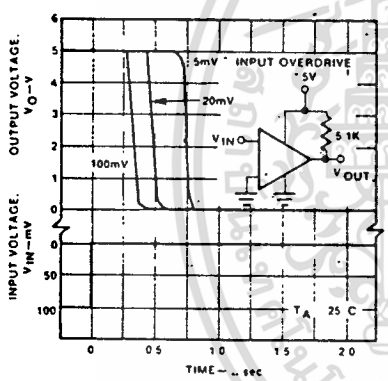
INPUT CURRENT



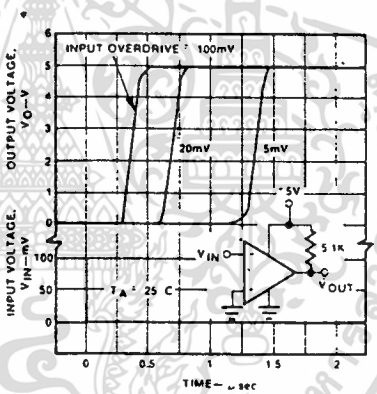

OUTPUT SATURATION VOLTAGE




RESPONSE TIME FOR VARIOUS INPUT OVERDRIVES— NEGATIVE TRANSITION




RESPONSE TIME FOR VARIOUS INPUT OVERDRIVES— POSITIVE TRANSITION




4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# NE555 AND NE556 APPLICATIONS

AN170

## INTRODUCTION

In mid 1972, Signetics introduced the 555 timer, a unique functional building block that has enjoyed unprecedented popularity. The timer's success can be attributed to several inherent characteristics foremost of which are versatility, stability and low cost. There can be no doubt that the 555 timer has altered the course of the electronics industry with an impact not unlike that of the I.C. operational amplifier.

The simplicity of the timer in conjunction with its ability to produce long time delays in a variety of applications has lured many designers from mechanical timers, op amps, and various discrete circuits into the ever increasing ranks of timer users.

## DESCRIPTION

The 555 timer consists of two voltage comparators, a bistable flip-flop, a discharge transistor, and a resistor divider network. To understand the basic concept of the timer let's first examine the timer in block form as in Figure 1.

555/556 TIMER FUNCTIONAL BLOCK DIAGRAM

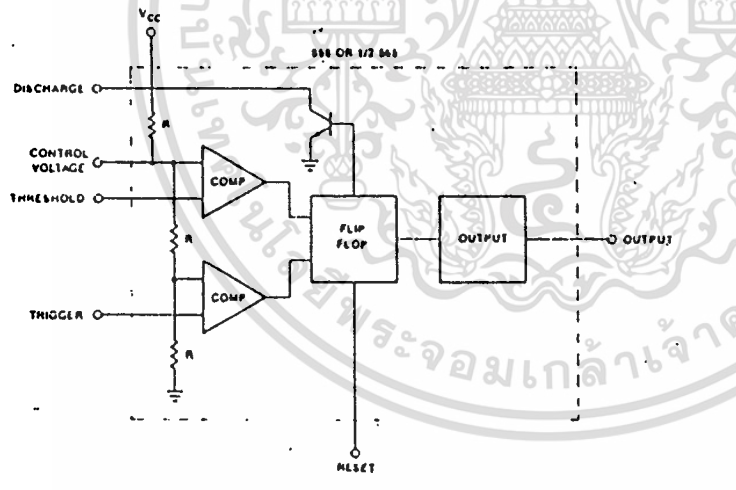



Figure 1

The resistive divider network is used to set the comparator levels. Since all three resistors are of equal value, the threshold comparator is referenced internally at 2/3 of supply voltage level and the trigger comparator is referenced at 1/3 of supply voltage. The outputs of the comparators are tied to the bistable flip-flop. When the trigger voltage is moved below 1/3 of the supply, the comparator changes state and sets the flip-flop driving the output to a high state. The threshold pin normally monitors the capacitor voltage of the RC timing network. When the capacitor voltage exceeds 2/3 of the supply, the threshold comparator resets the flip-flop which in turn drives the output to a low state. When the output is in a low state, the discharge transistor is "on", thereby discharging the external timing capacitor. Once the capacitor is discharged, the timer will await another trigger pulse, the timing cycle having been completed.

The 555 and its complement, the 556 Dual Timer, exhibit a typical initial timing accuracy of 1% with a 50ppm/°C timing drift with temperature. To operate the timer as a one shot, only two external components are necessary; resistance & capacitance. For an oscillator, only one additional resistor is necessary. By proper selection of external components, oscillating frequencies from one cycle per half hour to 500KH$_Z$ can be realized. Duty cycles can be adjusted from less than one percent to 99 percent over the frequency spectrum. Voltage control of timing and oscillation functions is also available.

### Timer Circuitry

The timer is comprised of five distinct circuits; two voltage comparators, a resistive voltage divider reference, a bistable flip-flop, a discharge transistor, and an output stage that is the "totem pole" design for sink or source capability.

$Q_{10}$ - $Q_{13}$ comprise a Darlington differential pair which serves as a trigger comparator. Starting with a positive voltage on the trigger; $Q_{10}$ and $Q_{11}$ turn on when the voltage at pin 2 is moved below one third of the supply voltage. The voltage level is derived from a resistive divider chain consisting of $R_7$, $R_8$ and $R_9$. All three resistors are of equal value (5K ohms). At fifteen volts supply, the triggering level would be five volts. When $Q_{10}$ and $Q_{11}$ turn on, they provide a base drive for $Q_{15}$, turning it on. $Q_{16}$ and $Q_{17}$ form a bistable flip-flop. When $Q_{15}$ is saturated, $Q_{16}$ is 'off' and $Q_{17}$ is saturated. $Q_{16}$ and $Q_{17}$ will remain in these states even if the trigger is removed and $Q_{15}$ is turned 'off'. While $Q_{17}$ is saturated, $Q_{20}$ and $Q_{14}$ are turned off.

The output structure of the timer is a "totem pole" design, with $Q_{22}$ and $Q_{24}$ being large geometry transistors capable of providing 200mA with a fifteen volt supply. While $Q_{20}$ is 'off', base drive is provided for $Q_{22}$ by $Q_{21}$, thus providing a high output.

For the duration that the output is in a high state, the discharge transistor is 'off'. Since the collector of $Q_{14}$ is typically connected to the external timing capacitor, C, while $Q_{14}$ is off the timing capacitor now can charge thru the timing resistor, $R_A$.

The capacitor voltage is monitored by the threshold comparator ($Q_1$ - $Q_4$) which is a Darlington differential pair. When the capacitor voltage reaches two thirds of the supply voltage, the current is directed from $Q_3$ and $Q_4$ thru $Q_1$ and $Q_2$. Amplification of the current change is provided by $Q_5$ and $Q_6$. $Q_5$ - $Q_6$ and $Q_7$ - $Q_8$ comprise a diode-biased amplifier. The amplified current change from $Q_6$ now provides a base drive for $Q_{16}$ which is part of the bistable flip-flop to change states. In doing so, the output is driven "low", and $Q_{14}$ the discharge transistor is turned "on" shorting the timing capacitor to ground.

The discussion to this point has only encompassed the most fundamental of the timer's operating modes and circuitry. Several points of the circuit are brought out to the real world which allow the timer to function in a variety of modes. It is important; more than that, it is essential that one understands all the variations possible in order to utilize this device to its fullest extent.



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SCHEMATIC 555 OR 1/2 556 DUAL TIMER

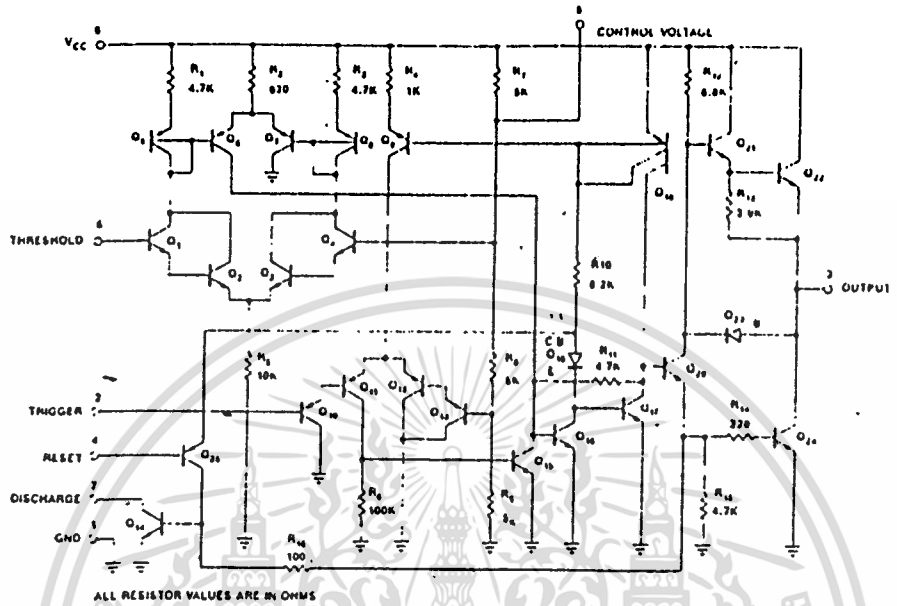



Figure 2

## Reset Function

Regressing to the trigger mode, it should be noted that once the device has triggered and the bistable flip-flop set, continued triggering will not interfere with the timing cycle. However, there may come a time when it is necessary to interrupt or halt a timing cycle. This is the function that the reset accomplishes.

In the normal operating mode the reset transistor, $Q_{25}$, is off with its base held high. When the base of $Q_{25}$ is grounded, it turns on, providing base drive to $Q_{14}$, turning it on. This discharges the timing capacitor, resets the flip-flop at $Q_{17}$, and drives the output low. The reset overrides all other functions within the timer.

## Trigger Requirements

Due to the nature of the trigger circuitry, the timer will trigger on the negative going edge of the input pulse. For the device to time out properly, it is necessary that the trigger voltage level be returned to some voltage greater than one third of the supply before the time out period. This can be achieved by making either the trigger pulse sufficiently short or by AC coupling into the trigger. By AC coupling the trigger, see Figure 3, a short negative going pulse is achieved when the trigger signal goes to ground. AC coupling is most frequently used in conjunction with a switch or a signal that goes to ground which initiates the timing cycle. Should the trigger be held low, without AC coupling, for a longer duration than the timing cycle the output will remain in a high state for the duration of the low trigger signal, without regard to the threshold comparator state. This is due to the predominance of $Q_{15}$ on the base of $Q_{16}$, controlling the state of the bistable flip-flop. When the trigger signal then returns to a high level, the output will fall immediately. Thus, the output signal will follow the trigger signal in this case.

## Control Voltage

One additional point of significance, the control voltage, is brought out on the timer. As mentioned earlier, both the trigger comparator, $Q_{10} \cdot Q_{13}$, and the threshold comparator, $Q_1 \cdot Q_4$, are referenced to an internal resistor divider network, $R_7$, $R_8$, $R_9$. This network establishes the nominal two thirds of supply voltage (Vcc) trip point for the threshold comparator and one third of

AC COUPLING OF THE TRIGGER PULSE

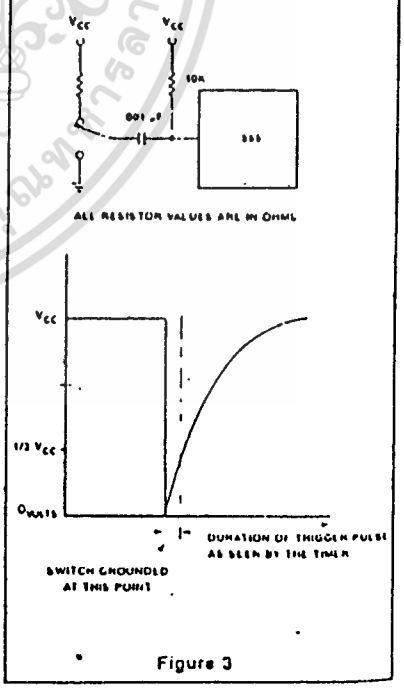



Figure 3



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Vcc for the trigger comparator. The two thirds point at the junction of $R_7$, $R_8$ and the base of $Q_4$ is brought out. By imposing a voltage at this point, the comparator reference levels may be shifted either higher or lower than the nominal levels of one third and two thirds of the supply voltage. Varying the voltage at this point will vary the timing. This feature of the timer opens a multitude of application possibilities such as using the timer as a voltage controlled oscillator, pulse width modulator, etc. For applications where the control voltage function is not used, it is strongly recommended that a bypass capacitor (.01μF) be place across the control voltage pin and ground. This will increase the noise immunity of the timer to high frequency trash which may monitor the threshold levels causing timing error.

## Monostable Operation

The timer lends itself to three basic operating modes:

1. Monostable (one shot)
2. Astable (oscillatory)
3. Time delay

By utilizing any one or combination of basic operating modes and suitable variations it is possible to utilize the timer in a myriad of applications. The applications are limited only to the imagination of the designer.

One of the simplest and most widely used operating modes of the timer is the monostable (one shot). This configuration requires only two external components for operation (See Figure 4). The sequence of events starts when a voltage below one third Vcc is sensed by the trigger comparator. The trigger is normally applied in the form of a short negative going pulse. On the negative going edge of the pulse, the device triggers, the output goes high and the discharge transistor turns off. Note that prior to the input pulse, the discharge transistor is on, shorting the timing capacitor to ground. At this point the timing capacitor, C, starts charging thru the timing resistor, R. The voltage on the capacitor increases exponentially with a time constant T = RC. Ignoring capacitor leakage, the capacitor will reach the two thirds Vcc level in 1.1 time constants or

$$T = 1.1\ RC \qquad (1)$$

where T is in seconds; R is in ohms and; C is in Farads. This voltage level trips the threshold comparator, which in turn drives the output low and turns on the discharge transistor. The transistor discharges the capacitor, C, rapidly. The timer has completed its cycle and will now await another trigger pulse.

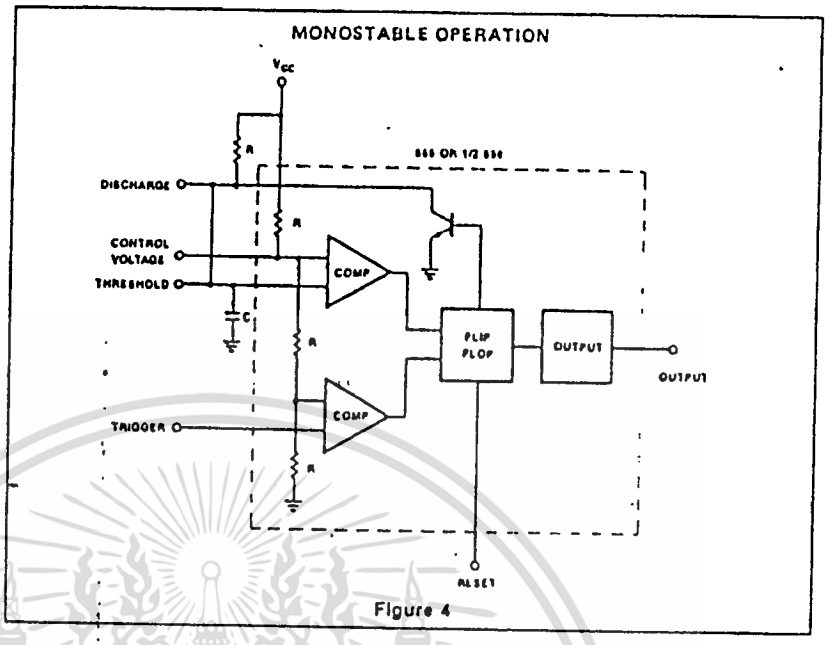



Figure 4

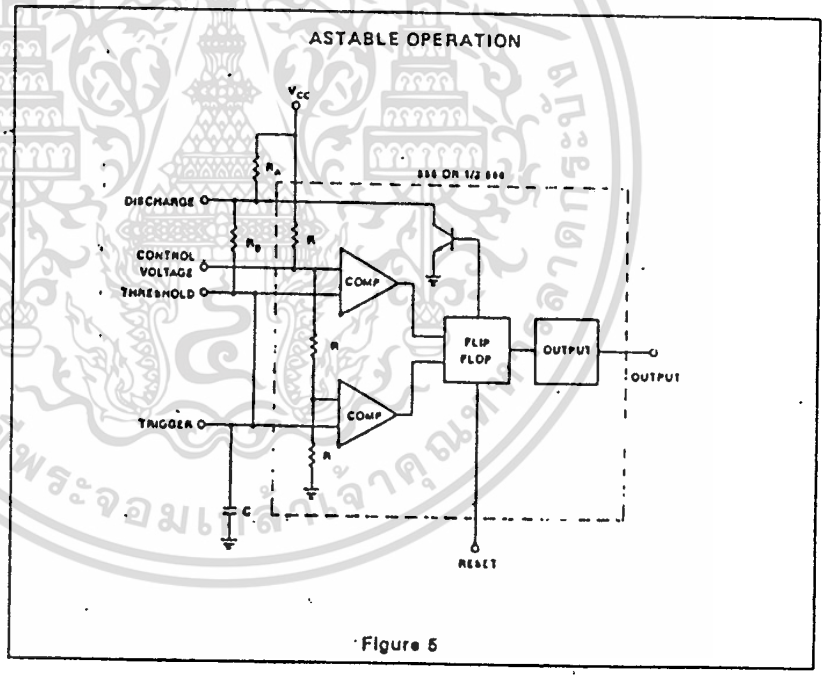



Figure 5

## Astable Operation

In the astable (free run) mode, only one additional component, Rb is necessary. The trigger is now tied to the threshold pin. At power up, the capacitor is discharged, holding the trigger low. This triggers the timer, which establishes the capacitor charge path thru $R_A$ and $R_B$. When the capacitor reaches the threshold level of 2/3 Vcc, the output drops low and the discharge transistor turns on.



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

The timing capacitor now discharges thru $R_B$. When the capacitor voltage drops to 1/3 Vcc, the trigger comparator trips, automatically retriggering the timer, creating an oscillator whose frequency is given by:

$$f = \frac{1.49}{(R_A + 2R_B)\,C} \qquad (2)$$

Selecting the ratios or $R_A$ and $R_B$ varies the duty cycle accordingly. Lo and behold, we have a problem. If a duty cycle of less than fifty percent is required, then what? Even if $R_A = 0$, the charge time cannot be made smaller than the discharge time because the charge path is $R_A + R_B$ while the discharge path is $R_B$ alone. In this case it becomes necessary to insert a diode in parallel with $R_B$, cathode toward the timing capacitor. Another diode is desireable, but not mandatory, this one in series with $R_B$, cathode away from the timing capacitor. Now the charge path becomes $R_A$, thru the parallel diode into C. Discharge is thru the series diode and $R_B$ to the discharge transistor. This scheme will afford a duty cycle range from less than 5% to greater than 95%. It should be noted that for reliable operation a minimum value of 3KΩ for $R_B$ is recommended to assure that oscillation begins.

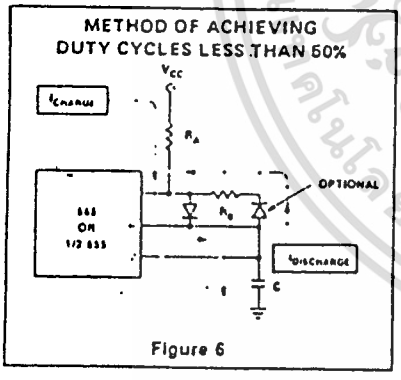



Figure 6

## Time Delay

In this third basic operating mode, we aim to accomplish something a little different from monostable operation. In the monostable mode, when a trigger was applied, the output immediately changed to the high state, timed out, and returned to its pre-trigger low state. In the time delay mode, we require the output not to change state upon triggering, but at some precalculated time after trigger is received.

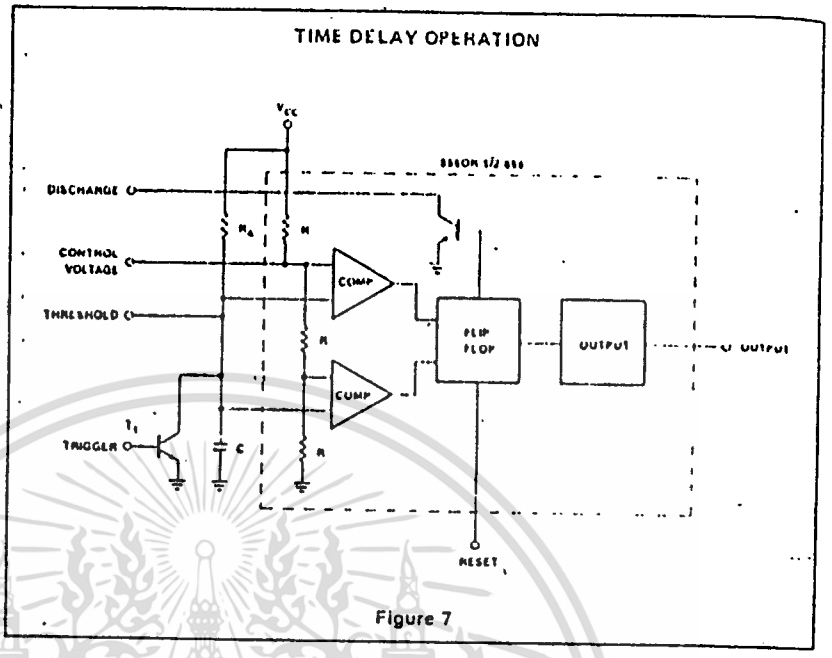



Figure 7

The threshold and trigger are tied together monitoring the capacitor voltage. The discharge function is not used. The operation sequence begins as transistor ($T_1$) is turned on, keeping the capacitor grounded. The trigger sees a low state and forces the timer output high. When the transistor is turned off the capacitor commences its charge cycle. When the capacitor reaches the threshold level, then and only then does the output change from its normally high state to the low state. The output will remain low until $T_1$ is again turned on.

## GENERAL DESIGN CONSIDERATIONS

The timer will operate over a guaranteed voltage range of 4.5 volts to 15 volts DC, with 16 VDC being the absolute max. rating. Most of the devices, however, will operate at voltage levels as low as 3 VDC. The timing interval is independent of supply voltage since the charge rate and threshold level of the comparator are both directly proportional to supply. The supply volatage may be provided by any number of sources: however, several precautions should be taken. The most important, the one which provides the most headaches if not practiced, is good power supply filtering and adequate bypassing. Ripple on the supply line can cause loss of timing accuracy. The threshold level shifts causing a change of charging current. This will cause a timing error for that cycle.

Due to the nature of the output structure, a high power totem pole design, the output of the timer can exhibit large current spikes on the supply line. Bypassing is necessary to eliminate this phenomenon. A capacitor across the Vcc and ground, ideally, directly across the device is necessary. The size of capacitor will depend on the specific application. Values of capacitance from .01μF to 10μF are not uncommon. Note that the bypass capacitor would be as close to the device as physically possible.

### Selecting External Components

In selecting the timing resistor and capacitor, there are several considerations to be taken into account.

Stable external components are necessary for the RC network if good timing accuracy is to be maintained. The timing resistor(s) should be of the metal film variety if timing accuracy and repeatability are important design criteria. The timer exhibits a typical initial accuracy of one percent. That is, with any one RC network, from timer to timer only one percent change is to be expected. Most of the initial timing error (i.e. deviation from the formula) is due to inaccuracies of external components. Resistors range from their rated values by .01% to 10 and 20 percent. Capacitors may have a 5 to 10 percent deviation from rated capacity. Therefore, in a



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

system where timing is critical, an adjustable timing resistor or precision components are necessary. For best results, a good quality trim pot, placed in series with the largest feasible resistance will allow for best adjustability and performance.

The timing capacitor should be a high quality, stable component with very low leakage characteristics. *Under no circumstances should ceramic disc capacitors be used in the timing network!* Ceramic disc capacitors are not sufficiently stable in capacitance to operate properly in an RC mode. Several acceptable capacitor types are: silver mica, mylar, polycarbonate, polystyrene, tantulum or similar types.

The timer typically exhibits a small negative temperature coefficient (50ppm/°C). If timer accuracy over temperature is a consideration, timing components with a small positive temperature coefficient should be chosen. This combination will tend to cancel timing drift due to temperature.

In selecting the values for the timing resistors and capacitor, several points should be considered. A minimum value of threshold current is necessary to trip the threshold comparator. This value is .25μA. To calculate the maximum value of resistance, keep in mind that at the time the threshold current is required, the voltage potential on the threshold pin is two thirds of supply. Therefore:

$$V_{potential} = V_{cc} - V_{capacitor}$$

$$V_{potential} = V_{cc} - 2/3\ V_{cc} = 1/3\ V_{cc}$$

Maximum resistance is then defined as

$$R_{max} = \frac{V_{cc} - V_{cap}}{I_{thresh}} \qquad (3)$$

Example: $V_{cc} = 15V$

$$R_{max} = \frac{15 - 10}{.25\ (10^{-6})} = 20M\Omega$$

$V_{cc} = 5V$

$$R_{max} = \frac{5 - 3.33}{.25\ (10^{-6})} \qquad 6.6M\Omega$$

*NOTE:* If using a large value of timing resistor, be certain that the capacitor leakage is significantly lower than the charging current available to minimize timing error.

On the other end of the spectrum, there are certain minimum values of resistance that should be observed. The discharge transistor, $Q_{14}$, is current limited at 35mA to 65mA internally. Thus, at the current limiting values, $Q_{14}$, establishes high saturation voltages. When examining the currents at $Q_{14}$, remember that the transistor, when turned on will be carrying two current loads. The first being the constant current thru timing resistor, $R_A$. The second will be the varying discharge current from the timing capacitor. To provide best operation the current contributed by the $R_A$ path should be minimized so that the majority of discharge current can be used to reset the capacitor voltage. Hence it is recommended that a 5K ohm value be the minimum feasible value for $R_A$. This does not mean lower values cannot be used successfully in certain applications. Yet there are extreme cases that should be avoided if at all possible.

Capacitor size has not proven to be a legitimate design criteria. Values ranging from picofarads to greater than one thousand microfarads have been used successfully. One precaution need be utilized though. (It should be a cardinal rule that applies to the usage of all I C's.) Make certain that the package power dissipation is not exceeded. With extremely large capacitor values, a maximum duty cycle which allows some cooling time for the discharge transistor, may be necessary.

The most important characteristic of the capacitor should be as low a leakage as possible. Obviously any leakage will subtract from the charge count causing the calculated time to be longer than anticipated.

## Control Voltage

Regressing momentarily, we recall that the control voltage pin is connected directly to the threshold comparator at the junction of $R_7$, or $R_8$. The combination of $R_7$, $R_8$ and $R_9$ comprise the resistive voltage divider network that establishes the nominal 1/3 Vcc trigger comparator level (junction $R_8$, $R_9$) and the 2/3 Vcc level for the threshold comparator (junction $R_7$, $R_8$).

For most applications, the control voltage function is not used and therefore is bypassed to ground with a small capacitor for noise filtering. The control voltage function, in other applications becomes an integral part of the design. By imposing a voltage at this pin, it becomes possible to vary the threshold comparator "set" level above or below the 2/3 Vcc nominal, hereby varying the timing. In the monostable mode, the control voltage may be varied from 45 percent to 90 percent of Vcc. The 45 to 90 percent figure is not firm, but only an indication to a safe usage. Control voltage levels below and above those stated have been used successfully in some applications.

In the oscillatory (free run) mode, the control voltage limitations are from 1.7 volts to Vcc. These values should be heeded for reliable operation. Keep in mind that in this mode the trigger level is also important. When the control voltage raises the threshold comparator level it also raise the trigger comparator level by one half that amount due to $R_8$ and $R_9$ of Figure 2. As a voltage controlled oscillator, one can expect ±25% around center frequency ($f_o$) to be virtually linear with a normal RC timing circuit. For wider linear variations around $F_o$ it may be desireable to replace the charging resistor with a constant current source. In this manner the exponential charging characteristics of the classical configuration will be altered to linear charge time.

## Reset Control

The only remaining function now is the reset. As mentioned earlier, the reset, when taken to ground, inhibits all device functioning. The output is driven low, the bistable flip-flop is reset, and the timing capacitor is discharged. In the astable (oscillatory) mode, the reset can be used to gate the oscillator. In the monostable it can be used as a timing abort to either interrupt a timing sequence or establish a standby mode (i.e. – device off during power up). It can also be used in conjunction with the trigger pin to establish a positive edge triggered circuit as opposed to the normal negative edge trigger mode. One thing to keep in mind when using the reset function is that the reset voltage (switching) point is between 0.4V and 1.0V (min/max). Therefore, if used in conjunction with the trigger, the device will be out of the reset mode prior to reaching 1 volt. At that point the trigger is in the "turn on" region, below 1/3 Vcc. This will cause the device to trigger immediately, effectively triggering on the positive going edge if a pulse is applied to pins 4 and 2 simultaneously.

## FREQUENTLY ASKED APPLICATIONS QUESTIONS

The following is a harvest of various maladies, exceptions, and idiosyncracies that may exhibit themselves from time



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

to time in various applications. Rather than cast aspersions, a quick review of this list may uncover a solution to the problem at hand.

1. In the oscillator mode when reset is released the *first time constant* is approximately *twice as long as the rest.* Why?

   Answer: In the oscillator mode the capacitor voltage fluctuates between 1/3 and 2/3 of the supply voltage. When reset is pulled down the capacitor discharges completely. Thus for the first cycle it must charge from ground to 2/3 Vcc which takes twice as long.

2. What is *maximum frequency of oscillations?*

   Answer: Most devices will oscillate about 1M Hz. However, in the interest of temperature stability one should operate only up to about 500kHz.

3. What is *temperature drift* for *oscillator mode?*

   Answer: Temperature drift of oscillator mode is 3 times that of one shot mode due to addition of second voltage comparator. Frequency always increases with an increasing temperature. Therefore it is possible to partially offset this drift with an offsetting temperature coefficient in the external resistor/capacitor combination.

4. Oscillator exhibits spurious *oscillations on cross over points.* Why?

   Answer: The 555 can oscillate due to feedback from power supply. Always bypass with sufficient capacitance close to the device for all applications.

5. Trying to drive a *relay* but 555 *hangs up.* How come?

   Answer: Inductive feedback. A clamp diode across the coil prevents the coil from driving pin 3 below a negative .6 volts. This negative voltage is sufficient in some cases to cause the timer to malfunction. The solution is to drive the relay through a diode thus preventing pin 3 from ever seeing a negative voltage.

6. Double triggering of the TTL loads sometimes occurs. Why?

   Answer: Due to the high current capability and fast rise and fall times of the output a totem pole structure different from the TTL classical structure was used. Near TTL threshold this output exhibits a cross over distortion which may double trigger logic. A 1000 pF capacitor from the output to ground will eliminate any false triggering.

7. What is the longest time I can get out of the timer?

   Answer: Times exceeding an hour are possible, but not always practical. Large capacitors with low leakage specs are quite expensive. It becomes cheaper to use a countdown scheme (see Figure 15) at some point dependent on required accuracy. Normally 20 to 30 min. is the longest feasible time.

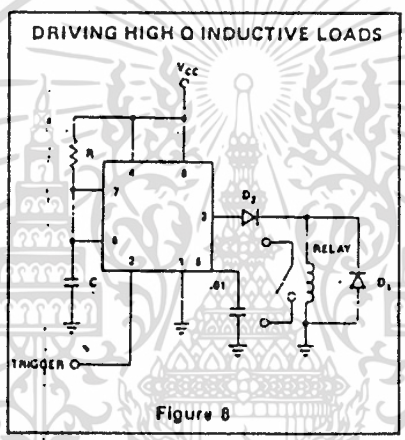



Figure 8

## DESIGN FORMULAS

Before entering the section on specific applications it is advantageous to review the timing formulas. The formulas given here apply to the 555 and 556 devices.

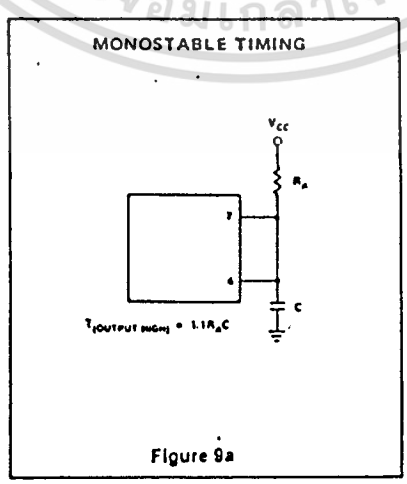



Figure 9a

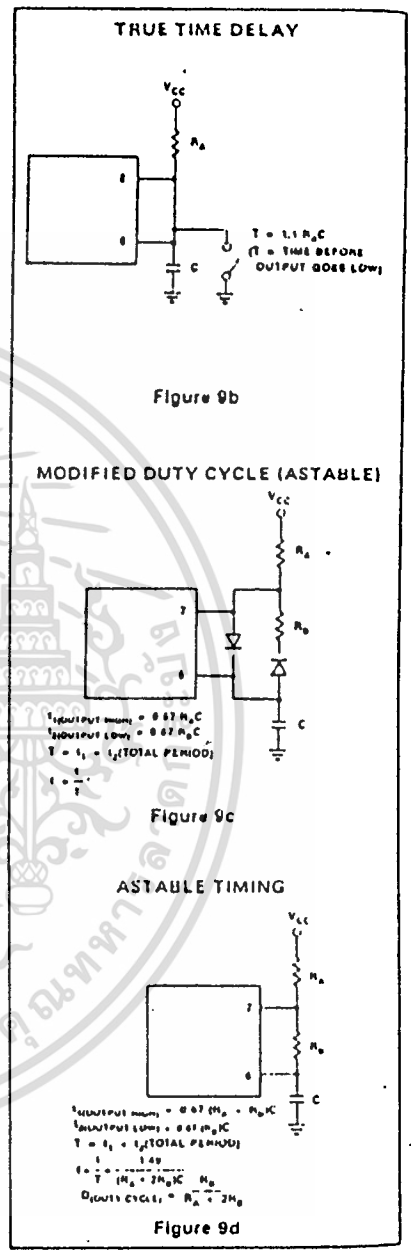



Figure 9b

Figure 9c

Figure 9d

## APPLICATIONS

The timer since introduction has spurred the imagination of thousands. Thus the ways in which this device has been used are far too numerous to present each one. A review of the basic operation and basic modes has previously been given. Presented here are some ingenious applications devised by our applications engineers and by some of our customers.



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# DUAL TIMER

# SA/SE/NE556/SA/SE/NE556-1/SE556-1C

## DESCRIPTION

Both the 556 and 556-1 Dual Monolithic timing circuits are highly stable controllers capable of producing accurate time delays or oscillation. The 556 and 556-1 are a dual 555. Timing is provided by an external resistor and capacitor for each timing function. The two timers operate independently of each other, sharing only $V_{CC}$ and ground. The circuits may be triggered and reset on falling waveforms. The output structures may sink or source 200 mA.

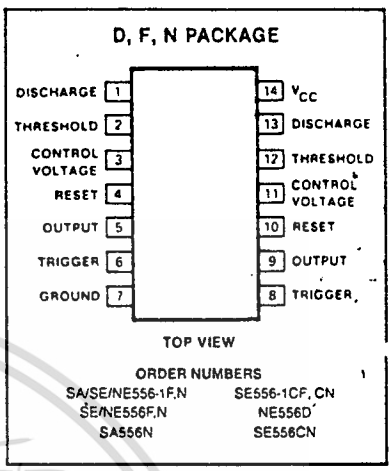
## APPLICATIONS

- Precision timing
- Sequential timing
- Pulse shaping
- Pulse generator
- Missing pulse detector
- Tone burst generator
- Pulse width modulation
- Time delay generator
- Frequency division
- Industrial controls
- Pulse position modulation
- Appliance timing
- Traffic light control
- Touch tone encoder

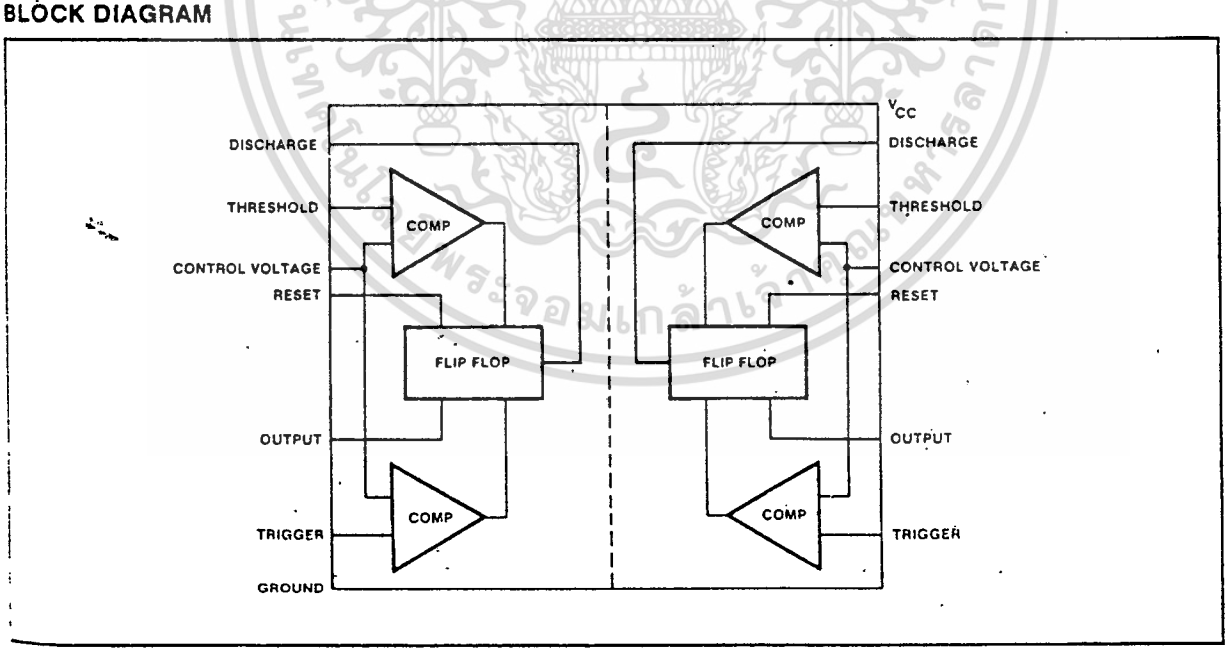
## FEATURES

- Turn off time less than 2 $\mu$s (556-1, 1C)
- Maximum operating frequency greater than 500 kHz (556-1, 1C)
- Timing from microseconds to hours
- Replaces two 555 timers
- Operates in both astable and monostable modes
- High output current
- Adjustable duty cycle
- TTL compatible
- Temperature stability of 0.005% per °C
- SE556 MIL-STD-883A, B, C available, N38510 (JAN planned, 38510 processing available)

## PIN CONFIGURATION

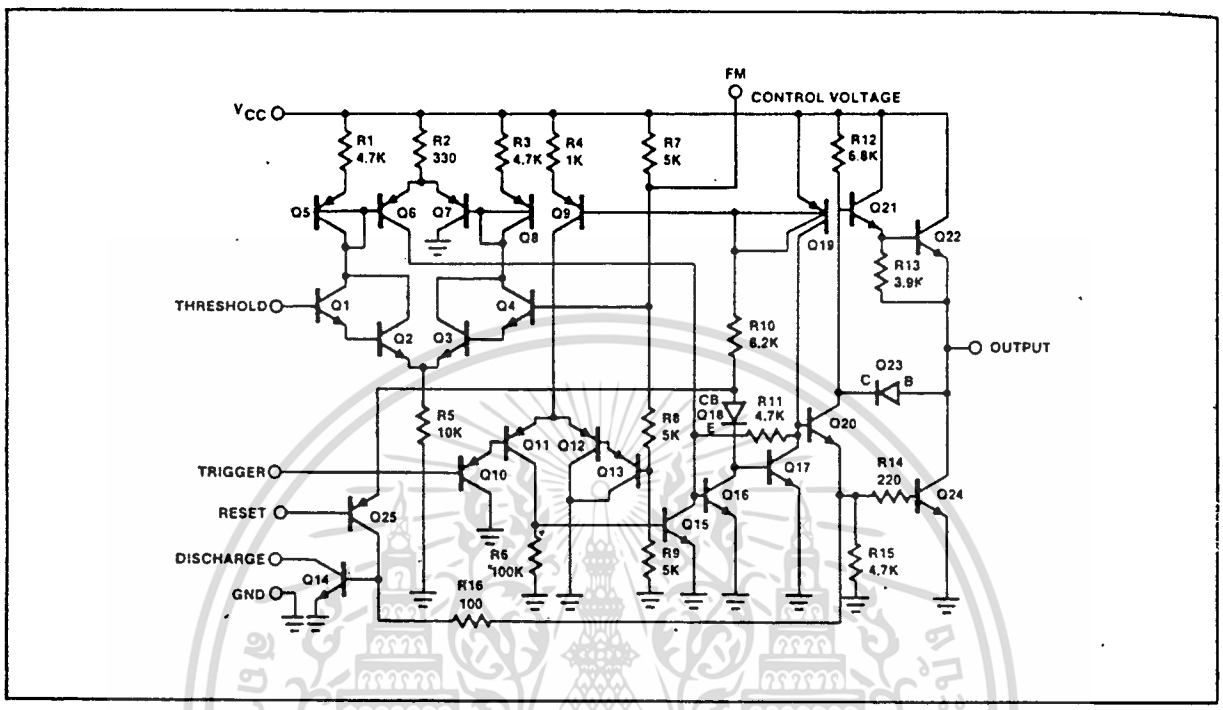



## BLOCK DIAGRAM




เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## EQUIVALENT SCHEMATIC (Shown for one circuit only)




## ABSOLUTE MAXIMUM RATINGS

| PARAMETER | RATING | UNIT |
|---|---|---|
| Supply voltage | | |
| SA/NE556, 556-1, SE556C, 556-1C | +16 | V |
| SE556-1, 556 | +18 | V |
| Power dissipation | 600 | mW |
| Operating temperature range | | |
| NE/SA556-1, NE556 | 0 to +70 | °C |
| SA556-1, SA556 | −40 to +85 | °C |
| SE556-1, SE556-1C, SE556, 556C | −55 to +125 | °C |
| Storage temperature range | −65 to +150 | °C |
| Lead temperature (soldering, 60 sec) | +300 | °C |

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## ELECTRICAL CHARACTERISTICS $T_A = 25°C$, $V_{CC} = +5V$ to $+15V$ unless otherwise specified

| PARAMETER | TEST CONDITIONS | SE556/556-1 | | | SA/NE556/SE556C NE556-1/SE556-1C | | | UNITS |
|---|---|---|---|---|---|---|---|---|
| | | Min | Typ | Max | Min | Typ | Max | |
| Supply voltage | | 4.5 | | 18 | 4.5 | | 16 | V |
| Supply current (low state)[1] | $V_{CC} = 5V$, $R_L = \infty$ | | 6 | 10 | | 6 | 12 | mA |
| | $V_{CC} = 15V$, $R_L = \infty$ | | 20 | 24 | | 20 | 30 | mA |
| Timing error (monostable) | $R_A = 2k\Omega$ to $100k\Omega$ | | | | | | | |
| Initial accuracy[2] | $C = 0.1\mu F$ | | 0.5 | | | 0.75 | 3.0 | % |
| Drift with temperature | $T = 1.1\ RC$ | | 30 | 100 | | 50 | 150 | ppm/°C |
| Drift with supply voltage | | | 0.05 | 0.2 | | 0.1 | 0.5 | %/V |
| Timing error (astable) | $R_A$, $R_B = 1k\Omega$ to $100k\Omega$ | | | | | | | |
| Initial accuracy[2] | $C = 0.1\mu F$ | | 4 | 6 | | 5 | 13 | % |
| Drift with temperature | $V_{CC} = 15V$ | | 400 | 500 | | 400 | 500 | ppm/°C |
| Drift with supply voltage | | | 0.15 | 0.6 | | 0.3 | 1 | %/V |
| Control voltage level | $V_{CC} = 15V$ | 9.6 | 10.0 | 10.4 | 9.0 | 10.0 | 11.0 | V |
| | $V_{CC} = 5V$ | 2.9 | 3.33 | 3.8 | 2.6 | 3.33 | 4.0 | V |
| Threshold voltage | $V_{CC} = 15V$ | 9.4 | 10.0 | 10.6 | 8.8 | 10.0 | 11.2 | V |
| | $V_{CC} = 5V$ | 2.7 | 3.33 | 4.0 | 2.4 | 3.33 | 4.2 | V |
| Threshold current[3] | | | 30 | 250 | | 30 | 250 | nA |
| Trigger voltage | $V_{CC} = 15V$ | 4.8 | 5.0 | 5.2 | 4.5 | 5.0 | 5.6 | V |
| | $V_{CC} = 5V$ | 1.45 | 1.67 | 1.9 | 1.1 | 1.67 | 2.2 | V |
| Trigger current | $V_{TRIG} = 0V$ | | 0.5 | 0.9 | | 0.5 | 2.0 | μA |
| Reset voltage[5] | | 0.3 | 0.7 | 1.0 | 0.3 | 0.7 | 1.0 | V |
| Reset current | | | 0.1 | 0.4 | | 0.1 | 0.6 | mA |
| Reset current | $V_{RESET} = 0V$ | | 0.4 | 1.0 | | 0.4 | 1.5 | mA |
| Output voltage (low) | $V_{CC} = 15V$ | | | | | | | |
| | $I_{SINK} = 10mA$ | | 0.1 | 0.15 | | 0.1 | 0.25 | V |
| | $I_{SINK} = 50mA$ | | 0.4 | 0.5 | | 0.4 | 0.75 | V |
| SE556 | $I_{SINK} = 100mA$ | | 2.0 | 2.25 | | | | V |
| SE556-1 | | | 0.8 | 1.2 | | | | V |
| NE/SA556/SE556C | | | | | | 2.0 | 3.2 | V |
| NE556-1/SE556-1C | | | | | | 2.0 | 2.5 | V |
| | $I_{SINK} = 200mA$ | | 2.5 | | | 2.5 | | V |
| | $V_{CC} = 5V$ | | | | | | | |
| | $I_{SINK} = 8mA$ | | 0.1 | 0.2 | | 0.25 | 0.3 | V |
| | $I_{SINK} = 5mA$ | | 0.05 | 0.15 | | 0.15 | 0.25 | V |
| Output voltage (high) | $V_{CC} = 15V$ | | | | | | | |
| | $I_{SOURCE} = 200mA$ | | 12.5 | | | 12.5 | | V |
| | $I_{SOURCE} = 100mA$ | 13.0 | 13.3 | | 12.75 | 13.3 | | V |
| | $V_{CC} = 5V$ | | | | | | | |
| | $I_{SOURCE} = 100mA$ | 3.0 | 3.3 | | 2.75 | 3.3 | | V |
| Turn off time[6] | $V_{RESET} = V_{CC}$ | | | | | | | μs |
| NE556-1/SE556-1/SE556-1C | | | 0.5 | 2.0 | | 0.5 | | μs |
| Rise time of output | | | 100 | 200 | | 100 | 300 | ns |
| Fall time of output | | | 100 | 200 | | 100 | 300 | ns |
| Discharge leakage current | | | 20 | 100 | | 20 | 100 | nA |
| Matching characteristics[4] | | | | | | | | |
| Initial accuracy[2] | | | 0.5 | 1.0 | | 1.0 | 2.0 | % |
| Drift with temperature | | | 10 | | | ± 10 | | ppm/°C |
| Drift with supply voltage | | | 0.1 | 0.2 | | 0.2 | 0.5 | %/V |

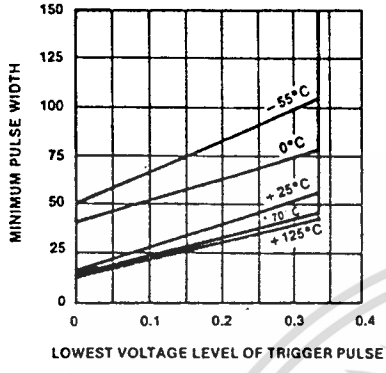
NOTES
1. Supply current when output is high is typically 1.0mA less.
2. Tested at $V_{CC} = 5V$ and $V_{CC} = 15V$.
3. This will determine maximum value of $R_A + R_B$. For 15V operation, the maximum total R = 12 megohms, and for 5V operation, the max. total R = 3.4 megohms.
4. Matching characteristics refer to the difference between performance characteristics for each timer section in the monostable mode.
5. Specified with trigger input high.
6. Time measured from a positive going input pulse from 0 to 0.4 $V_{CC}$ into the threshold to the drop from high to low of the output. Trigger is tied to threshold.



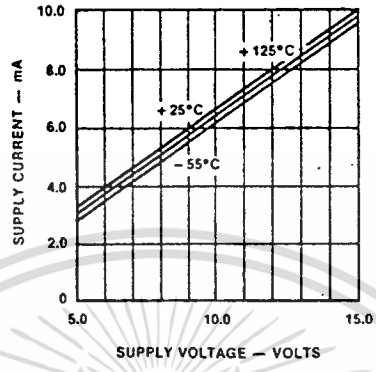
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## TYPICAL PERFORMANCE CHARACTERISTICS

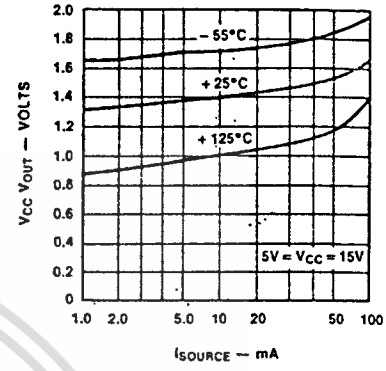
MINIMUM PULSE WIDTH REQUIRED FOR TRIGGERING



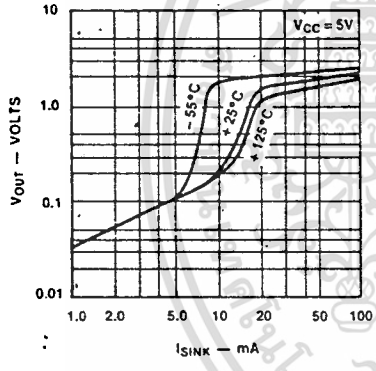

SUPPLY CURRENT vs SUPPLY VOLTAGE



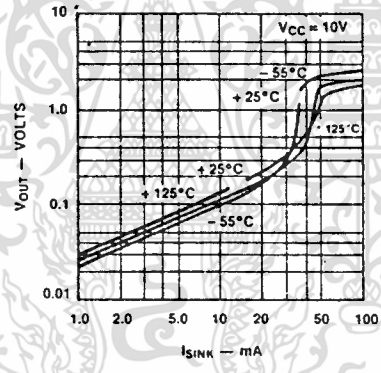

HIGH OUTPUT VOLTAGE DROP vs OUTPUT SOURCE CURRENT



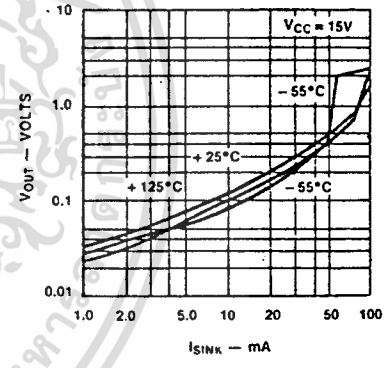

LOW OUTPUT VOLTAGE vs OUTPUT SINK CURRENT



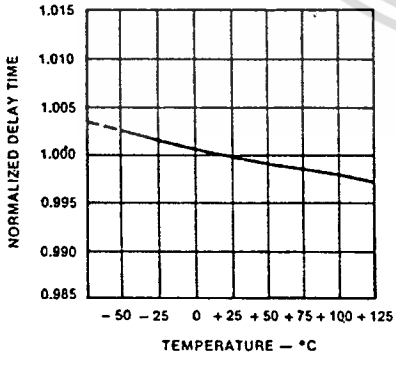

LOW OUTPUT VOLTAGE vs OUTPUT SINK CURRENT



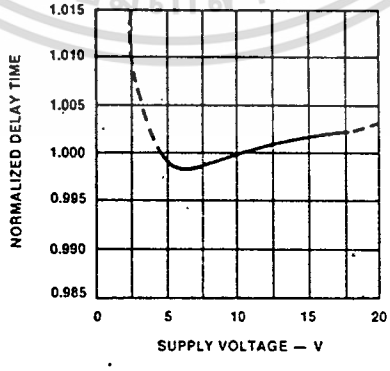

LOW OUTPUT VOLTAGE vs OUTPUT SINK CURRENT



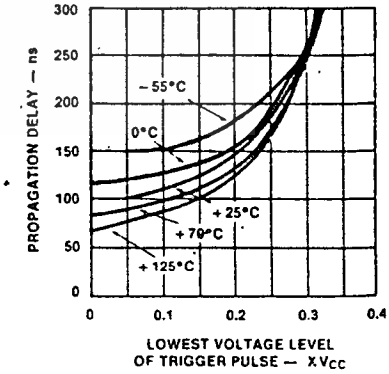

DELAY TIME vs TEMPERATURE




DELAY TIME vs SUPPLY VOLTAGE




PROPAGATION DELAY vs VOLTAGE LEVEL OF TRIGGER PULSE




5



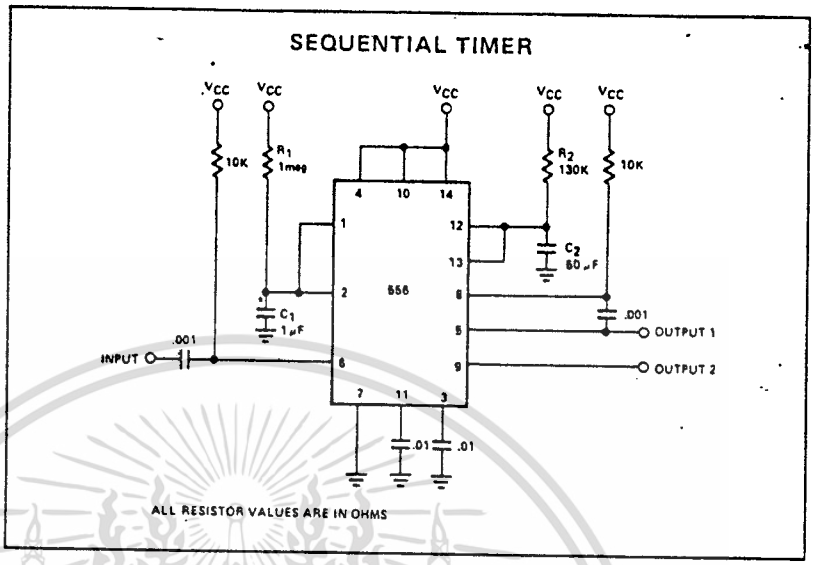
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## TYPICAL APPLICATIONS

One feature of the dual timer is that by utilizing both halves it is possible to obtain sequential timing. By connecting the output of the first half to the input of the second half via a .001μfd coupling capacitor sequential timing may be obtained. Delay $t_1$ is determined by the first half and $t_2$ by the second half delay.

The first half of the timer is started by momentarily connecting pin 6 to ground. When it is timed out (determined by $1.1R_1C_1$) the second half begins. Its duration is determined by $1.1R_2C_2$.

SEQUENTIAL TIMER




*For additional information, consult the Applications Section.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

# CD4011M/CD4011C Quad 2-Input NAND Gate
# CD4012M/CD4012C Dual 4-Input NAND Gate
# CD4023M/CD4023C Triple 3-Input NAND Gate

## general description

These NAND gates are monolithic complementary MOS (CMOS) integrated circuits. The N and P channel enhancement mode transistors provide a symmetrical circuit with output swings essentially equal to the supply voltage. This results in high noise immunity over a wide supply voltage range. No DC power other than that caused by leakage current is consumed during static conditions. All inputs are protected against static discharge and latching conditions.

## features

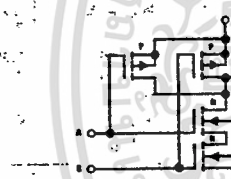
| | |
|---|---|
| ■ Wide supply voltage range | 3V to 15V |
| ■ Low power | 10 nW (typical) |
| ■ High noise immunity | 0.45 $V_{DD}$ (typical) |

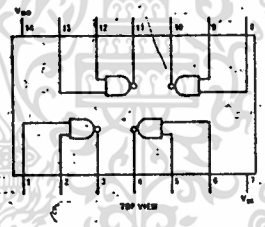
## applications

- Automotive
- Data Terminals
- Instrumentation
- Medical Electronics
- Alarm System
- Industrial Controls
- Remote Metering
- Computers

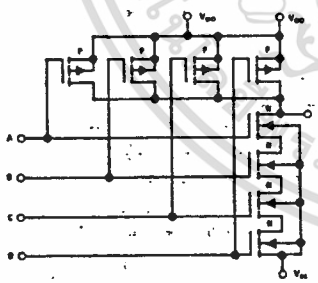
## schematic and connection diagrams

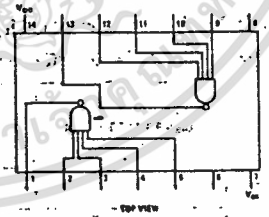
CD4011M/CD4011C SCHEMATIC



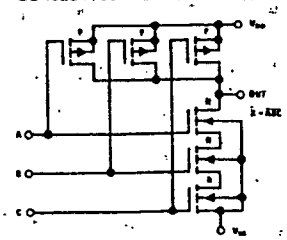


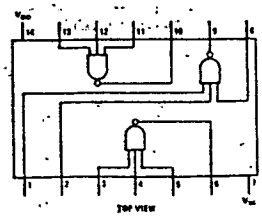
CD4012M/CD4012C SCHEMATIC





CD4023M/CD4023C SCHEMATIC





เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## absolute maximum ratings

| | |
|---|---|
| Voltage at Any Pin (Note 1) | $V_{SS}$ − 0.3V to $V_{SS}$ + 15.5V |
| Operating Temperature Range CD40XXM | −55°C to +125°C |
| CD40XXC | −40°C to +85°C |
| Storage Temperature Range | −65°C to +150°C |
| Package Dissipation | 500mW |
| Lead Temperature (Soldering, 10 seconds) | 300°C |
| Operating $V_{DD}$ Range | $V_{SS}$ + 3V to $V_{SS}$ + 15V |

## dc electrical characteristics

| CHARACTERISTICS | TEST COND. VOLTS | | LIMITS | | | | | | | | | | | | | | UNITS |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | | | CD40XXM | | | | | | | CD40XXC | | | | | | | |
| | | | −55°C | | +25°C | | | +125°C | | −40°C | | +25°C | | | +85°C | | |
| | $V_O$ | $V_{DD}$ | MIN | MAX | MIN | TYP | MAX | MIN | MAX | MIN | MAX | MIN | TYP | MAX | MIN | MAX | |
| Quiescent Device Current ($I_L$) | | 5 | | 0.05 | | 0.001 | 0.05 | | 3 | | 0.5 | | 0.005 | 0.5 | | 15 | μA |
| | | 10 | | 0.1 | | 0.001 | 0.1 | | 6 | | 5 | | 0.005 | 5 | | 30 | μA |
| Quiescent Device Dissipation/Package ($P_D$) | | 5 | | 0.25 | | 0.005 | 0.25 | | 15 | | 2.5 | | 0.025 | 2.5 | | 75 | μW |
| | | 10 | | 1 | | 0.01 | 1 | | 60 | | 50 | | 0.05 | 50 | | 300 | μW |
| Output Voltage Low Level ($V_{OL}$) | | 5 | | 0.01 | | 0 | 0.01 | | 0.05 | | 0.01 | | 0 | 0.01 | | 0.05 | V |
| | | 10 | | 0.01 | | 0 | 0.01 | | 0.05 | | 0.01 | | 0 | 0.01 | | 0.05 | V |
| High Level ($V_{OH}$) | | 5 | 4.99 | | 4.99 | 5 | | 4.95 | | 4.99 | | 4.99 | 5 | | 4.95 | | V |
| | | 10 | 9.99 | | 9.99 | 10 | | 9.95 | | 9.99 | | 9.99 | 10 | | 9.95 | | V |
| Noise Immunity (All Inputs) ($V_{NL}$) | ≥3.5 | 5 | 1.5 | | 1.5 | 2.25 | | 1.4 | | 1.5 | | 1.5 | 2.25 | | 1.4 | | V |
| | ≥7.0 | 10 | 3 | | 3 | 4.5 | | 2.9 | | 3 | | 3 | 4.5 | | 2.9 | | V |
| ($V_{NH}$) | ≤1.5 | 5 | 1.4 | | 1.5 | 2.25 | | 1.5 | | 1.4 | | 1.5 | 2.25 | | 1.5 | | V |
| | ≤3.0 | 10 | 2.9 | | 3 | 4.5 | | 3 | | 2.9 | | 3 | 4.5 | | 3 | | V |
| Output Drive Current N-Channel ($I_DN$) | 0.5 | 5 | 0.31 | | 0.25 | 0.5 | | 0.175 | | 0.145 | | 0.12 | 0.5 | | 0.95 | | mA |
| | 0.5 | 10 | 0.63 | | 0.5 | 0.6 | | 0.35 | | 0.3 | | 0.25 | 0.6 | | 0.2 | | mA |
| P-Channel ($I_DP$) | 4.5 | 5 | −0.31 | | −0.25 | −0.5 | | −0.175 | | −0.145 | | −0.12 | −0.5 | | 0.095 | | mA |
| | 9.5 | 10 | −0.75 | | −0.6 | −1.2 | | −0.4 | | −0.35 | | −0.3 | −1.2 | | −0.24 | | mA |
| Input Current ($I_I$) | | | | | | 10 | | | | | | | 10 | | | | pA |

## ac electrical characteristics @ $T_A$ = 25°C and $C_L$ = 15pF

Typical Temperature Coefficient for all values of $V_{DD}$ = 0.3%/°C

| CHARACTERISTICS | TEST CONDITIONS | LIMITS | | | | | | UNITS |
|---|---|---|---|---|---|---|---|---|
| | | CD40XXM | | | CD40XXC | | | |
| | $V_{DD}$ (VOLTS) | MIN | TYP | MAX | MIN | TYP | MAX | |
| Propagation Delay Time: Low-to-High Level ($t_{PLH}$) | 5 | – | 50 | 75 | – | 50 | 100 | ns |
| | 10 | – | 25 | 40 | – | 25 | 50 | |
| High-to Low Level ($t_{PHL}$) | 5 | – | 50 | 75 | – | 50 | 100 | ns |
| | 10 | – | 25 | 40 | – | 25 | 50 | |
| Transition Time: Low-to-High Level ($t_{TLH}$) | 5 | – | 75 | 100 | – | 75 | 125 | ns |
| | 10 | – | 40 | 60 | – | 40 | 75 | |
| High-to-Low Level ($t_{THL}$) | 5 | – | 75 | 125 | – | 75 | 150 | ns |
| | 10 | – | 60 | 75 | – | 50 | 100 | |
| Input Capacitance ($C_I$) | Any Input | – | 5 | – | – | 5 | – | pF |

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## CD40106BM/CD40106BC hex Schmitt trigger

### general description

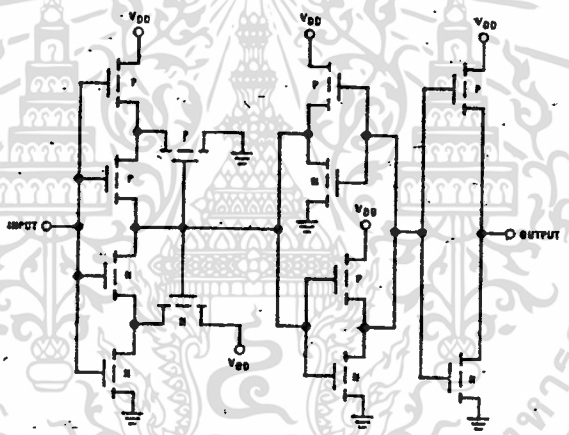
The CD40106B Hex Schmitt Trigger is a monolithic complementary MOS (CMOS) integrated circuit constructed with N and P-channel enhancement transistors. The positive and negative-going threshold voltages, $V_{T+}$ and $V_{T-}$, show low variation with respect to temperature (typ 0.0005V/°C at $V_{DD}$ = 10V), and hysteresis, $V_{T+} - V_{T-} \geq 0.2\ V_{DD}$ is guaranteed.

All inputs are protected from damage due to static discharge by diode clamps to $V_{DD}$ and $V_{SS}$.

### features

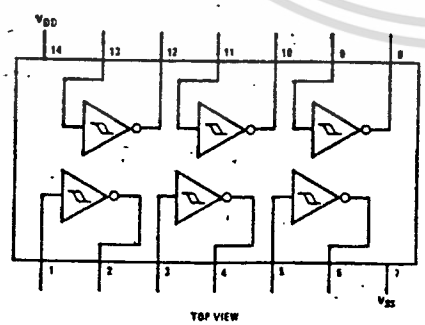
| | |
|---|---|
| ■ Wide supply voltage range | 3V to 15V |
| ■ High noise immunity | 0.7 $V_{DD}$ typ |
| ■ Low power TTL compatibility | fan out of 2 driving 74L or 1 driving 74LS |
| ■ Hysteresis | 0.4 $V_{DD}$ typ, 0.2 $V_{DD}$ guaranteed |
| ■ Equivalent to MM54C14/MM74C14 | |
| ■ Equivalent to MC14584B | |

### schematic diagram



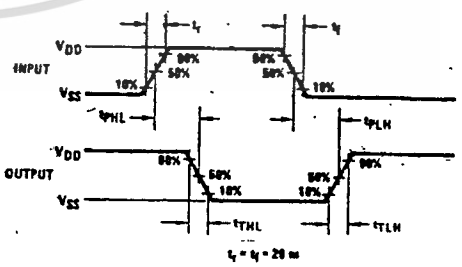

### connection diagram

Dual-In-Line Package




TOP VIEW

### switching time waveforms




เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## absolute maximum ratings

(Notes 1 and 2)

| | |
|---|---|
| $V_{DD}$ dc Supply Voltage | −0.5 to +18 $V_{DC}$ |
| $V_{IN}$ Input Voltage | −0.5 to $V_{DD}$ +0.5 $V_{DC}$ |
| $T_S$ Storage Temperature Range | −65°C to +150°C |
| $P_D$ Package Dissipation | 500 mW |
| $T_L$ Lead Temperature (Soldering, 10 seconds) | 300°C |

## recommended operating conditions

(Note 2)

| | |
|---|---|
| $V_{DD}$ dc Supply Voltage | 3 to 15 $V_{DC}$ |
| $V_{IN}$ Input Voltage | 0 to $V_{DD}$ $V_{DC}$ |
| $T_A$ Operating Temperature Range | |
| CD40106BM | −55°C to +125°C |
| CD40106BC | −40°C to +85°C |

## dc electrical characteristics CD40106BM (Note 2)

| PARAMETER | | CONDITIONS | −55°C | | 25°C | | | 125°C | | UNITS |
|---|---|---|---|---|---|---|---|---|---|---|
| | | | MIN | MAX | MIN | TYP | MAX | MIN | MAX | |
| $I_{DD}$ | Quiescent Device Current | $V_{DD}$ = 5V | | 1.0 | | | 1.0 | | 30 | μA |
| | | $V_{DD}$ = 10V | | 2.0 | | | 2.0 | | 60 | μA |
| | | $V_{DD}$ = 15V | | 4.0 | | | 4.0 | | 120 | μA |
| $V_{OL}$ | Low Level Output Voltage | $\|I_O\| < 1\mu A$ | | | | | | | | |
| | | $V_{DD}$ = 5V | | 0.05 | | | 0.05 | | 0.05 | V |
| | | $V_{DD}$ = 10V | | 0.05 | | | 0.05 | | 0.05 | V |
| | | $V_{DD}$ = 15V | | 0.05 | | | 0.05 | | 0.05 | V |
| $V_{OH}$ | High Level Output Voltage | $\|I_O\| < 1\mu A$ | | | | | | | | |
| | | $V_{DD}$ = 5V | 4.95 | | 4.95 | 5 | | 4.95 | | V |
| | | $V_{DD}$ = 10V | 9.95 | | 9.95 | 10 | | 9.95 | | V |
| | | $V_{DD}$ = 15V | 14.95 | | 14.95 | 15 | | 14.95 | | V |
| $V_{T-}$ | Negative-Going Threshold Voltage | $V_{DD}$ = 5V, $V_O$ = 4.5V | 0.7 | 2.0 | 0.7 | 1.4 | 2.0 | 0.7 | 2.0 | V |
| | | $V_{DD}$ = 10V, $V_O$ = 9V | 1.4 | 4.0 | 1.4 | 3.2 | 4.0 | 1.4 | 4.0 | V |
| | | $V_{DD}$ = 15V, $V_O$ = 13.5V | 2.1 | 6.0 | 2.1 | 5.0 | 6.0 | 2.1 | 6.0 | V |
| $V_{T+}$ | Positive-Going Threshold Voltage | $V_{DD}$ = 5V, $V_O$ = 0.5V | 3.0 | 4.3 | 3.0 | 3.6 | 4.3 | 3.0 | 4.3 | V |
| | | $V_{DD}$ = 10V, $V_O$ = 1V | 6.0 | 8.6 | 6.0 | 6.8 | 8.6 | 6.0 | 8.6 | V |
| | | $V_{DD}$ = 15V, $V_O$ = 1.5V | 9.0 | 12.9 | 9.0 | 10.0 | 12.9 | 9.0 | 12.9 | V |
| $V_H$ | Hysteresis ($V_{T+} - V_{T-}$) | $V_{DD}$ = 5V | 1.0 | 3.6 | 1.0 | 2.2 | 3.6 | 1.0 | 3.6 | V |
| | | $V_{DD}$ = 10V | 2.0 | 7.2 | 2.0 | 3.6 | 7.2 | 2.0 | 7.2 | V |
| | | $V_{DD}$ = 15V | 3.0 | 10.8 | 3.0 | 5.0 | 10.8 | 3.0 | 10.8 | V |
| $I_{OL}$ | Low Level Output Current | $V_{DD}$ = 5V, $V_O$ = 0.4V | 0.64 | | 0.51 | 0.88 | | 0.36 | | mA |
| | | $V_{DD}$ = 10V, $V_O$ = 0.5V | 1.6 | | 1.3 | 2.25 | | 0.9 | | mA |
| | | $V_{DD}$ = 15V, $V_O$ = 1.5V | 4.2 | | 3.4 | 8.8 | | 2.4 | | mA |
| $I_{OH}$ | High Level Output Current | $V_{DD}$ = 5V, $V_O$ = 4.6V | −0.64 | | −0.51 | −0.88 | | −0.36 | | mA |
| | | $V_{DD}$ = 10V, $V_O$ = 9.5V | −1.6 | | −1.3 | −2.25 | | −0.9 | | mA |
| | | $V_{DD}$ = 15V, $V_O$ = 13.5V | −4.2 | | −3.4 | −8.8 | | −2.4 | | mA |
| $I_{IN}$ | Input Current | $V_{DD}$ = 15V, $V_{IN}$ = 0V | | −0.10 | | $-10^{-5}$ | −0.10 | | −1.0 | μA |
| | | $V_{DD}$ = 15V, $V_{IN}$ = 15V | | 0.10 | | $10^{-5}$ | 0.10 | | 1.0 | μA |

**Note 1:** "Absolute Maximum Ratings" are those values beyond which the safety of the device cannot be guaranteed. They are not meant to imply that the devices should be operated at these limits. The table of "Recommended Operating Conditions" and "Electrical Characteristics" provides conditions for actual device operation.

**Note 2:** $V_{SS}$ = 0V unless otherwise specified.

**Note 3:** $C_{PD}$ determines the no load ac power consumption of any CMOS device. For complete explanation, see 54C/74C Family Characteristics application note—AN-90.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## dc electrical characteristics CD40106BC (Note 2)

| PARAMETER | | CONDITIONS | −40°C | | 25°C | | | +85°C | | UNITS |
|---|---|---|---|---|---|---|---|---|---|---|
| | | | MIN | MAX | MIN | TYP | MAX | MIN | MAX | |
| $I_{DD}$ | Quiescent Device Current | $V_{DD}$ = 5V | | 4.0 | | | 4.0 | | 30 | μA |
| | | $V_{DD}$ = 10V | | 8.0 | | | 8.0 | | 60 | μA |
| | | $V_{DD}$ = 15V | | 16.0 | | | 16.0 | | 120 | μA |
| $V_{OL}$ | Low Level Output Voltage | $\|I_O\| < 1\mu A$ | | | | | | | | |
| | | $V_{DD}$ = 5V | | 0.05 | | | 0.05 | | 0.05 | V |
| | | $V_{DD}$ = 10V | | 0.05 | | | 0.05 | | 0.05 | V |
| | | $V_{DD}$ = 15V | | 0.05 | | | 0.05 | | 0.05 | V |
| $V_{OH}$ | High Level Output Voltage | $\|I_O\| < 1\mu A$ | | | | | | | | |
| | | $V_{DD}$ = 5V | 4.95 | | 4.95 | 5 | | 4.95 | | V |
| | | $V_{DD}$ = 10V | 9.95 | | 9.95 | 10 | | 9.95 | | V |
| | | $V_{DD}$ = 15V | 14.95 | | 14.95 | 15 | | 14.95 | | V |
| $V_{T-}$ | Negative-Going Threshold Voltage | $V_{DD}$ = 5V, $V_O$ = 4.5V | 0.7 | 2.0 | 0.7 | 1.4 | 2.0 | 0.7 | 2.0 | V |
| | | $V_{DD}$ = 10V, $V_O$ = 9V | 1.4 | 4.0 | 1.4 | 3.2 | 4.0 | 1.4 | 4.0 | V |
| | | $V_{DD}$ = 15V, $V_O$ = 13.5V | 2.1 | 6.0 | 2.1 | 5.0 | 6.0 | 2.1 | 6.0 | V |
| $V_{T+}$ | Positive-Going Threshold Voltage | $V_{DD}$ = 5V, $V_O$ = 0.5V | 3.0 | 4.3 | 3.0 | 3.6 | 4.3 | 3.0 | 4.3 | V |
| | | $V_{DD}$ = 10V, $V_O$ = 1V | 6.0 | 8.6 | 6.0 | 6.8 | 8.6 | 6.0 | 8.6 | V |
| | | $V_{DD}$ = 15V, $V_O$ = 1.5V | 9.0 | 12.9 | 9.0 | 10.0 | 12.9 | 9.0 | 12.9 | V |
| $V_H$ | Hysteresis ($V_{T+} - V_{T-}$) | $V_{DD}$ = 5V | 1.0 | 3.6 | 1.0 | 2.2 | 3.6 | 1.0 | 3.6 | V |
| | | $V_{DD}$ = 10V | 2.0 | 7.2 | 2.0 | 3.6 | 7.2 | 2.0 | 7.2 | V |
| | | $V_{DD}$ = 15V | 3.0 | 10.8 | 3.0 | 5.0 | 10.8 | 3.0 | 10.8 | V |
| $I_{OL}$ | Low Level Output Current | $V_{DD}$ = 5V, $V_O$ = 0.4V | 0.52 | | 0.44 | 0.88 | | 0.36 | | mA |
| | | $V_{DD}$ = 10V, $V_O$ = 0.5V | 1.3 | | 1.1 | 2.25 | | 0.9 | | mA |
| | | $V_{DD}$ = 15V, $V_O$ = 1.5V | 3.6 | | 3.0 | 8.8 | | 2.4 | | mA |
| $I_{OH}$ | High Level Output Current | $V_{DD}$ = 5V, $V_O$ = 4.6V | −0.52 | | −0.44 | −0.88 | | −0.36 | | mA |
| | | $V_{DD}$ = 10V, $V_O$ = 9.5V | −1.3 | | −1.1 | −2.25 | | −0.9 | | mA |
| | | $V_{DD}$ = 15V, $V_O$ = 13.5V | −3.6 | | −3.0 | −8.8 | | −2.4 | | mA |
| $I_{IN}$ | Input Current | $V_{DD}$ = 15V, $V_{IN}$ = 0V | | −0.30 | | $-10^{-5}$ | −0.30 | | −1.0 | μA |
| | | $V_{DD}$ = 15V, $V_{IN}$ = 15V | | 0.30 | | $10^{-5}$ | 0.30 | | 1.0 | μA |

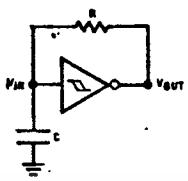
## ac electrical characteristics $T_A$ = 25°C, $C_L$ = 50 pF, $R_L$ = 200k, $t_r$ and $t_f$ = 20 ns, unless otherwise specified.

| PARAMETER | | CONDITIONS | MIN | TYP | MAX | UNITS |
|---|---|---|---|---|---|---|
| $t_{PHL}$ or $t_{PLH}$ | Propagation Delay Time From Input To Output | $V_{DD}$ = 5V | | 220 | 400 | ns |
| | | $V_{DD}$ = 10V | | 80 | 200 | ns |
| | | $V_{DD}$ = 15V | | 70 | 160 | ns |
| $t_{THL}$ or $t_{TLH}$ | Transition Time | $V_{DD}$ = 5V | | 100 | 200 | ns |
| | | $V_{DD}$ = 10V | | 50 | 100 | ns |
| | | $V_{DD}$ = 15V | | 40 | 80 | ns |
| $C_{IN}$ | Average Input Capacitance | Any Input | | 5 | 7.5 | pF |
| $C_{PD}$ | Power Dissipation Capacitance | Any Gate (Note 3) | | 14 | | pF |

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## typical applications

**Low Power Oscillator**

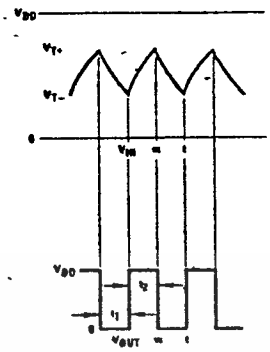



$$t_1 \approx RC \ln \frac{V_{T+}}{V_{T-}}$$

$$t_2 \approx RC \ln \frac{V_{DD} - V_{T-}}{V_{DD} - V_{T+}}$$

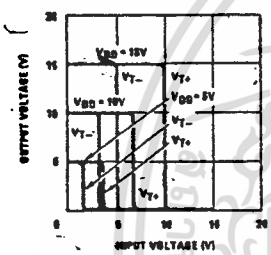
$$f \approx \frac{1}{RC \ln \frac{V_{T+}(V_{DD} - V_{T-})}{V_{T-}(V_{DD} - V_{T+})}}$$

Note: The equations assume
$t_1 + t_2 >> t_{pHL} + t_{pLH}$

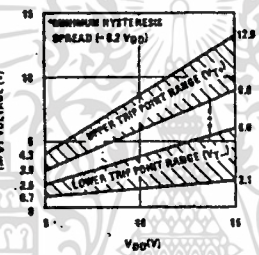


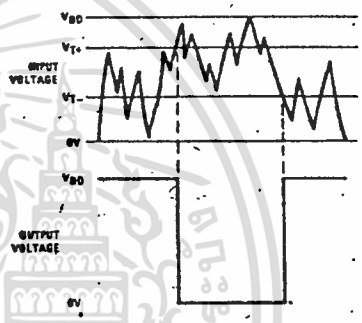

## typical performance characteristics

**Typical Transfer Characteristics**




**Guaranteed Trip Point Range**




เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MOTOROLA

# 4N25, 4N25A
# 4N26
# 4N27
# 4N28

**NPN PHOTOTRANSISTORS AND PN INFRARED EMITTING DIODES**

. . . gallium arsenide LED optically coupled to silicon phototransistors designed for applications requiring electrical isolation, high-current transfer ratios, small package size and low cost; such as interfacing and coupling systems, phase and feedback controls, solid-state relays and general-purpose switching circuits.

- High Isolation Voltage — $V_{ISO}$ = 7500 V (Min)
- High Collector Output Current @ $I_F$ = 10 mA — $I_C$ = 5.0 mA (Typ) — 4N25,A,4N26; 2.0 mA (Typ) — 4N27,4N28
- Economical, Compact, Dual-In-Line Package
- Excellent Frequency Response — 300 kHz (Typ)
- Fast Switching Times @ $I_C$ = 10 mA $t_{on}$ = 0.87 µs (Typ) — 4N25,A,4N26; 2.1 µs (Typ) — 4N27,4N28 $t_{off}$ = 11 µs (Typ) — 4N25,A,4N26; 5.0 µs (Typ) — 4N27,4N28
- 4N25A is UL Recognized File Number E54915

**OPTO COUPLER/ISOLATOR**

**TRANSISTOR OUTPUT**

*MAXIMUM RATINGS ($T_A$ = 25°C unless otherwise noted).

| Rating | Symbol | Value | Unit |
|---|---|---|---|
| **INFRARED-EMITTING DIODE MAXIMUM RATINGS** | | | |
| Reverse Voltage | $V_R$ | 3.0 | Volts |
| Forward Current — Continuous | $I_F$ | 80 | mA |
| Forward Current — Peak (Pulse Width = 300 µs, 2.0% Duty Cycle) | $I_F$ | 3.0 | Amp |
| Total Power Dissipation @ $T_A$ = 25°C (Negligible Power in Transistor) | $P_D$ | 150 | mW |
| Derate above 25°C | | 2.0 | mW/°C |
| **PHOTOTRANSISTOR MAXIMUM RATINGS** | | | |
| Collector-Emitter Voltage | $V_{CEO}$ | 30 | Volts |
| Emitter-Collector Voltage | $V_{ECO}$ | 7.0 | Volts |
| Collector-Base Voltage | $V_{CBO}$ | 70 | Volts |
| Total Device Dissipation @ $T_A$ = 25°C (Negligible Power in Diode) | $P_D$ | 150 | mW |
| Derate above 25°C | | 2.0 | mW/°C |
| **TOTAL DEVICE RATINGS** | | | |
| Total Device Dissipation @ $T_A$ = 25°C | $P_D$ | 250 | mW |
| Equal Power Dissipation in Each Element | | | |
| Derate above 25°C | | 3.3 | mW/°C |
| Junction Temperature Range | $T_J$ | -55 to +100 | °C |
| Storage Temperature Range | $T_{stg}$ | -55 to +150 | °C |
| Soldering Temperature (10 s) | | 260 | °C |

*Indicates JEDEC Registered Data.

FIGURE 1 – MAXIMUM POWER DISSIPATION

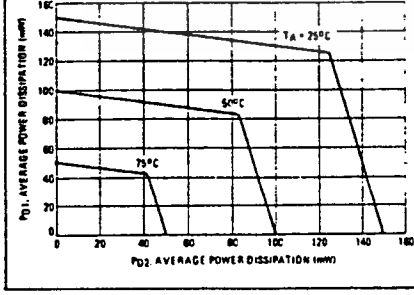



Figure 1 is based upon using limit values in the equation

$T_{J1} = T_A + R_{\theta JA}(P_{D1} + K_\theta P_{D2})$

where

$T_{J1}$ Junction Temperature (100°C)

$T_A$ Ambient Temperature

$R_{\theta JA}$ Junction to Ambient Thermal Resistance (500°C/W)

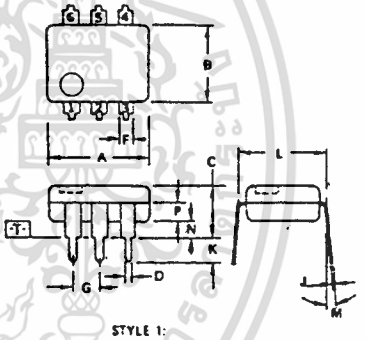
$P_{D1}$ Power Dissipation in One Chip

$P_{D2}$ Power Dissipation in Other Chip

$K_\theta$ Thermal Coupling Coefficient (20%)

Example

With $P_{D1}$ = 90 mW in the LED @ $T_A$ = 50°C, the transistor $P_D$ ($P_{D2}$) must be less than 50 mW




STYLE 1:
PIN 1. ANODE
2. CATHODE
3. NC
4. EMITTER
5. COLLECTOR
6. BASE

NOTES:
1. DIMENSIONS A AND B ARE DATUMS
2. T IS SEATING PLANE
3. POSITIONAL TOLERANCES FOR LEADS
⌖ ∅ 0.13 (0.005) T A B
4. DIMENSION L TO CENTER OF LEADS WHEN FORMED PARALLEL.
5. DIMENSIONING AND TOLERANCING PER ANSI Y14.5, 1973

| DIM | MILLIMETERS MIN | MILLIMETERS MAX | INCHES MIN | INCHES MAX |
|---|---|---|---|---|
| A | 6.13 | 6.89 | 0.320 | 0.350 |
| B | 6.10 | 6.60 | 0.240 | 0.260 |
| C | 2.92 | 5.08 | 0.115 | 0.200 |
| D | 0.41 | 0.51 | 0.016 | 0.020 |
| F | 1.02 | 1.78 | 0.040 | 0.070 |
| G | 2.54 BSC | | 0.100 BSC | |
| J | 0.20 | 0.30 | 0.008 | 0.012 |
| K | 2.54 | 3.81 | 0.100 | 0.150 |
| L | 7.62 BSC | | 0.300 BSC | |
| M | 0° | 15° | 0° | 15° |
| N | 0.38 | 2.54 | 0.015 | 0.100 |
| P | 1.27 | 2.03 | 0.050 | 0.080 |

CASE 730A-01

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# 4N25, 4N25A, 4N26, 4N27, 4N28

**LED CHARACTERISTICS** ($T_A$ = 25°C unless otherwise noted)

| Characteristic | Symbol | Min | Typ | Max | Unit |
|---|---|---|---|---|---|
| *Reverse Leakage Current ($V_R$ = 3.0 V, $R_L$ = 1.0 M ohms) | $I_R$ | – | 0.005 | 100 | μA |
| *Forward Voltage ($I_F$ = 10 mA) | $V_F$ | – | 1.2 | 1.5 | Volts |
| Capacitance ($V_R$ = 0 V, f = 1.0 MHz) | C | – | 40 | – | pF |

**PHOTOTRANSISTOR CHARACTERISTICS** ($T_A$ = 25°C and $I_F$ = 0 unless otherwise noted)

| | | | | | | |
|---|---|---|---|---|---|---|
| *Collector-Emitter Dark Current ($V_{CE}$ = 10 V, Base Open) | 4N25, A, 4N26, 4N27<br>4N28 | $I_{CEO}$ | –<br>– | 3.5<br>– | 50<br>100 | nA |
| *Collector-Base Dark Current ($V_{CB}$ = 10 V, Emitter Open) | | $I_{CBO}$ | – | – | 20 | nA |
| *Collector-Base Breakdown Voltage ($I_C$ = 100 μA, $I_E$ = 0) | | $V_{(BR)CBO}$ | 70 | – | – | Volts |
| *Collector-Emitter Breakdown Voltage ($I_C$ = 1.0 mA, $I_B$ = 0) | | $V_{(BR)CEO}$ | 30 | – | – | Volts |
| *Emitter-Collector Breakdown Voltage ($I_E$ = 100 μA, $I_B$ = 0) | | $V_{(BR)ECO}$ | 7.0 | 8.0 | – | Volts |
| DC Current Gain ($V_{CE}$ = 5.0 V, $I_C$ = 500 μA) | | $h_{FE}$ | – | 325 | – | – |

**COUPLED CHARACTERISTICS** ($T_A$ = 25°C unless otherwise noted)

| | | | | | | |
|---|---|---|---|---|---|---|
| *Collector Output Current (1) ($V_{CE}$ = 10 V, $I_F$ = 10 mA, $I_B$ = 0) | 4N25, A, 4N26<br>4N27, 4N28 | $I_C$ | 2.0<br>1.0 | 5.0<br>2.0 | –<br>– | mA |
| Isolation Surge Voltage (2, 5) (60 Hz Peak ac, 5 Seconds) | | $V_{ISO}$ | 7500 | – | – | Volts |
| (60 Hz Peak) | *4N25, A<br>*4N26, 4N27<br>*4N28<br>*4N25A | | 2500<br>1500<br>500<br>1775 | –<br>–<br>–<br>– | –<br>–<br>–<br>– | |
| (60 Hz RMS for 1 Second) (3) | | | | | | |
| Isolation Resistance (2) (V = 500 V) | | – | – | $10^{11}$ | – | Ohms |
| *Collector-Emitter Saturation ($I_C$ = 2.0 mA, $I_F$ = 50 mA) | | $V_{CE(sat)}$ | – | 0.2 | 0.5 | Volts |
| Isolation Capacitance (2) (V = 0, f = 1.0 MHz) | | – | – | 0.5 | – | pF |
| Bandwidth (4) ($I_C$ = 2.0 mA, $R_L$ = 100 ohms, Figure 11 (2) | | – | – | 300 | – | kHz |

**SWITCHING CHARACTERISTICS**

| | | | | | | |
|---|---|---|---|---|---|---|
| Delay Time | ($I_C$ = 10 mA, $V_{CC}$ = 10 V Figures 6 and 8) | 4N25, A, 4N26<br>2N27, 4N28 | $t_d$ | –<br>– | 0.07<br>0.10 | –<br>– | μs |
| Rise Time | | 4N25, A, 4N26<br>4N27, 4N28 | $t_r$ | –<br>– | 0.8<br>2.0 | –<br>– | μs |
| Storage Time | ($I_C$ = 10 mA, $V_{CC}$ = 10 V Figures 7 and 8) | 4N25, A, 4N26<br>4N27, 4N28 | $t_s$ | –<br>– | 4.0<br>2.0 | –<br>– | μs |
| Fall Time | | 4N25, A, 4N26<br>4N27, 4N28 | $t_f$ | –<br>– | 8.0<br>8.0 | –<br>– | μs |

*Indicates JEDEC Registered Data
(1) Pulse Test: Pulse Width = 300 μs, Duty Cycle ≤ 2.0%.
(2) For this test LED pins 1 and 2 are common and phototransistor pins 4, 5, and 6 are common.
(3) RMS Volts, 60 Hz. For this test, pins 1, 2, and 3 are common and pins 4, 5, and 6 are common.
(4) $I_F$ adjusted to yield $I_C$ = 2.0 mA and $i_c$ = 2.0 mA p-p at 10 kHz.
(5) Isolation Surge Voltage, $V_{ISO}$, is an internal device dielectric breakdown rating

**DC CURRENT TRANSFER CHARACTERISTICS**

FIGURE 2 – 4N25,A,4N26

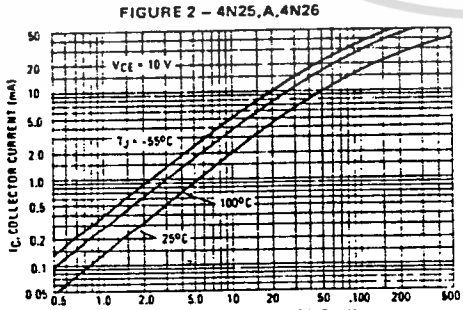
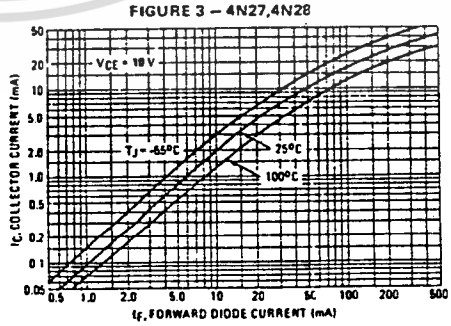



FIGURE 3 – 4N27,4N28




เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## TYPICAL ELECTRICAL CHARACTERISTICS

FIGURE 4 – FORWARD CHARACTERISTICS

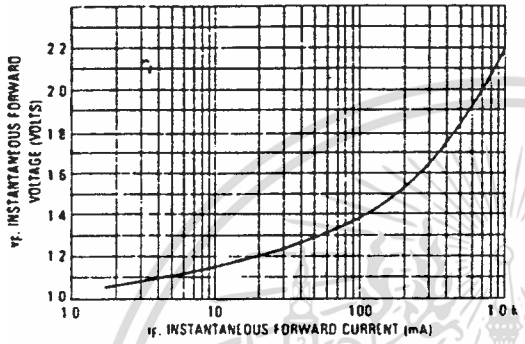



FIGURE 5 – COLLECTOR SATURATION VOLTAGE

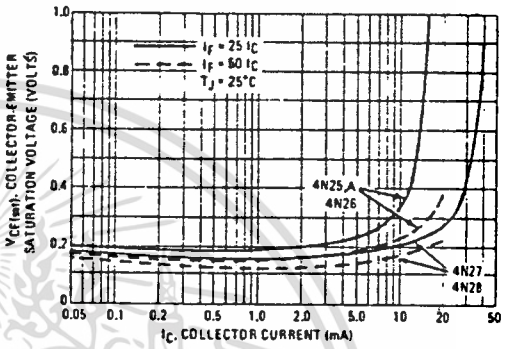



FIGURE 6 – TURN-ON TIME

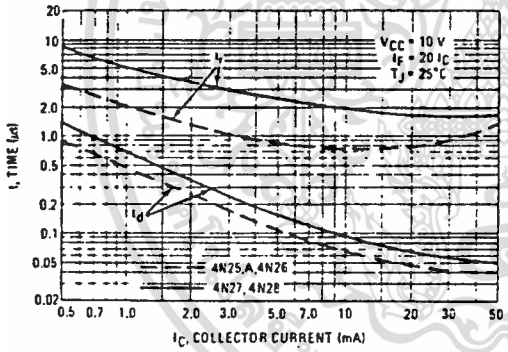



FIGURE 7 – TURN-OFF TIME

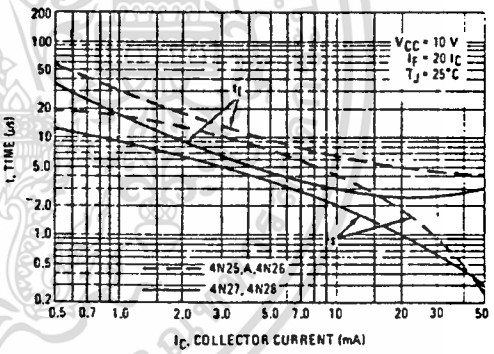



FIGURE 8 – SATURATED SWITCHING TIME TEST CIRCUIT

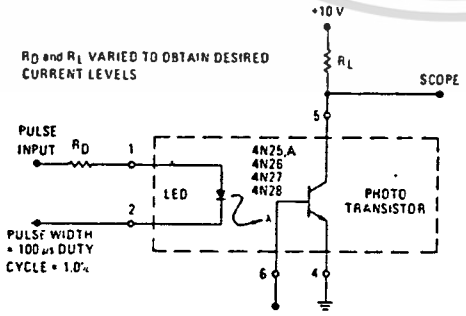
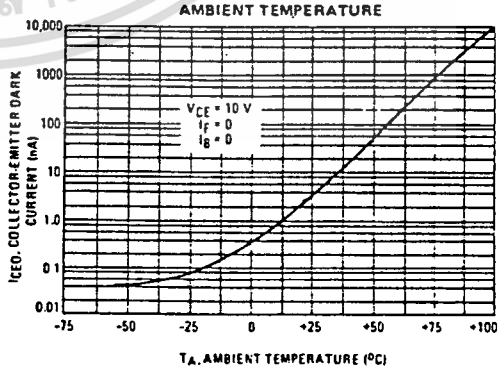



FIGURE 9 – DARK CURRENT versus AMBIENT TEMPERATURE




เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FIGURE 11 – FREQUENCY RESPONSE TEST CIRCUIT

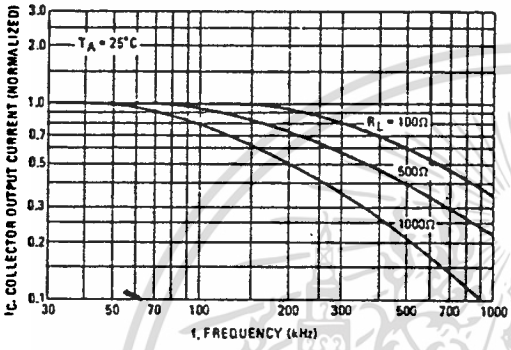
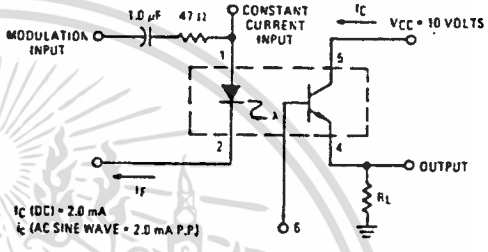



FIGURE 10 – FREQUENCY RESPONSE




## TYPICAL APPLICATIONS

FIGURE 12 – ISOLATED MTTL TO MOS (P-CHANNEL) LEVEL TRANSLATOR

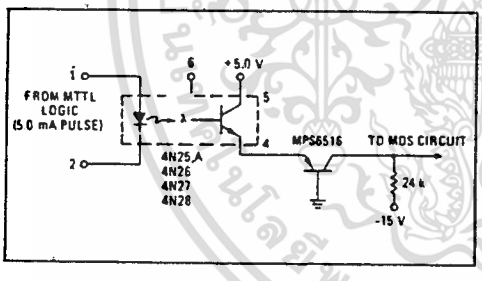



FIGURE 13 – COMPUTER/PERIPHERAL INTERCONNECT

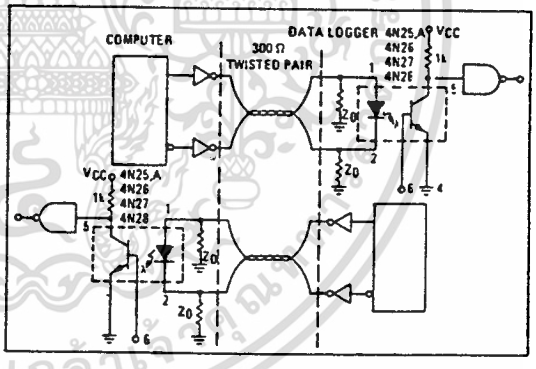



FIGURE 14 – POWER AMPLIFIER

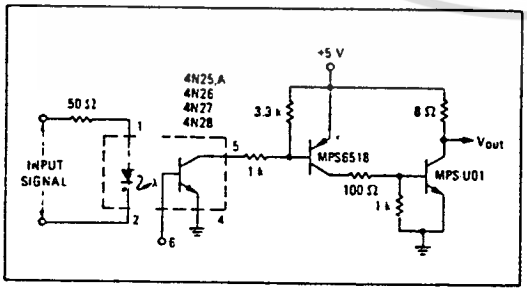
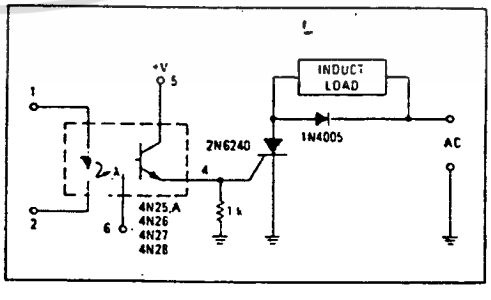



FIGURE 15 – INTERFACE BETWEEN LOGIC AND LOAD




เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# SCL4011UB

# CMOS NAND GATE (Unbuffered)

## FEATURES

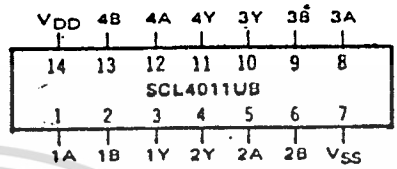
- Unbuffered Outputs for Quasi-Linear Applications
- Quad 2-Input NAND Configuration
- Diode Protection on all Inputs
- Output Drive Current Compatible with "B" Series
- Pin Compatible with Buffered SCL4011B
- Balanced Output Drive Current Specifications

## DESCRIPTION

The SCL4011UB consists of four positive-logic NAND gates. The outputs are unbuffered, making the device suitable for quasi-linear applications, such as gated oscillators, multivibrators, and pulse shaping circuits.

For digital applications, the buffered SCL4011B is recommended for its higher gain and input pattern insensitivity.

## CONNECTION DIAGRAM
(all packages)




Add suffix for package:

C 14-pin Cerdip
D 14-pin Ceramic
E 14-pin Epoxy
F 14-pin Flat
H Chip

## TRUTH TABLE

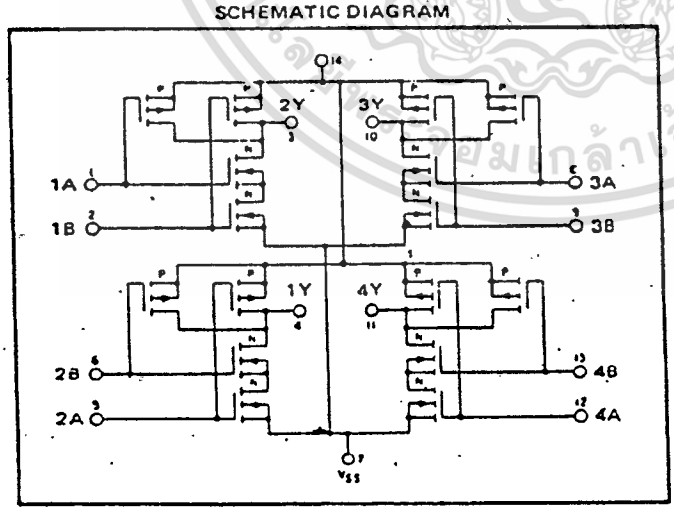
| Inputs | Output |
|---|---|
| 1 1 | 0 |
| All other combinations | 1 |

## RECOMMENDED OPERATING CONDITIONS

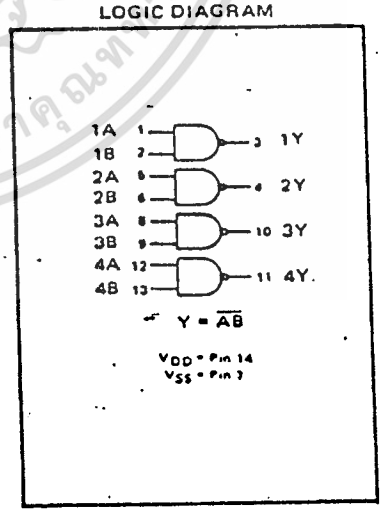
For maximum reliability:

| | | | |
|---|---|---|---|
| DC Supply Voltage | $V_{DD} - V_{SS}$ | 3 to 15 | Vdc |
| Operating Temperature | $T_A$ | | |
| C, D, F, H Device | | -55 to +125 | °C |
| E Device | | -40 to +85 | °C |

## SCHEMATIC DIAGRAM




## LOGIC DIAGRAM




เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SCL4011UB

## ELECTRICAL CHARACTERISTICS

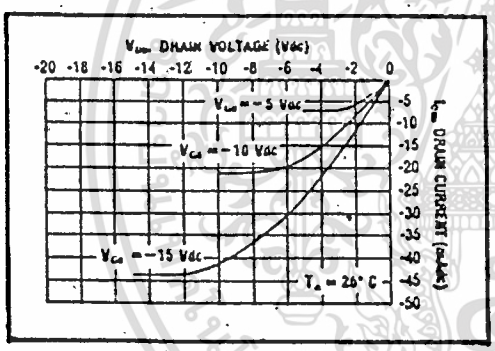
### STATIC CHARACTERISTICS [1,2]

| PARAMETER | | $V_{DD}$ (Vdc) | CONDITIONS | $T_{LOW}$ [3] | | +25°C | | | $T_{HIGH}$ [3] | | Units |
|---|---|---|---|---|---|---|---|---|---|---|---|
| | | | | Min. | Max. | Min. | Typ. | Max. | Min. | Max. | |
| QUIESCENT DEVICE CURRENT | $I_{DD}$ | 5 | $V_{IN} = V_{SS}$ or $V_{DD}$ | – | 0.05 | – | 0.0005 | 0.05 | – | 1.5 | μAdc |
| | | 10 | All valid input | – | 0.10 | – | 0.001 | 0.10 | – | 3.0 | |
| | | 15 | combinations | – | 0.20 | – | 0.002 | 0.20 | – | 6.0 | |

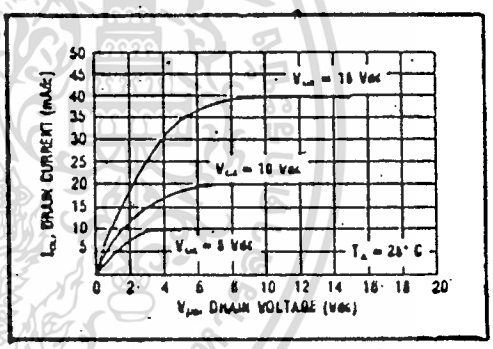
NOTES: [1] Remaining Static Electrical Characteristics are listed under "SCL4000B Series Family Specifications".
[2] $T_{LOW}$ = -55°C for C, D, F, H device.
= -40°C for E device.
$T_{HIGH}$ = +125°C for C, D, F, H device.
= + 85°C for E device.
[3] This device has been designed for balanced output drive current specifications. Consult Family Specifications.

### DYNAMIC CHARACTERISTICS ($C_L$ = 50pF, $T_A$ = 25°C)

| PARAMETER | | $V_{DD}$ (Vdc) | Min. | Typ. | Max. | Units |
|---|---|---|---|---|---|---|
| PROPAGATION DELAY TIME | $t_{PLH}$, $t_{PHL}$ | 5 | – | 75 | 150 | ns |
| | | 10 | – | 35 | 70 | |
| | | 15 | – | 25 | 50 | |
| OUTPUT TRANSITION TIME | $t_{TLH}$, $t_{THL}$ | 5 | – | 100 | 200 | ns |
| | | 10 | – | 50 | 100 | |
| | | 15 | – | 40 | 80 | |



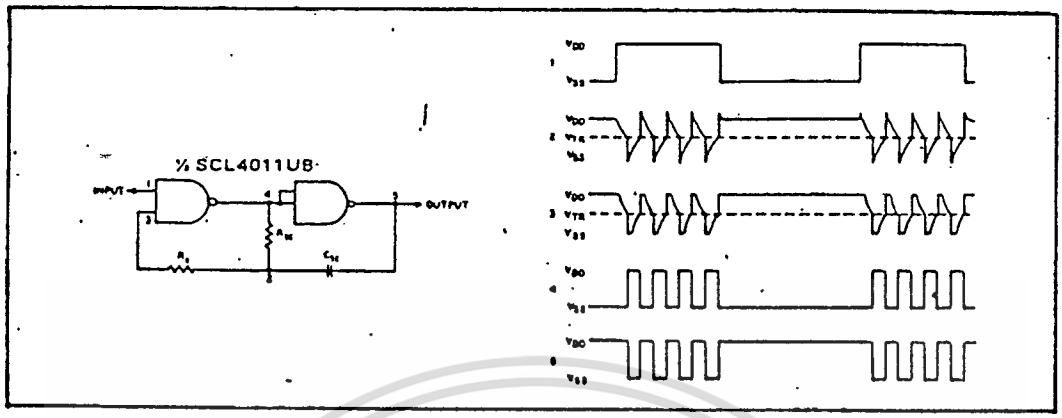

Typical P-Channel
Source Current Characteristics



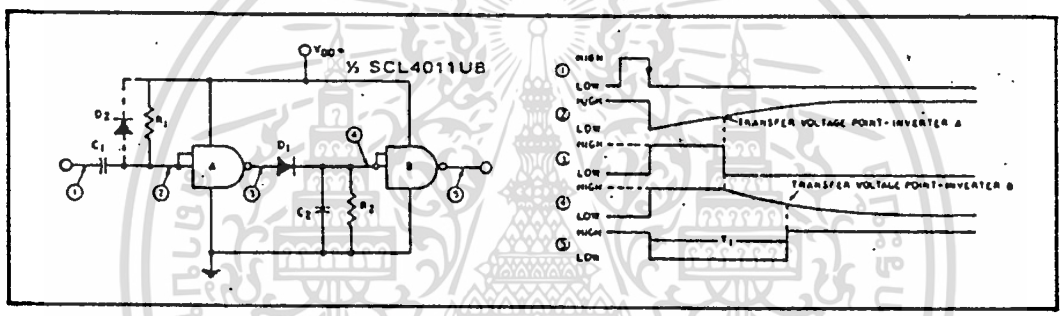

Typical N-Channel
Sink Current Characteristics

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

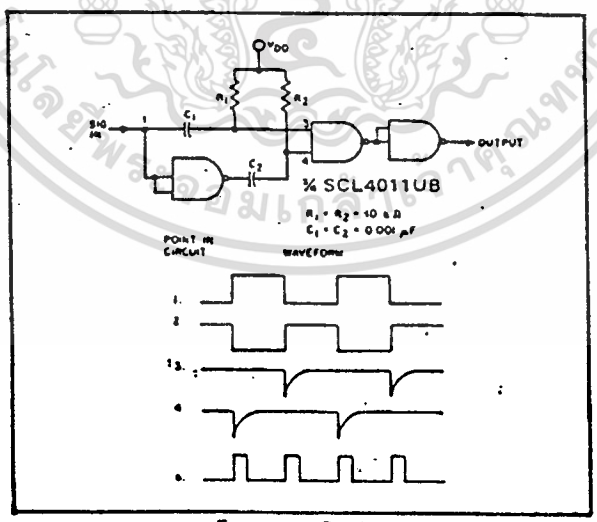
## APPLICATIONS INFORMATION




Gated Oscillator




Compensated Monostable Multivibrator
(Independent of Transfer Voltage)




Frequency Doubler

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

HCC/HCF 4013 B

# COS/MOS INTEGRATED CIRCUIT

PRELIMINARY DATA

## DUAL 'D' - TYPE FLIP-FLOP

- SET-RESET CAPABILITY
- STATIC FLIP-FLOP OPERATION - RETAINS STATE INDEFINITELY WITH CLOCK LEVEL EITHER "HIGH" OR "LOW"
- MEDIUM-SPEED OPERATION - 16 MHz (TYP.) CLOCK TOGGLE RATE AT 10V
- QUIESCENT CURRENT SPECIFIED TO 20V
- MAXIMUM INPUT LEAKAGE OF 1 μA AT 18V (FULL PACKAGE TEMPERATURE RANGE)
- STANDARDIZED SYMMETRICAL OUTPUT CHARACTERISTICS
- 5V, 10V, AND 15V PARAMETRIC RATINGS

The HCC 4013B (extended temperature range) and HCF 4013B (intermediate temperature range) are monolithic integrated circuits, available in 14-lead dual in-line plastic or ceramic package and ceramic flat package.

The HCC/HCF 4013B consists of two identical, independent data-type flip-flops. Each flip-flop has independent data, set, reset, and clock inputs and Q and $\overline{Q}$ outputs. These devices can be used for shift register applications, and, by connecting $\overline{Q}$ output to the data input, for counter and toggle applications. The logic level present at the D input is transferred to the Q output during the positive-going transition of the clock pulse. Setting or resetting is independent of the clock and is accomplished by a high level on the set or reset line, respectively.

## ABSOLUTE MAXIMUM RATINGS

| | | | |
|---|---|---|---|
| $V_{DD}$* | Supply voltage | -0.5 to 20 | V |
| $V_I$ | Input voltage | -0.5 to $V_{DD}$ +0.5 | V |
| $I_I$ | DC input current (any one input) | ± 10 | mA |
| $P_{tot}$ | Total power dissipation (per package) | 200 | mW |
| | Dissipation per output transistor for $T_{op}$ = full package-temperature range | 100 | mW |
| $T_{op}$ | Operating temperature: for HCC types | -55 to 125 | °C |
| | for HCF types | -40 to 85 | °C |
| $T_{stg}$ | Storage temperature | -65 to 150 | °C |

* All voltage values are referred to $V_{SS}$ pin voltage

ORDERING NUMBERS:

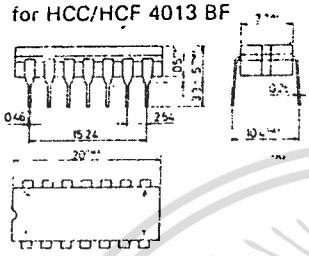
| | |
|---|---|
| HCC 4013 BD | for dual in-line ceramic package |
| HCC 4013 BF | for dual in-line ceramic package, frit seal |
| HCC 4013 BK | for ceramic flat package |
| HCF 4013 BE | for dual in-line plastic package |
| HCF 4013 BF | for dual in-line ceramic package, frit seal |

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

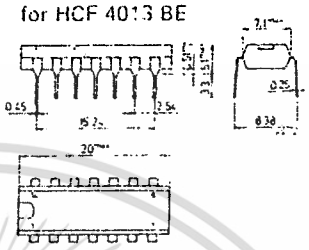
# HCC/HCF 4013 B

## MECHANICAL DATA (dimensions in mm)

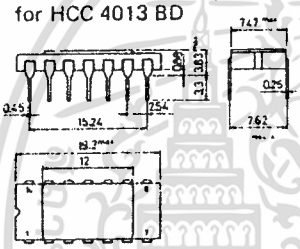
Dual in-line ceramic package
for HCC/HCF 4013 BF



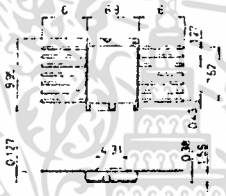
Dual in-line plastic package
for HCF 4013 BE



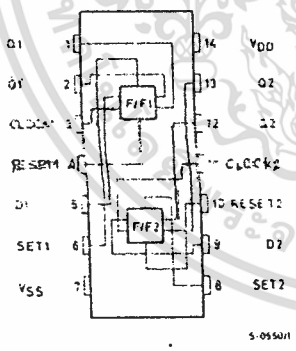
Dual in-line ceramic package
for HCC 4013 BD



Ceramic flat package
for HCC 4013 BK



## CONNECTION DIAGRAM

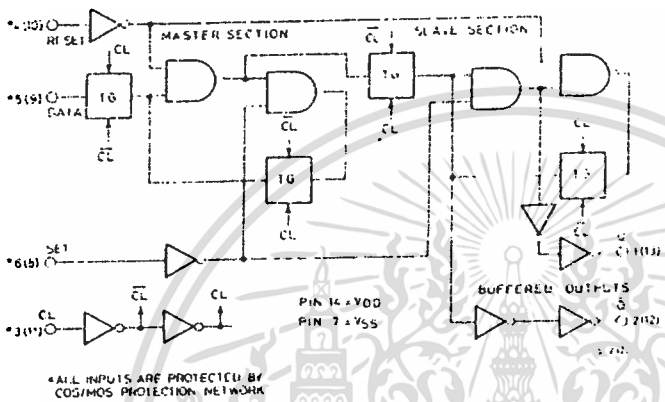



## RECOMMENDED OPERATING CONDITIONS

| | | | |
|---|---|---|---|
| $V_{DD}$ | Supply voltage | 3 to 18 | V |
| $V_I$ | Input voltage | 0 to $V_{DD}$ | V |
| $T_{op}$ | Operating temperature: for HCC types | -55 to 125 | °C |
| | for HCF types | -40 to 85 | °C |

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## LOGIC DIAGRAM AND TRUTH TABLE
(one of two identical flip-flops)

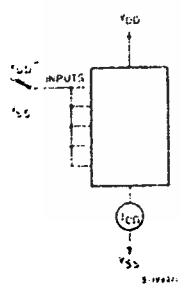



| CL* | D | R | S | Q | $\overline{Q}$ | |
|---|---|---|---|---|---|---|
| ↑ | 0 | 0 | 0 | 0 | 1 | |
| ↑ | 1 | 0 | 0 | 1 | 0 | |
| ↓ | X | 0 | 0 | Q | $\overline{Q}$ | NO CHANGE |
| X | X | 1 | 0 | 0 | 1 | |
| X | X | 0 | 1 | 1 | 0 | |
| X | X | 1 | 1 | 1 | 1 | |

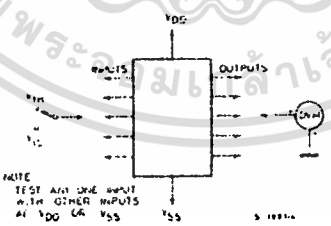
LOGIC 0 = LOW
LOGIC 1 = HIGH
↑ = LEVEL CHANGE
X = DON'T CARE
N(13) = FF1/FF2 TERMINAL ASSIGNEMENT

## TEST CIRCUITS

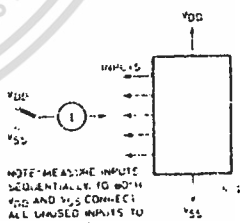
Quiescent device current




Noise immunity




Input leakage current




เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# HCC/HCF 4013 B

## STATIC ELECTRICAL CHARACTERISTICS (over recommended operating conditions)

| Parameter | | | Test conditions | | | | Values | | | | | | | Unit |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | | | $V_I$ (V) | $V_O$ (V) | $\|I_O\|$ (μA) | $V_{DD}$ (V) | $T_{Low}$* Min. | $T_{Low}$* Max. | 25°C Min. | 25°C Typ. | 25°C Max. | $T_{High}$* Min. | $T_{High}$* Max. | |
| $I_L$ | Quiescent supply current | | 0/ 5 | | | 5 | | 1 | | 0.02 | 1 | | 30 | μA |
| | | | 0/10 | | | 10 | | 2 | | 0.02 | 2 | | 60 | |
| | | | 0/15 | | | 15 | | 4 | | 0.02 | 4 | | 120 | |
| | | | 0/20 | | | 20 | | 20 | | 0.04 | 20 | | 600 | |
| $V_{OH}$ | Output high voltage | | 0/ 5 | | < 1 | 5 | 4.95 | | 4.95 | | | 4.95 | | V |
| | | | 0/10 | | < 1 | 10 | 9.95 | | 9.95 | | | 9.95 | | |
| | | | 0/15 | | < 1 | 15 | 14.95 | | 14.95 | | | 14.95 | | |
| $V_{OL}$ | Output low voltage | | 5/0 | | < 1 | 5 | | 0.05 | | | 0.05 | | 0.05 | V |
| | | | 10/0 | | < 1 | 10 | | 0.05 | | | 0.05 | | 0.05 | |
| | | | 15/0 | | < 1 | 15 | | 0.05 | | | 0.05 | | 0.05 | |
| $V_{IH}$ | Input high voltage | | | 0.5/4.5 | < 1 | 5 | 3.5 | | 3.5 | | | 3.5 | | V |
| | | | | 1/9 | < 1 | 10 | 7 | | 7 | | | 7 | | |
| | | | | 2/13 | < 1 | 15 | 11 | | 11 | | | 11 | | |
| $V_{IL}$ | Input low voltage | | | 4.5/0.5 | < 1 | 5 | | 1.5 | | | 1.5 | | 1.5 | V |
| | | | | 9/1 | < 1 | 10 | | 3 | | | 3 | | 3 | |
| | | | | 13/2 | < 1 | 15 | | 4 | | | 4 | | 4 | |
| $I_{OH}$ | Output drive current | HCC types | 0/ 5 | 2.5 | | 5 | -2 | | -1.6 | -3.2 | | -1.15 | | mA |
| | | | 0/ 5 | 4.6 | | 5 | -0.64 | | -0.51 | -1 | | -0.36 | | |
| | | | 0/10 | 9.5 | | 10 | -1.6 | | -1.3 | -2.6 | | -0.9 | | |
| | | | 0/15 | 13.5 | | 15 | -4.2 | | -3.4 | -6.8 | | -2.4 | | |
| | | HCF types | 0/ 5 | 2.5 | | 5 | -1.8 | | -1.6 | -3.2 | | -1.3 | | |
| | | | 0/ 5 | 4.6 | | 5 | -0.61 | | -0.51 | -1 | | -0.42 | | |
| | | | 0/10 | 9.5 | | 10 | -1.5 | | -1.3 | -2.6 | | -1.1 | | |
| | | | 0/15 | 13.5 | | 15 | -4 | | -3.4 | -6.8 | | -2.8 | | |
| $I_{OL}$ | Output sink current | HCC types | 0/ 5 | 0.4 | | 5 | 0.64 | | 0.51 | 1 | | 0.36 | | mA |
| | | | 0/10 | 0.5 | | 10 | 1.6 | | 1.3 | 2.6 | | 0.9 | | |
| | | | 0/15 | 1.5 | | 15 | 4.2 | | 3.4 | 6.8 | | 2.4 | | |
| | | HCF types | 0/ 5 | 0.4 | | 5 | 0.61 | | 0.51 | 1 | | 0.42 | | |
| | | | 0/10 | 0.5 | | 10 | 1.5 | | 1.3 | 2.6 | | 1.1 | | |
| | | | 0/15 | 1.5 | | 15 | 4 | | 3.4 | 6.8 | | 2.8 | | |
| $I_{IH}$, $I_{IL}$ | Input leakage current | | 0/18 | Any input | | 18 | | ±0.1 | | $±10^{-5}$ | ±0.1 | | ±1 | μA |
| $C_I$ | Input capacitance | | | Any input | | | | | | 5 | 7.5 | | | pF |

* $T_{Low}$ = - 55°C for HCC device; - 40°C for HCF device.
* $T_{High}$ = +125°C for HCC device; + 85°C for HCF device.
The Noise Margin for both "1" and "0" level is: 1V min. with $V_{DD}$ = 5V
2V min. with $V_{DD}$ = 10V
2.5V min. with $V_{DD}$ = 15V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## DYNAMIC ELECTRICAL CHARACTERISTICS ($T_{amb}$ = 25°C, $C_L$ = 50 pF, $R_L$ = 200 kΩ, typical temperature coefficient for all $V_{DD}$ values is 0.3%/°C, all input rise and fall times = 20 ns)

| Parameter | | Test conditions | Values | | | Unit |
|---|---|---|---|---|---|---|
| | | $V_{DD}$ (V) | Min. | Typ. | Max. | |
| $t_{PLH}$, $t_{PHL}$ | Propagation delay time (clock to Q or $\overline{Q}$ outputs) | 5 | | 150 | 300 | ns |
| | | 10 | | 65 | 130 | |
| | | 15 | | 45 | 90 | |
| $t_{PLH}$ | Propagation delay time (Set to Q or Reset to $\overline{Q}$) | 5 | | 150 | 300 | ns |
| | | 10 | | 65 | 130 | |
| | | 15 | | 45 | 90 | |
| $t_{PHL}$ | Propagation delay time (Set to $\overline{Q}$ or Reset to Q) | 5 | | 200 | 400 | ns |
| | | 10 | | 85 | 170 | |
| | | 15 | | 60 | 120 | |
| $t_{THL}$, $t_{TLH}$ | Transition time | 5 | | 100 | 200 | ns |
| | | 10 | | 50 | 100 | |
| | | 15 | | 40 | 80 | |
| $f_{CL}$* | Maximum clock input frequency | 5 | 3.5 | 7 | | MHz |
| | | 10 | 8 | 16 | | |
| | | 15 | 12 | 24 | | |
| $t_W$ | Clock pulse width | 5 | 140 | 70 | | ns |
| | | 10 | 60 | 30 | | |
| | | 15 | 40 | 20 | | |
| $t_r$, $t_f$** | Clock input rise or fall time | 5 | | | 15 | μs |
| | | 10 | | | 4 | |
| | | 15 | | | 1 | |
| $t_W$ | Set or reset pulse width | 5 | 180 | 90 | | ns |
| | | 10 | 80 | 40 | | |
| | | 15 | 50 | 25 | | |
| $t_{setup}$ | Data setup time | 5 | 40 | 20 | | ns |
| | | 10 | 20 | 10 | | |
| | | 15 | 15 | 7 | | |

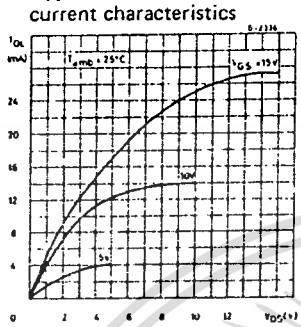
* Input $t_r$, $t_f$ = 5 ns.

** If more than one unit is cascaded in a parallel clocked operation, $t_r$ should be made less than or equal to the sum of the fixed propagation delay time at 15 pF and the transition time of the output driving stage for the estimated capacitive load.

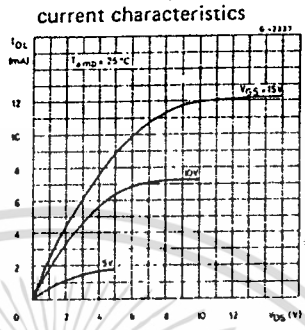
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# HCC/HCF 4013 B

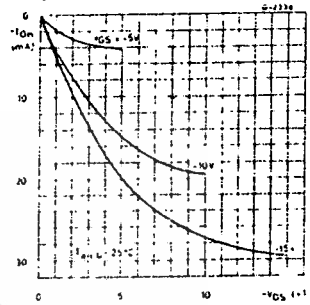
Typical output low (sink) current characteristics



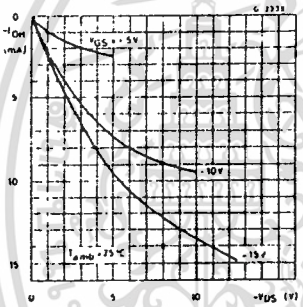
Minimum output low (sink) current characteristics



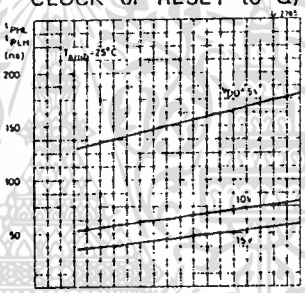
Typical output high (source) current characteristics



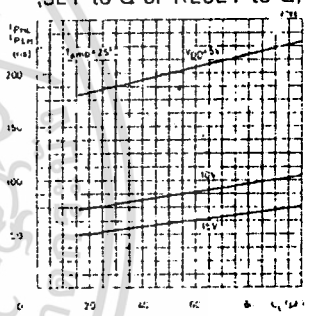
Minimum output high (source) current characteristics



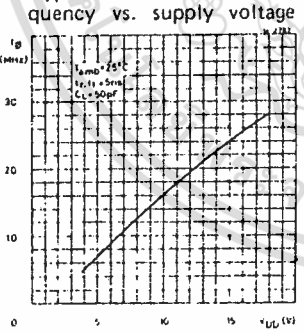
Typical propagation delay time vs. load capacitance (CLOCK or SET to $\overline{Q}$ CLOCK or RESET to $\overline{Q}$)



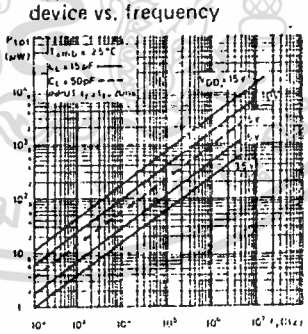
Typical propagation delay time vs. load capacitance (SET to $\overline{Q}$ or RESET to Q)



Typical maximum clock frequency vs. supply voltage



Typical power dissipation device vs. frequency



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# SCL4017AB

# CMOS DECADE COUNTER/DIVIDER

## FEATURES

- 10 Decoded Decimal Outputs
- Direct Reset
- Trigger from either Edge of Clock Input
- Carry Output for Cascading Stages
- Fully Static Operation - DC to 5MHz @ 10Vdc

## DESCRIPTION

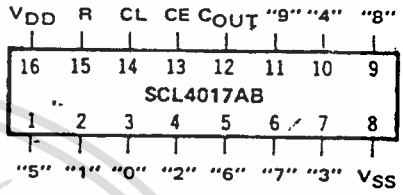
The SCL4017AB consists of a 5-stage Johnson Decade Counter and an Output Decoder. Inputs include Clock, Reset, and Clock Enable signals.

The counter has interchangeable Clock and Clock Enable lines for incrementing on either a positive-going or negative-going transition, respectively. A high Reset signal clears the counter to its zero count.

Use of the Johnson decade counter configuration permits high-speed operation, 2-input decode gating, and spike-free decoded outputs. Anti-lock gating is provided, thus assuring proper counting sequence. The 10 decoded outputs are normally low and go high only at their respective decoded time slot. Each decoded output remains high for one full clock cycle. A Carry-out ($C_{OUT}$) signal completes one cycle every 10 clock input cycles and is used to directly clock the succeeding counter in multi-stage applications.

This part can be used in frequency division circuits as well as decade counter or decimal decode display applications.

## CONNECTION DIAGRAM
(all packages)




Add suffix for package:

- C 16-pin Cerdip
- D 16-pin Ceramic
- E 16-pin Epoxy
- F 16-pin Flat
- H Chip

## RECOMMENDED OPERATING CONDITIONS

For maximum reliability:

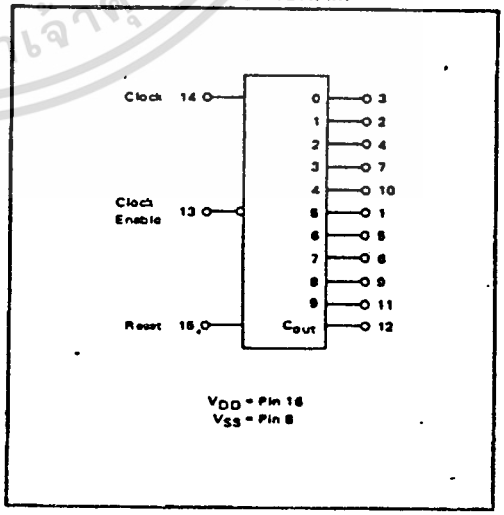
| | | | |
|---|---|---|---|
| DC Supply Voltage | $V_{DD} - V_{SS}$ | 3 to 15 | Vdc |
| Operating Temperature | $T_A$ | | |
| C, D, F, H Device | | -55 to +125 | °C |
| E Device | | -40 to +85 | °C |

## FUNCTIONAL TRUTH TABLE
(Positive Logic)

| Clock | Clock Enable | Reset | Decode Output = n |
|---|---|---|---|
| 0 | X | 0 | n |
| X | 1 | 0 | n |
| X | X | 1 | "0" |
| ⌒ | 0 | 0 | n + 1 |
| ⌒ | X | 0 | n |
| X | ⌒ | 0 | n |
| 1 | ⌒ | 0 | n + 1 |

x = Don't Care
If n < 5 Carry = "1", Otherwise = "0"

## BLOCK DIAGRAM




เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โตชิบา

เบอร์ TMM 41256C-12 , TMM41256C-15

262,144 เวิร์ด X1 บิท ไดนามิค แรม

แบบ เอ็น ชันแนล ซิลิกอน เกท มอส

รายละเอียด

เบอร์ TMM 41256C นี้เป็นไดนามิครุ่นใหม่ที่จัดโครงสร้างเป็น 262,144 เวิร์ด ต่อ 1 บิท มันเป็นตัวที่ใช้ร่วมกับเบอร์มาตราฐานทางอุตสาหกรรม TMM 4164P และ T6668 TMM 41256C นี้ จะใช้เทคโนโลยีขบวนการซิลิกอน แบบ เอ็น-ชันแนล ของโตวิบา เช่นเดียวกับเทคนิควงจรแบบก้าวหน้า เพื่อที่จะจัดช่วงการทำงานได้กว้างทั้งภายในและสำหรับผู้ใช้ระบบอินพุท แอดเดรสแบบมัลติเพลกซ์ จะยอมให้ TMM 41256C ซึ่งถูกบรรจุไว้ในมาตราฐาน 16 ขา แบบ DIP ระบบที่ได้จัดลักษณะเหล่านี้ ได้รวมแหล่งจ่ายไป 5 V $^{+}$10% แบบซิงเกิ้ล เป็นแบบซ๊อตกี้ TTL

ลักษณะโครงสร้าง

- 262,144 เวิร์ด ต่อ 1 บิท
- เวลาและวัฏจักรเวลาการทำงาน

| DEVICE | $t_{RAC}$ | $t_{CAC}$ | $t_{RC}$ |
|---|---|---|---|
| TMM41256C - 12 | 120 ns | 60 ns | 220 ns |
| TMM41256C - 15 | 150 ns | 75 ns | 260 ns |

- แหล่งจ่ายไฟแบบซิงเกิ้ล 5V $^{+}$10% กับตัวผลิต $V_{BB}$ ภายใน
- กินไฟต่ำ

  330 มิลลิวัตต์ ขณะทำงาน (สูงสุด) (TMM 41256C - 12)

  275 มิลลิวัตต์ ขณะทำงาน (สูงสุด) (TMM 41256C - 15)

  27.5 มิลลิวัตต์ แสตนบาย (สูงสุด)
- มาตราฐานอุตสาหกรรม 16 ขา แบบเซรามิค DIP
- เอาท์พุท แบบอันแลทช์ ที่ปลายไซเคิ้ลยอมให้เลือกชิพได้ 2 ทาง
- 256 รีเฟรช ไซเกิ้ล ต่อ 4 มิลลิเซ็คกั้น
- อินพุทและเอาท์พุททั้งหมด สามารถคอมแพททิเบิ้ลกับ TTL

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# บรรณานุกรม

ก. เอกสารอ้างอิงภาษาไทย

1) บริษัท ซีเอ็ดยูเคชั่น จำกัด, "คู่มือ ไอซี ซีมอส ตระกูล 4000", เกษมการพิมพ์, กรุงเทพ, 2522

2) บริษัท ซีเอ็ดยูเคชั่น จำกัด, "บันทึก 380 วงจรไอซี"

3) บริษัท ซีเอ็ดยูเคชั่นจำกัด, "รวมโครงงานเล่ม 2", เอเชียเพรส จำกัด กรุงเทพฯ 2524

4) ประทีป บัญญัตินพรัตน์, "ทฤษฎีและการใช้งานวงจรดิจิตอล", ภาควิชาวิศวกรรมคอมพิวเตอร์, ส.จ.ล., 2532

ข. เอกสารอ้างอิงภาษาอังกฤษ

1) Franklin F. Huo, "An Introduotion to Computer Logic", Printice - Hall

2) Louis Nashelsky, "Introduction to Digital computer Technology", John Wiley & Sons, 1972

3) Arthur B. Williams, "Designer's Hndbook of Integrated Circuits", McGraw - Hill Company

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## กิตติกรรมประกาศ

โครงงานชิ้นนี้ สำเร็จลงได้ด้วยความช่วยเหลือจากท่านอาจารย์ที่ปรึกษา และอาจารย์ภาควิชาเทคนิคอุตสาหกรรมทุกท่านที่ชี้แนะแนวทางในการออกแบบ ตลอดจนวิธีการแก้ปัญหาต่าง ๆ ที่เกิดขึ้น

ฉะนั้น ผู้จัดทำจึงขอขอบพระคุณทุกท่านที่กล่าวไว้แล้วข้างต้น ณ ที่นี้ด้วย ที่กรุณาให้ความเอื้อเฟื้อ จนโครงงานชิ้นนี้สำเร็จลงได้ด้วยความสมบูรณ์.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้