ปีการศึกษา พ.ศ. 2532

เรื่อง MULTISWITCHING ANSWERING TELEPHONE

(MSAT)

จัดทำโดย

นาย ประกอบยศ สุขเกษม 313306

อาจารย์ที่ปรึกษา

อาจารย์ อุทัย ศรีธีระโรจน์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปริญญานิพนธ์ปีการศึกษา 2532

ภาควิชา เทคนิคอุตสาหกรรม

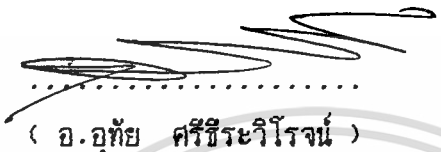
คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าคุณทหารลาดกระบัง

เรื่อง MULTISWITCHING ANSWERING TELEPHONE

จัดทำโดย

นายประกอบยศ สุขเกษม

อาจารย์ที่ปรึกษา



.....

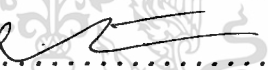
(อ.อุทัย ศรีธีระวิโรจน์)

กรรมการ

.....

(ผศ.วิชัย สุรพัฒน์)

กรรมการ



.....

(อ.ประดิษฐ์ วัชรพิบูลย์)

เลขหมู่ T 33127 ส4
เลขทะเบียน 027960
วัน, เดือน, ปี 18 ก.ย. 34

027960

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ปริญญานิพนธ์ฉบับนี้ที่สำเร็จลุล่วงลงไปได้ เพราะด้วยความกรุณาของอาจารย์ที่ปรึกษา ที่ให้คำแนะนำเกี่ยวกับปัญหาที่เกิดขึ้นมาตลอดที่ทำการสร้างงานชิ้นนี้ ทางด้านผลงานนี้ กระผมก็ได้ขอขอบคุณ อาจารย์ อุทัย ศรีธีระวิโรจน์ ไว้เป็นอย่างสูง ณ.ที่นี้ด้วย

ผู้จัดทำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MUTISWITCHING ANSWERING TELEPHONE

ประกอบยศ สุขเกษม

อ.อุทัย ศรีธีระวิโรจน์ อาจารย์ที่ปรึกษา

ปีการศึกษา 2532

บทคัดย่อ

MULTISWITCHING ANSWERING TELEPHONE นี้ เป็นเครื่องที่สามารถใช้ได้ทั่วไปทั้งในบ้านเรือนและสำนักงาน (ที่ใช้ TELEPHONE แบบ DTMF) ซึ่งต้องการติดต่อหลาย ๆ เครื่อง โดยใช้ โอเปอเรเตอร์ หรือพนักงานตอบรับโทรศัพท์ เครื่องนี้สามารถมาแทนพนักงานตอบรับโทรศัพท์ได้ ซึ่งมีหลักการของ (สวิชชิ่ง),(สังเคราะห์เสียงพูด) ,(การใช้ไมโครคอมพิวเตอร์) และการจัดการ แอดเดรส (ADDRESS MULTIPLEXING) หรือพูดง่าย ๆ ว่า สามารถติดต่อปลายทางได้หลาย ๆ แห่ง (กำหนดให้ทั้งหมดเท่ากับ 8) โดยใช้คู่สายโทรศัพท์ 1 คู่สายเป็นเครื่องตอบรับโทรศัพท์และบันทึกข้อความลงไป อีกทั้งเป็นเครื่องติดต่อภายในจากเครื่องหลัก (ที่พนักงานตอบรับใช้) โปรเจค เครื่องนี้สามารถใช้พนักงานตอบรับก็ได้ไม่ใช้ก็ได้ หรือใช้ร่วมกันเลย

MULTISWITCHING ANSWERING TELEPHONE (MSAT) ใช้ 1 คู่สาย ออก 8 คู่สายหรือเข้า 1 เบอร์โทรและเลือกออกได้ 8 ทาง (CHANNAL) คือ 1 x 8 คล้ายกับว่าจากเบอร์โทร 7 ตัวเพิ่มเข้าไปอีก 2 ตัวเพื่อเลือกข้อจำกัดของเครื่องมีคู่ว่าต้องใช้เครื่องโทรศัพท์ที่เป็นแบบกดปุ่ม(DTMF)เท่านั้น เพราะไม่ได้ทำตัวแปลหรือถอดระหัสเอาไว้ เราใช้ MT 8870 เป็นตัวแปลง DTMF เป็นระหัส BINARY เพื่อเลือก CHANNAL หรือ โค้ดต่าง ๆ ใช้ MC 3417 , 3418 เป็นตัวแปลงสัญญาณ A -->D และ D-->AโดยทำงานแบบCVSD (CONTINOUS VARIABLE SLOP DELTA)ทั้ง MODULATOR และ DEMODULATOR

การจัดการทางด้านลำดับขั้นการทำงานทั้งหมดใช้ ซีพียู Z-80 เป็นตัวจัดการทั้งหมดโดยเป็นการประยุกต์ใช้ SINGLE BOARD MICROCOMPUTER มาใช้คู่กับ PORT คือ 8255 เป็นตัวเลือกเปิด-ปิด GATE ของวงจรแต่ละส่วน ซึ่งขั้นตอนทั้งหมดขอกล่าวกว้าง ๆ คือ ซีพียู เป็นตัวควบคุม PORT คอย CHECK สัญญาณต่าง ๆ ที่เข้ามาที่ PORT C แล้วนำมาเปรียบเทียบค่าใน โปรแกรม ที่ผู้กำหนดการทำงานเขียนขึ้นมาแล้วส่งค่าต่าง ๆ ออกไปให้ PORT เอ,บี ควบคุมการทำงานของวงจรอื่น ๆ ซึ่งรายละเอียดจะขอกล่าวต่อไปในการทำงานของเครื่องนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

บทที่ 1	บทนำ	1
บทที่ 2	โครงสร้างของเครื่องโทรศัพท์ Multiswitching	4
	หน้าที่ของส่วนประกอบต่าง ๆ ของวงจร MSAT	6
บทที่ 3	ระบบไมโครโปรเซสเซอร์	10
	ซีพียู	10
	ขาสัญญาณสำหรับการเชื่อมต่อ	14
	ไดอะแกรมเวลาของไมโครโปรเซสเซอร์	18
	การอินพุทและเอาท์พุท	28
	พอร์ทอินพุทและเอาท์พุท	30
	การเชื่อมต่อไมโครโปรเซสเซอร์กับหน่วยความจำ	31
	ชนิดของหน่วยความจำ	32
	ลักษณะพื้นฐานการต่อหน่วยความจำกับระบบไมโครโปรเซสเซอร์	35
	การต่อหน่วยความจำกับซีพียู	35
	การสร้างสัญญาณเลือกหน่วยความจำและควบคุมการอ่านและเขียน	38
	การเชื่อมต่อไมโครโปรเซสเซอร์กับพอร์ท	42
บทที่ 4	การใช้ 8255 PIA กับ Z-80	48
	การต่อ 8255 เข้ากับ Z-80	51
	Mode 0 Basic register I/O	54
	การใช้งาน 8255 ใน Mode 1	61
	การใช้งาน 8255 ใน Mode 2	67
บทที่ 5	หลักการสังเคราะห์เสียงพูด	69
	เทคนิคการสังเคราะห์เสียงพูด	69
	กรรมวิธีในการสังเคราะห์เสียงพูด	69
	Delta Modulation	69
	CVSD	71

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 6 การออกแบบ 72
วงจรตรวจจับสัญญาณกระดิ่ง 72
วงจรเปลี่ยนรูปสัญญาณ 73
วงจร Monostable Multivibrater 75
การทำงาน 75
การชดเชยค่าผิดพลาดของตัวเก็บประจุ 79
การออกแบบ 81
หลักการออกแบบ 90
วงจรส่วนบันทึกข้อความ 91
MC 3417 92
หน่วยความจำ 94
วงจรจัดการหน่วยความจำ 96

ขั้นตอนการทำงาน
การใช้งาน MSAT
Flow Chart
บรรณานุกรม
ภาคผนวก ก
ภาคผนวก ข

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

ปัจจุบันโทรศัพท์กลายเป็นสิ่งที่ขาดเสียไม่ได้ในชีวิตประจำวัน และโทรศัพท์ก็มีขีดความสามารถมากขึ้นเรื่อยๆเพื่อสนองความต้องการและอำนวยความสะดวกแก่ผู้ใช้ ในส่วนของเครื่องรับโทรศัพท์นั้นจะเห็นว่า เครื่องรับโทรศัพท์รุ่นใหม่ๆทำให้ผู้ใช้มีความสะดวกสบายมากขึ้นในการใช้ เช่นสามารถเก็บหมายเลขโทรศัพท์ได้ สามารถพูดโทรศัพท์โดยไม่ต้องยกหู สามารถเก็บบันทึกข้อความไว้ได้ เปิดปิดไฟฟ้าภายในบ้านได้ เป็นต้น

เพื่อเป็นการอำนวยความสะดวกแก่ผู้ใช้โทรศัพท์ และเพื่อให้โทรศัพท์เป็นยิ่งกว่าเครื่องรับโทรศัพท์ธรรมดา ในโครงการนี้จึงได้พัฒนาประสิทธิภาพของเครื่องตอบรับโทรศัพท์ให้สามารถทำหน้าที่ได้หลายๆอย่างโดยให้ชื่อโครงการนี้ว่า เครื่องรับโทรศัพท์ที่ทำหน้าที่ได้ตามระหัสการติดต่อจะเรียกว่า เครื่องโทรศัพท์มัลติสวิทชิ่ง สำหรับความสามารถของเครื่องโทรศัพท์มัลติสวิทชิ่งที่ได้พัฒนาขึ้นมามีดังจะกล่าวต่อไป โทรศัพท์ที่ใช้กับเครื่องนี้นั้นสามารถใช้เชื่อมต่อกับคู่สายโทรศัพท์ของชุมสายโทรศัพท์ที่รับสัญญาณหมายเลขเป็น สัญญาณความถี่ หรือชุมสายที่รับสัญญาณหมายเลขเป็นแบบโทน (Dual Tone Multifrequency) ที่มีตัวย่อว่า DTMF

แต่เดิมระบบชุมสายโทรศัพท์จะรับสัญญาณหมายเลขจากเครื่องรับโทรศัพท์ ในรูปพัลซ์ซึ่งเกิดจากการตัดตอนเครื่องโทรศัพท์เข้ากับชุมสายโทรศัพท์ ทำให้เกิดพัลซ์ของสัญญาณขึ้นมาเพราะเมื่อวงจรของเครื่องรับโทรศัพท์ถูกต่อเข้ากับคู่สายโทรศัพท์ ก็จะมีกระแสไหลผ่านเครื่องโทรศัพท์กับไปยังชุมสาย และจะมีโวลเตจประมาณ 4-12 โวลต์ ตกคร่อมเครื่องรับโทรศัพท์ แต่เมื่อเครื่องรับโทรศัพท์ถูกตัดออกจากคู่สายโทรศัพท์ด้วยกลไกทางแมคคานิคส์หรือระบบสวิทชิ่งอิเลคโทรนิคส์ก็จะไม่มีกระแสไหลในคู่สายโทรศัพท์ และมีโวลเตจตกคร่อมเครื่องรับโทรศัพท์ประมาณ 48 โวลต์ เนื่องจากเครื่องรับโทรศัพท์อยู่ในสภาวะเปิดวงจร ต่อมาได้มีการเปลี่ยนระบบสัญญาณหมายเลขเป็นแบบโทน ซึ่งโทนที่แทนสัญญาณหมายเลขหนึ่งจะประกอบไปด้วยคลื่นรูปซายน์ 2 ความถี่มีแอมปลิจูดไม่เท่ากันผสมกัน ชุมสายโทรศัพท์ที่ได้มีการติดตั้งในระยะหลังๆ จะเป็นชุมสายที่ใช้ระบบสัญญาณหมายเลขดังนี้ ดังนั้นในปัจจุบันจึงมีชุมสายทั้งสองระบบประปนกันอยู่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในเมื่อสัญญาณหมายเลขที่ใช้อยู่ 2 แบบฉะนั้นเครื่องรับโทรศัพท์ที่ใช้กับระบบหนึ่งจะนำไปใช้กับอีกระบบหนึ่งไม่ได้ แต่กรณีเครื่องรับโทรศัพท์มัลติสวิทชิ่งที่ทำขึ้นมานี้สามารถที่จะใช้ได้กับชุมสายโทรศัพท์แบบ DTMF เท่านั้นเนื่องจากเห็นว่าจะลดต้นทุนการสร้างและอนาคตอันใกล้นี้ชุมสายต่าง ๆ นี้ คงจะเปลี่ยนเป็นระบบ DTMF มากขึ้น

สามารถตอบรับโทรศัพท์ที่เรียกเข้ามาแล้วไม่มีผู้รับสาย

โดยปกติทั่วไปถ้ามีการเรียกเข้ามาแต่ไม่มีผู้มารับสาย ซึ่งอาจจะไม่มีผู้ใดอยู่ก็จะทำให้การติดต่อนั้นเสียเวลาไปเปล่า ๆ วิ่งสิ่งนี้สำคัญมากในธุระกิจหลาย ๆ อย่าง ผู้ที่ถูกเรียกเข้ามาก็ไม่สามารถทราบได้ว่าระหว่างที่ไม่อยู่นั้นมีผู้ใดติดต่อเข้ามาบ้างหรือเปล่าด้วยธุรกิจใด แต่เครื่องโทรศัพท์มัลติสวิทชิ่งสามารถตอบสนองต่อการเรียกเข้ามาลักษณะดังกล่าวโดยสามารถตอบรับโทรศัพท์ได้ ซึ่งจะเป็นการแจ้งให้ผู้เรียกเข้ามาทราบว่าไม่มีบุคคลใดอยู่ ณ ที่นั้นหรือ ไม่มีคนมารับสายขณะนั้นและจะแจ้งให้ผู้เรียกเข้ามาฝากข้อความไว้ถึงบุคคลที่ต้องการจะติดต่อด้วย โดยจะมีเวลาสำหรับการฝากข้อความต่อ 1 การเรียกครั้งละ 13 วินาที

สามารถบันทึกข้อความทางโทรศัพท์ได้

หน้าที่นี้เป็นหน้าที่ต่อเนื่องกับการตอบรับข้อความ เมื่อเครื่องโทรศัพท์มัลติสวิทชิ่งได้ทำการตอบรับโทรศัพท์แล้วก็ทำหน้าที่ในการบันทึกข้อความที่ผู้เรียกเข้ามามีความประสงค์จะฝากไว้ โดยจะจัดเวลาไว้ให้สามารถบันทึกได้ 13 วินาที ต่อการฝากข้อความ 1 ครั้ง ส่วนบันทึกข้อความนี้สามารถบันทึกข้อความได้เป็นระยะเวลานาน 131 วินาที ต่อ 1 ช่องการติดต่อหรือต่อ RAM CARD 1 แผ่น ซึ่งทั้งหมดนั้นมี 8 แผ่น เมื่อรวมทั้งหมดแล้วจะเป็นเวลาเท่ากับ 131 x 8 = 1048 วินาที

ในเครื่องโทรศัพท์มัลติสวิทชิ่งนี้ เราได้เพิ่มการควบคุมระยะไกลผ่านระบบโทรศัพท์ใช้สำหรับควบคุมส่วนบันทึกข้อความ ทำการเล่นข้อความที่บันทึกไว้ให้ฟังทางโทรศัพท์ได้ สามารถสวิทช์ไปยังเบอร์ภายในเบอร์อื่นๆได้ และสามารถควบคุมให้ส่วนนี้ทำการเล่น หยุด หรือลบข้อความที่บันทึกไว้นี้ได้ การพัฒนาชิ้นนี้เป็นประโยชน์แก่สถานะการณ์ที่เราไม่ได้อยู่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บ้านหลายๆวัน ซึ่งในช่วงเวลานั้นอาจจะมีผู้ติดต่อและได้ฝากข้อความไว้กับส่วนบันทึกนี้ ทำให้เราสามารถทราบถึงข้อความดังกล่าวได้ แม้ว่ายังไม่ได้กลับไปที่บ้านก็ตาม

สามารถติดต่อยังเบอร์ภายในได้หลายเบอร์

เราสามารถติดต่อผ่านชุมสายโทรศัพท์เพียง 1 เบอร์โทร แต่สามารถติดต่อปลายทางได้ถึง 8 เบอร์โทร โดยผ่านโอเปอเรเตอร์หรือไม่ผ่านโอเปอเรเตอร์ก็ได้โดยการผ่าน CODE ให้เครื่องโทรศัพท์สวิทชิ่ง (.MSAT)

สามารถใช้เป็นเครื่องติดต่อภายในได้

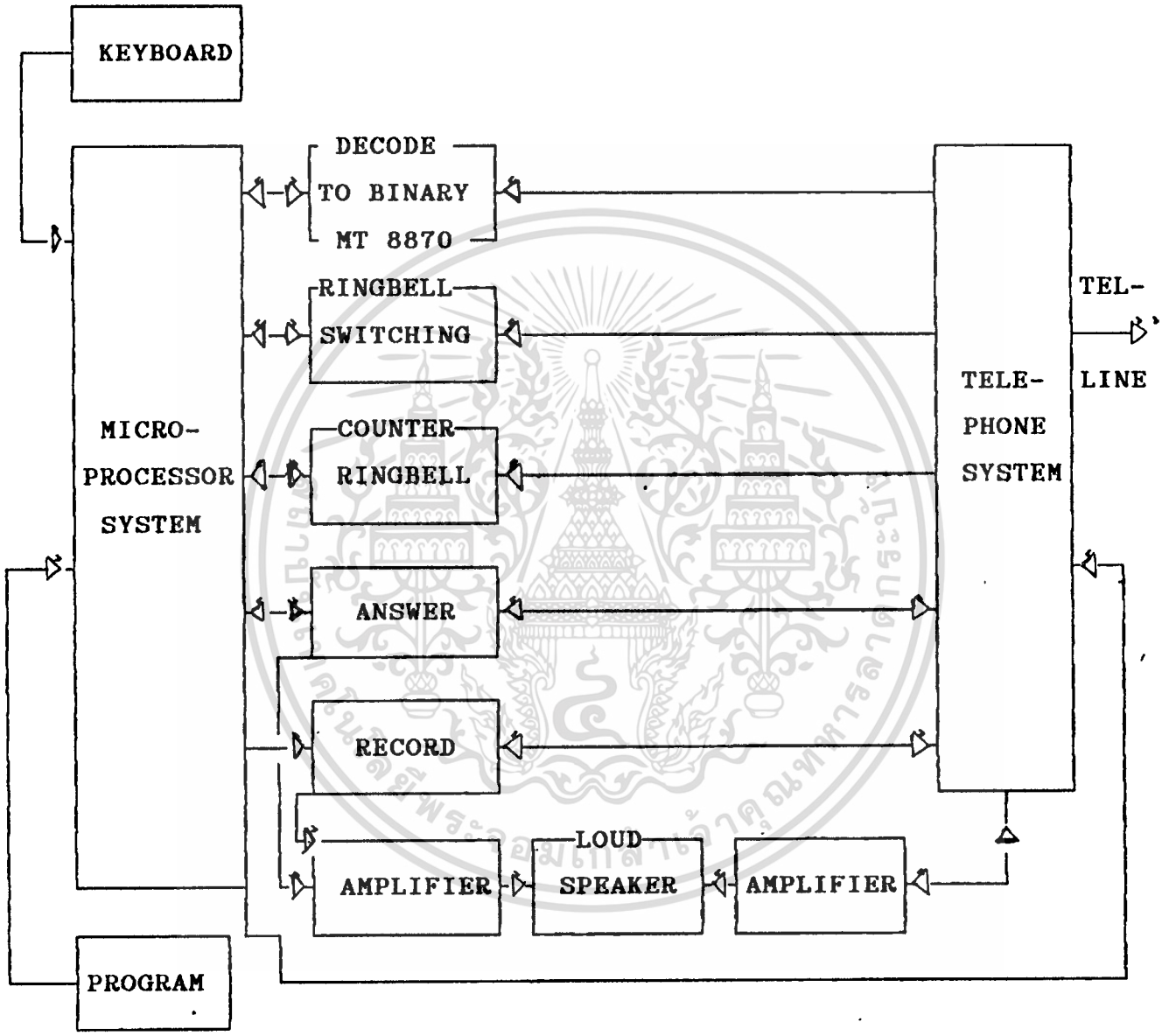
การติต่อภายในนั้น MSAT จะทำได้โดยการติดต่อต้นทางจากเครื่องโทรศัพท์หลัก หรือเครื่องโทรศัพท์ของพนักงานตอบรับโทรศัพท์ไปยังลูกข่ายเบอร์ภายใน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2

รงสร้างของเครื่องโทรศัพท์มัลติสวิทชิ่ง

เครื่องโทรศัพท์มัลติสวิทชิ่งประกอบด้วยส่วนต่างๆ แสดงดังรูปที่ 1



รูปที่ 1 แสดงบล็อกไดอะแกรมของเครื่องโทรศัพท์มัลติสวิทชิ่ง MSAT

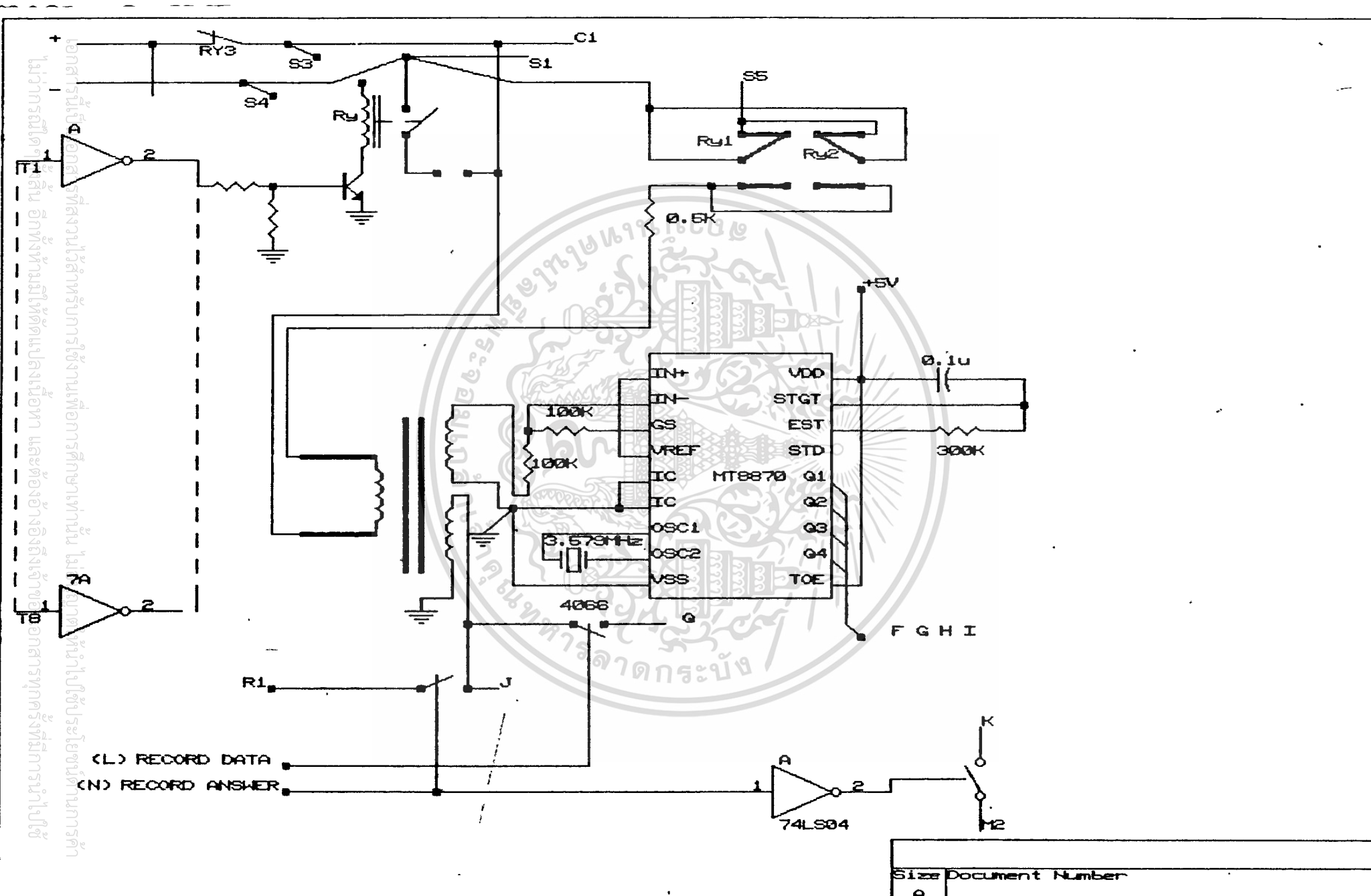
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

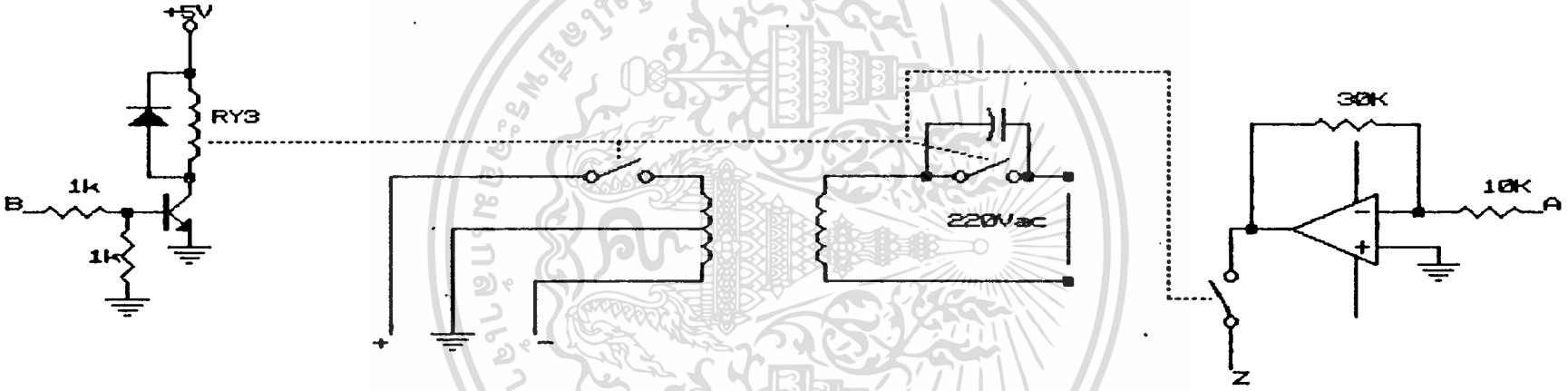
วงจรโทรศัพท์ เป็นส่วนที่ทำการส่งเสียงพูดของผู้ใช้ ผ่านคู่สายโทรศัพท์ไปยังคู่สนทนาและรับเสียงของคู่สนทนาจากคู่สายโทรศัพท์มาแล้วขยายออกหูฟังให้แก่ผู้ใช้ และยังทำหน้าที่ส่งสัญญาณหมายเลขโทรศัพท์ไปยังชุมสายโทรศัพท์ เพื่อแจ้งให้ชุมสายโทรศัพท์ทราบว่าผู้ใช้ต้องการติดต่อไปยังคู่สายปลายทางใด เมื่อชุมสายทำการติดต่อไปยังคู่สายปลายทางได้ผลประการใดก็จะมีสัญญาณส่งจากชุมสายโทรศัพท์มาแจ้งให้ทราบ แต่ส่วนวงจรทั้งหมดของ MSAT ประกอบด้วยส่วนประกอบที่สำคัญ คือ

1 ส่วนเข้าระหัสติดต่อ (SWITCHING DECODER)
2 ส่วนส่งสัญญาณกระดิ่ง (RINGBELLER)
3 ส่วนส่งเสียงพูด (TRANSMITTER)
4 ส่วนรับเสียงพูด (RECIVER)
5 ส่วนวงจรตรวจจับสัญญาณเรียก (RINGING CHECKER)
6 ส่วนแทนฮุคสวิทช์ (HOOKSWITCH)
8 ส่วนวงจรบริดจ์ (POLAR GUARD BIRDGE)
9 ส่วนประมวลผล (CPU)
10 ส่วนเก็บข้อมูล (RAM CARD)
11 ส่วนเปรียบเทียบโวลท์เตจ (COMPARATOR)
12 ส่วนขยายเสียง (AMPLIFIER)
13 ส่วนวงจรเพาว์เวอร์ซัพพลาย (POWER SUPPLY)
15 ส่วนตอบรับ (ANSWER)

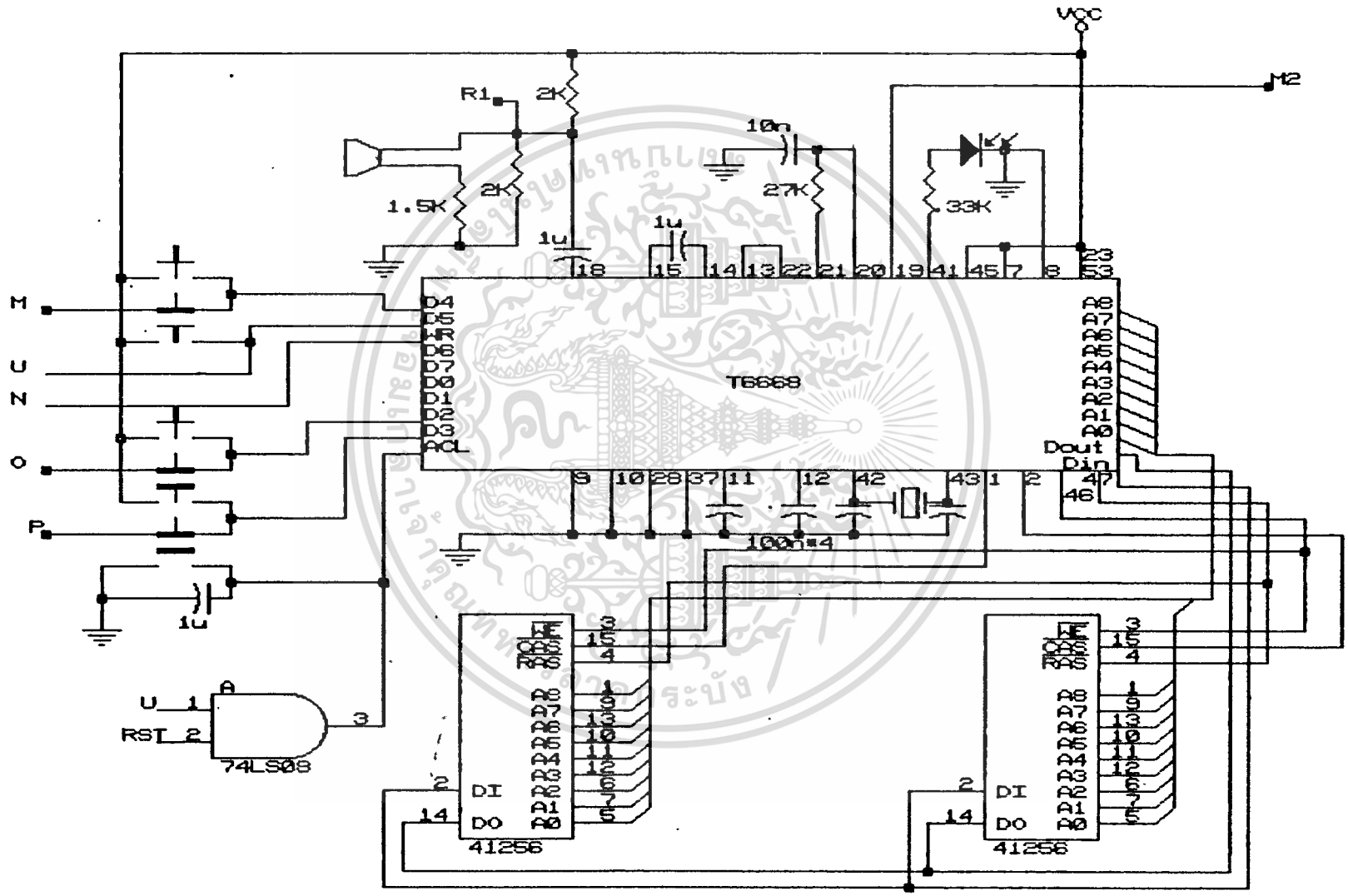
แต่ละส่วนประกอบกันเป็นวงจรของ MSAT แสดงดังรูป ต่อไปนี้

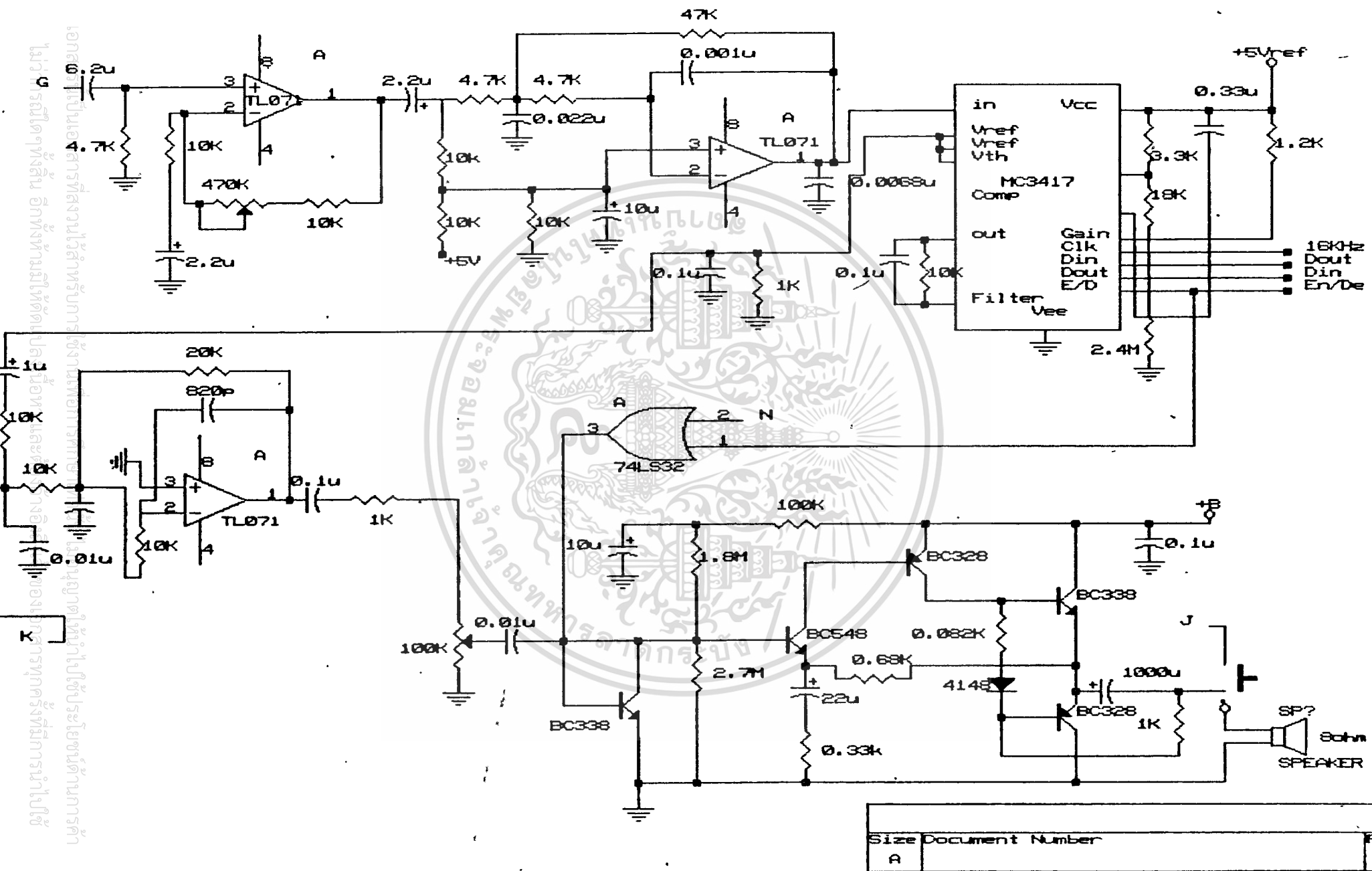
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

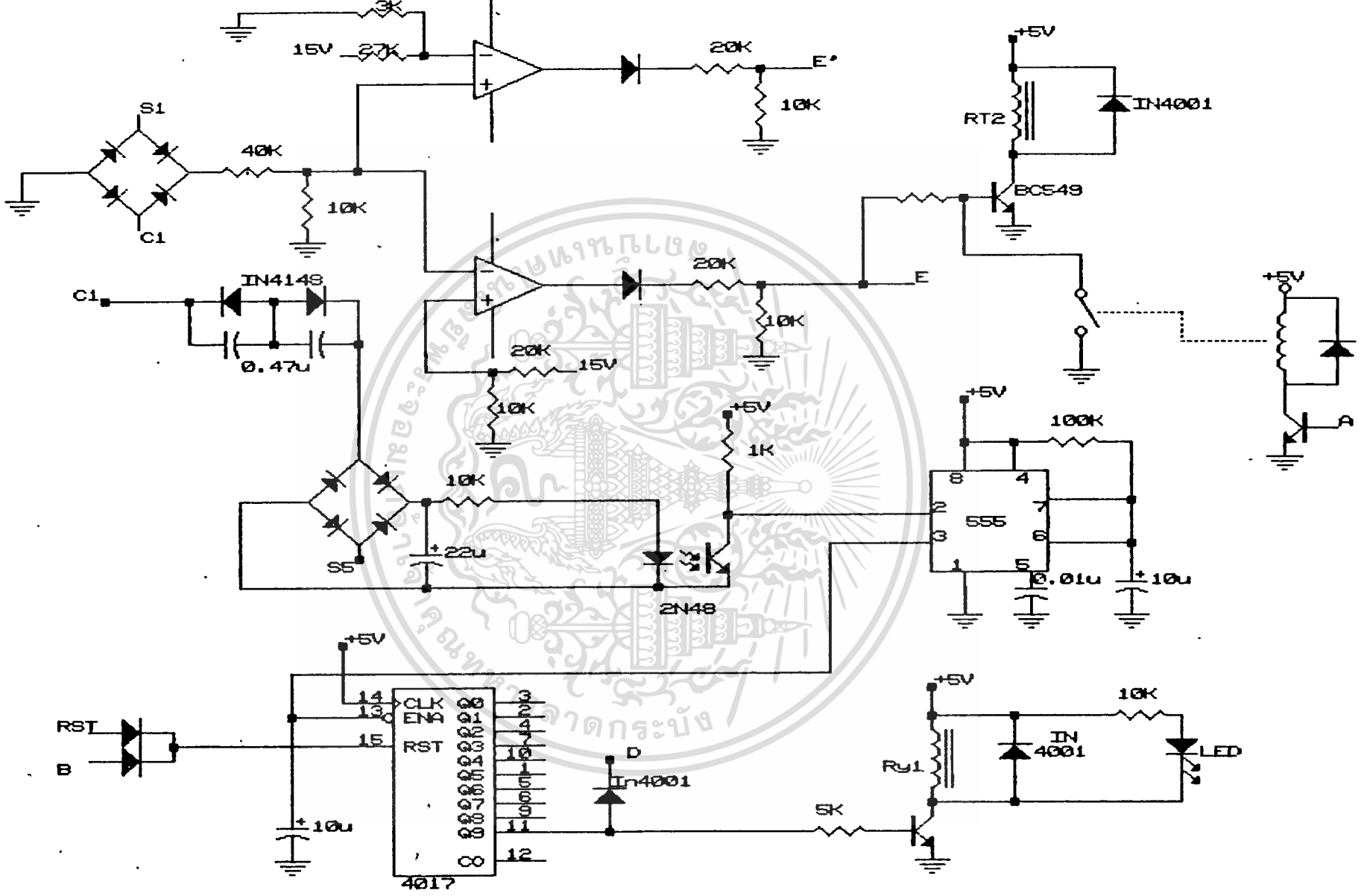

+
-
RY3
S3
S4
C1
S1
S5
Ry
Ry1
Ry2
A
1
2
IT1
0.5K
+5V
0.1u
IN+
IN-
GS
VREF
IC
IC
OSC1
OSC2
VSS
VDD
STGT
EST
STD
Q1
Q2
Q3
Q4
TOE
MT8870
100K
100K
300K
3.579MHz
4066
Q
F G H I
7A
IT8
R1
J
(L) RECORD DATA
(N) RECORD ANSWER
74LS04
K
M2
Size
Document Number

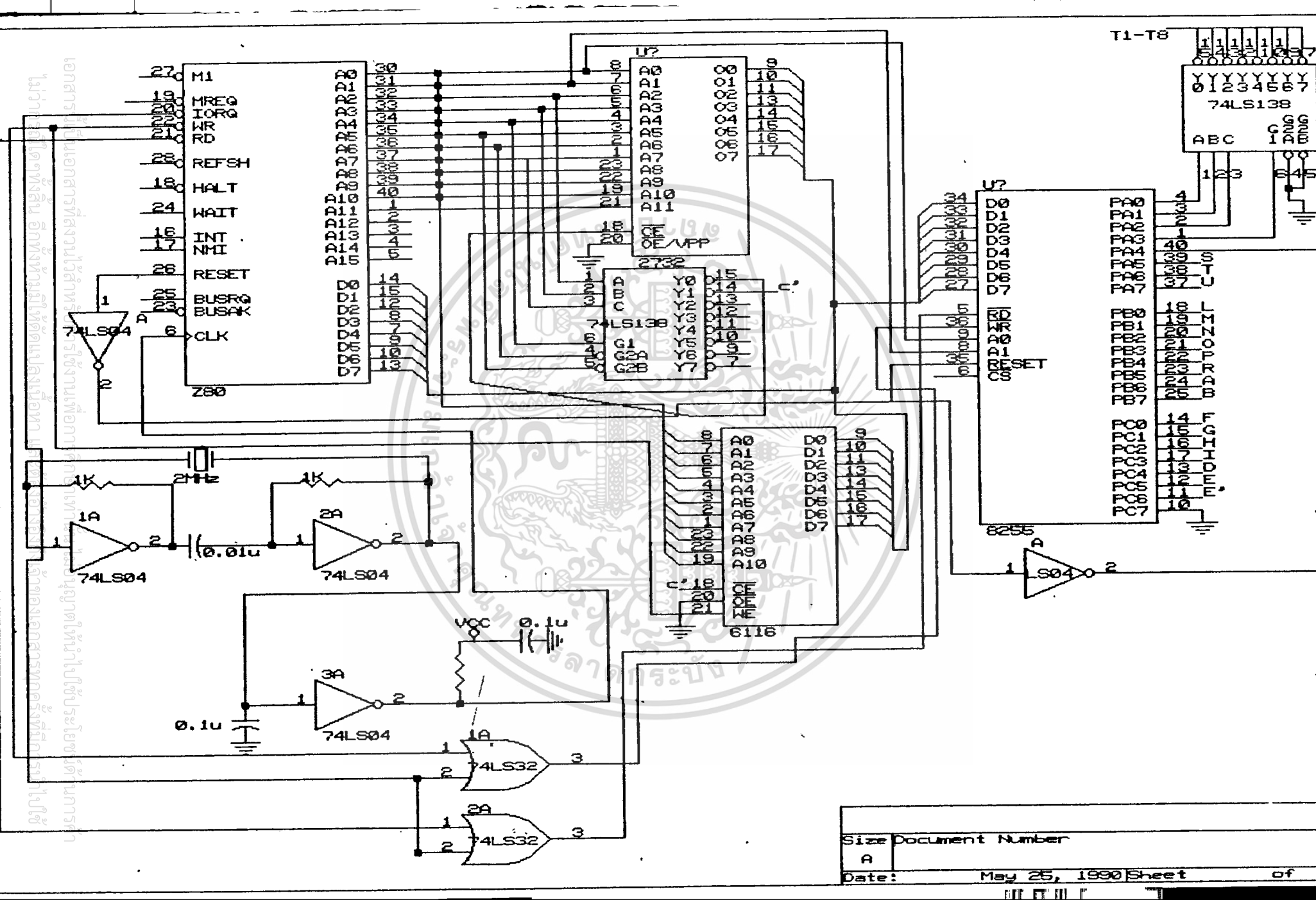


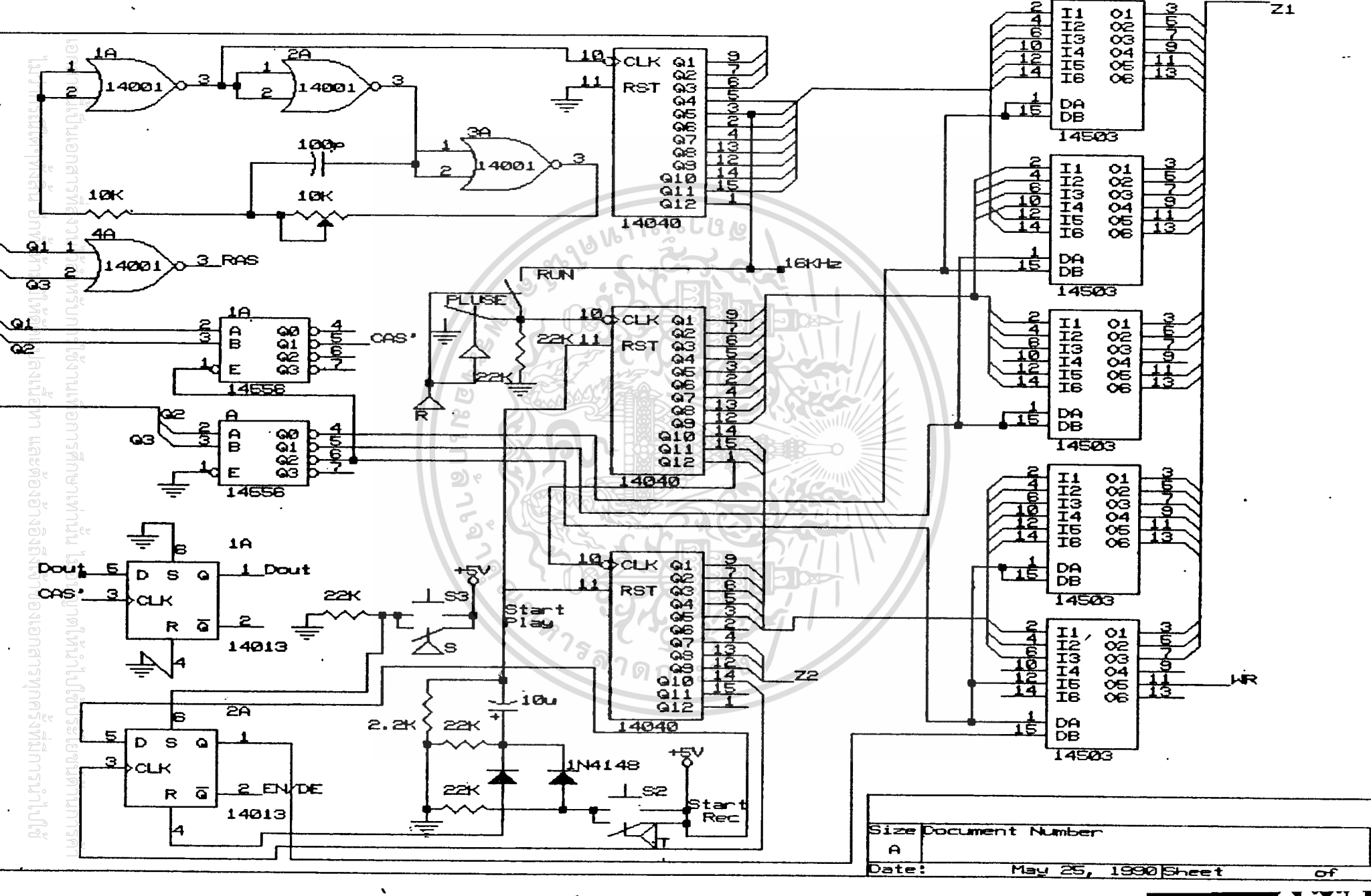
Size A	Document Number	R
Date: May 25, 1999	Sheet of	

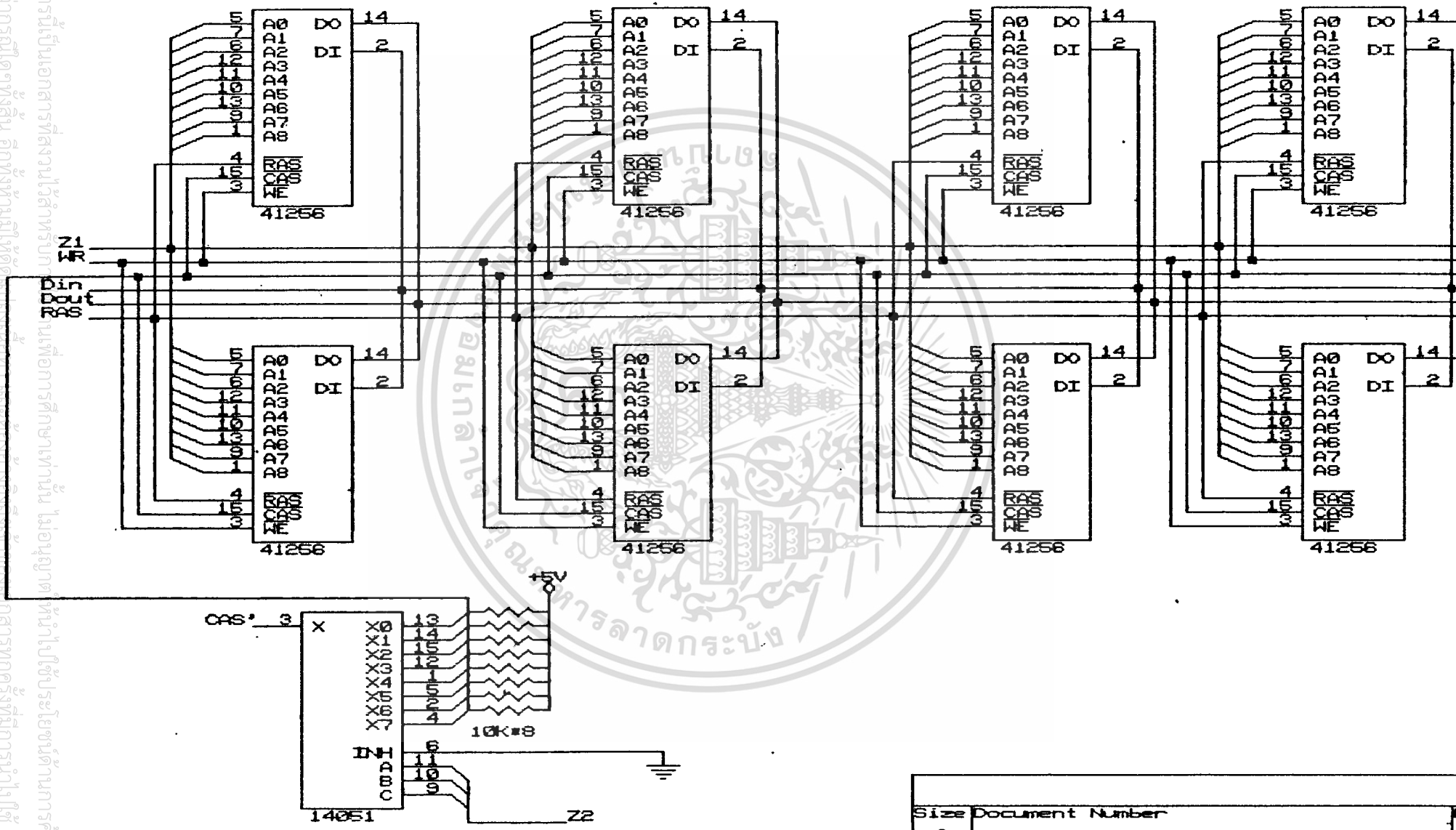

VCC
M2
R1
2K
1.5K
2K
10n
27K
33K
1u
1u
M
U
N
O
P
1u
T6668
D4
D5
WR
D6
D7
D0
D1
D2
D3
ACL
Dout
Din
100n*4
U
RST
74LS08
DI
DO
41256
DI
DO
41256
Size
Document Number


G
6.2u
4.7K
TL071
10K
470K
10K
2.2u
2.2u
4.7K
4.7K
0.022u
47K
0.001u
10K
10K
10K
+5V
10K
10u
TL071
0.0068u
in
Vcc
Vref
Vref
Vth
MC3417
Comp
out
Gain
Clk
Din
Dout
E/D
Filter
Vee
+5Vref
0.33u
1.2K
3.3K
18K
2.4M
16KHz
Dout
Din
En/De
0.1u
1K
0.1u
10K
1u
20K
820p
10K
10K
0.01u
TL071
0.1u
1K
74LS32
N
100K
10u
1.8M
BC328
+B
0.1u
BC338
0.01u
100K
BC548
0.082K
0.68K
2.7M
22u
BC338
0.33k
4148
1000u
BC328
1K
J
SP?
8ohm
SPEAKER
K
Size
A
Document Number


15V
20K
E'
10K
S1
40K
10K
C1
IN4148
0.47u
20K
E
10K
20K
15V
10K
+5V
1K
10K
22u
S5
2N48
RT2
IN4001
BC549
+5V
A
+5V
100K
555
0.01u
10u
+5V
RST
B
14
13
15
CLK
ENA
RST
4017
10u
D
In4001
+5V
Ry1
5K
10K
IN
4001
LED
Size
A
Document Number


T1-T8
74LS138
U?
2732
74LS138
6116
8255
Z80
M1
MREQ
IORQ
WR
RD
REFSH
HALT
WAIT
INT
NMI
RESET
BUSRQ
BUSAK
CLK
74LS04
2MHz
1K
0.01u
0.1u
VCC
74LS32
CE
OE/VPP
OE
WE
RD
WR
CS
Size
Document Number
Date:
May 25, 1990
Sheet
of


1A
2A
3A
4A
14001
100p
10K
10K
14040
CLK
RST
16KHz
RUN
PLUSE
22K
22K
R
RAS
Q1
Q3
14556
CAS'
Q2
Q3
14556
14040
1A
Dout
CAS'
D S Q
CLK
R Q
14013
1 Dout
22K
+5V
S3
Start
Play
S
2A
2.2K
22K
10u
22K
1N4148
+5V
S2
Start
Rec
T
2 EN/DE
14013
14040
Z2
14503
14503
14503
14503
14503
Z1
WR
Size
A
Document Number
Date:
May 25, 1990
Sheet
of



Size	Document Number	
A		
Date:	April 24, 1990	Sheet of

หน้าที่ของส่วนประกอบต่างๆ ของวงจร MSAT มีดังนี้

TRANSMITTER ส่วนนี้จะเป็นที่การส่งเสียงพูดของผู้ใช้ที่ฝากข้อความไว้แล้วแปลงเป็นสัญญาณไฟฟ้าเข้าสู่วงจรการแปลงเสียงพูดโดย ไอซี MC 3417 หรือ MC 3418 เพื่อส่งไปยังคู่สนทนาที่ติดต่อเข้ามา

RECIVER ส่วนนี้จะเป็นการแปลงสัญญาณเสียง เพื่อแปลงเสียงพูดของคู่สนทนาจากวงจรเสียงพูดซึ่งอยู่ในรูปของสัญญาณเสียง (Voice) ให้เป็นสัญญาณดิจิตอลโดย ไอซี MC 3417 หรือ MC 3418

RINGING CHECKER ส่วนนี้จะจับสัญญาณกระดิ่งที่เข้ามาโดยการผ่านวงจรบริดจ์แล้วแปลงสัญญาณดังกล่าวให้กับวงจร MONOSTABLE เป็นการ TRIG ที่ขาที่ 2 แล้วส่งสัญญาณออกที่ขา 3 เพื่อส่งสัญญาณ PULSE ให้กับ COUNTER IC (4017) เพื่อเป็นการนับว่ามีสัญญาณเรียกเข้ามากี่ครั้งแล้ว เนื่องจากเครื่องโทรศัพท์มีลดิฟังก์ชันนี้ ไม่มีสวิทช์มาทำการควบคุมให้เครื่องโทรศัพท์ออกจากโหมด (Mode) ของการเป็นเครื่องโทรศัพท์ธรรมดาเข้าสู่โหมดของการตอบรับโทรศัพท์ หรือโหมดการเล่นข้อความที่บันทึกไว้ให้ฟังทางโทรศัพท์ การควบคุมจะใช้หลักการนับสัญญาณเรียกจากชุมสายโทรศัพท์ที่เข้ามายังเครื่องโทรศัพท์ เนื่องจากมีผู้เรียกเข้ามา ถ้าวงจรทำการนับจำนวนของสัญญาณเรียกได้เท่ากับจำนวนที่โปรแกรมไว้ล่วงหน้าเครื่องโทรศัพท์ก็จะทำการยกหูโทรศัพท์เองโดยอัตโนมัติ โดยใช้ RELAY โดยไม่ใช้ชุดสวิทช์ หลังจากนี้ เครื่องจะเข้าสู่โหมดการตอบรับโทรศัพท์และบันทึกข้อความ จากการที่ใช้หลักการในการนับจำนวนสัญญาณเรียกดังกล่าว ถ้าการเรียกที่เข้ามานั้นไม่มีผู้รับสาย การรับสายจะต้องกระทำก่อนที่สัญญาณเรียกจะดังถึงจำนวนที่โปรแกรมไว้การมารับสายล่าช้า จะทำให้เครื่องโทรศัพท์เข้าสู่โหมดใดข้างต้น แต่ผู้ใช้สามารถที่จะโปรแกรมจำนวนสัญญาณเรียกไว้ให้มากพอที่จะรับสายได้ทัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ลักษณะของสัญญาณจากชุมสายโทรศัพท์ที่สำคัญที่ใช้ในขั้นตอนการเรียกโทรศัพท์มี 3 ลักษณะคือ

1. สัญญาณให้ส่งหมายเลข (Dial Tone) มีลักษณะเป็นสัญญาณรูปซายน์ (Sine) มีความถี่ประมาณ 400 เฮิร์ต ส่งมาโดยมอดูเลชั่นแบบแอมปลิจูด (Amplitude Modulation) กับสัญญาณรูปซายน์ความถี่ 16 เฮิร์ต เมื่อผู้ใช้ยกหูโทรศัพท์ขึ้นทางชุมสายโทรศัพท์จะส่งสัญญาณนี้มา เพื่อบอกให้ผู้ใช้ทำการกดปุ่มหมายเลขเพื่อส่งหมายเลขต้องการติดต่อด้วย สัญญาณให้ส่งหมายเลขนี้จะหยุดส่งจากชุมสายเมื่อผู้ใช้เริ่มทำการส่งหมายเลข

2. สัญญาณเรียกกลับ เป็นสัญญาณรูปซายน์ความถี่ประมาณ 400 เฮิร์ต ส่งเป็นจังหวะส่ง 2 วินาที หยุดส่ง 3 วินาที สลับต่อเนื่องกันไป เพื่อแจ้งให้ผู้ใช้ทราบว่าสามารถติดต่อไปยังปลายทางได้แล้ว เมื่อผู้รับปลายทางรับสาย สัญญาณนี้จะหยุดส่ง

3. สัญญาณไม่ว่าง เป็นสัญญาณรูปซายน์ความถี่ประมาณ 400 เฮิร์ต ส่งเป็นจังหวะส่ง 0.5 วินาที หยุดส่ง 0.5 วินาที สลับต่อเนื่องกันไป สัญญาณเป็นการแจ้งให้ผู้ใช้ทราบว่าคู่สายปลายทางไม่ว่าง ซึ่งผู้ใช้จะต้องวางหูโทรศัพท์แล้วยกหูขึ้นใหม่เพื่อทำการติดต่อใหม่อีกครั้ง

จะสังเกตได้ว่าสัญญาณทั้ง 3 แบบเป็นสัญญาณรูปซายน์และมีความถี่เดียวกัน จะแตกต่างกันเฉพาะช่วงเวลาที่ใช้ในการส่งสัญญาณ ซึ่งข้อสังเกตนี้นำมาใช้ในการออกแบบ

HOOKSWITCH

มีหน้าที่ตัดต่อเครื่องโทรศัพท์เข้ากับคู่สายโทรศัพท์ซึ่งสภาวะการทำงานของฮุคสวิทช์มี 2 สภาวะคือสภาวะการวางหู (On Hook)และสภาวะยกหู (Off Hook) โดยในวงจรจะใช้ RELAY เป็นตัวแทนของ HOOKSWITCH

- สภาวะวางหู ในสภาวะนี้ส่วนหูโทรศัพท์วางบนฮุคสวิทช์และฮุคสวิทช์จะทำการต่อคู่สายโทรศัพท์เข้ากับวงจรตรวจจับสัญญาณเรียก ซึ่งทำให้สามารถรับสัญญาณเรียกได้เมื่อมีผู้เรียกเข้ามา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- สภาวะยกหู ในสภาวะนี้ผู้ใช้โทรศัพท์ยกหูโทรศัพท์ขึ้นมาจากฮุคสวิทช์ซึ่งทำให้ฮุคสวิทช์ต่อเครื่องโทรศัพท์เข้ากับคู่สายโทรศัพท์ ทำให้ผู้ใช้ทำการกดปุ่มโทรศัพท์หรือสนทนากับคู่สนทนาได้

POLAR GUARD BRIDGE

ทำหน้าที่ผ่านกระแสไฟตรงจากคู่สายโทรศัพท์ไปเลี้ยงวงจรเครื่องโทรศัพท์เมื่อฮุคสวิทช์อยู่ในสภาวะยกหู และทำหน้าที่ให้สัญญาณเสียงทั้งทางด้านพีคบวกและพีคลบผ่านในวงจรโทรศัพท์ได้ นอกจากนี้วงจรแปลงสัญญาณไฟตรงยังเป็นส่วนสร้างกราวน์ (Ground) ให้แก่วงจรโทรศัพท์ด้วย

ส่วนตอบรับโทรศัพท์ ANSWER

ส่วนนี้จะทำการส่งข้อความที่บันทึกไว้ในหน่วยความจำแจ้งให้ผู้ที่โทรศัพท์เข้ามาทราบว่าขณะนั้นไม่มีผู้รับสาย ถ้าผู้เรียกต้องการฝากข้อความถึงผู้ใด ก็สามารถฝากไว้ได้โดยเครื่องโทรศัพท์มัลติสวิทช์ซึ่งจะบันทึกไว้ใน RAM หน่วยความจำ ที่ต่ออยู่กับไอซี T 6668 ซึ่งระยะเวลาในการบันทึกข้อความ ขึ้นอยู่กับการออกแบบ การใช้ RAM กับ T 6668

ส่วนตอบรับโทรศัพท์นี้จะต่อเข้ากับวงจร AMPLIFIER สัญญาณเสียงจากส่วนตอบรับนี้จะต้องถูกปรับให้มีค่าต่ำๆ อยู่ในระดับสัญญาณไมโครโฟน การเริ่มทำงานของส่วนนี้ จะถูกควบคุมโดยไมโครโปรเซสเซอร์ การสิ้นสุดของข้อความที่ตอบรับจะเป็นการหยุดทำงานของส่วนนี้ จะได้เริ่ม ส่วนตอบรับโทรศัพท์ที่ต่อเข้ากับวงจรขยายนี้ยังสามารถขยายสัญญาณขับออกสู่ลำโพง เพื่อใช้ในการที่ผู้ใช้จะใช้ทดสอบฟังเสียงของตนเองที่จะบันทึกในหน่วยความจำของส่วนนี้ เพื่อการตอบรับโทรศัพท์

ส่วนบันทึกข้อความ RAM CARD

หลังจากการทำงานของส่วนตอบรับโทรศัพท์สิ้นสุดลง ส่วนบันทึกข้อความจะทำการบันทึกข้อความที่ผู้เรียกเข้า ต้องการฝากเก็บลงในหน่วยความจำ ซึ่งได้ออกแบบไว้ให้สามารถบันทึกข้อความได้เป็นระยะเวลา 131 วินาที/ 1 RAM CARD แต่จะให้ระยะเวลาการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บันทึกแต่ละครั้งเพียง 13 วินาทีเท่านั้น ในส่วนนี้เราสามารถให้เล่นกลับเพื่อส่งข้อความที่บันทึกไว้ให้เจ้าของโทรศัพท์มัลติสวิทซึ่งฟังทางโทรศัพท์ได้ โดยผู้เป็นเจ้าของจะเป็นผู้เรียกเข้ามายังโทรศัพท์แล้วควบคุมให้ส่วนบันทึกข้อความทำการอ่านข้อความจากหน่วยความจำส่งมา ขอบเขตการควบคุมได้การกำหนดไว้ 3 แบบคือ กำหนดการเลือกการทำงานว่าจะบันทึกข้อความ หรือ เป็นการจะฟังข้อความที่บันทึกเอาไว้ สั่งให้เริ่มส่งข้อความ สั่งให้หยุดและสั่งให้ลบข้อความข้อความทั้งหมดที่บันทึกไว้ออกจากหน่วยความจำ ซึ่งการลบนี้ใช้เมื่อได้รับฟังข้อความทั้งหมดแล้ว เพื่อที่จะได้ใช้หน่วยความจำในการบันทึกข้อความของผู้เรียกคนอื่นต่อไป

SWITCHING CODER

ส่วนการเข้าระหัสนี้ มีหน้าที่ทำการแปลง สัญญาณหมายเลขโทรศัพท์จากระบบ DTMF เพื่อส่งไปยัง PORT ของส่วนประมวลผล (CPU) โดยมีการแปลงจากสัญญาณความถี่เป็นสัญญาณดิจิตอลเลขฐานสอง ส่วนนี้มีไว้เพื่อช่วยให้สามารถควบคุมการส่งข้อความ การหยุดส่งหรือ การลบหน่วยความจำได้อธิบายมาแล้ว การควบคุมจะทำได้โดยการกดปุ่มหมายเลขโทรศัพท์ ซึ่งได้กำหนดไว้เป็นความหมายคือระหัสตัวที่ 1 และระหัสตัวที่ 2
เมื่อระหัสตัวที่ 1 คือ

ปุ่ม 2 ใช้สั่งให้ส่วนบันทึกข้อความทำการอ่านหน่วยความจำ และแปลงข้อมูลเป็นสัญญาณเสียงส่งมาตามสายโทรศัพท์

ปุ่ม 1 ใช้สั่งให้ส่วนบันทึกข้อความรับข้อความที่จะเข้าสู่หน่วยความจำ ถ้าต้องการฟังข้อความต่อไปให้กดปุ่ม 2

ปุ่ม 8 ใช้สั่งให้ส่วนบันทึกข้อความทำการลบข้อความที่บันทึกไว้ทั้งหมดของแต่ละช่องโดยการรีเซ็ทแอดเดรส (Reset Address) ของหน่วยความจำจาก T 6668

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หลักการของการควบคุมก็คือ เมื่อกดปุ่มใดๆข้างต้นจะมีสัญญาณเสียง ส่งไปในคู่สายโทรศัพท์ไปยังเครื่องโทรศัพท์มัลติสวิทชิ่ง วงจรส่วนตรวจจับสัญญาณโทนนี้ ก็จะทำการดีโค้ด (Decode) สัญญาณโทนว่าเป็นสัญญาณของปุ่มใดแล้วส่งให้ส่วนของไมโครโปรเซสเซอร์มาควบคุมส่วนบันทึกข้อความอีกต่อหนึ่ง สัญญาณโทนของปุ่มหมายเลข 3,4,5,6,7,9 จะไม่มีผลต่อการทำงานของวงจรส่วนนี้

AMPLIFIER

วงจรขยายใช้ขยายสัญญาณเพื่อขับออกลำโพง วงจรขยายมีอยู่ 2 ชุด ซึ่งมีรายละเอียดของวงจรต่างกัน โดยวงจรขยายชุดที่ 1 ใช้เลือกขยายสัญญาณจากวงจร 2 ส่วนคือ จากส่วนตอบรับโทรศัพท์ ซึ่งจะใช้เมื่อเสร็จจากขั้นตอนการบันทึกข้อความที่จะใช้ในการตอบรับโทรศัพท์ลงในหน่วยความจำของวงจร เพื่อที่จะฟังว่าลักษณะเสียงที่บันทึกไว้แล้วเป็นอย่างไร และอีกส่วนหนึ่งคือส่วนบันทึกข้อความ ซึ่งจะใช้เมื่อต้องการฟังข้อความที่ผู้เรียกเข้ามาได้ฝากไว้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

027960

บทที่ 3

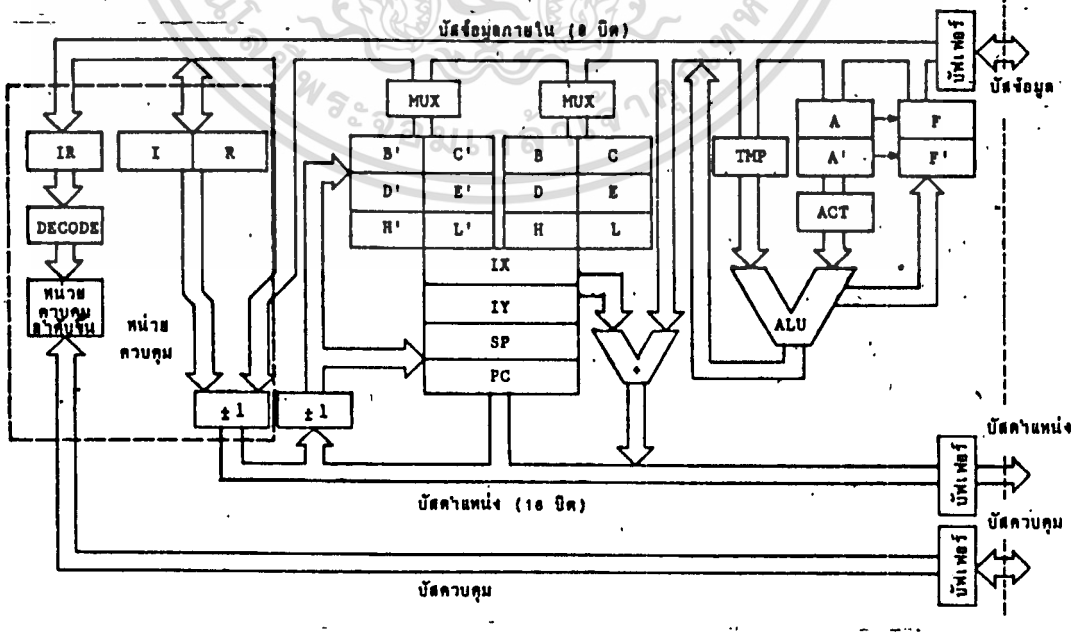
ซีพียู Z-80

ไมโครโปรเซสร์เบอร์ z-80 เป็นไมโครโปรเซสเซอร์ขนาด 8 บิต ที่ได้พัฒนามาจากไมโครโปรเซสเซอร์เบอร์ 8080 ขององบริษัทอินเทล โดยได้ทำการแก้ไขข้อบกพร่องบางอย่างของไมโครโปรเซสเซอร์เบอร์ 8080 เช่นทำให้มีคำสั่งใหม่มากขึ้น มีวิธีการอ้างถึงตำแหน่งข้อมูล (Addressing Mode) ใหม่ และมีระบบฮาร์ดแวร์ที่มีความสามารถ และมีความสะดวกในการใช้งานมากขึ้น นอกจากนั้น ซีพียู z-80 ยังสามารถใช้ซอฟต์แวร์ของระบบที่ใช้กับซีพียู 8080 ได้อีกด้วย

เหตุผลในการศึกษาไมโครโปรเซสเซอร์โดยใช้ซีพียู z-80 นี้เนื่องจากโครงสร้างของซีพียู z-80 เป็นโครงสร้างที่มีความเข้าใจได้ง่าย ทั้งด้านอาร์ดแวร์และการนำไปเชื่อมต่อกับอุปกรณ์ภายนอกรวมทั้งชุดคำสั่งต่าง ๆ และระบบซอฟแวร์ ยังเข้าใจได้ง่ายและมีขีดความสามารถในการทำงานสูง

โครงสร้างซีพียู Z-80

เทอมต่าง ๆ ที่มีความจำเป็นในการเข้าใจถึงองค์ประกอบภายในของไมโครโปรเซสเซอร์ ได้อธิบายมาแล้วในบทก่อน ในส่วนนี้จะได้กล่าวถึงโครงสร้างของซีพียู z-80 และรีจิสเตอร์ต่าง ๆ ที่จำเป็น ในการเขียนโปรแกรมเพื่อให้ไมโครโปรเซสเซอร์ทำงานตามที่ต้องการ โครงสร้างของซีพียู z-80 แสดงดังรูปที่ 1



รูปที่ 1 โครงสร้างภายในของซีพียู Z-80

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปเห็นได้ว่าซีพียูมีบัสอยู่ 3 ชนิดคือ บัสตำแหน่ง บัสข้อมูล และบัสควบคุมซึ่งบัสเหล่านี้ใช้สำหรับทำการเชื่อมต่อซีพียูกับอุปกรณ์ภายนอก และภายในไมโครโปรเซสเซอร์จะประกอบด้วยวงจรพื้นฐาน ต่าง ๆ ดังที่กล่าวมาแล้ว คือ ALU แอคคิวมูเลเตอร์ รีจิสเตอร์ตำแหน่ง และแฟลกนอกจากนี้ยังมีรีจิสเตอร์ใช้งานต่าง ๆ อีก คือ B,C,D,E H,L,B',C',D',E',H' และ L' ส่วนรีจิสเตอร์ตำแหน่ง ก็คือ PC,SP,IX,IY ซึ่งรีจิสเตอร์ต่าง ๆ เหล่านี้ จะได้กล่าวถึงโดยละเอียดต่อไปส่วนทางด้านซ้ายสุดคือส่วนของหน่วยควบคุม ซึ่งส่วนนี้มีหน้าที่ถอดรหัสคำสั่งแล้วส่งสัญญาณควบคุมไปตามส่วนต่าง ๆ ทั้งภายในซีพียู และ ภายนอกซีพียู รวมทั้งรับสัญญาณควบคุมจากภายนอกเข้ามาด้วย สัญญาณควบคุมของซีพียู Z-80 ภายนอกมี 13 สัญญาณ ซึ่ง อาจแบ่งได้ 2 อย่าง คือสัญญาณควบคุมด้วซีพียู และสัญญาณควบคุมระบบ (CPU and system control) ซึ่งสัญญาณต่าง ๆ จะทำให้มีผลต่อซีพียู และมีผลต่อระบบโมโครคอมพิวเตอร์ด้วย สัสข้อมูลเป็นบัสที่มีขนาด 8 บิต ที่ใช้เป็นทางเดินของข้อมูลระหว่างไมโครโปรเซสเซอร์กับหน่วยความจำหรืออุปกรณ์อินพุต/เอาต์พุตต่าง ๆ บัสตำแหน่งเป็นบัสที่มีขนาด 16 บิต เพื่อใช้ในการอ้างถึงตำแหน่งของหน่วยความจำ ดังนั้นจะทำให้สามารถอ้างถึงหน่วยความจำภายนอกได้ 2^{16} ตำแหน่ง (65536 ตำแหน่ง หรือ 64K) คือตั้งแต่ตำแหน่งที่ 0-65535 บล็อกที่มีเครื่องหมาย +/- ที่อยู่ทางด้านล่างซ้ายของรีจิสเตอร์หมายถึงการเพิ่มหรือลดข้อมูล (Increment Decement) ที่มีอยู่ในรีจิสเตอร์ตำแหน่งหรือคู่ของรีจิสเตอร์ต่าง ๆ คือ SP,PC,BC,DE,HL ซึ่งรีจิสเตอร์ต่าง ๆ เหล่านี้เป็นรีจิสเตอร์ในการกำหนดตำแหน่งโดยตรง (Pure address register) ของการอ้างถึงตำแหน่งของหน่วยความจำแบบตรง (Direct address mode) ซีพียู Z-80 มีคำสั่งที่เกี่ยวกับอินพุต/เอาต์พุตโดยเฉพาะไม่ใช้ลักษณะการอินพุต/เอาต์พุตแบบ Memory-mapped (Memory map I/O ใช้ส่วนหนึ่งของหน่วยความจำเพื่อเป็นตำแหน่งของอุปกรณ์อินพุต/เอาต์พุต) ในการให้ไมโครโปรเซสเซอร์ทำงานตามที่ต้องการ ทำได้โดยการเขียนโปรแกรมเก็บไว้ในหน่วยความจำจากนั้นให้ไมโครโปรเซสเซอร์อ่านคำสั่งมาจากหน่วยความจำเพื่อมาปฏิบัติ การปฏิบัติคำสั่งต่าง ๆ นั้น เราไม่จำเป็นต้องเข้าถึงส่วนรายละเอียดต่าง ๆ ของไมโครโปรเซสเซอร์ทั้งหมด โดยเราจะสนใจเฉพาะรีจิสเตอร์ต่าง ๆ ที่เกี่ยวข้องกับการเขียนโปรแกรมเท่านั้น รีจิสเตอร์ภายในที่สามารถอ่านหรือเขียนได้มีถึง 208 บิต โดยแยกเป็นกลุ่มของรีจิสเตอร์ขนาด 8 บิต 18 รีจิสเตอร์ และรีจิสเตอร์ขนาด 16 บิต อีก 4 รีจิสเตอร์ รีจิสเตอร์ต่างๆ ภายใน Z-80 เป็นลักษณะของสแตติกแรม และรีจิสเตอร์เหล่านี้ แบ่งออก เป็น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3 ประเภท คือ

1. รีจิสเตอร์ใช้งานทั่วไป (Genersl purpose register)
2. แอคคิวมูเลเตอร์และรีจิสเตอร์สถานะ (Accumulstor and Flag register)
3. รีจิสเตอร์ใช้งานเฉพาะอย่าง (Special purpose register)

การจัดรีจิสเตอร์ภายในของซีพียู Z-80 แสดงดังรูปที่ 2

แอคคิวมูเลเตอร์ A	แฟลก F	แอคคิวมูเลเตอร์ A'	แฟลก F'
B	C	B'	C'
D	E	D'	E'
H	L	H'	L'

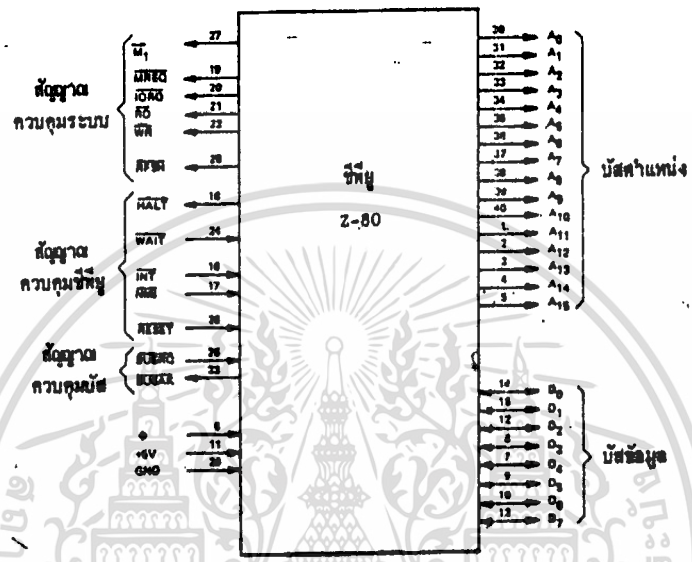
อินเตอร์รัพต์เวกเตอร์ I	เมมโมรี่เฟรช R
อินเด็กซ์รีจิสเตอร์ IX	
อินเด็กซ์รีจิสเตอร์ IY	
สแตกพอยน์เตอร์ SP	
โปรแกรมเคาน์เตอร์	

รูปที่ 2 รีจิสเตอร์ของซีพียู Z-80

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

. ขาและสัญญาณสำหรับการเชื่อมต่อ

ไมโครโปรเซสเซอร์ Z-80 บรรจุอยู่ในไอซีขนาดมาตรฐานอุตสาหกรรม (Industry Standard) แบบ Dual In-Line Package (DIP) หรือที่เรียกว่าแบบตีนตะขาบ 40 ขา ขาต่าง ๆ แสดงไว้ในรูปที่ 3



รูปที่ 3 แสดงขาต่าง ๆ ของซีพียู Z-80

กลุ่มสัญญาณต่าง ๆ ของไมโครโปรเซสเซอร์แบ่งออกได้เป็น 3 กลุ่มคือ กลุ่มของสายสัญญาณ เพื่อกำหนดตำแหน่ง (Address Bus) คือ A_{15}-A_0 กลุ่มของสายสัญญาณข้อมูล (Data Bus) คือ D_7-D_0 และกลุ่มของสายสัญญาณควบคุม (Control Bus) คือ สายสัญญาณทั้งหมดที่เหลือยกเว้นขาแหล่งจ่ายไฟและสัญญาณนาฬิกา หน้าที่ของขาต่าง ๆ จะได้อธิบายในรายละเอียดต่อไปนี้

A_{15}-A_0 เป็นสายสัญญาณกำหนดตำแหน่ง (Address Bus) โดยที่ A_0 เป็นบิตทางด้านต่ำ (LSB) ขาเหล่านี้เป็นเอาต์พุตแบบสามสถานะ (Tri-State) และจะให้แอคติฟท่ลอจิก 1 บัสนี้มีด้วยกันทั้งหมด 16 สาย ดังนั้นจึงสามารถติดต่อกับหน่วยความจำได้ถึง 2_{16} = 65536 ตำแหน่ง (64 kbyte) นอกจากนั้นยังสามารถใช้ในการกำหนดตำแหน่งของพอร์ต อินพุต/เอาต์พุต เมื่อใช้คำสั่งกลุ่มอินพุต/เอาต์พุตได้ โดยใช้ 8

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บิตด้านต่ำ (A_7-A_0) เพื่อแสดงตำแหน่งของพอร์ต ดังนั้นจึงสามารถกำหนดพอร์ตอินพุตได้ 256 พอร์ต หรือกำหนดพอร์ตเอาต์พุตได้ถึง 256 พอร์ต เช่นกัน และในขณะช่วงเวลารีเฟรช (RFSH) บัสทางด้านต่ำ 7 บิต ($A6$-A_0) จะใช้แสดงตำแหน่งของหน่วยความจำแบบไดนามิกที่จะได้รับการรีเฟรช

D_7-D_0 เป็นสายสัญญาณข้อมูล (Data Bus) D_0 เป็นบิตทางด้านต่ำลักษณะเป็นบัสแบบสองทิศทางแบบสามสถานะ ขนาด 8 บิต และแอคตีฟที่ลอจิก 1 ใช้เพื่อเป็นเส้นทางผ่านของข้อมูล ระหว่างไมโครโปรเซสเซอร์กับหน่วยความจำ หรืออุปกรณ์อินพุต/เอาต์พุตต่าง ๆ

$\overline{M1}$ (Machine Cycle One) เป็นขาเอาต์พุตและแอคตีฟที่ลอจิก 0 เมื่อขานี้แอคตีฟ ชี้ให้เห็นว่าขณะนี้กำลังอยู่ในสภาวะของการเฟทช์คำสั่ง และถ้าเป็นคำสั่งที่มีรหัส 2 ไบต์ ส่วนของ $\overline{M1}$ จะถูกสร้างขึ้นขณะเฟทช์ในแต่ละไบต์ ลักษณะของคำสั่งที่มีขนาด 2 ไบต์ เช่นคำสั่งที่มีรหัสที่เริ่มต้นด้วย CBH,DDH,EDH, หรือ FDH นอกจากนั้นสัญญาณ $\overline{M1}$ นี้จะใช้ร่วมกับ $\overline{IORQ}$ เพื่อสร้างสัญญาณตอบรับการอินเตอร์รัพต์ (Interrupt Acknowledge) โดยใช้วงจรลอจิกง่ายๆดังรูป 4

รูปที่ 4 วงจรสร้างสัญญาณตอบรับการอินเตอร์รัพต์

$\overline{MREQ}$ (Memory Request) เป็นเอาต์พุตแบบสามสถานะและแอคตีฟที่ลอจิก 0 เมื่อสายสัญญาณนี้แอคตีฟ บอกให้ทราบว่า ขณะนี้ไมโครโปรเซสเซอร์ต้องการติดต่อกับหน่วยความจำเพื่ออ่านหรือเขียนข้อมูล โดยที่ตำแหน่งของหน่วยความจำจะปรากฏอยู่บนบัสตำแหน่งแล้ว

$\overline{IORQ}$ (Inqut/Outqut Request) เป็นเอาต์พุตแบบสามสถานะและแอคตีฟที่ลอจิก 0 เมื่อสายสัญญาณนี้แอคตีฟบอกให้ทราบว่า ขณะนี้ทางด้านไบต์ต่ำ (A_7-A_0)ของบัสตำแหน่งบรรจุตำแหน่งของพอร์ต ที่จะส่งถ่ายข้อมูลระหว่างไมโครโปรเซสเซอร์กับอุปกรณ์อินพุต/เอาต์พุตนอกจากนี้จะใช้ร่วมกับสัญญาณ $\overline{M1}$ เพื่อตอบรับการอินเตอร์รัพต์ดังรูปที่ 4-

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2 และขณะนี้ เวกเตอร์ของการอินเตอร์รัพต์จะส่งผ่านเข้ามาในบัสข้อมูลเพื่อกำหนดตำแหน่งของโปรแกรมบริการการอินเตอร์รัพต์

$\overline{RD}$ (Memory Read) เป็นขาเอาต์พุตแบบสามสถานะและแอคตีฟที่ลอจิก 0 สัญญาณนี้เพื่อชี้ว่าขณะนี้ไมโครโปรเซสเซอร์ต้องการอ่านข้อมูลจากหน่วยความจำ หรือจากอุปกรณ์อินพุตเอาต์พุต

$\overline{WR}$ (Memory Read) เป็นขาเอาต์พุตแบบสามสถานะและแอคตีฟที่ลอจิก 0 สัญญาณนี้แอคตีฟชี้ว่าขณะนี้ไมโครโปรเซสเซอร์ต้องการเขียนข้อมูลเข้าหน่วยความจำ หรือเข้าอุปกรณ์อินพุต/เอาต์พุต

$\overline{RFSH}$ (Refresh) เป็นขาเอาต์พุตแอคตีฟที่ลอจิก 0 $\overline{RFSH}$ เป็นสัญญาณเพื่อชี้ว่าขณะนี้บัสตำแหน่งทางด้านต่ำ 7 บิต (A_6-A_0) บรรจุตำแหน่งหน่วยความจำแบบไดนามิกแรมที่จะรีเฟรชและสัญญาณ $\overline{MERQ}$ ในช่วงนี้จะนำไปใช้เป็นสัญญาณสำหรับอ่านเพื่อรีเฟรช (Refresh Read) ไดนามิกแรมทั้งหมดที่ใช้ในระบบ

$\overline{HALT}$ (Wait State) เป็นขาเอาต์พุต แอคตีฟที่ลอจิก 0 เป็นสัญญาณเพื่อชี้ว่าขณะนี้ไมโครโปรเซสเซอร์ปฏิบัติคำสั่ง HALT จากโปรแกรม และกำลังรอสัญญาณการอินเตอร์รัพต์ชนิดนอนมาสเคเบิลหรือมาสเคเบิล (เมื่อสั่งให้ยอมรับ) จากอุปกรณ์ภายนอก ถ้าได้รับสัญญาณการอินเตอร์รัพต์แล้วจึงจะทำงานต่อไปได้ ในขณะที่หยุดรอ (Salted) นี้ ซีพียูจะกระทำคำสั่ง NOP (No-Operation) เพื่อให้มีการเฟทช์คำสั่งซึ่งจะไม่ทำให้การรีเฟรชหยุดชะงักลง

$\overline{WAIT}$ (Wait) เป็นขาอินพุต แอคตีฟที่ลอจิก 0 เป็นสัญญาณเพื่อชี้ว่าการส่งถ่ายข้อมูลระหว่างไมโครโปรเซสเซอร์และหน่วยความจำ หรืออุปกรณ์อินพุต/เอาต์พุต ยังไม่เรียบร้อย และให้ไมโครโปรเซสเซอร์หยุดรอ ตราบเท่าที่ขานี้ยังแอคตีฟอยู่ ดังนั้นสัญญาณนี้จะใช้เพื่อให้หน่วยความจำหรืออุปกรณ์อินพุต/เอาต์พุตที่มีความเร็วใด ๆ สามารถทำงานให้เขาจังหวะกันได้พอดี (Synchronized) กับไมโครโปรเซสเซอร์

$\overline{INT}$ (Interruqt Request) . เป็นขาอินพุตแอคตีฟที่ลอจิก 0 สัญญาณ $\overline{INT}$ นี้ เป็นสัญญาณที่สร้างมาจากอุปกรณ์อินพุต/เอาต์พุต เพื่อต้องการอินเตอร์รัพต์การทำงานตามปกติของไมโครโปรเซสเซอร์ สัญญาณร้องขอนี้จะถูกตรวจสอบเมื่อถึงสเตทสุดท้ายของคำสั่งและไมโครโปรเซสเซอร์จะจดจำไว้ ถ้าหากว่าโปรแกรมกำหนดให้มีการยอมรับสัญญาณการอินเตอร์รัพต์ได้ (Enable Interrupt) โดย IFF1 ถูกเซตเป็น 1 และไม่มีการขอใช้บัสเสียก่อน คือขา $\overline{BUSRQ}$ ต้องไม่แอคตีฟ เมื่อไมโครโปรเซสเซอร์รับสัญญาณอิน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เตอร์รัพต์ มันจะตอบสนองโดยการส่งสัญญาณ $\overline{IORQ}$ ออกมาในช่วงเวลา $\overline{M1}$ เพื่อเป็นการตอบรับการอินเตอร์รัพต์ (Interrupt Acknowledge) ในช่วงไซเกิลของคำสั่งต่อมา ส่วนรายละเอียดของการอินเตอร์รัพต์จะอธิบายในเรื่องอินเตอร์รัพต์

$\overline{NMI}$ (Non Maskable Interrupt) เป็นขาอินพุตและแอคตีฟที่ขอบพัลส์ขาลง (Negative edge Trigger) สัญญาณที่ขา $\overline{NMI}$ นี้มีลำดับความสำคัญสูงกว่าสัญญาณที่ขา $\overline{INT}$ ไมโครโปรเซสเซอร์จะทำการตรวจสอบขานี้ที่สเตทสุดท้ายของคำสั่ง เช่นเดียวกับขา $\overline{INT}$ แต่จะไม่ขึ้นอยู่กับ IFF เมื่อไมโครโปรเซสเซอร์ได้รับสัญญาณที่ขา $\overline{NMI}$ จะทำให้เริ่มต้นการทำงานใหม่ที่ตำแหน่ง 0066H ส่วนค่าในโปรแกรมเคาน์เตอร์ที่ชี้ตำแหน่งของคำสั่งต่อไปก่อนที่ซีพียูจะถูกอินเตอร์รัพต์จะเก็บไว้ในสแตค (ที่ RAM) เพื่อที่ซีพียูสามารถกลับมาทำงานต่อได้หลังจากที่ทำโปรแกรมบริการการอินเตอร์รัพต์เสร็จสิ้นแล้ว ในขณะที่ซีพียูอยู่ในจังหวะ Wait มันจะไม่รับสัญญาณ $\overline{NMI}$ นี้ สัญญาณ $\overline{NMI}$ มีลำดับความสำคัญต่ำกว่าสัญญาณ $\overline{BUSRQ}$ ดังนั้นในขณะที่ซีพียูกำลังทำโปรแกรมบริการการอินเตอร์รัพต์อยู่ มันสามารถรับสัญญาณ $\overline{BUSRQ}$ ได้

$\overline{RESET}$ เป็นอินพุต แอคตีฟที่ลอจิก 0 เมื่อไมโครโปรเซสเซอร์ได้รับสัญญาณ $\overline{RESET}$ จะทำให้ค่าในโปรแกรมเคาน์เตอร์เริ่มต้นที่ศูนย์ และตั้งต้นการทำงานของไมโครโปรเซสเซอร์ใหม่และในส่วนอื่น ๆ จะเป็นดังนี้

1. จัดอินเตอร์รัพต์ฟลิบฟลอบ (IFF) ให้อยู่ในสภาพที่ไม่ยอมรับการอินเตอร์รัพต์แบบมาสเคเบิล (IFF1=IFF2=0)
2. เซตรีจิสเตอร์ I = 00H
3. เซตรีจิสเตอร์ R = 00H
4. เซตให้เป็นการอินเตอร์รัพต์ โมด 0

ในช่วงเวลาของการีเซต บัสข้อมูล บัสตำแหน่ง จะอยู่ในสภาวะอิมพีแดนซ์สูง ส่วนบัสควบคุมจะอยู่ในสภาพที่ไม่แอคตีฟ (Inactive)

$\overline{BUSRQ}$ (Bus Request) เป็นขาอินพุตแอคตีฟที่ระดับ 0 สัญญาณ $\overline{BUSRQ}$ นี้มีผลทำให้บัสตำแหน่งบัสข้อมูล และสัญญาณควบคุมที่เป็นขาเอาต์พุตแบบสามสถานะ อยู่ในสภาวะอิมพีแดนซ์สูง จากนั้นบัสต่าง ๆ จะถูกควบคุมโดยอุปกรณ์ภายนอก ไมโครโปรเซสเซอร์จะตรวจสอบสัญญาณการขอใช้บัสนี้ทุก ๆ สเตทสุดท้ายของทุกแมชชีนไซเกิลของคำสั่ง และเมื่อพบการขอใช้บัสซีพียูจะตอบสนองในไซเกิลถัดไป

$\overline{BUSAK}$ (Bus Acknowledge) เป็นขาเอาต์พุตแอคตีฟที่ระดับ 0 สัญญาณนี้ใช้สำหรับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตอบรับการขอใช้สบัส และแสดงว่าขณะนี้บัสตำแหน่ง บัสข้อมูล และสัญญาณควบคุมที่เป็นเอาต์พุตแบบสามสถานะอยู่ในสภาวะอิมพีแดนซ์สูงแล้ว อุปกรณ์ควบคุมภายนอกสามารถเข้ามาควบคุมบัสได้

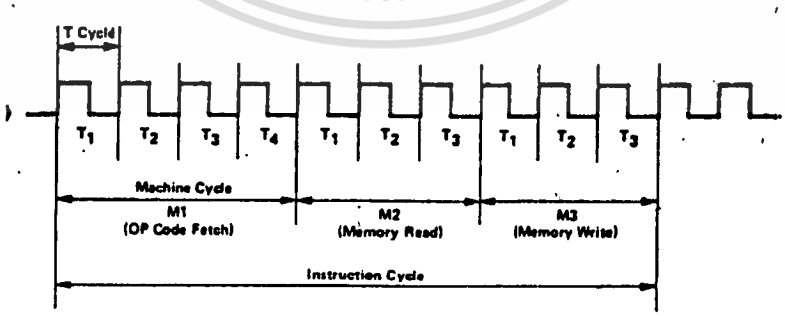
๏ เป็นขาที่รับสัญญาณนาฬิการซึ่งเป็นเฟสเดียว ใช้ระดับสัญญาณแบบ TTL และต้องการตัวต้านทานเพื่อ Pull up ค่า 330 โอห์ม หนึ่งตัว เพื่อต่อกับแหล่งจ่ายไฟ 5 โวลท์ Z-80 ทำงานได้ที่สัญญาณนาฬิการไม่เกิน 2.5 MHz Z-80A ทำงานได้ไม่เกิน 4 MHz และ Z-80B ทำงานได้ไม่เกิน 6 MHz

<u>ไดอะแกรมเวลาของไมโครโปรเซสเซอร์</u>

ไมโครโปรเซสเซอร์ Z-80 จะปฏิบัติตามคำสั่งต่าง ๆ อย่างมีขั้นตอนที่แน่นอน ขั้นตอนเหล่านี้ประกอบด้วยการทำงานพื้นฐานต่าง ๆ คือ

1. การอ่าน-เขียน หน่วยความจำ (Memory read or write)
2. การอ่าน-เขียนอุปกรณ์อินพุต/เอาต์พุต (I/O device read or write)
3. การบอกรับการอินเตอร์รัปต์ (Interrupt Acknowledge)

การทำงานของคำสั่งต่าง ๆ เกิดจาก ลำดับการทำงานพื้นฐานเหล่านี้ ขบวนการทำงานพื้นฐานแต่ละส่วนอาจใช้เวลา 3-6 คาบ กว่าจะเสร็จสมบูรณ์ หรืออาจขยายออกไปได้มากกว่านี้ เพื่อให้การทำงานของไมโครโปรเซสเซอร์นอดีกับความเร็วของอุปกรณ์ภายนอก คาบเวลาของสัญญาณหนึ่ง ๆ นี้ คือ 1 ไซเกิล และขบวนการพื้นฐานหนึ่ง ๆ จะเรียกว่า แมชชีนไซเกิล (Machine Cycle) ตัวอย่างไดอะแกรมเวลาของคำสั่งหนึ่งซึ่งแสดงดังรูป 5



รูปที่ 5 ตัวอย่างไดอะแกรมเวลาของไมโครโปรเซสเซอร์

จากรูป 5 เป็นคำสั่งที่ประกอบด้วย 3 แมชชีนไซเกิล (M1,M2 และ M3)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แมชชีนไซเกิลที่ 1(M1) ของคำสั่งใด ๆ เป็นไซเกิลของการเฟทช์ ซึ่งอาจมี 4,5, หรือ 6 T ไซเกิล ยกเว้นในกรณีที่เพิ่มเวลาออกไปเนื่องจากมีการรอคอย (Wait state) ไซเกิลของการเฟทช์ (M1) ใช้เพื่ออ่านรหัส คำสั่งต่อไปที่จะกระทำ ลำดับต่อมาทำการเคลื่อนย้ายข้อมูลระหว่างไมโครโปรเซสเซอร์กับหน่วยความจำหรืออุปกรณ์อินพุต/เอาต์พุต ซึ่งจะใช้เวลาตั้งแต่ 3 ถึง 5 คาบเวลา เว้นแต่มีการรอคอยเช่นกัน แมชชีนไซเกิลที่ตามหลัง M1 นี้จะมีหรือไม่ก็ได้แล้วแต่ชนิดของคำสั่ง เช่นคำสั่ง LD r,r' จะใช้เพียง 1 แมชชีนไซเกิลก็สามารถทำงานได้ ต่อไปจะได้กล่าวถึงไดอะแกรมเวลาซึ่งปรากฏอยู่ในการทำงานพื้นฐานต่าง ๆ ทั้งที่มีช่วงการรอคอยและไม่มีการรอคอย ซึ่งแมชชีนไซเกิลที่มีใช้ สามารถสรุปได้ดังนี้

1. ไซเกิลการเฟทช์รหัสคำสั่ง (Instruction OPcode fetch cycle (M1))

2. ไซเกิลการอ่านหรือเขียนหน่วยความจำ (Memory data read or write cycle)

3. ไซเกิลการอ่านหรือเขียนข้อมูลกับอุปกรณ์อินพุต/เอาต์พุต (I/O read or write cycle)

4. ไซเกิลการขอใช้บัสหรือการตอบสนองการขอใช้บัส (Bus request /acknowledge cycle)

5. ไซเกิลการขออินเตอร์รัพต์และการตอบรับการอินเตอร์รัพต์ (Interrupt request/acknowledge cycle)

6. ไซเกิลการขออและตอบรับการอินเตอร์รัพต์แบบนอนมาสเคเบิล (Non-maskable interrupt request/acknowledge cycle)

7. ไซเกิลการออกจากคำสั่ง HALT (Exit form a HALT instruction)

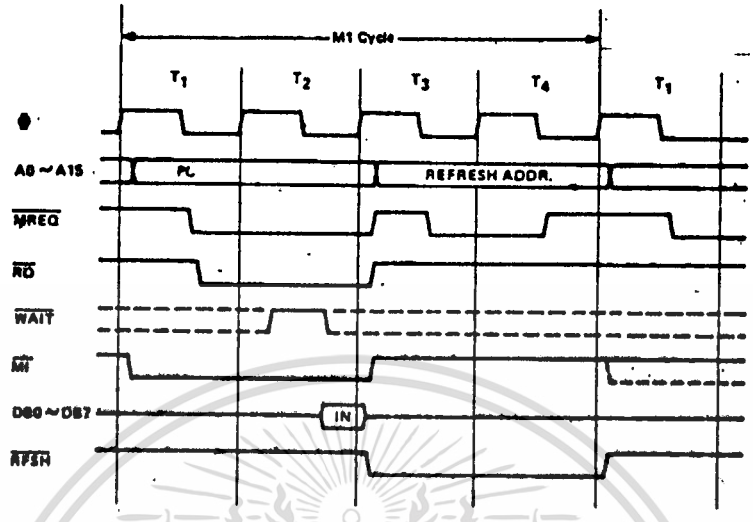
ต่อไปจะได้อธิบายการทำงานในไซเกิลต่าง ๆ

<u>ไซเกิลการเฟทช์คำสั่ง</u>

ไดอะแกรมของช่วงไซเกิลการเฟทช์คำสั่ง (M1 cycle) แสดงดังรูปที่ 6 M1 นี้เป็นสภาวะเริ่มแรกของทุกคำสั่ง สังเกตได้ว่าเมื่อเริ่มต้นไซเกิล M1 ค่าในโปรแกรมเคาน์เตอร์จะแทนที่ลงในบัสตำแหน่ง และหลังจากครึ่งไซเกิลของคาบสัญญาณนาฬิกาต่อมา ซีพียูจะส่งสัญญาณ $\overline{MREQ}$ ออกมา และที่เวลานี้ตำแหน่งของหน่วยความจำบัสตำแหน่งจะคงที่ ดังนั้นช่วงขอบพัลส์ขาลงของ $\overline{MREQ}$ จะใช้เป็นสัญญาณ chip enable ของหน่วยความจำ ในขณะนี้สัญญาณ $\overline{RD}$ แอคทีฟ เพื่อแสดงว่า ซีพียูต้องการอ่าวข้อมูลจากหน่วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ความจำตามตำแหน่งที่ปรากฏบนบัสตำแหน่ง ดังนั้นหน่วยความจำภายนอกจะส่งข้อมูลจากตำแหน่งที่ระบุมาบนบัสข้อมูล



รูปที่ 6 ไซเกิล M1 (Opcode fetch cycle)

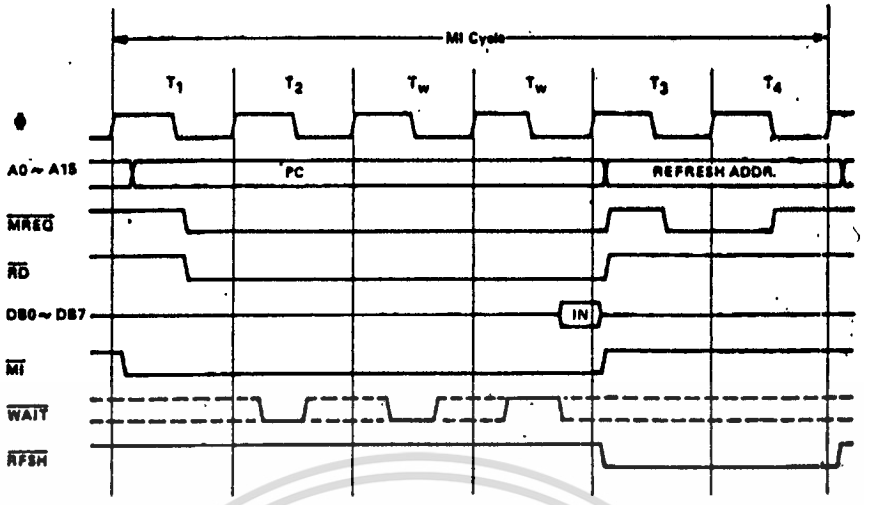
ซีพียูจะสุ่มอ่านข้อมูลจากหน่วยความจำบนบัสข้อมูล เมื่อถึงจังหวะขอบพัลส์ขาขึ้นของ T_3 ขอบพัลส์นี้ใช้ในการยกเลิกสัญญาณ $\overline{MREQ}$ และ $\overline{RD}$ ด้วยดังนั้นเห็นได้ว่า ข้อมูลจะถูกอ่านเข้าสู่ไป IR ก่อนที่สัญญาณ $\overline{MREQ}$ และ $\overline{RD}$ จะหายไป ตามเวลา T_3 และ T 4 ที่เหลือในไซเกิล M1 จะใช้ในการรีเฟรชหน่วยความจำแบบไดนามิก (และในขณะเดียวกัน ซีพียูก็ใช้เวลาช่วงนี้ถอดรหัสและปฏิบัติคำสั่ง ในกรณีที่คำสั่งนั้น ๆ ไม่ต้องการแมชชีนไซเกิลอื่น ๆ อีก เช่นคำสั่ง INC r เป็นต้น) ขณะเวลา T_3 และ T_4 นี้ บัสตำแหน่งทางด้านต่ำ 7 บิต (A_6-A_0) จะบรรจุด้วยตำแหน่งของหน่วยความจำที่จะทำการรีเฟรชและสัญญาณรีเฟรชจะแอคตีฟเพื่อแสดงว่า การอ่านเพื่อรีเฟรช (refresh read) สำหรับไดนามิกแรมทุกตัวควรจะทำในตอนนี้ให้เสร็จ และสังเกตว่าขณะที่ทำการรีเฟรชจะไม่มีการก่อเนิดสัญญาณ $\overline{RD}$ เพื่อห้องกันไม่ให้ข้อมูลจากหน่วยความจำตำแหน่งอื่นเข้ามาในบัสข้อมูล สัญญาณ $\overline{MREQ}$ ในช่วงเวลาการรีเฟรชใช้เพื่อการอ่านเพื่อการ รีเฟรชทุก ๆ ตำแหน่งของหน่วยความจำ

ไซเกิลการเฟทช์คำสั่งที่มีช่วงการรอคอย

สภาวะการรอคอย (Wait state) อาจเกิดเนื่องจากความเร็วในการทำงานของหน่วยความจำ ช้ากว่าการทำงานของซีพียู ดังนั้นการเฟทช์คำสั่งก็จะช้าลง พิจารณา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 7



รูปที่ 7 ไซเกิล M1 ที่มีช่วงการรอคอย

ในช่วงขอบพัลส์ขาลงของ T_2 และทุก ๆ Tw ที่ตามมา ซีพียูจะทำการตรวจสอบที่ขา $\overline{WAIT}$ ถ้าขา $\overline{WAIT}$ แอคตีฟในช่วงนี้ ซีพียูจะสร้าง Tw เข้ามา 1 คาบ ของสัญญาณนาฬิกาถัดไป วิธีการแบบนี้ทำให้สามารถหน่วงเวลาการอ่านข้อมูลให้ช้าลง เพื่อให้สอดคล้องกัล Access time ของหน่วยความจำแบบต่าง ๆ

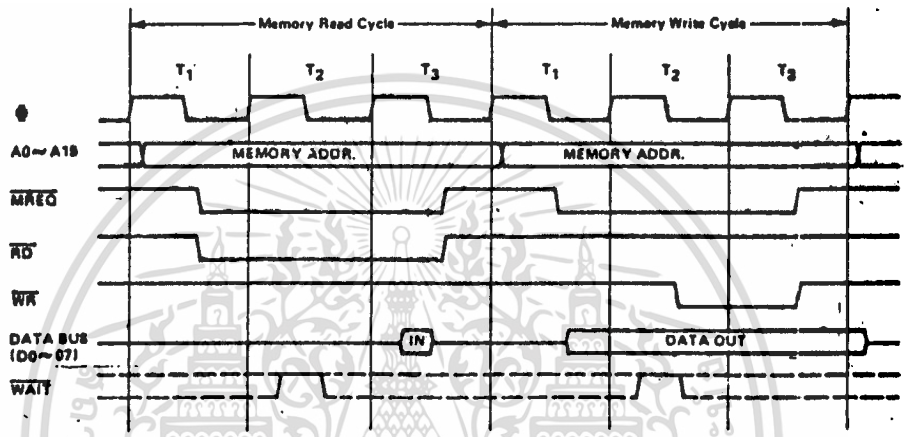
<u>ไซเกิลการอ่านหรือเขียนหน่วยความจำ</u>

ไดอะแกรมของเวลาการอ่านหรือเขียนหน่วยความจำแสดงดังรูปที่ 8 ไซเกิลการทำงานทั้งสองนี้ใช้สัญญาณนาฬิกาอย่างละ 3 คาบ ไม่รวมคาบเวลาการรอคอยที่เกิดขึ้นที่ขา $\overline{WAIT}$ พิจารณาไซเกิลในการอ่าน เห็นได้ว่าขั้นแรก ซีพียูจะส่งตำแหน่งที่ต้องการอ่านลงในบัสตำแหน่ง และหลังจากขอบพัลส์ขาลงของ T_1 ก็ส่งสัญญาณ $\overline{MREQ}$ และ $\overline{RD}$ ออกมา (เมื่อนช่วงการเฟทช์) จากนั้นหน่วยความจำจะส่งข้อมูลในตำแหน่งนั้นลงมาในบัสข้อมูล เมื่อถึงขอบพัลส์ขาลงของ T_2 ซีพียูจะตรวจสอบที่ขา $\overline{WAIT}$ ว่ามีสัญญาณการรอคอยหรือไม่ ถ้ามี ซีพียูจะสร้าง Tw ขึ้นในคาบเวลาต่อไป ถ้าไม่มี ซีพียูจะทำงานต่อไป คือเมื่อถึงช่วงขอบพัลส์ขาลงของ T_3 มันจะทำการอ่านข้อมูลจากบัสข้อมูลในระยะเวลาสั้น ๆ เข้าไปเนื่อไม่ให้เกิดความผิดพลาด ส่วนไซเกิลของการเขียนข้อมูลลงหน่วยความจำนิจารณาได้จากรูปที่ 8 ซึ่งลักษณะการทำงานจะคล้ายกับช่วงการอ่าน คือหลังจากส่งตำแหน่งที่ต้องการเขียนลงในบัสตำแหน่งแล้วก็จะส่งสัญญาณ $\overline{MREQ}$ ออกมา จากนั้นข้อมูลจากรีจิสเตอร์ที่ต้องการจะเขียนลงไปในหน่วยความจำจะถูกถ่ายลงในบัสข้อมูลที่

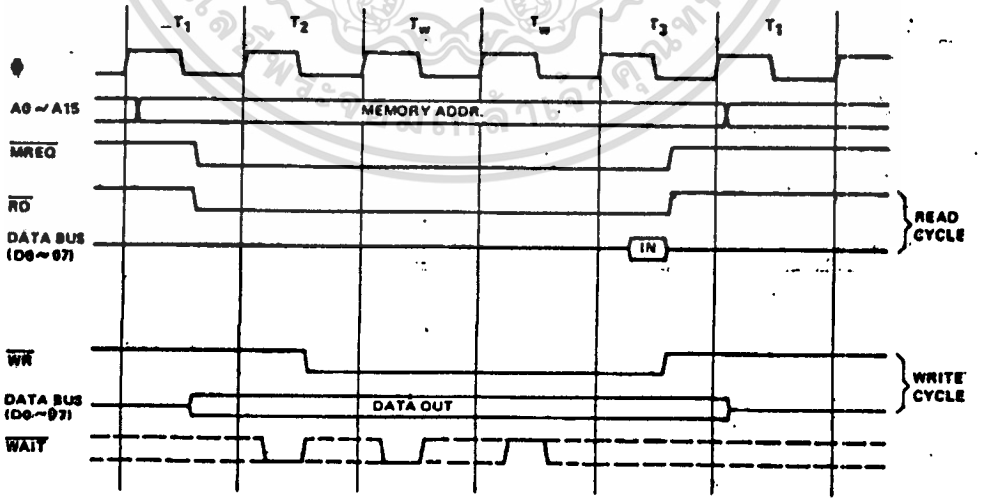
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ขอบพัลส์ขาลงของ T_1 และที่ขอบพัลส์ขาลงของ T_2 สัญญาณ $\overline{WR}$ จะแอคตีฟ ซึ่งทำให้หน่วยความจำภายนอกเขียนข้อมูลในบัสข้อมูล เข้าไปในหน่วยความจำตามตำแหน่งที่กำหนดที่บัสตำแหน่งขอบพัลส์ขาลงของ T_3 สัญญาณ $\overline{MREQ}$ และ $\overline{WR}$ จะหายไป หลังจากนั้นข้อมูลบนบัสข้อมูลก็สามารถเปลี่ยนแปลงต่อไปได้

แต่ถ้ามีสัญญาณการรอคอยเกิดขึ้นที่ขอบพัลส์ขาลงของ T_2 ก็จะเกิด Tw ขึ้นต่อไป ซึ่งจะเหมือนกันกับไซเกิลการเฟทช์คำสั่ง และไดอะแกรมเวลาเมื่อมีสัญญาณ $\overline{WAIT}$ จะแสดงดังรูปที่ 9



รูปที่ 8 ไซเกิลการอ่านและเขียนหน่วยความจำ



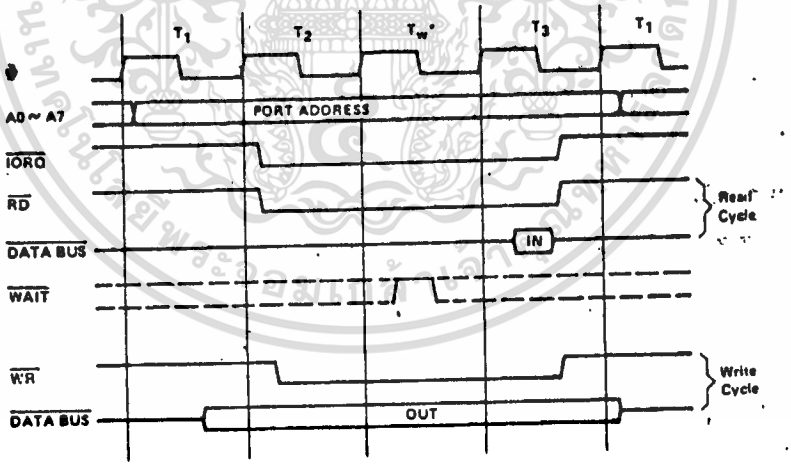
รูปที่ 9 ไซเกิลการอ่านหรือเขียนหน่วยความจำเมื่อมีสัญญาณการรอคอย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ไซเกิลการอ่านหรือเขียนข้อมูลกับอุปกรณ์อินพุต/เอาต์พุต

ไซเกิลการอ่านหรือเขียนข้อมูลกับอุปกรณ์อินพุต/เอาต์พุตนี้ เกิดขึ้นในขณะที่ซีพียูปฏิบัติคำสั่งเกี่ยวกับการอินพุตหรือเอาต์พุต เช่น IN A, (n) หรือ OUT (n),A เป็นต้น ปกติคำสั่งกลุ่มนี้ใช้ 3 หรือ 4 แมชชีนไซเกิล แต่คำสั่งที่มีความสามารถสูงบางคำสั่ง เช่น INTR INDR OTIR หรือ OTDR ที่สามารถถ่ายข้อมูลได้ถึง 256 ไบต์ จะใช้แมชชีนไซเกิลบางอันซ้ำ ๆ กันจนกระทั่งส่งถ่ายข้อมูลเสร็จผลก็คือ เวลาในการทำงานของคำสั่งจะขึ้นอยู่กับจำนวนไบต์ที่จะส่งถ่าย และความเร็วของอุปกรณ์อินพุต/เอาต์พุตด้วย

ไดอะแกรมเวลาของการอ่านข้อมูลจากอุปกรณ์อินพุตและเขียนข้อมูลลงอุปกรณ์เอาต์พุต แสดงดังรูปที่ 10 จากรูปเห็นได้ว่า เมื่อเริ่มต้นแมชชีนไซเกิลตำแหน่งของอุปกรณ์อินพุต/เอาต์พุต จะถูกแทนลงในบัสตำแหน่งทางด้านไบต์ต่ำ (A_7-A_0) หลังจากที่ขอบพัลส์ขาขึ้นของ T_2 สัญญาณ $\overline{IORQ}$ แอคตีฟถ้าเป็นไซเกิลของการอ่าน สัญญาณ RD จะแอคตีฟพร้อมกับสัญญาณ $\overline{IORQ}$ ตัวควบคุมอุปกรณ์ภายนอกจะรับรู้สัญญาณการขออ่านนี้ และนำข้อมูลส่งไปบนบัสข้อมูล จากนั้นซีพียูจะสร้าง Tw ขึ้นมา 1 คาบเวลา ทั้ง ๆ ที่ไม่มีสัญญาณ $\overline{WAIT}$ และการตรวจสอบสัญญาณ $\overline{WAIT}$ จะทำที่ขอบพัลส์ขาลงของ Tw แทน การอ่านข้อมูลจากบัสข้อมูลเข้ายังซีพียูจะทำที่ขอบพัลส์ขาลงของ T_3



รูปที่ 10 ไซเกิลการอ่านเขียนอุปกรณ์อินพุต/เอาต์พุต

ไซเกิลของการเขียนข้อมูล สัญญาณ $\overline{WR}$ จะแอคตีฟในเวลาเดียวกับสัญญาณ $\overline{IORQ}$ ดังรูปที่ 4-8 และข้อมูลจากรีจิสเตอร์ที่จะส่งไปยังอุปกรณ์อินพุต/เอาต์พุต จะถูกถ่ายลงบัสข้อมูลที่ขอบพัลส์ขาลงของ T_1 คือก่อนที่มีสัญญาณ $\overline{IORQ}$ และ $\overline{WR}$ หลังจาก T_2 ซีพียูจะสร้าง TW ขึ้นมาอัตโนมัติ 1 คาบ เช่นเดียวกับช่วงอ่าน และจากนั้นในช่วงเวลาที่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

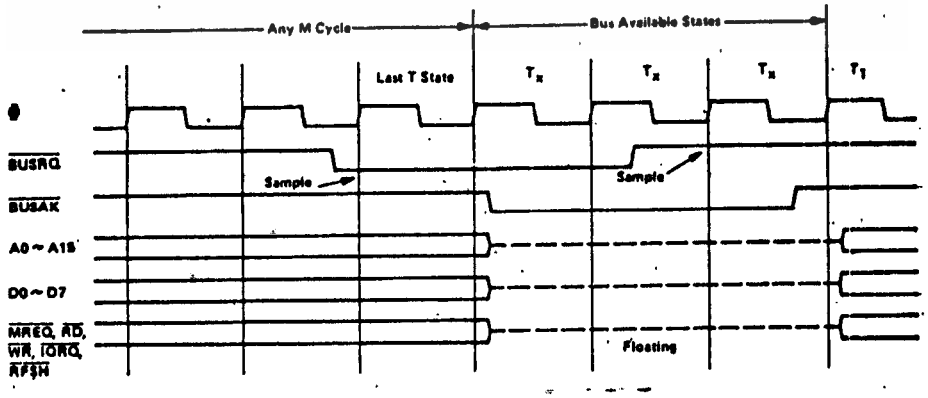
เหลือคือ T_3 ตัวคาบคุมอุปกรณ์อินพุต/เอาต์พุตจะนำข้อมูลจากบัสข้อมูลเข้าไป

จากการทำงานของการอ่านหรือเขียนอุปกรณ์อินพุต/เอาต์พุต มีข้อสังเกตอย่างหนึ่ง คือ หลัง T_2 ซีพียูจะใส่คาบการรอคอย (Tw) เข้ามาอัตโนมัติ 1 คาบ ที่เป็นเช่นนี้เพราะว่าในช่วงการทำงานรอคอยนั้นสั้นมาก หากไม่ใส่ Tw เข้าไปเป็นกรณีพิเศษแล้ว ช่วงเวลานี้อาจจะสั้นเกินกว่าที่ อินพุต/เอาต์พุตพอร์ตใด ๆ จะถอดระหัสตำแหน่งของตัวเอง แล้วส่งสัญญาณ $\overline{\text{WAIT}}$ ได้ทัน นอกจากนี้หากไม่มีการใส่ Tw นี้เข้าไป ยังเป็นภารยากมากที่จะออกแบบอุปกรณ์อินพุต/เอาต์พุตที่เป็นพวก MOS ให้ทำงานพอดีกับการทำงานของซีพียู

<u>ไซเกิลการขอใช้บัสและตอบสนองการใช้บัส</u>

ที่เวลาใด ๆ ของการทำงานของซีพียู อุปกรณ์ภายนอกสามารถส่งสัญญาณมาควบคุมบัสตำแหน่ง A_{15}-A_0 บัสข้อมูล D_7-D_0 และสัญญาณควบคุม $\overline{\text{MREQ}}$ $\overline{\text{RD}}$ $\overline{\text{WR}}$ $\overline{\text{IORQ}}$ และ $\overline{\text{RFSH}}$ ได้ โดยการส่งสัญญาณ $\overline{\text{BUSRQ}}$ เข้ามาที่ซีพียู เหตุผลที่ทำเช่นนี้ เนื่องจากเพื่อให้อุปกรณ์ภายนอกสามารถควบคุมการติดต่อกันโดยตรงระหว่างหน่วยความจำภายนอก และอุปกรณ์อินพุต/เอาต์พุตซึ่งทำงานด้วยความเร็วสูง โดยไม่ต้องมีซีพียู วิธีการแบบนี้เรียกว่า Direct Memory Access (DMA) สัญญาณ $\overline{\text{BUSRQ}}$ นี้จะถูกตรวจสอบโดยซีพียูที่ขอบพัลส์ขาขึ้นที่คาบเวลาสุดท้ายของแมทชีนไซเกิลใด ๆ เมื่อพบว่าที่ขา $\overline{\text{BUSRQ}}$ นี้มีระดับ "0" แสดงว่ามีการขอใช้บัสจากภายนอก ดังรูปที่ 11

เมื่อซีพียูได้รัฐสัญญาณ $\overline{\text{BUSRQ}}$ มันจะส่งสัญญาณตอบรับ $\overline{\text{BUSAK}}$ เมื่อถึงขอบพัลส์ขาขึ้นของคาบเวลาต่อมาและในขณะเดียวกัน บัสตำแหน่ง บัสข้อมูล รวมทั้งสัญญาณควบคุมที่ $\overline{\text{MREQ}}$ $\overline{\text{RD}}$ $\overline{\text{WR}}$ $\overline{\text{IORQ}}$ และ $\overline{\text{FSH}}$ มีสภาวะเป็นอิมพีแดนซ์สูง



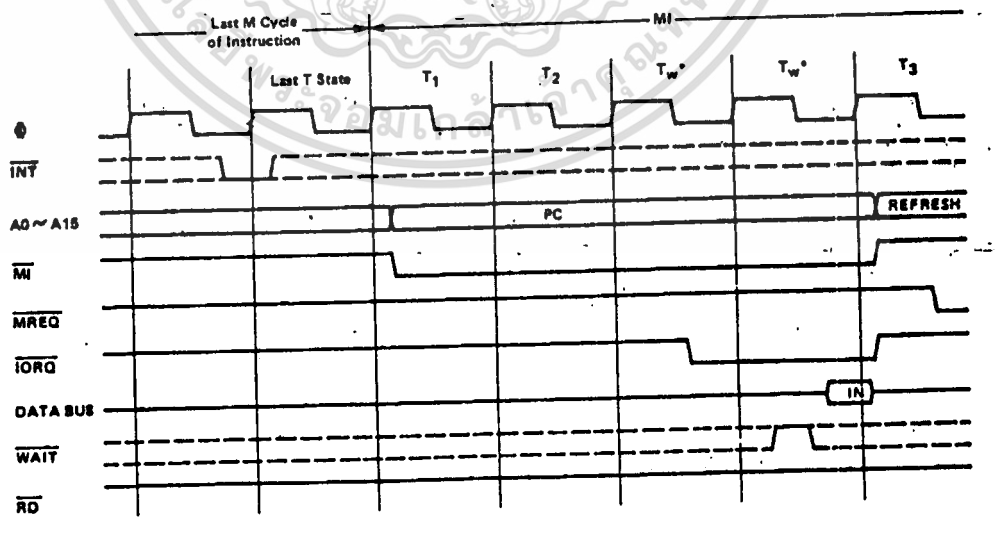
รูปที่ 11 ไซเกิลการขอใช้บัส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดังนั้นการเปลี่ยนแปลงใด ๆ บนบัสขณะนี้จะไม่มีผลต่อซีพียู และบัสต่าง ๆ ก็จะถูกควบคุมโดยตัวควบคุม DMA เพื่อส่งถ่ายข้อมูลระหว่างหน่วยความจำและอุปกรณ์อินพุต/เอาต์พุต บัสต่าง ๆ จะอยู่ในสภาวะอิมพีแดนซ์สูงตราบเท่าที่ขา $\overline{\text{USRQ}}$ นี้แอคตีฟอยู่ การยกเลิกการขอใช้บัสเกิดขึ้นเมื่อสัญญาณ $\overline{\text{BUSRQ}}$ นี้ไม่แอคตีฟ ซึ่งซีพียูตรวจสอบที่ขอบพัลส์ขาขึ้นของคาบเวลาต่อไปหลังจากที่มีการขอใช้บัสแล้ว จากนั้นคาบเวลาต่อไปสัญญาณ $\overline{\text{BUSAK}}$ จะหายไป และที่ขอบพัลส์ขาขึ้นของคาบเวลาต่อไป บัสต่าง ๆ ก็กลับสู่สภาพเดิม ข้อสังเกตในการทำ DMA อย่างหนึ่งก็คือ ถ้าระบบใช้หน่วยความจำแบบไดนามิกแรม และช่วงเวลาการ DMA นาน วงจรภายนอกจะต้องสร้างสัญญาณรีเฟรชหน่วยความจำแบบไดนามิกแรมนี้ และขณะที่อยู่ในไซเกิลของ $\overline{\text{BUSRQ}}$ ซีพียูจะไม่รับการอินเตอร์รัพต์ทั้งแบบ $\overline{\text{NMI}}$ และ $\overline{\text{INT}}$

<u>ไซเกิลการขออินเตอร์รัพต์และการตอบรับการอินเตอร์รัพต์</u>

ไซเกิลนี้เป็นการอินเตอร์รัพต์แบบ มาสเคเบิล ที่อาจเกิดขึ้นที่ขา $\overline{\text{INT}}$ ถ้าอินเตอร์รัพต์ฟลิปฟลอป (IFF) ถูกเซตให้ยอมรับการอินเตอร์รัพต์ และในขณะนั้นไม่มีการขอใช้บัสโดยสัญญาณ $\overline{\text{BUSRQ}}$ แล้วแสดงว่าซีพียูสามารถที่จะรับสัญญาณ $\overline{\text{INT}}$ จากอุปกรณ์ภายนอกได้ สัญญาณการขออินเตอร์รัพต์จากอุปกรณ์ภายนอกที่ขา $\overline{\text{INT}}$ นี้ ซีพียูจะทำการตรวจสอบที่ขอบพัลส์ขาขึ้นของคาบเวลาสุดท้ายของแมชชีนไซเกิลสุดท้ายของคำสั่ง ถ้าพบว่าที่ขา $\overline{\text{INT}}$ มีระดับ "0" แสดงว่าเกิดการขออินเตอร์รัพต์ และจากนั้นก็เริ่มเข้าสู่ไซเกิลของการอินเตอร์รัพต์ ดังรูปที่ 12



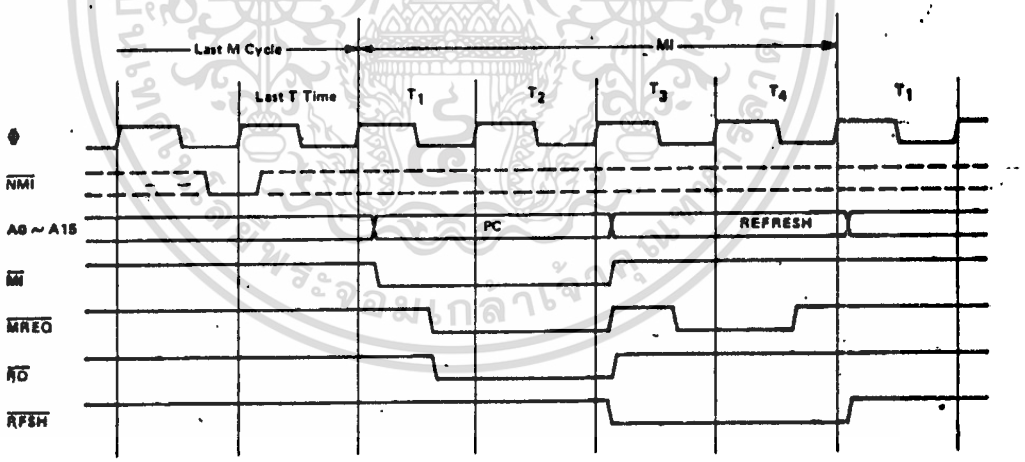
รูปที่ 12 ไซเกิลการรับและรับการอินเตอร์รัพต์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อถึงเวลา T1 ของไซเกิลการอินเตอร์รัพต์ สัญญาณ $\overline{M1}$ จะแอคตีฟ และหลังจากคาบเวลา T_2 ซีพียูจะสร้าง Tw ขึ้นมา 2 คาบ Tw ที่ใส่เข้ามานี้สามารถออกแบบวงจรจัดการการอินเตอร์รัพต์ชนิด Ripple Priority ได้โดยง่ายและทำให้มีเวลาเพียงพอที่สัญญาณ Ripple จะอยู่ตัวได้และพอที่จะระบุได้ว่า อุปกรณ์อินพุต/เอาต์พุตใดต้องส่งเวกเตอร์เข้ามาบนข้อมูล อุปกรณ์อินพุต/เอาต์พุตภายนอกสามารถรับรู้สัญญาณตอบรับการอินเตอร์รัพต์ได้จากสัญญาณคอมไบเนชั่นระหว่าง $\overline{M1}$ กับ $\overline{IORQ}$ เมื่ออุปกรณ์อินพุต/เอมต์พุตได้รับสัญญาณการตอบรับแล้ว มันจะส่งข้อมูลลงในบัสข้อมูล ซึ่งซีพียูจะอ่านข้อมูลนี้เขาไปในขณะช่วงขอบพัลส์ขาขึ้นของ t_a เพื่อเป็นเวกเตอร์ที่ใช้ชี้ตำแหน่งของโปรแกรมบริการการอินเตอร์รัพต์ ในช่วงเวลา T_3 สัญญาณ $\overline{IORQ}$ และ $\overline{M1}$ หยุดแอคตีฟ และการรีเฟรชก็เริ่มขึ้น ส่วนขบวนการบริการการอินเตอร์รัพต์จะขึ้นอยู่กับโหมดของการอินเตอร์รัพต์ที่เลือก ซึ่งรายละเอียดจะได้กล่าวในบทต่อไป

<u>ไซเกิลการขอและตอบรับการอินเตอร์รัพต์แบบนอนมาสเคเบิล</u>

การกระทำของซีพียูในไซเกิลของการขอและตอบรับการอินเตอร์รัพต์แบบนอนมาสเคเบิลนี้ แสดงดังรูปที่ 13



รูปที่ 13 ไซเกิลการรับและตอบรับอินเตอร์รัพต์แบบนอนมาสเคเบิล

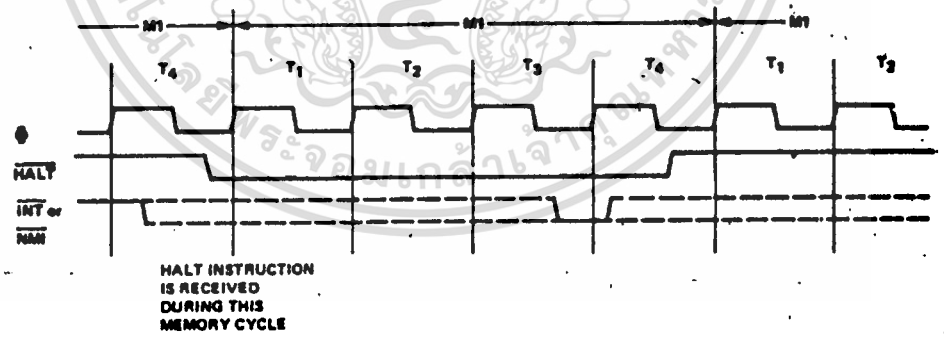
สัญญาณการขออินเตอร์รัพต์แบบนี้จะถูกต่งมาจากอุปกร์ภายตอกเข้ามาทางขา $\overline{NMI}$ ของซีพียูและซีพียูไม่สามารถที่จะกันไม่ให้รับการอินเตอร์รัพต์แบบนี้ได้ เนื่องจากสัญญาณที่ขานี้ จัดให้มีลำดับความสำคัญสูงกว่าสัญญาณที่ขา $\overline{INT}$ สัญญาณ $\overline{NMI}$ นี้จะแอคตีฟที่ขอบพัลส์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ขาลง แต่ซีพียูจะทำการตรวจสอบสัญญาณที่ขานี้ในเวลาเดียวกับการตรวจสอบที่ขา INT ถ้าขา NMI มีระดับ 0 แสดงว่ามีการขออินเตอร์รัพต์แบบนอนมาสเคเบิล และซีพียูจะทำการตอบสนองในลักษณะเดียวกับการอ่านข้อมูล ข้อแตกต่างมีเพียงแต่ ซีพียูจะไม่สนใจข้อมูลจากบัสข้อมูล แต่จะส่งค่าของโปรแกรมเคาน์เตอร์ไปเก็บไว้ในสแตคภายนอก และกระโดดไปทำงานที่ตำแหน่ง 0066H โดยอัตโนมัติ ดังนั้นโปรแกรมบริการการอินเตอร์รัพต์แบบนี้จะต้องเริ่มต้นที่ตำแหน่ง 0066H นี้เท่านั้น รายละเอียดของการอินเตอร์รัพต์แบบนี้จะได้กล่าวถึงในบทต่อไป

ไซเกิลการออกจากคำสั่ง HALT

ในการกระทำโปรแกรมเมื่อใดก็ตามที่ซีพียูปฏิบัติคำสั่ง HALT สัญญาณ $\overline{\text{HALT}}$ จะแอคตีฟ และจากนั้นซีพียูจะสร้างไซเกิล $\overline{\text{M1}}$ และปฏิบัติคำสั่งในลักษณะ NOP แต่ไม่มีการเพิ่มค่าโปรแกรมเคาน์เตอร์การปฏิบัติคำสั่ง NOP นี้จะเกิดเรื่อยไปจนกระทั่ง ซีพียูได้รับสัญญาณอินเตอร์รัพต์ที่ขา $\overline{\text{RESET}}$ $\overline{\text{NMI}}$หรือ $\overline{\text{INT}}$ (เมื่อ IFF=1) สัญญาณอินเตอร์รัพต์ $\overline{\text{NMI}}$ และ $\overline{\text{INT}}$ จะถูกตรวจสอบที่ขอบพัลส์ขาขึ้นของ T_3 ดังรูปที่ 14 ถ้าซีพียูได้รับสัญญาณอินเตอร์รัพต์ มันจะออกจากสภาวะของการ HALT ที่ขอบพัลส์ขาขึ้นของคาบเวลาถัดไป จากนั้นซีพียูจะตอบรับและกระทำการบริการการขออินเตอร์รัพต์ตามชนิดของการอินเตอร์รัพต์ที่เกิดขึ้น



รูปที่ 14 ไซเกิลการออกจากคำสั่ง HALT

จุดประสงค์ของการทำคำสั่ง NOP ในช่วง $\overline{\text{HALT}}$ ก็เพื่อที่จะให้สัญญาณรีเฟรชยังคงทำงานต่อไป ในแต่ละไซเกิลของ HALT ซึ่งก็คือ ไซเกิล M1 ธรรมดา ยกเว้นแต่ว่ามันจะไม่สนใจข้อมูลจากหน่วยความจำและรหัสคำสั่ง NOP จะเกิดขึ้นภายในเอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การอินพุตและเอาต์พุต

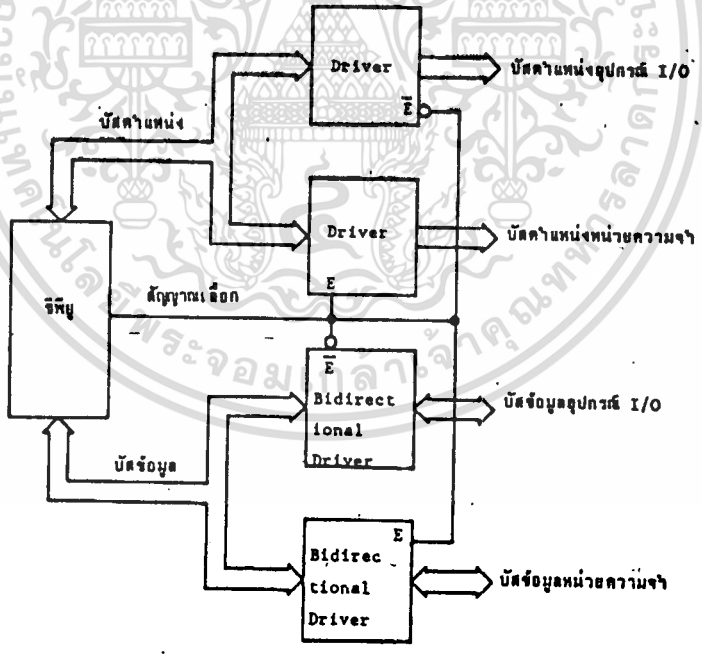
เราจะศึกษาเกี่ยวกับการติดต่อระหว่างไมโครโปรเซสเซอร์กับอุปกรณ์ภายนอก ซึ่งเราจะเรียกว่า อินพุต เอาต์พุต

อินพุต (Input) หมายถึงการตรวจจับ และนำข้อมูลจากภายนอกเข้ามาประมวลในไมโครโปรเซสเซอร์ เช่นการตรวจจับข้อมูลจากอุปกรณ์บริการ (Peripheral) ต่าง ๆ อุปกรณ์เหล่านี้ เช่น สวิตช์คีย์บอร์ด อุปกรณ์เซนเซอร์ต่าง ๆ

เอาต์พุต (Output) หมายถึง การส่งข้อมูลจากไมโครโปรเซสเซอร์ไปยังอุปกรณ์ภายนอก เช่น LED 7 segment display จอภาพ เครื่องพิมพ์ หรืออุปกรณ์ใช้งานอื่น ๆ เช่น รีเลย์ วงจรอิเล็กทรอนิกส์เพื่อการควบคุม เป็นต้น

วิธีการอินพุต/เอาต์พุท ของไมโครโปรเซสเซอร์ทั่ว ๆ ไปสามารถแบ่งได้เป็น ๒ แบบ คือ

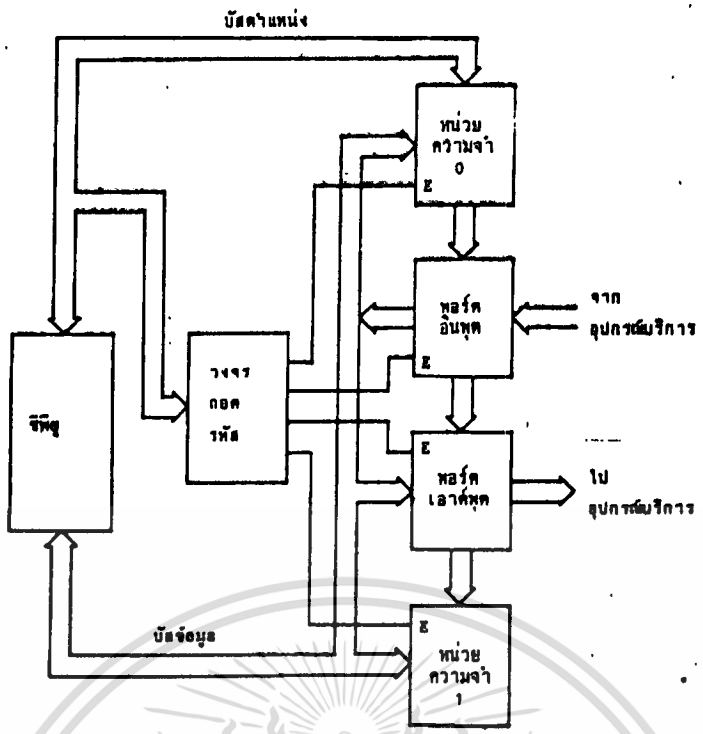
1. Isolated Input/Output วิธีการนี้การถอดรหัสของหน่วยความจำ และ พอร์ต จะแยกจากกันโดยเด็ดขาด ดังรูปที่ 15



รูปที่ 15 Isolate Input/Output

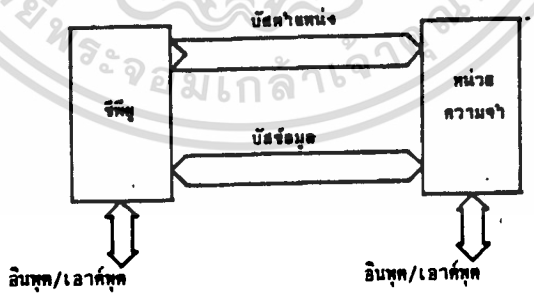
2. Memory-mapped INput/Output วิธีการนี้พอร์ตจะเสมือนเป็นหน่วยความจำ ดังรูปที่ 16

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 16 Memory mapped Input/Output

3. Attached Input/Output วิธีการนี้ พอร์ตจะเป็นส่วนหนึ่งของซีพียูหรือหน่วยความจำวิธีการนี้ใช้ในพวกไมโครคอมพิวเตอร์ชิพเดี่ยว (Single chip microcomputer) เช่น เบอร์ 8048,8748 เป็นต้น ดังรูปที่ 17



รูปที่ 17 Attached Input/Output

ไมโครโปรเซสเซอร์ Z-80 จะใช้วิธีการแบบ Isolated Input/Output ซึ่งข้อดีของวิธีแบบนี้ คือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

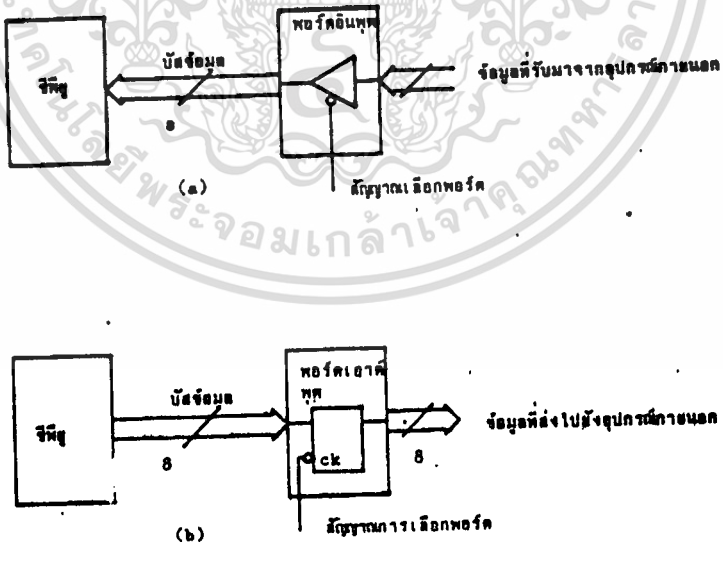
1. คำสั่งในการกำหนดหมายเลขพอร์ตจะสั้น และโดยทั่วไประบบคอมพิวเตอร์ไม่จำเป็นต้องมีพอร์ตมากมายเหมือนกับหน่วยความจำ ดังนั้นจะทำการถอดรหัสได้ง่าย และใช้คำสั่งสั้น
2. มีสัญญาณควบคุมพิเศษ ดังนั้นจะทำให้ง่ายในการพัฒนาระบบ
3. ทำให้เข้าใจโปรแกรมได้ง่าย เพราะไม่ต้องพะวงเรื่องตำแหน่งใดคือหน่วยความจำ ตำแหน่งใดคือพอร์ต

<u>พอร์ตอินพุต / เอาต์พุต</u>

อุปกรณ์ภายนอกที่ต้องการส่งถ่ายข้อมูลกับซีพียู จะต้องการใช้พอร์ตเป็นตัวกลางในการส่งถ่ายข้อมูลเหล่านั้น โดยที่พอร์ตจะทำหน้าที่เป็นช่องทางผ่านของข้อมูลที่จะเข้ามายังซีพียู หรือข้อมูลที่จะส่งออกไปจากซีพียูเพื่อส่งไปยังอุปกรณ์ต่าง ๆ ซึ่งลักษณะของพอร์ตจะมี 2 ชนิด คือ พอร์ตอินพุต และ พอร์ตเอาต์พุต

พอร์ตอินพุต หมายถึงช่องทางสำหรับนำข้อมูลจากอุปกรณ์ภายนอกเข้ามายังซีพียู

พอร์ตเอาต์พุต หมายถึงช่องทางสำหรับนำข้อมูลออกจากซีพียู เพื่อออกไปยังอุปกรณ์ภายนอก ส่วนการส่งถ่ายข้อมูลระหว่างพอร์ตกับอุปกรณ์ภายนอก อาจเป็นแบบขนาน หรือแบบอนุกรมก็แล้วแต่ชนิดของอุปกรณ์ภายนอกที่ต้องการจะเชื่อมต่อด้วย ซึ่งในเบื้องต้นนี้จะกล่าวถึงพอร์ตที่เป็นแบบขนาน ดังแสดงในรูปที่ 18



รูปที่ 18

(a) บล็อกไดอะแกรมของไมโครโปรเซสเซอร์ที่ต่อกับพอร์ตอินพุตแบบขนาน 8 บิต

(b) บล็อกไดอะแกรมของไมโครโปรเซสเซอร์ที่ต่อกับพอร์ตเอาต์พุตแบบขนาน 8 บิต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ซึ่งเป็นลักษณะของพอร์ตอินพุต และ พอร์ตเอาต์พุตแบบขนานที่ต่ออยู่กับซีพียูอุปกรณ์ที่ใช้เป็นพอร์ตอินพุตพื้นฐานคือ วงจรลอจิกแบบ 3 สถานะ (Tri state) การทำงานของพอร์ตอินพุต คือ เมื่อพอร์ตไม่ถูกเลือกให้ทำงาน (จากรูป 18 (a) สัญญาณการเลือกพอร์ตเป็นระดับ 1) จะทำให้สภาวะของวงจรลอจิกแบบ 3 สถานะนี้ เป็นอิมพีแดนซ์สูง (high impedance) ซึ่งเหมือนกับปลดสายออกจากบัสข้อมูลของระบบ แต่ถ้าสัญญาณการเลือกพอร์ตเป็นระดับ 0 ซึ่งหมายถึงพอร์ตถูกเลือกให้ทำงาน เมื่อเป็นเช่นนี้ จะทำให้ข้อมูลที่ต่ออยู่ที่อินพุตของพอร์ตต่อเข้ากับบัสข้อมูลของระบบ และซีพียูจะอ่านข้อมูลจากบัสข้อมูลขณะนี้เข้าไปในตัวซีพียู เพื่อใช้งานต่อไป ส่วนอุปกรณ์ที่ใช้เป็นพอร์ตเอาต์พุตพื้นฐานคือ ฟลิปฟลอปแบบ D ซึ่งลักษณะของพอร์ตเอาต์พุตจะมีการทำงานดังนี้ คือ เมื่อพอร์ตเอาต์พุตนี้ถูกเลือก (จากรูป 18 (b) สัญญาณการเลือกพอร์ตเป็นระดับ 0) จะทำให้ข้อมูลขนบัสข้อมูลค้างสถานะไว้ที่เอาต์พุตของฟลิปฟลอป ซึ่งข้อมูลนี้เป็นข้อมูลที่ส่งไปยังอุปกรณ์ภายนอกเพื่อใช้งานต่อไป แต่ถ้าพอร์ตเอาต์พุตไม่ถูกเลือก สัญญาณที่เอาต์พุตจะคงค้างสถานะ คือไม่มีการเปลี่ยนแปลงแต่อย่างใด

<u>การเชื่อมต่อไมโครโปรเซสเซอร์กับหน่วยความจำ</u>

จากที่ได้กล่าวมาแล้วว่า ไมโครโปรเซสเซอร์ไม่สามารถทำงานอย่างอิสระได้ แต่จะต้องประกอบกับหน่วยต่าง ๆ อีกคือ หน่วยความจำ และ หน่วยอินพุต เอาต์พุต จึงจะสามารถทำงานเพื่อให้เป็นระบบไมโครคอมพิวเตอร์ได้ ซึ่งหน้าที่ที่สำคัญของหน่วยความจำในระบบไมโครคอมพิวเตอร์คือ

1. เป็นหน่วยที่ใช้เก็บลำดับขั้นของคำสั่ง หรือที่เรียกว่าโปรแกรม เพื่อกำหนดให้ไมโครโปรเซสเซอร์ทำงานตามความต้องการ

2. เป็นหน่วยที่ใช้เก็บข้อมูลชั่วคราว ซึ่งหมายถึงสามารถเขียนข้อมูลไปในหน่วยความจำหรือนำข้อมูลออกจากหน่วยความจำ

<u>หน่วยความจำ</u>

หน่วยความจำในระบบคอมพิวเตอร์ทั้งหลาย คือ อุปกรณ์อิเล็กทรอนิกส์ใช้ในการจดจำข้อมูลซึ่งข้อมูลที่หน่วยความจำจำได้นี้ จะอยู่ในรูปของสัญญาณแม่เหล็กหรือสัญญาณไฟฟ้า ที่สามารถแสดงได้ว่าข้อมูลที่มีอยู่นั้นมีสภาวะ 0 หรือ 1

ในยุคก่อน หน่วยความจำในระบบคอมพิวเตอร์ส่วนใหญ่จะเป็นสารแม่เหล็ก (Magnetuc Core Memory) คือใช้แกนเฟอร์ไรท์และใช้ทิศทางของสนามแม่เหล็กเป็นตัวบอกให้ทราบว่าขณะนั้นเป็นสภาวะ 0 หรือ 1 แต่ในปัจจุบันหน่วยความจำได้วิวัฒนาการมา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ใช้อุปกรณ์สารกึ่งตัวนำ (Semiconductor Momery) ซึ่งมีคุณสมบัติที่เหนือกว่าในหลาย ๆ ด้าน ดังนั้นในที่นี้จะกล่าวถึงแต่หน่วยความจำแบบสารกึ่งตัวนำเท่านั้น คุณลักษณะของหน่วยความจำแบบนี้คือ

1. Nondestructive readout คือ เมื่อทำการอ่านข้อมูลจากหน่วยความจำแล้ว ข้อมูล ณ ที่ตำแหน่งนั้นจะไม่มีการเปลี่ยนแปลง (หน่วยความจำแบบ Magnetic core ข้อมูลจะมีการเปลี่ยนแปลงหลังการอ่าน) ดังนั้นจึงไม่จำเป็นต้องทำการเขียนข้อมูลกลับเข้าไปอีก

2. Volatile คือความต้องการไฟเลี้ยง หน่วยความจำที่สามารถเขียนหรืออ่านได้ เช่น หน่วยความจำแบบแรมข้อมูลจะหายไปเมื่อไม่มีไฟเลี้ยงหน่วยความจำ แต่หน่วยความจำประเภทที่อ่านได้อย่างเดียว เช่น รอม เป็นหน่วยความจำที่ข้อมูลจะไม่มีการเปลี่ยนแปลงแม้ว่าจะไม่มีไฟเลี้ยงก็ตาม ดังนั้นหน่วยความจำแบบรอมจะเป็นหน่วยความจำชนิด Nonvolatile

3. Single chip form หน่วยความจำสารกึ่งตัวนำนี้จะบรรจุอยู่ในชิพไอซี ซึ่งจะมีขนาดต่าง ๆ กัน เช่น ขนาดของคำ (Word length) จำนวนตำแหน่งของหน่วยความจำและโครงสร้างภายใน ส่วนการถอดรหัสตำแหน่งและการเข้าถึงข้อมูลจะเป็นส่วนที่อยู่ภายในชิพไอซีเอง

<u>ชนิดของหน่วยความจำ</u>

หน่วยความจำอาจแบ่งตามลักษณะการใช้ และการอ่านเขียนข้อมูลได้ 3 แบบใหญ่ ๆ คือ

1. Read Only Memory (ROM)
2. Random Access Memory (RAM)
3. Seriral Access Memory

ซึ่งลักษณะของหน่วยความจำทั้ง 3 แบบอาจกล่าวโดยสรุปได้ดังนี้ คือ

<u>Read only Memory (ROM)</u> เป็นหน่วยความจำที่ใช้เก็บข้อมูลแบบถาวร หรือกึ่งถาวร คือข้อมูลจะต้องถูกเขียนลงไปในหน่วยความจำตั้งแต่ต้น หลังจากนั้นก็เป็นการเรียกใช้เพียวงอย่างเดียวไม่สามารถแก้ไขเปลี่ยนแปลงได้อีก ดังนั้นเราจึงเรียกหน่วยความจำแบบนี้ว่า Read only หน่วยความจำแบบ รอมนี้เป็นหน่วยความจำแบบ Non volatile คือข้อมูลในรอม จะไม่สูญหายเมื่อไม่มีไฟเลี้ยง หน่วยความจำรอม จะใช้ในระบบไมโครคอมพิวเตอร์ทุกเครื่อง เนื่องเก็บโปรแกรมสำหรับให้ระบบเริ่มต้นทำงานที่เรียกว่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โปรแกรมมอนิเตอร์หรือ โปรแกรม Bootstrap รอม สามารถจำแนกเป็นชนิดต่าง ๆ ได้ตามลักษณะของการเขียนข้อมูลเข้าไปในหน่วยความจำ ดังนี้

Mask Programmed ROM เป็น รอม ชนิดที่ได้ทำการเขียนข้อมูลเข้าไปในหน่วยความจำตั้งแต่ตอนสร้างชิพ และไม่สามารถแก้ไขข้อมูลภายในในได้อีก รอมแบบนี้จะต้องสร้างครั้งละจำนวนมาก ๆ เนื่องจากต้นทุนในการผลิตค่อไข้างสูง

Programmable Read Only Memory หรือ PROM หน่วยความจำแบบนี้ ผู้ใช้สามารถโปรแกรมเองได้โดยใช้กรรมวิธีจ่ายพัลส์แรงดันสูงเข้าไปทำลายฟิวส์ภายในตัวในไอซีหน่วยความจำ เพื่อทำให้เป็นลอจิก 0 หรือ 1 ณ ตำแหน่งที่กำหนด เมื่อโปรแกรมเข้าไปแล้ว ไม่สามารถทำการแก้ไขได้เช่นกัน

Erasable Programmable Read Only Memory หรือ EPROM หน่วยความจำชนิดนี้ ผู้ใช้สามารถโปรแกรมข้อมูลลงไปได้และสามารถลบได้ โดยใช้รังสี Ultra violet ฉายผ่ายช่องกระจกบนตัวไอซี และหลังจากที่ทำการลบข้อมูลออกแล้วก็สามารถโปรแกรมข้อมูลใหม่ลงไปได้อีก

Electrically Alterable Read Only Memory หรือ EAROM เป็นหน่วยความจำที่สามารถโปรแกรมข้อมูลเข้าไปได้ และสามารถลบออกได้โดยสัญญาณไฟฟ้า ทำให้การโปรแกรมและการลบทำได้โดยสะดวก และอาจทำได้โดยไม่ต้องถอดออกจากวงจร

Random Access Memory (RAM) หน่วยความจำแบบ แรม นี้ เป็นหน่วนความจำที่มีการทำงานที่ต่างจำ รอม คือมันสามารถที่จะทำการเขียนหรืออ่านข้อมูลก็ได้ และในการเขียนหรืออ่านข้อมูลแต่ละคำ หรือแต่ละบิต ณ ที่ตำแหน่งใด ๆ ในพื้นที่ของหน่วยความจำนี้จะใช้เวลาเท่า ๆ กัน แต่ในกรณีของ รอม การเขียนข้อมูลเข้าหน่วยความจำจะใช้เวลามากว่าการอ่านข้อมูลมาก หน่วยความจำแบบ แรม จะเป็นชนิด Volatile คือต้องการไฟเลี้ยตลอดเวลา และเมื่อขาดไฟเลี้ยงข้อมูลใน แรม จะหายไป แรม จะแบ่งออกได้เป็น 2 แบบคือ

Static RAM หรือเรียกย่อ ๆ ว่า SRAM แรม ชนิดนี้ หน่วยความจำแต่ละเซลจะใช้ลักษณะของวงจร ฟลิบฟลอบ เป็นพื้นฐาน ดังนั้นเมื่อไม่มีการเขียนข้อมูลเข้าไปใหม่ ข้อมูลนั้น ๆ จะคงที่ตลอดไปตราบเท่าที่มีไฟเลี้ยงอยู่

Dynamic RAM หรือ DRAM ลักษณะของ แรม ชนิดนี้ ใช้การเก็บประจุที่ขาเกตของ MOSFET เพื่อเป็นการเก็บข้อมูล และเมื่อมีการอ่านข้อมูลออกมา ประจุที่เก็บไว้จะถูกคายออกมาและหมดไป ซึ่งถ้าเป็นเช่นนี้หน่วยความจำก็จะเป็นแบบ Destructive ดัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

นั้น DRAM จึงต้องมีการรีเฟรช เพื่อทำให้ข้อมูลยังคงอยู่ไม่สูญหายไปไหน ข้อดีของ DRAM ที่หนือกว่า SRAM คือ มีความหนาแน่นของเซลหน่วยความจำสูงกว่า มีความสิ้นเปลืองกำลังต่ำกว่า และใช้เวลามรการเข้าถึงข้อมูลเร็วกว่า แต่ก็มีข้อเสียในเรื่องการที่จะต้องมีทำการรีเฟรช ซึ่งจะยุ่งยากในการใช้มากกว่า SRAM

Serial Access Memory หน่วยความจำแบบนี้ใช้วิธีการเก็บข้อมูลตามลำดับก่อนหลังตามกันไป ดังนั้นเวลาอ่านก็จะต้องเรียงลำดับด้วย เช่นเดียวกับเทป ซึ่งลักษณะของหน่วยความจำแบบนี้คล้ายกับวงจรชิฟรีจิสเตอร์ หน่วยความจำนี้มีทั้งแบบ Volatile และ Nonvolatile เช่น

Magnetic Bubble Memory เป็นหน่วยความจำแบบนี้มีความจุข้อมูลสูงใกล้เคียงกับเทปสามารถเขียนและอ่านข้อมูลได้เช่นเดียวกับเทป และเป็นหน่วยความจำชนิด Nonvolatile ไม่จำเป็นต้องมีการรีเฟรช แต่ความเร็วในการอ่านหรือเขียนข้อมูลค่อนข้าช้ากว่า แรม แบบสารกึ่งตัวนำ แต่ก็มีความเร็วสูงกว่าเทปมาก หน่วยความจำแบบนี้มีแนวโน้มจะเข้ามาแทนที่ Disk ในอนาคต

Charge Coupled Device (CCD) หน่วยความจำแบบนี้สามารถเก็บข้อมูลได้สูงสามารถอ่านหรือเขียนได้ แต่เป็นแบบ Volatile ความเร็วในการอ่านและเขียนข้อมูลค่อนข้างสูงเกือบเท่ากับ แรม แบบสารกึ่งตัวนำ CCD มีราคาถูก แต่การใช้งานยุ่งยากจึงไม่เป็นที่นิยม

ศัพท์ที่ควรทราบเกี่ยวกับหน่วยความจำ

Access time ระยะเวลาจากที่กำหนดสัญญาณระบุตำแหน่งให้กับหน่วยความจำ ไปจนถึงเวลาที่ข้อมูลปรากฏออกมาที่เอาต์พุตของไอซีหน่วยความจำ ระยะเวลานี้รวมถึงเวลาที่เสียไปตั้งแต่ส่งสัญญาณเลือกตัวไอซี (chip select) การถอดรหัสของตำแหน่ง และการทำงานของวงจร output enable

Address hold time คือเวลาที่ต้องการนับตั้งแต่จุดสิ้นสุดของสัญญาณ write จนถึงเวลาที่เอาสัญญาณในการกำหนดตำแหน่งออกไปได้โดยข้อมูลไม่เสียหาย

Address setup time คือระยะเวลาที่ต้องการเพื่อให้สัญญาณในการกำหนดตำแหน่งให้อยู่ในสภาวะคงที่ก่อนที่จะส่งสัญญาณการเขียนให้แกหน่วยความจำ เพื่อทำการเขียนข้อมูล

Chip enable ($\overline{CE}$) คือสัญญาณที่ใช้กำหนดให้ไอซีหน่วยความจำนี้ทำงานหรือไม่ ซึ่งเมื่อสัญญาณนี้แอคตีฟ(ซึ่งโดยปกติแอคตีฟที่ระดับ0) ไอซีหน่วยความจำนี้จะอยู่ในสภาวะที่ทำงานได้

Output enable ($\overline{OE}$) คือสัญญาณที่ป้อนให้แก่ตัวไอซี ซึ่งเมื่ออยู่ในสภาวะแอคตีฟ จะทำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ให้เอาต์พุตของไอซีหน่วยความจำนี้ต่อกับบัสข้อมูลของระบบ แต่เมื่อสัญญาณนี้ไม่แอคตีฟ เอาต์พุตของไอซีจะอยู่ในสภาวะอิมพีแดนซ์สูง

ส่วนรายละเอียดของสัญญาณและช่วงเวลาต่าง ๆ สามารถดูได้จากคู่มือไอซีหน่วยความจำ

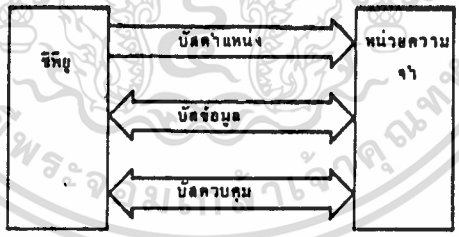
ในบทนี้จะกล่าวถึงเฉพาะการต่อหน่วยความจำแบบ EPROM และ SRAM เข้ากับไมโครโปรเซสเซอร์เท่านั้น ส่วนการใช้หน่วยความจำแบบอื่นจะไม่กล่าวถึงในที่นี้

<u>ลักษณะพื้นฐานของการต่อหน่วยความจำกับไมโครโปรเซสเซอร์</u>

ในการเชื่อมต่อกันระหย่างไมโครโปรเซสเซอร์กับหน่วยความจำโดยทั่วไปนั้น จะต้องมีสัญญาณในการเชื่อมต่อ ดังต่อไปนี้

1. บัสตำแหน่ง ซีพียูจะใช้ข้อมูลบนบัสนี้สำหรับทำการเลือกตำแหน่งของหน่วยความจำ ที่จะใช้เป็นต้นทางข้อมูล (เมื่อทำการอ่าน) หรือตำแหน่งปลายทางข้อมูล (เมื่อทำการเขียน)
2. บัสข้อมูล ใช้สำหรับเป็นทางผ่านของข้อมูลจากซีพียู เพื่อไปยังหน่วยความจำ หรือข้อมูงจากหน่วยความจำเนื่อมายังซีพียู
3. บัสควบคุม บัสนี้ใช้สำหรับการส่งสัญญาณควบคุมการทำงานในการอ่าน หรือการเขียนข้อมูล เช่นสัญญาณ RD WR และสัญญาณเนื่อให้มีการทำงานพร้อมกัน เป็นต้น

ซึ่งลักษณะของการเชื่อมต่อซีพียูกับหน่วยความจำ แสดงได้ดังรูปที่ 19



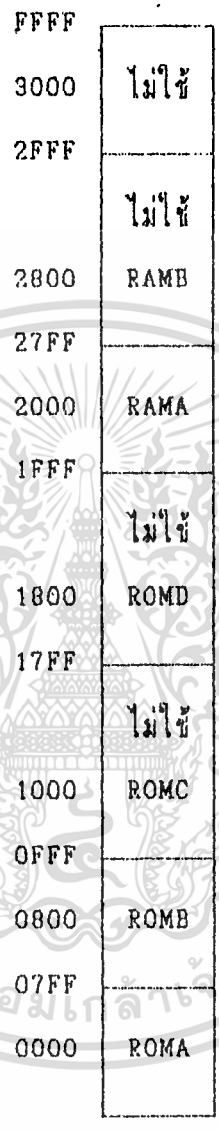
รูปที่ 19 การเชื่อมต่อระหว่างหน่วยความจำกับซีพียู

<u>การต่อหน่วยความจำกับซีพียู Z-80</u>

ซีพียู Z-80 มีสัญญาณในการเลือกตำแหน่ง 16 สัญญาณคือ $A_{15} - A_0$ นั่นหมายความว่าซีพียูสามารถติดต่อกับหน่วยความจำได้ถึง 2^{16} หรือ 65536 ตำแหน่ง ดังนั้นในการออกแบบระบบไมโครคอมพิวเตอร์ เราต้องทำการจัดสรรเนื้อที่นี้เสียก่อนว่าเราจะใช้หน่วยความจำส่วนไหนเพื่อประโยชน์อะไรและต้องใช้หน่วยความจำแบบใด ดังนั้นผ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ออกแบบระบบต้องทำการสร้างตารางเพื่อจัดสรรหน่วยความจำหรือที่เรียกว่า Memory map ขึ้นเพื่อกำหนดตำแหน่งของการที่จะใช้หน่วยความจำแบบรอมหรือแบบแรมซึ่งตัวอย่างของ Memory map แสดงได้ดังรูปที่ 20



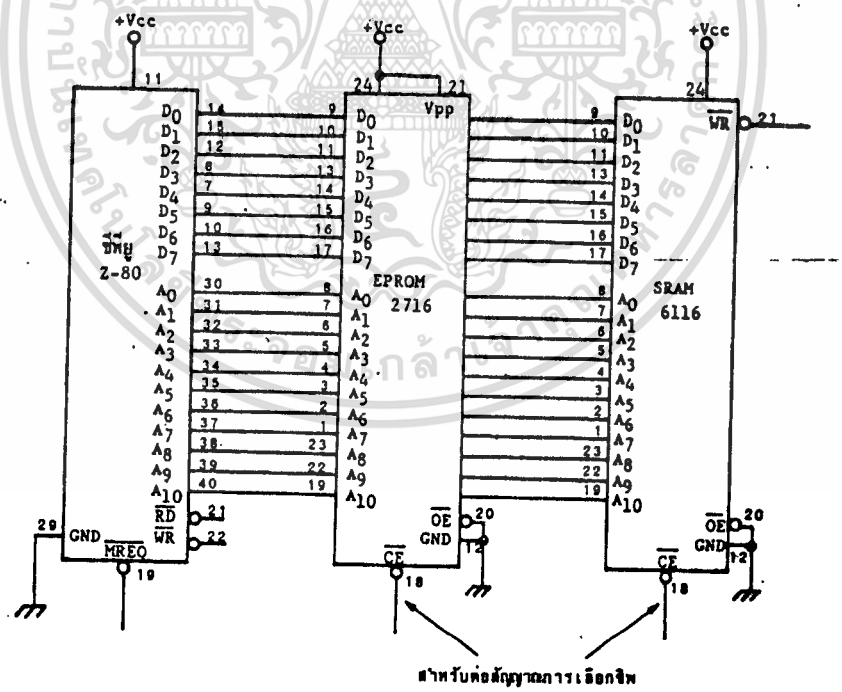
รูปที่ 20 แสดงการจัดแบ่งหน่วยความจำ หรือ Memory map

จากรูปเห็นได้ว่าตำแหน่งต่ำสุดของ Memoory map คือที่ตำแหน่ง0000H จะต้องใช้หน่วยความจำแบบรอม เนื่องจากเมื่อทำการรีเซตซีพียู ตำแหน่งเริ่มต้นที่ซีพียูจะทำการอ่านในครั้งแรกคือตำแหน่งที่ 0000H นี้เอง และข้อมูลในตำแหน่งนี้จะต้องเป็นคำสั่งเพื่อให้ซีพียูมีการทำงานได้ต่อไป นั่นคือโปรแกรมในส่วนแรกที่บรรจุอยู่ในหน่วยความจำแบบรอมนี้จะเป็น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โปรแกรมที่เรียกว่า Bootstrap program หรือ มอนิเตอร์โปรแกรมนั่นเอง และส่วนนอกเหนือจากนั้นอาจจะกำหนดให้ส่วนใดเป็นรอม หรือส่วนใดเป็นแรมก็ได้ จากรูปเราได้ทำการแบ่งหน่วยความจำออกเป็นส่วน ๆ หรือที่เรียกว่า แบงก์ (Bank) โดยมีขนาดแบงก์ละ 2k แบงก์ 0 คือตั้งแต่ตำแหน่ง 0000H-07FFH กำหนดให้เป็นพื้นที่ของ ROM A แบงก์ 1 ตั้งแต่ตำแหน่ง 0800H-0FFFH ใช้เป็นพื้นที่ของ ROM B และแบงก์ 4 ตำแหน่งที่ 2000H-27FFH กำหนดให้เป็น RAM A นอกจากนั้นไม่ถูกใช้งาน

จาก Memory map เห็นได้ว่าแต่ละแบงก์มีขนาด 2k ดังนั้นจะให้หน่วยความจำ EPROM เบอร์ 2716 สำหรับพื้นที่ที่เป็นรอม และใช้ SRAM เบอร์ 6116 สำหรับพื้นที่ที่เป็นแรม ซึ่งหน่วยความจำทั้งสองนี้มีขนาด 2k x 8 เท่ากัน ดังนั้นหน่วยความจำทั้งสองจะต้องมีอินพุตเพื่อการกำหนดตำแหน่ง 11 เส้น คือ A_{10}-A_0 ซึ่งอินพุตทั้ง 11 นี้สามารถต่อได้โดยตรงกับบัสตำแหน่งของซีพียูที่ A_{10}-A_0 ส่วน A_{15}-A_{11} ของซีพียูจะนำมาใช้เพื่อเลือกว่าจะใช้หน่วยความจำในพื้นที่ส่วนใด วงจรในการต่อหน่วยความจำทั้งสองเข้ากับบัสตำแหน่งและบัสข้อมูลของซีพียูแสดงได้ดังรูปที่ 21

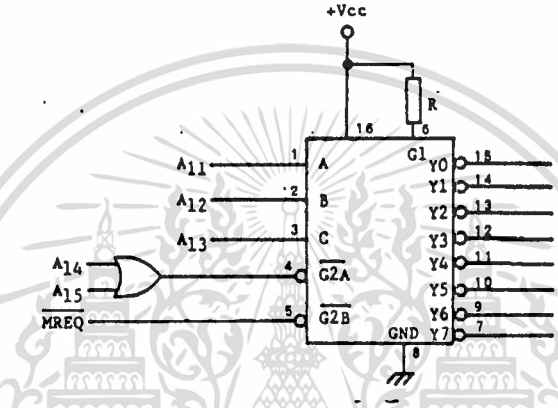


รูปที่ 21 แสดงการต่อหน่วยความจำเข้ากับบัสตำแหน่งและบัสข้อมูล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การสร้างสัญญาณเลือกหน่วยความจำและควบคุมการอ่านและเขียน

สัญญาณการควบคุมจากซีพียู Z-80 เมื่อทำการควบคุมการอ่านและเขียนหน่วยความจำแบบพื้นฐานนี้ มีด้วยกัน 3 สัญญาณคือ $\overline{MREQ}$ $\overline{RD}$ และ $\overline{WR}$ ดังนั้นจะต้องนำสัญญาณทั้ง 3 นี้มาร่วมกับสัญญาณที่มาจากบัสตำแหน่งของซีพียู เพื่อระบุตำแหน่งของไอซีหน่วยความจำที่ต้องการอ่านหรือเขียน วงจรที่ใช้ในการกำหนดการเลือกใช้หน่วยความจำที่มีการจัดแบ่งดังรูปที่ 20 แสดงได้ดังรูปที่ 22



รูปที่ 22 แสดงวงจรที่ใช้ในการเลือกไอซีหน่วยความจำ

จากรูปที่ 21 เห็นได้ว่าใช้สัญญาณในการกำหนดตำแหน่งของหน่วยความจำ 11 สัญญาณคือ A_{10}-A_0 ดังนั้นสัญญาณที่เหลือคือ A_{15}-A_{11} จะใช้ในการเลือกว่าไอซีหน่วยความจำตัวใดจะถูกใช้ในที่นี้จะใช้วงจรดีมัลติเพล็กเบอร์ 74138 ที่เป็นไอซีที่เรียกว่า 3 line to 8 line demultipleser ไอซีนี้มีสัญญาณควบคุมชิพ 3 สัญญาณคือ G1 $\overline{G2B}$ สัญญาณ G1 แอคตีฟที่ระดับลอจิก 1 ส่วนสัญญาณ $\overline{G2A}$ และ $\overline{G2B}$ แอคตีฟที่ระดับลอจิก 0 จากรูปที่ 22 เห็นได้ว่าต่อสัญญาณ A_{11} A_{12} และ A_{13} เข้าที่อินพุต A B C ตามลำดับ ส่วนสัญญาณ A_{14} และ A_{15} นำมาทำการ OR และต่อเข้า $\overline{G2A}$ ส่วนอินพุต $\overline{G2B}$ ต่อเข้ากับสัญญาณ $\overline{MREQ}$ ที่มาจากซีพียู ดังนั้นไดซีดีมัลติเพล็กนี้จะแอคตีฟก็ต่อเมื่อซีพียูทำคำสั่งประเภทที่มีการติดต่อกับหน่วยความจำเท่านั้น สัญญาณเอาต์พุตของดีมัลติเพล็ก ที่ Y_0 ถึง Y_7 จะเป็นระดับ 0 ตามข้อมูลที่ส่งมาบนบัสตำแหน่ง ดังนี้

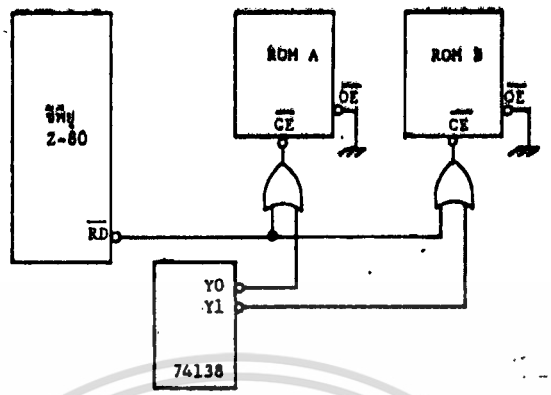
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอาต์พุต	A_{15}	A_{14}	A_{13}	A_{12}	A_{11}	A_{10} ------- A_0	ตำแหน่ง
Y_0	0	0	0	0	0	0 -------- 0	0000H
						1 ------- 1	07FFH
Y_1	0	0	0	0	1	0 -------- 0	0800H
						1 ------- 1	0FFFH
Y_2	0	0	0	1	0	0 -------- 0	1000H
						1 ------- 1	17FFH
Y_3	0	0	0	1	1	0 -------- 0	1800H
						1 ------- 1	1FFFH
Y_4	0	0	1	0	0	0 -------- 0	2000H
						1 ------- 1	27FFH
Y_5	0	0	1	0	1	0 -------- 0	2800H
						1 ------- 1	2FFFH
Y_6	0	0	1	1	0	0 -------- 0	3000H
						1 ------- 1	37FFH
Y_7	0	0	1	1	1	0 -------- 0	3800H
						1 ------- 1	3FFFH

เมื่อนำเอาต์พุตของวงจรดีมัลติเพล็กต่อกับขา $\overline{CE}$ ของหน่วยความจำ ก็จะสามารถกำหนดได้ว่า ไอซีหน่วยความจำตัวใดถูกใช้งานและใช้งานในย่านใดของ Memory map ดังนั้นถ้าต้องการต่อหน่วยความจำให้เป็นไปตาม Memory map ที่แสดงดังรูปที่ 20 ก็จะต้องใช้สัญญาณ Y_0 Y_1 และ Y_4 เพื่อไปต่อที่ขา $\overline{CE}$ ของหน่วยความจำนั้น ๆ

ในการอ่านข้อมูลจาก EPROM นั้น สัญญาณการอ่านไม่มีความจำเป็นต้องใช้ เนื่องจากเมื่อขา $\overline{CE}$ ของ EPROM แอคตีฟก็จะทำให้ข้อมูล ณ ตำแหน่งที่กำหนดออกมาสู่บัสข้อมูล แต่เพื่อความแน่นอนว่า EPROM นี้จะทำงานก็ต่อเมื่อมีสัญญาณการอ่านมาด้วยเท่านั้น เราสามารถต่อวงจรได้ดังรูปที่ 23 คือนำเอาสัญญาณ $\overline{RD}$ มา OR กับสัญญาณในการเลือกชิพที่ได้จากมัลติเพล็กเซอร์ ดังนั้นเอาต์พุตของเกต OR จะเป็นสัญญาณ $\overline{MEMR}$ ซึ่งจะเป็นที่แน่นอนว่า EPROM ตัวนั้นๆจะทำงานก็ต่อเมื่อมีสัญญาณ $\overline{RD}$และตำแหน่งที่ถูกต้องเท่านั้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



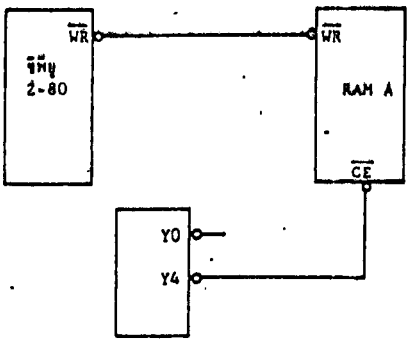
รูปที่ 23 แสดงการต่อสัญญาณ $\overline{RD}$ กับหน่วยความจำแบบ EPROM

สัญญาณ $\overline{RD}$ นี้อาจต่อโดยตรงเข้าที่ขา OE ของ EPROM ก็ได้ ($\overline{OE}$ ไม่ต่อลงกราวด์) และเอาต์พุตจาก Y_0 และ Y_1 ต่อเข้ากับขา $\overline{CE}$ ของหน่วยความจำโดยตรง ซึ่งก็จะให้ผลที่เหมือนกัน

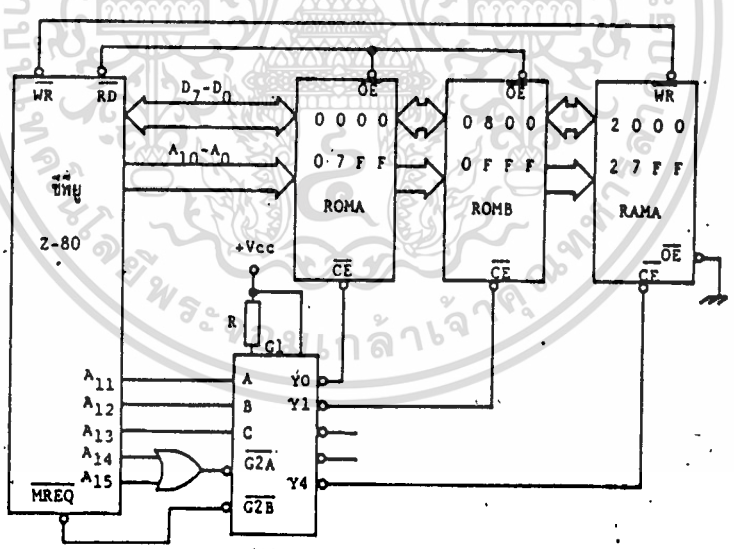
เป็นต้องใช้สัญญาณ $\overline{WR}$ จากซีพียูไปควบคุมการทำงานด้วย คือ สัญญาณ $\overline{WR}$ แอคตีฟ หน่วยความจำจะทำงานในช่วงของการเขียน แต่ถ้าสัญญาณ WR ไม่แอคตีฟแสดงว่าหน่วยความจำอยู่ในช่วงของการอ่าน ดังนั้นสัญญาณ $\overline{WR}$ จากซีพียูสามารถต่อได้โดยตรงกับหน่วยความจำ ส่วนสัญญาณ $\overline{CE}$ ของหน่วยความจำ ก็ต่อได้โดยตรงกับเอาต์พุตของไอซีดีมัลติเพล็ก ตามตำแหน่งที่ระบุไว้ให้เป็นแรม ซึ่งลักษณะของการต่อสัญญาณ $\overline{WR}$ และ สัญญาณ $\overline{CE}$ ของแรมแสดงได้ดังรูปที่ 24

ดังนั้นวงจรที่สมบูรณ์ของการต่อซีพียู Z-80 กับหน่วยความจำ EPROM เบอร์ 2716 และ SRAM เบอร์ 6116 เพื่อให้มีการจัดแบ่งหน่วยความจำตาม Memory map ที่แสดงดังรูปที่ 20 สามารถแสดงได้ดังรูปที่ 25

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 24 แสดงการต่อสัญญาณ $\overline{WR}$ และ $\overline{CE}$ ของหน่วยความจำแรม



รูปที่ 25 วงจรเชื่อมต่อซีพียูกับหน่วยความจำ

จากรูปที่ 25 เห็นได้ว่าต่อสัญญาณ RD จากซีพียูเข้ากับขา OE ของรอมซึ่งวิธีการนี้จะ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดีกว่าวงจรรูปที่ 23 เนื่องจากไม่ต้องใช้เกต OR และจากวงจร ROM A จะเป็นรอมที่ทำงานตั้งแต่ตำแหน่ง 0000-07FH ROM B ทำงานตั้งแต่ตำแหน่ง 0800-0FFFH และ RAM A จะทำงานตั้งแต่ตำแหน่ง 2000-27FFH

แต่เป็นที่ทราบกันดีอยู่แล้วว่า หน่วยความจำทั้งแบบ EPROM และ SRAM จะมีขนาดต่าง ๆ ให้เลือกใช้หลายขนาด ดังนั้นวงจรการเชื่อมต่อกับหน่วยความจำก็จะเปลี่ยนแปลงไปจากรูปที่ 25 แต่กรรมวิธีในการอ่านและการเขียนข้อมูล และการต่อกับซีพียูก็จะใช้หลักการเช่นเดิม เพียงแต่รายละเอียดของการจัดขา และการระบุตำแหน่งของไอซีหน่วยความจำเท่านั้นที่แตกต่างกัน

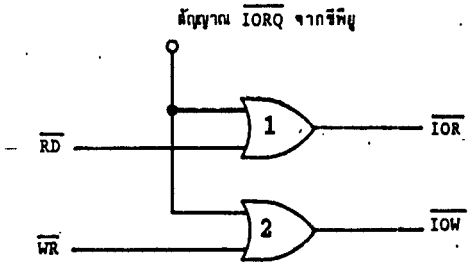
<u>การเชื่อมต่อไมโครโปรเซสเซอร์กับพอร์ต</u>

ในระบบไมโครคอมพิวเตอร์นั้น การติดต่อกับอุปกรณ์ภายนอก เช่นการอ่านข้อมูลจากอุปกรณ์อินพุต การส่งข้อมูลออกไปสู่อุปกรณ์เอาต์พุตนั้น ทำได้โดยการเชื่อมต่อไมโครโปรเซสเซอร์กับพอร์ตอินพุตหรือพอร์ตเอาต์พุต ซึ่งความหมายของพอร์ตอินพุตและพอร์ตเอาต์พุตเราได้กล่าวไว้แล้ว ดังนั้นในบทนี้จะได้กล่าวถึงฮาร์ดแวร์ของการต่อไมโครโปรเซสเซอร์ Z-80 กับพอร์ตแบบพื้นฐานซึ่งเป็นไอซีที่มีอลธรรมดา เพื่อให้ทราบถึงหลักการเบื้องต้นในการเชื่อมต่อซีพียูกับพอร์ต โดยจะยังไม่กล่าวถึงชิพพิเศษที่ทำหน้าที่พอร์ต

<u>สัญญาณควบคุมการอ่านและเขียน</u>

จากที่ได้กล่าวมาตั้งแต่ต้น แล้วว่า วิธีการอินพุต เอาต์พุตของไมโครโปรเซสเซอร์ Z-80 เป็นแบบ Isolate input/output คือสัญญาณในการติดต่อกับพอร์ตแยกต่างหากกับสัญญาณในการติดต่อกับหน่วยความจำ ซึ่งสัญญาณที่แตกต่างกันนี้คือ ในการติดต่อกับหน่วยความจำซีพียูใช้สัญญาณ $\overline{MREQ}$ ส่วนการติดต่อกับพอร์ตใช้สัญญาณ $\overline{IORQ}$ และสัญญาณเพื่อควบคุมการอ่านและการเขียนยังคงใช้สัญญาณ $\overline{RD}$ และ $\overline{WR}$ ดังเดิม เมื่อเป็นการอ่านหรือเขียนข้อมูลที่เกี่ยวกับพอร์ตสัญญาณที่แอคตีฟคือ $\overline{IORQ}$ $\overline{RD}$ และ $\overline{WR}$ ดังนั้นเมื่อทำการอ่านพอร์ต สัญญาณที่จะแอคตีฟ คือ $\overline{IORQ}$ และ $\overline{RD}$ และเมื่อต้องการจะเขียนข้อมูลลงพอร์ต สัญญาณที่แอคตีฟคือ $\overline{IORQ}$ และ $\overline{WR}$ ซึ่งผู้ออกแบบวงจรฮาร์ดแวร์จะต้องนำสัญญาณทั้ง 3 นี้มาต่อร่วมกันเพื่อเป็นสัญญาณที่ใช้ในการควบคุมการอ่านข้อมูลจากพอร์ตอินพุต หรือควบคุมการเขียนข้อมูลออกที่พอร์ตเอาต์พุต วงจรในการสร้างสัญญาณควบคุมการอ่านและการเขียนแบบข้อมูลที่เกี่ยวกับพอร์ตแสดงได้ดังรูปที่ 26

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 26 วงจรในการสร้างสัญญาณควบคุมการอ่านและการเขียนพอร์ต

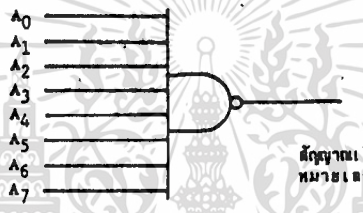
เมื่อซีพียูทำคำสั่งที่เกี่ยวกับการอินพุตหรือเอาต์พุต เช่นคำสั่ง IN A,(n) สัญญาณควบคุมที่แอคตีฟคือ $\overline{IORQ}$ และ $\overline{RD}$ ดังนั้นขณะนี้เอาต์พุตของเกตออร์ 1 จะมีระดับ 0 นั่นคือจะทำให้สัญญาณ $\overline{IOR}$ อยู่ในสภาวะแอคตีฟ และเมื่อซีพียูทำคำสั่ง OUT (n),A สัญญาณควบคุมที่แอคตีฟคือ $\overline{IORQ}$ และ $\overline{WR}$ ซึ่งจะทำให้สัญญาณ $\overline{IOW}$ อยู่ในสภาวะแอคตีฟ ดังนั้นเราสามารถนำสัญญาณทั้งสองนี้ไปควบคุมการทำงานของพอร์ตอินพุตและพอร์ตเอาต์พุตได้ตามต้องก

<u>ตำแหน่งของพอร์ต</u>

ซีพียู Z-80 ใช้บัสตำแหน่งทางด้านต่ำคือ A_7 ถึง A_0 เพื่อกำหนดตำแหน่งของพอร์ต ดังนั้นหมายความว่า ซีพียูสามารถติดต่อกับพอร์ตขนาด 8 บิตได้ถึง อย่างละ 2^8 หรือ 256 พอร์ต และเนื่องจากในการอ่านและเขียนข้อมูล สัญญาณควบคุม $\overline{RD}$ และ $\overline{WR}$ จะไม่มีโอกาสแอคตีฟพร้อมกัน ดังนั้นพอร์ตหมายเลขเดียวกัน สามารถกำหนดให้เป็นพอร์ตอินพุตหรือเอาต์พุตก็ได้ คำสั่งทุกคำสั่งในกลุ่มอินพุต/เอาต์พุตจะใช้บัสตำแหน่ง A_7-A นี้เพื่อกำหนดตำแหน่งของพอร์ตทั้งสิ้น เช่นคำสั่ง IN A,(n) ข้อมูล n ซึ่งเป็นเลขฐานสองขนาด 8 บิต ที่สำหรับการกำหนดตำแหน่งของพอร์ต ดังนั้นข้อมูลนี้จะส่งออกที่ A_7-A_0 ส่วนคำสั่ง OUT (n) ,A ข้อมูล n ก็จะส่งออกที่ A_7-A_0 เช่นกัน ส่วนคำสั่ง IN r,(C) และOUT (C),r หมายเลขพอร์ตจะกำหนดโดยข้อมูลที่อยู่ในรีจิสเตอร์ C และข้อมูลในการกำหนดตำแหน่งนี้จะส่งออกไปทางบัสตำแหน่ง A_7-A_0 เช่นกัน ดังนั้นในการถอดรหัสตำแหน่งของพอร์ตโดยทั่วไป จะทำการต่อวงจรถอดรหัสที่ A $_{7-A}$0 แต่ถ้าเราต้องการใช้ข้อมูลที่บัสตำแหน่ง A_{15}-A_8 เพื่อเป็นตำแหน่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ของพอร์ต ก็สามารถทำได้เช่นกัน เนื่องจากคำสั่งในกลุ่มอินพุตเอาต์พุตนั้น มีข้อมูลบางอย่างออกมาที่ A_{15}-A_8 ด้วย เช่นในคำสั่ง IN r,(C) ข้อมูลในการกำหนดพอร์ตที่แท้จริงคือข้อมูลที่อยู่ในรีจิสเตอร์ C และข้อมูลนี้จะส่งออกที่บัสตำแหน่ง A_7-A_0 แต่ในขณะเดียวกันข้อมูลในรีจิสเตอร์ B จะมาออกที่บัสตำแหน่ง A_{15}-A_8 ดังนั้นเราอาจจะมาทำการถอดรหัสที่ A_{15}-A_8 นี้ก็ได้ แต่ต้องทราบว่าขณะนี้หมายเลขพอร์ตคือข้อมูลที่อยู่ในรีจิสเตอร์ B แต่มนการออกแบบวงจร ฮาร์ดแวร์โดยทั่ว ๆ ไป เราจะทำการถอดรหัสตำแหน่งของพอร์ตที่บัสตำแหน่งที่ A_7-A_0 วงจรในการถอดรหัสตำแหน่งของพอร์ตอย่างง่าย ๆ แสดงดังรูปที่ 27

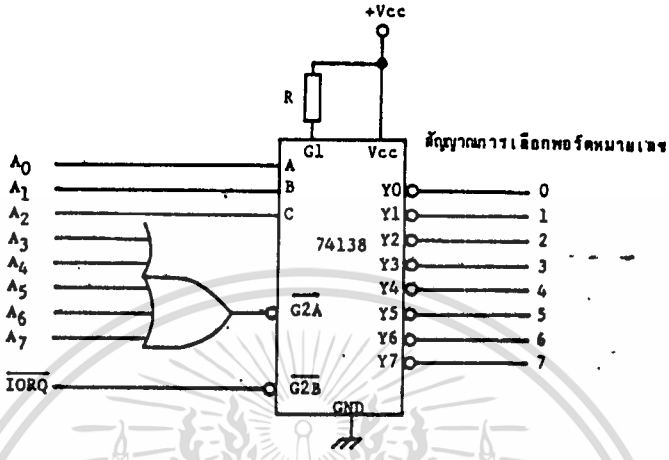


รูปที่ 27 วงจรในการเลือกพอร์ตหมายเลข FF_{16}

จากรูปที่ 27 เมื่อซีพียูทำคำสั่งอินพุต หรือเอาต์พุต มันจะส่งสัญญาณในการเลือกพอร์ตมาบนบัสตำแหน่ง A_7-A_0 ถ้าข้อมูลที่ส่งมาเป็น FFH ก็จะทำให้เอาต์พุตของเกตแนนด์เป็นลอจิก 0 แต่ถ้าข้อมูลที่ส่งมานี้ไม่ใช่ FFH เอาต์พุตของเกตแนนด์ก็จะเป็น 1 ดังนั้นสัญญาณนี้คือสัญญาณในการที่จะต่อไปเพื่อเลือกพอร์ตหมายเลข 225

แต่ในการใช้งานโดยทั่วไปนั้นจะมีการใช้พอร์ตมากกว่า 1 ดังนั้นการถอดรหัสจะใช้วงจรถอดรหัสหรือวงจรดีมัลติเพล็กซ์เพื่อทำการกำเนอดสัญญาณการเลือกพอร์ต รูปที่ 28 แสดงการกำเนิดสัญญาณการเลือกพอร์ตที่นิยมใช้แบบหนึ่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

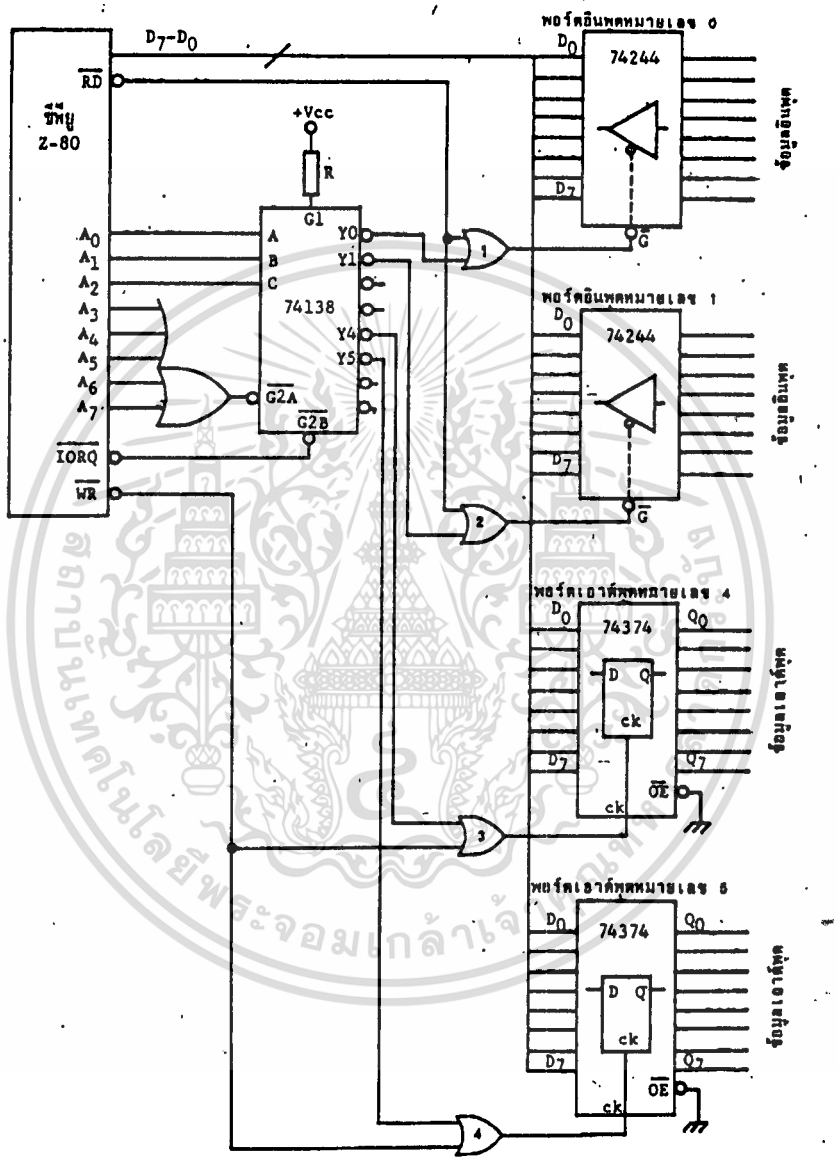


รูปที่ 28 วงจรสร้างสัญญาณการเลือกพอร์ต

จากวงจรรูปที่ 28 วงจรดีมัลติเพล็กซ์จะทำงานก็ต่อเมื่อซีพียูทำคำสั่งเกี่ยวกับการอินพุตหรือเอาต์พุต เพราะจะทำให้ขา $\overline{IORQ}$ แอคตีฟแต่ถ้าทำคำสั่งที่เกี่ยวกับหน่วยความจำวงจรดีมัลติเพล็กซ์นี้จะไม่ทำงานเนื่องจากขา $\overline{IORQ}$ ไม่แอคตีฟดังนั้น เอาต์พุตของวงจรดีมัลติเพ็ลกซ์จะใช้สำหรับการเลือกพอร์ตหมายเลข 0 ถึงหมายเลข 7 ซึ่งพอร์ตต่าง ๆ เหล่านี้อาจกำหนดให้เป็น พอร์ตอินพุต หรือ พอร์ตเอาต์พุตก็ได้โดยขึ้นอยู่กับสัญญาณการควบคุมการอ่านและเขียนอีกสัญญาณหนึ่ง

วงจรการเชื่อมต่อพอร์ตแบบพื้นฐานที่แสดงถึง พอร์ตอินพุต และพอร์ตเอาต์พุต ซึ่งพอร์ตอินพุตจะใช้วงจรลอจิกแบบ 3 สถานะส่วนพอร์ตเอาต์พุต จะเป็ฟลิปฟลอปแบบ D วงจรการเชื่อมต่อ พอร์ตอินพุต และพอร์ตเอาต์พุต แบบพื้นฐานนี้แสดงได้ดังรูปที่ 29

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 29 วงจรการต่อ พอร์ตอินพุต/พอร์ตเอาต์พุต แบบขนาน 8 บิต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 29 เป็นการต่อพอร์ตอินพุท 2 พอร์ตและพอร์ตเอาต์ 2 พอร์ตโดยที่ใช้ไอซีทีทีแอลเป็นพอร์ตคือ พอร์ตอินพุตใช้ไอซี 3 สถานะเบอร์ 74244 เป็นอินพุตพอร์ตหมายเลข 0 และหมายเลข 1 ส่วนพอร์ตเอาต์ใช้ไอซีฟลิปฟลอปแบบ D เบอร์ 74374 และกำหนดให้เป็นพอร์ตเอาต์หมายเลข 4 และหมายเลข 5 จากรูปเอาต์พุตของวงจรดีมัลติเพล็กซ์ที่ Y_0 จะแอคตีฟเมื่อเป็นการอ้างถึงพอร์ตหมายเลข 0 และเอาต์พุต Y_1 จะแอคตีฟเมื่อการอ้างถึงพอร์ตหมายเลข 1 และเรียงไปตามลำดับจนถึงเอาต์พุต Y_7 สำหรับการอ้างถึงพอร์ตหมายเลข 7 เมื่อนำสัญญาณจาก Y_0 และ Y_1 ไปทำการ OR กับสัญญาณ $\overline{RD}$ จากซีพียูก็จะได้สัญญาณควบคุมการอ่านโดยที่เอาต์พุตของเกตออร์ 1 และเอาต์ของเกตออร์ 2 จะเป็นสัญญาณควบคุมการอ่านของอินพุตพอร์ตหมายเลข 0 และหมายเลข 1 ตามลำดับ ส่วนสัญญาณ Y_4 และ Y_5 ทำการออร์กับสัญญาณ $\overline{WR}$ ดังนั้นเอาต์พุตของเกตออร์ 3 และเกตออร์ 4 จะเป็นสัญญาณควบคุมการเขียนข้อมูลออกที่พอร์ตเอาต์พุต ดังนั้นจากวงจรรูปที่ 12-4 นี้ จะเป็นวงจรที่ประกอบด้วยอินพุตพอร์ต 2 พอร์ตคือพอร์ตหมายเลข 0 และหมายเลข 1 และมีเอาต์พุตพอร์ต 2 พอร์ตคือพอร์ตหมายเลข 4 และหมายเลข 5 ซึ่งลำดับขั้นของการอ่านและเขียนข้อมูลเป็นดังนี้

<u>การอ่านข้อมูลจากพอร์ตอินพุต</u>

ในการอ่านข้อมูลจากพอร์ต ทำได้โดยคำสั่งอินพุต เช่น IN A,(n) สมมุติให้หมายเลขพอร์ตเป็น 0 ดังนั้นลำดับขั้นในการอ่านข้อมูลมีดังนี้

1. เมื่อซีพียูทำคำสั่งอินพุต มันจะทำการกำหนดข้อมูลที่ใช้ในการกำหนดตำแหน่งลงมาบนบัสตำแหน่งที่ $A_7 - A_0$ ในขณะนี้เอาต์พุตของวงจรดีมัลติเพล็กจะยังไม่แอคตีฟ เนื่องจากสัญญาณสโตรบที่ $\overline{G2B}$ ยังไม่แอคตีฟ

2. สัญญาณ $\overline{IORQ}$ แอคตีฟ เป็นลำดับลอจิก 0 พร้อมกับสัญญาณ $\overline{RD}$

3. สัญญาณเอาต์พุตของวงจรดีมัลติเพล็กที่ Y_0 จะมีระดับลอจิก 0 และในขณะนี้สัญญาณ $\overline{RD}$ จะมีระดับ 0 ซึ่งจะทำให้ขาอีนาเบิลของ 74244 แอคตีฟ นั่นคือสัญญาณอินพุตของ 74244 จะต่อเข้ากับบัสข้อมูลของระบบ

4. ในช่วงเวลาต่อมา ซีพียูจะทำการอ่านข้อมูลที่บัสข้อมูลนี้เข้าสู่รีจิสเตอร์ภายในของซีพียู

5. เมื่อสัญญาณ $\overline{RD}$ และ $\overline{IORQ}$ กลับสู่สภาวะลอจิก 1 จะทำให้พอร์ตอินพุตอยู่ในสภาวะอิมพีแดนซ์สูง หรือตัดสัญญาณอินพุตออกจากบัสระบบ ซึ่งเป็นการสิ้นสุดขบวนการอ่านข้อมูลจากพอร์ตอินพุต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เห็นได้ว่าการอ่านข้อมูลจากพอร์ตอินพุตนี้ เมื่อทำการอ่านข้อมูลเสร็จแล้วจะทำให้สัญญาณอินพุตถูกตัดออกทันที่เพื่อไม่ให้รบกวนกับบัสข้อมูลของระบบที่จะมีการทำงานต่อไป

<u>การเขียนข้อมูลออกจากพอร์ตเอาต์พุต</u>

ในการเขียนข้อมูลออกยังพอร์ตเอาต์พุต ทำได้โดยคำสั่งเอาต์พุต เช่น OUT (n),A ในที่สมมุติให้พอร์ตเอาต์พุตเป็นพอร์ตหมายเลข 4 ดังนั้นลำดับขั้นในการส่งข้อมูลออกมายังพอร์ตเอาต์พุตจะเป็นดังนี้

1. เมื่อซีพียูทำคำสั่งเอาต์พุต ซีพียูจะทำการกำหนดข้อมูลที่ใช้ระบุตำแหน่งของพอร์ตลงมาบนบัสตำแหน่ง

2. ซีพียูส่งข้อมูลที่ต้องการส่งออกมาบนบัสข้อมูล

3. จากนั้น ซีพียูส่งสัญญาณ $\overline{IORQ}$ ออกมาให้อยู่ในสภาวะแอคตีฟ คือระดับลอจิก 0 ดังนั้นในขณะนี้ เอาต์พุตของวงจรดีมัลติเพล็กที่ตำแหน่ง Y_4 จะอยู่ในสภาวะแอคตีฟ

4. ต่อไปสัญญาณ $\overline{WR}$ จะแอคตีฟเป็นระดับ 0 ดังนั้นเมื่อสัญญาณ $\overline{WR}$ ตกมาเป็นระดับ 0 ด้วยแต่ในขณะนี้จะยังไม่มีผลต่อฟลิปฟลอปเนื่องจากขา CK ของฟลิปฟลอปแอคตีฟที่พัลส์ขาขึ้น ดังนั้นเมื่อสัญญาณ $\overline{WR}$ กลับสู่ระดับ 1 และจะทำให้เอาต์พุตของเกตออร์เปลี่ยนไปเป็นระดับ 1 วิ่งเป็นขอบพัลส์ขาขึ้นและจะทำให้ฟลิปฟลอปนำสัญญาณที่บัสข้อมูลที่ต่ออยู่ที่อินพุตของฟลิปฟลอป ออกสู่เอาต์พุตของฟลิปฟลอป วิ่งเป็นอันสิ้นสุดของขบวนการเขียนข้อมูลออกสู่เอาต์พุตพอร์ต

เห็นได้ว่าเมื่อทำการเขียนข้อมูลเสร็จแล้ว ข้อมูลที่เอาต์พุตของพอร์ตจะคงที่ (Latch) ส่วนบัสข้อมูลของระบบจะมีการเปลี่ยนแปลงอย่างไรก็จะไม่ทำให้สัญญาณที่พอร์ตเอาต์พุตเปลี่ยนแปลง จนกว่าจะมีการเขียนข้อมูลลงมาใหม่

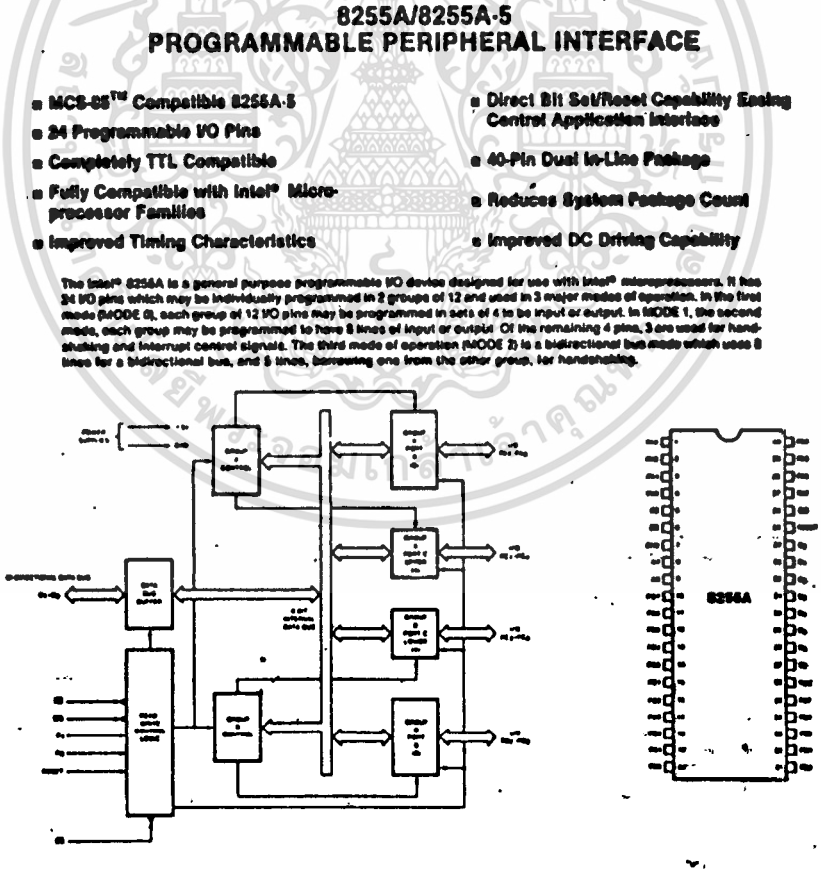
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4

การใช้ 8255 PIA กับ Z80

เราได้กล่าวถึงรายละเอียดของระบบไมโครโปรเซสเซอร์ ทั้งหน่วยความจำ การติดต่อกับอุปกรณ์ภายนอก (ขบวนการอินพุทและเอาท์พุท) ต่อไปเราจะกล่าวถึงอุปกรณ์ซึ่งช่วยให้การติดต่อกับระบบภายนอกของระบบไมโครโปรเซสเซอร์มีประสิทธิภาพยิ่งขึ้น รายละเอียดเกี่ยวกับ 8255

8255 เป็นอุปกรณ์ LSI (LARGE SCALE INTEGRATED CIRCUIT) บรรจุอยู่ใน PACKAGE 40 ขาแบบ DIP (DUAL-IN-LINE PACKAGE) เริ่มผลิตโดยบริษัท INTEL COORPERETION ผู้ผลิตไมโครโปรเซสเซอร์เบอร์ 8080 จุดประสงค์เพื่อใช้งานร่วมกับ 8080 โดยเฉพาะแต่ในภายหลังได้มีการนำ 8255 ไปประยุกต์ใช้งานร่วมกับไมโครโปรเซสเซอร์เบอร์อื่นๆ รวมทั้ง Z80 ด้วย



รูปที่ 1 แสดงบล็อกไดอะแกรมและการวางตำแหน่งขาของ 8255

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 1 แสดงบล็อกไดอะแกรม ของ 8255 ซึ่งหน้าที่ของแต่ละบล็อกมีดังต่อไปนี้คือ

บล็อกกลุ่มแรกที่เราพูดถึงนี้ ได้แก่ บล็อกจำนวน 4 บล็อก ที่อยู่ทางด้านขวาของรูป ซึ่งจะเป็นส่วนที่เชื่อมต่อกับอุปกรณ์ภายนอกอื่นๆ โดยมีสาย PA0-PA7,PB0-PB7 และ PC0-PC7 เป็นทางผ่านของข้อมูลระหว่างอุปกรณ์ภายนอกกับ 8255 สายสัญญาณเหล่านี้จะถูกแบ่งออกเป็น 3 I/O พอร์ทได้แก่พอร์ท A (PA),พอร์ท B (PB),และ พอร์ท C (PC) พอร์ทเหล่านี้แต่ละพอร์ทสามารถเป็นได้ทั้งพอร์ทอินพุทและเอาท์พุท และแต่ละบล็อกมีสายสัญญาณเชื่อมกับบัสข้อมูลภายในของ 8255

บล็อกกลุ่มถัดมาได้แก่ GROUP A CONTROL และ GROUP B CONTROL ซึ่งจะเป็นตัวกำหนดลักษณะการทำงานของทั้ง 3 I/O พอร์ท (8255 มีลักษณะการทำงานที่แตกต่างกันอยู่ 3 โหมด สามารถกำหนดได้โดยโปรแกรมส่ง CONTROL WORD ให้กับ 8255 ซึ่งจะกล่าวถึงในภายหลัง) จากรูป 1 จะเห็นว่า พอร์ท C นี้ประกอบด้วยพอร์ทขนาด 4 บิท 2 พอร์ท กลุ่มหนึ่งจะถูกควบคุมโดย GROUP A CONTROL และอีกกลุ่มหนึ่งจะถูกควบคุมโดย GROUP B CONTROL สำหรับเหตุผลนั้นจะกล่าวถึงในภายหลัง

บล็อกกลุ่มสุดท้ายที่จะกล่าวถึงได้แก่ DATA BUS BUFFER และ READ/WRITE CONTROL LOGIC ซึ่งบล็อกเหล่านี้จะเป็นส่วนที่ติดต่อกับ CPU DATA BUS BUFFER นี้จะเป็นบัฟเฟอร์ให้กับบัสข้อมูลของ CPU ส่วน READ/WRITE CONTROL LOGIC จะเป็นส่วนที่ควบคุมให้ข้อมูลเข้าหรือออกจากรีจิเตอร์ภายใน ตัวที่ถูกต้อง และในเวลาที่เหมาะสม รายละเอียดการจัดขาของ 8255

ในส่วนนี้เราจะพิจารณาหน้าที่ของแต่ละขาของ 8255 ซึ่งข้อมูลเหล่านี้จะมีประโยชน์ในการเชื่อมต่อเข้ากับระบบบัสของ CPU สำหรับการจัดขาแสดงไว้ในรูป 1 รายละเอียดของแต่ละขามีดังนี้

D0_D7 เป็นสายข้อมูลอินพุท/เอาท์พุทแบบสองทิศทาง (BI-DIRECTIONAL BUS) จะเป็นทางผ่านของข้อมูลระหว่างพอร์ทต่างๆ ของ 8255 กับบัสข้อมูลของ Z80

$\overline{CS}$ (CHIP SELECT INPUT) เมื่อขานี้มีสถานะลอจิกเป็น "0" CPU จะสามารถที่จะอ่านหรือเขียนข้อมูลกับ 8255 ได้

$\overline{RD}$ (READ INPUT) เมื่อขานี้มีสถานะลอจิกเป็น "0" และสัญญาณ CS มีลอจิกเป็น "0" ข้อมูลจาก 8255 จะปรากฏสู่ระบบบัสข้อมูล CPU ก็จะสามารถอ่านข้อมูลออกไปได้ (ในการตั้งชื่อของขาสัญญาณนี้จะถือเอา CPU เป็นหลัก)

$\overline{WR}$ (WRITE INPUT) เมื่อขานี้มีสถานะลอจิกเป็น "0" และขาสัญญาณ CS มีลอจิกเป็น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

"0" ข้อมูลจากระบบบัสข้อมูลจะถูกเขียนเข้าไปยัง 8255 ได้

A0-A1 (ADDRESS INPUT) จะเป็นตัวกำหนดการเลือกใช้รีจิสเตอร์ภายในของ 8255 ซึ่งจะกล่าวรายละเอียดภายหลัง

RESET เมื่อขานี้มีสถานะเป็น "1" 8255 จะอยู่ในสภาวะรีเซ็ททุกๆพอร์ทของ 8255 จะถูกรีเซ็ทในโหมดอินพุท

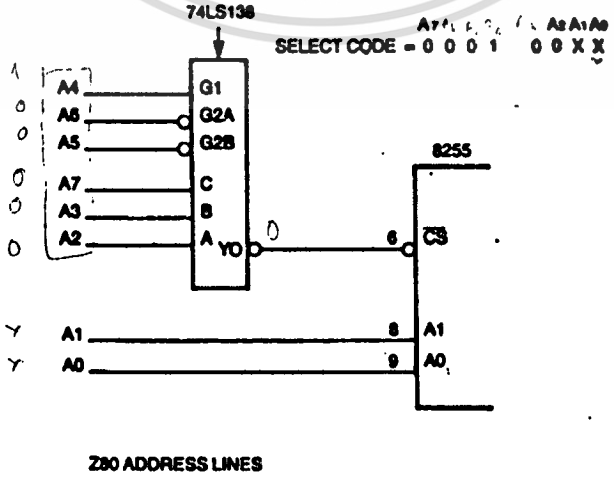
PA0-PA7,PB0-PB7 ขาสัญญาณเหล่านี้จะถูกใช้เป็นพอร์ท I/O ขนาด 8 บิท ใช้ต่อเข้ากับอุปกรณ์ภายนอกอื่นๆ

PC0-PC7 ขาสัญญาณนี้ใช้เป็นพอร์ท I/O ขนาด 8 บิท เช่นเดียวกับ PA0-PA7 และ PB0-PB7 แต่กลุ่มของขาสัญญาณเหล่านี้สามารถแบ่งออกเป็น 2 กลุ่ม โดยแต่ละกลุ่มมีขนาด 4 บิทได้ กลุ่มแรกจะใช้ควบคุม PB0-PB7 และกลุ่มที่ 2 ใช้ควบคุม PA0-PA7 (ซึ่งจะกล่าวถึงรายละเอียดในภายหลัง)

การต่อ 8255 เข้ากับ Z80

ในการต่อ 8255 เข้ากับระบบของ Z80 นั้น สัญญาณต่างๆที่เกิดขึ้นจะเหมือนกับขบวนการติดต่อกับ I/O จาก Z80 มาถอดรหัสเพื่อสร้างสัญญาณเลือกพอร์ท แต่เนื่องจาก 8255 มีขา ADDRESS INPUT อยู่แล้ว 2 ขา(A0,A1) ซึ่งโดยปกติแล้วขา A0,A1 นี้จะต่อเข้าโดยตรงกับ A0,A1 จากบัสแอดเดรส นั่นคือ 8255 หนึ่งตัวจะใช้ค่าพอร์ทแอดเดรสถึง 4 ค่า (2^2) ส่วนสัญญาณอีก 6 เส้น (A2-A7) จะนำไปถอดรหัสเพื่อทำสัญญาณเลือกชิพ (CHIP SELECT) ให้แก่ 8255

ในที่นี้เราสมมติให้ 8255 มีพอร์ทแอดเดรสอยู่ที่ 10H,11H,12H และ 13H ซึ่งวิธีหนึ่งที่สามารถถอดรหัสพอร์ทเหล่านี้ได้ แสดงไว้ในรูป 2

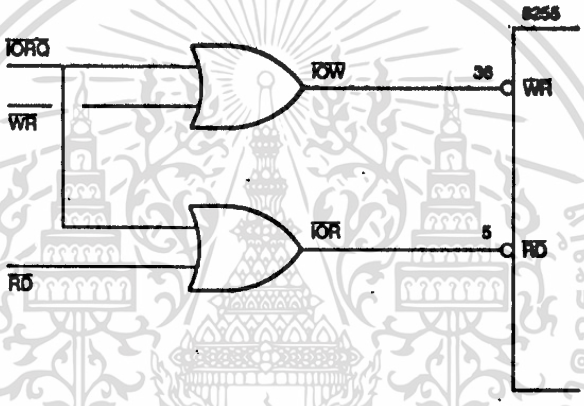


รูปที่ 2 แสดงผังวงจรถอดรหัสการเลือกพอร์ทที่ติดต่อกับ 8255

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 2 นี้ จะเห็นว่าขาอินพุท $\overline{CS}$ จะแอคทีฟก็ต่อเมื่อ A7-A2 มีเท่ากับ 000100XXB (2 บิทล่างนี้จะใช้เพื่อเลือกใช้รีจิสเตอร์ภายใน 4 ตัว)

ขั้นต่อไปที่เราจะต้องทำคือ การต่อขา $\overline{RD}$ และ $\overline{WR}$ ของ 8255 เข้ากับสัญญาณควบคุม $\overline{IOR}$ และ $\overline{IOW}$ ของระบบ การที่เราไม่ต่อขา $\overline{RD}$ และ $\overline{WR}$ เข้าโดยตรง เพราะในตัวอย่างวิธีถอดรหัสของเรานี้ อาจจะเกิดกรณีที่ A7-A0 มีค่าตรงกับ 000100XXB ซึ่งจะทำให้เกิดการอ่านหรือเขียนข้อมูลกับ 8255 โดยไม่ต้องการได้ ในการแก้ปัญหานี้เราจึงใช้สัญญาณ $\overline{IORQ}$ จาก CPU มาทำเป็นสัญญาณ $\overline{IOR}$ และ $\overline{IOW}$ เพื่อแยกว่าเป็นการติดต่อกับ I/O ไม่ใช่หน่วยความจำ ดังแสดงในรูป 3



รูปที่ 3 แสดงวิธีการต่อขา $\overline{WR}$ และ $\overline{RD}$ เข้ากับระบบของ Z80

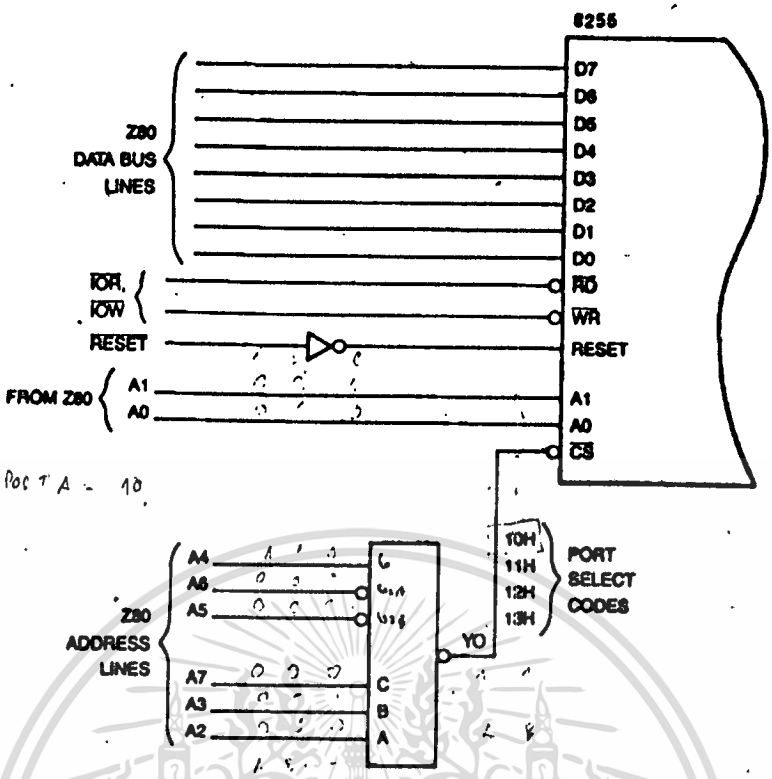
ในการต่อขา RESET ของ 8255 ซึ่งจะแอคทีฟที่ลอจิก "1" เข้ากับขา $\overline{RESET}$ ของZ80 ซึ่งแอคทีฟที่ลอจิก "0" นั้นจะต้องใช้ INVERTER คั่นกลางเสียก่อน

ในการต่อสายข้อมูล D0-D7 ของ 8255 เข้ากับระบบบัสข้อมูลของระบบเราสมมติว่าไม่มีการโหลดบนบัสข้อมูล ดังนั้นเราจึงสามารถต่อสายสัญญาณเหล่านี้เข้าโดยตรงกับระบบบัสข้อมูลดังแสดงวงจรสมบูรณ์ของการเชื่อมต่อ 8255 เข้ากับระบบของ Z80 ในรูปที่ 4

8255 READ และ WRITE REGISTER

ขณะนี้เราได้ทำการต่อ 8255 เข้ากับระบบบัสของ Z80 แล้ว ต่อไปเราจะศึกษาโปรแกรมใช้งาน 8255 เพื่อที่จะให้สามารถทำงานตามที่เราต้องการได้ จะเริ่มต้นพิจารณาที่รีจิสเตอร์ภายใน 4 ตัวของ 8255 สำหรับตัวอย่างในการถอดรหัสของเรานี้ ตำแหน่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



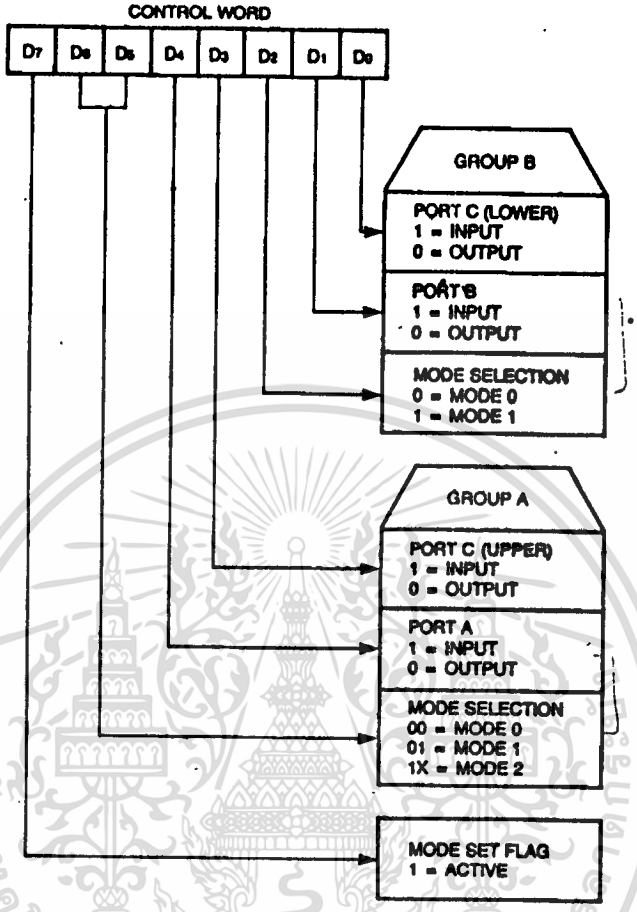
รูปที่ 4 แสดงผังวงจรสมบูรณ์ของการเชื่อมต่อ 8255 เข้ากับระบบของ Z80

ของรีจิสเตอร์จะอยู่ที่แอดเดรส 10H, 11H, 12H และ 13H ซึ่งรายละเอียดของรีจิสเตอร์เหล่านี้มีดังนี้คือ

DEVICE PIN				REGISTER NAME
RD	WR	A1	A0	
1	0	0	0	WRITE PORT A DATA
0	1	0	0	READ PORT A DATA
1	0	0	1	WRITE PORT B DATA
0	1	0	1	READ PORT B DATA
1	0	1	0	WRITE PORT C DATA
0	1	1	0	READ PORT C DATA
1	0	1	1	WRITE CONTROL DATA
0	1	1	1	ILLEGAL READ REGISTER

หน้าที่ของรีจิสเตอร์หมายเลข 0-2 จะถูกกำหนดลักษณะการทำงานจากรีจิสเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5 แสดงรายละเอียดแต่ละบิทของรีจิสเตอร์ควบคุมของ 8255

หมายเลข 3 (รีจิสเตอร์ควบคุม) รูปที่ 5 จะแสดงรายละเอียดของแต่ละบิทของรีจิสเตอร์ควบคุมนี้ต่อไป เราจะกล่าวถึงลักษณะการทำงานของ 8255 ทั้ง 3 โหมด และการโปรแกรมให้อยู่ในโหมดต่างๆ ได้ดังต่อไปนี้คือ

โหมด 0 BASIC REGISTER I/O

ในการเซ็ท 8255 ให้อยู่ในโหมด 0 นั้นเราจะต้องส่งคำสั่งควบคุม (CONTROL WORD) ให้แก่รีจิสเตอร์ควบคุมก่อน คำสั่งควบคุมนี้จะกำหนดลักษณะการทำงานให้แก่แต่ละพอร์ทของ 8255 ตัวอย่างหนึ่งของคำสั่งควบคุมที่จะสั่งให้ 8255 ทำงานอยู่ในโหมด 0 นี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ได้แก่

D7	D6	D5	D4	D3	D2	D1	D0
1	0	0	0	0	0	0	0

จากรูปที่ 5 เราจะเห็นว่า

บิท D7 เป็นตัวกำหนดว่าเป็นคำสั่งควบคุม (CONTROL WORD)

บิท D6 และ D5 กำหนดโหมดการทำงานของ พอร์ท A D6,D5 มีค่าเป็น "0" แสดงว่าอยู่ในโหมด "0"

บิท D4 = "0" กำหนดให้พอร์ท A เป็นพอร์ทเอาท์พุท

บิท D3 = "0" เซ็ทพอร์ท C 4 บิทบนเป็นพอร์ทเอาท์พุท

บิท D2 = "0" เซ็ทโหมดของพอร์ท B ให้พอร์ท B อยู่ในโหมด 0

บิท D1 = "0" เซ็ทพอร์ท B เป็นพอร์ทเอาท์พุท

บิท D0 = "0" เซ็ทพอร์ท C 4 บิทล่างเป็นพอร์ทเอาท์พุท

คำสั่งควบคุมนี้จะกำหนดให้พอร์ททั้ง 3 ของ 8255 ทำงานอยู่ในโหมด 0 และเป็นพอร์ทเอาท์พุทซึ่งจะได้สายสัญญาณซึ่งสามารถติดต่อกับอุปกรณ์ภายนอกได้ถึง24 สาย คำสั่งของ Z80 ที่จะเซ็ทให้ 8255 อยู่ในลักษณะดังกล่าวได้แก่

```
LD A,80H          ;เซ็ทคำสั่งควบคุม
OUT (13H),A       ;ส่งคำสั่งควบคุมให้ 8255
```

เมื่อ 8255 ทำการ EXECUTE คำสั่งข่งต้นแล้ว 8255 จะถูกเซ็ทให้พอร์ททุกพอร์ทเป็นพอร์ทเอาท์พุท และอยู่ในโหมด 0 เราสามารถส่งข้อมูลไกยังพอร์ทต่างๆด้วยคำสั่ง OUT ของ Z80 ตัวอย่างเช่น เราต้องการส่ง 32H ไปยังพอร์ท A 41H ไปยังพอร์ท B และ 73H ไปยังพอร์ท C เราจะต้องให้ Z80 ทำตามโปรแกรมลักษณะดังนี้

```
LD A,32H          ;เซ็ทข้อมูลให้พอร์ท A
OUT (10H),A       ;ส่งข้อมูลให้พอร์ท A
LD A,41H          ;เซ็ทข้อมูลให้พอร์ท B
OUT (11H),A       ;ส่งข้อมูลให้พอร์ท B
LD A,73H          ;เซ็ทข้อมูลให้พอร์ท C
OUT (12H),A       ;ส่งข้อมูลให้พอร์ท C
```

หลังจากที่คำสั่งเหล่านี้ถูก EXECUTE แล้วพอร์ท A,B และ C ของ 8255 จะมีข้อมูลต่างๆที่ส่งไปให้ปรากฏอยู่

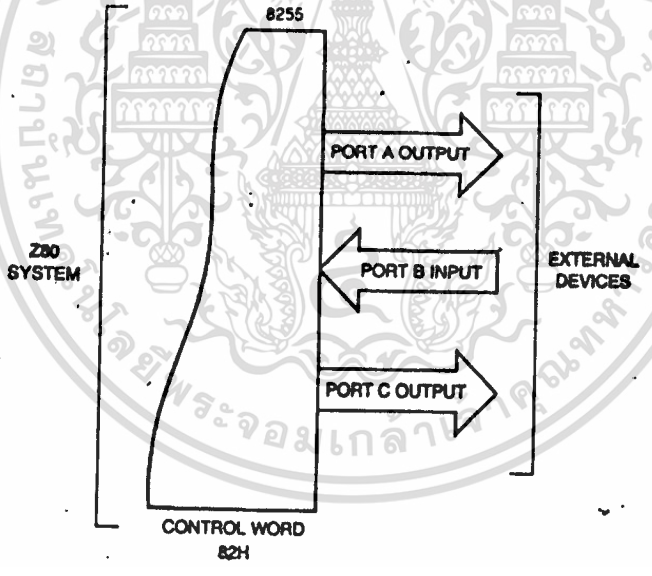
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในการทำงานในโหมด 0 ของ 8255 นี้อาจจะสั่งให้พอร์ทของ 8255 เป็นอินพุท หรือเอาท์พุทก็ได้อย่างเช่น ให้พอร์ท A และพอร์ท C เป็นพอร์ทเอาท์พุท และพอร์ท B เป็นพอร์ทอินพุท เราจะต้องส่งคำสั่งควบคุมให้แก่รีจิสเตอร์ควบคุมในลักษณะดังนี้คือ

D7	D6	D5	D4	D3	D2	D1	D0
1	0	0	0	0	0	1	0

หลังจากที่ส่งคำสั่งควบคุมให้แก่รีจิสเตอร์ควบคุมแล้ว 8255 จะถูกเซ็ทให้มีลักษณะการทำงานดังรูป 6 เราจะใช้คำสั่ง IN อ่านข้อมูลมาจากพอร์ท B ได้

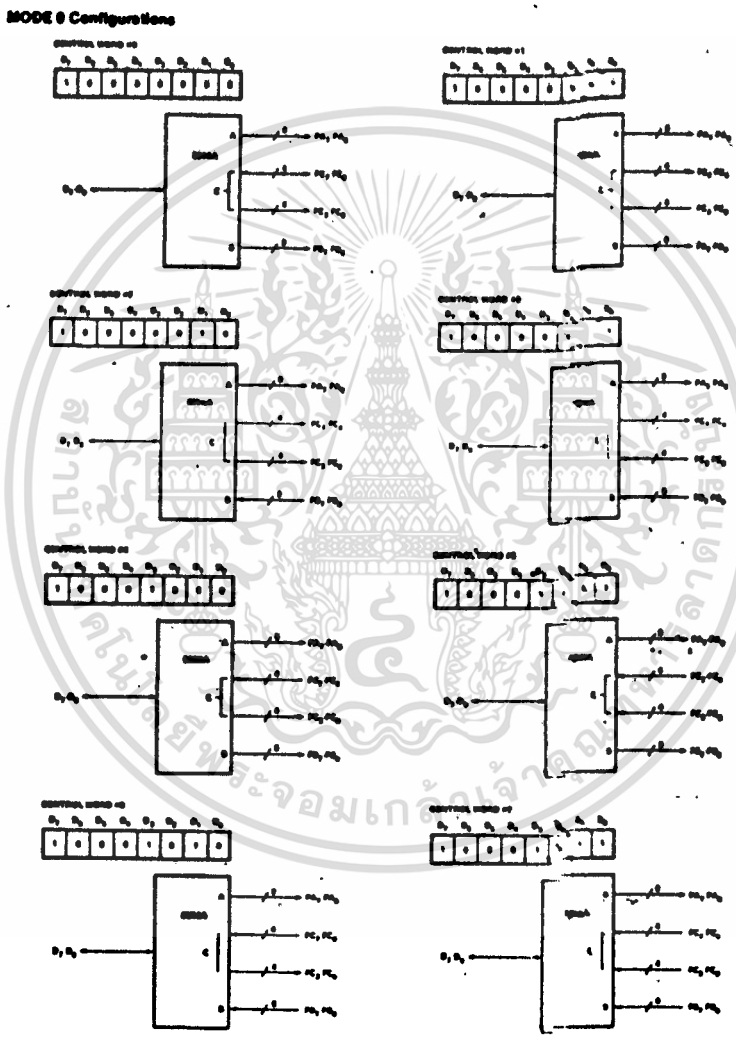
```
IN A,(11H)          ;อ่านข้อมูลจากพอร์ท B
```



รูปที่ 6 บล็อกไดอะแกรมแสดงลักษณะการทำงานของ 8255 ในโหมด 0 หลังจากส่งคำสั่งควบคุมให้ 8255 แล้ว

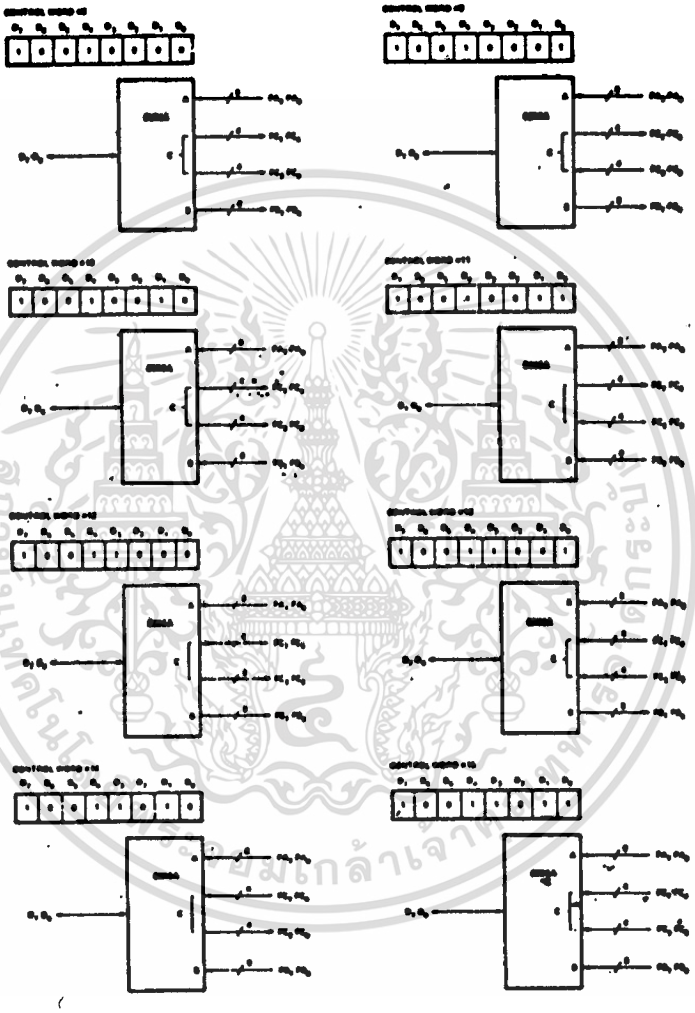
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ลักษณะการทำงานของพอร์ทต่างๆที่สามารถกำหนดได้ในโหมด 0 แสดงไว้ในรูป 7



รูปที่ 7 แสดงลักษณะต่างๆในการใช้งานในโหมด 0

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

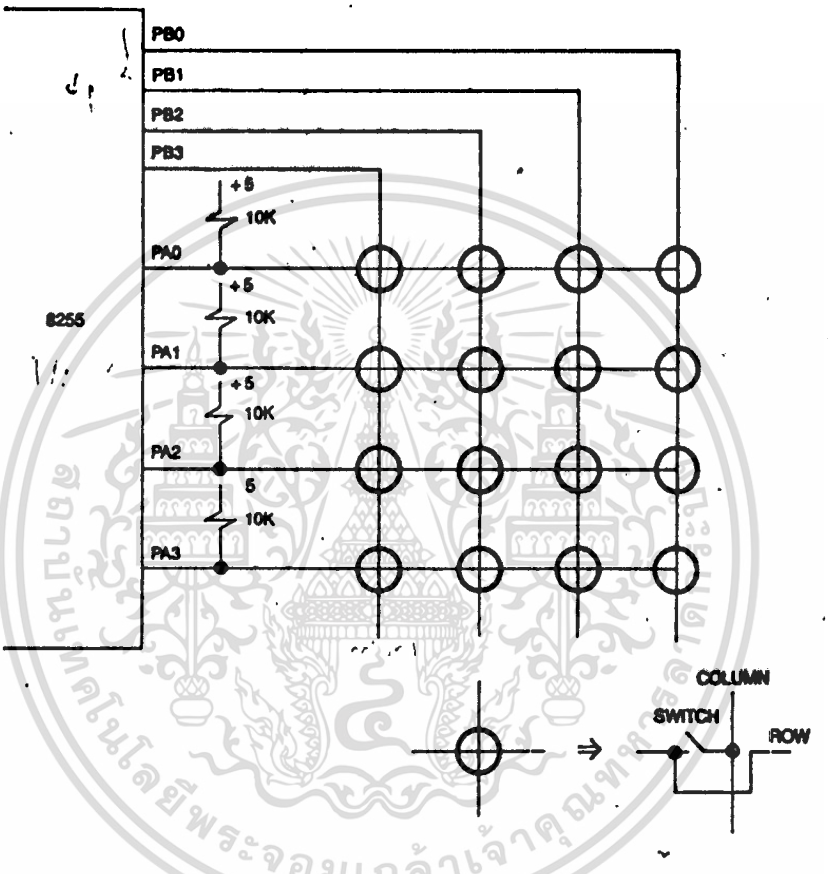


รูปที่ 7 แสดงลักษณะต่างๆในการใช้งานในโหมด 0

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตัวอย่างการใช้งาน 8255 ในโหมด 0

ตัวอย่างที่จะกล่าวถึงนี้เป็นการเชื่อมต่อ (INTERFACE) คีย์บอร์ดเข้ากับระบบของ Z80 ไมโครโปรเซสเซอร์ คีย์บอร์ดที่เราจะพิจารณาถึงนี้ประกอบด้วยสวิทช์แบบกดติดปล่อยดับ SPST (SINGLE POLE, SINGLE THROW) จัดอยู่ในลักษณะของแมททริกซ์ (MATRIX) ขนาด 4x4 ดังแสดงในรูป 8 เราจะมาพิจารณารายละเอียดของการทำงานดังต่อไปนี้



รูปที่ 8 แผนผังแสดงการต่อ 8255 เข้ากับคีย์บอร์ดขนาด 16 คีย์

โดยนำเอา PB0-PB3 ของพอร์ท B ซึ่งเป็นพอร์ทเอาท์พุท ไปต่อเข้ากับแนวคอลัมน์ (COLUMN) ของคีย์บอร์ด และนำเอา PA0-PA3 ของพอร์ท A ซึ่งเป็นมอร์ทอินพุทต่อเข้ากับแนวโรว (ROW) ของคีย์บอร์ด และทุกๆบิทของพอร์ท A ที่ต่อเข้ากับแนวโรวจะต้องต่อความต้านทานขนาด 10K กับไปบวกไว้ (pull up)ในการตรวจสอบการกดคีย์บอร์ดของเรานี้จะให้พอร์ท B สแกนลอจิก "0" ที่ละบิทดังนี้

xxxx1110 -> xxxx1101 -> xxxx1011-> xxxx0111 -> xxxx1110 ->...

ก่อนที่จะมีการเปลี่ยนค่าข้อมูลเอาท์พุทของพอร์ท B พอร์ท A ก็จะทำการอ่านข้อ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

มูลเข้ามาถ้าไม่มีการกดคีย์บอร์ดแล้วคดค่าที่ได้จากการอ่านจากพอร์ท A จะมี 4 บิทล่าง (PA0-PA3) เป็นลอจิก "1" หมด ทั้งนี้เพราะมีความต้านทานดึงขึ้นไฟบวกอยู่แต่ถ้ามีการกดคีย์บอร์ดคีย์ใดคีย์หนึ่งแล้วข้อมูลที่อ่านได้จะไม่มีค่าเป็น "1" หมด จะต้องมีบิทใดบิทหนึ่งมีลอจิกเป็น "0" ทั้งนี้เพราะสวิทช์ที่ถูกกดจะทำให้โรว (ROW) กับคอลัมน์ (COLUMN) แตะกัน ในขณะที่พอร์ท B สแกนลอจิก"0" มาถึง คอลัมน์ของสวิทช์ที่ถูกกดจะทำให้โรวที่ถูกกดมีลอจิกเป็น"0"ด้วย เราจะทราบว่าคีย์ใดถูกกดโดยการตรวจสอบว่าบิทใดของพอร์ท B และของพอร์ท A มีลอจิกเป็น "0"

รูปที่ 9 แสดงโปรแกรมการอ่านข้อมูลจากคีย์บอร์ดตามที่ได้อธิบายไว้แล้วข้างต้น อย่างไรก็ตามโปรแกรมนี้ยังไม่สามารถนำไปใช้งานได้จริง ต้องเพิ่มโปรแกรมการตรวจสอบการกดคีย์บอร์ดค้าง การหน่วงเวลาเพื่อไม่ให้เกิดการผิดพลาดในการอ่านข้อมูลเข้ามาอีก เป็นต้น

```
;
;*************************************************************
;
;    PROGRAM FOR DETECTING A KEY PRESS ON THE HARDWARE
;    SHOWN IN FIGURE 6.8
;
;*************************************************************
;
;  PORT B IS THE OUTPUT PORT
;  PORT A AND C ARE THE INPUT PORTS
;
;*************************************************************
;
0010            PORTA   EQU  10H
0011            PORTB   EQU  11H
0012            PORTC   EQU  12H
0013            CONP    EQU  13H
0099            CONWD   EQU  99H
;
1800                    CODE 1800H
;
1800   3E99             LD A,CONWD
1802   D313             OUT (CONP),A     ;SET UP THE 8255
;
1804   0E11             LD C,PORTB       ;CREG = PORTB ADD
;
1806   06FE     COL     LD B,0FEH        ;COLUMN 0 ACTIVE
1808   ED41     COL1    OUT (C),B        ;ASSERT ACTIVE COLUMN
180A   DB10             IN A,(PORTA)     ;READ THE ROWS---?
180C   2F               CPL              ;COMPLIMENT INPUT WORD
180D   E60F             AND 0FH          ;MASK OFF UNUSED BITS
180F   FE00             CP 00H           ;ANY BITS = 1?
1811   C21F18           JP NZ,KEYIN      ;IF YES THEN KEY PUSHED
1814   CB00             RLC B            ;SHIFT B LEFT, NEXT COL ACTIVE
1816   78               LD A,B
1817   FEEF             CP 0EFH          ;CHECK FOR LAST COLUMN ACTIVE
1819   C20818           JP NZ,COL1       ;NOT LAST, ASSERT NEXT COLUMN
181C   C30618           JP COL           ;LAST, ASSERT FIRST COLUMN
;
;  HANDLE A KEY PRESSED, NEED COLUMN AND ROW
;
181F   4F       KEYIN   LD C,A           ;ROW POS = 1 IN C REG
1820   78               LD A,H           ;COLUMN POS IN A REG
1821   2F               CPL              ;INVERT POS BYTE
1822   E60F             AND 0FH          ;UNUSED BITS = 0
1824   C9               RET
;
;  RETURN FROM ROUTINE WITH
;  A REG = COLUMN POS, 1 IN ACTIVE COLUMN BIT
;  C REG = ROW POS, 1 IN ACTIVE ROW BIT
;
;
                        END
```

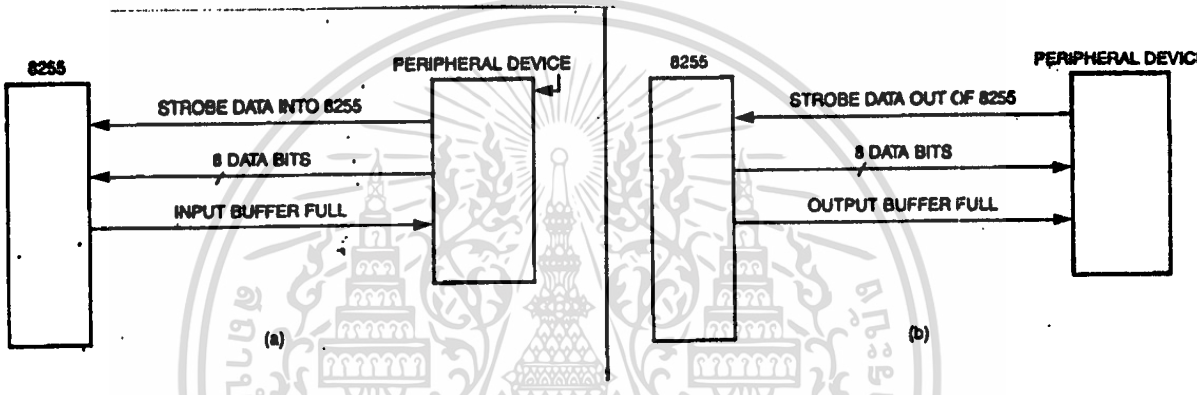
รูปที่ 9 แสดงโปรแกรมการตรวจสอบการกดคีย์บอร์ดตามวงจรในรูป 8

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การใช้งาน 8255 ในโหมด 1.

การทำงานของ 8255 ในโหมด 1 นี้เป็นการทำงานในลักษณะของการ HANDSHSKE พอร์ท A และพอร์ท B จะเป็นพอร์ทข้อมูล ส่วนพอร์ท C นี้จะถูกใช้เป็นสัญญาณ HANDSHSKE โดย 4 บิทบนจะเป็นสัญญาณ HANDSHAKE ให้กับพอร์ท A และ 4 บิทล่างจะเป็นสัญญาณ HANDSHAKE ให้กับพอร์ท B

หลักการรับส่งข้อมูลในวิธีการของ HANDSHAKE นี้ คือการให้อุปการณ์ภายนอกส่งสัญญาณแสดงสภาวะความพร้อมให้กับ 8255 ดังแสดงในรูป 10



รูปที่ 10 บล็อกไดอะแกรมแสดงลักษณะการทำงานของการติดต่อระหว่าง 8255 กับอุปกรณ์ภายนอกในลักษณะ HANDSHAKE.

ในรูป 10A นี้ข้อมูลจะถูกส่งออกจากอุปกรณ์ภายนอกเข้าสู่ 8255 ก่อนที่อุปกรภายนอกจะเขียนข้อมูลให้แก่ 8255 จะต้องมีการตรวจสอบ INPUT BUFFER RULL FLAG เสียก่อน ถ้า FLAG นี้เป็นจริงแสดงว่าข้อมูลในบัฟเฟอร์ 8255 นี้ยังไม่ถูกอ่านโดย Z80 คือข้อมูลจากอุปการณ์ภายนอกส่งข้อมูลให้กับ 8255 แล้ว Z80 ยังไม่ได้อ่านเอาข้อมูลเข้าไป แต่ถ้า FLAG นี้เป็นเท็จแสดงว่า Z80 อ่านข้อมูลออกไปแล้ว อุปกรณ์ภายนอกก็จะเขียนข้อมูลใหม่ให้ 8255 ได้ และเมื่ออุปกรณ์ภายนอกเขียนข้อมูลให้ 8255 แล้ว INPUT BUFFIR FULL ก็จะกลับมาเป็นจริงอีกครั้งหนึ่ง.

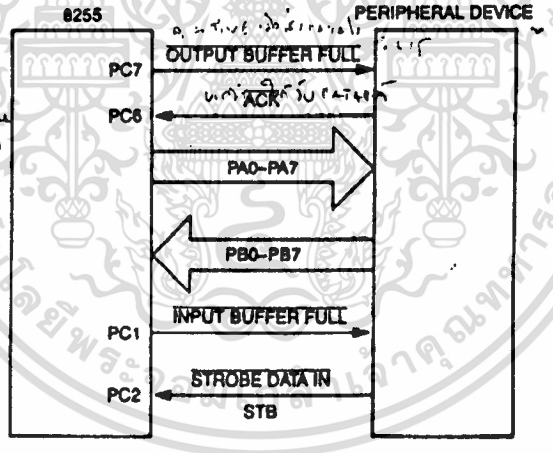
ในรูป 10B 8255 จะทำหน้าที่เป็นตัวส่งข้อมูลให้กับอุปกรณีภายนอกก่อนที่ 8255 จะส่งข้อมูลให้กับอุปกรณีภายนอกนั้นจะต้องเซ็ท OUTPUT BUFFER FULL FLAG เสียก่อนเพื่อ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บ่งบอกให้อุปกรณ์ภายนอกส่งสัญญาณ STROBE รับเอาข้อมูลเข้าไปแล้ว INPUT BUFFER FULL FLAG จะเปลี่ยนเป็นเท็จ เพื่อบ่งบอกให้อุปการณ์ภายนอกรู้ว่าขณะนี้ไม่มีข้อมูลอยู่ใน 8255,Z80 สามารถส่งข้อมูลใหม่ออกไปให้ 8255 ได้.

วิธีการทำ HANDSHAKEนี้มีประโยชน์มากในการณีที่อุปกรณ์ภายนอกทำงานช้ากว่าระบบไมโครโปร่เซสเซอร์ ด้วยวิธีการนี้ไมโครโปรเซสเซอร์สามารถที่จะส่งข้อมูลให้กับ 8255 แล้วไปทำงานอื่นได้ จนกว่าข้อมูลภายใน 8255 ถูกส่งออกไปแล้ว Z80 ไมโครโปรเซสเซอร์จึงจะส่งข้อมูลใหม่ออกไปให้ ต่อไปนี้เราจะพิจารณารายละเอียดของการทำ HANDSHAKE ของ 8255 เพิ่มขึ้น.

บล็อกไดอะแกรมที่แสดงในรูป 11 นี้ กำหนดให้พอร์ท A เป็นพอร์ทเอาท์พุท และพอร์ท B เป็นพอร์ทอินพุท(ซึ่งอาจจะอยู่ในลักษณะอื่นๆก็ได้) เพื่อให้ 8255 ทำงานในลักษณะดังกล่าวจะต้องส่งคำสั่งควบคุมให้แก่ 8255 ดังนี้ 10100110B หรือ 0A3H.



รูปที่ 11 แสดงบล็อกไดอะแกรมของ 8255 ที่ให้พอร์ท A เป็นพอร์ทเอาท์พุทและพอร์ทอินพุทในลักษณะ HANDSHAKE.

ในรูปนี้ข้อมูลเอาท์พุทจะอยู่บนขา PA0-PA7 ของ 8255, OUTPUT BUFFER FULL อยู่ที่ PC7, สัญญาณ ACKNOWLEDGE จากอุปกรณ์ภายนอกจะอยู่ที่ PC6, ข้อมูลอินพุทอยู่ที่ PB0-PB7,INPUT BUFFER FULL อยู่ที่ PC1 และสัญญาณ STROBE เพื่อให้

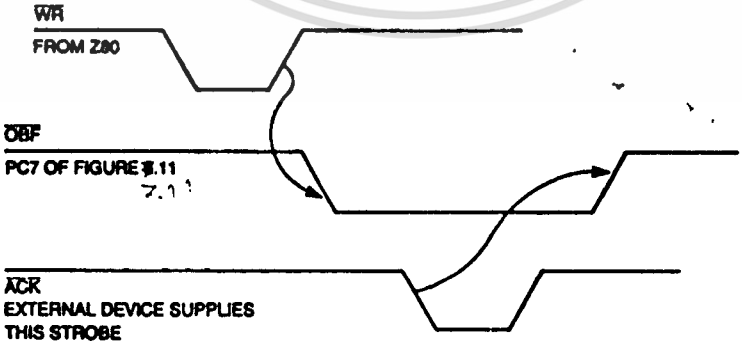
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

8255 รับเอาข้อมูลเข้าไปอยู่ที่ PC2 รูปที่ 12 แสดงรายละเอียดของแต่ละบิทของพอร์ท C ในขณะที่ 8255 ทำงานในโหมด 1.

	OUT	IN
PC0	INTRB	INTRB
PC1	IBFB	$\overline{OBF}$B
PC2	$\overline{STB}$B	$\overline{ACK}$B
PC3	INTRA	INTRA
PC4	$\overline{STB}$A	I/O
PC5	IBFA	I/O
PC6	I/O	$\overline{ACK}$A
PC7	I/O	$\overline{OBF}$A

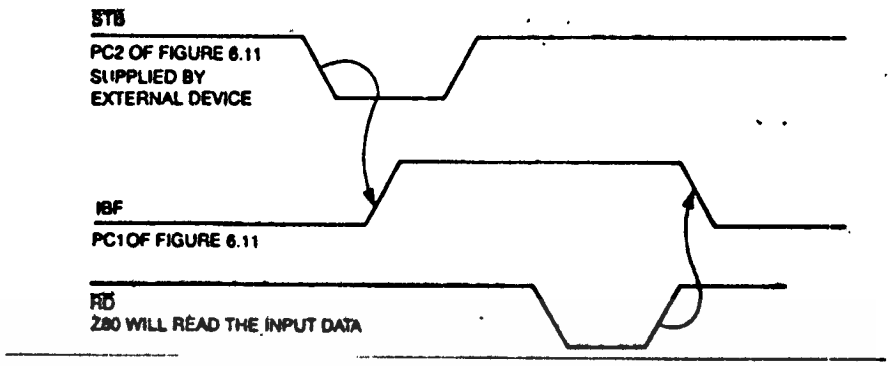
รูปที่ 12 แสดงรายละเอียดและหน้าที่ของแต่ละขาของพอร์ท C ในโหมด 1.

ต่อไปเราจะพิจารณาซอฟท์แวร์ที่ทำให้ 8255 ทำงานในลักษณะดังกล่าวในวิธีการของเรานี้จะไม่ใช้การอินเทอร์รัพท์แต่จะให้ 8255 มาคอยตรวจสอบสถานะของพอร์ท C แทนรูป 13A และ 13B นี้แสดงไดอะแกรมเวลาที่เกิดขึ้นขณะการรับส่งในขบวนการ HANDSHAKE.



รูปที่ 13A แสดงไดอะแกรมเวลาของการส่งผ่านข้อมูลจากพอร์ท A ไปยังอุปกรณ์ภายนอก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

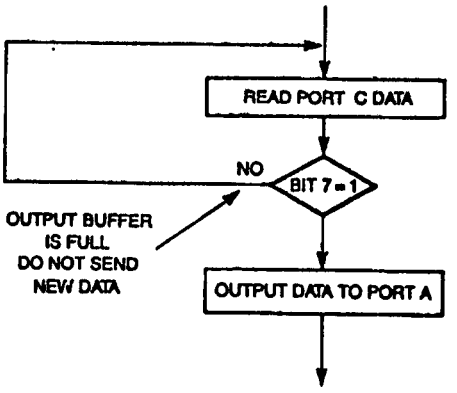


รูปที่ 13B แสดงไดอะแกรมเวลาของสัญญาณที่เกิดขึ้น ขณะส่งผ่านจากอุปกรณ์ภายนอกเข้าสู่ 8255.

ในการส่งข้อมูลไปยังอุปกรณ์ภายนอก 8255 จะต้องตรวจสอบ OUTPUT BUFFER FULL (PC7) ว่ามีค่าลอจิกเป็น "1" หรือไม่ ซึ่งทำได้โดยการอ่านข้อมูลเข้ามาทางพอร์ท C โดยใช้คำสั่ง INPUT ถ้าบิท D7 ของพอร์ท C มีค่าลอจิกเป็น "1" ก็จะแสดงว่าอุปกรณ์ภายนอกได้รับเอาข้อจาก 8255 ไปแล้ว และ Z80 จะสามารถส่งข้อมูลใหม่ให้ 8255 ได้ แต่ถ้าบิท D7 ของพอร์ท C มีลอจิกเป็น "0" จะแสดงว่าข้อมูลที่อยู่ใน 8255 ยังไม่ถูกอุปกรณ์ภายนอกอ่านออกไป Z80 จะไม่ส่งข้อมูลใหม่ออกไป จนกว่าบิท D7 ของพอร์ท C เปลี่ยนจากลอจิก "0" เป็น "1"

ในขณะที่บิท D7 ของพอร์ท C มีลอจิกเป็น "0" อุปกรณ์ภายนอกจะรับเอาข้อมูลจาก 8255 โดยการส่งสัญญาณ STROBE ACKให้กับบิท D6 ของพอร์ท C นี้จะเปลี่ยนระดับลอจิกจาก "0" เป็น "1" ดังรูปที่ 14 แสดงโฟลว์ชาร์ตของการทำงานดังกล่าว และรูป 15 แสดงโปรแกรมการทำงานดังกล่าว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 14 โฟลว์ชาร์ตแสดงขบวนการส่งข้อมูลออกไปยังพอร์ท A และใช้ 4 บิทบนของพอร์ท C เป็นสัญญาณ HANDSHAKE

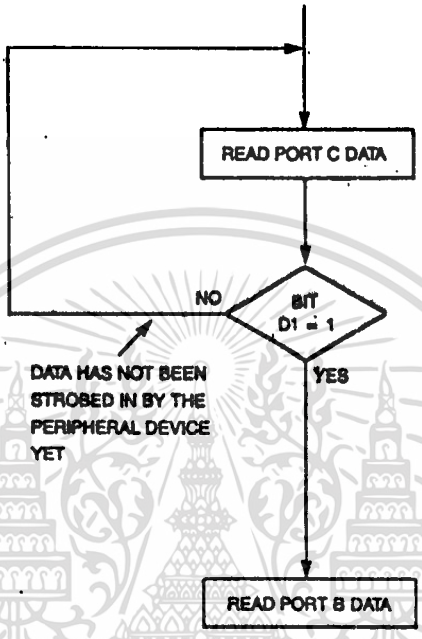
```
24E8                ODATA   EQU  24E8H      ;ADDRESS OF OUTPUT DATA
;
;
1800                        CODE 1800H
;
1800 DB12           BACK    IN A,(12H)      ;READ PORT C DATA
1802 CB7F                   BIT 7,A         ;TEST BIT 7 = 1
1804 CA0018                 JP Z,BACK       ;NOT =1, KEEP READING PORT C
1807 3AE824                 LD A,(ODATA)    ;GET OUTPUT DATA IN A REG
180A D310                   OUT (10H),A     ;OUTPUT DATA TO PORT A
180C C9                     RET
                            END
```

รูปที่ 15 แสดงโปรแกรมที่ลอดคล้องกับโฟลว์ชาร์ตในรูป 14

ต่อไปเราจะศึกษาว่า Z80 จะอ่านข้อมูลจากอุปกรณ์ภายนอกโดยขบวนการ HANDSHAKE ร่วมกับ 8255 ได้อย่างไร ก่อนที่ Z80 จะรับข้อมูลจากพอร์ทอินพุทเข้ามาได้นั้นจะต้องไปอ่านข้อมูลจากพอร์ท C เพื่อตรวจสอบดูว่าบิท D1 มีลอจิกเป็นอะไร ถ้ามีลอจิกเป็น "1" แสดงว่าอุปกรณ์ภายนอกได้ส่งสัญญาณ STROBE ให้ 8255 รับเอาข้อมูลไปแล้วโดยผ่านสายสัญญาณ $\overline{STB}$ (บิท D2 ของพอร์ท C) Z80 ก็จะสามารถอ่านข้อมูลจากพอร์ทอินพุทโดยใช้คำสั่ง IN เวลานี้ INPUT BUFFER FULL (บิท D1 ของพอร์ท C) จะเปลี่ยนลอจิกเป็น "0" เพื่อบอกให้อุปกรณ์ภายนอกรู้ว่า 8255 พร้อมที่จะรับข้อมูล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ใหม่แล้ว รูป 16 แสดงโฟลว์ชาร์ตของขบวนการต่างๆดังกล่าว และสามารถเขียนโปรแกรมได้ดังรูป 17



รูปที่ 16 โฟลว์ชาร์ตแสดงขบวนการอ่านข้อมูลจากอุปกรณ์ภายนอกเข้ามายังพอร์ท B โดยใช้ 4 บิทล่างของพอร์ท C เป็น HANDSHAKE

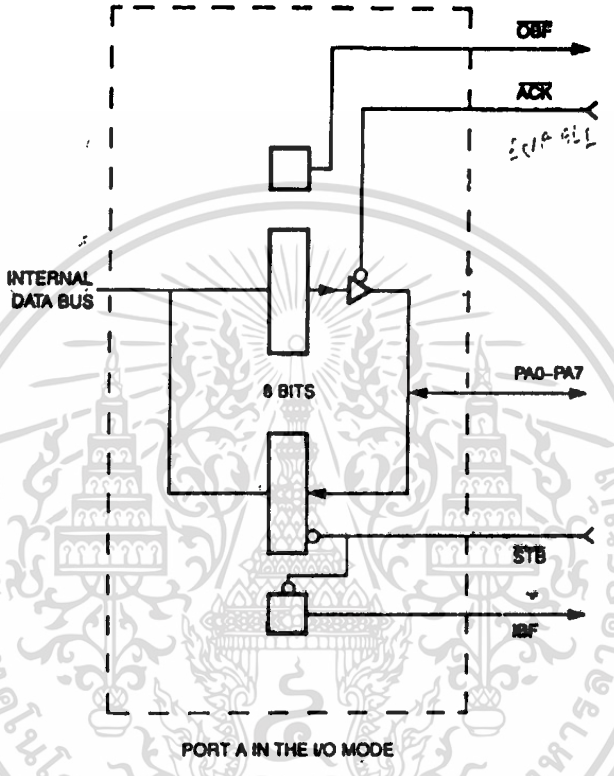
```
;
;
1800  DB12      BACK    IN A,(12H)      ;READ PORT C
1802  CB4F              BIT 1,A         ;TEST BIT 1= 1
1804  CA0018            JP Z,BACK       ;DATA NOT STROBED IN YET
1807  DB11              IN A,(11H)      ;DATA READY READ IT
1809  C9                RET
                        END
```

รูปที่ 17 แสดงโปรแกรมที่สอดคล้องกับโฟลว์ชาร์ตในรูป 16

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การใช้งาน 8255 ในโหมด 2

การทำงานของ 8255 ในโหมด 2 นี้จะเป็นการใช้งานในลักษณะที่ให้พอร์ท A เป็นพอร์ทข้อมูลแบบสองทิศทาง เมื่อ 8255 ถูกโปรแกรมให้พอร์ท A อยู่ในโหมด 2 นี้แล้วพอร์ท A จะมีลักษณะการทำงานตามบล็อกไดอะแกรมรูปที่ 18



รูปที่ 18 บล็อกไดอะแกรมแสดงการทำงานของพอร์ท A ในโหมด 2

การทำงานในโหมดนี้ก็คือ การใช้พอร์ท A เป็นอินพุทและเอาท์พุทแลทช์ เอาท์พุทแลทช์ (OUTPUT LATCH) หมายถึง การเก็บเอาข้อมูลไว้เพื่อรออุปกรณ์ภายนอกรับเอาข้อมูลออกไป ส่วนอินพุทแลทช์ (INPUT LATCH) หมายถึง การเก็บข้อมูลที่อุปกรณ์ภายนอกส่งเข้ามาเพื่อรอให้ CPU อ่านเข้าไป ต่อไปเราจะพิจารณาการทำงานของบล็อกไดอะแกรมดังรูป 18 และศึกษาว่าจะมีการรับหรือส่งข้อมูลกับอุปกรณ์ภายนอกได้อย่างไร

ในการส่งข้อมูลให้กับอุปกรณ์ภายนอกนั้น ขั้นตอนแรกที่เกิดขึ้นก็คือ CPU จะต้องส่งข้อมูลไปแลทช์ไว้ในพอร์ท A ซึ่งจะทำให้ OUTPUT BUFFER FULL (OBF) ถูกเซ็ทให้เป็น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จริง สัญญาณนี้จะบอกให้อุปกรณ์ภายนอกรู้ว่าขณะนี้พอร์ท A ที่ส่งไปให้นั้นยังไม่ถูกอุปกรณ์ภายนอกอ่านออกไป อุปกรณ์ภายนอกจะต้องส่งสัญญาณ $\overline{ACK}$ (ACKNOWLEDGE) ให้กับ 8255 สัญญาณนี้จะเป็นการ ENABLE ให้ข้อมูลที่อยู่ในพอร์ท A ส่งออกไปยัง PA0-PA7 และเป็นการรีเซ็ท OBF เพื่อเป็นการบ่งบอกให้ CPU รู้ว่าข้อมูลที่อยู่ภายในพอร์ท A ถูกอุปกรณ์ภายนอกอ่านออกไปแล้ว และสามารถส่งข้อมูลใหม่ไปให้พอร์ท A ได้อีก

ในการรับข้อมูลจากอุปกรณ์ภายนอกนั้น อุปกรณ์ภายนอกต้องตรวจสอบสถานะของ INPUT BUFFER FULL ($\overline{IBF}$) เสียก่อน ถ้า $\overline{IBF}$ มีลอจิกเป็น "1" แสดงว่าขณะนี้พอร์ท A มีข้อมูลอยู่ CPU ยังไปได้อ่านข้อมูลเข้าไป แต่ถ้ามีลอจิกเป็น "0" แสดงว่าไม่มีข้อมูลอยู่ในพอร์ท A อุปกรณ์ภายนอกจะส่งข้อมูลและสัญญาณ STROBE ($\overline{STB}$) ให้ 8255 สัญญาณนี้จะสั่งให้มีการนำข้อมูลไปแลทช์ไว้ในพอร์ท A และเซ็ทให้ $\overline{IBF}$ มีสถานะเป็นจริง และ CPU จะตรวจสอบสถานะของ $\overline{IBF}$ ได้โดยการอ่านข้อมูลจากพอร์ท C เมื่อ $\overline{IBF}$ มีสถานะเป็นจริงแสดงว่ามีข้อมูลที่พร้อมที่จะให้ CPU อ่าวออกไป เมื่อ CPU อ่านข้อมูลออกไปแล้ว $\overline{IBF}$ จะมีสถานะลอจิกเป็น "0" และอุปกรณ์ภายนอกสามารถส่งข้อมูลใหม่เข้ามาได้

ในการใช้งานในโหมด 2 นี้พอร์ท C จะเป็นตัวแสดงสภาวะของสัญญาณดังกล่าวและรายละเอียดของแต่ละบิทจะแสดงดังรูป 19

PORT C LINE	DEFINITION
PC0	I/O
PC1	I/O
PC2	I/O
PC3	INTRA
PC4	$\overline{STB}$A
PC5	IBFA
PC6	$\overline{ACK}$A
PC7	$\overline{OBF}$A

รูปที่ 19 แสดงรายละเอียดของแต่ละขาของพอร์ท C ในการใช้งานในโหมด 2

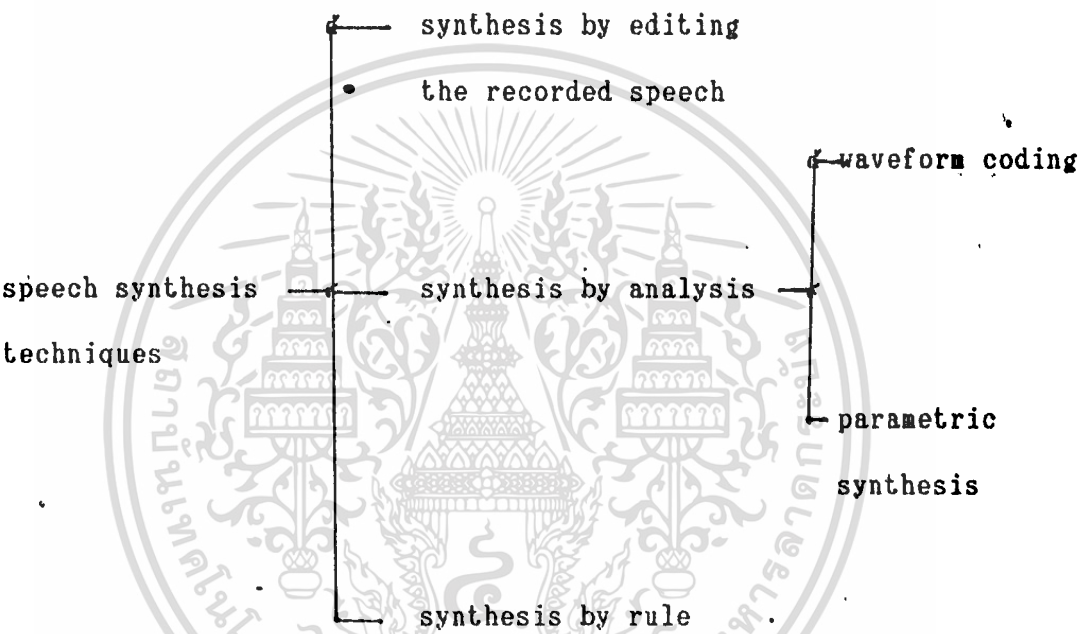
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5

หลักการสังเคราะห์เสียง

เทคนิคการสังเคราะห์เสียง

เทคนิคการสังเคราะห์เสียงพูดสามารถแบ่งออกได้เป็น 3 กลุ่ม แสดงดังรูปที่ 1 คือ การสังเคราะห์ด้วยการบันทึกเสียง (Synthesis by editing the recorded speech) การสังเคราะห์ด้วยการวิเคราะห์ (Synthesis by analysis) และการสังเคราะห์ด้วยวิธีธรรมชาติ (Synthesis by rule)



รูปที่ 1 เทคนิคต่างๆในการสังเคราะห์เสียง

กรรมวิธีในการสังเคราะห์พูด

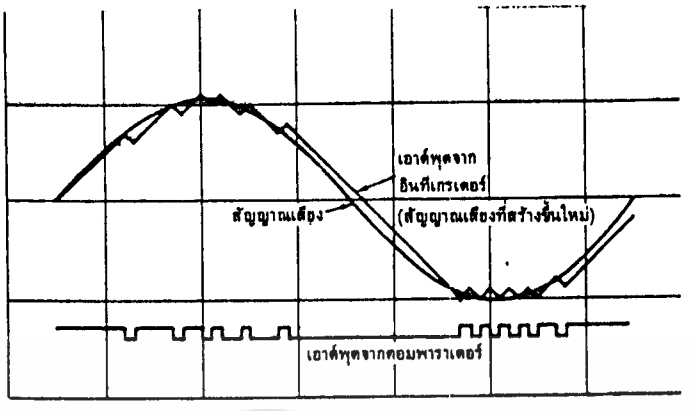
การบันทึกเสียงสำหรับการนำกลับมาใช้ใหม่โดยวิธีการทางด้านดิจิตอล ทำให้ไม่จำเป็นต้องใช้กลไกเคลื่อนไหวใดๆ ดังเช่นแบบเดิม แต่จะใช้อุปกรณ์หน่วยความจำเก็บข้อมูลเสียงแทน เทคนิคการบันทึกเสียงด้วยระบบดิจิตอล มีด้วยกันหลายวิธี ในที่นี้จะกล่าวถึงเดลต้ามอดูเลชั่น (Delta Modulation)

เดลต้ามอดูเลชั่น (Delta Modulation)

เทคนิคของเดลต้า มอดูเลชั่นจะไม่ใช้การสุ่มสัญญาณหนึ่งจุด แล้วแปลงเป็นข้อมูลดิจิตอลหนึ่งเวิร์ดที่มีความละเอียดเป็นจำนวนบิทที่ต้องการ แต่จะใช้วิธีการเปรียบ

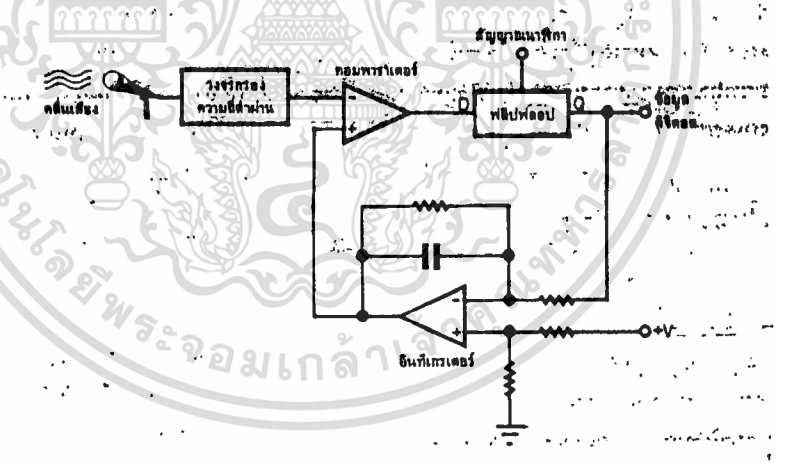
เอกสารนี้เป็นลิขสิทธิ์ของจุฬาลงกรณ์มหาวิทยาลัย ไม่อนุญาตให้นำไปใช้เพื่อการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เทียบความสูงหรือการเปลี่ยนแปลงของสัญญาณเสียงแทน



รูปที่ 2 เปรียบเทียบสัญญาณ input กับข้อมูลที่ได้สัญญาณ analog จาก integrator

ข้อมูลที่ได้คือ ทิศทางของการเปลี่ยนแปลงซึ่งมีเพียง "ขึ้น" หรือ "ลง" เท่านั้น ดังนั้นความกว้างของข้อมูลดิจิตอลจึงใช้เพียงบิทเดียวก็เพียงพอ ข้อดีของวิธีการ เดลต้า มอดูเลชั่น ก็คือใช้หน่วยความจำน้อยกว่าวิธีแบบอื่นๆ



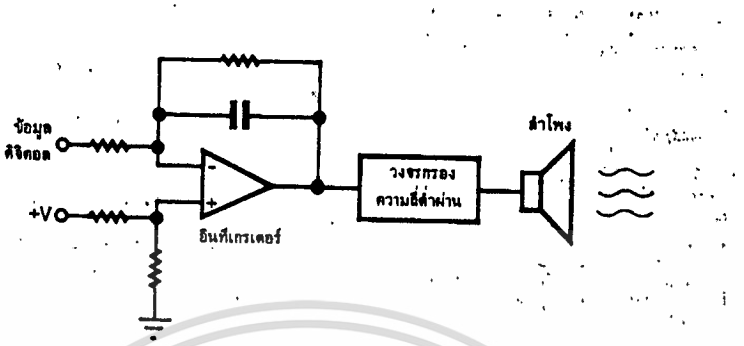
รูปที่ 3 วงจรเบื้องต้นของเดลต้า มอดูเลชั่นในส่วนของการแปลงสัญญาณเสียงเป็นดิจิตอล

รูปที่ 3 เป็นวงจรเบื้องต้นของเดลต้า มอดูเลชั่น Comparator จะทำหน้าที่เปรียบเทียบสัญญาณอินพุทปัจจุบันกับสัญญาณอินพุทก่อนหน้า ซึ่งได้จากการป้อนกลับมายังอินทิเกรเตอร์ Output จากการเปรียบเทียบถูกป้อนผ่าน Flip-Flop ที่ควบคุมด้วยสัญญาณนาฬิกาเพื่อให้ได้เป็นข้อมูลดิจิตอล ซึ่งก็คือ การกำหนดอัตราการสุ่มสัญญาณนั่นเอง

สัญญาณที่ได้จาก Comparator และจากอินทิเกรเตอร์ เปรียบเทียบกับสัญญาณอินพุท แสดงดังรูปที่ 2 จะพบว่ายิ่งความถี่ของสัญญาณนาฬิกาที่มีค่าสูงก็ยิ่งสามารถบันทึกการเปลี่ยน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แปลงที่แคบได้มากขึ้น ทำให้ได้คุณภาพเสียงที่ดีขึ้นแต่ก็สิ้นเปลืองหน่วยความจำมากขึ้นตามไปด้วย ความถี่เท่าใดจึงจะเพียงพอคงต้องใช้การทดลองโดยการนำเอาดาต้าพุตที่เป็นข้อมูลดิจิตอลผ่านวงจรแปลงกลับในรูปที่ 4



รูปที่ 4 วงจรที่ใช้แปลงกลับจากข้อมูลดิจิตอลเป็นสัญญาณเสียง

แล้วฟังเสียงที่ได้ หากฟังเป็นภาษามนุษย์รู้เรื่องก็ใช้ที่ค่านั้น สำหรับเสียงพูดคุณภาพเทียบเท่าเสียงจากโทรศัพท์ซึ่งมีแถบกว้างประมาณ 4KHz ก็ใช้เพียง 16KHz แต่ที่ความถี่ต่ำถึง 9.6KHz ก็ยังฟังรู้เรื่องความถี่นี้จะเป็นตัวกำหนดอัตราเร็วข้อมูล (bit rate) ซึ่งที่ 16 KHz ก็เท่ากับ 1600 บิตต่อวินาที

CVSD

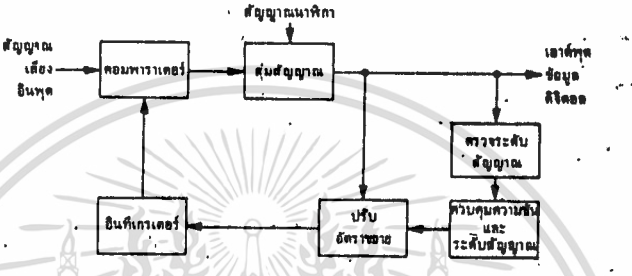
ข้อจำกัดของวิธีการเดลต้า มอดูเลชั่นก็คือ แถบกว้างความถี่ใช้งาน ซึ่งถูกจำกัดโดยความถี่สัญญาณนาฬิกาใช้งาน และจะสูงกว่าความถี่สูงสุดของสัญญาณอินพุตมากกว่า 2 เท่าขึ้นไป อีกอันหนึ่งคือความเร็วของการเปลี่ยนแปลงความสูงของสัญญาณ หรือ ไดนามิกเรนจ์ ระบบเดลต้า มอดูเลชั่นธรรมดามีค่าไดนามิกเรนจ์ที่แคบ จำเป็นต้องมีส่วนเพิ่มเติมทำหน้าที่ขยายไดนามิกเรนจ์ให้กว้าง โดยการควบคุมอัตราขยายของอินทิเกรเตอร์ เพื่อให้ตอบสนองต่อสัญญาณที่มีความชันมากๆ ได้ทัน ระบบนี้มีชื่อเรียกใหม่ว่า ระบบเดลต้ามอดูเลชั่นแบบเปลี่ยนแปลงความชันต่อเนื่อง หรือ CVSD (continuous varuable slope delta modulation)

ระบบ CVSD ทั้งส่วนแปลงจากอะนาลอกเป็นดิจิตอลและส่วนแปลงกลับจากดิจิตอลเป็นอะนาลอก แสดงในรูปที่ 5 และ 6 ตามลำดับ วิธีการของ CVSD ก็คือมีการตรวจระดับสัญญาณโดยอาจใช้วิธีการจัดให้มีรีจิสเตอร์สำหรับเก็บข้อมูลดิจิตอลล่าสุดจำนวน 3 ถึง

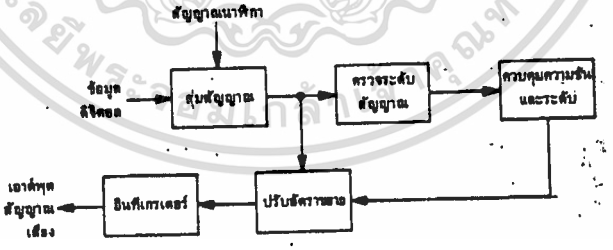
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4 บิต แล้วตรวจดูว่าเป็น "0" หมดหรือ "1" หมดหรือไม่ ถ้าใช่แสดงว่าขณะนี้อัตราขยายของอินทิเกรเตอร์ต่ำเกินไป ตอบสนองต่อความชันของสัญญาณไม่ทัน ก็จะทำการเพิ่มอัตราขยายให้สูงขึ้นเฉพาะในช่วงนั้น

ในส่วนของการแปลงกลับก็จะต้องมีการทำงานในลักษณะเดียวกัน คือมีรีจิสเตอร์ตรวจดูข้อมูลว่าเป็น "0" หมด หรือ "1" หมดหรือไม่ แล้วจัดการควบคุมอัตราขยายของอินทิเกรเตออร์ให้สอดคล้องกัน



รูปที่ 5 แผนผังการทำงานระบบ CVSD ในส่วนของการแปลงจากสัญญาณเสียงเป็นข้อมูลดิจิตอล



รูปที่ 6 แผนผังการทำงานของระบบ CVSD ในส่วนแปลงกลับจากดิจิตอลเป็นสัญญาณเสียง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 6 การออกแบบ

วงจรตรวจจับสัญญาณกระดิ่ง

วงจรตรวจจับสัญญาณกระดิ่ง จะใช้หลักการของวงจรบริดจ์เรคติไฟเออร์ (Bridge rectifier) เพื่อแก้ปัญหาการสลับขั้วแรงดันที่เกิดขึ้นบนคู่สาย วงจรบริดจ์จะทำหน้าที่ Rectified สัญญาณที่ถูกส่งมาตามคู่สาย (สัญญาณกระดิ่งมีขนาด 25 Hz 100 V_{p-p}) ให้เป็นสัญญาณไฟฟ้ากระแสตรง จากนั้นจึงนำสัญญาณที่ผ่านการ Rectified ป้อนเข้าสู่ OPTO Couping เพื่อต้องการแยกระบบไฟของคู่สายโทรศัพท์ออกจากวงจรทั้งหมด เพื่อเป็นการป้องกันสัญญาณที่ปนมากับสัญญาณกระดิ่งซึ่งอาจเข้าสู่ระบบได้

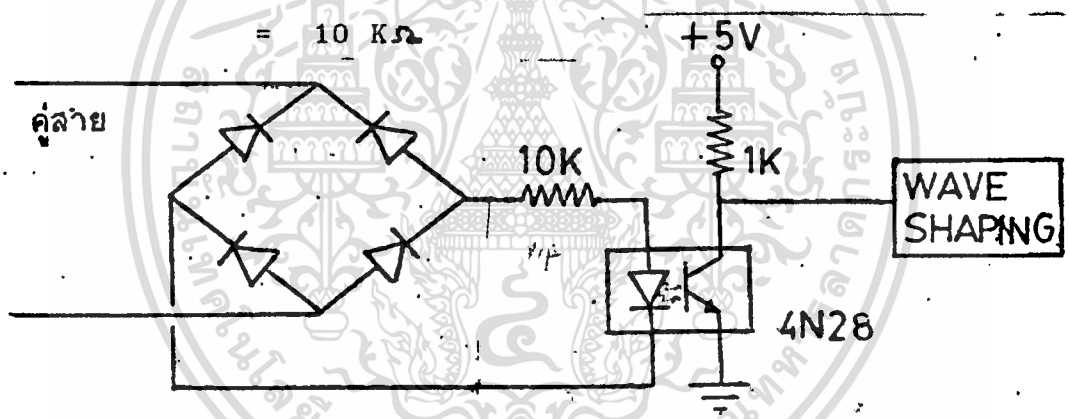
ในการออกแบบขนาดความต้านทานเพื่อจำกัดขนาดำรพแสที่จะไหลผ่าน OPTO Couping คำนวณได้จาก

$$R = V / I = VP / I$$

เลือกกระแสที่ไหลเท่ากับ 5 mA

ดังนั้น $R = 50 / 5\ mA$

$= 10\ K\Omega$



รูปที่ 1 วงจรตรวจจับสัญญาณ

แต่เนื่องจากสัญญาณกระดิ่งมีความถี่ 400 Hz ดังนั้นหลังจากผ่านวงจรบริดจ์เรคติไฟเออร์ (Bridge rectifier) จะเกิด ripple ขึ้นจึงจำเป็นที่จะต้องใส่ capacitor เพื่อทำหน้าที่กรองสัญญาณ (filter) เพราะความต้านทานที่ขา C,E ของทรานซิสเตอร์จะได้มีค่าที่ค่อนข้องนิ่งไม่สั่นตามสัญญาณ ripple ที่เกิดขึ้น

ค่าความต้านทานที่ขา C,E ของ OPTO Transistor จะมีการเปลี่ยนอยู่ 2 ช่วงดังนี้

1. ค่าความต้านทานช่วงที่ไม่มีสัญญาณกระดิ่งมีค่าเท่ากับ 1500 v

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2. ค่าความต้านทานช่วงที่มีสัญญาณกระดิ่งมีค่าเท่ากับ 240 Ω

จะกำหนดให้ช่วงที่ไม่มีสัญญาณกระดิ่งมีแรงดันตกคร่อม (Voltage drop) ที่ขา C, E เท่ากับ 3 โวลท์ และมีค่าความต้านทานที่ขา C,E (R_{CE}) เท่ากับ 1500 Ω

เพราะฉะนั้นความต้านทานที่นำมาต่ออนุกรมจะต้องมีแรงดันตกคร่อม (Voltage drop) เท่ากับ 2 โวลท์

จะได้ $R = (2 \times 1500) / 3$

$= 1\ K\Omega$

ที่ค่าความต้านทานเท่ากับ 1 KΩ ตอนมีสัญญาณกระดิ่งค่าความต้านทานที่ขา C,E ของ OPTO Couping จะตกลงเหลือค่าประมาณ 240 Ω

เพราะฉะนั้น $V_{CE} = (240 \times 5) / 3$

$= 1\ V.$

ดังนั้นในช่วงการ vary voltage ของการตรวจจับสัญญาณกระดิ่งประมาณ 3 โวลท์ถึง 1 โวลท์ ซึ่งเพียงพอที่จะนำไปเป็น Input ให้กับวงจรเปลี่ยนรูปสัญญาณให้เป็นสัญญาณพัลส์โดย IC #555 ได้

<u>วงจรเปลี่ยนรูปสัญญาณ</u>

จากการใช้ OPTO Couping ในวงจรตรวจจับสัญญาณกระดิ่งนั้นไม่สามารถป้อน O/P (OUTPUT) ให้กับวงจรนับ (วงจรนับสัญญาณกระดิ่ง 10 ครั้ง โดย IC 4017) ทำงานได้โดยตรง จำเป็นต้องนำ OUTPUT จากวงจรตรวจจับสัญญาณกระดิ่งผ่านวงจรเปลี่ยนรูปสัญญาณก่อน ซึ่งใช้ IC #555 ทำหน้าที่เป็นวงจรโมโนสเตเบิ้ล (Monostable)

โดยการทำงานของ IC 555 วงจรจะถูกทริกตรงช่วงขอบลงของสัญญาณพัลส์ (ช่วงที่สัญญาณพัลส์เปลี่ยนระดับจาก 1 ไป 0) เมื่อระดับสัญญาณน้อยกว่า 1/3 ของ V_{cc}

ระดับสัญญาณ $= (1 \times 5) / 3$

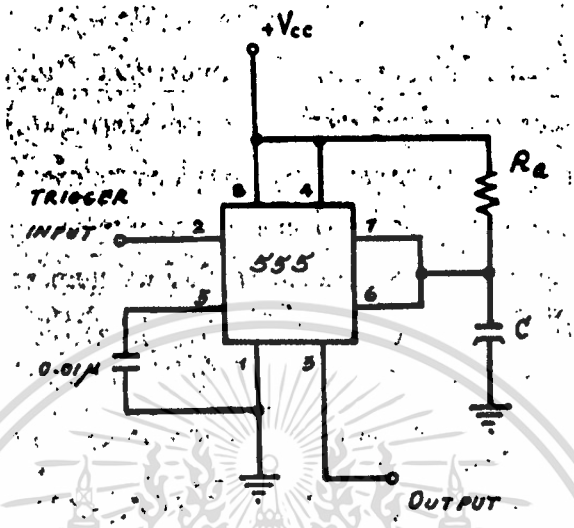
$= 1.667$ Volt

ซึ่ง OUTPUT ของวงจรตรวจจับสัญญาณกระดิ่งจะ vary จาก 3 โวลท์ไป 1 โวลท์ ดังนั้นในช่วงที่โวลท์เตจตกลงเป็น 1 Volt IC 555 จะทำงานให้ OUTPUT กลายเป็น 1 และจะยังคงค้างอยู่ในสภาวะ 1 จนกว่าจะครบกำหนดเวลาที่ตั้งไว้ ถึงแม้ช่วงนี้จะมีสัญญาณทริกเข้ามาอีกก็จะไม่มีผลต่อการทำงานของวงจร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรโมโนสเตเบิ้ล มัลติไวเบรเตอร์ (Monostable multibrator)

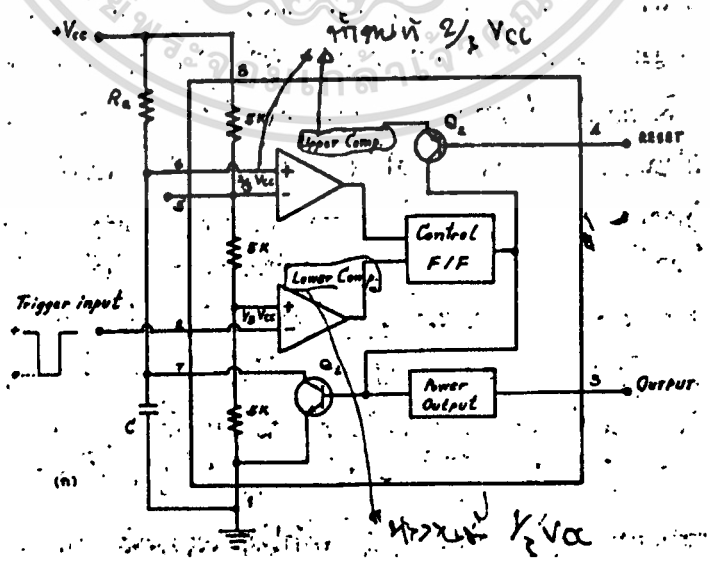
หลักการทำงานของวงจรโมโนสเตเบิ้ล มัลติไวเบรเตอร์ หรือ วงจรวันช็อตต์ มัลติไวเบรเตอร์ ซึ่งประกอบขึ้นจากไทม์เมอร์ไอซีเบอร์ 555 ดังแสดงในวงจร รูปที่ 1



รูปที่ 1 แสดงวงจรโมโนสเตเบิ้ลแบบง่ายๆของไอซีเบอร์ 555

การทำงานของวงจร

การทำงานของวงจรโมโนสเตเบิ้ล มัลติไวเบรเตอร์ของวงจรรูปที่ 1 อาจพิจารณาได้ง่ายๆ โดยใช้รูปที่ 2



รูปที่ 2 แสดงส่วนต่างๆ ภายในของไอซีเบอร์ 555

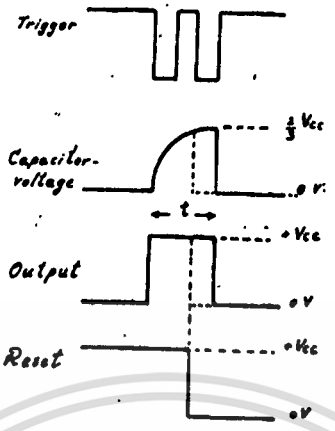
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ซึ่งเป็นสภาพแผนผังภายในของไอซี และอยู่ในภาวะพร้อมที่จะทำงานส่วนของ Control filp-flop จะทำงานให้ทรานซิสเตอร์ Q_1 อยู่ในภาวะ ON ดังนั้นตัวเก็บประจุ C ที่ต่ออยู่ภายนอกจะถูกลัดวงจรไว้ด้วยทรานซิสเตอร์ Q_1 นี้ และที่ขา 3 ซึ่งเป็นเอาท์พุทของวงจรจะมีศักย์เท่ากับจุดดิน หรือกราวน์ดซึ่งเป็นระดับศักย์ต่ำ(low level) ตัวต้านทาน 3 ตัวภายในไอซีซึ่งมีค่า 5Kv จะทำหน้าที่เป็นตัวแบ่งแรงดัน (Voltage divider) โดยแบ่งแรงดัน V_{cc} ออกเป็น $2/3*V_{cc}$ และ $1/3*V_{cc}$ ตามลำดับ แรงดันทั้งสองนี้จะมีส่วนในการกำหนดช่วงเวลาของพัลส์ที่เอาท์พุท

ดังนั้นที่ขั้วบวกด้านอินพุทของ Lower comparator จะได้รับแรงดันเท่ากับ $1/3\ V_{cc}$ เมื่อที่ขา 2 ของไอซีซึ่งเป็นขั้วลบด้านอินพุทของ Lower comparator นี้ได้รับสัญญาณทริกเกอร์ ซึ่งเป็นพัลส์แบบลบ (Negative pulse) เข้ามาและมีขนาดสูงกว่าค่า $1/3\ V_{cc}$ แล้ว lower comparator จะทำให้ส่วน control flip-flop มีสถานะที่เอาท์พุทเปลี่ยนไปเป็นตรงข้าม ดังนั้นจึงมีผลให้มรานซิสเตอร์ Q_1 เปลี่ยนเป็นสภาพคัทออฟ (cut off) ตัวเก็บประจุ C ซึ่งบางทีเรียกว่า timing capacitor จึงถูกเปิดวงจรออก, ที่ขา 3 ซึ่งเป็นเอาท์พุทของวงจรจึงมีศักย์ระดับสูง(high level) และอาจประมาณว่าเท่ากับค่า V_{cc} ในขณะที่ทรานซิสเตอร์ Q_1 อยู่ในภาวะคัทออฟ ตัวเก็บประจุ C จะเริ่มสะสมประจุ ทำให้มีแรงดันตกคร่อมเพิ่มขึ้นอย่างเอกโปเนนเชียล และมุ่งไปสู่ค่า V_{cc} โดยใช้เวลาเท่ากับค่าเวลาคงที่ของ R_A C และในช่วงเวลาหนึ่งซึ่งแรงดันตกคร่อมตัวเก็บประจุ C นี้มีค่าเท่ากับ $2/3\ V_{cc}$ จะทำให้ส่วนของวงจร flip-flop เปลี่ยนสถานะ ผลที่ติดตามมาก็คือทรานซิสเตอร์ Q_1 จะกลับสู่สภาวะ ON อีกครั้งหนึ่ง ตัวเก็บประจุ C ก็จะคายประจุออกโดยผ่าน Q_1 ทำให้แรงดันตกคร่อมลดลงอย่างรวดเร็วสู่ค่าแรงดันที่จุดกราวน์ด และดังนั้นที่ขา 3 ซึ่งเป็นเอาท์พุทของวงจรก็จะมีศักย์ระดับต่ำอีกครั้งหนึ่ง (low level) ซึ่งประมาณได้ว่ามีค่าเท่ากับศักย์ที่จุดกราวน์ด

การทำงานของวงจรดังกล่าวนี้จะทำให้ได้พัลส์รูปสี่เหลี่ยม (Rectangular wave form) ออกมาที่เอาท์พุทของไอซีในแต่ละครั้งที่มีการทริกเกอร์ด้วยสัญญาณพัลส์จากภายนอก และสัญญาณทริกเกอร์แต่ละสัญญาณต้องมีช่วงเวลาห่างกันไม่น้อยกว่าขนาดความกว้างของพัลส์ที่เอาท์พุท การเปลี่ยนแปลงของแรงดันที่ตำแหน่งต่าง ๆ ขณะที่เวลาเปลี่ยนไป เขียนแสดงและเปรียบเทียบได้ ดังในรูปที่ 3 สมการการเก็บ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3 แสดงการเปรียบเทียบแรงดันที่จุดต่าง ๆ ในวงจร

ประจุของตัว C เขียนได้ดังนี้คือ

$$V_c = V_{cc}(1-e^{-t/R_a C}) \qquad (2.1)$$

ช่วงเวลาที่ใช้สำหรับการเก็บประจุของตัว C เพื่อให้มีแรงดันตกคร่อมเป็น 2/3 V_{cc} สามารถหาได้จากสมการ (2.2) โดยพิจารณาจาก

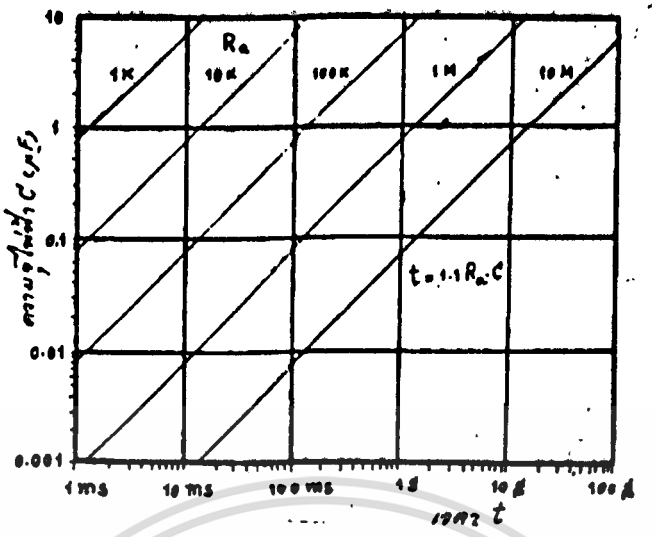
$$2/3\ V_{cc} = V_{cc}(1-e^{-t/R_a C})$$

ดังนั้น $t = -R_a C \log_e (1/3)$

หรือ $t = 1.1\ R_a C$ วินาที (2.2)

นั่นก็คือช่วงเวลาที่เอาท์พุทของไอซี (ขา 3) จะมีศักย์ในระดับสูงได้จะมีค่าเท่ากับ 1.1 $R_a C$ วินาที หรือก็คือช่วงเวลาที่ปรากฏพัลส์ที่เอาท์พุทนั่นเอง จากสมการที่ 2.2 เมื่อค่า R_a และ C เปลี่ยนไปแต่ละค่าจะทำให้ได้ช่วงเวลา t(Time delay) ค่าต่าง ๆ ซึ่งเขียนแสดงได้ด้วยกราฟดังในรูปที่ 4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



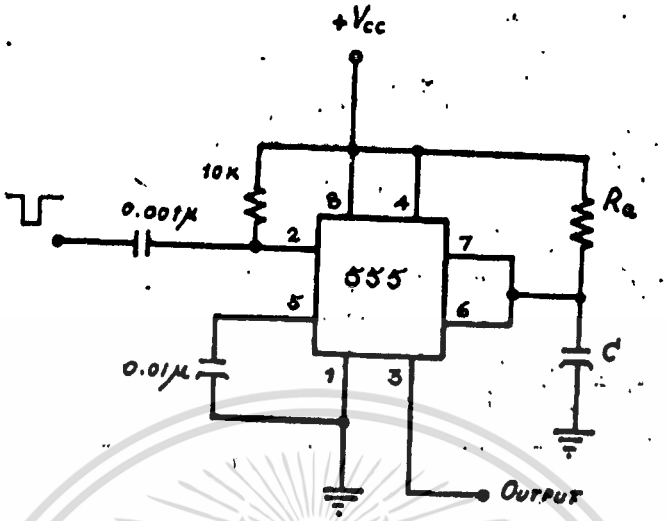
รูปที่ 4 กราฟแสดงช่วงเวลา time delays ค่าต่างๆของวงจรซึ่งขึ้นอยู่กับค่า R_A และ C

ในกรณีที่สัญญาณทริกเกอร์พัลซ์แบบลบถูกป้อนเข้าที่ขา 2 (trigger input) และขา 4(reset terminal) ในเวลาพร้อมกันขณะที่วงจรกำลังทำงาน จะทำให้ตัวเก็บประจุ C ซึ่งเป็น timing capacitor คายประจุอย่างรวดเร็วแรงดันตกคร่อมจะลดลงอย่างทันทีทันใด วงจรจะคืนสู่ภาวะซึ่งพร้อมที่จะทำงานใหม่อีกครั้งหนึ่ง ดังนั้นขา 4 ซึ่งเป็น Reset terminal จึงทำหน้าที่คล้ายกับตัวยับยั้งการทำงานของวงจร เมื่อขา 4 นี้มีแรงดันสูงกว่า 1 โวลต์ วงจรจะทำงานได้อย่างอิสระ แต่เมื่อใดก็ตามที่ขา 4 มีแรงดันต่ำกว่า 0.4 โวลต์ วงจรจะถูกควบคุม และมีผลให้เอาท์พุทมีศักย์ต่ำในทันที ภายหลังจากสัญญาณทริกเกอร์แรกถูกป้อนเข้ามาที่ขา 4 ที่เอาท์พุทของวงจรก็จะมีศักย์ระดับต่ำอยู่ต่อไปจนกว่า สัญญาณทริกเกอร์ใหม่จะถูกป้อนเข้ามาอีก

ในงานที่ไม่จำเป็นต้องใช้ขา 4 จึงควรต่อขา 4 นี้เข้ากับแรงดัน V_{cc} ทั้งนี้เพื่อป้องกันมิให้เกิดมีสัญญาณทริกเกอร์ใด ๆ เข้ามาที่ขา 4 ได้ และสำหรับขาที่ 5 ซึ่งเป็นขา Control voltage การเปลี่ยนแปลงของแรงดันที่ขา 5 นี้จะมีผลทำให้ช่วงเวลาต่าง ๆ เปลี่ยนแปลงไปด้วย และตัวเวลา time delay ของวงจรก็จะไม่เป็นไปตามสมการที่ (2.2) ด้วยดังนั้นในกรณีที่ไม่จำเป็นต้องใช้ขาที่ 5 จึงควรอย่างยิ่งที่จะต่อขา 5 นี้ผ่านตัวเก็บประจุค่าราว 0.01 F ลงที่จุดกราวน์ดทั้งนี้เพื่อป้องกันสัญญาณรบกวนใด ๆ ที่ไม่ต้องการมิให้เขามาได้ ผลการคำนวนค่าความกว้างของพัลซ์ที่เอาท์พุทจึงไม่ผิดพลาด หรือผิดพลาดน้อยที่สุด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในการนำไปใช้งานจริง ๆ วงจรโมโนสเตเบิ้ลดังในรูปที่ 1 อาจถูกปรับปรุงเปลี่ยนแปลงและเพิ่มเติมเล็กต้อยดังแสดงในรูปที่ 5 ทั้งนี้



รูปที่ 5 แสดงวงจรโมโนสเตเบิ้ลอีกแบบหนึ่งของไอซีเบอร์ 555

ก็เพื่อป้องกันมิให้ไอซีเกิดการเสียหาย ในกรณีที่มีการป้อนทริกเกอร์ผิดชนิด โดยเพิ่มตัวเก็บประจุค่า 0.001 F และตัวความต้านทานค่า 10 Kv เข้าไปในวงจร

<u>การชดเชยค่าผิดพลาดของตัวเก็บประจุ</u>

ในวงจรโมโนสเตเบิ้ลแบบง่าย ๆ ดังในรูปที่ 1 การควบคุมค่าความจุของ C ให้มีค่าคงที่แน่นอนตามต้องการนับว่าเป็นเรื่องยากเพราะโดยธรรมชาติแล้วค่าความจุของ C จะมีเปอร์เซนต์ของการผิดพลาดอยู่เสมอ ดังนั้นการออกแบบวงจรโมโนสเตเบิ้ลเพื่อฟลิตพัลซ์ที่มีช่วงความกว้างของพัลซ์คงที่ค่าใด ๆ จึงทำได้ไม่ง่ายนัก

การเปลี่ยนแปลงค่าความกว้างของพัลซ์ที่เอาท์พุทอาจทำได้โดยการเปลี่ยนค่าความต้านทาน R_a ซึ่งเป็น timing resister แต่ไม่สามารถทำได้ทุกค่าเพราะมีขีดจำกัด ดังนั้นจึงมีการปรับปรุงแก้ไขวงจรเสียใหม่โดยสามารถปรับค่าความกว้างของพัลซ์ได้อย่างมีประสิทธิภาพ ดังแสดงในรูปที่ 6 ซึ่งตัวความต้านทาน R_1 ที่สามารถปรับค่าได้นี้สามารถชดเชยค่าผิดพลาดของตัวเก็บประจุได้ถึง +- 13% จากสมการของตัวเก็บประจุของ C ค่าแรงดันที่ตกคร่อมตัว C เขียนได้ดังนี้

$$V_c = V_{cc}(1 - e^{-t/R_a C}) \qquad (2.3)$$

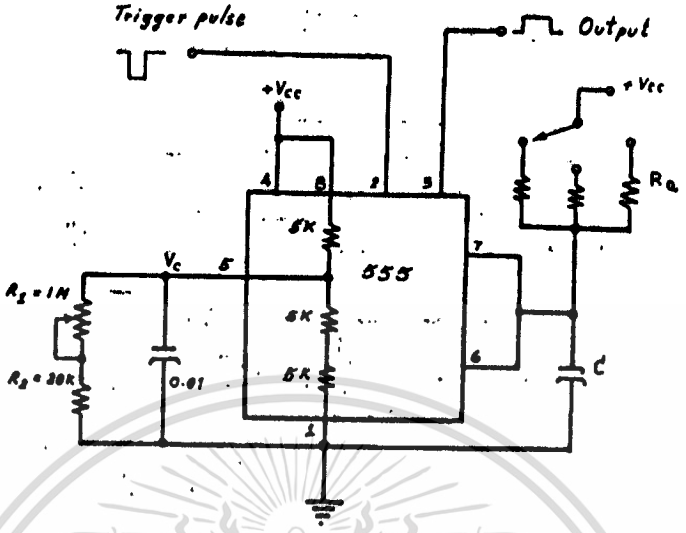
หรือ

$$t = -R_a * C * \log_e(1 - V_c/V_{cc}) \qquad (2.4)$$

จากสมการที่ (2.4) จะเห็นว่าในกรณีที่ R_a และ C มีค่าคงที่ค่าหนึ่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ความกว้างของพัลซ์ที่เอาท์พุท t จะขึ้นอยู่กับอัตราส่วนของ V_c/V_{cc} การเปลี่ยนแปลงอัตราส่วนนี้ทำได้



รูปที่ 6 แสดงวงจรโมโนสเตเบิ้ล ซึ่งถูกปรับปรุงและแก้ไขให้ดีขึ้น

โดยการปรับค่าความต้านทาน R_1 ในวงจรรูปที่ 6

$$Vc/Vcc = Rp/(Rp+5K)$$

โดยที่ R_p คือค่าความต้านทานรวมของ R_1+R_2 และขนานอยู่กับความความต้านทาน 10 Kv ภายในตัวไอซี หรือ $R_p = (10Kv)(R_1+R_2)/(10Kv+R_1+R_2)$

เมื่อค่า R_1+R_2 ถูกปรับให้มีค่าต่ำสุดเป็น 20 Kv แล้ว

$$R_p = (10\ Kv)\ (20\ Kv)/(10Kv+20K) = 200/30 = 6.7\ Kv$$

และดังนั้น $Vc/Vcc = 6.7/(6.7+5) = 0.57$

ความกว้างของพัลซ์ที่เอาท์พุท จึงถูกพิจารณาได้ว่าจะมีค่าต่ำสุดโดย

$$t\ ต่ำสุด = -R_a\ C\ \log_e\ (1-0.57)$$

$$= 0.85\ R_a\ C$$

และในทำนองเดียวกันถ้าหากค่า R_1+R_2 ถูกปรับให้มีค่าสูงสุดเป็น 1.02 M แล้ว

$$R_p = (10\ Kv)(1.02\ Mv)/10Kv + 1.02\ Mv$$

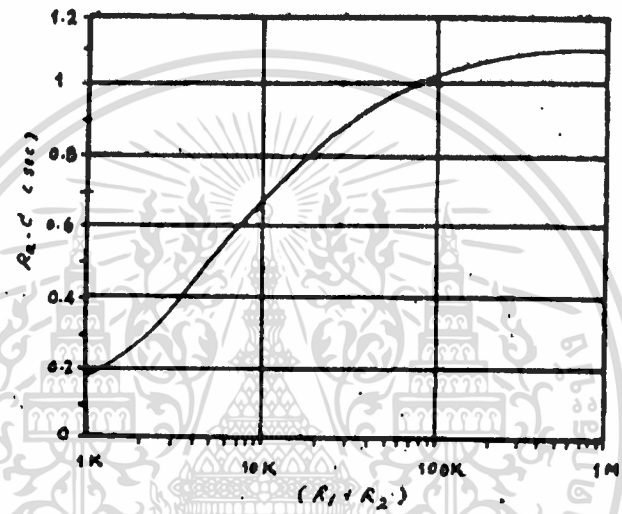
และดังนั้น $Vc/Vcc = (10\ Kv)\ (1.02\ Mv)/10\ Kv + 1.02\ Mv + 5Kv$

ความกว้างของพัลซ์ที่เอาท์พุท จึงถูกพิจารณาได้ว่ามีค่าสูงสุดโดย

$$t\ สูงสุด = 1.1\ R_a\ C$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดังนั้นจะเห็นได้ว่าการเปลี่ยนแปลงค่าของ R_1 จะสามารถเปลี่ยนแปลงค่าความกว้างของพัลซ์ที่เอาท์พุทได้ถึง +- 13% จากค่าปกติปานกลาง 0.98 R_2 C นั่นก็คือถ้าหากค่าความจุไฟฟ้า C หรือค่าความต้านทาน R_2 ในวงจรรูปที่ 6 เปลี่ยนแปลงไป +- 13% เราก็สามารถปรับค่า R_1 เพื่อชดเชยการเปลี่ยนแปลงหรือผิดพลาดนั้นได้เป็นอย่างดี ในกรณีที่ต้องการชดเชยการเปลี่ยนแปลงให้มากกว่านี้ก็ทำได้โดยการลดค่า R_2 ให้น้อยลงผลการเปลี่ยนแปลงความกว้างความของพัลซ์ที่เกิดจากการปรับค่าความต้านทาน R_1 แสดงด้วยกราฟดังในรูปที่ 7



รูปที่ 7 แสดงความสัมพันธ์ของ (R_1+R_2) และค่า R_2C

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การออกแบบ

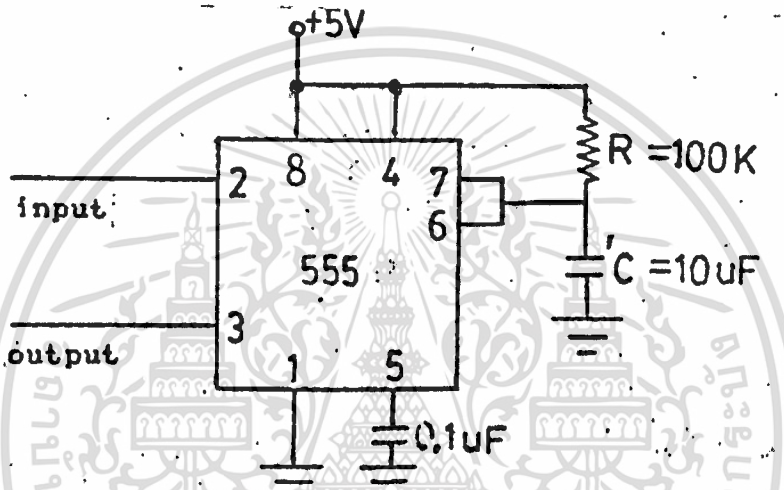
จะให้วงจรโมโนสเตเบิ้ล (Monostable) หน่วงเวลา 1 วินาที เพราะกริ่งโทรศัพท์ดังหนึ่งครั้งจะดังนาน 1 วินาที และหยุด 4 วินาที โดยสมการที่ใช้ในการออกแบบมีดังนี้

$$T = 1.1\ RC$$

$$T = 1\ Sec\ ,\ C = 10\ uF$$

$$R = 90.91\ K\Omega$$

เพราะฉะนั้นเลือก $R = 100\ K\Omega$



รูปที่ 2 วงจรเปลี่ยนรูปสัญญาณ

หมายเหตุ การต่อ C = 0.1 uF ที่ขา 5 เพื่อลดสัญญาณรบกวนความถี่สูงที่อาจปนมากับแหล่งจ่ายไฟ

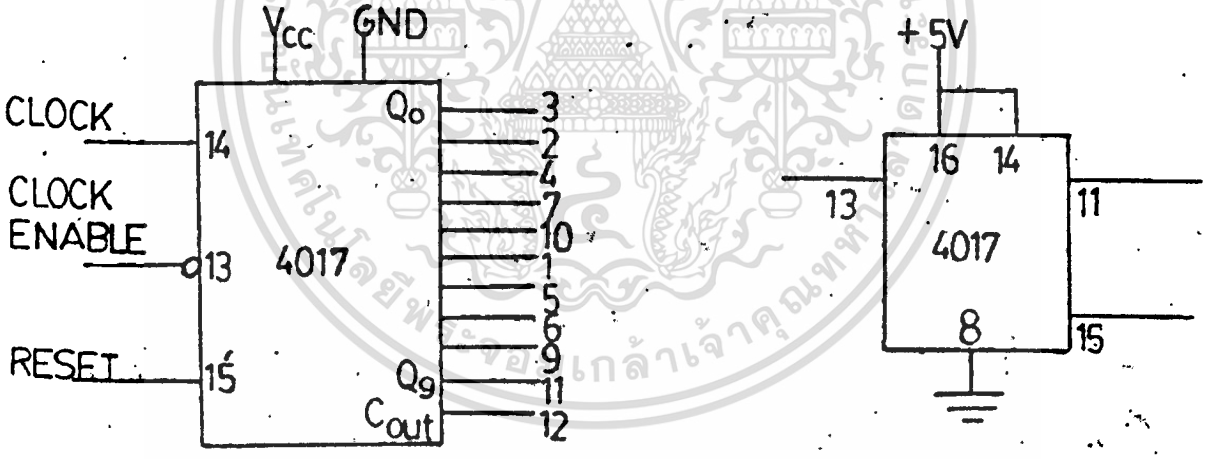
วงจรนับสัญญาณเรียก

วงจรนี้จะเป็นตัวกำหนดการรับสายอัตโนมัติของเครื่อง โดยจะทำการนับสัญญาณเรียกที่ส่งมา ให้มีจำนวนครั้งเท่ากับที่เราตั้งไว้ โดยสามารถนับได้ตั้งแต่ 0 - 9 ในที่นี้จะตั้งไว้ที่9 ส่วนอินพุทของวงจรนับนี้มี 2 ขา คือ ขา clock และขา clock enable เราสามารถเลือกขาใดขาหนึ่งเป็นอินพุทก็ได้อยู่ที่ว่า จะให้ทำงานในช่วงสัญญาณพัลส์ที่เปลี่ยนระดับจาก 1 ไปเป็น 0 หรือช่วงที่เปลี่ยนระดับจาก 0 ไปเป็น 1

จาก Data book ซึ่งกำหนดตารางการทำงานของ IC 4017 ดังต่อไปนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

clock	clock enable	RESET	Decode output	
0	x	0	n	
x	1	0	n	
x	x	1	Q_o	*
↑	0	0	n+1	
↓	x	0	n	
x	↑	0	n	
1	↓	0	n+1	*



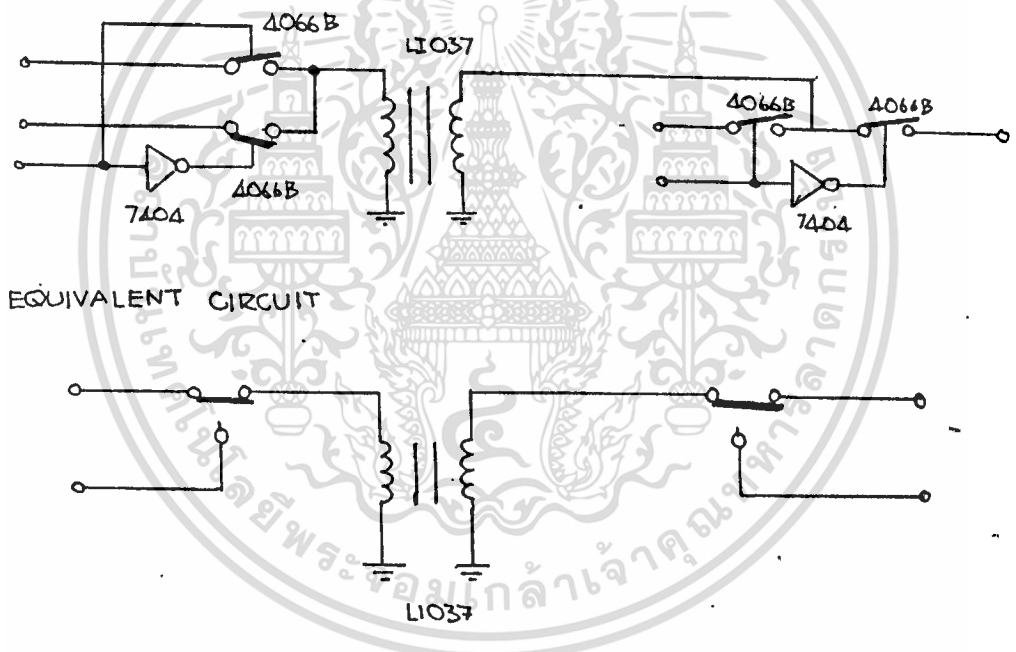
รูปที่ 3 วงจรนับสัญญาณเรียก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากวงจรที่ออกแบบเมื่ออินพุทได้รับสัญญาณพัลส์ 10 ลูก OUTPUT ที่ขา 11 จะเป็น "1" มีค่าแรงดันเท่ากับ 5 โวลท์ (ในช่วงนี้ขา 15 หรือขา RESET ถูกต่อเข้ากับ "1" วงจรจะ RESET การนับแล้วเริ่มนับใหม่

วงจรเลือกข้อมูล (Data selector)

ในการทำงานที่ต้องการการควบคุมการ ปิด-เปิด สวิทช์ซึ่งเป็นสัญญาณอะนาลอก ที่มีขนาดไมสูงมากนัก ไม่จำเป็นต้องใช้รีเลย์ซึ่งจะเป็นการสิ้นเปลืองและไม่เหมาะสมโดยเราสามารถที่จะใช้สวิทช์อิเลคทรอนิคส์แทนได้ โดยเราจะนำมาใช้เป็นวงจรเลือกชนิดของข้อมูลที่จะผ่านซึ่งจำเป็นต้องใช้ Single pdoe double throw (SPDT) ในการเลือกที่จะให้สัญญาณจากวงจรสังเคราะห์เสียงพูดผ่านหรือจะให้ข้อมูลที่บันทึกกับสัญญาณ PLAY ผ่านเราจะใช้สวิทช์อิเลคทรอนิคส์ IC 4066B ทำหน้าที่เป็น SPDT และมีการควบคุมหรือเลือกข้อมูลโดยการป้อนสัญญาณควบคุมเข้าขาควบคุมของสวิทช์อิเลคทรอนิคส์



Single ploe double throw (SPDT)

รูปที่ 6 วงจรเลือกข้อมูล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรตรวจจับสัญญาณโทน

การควบคุมให้ส่วนบันทึกข้อความรับ-ส่งข้อความที่ให้ผู้ใช้ฟังทางโทรศัพท์กระทำโดยการกดปุ่ม 2 หรือปุ่ม 1 หรือปุ่ม 8 ดังที่อธิบายไว้แล้วนั้น ดังนั้นจึงต้องมีวงจรตรวจจับสัญญาณโทนที่ใช้ในการควบคุม ที่ถูกส่งผ่านโทรศัพท์มายังเครื่องโทรศัพท์มัลติสวิทช์ซึ่งว่าเป็นสัญญาณโทนของปุ่มใด สัญญาณโทนจะเป็นสัญญาณรูปซายน์ (Sine) 2 ความถี่มีแอมปลิจูดไม่เท่ากันผสมกันโดย

สัญญาณโทนของปุ่ม 2 เกิดจากการผสมกันของคลื่นความถี่ 699.1Hz กับ 1331.7 Hz
สัญญาณโทนของปุ่ม 0 เกิดจากการผสมกันของคลื่นความถี่ 941 Hz กับ 1336 Hz
สัญญาณโทนของปุ่ม 1 เกิดจากการผสมกันของคลื่นความถี่ 699.1Hz กับ 1215.9 Hz
สัญญาณโทนของปุ่ม 8 เกิดจากการผสมกันของคลื่นความถี่ 847.4Hz กับ 1331.7 Hz

วงจรตรวจจับสัญญาณโทนนี้เราใช้ไอซีเบอร์ MT8870 ซึ่งเป็นไอซีตรวจจับสัญญาณโทนและให้เอาท์พุทออกมาเป็นลอจิก 4 บิทแต่จะมีขาอินพุทจากไอซี 8255 มาต่อกับส่วนนี้ (port c) 4ขาซึ่งเป็นการเพียงพอดังนั้นการเชื่อมขา MT8870 เข้ากับพอร์ทจะต่อผ่านโดยตรงได้เลย

เมื่อ MT8870 จับสัญญาณโทนของปุ่ม 2 ได้เอาท์พุทหมายเลข 0010 โดยมีการเรียงจาก Q4 Q3 Q2 Q1

เมื่อ MT8870 จับสัญญาณโทนของปุ่ม 0 ได้เอาท์พุทหมายเลข 1010 โดยมีการเรียงจาก Q4 Q3 Q2 Q1

เมื่อ MT8870 จับสัญญาณโทนของปุ่ม 1 ได้เอาท์พุทหมายเลข 0001 โดยมีการเรียงจาก Q4 Q3 Q2 Q1

เมื่อ MT8870 จับสัญญาณโทนของปุ่ม 8 ได้เอาท์พุทหมายเลข 1000 โดยมีการเรียงจาก Q4 Q3 Q2 Q1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อไมโครโปรเซสเซอร์อ่านค่าจากไอซี 8255 port c เป็น ****0001 แสดงว่าผู้ใช้กดปุ่ม 1 มาควบคุม

เมื่อไมโครโปรเซสเซอร์อ่านค่าจากไอซี 8255 port c เป็น ****0010 แสดงว่าผู้ใช้กดปุ่ม 2 มาควบคุม

เมื่อไมโครโปรเซสเซอร์อ่านค่าจากไอซี 8255 port c เป็น ****1010 แสดงว่าผู้ใช้กดปุ่ม 0 มาควบคุม

เมื่อไมโครโปรเซสเซอร์อ่านค่าจากไอซี 8255 port c เป็น ****1000 แสดงว่าผู้ใช้กดปุ่ม 8 มาควบคุม
ไอซี MT8870 จะรับสัญญาณโทนมาจาก line คู่สาย โดยผ่าน TRANSFORMER COUPLING

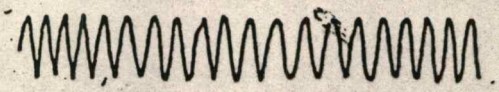
วงจรยกหูและวางหูโทรศัพท์อัตโนมัติ

คำว่ายกหูและวางหูไม่ได้หมายถึงการยกหรือวางหูฟังของเครื่องโทรศัพท์ แต่เป็นการยกหูและวางหูทางไฟฟ้า คือวงจรนี้เป็นสวิทช์ชิ่ง ซึ่งทำหน้าตัดต่อวงจรโทรศัพท์เข้ากับคู่สายโทรศัพท์ โดยนำหน้าสัมผัสของรีเลย์ (Relay) มาตัดต่อวงจรแทนฮุคสวิทช์ โดย หน้าสัมผัสที่ 1 ของรีเลย์จะทำหน้าที่แทนส่วน IC 4017 ที่นับสัญญาณกระดิ่งครบตามที่กำหนด และหน้าสัมผัสที่ 2 ของรีเลย์ จะทำหน้าที่แทนฮุคสวิทช์ เมื่อมีค่า LINE VOLTAGE น้อยกว่า 48 VOLT คือที่จุด E ในวงจร การนำรีเลย์มาใช้งานเช่นนี้ ทำให้เครื่องโทรศัพท์มัลติสวิทชิ่งสามารถทำการยกหูและวางหูได้ด้วยตนเองอย่างอัตโนมัติ วงจรส่วนนี้แสดงดังรูป วงจรรวมของ MSAT

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Standard Tone of an Automatic System

Dial tone (400Hz contineuous)

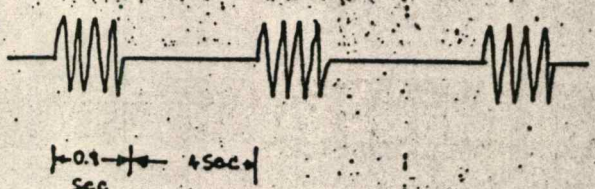


Ringingtone 20Hz 0.4 Sec.on, 02 sec. off.

Busytone 400 Hz 0.5 sec on, 0.5 sec off.

Number Unobtainable Tone 400Hz contineuous.

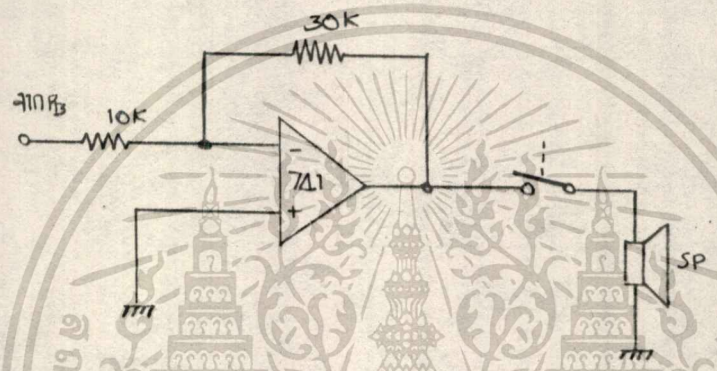
Ring Back Tone 400Hz 0.8 sec on, 4.0 sec off.



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรส่งเสียง

ไมโครโปรเซสเซอร์ จะส่งสัญญาณมาทางพอร์ทเอาท์พุทเป็นสัญญาณรูปสี่เหลี่ยม (Square Wave) ความถี่ 400 HZ โดยมีระยะเวลาในการส่งสัญญาณ 2 Sec และหยุด 3 Sec วงจรนี้จะทำหน้าที่นำสัญญาณดังกล่าวขับ LINE คู่สายโทรศัพท์ วงจรแสดงดังรูป เพื่อบอกให้ผู้ใช้ทราบว่ากำลังมีการส่งสัญญาณการเรียกอยู่ ซึ่งเป็นการนำเอาOp-Amp มาใช้งานในการขยายสัญญาณอินพุท



รูปที่ 5 แสดงวงจรส่งเสียง

วงจรส่วนบันทึกข้อความ

ความต้องการเบื้องต้นสำหรับวงจรนี้คือ การบันทึกข้อความโดยไม่ใช้เครื่องบันทึกเทป แต่จะใช้การเปลี่ยนสัญญาณเสียงให้เป็นสัญญาณดิติจอลเก็บไว้ใน RAM แทน กำหนดระยะเวลาบันทึกข้อความประมาณ 131วินาที โดยจัดให้บันทึกได้ 13 วินาทีต่อการเรียก 1 ครั้ง และสามารถถูกควบคุมให้เริ่มเล่น หยุดและลบข้อความได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หลักการออกแบบ

1. เลือกระบบที่จะแปลงสัญญาณเสียงพูดให้เป็นข้อมูลดิจิตอล

เลือกระบบเดลต้ามอดูเลชั่น เพราะให้จำนวนข้อมูลดิจิตอลต่อการสุ่มสัญญาณ 1 ครั้งเพียง 1 บิทเท่านั้น ซึ่งจะทำให้ประหยัดหน่วยความจำ สร้างวงจรโดยใช้ไอซีเบอร์ MC3417 ซึ่งเป็นไอซี Continuously Variable Slope Delta.Mod & Demodulation (CVSD) เป็นไอซีเดลต้ามอดูเลชั่น ที่มีอัตราขยายปรับตามอัตราการเปลี่ยนแปลงของสัญญาณได้

2. เลือกอัตราการสุ่มสัญญาณ (Sampling Rate)

CCITT กำหนดคุณภาพสัญญาณเสียงของระบบโทรศัพท์ มีค่าความถี่ 300 ถึง 3400 Hz ดังนั้นจะใช้โลว์พาสฟิลเตอร์กรองสัญญาณเสียงให้เหลือ 0 - 3.4 KHz และอัตราการสุ่มสัญญาณตามหลักการจะไม่ต่ำกว่า 2 เท่าของแบนด์วิด (Bandwidth) ของความถี่ใช้งาน ดังนั้นจึงเลือกใช้ความถี่ในการสุ่มสัญญาณหรือสัญญาณนาฬิกาเท่ากับ 8 KHz ก็เพียงพอ ที่จะให้คุณภาพเสียงอยู่ในย่านที่ยอมรับได้ ถ้าใช้ความถี่ในการสุ่มสัญญาณสูงกว่านี้คุณภาพเสียงจะดีขึ้นแต่จะเปลืองเนื้อที่หน่วยความจำ ในเมื่ออัตราการสุ่มสัญญาณเป็น 8 KHz ดังนั้นใน 1 วินาทีก็จะมีการเก็บข้อมูล 8 Kbit

3. เลือกชนิดของหน่วยความจำ

เลือกใช้ไดนามิกแรมเบอร์ 41256 ซึ่งมีขนาดหน่วยความจำ 256 กิโลบิท เหตุที่เลือกใช้ไอซีเบอร์นี้เพราะว่าเป็นไอซีที่มีขนาดหน่วยความจำสูง เก็บข้อมูล 1 บิทต่อ 1 แอดเดรส ซึ่งตรงกับความต้องการพอดี เนื่องจากใช้อัตราการสุ่มสัญญาณ 8 KHz ซึ่ง 1 วินาทีใช้เนื้องที่หน่วยความจำสำหรับเก็บข้อมูล 8 กิโลบิท ดังนั้นไอซีเบอร์ 41256 ซึ่งมีเนื้อที่ 262144 บิท จึงสามารถเก็บข้อมูลเสียงพูดไว้ได้นานเป็นเวลาเท่ากับ

$$262144 / 8x10^{3} = 32.77 \text{ วินาที}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในเมื่อเราต้องการเวลาการบันทึกนาน 131วินาที จึงต้องใช้ 41256 ประมาณ

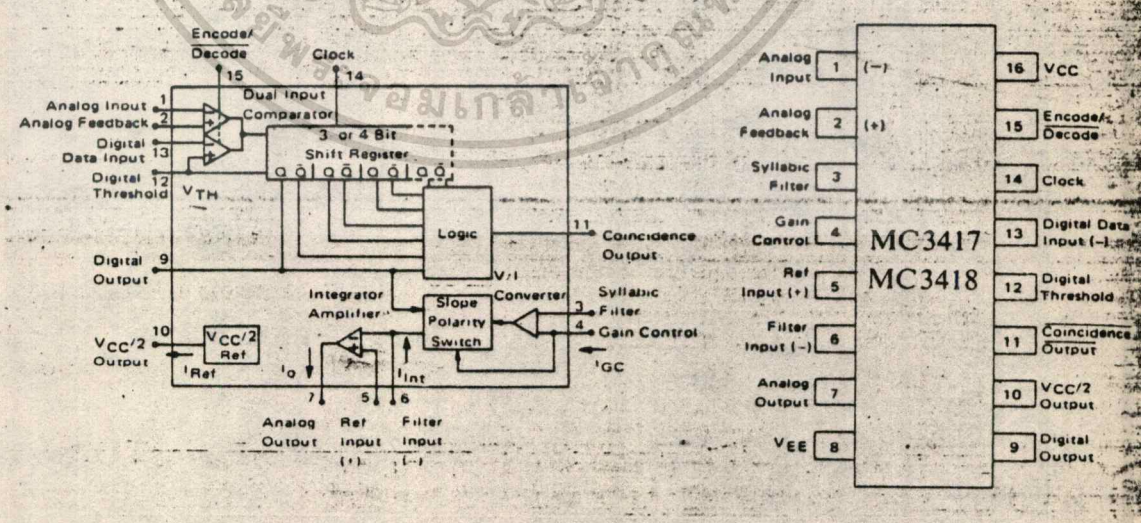
131 / 32.77 = 4 ตัว

เมื่อใช้ CLOCK 16 KHz จะต้องใช้ 8 ตัว

MC3417

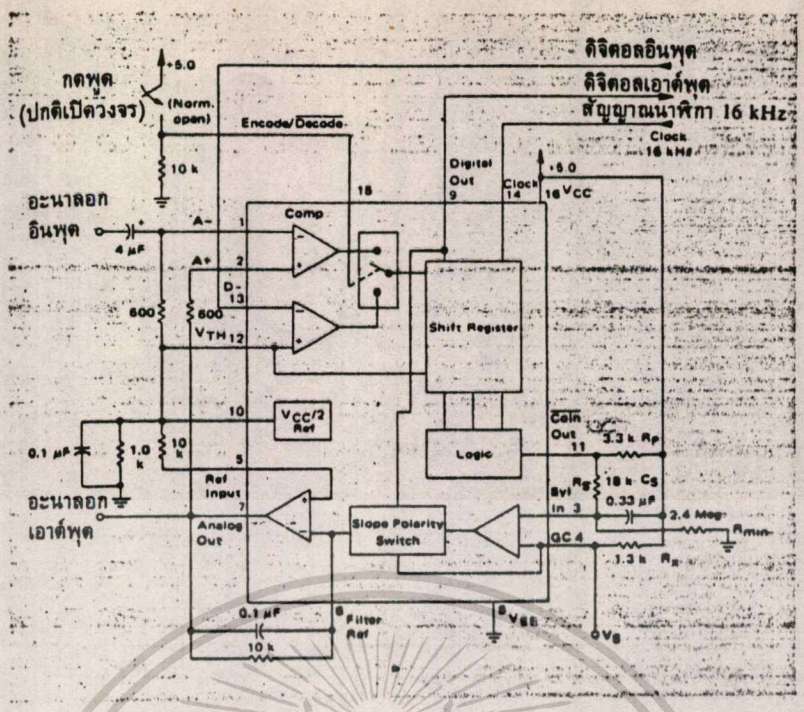
MC3417 และ MC3418 มีชื่อเรียกเต็ม ๆ ว่า continuous variable slope delta modulator/demodulator เป็นไอซีที่ทำหน้าที่แปลงสัญญาณอะนาลอกเป็นข้อมูลดิจิตอลขนาดกว้าง 1 บิต และแปลงจากข้อมูลดิจิตอล 1 บิตนี้กลับเป็นสัญญาณอะนาลอกตามเดิม ข้อมูลดิจิตอลขนาด 1 บิตสามารถส่งไปได้แบบอนุกรมโดยใช้แชลเนลของระบบสื่อสารทั่วไปได้ เช่น ระบบวิทยุ และโทรศัพท์ โดยมีข้อดีคือประสิทธิภาพและความชัดเจนของสัญญาณดีกว่า ทั้งยังป้องกันข่าวสารได้ด้วย

การทำงานของ MC3417 ก็ใช้หลักการของ CVSD ดังที่ได้อธิบายไปแล้ว โครงสร้างภายในมีชิฟต์รีจิสเตอร์อยู่ 1 ชุด สำหรับตรวจระดับสัญญาณและควบคุมอัตราขยายเพื่อเพิ่มไดนามิกเรนจ์ โดย MC3417 ใช้รีจิสเตอร์ขนาด 3 บิต ส่วน MC3418 ใช้รีจิสเตอร์ขนาด 4 บิต ซึ่งให้คุณภาพสัญญาณที่ดีกว่า โครงสร้างวงจรภายในและลักษณะการจัดขาภายนอกแสดงในรูปที่ 7 สำหรับวงจรใช้งานเบื้องต้นแสดงในรูปที่ 8



รูปที่ 7 แสดงโครงสร้างวงจรภายในของ CVSD มอดูเลเตอร์/ดีมอดูเลเตอร์ เบอร์ MC3417,3418 และแสดงการจัดขาภายนอก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



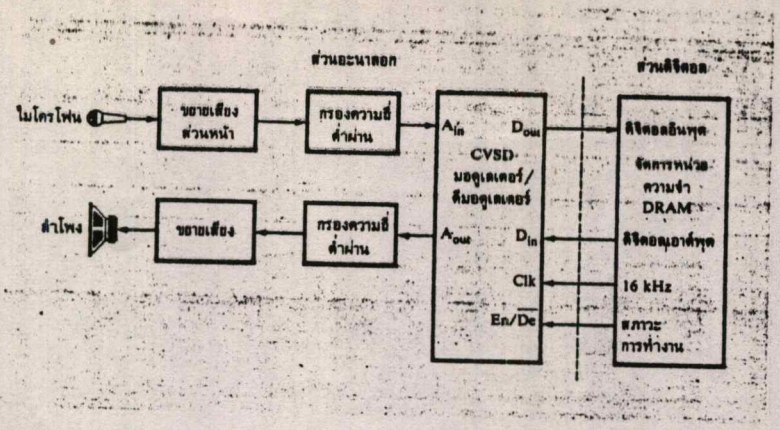
รูปที่ 8 แสดงวงจรใช้งานเบื้องต้นของ MC3417 วงจรนี้เป็นตัวรับส่งเสียงพูดโดยการส่งสัญญาณไปในรูปดิจิตอล คู่ติดต่อก็เป็นวงจรที่เหมือนกันทุกประการ

ในการออกแบบใช้งาน MC3417 และ MC3418 ต้องมีวงจรภายนอกเพิ่มเติมอีกหลายส่วน ซึ่งมีขั้นตอนการพิจารณาอยู่หลายหัวข้อ หารสนใจจะนำมาประยุกต์ใช้งานให้ได้ประสิทธิภาพ ขอแนะนำให้ดูรายละเอียดได้จากคู่มือของโมโตโรล่าชื่อหนังสือ Telecommunicatons Deuice Data ในที่นี้ขอนำวงจรที่ออกแบบไว้แล้วมาใช้งานเลย โดยคำนึงถึงความง่ายของวงจรเป็นหลัก

วงจรที่ต้องเพิ่มเติมนอกเหนือจาก CVSD มอดูเลเตอร์/ดีมอดูเลเตอร์ ก็คือ ภาคขยายส่วนหน้า วงจรกรองความถี่ต่ำผ่าน และภาคขยายส่วนหลังสำหรับขยายเสียงออกลำโพง ในการนำมาทำเครื่องบันทึกเสียงพูดนั้น ข้อมูลดิจิตอลที่ได้แทนที่จะส่งออกไปยังคู่ติดต่อก็จัดการนำไปเขียนลงหน่วยความจำแทนดังแผนผังวงจรในรูปที่ 9 การแปลงกลับก็อ่านข้อมูลดิจิตอลจากหน่วยความจำออกมา ก็เท่านั้นเอง

เนื่องจากเราเลือกใช้หน่วยความจำชนิดไดนามิกเบอร์ 41256 เพราะมีความจุสูงสุดเท่าที่หาได้ขณะนี้ และราคาต่อความจุถูกกว่าหน่วยความจำชนิดอื่นก็เลยไม่เท่านั้นเองเสียแล้ว เพราะต้องมีวงจรจัดการเกี่ยวกับหน่วยความจำ ทั้งการรีเฟรช,มัลติเพล็กซ์แอดเดนว และกำเนิดแอดเดรสเข้ามาอีก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 9 แผนผังวงจรเครื่องบันทึกเสียงพูดแบ่งออกเป็น 2 ส่วนคือ ส่วนจัดการทางด้านสัญญาณอะนาลอก และส่วนดิจิตอลซึ่งเป็นหน่วยความจำและวงจรควบคุม

<u>หน่วยความจำ</u>

หน่วยความจำที่ใช้เป็นไดนามิกแรมขนาด 256Kx1 บิต เบอร์ 41526 จัดขาแอดเดรสโดยวิธีมัลติเพล็กซ์ทางโรว์และคอลัมน์ ต้องการอัตราการรีเฟรชตลอด 256 โรว์ ภายในเวลา 4ms หรือหนึ่งโรว์ทุก ๆ 15.625 s เป็นอย่างช้า

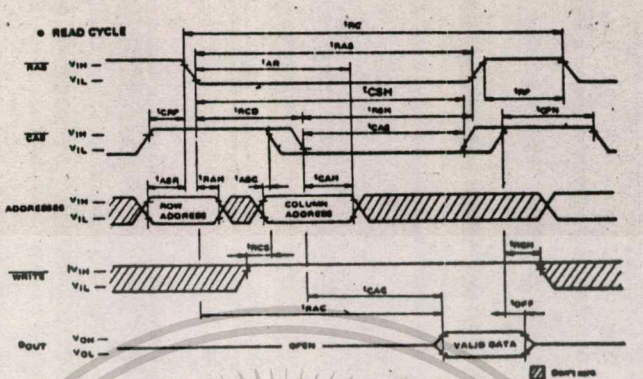
การจัดลำดับเวลาของสัญญาณควบคุมไดนามิกแรมค่อนข้างยุ่งยาก ขอให้ดูรูปแผนภูมิเวลาของการอ่านการเขียนและการรีเฟรช ในรูที่ 10 ซึ่งสามารถอธิบายได้ดังนี้

ในรูป 10 ก. เป็นรอบการอ่านเนื่องจากจำนวนขาแอดเดรสที่ต้องใช้สำหรับเข้าถึงหน่วยความจำขนาด 256K ต้องใช้ถึง 18 เส้น ในขณะที่ตัว 41256 จัดขาแอดเดรสไว้เพียง 9 ขา จึงต้องทำการมัลติเพล็กซ์แอดเดรสเข้าไป 2 ครั้งโดยแบ่งเป็นโรว์แอดเดรส 9 เส้นและคอลัมน์แอดเดรสอีก 9 เส้นมีขาสโตรบ RAS และ CAS เป็นขาควบคุม มีขั้นตอนคือ

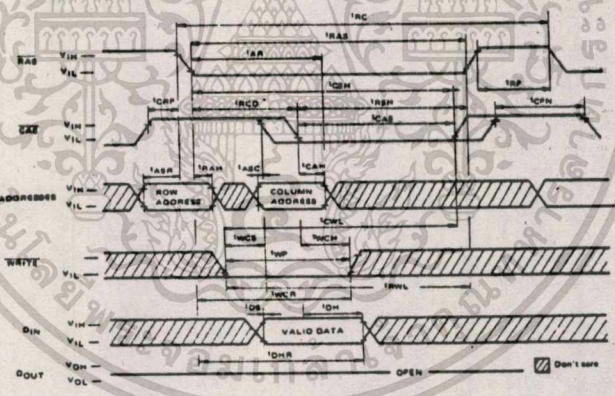
อันดับแรกจะต้องแลตช์เอาแอดเดรส 9 เส้นแรกไว้ภายในแรมก่อนโดยการจัดโรว์แอดเดรสให้กับขาแอดเดรสของแรม แล้วแอกทีฟ RAS ซึ่งจะเกิดการสโตรบแอดเดรสเข้าไปที่ขอบขาลงของ RAS จากนั้นเปลี่ยนจ่ายคอลัมน์แอดเดรสอีก 9 เส้นแทนแล้วแอกทีฟ CAS ในขณะที่ RAS ยังเป็น"0"อยู่จังหวะนี้ก็จะได้แอดเดรสครบทั้ง 18 เส้นเป็นการเข้าถึงหน่วยความจำที่สมบูรณ์ถ้าเป็นการอ่านที่ขา WR จะต้องเป็น "1" อยู่ ข้อมูลจากแรมจะถูกอ่านออกมาที่ขา D_{out} หลังจากช่วงเวลาแอคเซสไทม์ (ประมาณ 150n) และจะคงอยู่จนกว่าทั้งRAS และCAS จะคืนเป็น"1"

เอกสารนี้เ[illegible]ษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำหรับรอบการเขียนก็มีขั้นตอนเหมือนกัน เพียงแต่ในช่วงขอบขาลงของ CAS จะต้องจัดให้ WR เป็น "0" และมีข้อมูลที่ขา D_{in} คงที่รอๆไว้เลิว ดังในรูปที่ 10 ข.

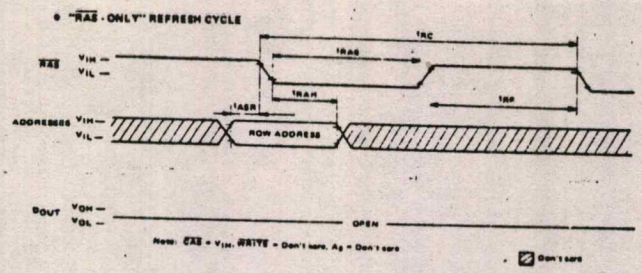


ก. รอบการอ่าน



ข. รอบการเขียน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ค. รอบการรีเฟรช

รูปที่ 10 แผนภูมิเวลาของสัญญาณควบคุมไดนามิกแรม รูป ก. เป็นรอบการอ่าน รูป ข. เป็นรอบการเขียน ส่วนการรีเฟรชแสดงในรูป ค.

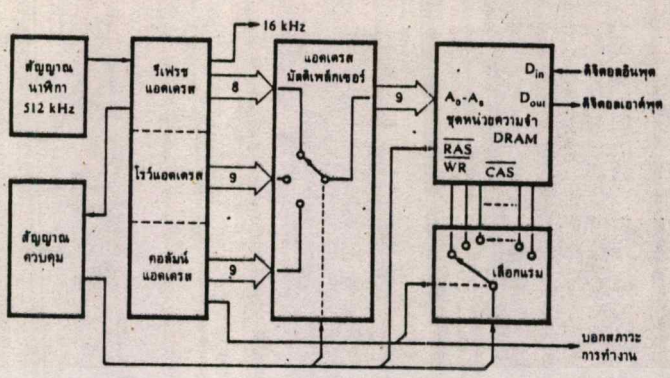
การรีเฟรชนั้นสามารถทำได้หลายวิธี ในรูปที่ 10 ค. เป็นวิธีที่ตรงไปตรงมาเรียกวิธีนี้ว่า"RAS only" โครงสร้างของเซลล์ภายในหน่วยความจำจัดเป็นแมตริกซ์ ขนาด 256 โรว์x1024 คอลัมน์การรีเฟรช จะทำทีละโรว์ทุก ๆ 15.625 s เป็นอย่างช้า โดยการกำหนดตำแหน่งโรว์ที่จะรีเฟรชที่ขาแอดเดรสแล้วทำการสโตรบด้วย RAS หน่วยความจำทุกเซลล์ (ทุกบิต) ในโรว์นั้นจะถูกอ่านและเขียนกลับลงไปใหม่โดยอัตโนมัติ

จะเห็นว่าจำนวนโรว์มีเพียง 256 โรว์เท่านั้นการกำหนดโรว์ที่จะรีเฟรชจึงใช้ขาแอดเดรสเพียง 8 เส้น (2^8=256) คือ A_0-A_7 ก็เพียงพอ ในการรีเฟรชนี้จะต้องกระทำอยู่ต่อเนื่องโดยตลอด ไม่เกี่ยวกับการอ่านเขียนแรมโดยปกติ

<u>วงจรจัดการหน่วยความจำ</u>

รูปที่ 11 เป็นแผนผังวงจรจัดการหน่วยความจำและควบคุมอื่น ๆ ในส่วนดิจิตอล ภาคกำเนิดแอดเดรสมีอยู่ 3 ชุดคือ รีเฟรชแอดเดรส โรว์แอดเดรส และคอลัมน์แอดเดรส ซึ่งได้จากการนับสัญญาณนาฬิกา 512 kHz แอดเดรสทั้ง 3 ชุดถูกส่งไปยังแอดเดรสมัลติเพล็กเซอร์เพื่อเลือกแอดเดรสที่สอดคล้องกับแต่ละขั้นตอน ดังที่ได้กล่าวไป ส่งให้กับขาแอดเดรสของแรมอีกที

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

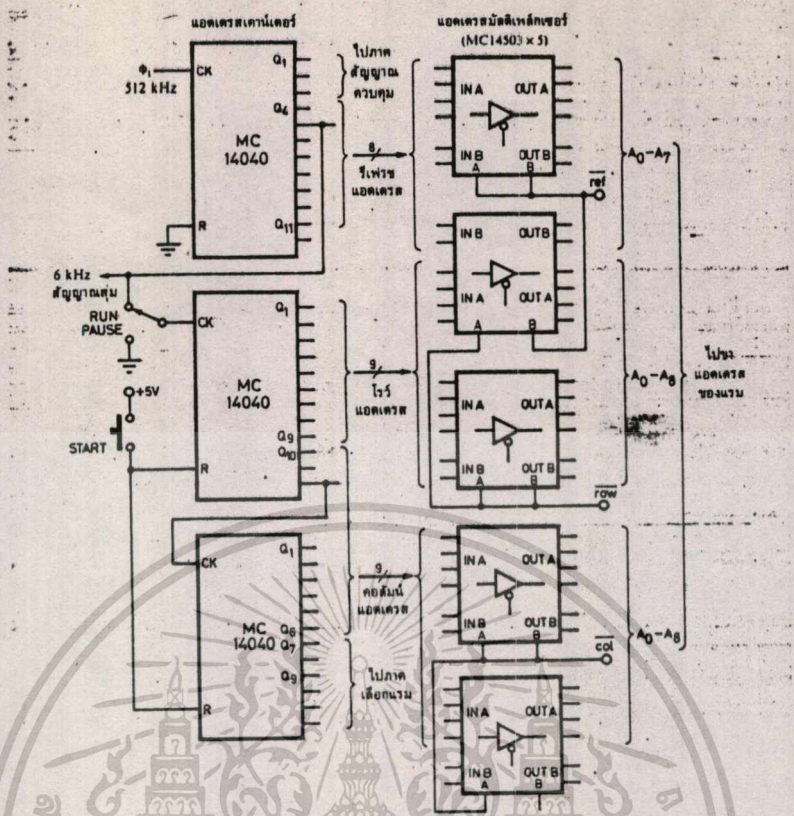


รูปที่ 11 แผนผังแสดงการทำงานของวงจรบันทึกเสียงพูดในส่วนดีจิตอล

ส่วนเพิ่มเติมอีกส่วนคือตัวเลือกแรม เนื่องจากเราใช้แรมจำสวนหลายตัวโดยมีความกว้างของข้อมูลเพียงบิตเดียวจึงจำเป็นต้องมีการเลือกใช้แรมทีละตัวต่อเนื่องกันไป ไดนามิกแรมไม่มีขาชิพซีเล็กต์ หรือชิพอีนาเบิ้ลให้ควบคุมโดยตรง แต่สามารถทำการเลือกใช้ได้โดยการจ่ายสัญญาณ CAS ให้เฉพาะตัวที่ใช้งาน ซึ่งตัวอื่นๆ หากไม่ได้รับ CAS ก็จะไม่มีการอ่านเขียน (ยกเว้นการรีเฟรชเพราะไม่ได้ใช้ CAS อยู่แล้ว)

วงจรที่ใช้งานเราเลือก MC14040 ซึ่งเป็นตัวนับเลขฐานสองขนาด 12 สเตจ จำนวน3 ตัว มาทำเป็นแอดเดรสเคาน์เตอร์ และใช้ MC14503 บัฟเฟอร์ 3 สถานะจำนวน 5 ตัวเป็นแอดเดรสมัลติเพล็กเซอร์ ดังวงจรในรูที่ 12

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



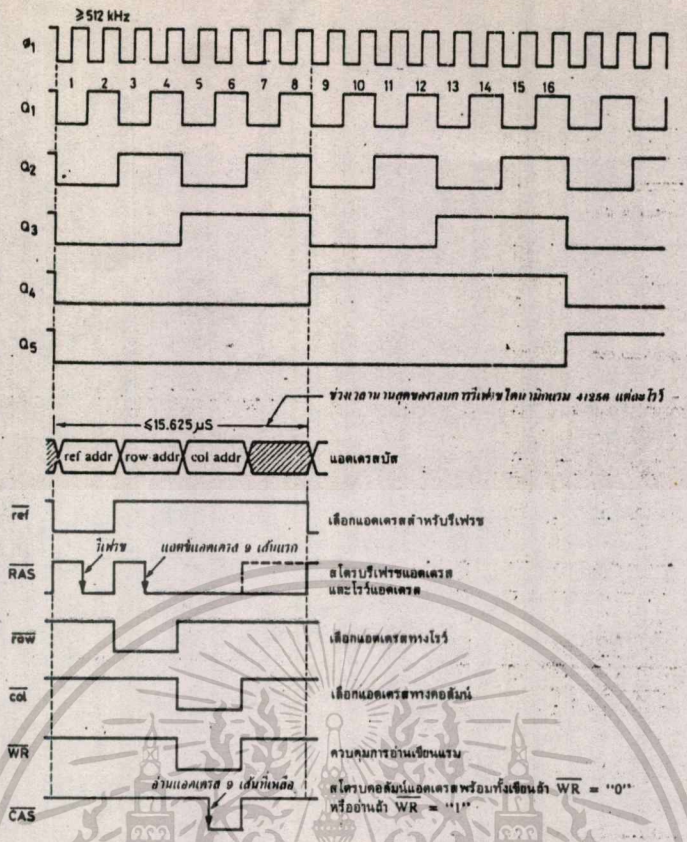
รูปที่ 12 รายละเอียดวงจรกำเนิดสัญญาณแอดเดรส โดยใช้ไบนารีเคาน์เตอร์ขนาด 12 สเตจ 3 ตัว เป็นแอดเดรสเคาน์เตอร์และไดรสเตตบัฟเฟอร์ทำหน้าที่มัลติเพล็กซ์แอดเดรสให้แก่ไดนามิกแรม

ความถี่ที่จะส่งไปยังแอดเดรสเคาน์เตอร์ทางโรว์และคอลัมน์ใช้ที่ค่า 16 kHz เท่ากับบิตเรตของข้อมูลดิจิตอล จาก CVSD มอดูเลอตอร์ การบันทึกหรือการอ่านกระทำอย่างต่อเนื่องโดยการเลื่อนแอดเดรสไปเรื่อย ๆ หรกต้องการหยุดชั่วคราวเพียงแต่หยุดจ่าย 16kHz หรือหากต้องการเริ่มต้นใหม่ก็รีเซตตัวนับเสียเท่านั้นเอง

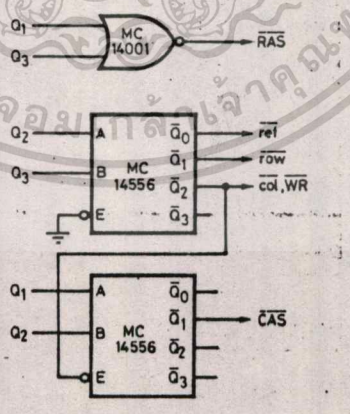
เอาต์พุตของ MC14503 ที่มาจากแอดเดรสแต่ละชุดถูกต่อร่วมกันเข้ากับขาแอดเดรสของแรม แล้วทำการเลือกนีเนเบิ้ลเฉพาะชุดที่ต้องการ สัญญาณที่จะเอามาควบคุมส่วนนี้ได้จากวงจรควบคุมซึ่งจะต้องกำเนอดสัญญาณควบคุมส่วนอื่น ๆ ด้วยให้สอดคล้องกันโดยการนำสัญญาณจากเคาน์เตอร์สเตจแรก ๆ มาทำการดีโค้ด

สัญญาณควบคุมที่ต้องการแสดงในรูปที่ 13 ได้จากการดีโค้ดของวงจรควบคุมในรูปที่ 14 โดยใช้ NOR เบอร์ MC14001 และดีโค้ดเดอร์เบอร์ MC14556

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 13 แผนภูมิเวลาของสัญญาณควบคุมสำหรับแอดเดรสมัลติเพล็กเซอร์และไดนามิกแรม



รูปที่ 14 วงจรสร้างสัญญาณควบคุม โดยนำสัญญาณ Q_1, Q_2 และ Q_3 จากแอดเดรสเคาน์เตอร์ชุดแรกมาทำการดีโค้ด

บันทึกเสียงนานจุใจ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กล่าวรายละเอียดส่วนย่อยไปก่ายกอง ตั้งวงจรสมบูรณ์กันเสียที รูปที่ 15 เป็นวงจรสมบูรณ์ในส่วนอนาลอกและภาคจ่ายไฟรูปที่ 16 เป็นส่วนดิจิตอลและหน่วยความจำการทำงานได้อธิบายเป็นส่วน ๆ ไปแล้วจะขออธิบายเพิ่มเติมอีกเล็กน้อย

วงจรในรูปที่ 15 สามารถต่อกับไมโครโฟนชนิดไดนามิกได้โดยตรง มี VR_1 เป็นตัวปรับอัตราขยายของวงจรขยายส่วนหน้า LED_1 ใช้แสดงสภาวะการทำงานคือติดสว่างในขณะทำการบันทึก ส่วน Q_1 ทำหน้าที่ลัดวงจรสัญญาณเสียงลงกราวด์ในขณะบันทึกเพื่อมิให้เกิดการออสซิลเลต แรงดันไฟเลี้ยงที่จ่ายให้วงจรส่วนหน้าใช้แยกจากวงจรส่วนดิจิตอลเพื่อมิให้เกิดการรบกวนกัน

วงจรส่วนดิจิตอลตามรูปที่ 16 นั้นเราใช้หน่วยความจำไดนามิกแรมจำนวนน 8 ตัว โดยการนำเอาต์พุตจากแอดเดรสเคาน์เตอร์สเตจที่ต่อจากคอลัมน์แอดเดรสมาทำการดีโค้ดเพื่อเลือกแรม ในที่นี้ใช้ 3 สเตจ ดีโค้ดได้ 8 ตัวพอดี ($2^3=8$) ซึ่งเราสามารถดีโค้ดได้สูงสุดจากเอาต์พุตที่มีอยู่ 6 สเตจได้ถึง 64 ตัว หรือต้องการมากกว่านี้ก็เพิ่มได้โดยต่อวงจรนับเพิ่มเข้าไปอีกแล้วทำการดีโค้ดอีกที

ตัวดีโค้ดเลือกแรมคือ IC_{20} นี้ใช้อนาลอกมัลติเพล็กซ์/ดีมัลติเพล็กซ์เบอร์ MC14051 ทำการเลือกจ่ายสัญญาณ CAS ให้แก่ไดนามิกแรมทีละตัวตามที่ดีโค้ดได้จากเคาน์เตอร์

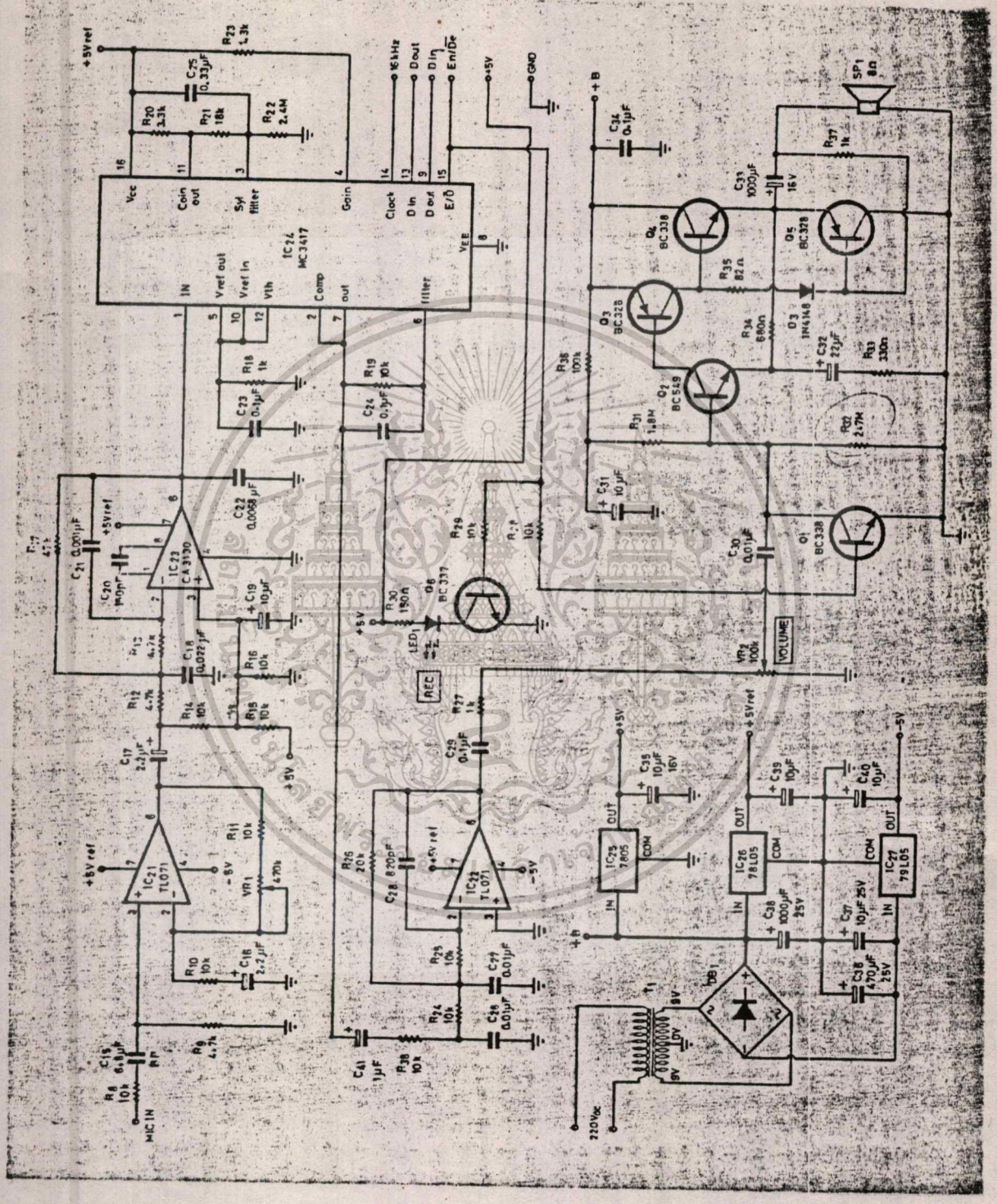
วงจรนี้ที่ความถี่การมอดูเลต (การแปลงสัญญาณ) 16 kHz จะได้บิตเรต 16k เท่ากัน ให้คุณภาพเสียงที่มีแถบกว้างความถี่ 4kHz ที่บิตเรต 16K นี้ไดนามิกแรม 1 ตัวจะบันทึกได้นานประมาณ 16 วินาที (16.384 วินาที) วงจรนี้ใช้แรม 8 ตัวคิดเป็นระยะเวลาที่บันทึกได้เท่ากับ 131 วินาที และถ้าหากต้องการเพิ่มเวลาบันทึกให้นานขึ้นเป็น 2 เท่าโดยไม่ต้องเพิ่มแรมก็ทำได้โดยการเปลี่ยนบิตเรตจาก 16K เป็น 8K ซึ่งคุณภาพเสียงก็จะลดลงไปด้วยไม่มากมายนักหากใช้กับเสียงพูดทั่ว ๆ ไป

วิธีเปลี่ยนบิตเรตก็เพียงแต่ย้ายจุดต่อที่ออกจากเคาน์เตอร์ตัวแรกคือ IC_3 จาก Q_6 (ขา 3) ที่จะไปยังเคาน์เตอร์ตัวที่ 2 (IC_4) มาเป็น Q_6 (ขา 2) แทน หรือหากต้องการบิตเรตสูงขึ้นเป็น 32K เพื่อให้คุณภาพเสียงดีขึ้นก็ย้ายไปต่อที่ Q_4 (ขา 5)

สำหรับ $IC_{19/1}$ ทำหน้าที่แลตช์ข้อมูลที่อ่านได้จากแรม ส่วน $IC_{19/2}$ ใช้รีเซตแอดเดรสเคาน์เตอร์เพื่อเป็นการเริ่มต้นใหม่ พร้อมทั้งทำหน้าที่กำหนดสภาวะการทำงานของวงจรด้วย โดย S_2 เป็นการบันทึกส่วน S_3 เป็นการเล่นกลับ ซึ่งปกติแล้วในการบันทึกเมื่อครบแรมทั้ง 8 ตัวก็จะเป็นการเล่นกลับโดยอัตโนมัติ แต่ก็นามารถหยุดการบัน

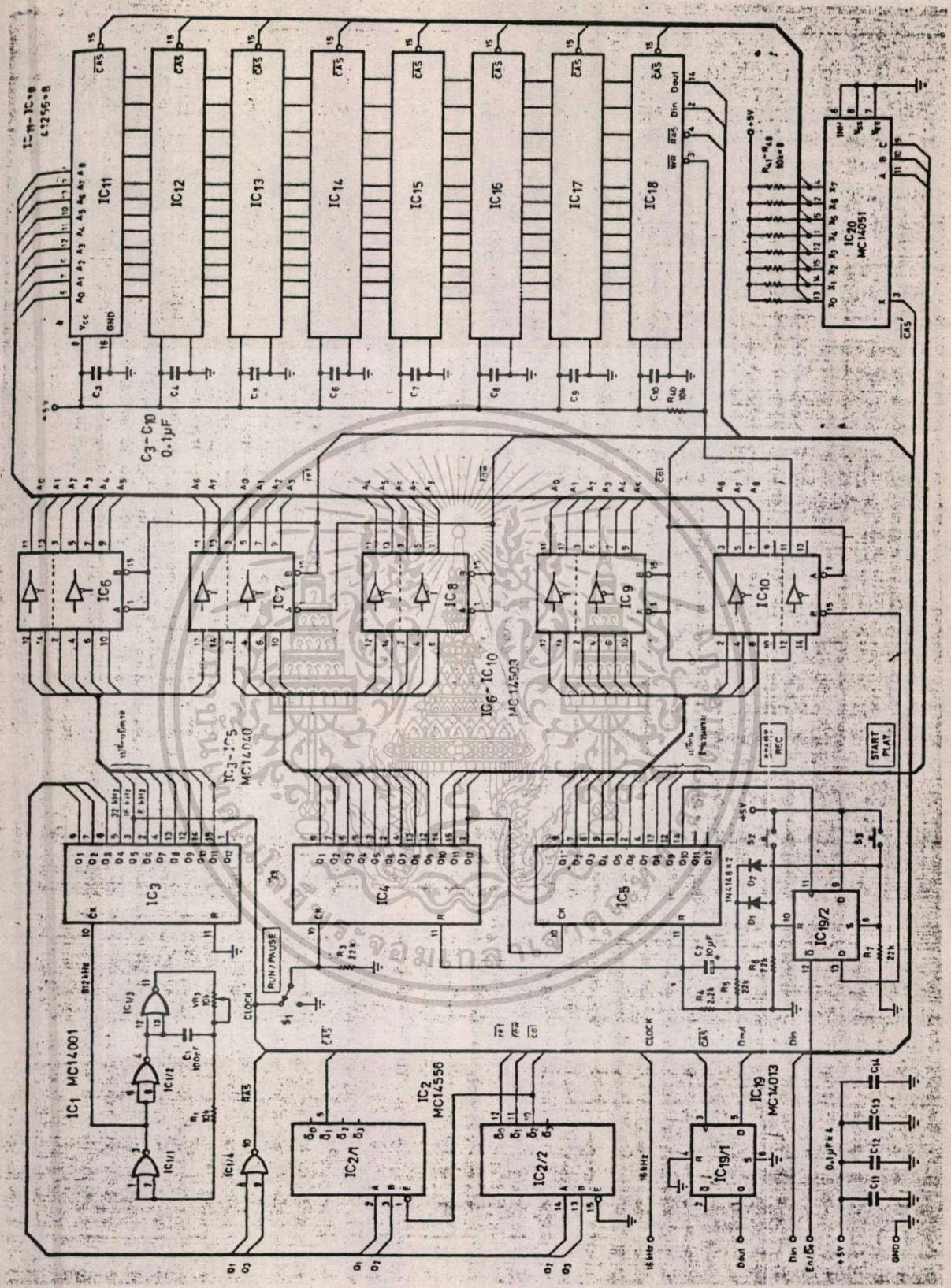
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ทิกแล้วเล่นกลับเมื่อใดก็ได้โดยกดสวิตช์ S_3



รูปที่ 15 วงจรเครื่องบันทึกเสียงพูดระบบดิจิตอลในส่วนของอะนาลอก ข้อมูลดิจิตอลที่ได้จะถูกส่งไปยังหน่วยความจำที่วงจรส่วนดิจิตอล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 16 วงจรสมบูรณ์ของส่วนดิจิตอลซึ่งทำหน้าที่จัดการหน่วยความจำ ผลิตสัญญาณนาฬิกา 16kHz และควบคุมการทำงานของส่วนอะนาลอก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ขั้นตอนการทำงาน

ครั้งแรก CPU จะ Set Port ทุก Port เป็น "0"

1. เมื่อเริ่มมีสัญญาณเรียกครบตามที่เรากำหนดที่ IC 4017 ขาที่ 11 จะมีสัญญาณลอจิก "1" สัญญาณนี้จะถูก check พบโดย Z80 โดยการอ่านจาก Port C บน (Pc4-Pc7) ซึ่งกรณีนี้ CPU จะรู้ว่าไม่มีการยกหูโทรศัพท์จากพนักงานตอบรับโทรศัพท์ (Operator) RY1 จะทำงาน ขณะนี้ CPU จะส่งสัญญาณให้ 8255 ทำงานโดยจะให้ PortB 3,4 มีค่าเป็น 00 (D3,D2) ถือเป็นการเลือกช่องของชุด T6668 ต่อไป PortB1 ส่งค่า 1 ออกไปเป็นการ Start การส่งสัญญาณออกไปพร้อมกันนี้ขณะที่ส่งสัญญาณออกไปนั้น CPU จะคอยรับสัญญาณการกดคีย์ด้วย โดยการอ่าน PortC ล่าง คือ Pc0-Pc3 โดยรับมาจาก MT8870 ถ้ามีการกดคีย์ตัวแรกเสียงที่ส่งออกไปจะหยุด และหลังจากกดคีย์ตัวที่ 2 CPU จะ check ว่ารหัสถูกต้องหรือไม่ ซึ่งรหัสในที่นี้มี 01-08,11-88,23-28,89 ถ้านอกเหนือจากนี้ไป CPU จะส่งสัญญาณไปให้ T6668 ส่งคำพูดว่ากด code ผิดให้กดใหม่ (CPU นี้จะคอยเช็คการวางหูหรือการเลิกใช้โทรศัพท์ตลอดเวลา) ในกรณีที่ 1 เมื่อกดรหัส 01-08 CPU ก็จะพบว่าตอนนี้ รหัส 0 เป็นการติดต่อโดยตรง โดยเลข 1-8 เป็นช่องสัญญาณปลายทางที่ติดต่อ ในที่นี้เราใช้ 1 คู่สายเข้า และ 8 คู่สายออก) เมื่อ CPU ได้รหัสการกด 01-08 แล้ว ก็จะส่งสัญญาณการเรียก (สัญญาณกระดิ่งออกไปยัง channel ที่ต้องการติดต่อโดยจะส่งออกไปตามจำนวนครั้งที่เราเขียนโปรแกรมไว้ในที่นี้ให้เรียกทุก 6 ครั้งถ้ามีคนรับ CPU จะคอยเช็คการใช้ตามจำนวนเวลาในที่นี้ให้ใช้ 10 นาที ถ้าเกินกว่า 10 นาทีต้องโทรเข้ามาใหม่แต่ถ้าไม่มีคนรับ CPU จะส่งสัญญาณให้ T6668 บอกออกไปว่าต้องการฝากข้อความหรือไม่ ให้กดรหัสการติดต่อ CPU ก็จะทำงานเหมือนเดิมคือ คอยตรวจสอบการกดคีย์ซึ่งกรณีนี้ถ้าเป็นการกด 11-88 CPU จะรู้ว่าผู้ใช้ต้องการจะบันทึกข้อความไว้ ก็ส่งสัญญาณการบันทึกใน Ram Card โดยมีการบันทึกได้ไม่เกิน 10 sec ต่อครั้ง (รหัสตัวแรกคือ 1 คือกำหนดให้เป็นการบันทึกข้อความลงใน Ram Card ส่วนตัวที่ 2 คือ 1-8 เป็นช่องสัญญาณปลายทางที่ติดต่อ) เมื่อเสร็จแล้วเครื่องจะหยุดการบันทึกข้อความเวลาพร้อมที่จะรับคีย์อีกครั้ง แต่ถ้ามีการวางสายเครื่องจะหยุดทำงาน ในกรณีที่สัญญาณกระดิ่งดังครบแล้วนั้นหลังจากที่มีการบอกการใช้งานลำดับต่อไป ผู้ใช้สามารถกดรหัสเดิมอีกก็ได้ เพื่อให้เรียกอีกครั้งหนึ่งต่อไป

กรณีเมื่อกดรหัส 21-28 คือรหัสที่ต้องการฟังข้อความจาก Ram Card ที่บันทึกเอาไว้ โดยไม่มีเวลาจำกัดทำให้สามารถฟังได้หลายครั้งจนกว่าที่จะวางสาย (ระหัสตัวแรกคือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2 นั้นเป็นรหัสการ Replay หรือเป็นการนำข้อความใน Ram Card ออกไปยังผู้ใช้ ส่วนระหัสที่ 2 คือช่องสัญญาณ) ทุกขั้นตอนการทำงานนั้นใน Program Monitor จะมี check วางสายตลอดเวลา เมื่อใดที่สัญญาณคู่สายเพิ่มขึ้นเป็น 48 V(จาก 4 หรือ 9 V) และหลังจากเสร็จการทำงานขั้นหนึ่งแล้วนั้นจะคอยเช็คการกดคีย์ทุกครั้งไป

กรณีที่กดระหัส 81-84 cpu รู้ว่าตอนนี้จะต้องบันทึกคำพูดต่าง ๆ ลงใน T6668 ซึ่ง 81-84 นี้ใช้เฉพาะการตั้ง ทำงานเพียงผู้เดียวจากเจ้าของเครื่อง เพราะว่า T6668 เป็นตัวคอยบอกให้ผู้ใช้คนอื่นทำตามลำดับโดย ลำดับที่เกิดขึ้นมาจากผู้เขียนโปรแกรมและบันทึกลงใน T6668

81 คือ บันทึกลงในช่องที่ 1 ของ Ram

82 คือ บันทึกลงในช่องที่ 2 ของ Ram

83 คือ บันทึกลงในช่องที่ 3 ของ Ram

84 คือ บันทึกลงในช่องที่ 4 ของ Ram

โปรดจำไว้ว่าเมื่อใดที่ cpu ตรวจสอบคู่สายว่ามีศัดดาเพิ่มขึ้นเป็น 48 V แล้ว การทำงานทุกอย่างจะหยุดลงและพร้อมที่จะเริ่มใหม่

2. ถ้าสัญญาณเลือกไม่ครบตามที่ตั้งไว้

ขาที่ 11 ของ 4017 จะมี Logic "0" แต่ว่า cpu Cheek ว่ามีการยกหูโทรศัพท์นั้นใช้ แสดงว่ามีการรับสายแล้ว (operator รับแล้ว) คือเป็นกรณีที่มี operator การทำงานเครื่องจะข้ามขั้นตอนการสั่ง เสียงออกไป แต่ operator จะเป็นคนช่วยผู้ใช้ คือเป็นคนสอบถามความประสงค์ของผู้ติดต่อเข้ามาแล้วกด key ให้ หรือบอกผู้ติดต่อใช้ทำอะไรบ้าง ซึ่งหลังจากนั้น เครื่องจะทำงานเหมือนกับที่กล่าวมาแล้วข้างต้น

3. เป็นการใช้ติดต่อภายใน

เมื่อใดที่ operator ยกหูขึ้นนั้นหมายถึง cpu พร้อมที่จะรับ key เข้ามา ส่วนการทำงานขั้นตอนต่าง ๆ นั้นเหมือนเดิมการติดต่อภายในนี้ operator จะเป็นผู้ใช้เริ่มต้นก่อนเสมอซึ่งเครื่องนี้ไม่ได้ทำการเขียนโปรแกรมให้ Scam การที่ช่องสัญญาณขอใช้โทรออกหรือเพิ่มติดต่อภายใน (ซึ่งสามารถเขียนเพิ่มขึ้นอีกก็ได้) แต่ไม่เหมาะสมเพราะต้องการเน้นทางด้านการโทรเข้ามามากกว่าการโทรออกอีกทั้งเป็นการเน้นการตอบรับโทรศัพท์และบันทึกข้อความผู้สร้างจึงไม่ได้ใส่ Program ไว้ ซึ่งเป็นจุดประสงค์ของ Project นี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รายละเอียด

การสังเสียงจาก T6668 (STSART)

1. Set Port B ด้วย 0000 1010 B คือกำหนดให้ใช้ Ram ในช่อง 1(01B) และเป็นการเริ่มต้นการบันทึก คือ PB1 =1

2. Set Port B ด้วย 00010010 B คือใช้ช่องที่ 2(10B)

3. Set Port B ด้วย 00011010 B คือใช้ช่องที่ 3(11B)

4. Set Port B ด้วย 00000010 B คือใช้ช่องที่ 4(00B)

กำหนดให้ใช้แค่ 4 ช่องการสังเสียงออกไป

PB4 ก็คือกำหนดค่าของ D3 ของ T6668

PB3 ก็คือกำหนดค่าของ D2 ของ T6668

PB1 ก็คือกำหนดค่าของ Tart ของ T6668

การหยุดเสียง

Set Port A ด้วย P4 ที่ 7 (PA7) ด้วยค่า 1 แล้ว

Set Port A ให้เหมือนกับว่าเหมือนเดิมก่อนที่จะใช้ PA7-1

การ Check line

มีอยู่ 3 ระดับคือ V_{line} = 48V

V_{line} = 9 V

V_{line} = 4.8 V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การหยุด VOICE

SET PORT A7 ด้วยค่า 1 ส่งออกไป แล้วหลังจากนั้นก็ SET PORT A ให้มีค่าเหมือนเดิม

การ CHECK LINE

มี.VOLTAGE ใน LINE อยู่ 3 ระดับคือ

V_{LINE} ~ 48 VOLT

V_{LINE} ~ 9 VOLT

V_{LINE} ~ 4.8 VOLT

PORT ที่ใช้ในการ CHECK คือ PORT C ทางด้านบนโดยให้

pc7 — 0 , pc6 — E'

pc5 — E , pc4 — D

โดยมีค่า LOGIC ต่าง ๆ ดังตาราง ต่อไปนี้

V_L	E'	E	D
4.8	0	1	0	0
9	0	0	1	0
4.5	0	1	1	1

pc7 pc6 pc5 pc4

ทุกครั้งที่มีการ CHECK จะต้อง SET PORT C ล่าง (pc0 - pc3) ให้มีค่า 0000 b ทุกครั้ง คือ เราจะต้องเอาค่า 0000 b ไป AND กับค่าเดิมก่อนเสมอ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในกรณีที่ยังไม่มีการยกหูโทรศัพท์ pc6 นั้นจะต้องมีค่า logic เป็น "1" ส่วน pc อื่น ๆจะมีค่า logic เป็น "0" ขณะนี้ LINE VOLTAGE จะมีค่าประมาณ 48 VOLT

กรณีที่มีการยกหูโทรศัพท์แล้ว 1 เครื่อง คือ ที่ OPERATOR มีการรับสาย หรือเครื่องตอบรับโทรศัพท์ทำงาน (RY2 ทำงาน) LINE VOLTAGE จะมีค่าประมาณ 9 VOLT pc5 จะต้องมีค่า LOGIC เป็น "1" (E=1) ส่วนค่า pc อื่น ๆ จะต้องมีค่า LOGIC เป็น "0" โดย ก่อนที่จะอ่านค่านี้ จะต้อง reset IC 4017 ก่อนเสมอ ซึ่งก็คือ จะต้องส่งค่า LOGIC "1" ให้ PB7 ก่อน

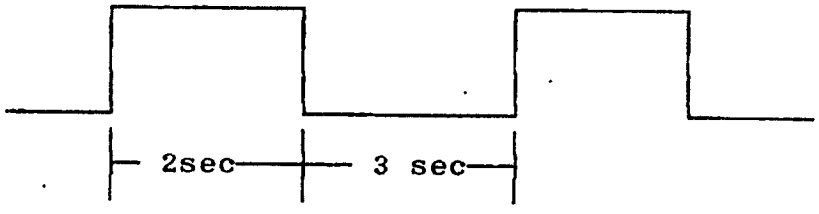
กรณีที่มีการยกหูโทรศัพท์ 2 เครื่อง ซึ่งอาจจะเป็น RY2 ทำงานพร้อมกันกับ T1-T8 ตัวใดตัวหนึ่ง หรือ ที่ OPERATOR กับ T1-T8 ตัวใดตัวหนึ่งก็ได้ ฯลฯ ซึ่งค่า PC4-PC6 จะต้องมีค่า LOGIC เป็น "1" ส่วน PC อื่น ๆ จะต้องมีค่า LOGIC เป็น "0"

การ CHECK LINE VOLTAGE นั้นเราใช้ Op-amp comparator เป็นตัวเปรียบเทียบระดับของสัญญาณ เนื่องจากทางด้าน INPUT ที่เข้ามาสู่วงจรนั้น อาจจะมี VOLTAGE ทางด้าน ไฟลบ เราจึงใช้ BRIDGE CIRCUIT เป็นตัวกำหนดทิศทางการไหลของกระแส คือเป็นการจัด ขั้ว +- ให้ถูกต้อง และ VOLTAGE ที่เข้ามาที่วงจร comparator จะถูกแบ่งแรงดันให้น้อยลง (VOLTAGE DIVIDER) ด้วยอัตราส่วน 5:1 นั่นคือ เมื่อ LINE VOLTAGE มีค่า 48 volt' Vi จะมีค่าเท่ากับ 9.6 volt ส่วน Vi1' และ Vi2' จะมีค่า 1.5 และ 5 volt ตามลำดับ

การส่งสัญญาณเรียก (RING BELL)

ในที่นี้กำหนดไว้ว่าจะให้ส่งสัญญาณเรียกเพียง 6 ครั้ง โดยจะมีการส่งสัญญาณออกไป 2 สัญญาณ คือ

1.



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

2.

สัญญาณที่ 1 จะถูกส่งออกไปที่ PORT B 7
สัญญาณที่ 2 จะถูกส่งออกไปที่ PORT B 6

สัญญาณที่ 1 จะมีความกว้างของ PULSE ที่ระดับ HIGH เท่ากับ 2 SEC และที่ระดับ LOW เท่ากับ 3 SEC ส่วนสัญญาณที่ 2 มีความกว้างของ PULSE เท่ากันกับสัญญาณที่ 1 แต่ที่ระดับ HIGH จะแบ่ง เป็น PULSE ย่อย ๆอีกซึ่งจะมีความถี่เท่ากับ 400 Hz การส่งออกไปนั้น PB 7 และ PB6 จะต้อง ACTIVE ด้วย LOGIC "1" ส่วน PB ตัวอื่นๆนั้น จะต้องมี LOGIC เป็น "0"

หลังจากที่ส่ง PULSE สัญญาณกระดิ่งออกไปแล้ว จะต้อง CHECK ค่าแรงดันในคู่สายเพื่อตรวจสอบว่ามีการยกหูโทรศัพท์ขึ้นแล้วหรือยัง ซึ่งมีวิธีการต่อไปนี้คือ

1. SET PORT B ให้มีค่าเป็น 0000 0000 B , OUT ค่านี้ออกไปเป็นเวลา 3 SEC

2. SET PORT B ให้มีค่าเป็น 1100 0000 B , OUT ค่านี้ออกไปเป็นเวลา 1.25 mSEC

3. SET PORT B ให้มีค่าเป็น 1000 0000 B , OUT ค่านี้ออกไปเป็นเวลา 1.25 mSEC

ทุกครั้งที่สัญญาณที่ 1 และ 2 มีค่าระดับสัญญาณเป็น 0. CPU จะต้องทำการ CHECK ค่าแรงดันใน LINE ทุกครั้งไป โดยอ่านค่า PC0-PC7 ได้ ซึ่งจะมีค่า 2 กรณี คือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

	PC0	PC1	PC2	PC3	PC4	PC5	PC6	PC7
เมื่อยังไม่รับ	0	1	0	0	*	*	*	*
เมื่อรับสายแล้ว	0	0	1	0	*	*	*	*

* หมายถึง DON'T CARE *

การส่งสัญญาณเรียกทุกครั้ง RY3 จะทำงาน ทำให้ NC RY3 เปิดตัดวงจรการน่าสัญญาณเข้า เพื่อไม่ให้สัญญาณเรียกเข้าไปกวนผู้ใช้ เพราะว่า สัญญาณเรียกมี VOLTAGE สูง แต่เพื่อว่าให้ผู้ใช้ทราบว่ากำลังส่งสัญญาณเรียกอยู่ จึงต้องส่งสัญญาณ CALL BACK ออกไป โดยใช้ OPAMP ส่งสัญญาณออกไปที่จุด Z

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การตรวจสอบการกด ระหัสตัวที่ 1 และ 2 .

เนื่องจาก MT 8870 สามารถแปลงสัญญาณความถี่เป็น BANARY CODEได้ซึ่ง Q1-Q4 ต่อกับ PORT C (PORTC0-PORTC3) การอ่าน code นี้เราไม่สนใจสัญญาณของ PORT C บน (PC 4 - PC 7) กำหนดว่าถ้าระหัสตัวแรกที่ cpuอ่านเข้ามาคือ 0 นั่นคือต่อจากนี้ไปเป็นการติดต่อโดยตรง (ส่งสัญญาณเรียก)

1 เป็นการบันทึกลงใน RAM

2 เป็นการเรียกข้อความออกมาฟัง .

8 เป็นการบันทึกลง T6668

การทำงานเป็นดังนี้คือ จะต้องให้ PORT C รับ CODE เข้ามาก่อน แล้วทำให้ PC (บน) เป็น 0 โดยการ AND กับ 00001111 B ซึ่งถ้าไม่มีการกด KEY ก็จะรอจนกว่ามีการกดและมีการเช็คการวางสายด้วย(VL=48 V?)เมื่อมีกด KEY แล้ว CPU จะมีการเปรียบเทียบค่า (0,1,2,8)ถ้าไม่เจอแสดงว่าเป็นการกด คีย์ ผิด ก็มีมีการส่งสัญญาณเสียงออกไปว่ากด คีย์ ผิด แต่ถ้าเจอว่าระหัสถูกต้องตัวใดตัวหนึ่งก็จะมีการรับ คีย์ ตัวที่ 2 เข้ามาอีก ซึ่งเหมือนกับการรับระหัสตัวแรก

การ รีเซ็ท

ถ้าหากมีการตรวจสอบว่า VL = 48 v CPU จะให้ค่า PA4 เป็น 1 ทำให้การทำงานหยุดลงโดยเราไม่สนใจค่าของ PORT อื่น ในโปรแกรมให้ค่าเป็น 10 H (00010000 B)การรีเซ็ท นี้ รีเซ็ทเฉพาะ CPU ,8255 และ 4017 เท่านั้นส่วน T 6668 และ RAMCARD นั้นเราสามารถทำได้โดย เอา SUPPLY ออก

T 6668

กดสวิทช์ รีเซ็ท หรือการให้ PORT A ส่งค่า 10010000 B หรือการปลดซับพลาย ออกไป

RAMCARD

ทำได้โดยการถอดแผ่นการ์ดออกหรือปิดเครื่องหรือการนำซับพลายออก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การใช้งาน MSAT

กรณีที่ 1 เมื่อมีการติดต่อจาก TERMINAL

1 กดหมายเลข เบอร์โทรศัพท์

2 ฟังสัญญาณการเรียก

3.1 เมื่อสัญญาณการเรียกครบ 9 ครั้งแล้วจะได้ยินเสียงตอบรับ และบอกระหัสคำสั่งการใช้งาน

3.1.1 ทำตามโดยการกดระหัส

3.1.2 ถ้ากดระหัส 01-08 จะได้ยินเสียงสัญญาณการเรียก

- ถ้าครบ 6 ครั้งแล้ว จะได้ยินเสียงการตอบรับและคำสั่งการใช้งานขั้นต่อจากนี้ไป
- ถ้าได้ยินเสียงผู้รับสาย แสดงว่าการติดต่อสำเร็จแล้ว สนทนาต่อไปได้เลย

ตอนนี้สามารถกดระหัส 11-18 , 21-28 ,หรือ 01-08 อีกก็ได้ เพื่อทำงานแบบอื่นต่อไปอีก

3.1.3 ถ้ากดระหัส 11-18 จะได้ยินเสียงการบอกการใช้งานว่า เป็นการฝากข้อความ (บันทึกข้อความลงใน RAM CARD) โดยจำกัดเวลา 13 SEC

3.1.4 ถ้ากดระหัส 21-28 แล้วจะเป็นการฟังข้อความที่อยู่ใน RAM CARD ตอนนี้จะได้ยินเสียงเป็นข้อความที่ฝากไว้

3.1.5 ถ้ากดระหัส 81-84 แล้วจะเป็นการบันทึกลงใน T6668 แต่ละช่อง เมื่อกดระหัสแล้วพูดข้อความต่างๆลงไป

3.1.6 เมื่อกดระหัส 88 แล้ว ข้อความต่างๆที่อยู่ใน T 6668 แต่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับใช้ในการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ละช่องจะถูกลบออก

3.2 กรณีที่สัญญาณเรียกไม่ครบ 9 ครั้ง นั่นคือมีการยกหูโทรศัพท์ขึ้นมา (มีการรับสาย)ติดต่อได้แล้ว

กรณีที่ 2 มีการใช้งานจาก OPERATOR

1. ยกหูโทรศัพท์ที่ OPERATOR ขึ้น
2. กดระหัสการเรียก 01-08 เพื่อติดต่อกับ CHANNAL ใดๆ 1 ช่อง
3. การทำงานต่อไปเหมือนกับกรณีที่ 1

**** หมายเหตุ ****

ระหัส 21-28 , 81-84 ,88 ควรสงวนไว้สำหรับเจ้าของให้รู้ เพื่อป้องกันการผิดพลาดจากการลบข้อมูล และการ SET ข้อมูลของ T6668 ผู้ใช้งานหรือผู้ที่ติดต่อเข้ามาใช้ได้เฉพาะระหัส 01-08 และ 11-18 เท่านั้น

รายละเอียดของ PORT

PORT A.

PORT A0 ---- a

PORT A1 BINARY DECODE (3x8) BY 74138 ---- b

PORT A2 ---- C

PORT A3 CONTROL SUPPLY 74138 โดย ACTIVE "1"

PORT A4 ส่งสัญญาณการ RESET Z-80 ,8255 โดย ACTIVE "0"

PORT A5 เป็นการ RECORD ลงใน RAMCARD โดย ACTIVE "1"

PORT A6 เป็นการ PLAYBACK จาก RAMCARD โดย ACTIVE "1"

PORT A7 U ส่งสัญญาณเพื่อ STOP T 6668 โดย ACTIVE "1"

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PORT B.

PORT B0 L เป็นตัวกำหนดว่า สัญญาณเสียงจะต้องผ่าน MC 3417 หรือ MC 3418 เพื่อเป็นการบอกว่าเป็นการ บันทึกลง RAM ACTIVE "1"

PORT B1 M เป็นตัวกำหนดว่าเป็นการ START ของ IC #T 6668 คือ START REC OR START PLAYBACK ก็ได้ ACTIVE "1"

PORT B2 N เป็นตัวกำหนดว่า ถ้า ACTIVE "1"แล้วจะเป็นการบันทึก โดยมีการใช้คู่กับ M OR U

PORT B3 O เป็นการเลือก CHANNAL ของ T 6668 โดย

PORT B4 P D1,D2 มีค่าเป็น 0

PORT B5 R CONTROL RAMCARD ให้ทำงานหรือไม่โดย
ACTIVE "1" จะมีการ นับสัญญาณ CLOCK (RUN)
ACTIVE "0" จะหยุดการ นับสัญญาณ CLOCK (PLUSE)

PORT B6 A จะส่งสัญญาณ พัลส์

PORT B7 B จะส่งสัญญาณ พัลส์

PORT C.

PORT C0 F --- Q1

PORT C1 G --- Q2 เป็นการรับ CODE จาก IC MT 8870

PORT C2 H --- Q3

PORT C3 I --- Q4

PORT C4 D จะรับสัญญาณจากขาที่ 11 ของ 4017

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PORT C5 E รับสัญญาณ การ CHECK สัญญาณคู่สาย (V_L)

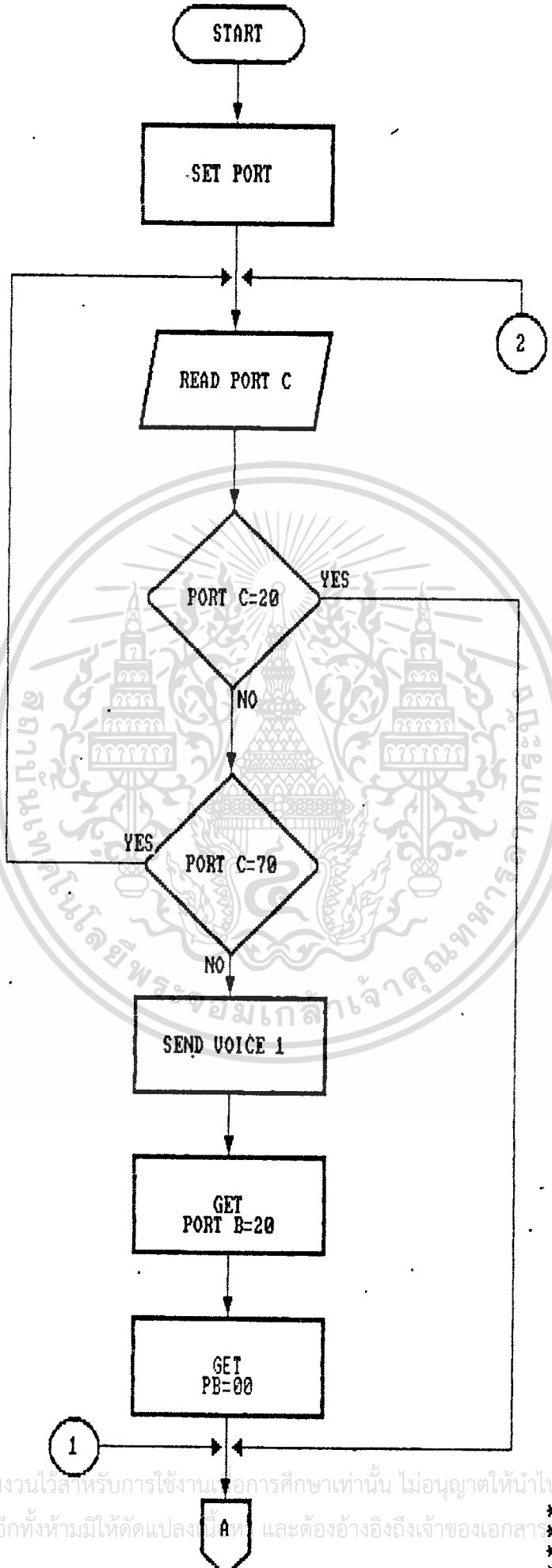
PORT C6 E'

PORT C7 ต่อลง GROUND คือให้มีค่าการอ่าน LOGIC นี้เป็น 0

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

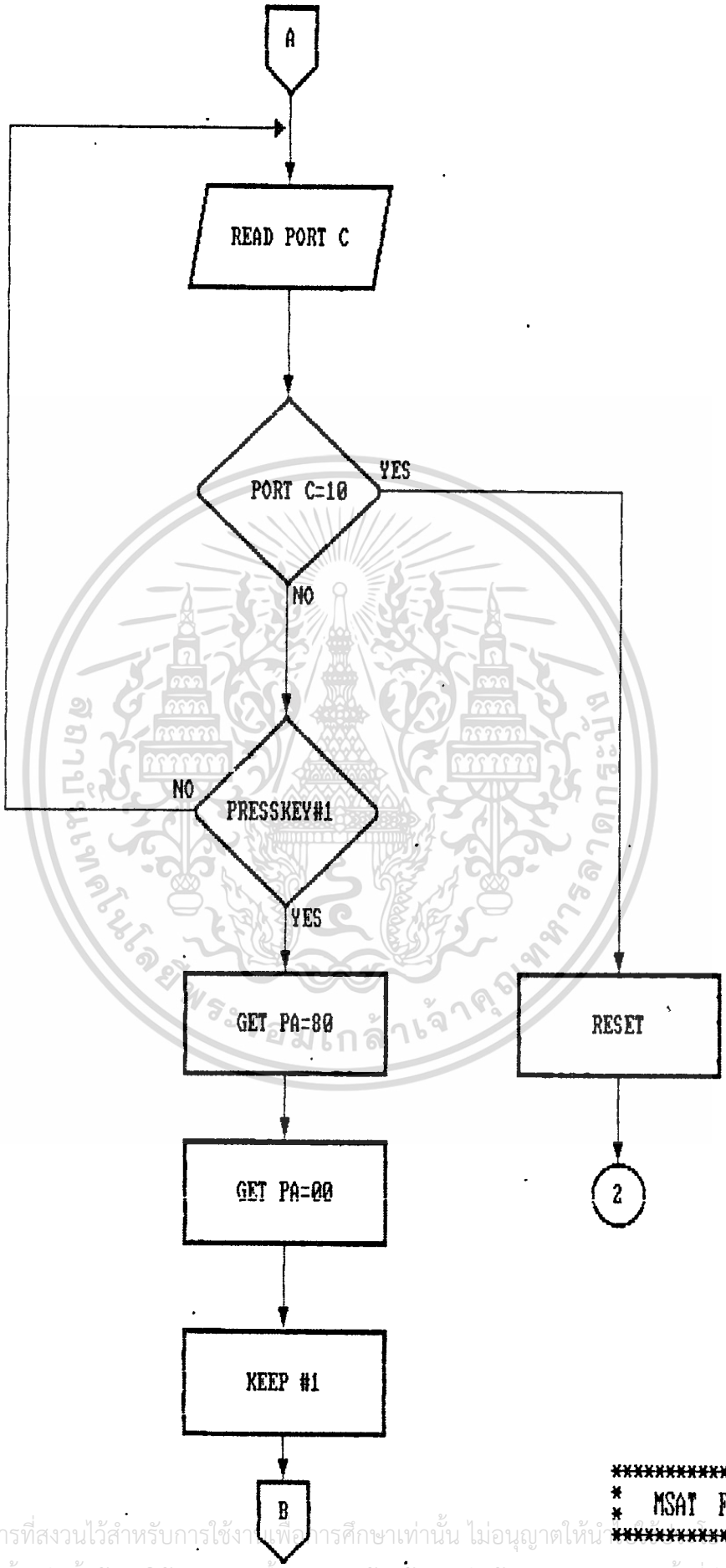
FLOW CHART

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



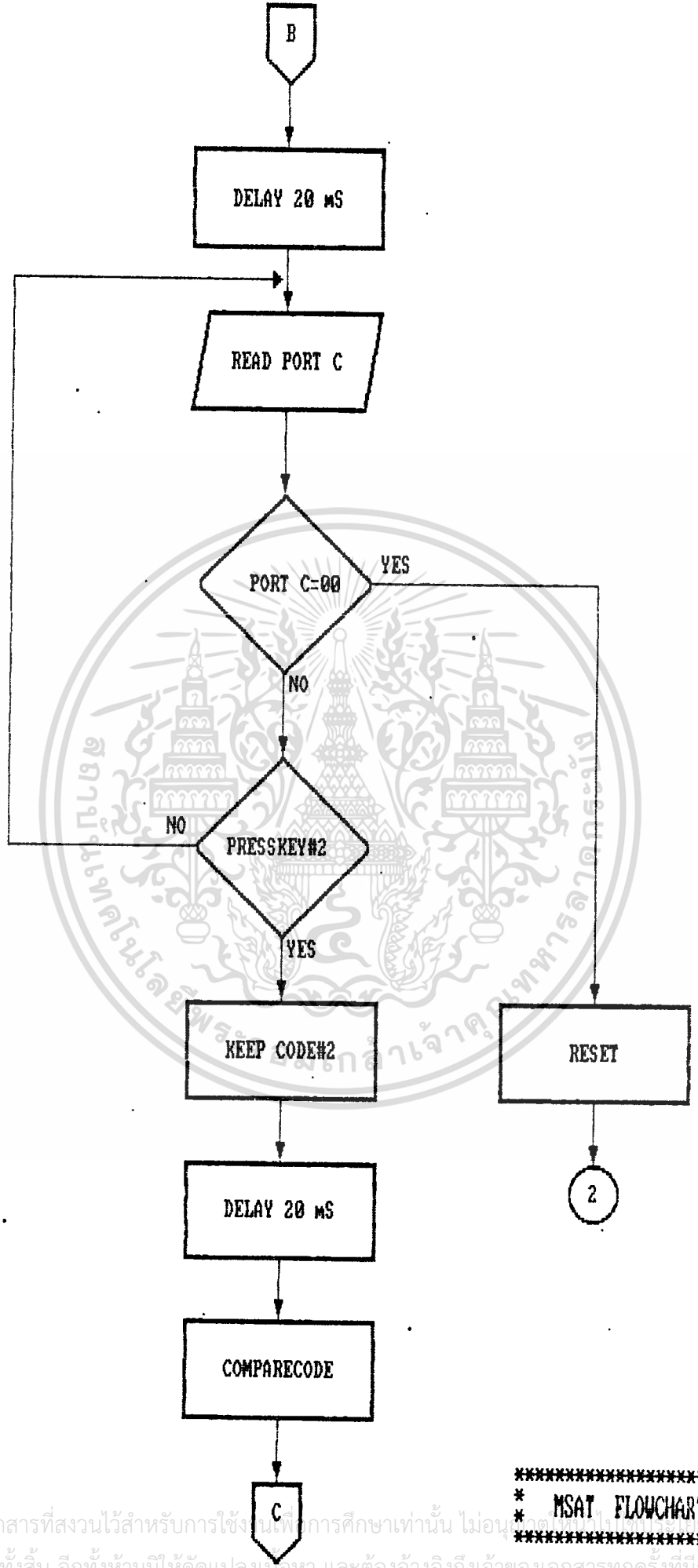
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้ง

****
* MSAT FLOWCHART 1 *

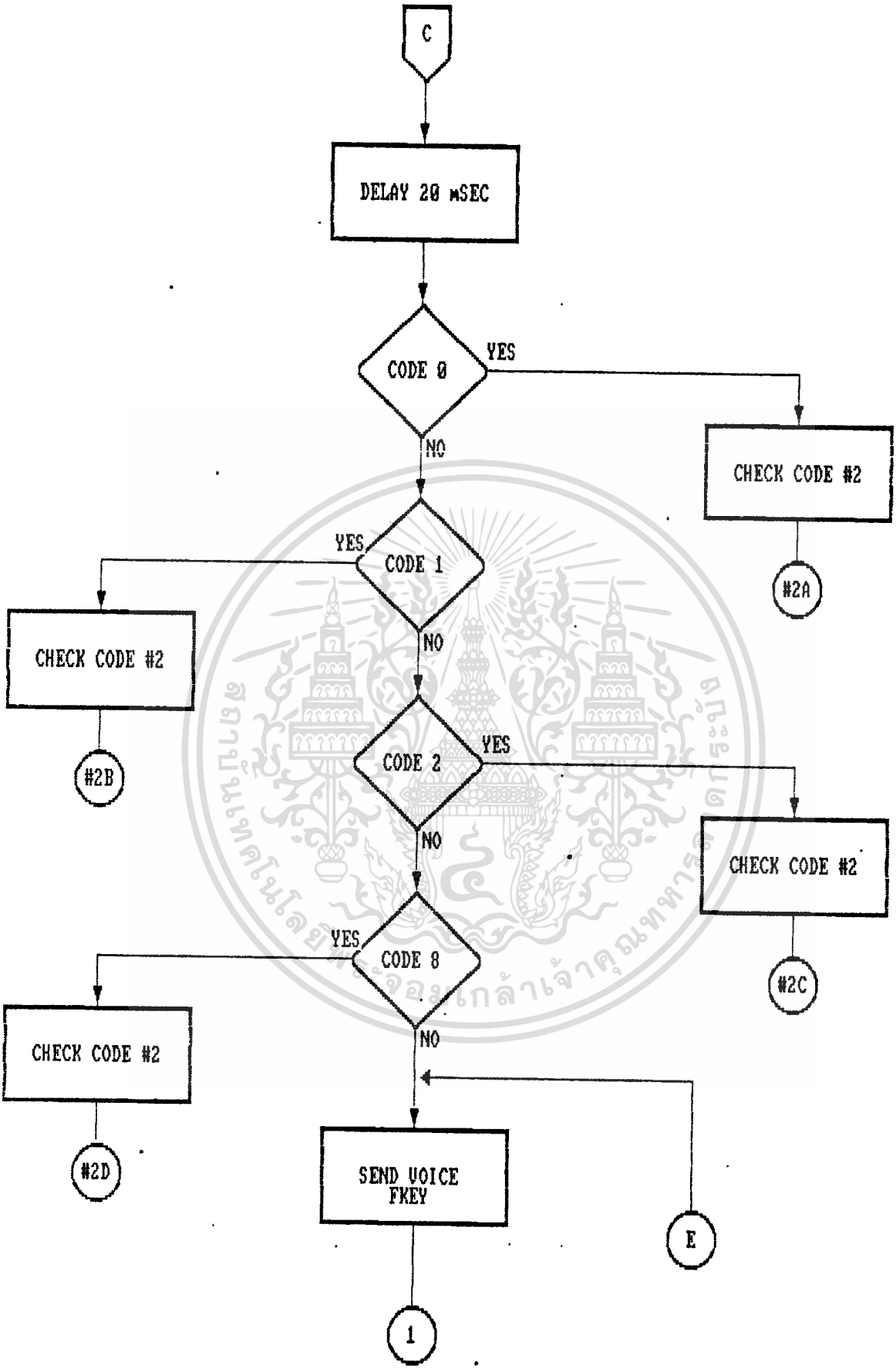



```
**********************
*  MSAT FLOWCHART 2  *
**********************
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำ
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

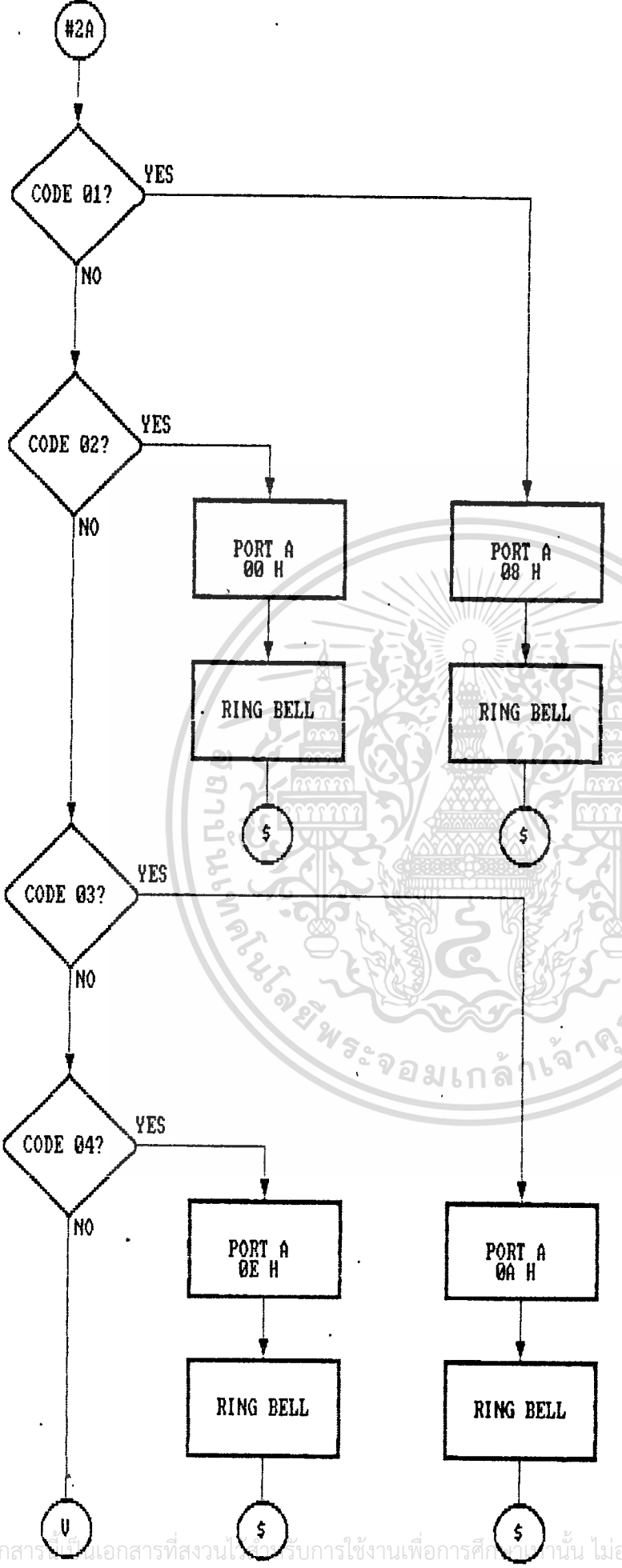


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



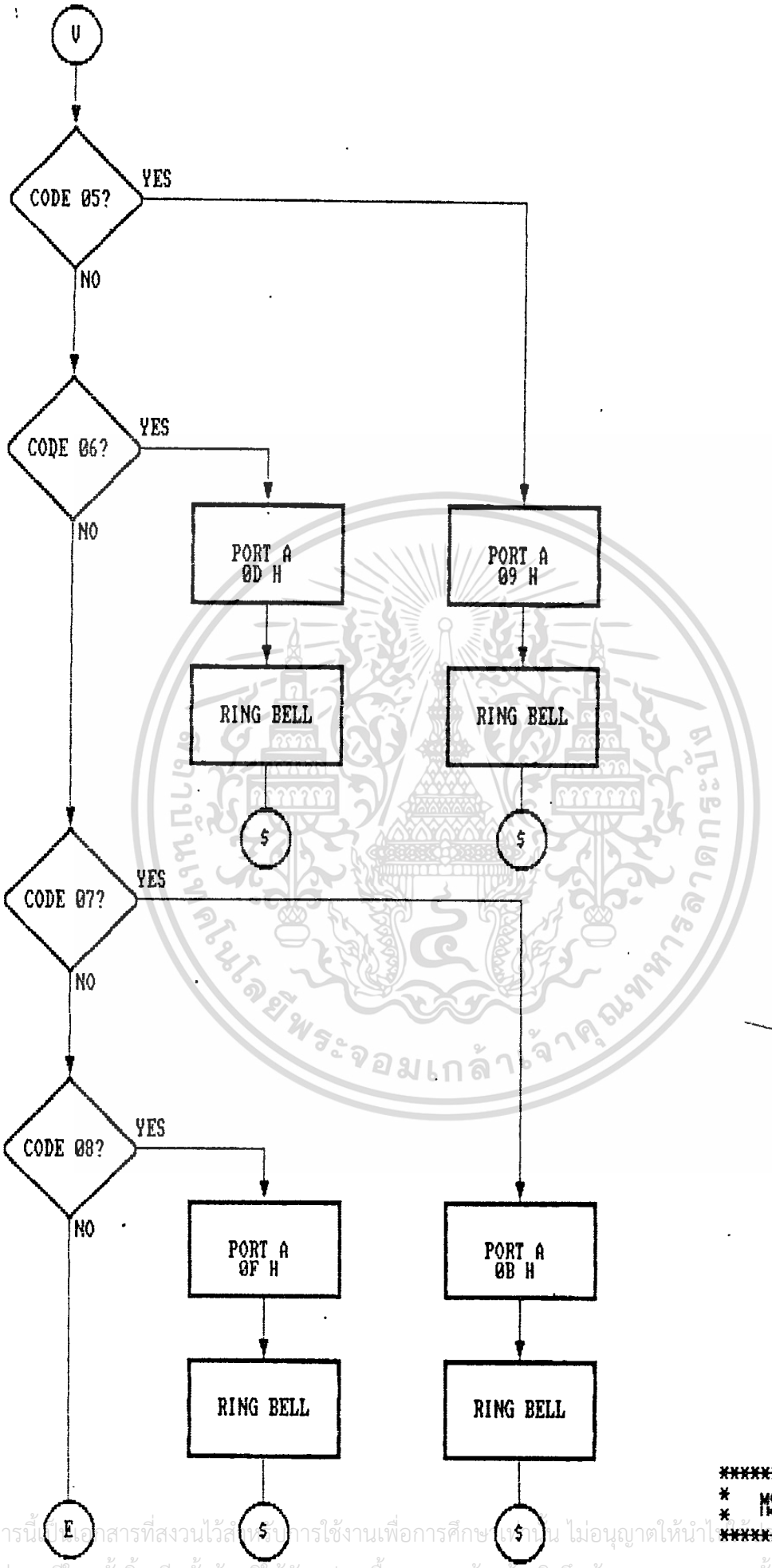
****
* MSAT FLOWCHART 4 *
****

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



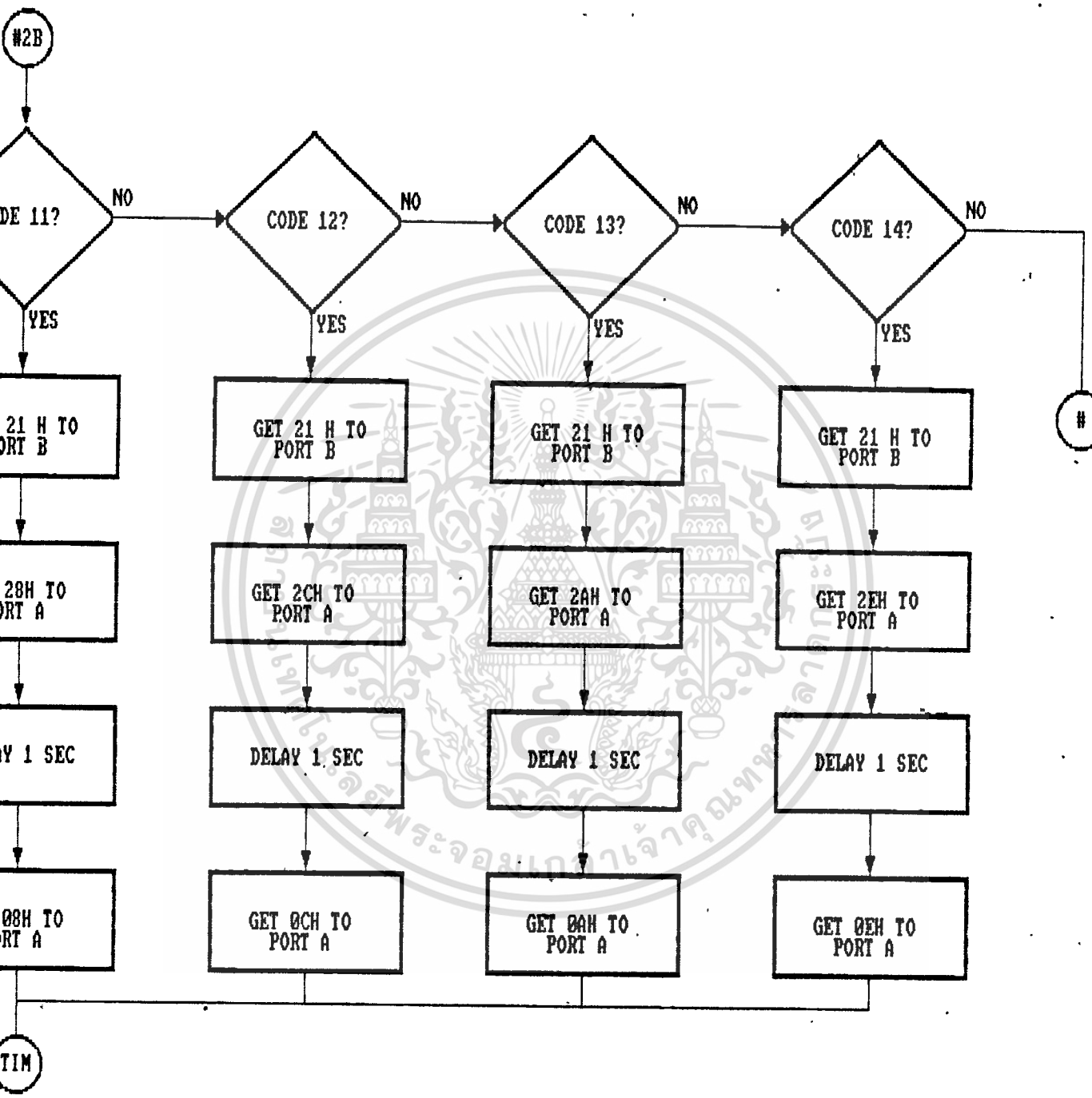
****
* MSAT FLOWCHART 5 *
****

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



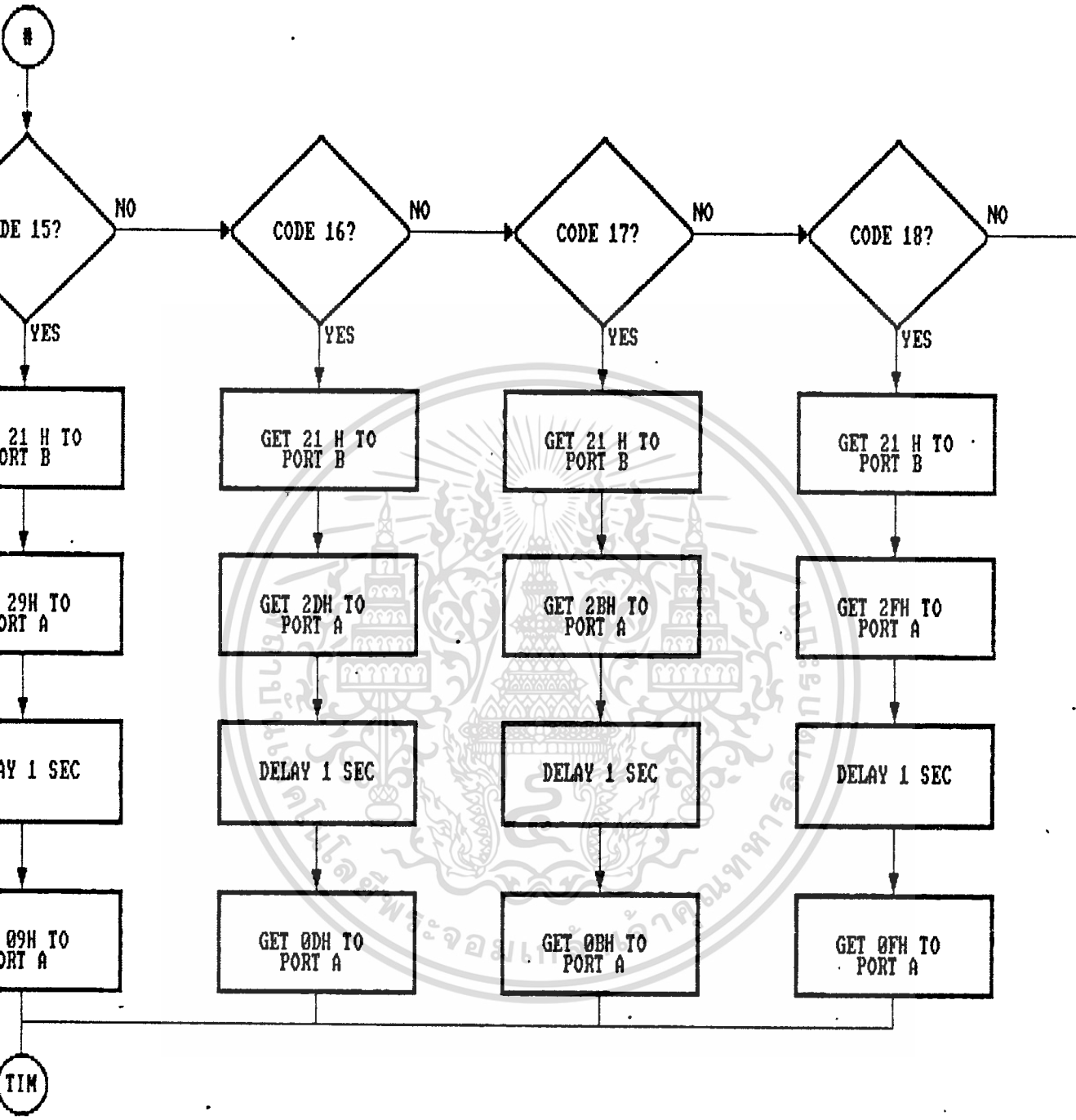
****
* MSAT FLOWCHART 6 *
****

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



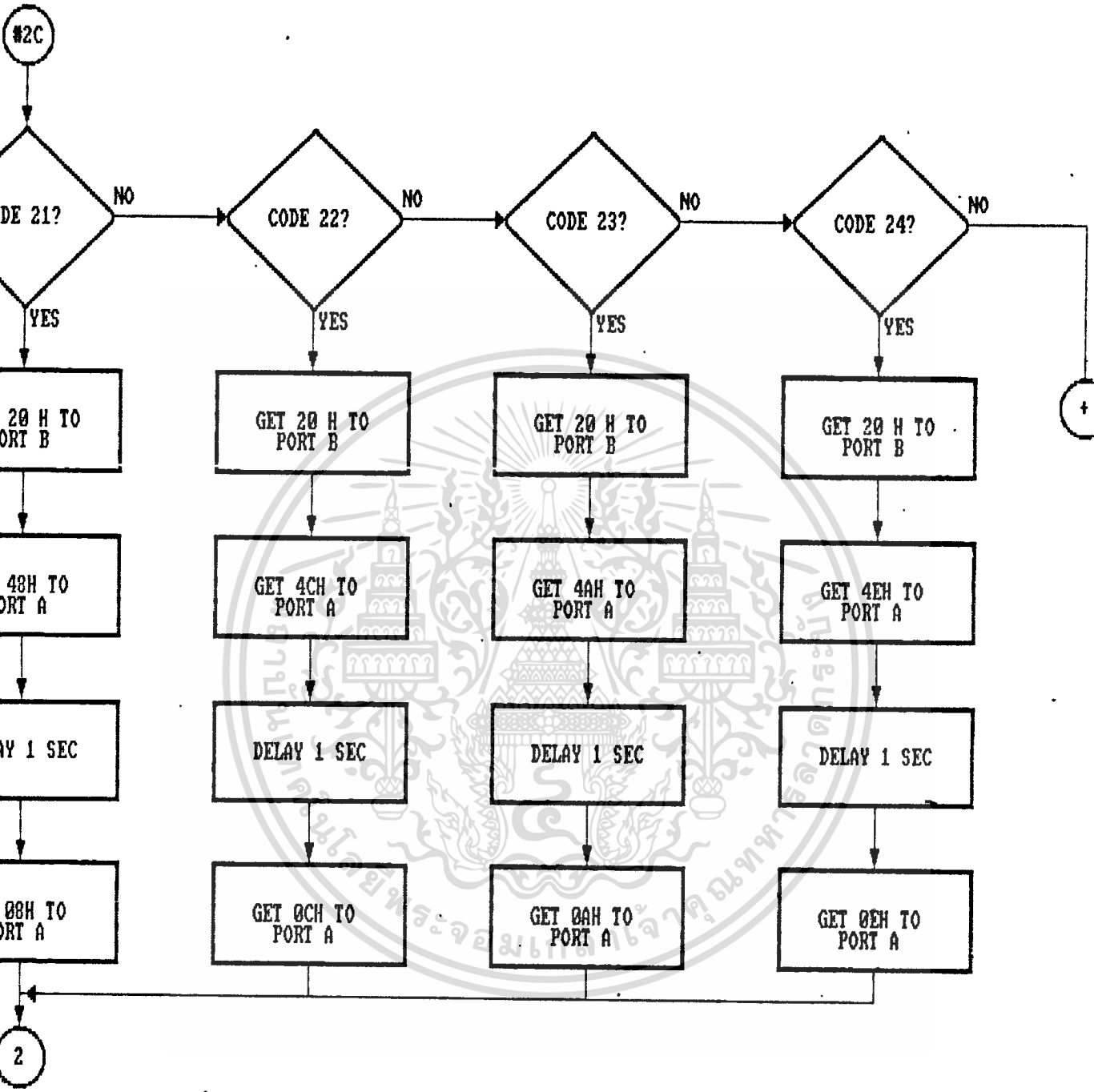
****
* RECORD FLOWCHART 1 *
****

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



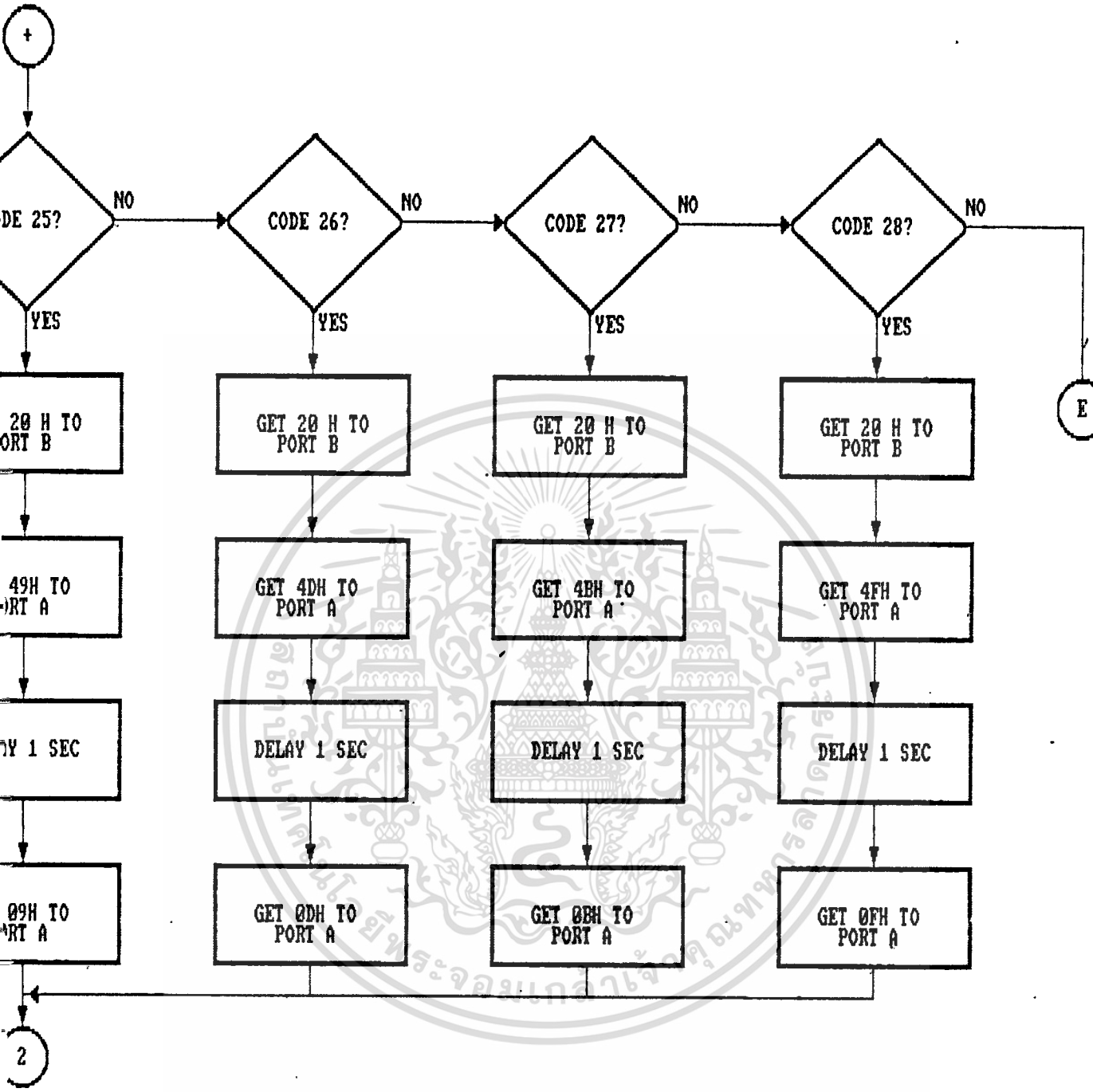

```
**************************
*  RECORD  FLOWCHART 2   *
**************************
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



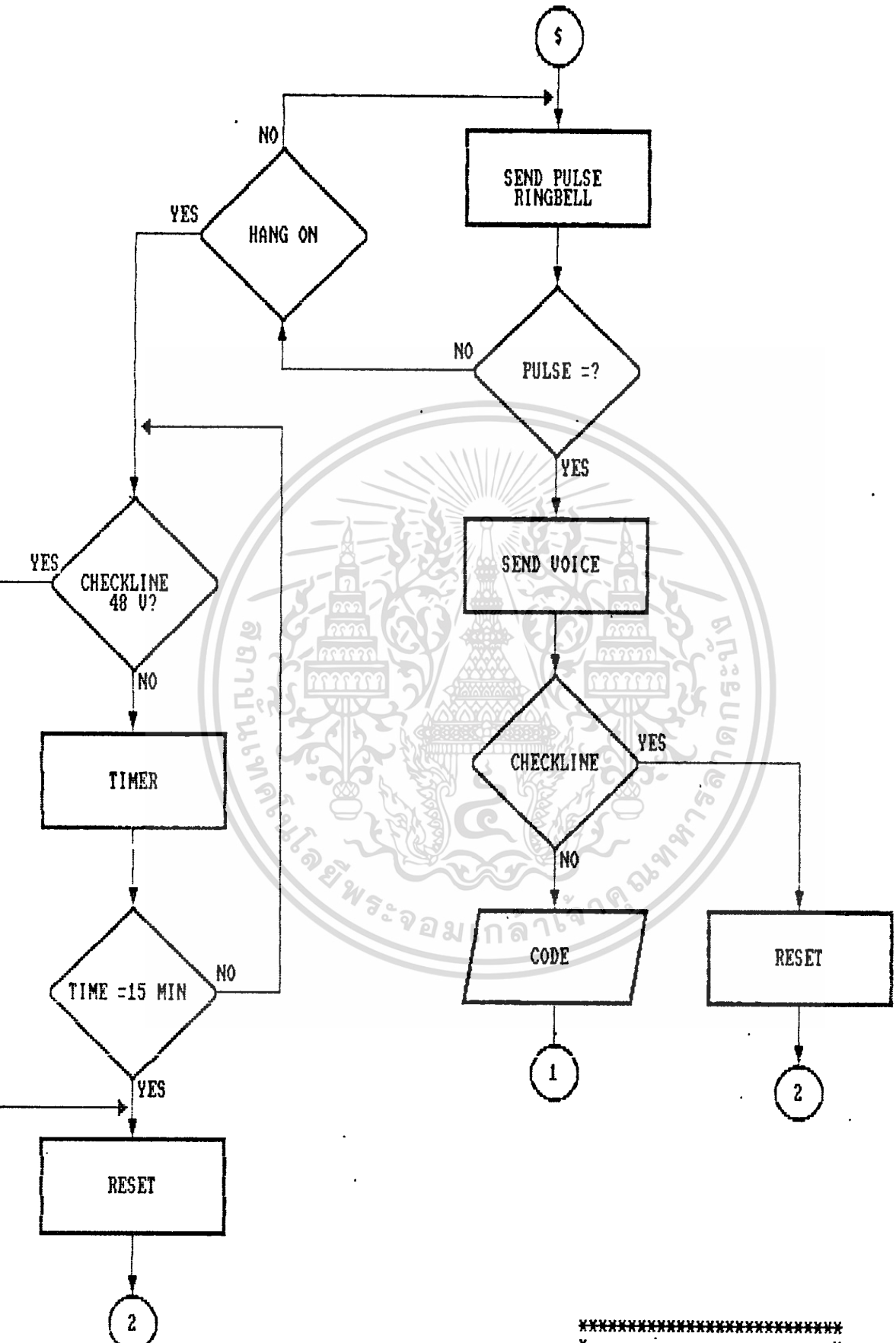
****
* PLAYBACK FLOWCHART 1 *
****

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



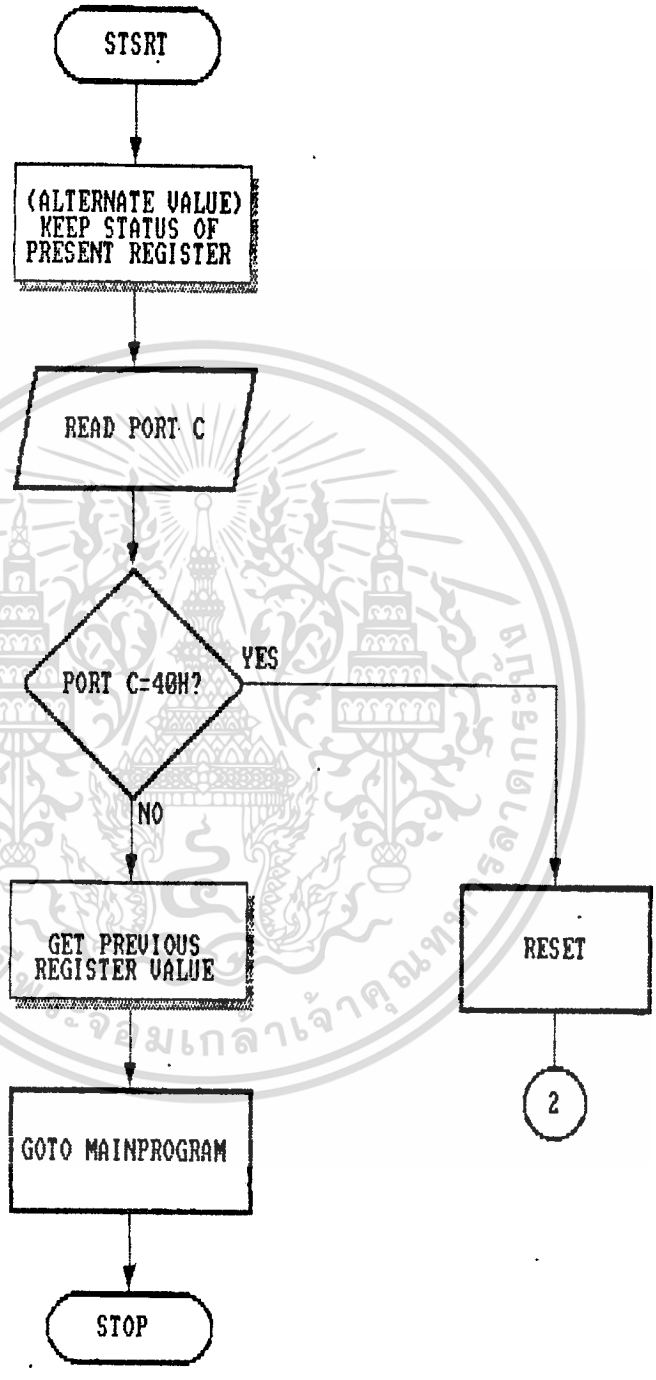
****
* PLAYBACK FLOWCHART 2 *
****

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



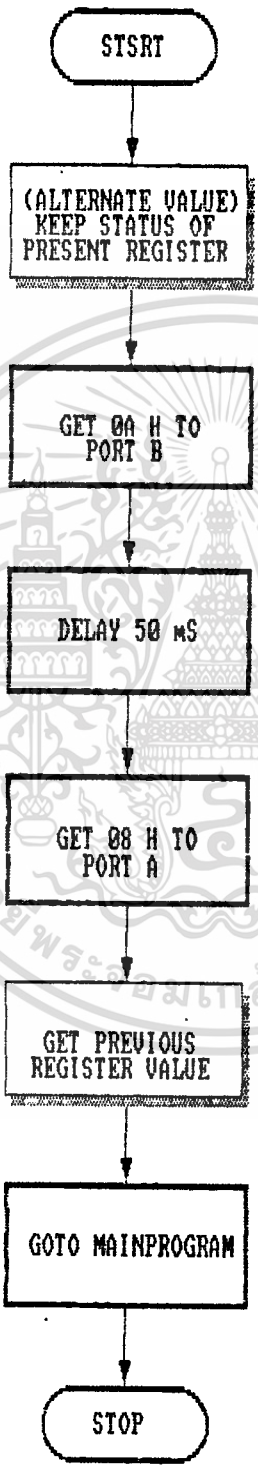
****
* RINGBELL FLOWCHART *
****

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



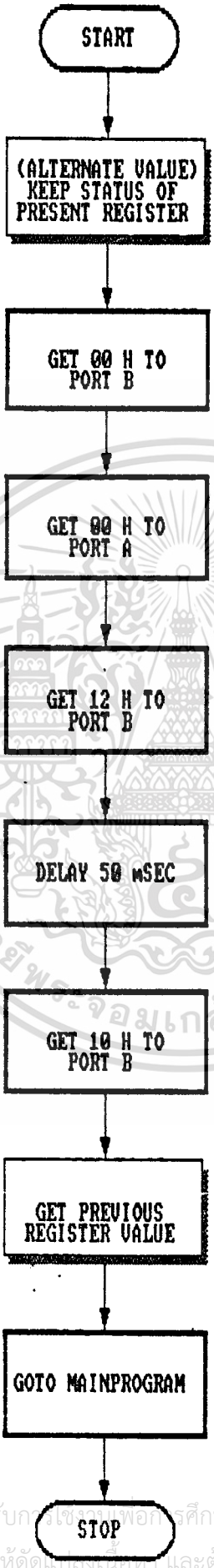
****
* TOOF FLOWCHART *
****

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



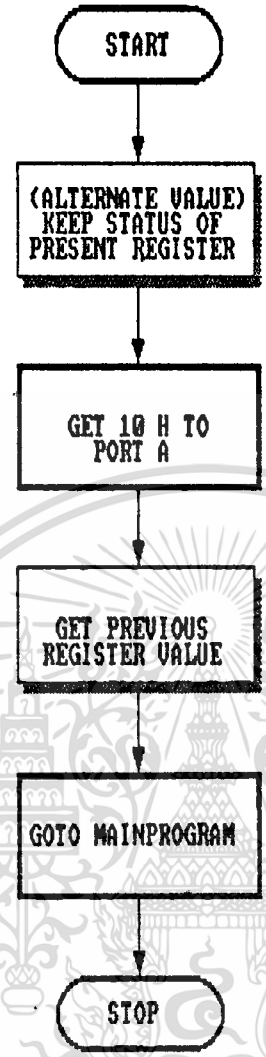
****
* SEND VOICE1 FLOWCHART
****

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



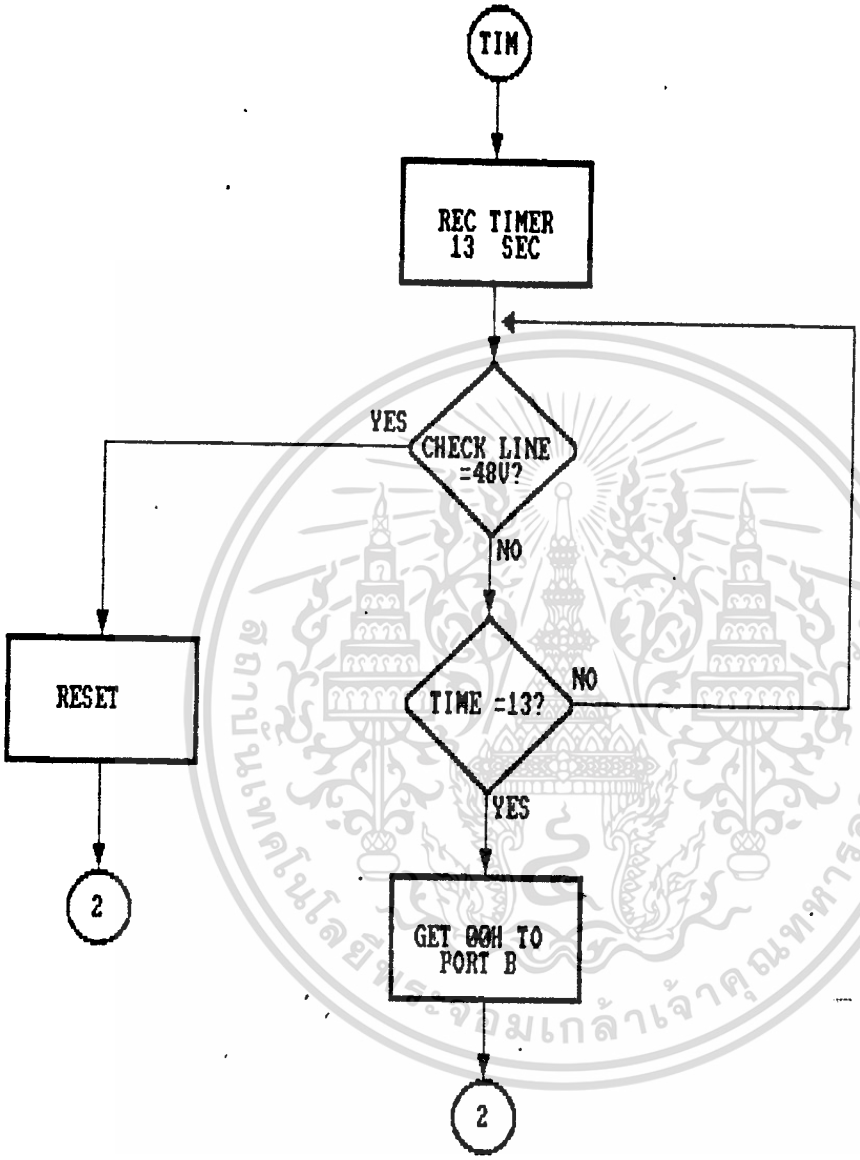
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

****
* SEND VOICE2 FLOWCHAR
****



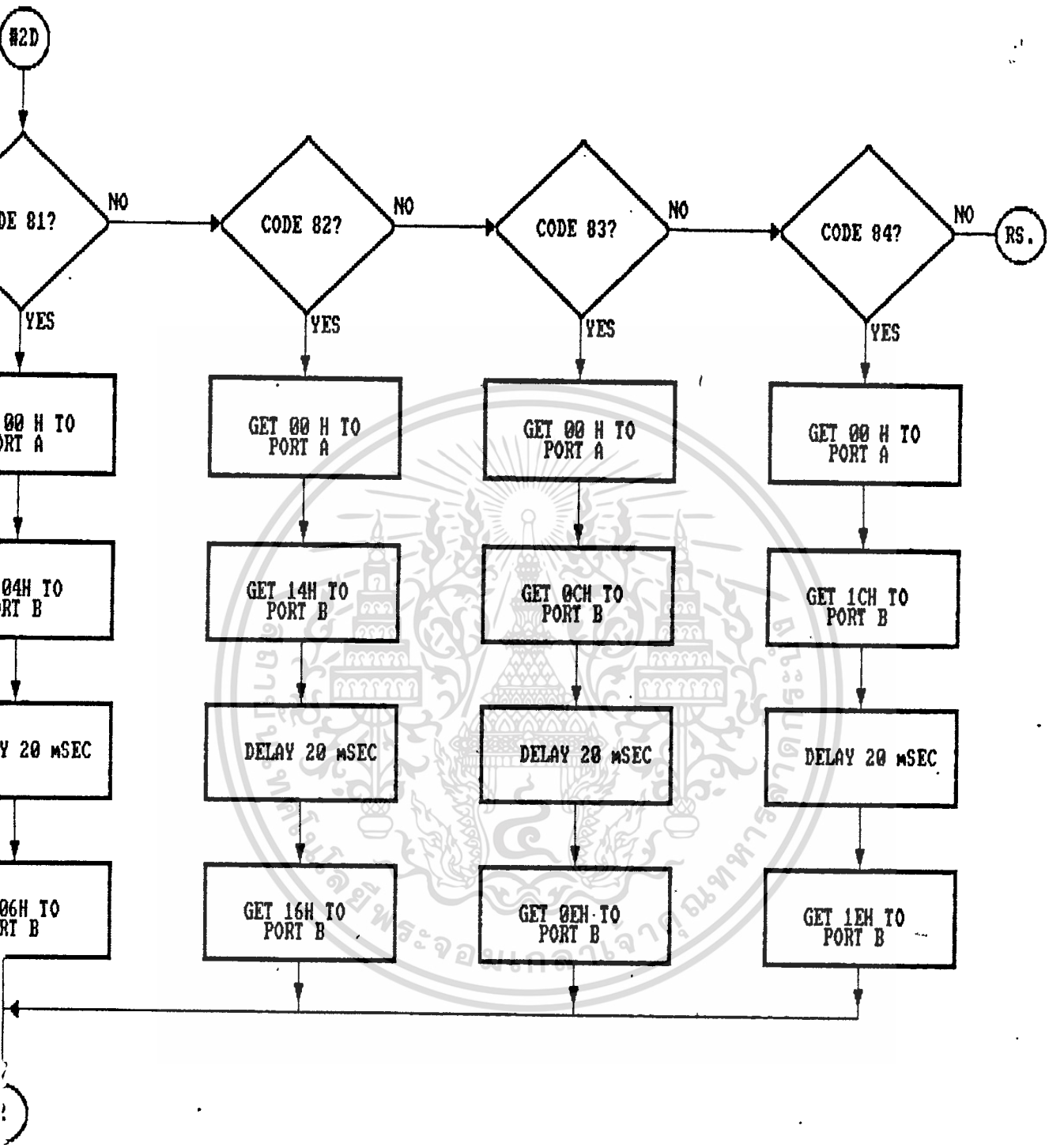
****
* RESET FLOWCHART
****

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



****
* TIMER REC FLOWCHART
****

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



****
* RECORD T 6668 4 CH *
****

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บรรณานุกรม

1. คู่มือ / เทียบเบอร์ ไอซี TTL
   บริษัท ซีเอ็ดยูเคชั่น จำกัด; กท.,2529
2. คู่มือ ไอซี CMOS / 4000 SERIES
   บริษัท ซีเอ็ดยูเคชั่น จำกัด; กท.,2531
3. ก้องเกียรติ ณ สีมา , "ทฤษฎีและการใช้งานไทม์เมอร์ ไอซี 555",
   บริษัท อีเลคทรอนิคส์ เวิลด์ จำกัด, 2528
4. Computer Language Center, "การใช้งาน Z80",
   ฟิสิกส์เซ็นเตอร์ การพิมพ์,
5. TRANSISTOR DATA BOOK
   บริษัท ซีเอ็ดยูเคชั่น จำกัด; กท.,2521
6. SEMICONDUCTOR ELECTRONICS JOURNAL
   บริษัท ซีเอ็ดยูเคชั่น จำกัด; ฉบับที่ 84 กท.,2531
7. SEMICONDUCTOR ELECTRONICS JOURNAL
   บริษัท ซีเอ็ดยูเคชั่น จำกัด; ฉบับที่ 85 กท.,2531
8. คู่มือ ไอซีอินพัทพอร์ทและหน่วยความจำ
   บริษัท ซีเอ็ดยูเคชั่น จำกัด; กท.,2525
9. คู่มือ ไอซีไมโครโปรเซสเซอร์
   บริษัท ซีเอ็ดยูเคชั่น จำกัด; กท.,2525
10. วิบูลย์ ชื่นแขก,"ไมโครโปรเซสเซอร์",
    สำนักพิมพ์สถาบันเทคโนโลยีพระจอมเกล้าพระนครเหนือ.,2532

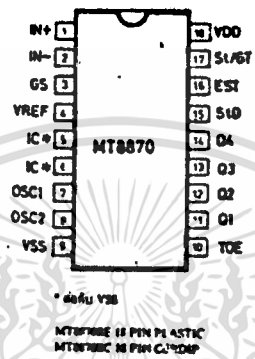
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ก

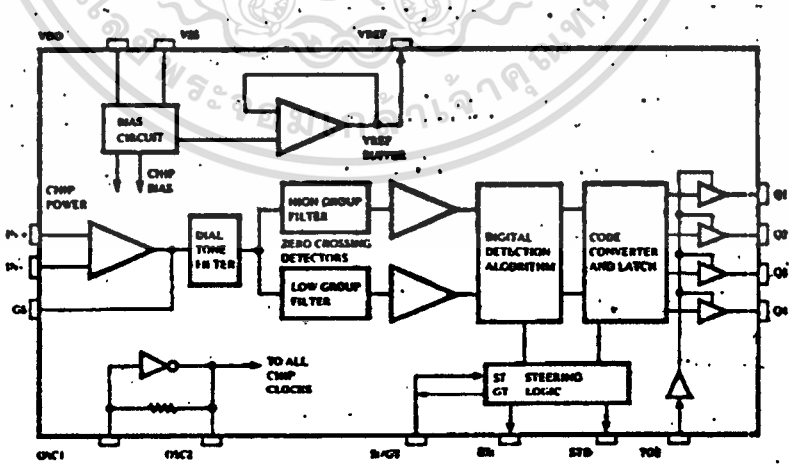
MT 8870 Integrated DTMF Receiver

ไอซีถอดระหัสความถี่โทรศัพท์

การถอดระหัสความถี่โทรศัพท์ หมายถึง การแปลงสัญญาณความถี่ซึ่งเกิดจากการกดปุ่มตัวเลขของโทรศัพทชนิดกดปุ่ม (ชนิด Tone หรือ DTMF) ให้เป็นระบบตัวเลขทางดิจิตอล ซึ่งไอซี MT8870 ใช้แปลงความถี่โทรศัพท์ให้เป็นเลขฐานสองขนาด 4 บิท



รูปที่ 1 แสดงรายละเอียดขาของ MT8870

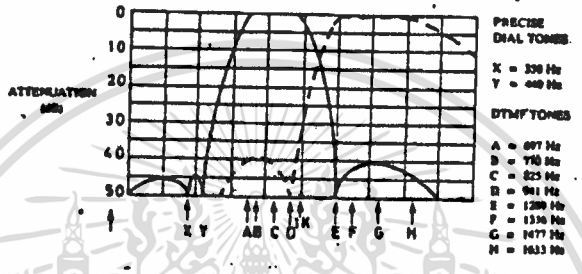


รูปที่ 2 แสดงโครงสร้างภายในของ MT8870

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

คุณสมบัติของ MT8870

- เป็นตัวรับและถอดรหัสความถี่ (DTMF receiver)
- กินไฟน้อย ใช้ไฟเลี้ยงระดับเดียวกับ TTL
- สามารถติดตั้งอัตรายายภายในตัวไอซีได้
- สามารถปรับการ์ดไทม์ (Guard time)
- เป็นไอซีคุณภาพสูง



รูปที่ 3 แสดงความถี่ที่ได้จากภาคกรองความถี่

การนำ MT8870 ไปใช้งาน

- นำไปใช้งานด้านรีโมตคอนโทรล
- เครื่องป้องกันโทรศัพท์ทางไกล
- ใช้งานเกี่ยวกับเครดิตการ์ด
- ใช้งานร่วมกับคอมพิวเตอร์
- ใช้ในเครื่องชุมสายขนาดย่อยหรือ PABX
- ใช้งานด้านโทรศัพท์ทั่วไป
- เครื่องป้องกันขโมย
- การควบคุมอุปกรณ์ทางโทรศัพท์
- ใช้ทำเครื่องสอบถามทางโทรศัพท์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

F_{row}	F_{COL}	NO	TOE	Q_4	Q_3	Q_2	Q_1
697	1209	1	H	0	0	0	1
697	1336	2	H	0	0	1	0
697	1477	3	H	0	0	1	1
770	1209	4	H	0	1	0	0
770	1336	5	H	0	1	0	1
770	1477	6	H	0	1	1	0
852	1209	7	H	0	1	1	1
852	1336	8	H	1	0	0	0
852	1477	9	H	1	0	0	1
941	1336	0	H	1	0	1	0
941	1209	*	H	1	0	1	1
941	1477	#	H	1	1	0	0
697	1633	A	H	1	1	0	1
770	1633	B	H	1	1	1	0
852	1633	C	H	1	1	1	1
941	1633	D	H	0	0	0	0
-	-	ANY	L	Z	Z	Z	Z

รูปที่ 4 แสดงค่าที่ถอดรหัสจากความถี่ต่างๆ

โครงสร้างของ MT8870

โครงสร้างภายในของ MT8870 ประกอบไปด้วยวงจรกรองความถี่และวงจรถอดรหัสฟังก์ชั่นทางดิจิตอล เป็นไอซีที่สร้างโดยใช้เทคโนโลยี ISO^{2}-CMOS ในส่วนของวงจรกรองความถี่ใช้เทคนิคของสวิทช์คาปาซิเตอร์ฟิลเตอร์ สำหรับกรองความถี่สูงและต่ำ ส่วนวงจรถอดรหัสใช้เทคนิคการนับทางดิจิตอลเพื่อตรวจจับและถอดรหัสทั้ง 16 ความถี่ออกเป็นเลขฐานสองขนาด 4 บิท และเช็คช่วงเวลาที่สัญญาณเข้ามา ส่วนภาคอินพุทเป็นออปแอมป์ ซึ่งสามารถปรับอัตราขยายได้โดยต่ออุปกรณ์ภายนอกเอาท์พุทเป็นวงจรแลตช์ 3 สถานะ รูปที่ 1 แสดงขาของ MT8870 และรูปที่ 2 แสดงโครงสร้างภายในของ MT8870

ฟังก์ชั่นการทำงานภายใน

ภายใน MT8870 ประกอบด้วยส่วนสำคัญ 5 ส่วน คือ

- ภาคกรองความถี่ (filter section)
- ภาคถอดรหัส (decoder section)
- ภาคตรวจสอบสัญญาณ (steering circuit)
- ภาคขยายสัญญาณความแตกต่าง (differential input)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- ภาคกำเนิดความถี่ (oscillator)

ภาคกรองสัญญาณความถี่

ในส่วนนี้จะแยกสัญญาณ DTMF ที่เข้ามาออกเป็น 2 กลุ่มความถี่ คือช่วงความถี่สูงและช่วงความถี่ต่ำ โดยใช้วงจรกรองแถบความถี่อันดับ 6 ชนิดสวิทช์คาปาซิเตอร์ (six -order switched capacitor band pass filter) ซึ่งความถี่ที่แยกได้มี 2 ช่วง คือช่วงความถี่สูงและช่วงความถี่ต่ำ

ภาคถอดรหัส

ความถี่ DTMF ซึ่งถูกกรองเรียบร้อยแล้วผ่านเข้าวงจรถอดรหัสความถี่ออกเป็นตัวเลขโดยใช้เทคนิคการนับแบบดิจิตอล และมีการตรวจสอบความถี่ที่เข้ามาว่าเป็นความถี่มาตรฐาน DTMF หรือไม่ เพื่อป้องกันความถี่อื่นเข้ามาผสมเมื่อตรวจสอบว่าความถี่นั้นถูกต้องสัญญาณที่ขา ESt (early steering) ก็จะแอคทีฟสำหรับค่าที่ถอดรหัสได้จากความถี่ต่าง ๆ นั้นแสดง ดังรูปที่ 4

ภาคตรวจสอบสัญญาณ

ก่อนที่จะมีการถอดรหัสความถี่ออกไปที่เอาต์พุท จะมีการตรวจสอบช่วงความถี่ที่เข้ามาว่ามีระยะเวลาตามที่กำหนดหรือไม่ โดยสังเกตจากระยะเวลาการกดปุ่มโทรศัพท์ ซึ่งต้องกดปุ่มให้มีความถี่ออกมาเป็นช่วงเวลาพอสมควรมิฉะนั้นวงจรส่วนนี้จะไม่รับ โดยถือว่าสัญญาณนั้นไม่ถูกต้อง ส่วนช่วงเวลายาวเท่าใดสามารถตั้งได้โดยใช้ RC ต่อภายนอก สัญญาณที่ขา ESt จะเป็น "High" นานใกล้เคียงกับระยะเวลาที่มีความถี่ DTMF เข้ามา จากรูปที่ 5 เมื่อขา ESt เป็น "High" ทำให้ V_c สูงขึ้นตัวเก็บประจุ C จะคายประจุทำให้แรงดัน V_c สูงขึ้นจนถึงค่าเทรชโฮลด์ วงจรถอดรหัสจึงจะถอดรหัสออกเป็นตัวเลขขนาด 4 บิท รายละเอียดการทำงานให้ดูจากแผนภูมเวลา (timing diagram) ในรูปที่ 9 จะเข้าใจได้ง่ายขึ้นสำหรับคำว่าการ์ดไทม์ (guard time) หมายถึง ช่วงคาบเวลาของความถี่ที่เข้ามา ซึ่งจะต้องนานเท่ากับหรือมากกว่าช่วงเวลาที่เราตั้งไว้ จึงจะได้รับการยอมรับสัญญาณความถี่นั้นถูกต้องหรือพูดได้ว่าเวลาที่เราตั้งไว้โดย RC ก็คือการ์ดไทม์นั่นเอง เมื่อสัญญาณความถี่เข้ามานานเท่าหรือมากกว่าเวลาที่ตั้งไว้จึงจะสามารถแปลงเป็นตัวเลขได้ ถ้าสัญญาณความถี่เข้ามาสั้นกว่าก็จะไม่มีการถอดรหัสเป็นตัวเลขออกไป การตั้งเวลาและคำนวณเวลาดูได้จากรูปที่ 5

ภาคขยายสัญญาณความแตกต่าง

วงจรส่วนอินพุทของ MT8870 เป็นภาคขยายออปแอมป์ที่สามารถปรับอัตราขยายได้

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ ห้ามนำไปใช้ในการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

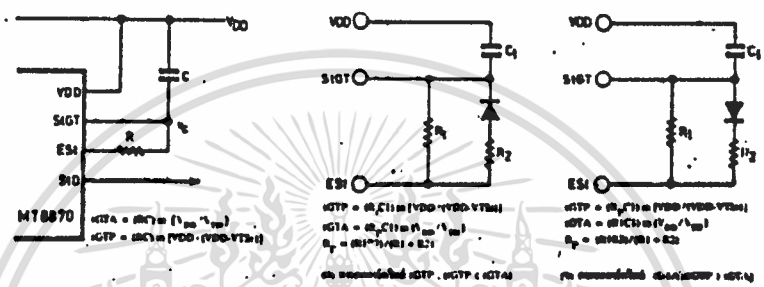
โดยต่อวงจรภายนอกเพิ่มเข้าไป รูปที่ 6 แสดงการต่อวงจรภายนอกเข้ากับอินพุทซึ่งสามารถคำนวณอัตราขยายความแตกต่างของอินพุทและอิมพีแดนซ์ได้ ดังนี้

อัตราขยาย (A_v diff) = R_f/R_i

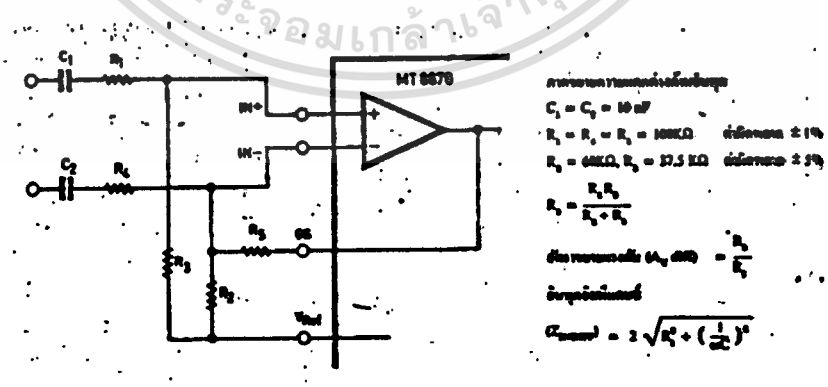
อินพุทอิมพีแดนซ์ (Z_{in} diff) = $2((R_i)^2 + (1/wc)^2)^{1/2}$

ภาคกำเนิดความถี่

ในภาคนี้ภายในไอซีจะมีวงจรเวลาอยู่ภายใน เพียงแต่ต่อแร่คริสตอลขนาด 3.58 MHz ก็สามารถใช้งานได้ทันที การต่อวงจรกำเนิดความถี่แสดงดังรูปที่ 7

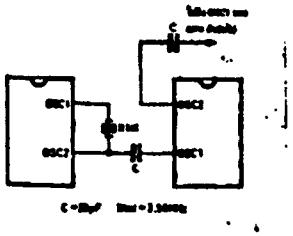


รูปที่ 5 แสดงวงจรตรวจสอบอย่างง่ายและแสดงการกำหนด guard time

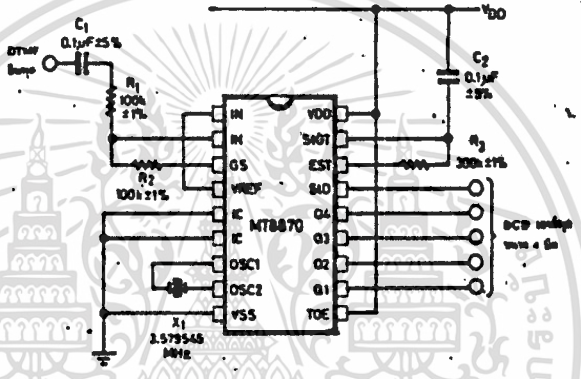


รูปที่ 6 แสดงการต่อวงจรภาคอินพุท

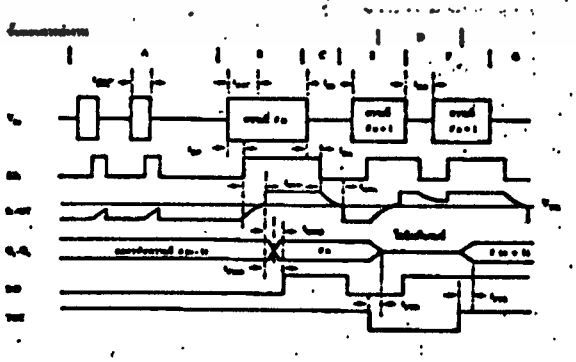
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 7 แสดงการต่อวงจรผลิตความถี่



รูปที่ 8 แสดงวงจรใช้งานเบื้องต้นของ MT8870



รูปที่ 9 แสดงแผนภูมิเวลาของ MT8870

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ข

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MOTOROLA

MC3417, MC3517
MC3418, MC3518

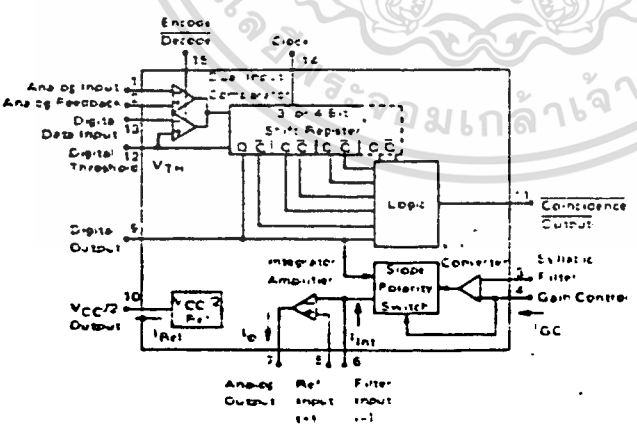
Specifications and Applications Information

CONTINUOUSLY VARIABLE SLOPE DELTA MODULATOR/DEMODULATOR

Providing a simplified approach to digital speech encoding/decoding, the MC3517/18 series of CVSDs is designed for military secure communication and commercial telephone applications. A single IC provides both encoding and decoding functions.

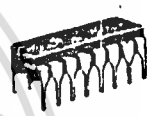
- Encode and Decode Functions on the Same Chip with a Digital Input for Selection
- Utilization of Compatible I^2L – Linear Bipolar Technology
- CMOS Compatible Digital Output
- Digital Input Threshold Selectable ($V_{CC}/2$ reference provided on chip)
- MC3417/MC3517 has a 3-Bit Algorithm (General Communications)
- MC3418/MC3518 has a 4-Bit Algorithm (Commercial Telephone)

CVSD BLOCK DIAGRAM



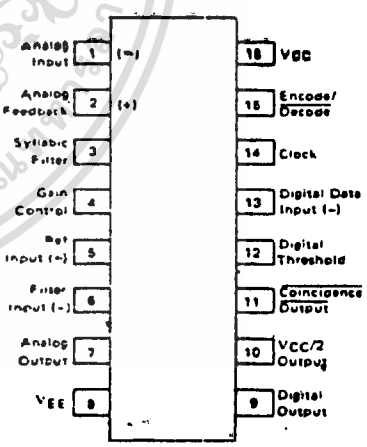
CONTINUOUSLY VARIABLE SLOPE DELTA MODULATOR/DEMODULATOR

LASER-TRIMMED INTEGRATED CIRCUIT



L SUFFIX
CERAMIC PACKAGE
CASE 620

PIN CONNECTIONS



ORDERING INFORMATION

Device	Package	Temperature Range
MC3417L	Ceramic DIP	0°C to +70°C
MC3418L	Ceramic DIP	0°C to +70°C
MC3517L	Ceramic DIP	−55°C to +125°C
MC3518L	Ceramic DIP	−55°C to +125°C

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MAXIMUM RATINGS

(All voltages referenced to V_{EE}, T_A = 25°C unless otherwise noted.)

Rating	Symbol	Value	Unit
Power Supply Voltage	V_{CC}	−0.4 to +18	Vdc
Differential Analog Input Voltage	V_{ID}	±5.0	Vdc
Digital Threshold Voltage	V_{TH}	−0.4 to V_{CC}	Vdc
Logic Input Voltage (Clock, Digital Data, Encode/$\overline{\text{Decode}}$)	V_{Logic}	−0.4 to +18	Vdc
Coincidence Output Voltage	$V_{O(Con)}$	−0.4 to +18	Vdc
Syllabic Filter Input Voltage	$V_{I(Syl)}$	−0.4 to V_{CC}	Vdc
Gain Control Input Voltage	$V_{I(GC)}$	−0.4 to V_{CC}	Vdc
Reference Input Voltage	$V_{I(Ref)}$	$V_{CC}/2$ − 1.0 to V_{CC}	Vdc
$V_{CC}/2$ Output Current	I_{Ref}	−25	mA

ELECTRICAL CHARACTERISTICS

(V_{CC} = 12 V, V_{EE} = Gnd, T_A = 0°C to +70°C for MC3417/18, T_A = −55°C to +125°C for MC3517/18 unless otherwise noted.)

Characteristic	Symbol	MC3417/MC3517			MC3418/MC3518			Unit
		Min	Typ	Max	Min	Typ	Max	
Power Supply Voltage Range (Figure 1)	V_{CCR}	4.75	12	16.5	4.75	12	16.5	Vdc
Power Supply Current (Figure 1) (Idle Channel)	I_{CC}							mA
(V_{CC} = 5.0 V)		–	3.7	5.0	–	3.7	5.0	
(V_{CC} = 15 V)		–	6.0	10	–	6.0	10	
Clock Rate	SR	–	16 k	–	–	32 k	–	Samples/s
Gain Control Current Range (Figure 2)	I_{GCR}	0.001	–	3.0	0.001	–	3.0	mA
Analog Comparator Input Range (Pins 1 and 2) (4.75 V ≤ V_{CC} ≤ 16.5 V)	V_I	1.3	–	V_{CC} − 1.3	1.3	–	V_{CC} − 1.3	Vdc
Analog Output Range (Pin 7) (4.75 V ≤ V_{CC} ≤ 16.5 V, I_O = ± 5.0 mA)	V_O	1.3	–	V_{CC} − 1.3	1.3	–	V_{CC} − 1.3	Vdc
Input Bias Currents (Figure 3) (Comparator in Active Region)	I_{IB}							µA
Analog Input (I1)		–	0.8	1.5	–	0.25	1.0	
Analog Feedback (I2)		–	0.5	1.5	–	0.25	1.0	
Syllabic Filter Input (I3)		–	0.06	0.5	–	0.06	0.3	
Reference Input (I5)		–	−0.06	−0.5	–	−0.06	−0.3	
Input Offset Current (Comparator in Active Region)	I_{IO}							µA
Analog Input/Analog Feedback I11 − I2 — Figure 3		–	0.15	0.6	–	0.05	0.4	
Integrator Amplifier I15 − I6 — Figure 4		–	0.02	0.2	–	0.01	0.1	
Input Offset Voltage V/I Converter (Pins 3 and 4) — Figure 5	V_{IO}	–	2.0	6.0	–	2.0	6.0	mV
Transconductance	gm							mA/mV
V/I Converter, 0 to 3.0 mA		0.1	0.3	–	0.1	0.3	–	
Integrator Amplifier, 0 to ± 5.0 mA Load		1.0	10	–	1.0	10	–	
Propagation Delay Times (Note 1)								µs
Clock Trigger to Digital Output (C_L = 25 pF to Gnd)	t_{PLH}	–	1.0	2.5	–	1.0	2.5	
	t_{PHL}	–	0.8	2.5	–	0.8	2.5	
Clock Trigger to Coincidence Output (C_L = 25 pF to Gnd) (R_L = 4 kΩ to V_{CC})	t_{PLH}	–	1.0	3.0	–	1.0	3.0	
	t_{PHL}	–	0.8	2.0	–	0.8	2.0	
Coincidence Output Voltage — Low Logic State ($I_{OL(Con)}$ = 3.0 mA)	$V_{OL(Con)}$	–	0.12	0.25	–	0.12	0.25	Vdc
Coincidence Output Leakage Current — High Logic State (V_{OH} = 15.0 V, 0°C ≤ T_A ≤ 70°C)	$I_{OH(Con)}$	–	0.01	0.5	–	0.01	0.5	µA

NOTE 1. All propagation delay times measured 50% to 50% from the negative going (from V_{CC} to +0.4 V) edge of the clock.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS (continued)

Characteristic	Symbol	MC3417/MC3517			MC3418/MC3518			Unit
		Min	Typ	Max	Min	Typ	Max	
Applied Digital Threshold Voltage Range (Pin 12)	V_{TH}	+1.2	–	V_{CC} – 2.0	+1.2	–	V_{CC} – 2.0	Vdc
Digital Threshold Input Current (1.2 V ≤ V_{th} ≤ V_{CC} – 2.0 V)	$I_{th(in)}$							μA
(V_{IL} applied to Pins 13, 14 and 15)		–	–	5.0	–	–	5.0	
(V_{IH} applied to Pins 13, 14 and 15)		–	–10	–50	–	–10	–50	
Maximum Integrator Amplifier Output Current	I_O	±5.0	–	–	±5.0	–	–	mA
V_{CC}/2 Generator Maximum Output Current (Source only)	I_{Ref}	+10	–	–	+10	–	–	mA
V_{CC}/2 Generator Output Impedance (0 to +10 mA)	Z_{Ref}	–	3.0	6.0	–	3.0	6.0	Ω
V_{CC}/2 Generator Tolerance (4.75 V ≤ V_{CC} ≤ 16.5 V)	ε_T	–	–	±3.6	–	–	±3.6	%
Logic Input Voltage (Pins 13, 14 and 15)								Vdc
Low Logic State	V_{IL}	Gnd	–	V_{th} – 0.4	Gnd	–	V_{th} – 0.4	
High Logic State	V_{IH}	V_{th} + 0.4	–	18.0	V_{th} + 0.4	–	18.0	
Dynamic Total Loop Offset Voltage (Note 2) – Figures 3, 4 and 5	ΔV_{offset}							mV
I_{GC} = 12.0 μA, V_{CC} = 12 V								
T_A = 25°C		–	–	–	–	±0.5	±1.5	
0°C ≤ T_A ≤ +70°C MC3417/18		–	–	–	–	±0.75	±2.3	
–55°C ≤ T_A ≤ +125°C MC3517/18		–	–	–	–	±1.5	±4.0	
I_{GC} = 33.0 μA, V_{CC} = 12 V								
T_A = 25°C		–	±2.5	±5.0	–	–	–	
0°C ≤ T_A ≤ +70°C MC3417/18		–	±3.0	±7.5	–	–	–	
–55°C ≤ T_A ≤ +125°C MC3517/18		–	±4.5	±10	–	–	–	
I_{GC} = 12.0 μA, V_{CC} = 5.0 V								
T_A = 25°C		–	–	–	–	±1.0	±2.0	
0°C ≤ T_A ≤ +70°C MC3417/18		–	–	–	–	±1.3	±2.8	
–55°C ≤ T_A ≤ +125°C MC3517/18		–	–	–	–	±2.5	±5.0	
I_{GC} = 33.0 μA, V_{CC} = 5.0 V								
T_A = 25°C		–	±4.0	±6.0	–	–	–	
0°C ≤ T_A ≤ +70°C MC3417/18		–	±4.5	±6.0	–	–	–	
–55°C ≤ T_A ≤ +125°C MC3517/18		–	±6.5	±10	–	–	–	
Logic Output Voltage								Vdc
(I_{OL} = 3.6 mA)	V_{OL}	–	0.1	0.4	–	0.1	0.4	
(I_{OH} = –0.35 mA)	V_{OH}	V_{CC} – 1.0	V_{CC} – 0.2	–	V_{CC} – 1.0	V_{CC} – 0.2	–	
Synchronous Filter Applied Voltage (Fig. 3) (Figure 2)	$V_{(SF)}$	+3.2	–	V_{CC}	+3.2	–	V_{CC}	Vdc
Integrating Current (Figure 2)	I_{int}							
(I_{GC} = 12.0 μA)		8.0	10	12	8.0	10	12	μA
(I_{GC} = 1.5 mA)		1.45	1.50	1.55	1.45	1.50	1.55	mA
(I_{GC} = 3.0 mA)		2.75	3.0	3.25	2.75	3.0	3.25	mA
Dynamic Integrating Current Match (I_{GC} = 1.5 mA) Figure 6	ΔI_{int}	–	±100	±250	–	±100	±250	mV
Input Current – High Logic State (V_{IH} = 18 V)	I_{IH}							μA
Digital Data Input		–	–	+5.0	–	–	+5.0	
Clock Input		–	–	+5.0	–	–	+5.0	
Encode/Decode Input		–	–	+5.0	–	–	+5.0	
Input Current – Low Logic State (V_{IL} = 0 V)	I_{IL}							μA
Digital Data Input		–	–	–10	–	–	–10	
Clock Input		–	–	–360	–	–	–360	
Encode/Decode Input		–	–	–36	–	–	–36	
Clock Input, V_{IL} = 0.4 V		–	–	–72	–	–	–72	

NOTE 2: Dynamic total loop offset (ΔV_{offset}) equals ±1.0 (comparator) (Figure 3) minus V_{IOX} (Figure 5). The input offset voltages of the analog comparator and of the integrator amplifier include the effects of input offset current through the input resistors. The slope polarity switch current mismatch appears as an average voltage across the 10 k integrator resistor. For the MC3417/MC3517, the clock frequency is 16.0 kHz. For the MC3418/MC3518 the clock frequency is 32.0 kHz. Tone channel performance is guaranteed if tone-to-tone dc step offset is less than one-half of the change in integrator output voltage during one clock cycle (tone step size) with ΔVoffset = ±6 mV used to insure good tone channel performance.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DEFINITIONS AND FUNCTION OF PINS

Pin 1 – Analog Input

This is the analog comparator inverting input where the voice signal is applied. It may be ac or dc coupled depending on the application. If the voice signal is to be level shifted to the internal reference voltage, then a bias resistor between pins 1 and 10 is used. The resistor is used to establish the reference as the new dc average of the ac coupled signal. The analog comparator was designed for low hysteresis (typically less than 0.1 mV) and high gain (typically 70 dB).

Pin 2 – Analog Feedback

This is the non-inverting input to the analog signal comparator within the IC. In an encoder application it should be connected to the analog output of the encoder circuit. This may be pin 7 or a low pass filter output connected to pin 7. In a decode circuit pin 2 is not used and may be tied to $V_{CC}/2$ on pin 10, ground or left open.

The analog input comparator has bias currents of 1.6 μA max, thus the driving impedances of pins 1 and 2 should be equal to avoid disturbing the idle channel characteristics of the encoder.

Pin 3 – Syllabic Filter

This is the point at which the syllabic filter voltage is returned to the IC in order to control the integrator step size. It is an NPN input to an op amp. The syllabic filter consists of an RC network between pins 11 and 3. Typical time constant values of 6 ms to 50 ms are used in voice codecs.

Pin 4 – Gain Control Input

The syllabic filter voltage appears across C_S of the syllabic filter and is the voltage between V_{CC} and pin 3. The active voltage to current (V-I) converter drives pin 4 to the same voltage at a slew rate of typically 0.5 V/μs. Thus the current injected into pin 4 (I_{GC}) is the syllabic filter voltage divided by the R_x resistance. Figure 6 shows the relationship between I_{GC} (x-axis) and the integrating current, I_{Int} (y-axis). The discrepancy, which is most significant at very low currents, is due to circuitry within the slope polarity switch which enables trimming to a low total loop offset. The R_x resistor is then varied to adjust the loop gain of the codec, but should be no larger than 5.0 kΩ to maintain stability.

Pin 5 – Reference Input

This pin is the non-inverting input of the integrator amplifier. It is used to reference the dc level of the output signal. In an encoder circuit it must reference the same voltage as pin 1 and is tied to pin 10.

Pin 6 – Filter Input

This inverting op amp input is used to connect the integrator external components. The integrating current (I_{Int}) flows into pin 6 when the analog input (pin 1) is high with respect to the analog feedback (pin 2) in the encode mode or when the digital data input (pin 13) is high in the decode mode. For the opposite states, I_{Int} flows out of Pin 6. Single integration systems require a capacitor and resistor between pins 6 and 7. Multipole configurations will have different circuitry. The resistance between pins 6 and 7 should always be between 8 kΩ and 13 kΩ to maintain good idle channel characteristics.

Pin 7 – Analog Output

This is the integrator op amp output. It is capable of driving a 600-ohm load referenced to $V_{CC}/2$ to +6 dBm and can otherwise be treated as an op amp output. Pins 5, 6, and 7 provide full access to the integrator op amp for designing integration filter networks. The slew rate of the internally compensated integrator op amp is typically 0.5 V/μs. Pin 7 output is current limited for both polarities of current flow at typically 30 mA.

Pin 8 – V_{EE}

The circuit is designed to work in either single or dual power supply applications. Pin 8 is always connected to the most negative supply.

Pin 9 – Digital Output

The digital output provides the results of the delta modulator's conversion. It swings between V_{CC} and V_{EE} and is CMOS or TTL compatible. Pin 9 is inverting with respect to pin 1 and non-inverting with respect to pin 2. It is clocked on the falling edge of pin 14. The typical 10% to 90% rise and fall times are 250 ns and 50 ns respectively for V_{CC} = 12 V and C_L = 25 pF to ground.

Pin 10 – $V_{CC}/2$ Output

An internal low impedance mid-supply reference is provided for use of the MC3417/18 in single supply applications. The internal regulator is a current source and must be loaded with a resistor to insure its sinking capability. If a +6 dBmo signal is expected across a 600 ohm input bias resistor, then pin 10 must sink 2.2 V/600 Ω = 3.66 mA. This is only possible if pin 10 sources 3.66 mA into a resistor normally and will source only the difference under peak load. The reference load resistor is chosen accordingly. A 0.1 μF bypass capacitor from pin 10 to V_{EE} is also recommended. The $V_{CC}/2$ reference is capable of sourcing 10 mA and can be used as a reference elsewhere in the system circuitry.

Pin 11 – $\overline{\text{Coincidence Output}}$

The duty cycle of this pin is proportional to the voltage across C_S. The coincidence output will be low whenever the content of the internal shift register is all 1s or all 0s. In the MC3417 the register is 3 bits long

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DEFINITIONS AND FUNCTIONS OF PINS (continued)

while the MC3418 contains a 4 bit register. Pin 11 is an open collector of an NPN device and requires a pull-up resistor. If the syllabic filter is to have equal charge and discharge time constants, the value of R_P should be much less than R_S. In systems requiring different charge and discharge constants, the charging constant is $R_S C_S$ while the decaying constant is $(R_S + R_P)C_S$. Thus longer decays are easily achievable. The NPN device should not be required to sink more than 3 mA in any configuration. The typical 10% to 90% rise and fall times are 200 ns and 100 ns respectively for R_L = 4 kΩ to +12 V and C_L = 25 pF to ground.

Pin 12 — Digital Threshold

This input sets the switching threshold for pins 13, 14, and 15. It is intended to aid in interfacing different logic families without external parts. Often it is connected to the $V_{CC}/2$ reference for CMOS interface or can be biased two diode drops above V_{EE} for TTL interface.

Pin 13 — Digital Data Input

In a decode application, the digital data stream is applied to pin 13. In an encoder it may be unused or may be used to transmit signaling message under the control of pin 15. It is an inverting input with respect to pin 9. When pins 9 and 13 are connected, a toggle flip-flop is formed and a forced idle channel pattern can be transmitted. The digital data input level should be maintained for 0.5 μs before and after the clock trigger for proper clocking.

Pin 14 — Clock Input

The clock input determines the data rate of the codec circuit. A 32K bit rate requires a 32 kHz clock. The switching threshold of the clock input is set by pin 12. The shift register circuit toggles on the falling edge of the clock input. The minimum width for a positive-going pulse on the clock input is 300 ns, whereas for a negative-going pulse, it is 900 ns.

Pin 15 — Encode/$\overline{\text{Decode}}$

This pin controls the connection of the analog input comparator and the digital input comparator to the internal shift register. If high, the result of the analog comparison will be clocked into the register on the falling edge at pin 14. If low, the digital input state will be entered. This allows use of the IC as an encoder/decoder or simplex codec without external parts. Furthermore, it allows non-voice patterns to be forced onto the transmission line through pin 13 in an encoder.

Pin 16 — V_{CC}

The power supply range is from 4.75 to 16.5 volts between pin V_{CC} and V_{EE}.

FIGURE 1 — POWER SUPPLY CURRENT

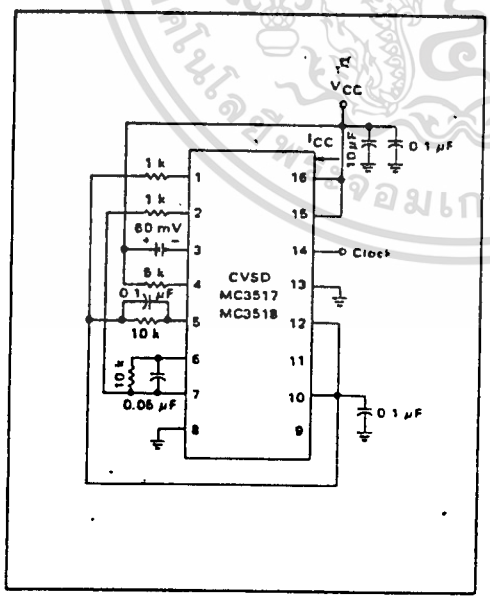
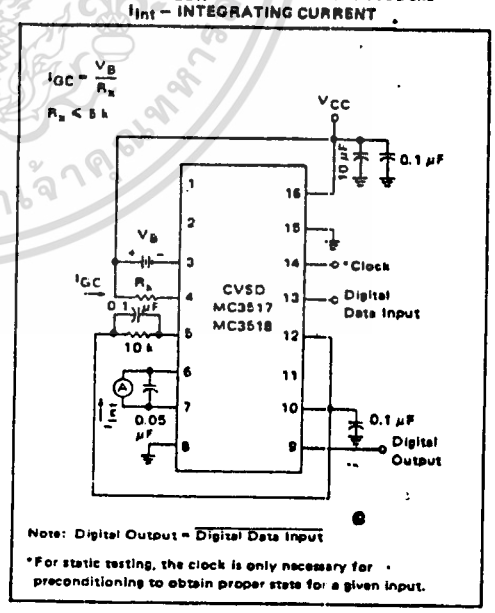


FIGURE 2 — I_{GCR}, GAIN CONTROL RANGE and I_{int} — INTEGRATING CURRENT

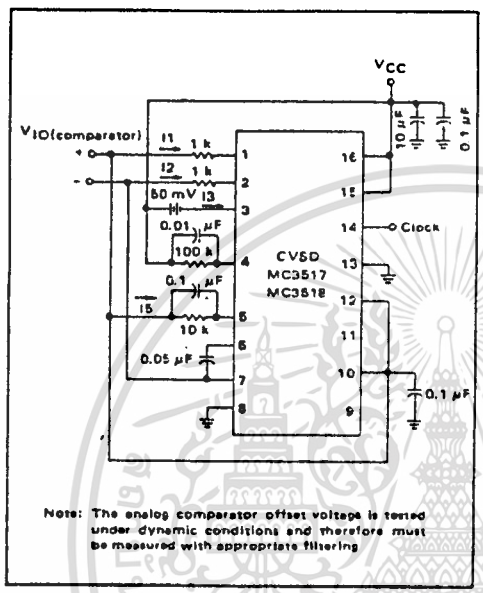


Note: Digital Output = $\overline{\text{Digital Data Input}}$

*For static testing, the clock is only necessary for preconditioning to obtain proper state for a given input.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FIGURE 3 – INPUT BIAS CURRENTS, ANALOG COMPARATOR OFFSET VOLTAGE AND CURRENT



Note: The analog comparator offset voltage is tested under dynamic conditions and therefore must be measured with appropriate filtering.

FIGURE 4 – INTEGRATOR AMPLIFIER OFFSET VOLTAGE AND CURRENT

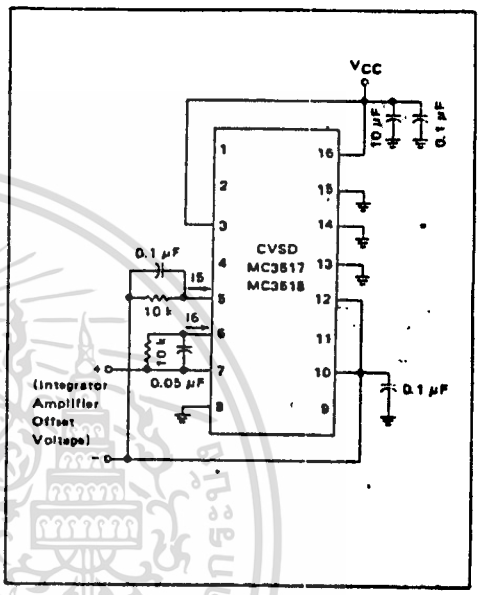
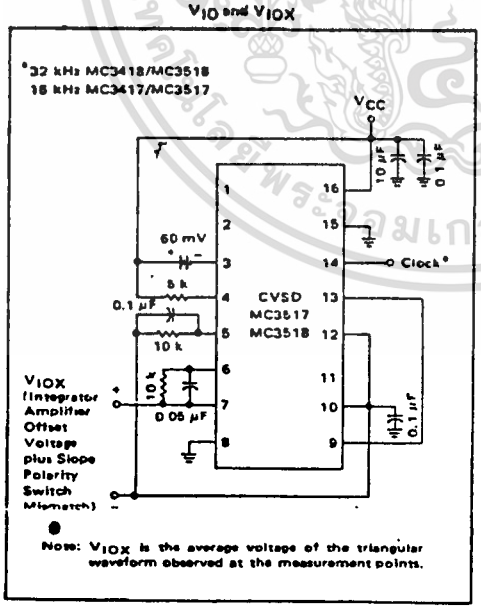
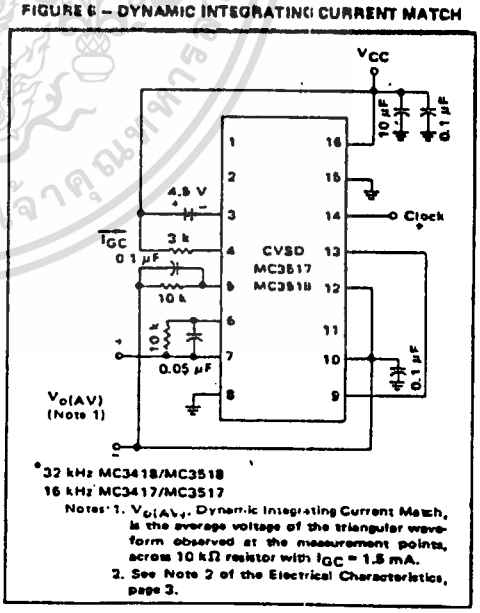


FIGURE 5 – V/I CONVERTER OFFSET VOLTAGE, V_{IO} and V_{IOX}



Note: V_{IOX} is the average voltage of the triangular waveform observed at the measurement points.

FIGURE 6 – DYNAMIC INTEGRATING CURRENT MATCH



*32 kHz MC3418/MC3518
16 kHz MC3417/MC3517

Notes: 1. $V_{o(AV)}$, Dynamic Integrating Current Match, is the average voltage of the triangular waveform observed at the measurement points, across 10 kΩ resistor with I_{GC} = 1.5 mA.

2. See Note 2 of the Electrical Characteristics, page 3.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPICAL PERFORMANCE CURVES

FIGURE 7 – TYPICAL I_{int} versus I_{GC} (Mean ± 2σ)

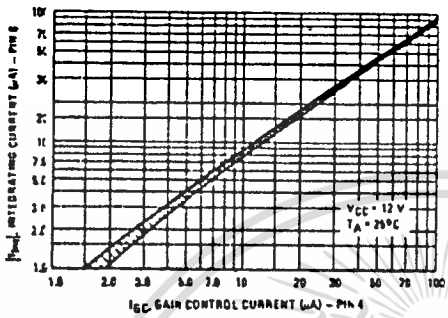


FIGURE 8 – NORMALIZED DYNAMIC INTEGRATING CURRENT MATCH versus V_{CC}

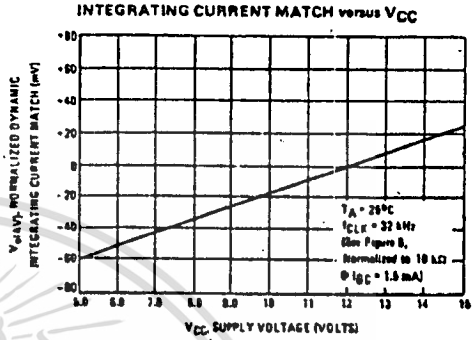


FIGURE 9 – NORMALIZED DYNAMIC INTEGRATING CURRENT MATCH versus CLOCK FREQUENCY

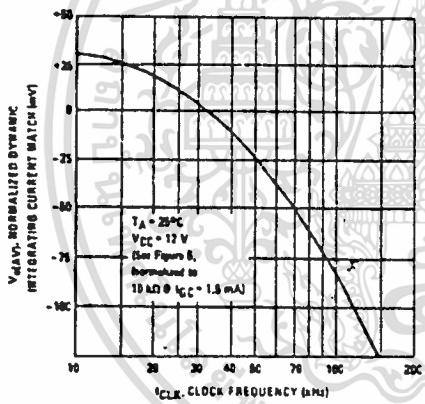


FIGURE 10 – DYNAMIC TOTAL LOOP OFFSET versus CLOCK FREQUENCY

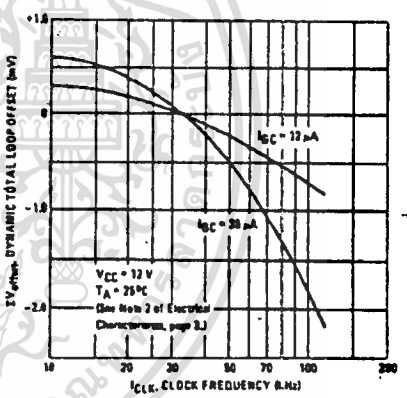
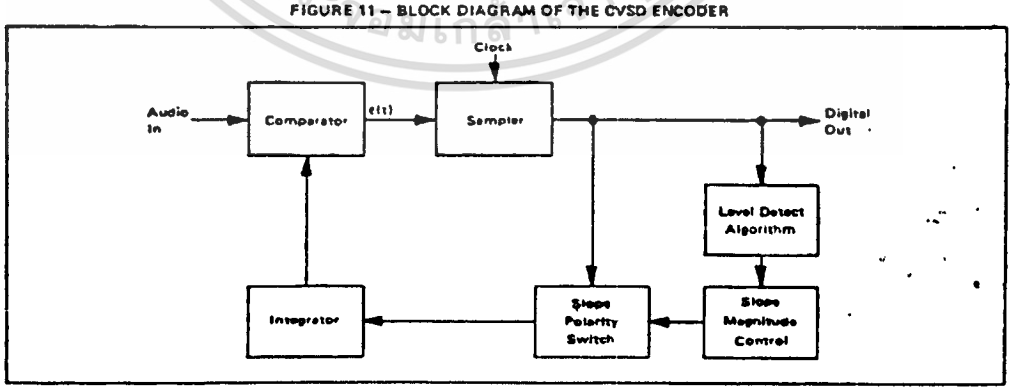


FIGURE 11 – BLOCK DIAGRAM OF THE CVSD ENCODER



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

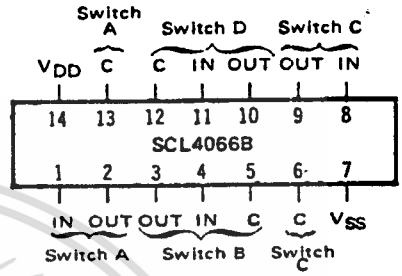
SCL4066B

CMOS QUAD ANALOG SWITCH

FEATURES

- Transmission or Multiplexing of Analog or Digital Signals
- 80Ω Typical ON-Resistance for 15-Volt operation
- Switch ON-Resistance Matched to within 5Ω over 15-Volt Signal-Input Range
- ON-Resistance Flat over Full Peak-to-Peak Signal Range
- High Degree of Linearity:
  ≤0.5% Distortion (typ) @ f_{is} = 1kHz, V_{is} = 5V_{p-p}, V_{DD}-V_{SS} ≥ 10V, R_L = 10kΩ
- Extremely Low OFF switch Leakage Resulting in very Low Offset Current and High Effective OFF Resistance:
  10pA (typ) @ V_{DD}-V_{SS} = 10V, T_A = 25°C
- Extremely High Control Input Impedance (Control Circuit Isolated from Signal Circuit):
  10^{12} Ω (typ)
- Low Crosstalk between Switches:
  -50dB (typ) @ f_{is} = 0.9MHz, R_L = 1kΩ
- Matched Control-Input to Signal-Output Capacitance Reduces Output Signal Transients
- Frequency Response, Switch ON = 40MHz (typ)

CONNECTION DIAGRAM
(all packages)



Add suffix for package:

C	14-pin Cerdip	F	14-pin Flat
D	14-pin Ceramic	H	Chip
E	14-pin Epoxy		

RECOMMENDED OPERATING CONDITIONS

For maximum reliability:

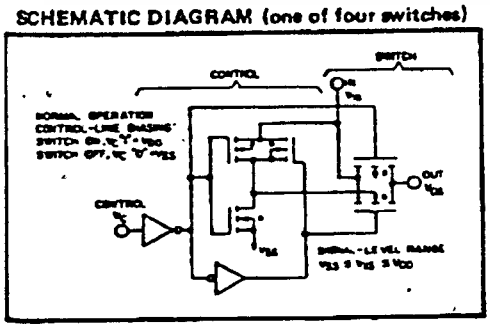
DC Supply Voltage	V_{DD} - V_{SS}	3 to 15	Vdc
Operating Temperature	T_A		
C, D, F, H Device		-55 to +125	°C
E Device		-40 to +85	°C

DESCRIPTION

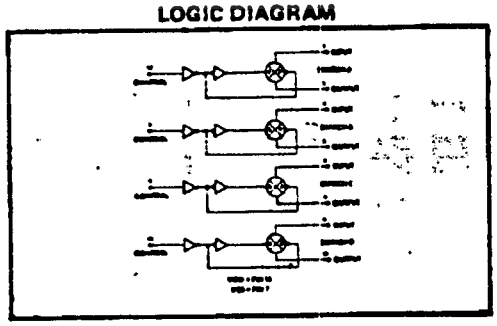
The SCL4066B is a Quad Bilateral Switch intended for the transmission or multiplexing of analog or digital signals. It is pin-for-pin compatible with the SCL4016B, but exhibits a much lower ON-resistance. In addition, the ON-resistance is relatively constant over the full input signal range. The SCL4066 consists of four independent bilateral switches. A single control signal is required per switch. Both the P and the N device in a given switch are biased ON or OFF simultaneously by the control signal. As shown below, the well of the N-channel device on each switch is either tied to the input when the switch is ON or to V_{SS} when the switch is OFF. This configuration minimizes the variation of the switch-transistor threshold voltage with input-signal, and thus keeps the ON-resistance low over the full operating range.

The advantages over single-channel switches include peak input-signal voltage swings equal to the full supply voltage, and more constant ON-impedance over the input-signal range. For sample-and-hold applications, however, the SCL4016 is recommended.

SCHEMATIC DIAGRAM (one of four switches)



LOGIC DIAGRAM



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS

STATIC CHARACTERISTICS [1, 3]

PARAMETER		CONDITIONS	V_{SS} (Vdc)	V_{DD} (Vdc)	T_{LOW} [2] Min.	T_{LOW} [2] Max.	25°C Min.	25°C Typ.	25°C Max.	T_{HIGH} [2] Min.	T_{HIGH} [2] Max.	Units
QUIESCENT DEVICE CURRENT	I_{DD}	$V_{IN} = V_{SS}$ or V_{DD}	0	5	–	0.05	–	0.0005	0.05	–	1.5	µAdc
		All valid input	0	10	–	0.1	–	0.001	0.1	–	3.0	
		combinations	0	15	–	0.2	–	0.002	0.2	–	6.0	
MINIMUM INPUT HIGH VOLTAGE (Control Input)	V_{IH}	$V_{IS} = V_{SS}$	0	5	–	4.0	–	2.75	4.0	–	4.0	Vdc
		$V_{OS} = V_{DD}$	0	10	–	8.0	–	5.5	8.0	–	8.0	
		$I_{OS} = 10\mu A$	0	15	–	12.0	–	8.25	12.0	–	12.0	
MAXIMUM INPUT LOW VOLTAGE (Control Input)	V_{IL}	$V_{IS} = V_{SS}$	0	5	1.0	–	1.0	2.25	–	1.0	–	Vdc
		$V_{OS} = V_{DD}$	0	10	2.0	–	2.0	4.5	–	2.0	–	
		$I_{OS} = 10\mu A$	0	15	3.0	–	3.0	6.75	–	3.0	–	
SWITCH INPUT/OUTPUT LEAKAGE	I_{OFF}	$V_C = V_{SS}$ $V_{IS} = \pm 7.5$Vdc	-7.5	+7.5	–	±100	–	±0.01	±100	–	±200	nAdc
ON-RESISTANCE C,D,F,H device	R_{ON}	$V_C = V_{DD}$ $V_{SS} \leq V_{IS} \leq V_{DD}$ $R_L = 10k\Omega$	-7.5	+7.5	–	220	–	80	280	–	320	Ω
			0	+15								
			-5	+5	–	310	–	120	400	–	550	Ω
			0	+10								
			-2.5	+2.5	–	2000	–	270	2500	–	3500	Ω
			0	+5								
E device	R_{ON}	$V_C = V_{DD}$ $V_{SS} \leq V_{IS} \leq V_{DD}$ $R_L = 10k\Omega$	-7.5	+7.5	–	250	–	80	280	–	300	Ω
			0	+15								
			-5	+5	–	330	–	120	400	–	520	Ω
			0	+10								
			-2.5	+2.5	–	2100	–	270	2500	–	3200	Ω
			0	+5								
ON-RESISTANCE MATCH (Same package)	ΔR_{ON}	$V_C = V_{DD}$ $V_{SS} \leq V_{IS} \leq V_{DD}$ $R_L = 10k\Omega$	-7.5	+7.5	–	–	–	5	–	–	–	Ω
			0	+15								
			-5	+5	–	–	–	10	–	–	–	Ω
			0	+10								
			-2.5	+2.5	–	–	–	10	–	–	–	Ω
			0	+5								

NOTES: [1] Remaining Static Electrical Characteristics are listed under "SCL4000B Series Family Specifications"

[2] $T_{LOW} = -55°C$ for C, D, F, H device.
$= -40°C$ for E device.
$T_{HIGH} = +125°C$ for C, D, F, H device.
$= +85°C$ for E device.

[3] This device has been designed for balanced output drive current specifications. Consult Family Specifications.

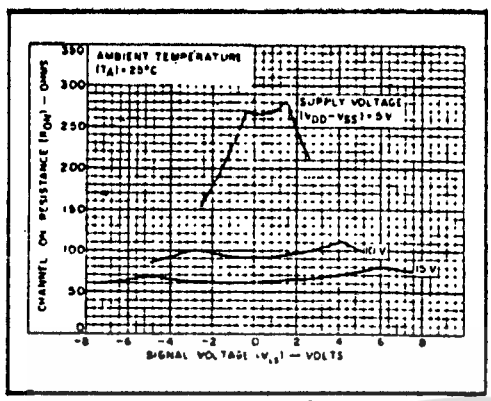
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS (Continued)

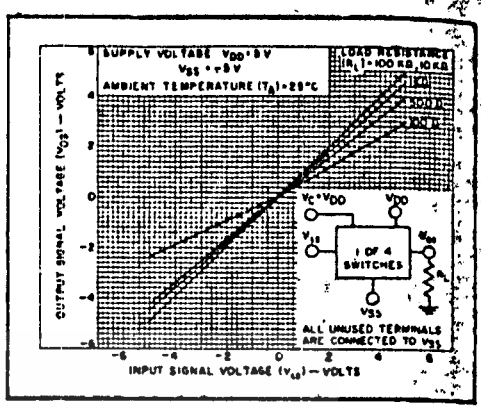
DYNAMIC CHARACTERISTICS (C_L = 50pF, T_A = 25°C)

PARAMETER		CONDITIONS	V_{SS} (Vdc)	V_{DD} (Vdc)	Min.	Typ.	Max.	Units
SIGNAL INPUTS (V_{is}) AND OUTPUTS (V_{os})								
PROPAGATION DELAY TIME Signal Input to Signal Output	t_{PLH}, t_{PHL}	V_c=V_{DD} V_{is}=Square Wave R_L = 10kΩ	0 0 0	5 10 15	– – –	20 10 7.5	40 20 15	ns
BANDWIDTH (-3dB) (Sine Wave)	BW	V_c=V_{DD} R_L V_{is}=5V_{p-p} 1kΩ centered 10kΩ @ 0.0Vdc 100kΩ 1MΩ	-5	+5	– – – –	54 40 38 37	– – – –	MHz
INSERTION LOSS $(=20\ \log_{10}\frac{V_{os}}{V_{is}})$		V_c=V_{DD} R_L V_{is}=5V_{p-p} 1kΩ centered 10kΩ @ 0.0Vdc 100kΩ 1MΩ	-5	+5	– – – –	2.3 0.2 0.1 0.05	– – – –	dB
SIGNAL DISTORTION (Sine Wave)		V_c=V_{DD} V_{is}=5V_{p-p} centered @ 0.0Vdc f_{is}=1.0kHz R_L = 10kΩ	-5	+5	–	0.16	–	%
FEEDTHROUGH (-50dB)		V_c=V_{SS} R_L V_{is}=5V_{p-p} 1kΩ centered 10kΩ @0.0Vdc 100kΩ 1MΩ	-5	+5	– – – –	1250 140 18 2	– – – –	kHz
CROSSTALK (-50dB) Between two switches		V_c(A)=V_{DD} V_c(B)=V_{SS} V_{is}(A)=5V_{p-p} centered @0.0Vdc R_L = 10kΩ	-5	+5	–	0.9	–	MHz
CAPACITANCE Input Output Feedthrough	C_{is} C_{os} C_{ios}	V_C = V_{SS}	-5	+5	– – –	8 8 0.5	– – –	pF pF pF
CONTROL INPUT (V_C)								
PROPAGATION DELAY TIME Turn on	t_{PC}	V_{SS}<V_{is}<V_{DD} R_L = 10kΩ	0 0 0	5 10 15	– – –	50 25 20	100 50 40	ns
MAXIMUM INPUT FREQUENCY	f_c	V_{SS}<V_{is}<V_{DD} R_L = 1.0kΩ	0 0 0	5 10 15	– – –	6 10 12	– – –	MHz
CROSSTALK (To signal port)		V_c=Square Wave R_L = 10kΩ R_{in} = 1.0kΩ	0 0 0	5 10 15	– – –	30 50 100	– – –	mV

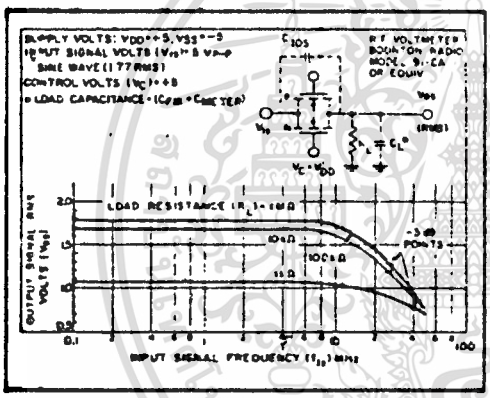
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



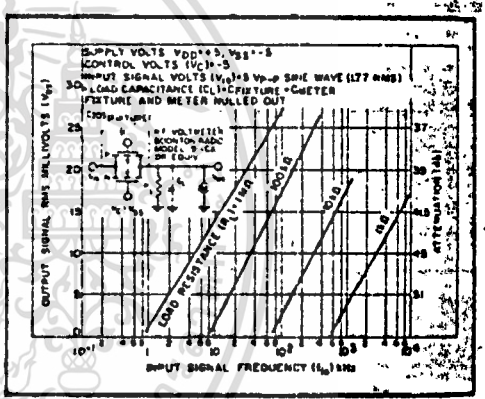
Typical channel ON resistance vs. signal voltage for three values of supply voltage (V_{DD}-V_{SS})



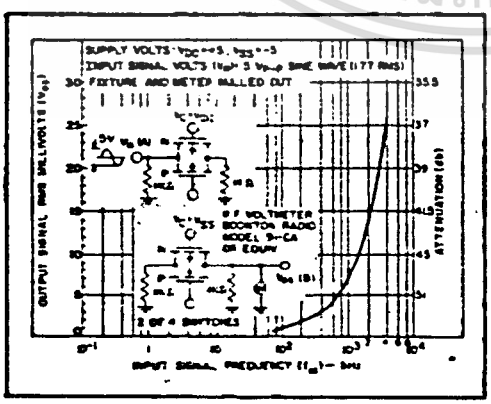
Typical ON characteristics for 1 of 4 channels.



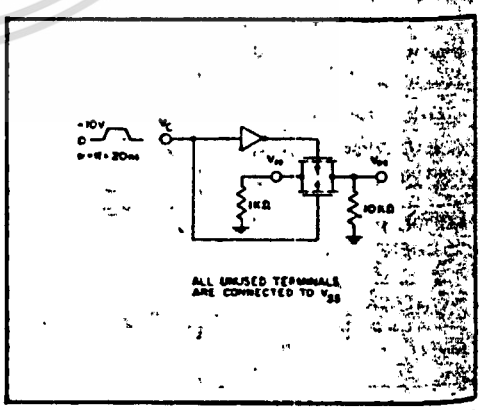
Typ. switch frequency response - switch "ON"



Typ. feedthru vs. freq. — switch "OFF"



Typ. crosstalk between switch circuits in the same package



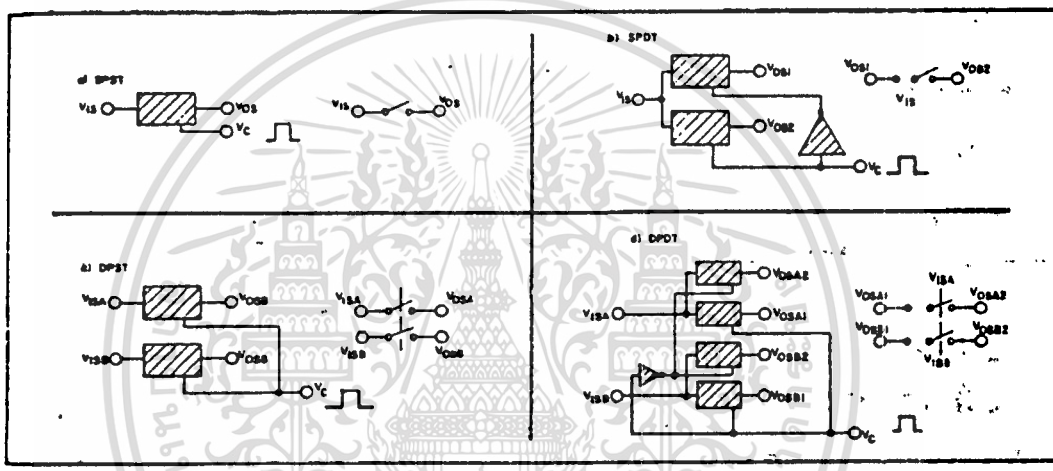
Test circuit, crosstalk-control input to signal output

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

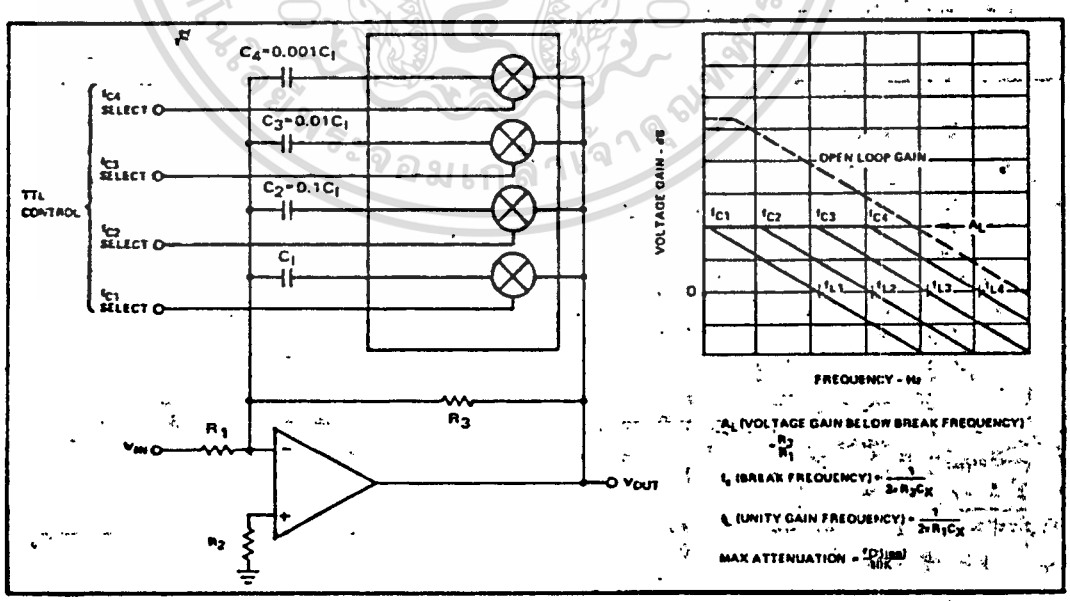
SPECIAL CONSIDERATIONS — SCL4066B

1. In applications where separate power sources are used to drive V_{DD} and the signal inputs, the V_{DD} current capability should exceed V_{DD}/R_L (R_L = effective external load of the 4 SCL4066B bilateral switches). This provision avoids any permanent current flow or clamp action on the V_{DD} supply when power is applied or removed from SCL4066B.
2. In certain applications, the external load-resistor current may include both V_{DD} and signal-line components. To avoid drawing V_{DD} current when switch current flows into terminals 1, 4, 8, or 11, the voltage drop across the bidirectional switch must not exceed 0.8 volt (calculated from R_{ON} values shown).
   No V_{DD} current will flow through R_L if the switch current flows into terminals 2, 3, 9, or 10. Failure to observe this condition may result in distortion of the signal.

APPLICATIONS INFORMATION



Basic Switch Functions using the SCL4066B



Active Low Pass Filter with Digitally Selected Break Frequency

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

54138/74138 3-Line-to-8-Line Decoder

	Schottky TTL					High-Speed TTL					Low-Power Schottky TTL					Standard TTL					Low-Power TTL				
	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF
T.I.	SN54S138	J①			W①						SN54LS138	J①			W①									
	SN74S138	J①	N①								SN74LS138	J①	N①											
FAIRCHLD	/FW28138	9①									FW54LS138/FW8LS138	9①			F①									
	FC74S138/FC38138	9①									FC74LS138/FC8LS138	9①	F①		F①									
MOTOROLA																								
N.S.C.											SN74LS138		P①											
	DM74S138		①								DM74LS138		①											
											DM54LS138		①											
PHILIPS																								
	N74S138 note		①								N74LS138		①											
SIGNETICS	S54S138	F①	B①		W①																			
	N74S138	F①	B①								N74LS138		A①											
SIEMENS																								
FUJITSU																								
HITACHI											74LS138		M①											
											HD74LS138		P①											
MITSUBISHI	M74S138		P①								M74LS138		P①											
NEC																								
TOSHIBA											74LS138		C①											

Electrical Characteristics SN54LS138/SN74LS138

absolute maximum ratings over operating free-air temperature range

Supply voltage, V_{CC}	7V	Operating free-air temperature range	SN54LS	−55°C to 125°C
Input voltage	7V		SN74LS	0°C to 70°C
		Storage temperature range		−65°C to 150°C

recommended operarating conditions

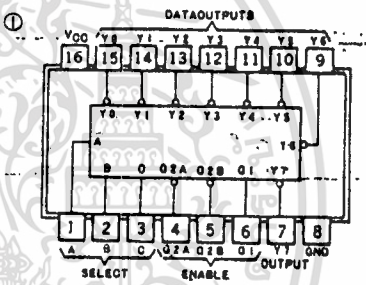
	SN54LS138			SN74LS138			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage, V_{CC}	4.5	5	5.5	4.75	5	5.25	V
High-level output current, I_{OH}			400			400	μA
Low-level output current, I_{OL}			4			8	mA
Operating free-air temperature, T_A	−55		125	0		70	°C

electrical characteristics over recommended operating free-air temperature range

PARAMETER ◆		TEST CONDITIONS †		MIN	TYP‡	MAX	UNIT
V_{IH}	High-level input voltage			2			V
V_{IL}	Low-level input voltage					0.8	V
V_I	Input clamp voltage	V_{CC}=MIN, I_I=−18mA				−1.5	V
V_{OH}	High-level output voltage	V_{CC}=MIN, V_{IH}=2V, V_{IL}=0.8V, I_{OH}=−400μA	SN54LS	2.5	3.4		V
			SN74LS	2.7	3.4		
V_{OL}	Low-level output voltage	V_{CC}=MIN, V_{IH}=2V, V_{IL}=0.8V, I_{OL}=8mA			0.35	0.5	V
I_I	Input current at maximum input voltage	V_{CC}=MAX, V_I=7V				0.1	mA
I_{IH}	High-level input current	V_{CC}=MAX, V_I=2.7V				20	μA
I_{IL}	Low-level input current	V_{CC}=MAX, V_I=0.4V				−0.4	mA
I_{OS}	Short-circuit output current ◆	V_{CC}=MAX		−20		−100	mA
I_{CC}	Supply current	V_{CC}=MAX, Outputs enabled and open			6.3	10	mA
t_{PLH}	from Binary select to Any output	V_{CC}=5V, T_A=25°C, C_L=15pF, R_L=2kΩ	levels of delay 2		13	20	ns
t_{PHL}					27	41	
t_{PLH}			3		18	27	ns
t_{PHL}					26	39	
t_{PLH}	from Enable to Any output		2		12	18	ns
t_{PHL}					21	32	
t_{PLH}			3		17	26	ns
t_{PHL}					25	38	

† For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions for the applicable device type.
‡ All typical values are at V_{CC}=5V, T_A=25°C.
◆ Not more than one output should be shorted at a time, and duration of the short-circuit test should not exceed one second.
t_{PLH} = propagation delay time, low-to-high-level output
t_{PHL} = propagation delay time, high-to-low-level output

Pin Assignment (Top View)



positive logic:
see function table.

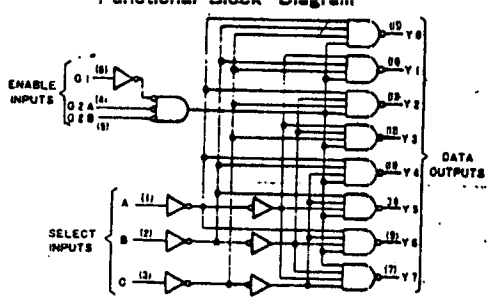
Function Table

'S138 'LS138

INPUTS					OUTPUTS							
ENABLE		SELECT										
G1	G2*	C	B	A	Y0	Y1	Y2	Y3	Y4	Y5	Y6	Y7
X	H	X	X	X	H	H	H	H	H	H	H	H
L	X	X	X	X	H	H	H	H	H	H	H	H
H	L	L	L	L	L	H	H	H	H	H	H	H
H	L	L	L	H	H	L	H	H	H	H	H	H
H	L	L	H	L	H	H	L	H	H	H	H	H
H	L	L	H	H	H	H	H	L	H	H	H	H
H	L	H	L	L	H	H	H	H	L	H	H	H
H	L	H	L	H	H	H	H	H	H	L	H	H
H	L	H	H	L	H	H	H	H	H	H	L	H
H	L	H	H	H	H	H	H	H	H	H	H	L

* G2 = G2A + G2B
H = high level, L = low level, X = irrelevant

Functional Block Diagram



'S138 'LS138 DECODER/DEMULTIPLEXER

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า