

```

char usemenu1, c0;
set_port('p',0,0);          /* inti port control */
set_port('t',0,0);          /* set seconed port to read all */
do
{
    menu(&usemenu1);
    /switch (usemenu1)
    {
        case '1' : digitize();break;
        case '2' : ram_to_tv();break;
        case '3' : load_file ();break;
        case '4' : save_file ();break;
        case '5' : directory();break;
    }
    if (usemenu1 != '6')
    {
        gotoxy(20,25);
        printf("          USE KEY 'm' TO MAIN MENU ");
        do
            c0 = getch();
        while(c0 != 'm');
    }
}
while(usemenu1 != '6');
clrscr();
set_port('d',0,0);
printf(" THANK YOU ....");
delay(300);
}

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Product Preview

CA3318, CA3318C

CMOS High-Speed 8-Bit Flash A/D Converter

Features:

- Pin compatible with 41051/CA3308
- CMOS/SOS low power
- Flash (Parallel) conversion technique
- 15 MSPS conversion rate at 5 V (CA3318C)
- 20 MSPS conversion rate at 5 V (CA3318)
- 1 LSB differential linearity
- 1.5 LSB integral linearity
- Single 4 to 6.5 V supply
- 8 latched bit outputs plus overflow
- May be stacked for higher resolution
- May be paralleled for double speed

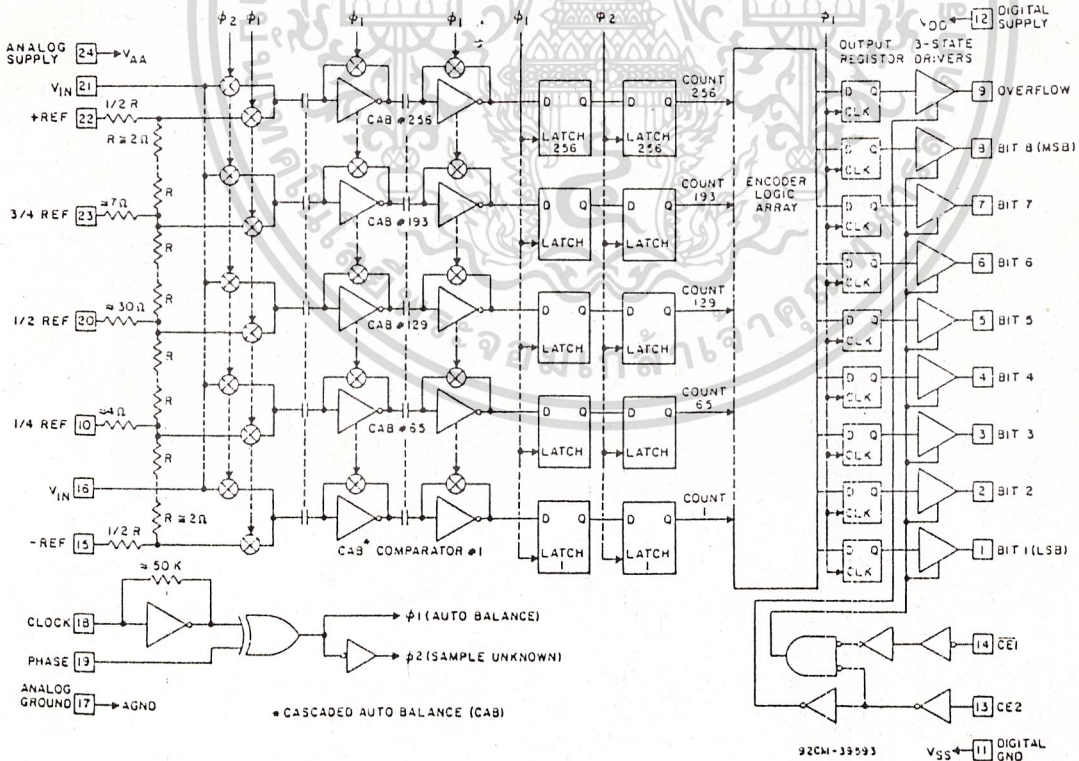
Applications:

- Especially suited for high-speed conversion applications where low power is also important
- TV video digitizing (industrial/security)
- Ultrasound signature analysis
- Transient signal analysis
- General-purpose hybrid ADC's
- Optical character recognition
- Radar pulse analysis
- Motion signature analysis

The RCA CA3318 and CA3318C are pin compatible retrofits for the 41051/CA3308, but with the output data changing 1/2 clock cycle later. They have features similar to the CA3300 (File No. 1316), such as the control inputs and outputs necessary to allow stacking or paralleling for higher resolution or doubled speed. Separate analog and digital ground pins are available to allow analog to digital isolation. The reference resistor string is available at both +

and - ends, and at the 1/4, 1/2, and 3/4 points, thus allowing the tailoring of non-linear transfer functions. In addition, the + reference (positive full scale) may be used above the analog + supply.

The CA3318 and CA3318C are available in a 24-lead dual-in-line plastic package (E suffix) and in a 24-lead dual-in-line ceramic package (D suffix).



Block diagram of the CA3318 and CA3318C.

Preview Data only

Product Preview

CA3306, CA3306A, CA3306C

CMOS High-Speed 6-Bit Flash A/D Converter

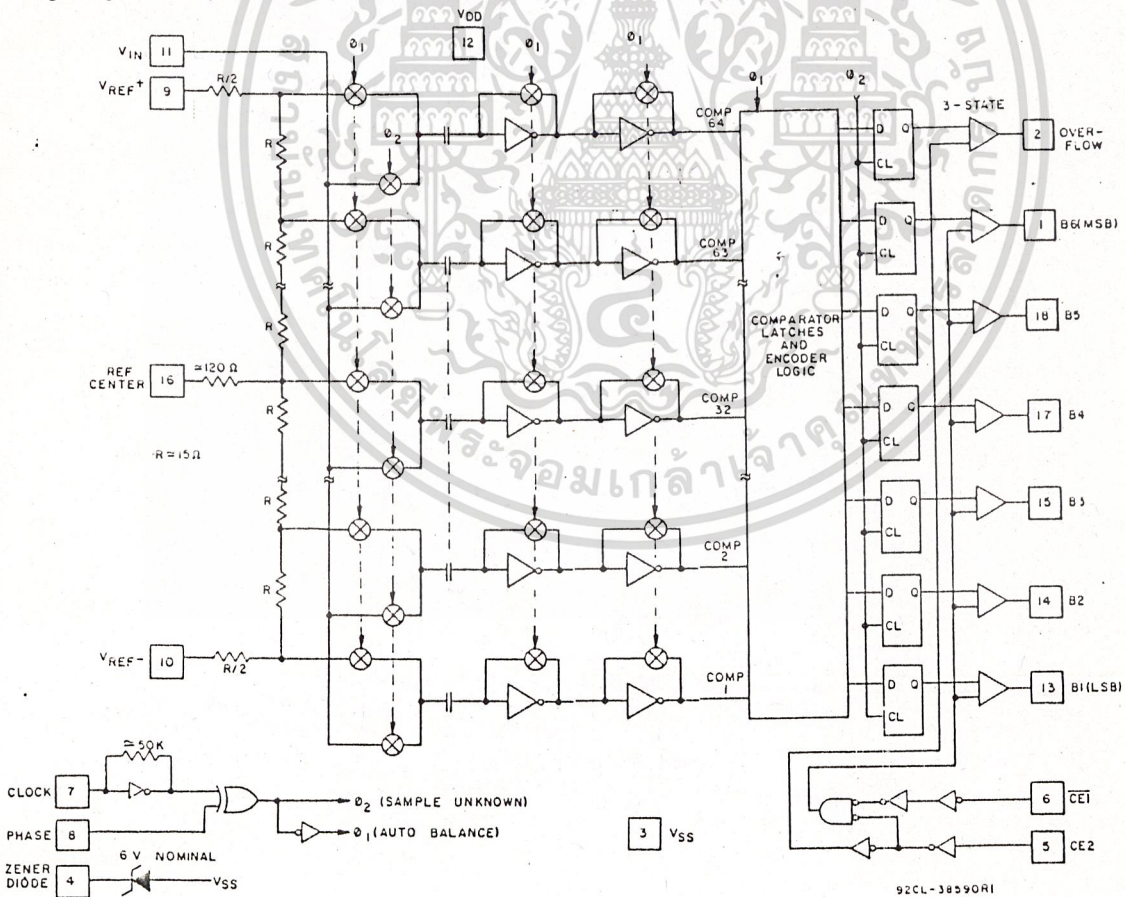
Features:

- Improved pin-for-pin retrofits for CA3300
- CMOS/SOS low power
- Flash (Parallel) conversion technique
- 15 MSPS conversion rate at 5 V
- 1/4 LSB accuracy
- Single 3 to 6 V supply
- 6 latched-bit outputs plus overflow
- May be stacked for higher resolution
- May be parallel for double speed

The CA3306 family members are pin-for-pin retrofits for the CA3300 (File 1316), but offering improved speed and linearity. All functions of the CA3300 are carried over: the ability to stack devices for higher resolution, parallel devices for doubled speed, and the availability of a built-in zener reference. Accurate digitizing at video speeds is now possible with only a

single 5 volt supply (8 volts required for CA3300), and a tighter linearity is guaranteed at a lower reference (full scale) range.

The CA3306-series devices are supplied in 18-lead dual-in-line plastic packages (E suffix) and in 18-lead dual-in-line ceramic packages (D suffix).



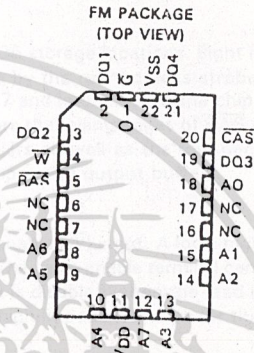
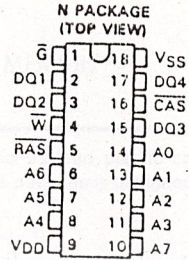
Block Diagram of the CA3306

Preview Data only

- 65,536 X 4 Organization
- Single, 5-V Supply (10% Tolerance)
- JEDEC Standardized Pinout
- Pinout Identical to TMS4416 (16K X 4 Dynamic RAM)
- Performance Ranges:

	ACCESS TIME (MAX)	ACCESS TIME (MAX)	READ OR WRITE CYCLE (MIN)	READ-MODIFY-WRITE CYCLE (MIN)
TMS4464-12	120 ns	60 ns	230 ns	310 ns
TMS4464-15	150 ns	75 ns	260 ns	345 ns
TMS4464-20	200 ns	100 ns	330 ns	435 ns

- Long Refresh Period . . . 4 ms (Max)
- Low Refresh Overhead Time . . . As Low As 1.3% of Total Refresh Period
- On-Chip Substrate Bias Generator
- All Inputs, Outputs, and Clocks Fully TTL Compatible
- 3-State Unlatched Output
- Early Write or \bar{G} to Control Output Buffer Impedance
- Page-Mode Operation for Faster Access
- Power Dissipation As Low As:
 - Operating . . . 275 mW (Typ)
 - Standby . . . 12.5 mW (Typ)
- RAS-Only Refresh Mode
- CAS-Before-RAS Refresh Mode



PIN NOMENCLATURE	
A0-A7	Address Inputs
CAS	Column-Address Strobe
DQ1-DQ4	Data In/Data Out
\bar{G}	Output Enable
NC	No Connection
RAS	Row-Address Strobe
VDD	5-V Supply
VSS	Ground
W	Write Enable

description

The TMS4464 is a high-speed, 262,144-bit dynamic random-access memory, organized as 65,536 words of four bits each. It employs state-of-the-art SMOS (scaled MOS) N-channel double-level polysilicon/polycide gate technology for very high performance combined with low cost and improved reliability.

This device features maximum \overline{RAS} access times of 120 ns, 150 ns, or 200 ns. Typical power dissipation is as low as 275 mW operating and 12.5 mW standby.

New SMOS technology permits operation from a single 5-V supply, reducing system power supply and decoupling requirements, and easing board layout. I_{DD} peaks are 125 mA typical, and a -1-V input voltage undershoot can be tolerated, minimizing system noise considerations.

All inputs and outputs, including clocks, are compatible with Series 74 TTL. All address and data-in lines are latched on chip to simplify system design. Data out is unlatched to allow greater system flexibility.

PRODUCTION DATA documents contain information beyond that of publication data. Products conform to specifications per the terms of Texas Instruments standard warranty. Production processing does not necessarily include testing of all parameters.

TEXAS INSTRUMENTS
POST OFFICE BOX 1443 • HOUSTON, TEXAS 77001

Copyright © 1985 Texas Instruments Incorporated

4-117

Dynamic RAMs

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้拿去ใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TMS4464

65,536-WORD BY 4-BIT DYNAMIC RANDOM-ACCESS MEMORY

CAS-before-RAS refresh

The CAS-before-RAS refresh is utilized by bringing $\overline{\text{CAS}}$ low earlier than $\overline{\text{RAS}}$ (see parameter tCLRL) and holding it low after $\overline{\text{RAS}}$ falls (see parameter tRLCHR). For successive CAS-before-RAS refresh cycles, $\overline{\text{CAS}}$ can remain low while cycling $\overline{\text{RAS}}$. The external address is ignored and the refresh address is generated internally.

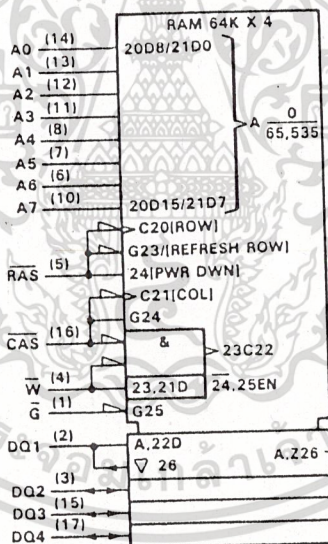
page mode

Page-mode operation allows effectively faster memory access by keeping the same row address and strobing random column addresses onto the chip. Thus, the time required to setup and strobe sequential row addresses for the same page is eliminated. The maximum number of columns that can be addressed is determined by $t_{w(RL)}$, the maximum RAS low pulse duration.

power up

To achieve proper device operation, an initial pause of 200 μs is required after power up followed by a minimum of eight initialization cycles.

logic symbol†



† This symbol is in accordance with ANSI/IEEE Std 91-1984 and IEC Publication 617-12.
Pin numbers shown are for the dual-in-line package.

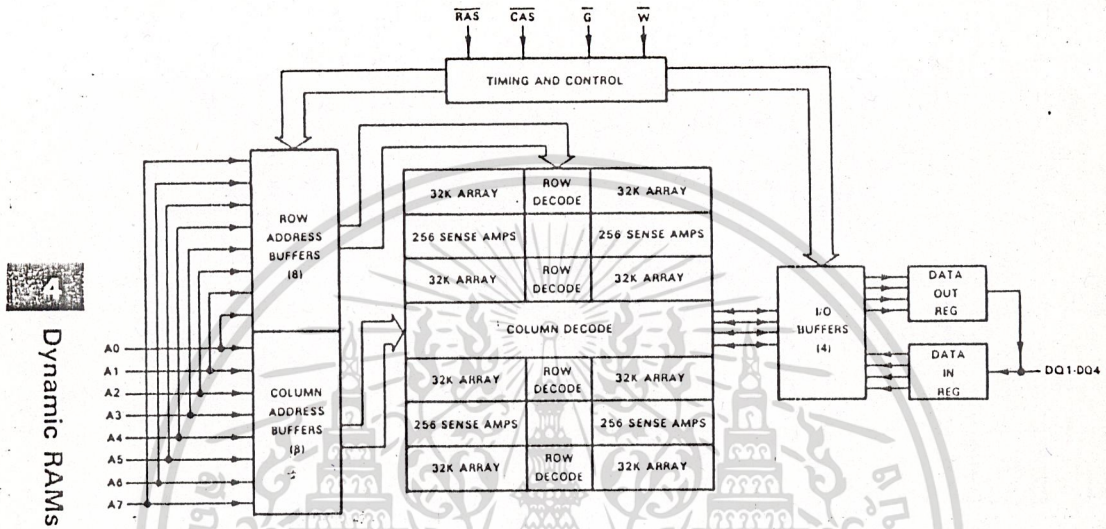


Dynamic RAMs

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TMS4464
65,536-WORD BY 4-BIT DYNAMIC RANDOM-ACCESS MEMORY

functional block diagram



Dynamic RAMS

absolute maximum ratings over operating free-air temperature range (unless otherwise noted) †

Voltage on any pin including V _{DD} supply (see Note 1)	-1 V to 7 V
Short circuit output current	50 mA
Power dissipation	1 W
Operating free-air temperature range	0°C to 70°C
Storage temperature range	-65°C to 150°C

† Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress rating only and functional operation of the device at these or any other conditions beyond those indicated in the "Recommended Operating Conditions" section of this specification is not implied. Exposure to absolute-maximum-rated conditions for extended periods may affect device reliability.

NOTE 1: All voltage values in this data sheet are with respect to V_{SS}.

recommended operating conditions

	MIN	NOM	MAX	UNIT
V _{DD} Supply voltage	4.5	5	5.5	V
V _{SS} Supply voltage		0		V
V _{IH} High-level input voltage	2.4		V _{DD} +1	V
V _{IL} Low-level input voltage (see Note 2)	-1		0.8	V
T _A Operating free-air temperature			70	°C

NOTE 2: The algebraic convention, where the more negative (less positive) limit is designated as maximum, is used in this data sheet for logic voltage levels only.

TMS4464
65,536-WORD BY 4-BIT DYNAMIC RANDOM-ACCESS MEMORY

electrical characteristics over full ranges of recommended operating conditions (unless otherwise noted)

PARAMETER	TEST CONDITIONS	TMS4464-12			UNIT
		MIN	TYP [†]	MAX	
V _{OH}	High-level output voltage	I _{OH} = -5 mA			V
V _{OL}	Low-level output voltage	I _{OL} = 4.2 mA			V
I _I	Input current (leakage)	V _I = 0 V to 6.5 V, V _{DD} = 5 V, All other pins = 0 V to 6.5 V			±10 μA
I _O	Output current (leakage)	V _O = 0 V to 5.5 V, V _{DD} = 5 V, C _{AS} high, All outputs open			±10 μA
I _{DD1}	Average operating current during read or write cycle	t _c = minimum cycle, All outputs open			65 80 mA
I _{DD2}	Standby current	After 1 memory cycle, DQ1-DQ4 held at > 0 V, R _{AS} and C _{AS} high, All outputs open			2.5 5 mA
I _{DD3}	Average refresh current	t _c = minimum cycle, R _{AS} low, C _{AS} high, All outputs open			50 60 mA
I _{DD4}	Average page-mode current	t _{c(P)} = minimum cycle, R _{AS} low, C _{AS} cycling, All outputs open			45 55 mA

PARAMETER	TEST CONDITIONS	TMS4464-15			TMS4464-20			UNIT	
		MIN	TYP [†]	MAX	MIN	TYP [†]	MAX		
V _{OH}	High-level output voltage	I _{OH} = -5 mA			2.4			V	
V _{OL}	Low-level output voltage	I _{OL} = 4.2 mA			0.4			V	
I _I	Input current (leakage)	V _I = 0 V to 6.5 V, V _{DD} = 5 V, All other pins = 0 V to 6.5 V			±10			±10 μA	
I _O	Output current (leakage)	V _O = 0 V to 5.5 V, V _{DD} = 5 V, C _{AS} high, All outputs open			±10			±10 μA	
I _{DD1}	Average operating current during read or write cycle	t _c = minimum cycle All outputs open			55	70	50	60	mA
I _{DD2}	Standby current	After 1 memory cycle, DQ1-DQ4 held at > 0 V, R _{AS} and C _{AS} high, All outputs open			2.5	5	2.5	5	mA
I _{DD3}	Average refresh current	t _c = minimum cycle, R _{AS} low, C _{AS} high, All outputs open			45	55	40	50	mA
I _{DD4}	Average page-mode current	t _{c(P)} = minimum cycle, R _{AS} low, C _{AS} cycling, All outputs open			40	50	30	40	mA

[†]All typical values are at T_A = 25 °C and nominal supply voltages.

Dynamic RAMs


**TEXAS
INSTRUMENTS**

POST OFFICE BOX 1443 • HOUSTON, TEXAS 77001

4-121

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้拿去ใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TMS4464
65,536-WORD BY 4-BIT DYNAMIC RANDOM-ACCESS MEMORY

capacitance over recommended supply voltage range and operating free-air temperature range,
 $f = 1 \text{ MHz}$

PARAMETER	TMS4464		UNIT
	TYP [†]	MAX	
$C_{i(A)}$ Input capacitance, address inputs	4	7	pF
$C_{i(RC)}$ Input capacitance, strobe inputs	8	10	pF
$C_{i(W)}$ Input capacitance, write enable input	8	10	pF
$C_{i(O)}$ Output capacitance	8	10	pF

[†]All typical values are at $T_A = 25^\circ\text{C}$ and nominal supply voltages.

switching characteristics over recommended supply voltage range and operating free-air temperature range

PARAMETER	TEST CONDITIONS	ALT. SYMBOL	TMS4464-12		UNIT
			MIN	MAX	
$t_{a(C)}$ Access time from $\overline{\text{CAS}}$	$t_{RLCL} \geq \text{MAX}$, $C_L = 100 \text{ pF}$, Load = 2 Series 74 TTL gates	t_{CAC}	60		ns
$t_{a(R)}$ Access time from $\overline{\text{RAS}}$	$t_{RLCL} = \text{MAX}$, $C_L = 100 \text{ pF}$, Load = 2 Series 74 TTL gates	t_{RAC}	120		ns
$t_{a(G)}^\ddagger$ Access time after $\overline{\text{G}}$ low	$C_L = 100 \text{ pF}$, Load = 2 Series 74 TTL gates	t_{GAC}	35		ns
$t_{dis(CH)}$ Output disable time after $\overline{\text{CAS}}$ high	$C_L = 100 \text{ pF}$, Load = 2 Series 74 TTL gates	t_{OFF}	0	30	ns
$t_{dis(G)}$ Output disable time after $\overline{\text{G}}$ high	$C_L = 100 \text{ pF}$, Load = 2 Series 74 TTL gates	t_{GOFF}	0	30	ns

switching characteristics over recommended supply voltage range and operating free-air temperature range

PARAMETER	TEST CONDITIONS	ALT. SYMBOL	TMS4464-15		TMS4464-20		UNIT
			MIN	MAX	MIN	MAX	
$t_{a(C)}$ Access time from $\overline{\text{CAS}}$	$t_{RLCL} \geq \text{MAX}$, $C_L = 100 \text{ pF}$, Load = 2 Series 74 TTL gates	t_{CAC}	75		100		ns
$t_{a(R)}$ Access time from $\overline{\text{RAS}}$	$t_{RLCL} = \text{MAX}$, $C_L = 100 \text{ pF}$, Load = 2 Series 74 TTL gates	t_{RAC}	150		200		ns
$t_{a(G)}^\ddagger$ Access time after $\overline{\text{G}}$ low	$C_L = 100 \text{ pF}$, Load = 2 Series 74 TTL gates	t_{GAC}	45		55		ns
$t_{dis(CH)}$ Output disable time after $\overline{\text{CAS}}$ high	$C_L = 100 \text{ pF}$, Load = 2 Series 74 TTL gates	t_{OFF}	0	30	0	35	ns
$t_{dis(G)}$ Output disable time after $\overline{\text{G}}$ high	$C_L = 100 \text{ pF}$, Load = 2 Series 74 TTL gates	t_{GOFF}	0	30	0	35	ns

[‡] $t_{a(C)}$ and $t_{a(R)}$ must be satisfied to guarantee $t_{a(G)}$.

Dynamic RAMS

TMS4464
65,536-WORD BY 4-BIT DYNAMIC RANDOM-ACCESS MEMORY

timing requirements over recommended supply voltage range and operating free-air temperature range

	ALT. SYMBOL	TMS4464-12		UNIT
		MIN	MAX	
$t_c(P)$ Page-mode cycle time	t_{PC}	120		ns
$t_c(PM)$ Page-mode cycle time (read-modify-write cycle)	t_{PCM}	200		ns
$t_c(rd)$ Read cycle time [†]	t_{RC}	230		ns
$t_c(W)$ Write cycle time	t_{WC}	230		ns
$t_c(rdW)$ Read-write/read-modify-write cycle time	t_{RWC}	310		ns
$t_w(CH)P$ Pulse duration, \overline{CAS} high (page mode)	t_{CP}	50		ns
$t_w(CH)$ Pulse duration, \overline{CAS} high (non-page mode)	t_{CPN}	50		ns
$t_w(CL)$ Pulse duration, \overline{CAS} low [‡]	t_{CAS}	60	10,000	ns
$t_w(RH)$ Pulse duration, \overline{RAS} high	t_{RP}	100		ns
$t_w(RL)$ Pulse duration, \overline{RAS} low [‡]	t_{RAS}	120	10,000	ns
$t_w(W)$ Write pulse duration	t_{WP}	40		ns
t_t Transition times (rise and fall) for \overline{RAS} and \overline{CAS}	t_T	3	50	ns
$t_{su}(CA)$ Column-address setup time	t_{ASC}	0		ns
$t_{su}(RA)$ Row-address setup time	t_{ASR}	0		ns
$t_{su}(D)$ Data setup time	t_{DS}	0		ns
$t_{su}(rd)$ Read-command setup time	t_{RCS}	0		ns
$t_{su}(WCL)$ Early-write command setup time before \overline{CAS} low	t_{WCS}	0		ns
$t_{su}(WCH)$ Write-command setup time before \overline{CAS} high	t_{CWL}	40		ns
$t_{su}(WRH)$ Write-command setup time before \overline{RAS} high	t_{RWL}	40		ns
$t_h(CLCA)$ Column-address hold time after \overline{CAS} low	t_{CAH}	20		ns
$t_h(RA)$ Row-address hold time	t_{RAH}	15		ns
$t_h(RLCA)$ Column-address hold time after \overline{RAS} low	t_{AR}	80		ns
$t_h(CLD)$ Data hold time after \overline{CAS} low	t_{DH}	35		ns
$t_h(RLD)$ Data hold time after \overline{RAS} low	t_{DHR}	95		ns
$t_h(WLD)$ Data hold time after \overline{W} low	t_{DH}	35		ns
$t_h(CHrd)$ Read-command hold time after \overline{CAS} high	t_{RCH}	0		ns
$t_h(RHrd)$ Read-command hold time after \overline{RAS} high	t_{RRH}	10		ns
$t_h(CLW)$ Write-command hold time after \overline{CAS} low	t_{WCH}	35		ns
$t_h(RLW)$ Write-command hold time after \overline{RAS} low	t_{WCR}	95		ns

Continued next page.

[†]All cycle times assume $t_t = 5$ ns.

[‡]In a read-modify-write cycle, t_{CLWL} and $t_{su}(WCH)$ must be observed. Depending on the user's transition times, this may require additional \overline{CAS} low time ($t_w(CL)$).

[‡]In a read-modify-write cycle, t_{RLWL} and $t_{su}(WRH)$ must be observed. Depending on the user's transition times, this may require additional \overline{RAS} low time ($t_w(RL)$).

Dynamic RAMs

TEXAS
INSTRUMENTS

POST OFFICE BOX 1443 • HOUSTON, TEXAS 77001

4-123

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้拿去ใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TMS4464
65,536-WORD BY 4-BIT DYNAMIC RANDOM-ACCESS MEMORY

timing requirements over recommended supply voltage range and operating free-air temperature range (continued)

	ALT. SYMBOL	TMS4464-12		UNIT
		MIN	MAX	
t _{RLCHR} Delay time, $\overline{\text{RAS}}$ low to $\overline{\text{CAS}}$ high ¹	t _{CHR}	25		ns
t _{RLCH} Delay time, $\overline{\text{RAS}}$ low to $\overline{\text{CAS}}$ high	t _{CSH}	120		ns
t _{CHRL} Delay time, $\overline{\text{CAS}}$ high to $\overline{\text{RAS}}$ low	t _{CRP}	0		ns
t _{RHCL} Delay time, $\overline{\text{RAS}}$ high to $\overline{\text{CAS}}$ low ¹	t _{HCP}	0		ns
t _{CLRH} Delay time, $\overline{\text{CAS}}$ low to $\overline{\text{RAS}}$ high	t _{RSH}	60		ns
t _{CLWL} Delay time, $\overline{\text{CAS}}$ low to $\overline{\text{W}}$ low (read-modify-write cycle only) [#]	t _{CWD}	95		ns
t _{CLRL} Delay time, $\overline{\text{CAS}}$ low to $\overline{\text{RAS}}$ low ¹	t _{CSR}	25		ns
t _{RLCL} Delay time, $\overline{\text{RAS}}$ low to $\overline{\text{CAS}}$ low (maximum value specified only to guarantee access time)	t _{RCD}	25	50	ns
t _{RLWL} Delay time, $\overline{\text{RAS}}$ low to $\overline{\text{W}}$ low (read-modify-write cycle only) [#]	t _{RWD}	155		ns
t _{GHD} Delay time, $\overline{\text{G}}$ high before data applied at DQ	t _{GDD}	30		ns
t _{rf} Refresh time interval	t _{REF}		4	ms

¹CAS-before-RAS refresh option only.

[#] $\overline{\text{G}}$ must disable the output buffers prior to applying data to the device.

4
 Dynamic RAMS

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้拿去ใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TMS4464

65,536-WORD BY 4-BIT DYNAMIC RANDOM-ACCESS MEMORY

timing requirements over recommended supply voltage range and operating free-air temperature range (continued)

	ALT. SYMBOL	TMS4464-15		TMS4464-20		UNIT
		MIN	MAX	MIN	MAX	
$t_c(P)$ Page-mode cycle time	t_{PC}	145		190		ns
$t_c(PM)$ Page-mode cycle time (read-modify-write cycle)	t_{PCM}	230		295		ns
$t_c(rd)$ Read cycle time [†]	t_{RC}	260		330		ns
$t_c(W)$ Write cycle time	t_{WC}	260		330		ns
$t_c(rdW)$ Read-write/read-modify-write cycle time	t_{RWC}	345		435		ns
$t_w(CHIP)$ Pulse duration, \overline{CAS} high (page mode)	t_{CP}	60		80		ns
$t_w(CH)$ Pulse duration, \overline{CAS} high (non-page mode)	t_{CPN}	60		80		ns
$t_w(CL)$ Pulse duration, \overline{CAS} low [‡]	t_{CAS}	75	10,000	100	10,000	ns
$t_w(RH)$ Pulse duration, \overline{RAS} high	t_{RP}	100		120		ns
$t_w(RL)$ Pulse duration, \overline{RAS} low [‡]	t_{RAS}	150	10,000	200	10,000	ns
$t_w(W)$ Write pulse duration	t_{WP}	45		55		ns
t_t Transition times (rise and fall) for \overline{RAS} and \overline{CAS}	t_T	3	50	3	50	ns
$t_{su}(CA)$ Column-address setup time	t_{ASC}	0		0		ns
$t_{su}(RA)$ Row-address setup time	t_{ASR}	0		0		ns
$t_{su}(D)$ Data setup time	t_{DS}	0		0		ns
$t_{su}(rd)$ Read-command setup time	t_{RCS}	0		0		ns
$t_{su}(WCL)$ Early-write command setup time before \overline{CAS} low	t_{WCS}	0		0		ns
$t_{su}(WCH)$ Write-command setup time before \overline{CAS} high	t_{CWL}	45		60		ns
$t_{su}(WRH)$ Write-command setup time before \overline{RAS} high	t_{RWL}	45		60		ns
$t_h(CLCA)$ Column-address hold time after \overline{CAS} low	t_{CAH}	25		45		ns
$t_h(RA)$ Row-address hold time	t_{RAH}	15		20		ns
$t_h(RLCA)$ Column-address hold time after \overline{RAS} low	t_{AR}	100		145		ns
$t_h(CLD)$ Data hold time after \overline{CAS} low	t_{DH}	45		55		ns
$t_h(RLD)$ Data hold time after \overline{RAS} low	t_{DHR}	120		155		ns
$t_h(WLD)$ Data hold time after \overline{W} low	t_{DH}	45		55		ns
$t_h(CHrd)$ Read-command hold time after \overline{CAS} high	t_{RCH}	0		0		ns
$t_h(RHrd)$ Read-command hold time after \overline{RAS} high	t_{RRH}	10		15		ns
$t_h(CLW)$ Write-command hold time after \overline{CAS} low	t_{WCH}	45		55		ns
$t_h(RLW)$ Write-command hold time after \overline{RAS} low	t_{WCR}	120		155		ns

Continued next page.

[†]All cycle times assume $t_t = 5$ ns.

[‡]In a read-modify-write cycle, t_{CLWL} and $t_{su}(WCH)$ must be observed. Depending on the user's transition times, this may require additional \overline{CAS} low time ($t_w(CL)$).

[‡]In a read-modify-write cycle, t_{RLWL} and $t_{su}(WRH)$ must be observed. Depending on the user's transition times, this may require additional \overline{RAS} low time ($t_w(RL)$).



Dynamic RAMs

TEXAS INSTRUMENTS

POST OFFICE BOX 1443 • HOUSTON, TEXAS 77001

4-125

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้拿去ใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TMS4464
65,536-WORD BY 4-BIT DYNAMIC RANDOM-ACCESS MEMORY

Timing requirements over recommended supply voltage range and operating free-air temperature range (concluded)

	ALT. SYMBOL	TMS4464-15		TMS4464-20		UNIT
		MIN	MAX	MIN	MAX	
t_{RLCHR} Delay time, \overline{RAS} low to \overline{CAS} high ¹	t_{CHR}	30		35		ns
t_{RLCH} Delay time, \overline{RAS} low to \overline{CAS} high	t_{CSH}	150		200		ns
t_{CHRL} Delay time, \overline{CAS} high to \overline{RAS} low	t_{CRP}	0		0		ns
t_{RHCL} Delay time, \overline{RAS} high to \overline{CAS} low ¹	t_{RCP}	0		0		ns
t_{CLRHL} Delay time, \overline{CAS} low to \overline{RAS} high	t_{RSH}	75		100		ns
t_{CLWL} Delay time, \overline{CAS} low to W low (read-modify-write cycle only) [#]	t_{CWD}	110		140		ns
t_{CLRL} Delay time, \overline{CAS} low to \overline{RAS} low ¹	t_{CSR}	30		35		ns
t_{RLCL} Delay time, \overline{RAS} low to \overline{CAS} low (maximum value specified only to guarantee access time)	t_{RCD}	25	75	30	100	ns
t_{RLWL} Delay time, \overline{RAS} low to W low (read-modify-write cycle only) [#]	t_{RWD}	185		240		ns
t_{GHD} Delay time, \overline{G} high before data applied at DQ	t_{GDD}	30		35		ns
t_{rf} Refresh time interval	t_{REF}		4		4	ms

¹CAS before RAS refresh option only.

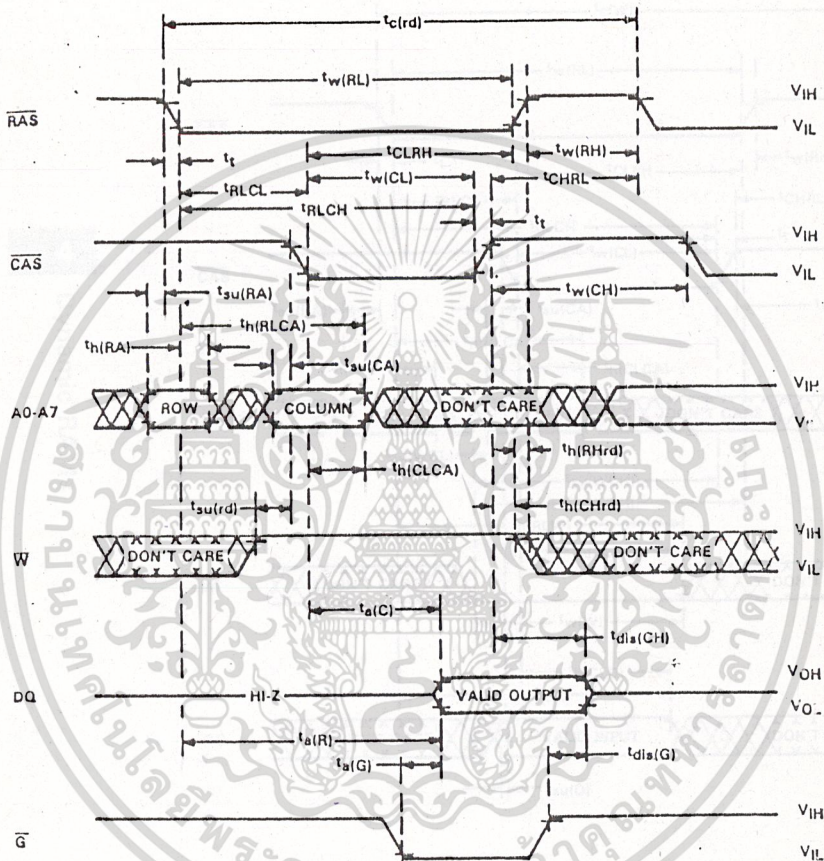
[#] \overline{G} must disable the output buffers prior to applying data to the device.

Dynamic RAMs



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้拿去ใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

read cycle timing

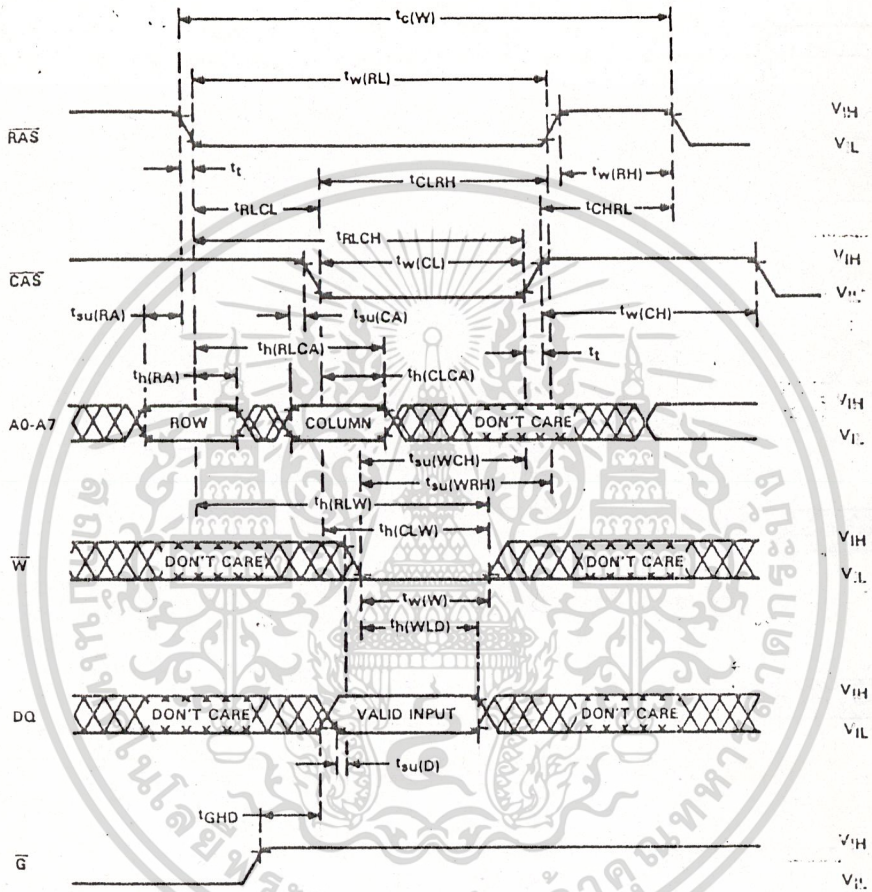


Dynamic RAMs

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TMS4464
65,536-WORD BY 4-BIT DYNAMIC RANDOM-ACCESS MEMORY

write cycle timing



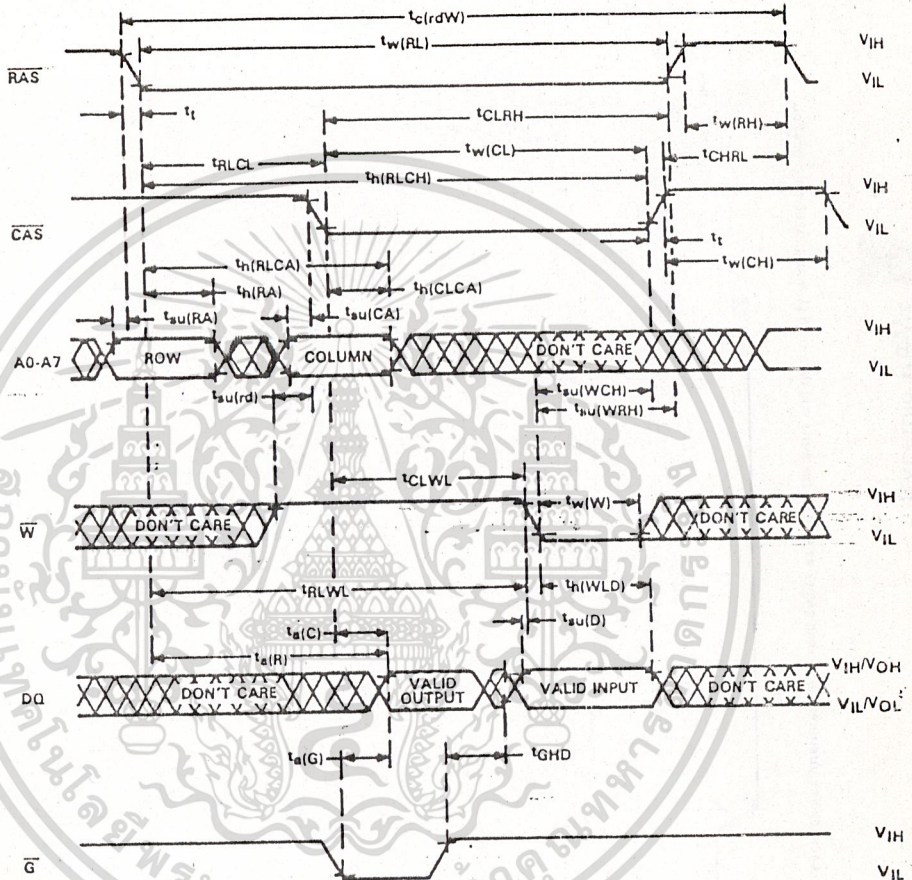
Dynamic RAMs

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TMS4464
65,536-WORD BY 4-BIT DYNAMIC RANDOM-ACCESS MEMORY

read-write/read-modify-write cycle timing

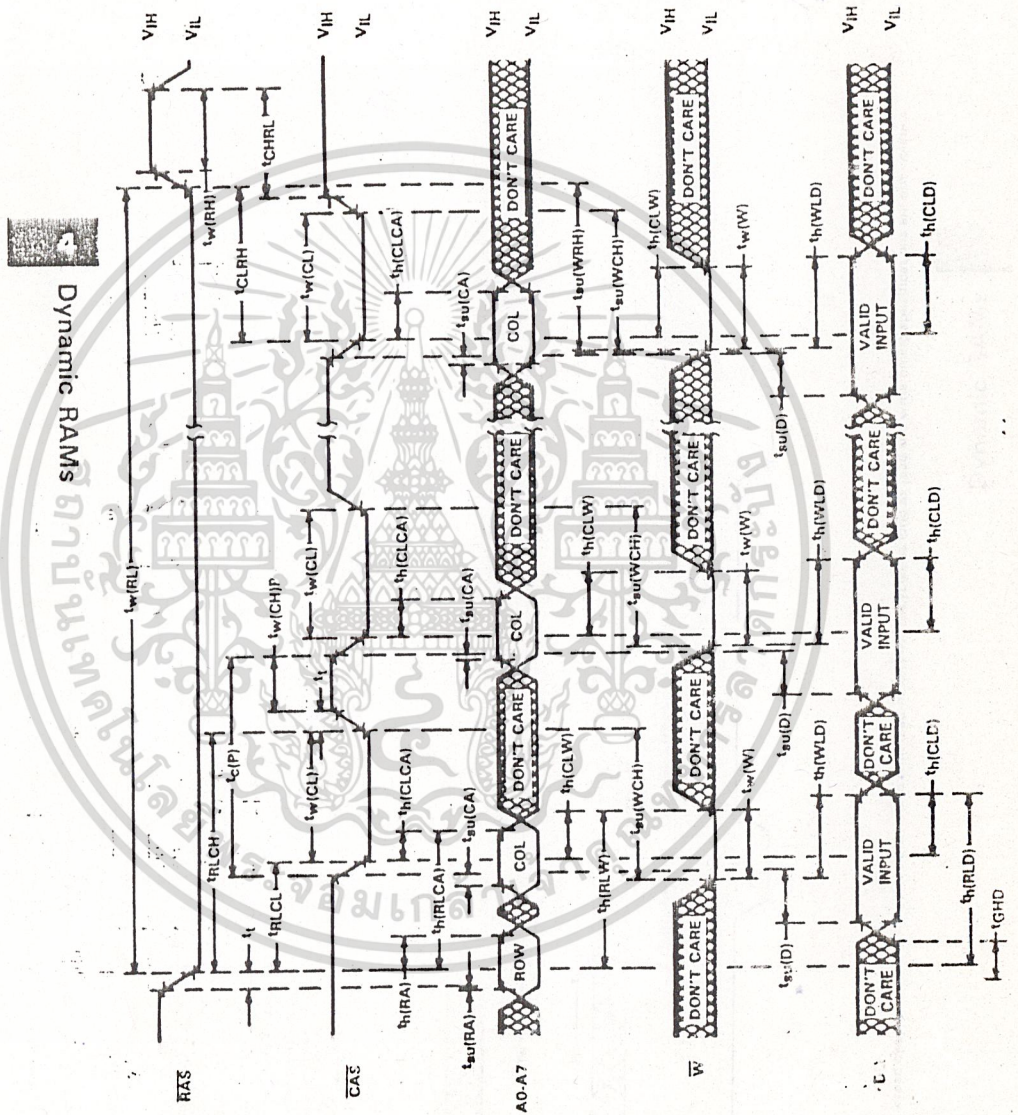
Dynamic RAMS



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TMS4464
65,536-WORD BY 4-BIT DYNAMIC RANDOM-ACCESS MEMORY

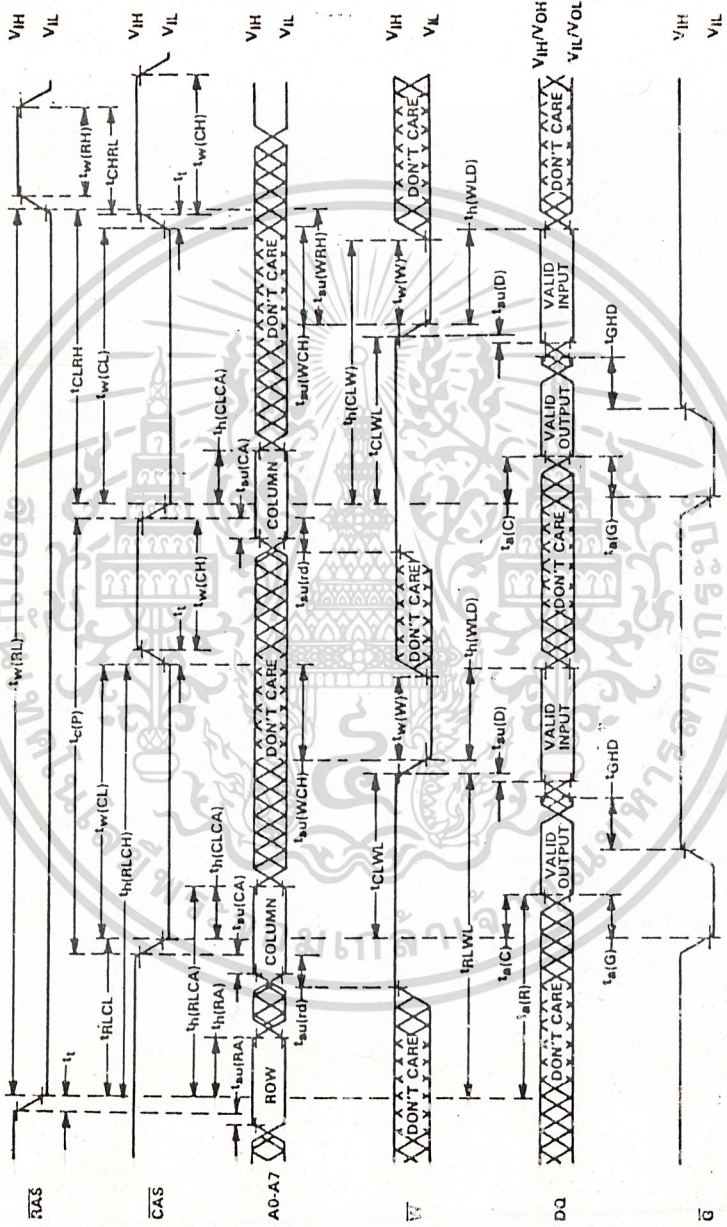
page-mode write cycle timing



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้拿去ใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TMS4464
65,536-WORD BY 4-BIT DYNAMIC RANDOM-ACCESS MEMORY

page-mode read-modify-write cycle timing



NOTE : A read cycle or a write cycle can be intermixed with read-modify-write cycles as long as read and write timing specifications are not violated.



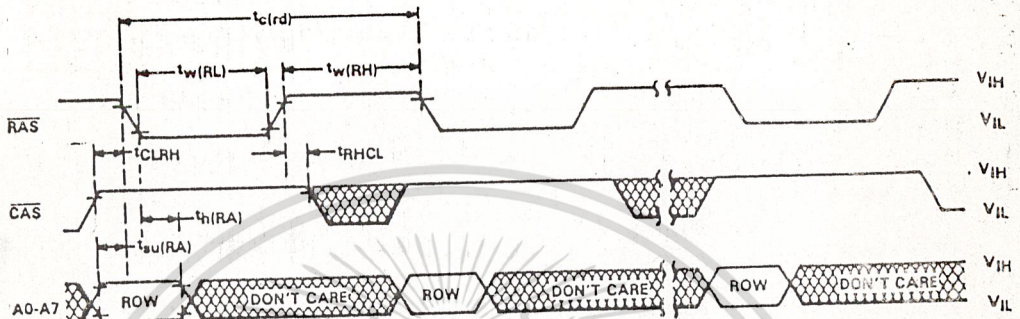
Dynamic RAMs

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้拿去ใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

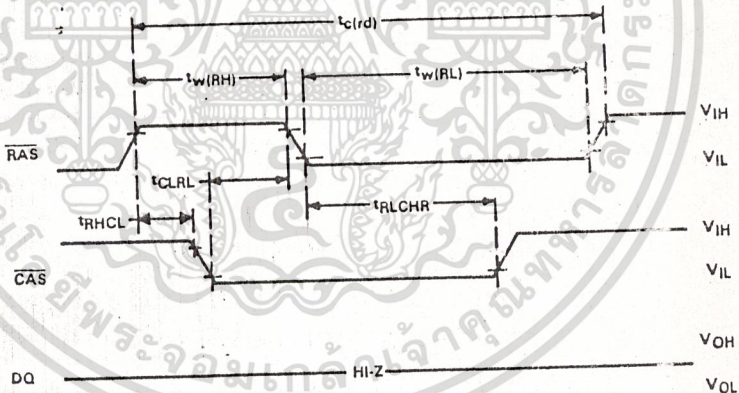
TMS4464
65,536-WORD BY 4-BIT DYNAMIC RANDOM-ACCESS MEMORY

RAS-only refresh cycle timing

4
 Dynamic RAMS



CAS-before-RAS refresh cycle timing



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นอนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้