ตามในช่วงที่เริ่มต้นเข้าสู่การทำงานในบัสไซเคิลของ 8088 นั้น จะมีการหน่วงเวลาออกไปเท่ากับช่วงเวลาของคล็อก 2 ลูก เพื่อให้การทำงานในบัสไซเคิลต่อจากที่ทำค้างอยู่นั้นสามารถเกิดขึ้นได้ทัน

ขั้นตอนต่าง ๆ ที่ได้กล่าวมานี้เป็นขั้นตอนการทำงานที่เกิดขึ้นในการทำขบวนการ DMA ใน IBM/PC ซึ่งจะสังเกตุได้ว่าภายใน IBM/PC นั้น ใช้วงจรสร้าง Wait-State ในการทำขบวนการ DMA ทั้งนี้เนื่องจากภายใน IBM/PC จะใช้งาน 8088 ในโหมด Maximum ซึ่งไม่มีขา HOLD และ HOLDA และยังจำเป็นต้องใช้ขา $\overline{RQ}/GT$ สำหรับการใช้งานร่วมกับ Co-Processor ด้วย

4.4 การอ้างแอดเดรสของ 8237A-5

จากลักษณะการจัดเรียงขาของ 8237A-5 ที่ได้กล่าวถึงในตอนต้น จะเห็นว่าจำนวนขาที่เป็นบัสแอดเดรสของ 8237A-5 จะมีเพียง 8 ขา คือ A0-A7 โดยที่ขา A0-A7 เป็นแบบ Bi-Directional ซึ่งจะใช้เป็นอินพุทเมื่อ CPU ต้องการจะติดต่อกับรีจิสเตอร์ภายในของ 8237A-5 แต่ในระหว่างที่ 8237A-5 สร้างขบวนการ DMA เพื่อช่วยในการส่งผ่านข้อมูลระหว่างหน่วยความจำกับอุปกรณ์ภายนอก (หรือระหว่างหน่วยความจำ) อยู่นั้น ขา A0-A3 จะถูกใช้เป็นเอาท์พุทร่วมกับ A4-A7 ในการอ้างแอดเดรสของหน่วยความจำที่เกี่ยวข้อง ซึ่งจะเห็นได้ว่าไม่เพียงพอที่จะอ้างแอดเดรสได้ครบทั้ง 64 Kbyte ดังนั้น 8237A-5 จึงอาศัยวิธีการมัลติเพล็กซ์ค่าแอดเดรส 8 บิทบนที่เหลือ คือ A8-A15 ออกมาบนขา DB0-DB7 ของ 8237A-5 โดย 8237A-5 จะใช้ช่วงเวลาของคล็อก S1 ในแต่ละบัสไซเคิลในการส่งค่าแอดเดรส 8 บิทบนออกมาบนขา DB0-DB7 เพื่อส่งให้กับอุปกรณ์ที่ทำหน้าที่แลทช์ค่าแอดเดรส 8 บิทบนนี้ออกมาบนบัสแอดเดรสของระบบ โดยขอบขาลงของสัญญาณจากขา ADSTB (ขา Address Strobe; ขา 8 ของ 8237A-5) จะถูกใช้สำหรับควบคุมให้อุปกรณ์นี้ทำการแลทช์ค่าแอดเดรส A8-A15 ซึ่ง 8237A-5 ส่งออกมาบนขา DB0-DB7 นั้นออกมาบนบัสแอดเดรสของระบบ ด้วยวิธีการเช่นนี้จะเห็นว่าค่าแอดเดรสทั้ง 16 บิทคือ A0-A15 จะถูกส่งออกมาบนบัสแอดเดรสได้ โดยไม่จำเป็นต้องเพิ่มจำนวนของ 8237A-5 เลย

สำหรับในกรณีที่ 8237A-5 ทำงานในแบบ Block หรือ Demand Transfer ซึ่งมีการส่งผ่านข้อมูลเข้าหรือออกจากหน่วยความจำเป็นจำนวนมากนั้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

8237A-5 จะต้องทำการส่งค่าแอดเดรสของหน่วยความจำที่เกี่ยวข้องออกมาบนบัสแอดเดรสอย่างต่อเนื่องกัน ซึ่งโดยทั่วไปแล้วค่าแอดเดรสในส่วนที่อยู่ใน 8 บิทบนคือ A8-A15 นั้น จะไม่เปลี่ยนแปลงมากนัก กล่าวคือ ค่าแอดเดรสในบิท A8-A15 จะถูกเปลี่ยนแปลงเฉพาะกรณีที่การเปลี่ยนแปลงค่าแอดเดรสนั้นมีการทด (Carry) หรือยืม (Borrow) จากแอดเดรสบิท A7 ให้กับแอดเดรสบิท A8 เช่นกรณีที่ค่าแอดเดรสเปลี่ยนจาก 00FFH เป็น 0100H เท่านั้น ดังนั้นเพื่อเป็นการลดเวลาที่ใช้ในแต่ละบัสไซเคิลที่เกี่ยวกับการส่งผ่านข้อมูลในกรณีของ Block หรือ Demand Transfer ลง 8237A-5 จึงจะทำการสร้างบัสไซเคิลในช่วงของคล็อก S1 (ช่วงเวลาที่ 8237A-5 ส่งข้อมูลคือ แอดเดรสบิท A8-A15 ให้กับวงจรแลทช์ภายนอกเฉพาะในกรณีที่มีการเปลี่ยนแปลงค่าแอดเดรสนั้นมีผลกระทบต่อแอดเดรสบิท A8-A15 เท่านั้น ซึ่งจะเห็นได้ว่าคล็อก S1 จะถูกสร้างขึ้นเมื่อมีการส่งผ่านข้อมูลทุก ๆ 256 ไบท์แทนที่จะถูกสร้างขึ้นในการส่งผ่านข้อมูลทุก ๆ ไบท์ ดังนั้นจึงสามารถที่จะลดจำนวนคล็อกลงได้ 255 ลูกในการส่งผ่านข้อมูลด้วยวิธี Block หรือ Demand Transfer ทุก ๆ 256 ไบท์ แต่ดังที่ได้กล่าวไว้ข้างต้นแล้วว่าในระบบของ IBM/PC นั้น ไม่สามารถที่จะโปรแกรมให้ 8237A-5 ทำการส่งผ่านข้อมูลหลาย ๆ ไบท์ในครั้งเดียวได้ ดังนั้นในการส่งผ่านข้อมูลโดยการใช้ขบวนการ DMA ในทุกไบท์จะมีช่วงเวลาของคล็อก S1 ถูกสร้างขึ้นด้วยเสมอ

ภายในระบบของ IBM/PC นั้นใช้ CPU เบอร์ 8088 ที่อ้างแอดเดรสของหน่วยความจำได้ถึง 1 Mbyte (Megabyte) ซึ่งมากเกินกว่าที่ 8237A-5 จะอ้างถึงได้ ดังนั้นภายใน IBM/PC จึงอาศัยวิธีการทางฮาร์ดแวร์เข้าช่วยในการสร้างแอดเดรส 4 บิทบนนี้เหลือ คือ A16-A19 โดยเรียกว่า Page Register ซึ่งการเขียนหรืออ่านข้อมูล (แอดเดรส 4 บิท บน) จาก Page Register นี้ จะทำได้โดยการเขียนหรืออ่านข้อมูลผ่านทางพอร์ท I/O ของ IBM /PC 3 พอร์ท สำหรับแชนแนลทั้ง 3 แชนแนล (แชนแนล 1, 2, 3) ดังในรูปข้างบน

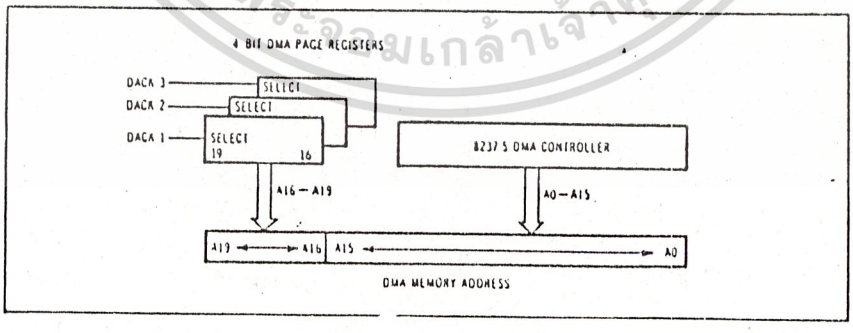
ข้อมูลที่เก็บอยู่ใน Page Register นี้จะถูกส่งออกมายังเส้นแอดเดรส 8 บิทบนของบัสแอดเดรส เมื่อ 8237A-5 ตอบสนองต่อการขอ DMA (สัญญาณ DACK แอคทีฟ) ที่เกิดขึ้น โดยถ้า 8237A-5 ทำการตอบสนองให้กับการขอ DMA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แชนแนล	แอดเดรสของพอร์ท I/O
1	0083H
2	0081H
3	0082H

รูปที่ 4.16

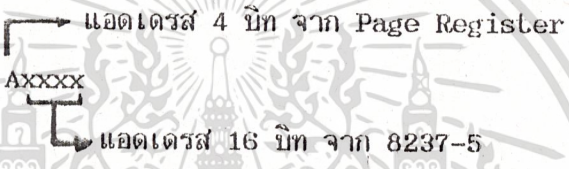
ในแชนแนลใด Page Register ก็จะส่งแอดเดรส 4 บิทแรกของแชนแนลนั้นออกมาบนบัสแอดเดรส เมื่อประกอบกับแอดเดรส 16 บิทที่ 8237A-5 ส่งออกมาแล้ว ก็จะครบทั้ง 20 บิทพอดี



รูปที่ 4.17 แสดงถึงการประกอบกันของแอดเดรส 4 บิทจาก Page Register

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตัวอย่างเช่นถ้าเราโปรแกรม Page Register โดยการใช้คำสั่ง OUT ส่งข้อมูล OAH ให้กับพอร์ท 0081H (แชนแนล 2) เมื่อ 8237A-5 ทำการตอบสนองต่อการขอ DMA ให้กับแชนแนลที่ 2 นั้น สัญญาณ DACK2 จะแอคทีฟซึ่งจะทำให้ Page Register ส่งค่าแอดเดรส 4 บิทที่เราโปรแกรมไว้ ซึ่งในกรณีนี้คือ OA ในฐาน 16 ออกมาบนเส้นแอดเดรส A16-A19 ของบัสแอดเดรส เมื่อประกอบกับแอดเดรส 16 บิทที่ 8237A-5 ส่งออกมาบนบัสแอดเดรสแล้ว จะได้เป็นแอดเดรส 20 บิท ดังนี้



อย่างไรก็ตามสิ่งสำคัญสิ่งหนึ่งที่จะต้องคำนึงถึงในการโปรแกรม Page Register ก็คือ Page Register นี้เป็นรีจิสเตอร์ขนาด 4 บิท ซึ่งจะทำให้ข้อมูลที่ส่งให้กับ Page Register ถูกใช้งานเพียง 4 บิทคือ บิท D0-D3 เท่านั้น ดังนั้นการส่งข้อมูล OAH, 1AH, 2AH, ... นั้นจะให้ผลเหมือนกัน คือ แอดเดรส 4 บิทที่ Page Register ส่งออกมาบนบัสแอดเดรสจะเป็น OAH ในฐานสิบหก

4.5 ประสิทธิภาพในขบวนการ DMA

อัตราในการส่งผ่านข้อมูลในขบวนการ DMA และ ช่วงเวลาที่สูญเสียไปก่อนที่ 8237A-5 จะเริ่มต้นการส่งผ่านข้อมูลในขบวนการ DMA ซึ่งเป็นสิ่งที่เราจะต้องคำนึงถึงเสมอในการออกแบบวงจรอินเทอร์เฟสที่จำเป็นต้องใช้ขบวนการ DMA และต้องการความรวดเร็วในการตอบสนองต่อการขอ DMA รวมทั้งอัตราเร็วในการส่งผ่านข้อมูลที่สูงพอด้วย

4.6 อัตราสูงสุดในการส่งผ่านข้อมูลโดยใช้ DMA

โดยทั่วไปแล้วในแต่ละบัสไซเคิลที่ถูกสร้างขึ้นในขบวนการ DMA นั้น จะใช้ช่วงเวลาเท่ากับช่วงเวลาของคล็อกจำนวน 5 ลูก คือ S0-S4 แต่สำหรับในระบบของ IBM PC นั้นจะเพิ่มจำนวนคล็อกขึ้นอีก 1 ลูกโดยอัตโนมัติ ซึ่งคล็อกที่เพิ่มเข้ามานี้ จะแทรกอยู่ระหว่างคล็อก S3 และ S4 โดยจะเรียกว่า Sw สำหรับ Sw นี้ถูก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เป็นเพิ่มเข้ามาเพื่อเพิ่มช่วงเวลาในการรับ/ส่งข้อมูลระหว่างหน่วยความจำกับอุปกรณ์ภายนอกให้มากขึ้น ทั้งนี้ก็เพื่อป้องกันปัญหาที่อาจจะเกิดขึ้นได้จากการที่หน่วยความจำหรืออุปกรณ์ภายนอกทำงานไม่ทัน ดังนั้นสำหรับใน IBM/PC จะใช้ช่วงเวลาในบัสไซเคิลในขบวนการ DMA เท่ากับช่วงเวลาของคล็อก 6 ลูก คือ S0-S3, Sw และ S4 และเนื่องจากคาบเวลาของคล็อก 1 ลูก จะประมาณ 210 nanosec. ดังนั้นในแต่ละบัสไซเคิลในขบวนการ DMA ของ IBM PC จะใช้เวลาประมาณ 1.26 usec.

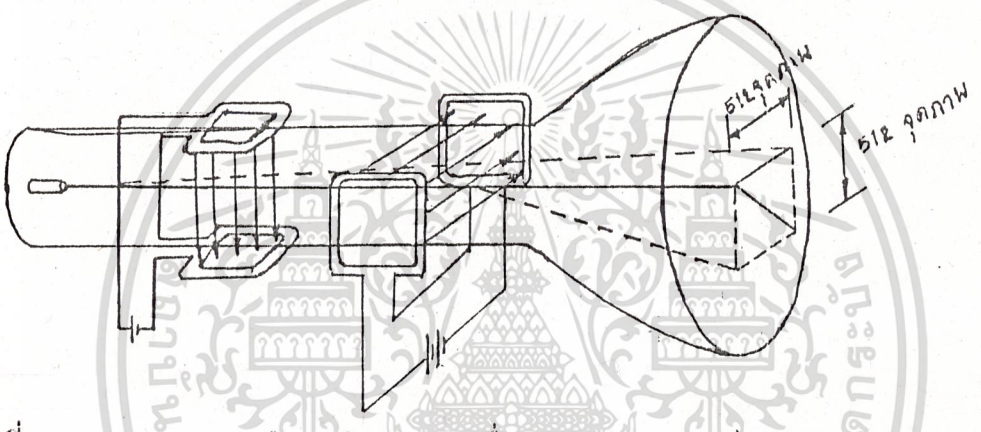
ภายใน IBM PC จะทำการโปรแกรมให้ 8237A-5 ทำงานในโหมด Single Transfer ซึ่งในระหว่างบัสไซเคิลของขบวนการ DMA จะถูกแทรกด้วยบัสไซเคิลของ 8088 1 ไซเคิล โดยที่บัสไซเคิลของ 8088 จะใช้ช่วงเวลาโดยทั่วไปเท่ากับช่วงเวลาของคล็อก 4 ลูก หรือประมาณ 840 nanosec. ดังนั้นจึงจำเป็นต้องรวมช่วงเวลาที่เสียไปสำหรับบัสไซเคิลของ 8088 นี้กับช่วงเวลาของบัสไซเคิล (ในขบวนการ DMA) ในการส่งผ่านข้อมูลด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5

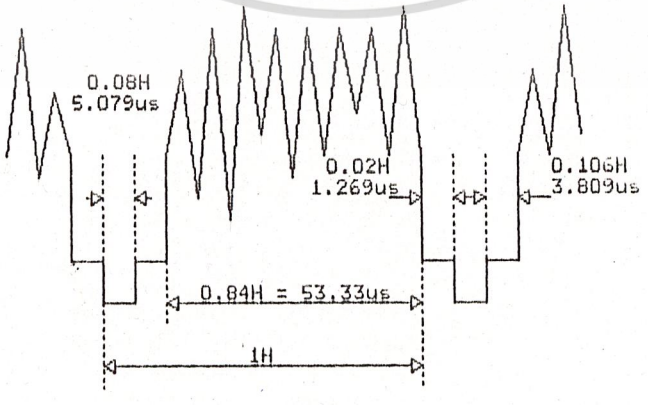
การคำนวณและการสร้าง

เมื่อเราต้องการให้จอมอนิเตอร์แสดงภาพในแนวนอนและแนวตั้งเท่ากับ 512*512 จุดภาพ(pixel) ซึ่งโดยปกติแล้วการสแกนภาพของโทรทัศน์ระบบยุโรปจะสแกนในแนวนอน 625 line แต่ในโครงงานนี้ต้องการแค่เพียง 512 line เท่านั้น ซึ่งจะเห็นได้ว่าภาพที่ได้จากการสแกนนี้จึงไม่เต็มจอ ฉะนั้นเราจึงมีหลักการในการคำนวณและสร้างวงจรเพื่อที่จะให้การสแกนผลภาพอยู่กลางจอภาพดังนี้



รูปที่ 5.1 การสแกนของลำแสงอิเลคตรอนเนื่องจากขดลวดแม่เหล็ก 512*512 pixel

1. วัดสัญญาณจากกล้องวีดีโอ แล้วเทียบกับสัญญาณมาตราฐาน ในโครงงานนี้ใช้กล้องวีดีโอ ยี่ห้อ SONY รุ่น CCD-M8E ซึ่งสามารถวัดสัญญาณภาพโดยใช้ Oscilloscope ได้ดังรูปที่ 10



รูปที่ 5.2 สัญญาณทางด้านแนวนอนหรือสัญญาณใน 1 line

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2. นำความถี่ทางด้านแนวนอน(Horizotal Frequency) มาทำการคำนวณเพื่อหาค่าความถี่ Oscillate ซึ่งจากทฤษฎีแล้วความถี่ Oscillate ประมาณ 8 MHz (15,265*512)

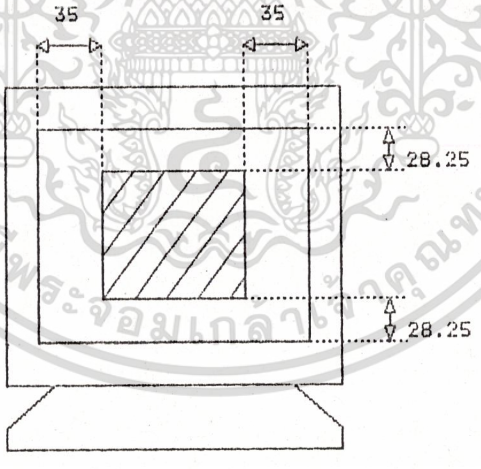
จากสัญญาณภาพที่วัดได้ในโครงงานนี้ 1 line หรือความถี่ทางแนวนอน มีค่าเท่ากับ 18,751.17 Hz (1/53.33Microsec) ฉะนั้นถ้าสแกน 512 line จะมีความถี่เท่ากับ 9.6 MHz

โครงงานนี้ใช้ Crystal ขนาด 21.792 MHz เป็นตัวกำเนิดความถี่ เมื่อนำไปเข้า Counter หาร 2 แล้ว จะได้ความถี่ที่นำไปใช้เท่ากับ 10.896 MHz

จากรูปที่ 9 เมื่อความถี่ 18,751.17 Hz คือการสแกนภาพ 1 line

ถ้าความถี่ที่ใช้มีค่า 10.892 MHz จะต้องมีการสแกนถึง 581.08 line

จากค่าที่ได้จะเห็นว่าเมื่อใช้ความถี่ 10.892 MHz จะทำให้การสแกนทางแนวนอนเกินจากค่าที่กำหนดประมาณ 70 line (581.08-512) ซึ่งสามารถเว้นขอบซ้ายขวาได้ข้างละ 35 line หรือจุดภาพ(ดูรูปที่ 5.3)

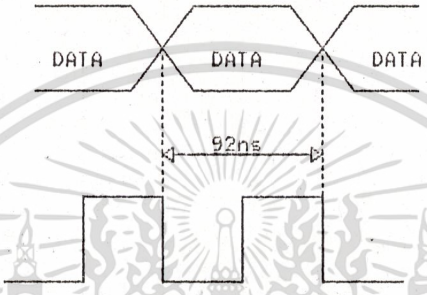


รูปที่ 5.3 ภาพการสแกนหน้าจอโทรทัศน์

ในการสแกนภาพของโทรทัศน์ระบบยุโรป มีเส้นสแกน 625 เส้น/ภาพ(2 ฟิลด์) แต่ที่เราต้องการคือ 512 เส้น/ภาพ เพราะฉะนั้นจะมีพื้นที่ว่าง 113 เส้น สำหรับการนำข้อมูลที่อยู่ในหน่วยความจำมาสแกนภาพ สามารถสแกนได้ฟิลด์เดียว ฉะนั้นจะมีพื้นที่ที่ไม่ใช้ในการสแกนเท่ากับ 56.5 เส้น ซึ่งสามารถทำการเว้นขอบบนและขอบล่างได้ข้างละ 28.25 เส้น(ดูรูปที่ 5.3)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3. เมื่อใช้ความถี่ Oscillate ขนาด 10.896 MHz การรับส่งข้อมูลแต่ละครั้งจะต้องใช้เวลา ประมาณ 92 nanosec (1/10.896MHz) ดังนั้นการกำหนดค่า RAM นั้น จะต้องกำหนดโดยค่าเวลาที่ใช้ในการเขียนและอ่านต้องไม่ต่ำกว่า 92 nanosec ซึ่งในโครงงานนี้เราใช้ RAM เบอร์ 4464 ซึ่งใช้เวลาในการเขียนและอ่าน 200 nanosec



รูปที่ 3.4 การเขียนหรืออ่านข้อมูล 1 cycle

ในการออกแบบการเขียนข้อมูลลงไปใน RAM ขนาด 8 บิท (RAM # 4464 มีขนาด 4 บิท จะต้องใช้ 2 ตัว เพื่อให้ได้ 8 บิท) จำนวน 4 ชุด จะต้องใช้ Latch เพื่อช่วยในการคงสภาวะของข้อมูลไว้จำนวน 4 ชุดด้วย ในโครงงานนี้เราใช้ Latch # 374 ช่วยในการเขียนข้อมูลเข้าไปใน RAM และใช้เบอร์ 373 เพื่อช่วยในการนำข้อมูลออกจาก RAM เพื่อเข้าสู่ Data Bus และจะเป็น Buffer ให้กับ RAM ด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การเปรียบเทียบ การใช้ RAM ชนิด Static และ Dynamic

RAM ชนิด Static

จากราคาในท้องตลาดแล้ว RAM ชนิด Static ที่มีความจุขนาด 32 Kbyte จะมีราคาขาย 500 บาทต่อตัว ซึ่งถ้า RAM ที่มีขนาดความจุสูงขึ้น ราคาขายก็จะสูงขึ้นเช่นกัน เมื่อต้องการ RAM ที่มีหน่วยความจำขนาด 256 Kbyte ก็จะต้องใช้ RAM ถึง 8 ตัว ดังนั้นต้องใช้ต้นทุนถึง 4,000 บาท และ RAM ชนิดนี้ จะต้องใช้ Address line อย่างน้อย 16 เส้น ในการเขียนและอ่านแต่ละครั้ง ใช้ Access time 60 nanosec

RAM ชนิด Dynamic

จากราคาขายในท้องตลาดแล้ว RAM ชนิด Dynamic ที่มีขนาดความจุ 64 Kbyte 4 Bit จะมีราคาขายตัวละ 100 บาท ซึ่งถ้าต้องการหน่วยความจำที่มีขนาด 256 Kbyte 8 Bitแล้ว จะต้องใช้ RAM 8 ตัว ดังนั้นต้องใช้ต้นทุนเพียงแค่ 800 บาทเท่านั้น และRAM ชนิดนี้ จะต้องใช้ Address line อย่างน้อย 8 เส้น ในการอ่านและเขียนแต่ละครั้ง ใช้ Access time 200 nanosec

ข้อดีข้อการใช้ RAM ชนิด Dynamic

- ความหนาแน่นต่อการเก็บข้อมูลมีมากกว่า
- ขนาดของRAMชนิดนี้จะเล็กกว่าแบบ Static ในขณะเมื่อมีความจุเท่ากัน
- ราคาถูกกว่า ในขณะที่ความจุเท่ากัน

ข้อเสียของ RAM ชนิด Dynamic

- การนำไปใช้งานจะมีวงจรที่ยุ่งยากกว่า
- ความเร็วในการอ่านและเขียนข้อมูลจะช้ากว่า
- ต้องมีการRefesh ข้อมูลอยู่ตลอดเวลา คือในตำแหน่งของ Row Address จะต้องมีการ Refash ทุกๆ 4 ms

ข้อที่เหมาะสมกับการใช้ Dynamic RAM

- Dynamic RAM เหมาะกับงานที่ใช้ Memory Area ขนาดใหญ่ เช่น Main Board Computer เป็นต้น

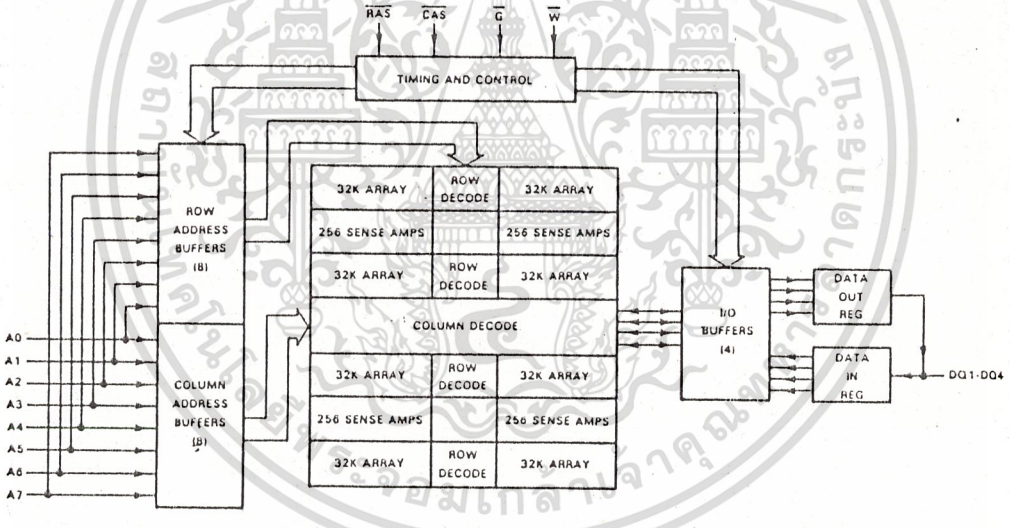
- ตัว RAM ชนิดนี้จะมีขนาดเล็ก ฉะนั้นจึงใช้พื้นที่ในการวาง RAM สะดวกและเล็กว่า Static RAM ในขณะที่มีหน่วยความจำเท่ากัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การทำงานของ Dynamic RAM 4464

RAM # 4464 เป็น RAM ขนาด 4 บิท ที่มีความเร็วในการทำงานสูง และสามารถเก็บข้อมูลได้ 65,536 * 4 Bit ซึ่งใน $\overline{RAS}$ จะมี Access Time สูงสุดถึง 120,150และ200 nanosec และจะมีค่า Power ในการทำงานเท่ากับ 125 mw และในขณะ Standbyเท่ากับ 17.5 mw

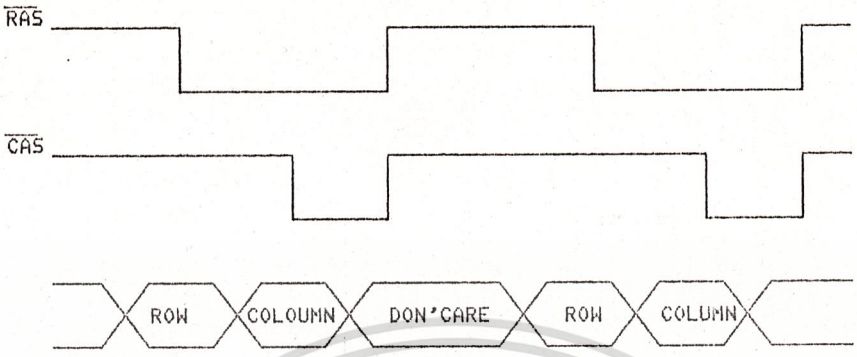
ใน Address line จะมี Row Address 8 line ซึ่งสามารถอ้างตำแหน่งได้ 256 ตำแหน่ง และใน Column Address จะมี 8 line เช่นกัน ดังนั้นสามารถอ้าง Address รวมได้ 256*256 = 65,536 Address ซึ่งจะมี Data input 4 line สามารถเก็บข้อมูลครั้งละ 4 Bit



รูปที่ 5.5 functional block diagram of dynamic ram # 4464

ในการอ้าง Address จะใช้สัญญาณ $\overline{RAS}$ (Row Address Stobe) เป็นสัญญาณในการ Stobe Row Address และสัญญาณ $\overline{CAS}$ (Column Address Stobe) จะเป็นสัญญาณในการ Stobe column Address การ Stobe จะใช้ Pulse ขาลง ของ $\overline{RAS}$ และ $\overline{CAS}$ ซึ่งจะทำงานสัมพันธ์กับ Address ใน Address line

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.6 การ Stobe Address

$\overline{W}$ เป็นสัญญาณควบคุมการอ่านหรือเขียน ซึ่งถ้ามีค่าลอจิกเป็น"1"จะเป็นการอ่าน และถ้าลอจิกเป็น"0"ก็จะเป็นการเขียน

$\overline{G}$ เป็นสัญญาณควบคุม Out Put Buffer ของ RAM ซึ่งในขณะเขียนจะให้เป็นลอจิก"1" และในขณะอ่านจะให้เป็นลอจิก"0"

<u>การอ่านและการเขียนเข้าไปใน RAM</u>

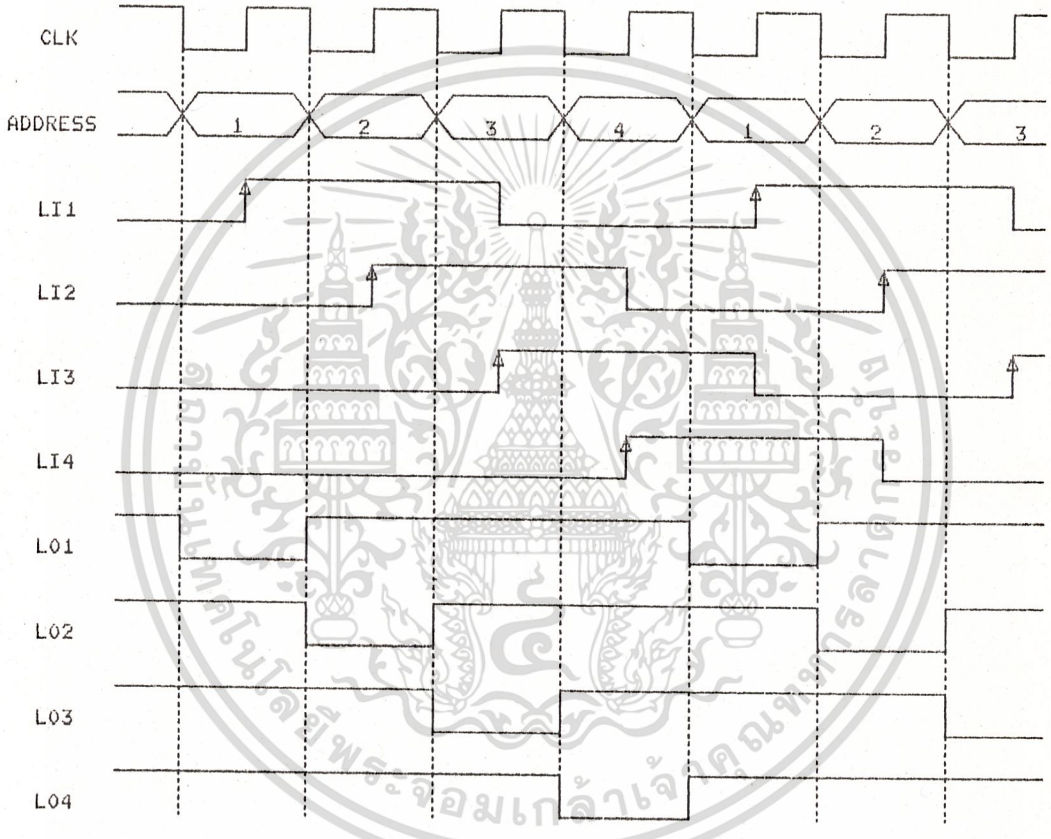
จากข้อมูลดิจิตอลที่ได้ เมื่อต้องการจะเก็บข้อมูลเข้าไปใน RAM จะต้องผ่านการคงข้อมูลไว้ โดยใช้ Latch จากข้อมูลใน Data line จะทำการแบ่งออกเป็น 4 ชุด โดยข้อมูลชุดที่ 1 จะเก็บใน RAM ชุดที่ 1 ข้อมูลชุดที่ 2 จะเก็บใน RAM ชุดที่ 2 ทำเช่นนี้จนครบ 4 ชุด แล้วเริ่มต้นใหม่ (ดูรูปที่ 5.7)

ผลที่ได้จากการเขียนแบบนี้ จะทำให้ลดความถี่ในการอ่านและเขียน RAM ซึ่งจะได้มีเวลาที่จะทำการอ่านและเขียนได้มากพอสมควร (ค่าคาบเวลา จะมีค่ามากกว่า Access time ของ RAM) ข้อดีของการใช้วิธีนี้ คือ

- สามารถขยายขนาดของการ Sampling Data ได้มากขึ้น
- สามารถใช้ RAM ความเร็วต่ำได้
- มีเวลามากพอในการเขียนและอ่าน RAM

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การทำงานของ Latch จะต้องสอดคล้องกับ Clock Pulse ขนาด 10.892 MHz โดยLatch จะทำงานเมื่อ Clock Pulse อยู่ในช่วงขาขึ้นและ oc อยู่ในช่วงลอจิก "0" ซึ่ง Latch ทั้ง 4 ตัวจะเปลี่ยนการทำงานตาม Clock Pulse ที่เข้ามา ดูจากรูป Timing Diagram (รูปที่ 5.7)



รูปที่ 5.7 Timing Diagram of Latch in

<u>การสร้าง Address line</u> ในการสร้าง Address line ให้กับหน่วยความจำนั้น ถ้าหน่วยความจำที่ใช้กับข้อมูลเพียงอย่างเดียวแล้ว เราสามารถสร้างได้โดยไม่ต้องคำนึงค่าอื่นๆจากภายนอกมากนัก แต่หน่วยความจำที่ใช้เกี่ยวกับงานการเก็บข้อมูลภาพ ซึ่งเกิดจากการสแกนของกล้องวีดีโอแล้ว ในการสร้าง Address line จะต้องคำนึงถึงส่วนต่างๆหลายอย่างคือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1. สัญญาณภาพ ที่ประกอบด้วย สัญญาณซิ้งค์ทางแนวนอน ซิ้งค์ทางแนวตั้ง สัญญาณแบล้งค์กิ้ง

2. ภาพหนึ่งเฟรมมีสองฟิลด์ ฟิลด์หนึ่งมีซิ้งค์แนวนอน 312.5 ลูก และเมื่อหมดหนึ่งฟิลด์จะมีซิ้งค์แนวตั้งหนึ่งลูก

3. ในการเก็บสัญญาณภาพที่เป็นดิจิตอล จะไม่เก็บสัญญาณส่วนที่เป็นสัญญาณแบล้งค์กิ้งและสัญญาณซิ้งค์

4. จำนวนจุดที่จะใช้ในการการ Samping สัญญาณในหนึ่งเส้นทางแนวนอนจะใช้กี่จุด

5. จำนวนเส้นที่จะใช้ทางแนวนอนกี่เส้นในหนึ่งฟิลด์

ความถี่ที่เป็น Clock ให้กับ Counter นั้นได้มาจากวงจร Oscillater 21.792 MHz แล้วผ่านวงจรหารสอง ได้ความถี่ 10.892 MHz ซึ่งความถี่นี้ป้อนให้กับ A/D ด้วย การคำนวณค่าต่างๆ ที่ใช้ในการสร้าง Counter Address line มีดังนี้

- สัญญาณซิ้งทางแนวตั้งที่มีความถี่ 50 Hz หรือมีคาบเวลาเท่ากับ 20 ms
- สัญญาณซิ้งค์ทางแนวนอนที่มีความถี่ 15,625 Hz หรือมีคาบเวลาเท่ากับ 64 microsec

ส่วนที่เป็นสัญญาณภาพจริงๆในหนึ่งไลน์นั้น เป็นเวลาประมาณ 52-54 microsec เพราะต้องลบเอาเวลาของ แบล้งค์กิ้งและซิ้งค์ออกด้วย ในที่นี้จะใช้เวลา 53.33 microsec ในการเก็บจุดภาพ 512 จุด ดังนั้นจะคำนวณความถี่ของสัญญาณที่นำมาเป็น Clock ให้กับ Couter ดังนี้

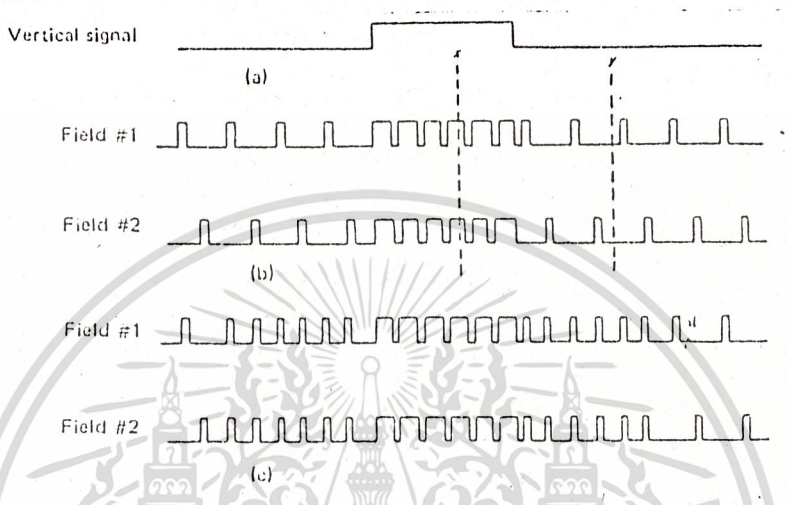
512 ครั้งใช้เวลา 53.33 microsec

1 ครั้งใช้เวลา 53.33/512 = 0.104 microsec

คิดเป็นความถี่ได้ $1/0.104*10^{-6}$ = 9.6 MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

-การแยก Odd - Even Field

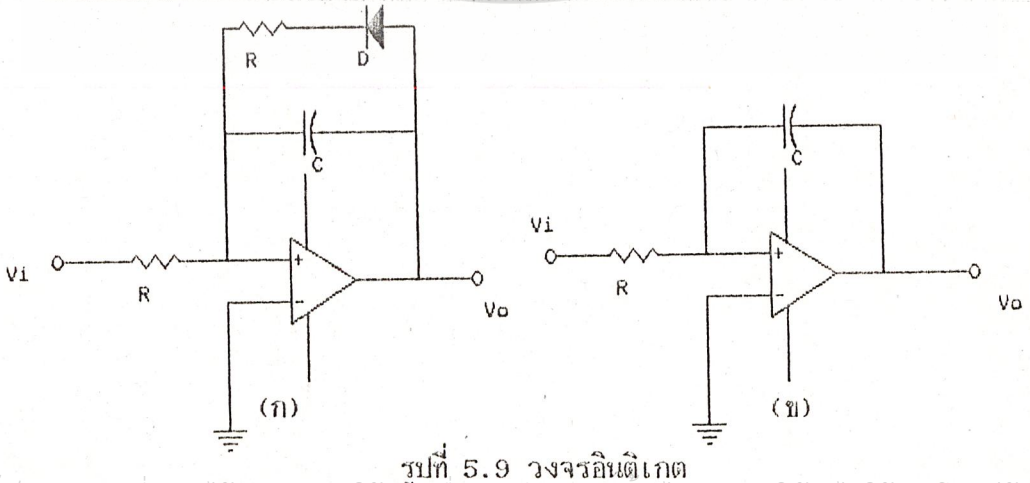


รูปที่ 5.8 แสดงส่วนของสัญญาณวีดีวอไลท์ชิ่ง

การแยกจะใช้การ toggle ผลที่ได้จะอยู่ที่ pulse สุดท้าย ซึ่งการ latch จะบอกว่าเป็น odd - even field และจะใช้ V sync เป็นสัญญาณการ latch

การแยกสัญญาณ V-sync

จะใช้วงจรอินทิเกรต และ สามารถคำนวณได้ดังนี้



รูปที่ 5.9 วงจรอินติเกต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากค่าแอมปริจูด(Vin)ของสัญญาณซิ้งค์ทางแนวนอนที่ได้จากกล้อง VDO เมื่อนำมาผ่านวงจร Multideplex (คูณ -1) จะได้เป็นวงจรอินทริเกต ดังรูปที่ 5.9(ก)

จากสัญญาณ H sync จะเห็นว่ามีลักษณะเป็น Square wave จากรูป 5.9 (ข) จะเห็นว่าในขณะที่ Vin น้อยกว่า 0 นั่นก็คือ -Vmax

$I_{in} = -I_f$

$V(+) = V(-) = 0$

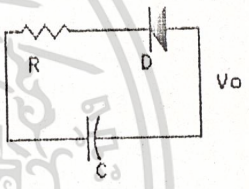
$I_{in} = Vin/R1$

$V_f = (1/c)\int I_f\, dt$ เมื่อ $Vc = Vo - 0 = Vo$

$I_f = c\, dVo/dt$

$Vin/R1 = -cdVo/dt$

ดังนั้นจะได้ $Vo = (-1/Rc)\int Vin\, dt + V_{co}$



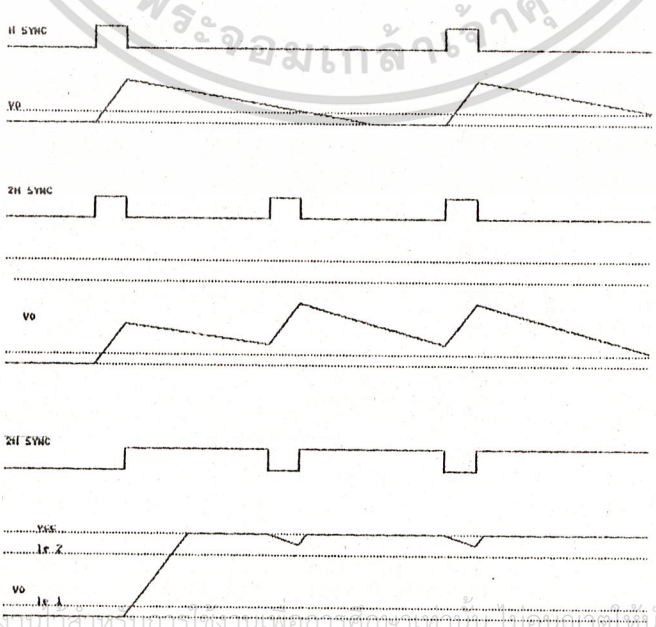
$Vin = Vmax$

$Vo = -Vmt/Rc$

ในขณะที่ $Vin = 0$

จะได้ $Vo = Vcm(1-e^{-t/R2C})$

จากสมการนี้นำมาเขียนเป็นรูป Timming Diagram ได้ดังนี้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การสร้างสัญญาณซิ้งค์ (Sync generater)

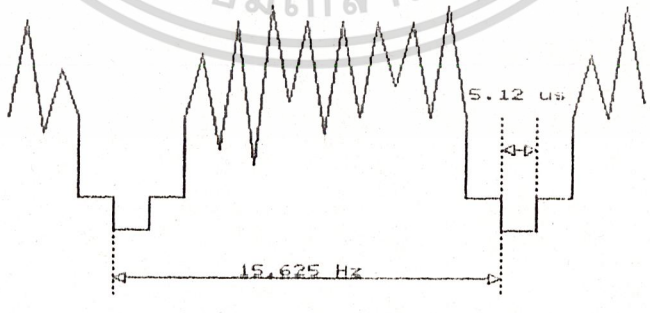
เมื่อต้องการจะอ่านข้อมูลจาก RAM ในขณะที่เราไม่ได้นำสัญญาณจากกล้องวีดีโอ ซึ่งเราอาจจะนำเอาข้อมูลจากฟลอบปี้ดิสต์ หรือข้อมูลจากฮาร์ดดิสต์ เพื่อนำไปแสดงผลที่จอโทรทัศน์ ดังนั้นเราจำเป็นจะต้องสร้างสัญญาณซิ้งค์ขึ้นมาช่วยในการสแกนภาพและนำไปควบคุมการทำงานของ RAM

ซึ่งการสร้างสัญญาณซิ้งค์นั้น ในโครงงานนี้จะใช้ความถี่ 10.892 MHz โดยผ่านวงจร Counter(IC#74LS393) ซึ่งมีหลักการคำนวณดังนี้

จากความถี่มาตราฐาน 15,625 Hz (H sync)จะได้จุดภาพ 1 จุดภาพ

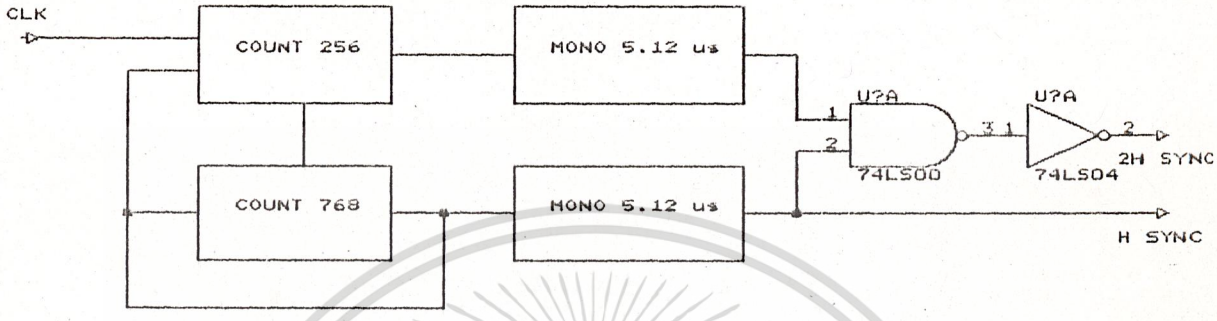
เมื่อใช้ความถี่ Oscillate ขนาด 10.892 MHz จะได้จุดภาพ 697 จุดภาพ

ซึ่งหมายความว่า Counter จะต้องนับถึง 697 ครั้งในการกำเนิดสัญญาณทางแนวนอน (H sync) 1 pulse เราใช้ Monostable (IC#74LS221) เป็นตัวสร้าง Pulse ซึ่งความกว้างของ Sync pulse จากสัญญาณมาตราฐาน มีค่าเท่ากับ 5.12 microsec (ดูรูปที่ 5.10) ดังนั้นเราจะต้องทำการสร้าง Sync pulse ให้มีคาบเวลาเท่ากับคาบเวลามาตราฐานโดยการใช้R และ C ช่วยในการสร้าง (ดูรูปที่ 5.11)



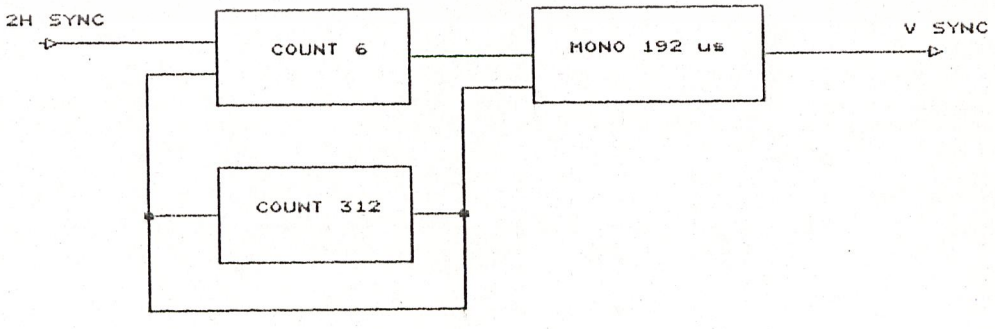
รูปที่ 5.10 สัญญาณมาตราฐานทางด้านแนวนอน(H sync)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.11 วงจรสร้างสัญญาณซิ้งค์ทางแนวนอน(H sync)

สำหรับการสร้างซิ้งค์ทางด้านแนวตั้ง(V sync) ก็เช่นกัน จะต้องเทียบกับสัญญาณมาตราฐานที่ความถี่ 50 Hz (2 ฟิลด์ต่อภาพ) จะมีการสแกน 625 line แต่ในโครงงานนี้มีการสแกน 1 ฟิลด์ต่อภาพ ดังนั้นต้องใช้ความถี่ 25 Hz และมีการสแกน 312.5 line การออกแบบก็จะต้องให้ Counter นับ 312 ครั้ง ในการสร้าง Pulse 1 pulse (รูปที่ 5.12)



รูปที่ 5.12 วงจรสร้างสัญญาณซิ้งค์ทางแนวตั้ง(V sync)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำหรับการสร้างสัญญาณอีควอไลซิ่ง(Equalizing)นั้น จะต้องให้มีความถี่เป็นสองเท่าของความถี่ทางด้านแนวนอน(H sync) เราสามารถสร้างได้โดยใช้ Counter นับ 348 ครั้ง เพื่อสร้าง pulse และนำสัญญาณนี้ผสมกับสัญญาณทางด้าน H sync อีกทีหนึ่ง(ดูรูปที่ 5.11) เพื่อนำสัญญาณไปใช้ในการสะบัดกลับของ H sync และแยก Odd/Even Field

<u>การออกแบบ Function การทำงาน</u>

เมื่อเราทำการอินเตอร์เฟสของระบบเข้ากับ IBM PC ดังนั้นจะต้องทำการ program หรือเลือกฟังค์ชั่นในการทำงาน ซึ่งจากรูปที่ 21 สามารถอธิบายการทำงานได้ดังนี้

Port 300A จะเป็นการติดต่อระหว่าง RAM ที่เก็บข้อมูลภาพขาวดำ กับ Data Bus โดยสามารถนำข้อมูลเข้าออกได้

Port 300B จะเป็นการติดต่อระหว่าง RAM ที่เก็บข้อมูลภาพสี กับ Data Bus โดยสามารถนำข้อมูลเข้าหรือออกได้เช่นกัน

Port 301 จะเป็นการติดต่อระหว่าง Data Bus กับ IBM PC เพื่อที่จะจัดจอภาพ

Port 302 จะเป็นการนำ Data Bus มาทำการ Decode เพื่อที่จะเลือกโหมดการทำงาน ซึ่งกำหนดโหมดการทำงานดังนี้

โหมด WN คือการนำสัญญาณภาพมาแสดงภาพที่จอโทรทัศน์และนำข้อมูลภาพเข้าไปเก็บใน RAM

โหมด RN คือการอ่าน RAM หรือการนำข้อมูลที่อยู่ใน RAM ไปแสดงภาพที่จอโทรทัศน์

โหมด WF คือการนำข้อมูลที่อยู่ในฟลอบปี้ดิสต์ หรือฮาร์ดดิสต์ เข้าไปเก็บใน RAM

โหมด RF คือการนำข้อมูลที่อยู่ใน RAM ไปเก็บในฟลอบปี้ดิสต์ หรือฮาร์ดดิสต์

โหมด Program คือ การ Set ค่าต่างๆเพื่อที่จะควบคุมจอโทรทัศน์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

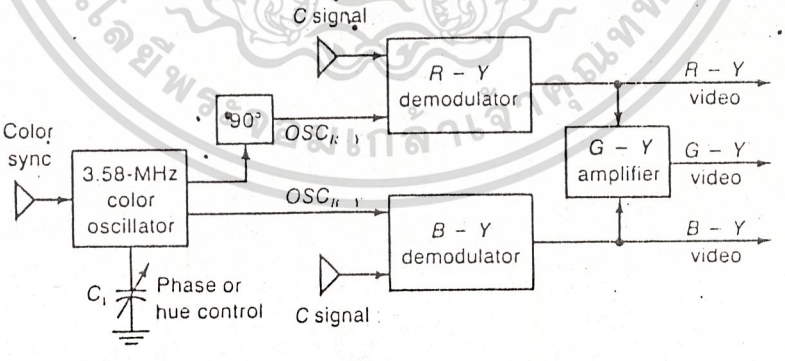
บทที่ 6

อธิบายรายละเอียดการทำงาน

จากหลักการทำงานขั้นพื้นฐานขั้นต้น และการคำนวณการสร้างของส่วนต่างๆ เมื่อเรานำออกแบบและทำการทดลองในวงจรแต่ละส่วนแล้ว ก็นำมาผสมผสานเข้าด้วยกัน ซึ่งในบทนี้จะอธิบายการทำงานในแต่ละส่วนย่อยอย่างละเอียด โดยที่จะอธิบายหน้าที่และฟังค์ชั่นต่างๆของอุปกรณ์ในแต่ละส่วน

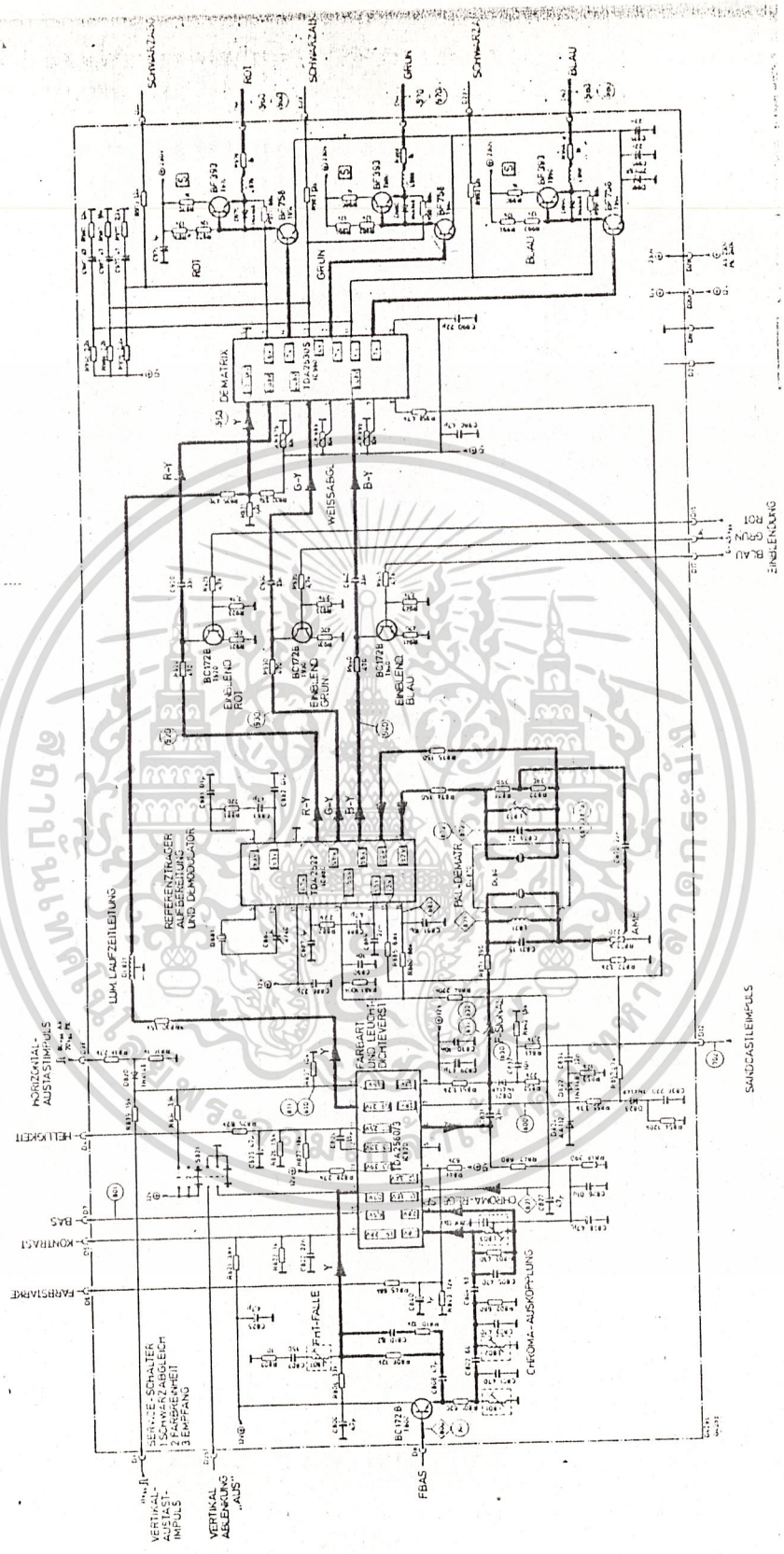
6.1 วงจรแยกสัญญาณภาพ (Separate Signal Circuit)

เมื่อเรานำสัญญาณภาพจากกล้อง VDO หรือจากอุปกรณ์กำเนิดสัญญาณ มาเพื่อที่จะนำมาแปลงสัญญาณจากสัญญาณอนาล็อคมาเป็นดิจิตอล สัญญาณที่ได้จากกล้อง VDO จะเป็นสัญญาณรวม ดังนั้นจึงจำเป็นต้องแยกสัญญาณแต่ละประเภทออกมา ซึ่งสัญญาณสามารถแยกออกมาได้ 3 ประเภท คือ สัญญาณภาพขาวดำ(Y) สัญญาณภาพสีR-Y และสัญญาณภาพสี B-Y วงจรที่แยกสัญญาณ จะเป็นวงจรที่ใช้ IC สำเร็จรูป ซึ่งเห็นได้จากวงจรโทรทัศน์สีในรูปที่ 6.1



รูปที่ 6.1 Block Diagram การแยกสัญญาณภาพ

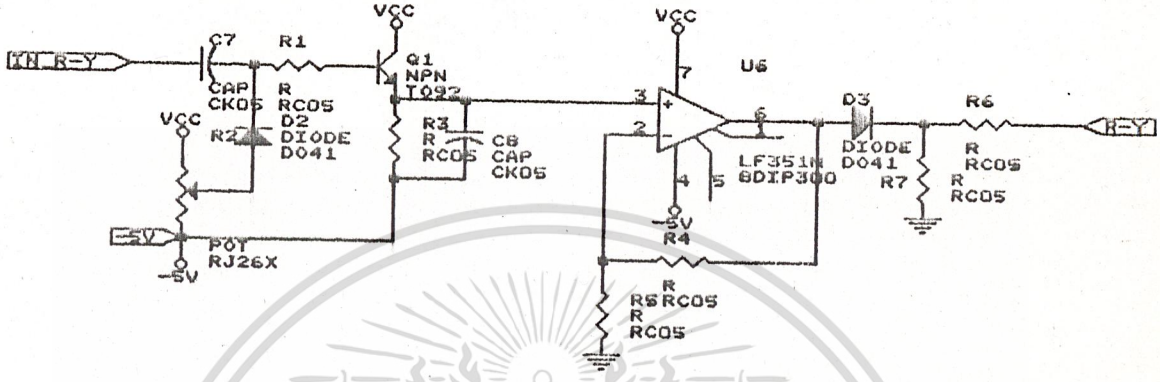
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 6.2 วงจรแยกสัญญาณภาพในวงจรโทรทัศน์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

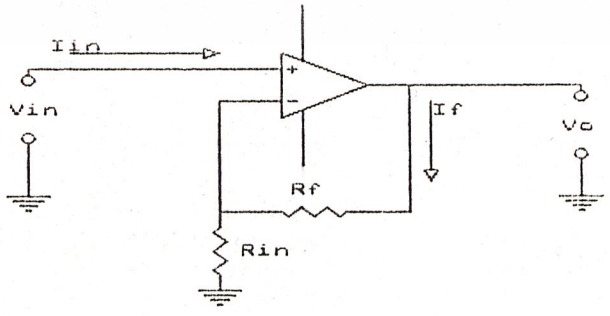
6.2 วงจรการเชื่อมต่อและขยายสัญญาณภาพ (Coupling and Signal Amplifier)



รูปที่ 6.3 วงจร Coupling และวงจรขยายสัญญาณ

ก่อนการนำสัญญาณภาพเข้าไปแปลงสัญญาณให้เป็นข้อมูล เราต้องนำสัญญาณที่ได้มาจากการแยกมาทำการCoupling เพื่อเชื่อมต่อสัญญาณเข้าด้วยกันโดยใช้ C_7 พร้อมกันนั้นจะต้อง Clamping ด้วย D_2 เพื่อที่จะกำจัดสัญญาณ H-Sync ดังรูป 6.3

หลังจากนั้นก็นำสัญญาณที่ได้มาทำการขยายโดยใช้ Op-Amp ซึ่งจะขยายแบบ Non-Inverter สำหรับอัตราการขยายจะเห็นได้จากการคำนวณข้างล่าง จากนั้นจะส่งสัญญาณไปยัง ADC



รูปที่ 6.4 วงจร Non-Inverting

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$I_{in} = -I_f$$

$$I_{in} = V_{in}/R_{in}$$

$$I_f = -(V_{in} - V_o)/R_f$$

$$= (V_o - V_{in})/R_f$$

เมื่อ $V+ = V-$

ฉะนั้น $V_{in}/R_{in} = (V_o - V_{in})/R_f$

$$V_o = V_{in}(1 + R_f/R_{in})$$

ดังนั้น อัตราขยาย $V_o/V_{in} = (1 + R_f/R_{in})$

6.3 วงจรการแปลงสัญญาณอนาล็อคเป็นดิจิตอล หรือ ADC (Analog to Digital Converter)

สัญญาณภาพเมื่อต้องการนำมาเก็บในหน่วยความจำจะต้องนำสัญญาณภาพที่เป็นอนาล็อคแปลงเป็นข้อมูลทางดิจิตอล เนื่องจากสัญญาณ VDO มีค่าเวลาที่ใช้ในการสแกนภาพเท่ากับ 64 us ต่อ หนึ่งLine ซึ่งเราต้องการให้ได้ความละเอียดของจุดภาพเท่ากับ 512 จุด * 512 จุด ดังนั้นเราจำเป็นต้องแบ่งช่วงเวลาในการเก็บข้อมูลแต่ละครั้งดังการคำนวณข้างล่างนี้

การสแกน 1 จุดภาพจะใช้เวลา > 64 us/512 จุดภาพ

> $1.25 * 10^{-07}$ sec/pixel

ดังนั้นจึงต้องใช้ความถี่ในการ Sampling > $1/1.25 * 10^{-07}$ Hz

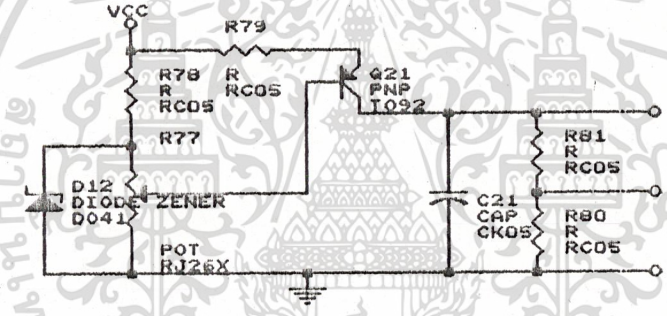
> 8 MHz

จากการคำนวณจะเห็นได้ว่า เราจะต้องใช้ ADC ที่มีความเร็วสูงมากกว่า 8 MHz ซึ่งการคำนวณอย่างละเอียดเราแสดงให้เห็นในบทที่ 3 สำหรับบทนี้เราจะแสดงให้เห็นเฉพาะการหา ADC ที่มีความเร็วอยู่ในย่านที่สามารถตอบสนองการย้อนกลับ (Convert) ได้ทัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากการศึกษาเราพบว่า ADC แบบ Flat จะให้ความเร็วในการแปลงสัญญาณ(Convert) อยู่ในย่านที่ต่ำกว่า 20 MHz (ความถี่ในช่วงนี้จะเป็นอัตรา (Rate)สูงสุดในการ Run)

สำหรับการสร้างแรงดัน Refference ให้กับ ADC นั้น เราจะสร้างในลักษณะที่ปรับระดับแรงดัน Refference ได้ตั้งแต่ 0 ถึง 4 Volt โดยการจัด Bias ให้กับ PNP Transistor ซึ่งเราสามารถแบ่งช่วงแรงดันได้โดยใช้หลักการ Divider จะเห็นได้จากวงจรรูปที่ 6.5



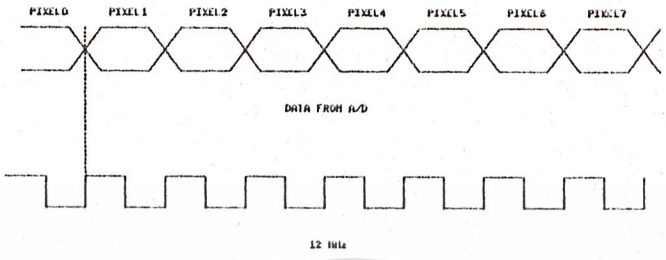
รูปที่ 6.5 วงจรแบ่งแรงดัน(Divider)

ในการ sampling ภาพ จะใช้สัญญาณนาฬิกา (Clock Pulse) 12 MHz สัญญาณนี้จะ sampling ภาพโดยตรง โดยการ sampling ของ DAC ทั้ง 3 ชุด จะทำงานพร้อมๆกัน ซึ่งจะเห็นได้จาก Timing Diagram รูปที่ 6.6

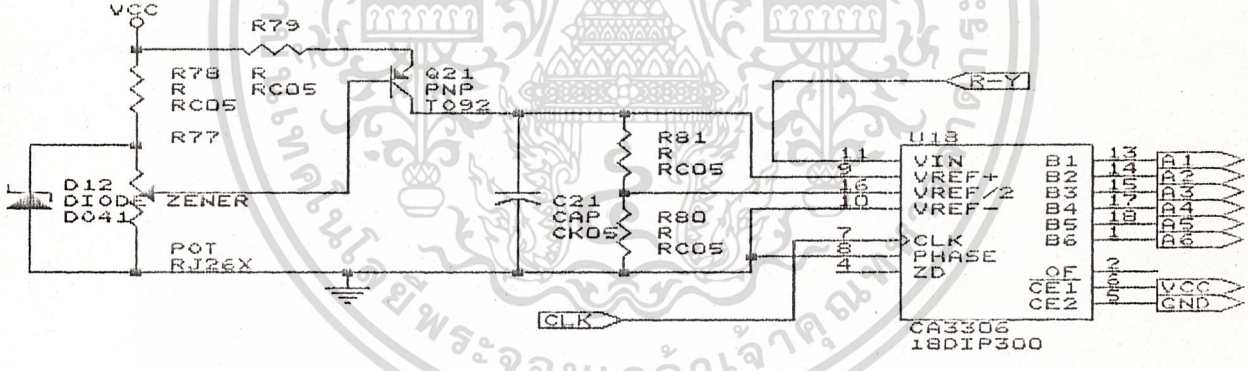
จากสัญญาณภาพที่ได้ทั้ง 3 ชุด และจากการคำนวณเราจะใช้ ADC แปลงสัญญาณภาพขาวดำ(Y) ขนาด 8 บิท เบอร์ 3318 ซึ่งจะให้ระดับของสัญญาณทางดิจิตอล $2^8 = 256$ ระดับ

ส่วนสัญญาณภาพสีR-Y และB-Y จะผ่าน ADC ขนาด 6 บิท เบอร์ 3306 ซึ่งจะให้ระดับของสัญญาณทางดิจิตอล $2^6 = 64$ ระดับ แต่ Bus ของข้อมูลจะรับรองไว้ 8 บิท เพื่อที่จะปรับปรุงใช้ในอนาคตข้างหน้า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 6.6 Timing Diagram



รูปที่ 6.7 วงจรแปลงสัญญาณอนาล็อคเป็นดิจิตอล (ADC)

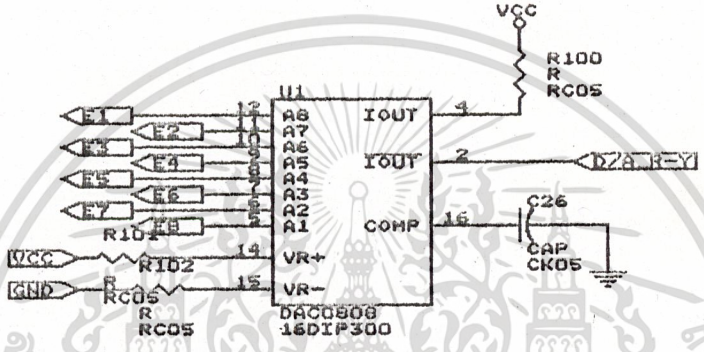
จากรูปที่ 6.7 เมื่อสัญญาณภาพถูกแปลงเป็นข้อมูลทางดิจิตอลแล้ว ข้อมูลจะถูกส่งผ่านไปยัง Buffer ซึ่งแต่ละชุดจะแยกจากกันอย่างอิสระ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6.4 วงจรการแปลงข้อมูลดิจิตอลเป็นสัญญาณอนาล็อค หรือ DAC

(Digital to Analog Converter)

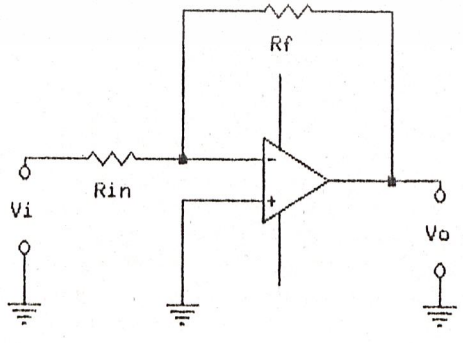
การนำข้อมูลจากหน่วยความจำ หรือจากแป้นข้อมูลมาแสดงบนจอภาพ จะต้องแปลงข้อมูลทางดิจิตอลเป็นสัญญาณอนาล็อค (DAC) โดยกำหนด DAC ขนาด 8 บิท เบอร์ 0808 ทั้ง 3 ชุด ซึ่งก่อนนำข้อมูลเข้า DAC จะต้องผ่าน Buffer



รูปที่ 6.8 วงจรแปลงข้อมูลดิจิตอลเป็นสัญญาณอนาล็อค (DAC)

6.5 การขยายสัญญาณและการผสมสัญญาณภาพกับสัญญาณซิงค์

เนื่องจากสัญญาณที่ออกมาจาก DAC จะเป็นสัญญาณแบบกลับ(Invert) ดังนั้นจึงต้องผ่าน วงจรขยายสัญญาณแบบ Inverter ซึ่งจะมีอัตราการขยายดังการคำนวณข้างล่างนี้



รูปที่ 6.9 วงจร Inverting

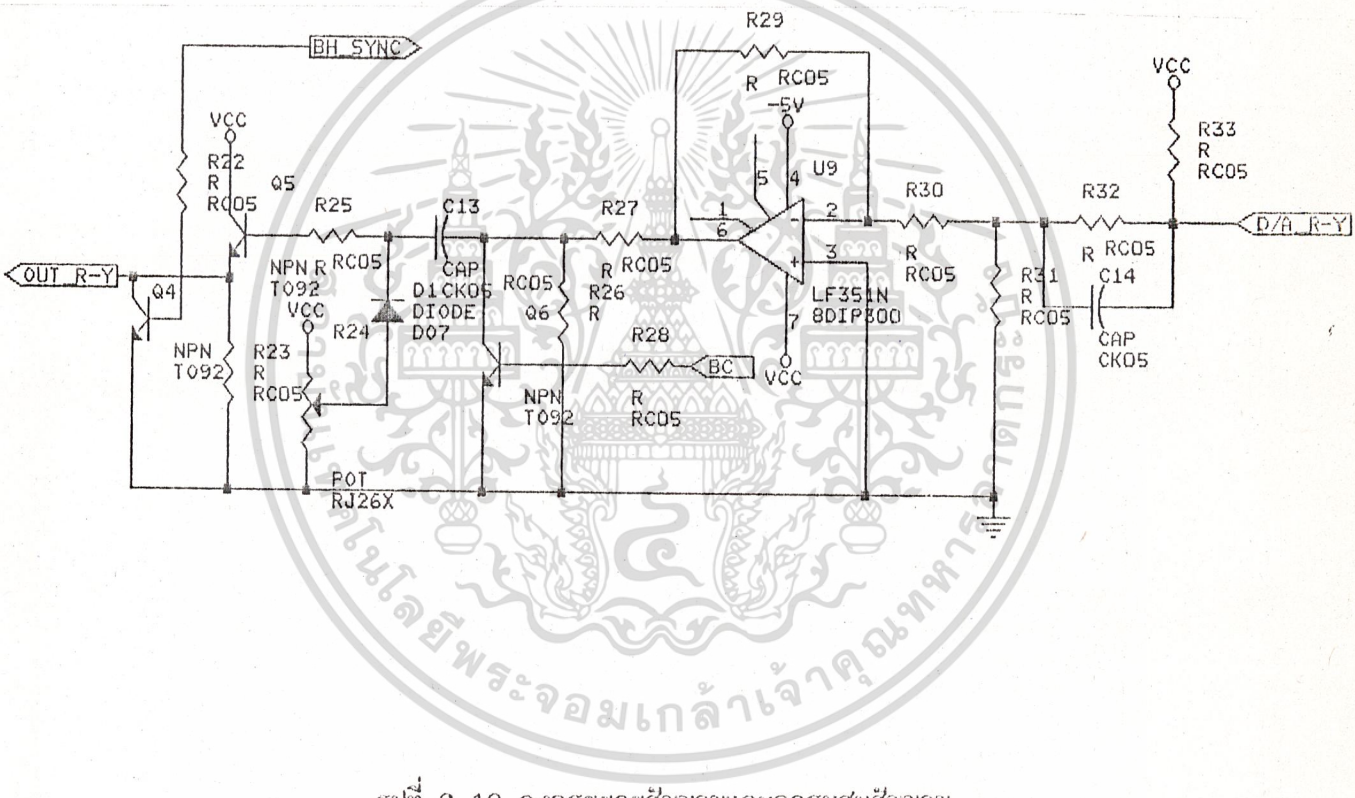
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูป $I_{in} = -If$

ดังนั้น $V_{in}/R_{in} = -Vo/R_f$

ฉะนั้น $V_o = -V_{in}(R_f/R_{in})$ Volt

อัตราการขยาย$(V_o/V_{in}) = -R_f/R_{in}$



รูปที่ 6.10 วงจรขยายสัญญาณและการผสมสัญญาณ

จากการคำนวณจะเห็นว่า อัตราการขยายของสัญญาณจะขึ้นอยู่กับความต้านทาน R_{29} และ R_{27} โดยที่จะมี R_{32} และ C_{14} เป็นชุด Filter เพื่อกรอง Noise ที่เกิดขึ้น และเมื่อได้สัญญาณ Out put ของ Op-Amp แล้วจะทำการ Coupling โดยใช้ C_{13} และจะยกระดับสัญญาณขึ้นโดย RC05 และ D_1 จากนั้นก็นำสัญญาณไปผสมกับสัญญาณ H Sync เพื่อที่จะนำไปออกสู่จอทีวี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6.6 วงจรการเก็บข้อมูลในหน่วยความจำ (Memory Circuit)

จากข้อมูลใน Data Bus เมื่อต้องการทำการ Digitizer หรือต้องการนำข้อมูลไปเก็บในหน่วยความจำ(Memory) เราสามารถทำได้โดยการกำหนดทางด้าน Soft ware เพื่อที่จะไปทำการปิด-เปิดทางผ่านของข้อมูลและการ Control RAM ในการเขียนหรืออ่านข้อมูล

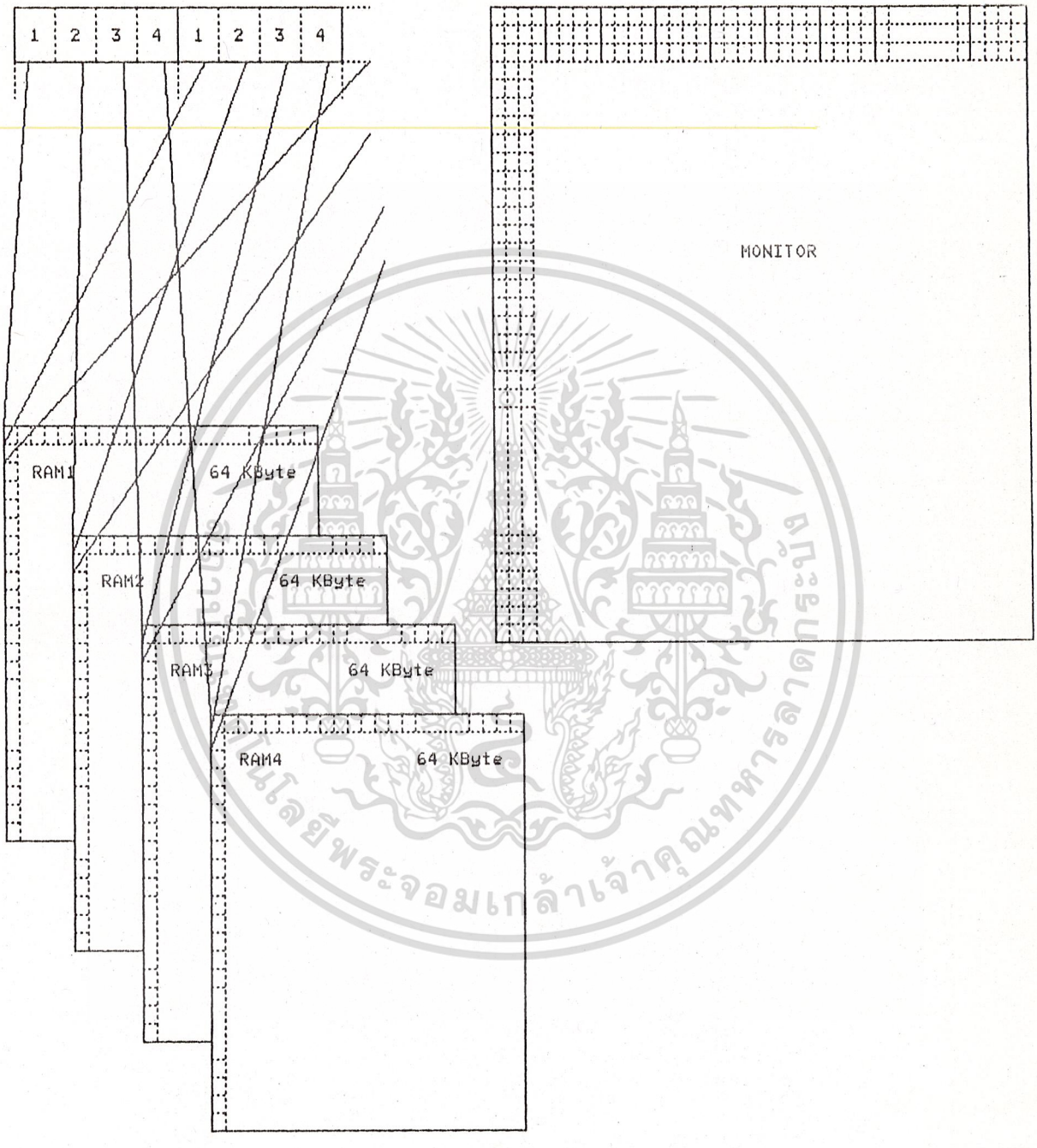
หน่วยความจำที่ประกอบด้วย RAM 3 ชุดนั้นแต่ละชุดจะมีความสามารถเก็บข้อมูลหรือมีหน่วยความจำ 256 Kbytes การสร้างหน่วยความจำนี้ จะใช้ RAM ชนิด Dynamic(D-RAM) ซึ่งคุณสมบัติต่างๆก็ได้อธิบายมาแล้วในตอนต้น

เพื่อให้เกิดความเข้าใจมากยิ่งขึ้นเกี่ยวกับการทำงานของชุด RAM ดังนั้นจึงข้ออธิบายเกี่ยวกับการเก็บและ Display ออกมา ดังในรูปที่ 6.11 ซึ่งสัญญาณภาพทางแนวนอนจะแบ่งออกเป็น 128 ชุด ชุดละ 4 pixels ต่อๆกันไป การวางข้อมูลในหน่วยความจำ จะแบ่ง RAM ออกเป็น 4 ชุดเช่นกัน แต่ละชุดจะมี RAM 2 ตัว ซึ่ง RAM แต่ละชุดจะรับข้อมูลในแต่ละ pixels

จากวงจรรูปที่ 6.12 เราใช้ D-RAM เบอร์ 4464 ซึ่งแต่ละตัวจะมีความจุ 64Kbytes 4 บิท แต่ข้อมูลที่ได้จาก ADC มีขนาด 8 บิท ดังนั้นเราจึงใช้ D-RAM2 ตัว เพื่อให้ขนาด 8 บิท และมีความจุ 64 Kbytes จะมี Address Line 16 เส้นในการเก็บภาพแต่ละชุดจะประกอบด้วย D-RAM 8 ตัว สำหรับการทำงานของ D-RAM ก็ได้อธิบายในบทขั้นต้นแล้ว แต่ในบทนี้จะอธิบายการทำงานของวงจร ในการอ่านและเขียนข้อมูลภาพกับหน่วยความจำ

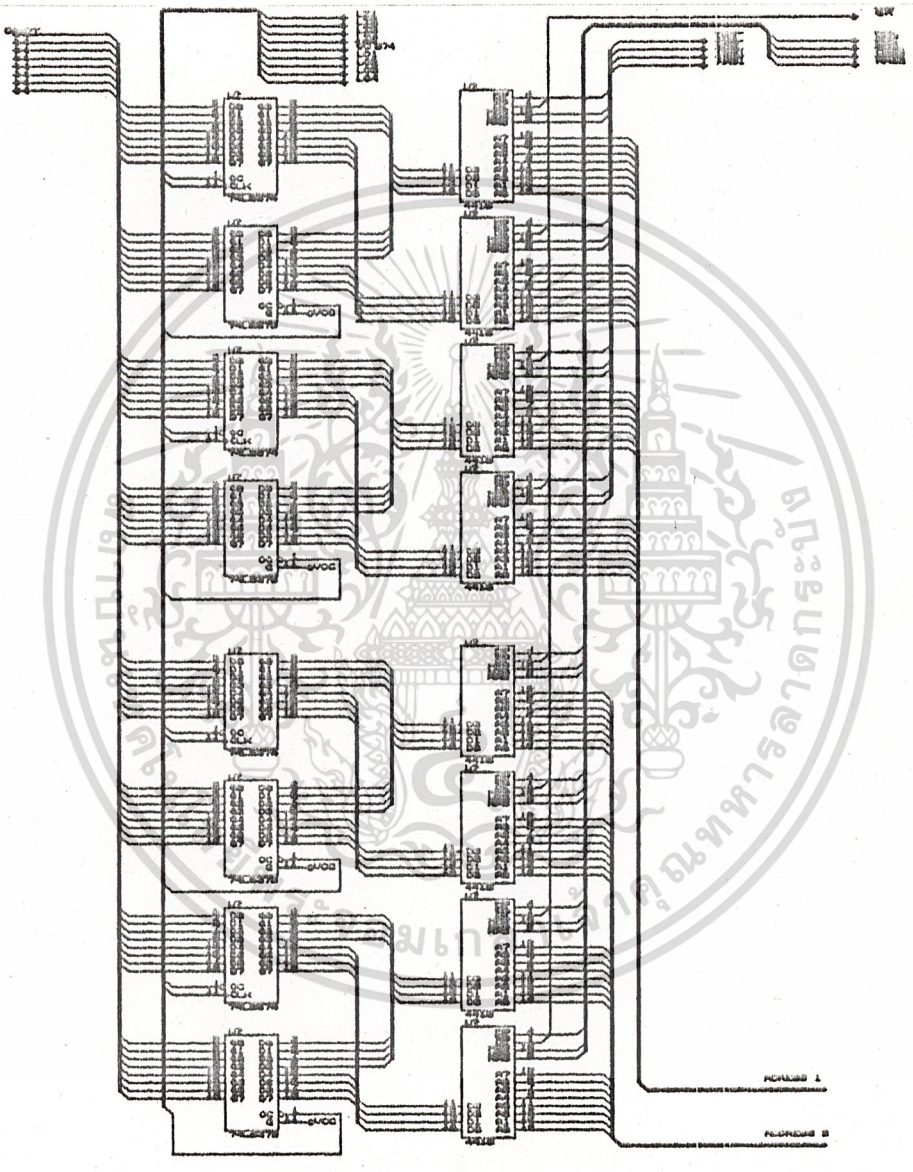
จะเห็นได้ว่า Address Line มี 16 เส้น เพื่อที่จะสร้าง Row Address และ Column Address ซึ่งแยกออกเป็นชุดละ 8 เส้น ต่อ D-RAM 1 ตัว เมื่อต้องการเขียนข้อมูลลงไปใน RAM เราต้องให้ RAS และ CAS อยู่ในลักษณะ Pulse ขาลง ให้ WR เป็นลอจิก "0" และให้ GR เป็นลอจิก "1" ในการเขียนข้อมูลลงไปใน RAM จะไม่สามารถเขียนพร้อมกันทุกตัวได้เพราะว่าถ้าเขียนพร้อมกันจะทำให้ข้อมูลซ้ำซ้อน และAddress ไม่ตรงกัน ดังนั้นเราจึงใช้ Latch ซึ่งเป็นตัวคงค่าข้อมูล เป็นตัวกำหนดการทำงานของ RAM แต่ละตัว โดยหลักการทำงานได้แสดงไว้แล้วในบทขั้นต้น จะเห็นได้จากรูปที่ Timing Diagrame ของ Latch In และ Latch Out

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 6.11 แบบจำลองของการเก็บภาพในหน่วยความจำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

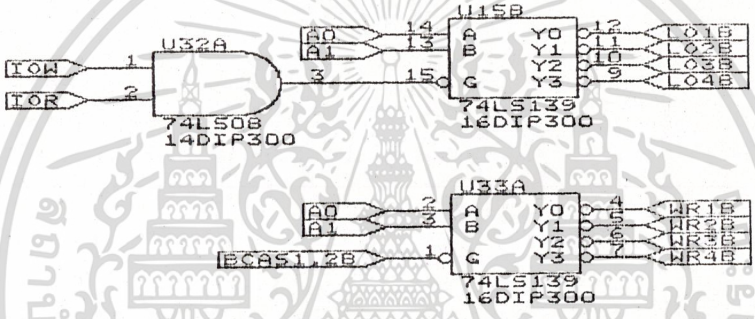


รูปที่ 6.12 วงจร Memory ที่ใช้ D-RAM

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6.7 การสร้าง Address ให้กับ D-RAM

ตามปกติแล้วเมื่อ Memory มีขนาดความจุ 256 Kbytes จะต้องใช้ Address Line ไม่ต่ำกว่า 18 เส้น แต่เรานำเข้าใน D-RAM 16 เส้น ดังนั้นอีก 2 เส้น (A_0 และ A_1) เราจะนำมาทำการดีโค้ด (Decode) เพื่อที่จะไปทำการควบคุมฟังค์ชั่นต่างๆ เช่น ควบคุมการทำงานของ Latch In, Latch Out และการเขียนข้อมูลลงไปใน RAM ซึ่งวงจรการ Decode เราจะเห็นได้จาก รูปที่ 6.13



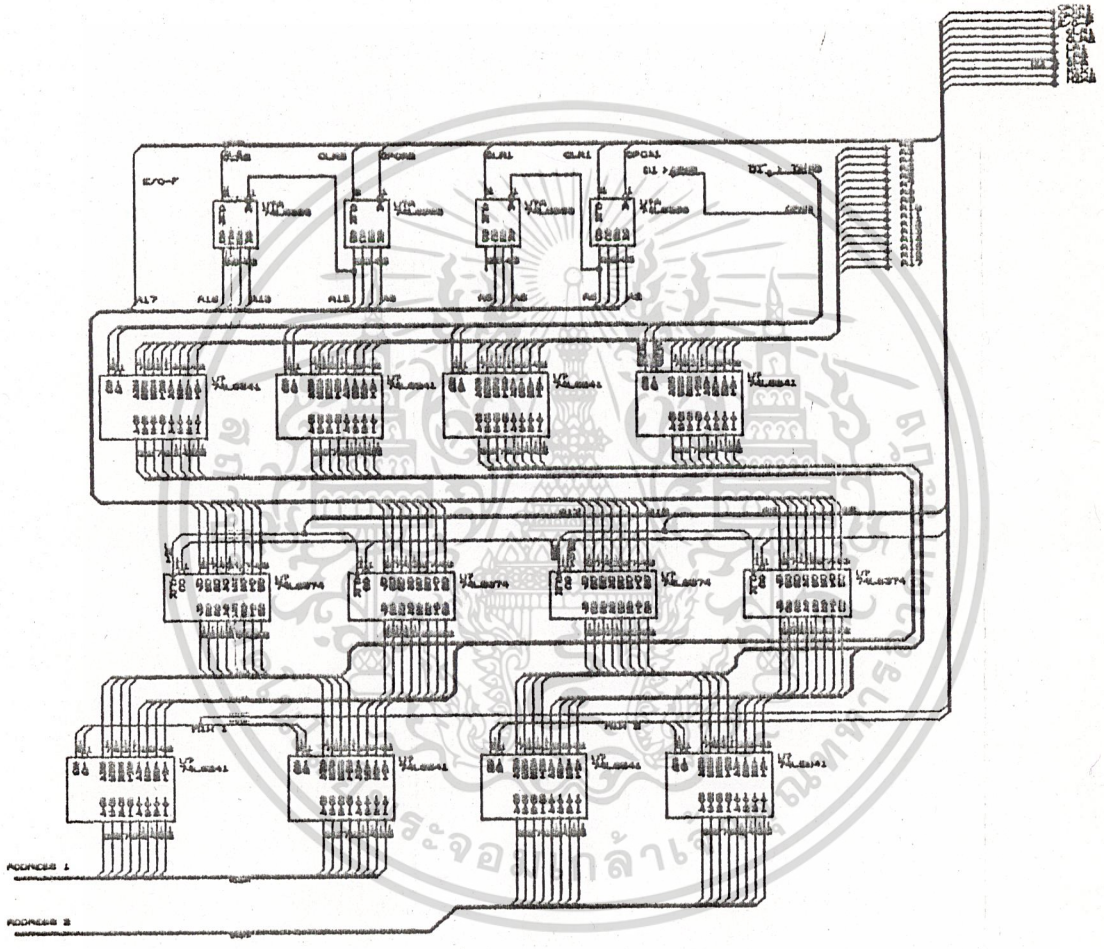
รูปที่ 6.13 วงจรการ Decode

การสร้าง Address ของ D-RAM สามารถสร้างได้ 2 สภาวะ คือ การสร้างโดยใช้วงจรภายนอก(สร้างขึ้นเอง) และการสร้างโดยการเชื่อมต่อกับ Bus Address ของComputer

กรณีการสร้างAddress จากการสร้างขึ้นเอง เราสามารถสร้างได้โดยการใช้Counterเป็นตัวนับ ซึ่งจะใช้เบอร์ 74LS393 จากวงจรรูปที่ 6.14 โดยสัญญาณที่นำมากระตุ้น U_{22} และ U_{20} คือ CPCA1 และ CPCA2

การกำหนด Address Line ที่สร้างขึ้นจาก Counter จะเริ่มที่ A_2 ถึง A_{17} สำหรับ Pluseที่ใช้ในการสร้าง Address นำมาจากสัญญาณ MIX2 และสัญญาณ H Sync และที่ A_{17} จะเป็นสัญญาณ E/O-F เพื่อที่จะใช้ในการติดต่อ RAM ใน Page ของ Odd Feed หรือ Even Feed จากรูปที่ 6.14 Address Line จะต่อเชื่อมกับ Latch โดยที่จะค้างข้อมูลไว้เพื่อรอการ Mix Address ที่ Buffer

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



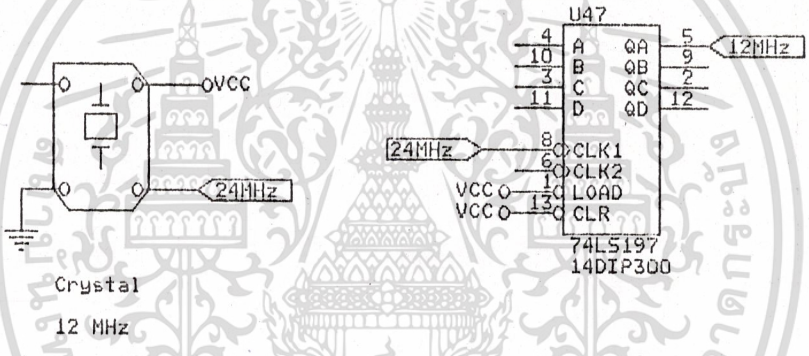
รูปที่ 6.14 การสร้าง Address Line ให้กับ D-RAM

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ส่วน A_0 และ A_1 จะไม่มีการสร้างขึ้นมา แต่จะใช้การ Shift Register ในการควบคุม Latch in และ Latch out โดยใช้สัญญาณ clock pulse 12 MHz ในการควบคุม Shift Register

สำหรับ Address Line ที่ต่อเชื่อมกับ Bus ของ Computerนั้น จะมี Buffer เป็นตัวปิด-เปิดก่อนนำไป Mix กับ Address ที่สร้างขึ้นเอง

6.8 วงจรการกำเนิดสัญญาณนาฬิกา (Clock Pluse Generation)



รูปที่ 6.15 วงจรกำเนิดสัญญาณนาฬิกา

โครงงานนี้เราใช้ Crystal เป็นตัวกำเนิดสัญญาณนาฬิกา ซึ่งคุณสมบัติของ Crystal ก็คือเมื่อป้อนแรงดันค่าคงที่แร่ Crystal จะเกิดการโก่งตัวงอไป-งอมา ทำให้เกิดการแกว่งของสัญญาณ จากรูป 6.15 เราใช้ Crystal ขนาด 24.00 MHz แต่ที่ใช้จริงประมาณ 12 MHz ดังนั้นจึงใช้ Counter เบอร์ 74LS167 เป็นตัวหาร ในที่นี้จะทำการหารสอง ดังนั้นจะมีความถี่ 12.0 MHz ดังแสดงในรูป 6.15

6.9 การกำหนดฟังค์ชั่นของ RAM และการสลับฟังค์ชั่น

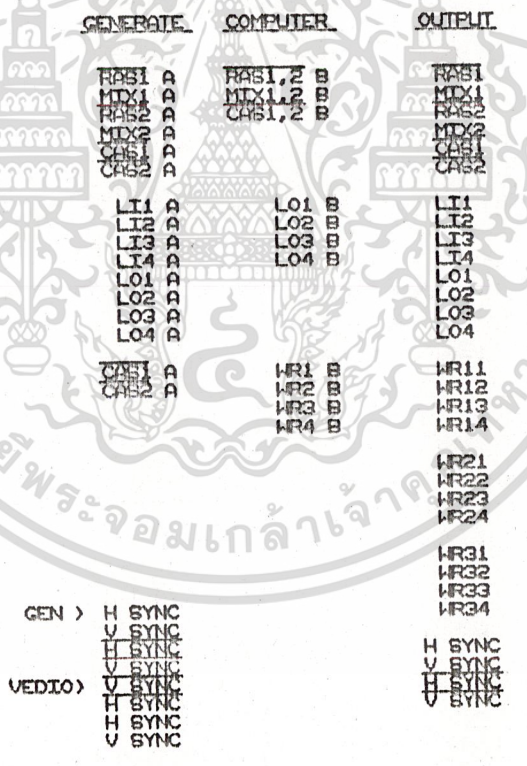
ในระบบการทำงานจากที่เคยอธิบายมาแล้วว่า การจัดการทำงานของ Image interface control สามารถแบ่งได้เป็น 4 ฟังค์ชั่น คือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- การแสดงภาพหรือการอ่านข้อมูลจาก RAM (RN)
- การเก็บภาพจากกล้องหรือการเขียนข้อมูลลงไปใน RAM (WN)
- การโหลดภาพหรือการอ่านข้อมูลจาก File (RF)
- การเก็บภาพหรือเขียนข้อมูลลงไปใน File (WF)

ในการควบคุมการทำงานของฟังค์ชั่นของRAM สัญญาณควบคุมจะแบ่งออกเป็น 2 ส่วน คือ

ส่วนแรก สัญญาณควบคุมจะสร้างจากสัญญาณ Sync ที่สร้างขึ้นและที่แยกออกมาจากกล้องวิดีโอ เพื่อที่จะมาควบคุมการทำงานของ RAM และสร้าง Address ให้แก่ RAM ด้วย ซึ่งการสร้างสัญญาณควบคุมดูได้จากสัญญาณอินพุทของวงจรสลับฟังค์ชั่นในรูปที่ 6.16

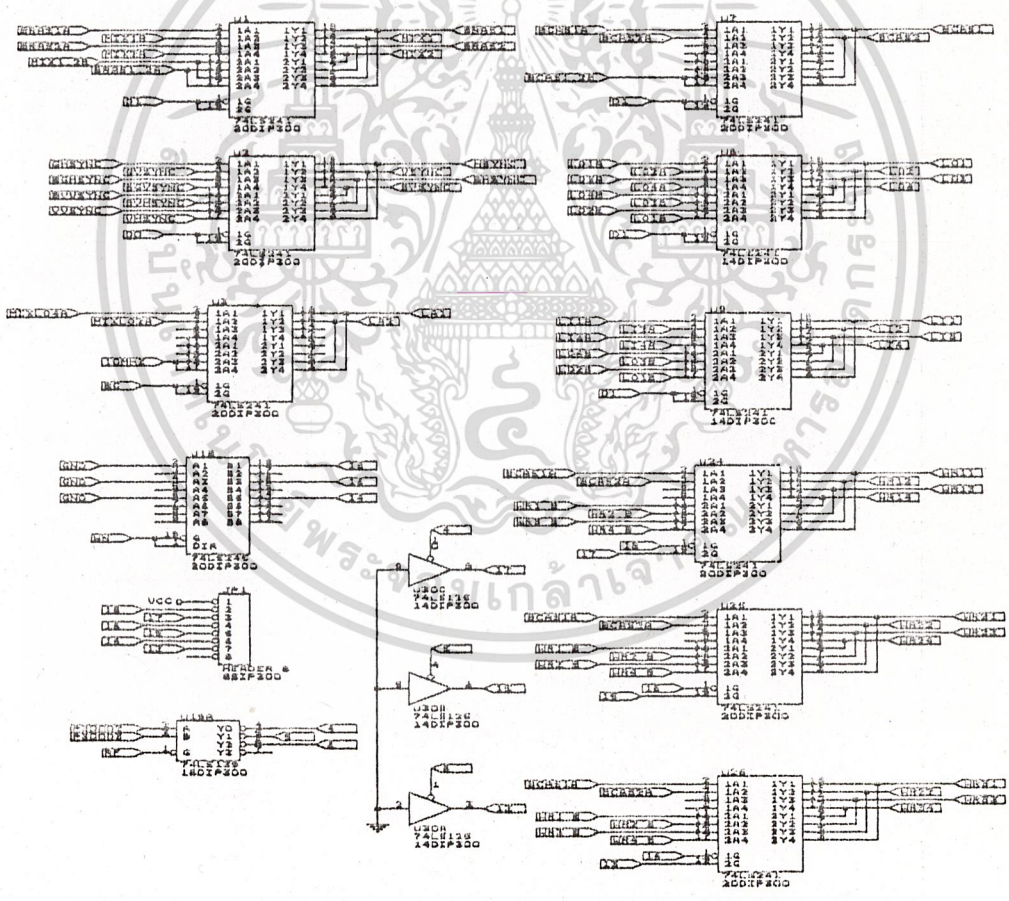


รูปที่ 6.16 สัญญาณอินพุทของวงจรสลับฟังค์ชั่น

สำหรับการใช้งานในส่วนนี้จะขึ้นอยู่กับฟังค์ชั่นการเก็บภาพจากกล้องลงไปใน RAM (WR)และ การแสดงภาพบนจอ TV หรือการอ่านข้อมูลจาก RAM (RN)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ส่วนที่สอง จะนำสัญญาณจาก Computer คือสัญญาณ I_{OR} และ I_{OW} เพื่อที่จะมาสร้างสัญญาณควบคุม การทำงานของ RAM และควบคุมการสร้าง Address ที่ส่งจาก computer ไปยัง D-RAM ในช่วงนี้จะใช้งานเมื่ออยู่ในฟังค์ชั่นการเก็บภาพไว้ใน File (WF) หรืออ่านข้อมูลจาก File ลงไปเก็บไว้ใน RAM (RF)ซึ่งจะใช้งานเมื่ออยู่ในฟังค์ชั่นการเก็บภาพไว้ใน File (WF) หรือ การอ่านข้อมูลภาพจาก File ลงเก็บไว้ใน RAM (RF)

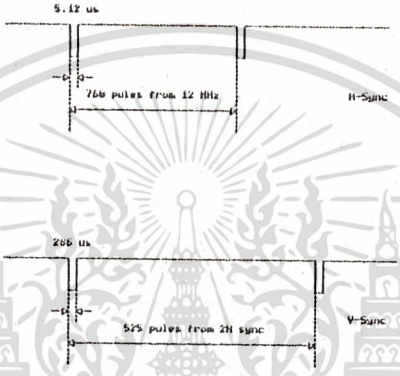


รูปที่ 6.17 วงจรควบคุมในการสลับฟังค์ชั่น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6.10 การสร้างสัญญาณซิ้งค์ทางแนวนอน (H-Sync)และแนวตั้ง(V-Sync)

ในการกำเนิดสัญญาณ Sync ทั้ง H-Sync และ V-Sync ที่ใช้ในฟังค์ชั่นการอ่านข้อมูลภาพจาก RAM (RN) ซึ่งกำเนิดโดยวิธีนับ (Count) การนับ จะใช้สัญญาณนาฬิกา 12 MHz จากรูปที่ 6.18 จะมีวิธีการนับคือ



รูปที่ 6.18 Timing แสดงการกำเนิดสัญญาณ Sync

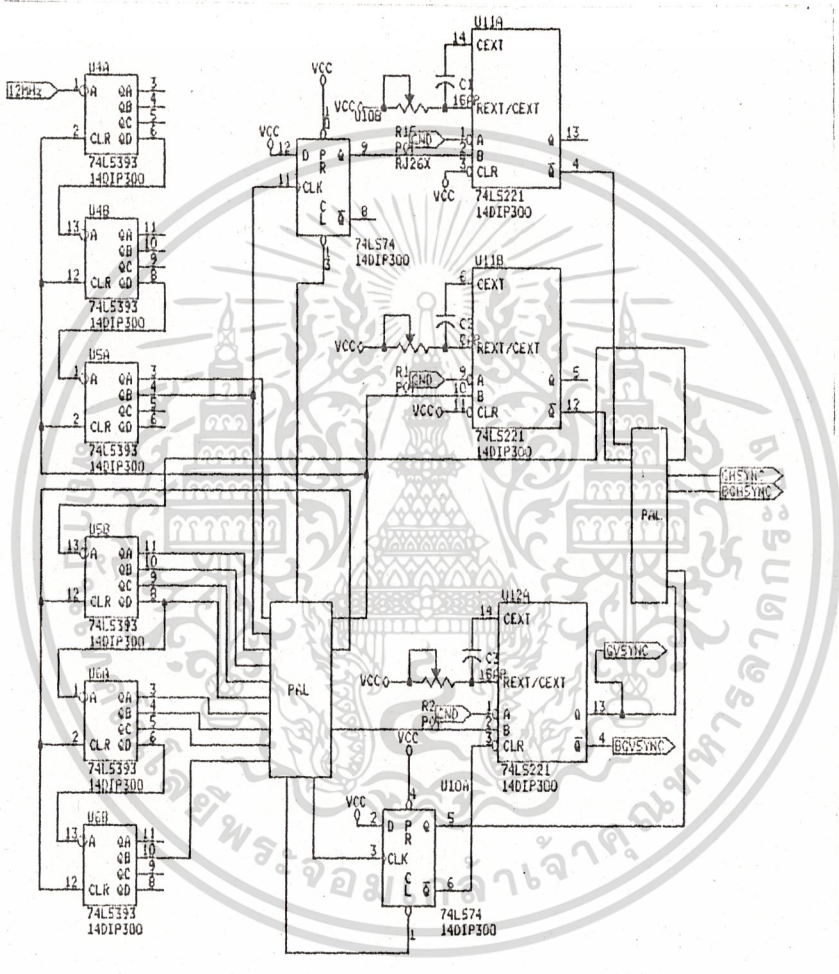
จาก Timing จะเห็นว่าการนับจะแบ่งได้เป็น 2 ช่วง คือ ช่วงแรกจะเป็นการนับเพื่อกำเนิดสัญญาณ H-Sync และช่วงที่ 2 จะเป็นการนับเพื่อกำเนิดสัญญาณ V-Sync

ในการนับของ Counter เพื่อใช้ในการกำเนิดสัญญาณ H-Sync นั้นจะนับ 2 ครั้งเพื่อที่จะได้สัญญาณ H-Sync 1 Pluse ซึ่งค่าแรกจะนับ 200H เพื่อนำไปใช้ในการสร้างสัญญาณอีควอไลท์ซิ่ง(Equalizing Pluse) และการนับครั้งที่สอง ซึ่งจะนับ 300H เพื่อที่จะสร้าง H-Sync ใช้ในวงจร

การสร้าง V-Sync จะเริ่มที่การนับจากสัญญาณความถี่2 เท่าของ H-Sync ซึ่งจะมีการนับ 625 ครั้ง จึงจะได้สัญญาณ V-Sync 1 Pluse

สัญญาณซิ้งค์ที่ใช้งานจริงจะถูกสร้างจากวงจร PAL โดยการนำสัญญาณ H-Sync และV-Sync ที่สร้างขึ้นมาประกอบกัน

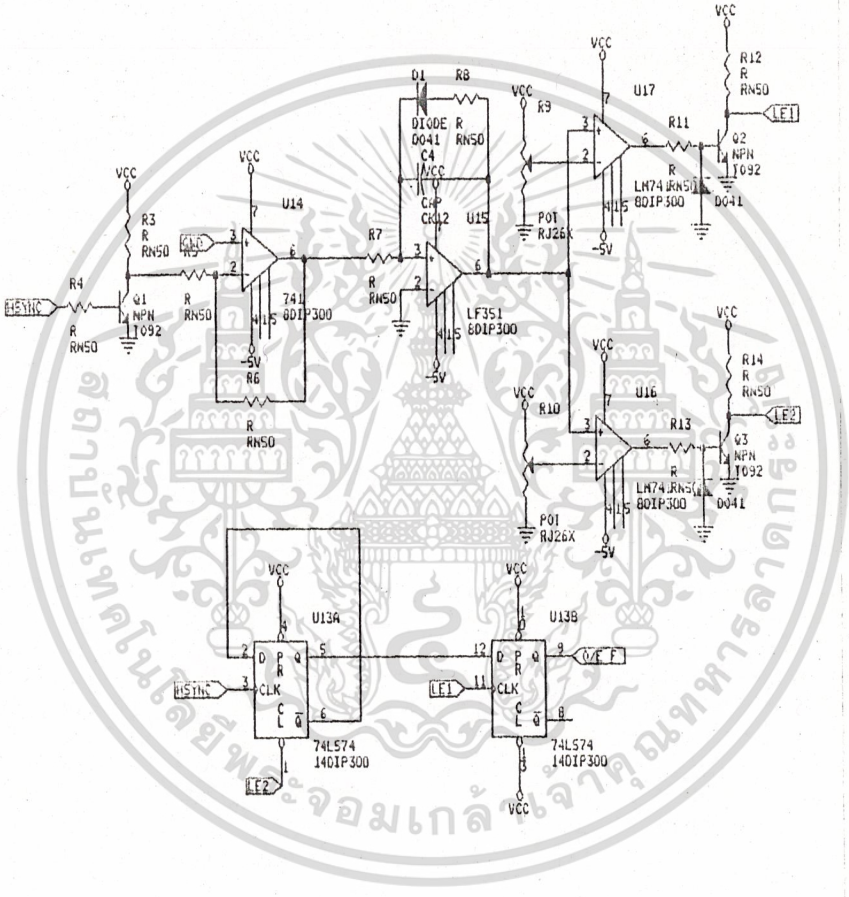
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 6.19 วงจรการสร้างสัญญาณซิงค์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6.11 วงจรการสร้างสัญญาณ Odd-Even Feed



รูปที่ 6.20 วงจรการสร้างสัญญาณ Odd-Even Feed

จากรูปที่ 6.20 จะใช้ H-Sync ที่ได้จากกล้อง VDO หรือจากการสร้างขึ้น ซึ่งเราจะนำมาเช็คก่อนว่าเป็นสัญญาณ Odd หรือว่าเป็นสัญญาณ Even Feed ซึ่งจะทำการเช็คอยู่ตลอดเวลา ซึ่งการแยก Odd-Even Feed จะใช้หลักการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การนับสัญญาณ H-Sync ในช่วงเริ่มต้นของสัญญาณอิควอไลท์ซิ่ง คือถ้านับได้ 6 ครั้ง จะได้Feed ต่อไปเป็น Even

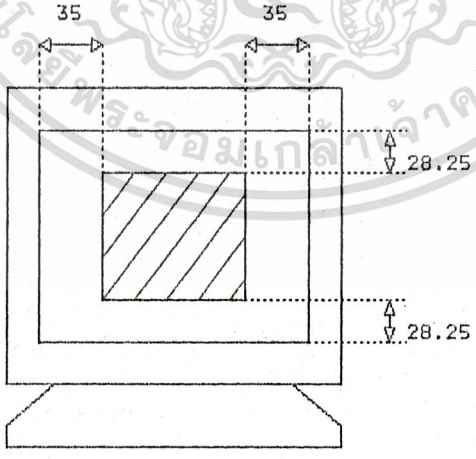
การตรวจจับการนับ(Detect Count)จะใช้วงจร Integrat โดยการนำ H-Sync มาเข้าวงจร Inverter และเข้าวงจร Integrat จากนั้น Out Put ที่ได้ก็จะนำมาทำการตรวจเช็ค 2 ระดับ จากรูปจะเห็นว่าเราจะใช้ Op-Amp 2 ตัวเป็นตัวตรวจเช็ค ซึ่ง Out Put ที่ได้จะนำไปควบคุมการนับของ D-Fiflop ทั้ง 2 ตัว Out Put จากวงจรนี้จะเป็นสัญญาณ O-E/F ซึ่งจะนำไปใช้เป็น Address Line สูงสุดของชุด RAM (A_{17})

6.12 วงจรกำหนดการเริ่มต้นการเก็บภาพ (Cover)

การเริ่มต้นการเก็บสัญญาณภาพ(Cover)มี 2 ลักษณะด้วยกัน คือ

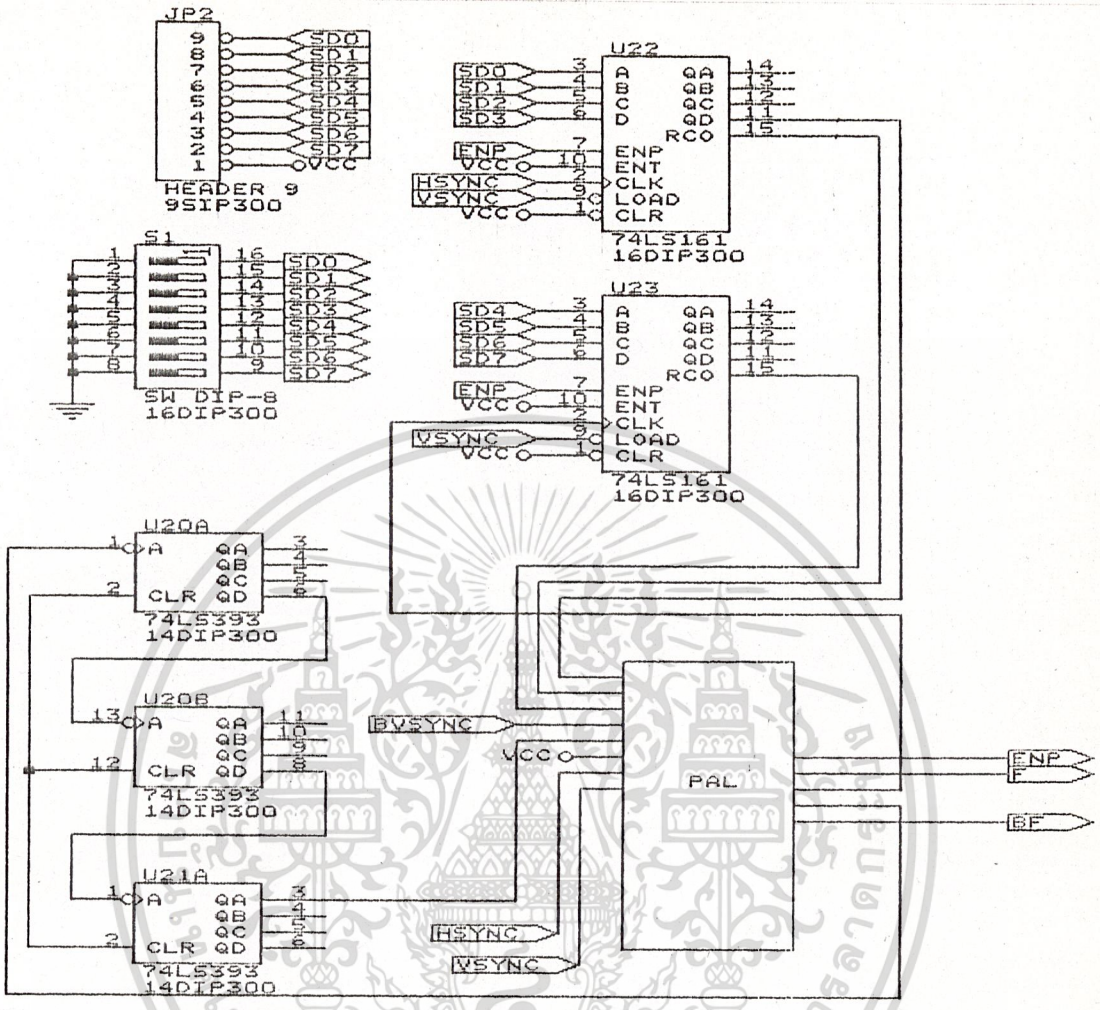
- Cover Line (Horizotal)
- Cover Feed (Vertical)

ทั้ง 2 ลักษณะนี้สามารถที่จะโปรแกรมค่าเริ่มต้นได้โดย Dip Switch เพื่อที่จะไปควบคุมตำแหน่งต่างๆบนจอภาพ



รูปที่ 6.21 การกำหนดค่าเริ่มต้นของสัญญาณภาพ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 6.22 วงจรการกำหนดค่าเริ่มต้นของสัญญาณภาพ

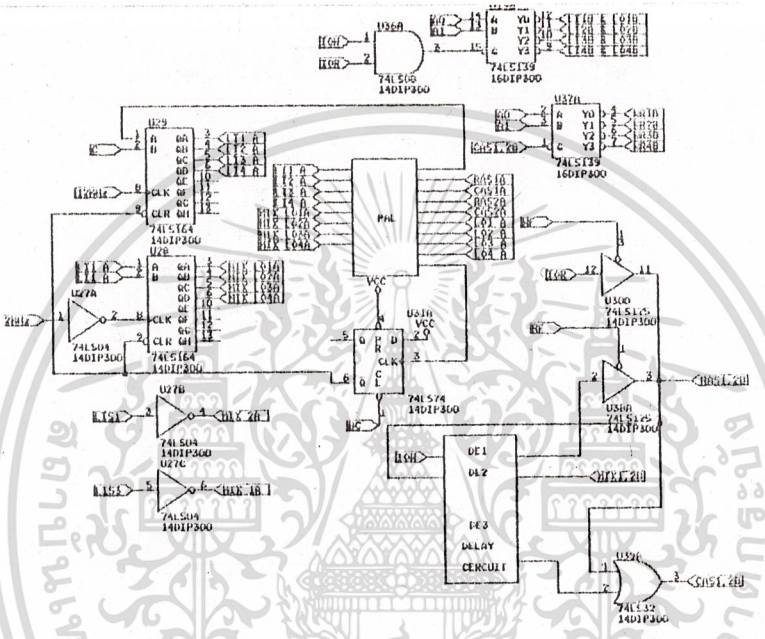
จากรูปที่ 6.21 วงจรเราจะทำการ Cover แบบการนับลง (n,..2,1,0) โดยจะใช้ Counter เป็นตัวนับ ซึ่งจากรูปที่ 6.21 เราสามารถกำหนดค่าเริ่มต้นได้โดยการควบคุมระยะ x โดยใช้ Dip Switch เป็นตัวกำหนด

การเริ่มต้นนับจะเริ่มที่ H Sync ซึ่งจะใช้ความถี่ในการนับ 12 MHz ในส่วนนี้จะเป็นการเริ่มในแนวนอน ส่วนการนับทางแนวตั้งจะนับจำนวน H Sync ว่ามีจำนวนที่ Pluse จากรูป เมื่อนับค่าเริ่มต้นแล้ว (ระยะ x) ก็จะทำการนับต่อ 512 ครั้ง ซึ่งจะได้จุดภาพ 512 จุดภาพ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6.13 วงจรสร้างสัญญาณควบคุม RAM

สัญญาณที่ใช้ในการติดต่อ RAM ได้แก่ สัญญาณ RAS, CAS, MIX สัญญาณเหล่านี้จะเป็นส่วนสำคัญมากในการติดต่อ RAM ไม่ว่าจะเป็นการอ่าน (Read) หรือการเขียน (Write) เข้าไปใน RAM

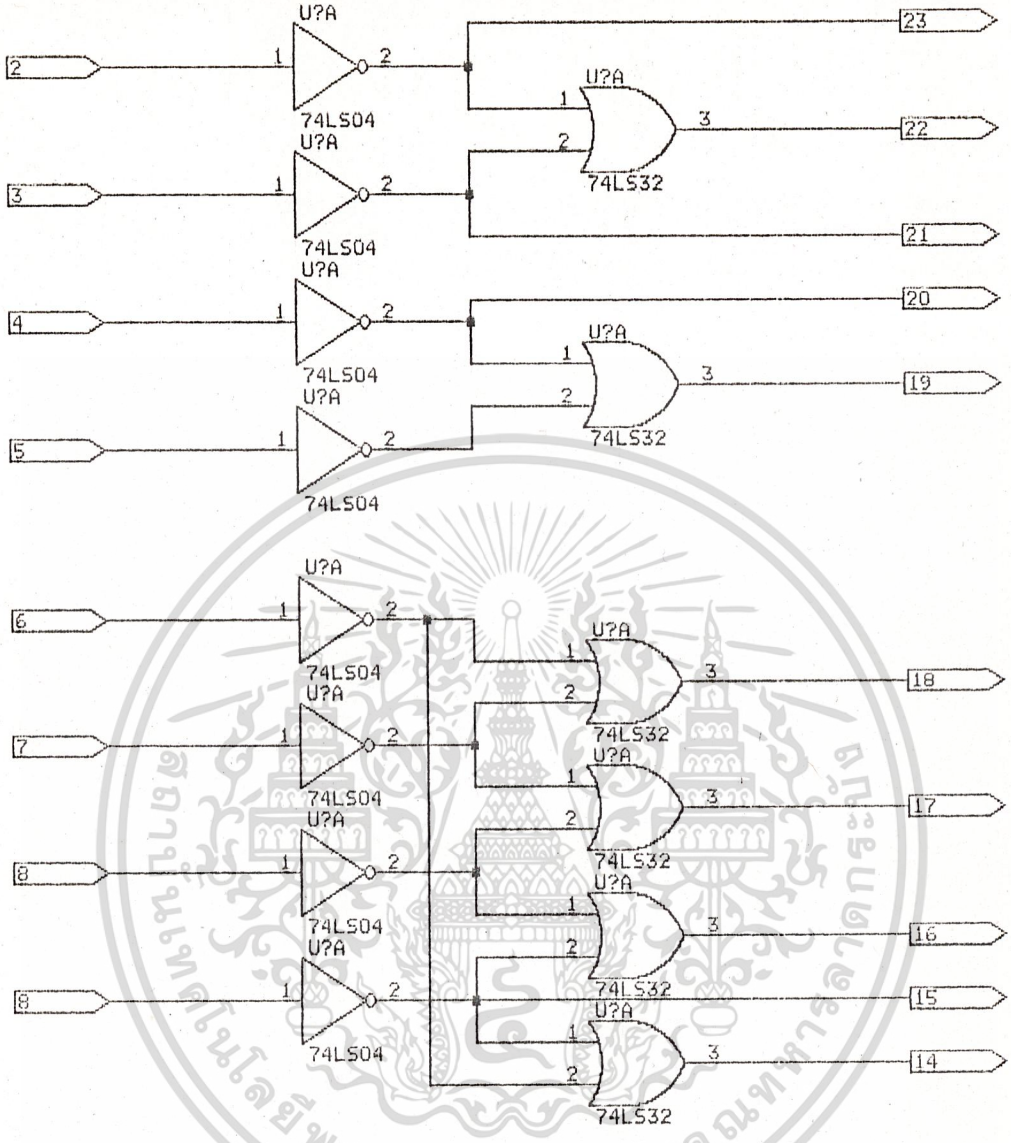


รูปที่ 6.23 วงจรสร้างสัญญาณควบคุม RAM

ในการสร้างสัญญาณควบคุม RAM จะมีลักษณะการติดต่อ RAM 2 ลักษณะ คือ

1. ติดต่อโดยใช้สัญญาณซิ้งค์ที่มาจากกล้องหรือมาจากวงจรสร้างสัญญาณซิ้งค์ เพื่อที่จะนำสัญญาณเหล่านี้มาใช้ในการกำเนิดสัญญาณควบคุม Out Put ที่ได้จากวงจรกำหนดสัญญาณเริ่มต้น (Cover) จะเป็นตัวเริ่มต้นในการกำเนิดสัญญาณ ซึ่งการทำงานจะใช้ Shift-Register ดังแสดงในรูปที่ 6.23 สัญญาณในการ Shift จะใช้สัญญาณนาฬิกา 12 MHz และข้อมูลในการ Shift จะใช้ 2 BIT ที่ตามกัน (โดยใช้ Out Put Q_2 นำมาเป็น In Put ของ Shift-Register สัญญาณที่ได้จะมีความถี่ 1/4 เท่าของสัญญาณนาฬิกา 12 MHz) ซึ่ง Out Put ที่ใช้จะมีอยู่ 4 line คือ Q_1, Q_2, Q_3, Q_4 ซึ่งจะนำมาเข้าวงจร PAL ตามรูปที่ 6.24 ซึ่งก็จะได้สัญญาณ Out Put เป็นสัญญาณ RAS และ CAS

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



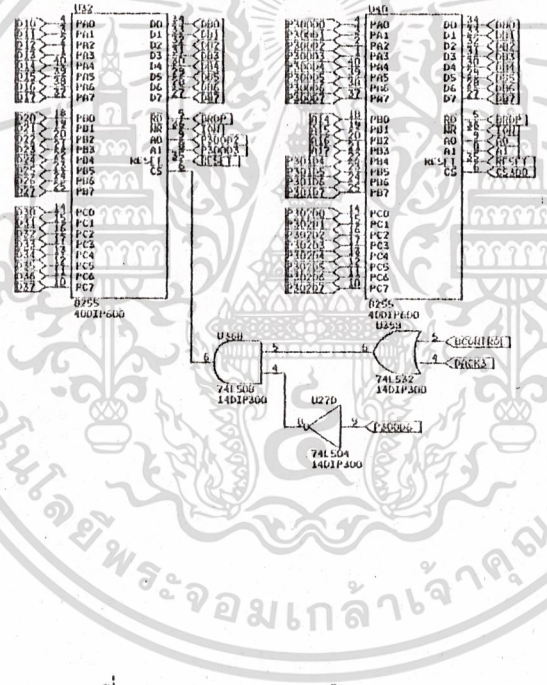
รูปที่ 6.24 วงจรลอจิกภายใน PAL

2. การติดต่อ RAM โดยใช้สัญญาณจาก Slot ของ IBM PC มาสร้างสัญญาณควบคุม (ใช้สัญญาณ IOR และ IOW รวมทั้ง Address A_0 และ A_1) ซึ่งจะใช้ สัญญาณ IOR และ IOW ผ่านวงจร Delay 2 ถึง 3 ครั้ง เพื่อที่จะสร้างสัญญาณ RAS, CAS และสัญญาณ MIX สัญญาณ A_0และA_1 จะนำมาผ่านวงจร Decoder เพื่อสร้างสัญญาณในการติดต่อ RAM สัญญาณ Out Put ที่ได้ก็จะเหมือนกับส่วนแรก จากนั้นนำสัญญาณนี้ไปควบคุมการเลือกใช้ในวงจรเปลี่ยนฟังค์ชั่น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6.14 วงจร INTERFACE

วงจรนี้จะใช้กับ Port 300,301,302 และ303 ซึ่งจากวงจรรูปที่ 6.25 จะใช้ไอซี เบอร์ 74LS688 ในการ Decode Port หมายเลข300 ถึง303 โดยจะใช้ Dip Switch เป็นตัวโปรแกรมหมายเลข Port ว่าจะใช้ Port หมายเลขอะไร การใช้ Port จะใช้ตัวไอซี 2 ตัว ซึ่งตัวแรกจะใช้งานในการส่งผ่าน DATA ระหว่าง DATA BUS ของ Computer กับ 3 DATA BUS ของระบบ



รูปที่ 6.25 วงจรการทำงานของ Port

สำหรับ Port ตัวที่ 2 จะใช้ในงานควบคุมระบบ ซึ่ง Port A จะ Detect หมายเลข 300 การใช้งาน 2 บิทแรก(D_0และD_1) จะใช้สำหรับการควบคุมฟังค์ชั่น 2 บิทถัดมา(D_2และD_3) จะใช้ในการเลือกชุด RAM ที่จะติดต่อซึ่งจะมี R-Y,B-Yและ Y สำหรับ D_4 จะใช้เมื่อเริ่มต้นที่จะใช้ Image Card นี้ สำหรับ D_5 จะใช้เป็นตัว Reset System โดยการใช้ Software และสำหรับ D_6 จะใช้ควบคุม Port 8255 ตัวถัดไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การทำงานของ Port ตัวที่ 2 (Port 300) จะเห็นได้จากฟังค์ชั่นข้างล่างนี้

D_1	D_0	Function
0	0	RN
0	1	WN
1	0	RF
1	1	WF

****

D_3	D_2	Select-Port
0	0	R-Y
0	1	B-Y
1	0	Y
1	1	Write Control Port

****

D_4 Count Control System

****

D_5 Control second Port

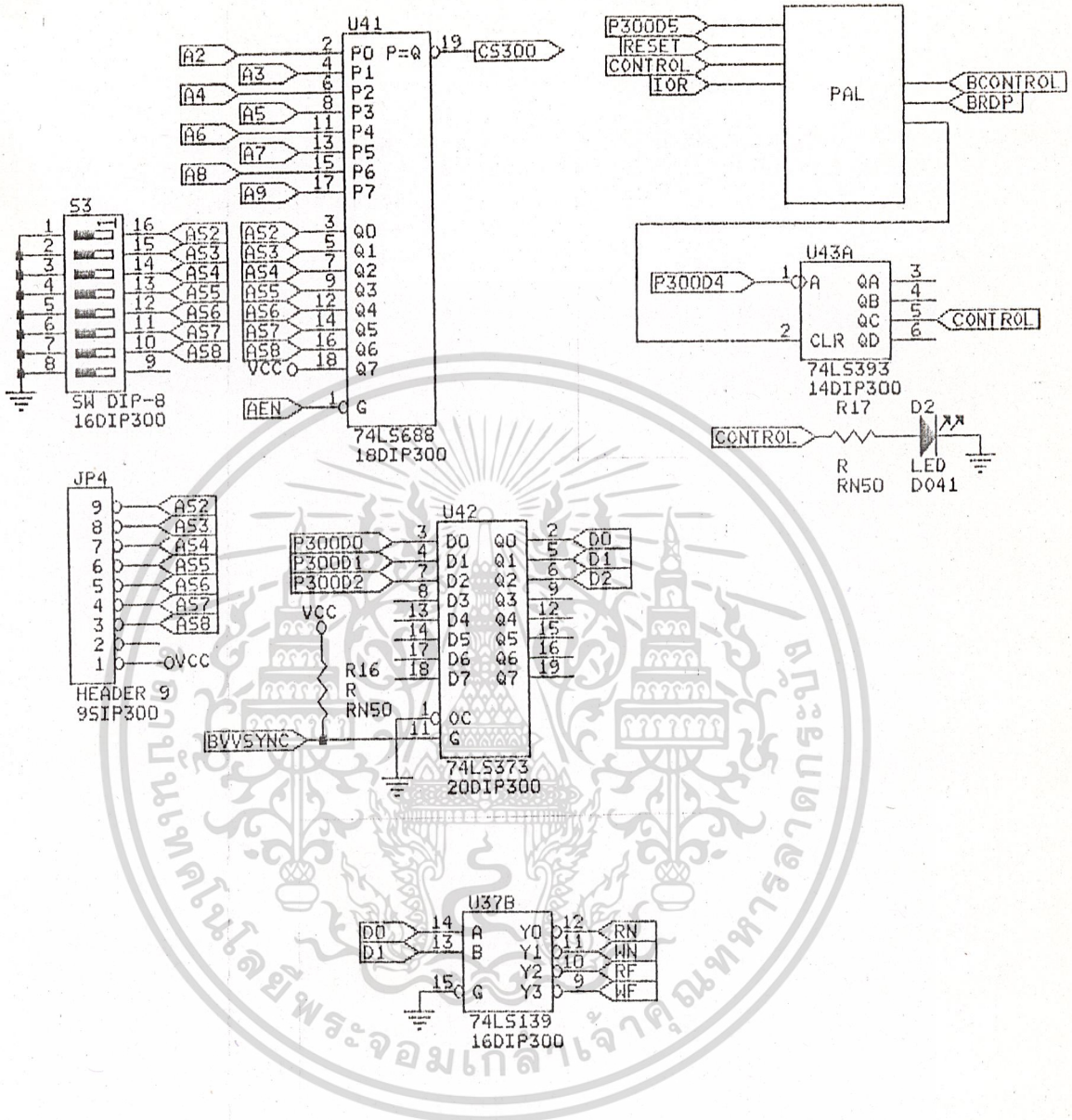
****

D_6 Enable second Port

****

สำหรับ PortB หมายเลข 301 จะสร้าง Address เทียม A_{14} ถึง A_{17} เพื่อใช้แทน Address ที่มาจาก Slot IBM PC สำหรับสัญญาณที่ใช้ในการ Interface ที่ Slot มี DACK 3, IOW, IOR, AEN, RESET, A_0-A_{13} และ D_0-D_7

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 6.26 วงจรการ INTERFACE

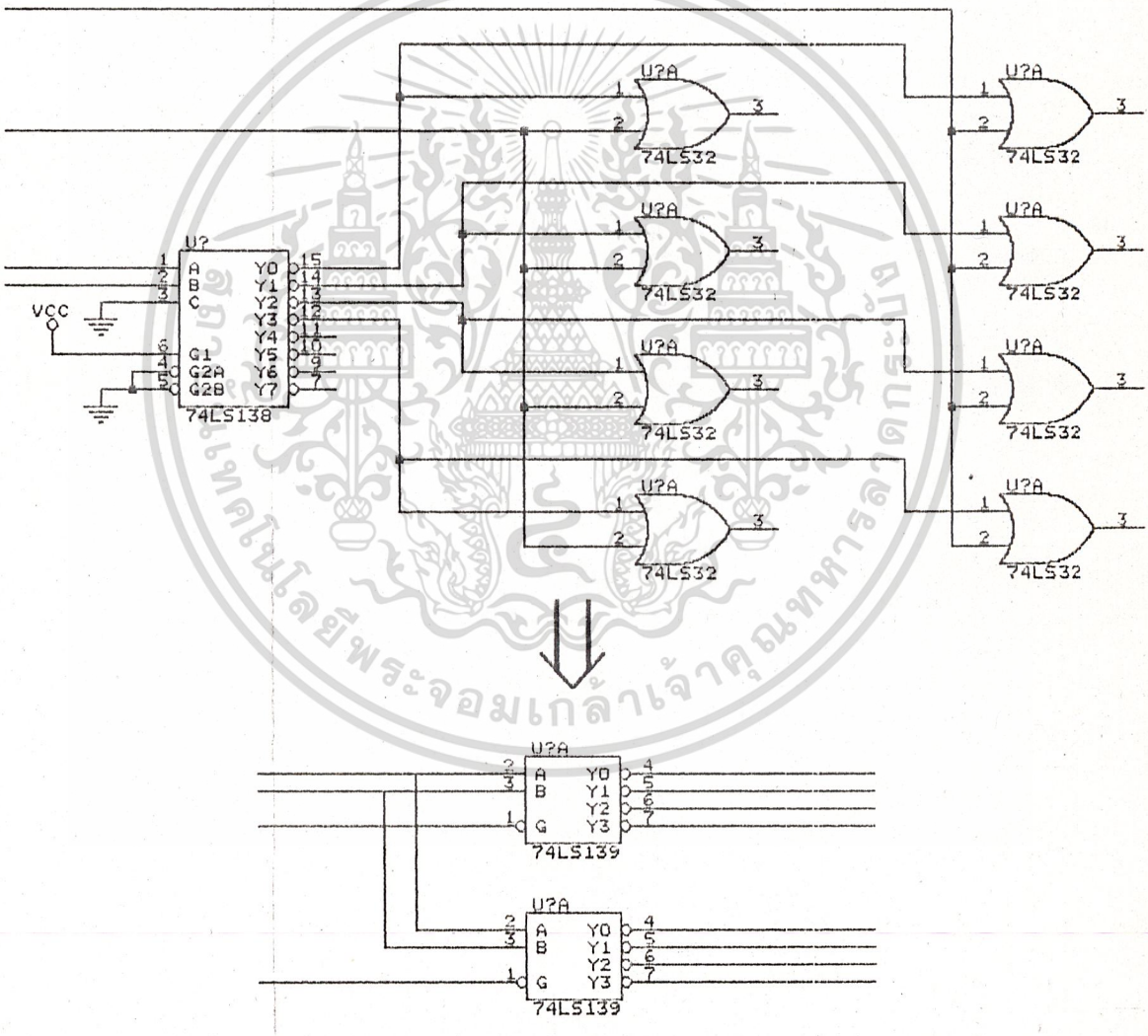
การเข้าถึงระบบ(Initial System) จะใช้วิธีการ Reset ด้วย D_5 ของ Port หมายเลข 301 แล้วส่งสัญญาณไปนับที่ D_4 จำนวน 8 ครั้ง ระบบก็สามารถเริ่มการทำงานได้ การอ่านสภาวะการทำงานจะอ่านที่ Port 302 D_1 เพื่อที่จะตรวจเช็คว่าระบบทำงานหรือไม่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 7

หลักการนำ PAL (Programmable Array Logic) มาใช้งาน

เนื่องจากการออกแบบวงจรทางด้าน Logic ของ Project ใช้อุปกรณ์มากทำให้การออกแบบ PCB (Print Circuit Board) มีพื้นที่มาก และเป็นการสิ้นเปลือง จึงต้องมีการหาวิธีการลดจำนวนอุปกรณ์ลง ซึ่งวิธีแรกที่ใช้คือการ Simplifly Logic Gate ดังรูปที่ 7.1



รูปที่ 7.1 การ Simplifly Logic Gate

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้