

ปีการศึกษา 2533

ปริณายินพ์เรื่อง

เครื่องบันทึกข้อมูลโดยอัตโนมัติและ

เครื่องแปลงสัญญาณมาตรฐาน

โดย

นาย นฤทธิ ศรีสะอาด 32.6120

นาย ไพฑูย์ ปลื้มเพชร 32.6121

นาย สุรศักดิ์ อัสวกุลทิพย์ 32.6494

อาจารย์ที่ปรึกษา

อาจารย์ วิทยา ทิพย์สุวรรณพร

เลขที่..... 33087 น 4
เลขที่..... 027920
วัน, เดือน, ปี..... ๑๓.๑.๓๔

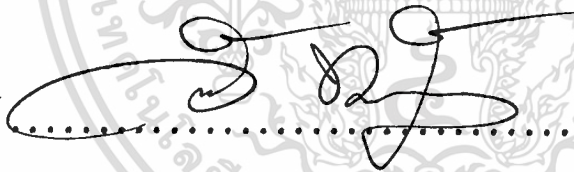
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งก่อนนำไปใช้

027920

ปริญญานิพนธ์ปีการศึกษา 2533 .

ผู้จัดทำ

นาย นฤฤทธิ์ ศรีสะอาด	32.6120
นาย ไททูลย์ ปลื้มเนตร	32.6121
นาย สุรศักดิ์ อัสวกุลทินย์	32.6434

 อาจารย์ที่ปรึกษา

(อาจารย์ วิทยา ทิพย์สุวรรณพร)

คณะวิศวกรรมศาสตร์

ภาควิชาเทคโนโลยีการวัดคุมทางอุตสาหกรรม

สถาบันเทคโนโลยีพระจอมเกล้า

เจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

เครื่องบันทึกข้อมูลโดยอัตโนมัติ และ เครื่องแปลงสัญญาณมาตรฐาน

(DATA LOGGER AND SIGNAL CONVERTER)

นาย นฤทธิ ศรีสะอาด 32.6120

นาย ไทลย์ ปลื้มเขตร 32.6121

นาย สุรศักดิ์ อัสกุลทิพย์ 32.6434

อาจารย์ วิทยา ทิพย์สุวรรณพร

อาจารย์ที่ปรึกษา

บทคัดย่อ

เครื่องบันทึกข้อมูลโดยอัตโนมัติและเครื่องแปลงสัญญาณนี้ เป็นเครื่องที่จะสามารถเก็บข้อมูลในรูปของดิจิตอล โดยขึ้นอยู่กับคาบของเวลา ซึ่งมีระยะเวลาในการเก็บในแต่ละครั้งคงที่ และเครื่องนี้ยังสามารถแปลงสัญญาณแอนาล็อกต่าง ๆ ไปเป็นสัญญาณมาตรฐานที่ใช้ในระบบควบคุมคือ แรงดันไฟฟ้ากระแสตรง 1- 5 โวลต์ กระแสไฟฟ้ากระแสตรง 4 - 20 มิลลิแอมป์ ซึ่งเราสามารถเลือกอินพุตได้ทั้งหมด 16 อินพุต และใช้ซีพียู เบอร์ z80 เป็นตัวควบคุมการทำงานและประมวลผล

DATA LOGGER AND SIGNAL CONVERTER

MR. NARIT	SRISA-ARD	326120
MR. PAITOOH	PLUENNETR	326121
MR. SURASAK	ASAWAKULTHIP	326434

MR. VITTAYA THIPSUVANAKPORN
ADVISOR

ABSTRACT

Data logger and signal converter is a instrument which can change analog signal to digital signal. And it saves data in the memory. It dependents on the time period and data is saved at the constant time. It converts the analog signal to the standard signal that to be used in the control system such as voltage 1 - 5 volts, ampere 4 - 20 mA. Then , we can choose one of 16 inputs and the all operations are controlled, processed by Z80 CPU.

สารบัญ

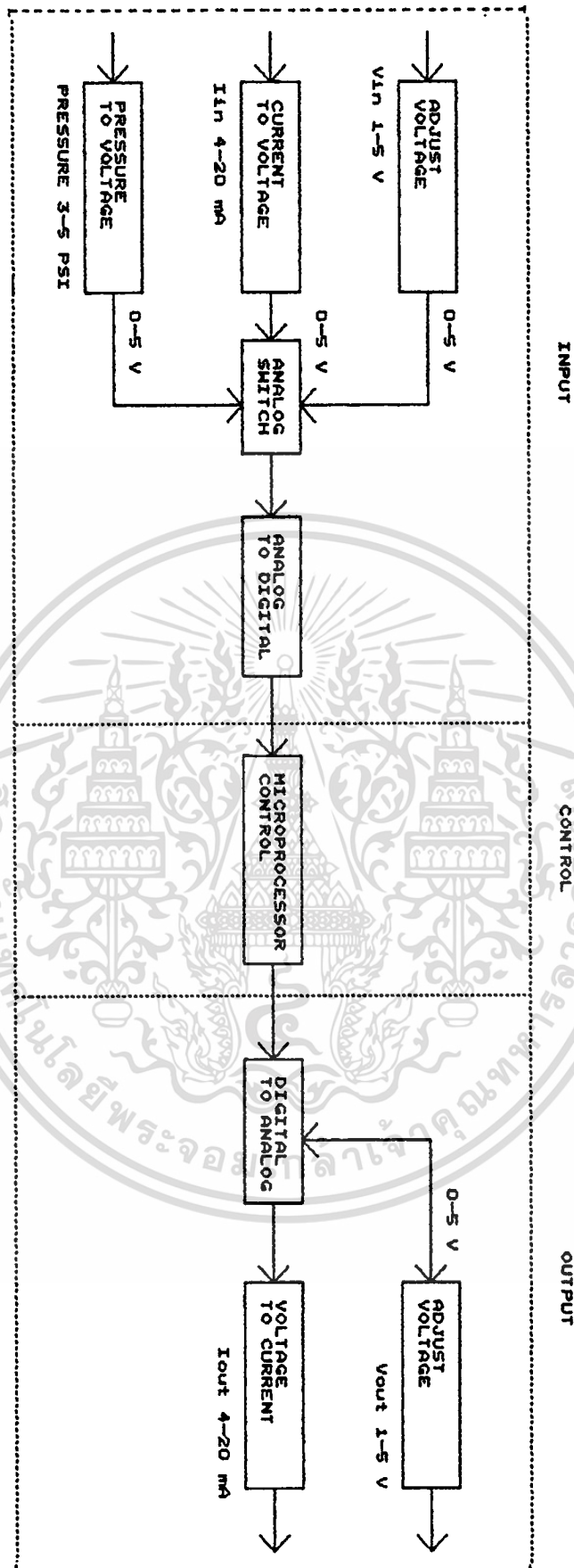
บทที่ 1	บทนำ	1
บทที่ 2	อินสตรูเมนต์แอมพลิไฟเออร์	2
บทที่ 3	การแปลงสัญญาณดิจิทัลเป็นสัญญาณอนาล็อก	8
	การแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิทัล	21
	เทคนิคของการแปลงสัญญาณ ADC	26
	ระบบไมโครโปรเซสเซอร์	33
	ระบบรีลไทม์คล็อก	41
บทที่ 4	ภาคอินพุทของเครื่อง Data Logger And Signal Converter	47
	ภาคอินพุทของเครื่อง Data Logger And Signal Converter	54
บทที่ 5	การทดลองและผลการทดลอง	58
	สรุปผลการทดลองและวิจารณ์ผลการทดลอง	60
	ภาคผนวก	
	บรรณานุกรม	
	กิตติกรรมประกาศ	

บทที่ 1

บทนำ

ในงานทางด้านการวัดคุมทางอุตสาหกรรมนั้น ต้องอาศัยการเปลี่ยนแปลงสัญญาณชนิดหนึ่ง ไปเป็นสัญญาณอีกชนิดหนึ่ง เพื่อใช้ในการควบคุม ซึ่งงานควบคุมหลักในวงการอุตสาหกรรมนั้น มีอยู่ 4 ชนิดคือ ความดัน อุณหภูมิ ระดับ และ อัตราการไหล ระบบในการควบคุม โดยมากนิยมใช้ความดันนิวแมติก แรงดันไฟฟ้า และกระแสไฟฟ้า อุปกรณ์ที่เปลี่ยนสัญญาณอย่างหนึ่ง ไปเป็นสัญญาณอีกอย่างหนึ่ง จะใช้ได้กับงานเฉพาะอย่างเท่านั้น ซึ่งทำให้ความกว้างในการใช้งานของอุปกรณ์มีเฉพาะ ทางผู้จัดทำจึงได้คิดอุปกรณ์เปลี่ยนสัญญาณที่สามารถเปลี่ยนแปลงสัญญาณได้หลายอย่าง และสามารถที่จะควบคุมได้โดยอาศัยการทำงานของไมโครคอมพิวเตอร์เป็นตัวควบคุม และเป็นตัวเลือกสัญญาณ ซึ่งสัญญาณที่เข้าสู่ระบบเป็นสัญญาณมาตรฐานในระบบงานอุตสาหกรรมคือ สัญญาณแรงดันไฟฟ้ากระแสตรง 1-5 โวลท์ สัญญาณกระแสไฟฟ้ากระแสตรง 4-20 มิลลิแอมป์ ความดันนิวแมติก 3-15 ปอนด์/ตารางนิ้ว ความถี่ 10 Hz-1 KHz และจะส่งผลการควบคุมออกมาเป็นสัญญาณแรงดันไฟฟ้ากระแสตรง 1-5 โวลท์ และสัญญาณกระแสไฟฟ้ากระแสตรง 4-20 มิลลิแอมป์

การทำงานของเครื่องบันทึกสัญญาณโดยอัตโนมัตินี้ อาศัยไมโครโปรเซสเซอร์ Z-80 เป็นตัวควบคุมโดยสร้างโปรแกรมควบคุมทางด้านซอฟต์แวร์ อาศัยข้อมูลทางด้านดิจิทัล ซึ่งได้มาจาก IC ADC0816 และส่งสัญญาณดิจิทัลไปให้กับ IC DAC1408 เพื่อแปลงเป็นสัญญาณอนาล็อก ซึ่งสัญญาณอินพุตแต่ละสัญญาณที่เข้ามานั้น จะต้องผ่านวงจรเปลี่ยนสัญญาณทางฟิสิกส์ เป็นสัญญาณแรงดันไฟฟ้า 0-5 โวลท์ แล้วผ่านอนาล็อกสวิตช์ โดยมี Z-80 เป็นตัวเลือกสัญญาณผ่าน IC ADC0816 เพื่อแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิทัล ส่งข้อมูลไปยัง Z-80 ซึ่งเป็นตัวควบคุม จากนั้น Z-80 ก็จะส่งผลสัญญาณดิจิทัลเข้าสู่ IC DAC1408 เป็นสัญญาณอนาล็อก 0-5 โวลท์แล้วมีการเปลี่ยนระดับเป็นแรงดัน 1-5 โวลท์ สำหรับการควบคุมโดยแรงดัน และเป็นกระแส 4-20 มิลลิแอมป์ สำหรับการควบคุมโดยกระแส



แสดง BLOCK DIAGRAM OF

DATA LOGGER AND SIGNAL CONVERTER

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2

อินสตรูเมนต์แอมพลิไฟเออร์ (INSTRUMENT AMPLIFIER)

คุณสมบัติของออปแอมป์

ออปแอมป์เป็นอุปกรณ์อิเล็กทรอนิกส์ที่อยู่ในรูป ประกอบด้วยสารกึ่งตัวนำ ความต้านทาน คาปาซิเตอร์ ต่อกันอยู่ ออปแอมป์แตกต่างจากอุปกรณ์อิเล็กทรอนิกส์คือให้อัตราการขยายได้สูง และมีผลต่อค่าอิมพีแดนซ์คือ มีอินพุตอิมพีแดนซ์สูง และเอาต์พุตอิมพีแดนซ์ต่ำ

2.1. วงจรขยายสัญญาณแบบกลับศักระ (INVERTING CIRCUIT)

วงจรขยายแบบกลับศักระนั้นสัญญาณเข้าและสัญญาณออกจะต่างเฟสกัน 180 องศา เนื่องจากความต่างศักย์ของขาลบ เป็นกราวด์ด้วยศักย์ต้านเสมือน ดังนั้นศักย์คร่อม R_i จึงเท่ากับ E_i จากกฎของโอห์ม

$$E = I * R$$

กระแสทั้งหมดไหลผ่าน R_f

$$V_{rf} = I * R_f$$

$$E_i = I * R_i$$

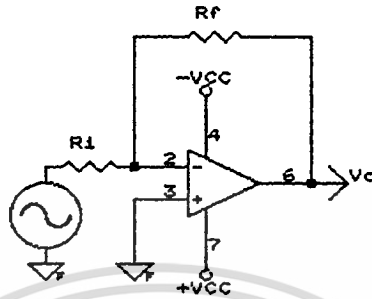
ศักย์ขาออกของวงจรเท่ากับ V_o ซึ่งมีค่าเท่ากับศักย์ตกคร่อม R_f แต่กลับทิศทางเนื่องจากกระแสที่ไหลมีค่าเป็นลบ

$$V_o = -I * R_f$$

$$A = -V_o / E_i$$

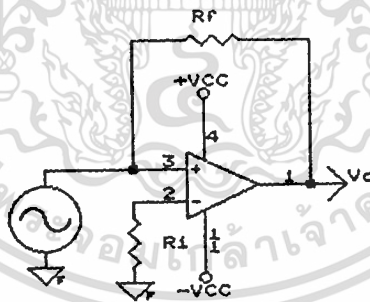
$$= -R_f/R_i$$

โดยที่ A คือ อัตราขยายของวงจร



รูปที่ 2.1 แสดงวงจรขยายสัญญาณแบบกลับคัตก

2.2. วงจรขยายสัญญาณแบบไม่กลับคัตก (NONINVERTING CIRCUIT)



รูปที่ 2.2 แสดงวงจรขยายสัญญาณแบบไม่กลับคัตก

เป็นวงจรที่สัญญาณเข้าและสัญญาณออกมีลักษณะเฟสเดียวกัน ทิศทางของกระแสขึ้นอยู่กับการคัตก E_i เนื่องจากกระแสเข้าขาอินพุตมีค่าตัวมาก ดังนั้นกระแสเกือบทั้งหมดจึงไหลผ่าน R_f ทำให้เกิดคัตกคร่อม R_f เท่ากับ

$$V_{rf} = I * R_f$$

$$= (R_f * E_i) / R_i$$

ศักดาสัญญาณออกเท่ากับของศักดาตกคร่อม R_i และ R_f นั่นคือ

$$V_o = (E_i * R_f) / R_i$$

$$= \{1 + (R_f / R_i)\} * E_i$$

ดังนั้นอัตราขยายแบบวลุจะเป็น

$$A = V_o / E_i$$

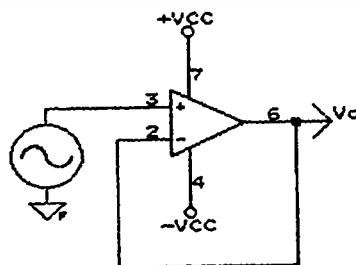
$$= 1 + (R_f / R_i)$$

2.3. วงจรตามศักดาสัญญาณ (VOLTAGE FOLLOWER)

เป็นวงจรที่ศักดาขาออก และสัญญาณขาเข้าเหมือนกัน เนื่องจากศักดาระหว่างสัญญาณเข้าทั้งสองมีค่า 0 โวลต์ ดังนั้นที่ขาลบ จึงมีศักดาเท่ากับ E_i ด้วยจะได้

$$V_o = E_i$$

วงจรนี้ไม่มีผลทางด้านสัญญาณ แต่จะมีผลทางด้านอิมพีแดนซ์ของวงจร

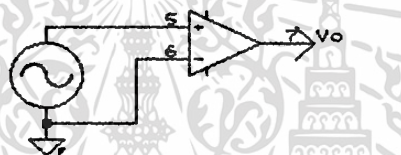


รูปที่ 2.3 แสดงวงจรตามศักดาสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการ—5—เท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

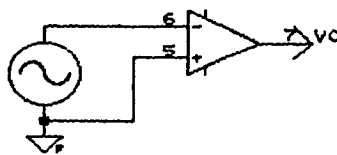
2.4. วงจรเปรียบเทียบสัญญาณ (SIGNAL COMPARATOR CIRCUIT)

จากรูปที่ 2.4 แสดงวงจรที่ต่ออยู่ในลักษณะวงจรเปิด ที่จุดขาสัญญาณเข้าลบ ต่ออยู่กับศักดาเปรียบเทียบ ส่วนขาสัญญาณเข้าบวก ต่ออยู่กับสัญญาณที่ต้องการเปรียบเทียบ เนื่องจากอัตราขยายแบบลบเปิดมีค่าสูงมาก ดังนั้นถ้าศักดาที่ขาสัญญาณเข้าบวกสูงกว่าศักดาเปรียบเทียบ (V_{ref}) เพียงเล็กน้อยก็จะทำให้สัญญาณขาออกมีค่าบวก V_{ref} แต่ถ้ามีค่าต่ำกว่าเล็กน้อย สัญญาณขาออกจะมีค่าเท่ากับ $-V_{sat}$ จึงใช้สำหรับเป็นวงจรเปรียบเทียบ เมื่อสัญญาณออกมีค่าเป็น $+V_{sat}$ แสดงว่า V_{in} มีค่าสูงกว่า V_{ref} แต่ถ้าสัญญาณขาออกมีค่าเป็น $-V_{sat}$ แสดงว่า V_{in} มีค่าน้อยกว่า V_{ref}



รูปที่ 2.4 แสดงวงจรเปรียบเทียบสัญญาณเข้าบวก

การเปรียบเทียบศักดาสัญญาณด้วยจุดสัญญาณเข้าลบ คล้ายกับการเปรียบเทียบสัญญาณด้วยจุดสัญญาณบวก ดังนั้นถ้าสัญญาณเปรียบเทียบน้อยกว่า V_{ref} สัญญาณออกจะมีค่า $+V_{sat}$ ถ้าสูงกว่า V_{ref} สัญญาณออกจะมีค่า $-V_{sat}$ ดังรูปที่ 2.5



รูปที่ 2.5 แสดงวงจรเปรียบเทียบสัญญาณด้วยจุดสัญญาณเข้าลบ

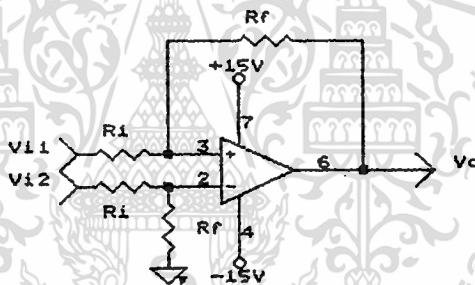
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.6. วงจรดิฟเฟอเรนเชียลแอมพลิฟายเออร์ (DIFFERENTIAL AMPLIFIER)

เป็นวงจรที่เปรียบเทียบแรงดันขาเข้าของออปแอมป์ทั้งสองขา ด้วยสัญญาณแตกต่างกัน จะเกิดการขยายของสัญญาณ

ในสถานะที่สัญญาณเข้าทั้งสองมีค่าเท่ากับศูนย์ จะมีสัญญาณออกมามีค่าค่าหนึ่ง เราเรียกสัญญาณนี้ว่า สัญญาณคอมมอนโหมด (common mode) ซึ่งทำให้เกิดการขยายค่าหนึ่งเรียกว่า อัตราขยายคอมมอนโหมด (A_{cm}) เมื่อมีสัญญาณเข้าของดิฟเฟอเรนเชียลแอมพลิฟายเออร์ มีค่าไม่เท่ากัน ผลต่างของสัญญาณจะถูกขยายด้วยอัตราขยายของวงจรดังที่ได้กล่าวแล้ว เราเรียกอัตรขยายนี้ว่า อัตราขยายแบบดิฟเฟอเรนเชียล (A_{dm}) เมื่อ m คืออัตราส่วนระหว่าง A_{dm} ต่อ A_{cm} เรียกอัตราส่วนนี้ว่า คอมมอนโหมดรีजेคชัน (CMRR)



รูปที่ 2.6 แสดงวงจรดิฟเฟอเรนเชียลแอมพลิฟายเออร์

อัตราการขยายของวงจรคำนวณได้ดังสูตรข้างล่าง

$$V_o = (R_2/R_1) * (V_2 - V_1)$$

ในทางปฏิบัติเมื่อมีสัญญาณมารบกวนเราจะได้

$$V_o = (R_2/R_1) * (V_2 - V_1) + (R_2/R_1) * (V_{cm}/CMRR)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3

การแปลงสัญญาณดิจิตอลเป็นสัญญาณอนาล็อก และการแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิตอล

(D TO A AND A TO D CONVERSION)

การแปลงสัญญาณดิจิตอลเป็นสัญญาณอนาล็อก เป็นการแปลงข้อมูลหรือข่าวสารทางดิจิตอลให้เป็นข้อมูลในทางอนาล็อก เช่นเอาท์พุทของระบบดิจิตอลจะต้องเปลี่ยนเป็นอนาล็อกเสียก่อนในการที่จะใช้ขับปากกาเรคคอร์ดเตอร์ (recorder) โดยใช้ D to A converter หรือสัญญาณอนาล็อกเป็นสัญญาณดิจิตอลเป็นสิ่งจำเป็นมาก สำหรับการประมวลผลทางดิจิตอล

ขบวนการของการแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิตอลนั้น ทำได้โดยใช้ A to D converter ซึ่งถูกใช้สำหรับแปลงสัญญาณอนาล็อกจากเอาท์พุทของทรานสดิวเซอร์ (transducer) ไปเป็นสัญญาณดิจิตอลเพื่อใช้ป้อนเข้ายังระบบดิจิตอล

การแปลงสัญญาณดิจิตอลเป็นสัญญาณอนาล็อก เป็นขบวนการที่ทำได้โดยตรงและทำได้ง่ายกว่าการแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิตอล

3.1. วงจรปรับค่าความต้าน (VARIABLE RESISTOR NETWORK)

ปัญหาพื้นฐานในการแปลงสัญญาณดิจิตอลไปเป็นสัญญาณอนาล็อกคือ การเปลี่ยนระดับของดิจิตอลโวลต์เตจ (digital voltage) ค่าใดๆไปเป็นอนาล็อกโวลต์เตจ (analog voltage) ที่เหมาะสม ซึ่งเราแก้ไขปัญหานี้ได้โดยการออกแบบวงจรปรับความต้านทาน ที่สามารถเปลี่ยนแต่ละระดับของสัญญาณดิจิตอลไปเป็น binary weight-equivalent voltage

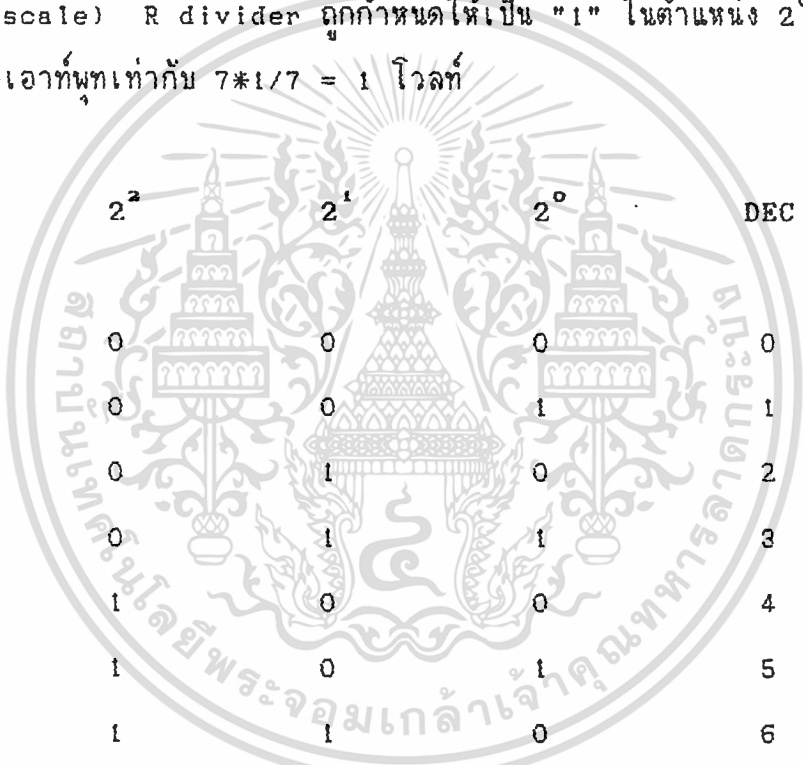
ตัวอย่างในการพิจารณาว่าอะไรคือความหมายของ equivalent binary weight ให้พิจารณาได้จากตารางความจริง (truth table) สำหรับสัญญาณไบนารี 3 บิต ดังรูปที่ 3.1

สมมุติว่าเราต้องการเปลี่ยนสัญญาณดิจิตอลทั้ง 8 ค่าดังในรูป เป็นอนาล็อกโวลต์ เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เลข จำนวนน้อยที่สุดที่แสดงไว้ในรูปคือ "000" ที่ดิจิตอลค่านี้ เราต้องการแปลงให้เป็นอนาล็อกโวลต์เลขเท่ากับ "0" โวลต์และจำนวนที่มากที่สุดคือ "111" ต้องการเปลี่ยนเป็นอนาล็อกเท่ากับ "7" โวลต์ การทำเช่นนี้เป็นการกำหนดย่านของสัญญาณอนาล็อกที่เราต้องการ

จากตารางที่ 3.1 เราจะเห็นว่าระหว่างค่า "000" กับ "111" นั้นสามารถแบ่งออกเป็น 7 ระดับด้วยกัน ดังนั้นสัญญาณอนาล็อกที่ได้จะถูกแบ่งออกเป็น 7 ระดับเช่นกัน การเปลี่ยนแปลงที่เกิดขึ้นน้อยที่สุดของสัญญาณดิจิตอลอยู่ที่บิตต่ำสุด (LSB) ดังนั้นบิตนี้จะทำให้การเปลี่ยนแปลงของอนาล็อกเอาต์พุตเท่ากับ $1/7$ ของค่าเต็มสเกล (full scale) R divider ถูกกำหนดให้เป็น "1" ในตำแหน่ง 2^0 ซึ่งจะทำให้อนาล็อกเอาต์พุตเท่ากับ $7 \times 1/7 = 1$ โวลต์



2^2	2^1	2^0	DEC
0	0	0	0
0	0	1	1
0	1	0	2
0	1	1	3
1	0	0	4
1	0	1	5
1	1	0	6
1	0	1	7

รูปที่ 3.1 ตารางแสดงค่าไบนารี 3 บิต

พิจารณาที่บิต 2^1 เราจะเห็นได้ว่าที่บิต 2^1 มีค่าเป็นสองเท่าของบิต 2^0 ดังนั้นค่าในบิต 2^1 จะทำให้การเปลี่ยนแปลงของอนาล็อกเอาต์พุตโวลต์เลขเป็นสองเท่าของ LSB และค่า resistive divider จะทำให้อนาล็อกเอาต์พุตโวลต์เลขเท่ากับ $7 \times 2/7 = 2$ โวลต์ ในการพิจารณาที่บิตอื่นก็ใช้หลักการเดียวกัน

จากที่กล่าวมาแล้วข้างต้นจะเห็นว่าบิตต่ำสุดจะให้ weight เท่ากับ $1/7$ บิต 2^1 เท่ากับ $2/7$ ผลรวมของ weight ทั้งหมดจะเท่ากับ 1 โดยทั่วไปแล้ว binary weight ที่บิตต่ำสุดจะเขียนเป็นสมการได้คือ $1/2^{n-1}$ เมื่อ n คือจำนวนบิต

ต่อไปเราจะหาค่าของ resistive divider สำหรับดิจิตอล 3 บิต ดังรูปที่

3.2

BIT	WEIGHT	BIT	WEIGHT
2^0	$1/7$	2^0	$1/15$
2^1	$2/7$	2^1	$2/15$
2^2	$4/7$	2^2	$4/15$
		2^3	$8/15$

รูปที่ 3.2 BINARY EQUIVALENT WEIGHTS

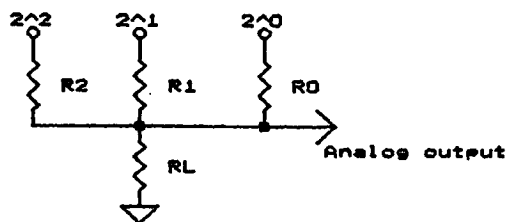
สมมติดิจิตอลอินพุตมีค่า "000" ต้องการอนาล็อกเอาต์พุตเท่ากับ "0" โวลต์ และ "111" เท่ากับ "7" เพราะฉะนั้นสำหรับอินพุต "001" จะได้เอาต์พุตเท่ากับ "1" โวลต์ ในทำนองเดียวกันเมื่ออินพุตเท่ากับ "010" จะได้อนาล็อกเอาต์พุตเท่ากับ "2" โวลต์ สำหรับค่าอื่นๆ ก็เช่นกันจะได้อนาล็อกเอาต์พุตตามตารางรูปที่ 3.2

resistive divider จะต้องทำหน้าที่สองอย่างด้วยกันเพื่อจะเปลี่ยนดิจิตอลอินพุตไปเป็นอนาล็อกเอาต์พุตโวลต์เตจ คือ

1. บิต 2 จะต้องเปลี่ยนเป็น 1 โวลต์ บิต 2^1 เท่ากับ 2 โวลต์ และบิต 2^2 เท่ากับ 4 โวลต์

2. โวลต์เตจทั้งสามค่านี้ที่แสดงดิจิตอลบิต เมื่อรวมกันแล้วจะได้อนาล็อกเอาต์พุตโวลต์เตจ

รูปที่ 3.3 แสดงถึง resistive divider ที่สมบูรณ์ของตัวอย่างนี้



รูปที่ 3.3 RESISTIVE DIVIDER

R0 R1 และ R2 ต่อแบบ divider network ความต้านทาน R1 เป็นโหลด สมมติว่าดิจิตอลอินพุตเท่ากับ "001" เราสามารถเขียนวงจรสมมูลย์ (equivalent circuit) ได้ดังรูปที่ 3.4 อนาล็อกเอาต์พุตโวลต์เตจ สามารถหาได้โดยใช้ MILLMAN 's theorem ดังสมการต่อไปนี้

$$V = \frac{V1/R1 + V2/R2 + V3/R3 + \dots}{1/R1 + 1/R2 + 1/R3 + \dots}$$

โดยใช้ MILLMAN 's theorem จากรูปที่ 3.4 จะได้

$$V = \frac{V0/R0 + V1/(R0/2) + V3/(R0/4)}{1/R0 + 1/(R0/2) + 1/(R0/4)}$$

สรุป resistive divider สามารถสร้างขึ้นเพื่อแปลงดิจิตอลโวลต์เตจไป อนาล็อกโวลต์เตจ โดยใช้กฎเกณฑ์ต่อไปนี้

1. ต้องมีความต้านทานอินพุตหนึ่งตัวสำหรับแต่ละบิตของดิจิตอล
2. เริ่มต้นที่บิตต่ำสุด ค่าความต้านในบิตต่อมา มีค่าเป็นครึ่งหนึ่งของความต้าน

ทานของบิตก่อนหน้านั้น

3. ค่าเต็มสเกลของเอาต์พุตโวลต์เตจ มีค่าเท่ากับผลบวกของสัญญาณดิจิตอลอินพุต

4. บิตต่ำสุดจะมี weight เท่ากับ $1/2^{n-1}$ เมื่อ n คือจำนวนบิต

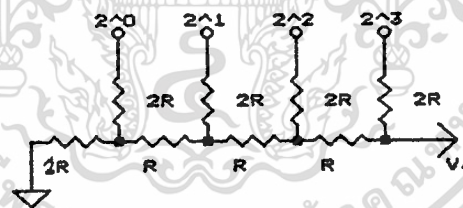
5. การเปลี่ยนแปลงของอินพุตโวลต์เตจ ต่อการเปลี่ยนแปลงของบิตต่ำสุดเท่ากับ $V/2^{n-1}$

6. เอาต์พุตโวลต์เตจ สามารถหาได้โดยใช้ MILLMAN 's theorem

$$V_{\text{out}} = V_0 \cdot 2^0 + V_1 \cdot 2^1 + V_2 \cdot 2^2 + \dots + V_{n-1} \cdot 2^{n-1}$$

3.2. BINARY LADDER

binary ladder เป็น network ที่ output voltage เป็นผลรวม weight ของดิจิตอลอินพุต เราลองมาพิจารณา ladder ขนาด 4 bit ดังรูปที่ 3.5

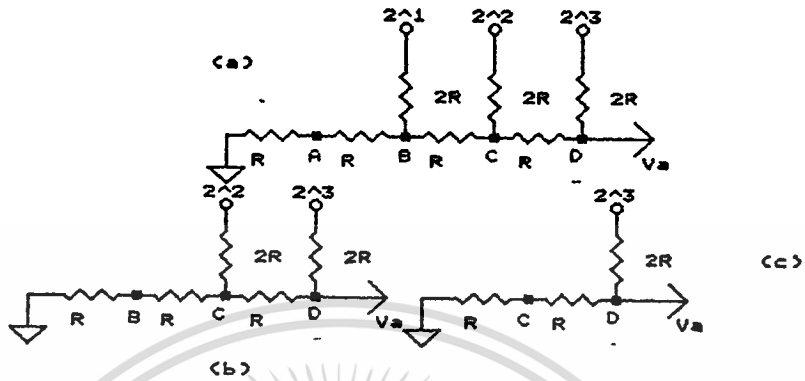


รูปที่ 3.5 BINARY LADDER

จากรูปจะเห็นว่าใช้ resistor เพียงสองค่า สมมติว่าดิจิตอลทั้งหมดถูกต่อลงกราวด์ เริ่มต้นที่จุด A ค่าความต้านทานที่มองที่จุด A ไปยัง resistor ตัวซ้ายสุดคือ $2R$ ค่าความต้านทานที่มองไปยังบิต 2^0 มีค่าเป็น $2R$ เช่นกัน ซึ่งค่าความต้านทาน $2R$ ทั้งสองตัวนี้จะขนานกันอยู่ ด้วยเหตุนี้เราจึงสามารถแทนด้วยความต้านสมมูลย์ ซึ่งมีค่าเท่ากับ R ดังรูป 3.6 (a) ต่อไปเราพิจารณาที่จุด B จะ

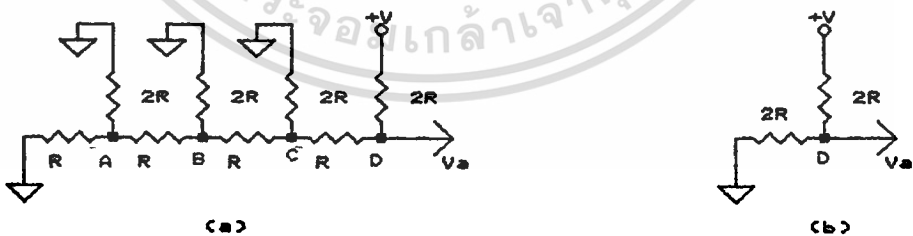
เอกสารนี้เป็นเอกสารที่สวทช. ให้ความสำคัญสำหรับการใช้งานเพื่อการวิจัยเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

เห็นว่าค่าความต้านทานที่จุด B นี้มีค่าเป็น $2R$ และค่าความต้านทานของบิต 2^1 เท่ากับ $2R$ เช่นกัน ซึ่งสามารถแทนด้วยความต้านทานสมมูล R ดังรูปที่ 3.6(b)



รูปที่ 3.6 วิธีหาค่า BINARY LADDER

เราสามารถใช้คุณสมบัติของ ladder เพื่อกำหนดเอาต์พุตของโวลต์เตจ สำหรับดิจิตอลเอาต์พุตค่าต่างๆได้ สมมติดิจิตอลอินพุตเป็น 1000 binary ladder สามารถเขียนได้ดังรูปที่ 3.7 (a) เพราะฉะนั้น network ที่อยู่ด้านซ้ายของจุด D สามารถแทนด้วยความต้าน $2R$ ดังรูป 3.7(b)



รูปที่ 3.7 (a) BINARY LADDER WITH A DIGITAL INPUT 1000

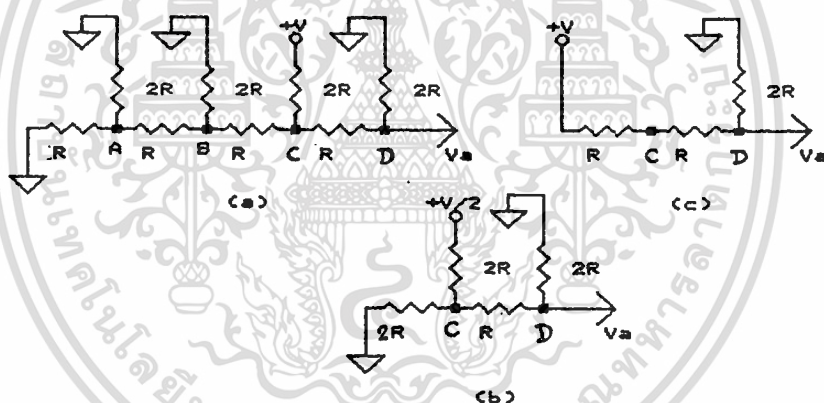
(b) EQUIVALENT CIRCUIT FOR DIGITAL INPUT 1000

จากรูปเราจะได้

$$V_u = V * \{2R / (2R + 2R)\}$$

$$= V / 2$$

นั่นคือถ้าบิตสูงสุด(MSB) มีค่าลอจิก(logic) เป็น 1 จะได้ $V_u = V / 2$ โวลต์ ในการหาเอาต์พุตโวลต์เตจเมื่ออินพุตเป็น 0100 สามารถทำได้ดังแสดงในรูปที่ 3.8 (a) จะเห็นว่าไม่มีโวลต์เตจทางด้านซ้ายมือของจุด c เลข เพราะฉะนั้นทาง ด้านซ้ายมือของจุด c สามารถแทนด้วยความต้าน $2R$ ดังรูป 3.8 (b) ต่อไปเรา สามารถแทนที่วงจรทางด้านซ้ายของจุด c โดยใช้ทฤษฎีของTHEVENIN's theorem โดยการตัดวงจรดังรูป 3.8 (b) จะได้วงจรใหม่ดังรูป 3.8 (c)

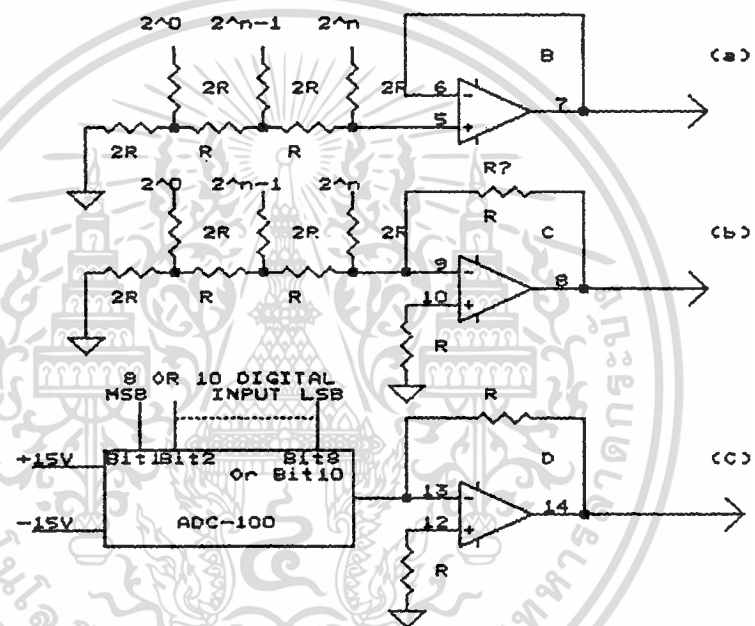


รูปที่ 3.8 การใช้ THEVENIN 'S THEOREM เข้าช่วยแก้ไขวงจร

3.3. ตัวแปลงสัญญาณดิจิตอลเป็นสัญญาณอนาล็อก (D TO A CONVERTER)

เราสามารถใช่วงจรพื้นฐานของวงจร resistive divider or ladder มาทำเป็น DAC ได้หรืออาจกล่าวได้ว่า DAC มีส่วนประกอบพื้นฐานหรือโครงสร้างที่ ประกอบขึ้นจาก resistive divider network หรือladder อย่างไรก็ตามDAC ต้องการส่วนปลีกย่อยอื่นๆอีกเพื่อที่จะทำ ให้ DAC ที่สมบูรณ์ขึ้นคือ DAC จะต้องมีส่วนของรีจิสเตอร์(register)ที่สามารถใช้เก็บข้อมูลทางดิจิตอล register ที่ง่าย

ที่สุดจะใช้ฟลิปฟล็อป(flip- flop) ซึ่งสำหรับ 1 บิต จะใช้ฟลิปฟล็อป 1 ตัว DAC ต้องมี level amplifier อยู่ระหว่าง register กับ resistive network เพื่อให้แน่ใจได้ว่าสัญญาณดิจิตอลที่ส่งไปยัง resistive network เป็นสัญญาณที่คงที่ อยู่ในระดับเดียวกัน ส่วนสุดท้ายของ DACจะต้องมีส่วนอินพุทเกตเพื่อทำการ gating อินพุทของ register ฟลิปฟล็อปสามารถถูกใช้เพื่อให้มีค่าข้อมูลที่เหมาะสมกับข้อมูลดิจิตอลที่เข้ามา DAC ที่สมบูรณ์แสดงดัง block diagram ดังรูปที่ 3.10 (a)

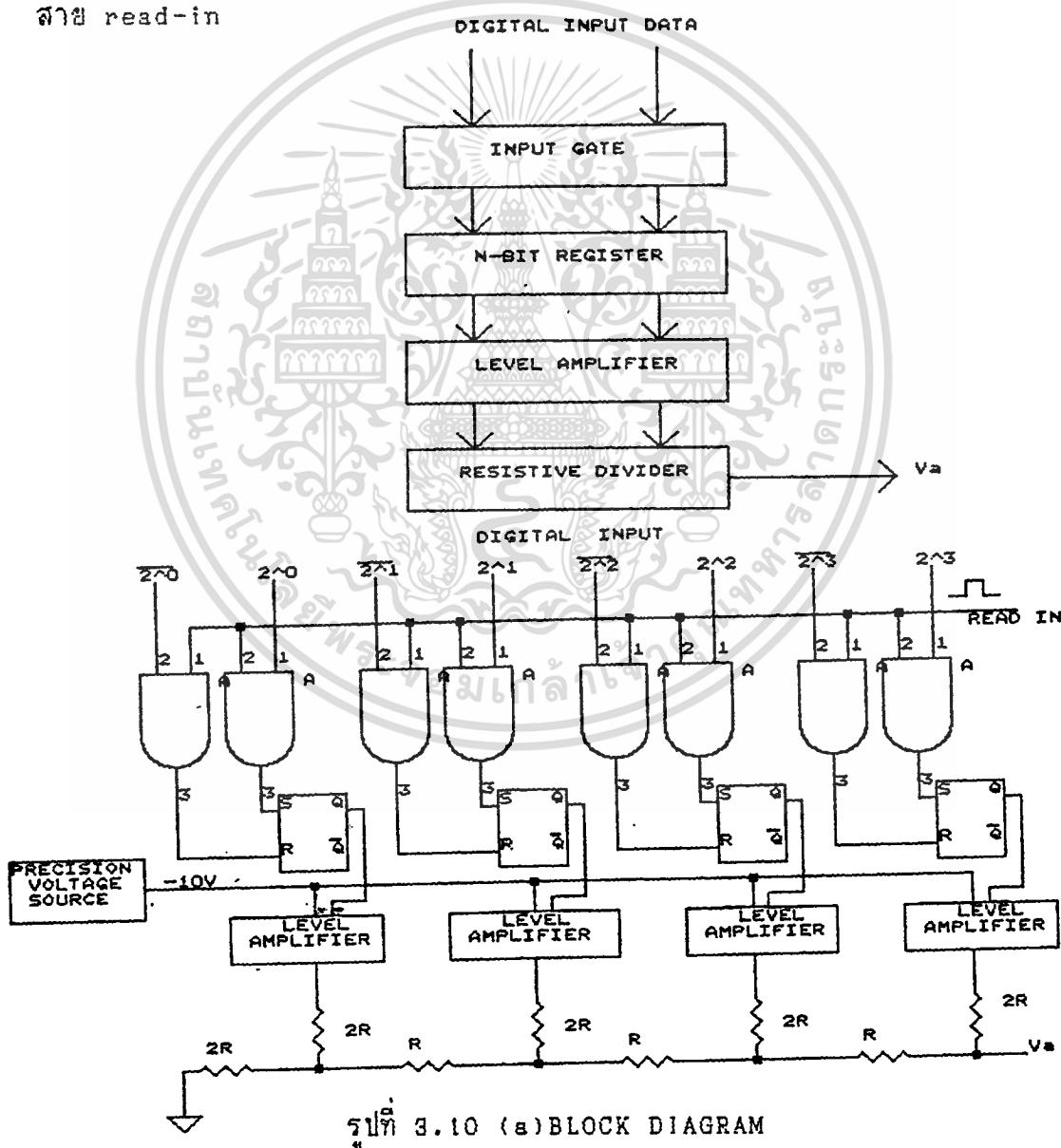


รูปที่ 3.9 D TO A CONVERTER

อาศัยหลักการที่แสดงโดย block diagram เราสามารถเขียนวงจร D to A ที่สมบูรณ์ขนาด 4 บิตได้ดังรูปที่ 3.10(b)จากรูปจะเห็น level amplifier แต่ละตัวจะมีอินพุท 2 อินพุทคือ 10 โวลต์ จาก precision voltage source และจากเอาต์พุทของฟลิปฟล็อป level amplifier จะทำงานดังนี้คือ ถ้าเอาต์พุทจากฟลิปฟล็อปเป็น high level amplifier จะให้เอาต์พุทเป็น 1 แต่ถ้าเอาต์พุทจากฟลิปฟล็อปเป็น low level amplifier จะให้เอาต์พุทเป็น 0

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอาท์พุทจากฟลิปฟลอปเป็น low เอาท์พุทจะเป็น 0 ฟลิปฟลอปทั้ง 4 ที่ใช้เป็น register จะใช้สำหรับเก็บข้อมูลทางดิจิทัลฟลิปฟลอปที่อยู่ทางขวามือเป็น MSB และตัวซ้ายสุดเป็น LSB ฟลิปฟลอปแต่ละตัว จะเป็น RS-latch และต้องการระดับสัญญาณที่เป็นบวก(positive level) ที่อินพุท R หรือ S เพื่อที่จะไปเซ็ทหรือรีเซ็ท เอาท์พุทของฟลิปฟลอป ส่วนของอินพุทเกทใช้สำหรับข้อมูลเข้ามายัง register เมื่อสาย read-in เป็น high จะมีเกทเพียงตัวเดียวเท่านั้นที่มีเอาท์พุทเป็น high ส่งไปยังอินพุท R หรือ S ฟลิปฟลอปจึงถูกเซ็ทโดยขึ้นอยู่กับค่าลอจิกของ R หรือ S ข้อมูลจะถูกส่งเข้าไปยัง register ในแต่ละครั้งที่มัลซ์(pulse)ป้อนเข้ามาที่สาย read-in



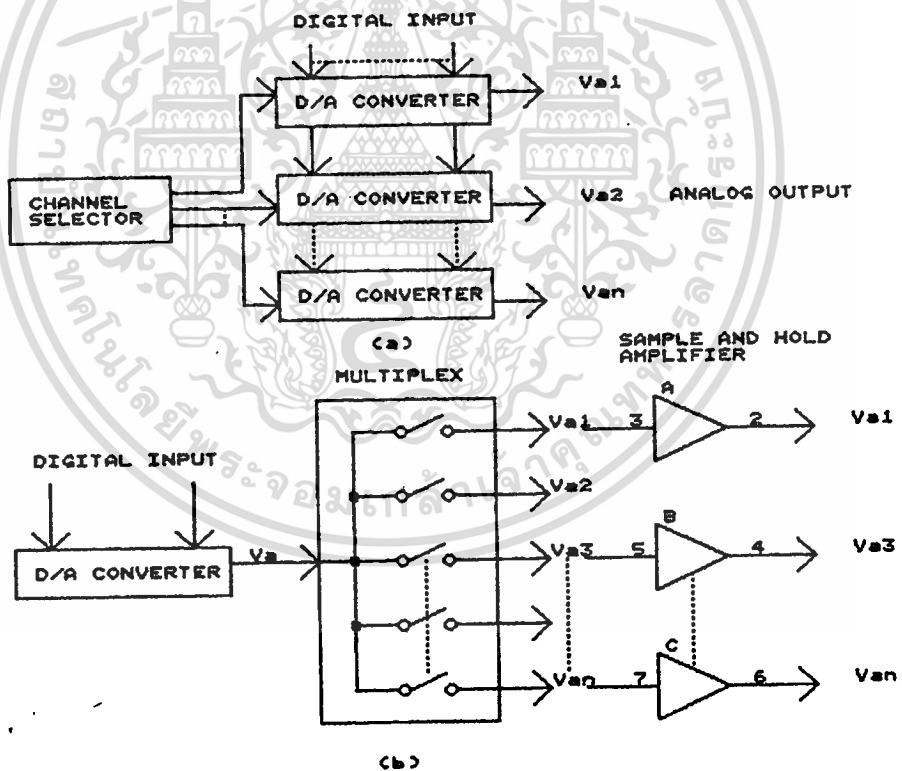
(b) 4-BIT D TO A CONVERTER

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษานานัน ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บ่อยครั้งที่เดียวที่เราจำเป็นต้อง decode สัญญาณอินพุตที่มีหลายๆอินพุตเช่น แกน X แกน Y สำหรับ plotting board ในกรณีเช่นนี้จะมี 2 วิธีในการ decode สัญญาณคือ

1. โดยใช้ D to A converter สำหรับแต่ละสัญญาณอินพุตดังแสดงไว้ดังรูปที่ 3.11(a) ข้อดีของวิธีนี้คือแต่ละสัญญาณที่จะ decode จะถูกเก็บไว้ใน register ของมันเอง และอนาล็อกเอาต์พุตจะถูก hold ไว้ให้มีค่าคงที่ สายดิจิตอลอินพุต ถูกต่อขนาเข้ากับแต่ละconverter และconverter ตัวที่เหมาะสมจะถูกเลือกสำหรับ decode โดยสาย select (select line)

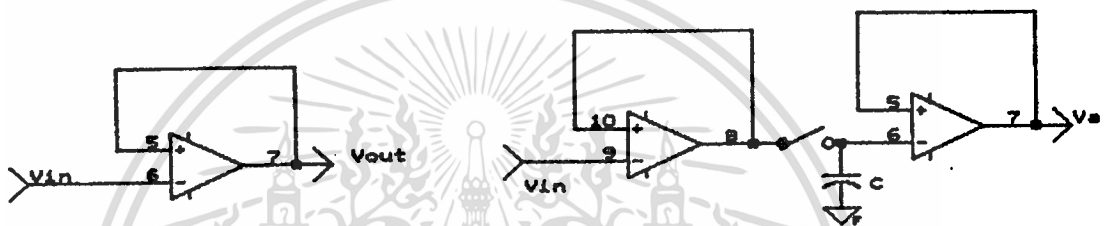
2. เป็นการ multiplex แสดงดังรูปที่ 3.11(b) ข้อเสียของวิธีนี้คือ อนาล็อกเอาต์พุตจะถูก hold ในระหว่างของการ sampling และเอาต์พุตจะต้องต่อกับ sample-and-hold amplifier



รูปที่ 3.11(a) CHANNEL SELECT METHOD

(b) MULTIPLEX METHOD

จากรูปที่ 3.12(a) เป็นแบบ unity gain noninverting voltage amplifier ซึ่งจะได้ $V_o = V_i$ และถ้านำเอาออปแอมป์แบบนี้มาต่อกันดังรูปที่ 3.12(b) ก็จะได้เป็น sample-and-hold amplifier เมื่อสวิตช์ปิดวงจร คาปาซิเตอร์จะชาร์จประจุจนลอจิกโวลต์เตจที่ได้จาก D to A ไว้ และเมื่อสวิตช์เปิดวงจร คาปาซิเตอร์ hold ระดับโวลต์เตจไว้ จนกระทั่งถึงเวลาของการ sampling ใหม่ และเพราะว่าออปแอมป์มีอินพุตอิมพีแดนซ์สูงมาก ดังนั้นจะเห็นได้ว่าคาปาซิเตอร์จะได้ discharge และในเวลาเดียวกันก็จะให้ gain เพื่อชดเชยวงจรภายนอกด้วย



รูปที่ 3.12 (a) UNITY GAIN AMPLIFIER
(b) SAMPLE-HOLD CIRCUIT

เมื่อ D/A ถูกต่อเข้ากับ multiplexer เราจะต้องคำนึงถึงอัตราสูงสุดที่ converter จะสามารถทำงานได้ด้วยในแต่ละครั้งที่ข้อมูลถูกส่งไปยัง register จะเกิด transient ขึ้นที่เอาต์พุตของตัว converter ทั้งนี้เพราะว่าในความเป็นจริงแล้วฟลิปฟลอปแต่ละตัวมี rise และ fall time ที่แตกต่างกัน ดังนั้นจะต้องมี setting time ระหว่างเวลาที่ข้อมูลถูกส่งไปยัง register กับเวลาที่อนาล็อกโวลต์เตจถูกอ่านออกมา setting time นี้เป็นตัวประกอบหลักในการกำหนดอัตราสูงสุดของการ multiplex กรณีเช่นนี้จะเกิดขึ้นเมื่อทุกบิตมีการเปลี่ยนแปลง เช่น จาก 1000 เป็น 0111 โดยปกติแล้วคาปาซิเตอร์ของวงจร sample-and-hold amplifier จะไม่มีความสามารถในการ hold voltage ที่แน่นอน ดังนั้นอัตราการ sampling หายไปในระหว่างการ sampling อัตราการ sampling คือความถี่ที่คาปาซิ

เดอรัชาร์จ(charge)ค่าของสัญญาณอนาล็อกที่ออกจากเอาต์พุตของ converter

มาถึงจุดนี้แล้วเราอาจจะอยากรู้ว่าสัญญาณจะต้องถูก sampling เท่าไรจึงจะเพียงพอโดยอาศัยความรู้สึก(common sense)เราจะรู้ว่าจำนวนครั้งหรือความถี่ในการ sampling จะต้องมากกว่าความถี่ของสัญญาณที่ถูก sampling และความถี่ในการ sampling ที่น้อย ความถี่ของสัญญาณที่ถูก sampling จะทำให้สัญญาณถูกลดทอนไปหรืออาจจะกล่าวได้ว่าถ้าความถี่ของสัญญาณที่ถูก sampling น้อยเกินไป สัญญาณจะลดลงมาก เพราะเวลาของการ discharge ของ sampling-hold capacitor มากเกินไป และอาจจะทำให้ข้อมูลของสัญญาณสูญหายไป เรามีวิธีการสองอย่างในการกำหนดอัตราการ sampling คือ

1. ถ้าสัญญาณของเราเป็นรูปไซน์ (sinusoidal) ต้องทำการ sampling เป็นสองเท่าของความถี่ของสัญญาณที่เราจะทำการ sampling เช่นถ้าสัญญาณเป็น sine wave 5KHz เราต้อง sampling ด้วยอัตราที่มากกว่าหรือเท่ากับ 10KHz หรือทุกๆ $1/1000 = 100 \mu s$

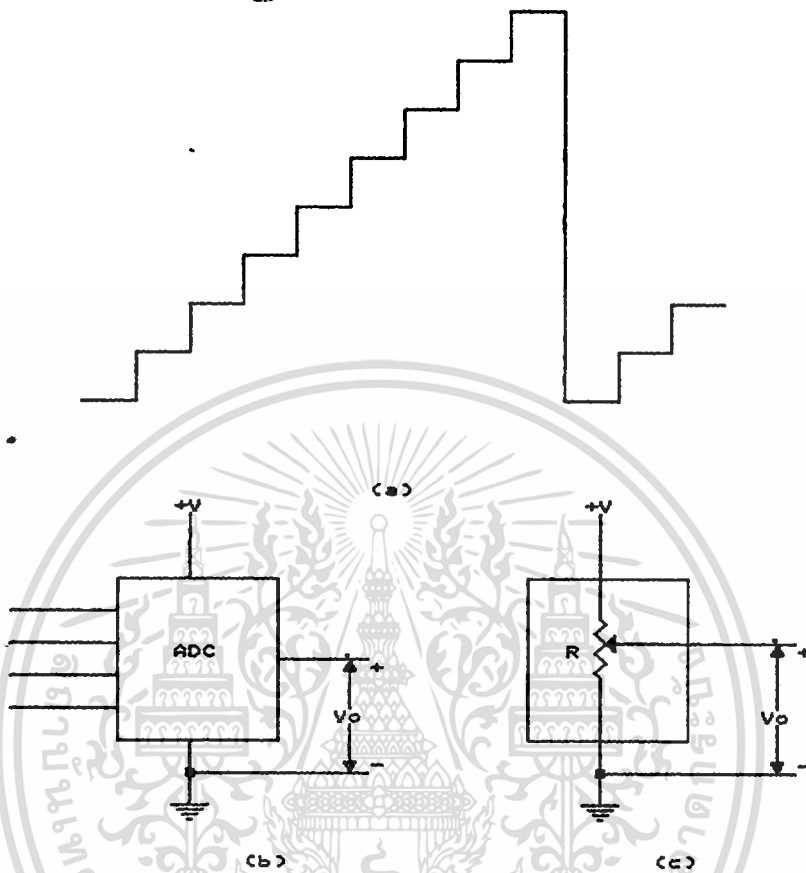
อย่างไรก็ตามถ้าสัญญาณเป็นแบบ sine เราจะทำอะไร สัญญาณใดก็ตามที่เป็นสัญญาณรายคาบ(periodic) ที่สามารถแสดงได้โดยผลรวมของเทอมโคไซน์(cosine) ในกรณีนี้เราจะต้อง sampling ด้วยอัตราสองเท่าของความถี่สูงสุดที่ปรากฏอยู่ในเทอมของโคไซน์

2. โดยวิธีการทดสอบซึ่งจะตรวจสอบการทำงานที่เหมาะสมของ D/A ได้ซึ่งแบ่งออกเป็น steady-state accuracy TEST และ monotonicity test

การทดสอบแบบ steady-state เป็นการป้อนค่าดิจิตอลอินพุตเป็นอินพุต register ของ D/A จากนั้นก็จะทำการวัดอนาล็อกเอาต์พุต ที่ได้แล้วเปรียบเทียบกับค่าที่วัดได้จากการคำนวณว่าตรงกันหรือไม่

การทดสอบแบบ monotonicity หมายถึงการตรวจสอบค่าเอาต์พุตโวลต์เตจ (analog output voltage) ว่าเพิ่มขึ้นตามค่าดิจิตอลและสังเกตอนาล็อกเอาต์พุตจากออสซิลโลสโคป(oscilloscope) สำหรับ monotonicity ที่เหมาะสม สัญญาณเอาต์พุตจะต้องมีรูปร่างดังรูปที่ 3.13(a) ขึ้นต่างๆของสัญญาณรูปขั้นบันไดจะต้องมีช่องว่างและแอมพลิจูด(amplitude)เท่ากัน ขั้นที่ไม่ถูกต้องเช่น ขั้นที่มีแอมพลิจูดต่างกันหรือขั้นที่ตกลงมาข้างล่างจะแสดงถึง malfunction การทดสอบ

แบบ monotonicity นี้ไม่ได้ตรวจสอบความเที่ยงตรง(accuracy)แต่ถ้าผ่าน การทดสอบแบบนี้แล้วก็เป็นประกนได้ว่าค่าผิดพลาด (error) ในการแปลงสัญญาณ(convert)จะต่ำกว่า 1 LSB



รูปที่ 3.13 CORRECT OUTPUT VOLTAGE WAVEFORM FOR MONOTOMICITY TEST

3.4. ความละเอียดและความเที่ยงตรงของ A TO D

ความเที่ยงตรง(accuracy)ของ D/A คอนเวอร์เตอร์ขึ้นอยู่กับเที่ยงตรง ของ precision resistor ที่ใช้เป็นแลตเตอร์และความแม่นยำ(precision) ของแรงดันอ้างอิง(reference voltage supply)ที่ให้ความเที่ยงตรงเป็น การวัดค่าเอาต์พุตที่ได้ในทางปฏิบัติว่ามีค่าใกล้เคียงกับค่าทฤษฎีเพียงใด เช่นสมมติว่า เอาต์พุตทางทฤษฎีมีค่าเท่ากับ 10 V.ความเที่ยงตรง 10% จะหมายถึงเอาต์พุตที่ได้ในทางปฏิบัติอยู่ระหว่าง 9.9 V.และ 10.1 V

ความละเอียด (resolution) หรือจะกล่าวอีกอย่างหนึ่งคือการหาโวลต์เตจ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เพิ่มขึ้นอย่างน้อยที่สุดที่สังเกตได้ ความละเอียดจะขึ้นอยู่กับจำนวนบิตของดิจิตอลอินพุต นั่นคือเอาต์พุตโวลต์จะเพิ่มขึ้นอย่างน้อยที่สุดที่กำหนดโดย LSB สมมติว่าในระบบ 4 บิตที่ใช้แลดเดอร์ที่ LSB มี weight เป็น $1/16$ ของอินพุตโวลต์และถ้าสมมติว่า อินพุตโวลต์ของเราเป็น 16 ดังนั้นในการเปลี่ยนแปลงของ LSB จะทำให้ เอาต์พุตโวลต์เปลี่ยนแปลงเป็น $16 * 1/16 = 1$ v. ดังนั้นเอาต์พุตโวลต์จะเปลี่ยนแปลงเป็นขั้นๆ หรือเพิ่มขึ้นทีละ 1 v. ซึ่งจะได้เอาต์พุตโวลต์จะเปลี่ยนแปลงเป็นรูปขั้นบันไดดังรูปที่ 3.13 และจะเปลี่ยนแปลงจาก 0-15 v โดยเพิ่มขึ้นทีละ 1 v. คอนเวอร์เตอร์ อย่างไรก็ตามมันไม่สามารถใช้กับโวลต์ที่เพิ่มขึ้นน้อยกว่า 1 โวลต์ เช่นถ้าเราต้องการเอาต์พุตโวลต์เท่ากับ 4.2 v. โดยใช้เอาต์พุตเท่ากับ 7.8 v. เราจะได้เอาต์พุตเป็น 8 v. ทั้งนี้เพราะว่า คอนเวอร์เตอร์ของเราเพิ่มค่าขึ้นทีละ 1 v. เท่านั้น กล่าวได้ว่า คอนเวอร์เตอร์ของเรามีความละเอียดแค่ 1 โวลต์ เท่านั้น

ถ้าเราต้องการเอาต์พุตที่มีการเปลี่ยนแปลงน้อยกว่าที่กล่าวมาแล้ว เราต้องใช้ คอนเวอร์เตอร์ที่มีอินพุตมากกว่านี้ เช่นคอนเวอร์เตอร์ขนาด 10 บิต จะมี LSB weight เท่ากับ $1/2^{10} = 1/1024$ ดังนั้นค่าที่เปลี่ยนแปลงที่น้อยที่สุดประมาณ $1/1000$ และถ้าคอนเวอร์เตอร์มีค่าเต็มสเกลเท่ากับ 10 v. เราจะได้การเปลี่ยนแปลงของเอาต์พุตขึ้นละ $10/1000 = 10$ มิลลิโวลต์

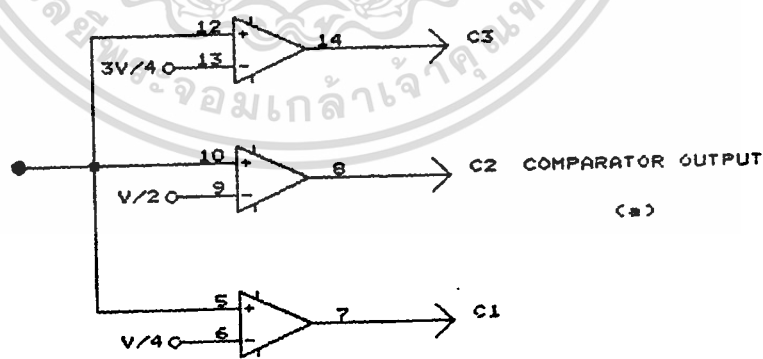
3.5. ตัวแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิตอล (A TO D CONVERTER)

ขบวนการในการแปลงสัญญาณอนาล็อกเป็นดิจิตอลเราเรียกว่า analog to digital conversion (ADC) ซึ่งจะมีบางสิ่งบางอย่างที่ซับซ้อนกว่าการแปลงสัญญาณดิจิตอลไปเป็นอนาล็อก ซึ่งจะมีวิธีการต่างๆอยู่หลายวิธี วิธีที่ง่ายที่สุดคือ

1. วิธีการของ simultaneous จะได้วงจรเปรียบเทียบ (comparator circuit) เช่นดังรูปที่ 3.14 จะใช้คอมพาราเตอร์ 3 ตัว อนาล็อกอินพุตที่เราต้องการแปลงเป็นดิจิตอล จะถูกป้อนเข้าที่อินพุตของคอมพาราเตอร์แต่ละตัว และขาอินพุตของคอมพาราเตอร์แต่ละตัวที่เหลือ ถูกต่อเข้ากับแรงดันอ้างอิงมาตรฐาน (standard reference voltage) แรงดันอ้างอิงที่เหลือที่ใช้จะเป็น $V/4$, $V/2$ และ $3V/4$ ระบบนี้จะใช้สำหรับอนาล็อกอินพุตระหว่าง 0-v โวลต์

ถ้าอนาล็อกอินพุตมีค่าเกินแรงดันอ้างอิงของคอมพาราเตอร์ตัวใดๆ ก็ตามจะทำให้คอมพาราเตอร์ตัวนั้นทำงาน (burn on) ในการทำงานของคอมพาราเตอร์สมมุติให้เอาต์พุตเป็น high ถ้าคอมพาราเตอร์ทุกตัวไม่ทำงานแสดงว่าอนาล็อกอินพุตมีค่าอยู่ระหว่าง $0 - V/4$ ถ้า C_1 เป็น high (comparator C_1 on) และ C_2 กับ C_3 เป็น low อินพุตจะมีค่าอยู่ระหว่าง $V/2$ กับ $V/4$ ถ้า C_1 กับ C_2 เป็น high ส่วน C_3 เป็น low อินพุตมีค่าอยู่ระหว่าง $V/2$ กับ $3V/4$ และสุดท้ายถ้าเอาต์พุตของคอมพาราเตอร์เป็น high หมด สัญญาณอินพุตอยู่ระหว่าง $3V/4$ กับ V สำหรับค่าอินพุตของคอมพาราเตอร์ในย่านต่างๆ ของอินพุตจะเป็นไปตามรูปที่ 3.14

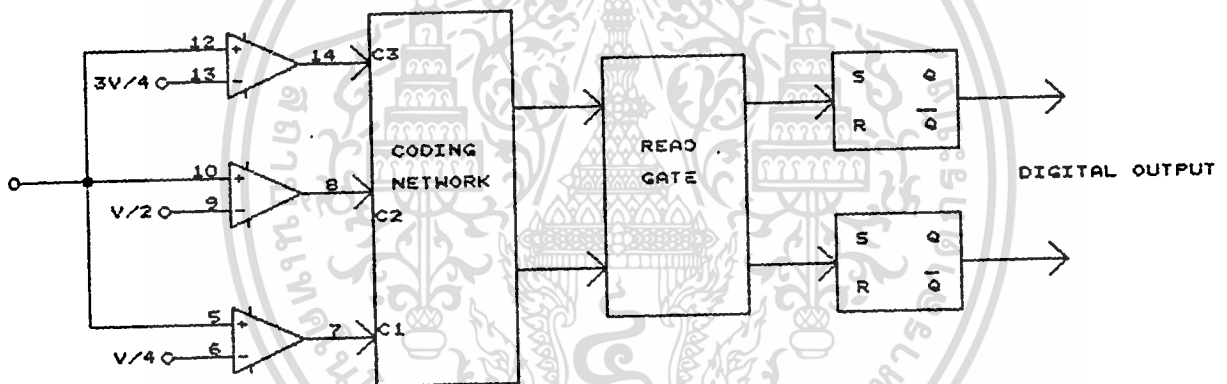
ตัวอย่างที่แสดงให้เห็นดังรูปที่ 3.14 นั้นจะมีอยู่ด้วยกัน 4 ย่าน ที่คอนเวอร์เตอร์ตัวนี้สามารถตรวจจับ (detect) ได้ ซึ่งทั้ง 4 ย่านนี้สามารถแทนได้ด้วยไบนารี 2 บิต คอมพาราเตอร์ทั้งสามตัวจะต้องส่งเอาต์พุตไปยัง coding network เพื่อกำหนด 2 บิตที่สมบรูณ์กับอนาล็อกอินพุตโวลต์แต่ละ บิตต่างๆ ของ coding network จะถูกส่งไปflip-flop รีจิสเตอร์เพื่อเก็บค่าไว้ block diagram ที่สมบรูณ์สำหรับตัวอย่างของ A/D ที่ได้กล่าวมานี้แสดงดังรูปที่ 3.15



รูปที่ 3.14 SIMULTANEOUS A/D CONVERSION

INPUT VOLTAGE	COMPARATOR OUTPUT		
	C_1	C_2	C_3
$0 - V/4$	LOW	LOW	LOW
$V/4 - V/2$	HIGH	LOW	LOW
$V/2 - 3V/4$	HIGH	HIGH	LOW
$3V/4 - V$	HIGH	HIGH	HIGH

รูปที่ 3.14(b) COMPARATOR OUTPUTS FOR INPUT VOLTAGE RANGE

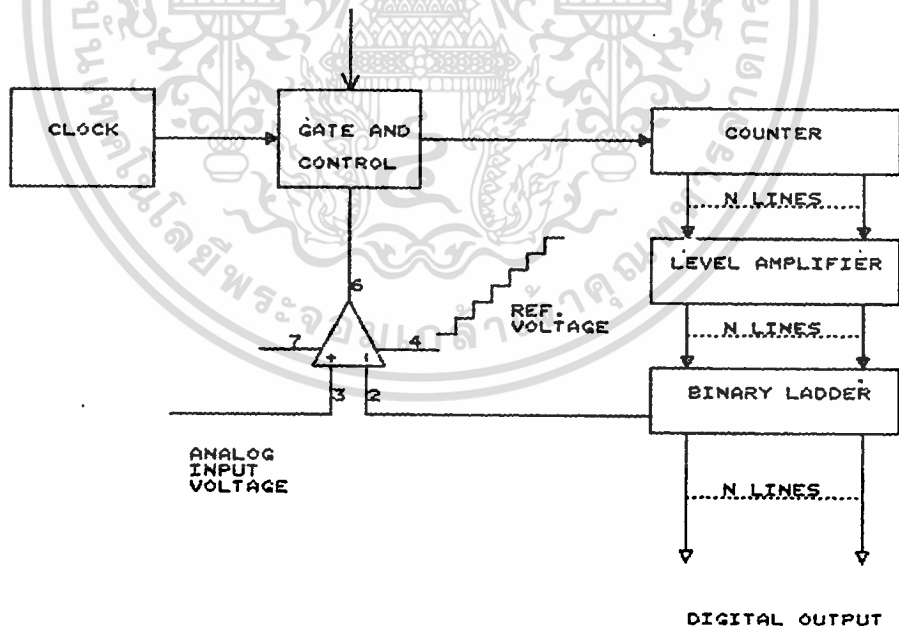


รูปที่ 3.15 2-BIT SIMULTANEOUS A/D CONVERTER

3.6. ADC ที่ใช้วิธีการของวงจรรนับ (A TO D COUNTER METHOD)

ADC ที่มีความละเอียดสูงจะใช้คอมพาราเตอ์ตัวเดียวเท่านั้น โดยที่มันสามารถทำงานได้ ถ้าป้อนแรงดันอ้างอิงที่เปลี่ยนค่าได้ให้มัน แรงดันอ้างอิงนี้จะถูกป้อนเข้าคอมพาราเตอ์ และเมื่อไรก็ตามที่แรงดันอ้างอิงมีค่าเท่ากับอินพุทโวลท์ที่ตรวจการแปลงสัญญาณก็จะสมบูรณ์ โครงสร้างของ ADC แบบนี้ จะมีไบนารีเคาน์เตอร์ ซึ่งดิจิตอลเอาท์พุทจะได้จากเคาน์เตอร์นี้ และถ้าต้องการดิจิตอลเอาท์พุทขนาด n บิต เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เราจะต้องใช้เคาน์เตอร์ n บิตเหมือนกัน ถ้าเราต่อเอาที่พหุของเคาน์เตอร์นี้กับ standard binary counter จะทำให้เอาที่พหุของไบนารีแลดเดอร์ มีรูปสัญญาณแบบขั้นบันได(staircase)ดังรูปที่ 3.13 รูปของสัญญาณอันนี้เองที่เราใช้เป็นแรงดันอ้างอิงสำหรับคอมพาราเตอร์ รูปที่ 3.18 แสดงถึง block diagram ของ ADC แบบเคาน์เตอร์ การทำงานจะเป็นดังนี้คือ ในตอนแรกเคาน์เตอร์จะถูกรีเซ็ตให้เป็นศูนย์ ต่อมาจะมีสัญญาณที่ต้องการเพิ่มทำการแปลงสัญญาณส่งมาที่ start ซึ่งสัญญาณนี้จะไปเปิดเกต และ clock pulse จะสามารถผ่านไปยังอินพุตของเคาน์เตอร์ได้ เคาน์เตอร์จะเริ่มนับเป็นแบบไบนารีไปเรื่อยๆ และที่เอาที่พหุของเคาน์เตอร์จะมีสัญญาณรูปขั้นบันไดเกิดขึ้น ซึ่งจะส่งเข้าขาหนึ่งของคอมพาราเตอร์ ส่วนขาที่เหลือของคอมพาราเตอร์จะต่อกับอนาล็อกอินพุต เมื่อไรก็ตามที่แรงดันอ้างอิงจากเคาน์เตอร์มีค่าเท่ากับค่าของอนาล็อกอินพุต จะทำให้คอมพาราเตอร์ทำงาน ซึ่งจะให้สัญญาณไปปิดเกตทำให้เคาน์เตอร์หยุดนับ ข้อมูลที่ถูกเก็บไว้ในเคาน์เตอร์ตอนนี้จะเป็นข้อมูลทางดิจิทัลที่สมมูลกับสัญญาณอนาล็อกอินพุต

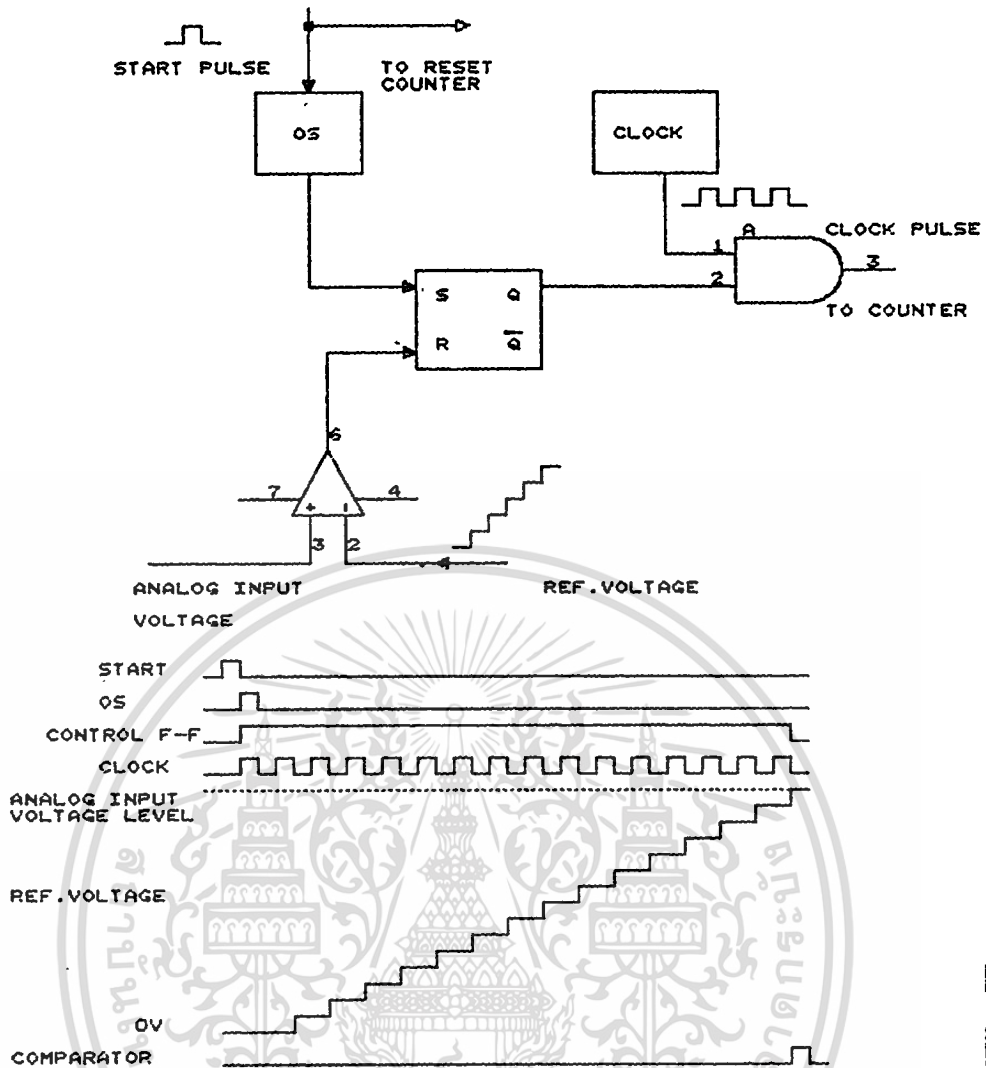


รูปที่ 3.16 COUNTER TYPE A/D CONVERTER

คอนเวอร์เตอร์แบบนี้จะประกอบด้วย DAC คอมพาราเตอร์ 1 ตัว สัญญาณนาฬิกา และวงจร gate and control ซึ่งจากรูปเราจะเห็นว่าสามารถพิจารณาเป็นแบบ close loop ได้โดยสัญญาณค่าผิดพลาดจะถูกกำเนิด (generate) ขึ้นที่เอาต์พุตของคอมพาราเตอร์ เมื่อสัญญาณอนาล็อกอินพุตมีค่าแตกต่างกับสัญญาณที่ป้อนกลับมา ค่าผิดพลาดนี้จะถูกตรวจจับโดย control circuit และสัญญาณนาฬิกาจะถูกเข้าเคอร์เนเตอร์ให้นับต่อไป ค่าที่นับต่อกันไปเรื่อยๆจะเป็นตัวลดความผิดพลาด โดยการเพิ่มค่าแรงดันที่ป้อนกลับ (feedback voltage) และเมื่อค่าผิดพลาดลดลงจนเป็นศูนย์นั้นแสดงว่าแรงดันอ้างอิงมีค่าเท่ากับอินพุตโวลต์ตรงแล้ว ซึ่งวงจรควบคุมจะทำให้วงจรเคอร์เนเตอร์หยุดนับ

ADC แบบนี้เป็นแบบที่มีความละเอียดสูง วิธีนี้จะดีกว่าแบบ simultaneous มากเมื่อคิดถึงความละเอียด แต่วิธีนี้ต้องการเวลาในการแปลงสัญญาณ (conversion time) มากกว่า โดยเคอร์เนเตอร์จะเริ่มนับจากศูนย์ถึงค่าที่สมมูลกับอินพุต เช่น ถ้านับเท่ากับ 2^n ก่อนที่การแปลงสัญญาณจะสมบูรณ์จะต้องใช้เวลาในการนับโดยเฉลี่ยเท่ากับ 2^{n-1}

เคอร์เนเตอร์จะทำการนับในแต่ละไซเคิลของสัญญาณนาฬิกา เราจึงพิจารณาสัญญาณนาฬิกาเป็น conversion rate เช่นเคอร์เนเตอร์ขนาด 10 บิต ซึ่งต้องการสัญญาณนาฬิกาจำนวน 1024 สัญญาณ สำหรับการนับเต็ม ถ้าเราใช้สัญญาณนาฬิกา 1 MHz เคอร์เนเตอร์ก็จะนับ 1 ครั้งทุกๆไมโครเซก ดังนั้นสำหรับกรนับเต็มสเกลจะต้องใช้เวลาเท่ากับ $10^{-6} \times 1024 = 1.024$ มิลลิเซก รูปที่ 3.19 แสดงถึงส่วนวงจรควบคุมสำหรับคอนเวอร์เตอร์ และ waveform ในการแปลง 1 ครั้ง การแปลงจะเริ่มโดยการรับสัญญาณสตาร์ท (start signal) เข้ามาช่วงบวก (positive edge) ของสตาร์ท pulse ใช้สำหรับรีเซ็ตฟลิปฟลอปในเคอร์เนเตอร์ และใช้สำหรับทริก (trig) one-shot เอาต์พุตของ one-shot ใช้เพื่อ control flip-flop ซึ่งจะป้อนเข้า and gate ทำให้สัญญาณนาฬิกาผ่านเข้าเคอร์เนเตอร์ได้



รูปที่ 3.17 CONTROL OF A/D CONVERTER

2.7. เทคนิคของ ADC (ADC TECHNIQUES)

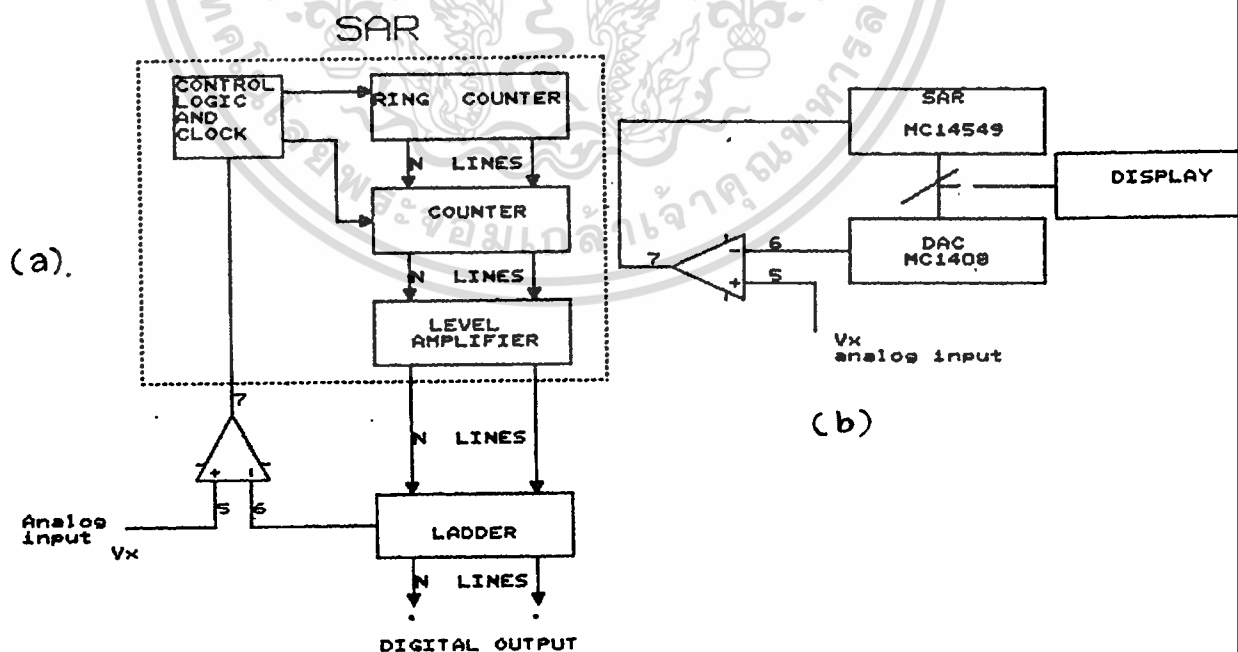
มีหลายวิธีด้วยกันสำหรับเทคนิคการแปลงสัญญาณอนาล็อกเป็นดิจิทัล ซึ่งจะกล่าวแต่เฉพาะเทคนิคที่สำคัญเท่านั้น สิ่งสำคัญประการหนึ่งสำหรับการแปลงสัญญาณก็คือ การหาทางในการลดเวลาในการแปลงสัญญาณให้น้อยที่สุด คอนเวอร์เตอร์ที่ใช้เวลาในการแปลงสัญญาณมากจะมีจำนวนบิตน้อย คอนเวอร์เตอร์แบบใช้วงจรนับเป็นตัวอย่างหนึ่งของคอนเวอร์เตอร์ที่ใช้เวลาในการแปลงสัญญาณมาก

ถ้าต้องการมัลติเพลกซ์มักจะนิยมใช้แบบ successive approximation converter สำหรับ block diagram ของแบบนี้แสดงไว้ดังรูปที่ 3.18 คอน

เวอร์เตอร์แบบนี้ทำงานโดยการแบ่งย่านของโวลต์เตจ ออกเป็นครึ่งๆอย่างต่อเนื่อง โดยตลอด ในตอนแรกเคาน์เตอร์จะถูกรีเซ็ตให้เป็นศูนย์ ต่อมาบิตสูงสุด(MSB)จะถูกเช็ค บิตสูงสุดจะถูกเลื่อนเข้าไปหรือออกมาจะขึ้นอยู่กับเอาต์พุตของคอมพาราทอร์ ต่อมาบิตสูงสุดที่ 2 จะถูกเช็ค และการเปรียบเทียบจะเกิดขึ้นเพื่อใช้ในการตัดสินใจในการจะไปรีเซ็ตบิตสูงสุดที่ 2 ขบวนการทำงานจะเป็นไปในลักษณะนี้ จนไปถึงบิตต่ำสุด และในเวลาเดียวกันนี้จำนวนที่ต้องการจะถูกเก็บไว้ในเคาน์เตอร์

จากโคดแกรมรูปที่ 3.18 จะเห็นว่าการแปลงสัญญาณแต่ละครั้งจะเกิดขึ้นในเวลาเดียวกัน และแต่บิตต้องการไซเคิลของการแปลง 1 ไซเคิล ดังนั้นเวลาในการแปลงสัญญาณทั้งหมดจึงเท่ากับจำนวนของบิต(n)คูณกับเวลาที่ใช้ในการแปลง สัญญาณ 1 ไซเคิล โดยทั่วไปเวลาในการแปลงสัญญาณ 1 ไซเคิล จะต้องใช้เวลาเท่ากับ 1 ไซเคิลของสัญญาณนาฬิกาเช่น คอนเวอร์เตอร์ขนาด 10 บิต ทำงานที่ 1 MHz สัญญาณนาฬิกาจะมีเวลาในการแปลงสัญญาณเท่ากับ $10 \times 10^{-6} = 10$ ไมโครเซก

เมื่อเวลาในการแปลงสัญญาณทั้งหมดสั้นมาก โดยปกติต้องมีการห้วงเวลาในระบบ (เพื่อให้วงจรอื่นทำงานได้ทัน) ลอจิกบล็อคทั้งหมดที่อยู่ในเส้นประดังรูปที่ 3.18 อยู่ใน chip เราเรียก chip นี้ว่า successive approximation register (SAR) เช่น MC 14549 MC 1408 DAC



รูปที่ 3.18(a) SUCCESSIVE APPROXIMATION CONVERTER

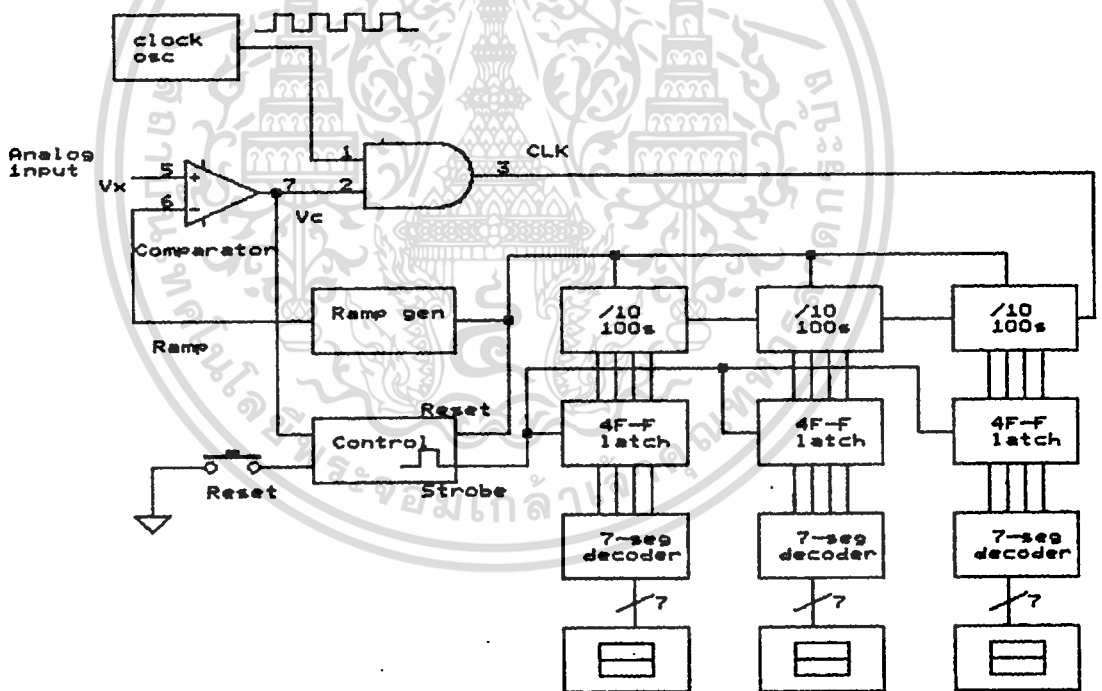
(c) SUCCESSIVE APPROXIMATION CONVERTER

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.8. DUAL-SLOVE A/D CONVERSION

จะเป็นการเปรียบเทียบแรงดันที่ไม่ทราบค่ากับแรงดันอ้างอิง ซึ่งเริ่มต้นที่ ศูนย์และเพิ่มขึ้นอย่างเป็น linear กับเวลา เวลาที่ต้องการสำหรับแรงดันอ้างอิง ให้เข้าไปสู่ค่าของแรงดันอินพุตที่ไม่ทราบค่าที่ เป็นสัดส่วนโดยตรงกับขนาดแรงดันที่ไม่ทราบค่า และคาบของเวลานี้จะถูกวัดด้วยดิจิตอลเคอร์เตอร์ ซึ่งก็หมายถึงวิธีแบบ "single ramp" โดยแรงดันอ้างอิง จะมีความชันเหมือน ramp วิธีนี้จะใช้ออปแอมป์ทำเป็นวงจร integrator สมการพิจารณาแบบ dual-ramp วิธีการแบบ dual-ramp นี้เป็นวิธีแบบธรรมดาและใช้กันมากในดิจิตอลโวลท์มิเตอร์ มีความเที่ยงตรงดีมี linearity ดี

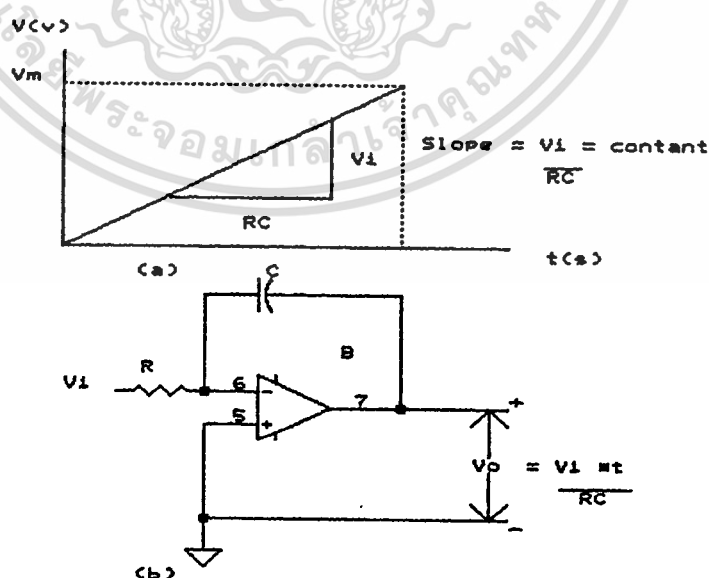


รูปที่ 3.19 ADC แบบ SINGLE-RAMP

ที่นี้เรามาดู ADC แบบ single-ramp ในรูปที่ 3.19 หัวใจของคอนเวอร์เตอร์แบบนี้คือ ramp-generator ซึ่งเป็นตัวให้อาท์พุทเป็น โวลต์เตจแรม ดังรูปที่ 3.20 (a) เอาท์พุทโวลต์เตจจะเริ่มจากศูนย์และเพิ่มขึ้นอย่าง linear จนถึงแรงดันสูงสุด (V_m) เส้นกราฟจะเป็นเส้นตรงดังนั้นจะมีความชันคงที่ ถ้า $V_m = 1 \text{ Vdc}$ และใช้เวลาเท่ากับ 1 มิลลิเซก สำหรับการเพิ่มขึ้นอย่างแรมจาก 0 - 1 โวลต์ จะได้ความชันเท่ากับ 1V/mSEC หรือ 1000V/SEC

ramp generator สามารถสร้างขึ้นได้ด้วยวิธีการหลายอย่างด้วยกันวิธีแรกโดยใช้ DAC ซึ่งถูกขับโดยไบนารีเคาน์เตอร์อย่างง่าย วิธีนี้จะได้สัญญาณเป็นขั้นบันได วิธีที่สองโดยใช้โอปแอมป์ต่อเป็นวงจร integrator ดังรูปที่ 3.20(b) สำหรับวงจรนี้ถ้า V_1 คงที่จะได้อาท์พุทโวลต์เตจตามความสัมพันธ์ดังนี้คือ $V_o = (V_1/RC) \cdot t$ โดย V_1, R และ C คงที่สมการนี้เป็นสมการเส้นตรงซึ่งมีความชันเป็น (V_1/RC) ตอนนี้เรามีทางผลิตโวลต์เตจแรมป์ ได้แล้วต่อไปกลับไปดูรูปที่ 3.19

เราสมมุติว่าสัญญาณนาฬิกาวิ่งอย่างต่อเนื่องและอินพุทโวลต์เตจ V_x มีค่าเป็นบวก decade counter ทั้งสามตัวต่อ cascade กันอยู่และเอาท์พุทของมันแต่ละตัวต่อกับ flip-flop latch circuit แลคทั้งสามตัวจะถูกถอดรหัสโดย 7-segment decoder เพื่อขับ led ของส่วนแสดงผล เราสามารถเริ่มต้นการแปลงสัญญาณได้โดยกด manual reset switch



รูปที่ 3.20 AN INTEGRATING CIRCUIT

จากรูป 3.19 manual reset จะผลิต reset pulse ซึ่งจะไปเคลียร์ให้ decade counter เป็นศูนย์และรีเซ็ต ram voltage ให้เป็นศูนย์ เมื่อ V_x เป็นบวกและแรมเริ่มต้นที่ศูนย์ เอาท์พุทของออปแอมป์จะเป็น high ระดับโวลต์เตจที่เป็น high นี้จะไป enable clock gate ให้สัญญาณนาฬิกาผ่าน clock gate ไปยังเคาน์เตอร์ได้ เคาน์เตอร์ก็จะเริ่มนับไปเรื่อยๆและสัญญาณแรมจะเพิ่มขึ้นเรื่อยๆจนกระทั่งแรมโวลต์เตจเท่ากับ V_x ที่จัดนี้ (t1) เอาท์พุทของคอมพาราเตอร์ (V_c)จะเป็น low ซึ่งจะไป disable clock gate ทำให้เคาน์เตอร์หยุดนับในขณะที่ V_c เป็น low นั้น จะมีสัญญาณ strobe ออกจาก control box ซึ่งจะไปเลื่อนค่าข้อมูลของเคาน์เตอร์ออกมาที่ 4-FF latch หลังจากนั้นอีกเล็กน้อย reset pulse ถูกทำให้เกิดขึ้นโดย control box ซึ่งจะไปรีเซ็ตแรมและ clear decade counter ให้เป็นศูนย์ และจะเริ่มใช้เคลของการแปลงสัญญาณใหม่

จากตัวอย่างนี้สมมติว่าสัญญาณนาฬิกาในรูปที่ 3.19 มีค่าเท่ากับ 1 MHz และความชันของแรมโวลต์เตจเท่ากับ 1 V/mSEC decade counter จะสามารถแสดงผลอยู่ระหว่าง 000-999 จากจุดเริ่มต้นของใช้เคลของการแปลงสัญญาณมันต้องการ clock pulse จำนวน 999 ลูก สำหรับเคาน์เตอร์จะนับจนถึงค่าเต็มสเกล ระหว่างคาบเวลาที่กล่าวนี้ แรมโวลต์เตจ จะเพิ่มขึ้นจาก 0-999 mV ดังนั้นวงจรนี้จะสามารถแสดงผล ค่าของอินพุทระหว่าง 0-999 mV

จากที่กล่าวมาสมมติเรามีดิจิตอลโวลต์มิเตอร์อยู่ตัวหนึ่ง สมมติว่า $V_x = 345$ mV ต้องการ clock pulse จำนวน 345 ลูก สำหรับให้เคาน์เตอร์นับจาก 000-345 และระหว่างคาบเวลานี้แรมโวลต์เตจจะเพิ่มจาก 0-345 mV ดังนั้นเมื่อสิ้นสุดใช้เคลของการแปลงสัญญาณการแสดงผลที่เอาท์พุทจะเป็น 345 mV

จุดอ่อนประการหนึ่งของ single-slope ADC คือความเที่ยงตรงจะขึ้นอยู่กับแรมโวลต์เตจ ซึ่งก็คือขึ้นอยู่กับการ R และ C และอุณหภูมิด้วย เพื่อแก้ปัญหาจึงนิยมใช้แบบ dual-slope แทน

ลอจิกไดอะแกรมสำหรับพื้นฐานของ dual-slope ADC แสดงดังรูปที่ 3.21 นอกจากแรมเจนเนอเรเตอร์และคอมพาราเตอร์แล้ววงจรส่วนอื่นก็คล้ายกับแบบ single-slope ในกรณีนี้วงจรอินติเกรทเตอร์จะเป็นวงจรสร้างสัญญาณแรมซึ่งจะมีอินพุทอยู่ 2 อินพุท ในตอนแรกอินพุท V_x จะถูกต่อเข้าอินติเกรทเตอร์

ก่อน หลังจากนั้นแรงดันอ้างอิงที่ทราบค่า V_r จึงจะถูกต่อเข้ามาบ้าง

สมมติว่าครึ่งแรกสัญญาณนาฬิกากำลังวิ่งอยู่ และอินพุตโวลต์เตจ V_x เป็นบวก ไซเคิลของการแปลงสัญญาณจะเริ่มโดย decade counter ถูกทำให้เป็นศูนย์ ส่วนแรมดุกิริเซ็ทให้เป็น 0 โวลต์เช่นกัน และอินพุตจะถูกต่อไปที่ V_x เมื่อ V_x เป็นบวก เพราะฉะนั้น V_o จะเป็นสัญญาณแรมที่เป็นลบ เอาท์พุทของคอมพาราเตอร์ V_o จะเป็นบวกและสัญญาณนาฬิกาจะผ่าน clock gate เข้าเคาน์เตอร์ สัญญาณแรมจะหยุดเปลี่ยนแปลงที่เวลา t_1 ซึ่งถูกกำหนดโดย count detector ค่าของ V_o ที่จุดสิ้นสุดของ t_1 จะขึ้นอยู่กับอินพุต V_x แล้วจะได้

$$V_o = -(V_x/R_o)*t_1$$

เมื่อเคาน์เตอร์นับไปถึงจุดสิ้นสุดของ t_1 control unit จะให้พัลส์ออกมาทำการ clear decade counter และจะไปต่อให้อินพุตที่เป็นลบ V_r เข้าวงจรอินทิเกรทเตอร์ อินทิเกรทเตอร์จะเริ่มผลิตสัญญาณแรมโดยเริ่มที่ $-V_o$ และเพิ่มขึ้นจนถึง 0 โวลต์ โดย clock gate ตอนนี้จะถูก disable สมการของแรมตอนนี้คือ

$$V_o = (V_r/R_o)*t_2$$

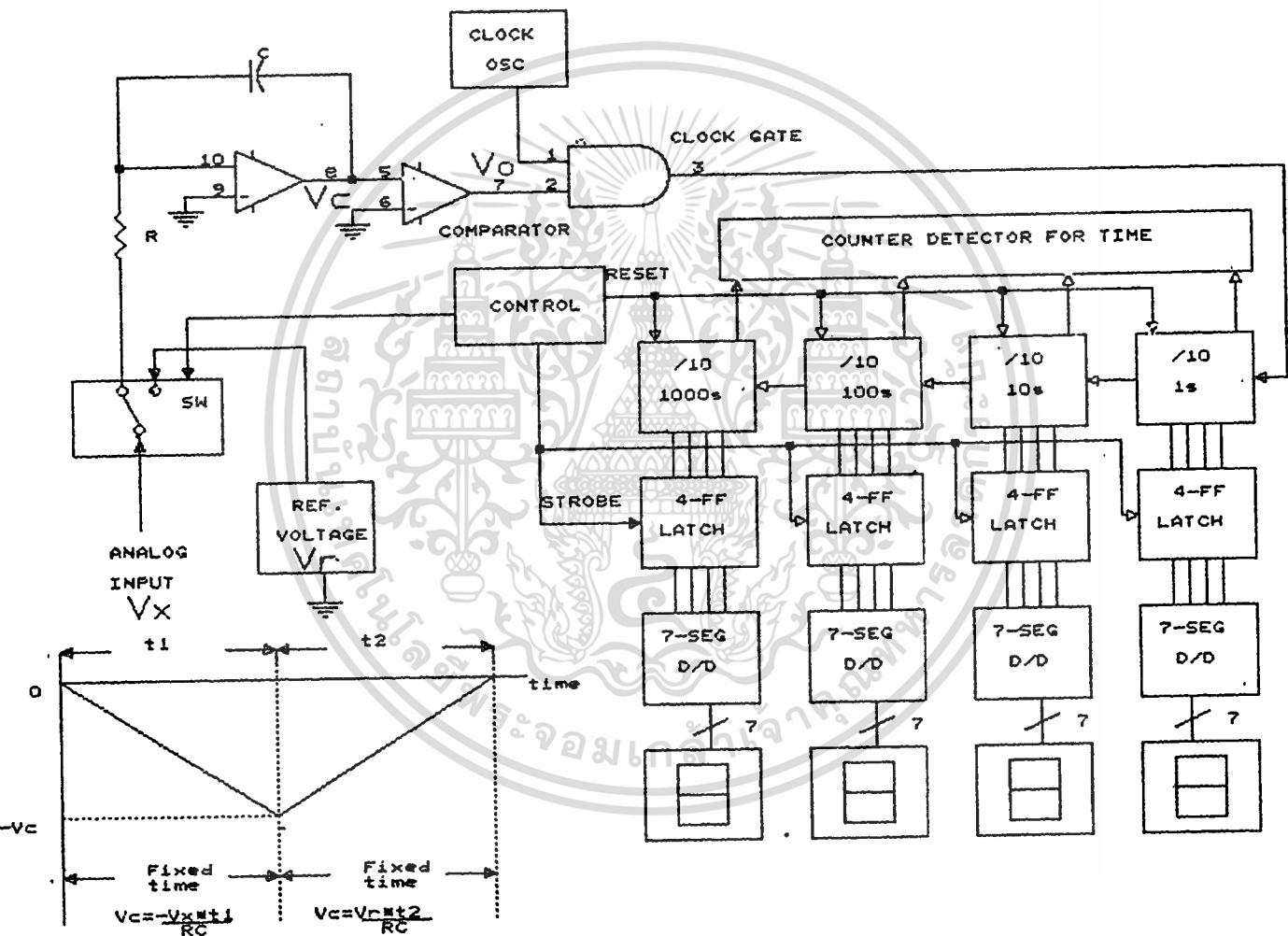
ในกรณีนี้ความชันของแรมจะมีค่าคงที่ แต่ t_2 จะเปลี่ยนแปลงเราจะเห็นว่าเอาท์พุทของอินทิเกรทเตอร์จะเริ่มที่ 0 โวลต์ ลงมาเป็น $-V_o$ และต่อมาเพิ่มเป็น 0 โวลต์ ซึ่งสามารถเขียนเป็นสมการของ V_o ได้คือ

$$(V_x/R_o)*t_1 = -(V_r/R_o)*t_2$$

$$V_x = V_r*(t_2/t_1)$$

เมื่อ V_r เป็นแรงดันอ้างอิงที่ทราบค่า t_1 เป็นเวลาที่ถูกระบุไว้แล้ว เมื่อเป็นเช่นนี้อินพุตโวลต์เตจ V_x จะเป็นสัดส่วนโดยตรงกับ t_2 อย่างไรก็ตาม

t2 นี้เป็นค่า content ของ decade counter ที่จุดสิ้นสุดของไชนีเคิลของการแปลงสัญญาณ ข้อดีที่จุดนี้ก็คือเทอม RC สามารถละทิ้งไปได้ หรือกล่าวอีกอย่างหนึ่งคือ เทคนิคแบบนี้เป็นอิสระจากของ RC และเป็นอิสระจากการเปลี่ยนแปลงค่าของ RC โดยอนุกรม



รูปที่ 3.21 DUAL SLOPE A/D CONVERTER

ระบบไมโครโปรเซสเซอร์

(MICROPROCESSOR SYSTEM)

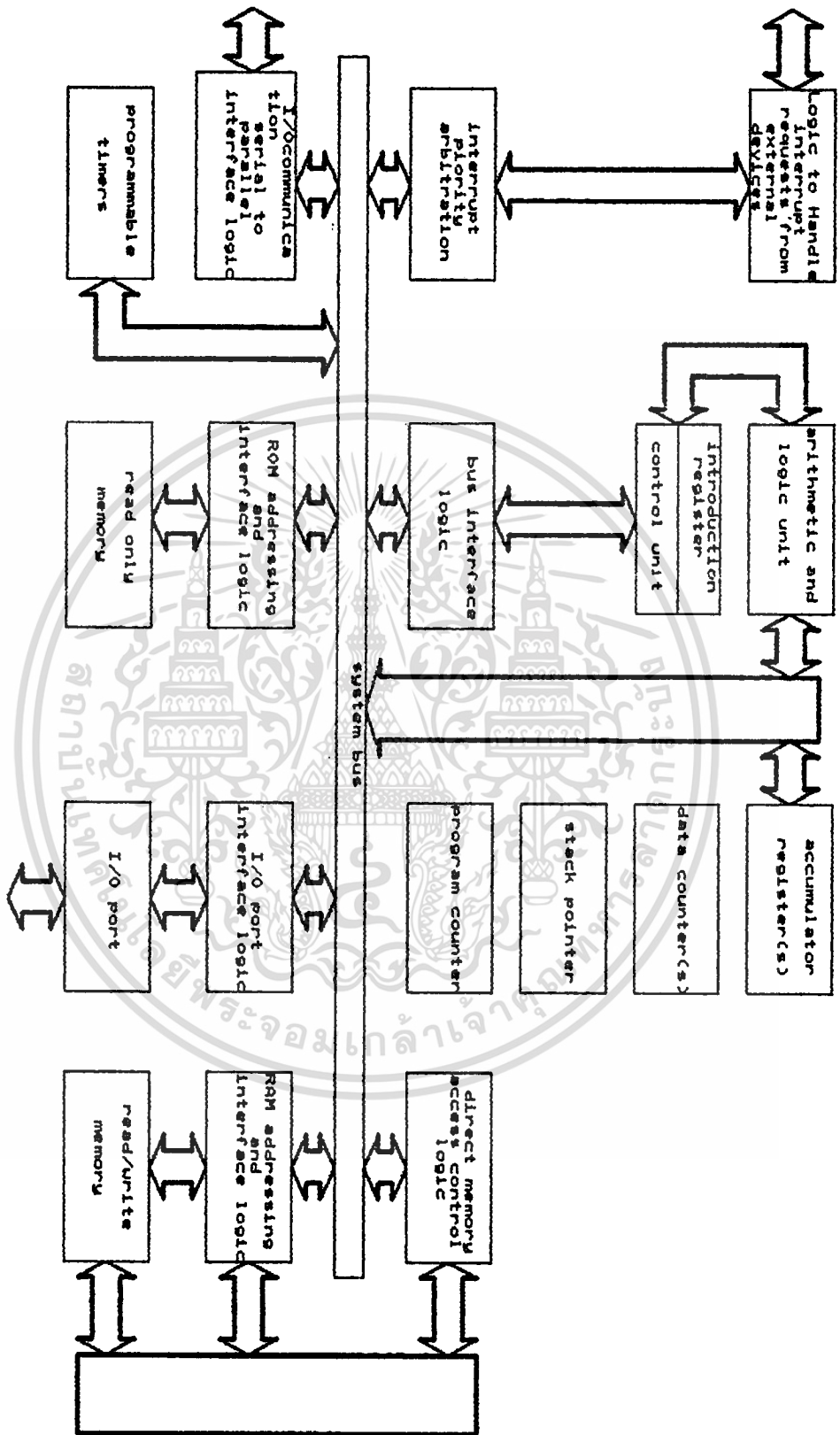
ในจำพวกระบบไมโครโปรเซสเซอร์มีอุปกรณ์ที่เป็น CPU มากมายซึ่งสามารถนำไปใช้ในการควบคุมระบบต่าง ๆ แล้วแต่ประโยชน์ในการเลือกใช้งานแต่ละประเภท โครงการเป็นโครงการที่เลือกใช้ CPU เบอร์ Z-80 ซึ่งเป็นที่นิยมมากพอสมควร ในปัจจุบันอีกทั้งราคาไม่แพงมากนัก

CPU # Z-80

ไมโครโปรเซสเซอร์เบอร์ Z-80 เป็น CPU ขนาด 8 บิต ที่ได้พัฒนามาจาก CPU เบอร์ 8080 ของบริษัทอินเทลโดยได้ทำการแก้ไขข้อบกพร่องบางอย่างของ CPU เบอร์ 8080 มีระบบฮาร์ดแวร์ที่มีความสามารถ นอกจากนั้น CPU นี้ ยังสามารถใช้ซอฟต์แวร์ของระบบที่ให้กับ CPU 8080 ได้อีกด้วย

เหตุผลในการศึกษา CPU โดยใช้ CPU Z-80 นี้ เนื่องจากโครงสร้างของ ซีพียู Z-80 เป็นโครงสร้างที่มีความเข้าใจง่าย ทั้งทางด้านฮาร์ดแวร์และการนำไปเชื่อมต่อกับอุปกรณ์ภายนอก รวมทั้งชุดคำสั่งต่าง ๆ ของระบบซอฟต์แวร์ยังเข้าใจง่ายอีกทั้งมีขีดความสามารถในการทำงานสูงพอสมควร

โครงสร้าง CPU Z-80



รูปที่ 3.22 โครงสร้างของ CPU Z-80

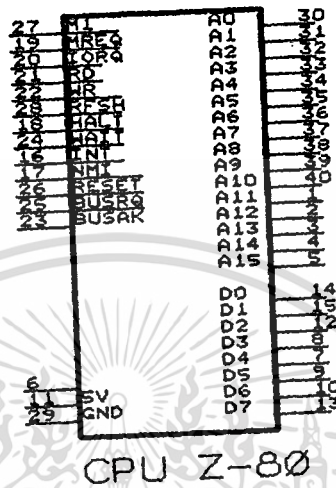
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

จากรูป 3.1 จะเห็นว่า CPU มี address bus, data bus, control bus ซึ่ง bus เหล่านี้ใช้สำหรับการเชื่อมต่อ CPU กับอุปกรณ์ภายนอก และภายใน CPU จะประกอบด้วยวงจรพื้นฐานต่าง ๆ คือ ALU, accumulator, รีจิสเตอร์ตำแหน่ง และแฟลก นอกจากนี้ ยังมีรีจิสเตอร์ใช้งานต่าง ๆ อีก คือ B, C, D, E, H, L, B', C', D', E', H' และ L' ส่วนรีจิสเตอร์ตำแหน่ง ก็คือ PC, SP, IX, IY ซึ่งรีจิสเตอร์ต่าง ๆ เหล่านี้ จะได้กล่าวในรายละเอียดต่อไป ส่วนทางด้านซ้ายคือ ส่วนของหน่วยควบคุม ซึ่งส่วนนี้มีหน้าที่ถอดรหัสคำสั่ง แล้วส่งสัญญาณไปควบคุมตามส่วนต่าง ๆ ทั้งภายใน CPU และภายนอก CPU รวมทั้งรับสัญญาณควบคุมจากภายนอกเข้ามาด้วย สัญญาณควบคุมของ CPU ภายนอกมี 13 สัญญาณ ซึ่งแบ่งได้ 2 อย่าง คือ สัญญาณควบคุม CPU และสัญญาณควบคุมระบบ (CPU AND system control) ซึ่งสัญญาณต่าง ๆ จะทำให้มีผลต่อ CPU และมีผลต่อไมโครคอมพิวเตอร์ด้วย บัสข้อมูลเป็นบัสที่มีขนาด 8 บิต ที่ใช้เป็นทางเดินของข้อมูลระหว่าง CPU กับหน่วยความจำ หรืออุปกรณ์อินพุต/เอาต์พุตต่าง ๆ บัสตำแหน่งเป็นบัสที่มีขนาด 16 บิต เพื่อใช้ในการอ้างถึงตำแหน่งของหน่วยความจำ ดังนั้น จะทำให้สามารถเข้าถึงหน่วยความจำภายนอกได้ถึง 2^{16} ตำแหน่ง block เครื่องหมาย +/- ที่อยู่ทางด้านล่างซ้ายของรีจิสเตอร์ตำแหน่งหรือคู่ของรีจิสเตอร์ต่างๆ Z-80 มีลักษณะที่น่าสนใจพอสรุปได้คือ

1. Z-80 มีลักษณะทางซอฟต์แวร์ที่สามารถนำไปใช้แทน CPU เบอร์ 8080
2. Z-80 มีลักษณะพิเศษทางฮาร์ดแวร์หลายประการ เช่น มีโครงสร้างที่มีความสามารถรวมอยู่ในชิปเดียว ใช้อัตราของสัญญาณนาฬิกาสูงถึง 4 MHZ. ในปัจจุบันสามารถเพิ่มอัตราเร็วของสัญญาณนาฬิกาได้สูงถึง 8 MHZ. ใช้แหล่งจ่ายไฟเลี้ยงเพียงชุดเดียวคือ 5 โวลต์ และต้องการสัญญาณนาฬิกาเพียงเฟสเดียว
3. อุปกรณ์ที่เป็นชิปประกอบหาได้ง่าย เช่น ชิปที่ใช้ต่อกับ peripheral ต่าง ๆ ซึ่งใช้ในการอินเตอร์เฟสข้อมูลทั้งแบบขนานและแบบอนุกรม
4. ปัจจุบันมีผู้ผลิตชิป Z-80 ด้วยเทคโนโลยีอื่น ๆ เช่น CMOS ทำให้สิ้นเปลืองกำลังงานน้อยมาก

ขาและลักษณะสำหรับการเชื่อมต่อ

Z-80 เป็นแบบ dual in-line package (DIP) หรือที่เรียกว่าแบบตีนตะขาบ 40 ขา ดังรูป



รูปที่ 3.23 แสดงขา Z-80

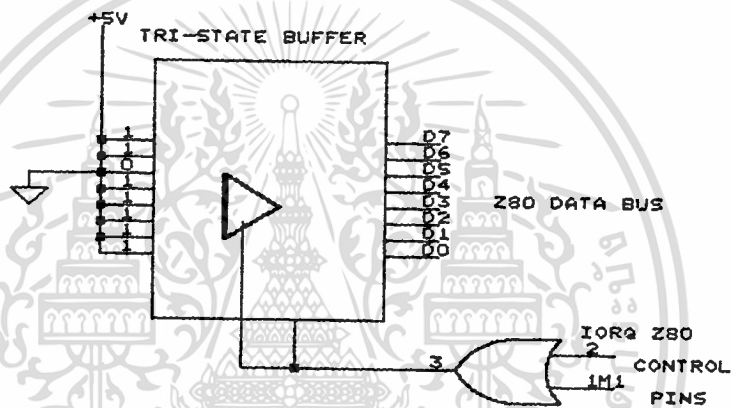
อธิบายรายละเอียดต่อไปนี้

$A_{15} - A_0$ เป็นสายสัญญาณกำหนดตำแหน่ง (Address Bus) โดยที่ A_0 เป็นบิตทางด้านต่ำ (LSB) ขาเหล่านี้เป็นเอาต์พุตแบบ 3 สถานะ (Tri-State) และจะให้แอกทีฟที่ลอจิก "1" บัสนี้ มีด้วยกันทั้งหมด 16 สาย ดังนั้น จึงสามารถติดต่อกับหน่วยความจำได้ถึง $2^{16} = 65536$ ตำแหน่ง (64 kbyte) นอกจากนี้ ยังสามารถใช้ในการกำหนดตำแหน่งของพอร์ทอินพุต/เอาต์พุต เมื่อใช้กลุ่มคำสั่งอินพุต/เอาต์พุต ได้โดยใช้ 8 บิต ด้านต่ำ (A_7-A_0) เพื่อแสดงตำแหน่งของพอร์ท ดังนั้นจึงสามารถกำหนดพอร์ทอินพุตได้ 256 พอร์ท หรือกำหนดพอร์ทเอาต์พุตได้ถึง 256 พอร์ท เช่นกัน และในช่วงเวลารีเฟรช (REFH) บัสด้านต่ำ 7 บิต (A_6-A_0) จะใช้แสดงตำแหน่งของหน่วยความจำแบบไดนามิกที่จะได้รับการรีเฟรช

D_7-D_0 เป็นสายสัญญาณข้อมูล (Data Bus) D_0 เป็นบิตทางด้านต่ำ ลักษณะ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษานี้เท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เป็นบัสนแบบ 2 ทางแบบ 3 สถานะ ขนาด 8 บิต และแอดทิฟที่ลอจิก "1" ใช้เป็นเส้นทางเพื่อผ่านของข้อมูลระหว่าง CPU กับหน่วยความจำ หรืออุปกรณ์อินพุต/เอาต์พุตต่างๆ M1 (Machine Cycle One) เป็นเอาต์พุตและแอดทิฟที่ลอจิก "0" เมื่อนี้แอดทิฟ ทำให้เห็นว่าขณะนี้กำลังอยู่ในสถานะของการเฟรชคำสั่ง และถ้าเป็นคำสั่งที่มีรหัส 2 ไบต์ ส่วนของ M1 จะถูกสร้างขึ้นขณะเฟรชแต่ละไบต์ ลักษณะของคำสั่งที่มีขนาด 2 ไบต์ เช่น คำสั่งที่มีรหัสที่เริ่มต้นด้วย CBH, DDH, EDH, หรือ FDH นอกจากนั้นสัญญาณ M1 นี้จะใช้ร่วมกับ IORQ เพื่อสร้างสัญญาณตอบรับการอินเตอร์รัพ (Interrupt Acknowledge) โดยใช่วงจรลอจิกง่ายดังรูปที่ 4.3



4.3 วงจรง่ายๆสำหรับส่งข้อมูล SRT ให้กับ Z-80

MREQ (Memory Request) เป็นเอาต์พุตแบบสามสถานะและแอดทิฟที่ลอจิก "0" เมื่อสายสัญญาณนี้แอดทิฟ บอกให้ทราบว่า ขณะนี้ CPU ต้องการติดต่อกับหน่วยความจำเพื่ออ่านหรือเขียนข้อมูล โดยที่ตำแหน่งของหน่วยความจำ จะปรากฏอยู่บนบัสตำแหน่งแล้ว

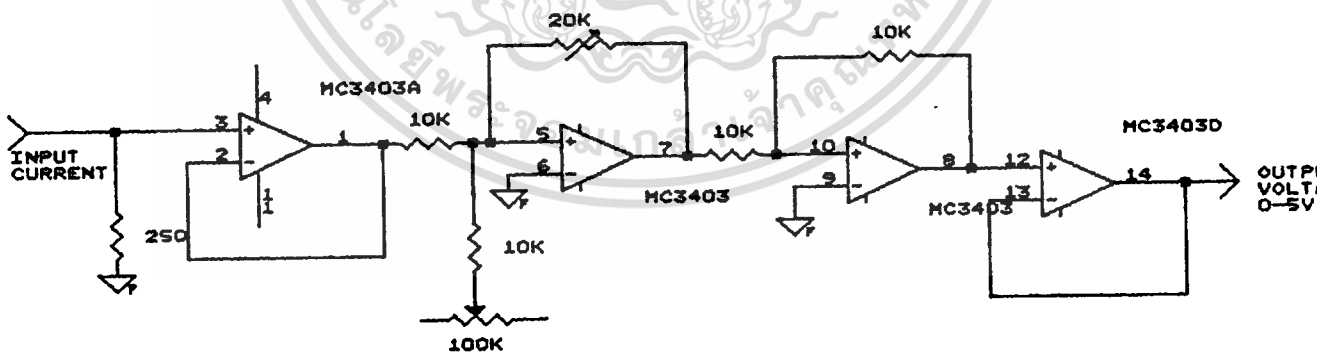
IORQ (Input/Output Request) เป็นเอาต์พุตแบบ 3 สถานะ และแอดทิฟที่ลอจิก "0" สายสัญญาณนี้แอดทิฟบอกให้ทราบว่าขณะนี้ทางด้านไบต์ต่ำ (A7-A0) ของบัสตำแหน่งบรรจุตำแหน่งของพอร์ทที่จะส่งถ่ายข้อมูลระหว่าง CPU กับอุปกรณ์อินพุต/เอาต์พุต นอกจากนั้นจะใช้ร่วมกับสัญญาณ M1 เพื่อตอบรับการอินเตอร์รัพต์ดังรูป

จากรูปที่ 4.6 จะเห็นว่าค่าเอาต์พุตโวลต์เตจนั้นมีค่าเท่ากับ -1 ถึง -5 V แต่ค่าที่เราต้องการคือ 0-5V ดังนั้นเราจึงต้องหาค่าอัตราขยายและค่าออฟเซ็ท ซึ่งค่าที่ได้จะมาจากการคำนวณเช่นเดียวกับการหาค่าในวงจรอินพุตโวลต์เตจที่ได้กล่าวมาแล้ว เราจะได้วงจรดังรูปที่ 4.7

การทำงานของวงจร จะเห็นว่าออปแอมป์ตัวที่ 1 นั้นทำหน้าที่เปลี่ยนค่ากระแสไฟฟ้าจาก 4-20 mA เป็นค่าแรงดันไฟฟ้า 1-5 V โดยการอาศัยแรงดันตกคร่อมตัวต้านทาน 250 Ohm เอาต์พุตของออปแอมป์ตัวแรก จะป้อนเข้าอินพุตของออปแอมป์ตัวที่ 2 หน้าที่ของออปแอมป์ตัวที่ 2 คือเปลี่ยนแรงดันไฟฟ้าจาก 1-5V เป็นแรงดันไฟฟ้า 0-5V โดยอาศัยสมการ

$$\begin{aligned} -V_o &= 1.25 * V_i \\ &= -1.25 \text{ Volts} \end{aligned}$$

นอกจากนี้แล้วออปแอมป์ตัวที่ 2 เปลี่ยนระดับแรงดันไฟฟ้าจากลบให้เป็นบวกอีกด้วย ส่วนออปแอมป์ตัวที่ 3 ต่อเป็นบัฟเฟอร์ ซึ่งมีผลต่ออินพุตอิมพีแดนซ์ซึ่งป้องกันการดึงกระแสในวงจรโดยรวมอยู่ด้วย



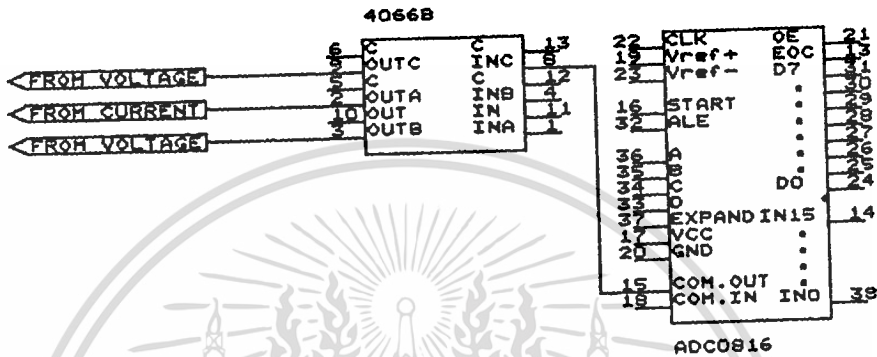
รูปที่ 4.7 วงจรเปลี่ยนค่ากระแสไฟฟ้า 4-20mA เป็นค่าแรงดันไฟฟ้า 0-5V

วงจรเลือกสัญญาณอินพุต

ใช้ไอซี ทิมอส 4066B ซึ่งมีคุณสมบัติเป็นมัลติเพลกซ์ (multiplexer. เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
-51-
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

switch) เป็นตัวเลือกอินพุต ค่าใดค่าหนึ่งเข้าสู่วงจรเปลี่ยนแรงดันสัญญาณอนาล็อกเป็นดิจิทัล

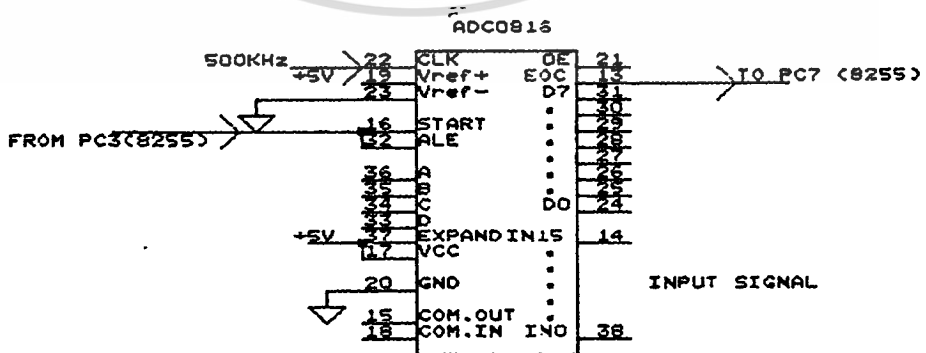
การเลือกสัญญาณอินพุต ซึ่งแปลค่ามาเป็นสัญญาณไฟฟ้า 0-5 VDC นั้น เราใช้การควบคุมโดยทางโปรแกรมให้กับชิพยูโดยผ่านทางพอร์ท C ของไอซี 8255 เป็นสัญญาณควบคุมโดยการควบคุม และมีสัญญาณเข้าที่ ไอซี 4065B



รูปที่ 4.8 แสดงวงจรการต่ออนาล็อกสวิตช์

การแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิทัล

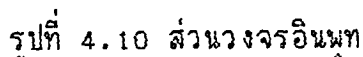
การแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิทัลนั้น เราอาศัยไอซี ADC 0816 ซึ่งเป็นไอซีขนาด 8 บิต 16 อินพุต โดยอาศัยสัญญาณนาฬิกา เพื่อใช้ในการอ่าน(read) และเขียนค่า(write) ซึ่งสามารถติดต่อกับ ชิพยู



รูปที่ 4.9 แสดงการต่อวงจร ไอซี ADC 0816

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

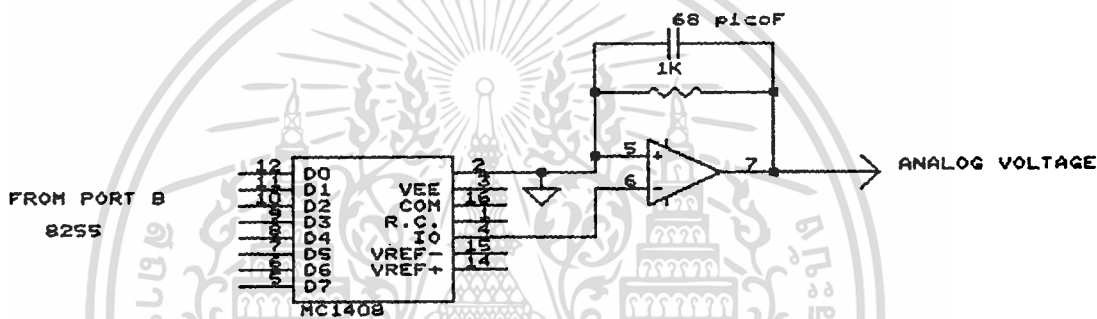
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



-53-

ส่วนของเอาต์พุต

ส่วนของเอาต์พุตเป็นส่วนที่ออกจาก ไอซี DAC 1408 ซึ่งเป็นไอซีทำหน้าที่แปลงสัญญาณดิจิทัลเป็นสัญญาณอนาล็อก(digital to analog converter)จะรับข้อมูลดิจิทัลขนาด 8 บิต ให้เป็นสัญญาณอนาล็อก สัญญาณอนาล็อกที่ได้จาก DAC 1408 จะเป็นกระแสเอาต์พุตไหลออกที่ขา 4 ของ DAC 1408 กระแสนี้จะมีค่าอยู่ระหว่าง 0-5 mA ให้เป็นโวลต์เตจ 0-5 V เพื่อสะดวกต่อการออกแบบวงจรที่เป็นโวลต์เตจ 1-5 V กระแส 4-20 mA



รูปที่ 4.11 แสดงวงจรการแปลงสัญญาณอนาล็อก 0-5 V

จากรูปที่ 4.10 เราต้องการเอาต์พุตที่ได้จากขา 7 ของออปแอมป์เท่ากับ 0-5 V จากที่กล่าวมาข้างต้นเราทราบแล้วว่า กระแส I_o มีค่าเท่ากับ 0-5 mA ดังนั้นเราสามารถหาค่า R ได้โดยใช้กฎของโอห์มคือ $R = 5V/5mA$ จะได้ค่าความต้านทานเท่ากับ 1 KOhm ค่าความต้านทานนั้นจะต้องมีความผิดพลาดน้อย เพื่อป้องกันไม่ให้อาต์พุตที่ขา 7 มีค่าผิดพลาดมากเกินไป

ส่วนของเอาต์พุตโวลต์เตจ

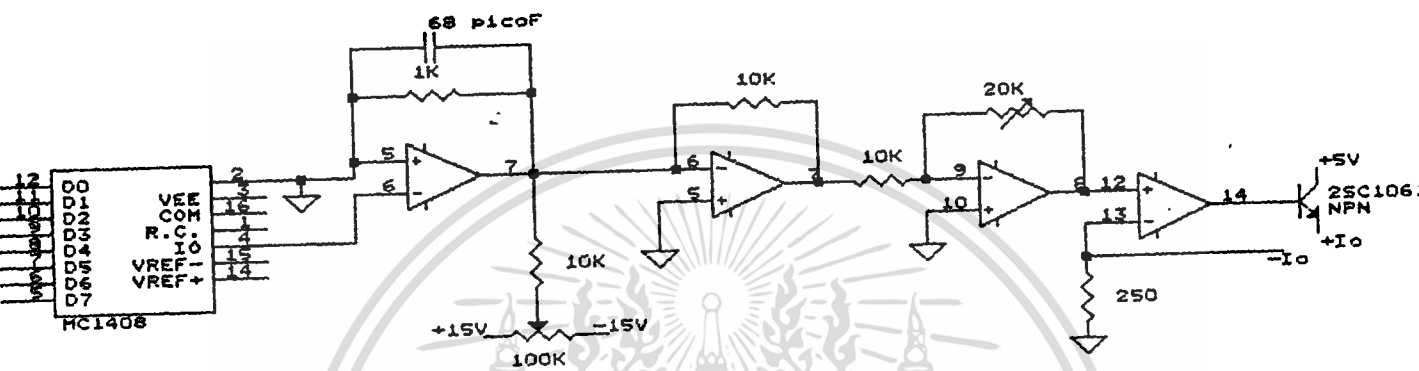
โวลต์เตจขนาด 0-5 V ที่ได้จากขา 7 ของออปแอมป์ LM 358 N จะป้อนเข้าวงจรกลับสัญญาณของไอซี MC 3403 ซึ่งมีความต้านทาน 100 K เป็นตัวปรับค่า เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษานี้เท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ศูนย์ (zero) ต่ออยู่กับวงจรเพื่อให้มีอัตราขยายเท่ากับ 1 เพราะว่าเราต้องการเอาต์พุตโวลต์ที่เฉพาะเป็นสัญญาณมาตรฐาน 1-5 V เพราะฉะนั้นเมื่อโวลต์ที่เข้า 7 ของ LM 358 N มีค่าเท่ากับ 0 โวลต์ เราต้องทำให้เอาต์พุตที่ขา 8 ของ MC 3403 มีค่าเท่ากับ -1 V (เพราะว่าต่อแบบกลับสัญญาณ) ซึ่งเราเปลี่ยนเข้าวงจรจากวงจรแรงดันเป็นวงจรกระแส โดยใช้ MC 3404 และทรานซิสเตอร์เบอร์ 2BC 1061 ต่อตามวงจรรูปที่ 4.14 จากวงจรเราจะเห็นว่าเอาต์พุตที่ได้จากขา 1 ของ MC 3403 จะมีค่าเท่ากับ 1-5 V ซึ่งจะป้อนเข้าขาเบส (base) ของทรานซิสเตอร์ ถ้าพิจารณาดูจะเห็นว่า เมื่อขาเบสได้รับแรงดัน 1 V กระแสจะไหลผ่านทรานซิสเตอร์ได้น้อย และถ้าขาเบสได้รับแรงดัน 5 V กระแสจะไหลผ่านทรานซิสเตอร์ได้มากขึ้น โดยที่กระแสที่ไหลผ่านทรานซิสเตอร์นี้ จะไหลออกที่ขาอิมิตเตอร์ (emitter) +I_o และไหลกลับเข้าทางขา -I_o และจะไหลผ่าน R = 250 Ohm ลงกราวด์ เนื่องจากว่าเราต้องการกระแสเอาต์พุตเป็นมาตรฐานคือ 4-20 mA ดังนั้นเราจึงหาค่า R = 250 Ohm ซึ่งได้จากการคำนวณคือ

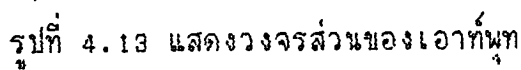
หรือ

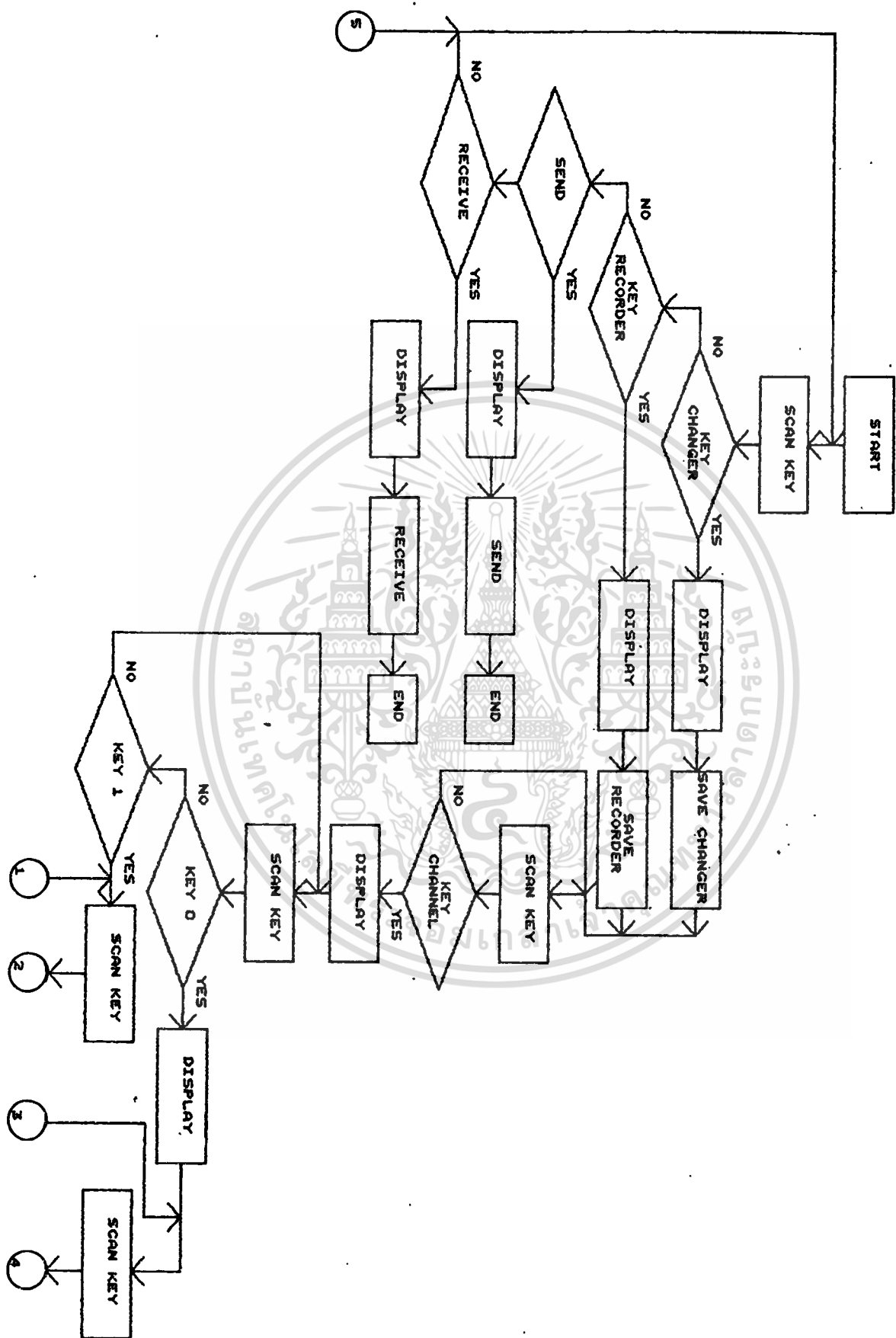
$$\begin{aligned} R &= V/I \\ &= 1V/4mA \\ &= 250 \text{ Ohm} \\ \text{หรือ} \\ R &= 5V/20mA \\ &= 250 \text{ Ohm} \end{aligned}$$

ในการใช้งานเราจะใช้ค่าความต้านทานที่มีความผิดพลาดน้อยคือใช้ค่า 250 +-1%



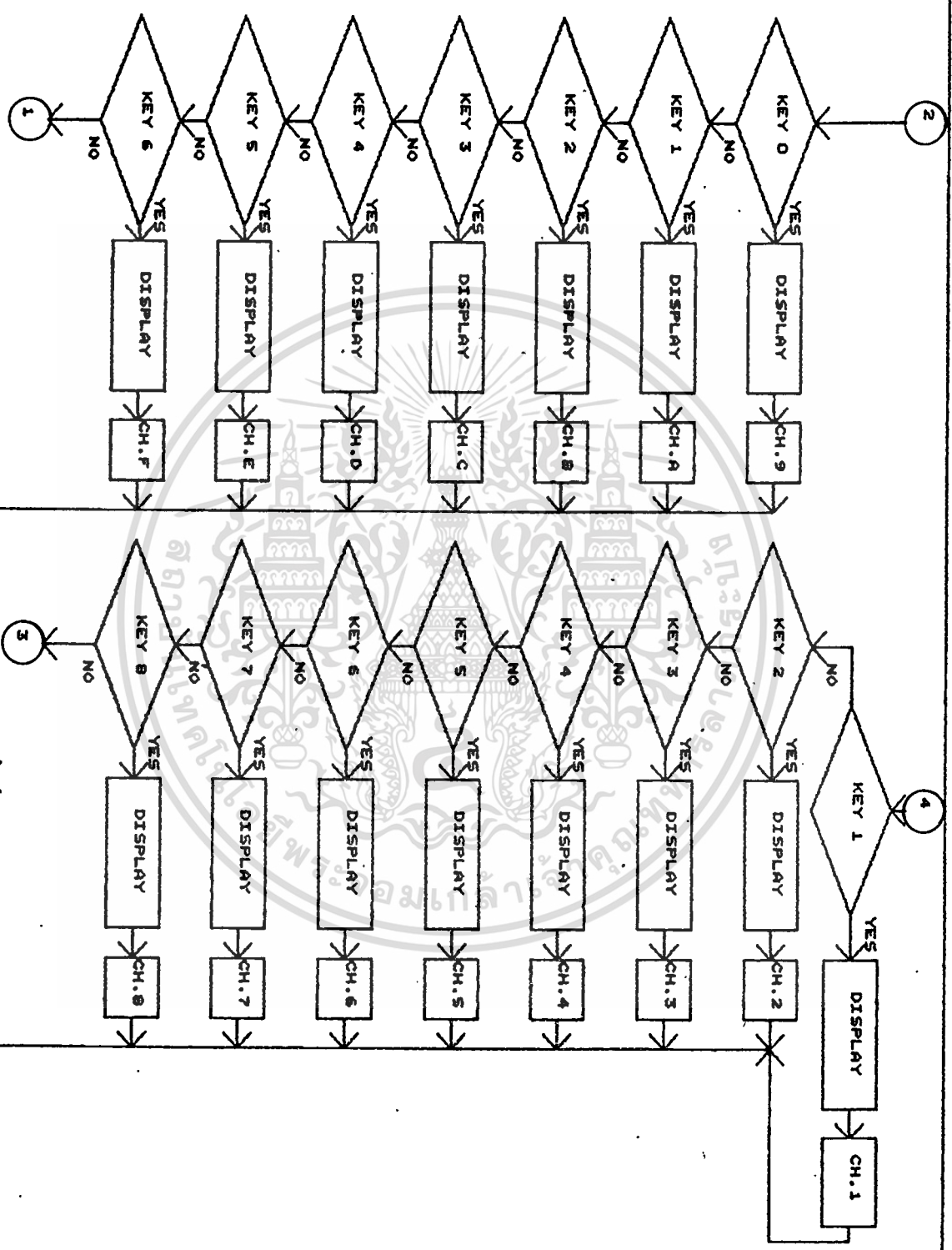
รูปที่ 4.12 แสดงวงจรกระแสเอาต์พุต

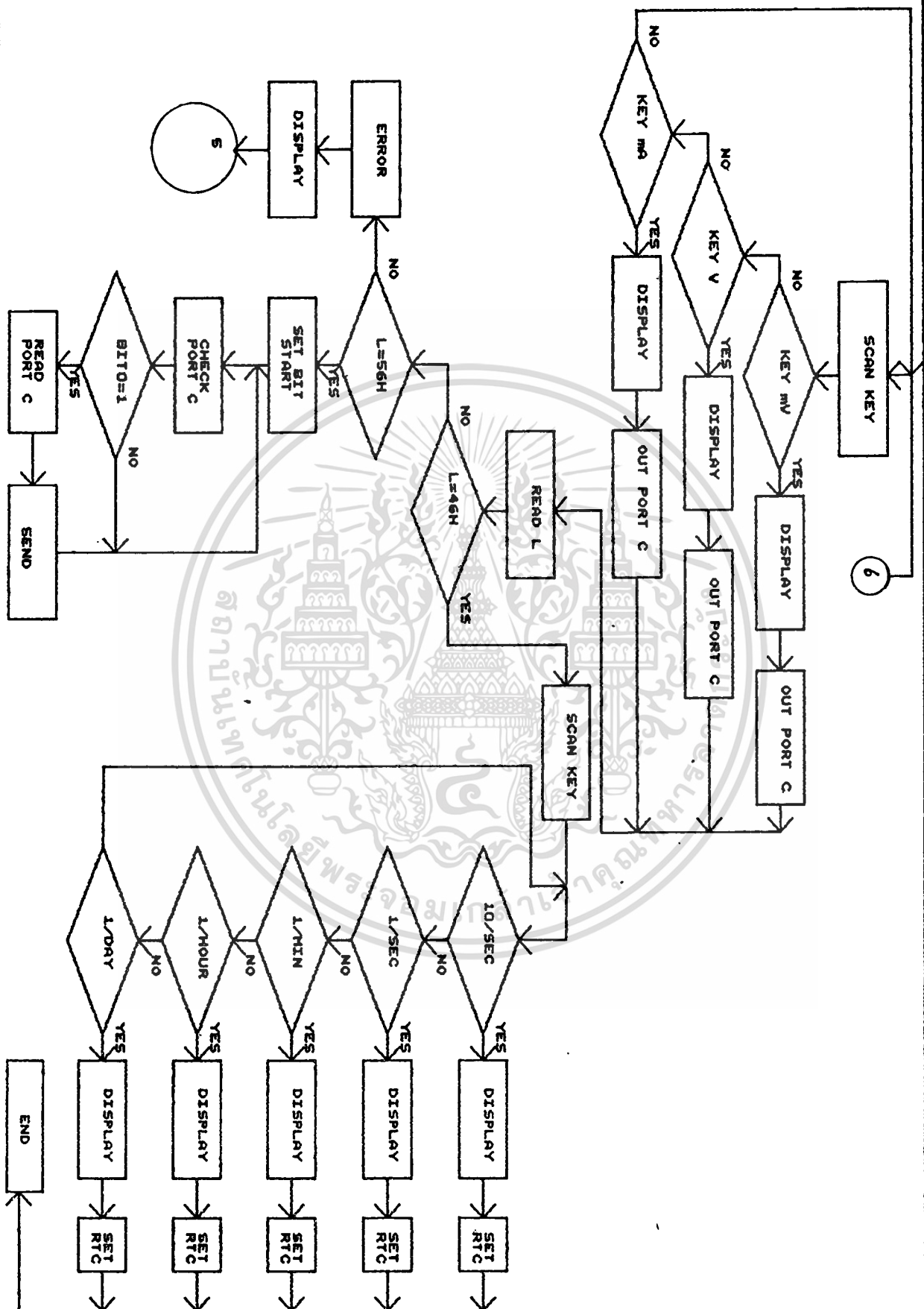


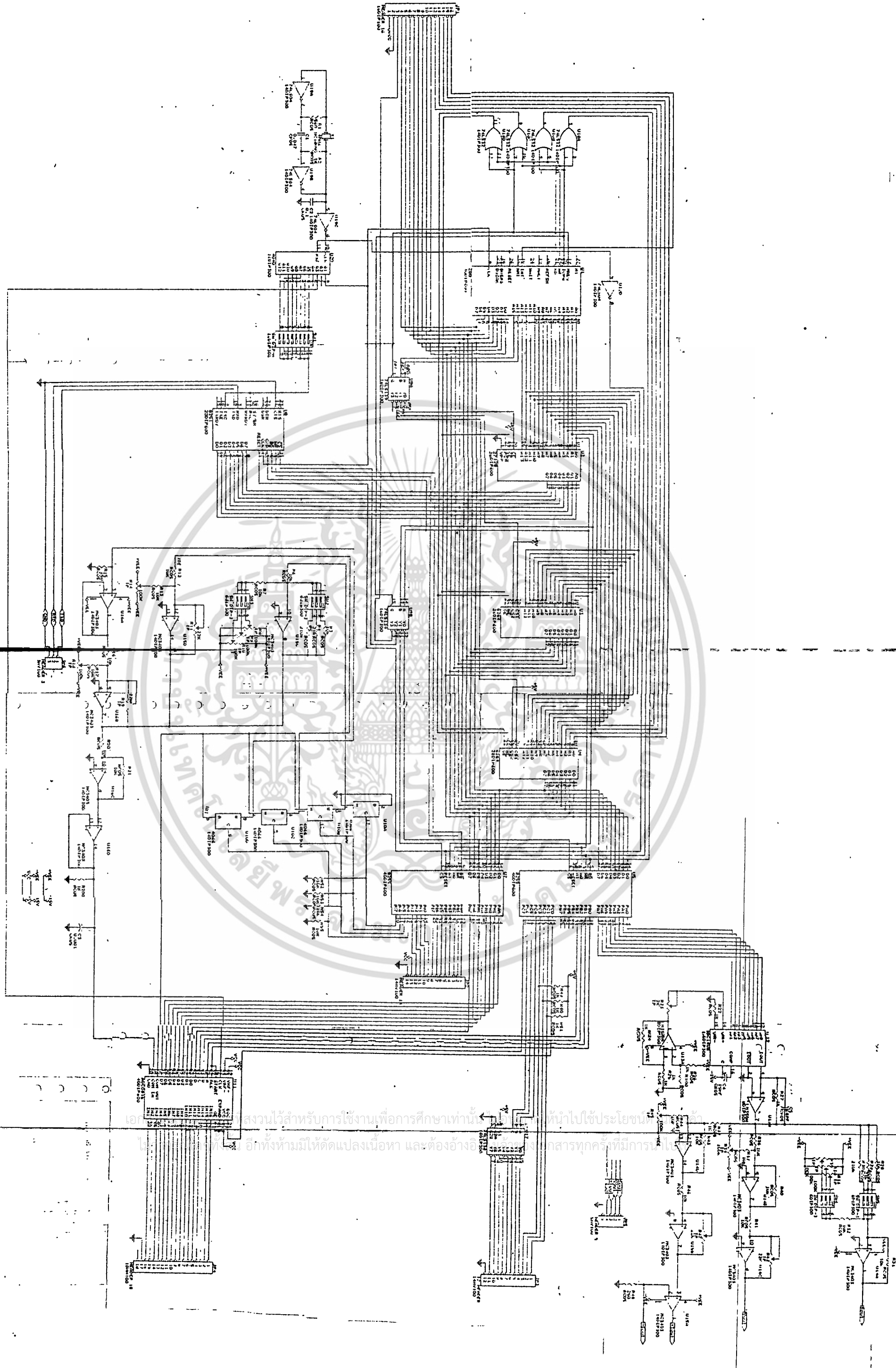


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

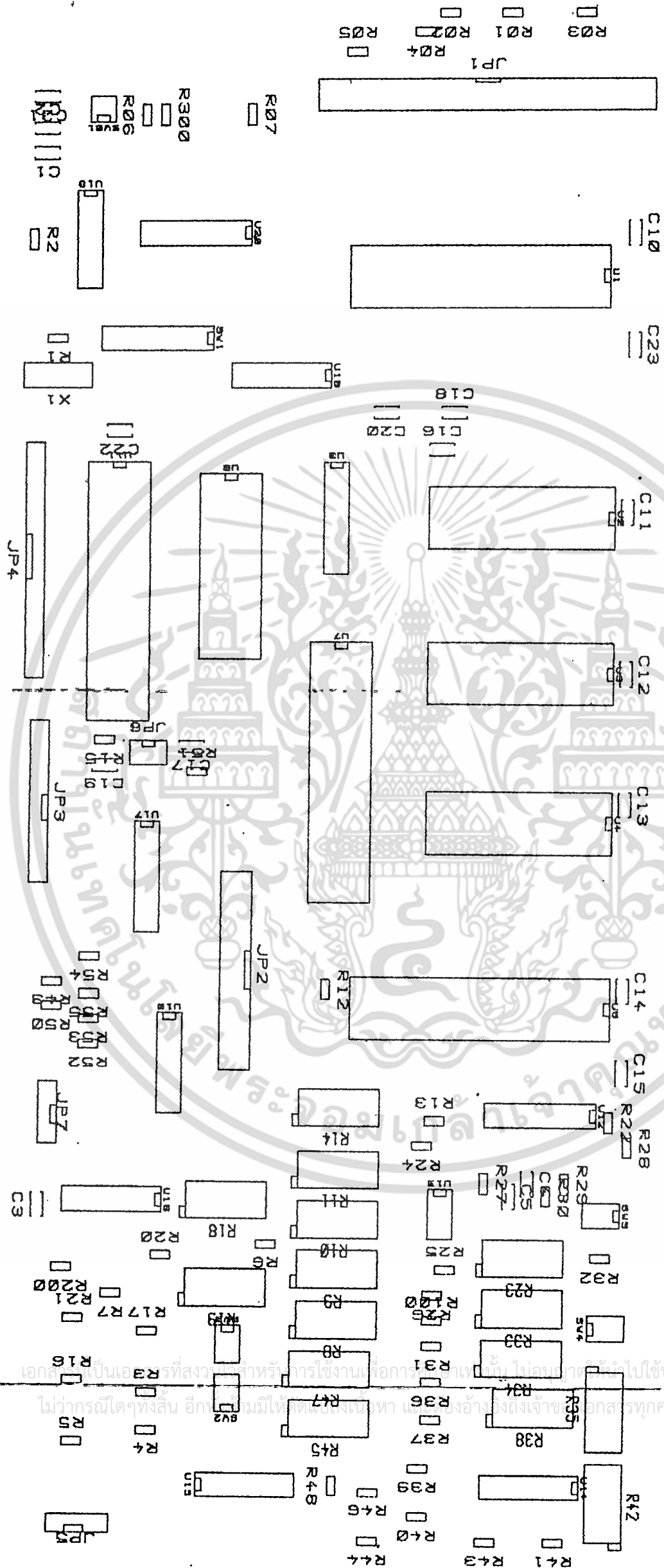
ไม่มีการเผยแพร่ทั้งใน และทั้งทางอิเล็กทรอนิกส์ และทางอื่นใดของเอกสารที่มีการนำออกไปใช้



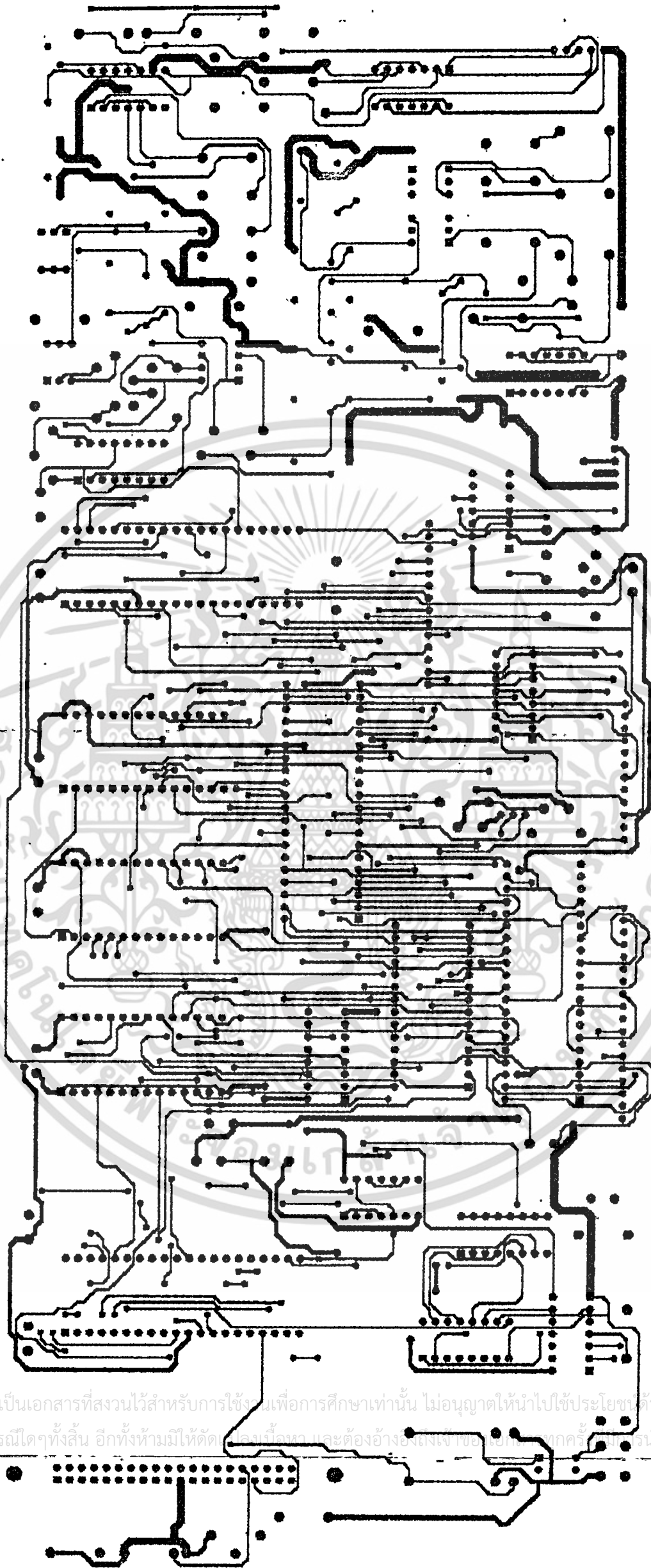




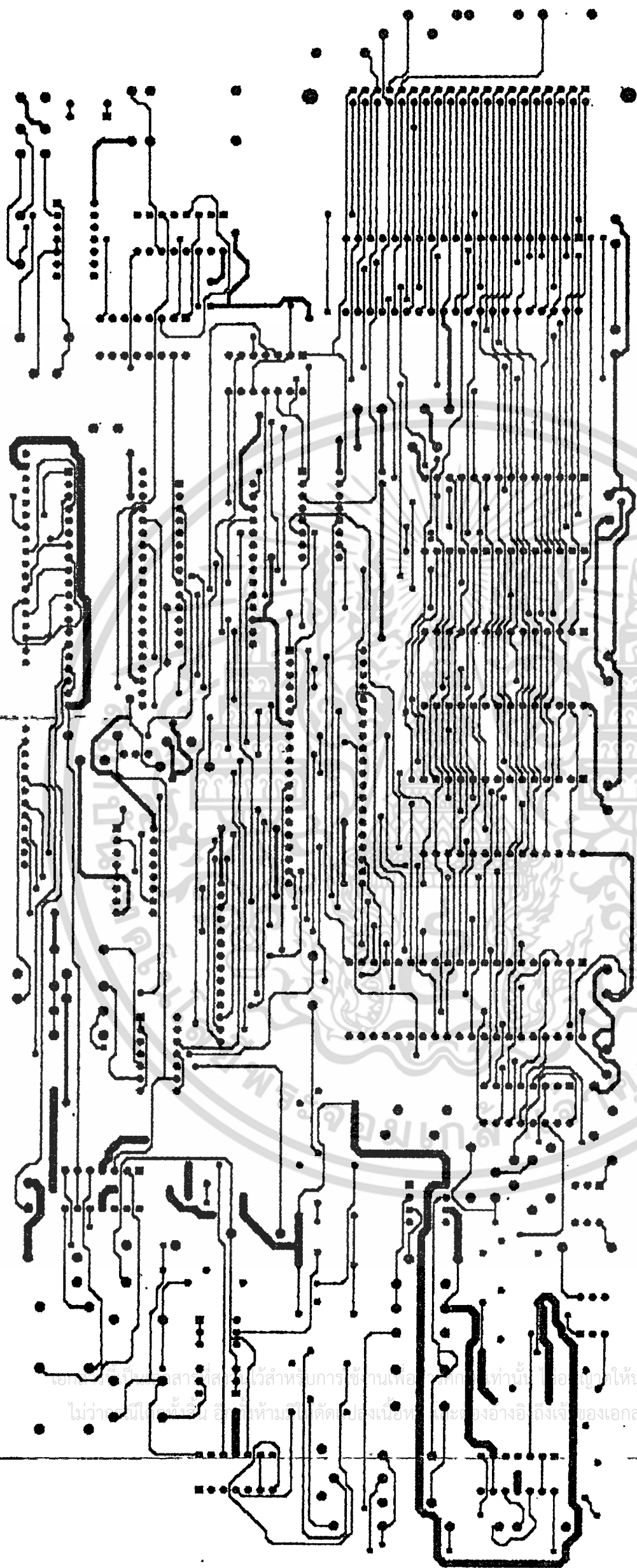
เอกสารนี้เป็นส่วนหนึ่งของการศึกษาเท่านั้น ไม่ควรนำไปใช้ประโยชน์อื่นใด
หากต้องการข้อมูลเพิ่มเติม กรุณาติดต่อฝ่ายเอกสาร



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการวิจัยเท่านั้น ไม่สามารถนำออกเผยแพร่ได้โดยไม่ได้รับอนุญาต
ไม่ว่ากรณีใดทั้งสิ้น อีกทั้งยังมีให้ดูที่หน้างาน และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้เรียนเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงเจ้าของเอกสารทุกครั้งก่อนนำไปใช้



เอกสารนี้เป็นเอกสารที่จัดทำขึ้นเพื่อการศึกษาค้นคว้าเท่านั้น ไม่ควรนำไปใช้ประโยชน์ด้านการค้า
ไม่ว่าในรูปแบบใดก็ตาม การนำเอกสารนี้ไปใช้โดยไม่ได้รับอนุญาตถือว่าผิดกฎหมาย

mV	8	Ø	7	RESET	RE CIEVE
V	9	1	6	1/DAY	SEND
mA	10/SEC	2	5	1/HR	CHAN GE
CHAN NEL	1/SEC	3	4	1/MIN	REC

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่สามารถเผยแพร่ทั้งสิ้น อีกทั้งห้ามมีเหตุดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5
ผลการทดลอง

แสดงแรงดันและกระแสเอาต์พุต เมื่อมีสัญญาณอินพุตเป็นแรงดัน

แรงดันอินพุต (โวลต์)	แรงดันเอาต์พุต (โวลต์)	กระแสเอาต์พุต (มิลลิแอมป์)
1.00	1.00	4.00
1.20	1.17	4.79
1.40	1.38	5.57
1.60	1.58	6.37
1.80	1.77	7.17
2.00	1.97	7.98
2.20	2.18	8.79
2.40	2.39	9.60
2.60	2.60	10.41
2.80	2.81	11.21
3.00	3.00	12.01
3.20	3.21	12.82
3.40	3.41	13.63
3.60	3.62	14.43
3.80	3.81	15.22
4.00	4.00	16.00
4.20	4.20	16.80
4.40	4.38	17.59
4.60	4.58	18.38
4.80	4.79	19.18
5.00	4.99	19.97

ตารางที่ 1

แสดงแรงดันและกระแสเอาต์พุต เมื่อมีสัญญาณอินพุตเป็นกระแสไฟฟ้า

กระแสอินพุต (มิลลิแอมป์)	แรงดันเอาต์พุต (โวลต์)	กระแสเอาต์พุต (มิลลิแอมป์)
4.00	1.00	4.00
4.80	1.20	4.80
5.60	1.40	5.59
6.40	1.58	6.39
7.20	1.78	7.18
8.00	1.99	7.99
8.80	2.20	8.79
9.60	2.40	9.58
10.40	2.61	10.39
11.20	2.81	11.18
12.00	3.00	11.98
12.80	3.21	12.80
13.60	3.41	13.62
14.40	3.62	14.44
15.20	3.82	15.22
16.00	4.02	16.04
16.80	4.21	16.82
17.60	4.40	17.62
18.40	4.60	18.41
19.20	4.80	19.18
20.00	5.00	19.97

ตารางที่ 2

สรุปและวิจารณ์ผลการทดลอง

จากโครงการที่สร้างขึ้นมานี้ ส่วนควบคุมที่ใช้ในการควบคุมคือ Z80 หรือเราอาจจะใช้ ET Board เป็นตัวควบคุมก็ได้ ส่วนค่าความต้านทานที่ใช้ในทางปฏิบัติงานจริง ควรใช้ค่าความต้านทานที่มีความผิดพลาด 1% กับวงจรอนุโลกเป็นดิจิตอล วงจรดิจิตอลเป็นอนุโลก วงจรเปลี่ยนค่าแรงดันเป็นกระแส และกับวงจรเปลี่ยนกระแสเป็นแรงดัน เพื่อต้องการที่จะให้ได้ค่าที่แน่นอน ในภาคเอาต์พุตนั้นเราให้เอาท์พุทออกมาเป็นแรงดัน และเป็นกระแสพร้อมกัน ซึ่งเราต้องเลือกอินพุทอย่างใดอย่างหนึ่งก็สามารถทำได้ โดยใช้อนุโลกสวิตช์เป็นตัวเลือกสัญญาณ การควบคุมโดยใช้โปรแกรมผ่านทางพอร์ตก็เหมือนกับการควบคุมทางด้านอินพุท

ผู้จัดทำหวังว่าโครงการนี้คงจะเป็นประโยชน์ และแนวทาง ในการพัฒนาเพื่อให้ทันสมัยต่อเทคโนโลยี ทั้งทางด้านขนาดและประสิทธิภาพ



ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บรรณานุกรม

1. ศูนย์ภาษาคอมพิวเตอร์, "การใช้งาน Z80", มิลิกส์เซเตอร์
2. ยืน ภู่วรรณ, "เทคนิคการประยุกต์ใช้งาน ลิเนียร์ ไอที",
อักษรพิมพ์ดี, 2521
3. สิทธิชัย โกศลอุดม, "วงจรขยายสัญญาณโอเพอเรชันแนล",
ดวงกมล, 2523
4. ผศ. ประทีป นันทินรัตน์, "การเขียนโปรแกรมภาษาแอสเซมบลี
Z80", คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้า
เจ้าคุณทหารลาดกระบัง, 2524
5. Christopher E. Strangio, "Digital Electronic",
Prentice/Hall, 1980
6. Malvino And Leach, "Digital Principles And
Applications", McGraw-Hill, 1984

กิตติกรรมประกาศ

Project ขึ้นนี้ จะสำเร็จลงได้ด้วยดีไม่ได้ ถ้าไม่มี อ.วิทยา ทิพย์สุวรรณพร
ซึ่งท่านเป็นอาจารย์ที่ปรึกษา อีกทั้งเพื่อนๆสาขา Instrumentation ทุกคน
และ เพื่อนสาขา Computer ซึ่งทุกคนให้ความช่วยเหลือ ให้กำลังใจด้วยดี
ตลอดมา ทางผู้จัดทำ ต้องขอขอบพระคุณ สำหรับผู้มีอุปการะคุณทุกท่าน



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

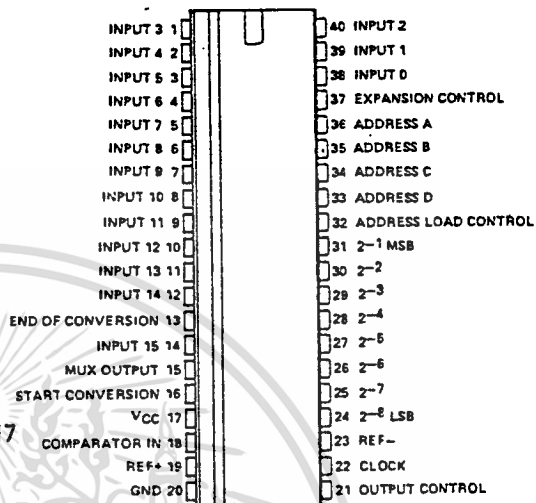
LINEAR INTEGRATED CIRCUITS

TYPES ADC0816, ADC0817 DATA ACQUISITION SYSTEMS

BULLETIN NO. DL-S 12672, DECEMBER 1979

- Total Unadjusted Error . . . $\pm 1/2$ LSB Max for ADC0816 and ± 1 LSB Max for ADC0817
- Resolution of 8 Bits
- 100 μ s Conversion Time
- Ratiometric Conversion
- Guaranteed Monotonicity
- No Missing Codes
- Easy Interface with Microprocessors
- Latched 3-State Outputs
- Latched Address Inputs
- Single 5-Volt Supply
- Low Power Consumption
- Designed to be Interchangeable with National Semiconductor ADC0816, ADC0817

N
DUAL IN-LINE PACKAGE
(TOP VIEW)



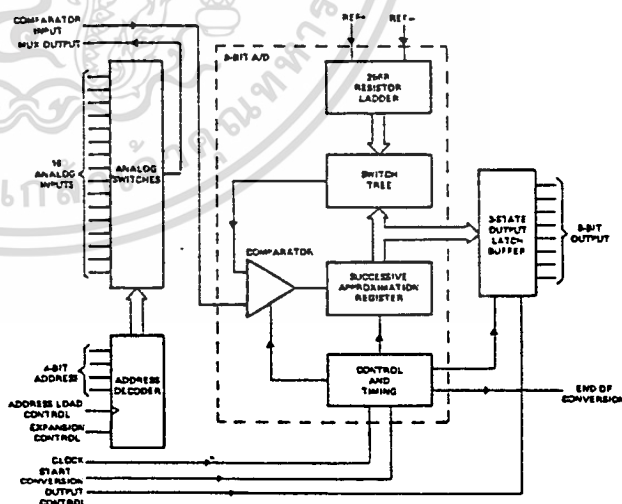
description

The ADC0816 and ADC0817 are monolithic CMOS devices with a 16-channel multiplexer, an 8-bit analog-to-digital (A/D) converter, and microprocessor-compatible control logic. The 16-channel multiplexer can be controlled by a microprocessor through a 4-bit address decoder with address load and expansion control logic, to select any one of 16 single-ended analog switches. The 8-bit A/D converter uses the successive-approximation conversion technique featuring a high-impedance chopper-stabilized comparator, a 256R end-compensated voltage divider with analog switch tree, and a successive-approximation register (SAR).

Each device features an overall error of ± 1 LSB maximum at 25°C including resolution (quantization) error. The comparison and converting methods used eliminate the possibility of missing codes, non-monotonicity, and the need for zero or full-scale adjustment. Also featured are latched 3-state outputs from the SAR and latched inputs to the multiplexer address decoder. The single 5-volt supply and low power requirements make the ADC0816 and ADC0817 especially useful for a wide variety of applications. Ratiometric conversion is made possible by access to the reference voltage input terminals.

The ADC0816 and ADC0817 are characterized for operation from -40°C to 85°C.

functional block diagram



Copyright © 1979 by Texas Instruments Incorporated

ADVANCE INFORMATION

This document contains information on a new product. Specifications are subject to change without notice.

TEXAS INSTRUMENTS INCORPORATED

POST OFFICE BOX 225012 • DALLAS, TEXAS 75255

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

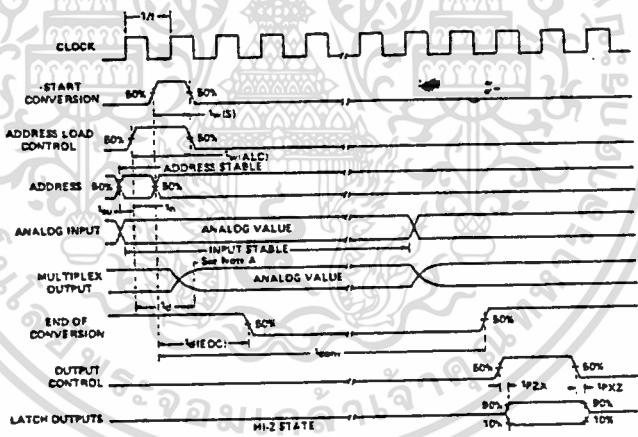
TYPES ADC0816, ADC0817
DATA ACQUISITION SYSTEMS

MULTIPLEXER FUNCTION TABLE

INPUTS					SELECTED ANALOG CHANNEL	
ADDRESS LOAD CONTROL	EXPANSION CONTROL	ADDRESS				
		D	C	B	A	
↑	H	L	L	L	L	0
↑	H	L	L	L	H	1
↑	H	L	L	H	L	2
↑	H	L	L	H	H	3
↑	H	L	H	L	L	4
↑	H	L	H	L	H	5
↑	H	L	H	H	L	6
↑	H	L	H	H	H	7
↑	H	H	L	L	L	8
↑	H	H	L	L	H	9
↑	H	H	L	H	L	10
↑	H	H	L	H	H	11
↑	H	H	H	L	L	12
↑	H	H	H	L	H	13
↑	H	H	H	H	L	14
↑	H	H	H	H	H	15
X	L	X	X	X	X	All channels OFF

H = high level, L = low level, X = irrelevant, ↑ = low-to-high-level transition

operating sequence



NOTE A: Instant at which output is within 1/2 LSB of final value.

absolute maximum ratings over operating free-air temperature range (unless otherwise noted)

Supply voltage, VCC (see Note 1)	6.5 V
Input voltage: control inputs	-0.3 V to 15 V
all other inputs	-0.3 V to VCC +0.3 V
Continuous total dissipation	500 mW
Operating free-air temperature range	-40°C to 85°C
Storage temperature range	-65°C to 150°C
Lead temperature 1/16 inch (1.6 mm) from case for 10 seconds	260°C

NOTE 1: All voltage values are with respect to network ground terminal.

TEXAS INSTRUMENTS
INCORPORATED

POST OFFICE BOX 226012 • DALLAS, TEXAS 75265

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPES ADC0816, ADC0817
DATA ACQUISITION SYSTEMS

recommended operating conditions

	MIN	NOM	MAX	UNIT
Supply voltage, V_{CC}	4.5	5	6	V
Voltage at top of 256R ladder, V_{ref+}		V_{CC}	$V_{CC} + 0.1$	V
Voltage at bottom of 256R ladder, V_{ref-}		0	-0.1	V
Voltage across 256R ladder (see Note 2)	0.512	5.12	5.25	V
Start pulse width, $t_{w(S)}$	200			ns
Address load control pulse width, $t_{w(ALC)}$	200			ns
Address setup time, t_{su}	50			ns
Address hold time, t_h	50			ns
Clock frequency, f_{clock}	10	640	1200	kHz
Operating free-air temperature, T_A	-40		85	°C

NOTE 2: For proper operation, the voltage across the ladder must be centered on $\frac{V_{CC}}{2} \pm 0.1$ V.

electrical characteristics over recommended operating free-air temperature range, $V_{CC} = 4.75$ V to 5.25 V (unless otherwise noted)

total device

PARAMETER		TEST CONDITIONS	MIN	TYP ¹	MAX	UNIT
V_{IH}	High-level input voltage	$V_{CC} = 5$ V	$V_{CC} - 1.5$			V
V_{IL}	Low-level input voltage	$V_{CC} = 5$ V			1.5	V
V_{OH}	High-level output voltage	$I_O = -360 \mu A$	$V_{CC} - 0.4$			V
V_{OL}	Low-level output voltage	Data outputs $I_O = 1.6$ mA			0.45	V
		End of conversion $I_O = 1.2$ mA			0.45	
I_{OZ}	Off-state (high-impedance-state) output current	$V_O = 5$ V			3	μA
		$V_O = 0$			-3	
I_I	Input current at maximum control input voltage	$V_I = 15$ V			1	μA
I_{IL}	Low-level control input current	$V_I = 0$			-1	μA
Comparator input current		$V_{ref+} = V_{CC}$, $V_{ref-} = 0$, $f_{clock} = 640$ kHz, See Note 3			± 0.5	μA
I_{CC}	Supply current	$f_{clock} = 500$ kHz			0.3	mA
C_i	Input capacitance	Analog inputs			5	pF
		Control inputs			10	
C_o	Output capacitance, Data outputs				5	pF
Ladder resistance from pin 19 to pin 23			1	4.5		k Ω

analog multiplexer

PARAMETER		TEST CONDITIONS		MIN	TYP [†]	MAX	UNIT
r_{on}	Channel on-state resistance	$R_L = 10\text{ k}\Omega$	$T_A = 25^\circ\text{C}$		1.5	3	$\text{k}\Omega$
			$T_A = -40^\circ\text{C to } 85^\circ\text{C}$			6	
	Difference in on-state resistance between any two channels	$R_L = 10\text{ k}\Omega$			75		Ω
i_{off}	Channel off-state current	$V_{CC} = 5\text{ V},$ $T_A = 25^\circ\text{C}$	$V_I = 5\text{ V}$		10	200	nA
			$V_I = 0$		-10	-200	

¹Typical values are at $V_{CC} = 5$ V and $T_A = 25^\circ C$.

NOTE 3: Comparator input current is the bias current into or out of the chopper stabilized comparator. The bias current varies directly with clock frequency and has little temperature dependence.

TYPES ADC0816, ADC0817 DATA ACQUISITION SYSTEMS

operating characteristics over recommended operating free-air temperature range, $V_{CC} = V_{REF+} = 5\text{ V}$, $V_{REF-} = 0\text{ V}$, analog input voltage = comparator input voltage (unless otherwise noted)

PARAMETER		TEST CONDITIONS	ADC0816			ADC0817			UNIT
			MIN	TYP [†]	MAX	MIN	TYP [†]	MAX	
kSVS	Supply voltage sensitivity	V _{CC} = V _{ref+} = 4.75 V to 5.25 V, T _A = -40°C to 85°C, See Note 4	0.05	0.15		0.05	0.15		%/V
	Linearity error (see Note 5)		±0.25	±0.5		±0.5	±1		LSB
	Zero error (see Note 6)		±0.25	±0.5		±0.25	±0.5		LSB
	Full-scale error (see Note 7)		±0.25	±0.5		±0.25	±0.5		LSB
	Total unadjusted error (see Note 8)	T _A = 25°C	±0.25	±0.5		±0.5	±1		LSB
		T _A = -40°C to 85°C	±0.75						
	Resolution (quantization) error (see Note 9)		±0.5			±0.5			LSB
	Overall error (see Note 10)	T _A = 25°C	±0.75	±1		±1	±1.5		LSB
		T _A = -40°C to 85°C	±1.25						
t _d	Delay time, address load control to analog multiplexer output	R _S + R _{On} < 5 kΩ, C _L = 10 pF, Pin 15 connected to pin 18	1 2.5			1 2.5			μs
t _{PD}	Output enable time	C _L = 50 pF, See Note 11	125	250		125	250		ns
t _{PZ}	Output disable time	C _L = 10 pF, R _L = 10 kΩ, See Note 11	125	250		125	250		ns
t _{conv}	Conversion time	f _{clock} = 640 kHz, See Note 11	90	100	114	90	100	114	μs
t _d (EOC)	Delay time, end of conversion output		1	2		1	2		Clock periods

¹ Typical values for all except supply voltage sensitivity at $V_{CC} = 5\text{ V}$, and all are at $T_A = 25^{\circ}\text{C}$.
NOTES: 4. Supply voltage sensitivity relates to the ability of an analog-to-digital converter to maintain accuracy as the supply voltage varies. The supply and V_{REF+} are varied together and the change in accuracy is measured with respect to full-scale.
5. Linearity error is the maximum deviation from a straight line through the end points of the A/D transfer characteristic.
6. Zero error is the difference between the output of an ideal converter and the actual A/D converter for zero input voltage.
7. Full-scale error is the difference between the output of an ideal converter and the actual A/D converter for full-scale input voltage.
8. Total unadjusted error is the maximum sum of linearity error, zero error, and full-scale error.
9. Resolution error is the $\pm 1/2$ LSB uncertainty caused by the converter's finite resolution.
10. Overall error describes the difference between the actual input voltage and the full-scale weighted equivalent of the binary output code. Included are resolution and all other errors.
11. Refer to the operating sequence diagram.

TYPES ADC0816, ADC0817 DATA ACQUISITION SYSTEMS

PRINCIPLES OF OPERATION

The ADC0816 and ADC0817 each consists of an analog-signal multiplexer, an 8-bit successive-approximation converter, and related control and output circuitry.

multiplexer

The analog multiplexer selects 1 of 16 single-ended input channels as determined by the address decoder. Address load control loads the address code into the decoder on a low-to-high transition, and expansion control enables the output of the analog multiplexer. The analog signal output and comparator input pins allow additional conditioning (prescaling, sample and hold, amplification, etc.) of the selected signal before conversion.

converter

The 8-bit analog-to-digital converter is the primary operating unit in the ADC0816 and ADC0817. It is partitioned into three major sections: the 256R resistor ladder and switch tree (see Figure 1), the successive approximation register (SAR), and the comparator. Output from the converter is parallel binary positive logic with three-state control. The 256R resistor ladder and switch tree exhibits inherent monotonicity with no missing digital codes. This is particularly important in closed-loop feedback control systems, as a nonmonotonic relationship can cause oscillations that could be catastrophic for the system. The bottom resistor and the top resistor of the ladder are not the same value as the other resistors in the circuit. The difference in these resistors causes the output characteristic to be symmetrical with respect to the zero and full-scale points of the transfer curve. The first output transition corresponds to an analog signal equal to $\frac{1}{2}$ LSB and each succeeding output transition equals 1 LSB up to full-scale. The 256R resistor ladder does not cause load variations on the reference voltage. The SAR performs eight iterations to approximate the input voltage.

The comparator is chopper stabilized. It is this stabilization that reduces temperature sensitivity, input offset error, and long-term dc drift.

The SAR is reset on the low-to-high transition of the start conversion (SC) pulse. The conversion is begun on the high-to-low transition of the SC pulse. A conversion in process will be interrupted by receipt of a new SC pulse. Continuous conversion may be accomplished by connecting the end-of-conversion output to the SC input. If used in this mode, and external start pulse should be applied after power up. The end-of-conversion output will go low between one and eight clock pulses after the low-to-high transition of the SC pulse.

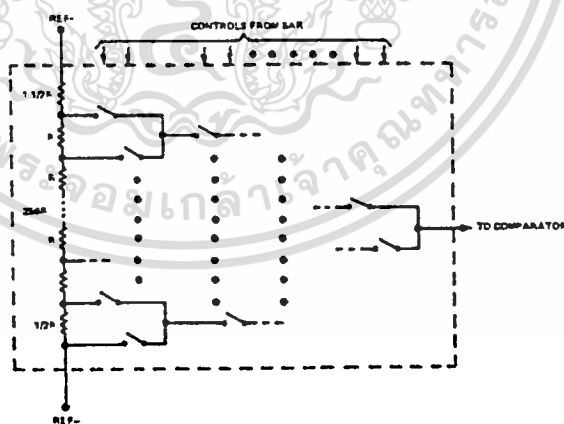


FIGURE 1-256R RESISTOR LADDER AND SWITCH TREE



MOTOROLA Semiconductors

Specifications and Applications Information

EIGHT-BIT MULTIPLYING DIGITAL-TO-ANALOG CONVERTER

... designed for use where the output current is a linear product of an eight-bit digital word and an analog input voltage.

- Relative Accuracy: $\pm 0.1\%$ Error maximum (MC1408L-B, MC1408L-E)
- Seven and Six-Bit Accuracy Available (MC1408L-F, MC1408L-G)
- Fast Settling Time – 300 ns typical
- Noninverting Digital Inputs are MTTL and CMOS Compatible
- Output Voltage Swing – $+0.4\text{ V}$ to -5.0 V
- High Speed Multiplying Input Slew Rate $4.0\text{ mA}/\mu\text{s}$
- Standard Supply Voltages $+5.0\text{ V}$ and -5.0 V to -15 V

MC1508L-8
MC1408L-8
MC1408L-7
MC1408L-6

EIGHT-BIT MULTIPLYING DIGITAL-TO-ANALOG CONVERTER

SILICON MONOLITHIC
INTEGRATED CIRCUIT

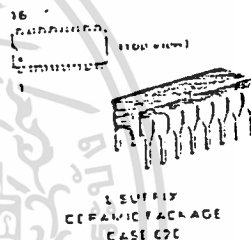


FIGURE 1 - D-10-A TRANSFER CHARACTERISTICS

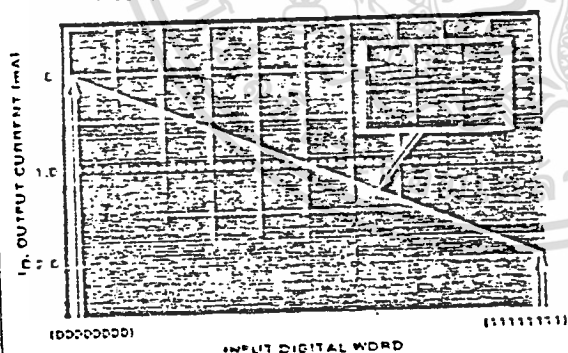
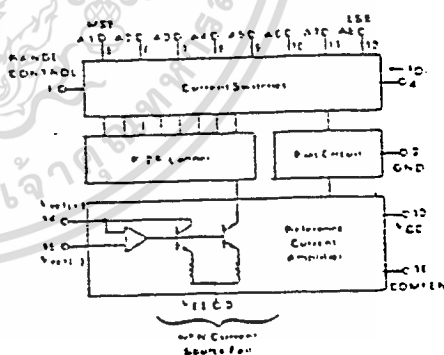


FIGURE 2 - BLOCK DIAGRAM.



TYPICAL APPLICATIONS

- Tracking A-to-D Converters
- Successive Approximation A-to-D Converters
- 2 1/2 Digit Panel Meters and DVM's
- Waveform Synthesis
- Sample and Hold
- Peak Detector
- Programmable Gain and Attenuation
- CRT Character Generation
- A/D Digitizing and Decoding
- Programmable Power Supplies
- Analog/Digital Multiplication
- Digital/Digital Multiplication
- Analog/Digital Division
- Digital Addition and Subtraction
- Speech Compression and Expansion
- Stepping Motor Drive

MAXIMUM RATINGS ($T_A = +25^\circ\text{C}$ unless otherwise noted.)

Rating	Symbol	Value	Unit
Power Supply Voltage	VCC VEE	+5.5 -16.5	Vdc
Digital Input Voltage	V_{I1} thru V_{I7}	0 to +5.5	Vdc
Applied Output Voltage	V_O	+0.5 to -5.2	Vdc
Reference Current	I_{R1}	5.0	mA
Reference Amplifier Inputs	V_{I4}, V_{I5}	VCC, VEE	Vdc
Operating Temperature Range MC150EL5 MC140EL Series	T_A	-55 to +125 0 to +75	$^\circ\text{C}$
Storage Temperature Range	T_{stg}	-55 to +150	$^\circ\text{C}$

ELECTRICAL CHARACTERISTICS ($V_{CC} = +5.0\text{ Vdc}$, $V_{EE} = -15\text{ Vdc}$, $V_{ref} = 2.0\text{ mA}$, MC150EL5 $T_A = -55^\circ\text{C}$ to $+125^\circ\text{C}$, MC140EL Series $T_A = 0$ to $+75^\circ\text{C}$ unless otherwise noted. All digital inputs at high logic level.)

Characteristic	Figure	Symbol	Min	Typ	Max	Unit
Relative Accuracy (Error relative to full scale (FS)) MC150EL5, MC140EL5 MC140EL7 See Note 1 MC140EL6 See Note 1	4	E_r	-	-	± 0.19 ± 0.39 ± 0.78	%
Settling Time to within $\pm 1/2$ LSE (includes t_{FLH}) ($T_A = +25^\circ\text{C}$ See Note 2)	5	t_S	-	300	-	ns
Propagation Delay Time $T_A = +25^\circ\text{C}$	5	t_{PLH}, t_{PHL}	-	20	100	ns
Output Full Scale Current Drift		$TCIO$	-	-20	-	ppm/ $^\circ\text{C}$
Digital Input Logic Levels (MSEI) High Level, Logic "1" Low Level, Logic "0"	3	V_{IH} V_{IL}	2.0 -	- -	- 0.6	Vdc
Digital Input Currents (MSEI) High Level, $V_{IH} = 5.0\text{ V}$ Low Level, $V_{IL} = 0\text{ V}$	3	I_{IH} I_{IL}	- -	0 -0.4	0.04 -0.6	mA
Reference Input Bias Current (I_{in1})	3	I_{I5}	-	-1.0	-5.0	μA
Output Current Range $V_{EE} = -5.0\text{ V}$ $V_{EE} = -15\text{ V}$, $T_A = +25^\circ\text{C}$	3	I_{OS}	0 0	2.0 2.0	2.1 4.2	mA
Output Current $V_{ref} = 2.000\text{ V}$, $R_{14} = 1000\Omega$	3	I_O	-	1.5	1.57	mA
Output Current (All bits low)	3	$I_{O(min)}$	-	0	4.0	μA
Output Voltage Compliance ($E_r \leq 0.19\%$ at $T_A = +25^\circ\text{C}$) Fin 1 grounded Fin 1 open, V_{EE} below -10 V	3	V_O	-	-	-0.55 to -0.4 -5.0 to -6.4	Vdc
Reference Current Slow Rate	6	$SR I_{ref}$	-	4.0	-	mA/ms
Output Current Power Supply Sensitivity		$PSRR(1)$	-	0.5	2.7	$\mu\text{A/V}$
Power Supply Current (All bits low)	3	I_{CC} I_{EE}	- -	+13.5 -7.5	+22 -13	mA
Power Supply Voltage Range ($T_A = +25^\circ\text{C}$)	3	VCCR VEER	+4.5 -4.5	+5.0 -15	+5.5 -16.5	Vdc
Power Dissipation All bits low $V_{EE} = -5.0\text{ Vdc}$ $V_{EE} = -15\text{ Vdc}$ All bits high $V_{EE} = -5.0\text{ Vdc}$ $V_{EE} = -15\text{ Vdc}$	3	P_D	- - - -	105 190 90 160	170 305 -	mW

Note 1. All current sources are limited to supplying at least 50% of rated output current.
Note 2. All bits switched.

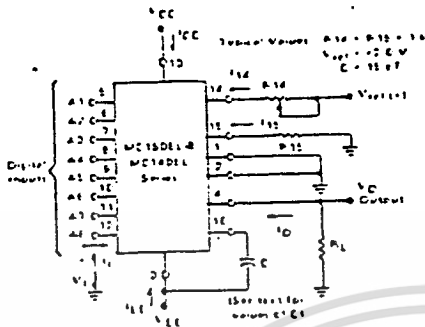


MOTOROLA Semiconductor Products Inc.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TEST CIRCUITS

FIGURE 3 - NOTATION DEFINITIONS TEST CIRCUIT



V_i and I_i apply to inputs A1 thru A8

The resistor tied to pin 15 is to compensate the bias current and may not be necessary for all applications

$$I_D = K \left\{ \frac{A_1}{1} + \frac{A_2}{2} + \frac{A_3}{4} + \frac{A_4}{8} + \frac{A_5}{16} + \frac{A_6}{32} + \frac{A_7}{64} + \frac{A_8}{128} \right\}$$

$$\text{where } K \approx \frac{V_{ref}}{R_{14}}$$

and $A_N = "1"$ if A_N is at high level

$A_N = "0"$ if A_N is at low level

FIGURE 4 - RELATIVE ACCURACY TEST CIRCUIT

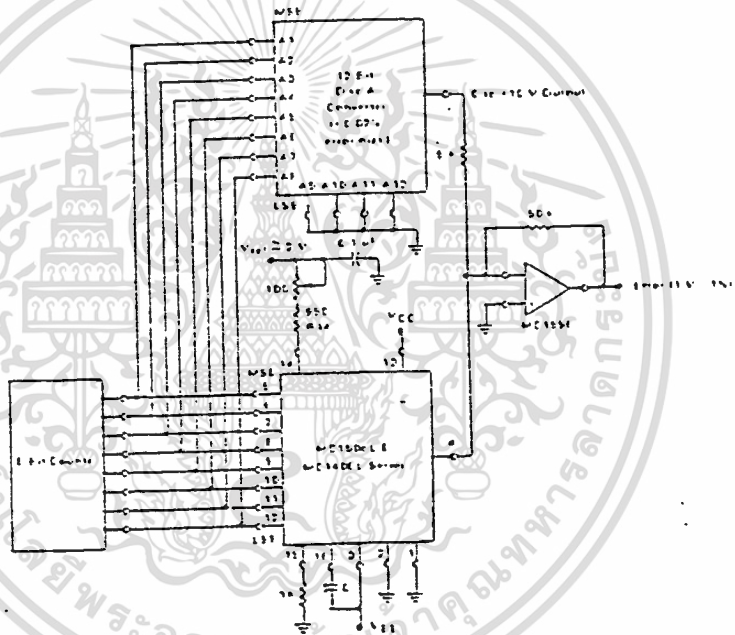
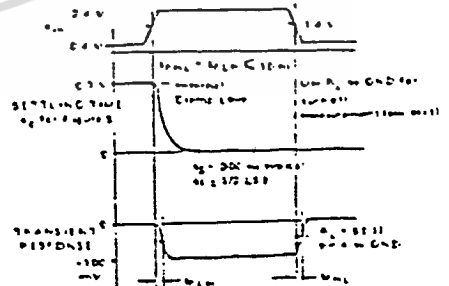
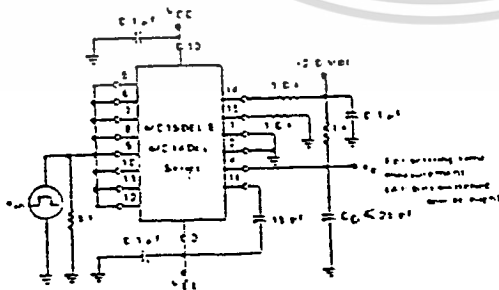


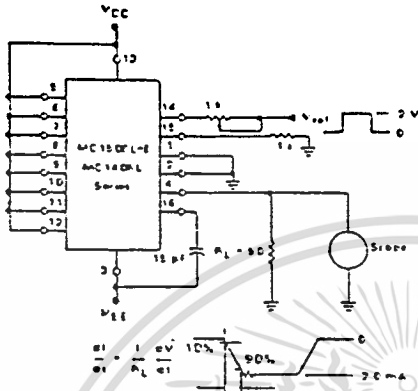
FIGURE 5 - TRANSIENT RESPONSE AND SETTLING TIME



MOTOROLA Semiconductor Products Inc.

TEST CIRCUITS (continued)

FIGURE 6 - REFERENCE CURRENT SLEW RATE MEASUREMENT



THERMAL INFORMATION :

The maximum power consumption an integrated circuit can tolerate at a given operating ambient temperature, can be found from the equation:

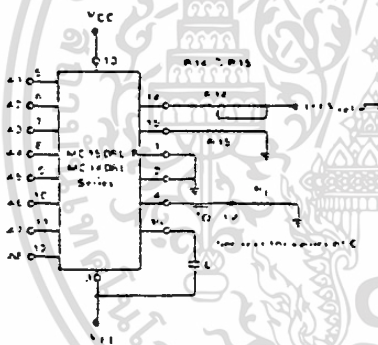
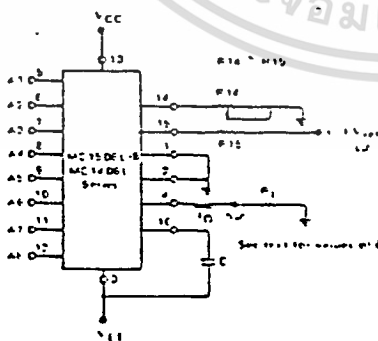
$$F_D(T_A) = \frac{T_{J(max)} - T_A}{F_{DJ}(T_{JP})}$$

Where, $PD(T_A)$ = Power Dissipation allowable at a given operating ambient temperature. This must be greater than the sum of the products of the supply voltages and supply currents at the worst case operating condition.

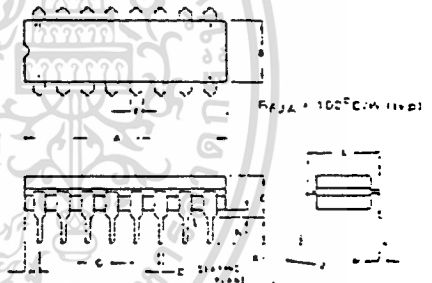
$T_{J(max)}$ = Maximum Operating Junction Temperature
as listed in the Maximum Ratings Section

T_A = Maximum Desired Operating Ambient Temperature

$R_{\theta JA}(Typ)$ = Typical Thermal Resistance Junction to Ambient

FIGURE 7 – POSITIVE V_{ref} FIGURE 8 - NEGATIVE V_{ref} 

OUTLINE DIMENSIONS



45713

1. LEADING EDGE IS TO BE RECONSTRUCTED
2. LEADING POSITION AT STARTING POINT
3. MAXIMUM MATERIAL CONDITION
4. ENDING POSITION AT LEAD
5. EDGE IS STRAIGHT LINE
6. END TO CENTER OF LEAD
7. RECONSTRUCTED PARALLEL

40571 = 1957 510-1

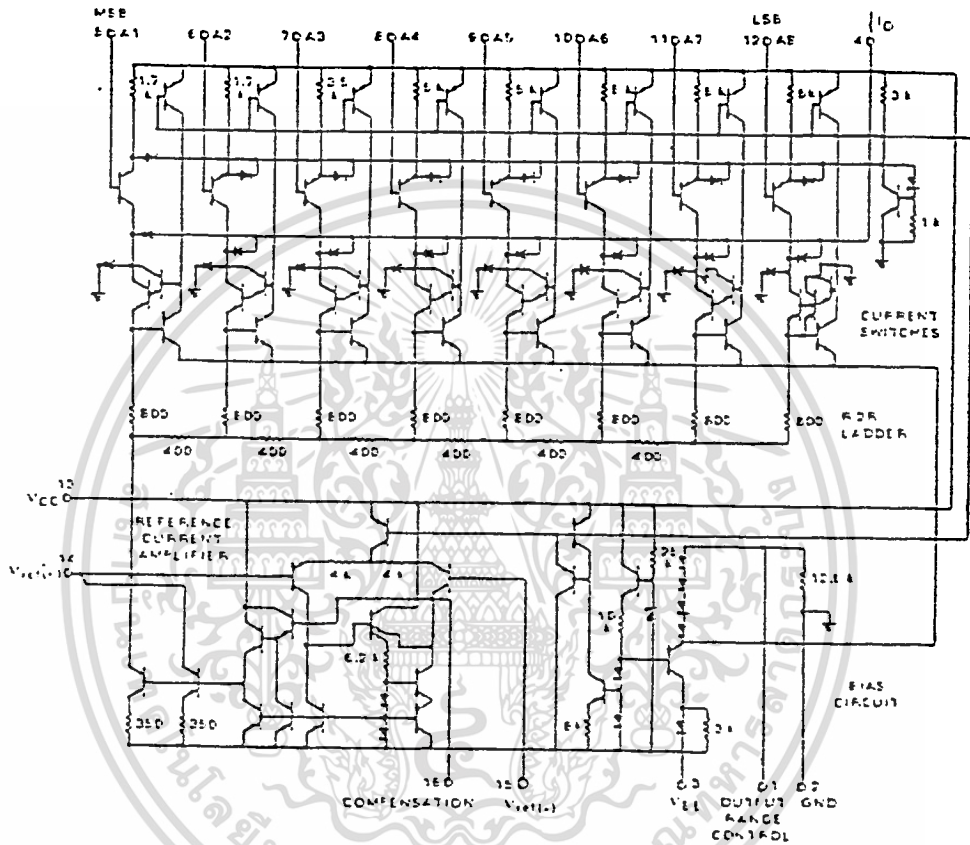
	DEMAND (TENS)		INVENTORY	
DATE	WEEK	MASS	MA	MS
A	1	100	100	100
B	2	120	120	120
C	3	140	140	140
D	4	160	160	160
E	5	180	180	180
F	6	200	200	200
G	7	220	220	220
H	8	240	240	240
I	9	260	260	260
J	10	280	280	280
K	11	300	300	300
L	12	320	320	320
M	13	340	340	340
N	14	360	360	360
O	15	380	380	380
P	16	400	400	400
Q	17	420	420	420
R	18	440	440	440
S	19	460	460	460
T	20	480	480	480
U	21	500	500	500
V	22	520	520	520
W	23	540	540	540
X	24	560	560	560
Y	25	580	580	580
Z	26	600	600	600
AA	27	620	620	620
AB	28	640	640	640
AC	29	660	660	660
AD	30	680	680	680
AE	31	700	700	700
AF	32	720	720	720
AG	33	740	740	740
AH	34	760	760	760
AI	35	780	780	780
AJ	36	800	800	800
AK	37	820	820	820
AL	38	840	840	840
AM	39	860	860	860
AN	40	880	880	880
AO	41	900	900	900
AP	42	920	920	920
AQ	43	940	940	940
AR	44	960	960	960
AS	45	980	980	980
AT	46	1000	1000	1000
AU	47	1020	1020	1020
AV	48	1040	1040	1040
AW	49	1060	1060	1060
AX	50	1080	1080	1080
AY	51	1100	1100	1100
AZ	52	1120	1120	1120
BA	53	1140	1140	1140
BB	54	1160	1160	1160
BC	55	1180	1180	1180
BD	56	1200	1200	1200
BE	57	1220	1220	1220
BF	58	1240	1240	1240
BG	59	1260	1260	1260
BH	60	1280	1280	1280
BI	61	1300	1300	1300
BJ	62	1320	1320	1320
BK	63	1340	1340	1340
BL	64	1360	1360	1360
BM	65	1380	1380	1380
BN	66	1400	1400	1400
BO	67	1420	1420	1420
BP	68	1440	1440	1440
BQ	69	1460	1460	1460
BR	70	1480	1480	1480
BS	71	1500	1500	1500
BT	72	1520	1520	1520
BU	73	1540	1540	1540
BV	74	1560	1560	1560
BW	75	1580	1580	1580
BX	76	1600	1600	1600
BY	77	1620	1620	1620
BZ	78	1640	1640	1640
CA	79	1660	1660	1660
CB	80	1680	1680	1680

CASE (700)
CERAMIC PACKAGE



MOTOROLA Semiconductor Products Inc.

FIGURES - MC150EL-4/MC14DEL SERIES EQUIVALENT
CIRCUIT SCHEMATIC
DIGITAL INPUTS



CIRCUIT DESCRIPTION

The MC150EL-4 consists of a reference current amplifier, an R2R ladder, and eight high-speed current switches. For many applications, only a reference resistor and reference voltage need be added.

The switches are noninverting in operation, therefore a high state on the input turns on the specified output current component. The switch uses current steering for high speed, and a termination amplifier consisting of an active load gain stage with unity gain feedback. The termination amplifier holds the parasitic capacitance of the ladder at a constant voltage during switching, and provides

a low impedance termination of equal voltage for all legs of the ladder.

The R2R ladder divides the reference amplifier current into binary-related components, which are fed to the switches. Note that there is always a remainder current which is equal to the least significant bit. This current is shunted to ground, and the maximum output current is 755/256 of the reference amplifier current, or 1.992 mA for a 20 mA reference amplifier current. If the NPN current source pin is perfectly matched



MOTOROLA Semiconductor Products Inc.

GENERAL INFORMATION

Reference Amplifier Drive and Compensation

The reference amplifier provides a voltage at pin 14 for converting the reference voltage to a current, and a turn-around circuit or current mirror for feeding the ladder. The reference amplifier input current, I_{14} , must always flow into pin 14 regardless of the sense method or reference voltage polarity.

Connections for a positive reference polarity are shown in Figure 7. The reference voltage source supplies the full current I_{14} . For bipolar reference signals, as in the multiplying mode, R_{15} can be tied to a negative voltage corresponding to the minimum input level. It is possible to eliminate R_{15} with only a small sacrifice in accuracy and temperature drift. Another method for bipolar inputs is shown in Figure 25.

The compensation capacitor value must be increased with increases in R_{14} to maintain proper phase margin; for R_{14} values of 10, 25 and 50 k Ω minimum capacitor values are 15, 37, and 75 pF. The capacitor should be tied to VEE as this increases negative supply rejection.

A negative reference voltage may be used if R_{14} is grounded and the reference voltage is applied to R_{15} as shown in Figure 8. A high input impedance is the main advantage of this method. Compensation involves a capacitor to VEE on pin 16, using the values of the previous paragraph. The negative reference voltage must be at least 2.0 volts above the VEE supply. Bipolar input signals may be handled by connecting R_{14} to a positive reference voltage equal to the least positive input level at pin 15.

When a reference voltage is used, capacitive bypass to ground is recommended. The 5.0 V logic supply is not recommended as a reference voltage. If a well regulated 5.0 V supply which drives logic is to be used as the reference, R_{14} should be decoupled by connecting it to +5.0 V through another resistor and bypassing the junction of the two resistors with 0.1 μ F to ground. For reference voltages greater than 5.0 V, a clamp diode is recommended between pin 14 and ground.

If pin 14 is driven by a high impedance such as a transistor current source, none of the above compensation methods apply and the amplifier must be heavily compensated, decreasing the overall bandwidth.

Output Voltage Range

The voltage on pin 4 is restricted to a range of -0.55 to +0.4 volts at +25°C, due to the current switching methods employed in the MC1508L-E. When a current switch is turned "off", the positive voltage on the output terminal can turn "on" the output diode and increase the output current level. When a current switch is turned "on", the negative output voltage range is restricted. The base of the termination circuit Darlington transistor is one diode voltage below ground when pin 1 is grounded, so a negative voltage below the specified idle level will drive the low current device of the Darlington into saturation, decreasing the output current level.

The negative output voltage compliance of the MC1508L-E may be extended to -5.0 V volts by opening the circuit at pin 1. The negative supply voltage must be more negative than -10 volts. Using a full scale current of 1.992 mA and load resistor of 2.5 k Ω between pin 4 and ground will yield a voltage output of 256 levels between 0 and -4.550 volts. Floating pin 1 does not affect the converter speed or power dissipation. However, the value of the load resistor determines the switching time due to increased voltage swing. Values of R_L up to 500 ohms do not significantly affect performance, but a 2.5 k Ω load increases "worst case" settling time to 1.7 μ s when all bits are switched on!

Refer to the subsequent test section on Settling Time for more details on output forcing.

If a power supply value between -5.0 V and -10 V is desired, a voltage of between 0 and +5.0 V may be applied to pin 1. The value of this voltage will be the maximum allowable negative output swing.

Output Current Range

The output current maximum rating of 4.2 mA may be used only for negative supply voltages typically more negative than -5.0 volts, due to the increased voltage drop across the 350-ohm resistors in the reference current amplifier.

Accuracy

Absolute accuracy is the measure of each output current level with respect to its intended value, and is dependent upon relative accuracy and full scale current drift. Relative accuracy is the measure of each output current level as a fraction of the full scale current. The relative accuracy of the MC1508L-E is essentially constant with temperature due to the excellent temperature tracking of the monolithic resistor ladder. The reference current may drift with temperature, causing a change in the absolute accuracy of output current. However, the MC1508L-E has a very low full scale current drift with temperature.

The MC1508L-E/MC1408L Series is guaranteed accurate to within $\pm 1/2$ LSE at +25°C at a full scale output current of 1.992 mA. This corresponds to a reference amplifier output current drive to the ladder network of 2.0 mA, with the loss of one LSE = 6 μ A which is the ladder termination shunted to ground. The input current to pin 14 has a guaranteed value of between 1.5 and 2.1 mA allowing some mismatch in the NPN current source pin. The accuracy test circuit is shown in Figure 4. The 12-bit converter is calibrated for a full scale output current of 1.992 mA. This is an optional step since the MC1508L-E accuracy is essentially the same between 1.5 and 2.5 mA. Then the MC1508L-E outputs full scale current is trimmed to the same value with R_{14} so that a zero value appears as the error amplifier output. The counter is activated and the error band may be displayed on an oscilloscope, detected by comparators or stored in a data detector.

Two E bit D to A converters may not be used to construct a 16 bit accurate D to A converter. 16 bit accuracy implies a total error of $\pm 1/2$ of one part in 65,536, or $\pm 0.00076\%$, which is much more accurate than the $\pm 0.1\%$ specification provided by the MC1508L-E.

Multiplying Accuracy

The MC1508L-E may be used in the multiplying mode with eight-bit accuracy when the reference current is varied over a range of 256:1. The major source of error is the bias current of the termination amplifier. Under "worst case" conditions these eight amplifiers can contribute a total of 16 μ A extra current at the output terminal. If the reference current in the multiplying mode ranges from 16 μ A to 4.0 mA, the 16 μ A contributes an error of 0.1 LSE. This is well within eight-bit accuracy referenced to 4.0 mA.

A monotonic converter is one which supplies an increase in current for each increment in the binary word. Typically, the MC1508L-E is monotonic for all values of reference current above 0.5 mA. The recommended range for operation with a dc reference current is 0.5 to 4.0 mA.



MOTOROLA Semiconductor Products Inc.

GENERAL INFORMATION (Continued)

Settling Time

The "worst case" switching condition occurs when all bits are switched "on", which corresponds to a low-to-high transition for all bits. This time is typically 300 ns for settling to within $\pm 1/2$ LSE, for E-bit accuracy, and 200 ns to $\pm 1/2$ LSE for 7 and E bit accuracy. The turn off is typically under 100 ns. These times apply when $R_L \leq 500 \text{ ohms}$ and $C_L \leq 25 \text{ pF}$.

The slowest single switch is the least significant bit, which turns "on" and settles in 250 ns and turns "off" in 80 ns. In applications where the D-to-A converter functions in a positive-going ramp mode, the "worst case" switching condition does not occur, and a settling time of less than 300 ns may be realized. Bit A7 turns "on" in 200 ns and "off" in 80 ns, while bit A6 turns "on" in 150 ns and "off" in 80 ns.

The test circuit of Figure 5 requires a smaller voltage swing for the current switches due to internal voltage clamping in the MC 150BL-E. A 1.04 ohm load resistor from pin 4 to ground gives a typical settling time of 400 ns. Thus, it is voltage swing and not the output RC time constant that determines settling time for most applications.

Extra care must be taken in board layout since this is usually the dominant factor in satisfactory test results when measuring settling time. Short leads, 100 μF supply bypassing for low frequencies and minimum scope lead length are all mandatory.

TYPICAL CHARACTERISTICS

($V_{CC} = +5 \text{ V}$, $V_{EE} = -15 \text{ V}$, $T_A = +25^\circ\text{C}$ unless otherwise noted)

FIGURE 10 - LOGIC INPUT CURRENT versus INPUT VOLTAGE

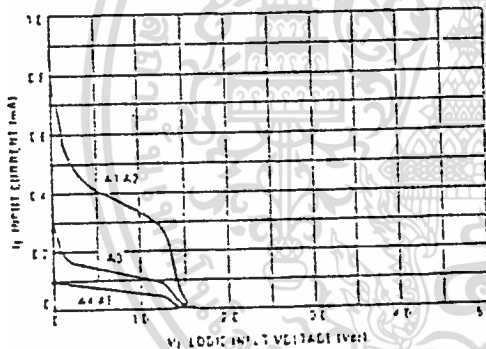


FIGURE 11 - TRANSFER CHARACTERISTIC versus TEMPERATURE (A5 thru A8 thresholds for within range for A1 thru A4)

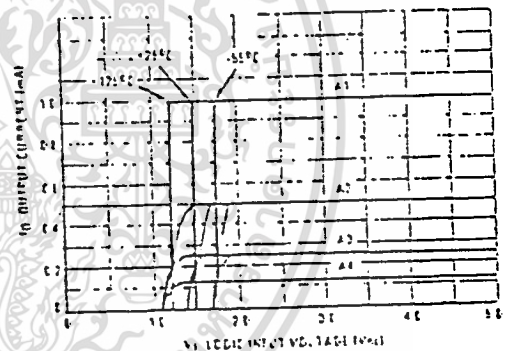


FIGURE 12 - OUTPUT CURRENT versus OUTPUT VOLTAGE (See test for pin 1 restrictions)

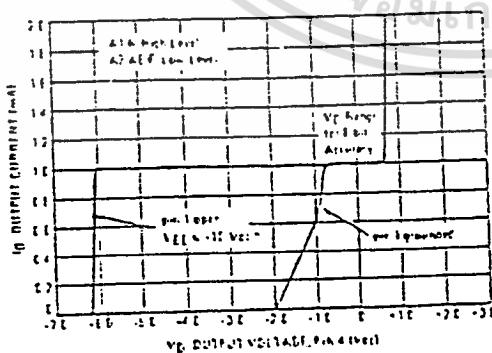
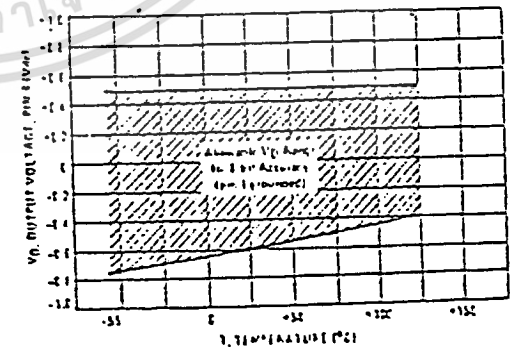


FIGURE 13 - OUTPUT VOLTAGE versus TEMPERATURE (Negative range with pin 1 open to -5.0 V over full temperature range)



MOTOROLA Semiconductor Products Inc.

TYPICAL CHARACTERISTICS (continued)
 $V_{CC} = +5.0\text{ V}$, $V_{EE} = -15\text{ V}$, $T_A = +25^\circ\text{C}$ unless otherwise noted.

FIGURE 14 - REFERENCE INPUT FREQUENCY RESPONSE

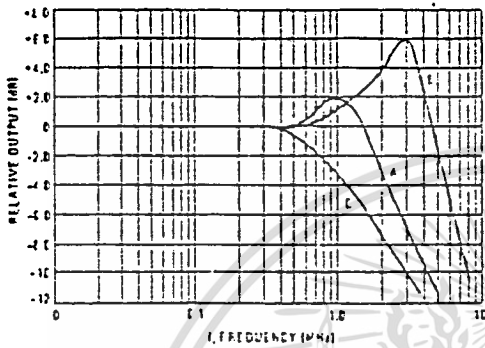


FIGURE 15 - TYPICAL POWER SUPPLY CURRENT versus TEMPERATURE (all bits low)

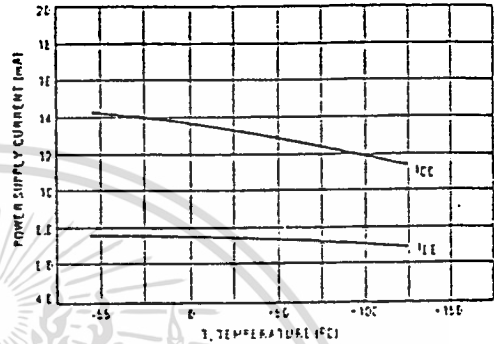
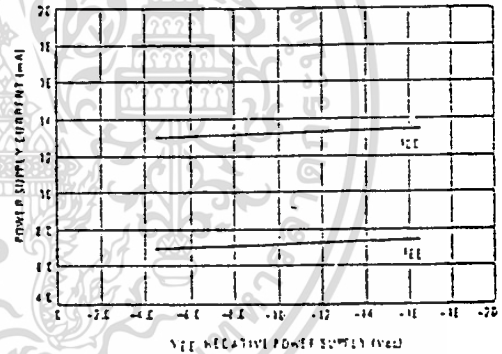


FIGURE 16 - TYPICAL POWER SUPPLY CURRENT versus V_{EE} (all bits low)



Unless otherwise specified:

$R_{14} = R_{15} = 1\text{ k}\Omega$

$C = 10\text{ pF}$, pin 16 to V_{EE}

$R_L = 50\text{ k}\Omega$, pin 4 to GND

Curve A: Large Signal Bandwidth

Method of Figure 7

$V_{ref} = 2.5\text{ V}$ (either 1.1 V above GND

Curve B: Small Signal Bandwidth

Method of Figure 7, $R_L = 250\text{ k}\Omega$

$V_{ref} = 50\text{ mV}$ (either 200 mV above GND

Curve C: Large and Small Signal Bandwidth

Method of Figure 7, $R_L = 250\text{ k}\Omega$

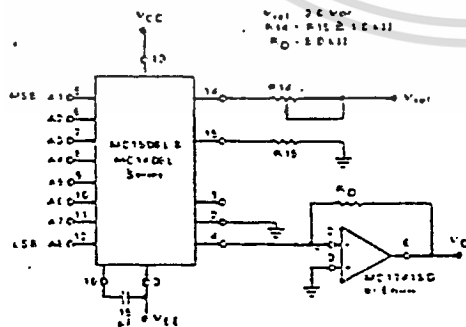
$R_L = 50\text{ k}\Omega$

$V_{ref} = 2.5\text{ V}$

$V_S = 100\text{ mV}$ (rms) (either 0.1 V

APPLICATIONS INFORMATION

FIGURE 17 - OUTPUT CURRENT TO VOLTAGE CONVERSION



Transfer to V_O

$$V_O = \frac{V_{ref}}{A_{14}} \left(\frac{A_1}{2} + \frac{A_2}{8} + \frac{A_3}{8} + \frac{A_4}{16} + \frac{A_5}{32} + \frac{A_6}{64} + \frac{A_7}{128} + \frac{A_8}{256} \right)$$

Above V_{ref} , R_{14} or R_{15} in that V_O may be adjusted to any level between 0 and 0.25 V.

$$V_O = \frac{2.5}{16} \left(\frac{1}{2} + \frac{1}{8} + \frac{1}{8} + \frac{1}{16} + \frac{1}{32} + \frac{1}{64} + \frac{1}{128} + \frac{1}{256} \right)$$

$$= 10\text{ V} \left(\frac{273}{256} \right) = 9.941\text{ V}$$



MOTOROLA Semiconductor Products Inc.



**National
Semiconductor**

Electronic Data Processing

MM58167 Microprocessor Compatible Real Time Clock

General Description

The MM58167 is a low threshold metal-gate CMOS circuit that functions as a real time clock calendar in bus-oriented microprocessor systems. The device includes an addressable counter, addressable latch for alarm-type functions, and 2 interrupt outputs. A power-down input allows the chip to be disabled from the outside world for standby low power operation. The time base is generated from a 32,768 Hz crystal-controlled oscillator.

Features

- Microprocessor compatible
- Thousandths of seconds, hundredths of seconds, tenths of seconds, seconds, minutes, hours, day of the week, day of the month, and month counters with corresponding latches for alarm-type functions
- Interrupt output (maskable) with 8 possible interrupt signals:
 - Latch and counter comparison
 - Every tenth of a second
 - Every second
 - Every minute
 - Every hour
 - Every day
 - Every week
 - Every month
- Power-down mode that disables all outputs except for an interrupt output that occurs on a counter latch comparison. This is not the same as the maskable interrupt output
- Don't care states in the latches
- Status bit to indicate clock rollover during a read
- 32,768 Hz crystal reference, with only the input tuning capacitor and load capacitor needed externally
- Four year calendar

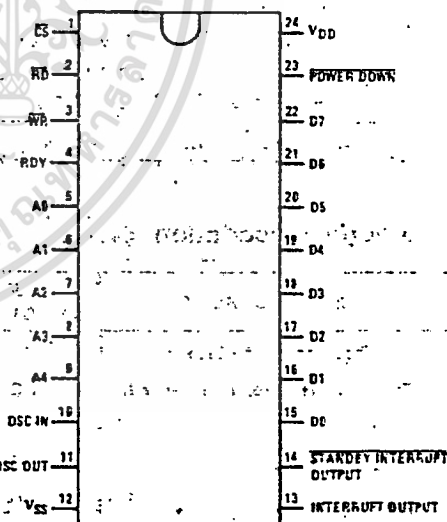
Functional Description

The MM58167 is a microprocessor oriented real time clock. The circuit includes addressable real time counters and addressable latches, each for thousandths of seconds through months. The counter and latch are divided into bytes of 4 bits each. When addressed, 2 bytes will appear on the data I/O bus. The data, in binary coded decimal, can be transferred to and from the counters via the data I/O bus so that each set of 2 bytes (1 word) can be accessed independently as grouped in Table I.

If either of the bytes in the above 8-bit counter words do not legally reach 4-bit lengths (e.g., day of the week uses only the 3 least significant bits) the unused bits will be unrecognized during a write and held at VSS during a read. If any illegal data is entered into the counters during a write cycle, it may take up to 4 clocks (4 months in the case of the month counter) to restore legal BCD data to the counter during normal counting. The latches will read and write all 4 bits per byte. Each of the counter and latch words can be reset with the appropriate address and data inputs. The counter reset is a write function. The latches can be programmed to compare with the counters at all times by writing 1's into the 2 most significant bits of each latch, thus establishing a don't care state in the latch. The don't care state is programmable on the byte level, i.e., tens of hours can contain a don't care state, yet unit hours can contain a valid code necessary for a comparison.

Connection Diagram

Dual-In-Line Package



TOP VIEW

Order Number MM58167N
See Package 22

Absolute Maximum Ratings

Voltage at All Inputs and Outputs	$V_{DD} + 0.3$ to $V_{SS} - 0.3$
Operating Temperature	-25°C to $+85^{\circ}\text{C}$
Storage Temperature	-65°C to $+150^{\circ}\text{C}$
$V_{DD} - V_{SS}$	6V
Lead Temperature (Soldering, 10 seconds)	300°C

Electrical Characteristics $T_A = -25^{\circ}\text{C}$ to $+85^{\circ}\text{C}$, $V_{SS} = 0\text{V}$

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
Supply Voltage					
V_{DD}	Outputs Enabled	4.0		5.5	V
V_{DD} (Note 1)	Power Down Mode	2.0		5.5	V
Supply Current					
I_{DD} , Static	Outputs TRI-STATE, $f_{IN} = \text{DC}$, $V_{DD} = 5.5\text{V}$			10	μA
I_{DD} , Dynamic	Outputs TRI-STATE, $f_{IN} = 32\text{ kHz}$, $V_{DD} = 5.5\text{V}$, $V_{IH} \geq V_{DD} - 0.3\text{V}$, $V_{IL} \leq V_{SS} + 0.3\text{V}$			20	μA
I_{DD} , Dynamic	Outputs TRI-STATE, $f_{IN} = 32\text{ kHz}$, $V_{DD} = 5.5\text{V}$, $V_{IH} = 2.0\text{V}$, $V_{IL} = 0.8\text{V}$			12	mA
Input Voltage					
Logical Low		0.0		0.8	V
Logical High		2.0		V_{DD}	V
Input Leakage Current	$V_{SS} \leq V_{IN} \leq V_{DD}$			1	μA
Output Impedance	(I/O and Interrupt Output)			0.4	V
Logical Low	$V_{DD} = 4.75\text{V}$, $I_{OL} = 1.6\text{ mA}$				V
Logical High	$V_{DD} = 4.75\text{V}$, $I_{OH} = -400\text{ }\mu\text{A}$, $I_{OH} = -10\text{ }\mu\text{A}$	2.4			V
TRI-STATE ²	$V_{OUT} = 0\text{V}$	0.8 V_{DD}		-1	μA
	$V_{OUT} = V_{DD}$			1	μA
Output Impedance	(Ready and Standby Interrupt Output)				
Logical Low, Sink	$V_{DD} = 4.75\text{V}$, $I_{OL} = 1.6\text{ mA}$			0.4	V
Logical High, Leakage	$V_{OUT} \leq V_{DD}$			10	μA

Note 1: To insure that no illegal data is read from or written into the chip during power up, the power down input should be enabled only after all other lines (Read, Write, Chip Select, and Data Bus) are valid.

Functional Description (Continued)

TABLE I

COUNTER ADDRESSED	UNITS				MAX USED BCD CODE	TENS				MAX USED BCD CODE
	D0	D1	D2	D3		D4	D5	D6	D7	
Ten Thousandths of a Second	0	0	0	0	0	I/O	I/O	I/O	I/O	9
Tenths and Hundredths of Seconds	I/O	I/O	I/O	I/O	9	I/O	I/O	I/O	I/O	9
Seconds	I/O	I/O	I/O	I/O	9	I/O	I/O	I/O	0	5
Minutes	I/O	I/O	I/O	I/O	9	I/O	I/O	I/O	0	5
Hours	I/O	I/O	I/O	I/O	9	I/O	I/O	0	0	2
Day of the Week	I/O	I/O	I/O	0	7	0	0	0	0	0
Day of the Month	I/O	I/O	I/O	I/O	9	I/O	I/O	0	0	3
Month	I/O	I/O	I/O	I/O	9	I/O	0	0	0	1

Functional Description (Continued)

TABLE II. ADDRESS CODES AND FUNCTIONS

A4	A3	A2	A1	A0	FUNCTION
0	0	0	0	0	Counter — Thousandths of Seconds
0	0	0	0	1	Counter — Hundredths and Tenths of Seconds
0	0	0	1	0	Counter — Seconds
0	0	0	1	1	Counter — Minutes
0	0	1	0	0	Counter — Hours
0	0	1	0	1	Counter — Day of the Week
0	0	1	1	0	Counter — Day of the Month
0	0	1	1	1	Counter — Months
0	1	0	0	0	Latches — Thousandths of Seconds
0	1	0	0	1	Latches — Hundredths and Tenths of Seconds
0	1	0	1	0	Latches — Seconds
0	1	0	1	1	Latches — Minutes
0	1	1	0	0	Latches — Hours
0	1	1	0	1	Latches — Day of the Week
0	1	1	1	0	Latches — Day of the Month
0	1	1	1	1	Latches — Months
1	0	0	0	0	Interrupt Status Register
1	0	0	0	1	Interrupt Control Register
1	0	0	1	0	Counter Reset
1	0	0	1	1	Latch Reset
1	0	1	0	0	Status Bit
1	0	1	0	1	"GO" Command
1	0	1	1	0	Standby Interrupt
1	1	1	1	1	Test Mode

All others unused.

TABLE III. COUNTER AND LATCH RESET FORMAT

D0	D1	D2	D3	D4	D5	D6	D7	COUNTER OR LATCH RESET
1	0	0	0	0	0	0	0	Thousandths of Seconds
0	1	0	0	0	0	0	0	Hundredths and Tenths of Seconds
0	0	1	0	0	0	0	0	Seconds
0	0	0	1	0	0	0	0	Minutes
0	0	0	0	1	0	0	0	Hours
0	0	0	0	0	1	0	0	Days of the Week
0	0	0	0	0	0	1	0	Days of the Month
0	0	0	0	0	0	0	1	Months

FOR COUNTER RESET A4-A0 MUST BE 10010-

FOR LATCH RESET A4-A0 MUST BE 10011

Functional Description (Continued)

Following a read of any real time counter a status bit read should be done. If during a counter read cycle the clock rolls over, the data read out could be invalid. Thus, during a read if the clock rolls over the status bit will be set. The status bit will appear on D0 when read, D1 through D7 will be zeros.

To synchronize the clock with real time a "GO" command exists which can be used to reset the thousandths of seconds, hundredths and tenths of seconds, and seconds counters. After setting the lower frequency counters (minutes through months), the appropriate address and a write pulse can be sent to reset all counters mentioned above. This allows the clock to be started at an exactly known time. It can also be used as a stop-watch function. The "GO" command is the start and a counter read is the stop point. The clock does not stop during or following a read, so each read would be a split time.

A second special command will enable the standby interrupt output. The standby interrupt output is the only input or output enabled during the power down or standby mode. Power down occurs when the power down input goes to a logical zero level. In this mode the outputs are TRI-STATE and the inputs ignored regardless of the state of the chip select. The standby interrupt is enabled by writing a 1 on the D0 line with the standby interrupt address selected. On the next counter-latch comparison, the open drain output device turns on, sinking current. The output will be turned on immediately upon writing a 1 on D0 if the comparison occurred before the write, yet is still in effect. To disable the output a zero on D0 is written at the standby interrupt address. The write cycles must occur during normal operation, but the output can become active during power down. This feature can be used to turn the power back on during a power down mode (see Figure 4 for a typical application). Refer to Tables II and III for the address input codes and functions and for the counter and latch reset format.

The interrupt output is controlled by the interrupt status register (8 bits) and the interrupt control register (8 bits). The status register contains the present state of the comparator (compares the counters and latches) and the outputs (1 bit each) of the tenths of seconds, seconds,

minutes, hours, week, day of the month, and month counters (Figure 1). The interrupt status register can only be read. The interrupt control register is a mask register that regulates which of the 8 bits in the status register goes out as an interrupt. The control register cannot be read from. A 1 is written into the control register to select the appropriate interrupt output. If more than a single 1 exists in the control register each selected bit will come out as an interrupt. This will appear as an interrupt occurring at the highest frequency selected. The interrupt is acknowledged by addressing and reading the status register. Once acknowledged the interrupt output and status register are reset. The only way to disable the interrupt output is to write all 0's into the control register or to enable the power down input.

The I/O bus is controlled by the read, write, ready and chip select lines. During a read cycle ($\overline{RD} = 0$, $\overline{WR} = 1$, $\overline{CS} = 0$, $\overline{RDY} = 0$) the data on the I/O bus is the data contained in the addressed counter or latch. During a write cycle ($\overline{RD} = 1$, $\overline{WR} = 0$, $\overline{CS} = 0$, $\overline{RDY} = 0$) the data on the I/O bus is latched into the addressed counter or latch. At the start of each read or write cycle the $\overline{RDY}$ signal goes low and will remain low until the clock has placed valid data on the bus or until it has completed latching data in on a write. The chip select line is used to enable or disable the device outputs. When the chip is selected the device will drive the I/O bus for a read or use the I/O bus as an input for a write. The I/O bus will not be affected when the chip is deselected. The outputs driving the bus will go to the TRI-STATE or high impedance state. The chip will not respond to any inputs when deselected. Refer to Figures 2 and 3 for read and write cycle timing.

The clock's time base is a 32,768 crystal controlled oscillator. Externally, the crystal, the input tuning capacitor, and the output load capacitor are required. Included internally are a high gain inverter, an RC delay, and the bias resistor. To tune the oscillator a constant read can be done on one of the higher frequency counters. For example, a constant read of the thousandths of seconds counter will place an average 500 Hz signal on the D4 bus line. The period varies slightly due to disable of latches during counter roll.

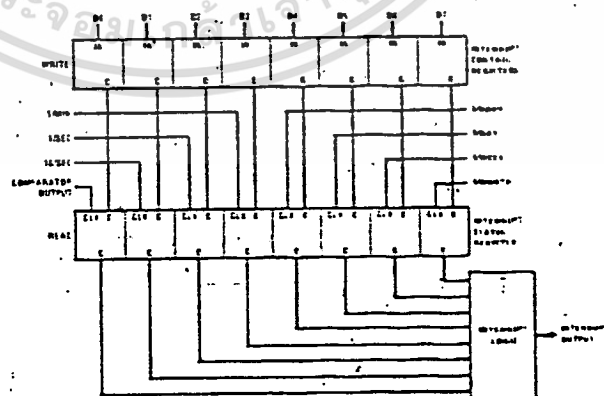


FIGURE 1. Interrupt Register Format.

Read Cycle Timing Characteristics $T_A = -25^\circ\text{C}$ to $+85^\circ\text{C}$, $V_{DD} = 4.0\text{V}$ to 5.5V , $V_{SS} = 0\text{V}$

PARAMETER	MIN	TYP	MAX	UNITS
t_{AR} Address Bus Valid to Read Strobe	100			ns
t_{CSR} Chip Select ON to Read Strobe	0			ns
t_{RRY} Read Strobe to Ready Strobe			150	ns
t_{RYD} Ready Strobe to Data Valid			800	ns
t_{AD} Address Bus Valid to Data Valid			1050	ns
t_{RH} Data Hold Time from Trailing Edge of Read Strobe	0			ns
t_{HZ} Trailing Edge of Read Strobe to TRI-STATE Mode			250	ns
t_{RYH} Read Hold Time After Ready Strobe	0			ns
t_{RA} Address Bus Hold Time from Trailing Edge of Read Strobe	50			ns

Data bus loading is 100 pF
 Ready output loading is 50 pF
 Input and output AC timing levels are:
 Logical "1" = 2.0V
 Logical "0" = 0.8V

Write Cycle Timing Characteristics $T_A = -25^\circ\text{C}$ to $+85^\circ\text{C}$, $V_{DD} = 4.0\text{V}$ to 5.5V , $V_{SS} = 0\text{V}$

PARAMETER	MIN	TYP	MAX	UNITS
t_{AW} Address Valid to Write Strobe	100			ns
t_{CSW} Chip Select ON to Write Strobe	0			ns
t_{DN} Data Valid Before Write Strobe	100			ns
t_{WRY} Write Strobe to Ready Strobe			150	ns
t_{RY} Ready Strobe Width			800	ns
t_{RYH} Write Hold Time After Ready Strobe	0			ns
t_{WD} Data Hold Time After Write Strobe	110			ns
t_{WA} Address Hold Time After Write Strobe	50			ns

Data bus loading is 100 pF
 Ready output loading is 50 pF
 Input and output AC timing levels are:
 Logical "1" = 2.0V
 Logical "0" = 0.8V

Switching Time Waveforms

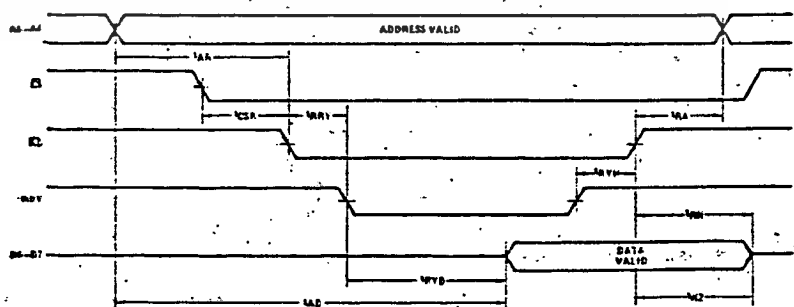


FIGURE 2. Read Cycle Waveforms



HEWLETT
PACKARD

FOUR CHARACTER 2.85mm (0.112 in.) SMART ALPHANUMERIC DISPLAY

HPDL-1414

TECHNICAL DATA SEPTEMBER 1985

Features

- SMART ALPHANUMERIC DISPLAY
Built-in F.A.M., ASCII Decoder and
LED Drive Circuitry
- WIDE OPERATING TEMPERATURE RANGE
-40° C to +85° C
- FAST ACCESS TIME
160 ns
- EXCELLENT ESD PROTECTION
Built-in Input Protection Diodes
- CMOS IC FOR LOW POWER CONSUMPTION
- FULL TTL COMPATIBILITY OVER OPERATING
TEMPERATURE RANGE
V_{IL} = 0.8 V
V_{IH} = 1.0 V
- WAVE SOLDERABLE
- RUGGED PACKAGE CONSTRUCTION
- END-STACKABLE
- WIDE VIEWING ANGLE



Description

The HPDL-1414 is a smart 2.85 mm (0.112 in.) four character, sixteen-segment red GaAsP display. The on-board CMOS IC contains memory, ASCII decoder, multiplexing circuitry and drivers. The monolithic LED characters are magnified by an immersion lens which increases both character size and luminous intensity. The end-capped dust-tight package provides a rugged, environmentally sealed unit.

The HPDL-1414 incorporates many improvements over competitive products. It has a wide operating temperature range, very fast IC access time and improved ESD protection. The display is also fully TTL compatible, wave solderable and highly reliable. This display is ideally suited for industrial and commercial applications where a good-looking, easy-to-use alphanumeric display is required.

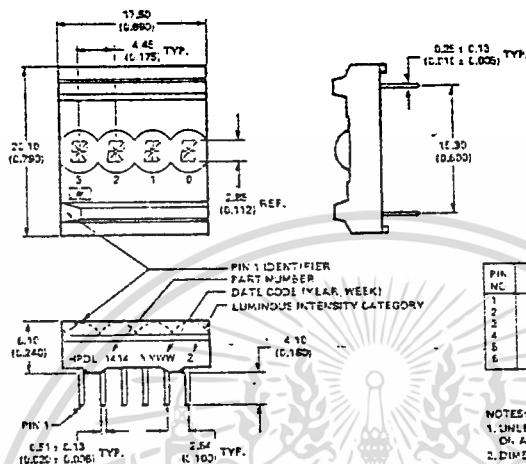
Typical Applications

- PORTABLE DATA ENTRY DEVICES
- MEDICAL EQUIPMENT
- PROCESS CONTROL EQUIPMENT
- TEST EQUIPMENT
- INDUSTRIAL INSTRUMENTATION
- COMPUTER PERIPHERALS
- TELECOMMUNICATION INSTRUMENTATION

Absolute Maximum Ratings

Supply Voltage, V _{CC} to Ground	-0.5 V to 7.0V
Input Voltage, Any Pin to Ground	-0.5 V to 7.0V
Free Air Operating Temperature Range, T _A	-40° C to +85° C
Relative Humidity (non-condensing) at 65° C	90%
Storage Temperature, T _S	-40° C to +85° C
Maximum Solder Temperature, 1.58 mm (0.063 in.) below Seating Plane, t < 5 sec.	260° C

Package Dimensions



PIN NO.	FUNCTION	PIN NO.	FUNCTION
1	D ₀ DATA INPUT	7	GND
2	D ₁ DATA INPUT	8	D ₀ DATA INPUT
3	W ₀ WRITE	9	D ₁ DATA INPUT
4	A ₀ DIGIT SELECT	10	D ₂ DATA INPUT
5	A ₁ DIGIT SELECT	11	D ₃ DATA INPUT
6	V _{CC}	12	D ₄ DATA INPUT

NOTES:
1. UNLESS OTHERWISE SPECIFIED THE TOLERANCE ON ALL DIMENSIONS IS 0.25 mm (0.010 in.).
2. DIMENSIONS IN mm (inches).

Recommended Operating Conditions

Parameter	Symbol	Min.	Norm.	Max.	Units
Supply Voltage	V _{CC}	4.5	5.0	5.5	V
Input Voltage High	V _{IH}	2.0			V
Input Voltage Low	V _{IL}			0.8	V

DC Electrical Characteristics Over Operating Temperature Range

TYPICAL VALUES

Parameter	Symbol	Units	-40°C	-20°C	25°C	55°C	Test Condition
I _{CC} 4 digits on (10 seg./digit) ^{1,2}	I _{CC}	mA	90	85	70	60	V _{CC} = 5.0 V
I _{CC} Blank	I _{CC} (BL)	mA	1.6	1.5	1.2	1.1	V _{CC} = 5.0 V BL = 0.6 V
Input Current, Max.	I _{IL}	μA	25	20	17	12	V _{CC} = 5.0 V V _{IN} = 0.6 V

GUARANTEED MAXIMUM VALUES

Parameter	Symbol	Units	25°C V _{CC} = 5.0 V	Maximum Over Operating Temperature Range V _{CC} = 5.5 V
I _{CC} 4 digits on (10 seg./digit) ^{1,2}	I _{CC}	mA	90	150
I _{CC} Blank	I _{CC} (BL)	mA	2.3	4.0
Input Current, Max.	I _{IL}	μA	30	50
Power Dissipation ³	P _D	mW	450	715

Notes:

1. "4" illuminated in all four characters.
2. Measured at five seconds.
3. Power dissipation = V_{CC} · I_{CC} (10 seg.).

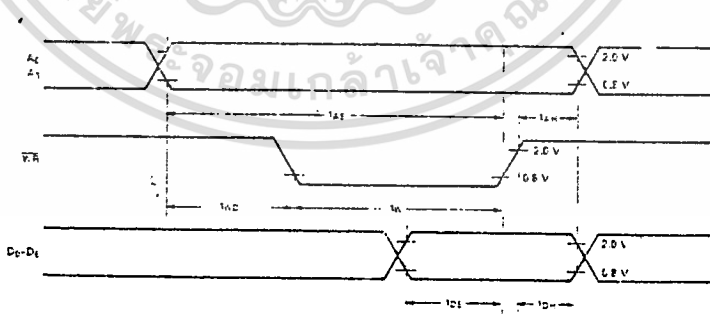
AC Timing Characteristics Over Operating Temperature Range at $V_{CC} = 4.5\text{ V}$

Parameter	Symbol	-20°C t _{MIN}	25°C t _{MIN}	70°C t _{MIN}	Units
Address Setup Time	t _{AS}	90	115	150	ns
Write Delay Time	t _{WD}	10	15	20	ns
Write Time	t _W	80	100	130	ns
Data Setup Time	t _{DS}	40	60	80	ns
Data Hold Time	t _{DH}	40	45	50	ns
Address Hold Time	t _{AH}	40	45	50	ns
Access Time		130	160	200	ns
Refresh Rate		420-790	310-630	270-550	Hz

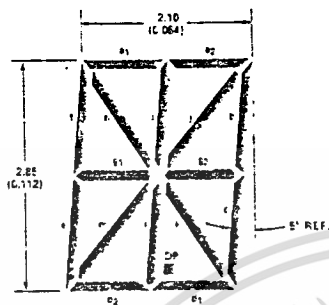
Optical Characteristics

Parameter	Symbol	Test Condition	Min.	Typ.	Units
Peak Luminous Intensity per digit, 8 segments on (character average)	I _V Peak	V _{CC} = 5.0 V 7.5" illuminated in all 4 digits.	0.4	1.0	mcđ
Peak Wavelength	λ _{peak}			655	nm
Dominant Wavelength	λ _d			640	nm
C _{til} / Viewing Angle				±40	degrees
Digit Size				2.85	mm

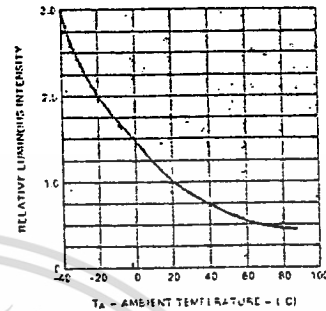
Timing Diagram



Magnified Character Font Description



Relative Luminous Intensity vs. Temperature



Electrical Description

Figure 1 shows the internal block diagram of the HPDL-1414. It consists of two parts: the display LEDs and the CMOS IC. The CMOS IC consists of a four-word ASCII memory, a 64-word character generator, 17 segment drivers, four digit drivers and the scanning circuitry necessary to multiplex the four monolithic LED characters. In normal operation, the divide-by-four counter sequentially accesses each of the four RAM locations and simultaneously enables the appropriate display digit driver. The output of the RAM is decoded by the character generator which, in turn, enables the appropriate display segment drivers. Seven-bit ASCII data is stored in RAM. Since the display uses a 64-character decoder, half of the possible 128 input combinations are invalid. For each display location where DS=DE in the ASCII RAM, the display character is blanked.

Data is loaded into the display through the DATA inputs (D₇-D₀), ADDRESS inputs (A₇-A₀), and WRITE (WR). After a character has been written to memory, the IC decodes the ASCII data, drives the display and refreshes it without any external hardware or software.

The HPDL-1414 uses 12 pins to control the CMOS IC. Figure 1 shows the effect these inputs have on the display.

DATA INPUTS: Seven-bit ASCII data is entered into memory via the DATA inputs (D₇-D₀, pins 1, 2, 8-12).

ADDRESS INPUTS: Each location in memory has a distinct address. ADDRESS inputs enable the designer to select a specific location in memory to store data. Address 00 accesses the far right display location. Address 11 accesses the far left location.

WRITE (WR, pin 3): Data is written into the display when the WR input is low.

VCC and GND (pins 6 and 7): These pins supply power to the display.

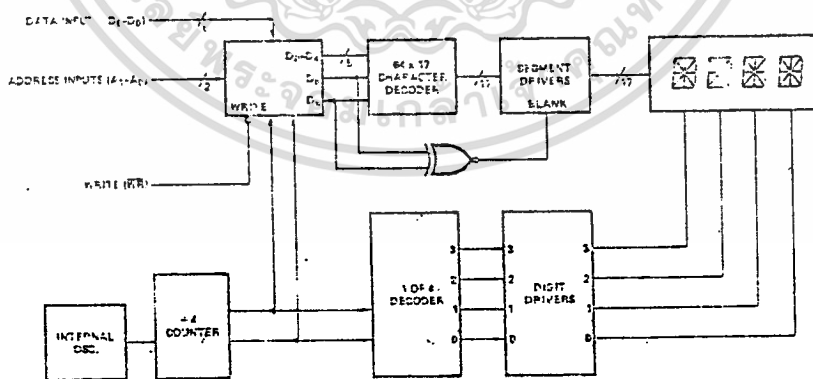


Figure 1. HPDL-1414 Internal Block Diagram

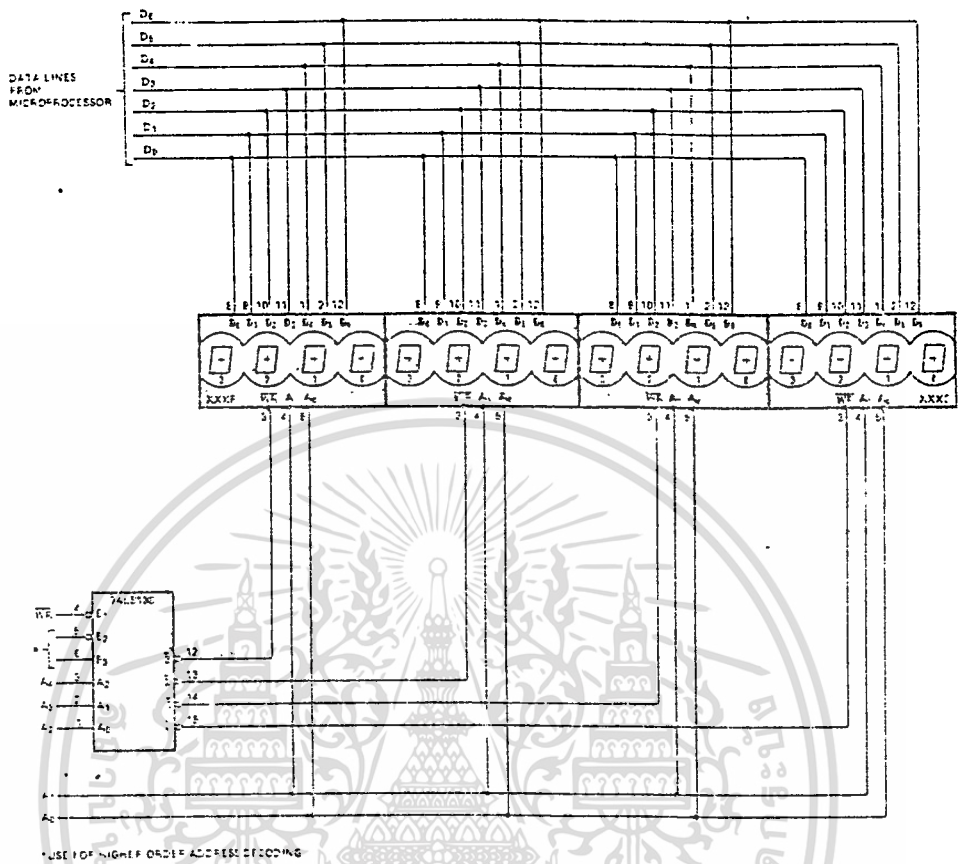


Figure 4 Memory Mapped Interface for the 6085

Optical Considerations/ Contrast Enhancement

The HPDL-1414 display uses a precision aspheric immersion lens to provide excellent readability and low off-axis distortion. The aspheric lens produces a magnified character height of 2.85 mm (0.112 in.) and a viewing angle of ± 40 degrees. These features provide excellent readability at distances of up to 1.5 meters (4 feet).

Each HPDL-1414 display is tested for luminous intensity and marked with an intensity category on the side of the display package. To ensure intensity matching for multiple package

applications, mixing intensity categories for a given panel is not recommended.

The HPDL-1414 display is designed to provide maximum contrast when placed behind an appropriate contrast enhancement filter. Some suggested filters are Panelgraphic Ruby Red 60, Panelgraphic Dark Red 63, SGL Homaline H100-1650, Rohm and Haas 2423, Chequers Engraving 118, and 3M R6510. For further information on contrast enhancement, see Hewlett-Packard Application Note 1015.



HEWLETT
PACKARD

For more information call your local HP sales office listed in the advertisement directory white pages. Ask for the Components Department. Or write to Hewlett-Packard, U.S.A. - P.O. Box 16000, Palo Alto, CA 94303-0600. Europe - P.O. Box 99, 1405 A2 Amsterdam. The Netherlands. Canada - 8877 Gateway Drive, Mississauga, L4V 1V4, Ontario, Canada. Japan - Yokohama-Hewlett-Packard Ltd. 5-26-21 Tennoji-ku, Minato-ku, Tokyo 106. Elsewhere in the world write to Hewlett-Packard International, 2425 Deer Creek Road, Palo Alto, CA 94304.

Printed in U.S.A.

Date Subject to Change Obsolesces 5854-1 054 (5/84)

5954-0904 (6/85)



MOTOROLA Semiconductors

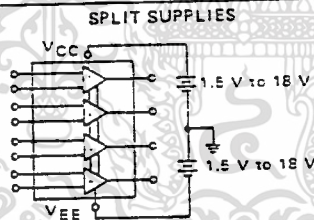
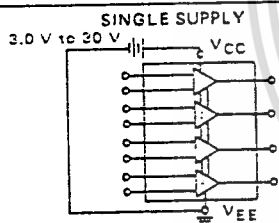
BOX 20912 - PHOENIX, ARIZONA 85036

Specifications and Applications Information

QUAD LOW POWER OPERATIONAL AMPLIFIERS

The MC3503 is a low-cost, quad operational amplifier with true differential inputs. The device has electrical characteristics similar to the popular MC1741. However, the MC3503 has several distinct advantages over standard operational amplifier types in single supply applications. The quad amplifier can operate at supply voltages as low as 3.0 Volts or as high as 36 Volts with quiescent currents about one third of those associated with the MC1741 (on a per amplifier basis). The common mode input range includes the negative supply, thereby eliminating the necessity for external biasing components in many applications. The output voltage range also includes the negative power supply voltage.

- Short Circuit Protected Outputs
- Class AB Output Stage for Minimal Crossover Distortion
- True Differential Input Stage
- Single Supply Operation: 3.0 to 36 Volts
- Split Supply Operation: ± 1.5 to ± 18 Volts
- Low Input Bias Currents: 500 nA Max
- Four Amplifiers Per Package
- Internally Compensated
- Similar Performance to Popular MC1741



MAXIMUM RATINGS

Rating	Symbol	Value	Unit
Power Supply Voltages			Vdc
Single Supply	VCC	36	
Split Supplies	VCC	+18	
	VEE	-18	
Input Differential Voltage Range (1)	V _{IDR}	± 30	Vdc
Input Common Mode Voltage Range (1) (2)	V _{ICR}	± 15	Vdc
Storage Temperature Range	T _{stg}		°C
Ceramic Package		-65 to +150	
Plastic Package		-55 to +125	
Operating Ambient Temperature Range	T _A		°C
MC3503		-55 to +125	
MC3403		0 to +70	
MC3303		-40 to -85	
Junction Temperature	T _J		°C
Ceramic Package		175	
Plastic Package		150	

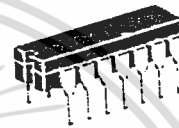
(1) Split Power Supplies.

(2) For Supply Voltages less than ± 15 V, the absolute maximum input voltage is equal to the supply voltage.

MC3403P,L
MC3503L
MC3303R,L

QUAD DIFFERENTIAL
INPUT
OPERATIONAL AMPLIFIERS

SILICON MONOLITHIC
INTEGRATED CIRCUIT

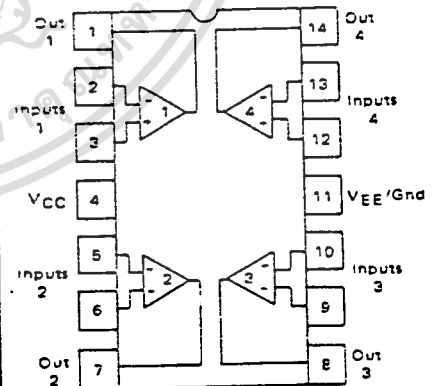


L SUFFIX
CERAMIC PACKAGE
CASE 632
TO-116



P SUFFIX
PLASTIC PACKAGE
CASE 646
(MC3403 and MC3303 on-y)

PIN CONNECTIONS



ORDERING INFORMATION

Type	Temperature Range	Package
MC3303L	-40°C to +85°C	Ceramic DIP
MC3303P	-40°C to +85°C	Plastic DIP
MC3403L	0°C to +70°C	Ceramic DIP
MC3403P	0°C to +70°C	Plastic DIP
MC3503L	-55°C to +125°C	Ceramic DIP

© MOTOROLA INC., 1979

DS9293 R3

MC3503 • MC3403 • MC3303

ELECTRICAL CHARACTERISTICS ($V_{CC} = +15\text{ V}$, $V_{EE} = -15\text{ V}$ for MC3503, MC3403, $V_{CC} = +14\text{ V}$, $V_{EE} = \text{Gnd}$ for MC3303.
 $T_A = 25^\circ\text{C}$ unless otherwise noted.)

Characteristic	Symbol	MC3503			MC3403			MC3303			Unit
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
Input Offset Voltage $T_A = \text{Thigh to Tlow (1)}$	V_{IO}	—	2.0	5.0	—	2.0	10	—	2.0	8.0	mV
Input Offset Current $T_A = \text{Thigh to Tlow}$	I_{IO}	—	30	50	—	30	50	—	30	75	nA
Large-Signal Open-Loop Voltage Gain $V_O = \pm 10\text{ V}$, $R_L = 2.0\text{ k}\Omega$, $T_A = \text{Thigh to Tlow}$	A_{VOL}	50	200	—	20	200	—	20	200	—	V/mV
Input Bias Current $T_A = \text{Thigh to Tlow}$	I_{IB}	—	-200	-500	—	-200	-500	—	-200	-500	nA
Output Impedance $f = 20\text{ Hz}$	z_o	—	75	—	—	75	—	—	75	—	Ω
Input Impedance $f = 20\text{ Hz}$	z_i	0.3	1.0	—	0.3	1.0	—	0.3	1.0	—	M Ω
Output Voltage Range $R_L = 10\text{ k}\Omega$ $R_L = 2.0\text{ k}\Omega$ $R_L = 2.0\text{ k}\Omega$, $T_A = \text{Thigh to Tlow}$	V_{OR}	± 12 ± 10 ± 10	± 13.5 ± 13 —	—	± 12 ± 10 ± 10	± 13.5 ± 13 —	—	+12 +10 +10	+12.5 +12 —	—	V
Input Common-Mode Voltage Range	V_{ICR}	+13 V - V_{EE}	+13.5 V - V_{EE}	—	+13 V - V_{EE}	+13.5 V - V_{EE}	—	+13 V - V_{EE}	+13.5 V - V_{EE}	—	V
Common-Mode Rejection Ratio $R_S = 10\text{ k}\Omega$	CMRR	70	90	—	70	90	—	70	90	—	dB
Power Supply Current ($V_O = 0$) $R_L = \infty$	I_{CC}, I_{EE}	—	2.8	4.0	—	2.8	7.0	—	2.8	7.0	mA
Individual Output Short-Circuit Current (2)	I_{OS}	± 10	± 30	± 45	± 10	± 20	± 45	± 10	± 30	± 45	mA
Positive Power Supply Rejection Ratio	PSRR+	—	30	150	—	30	150	—	30	150	dB/V
Negative Power Supply Rejection Ratio	PSRR-	—	30	150	—	30	150	—	30	150	dB/V
Average Temperature Coefficient of Input Offset Current $T_A = \text{Thigh to Tlow}$	$\Delta I_{IO}/\Delta T$	—	50	—	—	50	—	—	50	—	$\mu\text{V}/^\circ\text{C}$
Average Temperature Coefficient of Input Offset Voltage $T_A = \text{Thigh to Tlow}$	$\Delta V_{IO}/\Delta T$	—	10	—	—	10	—	—	10	—	$\mu\text{V}/^\circ\text{C}$
Power Bandwidth $A_V = 1$, $R_L = 2.0\text{ k}\Omega$, $V_O = 20\text{ V(p-p)}$, THD = 5%	BWp	—	9.0	—	—	5.0	—	—	5.0	—	kHz
Small-Signal Bandwidth $A_V = 1$, $R_L = 10\text{ k}\Omega$, $V_O = 50\text{ mV}$	BW	—	1.0	—	—	1.0	—	—	1.0	—	MHz
Slew Rate $A_V = 1$, $V_i = -10\text{ V to } +10\text{ V}$	SR	—	0.6	—	—	0.6	—	—	0.6	—	V/ μs
Rise Time $A_V = 1$, $R_L = 10\text{ k}\Omega$, $V_O = 50\text{ mV}$	t_{RLH}	—	0.35	—	—	0.35	—	—	0.35	—	μs
Fall Time $A_V = 1$, $R_L = 10\text{ k}\Omega$, $V_O = 50\text{ mV}$	t_{FHL}	—	0.35	—	—	0.35	—	—	0.35	—	μs
Overshoot $A_V = 1$, $R_L = 10\text{ k}\Omega$, $V_O = 50\text{ mV}$	OS	—	20	—	—	20	—	—	20	—	%
Phase Margin $A_V = 1$, $R_L = 2.0\text{ k}\Omega$, $C_L = 200\text{ pF}$	ϕ_m	—	60	—	—	60	—	—	60	—	Degrees
Crossover Distortion ($V_{in} = 30\text{ mV(p-p)}$, $V_{out} = 2.0\text{ V(p-p)}$, $f = 10\text{ kHz}$)	—	—	1.0	—	—	1.0	—	—	1.0	—	%

(1) Thigh = 125°C for MC3503, 70°C for MC3403, 25°C for MC3303
Tlow = -55°C for MC3503, 0°C for MC3403, -40°C for MC3303
 $T_A = 25^\circ\text{C}$ unless otherwise noted.)

Characteristic	Symbol	MC3503			MC3403			MC3303			Unit
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
Input Offset Voltage	V_{IO}	—	2.0	5.0	—	2.0	10	—	—	10	mV
Input Offset Current	I_{IO}	—	30	50	—	30	50	—	—	75	nA
Input Bias Current	I_{IB}	—	-200	-500	—	-200	-500	—	—	-500	nA
Large-Signal Open-Loop Voltage Gain $R_L = 2.0\text{ k}\Omega$	A_{VOL}	10	200	—	—	200	—	10	200	—	V/mV
Power Supply Rejection Ratio	PSRR	—	—	150	—	—	150	—	—	150	dB
Output Voltage Range (3) $R_L = 10\text{ k}\Omega$, $V_{CC} = 5.0\text{ V}$ $R_L = 10\text{ k}\Omega$, $5.0\text{ V} < V_{CC} < 30\text{ V}$	V_{OR}	3.3 $V_{CC}-1.7$	3.5 $V_{CC}-1.5$	—	3.3 $V_{CC}-1.7$	3.5 $V_{CC}-1.5$	—	3.3 $V_{CC}-1.7$	3.5 $V_{CC}-1.5$	—	V
Power Supply Current	I_{CC}	—	2.5	4.0	—	2.5	7.0	—	2.5	7.0	mA
Channel Separation $f = 1.0\text{ kHz to } 20\text{ kHz}$ (Input Referenced)	—	—	-120	—	—	-120	—	—	-120	—	dB

(2) Not to exceed maximum package power dissipation.
(3) Output will swing to ground



MOTOROLA Semiconductor Products Inc.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

TYPICAL PERFORMANCE CURVES

FIGURE 1 – SINE WAVE RESPONSE

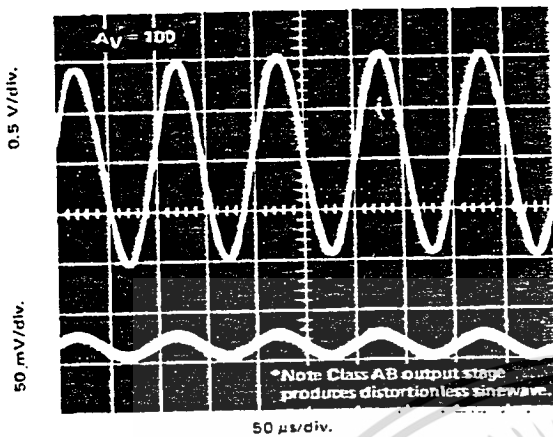


FIGURE 2 – OPEN LOOP FREQUENCY RESPONSE

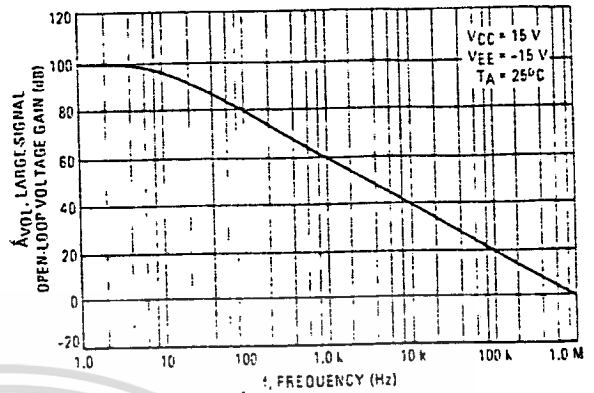


FIGURE 3 – POWER BANDWIDTH

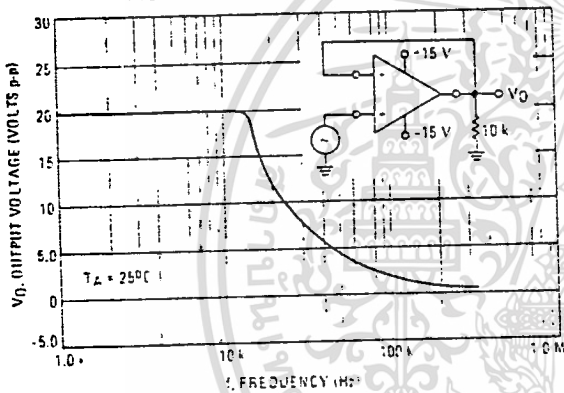


FIGURE 4 – OUTPUT SWING versus SUPPLY VOLTAGE

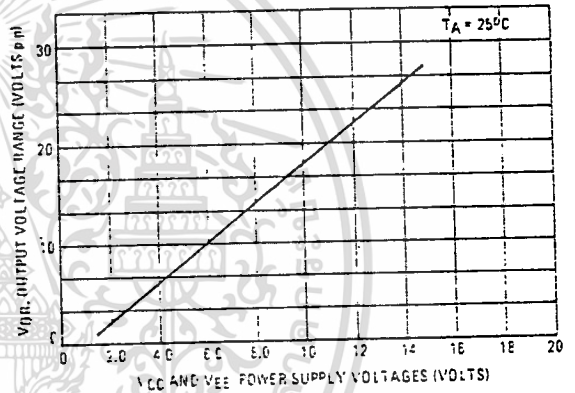


FIGURE 5 – INPUT BIAS CURRENT versus TEMPERATURE

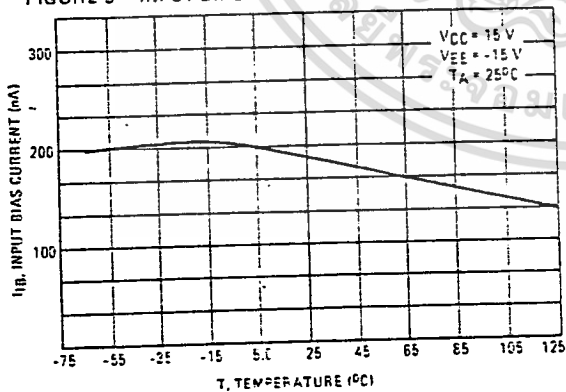
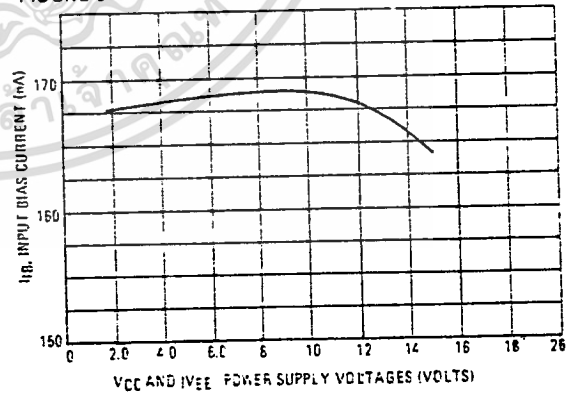


FIGURE 6 – INPUT BIAS CURRENT versus SUPPLY VOLTAGE



MOTOROLA Semiconductor Products Inc.

FIGURE 12 — FUNCTION GENERATOR

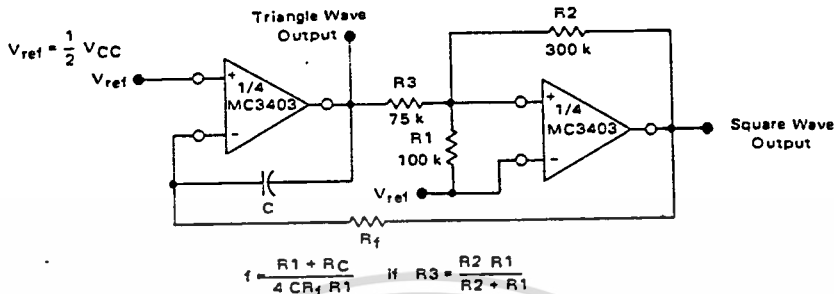
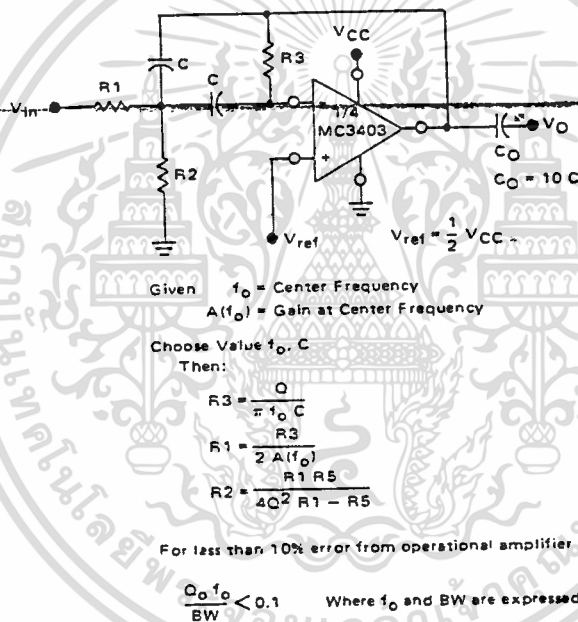


FIGURE 13 — MULTIPLE FEEDBACK BANDPASS FILTER



If source impedance varies, filter may be preceded with voltage follower buffer to stabilize filter parameters.

Circuit diagrams utilizing Motorola products are included as a means of illustrating typical semiconductor applications. Consequently, complete information sufficient for construction purposes is not necessarily given. The information has been carefully checked and

is believed to be entirely reliable. However, no responsibility is assumed for inaccuracies. Furthermore, such information does not convey to the purchaser of the semiconductor devices described any license under the patent rights of Motorola Inc. or others.



MOTOROLA Semiconductor Products Inc.

BOX 20812 • PHOENIX, ARIZONA 85036 • A SUBSIDIARY OF MOTOROLA INC.

FORM 1000 PRINTED IN U.S.A. 1974

DS-5263-01

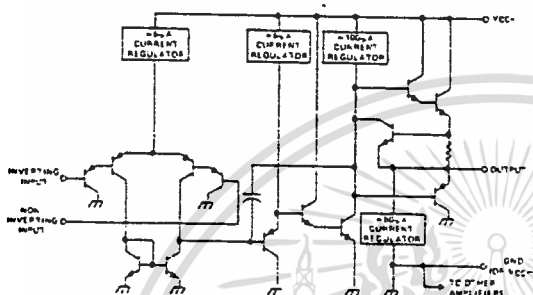
LINEAR INTEGRATED CIRCUITS

TYPES LM158, LM258, LM358 DUAL OPERATIONAL AMPLIFIERS

BULLETIN NO. DL-S 12413, JUNE 1976 - REVISED OCTOBER 1979

- Wide Range of Supply Voltages
Single Supply ... 3 V to 30 V
or Dual Supplies
- Low Supply Current Drain
Independent of Supply Voltage
... 0.5 mA Typ
- Common-Mode Input Voltage
Range Includes Ground Allowing
Direct Sensing near Ground
- Low Input Bias and Offset Parameters
Input Offset Voltage ... 2 mV Typ
Input Offset Current ... 3 nA Typ (LM158)
Input Bias Current ... 45 nA Typ
- Differential Input Voltage Range
Equal to Maximum-Rated
Supply Voltage ... ± 32 V
- Open-Loop Differential Voltage
Amplification ... 100 V/mV Typ
- Internal Frequency Compensation

schematic (each amplifier)



description

These devices consist of two independent, high-gain, frequency-compensated operational amplifiers that were designed specifically to operate from a single supply over a wide range of voltages. Operation from split supplies is also possible so long as the difference between the two supplies is 3 volts to 30 volts and Pin 4 is at least 1.5 volts more positive than the input common-mode voltage. The low supply current drain is independent of the magnitude of the supply voltage.

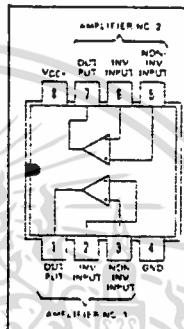
Applications include transducer amplifiers, d-c amplification blocks, and all the conventional operational amplifier circuits that now can be more easily implemented in single-supply-voltage systems.

absolute maximum ratings over operating free-air temperature range (unless otherwise noted)

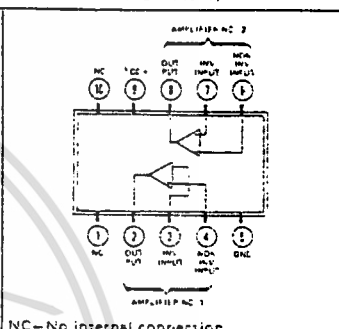
Supply voltage, V_{CC} (see Note 1)	32 V
Differential input voltage (see Note 2)	± 32 V
Input voltage range (either input)	-0.3 V to 32 V
Duration of output short-circuit (one amplifier) to ground at (or below) 25°C free-air temperature ($V_{CC} \leq 15$ V) (see Note 3)	unlimited
Continuous total dissipation at (or below) 25°C free-air temperature (see Note 4):	
LM258JG, LM358JG	825 mW
LM158JG, LM258P, LM358P	900 mW
LM158U, LM258U, LM358U	675 mW
Operating free-air temperature range:	
LM158	-55°C to 125°C
LM258	-25°C to 85°C
LM358	0°C to 70°C
Storage temperature range	-65°C to 150°C
Lead temperature 1/16 inch (1.6 mm) from case for 60 seconds: JG or U package	300°C
Lead temperature 1/16 inch (1.6 mm) from case for 10 seconds: P package	260°C

- NOTES: 1. All voltage values, except differential voltages, are with respect to the network ground terminal.
2. Differential voltages are at the noninverting input terminal with respect to the inverting input terminal.
3. Short circuits from outputs to V_{CC} can cause excessive heating and eventual destruction.
4. For operation above 25°C free-air temperature, refer to Dissipation Derating Table. In the JG package, LM158 chips are alloy-mounted; LM258 and LM358 chips are glass-mounted.

JG OR P
DUAL-IN-LINE
PACKAGE (TOP VIEW)



U
FLAT PACKAGE
(TOP VIEW)



TEXAS INSTRUMENTS
INCORPORATED

POST OFFICE BOX 225012 • DALLAS, TEXAS 75265

Copyright © 1979 by Texas Instruments Incorporated

TYPES LM158, LM258, LM358
DUAL OPERATIONAL AMPLIFIERS

electrical characteristics at specified free-air temperature, $V_{CC} = 5\text{ V}$ (unless otherwise noted)

PARAMETER		TEST CONDITIONS†		LM158, LM258			LM358			UNIT
				MIN	TYP	MAX	MIN	TYP	MAX	
V_{IO}	Input offset voltage	$V_O = 1.4\text{ V}$, $V_{CC} = 5\text{ V to } 30\text{ V}$	25°C Full range	2 5 7			2 7 9		mV	
αV_{IO}	Average temperature coefficient of input offset voltage		Full range	7			7		$\mu\text{V}/^\circ\text{C}$	
I_{IO}	Input offset current	$V_O = 1.4\text{ V}$	25°C Full range	3 30 100			5 50 - 150		nA	
αI_{IO}	Average temperature coefficient of input offset current		Full range	10			10		$\text{pA}/^\circ\text{C}$	
I_{IB}	Input bias current	$V_O = 1.4\text{ V}$, See Note 5	25°C Full range	-45 -150 -300			-45 -250 -500		nA	
V_{ICR}	Common-mode input voltage range	$V_{CC} = 30\text{ V}$	25°C Full range	0 to $V_{CC}-1.5$ 0 to $V_{CC}-2$			0 to $V_{CC}-1.5$ 0 to $V_{CC}-2$		V	
V_{OH}	High-level output voltage	$V_{CC} = 30\text{ V}$, $R_L = 2\text{ k}\Omega$ $V_{CC} = 30\text{ V}$, $R_L \geq 10\text{ k}\Omega$	Full range Full range	26 27 28			26 27 28		V	
V_{OL}	Low-level output voltage	$R_L \leq 10\text{ k}\Omega$	Full range	5 20			5 20		mV	
V_{OPP}	Maximum peak-to-peak output voltage swing	$R_L = 2\text{ k}\Omega$	25°C	$V_{CC}-1.5$			$V_{CC}-1.5$		V	
A_{VD}	Large-signal differential voltage amplification	$V_{CC} = 15\text{ V}$, $V_O = 1\text{ V to } 11\text{ V}$, $R_L \geq 2\text{ k}\Omega$	25°C Full range	50 100 25			25 100 15		V/mV	
CMRR	Common-mode rejection ratio	$R_S \leq 10\text{ k}\Omega$	25°C	70 85			70 85		dB	
k_{SVR}	Supply voltage rejection ratio	$R_S \leq 10\text{ k}\Omega$	25°C	65 100			65 100		dB	
V_{O1}/V_{O2}	Channel separation	$f = 1\text{ kHz to } 20\text{ kHz}$	25°C	120			120		dB	
I_O	Output current	$V_{CC} = 15\text{ V}$, $V_{ID} = 1\text{ V}$, $V_O = 0\text{ V}$ $V_{CC} = 15\text{ V}$, $V_{ID} = -1\text{ V}$, $V_O = 5\text{ V}$ $V_{ID} = -1\text{ V}$, $V_O = 200\text{ mV}$	25°C Full range 25°C Full range 25°C Full range	-20 -40 -10 -20 10 20 5 8 12 50			-20 -40 -10 -20 10 20 5 8 12 50		mA 	

$k_{SVR} = \Delta V_{CC}/\Delta V_{IO}$

† All characteristics are specified under open-loop conditions. Full range is -55°C to 125°C for LM158, -25°C to 85°C for LM258, and 0°C to 70°C for LM358.

NOTE 5: The direction of the bias current is out of the device due to the P-N-P input stage. This current is essentially constant, regardless of the state of the output, so no loading change is presented to the input lines.

DISSIPATION DERATING TABLE

PACKAGE	POWER RATING	DERATING FACTOR	ABOVE T_A
JG (Alloy-Mounted Chip)	900 mW	8.4 mW/°C	43°C
JG (Glass-Mounted Chip)	825 mW	6.6 mW/°C	25°C
P	900 mW	8.0 mW/°C	37°C
U	675 mW	5.4 mW/°C	25°C

Also see Dissipation Derating Curves, Section 2.

TEXAS INSTRUMENTS
INCORPORATED

POST OFFICE BOX 225012 • DALLAS TEXAS 75265

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้